THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal
Spécialité : Nano électronique et Nano technologies
Unité de recherche : Laboratoire des Technologies de la Microélectronique

Développement d'une filière technologique HBT-InP sur Silicium pour des applications de PA sub-THz dans les communications sans fils 6G

Development of an HBT-InP on Silicon technology for sub-THz PA applications in 6G wireless communications

Présentée par :

Antoine LOMBREZ

Direction de thèse :

Thierry BARON Directeur de recherche, CNRS	Directeur de thèse
Hervé BOUTRY CEA-LETI	Co-encadrant de thèse
Alexis DIVAY CEA-LETI	Co-encadrant de thèse

Rapporteurs :

Jean-Guy TARTARIN
PROFESSEUR DES UNIVERSITES, Université de Toulouse
Ludovic DESPLANQUE
PROFESSEUR DES UNIVERSITES, Université de Lille

Thèse soutenue publiquement le **13 février 2026**, devant le jury composé de :

Florence PODEVIN, PROFESSEUR DES UNIVERSITES, Grenoble INP - UGA	Présidente
Thierry BARON, DIRECTEUR DE RECHERCHE, CNRS délégation Alpes	Directeur de thèse
Jean-Guy TARTARIN, PROFESSEUR DES UNIVERSITES, Université de Toulouse	Rapporteur
Ludovic DESPLANQUE, PROFESSEUR DES UNIVERSITES, Université de Lille	Rapporteur

Invités :

Pascal Chevalier
SENIOR SCIENTIST, STMicroelectronics

« Ils ne savaient pas que c'était impossible, alors ils l'ont fait. »

Mark Twain

À ma grand-mère maternelle, décédée en 2025.

Remerciements

Quelle aventure que ces trois années (et demi !) passées entre le Laboratoire des Transistors Avancés et le Laboratoire des Technologies de la Microélectronique. Cette période a été véritablement enrichissante intellectuellement et émotionnellement, et je souhaite remercier ici toutes les personnes qui ont contribué, de près ou de loin, à cette expérience.

C'est à l'occasion de mon stage de fin d'études d'ingénieur que je suis arrivé à Grenoble en 2022 et que j'ai découvert l'environnement scientifique passionnant du CEA. Mon premier contact sur place fut Luca Lucci, mon encadrant de stage, qui a immédiatement tout mis en œuvre pour que je me sente en confiance et pleinement intégré au sein du LDQC, devenu depuis le LTA. Je remercie par ailleurs Fred Gaillard et Blandine Duriez pour leur accueil respectif au sein du LDQC puis du LTA.
Luca, laisse-moi à nouveau te dire merci pour ta bienveillance, ta gentillesse et tout ce que tu m'as apporté, tant scientifiquement qu'humainement, durant ce stage. Cela m'a par la suite permis de me lancer pleinement dans la voie du doctorat. Sache que ce fut un plaisir de te recroiser régulièrement et de discuter avec toi au laboratoire tout au long de ma thèse.

Hervé, je ne te connaissais pas plus que cela avant que tu débarques un beau jour dans mon bureau de stagiaire, clamant que tu étais à la recherche de ta prochaine victi… enfin, d'une âme suffisamment brave pour s'approprier le sujet de thèse que tu portais. Je me souviens du premier entretien que l'on a eu, où tu m'expliquais à quel point la filière InP-HBT sur silicium, c'est quand même super génial, pendant que je faisais semblant de tout comprendre ce que tu étais en train de me raconter. Ça ne m'a néanmoins pas empêché de ressentir un véritable intérêt pour ce sujet, ce qui m'a finalement poussé à accepter de devenir ton cobay… euh, ton thésard pour les années à venir.

Mais également celui d'Alexis ! Que je ne connaissais également pas vraiment, probablement car alors souvent retenu captif au fin fond d'une salle de caractérisation RF, sombre et hantée par le bruit lancinant des VNAs et des probers… Du moins, c'était l'idée que je me faisais de ces salles avant d'y mettre les pieds plus tard.
J'ai finalement eu tout le temps d'apprendre à vous connaître au fil de ces années, et de réaliser à quel point vous êtes des encadrants formidables au quotidien, investis et toujours soucieux de ma compréhension du sujet et de ses enjeux. Mais vous êtes aussi de chouettes personnes avec lesquels j'ai adoré discuter de tout et de rien, au-delà de l'aspect scientifique.

Cependant, on dit qu'une thèse ne peut être menée à bien sans quelqu'un capable de la diriger d'une main de maître. Je parle bien évidemment ici de mon directeur de thèse Thierry Baron, véritable vétéran du monde de la recherche, qui fut le troisième pilier sur lequel j'ai pu pleinement compter, ainsi que mon lien privilégié avec le LTM. J'ai eu la chance et l'honneur de trouver en Thierry quelqu'un de profondément bienveillant et accessible, mais aussi capable de faire preuve d'une franchise implacable lorsque cela était nécessaire, ce qui m'a été précieux plus d'une fois.

Thierry, Hervé et Alexis, merci sincèrement pour tout ce que vous m'avez transmis au cours de ces trois années, aussi bien sur les plans scientifique et technique qu'humain. Merci pour votre disponibilité, vos conseils, votre rigueur, votre bonne humeur et vos blagues/chamailleries pendant les points thèse du lundi matin qui ne manquaient pas de me faire mourir de rire. Mais surtout, merci pour votre confiance. Ah oui, et n'oubliez finalement pas cette vérité désormais bien établie : « tout le monde travaille pour Hervé ».

Cette thèse n'aurait pas pu aboutir sans l'aide précieuse de nombreuses autres personnes, que je tiens à chaleureusement remercier. Merci tout d'abord à Léo Colas et Julie Quenisset, qui ont piloté avec détermination et efficacité l'avancée des lots du projet dans les différentes salles blanches, tout en coordonnant les multiples échanges nécessaires à leur réussite. À travers eux, je remercie également toutes les personnes ayant été impliquées dans les étapes essentielles de fabrication.
Je souhaite également remercier Nicolas Coudurier pour son aide considérable et sans limite lors des caractérisations électriques et des manipulations en salle blanche, ainsi que pour nos nombreuses discussions autour des problématiques de contact.
Merci aussi à Maël Robin, Félix Ravry et Ali Ahmad pour leur grand soutien lors de différentes manipulations et campagnes de caractérisation, ainsi que pour avoir aidé à analyser les données.
Un remerciement tout particulier à Stéphane Altazin, sans qui le développement sous COMSOL de la méthodologie d'extraction numérique des paramètres de résistivité n'aurait probablement jamais vu le jour.
Merci à Romain Thibon et Blandine Coulibaly pour leur précieuse aide sur les lots passés par la PFP.
Finalement, merci à Maxime Forêt et Chloé Guérin pour leurs travaux sur les diélectriques, qui ont énormément contribué au développement de la filière.

Je veux également remercier les membres de mon CSI, Mohammed Zaknoune et Christophe Jany, pour leurs conseils avisés à l'issue de chacune de mes années de thèse. Merci également au projet Carnot TeTrHIS, au PEPR 6G T-REX, ainsi qu'à STMicroelectronics (à travers le programme ALEPH) pour le financement de ces travaux, sans oublier le LABEX MINOS et l'Université Grenoble Alpes qui m'ont permis d'être rémunéré pendant trois ans.

Mais ce n'est pas tout ! Je tiens également exprimer ma reconnaissance auprès de Mickaël Martin, Bassem Salem, Franck Bassani, Hadi Hijazi, Léo Mallet-Dida, Riadh Ben Abbes, Rémy Bernardin, Guillaume Gay, Badreddine Smiri et Driss Mouloua côté LTM, pour leur aide et leurs échanges à différents moments de cette aventure. Plus largement, merci à toutes les personnes du laboratoire que j'ai côtoyé et avec lesquelles j'ai eu l'occasion d'échanger !

Je ne peux pas non plus oublier mes différents collègues de bureau au fil des années passées au CEA. Merci à Léa et Abdelmalek pendant mon stage. Et un grand merci à Maxime M., Quentin, Ayoub, Nada, Alexandre, Mohammed, Flávio, Ramy, Hadi, Goran, Maxime S., Victor, Yinyin, Ahmed, puis finalement Sylvain, Julie et Morgane pendant ma thèse. Entre les moments de stress, les fous rires, les discussions improbables et les innombrables pauses café, vous avez largement contribué à rendre ces années aussi agréables qu'inoubliables. J'espère sincèrement n'avoir oublié personne — et si c'est le cas, pardonnez-moi. Vous savez à quel point je vous apprécie.

Merci également à toutes les personnes du LTA que je côtoyais régulièrement, qui ont pu m'aider et avec lesquelles j'ai partagé des discussions enrichissantes et/ou marrantes, des moments de convivialité, des sessions karting endiablées ainsi que d'autres supers afterworks. Vous êtes très nombreux, mais je suis sûr que chacun se reconnaîtra !

Je souhaite aussi remercier tous mes amis présents à Grenoble pendant la thèse, et tout particulièrement Louis et Antoine avec qui j'ai partagé la légendaire colocation Jean-Jacques Roussi pendant trois ans et demi, mais aussi ce road-trip inoubliable en Norvège ainsi que bien d'autres choses depuis l'INSA. Merci pour tous ces souvenirs, vous êtes incroyables et j'espère que nous resterons proches encore longtemps.

Une mention spéciale aux iconiques membres de la Quack Team : Bastien, Elena, Ariel, Maxence et Guillaume. Nos soirées en ligne sont géniales, et nos week-ends passés ensemble dans « la vraie vie » sont mythiques. Merci pour ces moments.

Enfin, je ressens le besoin de conclure ces remerciements en adressant un immense merci à ma famille, qui m'a constamment soutenu depuis le tout début. Plus particulièrement : Papa, Maman, Laeticia, merci pour tout. Je vous aime profondément.

Sommaire

Remerciements 4

Introduction 12

1. Vers la prochaine génération des communications sans fils 14

1.1 Les futurs enjeux en termes de débit 15
1.2 Les fréquences de fonctionnement visées 16
1.3 Les technologies et matériaux permettant l'atteinte de ces fréquences 18
1.4 Les transistors InP-HBTs 21

1.4.1 Principe de fonctionnement : du transistor bipolaire au DHBT 21
1.4.2 Les leviers d'amélioration des performances fréquentielles d'un DHBT 25
1.4.2.1 Théorie du contact ohmique métal/semi-conducteur 25
1.4.2.2 Dimensionner le DHBT et améliorer les contacts ohmiques pour atteindre les performances THz 29
1.4.3 Les filières InP-HBT principales 33
1.4.3.1 La filière InP/InGaAs 34
1.4.3.2 La filière InP/GaAsSb 36

1.5 L'intégration technologique des InP-HBTs 38

1.5.1 L'intégration sur substrat III-V 38
1.5.1.1 Schéma d'intégration standard 38
1.5.1.2 La re-croissance de base extrinsèque : une solution pour améliorer les performances 39
1.5.2 Le défi de la production à haut volume 41

1.6 Enjeux de la thèse et description des chapitres 42
1.7 Références du chapitre 1 44

2. Vers une technologie InP-DHBT sur silicium compatible CMOS 48

2.1 Contraintes d'une intégration CMOS-compatible 48
2.2 Etat de l'art des solutions d'intégration existantes 50

2.2.1 Intégration hétérogène par croissance monolithique III-V directe sur silicium 50
2.2.2 Intégration hétérogène par assemblage 53
2.2.2.1 L'approche « Above IC » 3D : des techniques d'interconnexions aux approches d'assemblage 53
A. Les techniques d'interconnexion 53
B. Les approches d'assemblage 54
2.2.2.2 L'approche alternative 2.5D 59
2.2.2.3 Transfert de film InP et reprise de croissance épitaxiale 60

2.3 Description et explication des choix initiaux pour la réalisation du InP-DHBT sur silicium 63
2.4 Les défis rencontrés au cours de la thèse et les solutions apportées 67

2.4.1 Etudes réalisées sur les lots TASP 67
2.4.1.1 Gravure sèche de la partie active III-V 68
2.4.1.2 Gravure sèche SiN avec arrêt sur III-V 70
2.4.1.3 Dépôt et adhérence de diélectriques sur InGaAs 71
2.4.1.4 Choix du type de dépôt W pour le remplissage des cavités de contact et des plugs 74
2.4.1.5 Impact des pré-nettoyages plasma et des métallisations de contact sur la couche active 77
2.4.2 Etudes réalisées sur les lots InP-DHBT sur silicium 81
2.4.2.1 Gravure III-V de l'émetteur 81
2.4.2.2 Gravure III-V de la mésa base 85

2.5 Conclusion du chapitre 2 86
2.6 Références du chapitre 2 87

3. Développement de contacts ohmiques compatibles CMOS pour le InP-DHBT sur silicium 92

3.1 Les contacts ohmiques sur InGaAs 92
3.2 Premières études de contacts compatibles CMOS sur InGaAs-N^+ et -P^{++} 95

3.2.1 Dispositifs TLM réalisés en plateforme « souple » 95
3.2.2 Dispositifs TLM intégrés sur substrat silicium 200mm et réalisés en plateforme Si-CMOS (TASP v1) 100
3.2.2.1 Fabrication des dispositifs TLM 100
3.2.2.2 Caractérisations électriques 105

3.3 Mise au point d'une méthodologie d'extraction numérique basée sur la TLM 108

3.3.1 Développement de la méthodologie numérique 108
3.3.2 Calibrage et validation de la méthodologie numérique sur empilements n-SOI 111
3.3.2.1 Résistivité de contact et résistance de couche 111
3.3.2.2 Longueur de transfert 114
3.3.3 Application de la méthodologie numérique d'extraction sur InGaAs-N^+ (TASP v1) 120

3.4 Secondes études de contacts compatibles CMOS sur InGaAs-N^+ et -P^{++} (TASP v2) 127

3.4.1 Fabrication des dispositifs TLM 127
3.4.2 Caractérisation électrique des contacts sur InGaAs-N^+ 129
3.4.3 Conclusion pour le contact sur InGaAs-N^+ 138
3.4.3.1 Résumé 138
3.4.3.2 Estimation des résistances d'accès R_E et R_C du transistor par simulation 140
3.4.4 Caractérisation électrique des contacts sur InGaAs-P^{++} 142
3.4.4.1 Passivation par l'hydrogène suite à des procédés de gravure sèche 145
3.4.4.2 Application de la méthodologie numérique d'extraction 147
A. Contact Ti/p-InGaAs recuit à 450°C 147

B. Contact Ti/p-InGaAs recuit à 500°C 150
C. Contact Ni/p-InGaAs recuit à 400°C 151
3.4.4.3 Comparaison à l'état de l'art 152
3.4.4.4 Estimation par simulation de la résistance totale de base R_{bb} 152
3.4.5 Conclusion pour le contact sur InGaAs-P^{++} 155
3.4.5.1 Résumé 155
3.4.5.2 Ouverture / Perspectives 156

3.5 Caractérisation électrique du premier lot transistor InP-DHBT sur silicium de la filière 157
3.6 La filière InP-DHBT sur silicium en fin de thèse 161

3.6.1 Changements apportés dans le lot InP-DHBT sur silicium 161
3.6.2 Caractérisation DC et RF du dernier lot InP-DHBT sur silicium en date 164
3.6.3 Perspectives 170

3.7 Conclusion du chapitre 3 171
3.8 Références du chapitre 3 174

4. Caractérisation de contacts compatibles CMOS sur GaAsSb-P^{++} 180

4.1 Etude préliminaire : passivation des accepteurs carbone par gravure sèche ICP sous atmosphère hydrogénée 181
4.2 Dispositifs TLM réalisés en plateforme « souple » 187
4.3 Dispositifs TLM réalisés en plateforme silicium / photonique 191
4.4 Conclusion du chapitre 4 200
4.5 Références du chapitre 4 201

Conclusion générale 203

Perspectives 204

Contributions scientifiques de l'auteur 206
Publications 206
Brevets 206

Tables 207
Table des figures 207
Index des tableaux 216

Introduction

Les capacités de transmission sans fil attendues pour la 6G sont 10 à 100 fois supérieures à celles de la 5G, avec un objectif ambitieux de 1 Tbit/s afin de répondre aux besoins des applications les plus consommatrices de données. Pour atteindre de tels débits, les bandes de fréquences millimétriques supérieures (100–300 GHz) et térahertz (>300 GHz) sont identifiées comme des candidates privilégiées. Cependant, les technologies d'amplification de puissance (PA) basées sur des matériaux tels que le SiGe, le GaAs ou le GaN présentent des limitations en termes d'efficacité au-delà de 200 GHz. À l'inverse, les dispositifs à base d'InP — notamment les transistors bipolaires à double hétérojonction (InP-DHBT) — offrent actuellement le meilleur compromis entre puissance et vitesse, permettant un fonctionnement efficace aux fréquences élevées. Néanmoins, leur fabrication sur des substrats III-V de petit diamètre restreint fortement leur intégration avec les antennes et les circuits numériques, constituant ainsi un obstacle majeur au développement de modules frontaux haute performance.

Dans ce contexte, le développement d'une technologie InP-DHBT compatible avec les procédés CMOS industriels suscite de l'intérêt. Cela permettrait une production à grande échelle sur des substrats silicium de 300 mm, tout en facilitant l'adoption de techniques d'intégration hétérogène avancées, telles que le collage hybride direct. Un enjeu essentiel réside alors dans la mise au point de contacts ohmiques à la fois stables, performants et compatibles CMOS. Afin de répondre aux exigences de la 6G, en particulier l'atteinte d'une fréquence maximale d'oscillation (f_{MAX}) supérieure ou égale à 1 THz, il est nécessaire d'obtenir des résistivités de contact de l'ordre de 10^{-8} Ω*cm². Les contacts sur l'émetteur et sur la base sont particulièrement critiques, la performance fréquentielle d'un DHBT dépendant directement de leur qualité.

L'approche développée dans cette thèse repose sur le report d'épitaxies InP/InGaAs 4", optimisées pour la réalisation de DHBT, sur des substrats silicium oxydés de 200 mm. L'intégration suit un schéma de type Damascene, comprenant l'encapsulation des zones actives III-V dans des diélectriques, suivie d'étapes de planarisation par polissage mécano-chimique, d'ouverture de cavités dans ces diélectriques, puis de leur remplissage par dépôts métalliques. Selon ce même procédé, des dispositifs TLM planarisés — aux dimensions proches de celles des contacts d'un InP-DHBT — sont réalisés sur des couches actives InGaAs-N^+ et InGaAs-P^{++}, afin de caractériser des contacts compatibles CMOS.

Les paramètres de résistivité sont extraits à l'aide de la méthodologie TLM standard, ainsi qu'au travers d'une approche numérique d'extraction innovante développée durant la thèse. Cette méthode corrige les effets liés aux dimensions et à la géométrie des dispositifs sur les valeurs de résistivité et de longueur de transfert extraites, permettant ainsi une évaluation plus représentative des performances réelles des contacts.

Les principaux résultats obtenus concernent la réalisation de contacts ohmiques présentant des résistivités de 4.0×10^{-8} Ω*cm² sur InGaAs-N^{+} et de 5.0×10^{-7} Ω*cm² sur InGaAs-P^{++}, avec une métallisation à base de titane sur les dispositifs TLM planarisés. Plusieurs défis propres aux procédés CMOS sont identifiés, tels que la passivation des dopants carbone par l'hydrogène lors de l'ouverture des cavités de contact, ou encore la nécessité d'assurer la stabilité thermique des contacts aux budgets thermiques adressés. Parallèlement, des avancées notables sont obtenues sur les dispositifs InP-DHBT intégrés sur silicium, montrant des résultats prometteurs pour la suite du développement de la filière. Les caractérisations électriques menées en fin de thèse ont permis d'extraire une fréquence de transition f_T = 211 GHz et une fréquence maximale d'oscillation f_{MAX} = 117 GHz. A notre connaissance, il s'agit d'une première mondiale pour une technologie InP-DHBT intégrée sur substrat silicium 200 mm et entièrement compatible avec les procédés CMOS industriels. Enfin, des premières évaluations de contacts CMOS sont réalisées sur des couches actives GaAsSb-P^{++}, ouvrant la voie à l'intégration future de ce matériau, aux propriétés intéressantes, en tant que couche de base pour les InP-DHBT sur silicium.

1. Vers la prochaine génération des communications sans fils

Les communications sans fils et optiques constituent le socle de notre société numérique. Elles ont permis d'atteindre la connectivité universelle, avec une connexion instantanée, partout et à tout moment, soutenant des domaines majeurs tels que l'industrie ou la santé. La fibre optique offre aujourd'hui des débits de l'ordre du térabit par seconde (Tbit/s), tandis que les technologies sans fils (5G, Wi-Fi 7, Li-Fi) permettent des communications ultra-rapides et à faible latence, essentielles pour les applications en temps réel. Les réseaux sont devenus de plus en plus robustes au cours du temps et sont désormais capables de gérer des millions de capteurs et d'appareils connectés simultanément.

La première génération (1G) des technologies de réseaux mobiles apparaît autour de 1980. Elle repose sur un système analogique permettant de transmettre la voix entre deux terminaux via des ondes radio, selon le principe des réseaux cellulaires. Ces premiers réseaux, comme l'AMPS (Advanced Mobile Phone System) aux États-Unis ou le NMT (Nordic Mobile Telephone) en Europe, offraient une couverture limitée et une qualité sonore médiocre, mais marquaient le début de la mobilité téléphonique.

La 2G est ensuite lancée en 1991 avec la norme GSM (Global System for Mobile Communications), standardisée par l'ETSI (European Telecommunications Standards Institute). Cette génération introduit la numérisation des communications, améliorant la qualité audio et la sécurité. Le GSM permet aussi l'envoi de SMS (Short Message Service), premier service de données mobile, et ouvre la voie à des services comme le WAP (protocole d'accès à internet mobile rudimentaire). La 2G connaît un succès planétaire, avec des opérateurs comme Orange, Vodafone ou T-Mobile. Avant l'arrivée de la 3G, des évolutions comme le GPRS (2.5G) et l'EDGE (2.75G) permettent des débits légèrement plus élevés, rendant possible un accès basique à internet et aux e-mails depuis un mobile.

Vient alors la 3G, basée sur la norme UMTS (Universal Mobile Telecommunications System), qui est déployée commercialement à partir de 2000. Elle promet des débits suffisants pour surfer sur le web, envoyer des emails, et même regarder des vidéos. Cependant, son adoption est lente en raison du coût des infrastructures et des terminaux. La 3G+ (HSPA) améliore ensuite les débits, préparant le terrain pour la génération suivante.

La 4G, standardisée sous le nom LTE (Long Term Evolution), est ensuite lancée autour de 2010. Elle offre des débits comparables à l'ADSL fixe, permettant le streaming vidéo, les jeux en ligne et le développement de l'économie des applications (Google Play, App Store). Les smartphones, dont les fers de lance sont l'iPhone d'Apple ou encore la gamme Galaxy de Samsung, deviennent omniprésents. Les équipementiers (Ericsson, Nokia, Huawei) jouent un rôle clé dans le déploiement des infrastructures 4G, qui couvrent rapidement la majorité des zones urbaines. Entre 2015 et 2020, des évolutions comme le LTE-Advanced et le LTE-Advanced Pro (4.5G) poussent les débits jusqu'à 1 Gbit/s, préparant la transition vers la 5G.

Enfin, déployée à partir de 2020, la 5G ne se contente pas seulement d'améliorer les débits pour les consommateurs. Ses applications incluent la voiture autonome, la télémédecine, les usines intelligentes et les villes connectées. Elle est également pensée pour répondre aux besoins de l'industrie du futur, aussi appelée industrie 4.0 : faible latence (moins de 1 ms), capacité à connecter un million d'appareils par km², et gestion de flux de données massifs en temps réel. La 5G actuelle utilise quasi-exclusivement les fréquences inférieures à 6 GHz. La bande comprise entre 1 et 6 GHz est en effet la plus utilisée de nos jours, offrant un bon compromis entre débit et couverture. Les fréquences < 1 GHz sont aussi exploitées afin de couvrir de plus grandes zones, bien qu'en contrepartie de débits plus modestes. Enfin, les ondes millimétriques (≥ 30 GHz) font également partie intégrante du standard 5G et peuvent permettent d'atteindre les meilleures valeurs de débits et de latence, mais leur déploiement s'avère encore limité et localisé en raison des défis en termes de couverture et d'infrastructures.

Chacune de ces générations a ainsi répondu à un besoin croissant de débit, de latence réduite et de connectivité massive, tout en s'adaptant aux innovations technologiques. La loi d'Edholm, qui prévoit que les débits sans fils doublent tous les 18 mois [*Cherry_2004*], a par la même occasion pu être vérifiée depuis une trentaine d'années. Cette progression est soutenue par l'évolution des normes, notamment dans les réseaux locaux sans fil (WLAN, famille 802.11) et les réseaux spécialisés haut débit (WSN, famille 802.15.3), qui passent progressivement de quelques dizaines de Gbit/s à plus de 100 Gbit/s. Cependant, en pratique, les liaisons radio les plus avancées n'atteignent les 100 Gbit/s qu'à une distance de 1 à 2 mètres, et uniquement en conditions fixes, sans possibilité de redirection du faisceau. Atteindre des valeurs de débit plus élevées dans des réseaux réels, qu'ils soient à longue portée ou mobiles, représente donc un défi colossal pour les années à venir.

1.1 Les futurs enjeux en termes de débit

Plusieurs défis et opportunités poussent dorénavant au développement de la prochaine génération ainsi qu'à celui de nouvelles technologies optiques sans fils. En effet, la demande en bande passante ne cesse de croître, portée par les nouvelles applications émergentes (intelligence artificielle, réseaux neuronaux, réalité virtuelle et augmentée, internet des objets, etc…). De plus, les applications critiques, telles que l'automatisation industrielle, la chirurgie à distance ou encore les voitures autonomes, vont exiger des temps de réponse toujours plus courts. Il faudra également parvenir à connecter des milliards d'objets (capteurs, drones, robots, etc…) de manière fiable, y compris dans des zones reculées ou en mouvement. Enfin, les aspects concernant la sobriété énergétique ou encore la sécurité constituent également des enjeux devant être adressés par les réseaux du futur.

La première vision globale de la 6G, présentée dans [*Latva-aho_2019*], décrit cette future norme comme une plateforme de services intégrant non seulement les communications, mais aussi la détection, l'imagerie, la localisation haute précision et la mobilité. L'amélioration continue des performances de transmission, tout en développant ces nouvelles fonctionnalités, constitue un axe central de la recherche sur la 6G. Les capacités de transmission sans fils de la

6G devront être 10 à 100 fois supérieures à celles de la 5G, avec un objectif de 1 Tbit/s pour répondre aux besoins des applications les plus gourmandes en données : backhaul industriel, communications immersives (XR, métavers…), bornes de données interactives, connectivité domestique ultra-rapide… Cet objectif ambitieux, couplé à la nécessité d'un développement durable, soulève des interrogations au sein de la communauté radiofréquence (RF) : une telle avancée est-elle réalisable, et comment y parvenir? Les compromis à trouver sont en effet complexes, tant sur le plan technique que conceptuel. Bien que l'accent soit mis sur l'exploitation des hautes fréquences du spectre des radiofréquences (RF), cela ne signifie pas que l'optique ne sera pas une alternative attrayante, au moins en complément des communications RF. En effet, les communications optiques, traditionnellement filaires, explorent désormais des solutions sans fils se basant sur des émetteurs-récepteurs optiques à large bande. Un des défis notables consiste cependant à pouvoir y intégrer des convertisseurs numérique-analogique (DAC) et analogique-numérique (ADC) fonctionnant à des fréquences élevées. Des technologies basées sur des multiplexeurs et démultiplexeurs analogiques (AMUX et ADEMUX) peuvent alors permettre de doubler la bande passante des DACs et des ADCs, respectivement [*Nagatani_2022*]. D'un autre côté, l'utilisation d'amplificateurs, de mélangeurs et de combineurs permet également d'étendre la bande passante pouvant être exploitée par ces émetteurs-récepteurs optiques [*Nagatani_2022*].

1.2 Les fréquences de fonctionnement visées

Pour soutenir ce débit extrême de 1 Tbit/s, il ne suffira pas d'améliorer l'efficacité spectrale grâce à des technologies avancées de forme d'onde et de modulation. De nouvelles bandes spectrales et des technologies matérielles innovantes seront indispensables. Dans ce contexte, la bande térahertz (THz) est considérée comme un levier majeur. Elle pourrait résoudre la pénurie de spectre et les limites de capacité des systèmes actuels, tout en permettant le développement d'autres applications dans des domaines variés. La définition de la bande THz varie selon les sources. Pour l'UIT (Union Internationale des Télécommunications), elle s'étend de 0.3 à 3 THz, mais certains travaux récents l'élargissent de 0.1 à 10 THz. Peu exploitée pour les communications, cette bande reste un terrain d'exploration. Les fréquences mmW supérieures (100–300 GHz) et THz (>300 GHz) sont considérées comme des candidates clés pour répondre aux besoins croissants en débit. L'atténuation atmosphérique reste cependant un obstacle clé pour la portée de ces fréquences, comme l'illustre la Figure 1 ci-dessous. En effet, l'atténuation augmente avec la fréquence et peut dépasser -10 dB/km aux alentours de 350 GHz, rendant les communications sur plusieurs kilomètres difficiles. Certaines bandes sont également particulièrement affectées par l'absorption de l'oxygène (60 GHz) ou par l'humidité (183 et 325 GHz). Entre 252 et 296 GHz, la portée peut atteindre 2 km avant que l'atténuation n'atteigne 10 dB, et elle peut dépasser 8 km entre 121 et 154 GHz, hors conditions de pluie [*Pärssinen_2021*].

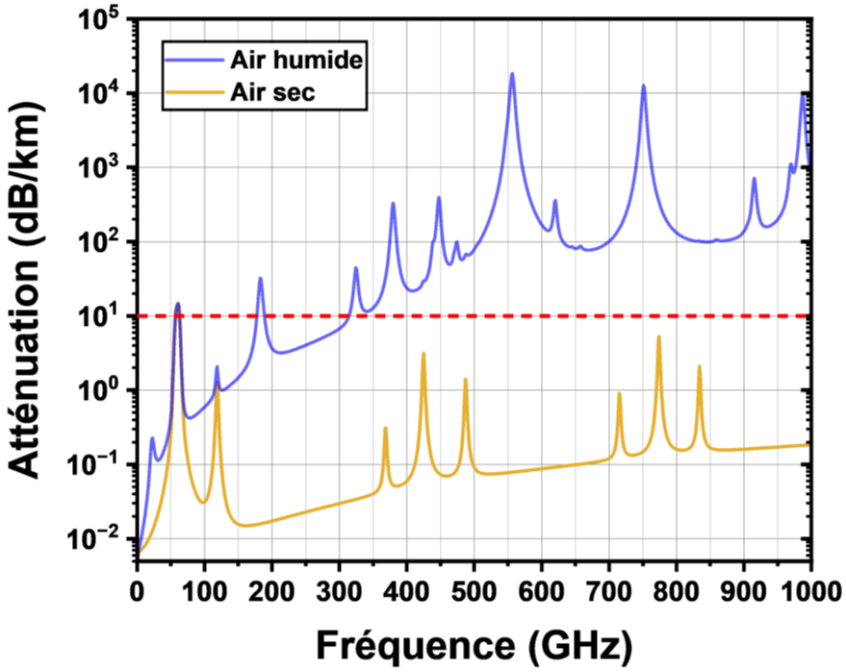

Figure 1 : Atténuation des signaux RF due à l'absorption gazeuse atmosphérique. Le modèle d'atténuation des gaz atmosphériques de l'Union Internationale des Télécommunications (UIT) a été utilisé pour calculer ces données [*UIT_2013*]. Une température de 20°C, une pression atmosphérique de 101 325 Pa, ainsi qu'une densité de vapeur d'eau atmosphérique de 8.7 g/m^3 sont considérées pour le cas « Air humide ». Pour le cas « Air sec », cette dernière valeur est considérée nulle.

L'exploitation de ces fréquences élevées semblerait donc plus favorable dans les zones urbaines. Cependant, en plus de l'atténuation des signaux RF due à l'absorption gazeuse atmosphérique, les effets d'obstruction (murs, arbres, etc…) deviennent eux aussi de plus en plus critiques à mesure que la longueur d'onde diminue, et donc que la fréquence augmente. Des solutions diverses sont alors développées afin de réduire l'impact de ce phénomène, telles que des antennes actives permettant de focaliser le signal dans une direction programmable, ou encore via l'utilisation de métasurfaces capables de réfléchir les signaux RF.

L'exploitation des bandes mmW supérieures et THz offrent tout de même un réel potentiel pour des communications sans fil ultra-rapides sur des distances kilométriques, à condition de développer des technologies d'antennes avancées répondant aux défis mentionnés. Il deviendra également indispensable de concevoir des systèmes de communication THz complets — incluant antennes, composants RF, conversions analogique/numérique et traitements du signal — afin d'atteindre des débits de 1 Tbit/s.

Les bandes de fréquences actuellement utilisées pour la 5G et les générations précédentes resteront cependant pertinentes pour la 6G dans sa globalité. Les bandes basses (< 3.5 GHz) permettent en effet une meilleure couverture et sont donc adaptées aux utilisateurs en périphérie de cellule ou dans des zones éloignées. Les techniques MIMO (Multiple Input Multiple Output) pourront alors y améliorer le débit, la fiabilité et l'efficacité spectrale, cela grâce à l'utilisation de plusieurs antennes à l'émission et à la réception afin de transmettre plusieurs flux de données simultanément sur le même canal radio. De plus, l'exploitation des fréquences millimétriques (mmW) demeure complexe, notamment en raison de la nécessité d'adapter les systèmes de communication existants et d'augmenter le nombre d'antennes, alors même que le gain en débit

final pour le particulier ne sera finalement pas si supérieur que cela par rapport à ceux déjà atteignables aujourd'hui. L'intérêt de ces fréquences plus élevées se situe donc principalement dans des applications d'infrastructure ou industrielles, telles que le backhaul, des applications de type « data shower » à très haut débit sur de courtes distances, ou encore l'imagerie térahertz, utilisable entre autres dans les domaines de la sécurité ou de la médecine.

1.3 Les technologies et matériaux permettant l'atteinte de ces fréquences

Les progrès des technologies semi-conductrices ont permis l'évolution des systèmes de communication, de la 2G jusqu'à la 5G. Pour la sixième génération, ces avancées restent indispensables, mais se heurtent à un défi majeur : la loi d'Edholm, qui prédit une croissance exponentielle des débits [*Cherry_2004*], dépasse désormais le rythme de la loi de Moore. Alors que cette-dernière a longtemps guidé l'évolution des technologies numériques, les contraintes matérielles freinent aujourd'hui l'innovation en radiofréquence. Les circuits fonctionnant dans les bandes mmW supérieures et THz pour la 6G seront contraints par les performances des composants passifs et des composants actifs, tels que les transistors.

La vitesse des transistors, notamment, devient à nouveau un goulot d'étranglement, ce qui n'était plus le cas depuis des années. Celle-ci est évaluée à l'aide de deux indicateurs : la fréquence de transition f_T qui désigne la fréquence à laquelle le gain en courant H_{21} du transistor tombe à 1 (0 dB), et la fréquence maximale d'oscillation f_{MAX}, fréquence à laquelle le gain en puissance U tombe à 1 (0 dB). Comme le montre la Figure 2 ci-dessous, ces deux gains suivent une pente de -20dB par décade à partir d'une certaine valeur seuil située dans les hautes fréquences. Il est possible de réaliser une estimation de la plage de gain maximum pouvant être atteint sur le dispositif visé en considérant la valeur de f_T ou de f_{MAX} divisée par 3 et par 5. Si l'on prend l'exemple d'un amplificateur de puissance, les valeurs $f_{MAX}/3$ et $f_{MAX}/5$ des transistors le composant permettent d'estimer le gain en puissance maximum du dispositif. De ce fait, afin de concevoir un amplificateur de puissance efficace aux fréquences de fonctionnement se situant dans la bande mmW supérieure (100-300 GHz), il est préférable d'employer des transistors capables d'atteindre des f_{MAX} supérieures ou égales à 1 THz. Fort heureusement, les technologies semi-conductrices ont connu des avancées majeures ces deux dernières décennies.

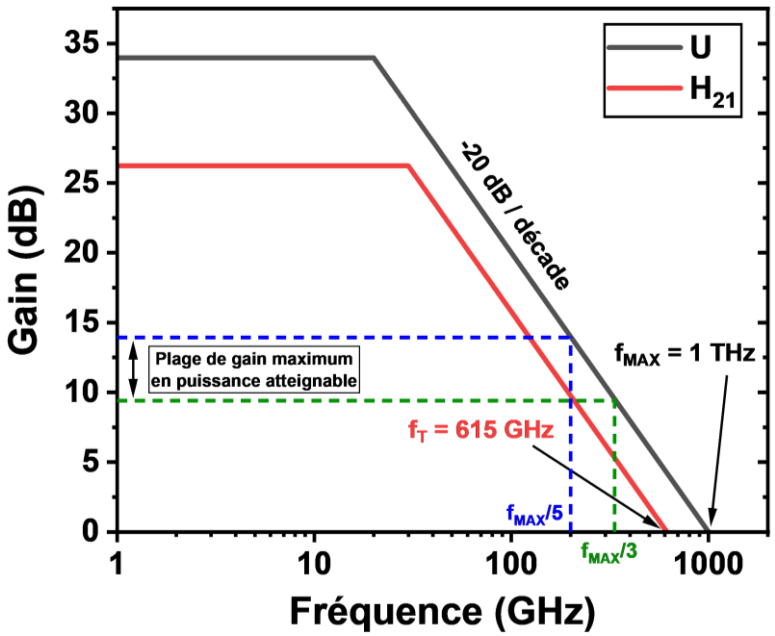

Figure 2 : Exemple simplifié du graphe de gain en courant petits signaux (H_{21}) et de gain unilatéral de Mason (U) d'un transistor, en fonction de la fréquence. Les valeurs de gain, de f_T et de f_{MAX} sont arbitraires à des fins d'illustration.

Là où les performances des transistors CMOS et SOI saturent autour de 400 GHz pour f_T et f_{MAX}, les transistors bipolaires SiGe ont atteint 700 GHz en f_{MAX} [*Heinemann_2016*]. De plus, les SiGe HBTs auraient le potentiel de dépasser 1 THz en f_{MAX} à l'avenir, d'après la feuille de route du groupe de travail de l'ITRS (International Technology Roadmap for Semiconductors) [*Schröter_2017*]. Cela reste cependant à démontrer, car une excellente maîtrise des dopages et de l'échauffement thermique des dispositifs est alors requise pour y parvenir.

Le GaN possède quant à lui une bande interdite de 3.3 eV, ce qui le rend adapté aux applications haute puissance et haute température, tout en offrant de bonnes performances en bruit. Bien que mature pour les stations de base 5G, des recherches visent désormais à réduire la taille des transistors GaN HEMT pour les rendre compatibles avec des applications fréquentielles supérieures à 100 GHz. Des démonstrations présentant des f_T/f_{MAX} de 310/582 GHz en GaN/SiC [*Shinohara_2013*] et de 190/532 GHz en GaN/Si [*Then_2024*] ont notamment déjà été réalisées. Les tensions de claquage atteignables s'élèvent également jusqu'à environ 17 V. Cependant, la mobilité électronique du GaN n'étant pas supérieure à celle du silicium, d'autres matériaux III-V pourront lui être préférés.

En particulier, les transistors InP HEMT et HBT dépassent déjà de leur côté 1 THz en f_{MAX}. Une performance maximale de 1.5 THz en f_{MAX} a notamment été obtenue par le groupe Northrop Grumman sur un InP HEMT [*Mei_2015*]. Néanmoins, la tenue en tension est inférieure à 2 V. Les InP HBT offrent de leur côté des valeurs supérieures de tension de claquage, ce qui permet l'obtention d'un meilleur compromis entre vitesse et puissance par rapport à leurs équivalents HEMT. En particulier, Urteaga et al. ont démontré un InP HBT avec des valeurs f_T/f_{MAX} atteignant 0.521/1.15 THz et une tenue en tension BV_{CEO} = 3.5 V [*Urteaga_2011*], tandis que le record de vitesse actuel est détenu par Arabhavi et al. avec f_T/f_{MAX} = 0.475/1.2 THz et une tension de claquage BV_{CEO} = 5.4 V [*Arabhavi_2022*].

Pour évaluer les capacités de génération de puissance des différentes technologies de semi-conducteurs en fonction de la fréquence de fonctionnement, une étude conduite par Wang et al. [*Wang_2025*] a répertorié la puissance de sortie saturée des amplificateurs de puissance (PA) publiés dans les principales conférences et revues depuis 2000. Les résultats, reportés dans la Figure 3 ci-dessous, montrent que les performances se dégradent fortement au-delà de 100 GHz, car la f_{MAX} des transistors devient un facteur limitant majeur. La supériorité de l'InP est alors mise en évidence pour les plus hautes fréquences. Les performances de la technologie SiGe BiCMOS (combinaison du CMOS et des SiGe HBTs) se situent quant à elles entre celles du CMOS et de l'InP pour des fréquences dépassant 100 GHz.

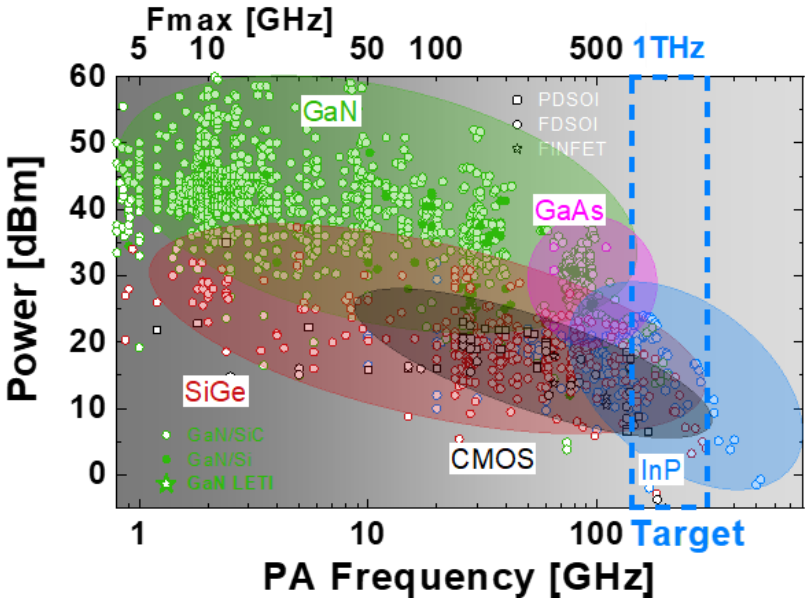

Figure 3 : Performances de différentes technologies d'amplificateurs de puissance (PA) selon le système matériau utilisé. Données provenant de [*Wang_2025*].

Les technologies CMOS et SiGe HBT, notamment lorsque combinées au sein de la technologie SiGe BiCMOS, joueront tout de même un rôle majeur dans les applications 100–300 GHz, en particulier pour les systèmes où la puissance d'émission n'est pas le critère dominant. En effet, les tenues en tensions typiquement atteignables par les SiGe HBTs sont $BV_{CEO} \leq 2$ V et $BV_{CBO} \sim 5$ V pour des configurations axées sur la vitesse [*Heinemann_2016, Chevalier_2024*]. Pour les applications exigeant une puissance élevée, comme certains modules fronts-end RF, les dispositifs III-V resteront en revanche indispensables, à condition que leur intégration devienne économiquement viable. La technologie GaN HEMT, avec des valeurs de f_{MAX} ayant dépassé les 500 GHz, demeure particulièrement attractive pour les PAs. La large bande interdite du GaN permet notamment d'obtenir des tensions de claquage s'élevant à plusieurs dizaines de volts pour des configurations axées sur la vitesse. Les progrès récents du GaN-sur-silicium devraient également accélérer son adoption dans les communications sans fils. Pour des fréquences porteuses allant de 300 GHz jusqu'à 1 THz, l'InP continuera cependant de dominer, notamment grâce à sa mobilité électronique élevée. Comme mentionné en amont, le choix entre InP HEMT et InP HBT dépendra alors de l'importance de la tenue en tension dans l'application visée à ces hautes fréquences. Néanmoins, l'intérêt pour les dispositifs InP peut se présenter dès la bande D (110-170 GHz) s'ils possèdent un gain suffisant, bien que le GaN fournisse plus de puissance en comparaison. Des applications telles que les amplificateurs faible bruit (LNA) pourraient alors être envisagées pour l'InP dans ces bandes de fréquences plus faibles.

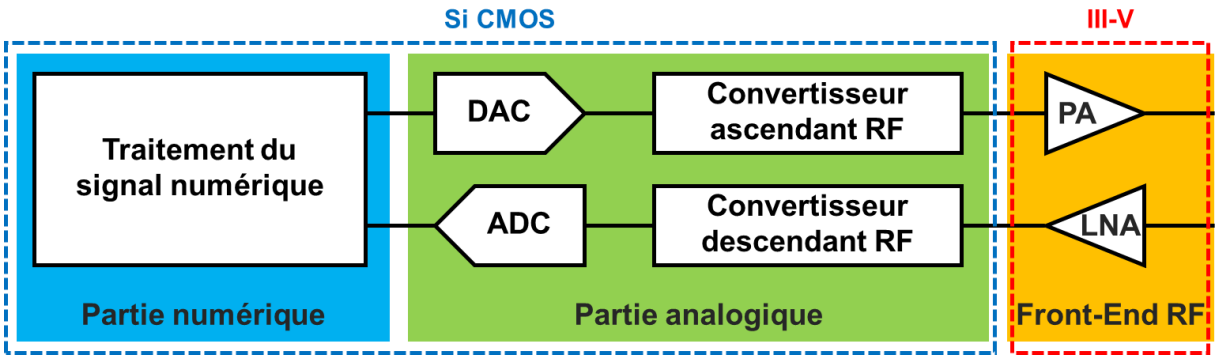

Figure 4 : Schéma simplifié de la structure d'un système de communication sans fil pour la 6G sub-THz.

Les inconvénients principaux des technologies exploitant l'InP restent toutefois leur coût de fabrication élevé (rareté du matériau, chaîne d'approvisionnement limitée…) et leur intégration limitée avec des fonctions analogiques et numériques complexes. La Figure 4 ci-dessus illustre en effet l'architecture type visée pour les futurs systèmes de communication sans fil, combinant les forces respectives du CMOS et des technologies III-V. Les recherches actuelles se concentrent donc sur une amélioration du niveau d'intégration des technologies III-V avec le silicium et les circuits CMOS. Cela devrait par la suite pouvoir ouvrir les portes à un éventuel déploiement à grande échelle de l'InP pour les futurs réseaux 6G.

1.4 Les transistors InP-HBTs

1.4.1 Principe de fonctionnement : du transistor bipolaire au DHBT

Les travaux présentés dans cette thèse s'inscrivent dans le cadre de ces recherches menées sur la co-intégration des technologies InP et silicium. Parmi les dispositifs envisagés, les transistors InP-DHBT se distinguent comme les plus prometteurs pour les applications d'amplification de puissance à très haute fréquence, comme décrit au cours des lignes précédentes. Il s'agit de la technologie considérée dans le reste de ce manuscrit. Avant d'aller plus loin, il convient d'introduire le principe de fonctionnement d'un transistor bipolaire, du cas classique à homojonction jusqu'au DHBT.

John Bardeen et William Brattain, deux chercheurs des laboratoires Bell travaillant alors sous la direction de William Shockley, ont inventé en 1947 le premier transistor bipolaire, nommé le « transistor à pointes » (Figure 5). Dans les années qui suivent, Shockley théorise et développe le transistor bipolaire fonctionnant avec des jonctions PN. Ces découvertes ont valu aux trois physiciens l'obtention du prix Nobel de physique en 1956.

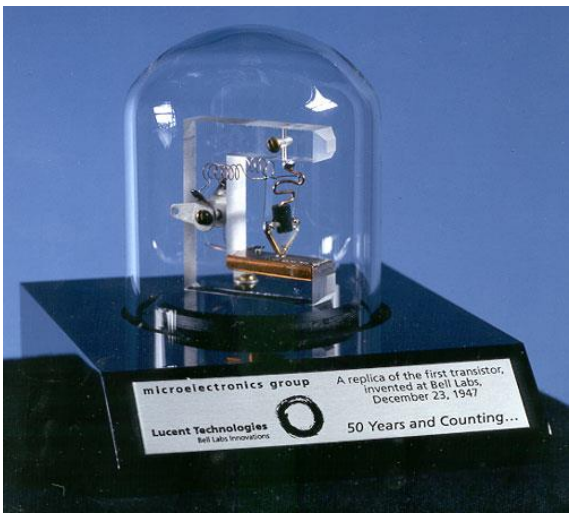

Figure 5 : Réplique du premier transistor bipolaire, le « transistor à pointes », inventé par les laboratoires Bell en 1947.

Un transistor bipolaire à homojonction (Bipolar Junction Transistor, BJT) est alors constitué de trois régions — l'émetteur, la base et le collecteur — réalisées à partir du même matériau semi-conducteur, mais présentant des dopages distincts. Dans une structure NPN typique, l'émetteur est fortement dopé N^+, la base est mince et faiblement dopée P, et le collecteur est modérément dopé N. Le fonctionnement du transistor repose sur une polarisation directe de la jonction émetteur-base (E-B) et une polarisation inverse de la jonction base-collecteur (B-C), comme illustré sur la Figure 6. Les électrons sont injectés depuis l'émetteur vers la base, où ils deviennent porteurs minoritaires. La base, étant très fine et peu dopée, laisse diffuser une grande partie des électrons sans recombinaison, ceux-ci étant ensuite récupérés par le collecteur pour former le courant de collecteur I_c. Les électrons n'atteignant pas le collecteur et se recombinant avec les trous de la base contribuent quant à eux de façon minoritaire au courant de base I_b. La contribution majoritaire à I_b dans un BJT provient alors de l'injection de trous dans l'émetteur au niveau de la jonction E-B. Le gain en courant du transistor est finalement défini comme le rapport entre ces deux courants : $\beta = I_c/I_b$.

Toutefois, l'emploi d'un unique matériau dans un BJT impose un compromis entre le gain en courant et la rapidité du dispositif. En effet, la base doit rester faiblement dopée P afin de limiter le courant de base I_b (peu d'injection de trous dans l'émetteur) et ainsi obtenir un gain β élevé. Néanmoins, ce faible dopage implique une résistance de base importante, ce qui ralentit le transport des porteurs. Afin de contourner cette limitation et permettre un dopage plus élevé de la base tout en conservant un bon gain en courant, le transistor bipolaire à hétérojonction (HBT) a été introduit.

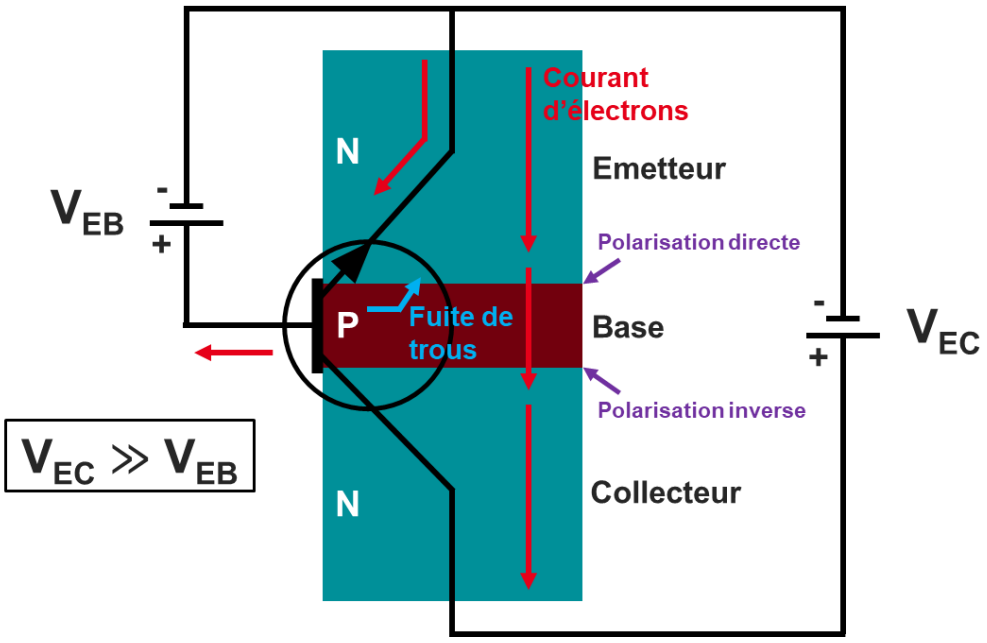

Figure 6 : Représentation schématique du principe de fonctionnement d'un transistor bipolaire NPN. Afin d'assurer la polarisation inverse de la jonction base-collecteur, la tension appliquée au collecteur doit être plus positive que celle appliquée à la base.

Le principe de fonctionnement du HBT est analogue à celui du BJT, à la différence que l'émetteur et la base sont constitués de deux matériaux semi-conducteurs distincts. Le matériau de l'émetteur est choisi avec une bande interdite plus large par rapport à celui composant la base. Ce choix permet d'introduire une discontinuité marquée dans la bande de valence à l'interface E-B (ΔE_V). Ainsi, la barrière de potentiel pour les trous à cette interface est accrue. L'injection de trous dans l'émetteur est donc fortement réduite, tout en maintenant une injection efficace des électrons dans la base. Le rapport d'injection émetteur/base s'en trouve alors amélioré, ce qui conduit à un rendement supérieur. De plus, la base peut désormais être fortement dopée, ce qui permet de diminuer sa résistance sans trop dégrader le gain β. Le transport des porteurs devenant ainsi plus rapide, les fréquences de transition f_T atteignables sont également plus élevées.

Enfin, le transistor bipolaire à double hétérojonction (DHBT) ajoute une seconde hétérojonction au niveau de la jonction base-collecteur. Comme pour l'émetteur, le matériau du collecteur possède une bande interdite plus large que celui composant la base. Cette configuration permet au collecteur de supporter des champs électriques plus élevés, augmentant ainsi la tension de claquage du dispositif. La seconde hétérojonction à l'interface B-C renforce également davantage le confinement des trous dans la base. Enfin, l'utilisation d'un matériau présentant une meilleure conductivité thermique pour le collecteur améliore la dissipation de chaleur et la robustesse thermique du transistor.

Une représentation simplifiée du diagramme de bande à l'équilibre pour chacun des cas décrits est proposée dans la Figure 7 ci-dessous. Il est à noter que la largeur « effective » de la base est plus grande dans le cas où la couche de base est fortement dopée (HBT et DHBT), car les zones désertées s'étendent alors majoritairement dans les régions émetteur et collecteur moins dopées. Cela n'est pas représentée dans la Figure 7.

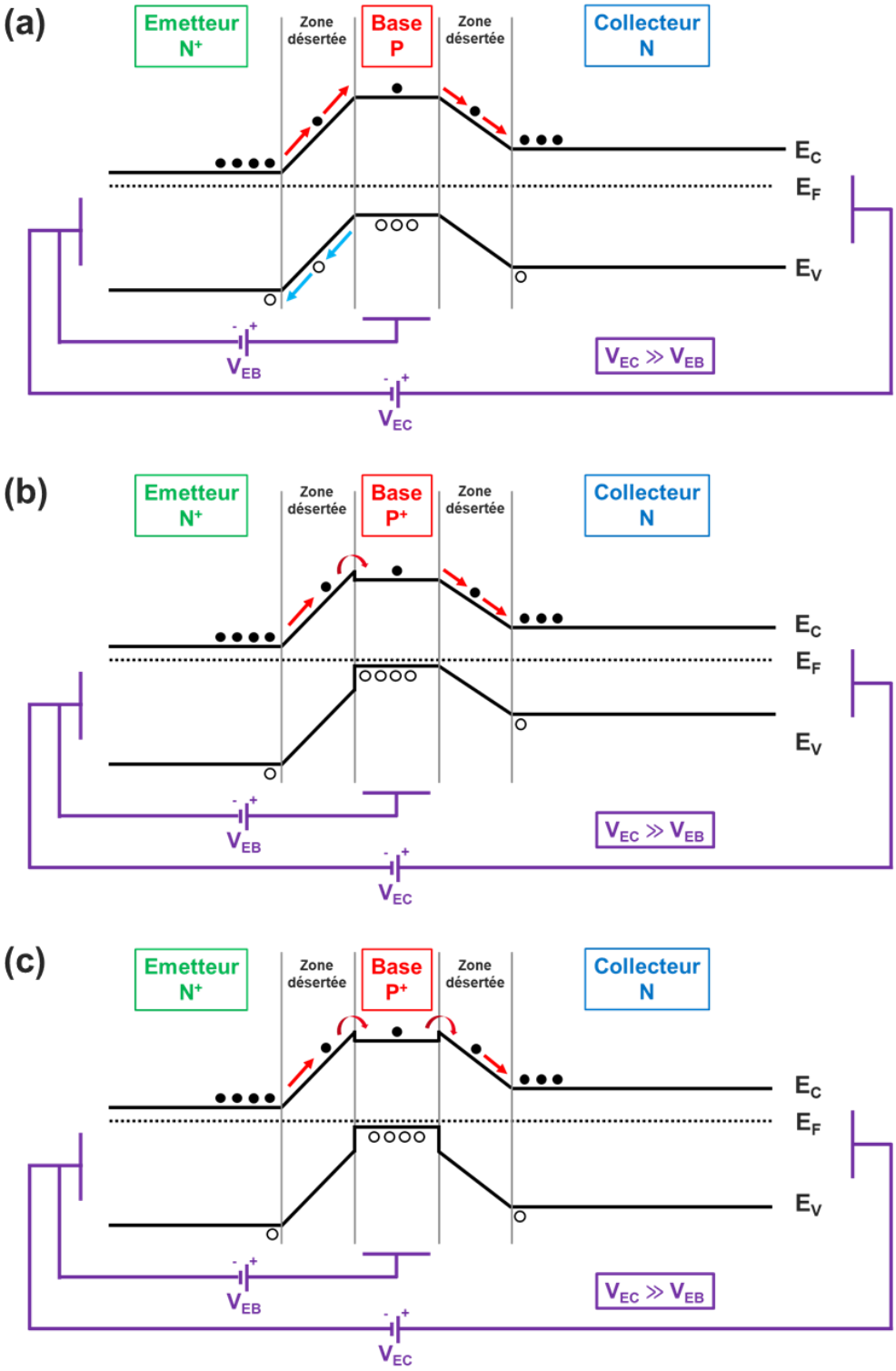

Figure 7 : Représentation schématique et simplifiée du diagramme de bande à l'équilibre des trois régions (a) d'un BJT, (b) d'un HBT et (c) d'un DHBT, avec la polarisation des jonctions et les porteurs de charge.

Le principe de fonctionnement des transistors bipolaires ayant maintenant été introduit, il est désormais nécessaire de se pencher sur les différentes voies permettant l'atteinte de hautes performances fréquentielles dans ce type de dispositif.

1.4.2 Les leviers d'amélioration des performances fréquentielles d'un DHBT

Il existe différentes façons d'augmenter les performances fréquentielles d'un DHBT. Dans le cadre de cette thèse, le plus pertinent était de se focaliser principalement sur celle liée aux contacts ohmiques. Comme cela sera discuté, ceux-ci ont en effet été identifiés comme l'un des principaux verrous de l'intégration CMOS-compatible retenue et développée, compte tenu du choix fixe des empilements épitaxiaux, des diélectriques imposés SiN/SiO_2, ainsi que des restrictions vis-à-vis des métallurgies utilisables (cf. section 2.3). Avant de poursuivre, il convient alors d'introduire les bases théoriques relatives aux contacts ohmiques. Il s'agit de l'objet de la sous-partie suivante.

1.4.2.1 Théorie du contact ohmique métal/semi-conducteur

Lors de la mise en contact d'un métal et d'un semi-conducteur, si l'on considère un cas idéal, les travaux de sortie φ_M du métal et φ_{SC} du semi-conducteur (voir Figure 8) constituent les deux grandeurs régissant l'alignement des niveaux d'énergie à l'interface.

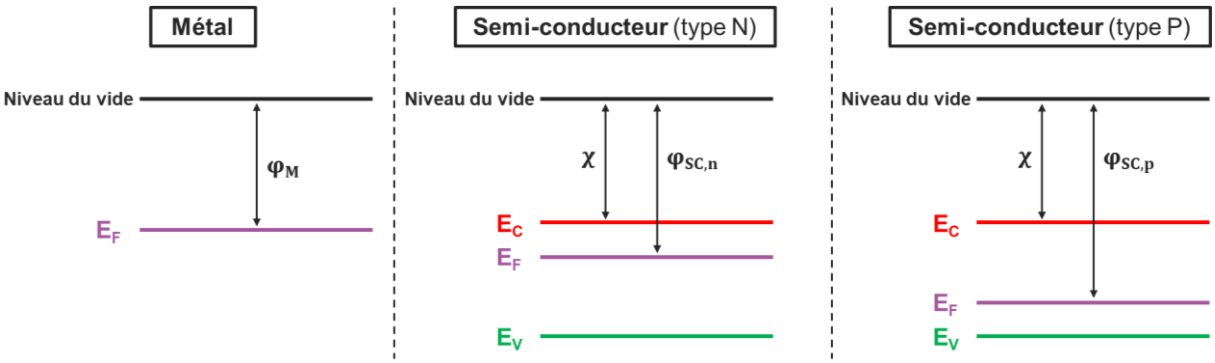

Figure 8 : Représentation simplifiée des niveaux d'énergie dans un métal, un semi-conducteur de type N et un semi-conducteur de type P.

Pour un semi-conducteur de type N ou P, un contact ohmique peut être obtenu si :

$$\varphi_M < \varphi_{SC,n} \quad (1)$$

$$\varphi_M > \varphi_{SC,p} \quad (2)$$

avec :

$$\varphi_{SC,n/p} = \chi + E_c - E_F \quad (3)$$

χ représentant l'affinité électronique du semi-conducteur, E_C l'énergie de la bande de conduction et E_F l'énergie de Fermi du semi-conducteur.

Ainsi, à la suite de la mise en contact, les courbures de bande obtenues à l'interface métal/semi-conducteur sont telles qu'aucune barrière de potentiel (aussi appelée barrière Schottky) ne limite la circulation des porteurs de charge, comme le montre la Figure 9 ci-dessous. Le contact ohmique formé présente alors une relation courant-tension (I-V) linéaire ainsi qu'une résistance de contact très faible et constante, indépendamment de la polarisation appliquée.

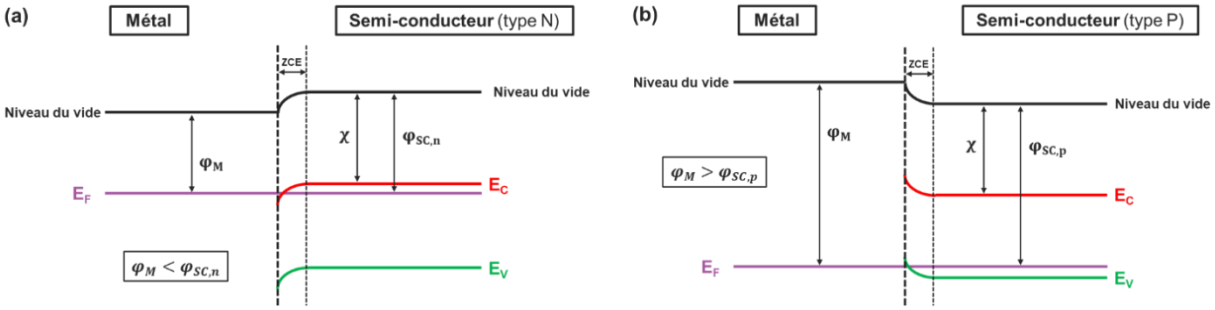

Figure 9 : Représentation simplifiée des niveaux d'énergie à l'interface métal/semi-conducteur, dans le cas (a) d'un contact ohmique idéal sur type N et (b) sur type P.

A l'inverse, voir Figure 10, une barrière Schottky apparaît si :

$$\varphi_M > \varphi_{SC,n} \quad (4)$$

$$\varphi_M < \varphi_{SC,p} \quad (5)$$

L'énergie φ_b de la barrière Schottky peut alors être calculée de la manière suivante :

$$\varphi_{b,n} = \varphi_M - \chi \quad (6)$$

$$\varphi_{b,p} = E_g + \chi - \varphi_M \quad (7)$$

avec E_g représentant l'énergie de la bande interdite du semi-conducteur.

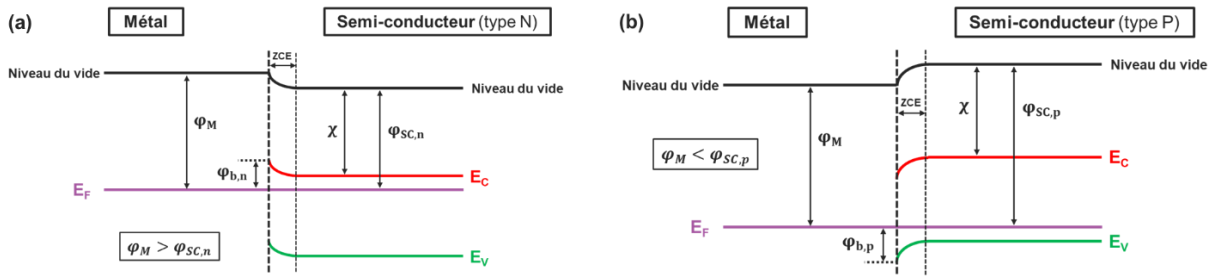

Figure 10 : Représentation simplifiée des niveaux d'énergie à l'interface métal/semi-conducteur, dans le cas d'un contact Schottky idéal.

Cette barrière Schottky vient perturber l'injection des porteurs de charges à l'interface métal/semiconducteur. En fonction du niveau de dopage du semi-conducteur, trois mécanismes principaux permettent alors aux porteurs de tout de même pouvoir être transférés :

- L'émission thermionique, où les porteurs peuvent franchir la barrière par excitation thermique. Ce mécanisme est dominant lorsque le semi-conducteur est peu dopé et donc quand la zone désertée (ZCE) se formant près du contact est étendue [*Blank_2007*].
- L'effet tunnel pur, où les porteurs peuvent traverser la barrière dans le cas où la zone désertée (ZCE) est étroite, c'est-à-dire lorsque le semi-conducteur est fortement dopé [*Blank_2007*].
- L'effet tunnel assisté thermiquement, correspondant à un mécanisme hybride combinant l'émission thermionique et l'effet tunnel pur, lorsque le semi-conducteur est moyennement dopé.

Si l'on se base sur cette théorie idéale du contact métal/semi-conducteur, réaliser des contacts ohmiques devraient être facilement adressable en choisissant des métaux avec des travaux de sortie adaptés. Cependant, le cas d'un contact idéal ohmique ou Schottky comme décrit jusqu'ici n'existe pas. En effet, des états énergétiques supplémentaires sont générés à l'interface métal/semi-conducteur lors d'une mise en contact. Les deux types de défauts d'interface principaux sont les états d'interface intrinsèques (Default-Induced Gap States, DIGS) et les états d'interface extrinsèques (Metal-Induced Gap States, MIGS) [*Rowe_1975*], voir Figure 11. Les DIGS proviennent de la brisure des symétries et des périodicités présentes dans le cristal du semi-conducteur bulk, lorsque l'on considère sa surface ou son interface avec un autre matériau. Ces défauts introduisent alors des états énergétiques additionnels, pouvant se situer dans la bande interdite du semi-conducteur [*Bardeen_1947*]. Les MIGS correspondent quant à eux à un léger dépassement de la fonction d'onde électronique du métal de contact dans le semi-conducteur, ce qui crée un continuum d'états énergétiques localisé dans la bande interdite [*Heine_1965*].

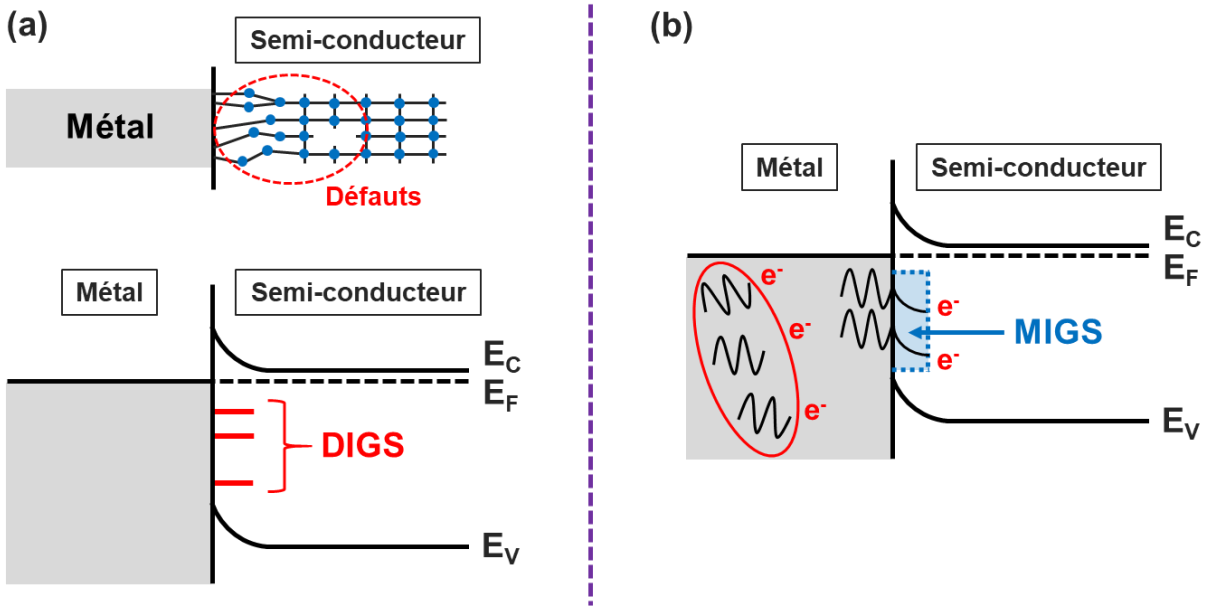

Figure 11 : Représentation simplifiée des états d'interface (a) DIGS et (b) MIGS.

Les états d'interface font que la théorie idéale de Schottky n'est plus valide pour décrire de vraies interfaces métal/semi-conducteur. En pratique, une barrière Schottky effective sera toujours présente à l'interface de contact. Cette dernière est alors quasiment indépendante du métal choisi et est fixée autour d'une certaine valeur en fonction du semi-conducteur considéré [*Bardeen_1947*], compliquant ainsi le contrôle du type de contact simplement par le choix du métal. Il s'agit du phénomène de verrouillage du niveau de Fermi (Fermi-level pinning, FLP). La valeur de barrière Schottky effective correspond également à une certaine valeur de travail de sortie effectif pour les métaux venant contacter le semi-conducteur. Si l'on considère par exemple le cas du silicium, il a été montré que malgré le choix de différents métaux dont les travaux de sortie varient entre 3 et 6 eV, le travail de sortie effectif du métal sera fixé dans un intervalle entre ~4.3 et 5 eV [*Nishimura_2007*]. Ces valeurs se situant toutes dans la bande interdite du Si et étant éloignées des énergies des bandes de conduction et de valence (respectivement 4.05 et 5.17 eV), des contacts réalisés sur ce semi-conducteur donnent en pratique des jonctions résistives et non ohmiques, peu importe le type de dopage [*Borrel, 2017*]. Dans le cas du germanium, le travail de sortie effectif du métal s'avère être très proche du niveau d'énergie la bande de valence peu importe le métal considéré, ce qui résulte alors en des contacts ohmiques sur p-Ge et Schottky sur n-Ge.

Afin d'obtenir un contact ohmique avec une faible résistance de contact sur un semi-conducteur, il faut donc soit favoriser le transport par effet tunnel des porteurs à travers la barrière Schottky effective, soit essayer de réduire au maximum cette dernière. Dans le premier cas, doper très fortement le semi-conducteur proche de l'interface peut suffisamment amincir la zone désertée pour obtenir un effet tunnel pur, sans modifier la barrière Schottky [*Blank_2007*]. Le pic de dopage localisé peut alors viser des valeurs proches de la limite de solubilité du semi-conducteur, afin d'assurer le meilleur transport possible des porteurs. Dans ce but, certaines techniques avancées de recuit, tel que le recuit laser pulsé, peuvent être utilisées afin d'atteindre rapidement et localement de très hautes températures. Cela permet ainsi l'activation des dopants implantés, sans diffusion excessive, jusqu'à des valeurs de concentration électriquement active avoisinant la limite de solubilité [*Plummer_2001*].

Dans le second cas, modifier la composition chimique du semi-conducteur [*Blank_2007, Wieder_2003*] ou encore former des alliages métalliques [*Blank_2007*] par le biais de traitements thermiques peut s'avérer efficace afin de réduire la hauteur de barrière Schottky. De plus, il a également été démontré que l'insertion d'une fine couche de diélectrique à l'interface entre le métal et le semi-conducteur peut mener à l'atténuation du FLP [*Connelly_2004, Hu_2008, Hu_2010*]. On parle alors de contact MIS (Metal-Insulator-Semiconductor). La couche ajoutée agit alors comme une barrière additionnelle à la pénétration de la fonction d'onde électronique du métal dans le semi-conducteur, ce qui résulte en une diminution de la densité de MIGS. Il convient cependant d'être prudent et précis quant à l'épaisseur de diélectrique ajouté, car la résistance d'un tel contact dépend d'un compromis entre la réduction de la barrière Schottky, amenée par la réduction des MIGS, et de la résistance « tunnel » introduite par l'ajout de la couche.

Si l'on considère désormais le côté applicatif, parvenir à réaliser des contacts ohmiques très peu résistifs sur divers semi-conducteurs de type N et P constitue l'un des leviers majeurs permettant l'amélioration des performances de nombre de dispositifs. Parmi eux, les DHBTs requièrent notamment des contacts d'excellente qualité sur chacune de leurs régions afin de viser les hautes performances fréquentielles, et en particulier sur la région de base pour élever f_{MAX} au THz. Cet aspect, ainsi que ceux liés aux dimensions du transistor, sont discutés au cours de la prochaine section.

1.4.2.2 Dimensionner le DHBT et améliorer les contacts ohmiques pour atteindre les performances THz

Le dimensionnement des transistors constitue un aspect essentiel afin d'augmenter les densités d'intégration atteignables sur une puce. De surcroît, cela est également crucial pour parvenir à atteindre des performances fréquentielles supérieures dans un DHBT. Les équations (8) et (9) décrivent les expressions simplifiées de la fréquence de transition f_T ainsi que de la fréquence d'oscillation maximale f_{MAX} d'un tel transistor.

$$\frac{1}{2\pi f_T} = \tau_b + \tau_c + r_E(C_{be} + C_{bc}) + C_{bc}(R_E + R_C) \tag{8}$$

avec τ_b et τ_c respectivement les temps de transit dans la base et le collecteur, r_E la résistance dynamique base-émetteur, C_{bc} la capacité base-collecteur totale, C_{be} la capacité de jonction base-émetteur, et R_E et R_C les résistances d'accès de l'émetteur et du collecteur, respectivement.

$$f_{MAX} \approx \sqrt{\frac{f_T}{8\pi\left[R_{b,ex}\left(C_{bc,ex} + C_{bc,in}\right) + R_{b,in}\left(C_{bc,in}\right)\right]}} \approx \sqrt{\frac{f_T}{8\pi(R_{bb}C_{bc})_{total}}} \tag{9}$$

avec $R_{b,ex}$ et $R_{b,in}$ les résistances extrinsèque et intrinsèque de la base, $C_{bc,ex}$ et $C_{bc,in}$ les capacités extrinsèque et intrinsèque de la jonction base-collecteur, et R_{bb} la résistance totale de la base.

Les paramètres petits signaux d'un HBT sont alors représentés dans la Figure 12 ci-dessous, permettant de visualiser dans quelles zones se situent les différentes composantes des deux équations fréquentielles détaillées précédemment, dans le cas typique d'une structure à double mésa. Le terme τ représente le temps de transit « forward », R_O la résistance de sortie intrinsèque et $R_{bc,ex}$ la résistance de jonction base-collecteur extrinsèque.

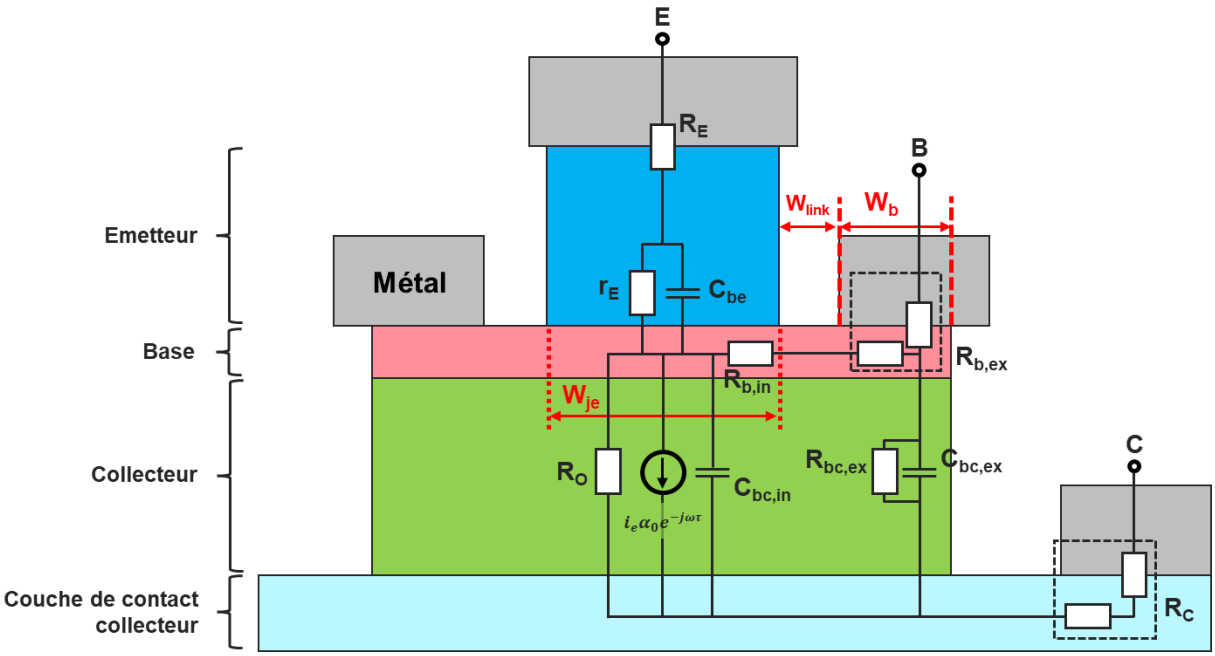

Figure 12 : Représentation schématique du modèle équivalent petits signaux interne d'un HBT, dans le cas typique d'une structure à double mésa.

Mark J.W. Rodwell et ses équipes [*Rodwell_2008*] ont déterminé dans les années 2000 différentes lois de dimensionnement pour les transistors bipolaires, afin d'augmenter la bande passante de ces-derniers, voir Tableau 1.

Tableau 1 : Lois de dimensionnement des transistors bipolaires. Données provenant de [*Rodwell_2008*].

Pour doubler la bande passante :	**Changement à faire sur le paramètre**
Epaisseur de la zone de déplétion collecteur	Diminution d'un facteur 2
Epaisseur de la base	Diminution d'un facteur √2
Largeur de jonction émetteur	Diminution d'un facteur 4
Largeur de jonction collecteur	Diminution d'un facteur 4
Résistance de contact émetteur	Diminution d'un facteur 4
Densité de courant (mA/µm²)	Augmentation d'un facteur 4
Résistivité de contact sur la base	Diminution d'un facteur 4

Il existe ainsi trois façons d'adresser l'augmentation de la performance fréquentielle d'un HBT : en dimensionnant le transistor verticalement, latéralement, ou bien en réduisant les différentes résistances électriques. Dimensionner le transistor verticalement revient principalement à réduire les épaisseurs de sa base et de son collecteur afin de diminuer le temps de transfert des porteurs de charge, comme le montrent les équations (10) et (11).

$$\tau_b = \frac{T_b^2}{2D_n} \tag{10}$$

$$\tau_c = \frac{T_c}{2v_{eff}} \tag{11}$$

avec T_b et T_c les épaisseurs de la base et du collecteur, D_n la diffusivité des porteurs minoritaires et v_{eff} la vélocité effective des porteurs majoritaires.

Dimensionner le transistor latéralement correspond à diminuer ses largeurs de jonction pour réduire les capacités parasites et augmenter la densité de courant surfacique, voir équations (12) et (13).

$$r_E = \frac{kT}{qI_C} \tag{12}$$

$$C_{bc} = \frac{\varepsilon A_c}{T_c} \tag{13}$$

avec I_C le courant traversant le collecteur, ε la permittivité du semi-conducteur, A_c la surface de jonction base-collecteur et T_c l'épaisseur du collecteur.

Enfin, les résistances électriques ont également un impact non négligeable sur la performance fréquentielle d'un HBT, celles-ci entraînant des répercussions à la fois sur f_T et sur f_{MAX}.

$$R_E = \frac{\rho_{c,e}}{A_e} \tag{14}$$

$$\begin{aligned} R_{bb} &= R_{b,in} + R_{b,link} + R_{b,ex} \\ &= \rho_{sh,in}\frac{W_{je}}{12L_e} + \rho_{sh,link}\frac{W_{link}}{2L_e} + \rho_{sh,ex}\frac{W_b}{6L_e} + \frac{\rho_{c,b}}{A_b} \end{aligned} \tag{15}$$

avec $\rho_{c,e}$ la résistivité du contact émetteur, A_e l'aire de l'émetteur sous le contact, $R_{b,link}$ la résistance de la base entre l'émetteur et le contact de base, W_{je} la largeur d'émetteur au niveau de la jonction émetteur-base, W_{link} l'espacement entre l'émetteur et le contact de base, W_b la largeur du contact de base, $\rho_{c,b}$ la résistivité du contact de base et A_b l'aire de la base sous le contact.

Pour atteindre des records de performances fréquentielles, on pourrait alors penser qu'il suffirait d'optimiser au maximum le dimensionnement du HBT, tout en s'assurant de réaliser des contacts ohmiques de très faibles résistivités. La réalité est cependant plus complexe : certaines limites finissent en effet par se manifester de manière inévitable.

Dans le cas du dimensionnement latéral du transistor, la réduction des dimensions entraîne des exigences d'alignement et de résolution de plus en plus strictes pour les équipements et les procédés en salle blanche. Ces contraintes peuvent alors devenir un facteur limitant, notamment pour de la reprise de contact dans les technologies HBT à « pont à air », ou encore pour certaines étapes technologiques ayant recours à des équipements disponibles dans les plateformes Si-CMOS 200mm (e.g. le remplissage de cavités de contact). En revanche, via l'utilisation

d'équipements plus sophistiqués disponibles en plateforme 300mm, des dimensions très faibles de largeur d'émetteur ($W_e \leq 40nm$) et d'espacement entre l'émetteur et le contact de base ($W_{link} \leq 20nm$) sont théoriquement atteignables. Cette perspective contribue ainsi à pousser au développement et à la migration de technologies HBT III-V vers des substrats de 300mm de diamètre, afin de pouvoir pleinement tirer parti de ces outils et de poursuivre la miniaturisation latérale.

Concernant le dimensionnement vertical, affiner les différentes couches actives du transistor finit également par devenir problématique. Dans le cas du collecteur, réduire son épaisseur revient à abaisser la tension maximale qu'il peut supporter avant claquage, ce qui restreint l'intérêt du dispositif pour des applications nécessitant une amplification de puissance. Pour la base, une réduction de l'épaisseur impose d'augmenter fortement le dopage afin de maintenir une résistance de couche suffisamment faible. Les limites de solubilité des dopants peuvent alors être atteintes, tandis que la réalisation épitaxiale d'une couche ultra-mince devient particulièrement délicate. De plus, comme mentionné précédemment, un dopage très élevé de la base se fait également au détriment du gain en courant β. Enfin, la diminution de l'épaisseur de la base exige une maîtrise fine du contact de base, qui doit non seulement présenter une résistivité minimale, mais aussi une excellente stabilité thermique et une diffusion limitée, cela afin d'éviter tout court-circuit avec le collecteur sous-jacent. Quant à l'émetteur, son amincissement excessif n'est pas non plus sans conséquence. Une couche d'émetteur trop fine augmente la résistance série et complique la réalisation d'un contact ohmique de faible résistivité. De surcroît, la diffusion des dopants à travers la jonction émetteur-base devient un paramètre plus critique lorsque l'épaisseur est affinée. Cela risque d'altérer le profil abrupt nécessaire à une bonne injection des porteurs de charge, ce qui a également un impact sur le gain en courant β. Finalement, amincir cette région revient à rapprocher la métallisation de contact émetteur de la base fortement dopée sous-jacente, ce qui introduit une capacité parasite supplémentaire.

Considérant ces différentes limites liées au dimensionnement du HBT, la criticité des contacts ohmiques dans l'obtention de performances élevées s'en trouve accrue. Si l'on considère notamment les applications requérant une haute valeur de f_{MAX}, un contact de base de grande qualité devient alors un élément prioritaire. En effet, à partir de valeurs supérieures à quelques 10^{-8} $\Omega*cm^2$, la contribution de la résistance du contact de base devient rapidement prépondérante par rapport aux autres composantes de R_{bb}. Si le contact devient trop résistif (e.g. 10^{-7} $\Omega.cm^2$ et plus), cela peut également finir par impacter considérablement la valeur totale de R_{bb}, comme le montre la Figure 13 ci-dessous.

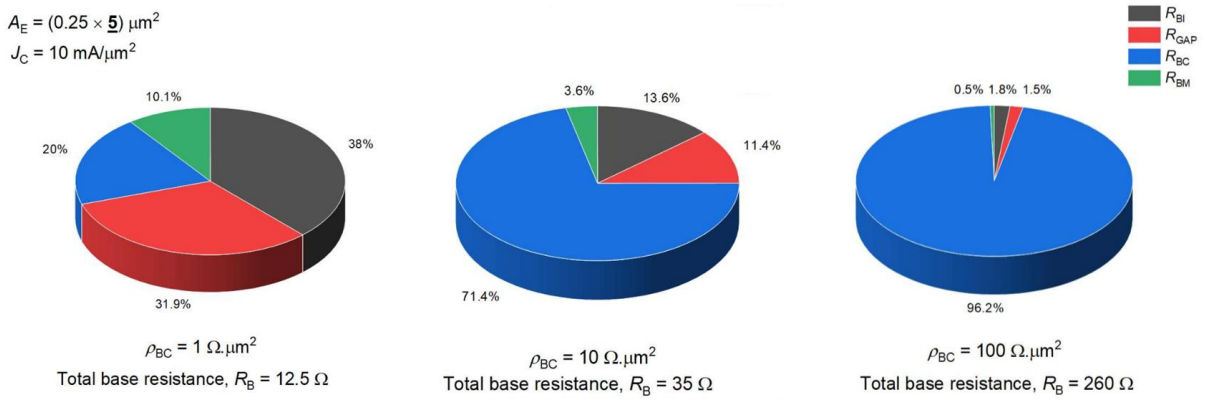

Figure 13 : Evolution de la répartition des contributions à la résistance totale de base, en fonction de la résistivité du contact de base. Les diagrammes circulaires proviennent de l'ETH-Zurich et résultent d'une simulation calibrée à partir de leur dispositif DHBT InP/GaAsSb standard.

Les contacts ohmiques constituent donc également un élément déterminant pour atteindre de hautes performances fréquentielles dans un DHBT. Lorsqu'ils présentent une excellente qualité et sont associés à une structure épitaxiale ainsi qu'à un procédé de fabrication du transistor soigneusement optimisés, il devient possible de dépasser le THz en f_{MAX}. Deux filières majeures de InP-DHBT sont ainsi parvenues à ce résultat, chacune avec ses avantages et ses limites : la première repose sur une base en InGaAs, tandis que la seconde utilise le GaAsSb comme couche de base. Ces deux filières sont présentées plus en détail au cours des prochaines lignes.

1.4.3 Les filières InP-HBT principales

Les HBTs ont été théorisés pour la première fois par Kroemer en 1982 [*Kroemer_1982*]. Depuis, de nombreux modèles différents ont été démontrés. Les tout premiers HBTs dans le système matériau InP/InGaAs ayant dépassé les 100 GHz en f_{MAX} ont été présentés par Bell Labs en 1989 [*Chen_1989*]. Par la suite, des sociétés telles que Rockwell [*McDermott_1996*] et Bellcore [*Bhat_1996*] sont parvenues à réaliser des HBTs dans le système matériau InP/GaAsSb en 1996. Enfin, au début des années 2000, des performances fréquentielles dépassant les 300 GHz ont été atteintes pour les transistors bipolaires, d'un côté grâce à une structure DHBT exploitant un empilement InP/GaAsSb/InP [*Dvorak_2001*], et de l'autre via un empilement pseudo-morphique (PHBT) InP/InGaAs comprenant de nombreux gradients en composition [*Hafez_2005*]. Ces structures ont continué d'évoluer jusqu'à aujourd'hui, et les InP-HBTs modernes sont désormais principalement conçus selon deux architectures distinctes.

1.4.3.1 La filière InP/InGaAs

La première repose sur une structure DHBT comprenant un émetteur en InP, une base en $In_{0.53}Ga_{0.47}As$ et un collecteur en InP. L'alliage $In_{0.53}Ga_{0.47}As$ est adapté en paramètre de maille avec l'InP et forme avec celui-ci une hétérojonction de type I, comme le schématique la Figure 14. Cela introduit une discontinuité de bande de valence $\Delta E_V \approx 0.35$ eV [*Markman_2024*] aux jonctions émetteur-base et base-collecteur, permettant le confinement des trous dans la base et empêchant leur fuite vers l'émetteur.

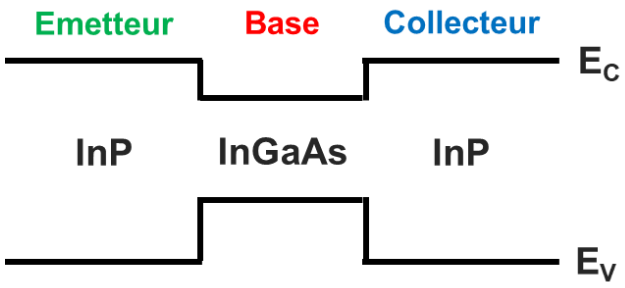

Figure 14 : Représentation schématique et simplifiée de l'alignement des bandes d'énergie dans une double hétérojonction de type I (InP/InGaAs/InP).

Les niveaux de dopage utilisés pour la couche de contact de l'émetteur et dans l'émetteur lui-même sont choisis de sorte à optimiser le transport électronique, avec des couches InGaAs et InP fortement dopées N proches du contact, puis une fine couche InP-N insérée juste avant la base. Cette dernière adoucit la différence de dopage entre l'émetteur et la base et aide à contrôler le profil du champ électrique à l'interface. De plus, la discontinuité de bande de conduction ΔE_C étant négative au niveau de la jonction émetteur-base, cela implique l'absence de barrière pouvant bloquer l'injection des électrons dans la base.

La base InGaAs est fortement dopée P pour réduire sa résistance de couche, en plus d'être très mince afin de diminuer le temps de transit des charges. Son niveau de dopage est graduel dans le but de générer un champ électrique interne accélérant les électrons injectés depuis l'émetteur. Toutefois, la discontinuité de bande de conduction ΔE_C est cette fois-ci positive à la jonction base-collecteur, ce qui a pour effet d'introduire une barrière ralentissant le transport électronique en bloquant les électrons à l'interface. L'accumulation d'électrons du côté de la base provoque alors une augmentation de la charge à la jonction base-collecteur, diminue la vitesse de transit et augmente les chances de recombinaison avec les trous. Cela amène à une dégradation de la fréquence de transition f_T et du gain en courant β du transistor.

Pour adresser ce problème, la structure intègre un collecteur composite employant un ensemble d'ingénieries de bande. Dans un premier temps, une zone de retrait (« setback ») en InGaAs faiblement dopée N fait immédiatement suite à la couche de base du transistor. Cette zone permet de transformer la jonction immédiate en une homojonction InGaAs P^{++}/N^{-} dépourvue de discontinuité de bande ΔE_C, ce qui assure un transit plus fluide des électrons en évitant leur blocage dans la base fortement dopée P. La véritable hétérojonction InGaAs/InP est alors repoussée plus loin dans le collecteur. Les faibles gradients de dopage permettent alors de

mieux maîtriser le champ électrique. Cependant, la discontinuité de bande ΔE_C existe toujours. Afin de l'atténuer, un super-réseau à gradient (« chirped superlattice ») est introduit entre la zone « setback » et l'hétérojonction InGaAs/InP dans le collecteur. Ce super-réseau consiste en une alternance de couches minces InGaAs/InAlAs (ou parfois InGaAs/InP) dont la composition varie progressivement. Le gradient de composition crée une variation douce du potentiel de conduction et engendre une mini-bande de conduction, ce qui permet aux électrons de traverser la région en se propageant par des états délocalisés, au lieu de devoir franchir une barrière abrupte [*Nguyen_1996*]. La barrière effective pour les électrons à l'hétérojonction InGaAs/InP s'en trouve alors réduite. Le reste du collecteur est ensuite uniquement composé d'InP, afin de pouvoir supporter des tensions plus élevées. Enfin, les couches de contact collecteur et du sous-collecteur, respectivement en InGaAs et en InP fortement dopés N, garantissent une collecte efficace des électrons grâce à leurs faibles résistances.

Cette conception, notamment largement étudiée par le groupe de Mark Rodwell à l'Université de Californie à Santa Barbara, a été commercialisée par Teledyne Scientific et a permis d'atteindre des fréquences maximales d'oscillation f_{MAX} supérieures à 1 THz [*Urteaga_2017*]. La Figure 15 ci-dessous permet de visualiser le diagramme de bande typique d'un DHBT InP/InGaAs/InP moderne.

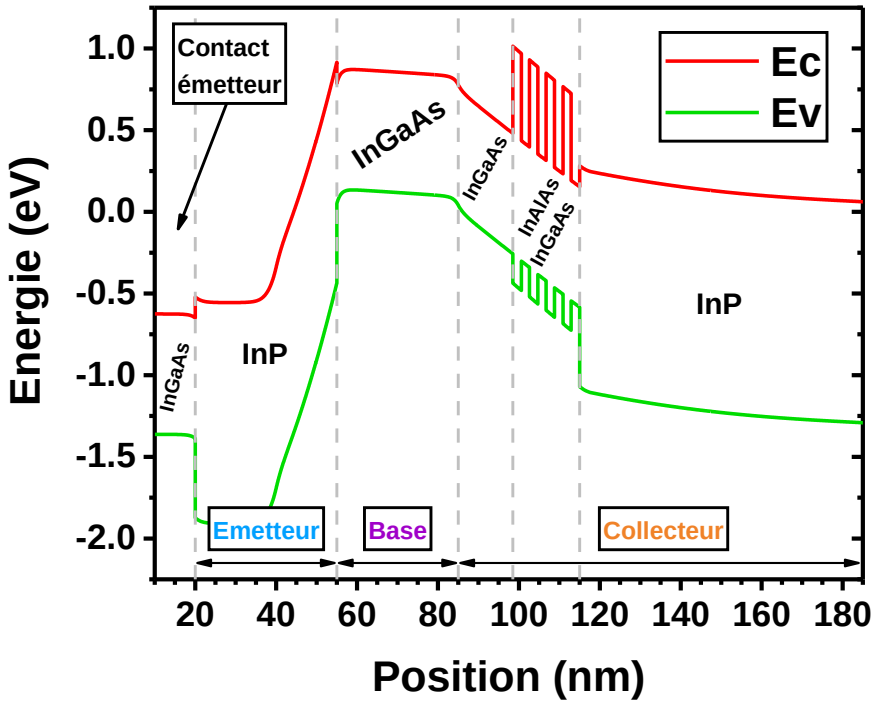

Figure 15 : Exemple du diagramme de bande à l'équilibre d'un DHBT InP/InGaAs/InP moderne. Les épaisseurs, compositions et valeurs de dopage utilisées proviennent de [*Jain_2011*], et le calcul des énergies a été réalisé à partir de la base de données du logiciel Nextnano.

1.4.3.2 La filière InP/GaAsSb

La seconde architecture repose également sur une structure DHBT, avec l'utilisation d'un émetteur en InP, d'une base en $GaAs_{\sim 0.5}Sb_{\sim 0.5}$ et d'un collecteur en InP. Le $GaAs_{\sim 0.5}Sb_{\sim 0.5}$ est en accord de maille avec l'InP, avec lequel il réalise une hétérojonction de type II, voir Figure 16. Celle-ci introduit alors une discontinuité de bande de valence $\Delta E_V \sim 0.62$ eV [*Markman_2024*] aux jonctions E-B et B-C, supérieure donc à ce qui atteignable avec l'InGaAs pour la région de base. Cela favorise d'emblée cette architecture à pouvoir viser des valeurs de gain en courant β plus élevés, car :

$$\beta \propto exp\left(\frac{\Delta E_V}{k_B T}\right) \tag{16}$$

avec k_B la constante de Boltzmann et T la température à la jonction E-B.

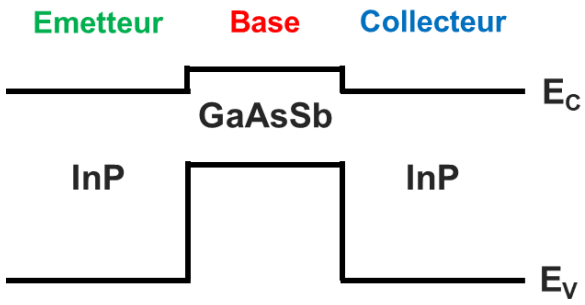

Figure 16 : Représentation schématique et simplifiée de l'alignement des bandes d'énergie dans une double hétérojonction de type II (InP/GaAsSb/InP).

De plus, la discontinuité de bande de conduction $|\Delta E_C| \sim 0.15$ eV [*Bolognesi_2001*] également introduite est négative à la jonction B-C. Cela assure une bonne injection des électrons de la base vers le collecteur et permet ainsi de grandement simplifier la conception de la jonction B-C. En effet, une zone de retrait ou encore un super-réseau à gradient ne sont plus nécessaires, ce qui permet de réaliser la région collecteur du transistor entièrement en InP, impliquant donc une tension de claquage plus élevée, une meilleure capacité à dissiper la chaleur, ainsi qu'une meilleure reproductibilité. En contrepartie, ce même ΔE_C implique désormais une barrière positive à la jonction E-B, réduisant l'efficacité d'injection des électrons dans la base. Ce problème peut cependant être adressé en utilisant un émetteur en InAlAs afin de réduire voire de supprimer ΔE_C. Le ternaire GaInP peut également être considéré, l'avantage de celui-ci étant qu'un gradient en composition peut être réalisé à partir d'un émetteur en InP sur les derniers nanomètres avant la jonction E-B. Cette configuration d'émetteur, en plus de nombreuses autres optimisations au niveau de la structure épitaxiale et de la réalisation technologique du transistor, a notamment permis à Arabhavi et al. [*Arabhavi_2022*] de démontrer un DHBT InP/GaAsSb/InP atteignant f_{MAX} = 1.2 THz. Le diagramme de bande typique d'un DHBT InP/GaAsSb/InP moderne est proposé dans la Figure 17.

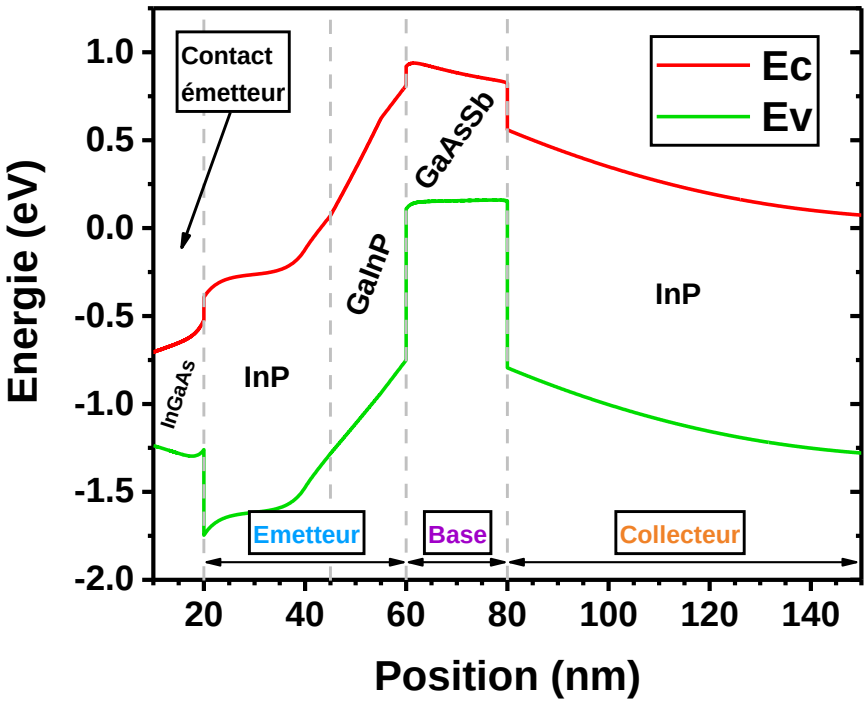

Figure 17 : Exemple du diagramme de bande à l'équilibre d'un DHBT InP/GaAsSb/InP moderne. Les épaisseurs, composition et valeurs de dopage utilisées proviennent de [*Arabhavi_2022*], et le calcul des énergies a été réalisé à partir de la base de données du logiciel Nextnano.

Au sein de ces deux filières InP-DHBT principales, les transistors sont fabriqués selon un même schéma d'intégration, dit « top-down ». Bien que cette approche ait indéniablement permis d'atteindre des performances record à la suite d'années d'optimisation, nombre des procédés qu'elle mobilise sont toutefois incompatibles avec une production à haut volume de ces technologies. Or, cet aspect est essentiel pour envisager à terme une industrialisation des InP-DHBT. La partie suivante est alors dédiée à la présentation du schéma d'intégration conventionnel sur substrat III-V dans un premier temps, puis à l'introduction de différentes pistes permettant de répondre aux exigences d'une fabrication à grande échelle.

1.5 L'intégration technologique des InP-HBTs

Bien que d'importants travaux de recherche aient été menés sur les InP-HBTs depuis plus de 20 ans, ces efforts ont principalement été portés par les universités, les acteurs du test et de la mesure, ainsi que par les secteurs de l'aérospatiale et de la défense [*Markman_2024*]. Les recherches se sont ainsi concentrées sur l'amélioration des performances électriques, plutôt que sur la mise au point de procédés technologiques compatibles avec une production à haut volume (High-Volume Manufacturing, HVM). Afin d'appréhender les défis liés à la fabrication d'un InP-HBT compatible HVM, il convient de d'abord examiner les procédés actuellement utilisés.

1.5.1 L'intégration sur substrat III-V

1.5.1.1 Schéma d'intégration standard

Les InP-HBTs sont classiquement fabriqués selon une approche dite « top-down », illustrée par la Figure 18. Après la croissance épitaxiale des différentes couches de l'empilement technologique sur un substrat InP natif, la première étape consiste à former la région émetteur : le contact et le plot métallique de l'émetteur (de largeur W_E) sont définis, suivis du dépôt d'une couche diélectrique sur les flancs du plot. Le semi-conducteur de l'émetteur est ensuite gravé sélectivement par voie humide. Une étape de lithographie permet ensuite l'ouverture d'une zone de largeur $W_{B,litho} = W_E + 2W_B$, dans laquelle une métallisation de contact est déposée. L'excédent de métal est ensuite retiré par lift-off. La même métallisation étant ainsi utilisée pour contacter la base et l'émetteur, ce dernier doit être suffisamment haut afin d'éviter tout court-circuit entre les deux régions lors du dépôt. Suite à cela, le mésa base-collecteur est gravé et les contacts de la région collecteur sont formés. Finalement, une dernière étape de gravure permet l'isolement électrique du transistor.

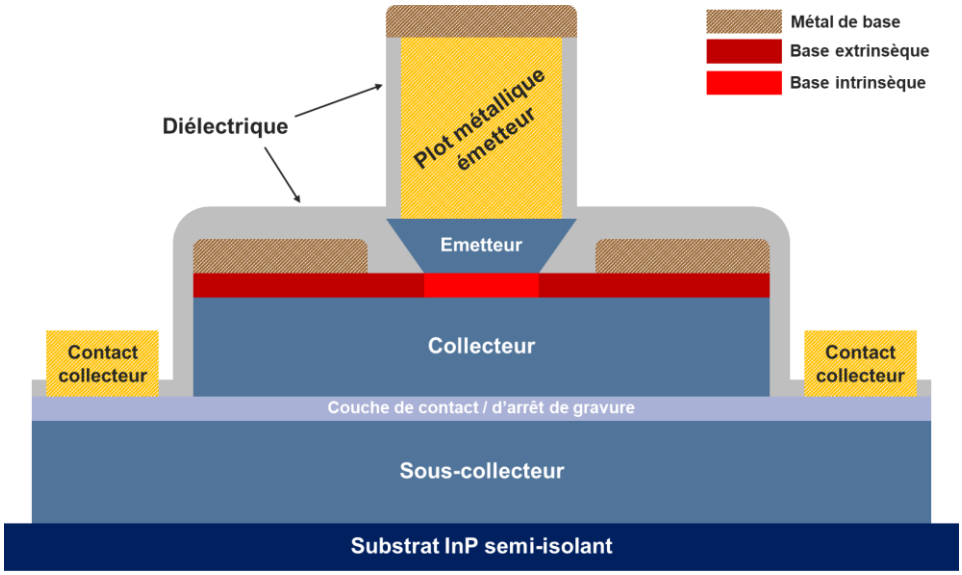

Figure 18 : Approche de fabrication « top-down » pour les HBT réalisés sur substrat InP. Schéma inspiré de [*Markman_2024*].

Le transistor est ensuite encapsulé par une épaisse couche de polymère (comme le polyimide ou le benzocyclobutène, BCB), déposée par spin-coating. Cette couche est alors gravée jusqu'à exposer le sommet de l'émetteur, permettant ainsi de réaliser une planarisation du dispositif et de former les interconnexions. Là encore, la hauteur de l'émetteur doit être suffisante afin de garantir que le métal de base reste encapsulé, évitant ainsi tout court-circuit lors de de la réalisation de l'interconnexion sur l'émetteur.
Le polissage mécano-chimique (CMP) n'existant pas dans les procédés III–V, cela complexifie la réalisation de structures auto-alignées très précises, reproductibles, et ainsi compatibles avec une vision HVM. Les procédés de planarisation utilisés nécessitent alors de larges marges pour compenser les irrégularités topographiques du polymère, ainsi que pour permettre les gravures de reprise de contact sur la base et sur le collecteur. Cela conduit à des émetteurs présentant des rapports d'aspect élevés, ce qui les rend fragiles et sujets à des défaillances. Les plots métalliques de base, à terme indispensables afin d'ajuster la hauteur du métal de base jusqu'au niveau du métal de l'émetteur, introduisent une capacité parasite au niveau de la jonction base–collecteur, ce qui in fine affecte la performance fréquentielle du transistor. Par ailleurs, les différentes gravures humides employées au cours de la fabrication entraînent une sous-gravure des semi-conducteurs, sous les métaux de contact. Cela les expose à différents environnements chimiques agressifs, ce qui peut finir par provoquer une dégradation de la résistivité de contact [*Rode_2015*]. Une approche alternative, consistant à réaliser les étapes de métallisation en fin de procédé de fabrication, semble donc préférable.

Malgré le caractère « laboratoire » de ces procédés et les inconvénients décrits, des performances remarquables ont pu être obtenues en amplification de puissance. Par exemple, une puissance de sortie saturée P_{sat} = 15.3 dBm avec une efficacité de puissance ajoutée (PAE) de 32 % à 130 GHz a été démontrée par [*Ning_2020*]. Cependant, pour atteindre des fréquences plus élevées, de nouvelles optimisations sont nécessaires. Au-delà d'une diminution des dimensions latérales du transistor — ce qui est atteignable via un affinement des procédés de lithographie —, parvenir à réduire la capacité base-collecteur extrinsèque ainsi que la résistance totale de base (R_{bb}) constitue alors la marge principale d'amélioration pour les performances fréquentielles.

1.5.1.2 La re-croissance de base extrinsèque : une solution pour améliorer les performances

La résistance totale de base R_{bb} se décompose en trois contributions principales : la résistance de contact ($R_{b,contact}$), la résistance latérale sous le gap métal–base ($R_{b,gap}$) et la résistance intrinsèque ($R_{b,i}$). La contribution de la résistance métallique de l'électrode R_M se doit également d'être prise en compte dans le cas où la résistivité de contact est très faible (cf. Figure 13). Dimensionner latéralement le HBT permet de diminuer $R_{b,gap}$, mais réduire la contribution de $R_{b,contact}$ demeure complexe. Une solution consiste à augmenter le dopage de la base, mais cela réduit le gain en courant β en accroissant la recombinaison avec les électrons injectés depuis l'émetteur. De plus, l'amincissement de la base — indispensable pour réduire le temps de transit électronique et améliorer f_T — complique l'utilisation de contacts réactifs, dont la profondeur de réaction dépend de l'épaisseur déposée de métal.

Pour concilier faible R_{bb} et fort gain, une re-croissance localisée de matériau fortement dopé sur la partie extrinsèque de la base (Extrinsic Base Regrowth, EBR) est une des solutions pouvant être mises en œuvre. Cette technique a été démontrée par technique de croissance MBE [*Wu_2022*] et MOCVD [*Fang_2019*]. Wu et al. [*Wu_2022*] ont ainsi démontré une réduction de 30% de R_{bb} grâce à la re-croissance par MBE d'une base extrinsèque en GaAsSb-P^{++} (3×10^{20} cm^{-3}). La MBE permet d'obtenir de telles concentrations actives notamment grâce à la « congélation cinétique » des dopants à basse température. En effet, la cinétique de surface étant alors ralentie, les dopants sont « gelés » dans le réseau cristallin quasi-immédiatement après leur incorporation. Cela empêche leur diffusion et réduit la formation de complexes ou de précipités inactifs avec les autres éléments du réseau, menant donc à une plus grande proportion électriquement active. Cependant, bien qu'il soit possible d'ajuster au mieux les conditions de croissance, la MBE demeure une technique de croissance intrinsèquement non sélective. Il existe donc un risque que le matériau soit également déposé sur les flancs et sur les zones métalliques du dispositif, ce qui dégrade le rendement et la fiabilité.

La re-croissance sélective par MOCVD constitue alors une alternative permettant d'éviter le dépôt dans des zones non ciblées, mais elle requiert des températures supérieures à 550°C afin de décomposer les précurseurs organométalliques. À ces températures, des impuretés (C, H, O, N) résultant de réactions incomplètes peuvent s'incorporer et diffuser dans les matériaux semi-conducteurs. L'hydrogène, en particulier, peut passiver les dopants et réduire la concentration active de dopage. Un recuit post-croissance permet toutefois d'extraire l'hydrogène et de restaurer la conductivité. Il s'avère par ailleurs que les matériaux à base d'antimoniures (GaAs et GaAsSb) sont moins sensibles à cette passivation que l'InGaAs [*Stockman_1992*]. Ce fait, combiné à une jonction base-collecteur GaAsSb/InP étant plus simple à concevoir, pourrait à terme démocratiser les bases en GaAsSb dans les InP-HBTs.

Des travaux récents [*Fang_2019*, *Fang_2021*] ont également démontré une réduction significative de $R_{b,contact}$ via la re-croissance MOCVD sélective de GaAs relaxé sur $In_{0.53}Ga_{0.47}As$, accompagnée d'un recuit in-situ sous N_2. Cependant, l'utilisation de recuits, in-situ comme ex-situ, peut mener à une oxydation des métaux et à une dégradation du contact au niveau de l'émetteur, ce qui provoque une augmentation de la résistance totale de l'émetteur. L'emploi de couches diélectriques de passivation peut limiter le phénomène d'oxydation, mais la dégradation des contacts impose soit de réduire le budget thermique utilisé lors de la re-croissance, soit de déplacer la re-croissance avant la métallisation de l'émetteur, impliquant ainsi la modification des schémas d'intégration standards.

Par ailleurs, des procédés de re-croissance sélective à haute température sont déjà largement utilisés dans les filières de fabrication CMOS. Il semble donc envisageable d'adapter et d'exploiter ce type de procédé dans de nouveaux schémas d'intégration visant à réaliser des transistors InP-HBT au sein de lignes CMOS. Le développement d'une technologie InP-HBT compatible avec les procédés CMOS industriels représente en effet un enjeu majeur, ouvrant la voie à une production à haut volume tout en maintenant la poursuite des efforts de réduction des dimensions du transistor.

1.5.2 Le défi de la production à haut volume

Malgré les performances atteignables par les InP-HBTs modernes, la fabrication à petite échelle reste un frein à leur industrialisation. Les procédés actuellement utilisés pour réaliser ces transistors ne sont en effet pas compatibles avec une production à haut volume et compliquent l'intégration avec d'autres modules. Le développement d'une architecture d'intégration compatible HVM — facilitant la planarisation et reportant la métallisation de l'émetteur plus tard dans le procédé de fabrication — est donc essentiel pour permettre la commercialisation à grande échelle et de continuer à diminuer les dimensions des InP-HBTs [*Markman_2024*]. Les dispositifs devront alors être fabriqués à l'aide de procédés déjà utilisés dans les lignes HVM existantes, en particulier ceux des flux d'intégration CMOS planaire.

Bien que l'adaptation d'un flux CMOS planaire puisse être relativement directe pour des technologies de transistor horizontal telles que les HEMTs, la modification des différents procédés pour une finalité HBT – dont la conception est habituellement verticale – semble moins évidente. Cependant, le principal obstacle à une production HVM de InP-HBTs réside actuellement dans la taille des substrats. En effet, pour pleinement tirer parti des chaînes de fabrication CMOS industrielles et réduire les coûts, il est nécessaire de pouvoir disposer de substrats de 200 à 300mm de diamètre. Or, les substrats InP commercialement disponibles ne dépassent pas 100mm, et les plus grands démontrés en laboratoire atteignent tout au plus 150mm. La croissance hétéro-épitaxiale ou le transfert de couches III-V sur substrats silicium ou GaAs apparaissent ainsi comme deux premières approches exploitables. Une troisième approche, basée sur la fabrication de substrats InPOSi (InP-On-Silicon), permettrait également d'obtenir des substrats grand format. Ces différents cas font tous actuellement l'objet de recherches actives et sont présentés plus en détail dans le deuxième chapitre de ce manuscrit. L'intégration dans les lignes CMOS de substrats grand format comportant de l'InP pourrait alors nécessiter une segmentation des matériaux lors de la fabrication des dispositifs, lorsque les semi-conducteurs III-V sont exposés. Il s'agit néanmoins d'une pratique déjà courante dans les fonderies modernes pour isoler les zones BEOL (Back-End Of Line) avec cuivre des zones FEOL (Front-End Of Line) sans cuivre [*Markman_2024*]. Ce facteur ne devrait donc pas constituer un frein majeur à l'adoption de la technologie InP à grande échelle.

Les contraintes liées au développement d'une technologie InP-HBT compatible avec les lignes de fabrication CMOS industrielles ne se limitent pas à la seule question de la disponibilité de substrats de grande taille. Plusieurs briques technologiques essentielles aux performances du transistor devront également être repensées en profondeur. A titre d'exemple, les métaux traditionnellement employés pour contacter les semi-conducteurs III-V sont le plus souvent déposés par évaporation par faisceau d'électrons, une méthode inadaptée à la production à haut volume. A cela s'ajoute le fait que la plupart d'entre eux sont interdits dans les environnements de fabrication CMOS. Il sera donc nécessaire d'explorer d'autres techniques de dépôt, associées à de nouvelles métallisations, tout en garantissant des résistivités de contact extrêmement faibles afin d'atteindre les performances nécessaires pour les applications très hautes fréquences.

1.6 Enjeux de la thèse et description des chapitres

Au cours de ce premier chapitre introductif, nous avons vu que l'augmentation continue des exigences en débit et en fréquence pour les futures générations de communications sans fil oriente naturellement vers l'adoption des technologies InP-DHBT. Cependant, les procédés III-V et les substrats actuellement utilisés pour atteindre des fréquences maximales d'oscillation supérieures au THz ne permettent pas de concevoir une production à grande échelle de ces dispositifs. Il devient donc essentiel de développer des approches d'intégration de InP-DHBT compatibles avec les lignes de fabrication CMOS industrielles. Une telle compatibilité offrirait non seulement la possibilité de répondre aux enjeux de production à haut volume, grâce à l'intégration sur des substrats silicium de grandes dimensions, mais aussi, à terme, de parvenir à co-intégrer efficacement les InP-DHBT avec les circuits CMOS numériques au sein des futurs circuits front-end destinés à la 6G. Dans ce cadre, les dispositifs III-V assureraient la gestion du signal RF analogique aux fréquences extrêmes, où les performances électroniques sont les plus critiques, tandis que les unités CMOS prendraient en charge le traitement du signal, la conversion mixte-signal, la génération et la gestion des fréquences intermédiaires, ou encore le contrôle numérique du système.

Dans ce contexte, le but principal de ma thèse est le suivant : développer des contacts ohmiques compatibles CMOS et performants pour ce type de transistors. Cet enjeu s'inscrit plus largement dans le cadre de la filière technologique InP-DHBT sur silicium 200/300mm, pleinement compatible avec les procédés CMOS industriels, mise en place au LETI, avec comme objectif la démonstration de fonctionnalité des dispositifs fabriqués via une évaluation de leurs performances DC et RF.

Le chapitre 2 s'attache d'abord à présenter les principales contraintes et les défis à relever pour le développement d'une technologie InP-DHBT compatible CMOS. Il explore ensuite en détail l'état de l'art des solutions d'intégration proposées jusqu'à ce jour, avant d'introduire l'approche retenue dans le cadre de cette thèse. Finalement, il met en lumière les problématiques rencontrées ainsi que les avancées technologiques majeures obtenues au sein de la filière.

Le chapitre 3 est principalement axé autour de la recherche et de l'obtention de contacts ohmiques performants sur InGaAs, en utilisant des métallisations et des procédés compatibles CMOS. Des lots d'étude spécifiquement dédiés à leur développement et à leur caractérisation électrique sont conçus, permettant de révéler les différents obstacles à surmonter. Une méthodologie d'évaluation novatrice des paramètres de résistivité, basée sur la simulation, est également mise au point afin de complémenter les extractions TLM menées sur nos structures. Pour finir, les résultats de la caractérisation DC et RF des premiers transistors de la filière sont présentés.

Enfin, le chapitre 4 se consacre à l'élaboration et à l'évaluation de premiers contacts compatibles CMOS sur GaAsSb-P^{++}, afin d'ouvrir la voie à des caractérisations plus approfondies sur matériaux antimoniures et, à terme, de permettre la réalisation d'un InP-DHBT sur silicium intégrant une couche de base en GaAsSb. La volonté de la filière est en effet de se tourner vers le système matériau InP/GaAsSb pour le futur de cette technologie, en raison de problématiques soulevées au cours du chapitre 3.

1.7 Références du chapitre 1

Arabhavi, A.M. *et al.* (2022) « InP/GaAsSb Double Heterojunction Bipolar Transistor Emitter-Fin Technology With fMAX = 1.2 THz », *IEEE Transactions on Electron Devices*, 69(4), p. 2122-2129. Disponible sur: https://doi.org/10.1109/TED.2021.3138379.

Bardeen, J. (1947) « Surface States and Rectification at a Metal Semi-Conductor Contact », *Physical Review*, 71(10), p. 717-727. Disponible sur: https://doi.org/10.1103/PhysRev.71.717.

Bhat, R. *et al.* (1996) « InP/GaAsSb/InP and InP/GaAsSb/InGaAsP double heterojunction bipolar transistors with a carbon-doped base grown by organometallic chemical vapor deposition », *Applied Physics Letters*, 68, p. 985-987. Disponible sur: https://doi.org/10.1063/1.116120.

Blank, T.V. et Gol'dberg, Yu.A. (2007) « Mechanisms of current flow in metal-semiconductor ohmic contacts », *Semiconductors*, 41(11), p. 1263-1292. Disponible sur: https://doi.org/10.1134/S1063782607110012.

Bolognesi, C.R. *et al.* (2001) « InP/GaAsSb/InP double HBTs: a new alternative for InP-based DHBTs », *IEEE Transactions on Electron Devices*, 48(11), p. 2631-2639. Disponible sur: https://doi.org/10.1109/16.960389.

Borrel, J. (2017) *Innovative contact technology for CMOS FDSOI 10 nm and below*. These de doctorat. Lille 1. Disponible sur: https://theses.fr/2017LIL10017.

Chen, Y.-K. *et al.* (1989) « Subpicosecond InP/InGaAs heterostructure bipolar transistors », *IEEE Electron Device Letters*, 10(6), p. 267-269. Disponible sur: https://doi.org/10.1109/55.31742.

Cherry, S. (2004) « Edholm's law of bandwidth », *IEEE Spectrum*, 41(7), p. 58-60. Disponible sur: https://doi.org/10.1109/MSPEC.2004.1309810.

Chevalier, P. *et al.* (2024) « A Versatile 55-nm SiGe BiCMOS Technology for Wired, Wireless, and Satcom Applications », in *2024 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*. *2024 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, p. 13-17. Disponible sur: https://doi.org/10.1109/BCICTS59662.2024.10745707.

Connelly, D. *et al.* (2004) « A new route to zero-barrier metal source/drain MOSFETs », *IEEE Transactions on Nanotechnology*, 3(1), p. 98-104. Disponible sur: https://doi.org/10.1109/TNANO.2003.820774.

Dvorak, M.W. *et al.* (2001) « 300 GHz InP/GaAsSb/InP double HBTs with high current capability and BV/sub CEO/>6 V », *IEEE Electron Device Letters*, 22(8), p. 361-363. Disponible sur: https://doi.org/10.1109/55.936343.

Fang, Y. (2021) *Regrown Extrinsic Base InP HBT with Sub-100nm Emitter Contact*. UC Santa Barbara. Disponible sur: https://escholarship.org/uc/item/3k44x071.

Fang, Y., Tseng, H.-Y. et Rodwell, M.J.W. (2019) « We = 100nm InP/lnGaAs DHBT with Self-aligned MOCVD Regrown p-GaAs Extrinsic Base Exhibiting 1 Ohm*µm^2 Base Contact Resistivity », in *2019 Device Research Conference (DRC)*. *2019 Device Research Conference (DRC)*, p. 179-180. Disponible sur: https://doi.org/10.1109/DRC46940.2019.9046400.

Hafez, W. et Feng, M. (2005) « Experimental demonstration of pseudomorphic heterojunction bipolar transistors with cutoff frequencies above 600GHz », *Applied Physics Letters*, 86(15), p. 152101. Disponible sur: https://doi.org/10.1063/1.1897831.

Heine, V. (1965) « Theory of Surface States », *Physical Review*, 138(6A), p. A1689-A1696. Disponible sur: https://doi.org/10.1103/PhysRev.138.A1689.

Heinemann, B. *et al.* (2016) « SiGe HBT with fx/fmax of 505 GHz/720 GHz », in *2016 IEEE International Electron Devices Meeting (IEDM)*. *2016 IEEE International Electron Devices Meeting (IEDM)*, p. 3.1.1-3.1.4. Disponible sur: https://doi.org/10.1109/IEDM.2016.7838335.

Hu, J. *et al.* (2008) « Fermi-Level Depinning of GaAs for Ohmic Contacts », in *2008 Device Research Conference*. *2008 Device Research Conference*, p. 89-90. Disponible sur: https://doi.org/10.1109/DRC.2008.4800748.

Hu, J., Saraswat, K.C. et Wong, H.-S.P. (2010) « Metal/III-V Schottky barrier height tuning for the design of nonalloyed III-V field-effect transistor source/drain contacts », *Journal of Applied Physics*, 107(6), p. 063712. Disponible sur: https://doi.org/10.1063/1.3327434.

Jain, V. *et al.* (2011) « InGaAs/InP DHBTs demonstrating simultaneous $f\tau/f\max \sim 460/850$ GHz in a refractory emitter process », in *IPRM 2011 - 23rd International Conference on Indium Phosphide and Related Materials*. *IPRM 2011 - 23rd International Conference on Indium Phosphide and Related Materials*, p. 1-4. Disponible sur: https://ieeexplore.ieee.org/abstract/document/5978329.

Kroemer, H. (1982) « Heterostructure bipolar transistors and integrated circuits », *Proceedings of the IEEE*, 70(1), p. 13-25. Disponible sur: https://doi.org/10.1109/PROC.1982.12226.

Latva-aho, M., Leppänen, K. et University of Oulu, 6G Flagship (2019) *Key drivers and research challenges for 6G ubiquitous wireless intelligence*, *jultika.oulu.fi*. Disponible sur: https://oulurepo.oulu.fi/handle/10024/36430.

Markman, B. et Schröter, M. (2024) « Indium-Phosphide Transistors: A Review of Current State and Suitability for Commercial > 100-GHz Wireless Communication Systems », *IEEE Microwave Magazine*, 25(10), p. 38-53. Disponible sur: https://doi.org/10.1109/MMM.2024.3428191.

McDermott, B.T. *et al.* (1996) « Growth and doping of GaAsSb via metalorganic chemical vapor deposition for InP heterojunction bipolar transistors », *Applied Physics Letters*, 68(10), p. 1386-1388. Disponible sur: https://doi.org/10.1063/1.116088.

Mei, X. *et al.* (2015) « First Demonstration of Amplification at 1 THz Using 25-nm InP High Electron Mobility Transistor Process », *IEEE Electron Device Letters*, 36(4), p. 327-329. Disponible sur: https://doi.org/10.1109/LED.2015.2407193.

Nagatani, M. *et al.* (2022) « Extreme-broadband Analog ICs Based on InP HBT Technology toward Multi-Tbit/s Optical Communications », *NTT Technical Review*, 20(11), p. 73-80. Disponible sur: https://doi.org/10.53829/ntr202211ra1.

Nguyen, C. *et al.* (1996) « AlInAs/GaInAs/InP double heterojunction bipolar transistor with a novel base-collector design for power applications », *IEEE Electron Device Letters*, 17(3), p. 133-135. Disponible sur: https://doi.org/10.1109/55.485191.

Ning, K. *et al.* (2020) « A 130-GHz Power Amplifier in a 250-nm InP Process with 32% PAE », in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, p. 1-4. Disponible sur: https://doi.org/10.1109/RFIC49505.2020.9218351.

Nishimura, T., Kita, K. et Toriumi, A. (2007) « Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface », *Applied Physics Letters*, 91(12), p. 123123. Disponible sur: https://doi.org/10.1063/1.2789701.

Pärssinen, A. *et al.* (2021) *White paper on RF enabling 6G : opportunities and challenges from technology to spectrum*, *jultika.oulu.fi*. Disponible sur: https://oulurepo.oulu.fi/handle/10024/36613.

Plummer, J.D. et Griffin, P.B. (2001) « Material and process limits in silicon VLSI technology », *Proceedings of the IEEE*, 89(3), p. 240-258. Disponible sur: https://doi.org/10.1109/5.915373.

Rode, J.C. *et al.* (2015) « Indium Phosphide Heterobipolar Transistor Technology Beyond 1-THz Bandwidth », *IEEE Transactions on Electron Devices*, 62(9), p. 2779-2785. Disponible sur: https://doi.org/10.1109/TED.2015.2455231.

Rodwell, M. *et al.* (2008) « THz Bipolar Transistor Circuits: Technical Feasibility, Technology Development, Integrated Circuit Results », in *2008 IEEE Compound Semiconductor Integrated Circuits Symposium*. *2008 IEEE Compound Semiconductor Integrated Circuits Symposium*, p. 1-3. Disponible sur: https://doi.org/10.1109/CSICS.2008.5.

Rowe, J.E., Christman, S.B. et Margaritondo, G. (1975) « Metal-Induced Surface States during Schottky-Barrier Formation on Si, Ge, and GaAs », *Physical Review Letters*, 35(21), p. 1471-1475. Disponible sur: https://doi.org/10.1103/PhysRevLett.35.1471.

Schröter, M. *et al.* (2017) « SiGe HBT Technology: Future Trends and TCAD-Based Roadmap », *Proceedings of the IEEE*, 105(6), p. 1068-1086. Disponible sur: https://doi.org/10.1109/JPROC.2015.2500024.

Shinohara, K. *et al.* (2013) « Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications », *IEEE Transactions on Electron Devices*, 60(10), p. 2982-2996. Disponible sur: https://doi.org/10.1109/TED.2013.2268160.

Stockman, S.A. *et al.* (1992) « Passivation of carbon acceptors during growth of carbon-doped GaAs, InGaAs, and HBTs by MOCVD », *Journal of Electronic Materials*, 21(12), p. 1111-1118. Disponible sur: https://doi.org/10.1007/BF02667602.

Then, H.W. *et al.* (2024) « 30nm Channel-Length Enhancement-Mode GaN MOSHEMT Transistors on a 300mm GaN-on-TRSOI Engineered Substrate », *2024 IEEE International Electron Devices Meeting (IEDM)*. *2024 IEEE International Electron Devices Meeting (IEDM)*, p. 1-4. Disponible sur: https://doi.org/10.1109/IEDM50854.2024.10873306.

Urteaga, M. *et al.* (2011) « 130nm InP DHBTs with ft >0.52THz and fmax >1.1THz », in *69th Device Research Conference*. *69th Device Research Conference*, p. 281-282. Disponible sur: https://doi.org/10.1109/DRC.2011.5994532.

Urteaga, M. *et al.* (2017) « InP HBT Technologies for THz Integrated Circuits », *Proceedings of the IEEE*, 105(6), p. 1051-1067. Disponible sur: https://doi.org/10.1109/JPROC.2017.2692178.

Wang, H. *et al.* (2025) *Power Amplifiers Performance Survey 2000-Present*. Disponible sur: https://ideas.ethz.ch/Surveys/pa-survey.html (Consulté le: 1 octobre 2025).

Wieder, H.H. (2003) « Surface and interface barriers of InxGa1−xAs binary and ternary alloys », *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 21(4), p. 1915-1919. Disponible sur: https://doi.org/10.1116/1.1588646.

Wu, B. *et al.* (2022) « GaAsSb/InP DHBT Extrinsic Base Regrowth Using In-situ Hydrogen Plasma Surface Treatment and Molecular Beam Epitaxy », in *Int. Conf. Compd. Semicond. Manuf. Technol., CS MANTECH. 2022 International Conference on Compound Semiconductor Manufacturing Technology, CS MANTECH 2022*, CS Mantech, p. 79-81.

2. Vers une technologie InP-DHBT sur silicium compatible CMOS

Ce chapitre commence en exposant les contraintes fondamentales et les divers défis technologiques qu'implique la mise au point d'une filière InP-DHBT véritablement compatible avec les procédés CMOS industriels. Il propose alors une analyse détaillée de l'état de l'art, en examinant un ensemble de stratégies d'intégration proposées ou explorées jusqu'à présent dans la littérature, ainsi que leurs limites respectives. Sur cette base, le chapitre traite ensuite du choix d'intégration effectué dans le cadre de cette thèse, en explicitant les raisons techniques et scientifiques qui ont motivé cette orientation. Enfin, il met en évidence les différentes difficultés rencontrées au cours du développement des procédés, tout en soulignant les progrès et les avancées technologiques majeures obtenues au sein de la filière au terme de la thèse.

2.1 Contraintes d'une intégration CMOS-compatible

Le développement d'une technologie InP-HBT compatible avec les lignes de fabrication CMOS industrielles soulève un ensemble de contraintes spécifiques sur les plans technologique, matériel et économique.

Parmi les verrous technologiques, la compatibilité thermique constitue un premier défi majeur. Les procédés de fabrication des composants InP sont limités à des températures inférieures à 400 °C, voire moins de 300°C une fois que les contacts métalliques sont réalisés [*Zaknoune_2012*]. Cela contraste avec certains procédés du Back-End-Of-Line (BEOL) utilisés dans les plateformes Si-CMOS, dont les températures peuvent s'élever jusqu'à 450°C. Une exposition à de telles températures peut alors entraîner une dégradation irréversible des couches métalliques, des interfaces de contact et/ou des couches actives du composant. Ainsi, une intégration directe dans le flux CMOS standard reste difficilement réalisable sans ajustements spécifiques des procédés. À titre d'exemple, il est possible d'imposer aux contacts ohmiques des budgets thermiques plus élevés que ceux habituellement tolérés, grâce à la formation de phases intermétalliques favorables lors de recuits post-dépôt — une approche mise en œuvre dans certains des travaux qui seront présentés dans ce manuscrit.

Une seconde limitation critique concerne l'incompatibilité des substrats. La fabrication CMOS industrielle utilise des wafers de silicium de 300 mm, tandis que les substrats InP disponibles commercialement sont limités à 150 mm. Une première approche pour obtenir des substrats silicium de grand diamètre intégrant des matériaux III-V consiste en la croissance monolithique directe sur silicium, qu'elle soit effectuée sur l'ensemble du wafer [*Alcotte_2016*] ou de manière localisée [*Yuan_2021*]. Toutefois, les différences importantes de polarité, de structure

cristalline, de paramètre de maille ou encore de coefficient de dilatation thermique entre les matériaux III-V et le silicium induisent divers types de défauts au sein de l'épitaxie. Une deuxième approche est l'intégration hétérogène par vignettage, consistant à d'abord réaliser la croissance de l'empilement III-V sur un substrat InP, puis à transférer cet empilement sur le substrat silicium [*Duan_2014*]. Cela permet alors de bénéficier d'une qualité épitaxiale optimale pour les couches actives III-V. Cette méthode présente toutefois l'inconvénient d'entraîner un gâchis important de matériau III-V, car le substrat InP doit être retiré à la suite du report. La gestion et le recyclage des déchets doivent donc également être pris en compte. Enfin, une troisième approche consiste à ne transférer sur le substrat silicium qu'une fine « semelle » d'InP, puis à y réaliser la croissance de l'empilement III-V [*Besancon_2022*]. Selon ce principe, la réalisation de substrats InP/Si de grands diamètres est alors possible via l'application d'une certaine méthodologie, qui sera détaillée dans la section 2.2.2.3 de ce chapitre. Cette dernière permet alors d'également limiter le gaspillage d'InP. Néanmoins, la qualité d'une épitaxie réalisée sur une semelle transférée d'InP reste à l'heure actuelle inférieure à celle pouvant être obtenue sur un substrat InP natif. Ces trois stratégies sont davantage décrites dans la partie 2.2 de ce chapitre.

Ensuite, la présence d'atomes III et V, provenant de l'InP ainsi que de ses alliages (InGaAs, InAlAs…), constitue une potentielle source de contamination particulaire et métallique pour un environnement de fabrication Si-CMOS. A titre d'exemple, dans les salles blanches du LETI en 2024, la catégorie de contamination d'un équipement est entre autres définie par la quantité maximale acceptable de ces éléments III et V sur la surface d'une plaque Si neuve à la suite de son passage dans l'équipement (entre 5×10^{10} et 1×10^{13} at/cm² selon la catégorie) [*Yim_2025*]. Lorsqu'ils sont présents en trop grande quantité, les contaminants peuvent perturber aussi bien la fabrication du dispositif que son bon fonctionnement en utilisation finale. Par ailleurs, leur présence peut également se révéler problématique vis-à-vis d'autres technologies élaborées dans la même salle, celles-ci cherchant à éviter toute contamination des équipements susceptible d'entraîner des dopages résiduels ou d'autres effets indésirables. Ainsi, afin d'éviter la cross-contamination, une plaque ayant été passée dans un équipement d'une certaine catégorie de contamination ne peut alors plus être insérée dans des équipements de niveau de contamination inférieur par la suite.

Dans le cadre d'une intégration compatible CMOS, la topographie des surfaces représente également un point critique. En effet, l'intégration de structures III-V sur substrat silicium exige une excellente maîtrise de la planéité et de la rugosité de surface, notamment pour garantir la compatibilité avec les étapes de lithographie sub-100nm requises par les nœuds technologiques avancés du CMOS. L'optimisation des procédés de polissage mécano-chimique (CMP) adaptés aux matériaux III-V est ainsi essentielle.

Par ailleurs, les métallisations de contact employées dans les technologies III-V natives contiennent fréquemment des métaux nobles (Au, Ir, Pt, Pd…), ce qui les rend incompatibles avec les standards industriels du CMOS. Les raisons à cela sont multiples :

- Les métaux nobles diffusent extrêmement facilement dans le silicium même à température modérée (200 - 400°C), ce qui peut créer des niveaux profonds d'énergie dans la bande interdite et fortement dégrader les performances des dispositifs CMOS, ainsi que le rendement de fabrication.
- Les environnements CMOS fonctionnent selon des normes de propreté très strictes, et même une petite trace de métal noble sur un wafer, un outil ou autre peut contaminer toute la chaîne de production.
- De plus, les métaux nobles sont incompatibles avec les procédés Damascène cuivre et tungstène utilisés pour réaliser les métallisations CMOS modernes.

Une contrainte supplémentaire consiste alors en l'obtention de contacts très peu résistifs et thermiquement résilients sur les dispositifs réalisés via l'utilisation d'empilements métalliques différents, apportant avec eux des conditions de préparation de surface et de dépôt spécifiques.

Enfin, la problématique économique peut être considérée. En effet, les aspects concernant les coûts et les rendements de fabrication, ainsi que les volumes à adresser en fonction du marché visé, constituent également une contrainte à l'industrialisation de technologies InP-DHBT sur silicium.

La réalisation d'une technologie InP-DHBT compatible avec les lignes de fabrication industrielles CMOS n'est donc pas réalisable sans modifier les procédés existants. Une vue d'ensemble de différentes solutions d'intégration considérées jusqu'à présent dans la littérature est proposée dans la partie 2.2.

2.2 Etat de l'art des solutions d'intégration existantes

2.2.1 Intégration hétérogène par croissance monolithique III-V directe sur silicium

La première solution d'intégration consiste à réaliser une croissance monolithique directe des couches actives III-V du InP-DHBT sur un substrat silicium de grand diamètre. À première vue, les différences intrinsèques entre silicium et matériaux III-V — polarité, structure cristalline, paramètre de maille et coefficient de dilatation thermique — semblent pourtant rendre cette approche compliquée, car elles sont à l'origine de plusieurs types de défauts. La forte contrainte induite par la différence de paramètre de maille se relâche, au-delà d'une certaine épaisseur de dépôt, par la formation de dislocations de désaccord à l'hétéro-interface et de dislocations traversantes se propageant vers la surface. Par ailleurs, l'écart de coefficient de dilatation thermique conduit, lors du refroidissement post-croissance, à une accumulation de contrainte supplémentaire dans les couches III-V épaisses, pouvant entraîner l'apparition de fissures thermiques. Ces fissures génèrent à leur tour des défauts structuraux et une rugosité accrue de la surface des couches épitaxiées [*Du_2022*]. Enfin, les parois d'antiphase constituent

un autre type de défaut important. Elles correspondent à des frontières séparant deux domaines atomiques identiques mais déphasés d'une demi-maille, inversant localement l'ordre des atomes et introduisant des successions indésirables de liaisons homo-atomiques. Ce phénomène résulte de la différence de polarité entre le silicium et les matériaux III-V, qui provoque un placement indifférent des atomes de type III et V dans les sous-réseaux du silicium au cours des premiers instants du dépôt [*Cipro_2016*].

Plusieurs stratégies peuvent alors être mises en œuvre afin de rendre la croissance directe de matériaux III-V sur silicium plus viable. La première consiste à déposer une ou plusieurs couches tampons épaisses (Strain Relaxation Buffers, SRB) en amont de la croissance des couches actives III-V. Ces couches tampons — constituées de matériaux dont le paramètre de maille est intermédiaire entre celui du silicium et celui du III-V — permettent d'atténuer le désaccord de maille et donc de réduire efficacement la densité de dislocations générées dans les couches actives sus-jacentes. Elles peuvent présenter une composition uniforme [*Choi_2009, Lin_2014*] ou graduelle [*Carlin_2001, Datta_2007*]. Dans ce second cas, la relaxation de la contrainte au sein du tampon est encore mieux accompagnée, ce qui limite davantage la formation de dislocations. L'utilisation de telles couches implique toutefois de maîtriser la croissance de plusieurs matériaux sur des épaisseurs importantes pouvant atteindre plusieurs micromètres. Cet aspect peut alors introduire de nouveaux défis, comme la déformation du substrat et/ou la formation de fissures dues à une forte contrainte mécanique exercée sur l'ensemble de la surface.

Cela peut alors être adressé en utilisant une approche de croissance sélective (Selective Area Epitaxy, SAE) [*Yuan_2021*] permettant d'éviter ce problème lié à un dépôt pleine plaque du SRB. Des tranchées étroites et profondes sont formées dans une couche d'oxyde déposée sur le substrat Si. Selon des conditions de croissance spécifiques, la croissance sélective des couches III-V sur silicium s'effectue alors dans ces tranchées. Plus le rapport hauteur/largeur des tranchées est élevé, plus les défauts auront tendance à être bloqués sur les parois diélectriques et ne se propageront pas au sein de la zone active du composant, il s'agit de l'Aspect Ratio Trapping (ART) [*Li_2007*]. Cependant, un ART efficace est généralement accompagné d'un faible volume de matériau III-V déposé, étant donné les dimensions des tranchées réalisées dans la couche d'oxyde.

La technique de Template-Assisted Selective Epitaxy (TASE) constitue une évolution de ces approches de croissance sélective confinée [*Schmid_2015*]. Dans cette approche, la croissance épitaxiale n'est plus uniquement réalisée dans des tranchées ouvertes, mais au sein de cavités diélectriques fermées ou semi-fermées définies par lithographie. Une ouverture localisée permet l'initiation de la croissance sur le silicium, puis le matériau III-V se développe en remplissant la cavité et en suivant la géométrie imposée par le « template ». Ce confinement favorise, comme dans le cas de l'ART, le piégeage des dislocations sur les parois diélectriques, tout en permettant un contrôle précis de la forme et de l'orientation des structures épitaxiées. Contrairement à l'ART conventionnel, la TASE offre ainsi une meilleure maîtrise de la géométrie finale du matériau III-V et permet la réalisation de structures plus complexes, telles que des nano-fils horizontaux ou des canaux entièrement confinés, compatibles avec une intégration à l'échelle du dispositif. Néanmoins, comme pour l'ART, le volume de matériau obtenu reste contraint par la géométrie du « template », ce qui limite la surface active accessible.

Afin d'augmenter cette surface active de matériau III-V, l'approche Nano-Ridge (NR) a été développée par l'IMEC [*Kunert_2016*], voir Figure 19. A l'origine pensée pour des applications optoélectroniques, cette technique consiste en une combinaison de croissance sélective et d'ART sur des substrats Si spécifiquement préparés, où les plans (111) du silicium sont révélés en fond de tranchée ART. La croissance de matériau III-V commence alors sur ces plans, puis continue au sein des tranchées dans la couche d'oxyde sus-jacente, pour un rapport hauteur/largeur final au moins supérieur à 3 [*Kunert_2023*]. Une fois les tranchées remplies, la croissance continue en s'élargissant au-dessus de la couche d'oxyde, formant ainsi le Nano-Ridge et augmentant la surface utile de matériau III-V disponible pour la réalisation des dispositifs visés.

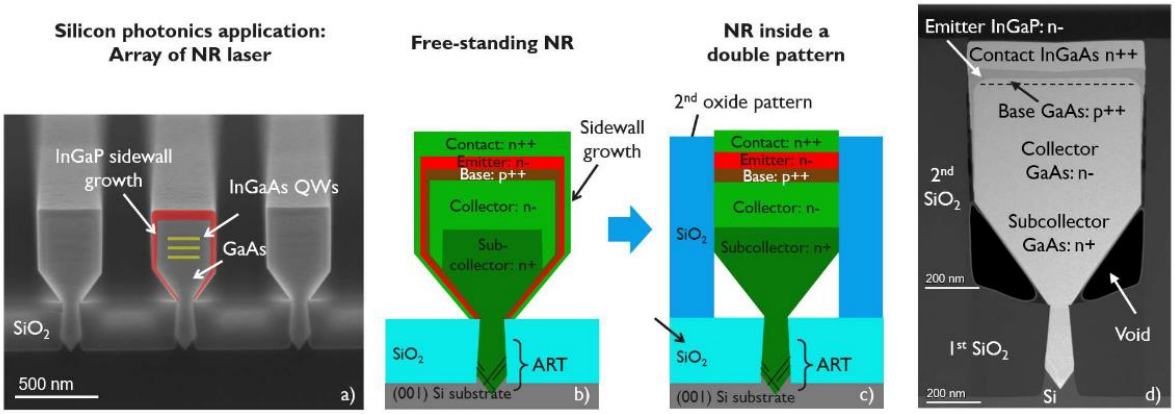

Figure 19 : (a) Image MEB d'un réseau laser Nano-Ridge. (b) Schéma montrant la croissance sur les parois latérales lorsqu'un empilement technologique HBT est déposé sur un « free-standing » NR. (c) Effet d'un second motif d'oxyde sur la croissance de l'empilement HBT, limitant la croissance sur les parois latérales. (d) Image HAADF-STEM d'un HBT NR à base de GaAs. Illustrations provenant de [*Kunert_2023*].

Des dispositifs tels que des lasers GaAs/InGaAs ont pu être obtenus en utilisant cette approche. De même, l'IMEC a réalisé un HBT InGaP/GaAs [*Vais_2019*] (Figure 19(d)), puis dans un second temps un DHBT InP/GaAsSb/InGaAs [*Boccardi_2024*] en utilisant cette technologie.

Bien que la faisabilité d'un procédé de fabrication de NR HBTs sur Si 300mm (GaAs-HBT et InP-HBT) ait été démontrée [*Boccardi_2024*], il est à l'heure actuelle encore incertain si cette solution d'intégration sur silicium grand format pourra à terme permettre la réalisation de InP-DHBTs sur silicium suffisamment fiables et performants, ou si les applications photoniques resteront les principales visées. En effet, du fait de la croissance directe du III-V sur silicium, le défi principal reste de parvenir à obtenir une densité de défauts suffisamment faible dans la zone active du transistor, afin d'augmenter ses performances. Il s'agit d'un problème auquel d'autres solutions d'intégration ne sont pas sujettes, car se basant sur des empilements III-V de haute qualité cristalline réalisés sur substrat natif III-V (InP, GaAs, GaSb). Ces solutions sont présentées dans la prochaine section.

2.2.2 Intégration hétérogène par assemblage

Pour surmonter les difficultés liées à la croissance monolithique directe de matériaux III-V sur silicium, une seconde catégorie d'intégration hétérogène repose sur le transfert de couches III-V, voire de dispositifs déjà partiellement/complètement fabriqués vers des substrats silicium de grands diamètres. La croissance des couches III-V actives est alors réalisée en amont sur substrat natif III-V (InP, GaAs, GaSb). Cette approche permet ainsi l'exploitation de couches III-V de haute qualité cristalline pour la fabrication de dispositifs tels que les InP-DHBT.

2.2.2.1 L'approche « Above IC » 3D : des techniques d'interconnexions aux approches d'assemblage

Le terme « Above-IC » définit une approche d'intégration hétérogène de dispositifs III-V sur silicium, où le wafer hôte comprend déjà des circuits intégrés CMOS. Dans cette approche, les dispositifs III-V sont alors intégrés en surplomb de la partie CMOS (ou BiCMOS [*Chevalier_2018*]) déjà complètement réalisée, sur les niveaux métalliques supérieurs du BEOL. Cela permet donc un assemblage compact et des interconnexions électriques directes entre les dispositifs III-V et le CMOS, via le BEOL.

A. Les techniques d'interconnexion

La technique d'interconnexion la plus robuste actuellement d'un point de vue industriel est la liaison par micro-bump (µ-bump) [*Beyne_2016*], où chaque puce III-V est connecté au wafer hôte en silicium par une matrice de billes métalliques (souvent à base de cuivre ou d'étain) ou de piliers en cuivre (CuPi), voir Figure 20(a). Technologiquement mature et mécaniquement tolérante, cette technique permet un transfert 3D hétérogène efficace. Cependant, dans le cas où l'interconnexion par µ-bump est considérée pour des applications en radiofréquence, la principale difficulté réside alors dans la portion de ligne RF se retrouvant « prise en sandwich » entre les parties III-V et CMOS [*Oliveira_2023, Divay_2024*]. Afin de limiter les pertes dans ces segments de ligne, il est alors nécessaire de reporter des puces III-V de très petite taille. Cette technique d'interconnexion possède également une évolutivité limitée. Du fait de la taille des billes ou des piliers, le pitch d'interconnexion est typiquement limité à des valeurs supérieures ou égales à 10µm, ce qui limite les densités atteignables à quelques milliers/mm² en moyenne. La hauteur d'interconnexion entre les circuits doit être soigneusement optimisée : ni trop élevée afin de limiter les effets d'inductance parasite induits par le µ-bump, ni trop faible pour éviter un couplage capacitif excessif entre les parties III-V et CMOS, ce qui entraînerait des pertes encore plus importantes dans les lignes « prises en sandwich ». Enfin, l'utilisation d'un matériau non conducteur, appelé « underfill » et destiné à renforcer la robustesse mécanique de l'empilement 3D en comblant le vide entre les puces interconnectées, introduit également des effets parasites supplémentaires en raison de sa constante diélectrique plus élevée que celle de l'air et différente de l'environnement BEOL [Oliveira et al, 2023]. Ces différentes contraintes font que cette technique ne constitue pas une solution idéale pour l'intégration

hétérogène de certains dispositifs III-V sur silicium, tels que les InP-HBTs, qui visent un couplage RF/sub-THz (bandes 110-170, 140-220 et 220-325 GHz [*Markman_2024*]) extrêmement court et à très faibles pertes vers le CMOS.

Une approche plus avancée technologiquement et récente est le collage hybride direct, qui a été identifié comme étant la clé pour le futur de l'approche « Above IC ». Cette technique se base sur des surfaces diélectriques et métalliques (souvent en cuivre) planes qui sont directement mises en contact et fusionnées entre elles à basse température [*Jouve_2017*], voir Figure 20(b). Dans le cas d'une intégration hétérogène III-V sur silicium, ces surfaces seraient alors formées sur les parties III-V et CMOS préalablement à l'assemblage. Le collage réalisé est alors de type direct oxyde-oxyde + Cu-Cu, avec les interconnexions métalliques intégrées au sein même du diélectrique. Les principales limitations du collage par µ-bumps s'en trouvent résolues, le collage hybride permettant en effet de réduire au minimum les effets de parasitisme (hauteur d'interconnexion nulle) et d'atteindre des densités records d'interconnexions, grâce à des valeurs de pitch pouvant être inférieures à 1 µm. Cette technique avancée – applicable dans des assemblages de type Water-to-Wafer (W2W) ou Die-to-Wafer (D2W) – est cependant particulièrement exigeante technologiquement, requérant notamment une propreté et une planéité extrême des surfaces, ainsi que la nécessité de réaliser des alignements précis (sub-µm). Ces contraintes, en complément de la différence de la nature du Back-End entre les filières d'intégration III-V (BCB, polymère, etc…) et les filières CMOS (cuivre, oxyde), impliquent que le collage hydride direct n'est a priori pas réalisable en filière III-V. Le développement d'approches de fabrication répondant aux exigences de planéité du collage hybride direct, tout en restant compatible avec les procédés de salle blanche CMOS, apparaît donc toujours plus comme une nécessité grandissante.

B. Les approches d'assemblage

Détaillons maintenant un peu plus les différentes approches d'assemblage possibles. Premièrement, le W2W consiste à reporter le wafer III-V entier sur le wafer CMOS. Le wafer III-V contient alors des dispositifs déjà partiellement ou complétement fabriqués. En fonction de l'orientation de l'empilement des couches III-V, une ou plusieurs étapes de retournement (flip ou flip-flop) sont nécessaires afin d'effectuer le report. Cette approche d'assemblage peut permettre l'intégration d'un grand ensemble de dispositifs III-V simultanément, mais elle nécessite que la planéité soit maîtrisée et que les wafers ainsi que les dessins de layout soient de taille similaire de chaque côté. Or, il n'existe pas de substrat III-V de grand diamètre disponible commercialement, ce qui contraint à ajuster la taille des wafers CMOS utilisés à celle des substrats III-V. Pour éviter cela, une solution consiste alors à réaliser un assemblage D2W ou un assemblage par vignettage afin de pouvoir utiliser l'entièreté de la surface de wafers CMOS 200/300mm.

Dans un assemblage D2W, le wafer III-V est dans un premier temps découpé en plusieurs puces (ou « coupons »), puis celles-ci sont ensuite reportées une par une sur le wafer CMOS via des opérations de type « pick-and-place ». De manière similaire au W2W, les puces III-V contiennent également des dispositifs déjà partiellement ou complétement fabriqués. Cette

approche est cependant plus flexible que le W2W car elle permet de lever la contrainte sur la taille des wafers utilisés, et car elle permet la sélection en amont des meilleures puces III-V. Le D2W est une approche d'assemblage novatrice qui nécessite encore de monter en maturité [*Jouve_2019, Maehara_2024*]. Le placement individuel de chacune des puces augmente notamment le risque de commettre une erreur d'alignement et rend également le processus d'assemblage plus long.

Enfin, le vignettage désigne un procédé d'assemblage similaire au D2W, à la différence près que les coupons transférés sur le wafer CMOS ne contiennent que l'empilement non structuré des couches III-V. La fabrication des dispositifs ne commence donc qu'une fois le report des vignettes effectué sur le wafer hôte. De ce fait, la liaison électrique avec les dispositifs du CMOS ne se fait pas directement au moment de l'assemblage, comme cela est aujourd'hui souvent le cas dans les deux autres approches (via collage par micro-bump ou collage hybride direct). Le type de collage effectué peut alors être soit adhésif (polymère, epoxy, BCB…), soit de nature oxyde-oxyde. Les liaisons électriques entre les parties III-V et CMOS sont réalisées une fois les dispositifs III-V fabriqués, grâce à la gravure de vias dans la couche de collage et à leur remplissage par la métallisation d'interconnexion. Il s'agit donc d'une approche particulière, dans le sens où le wafer hôte ne constitue pas seulement une plateforme d'assemblage, mais également une plateforme de fabrication.

Une représentation schématique de ces trois approches d'assemblage pour une intégration hétérogène III-V/CMOS est proposée dans la Figure 20 ci-dessous.

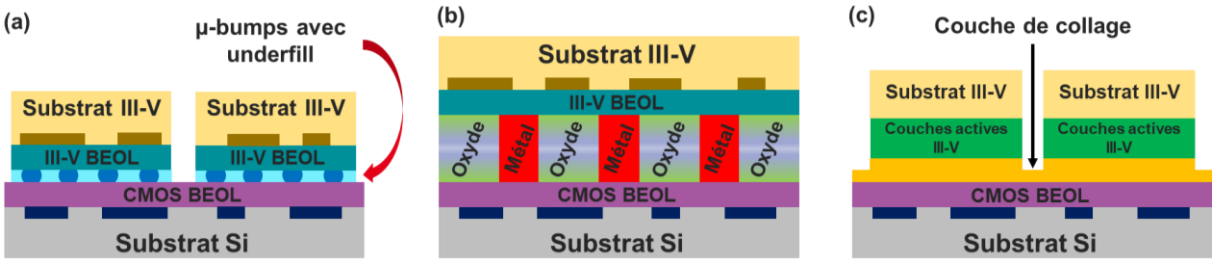

Figure 20 : Représentations schématiques des principes d'assemblage (a) D2W par µ-bumps, (b) W2W par collage hybride direct et (c) vignettage, dans le cadre d'une intégration hétérogène III-V/CMOS.

Ces approches d'assemblage, ou des variantes proches, ont alors été utilisées pour des démonstrations de fonctionnalité de dispositifs III-V sur CMOS. Une preuve de concept notable constitue celle développée par l'université KAIST [*Jeong_2024, Rheem_2024*], voir Figure 21. Elle repose sur une approche d'intégration par vignettage dans laquelle les coupons, contenant des couches III-V destinées à la fabrication de dispositifs HEMT, sont reportés sur un wafer CMOS 200mm. La partie BEOL de ce dernier est alors déjà surmontée de dispositifs passifs intégrés (IPDs). Pour réaliser l'assemblage, une couche d'oxyde est d'abord déposée sur le wafer CMOS planarisé et sur les couches actives III-V. Les coupons III-V sont ensuite reportés sur le wafer CMOS par collage oxyde-oxyde. Le substrat InP et les couches sacrificielles III-V sont retirés, et les dispositifs InGaAs HEMT sont fabriqués directement sur le wafer CMOS. Les interconnexions entre les dispositifs III-V et les IPDs sont enfin réalisées en gravant des cavités dans la couche d'oxyde utilisée pour le collage, puis en les remplissant de la

métallisation d'interconnexion. Avec cette approche, KAIST est notamment parvenu à préserver l'intégrité des parties CMOS sous-jacentes lors de la fabrication des dispositifs III-V, grâce à l'utilisation de procédés à faibles budgets thermiques. De plus, en réalisant des IPDs basés sur des technologies CMOS, KAIST évite des problématiques apportées par des IPDs en III-V, en particulier en termes de fabrication et de coût. Enfin, des performances électriques intéressantes ont pu être obtenues pour le HEMT InGaAs fabriqué, avec des valeurs f_T/f_{MAX} de 609 et 455 GHz respectivement.

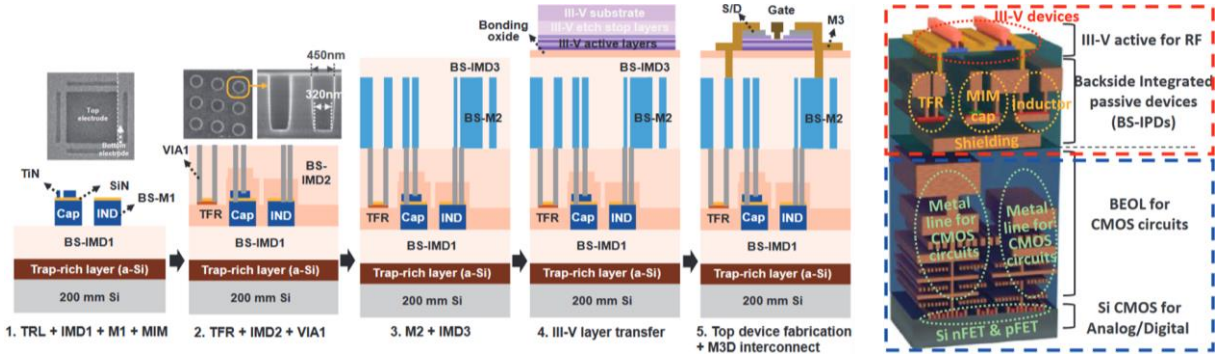

Figure 21 : Approche proposée par KAIST pour intégrer des dispositifs RF à base de III-V sur des circuits analogiques/numériques CMOS. Les dispositifs passifs intégrés (IPDs), situés en amont de la partie BEOL, sont basés sur des technologies CMOS. Cela permet de pallier les limites des IPDs III-V, notamment en termes de fabricabilité et de coût. Illustrations provenant de [*Jeong_2024*].

Une autre démonstration marquante a été développée par le Ferdinand Braun Institut (FBH) [*Kraemer_2013*]. Comme illustré en Figure 22, elle repose sur un assemblage W2W consistant à transférer des dispositifs InP-DHBT (émetteur : 0.8 × 5 µm²), déjà partiellement fabriqués depuis leur substrat InP d'origine, vers un wafer BiCMOS fonctionnel. Dans un premier temps, l'émetteur, la base et le premier niveau de métallisation du InP-DHBT sont définis sur le substrat InP à partir de l'empilement épitaxial. L'ensemble est ensuite encapsulé dans du BCB afin de préparer le transfert vers le wafer BiCMOS. Les wafers BiCMOS, initialement au format 200 mm, sont préalablement découpés en quatre wafers de 3" pour correspondre au diamètre des substrats InP. Une fine couche de BCB est alors déposée sur les deux wafers pour préparer l'assemblage par collage adhésif. Une étape d'alignement suivie d'un recuit thermique permet de réaliser le collage. Le substrat InP est ensuite retiré par voie chimique, exposant ainsi les couches III-V de la région collecteur du transistor. Le collecteur est défini en éliminant les matériaux III-V excédentaires n'étant pas essentiels au fonctionnement du InP-DHBT, notamment la partie extrinsèque située sous les contacts de base. Cela permet alors de grandement réduire la capacité parasite $C_{BC,ex}$. Enfin, les interconnexions sont formées pour réaliser la liaison électrique entre les transistors et les dispositifs du BiCMOS, via la gravure du BCB puis le dépôt de la métallisation d'interconnexion. Grâce à cette méthode, le FBH a obtenu des InP-DHBT intégrés sur silicium présentant des f_T/f_{MAX} de 400/350 GHz et une puissance de sortie maximale de 14 dBm (26 mW) à 96 GHz [*Kraemer_2013*]. Au moment de leur publication, ces performances figuraient alors parmi les meilleures pour des transistors intégrés de manière hétérogène sur silicium.

Bien que l'approche soit novatrice et prometteuse, notamment grâce à la forte réduction de la capacité parasite $C_{BC,ex}$ rendue possible par la définition du collecteur après le report sur BiCMOS, les wafers obtenus restent limités à un diamètre de 3". Cette contrainte réduit ainsi son intérêt pour répondre aux besoins d'une intégration III-V sur silicium à grande échelle.

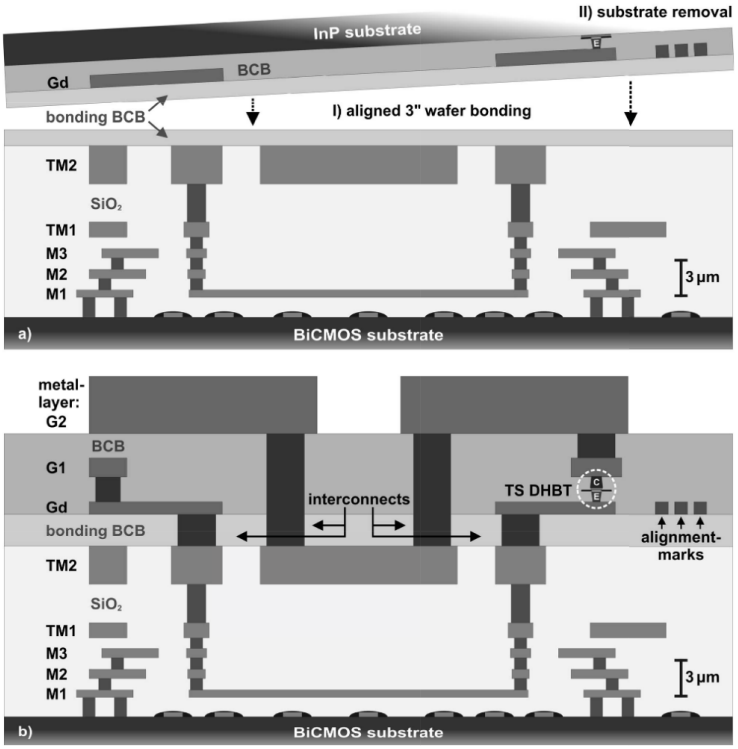

Figure 22 : Représentation schématique du processus d'intégration hétérogène de transistors InP-DHBT sur BiCMOS, développé par le Ferdinand Braun Institut. (a) Alignement et collage des dispositifs III-V partiellement fabriqués sur le BiCMOS, puis retrait du substrat InP. (b) Assemblage finalisé suite à la réalisation des interconnexions avec le BiCMOS. Illustrations provenant de [*Kraemer_2013*].

En plus des approches W2W, D2W et vignettage, une dernière technique d'assemblage, nommée Micro-Transfer Printing (µTP), constitue une alternative émergente et potentiellement très prometteuse pour le futur de l'approche Above-IC. Cette technique se base en effet sur le prélèvement sélectif, à l'aide d'un tampon élastomère, de micro-dispositifs entièrement fabriqués depuis leur substrat source, puis de leur dépôt précis sur le wafer Si hôte [*Zhang_2018*], voir Figure 23. Pour pouvoir réaliser ce prélèvement, l'empilement technologique des dispositifs fabriqués doit être légèrement adapté afin d'inclure une couche sacrificielle sous-jacente. Plusieurs étapes sont ensuite nécessaires : des mésas sont d'abord définies et gravées pour exposer à la fois l'empilement III-V et la couche sacrificielle. Une résine photosensible est ensuite déposée pour encapsuler les mésas, tout en laissant des ouvertures permettant d'accéder à la couche sacrificielle. Celle-ci est ensuite éliminée par gravure humide sélective, ne laissant que l'empilement III-V rattaché au substrat source uniquement par de fines structures d'attache en polymère. Enfin, le tampon élastomère (souvent PDMS) aux propriétés d'adhésion temporaires est utilisé pour prélever l'empilement III-V en rompant les attaches, puis pour le déposer sur le wafer Si hôte.

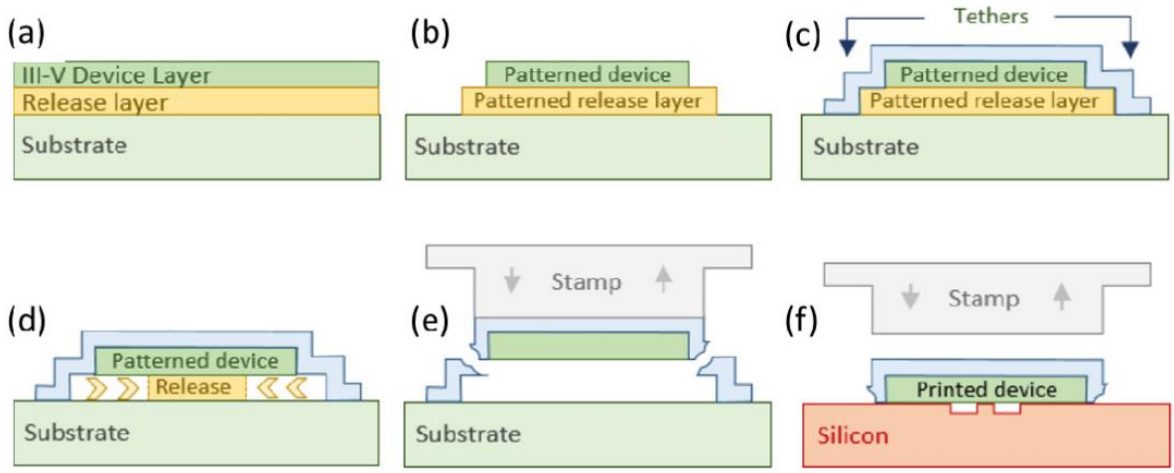

Figure 23 : Principe du µTP, illustrant la structuration d'un dispositif III-V sur le substrat natif, sa libération, son prélèvement puis son dépôt sur le wafer Si hôte. Ce principe peut être étendu à une impression de multiples dispositifs en parallèle, grâce à l'utilisation d'un tampon adéquatement structuré. Illustrations provenant de [*Zhang_2018*].

Contrairement à une approche D2W classique, où le pick-and-place est réalisé de manière unitaire, le µTP est en mesure de transférer des matrices entières de dispositifs en une seule opération, ce qui peut mener à une meilleure productivité. D'autre part, le tampon élastomère ainsi que le substrat source peuvent être réutilisés pour fabriquer de nouveaux dispositifs, car seulement quelques µm d'épaisseur de matériau III-V sont consommés à chaque cycle de prélèvement. Cela contribue à réduire le gaspillage de matériaux coûteux et donc à réduire les coûts de fabrication. Cette technique prometteuse comprend cependant ses défauts. L'alignement avec les interconnexions ou les circuits CMOS du wafer Si hôte peut s'avérer complexe lorsqu'un grand nombre de composants sont transférés en même temps. L'adhésion sélective du tampon doit également être finement maîtrisée afin d'éviter les défauts de transfert. Le procédé impose aussi des contraintes sur la taille et la forme des composants à transférer, tandis que les résidus d'attaches rompues peuvent générer des défauts. Enfin, les cycles répétés de prélèvement et de dépôt peuvent finir par entraîner une contamination particulaire si non pleinement maîtrisée.

Le µTP présente finalement un intérêt particulier en raison de la polyvalence de son utilisation. En effet, bien qu'initialement conçu pour le transfert de micro-dispositifs déjà fabriqués, ce procédé peut être adapté pour transférer uniquement une couche ou un empilement III-V non structuré sur le wafer Si hôte. Cette flexibilité renforce ainsi davantage son caractère prometteur.

2.2.2.2 L'approche alternative 2.5D

Toujours au sein de l'approche « Above IC », une méthode alternative pour l'intégration hétérogène de dispositifs III-V sur des wafers CMOS est l'intégration dite « 2.5D » [*Sheikh_2021*]. Dans cette approche, les puces III-V et Si-CMOS ne sont pas directement connectées entre elles en étant superposées. Au lieu de cela, elles sont positionnées les unes à côté des autres sur un substrat intermédiaire – souvent par micro-bump – qui comporte un réseau de vias métalliques permettant le routage des différents composants. Dans le cas où le substrat intermédiaire, aussi appelé « interposeur », est en silicium (cas le plus fréquent, parfois en verre ou organique), ce réseau de vias est alors dénommé TSV (Through-Silicon Vias) [*Charbonnier_2012, Zhang_2015*]. La Figure 24 ci-dessous illustre schématiquement une intégration 2.5D réalisée par l'utilisation d'un interposeur.

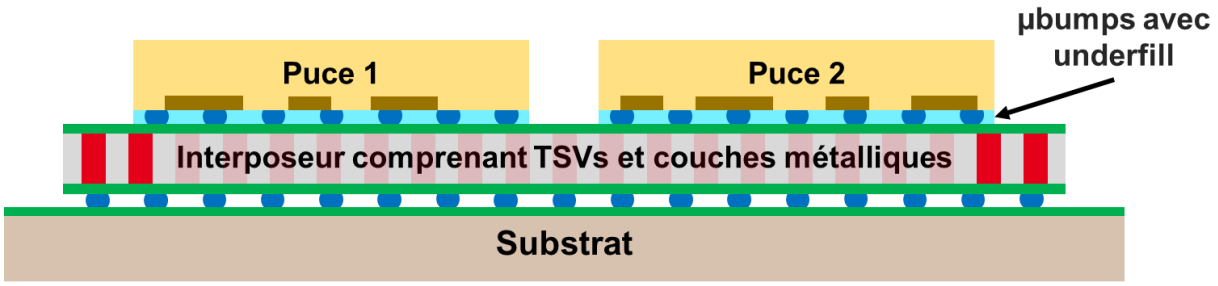

Figure 24 : Représentation schématique d'une intégration 2.5D réalisée par l'utilisation d'un interposeur.

Cette approche 2.5D a comme avantage principal de permettre une grande flexibilité de conception ainsi qu'une excellente routabilité. Il s'agit d'une voie d'intégration souvent choisie pour la réalisation d'un packaging efficace entre plusieurs technologies hétérogènes, permettant notamment la co-intégration de fonctions RF, optiques et logiques au sein d'un même module [*Chen_2025*]. De plus, l'interposeur joue un rôle bénéfique en assurant un découplage mécanique et thermique entre les différentes puces, limitant les contraintes de dilatation et améliorant la gestion thermique globale [*Wang_2025*]. Cependant, le 2.5D reste une approche moins compacte que le 3D. De plus, l'ajout d'un substrat intermédiaire complexifie l'empilement, augmente les coûts de fabrication et introduit des effets parasites liés aux TSV qui peuvent devenir critiques en fonction des dispositifs intégrés [*Weerasekera_2009*]. Malgré ces limitations, l'intégration 2.5D constitue l'une des solutions les plus matures pour le co-packaging hétérogène à l'échelle industrielle, ayant notamment été choisie par AMD pour ses cartes graphiques en 2015 [*Macri_2015*].

2.2.2.3 Transfert de film InP et reprise de croissance épitaxiale

Une dernière approche d'intégration hétérogène consiste à transférer uniquement une fine couche d'InP sur le wafer silicium hôte, plutôt que d'y déposer un empilement de couches III-V ou un dispositif partiellement/complétement réalisé. Les substrats obtenus par ce procédé sont appelés InPOSi (InP-on-Si). La couche transférée d'InP sert alors de surface active pour la reprise de croissance épitaxiale de l'empilement III-V du InP-DHBT. Pour que cette méthode soit viable, l'interface de collage entre la couche InP et le substrat hôte doit présenter une qualité suffisante pour supporter les températures élevées de croissance épitaxiale, qui peuvent excéder 600 °C.

Le III-V Lab, sous l'impulsion de Besancon et al. [*Besancon_2022*], a proposé une première méthode basée sur cette approche pour la réalisation de lasers, voir Figure 25. Elle consiste à faire croître une bicouche InGaAs/InP sur un substrat InP dans un premier temps. La couche d'InP est destinée au transfert sur le substrat silicium, tandis que l'InGaAs joue le rôle de couche sacrificielle. Une fois le collage réalisé, une gravure humide sélective permet d'éliminer l'InGaAs, libérant ainsi la couche d'InP et permettant de retirer le substrat InP initial. Il devient alors possible d'effectuer une reprise d'épitaxie directement sur la couche d'InP transférée. Cette méthode a notamment permis de démontrer la conservation de la qualité cristalline de la couche d'InP après transfert et croissance.

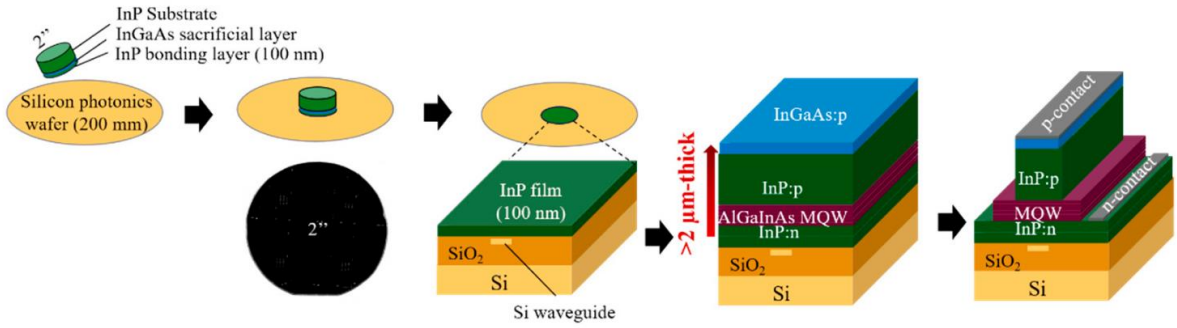

Figure 25 : Procédé de fabrication d'une structure laser verticale sur une plateforme InP-on-SOI, avec une image acoustique de l'empilement InP/InGaAs/InP(substrat) de 2 pouces collé sur un wafer SOI de 200 mm. Illustrations provenant de [*Besancon_2022*].

Une méthode économiquement plus attractive a été proposée par Ghyselen et al. [*Ghyselen_2022*], en s'appuyant sur la technologie Smart Cut™ de Soitec, initialement développée pour la fabrication de substrats SOI. Dans une première variante (Figure 26(a)), des substrats donneurs InP et receveurs Si de 100mm de diamètre sont utilisés. L'un ou les deux sont alors recouverts d'une couche d'oxyde. Une implantation d'ions hydrogène est ensuite réalisée sur le substrat InP, créant une couche de microcavités à une profondeur contrôlée. Après collage des deux substrats, un traitement thermique permet le clivage contrôlé au niveau de la zone implantée et renforce également les liaisons covalentes à l'interface. Un subtrat InPOSi de 100mm de diamètre est ainsi obtenu. Pour passer à des formats plus grands, une seconde variante de la méthode a été développée (Figure 26(b)). Elle repose sur la création d'un pseudo-wafer donneur, en disposant des pavés d'InP sur un substrat Si 200mm. Le procédé Smart Cut™ est ensuite appliqué à ce pseudo-wafer, permettant de transférer en une seule étape

une fine couche d'InP – étant la résultante de l'ensemble des pavés – vers le substrat Si receveur, produisant ainsi un substrat InPOSi de 200mm. Cette approche peut théoriquement être adaptée au format 300mm, bien que des défis technologiques subsistent à ce stade. Enfin, tout comme la réutilisation des substrats donneurs InP 100mm a pu être montrée, les wafers pseudo-donneurs grand format sont également destinés à être utilisés plusieurs fois. La viabilité économique de cette stratégie d'intégration en est alors largement renforcée.

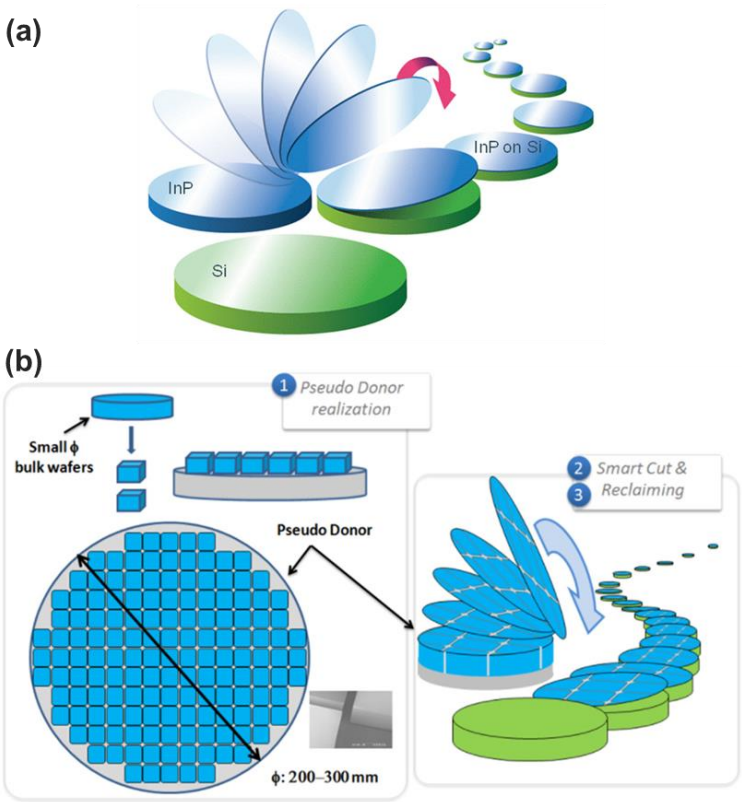

Figure 26 : (a) Représentation schématique de la technologie Smart CutTM utilisée pour fabriquer des substrats InPOSi. (b) Représentation schématique de l'approche Smart CutTM par « pavage ». A gauche, production d'un substrat pseudo-donneur au travers du pavage. A droite, substrat InPOSi obtenu à partir du substrat pseudo-donneur en passant par le procédé Smart CutTM, et récupération du substrat pseudo-donneur pour de multiples réutilisations. Illustrations provenant de [*Ghyselen_2022*].

Les substrats InPOSi de 200 ou 300mm peuvent ensuite servir de support à l'épitaxie de l'empilement III-V du InP-DHBT, la croissance des couches débutant directement sur la couche d'InP transférée. Toutefois, comme l'étape de collage de la couche InP sur le substrat silicium est généralement réalisée à température ambiante, les températures élevées (> 550 °C) imposées ensuite lors de la croissance épitaxiale génèrent des contraintes de compression dans l'InP. Cela est dû à des valeurs de coefficient de dilatation thermique différentes entre l'InP et le silicium, ce premier se dilatant en effet davantage que le Si. Pour éviter l'apparition de défauts cristallins ou de dislocations dans l'empilement DHBT, des stratégies de gestion des contraintes thermomécaniques adaptées doivent donc être développées.

En 2025, l'IMEC et SOITEC ont présenté la première démonstration de croissance et de fabrication de InP-DHBTs fonctionnels, intégrés selon cette approche hétérogène [*Vais_2025*]. Les transistors ont été réalisés sur substrats InPOSi de 100mm de diamètre – obtenus grâce au procédé Smart Cut^{TM} – et ont montré des performances DC et RF comparables à celles de transistors équivalents fabriqués sur substrats InP. Pour une largeur d'émetteur W_E = 0.4µm et une longueur d'émetteur L_E = 13.4µm, les résultats atteignent des fréquences f_T/f_{MAX} de l'ordre de 140GHz/70GHz, avec des tensions de claquage BV_{CEO}/BV_{CBO} de 3.5 V/5.5 V pour une densité de courant de 8 mA/µm². Les auteurs attribuent la limitation des fréquences f_T et f_{MAX} aux effets parasites extrinsèques ainsi qu'à l'auto-échauffement des dispositifs, et soulignent que ces contraintes peuvent être atténuées par une optimisation du procédé de fabrication. Ils concluent que les performances obtenues sur substrats InPOSi, similaires à celles observées sur InP, démontrent le potentiel de la technologie InP-DHBT sur InPOSi comme solution prometteuse, économique et adaptée aux exigences de haute performance et d'évolutivité des futures applications RF.

Finalement, quatre grandes stratégies d'intégration hétérogène se démarquent afin de rendre possible une co-intégration InP-DHBT/CMOS sur subtrats grands formats. Premièrement, l'intégration par croissance monolithique III-V directe sur silicium se révèle être une autre approche conceptuellement attractive. Cependant elle souffre actuellement de limitations importantes : génération de défauts induits par les différences intrinsèques entre les matériaux III-V et le silicium, et faible niveau de maturité technologique, en particulier pour les transistors InP-DHBT. Ensuite l'approche 3D hétérogène, reposant sur un assemblage par superposition des empilements III-V sur les circuits CMOS du substrat silicium hôte. En particulier, les assemblages de type D2W et vignettage permettent de répondre à la demande de wafers III-V/CMOS de grandes tailles. Les interconnexions électriques entre les technologies peuvent être réalisées dès l'assemblage via des solutions µ-bump ou collage hybride direct, ou bien ultérieurement. L'approche 3D permet généralement l'obtention de hautes performances, mais complexifie les étapes de fabrication et requiert des étapes d'alignement très précises. Une variante de cette approche est alors l'intégration 2.5D hétérogène, où les circuits CMOS et InP sont réalisés sur des puces distinctes puis intégrés côte à côte sur un interposeur. Cette approche offre une grande flexibilité et une indépendance des procédés, mais au prix d'une certaine complexité d'interconnexion et de l'introduction d'effets parasites. Enfin, les techniques consistant à transférer une fine couche d'InP sur un substrat silicium grand format, puis à réaliser la croissance épitaxiale des couches actives du transistor sur cette couche, semblent les plus prometteuses d'un point de vue scalabilité et économie des matériaux III-V. Parmi elles, les substrats InPOSi de 200/300 mm réalisés grâce au procédé Smart Cut^{TM} de SOITEC devraient s'avérer particulièrement attractifs. Il s'agit cependant d'une approche encore très récente et peu mature. La démonstration d'un InP HBT fabriqué sur InPOSi 100mm a été publiée [*Vais_2025*], mais aucune réalisation sur substrat InPOSi de grand diamètre n'existe encore au moment de l'écriture de ces lignes. De plus, l'intégration de dispositifs III-V fabriqués sur InPOSi avec des circuits CMOS, selon une approche 3D hétérogène par exemple, est un aspect qui reste également à être étudié.

En synthèse, si toutes ces différentes stratégies (croissance monolithique, intégration 3D ou 2.5D hétérogène, transfert de films InP puis reprise de croissance épitaxiale) ont démontré un potentiel plus ou moins grand pour la co-intégration III-V/CMOS à grande échelle, elles présentent chacune des limites. Celles-ci peuvent correspondre à une maturité technologique insuffisante, à une mise en œuvre trop complexe ou encore à une compatibilité n'étant pas totale avec les filières industrielles CMOS. Ces contraintes freinent aujourd'hui la possibilité d'une intégration III-V directement au cœur d'une ligne de production silicium. C'est dans cette optique qu'une voie complémentaire peut être envisagée : le développement d'une filière technologique entièrement CMOS-compatible pour la réalisation de transistors InP-DHBT sur substrat silicium. Cette stratégie a pour but d'ouvrir la voie à une intégration permettant de répondre aux futurs besoins de performances RF, de scalabilité industrielle, de densité d'intégration et de co-optimisation entre les parties III-V et CMOS. La suite de ce manuscrit introduit et décrit l'approche adoptée dans cette thèse, fondée sur le report d'un empilement épitaxial III-V de 100 mm sur un substrat silicium de 200 mm, suivi de l'élaboration de procédés permettant la fabrication du InP-DHBT à partir de ce support hybride.

2.3 Description et explication des choix initiaux pour la réalisation du InP-DHBT sur silicium

Afin de viser une première démonstration de fonctionnalité d'une technologie InP-DHBT sur silicium entièrement compatible avec les lignes de fabrication CMOS industrielles, développée au LETI, plusieurs choix ont été fait en amont du début de cette thèse. Premièrement, il a été décidé de considérer le système matériau InP/InGaAs pour la première phase du développement de la filière. Comme présenté au cours du premier chapitre de ce manuscrit, ce système peut permettre la réalisation de DHBT très performants, malgré plusieurs inconvénients que son alternative, le système InP/GaAsSb, parvient à adresser. Le système InP/InGaAs a cependant été privilégié pour dans un premier temps profiter de l'expérience acquise au LETI avec ces matériaux dans le cadre d'applications en photonique, notamment en termes de préparation de surface, de réalisation de contacts ohmiques compatibles CMOS, et d'intégration planaire en plateforme Si 200mm [*Rodriguez_2020*]. Une deuxième phase de développement, axée sur le système matériau InP/GaAsSb, sera réalisée par la suite. Les premières études en lien avec cette deuxième phase font alors l'objet du Chapitre 4 de ce manuscrit.

Deuxièmement, il a initialement été choisi de commander les empilements technologiques souhaités auprès d'un fournisseur extérieur utilisant la technique de croissance MBE. Ce choix a été fait pour principalement se concentrer sur le développement de la filière technologique, sans devoir se préoccuper de la croissance épitaxiale de l'empilement. En parallèle, dans une optique de pouvoir à terme réaliser l'entièreté de la fabrication du transistor – de l'empilement technologique au dispositif final – sur site, des travaux menés avec le Laboratoire des Technologies de la Microélectronique (CNRS-LTM) permettent d'appréhender au fur et à mesure les différents défis liés à l'épitaxie par MOCVD d'un empilement InP-DHBT.

Ensuite, concernant la composition de l'empilement technologique du transistor, le choix a été fait de se baser sur un empilement ayant fourni de bons résultats dans plusieurs travaux du III-V Lab [*Nodjiadjim_2009, Midili_2017*], permettant notamment la fabrication d'un InP-DHBT présentant des performances fréquentielles f_T et f_{MAX} de 400 GHz ainsi qu'une tenue en tension BV_{CEO} de 4.5V, pour une largeur d'émetteur W_E = 0.7µm et une longueur d'émetteur L_E = 5µm [*Nodjiadjim_2019*]. Le descriptif de l'empilement alors déterminé et choisi pour le début des travaux menés au LETI est alors le suivant, voir Tableau 2.

Tableau 2 : Empilement technologique choisi pour une première démonstration de fonctionnalité d'une technologie DHBT InP/InGaAs entièrement compatible avec les lignes de fabrication CMOS industrielles.

Couche de collage	InP	n.i.d.	50nm
Couche d'arrêt de gravure	$In_{0.53}Ga_{0.47}As$	n.i.d.	20nm
Sous-collecteur	InP	N^+ : 1.5×10^{19} cm^{-3} (:Si)	350nm
Contact collecteur	$In_{0.53}Ga_{0.47}As$	N^+ : 2.6×10^{19} cm^{-3} (:Si)	20nm
Collecteur composite	InP	N^+ : 1.5×10^{19} cm^{-3} (:Si)	50nm
	InP	N^- : 1.5×10^{16} cm^{-3} (:Si)	85nm
	InP	N^- : 4×10^{17} cm^{-3} (:Si)	25nm
	$In_{0.53}Ga_{0.47}As$	N^- : n.i.d.	20nm
Base graduelle	$In_xGa_{1-x}As$ x : 0.53 → 0.47	P^{++} : 8×10^{19} cm^{-3} (:C)	28nm
Emetteur	InP	N^- : 2×10^{17} cm^{-3} (:Si)	20nm
	InP	N^+ : 1.5×10^{19} cm^{-3} (:Si)	30nm
Contact émetteur	$In_{0.53}Ga_{0.47}As$	N^+ : 5×10^{19} cm^{-3} (:Si)	20nm
Couche d'arrêt de gravure	InP	n.i.d.	20nm
Couche d'arrêt de gravure	$In_{0.53}Ga_{0.47}As$	n.i.d.	50nm
Substrat S.I. InP 4'' (:Fe)			

Il est important de noter qu'il s'agit ici d'un empilement épitaxial dit « inversé ». En effet, dans le cadre des travaux de cette thèse, une étape de retournement du wafer III-V 4'' est nécessaire afin de préparer les wafers 200mm (Figure 27). Cela est décrit légèrement plus bas. On retrouve ainsi la partie « émetteur » du transistor en début d'empilement, et la partie « collecteur » en fin d'empilement.

Avec cet empilement, le principe de fonctionnement attendu pour le transistor InP-DHBT se rapproche de celui décrit dans la section 1.4.3.1 du premier chapitre de ce manuscrit. On retrouve notamment un collecteur composite, avec une couche InGaAs « setback » faiblement dopée N (n.i.d.) permettant d'éloigner l'hétérojonction InGaAs/InP de la région de base fortement dopée P. Il n'y a cependant ici pas de super-réseau à gradient pour réduire la barrière

effective que rencontrent les électrons à l'interface InGaAs/InP dans le collecteur. Ces derniers devront alors franchir une barrière abrupte. Une autre différence concerne la couche de base qui possède un niveau de dopage fixe et une composition graduelle dans notre cas (x=0.53 côté émetteur, x=0.47 côté collecteur). Cela était l'inverse pour la structure présentée dans le Chapitre 1. Le phénomène recherché reste néanmoins le même, à savoir la génération d'un champ électrique interne permettant d'accélérer les électrons injectés depuis l'émetteur.

Concernant la voie d'intégration hétérogène choisie pour le transistor InP-DHBT sur substrat silicium, une approche d'assemblage par vignettage a été définie, voir Figure 27. Celle-ci est cependant particulière, car à la place de reporter des coupons III-V sur le substrat silicium hôte, un empilement III-V de 100mm de diamètre est ici entièrement transféré. Le principe reste toutefois fondamentalement le même, et les prochaines lignes décrivent les différentes étapes de préparation du wafer III-V/Si. Dans un premier temps, un substrat silicium vierge (c'est-à-dire dépourvu de circuits CMOS) de 200mm de diamètre, ainsi qu'un wafer III-V de 4" sont préparés en parallèle. Le wafer III-V est commandé depuis un fournisseur extérieur et comporte l'empilement à finalité DHBT décrit précédemment dans le Tableau 2. Une croissance d'oxyde thermique est alors réalisée sur le wafer silicium d'une part, et un oxyde PECVD est déposé sur le wafer III-V d'autre part. S'en suit le collage oxyde-oxyde entre les deux wafers, à la suite du retournement de l'empilement III-V. Ce dernier est désormais dans le bon sens pour la future réalisation du transistor. Une étape de traitement thermique permet ensuite la formation de liaisons covalentes à l'interface de collage, rendant l'ensemble suffisamment robuste pour supporter les procédés de fabrication à venir. L'entièreté du substrat InP est ensuite retiré par une combinaison de « grinding » et de gravures humides. Enfin, le wafer III-V/Si désormais obtenu doit être entièrement planarisé avant le début de la fabrication du transistor, afin de mettre au même niveau la pastille III-V de 100mm et le reste du wafer, appelé « couronne ». Pour cela, un dépôt épais de diélectrique est réalisé sur l'entièreté de la plaque, suivi d'étapes de CMP. Le wafer est alors apte à recevoir les premières étapes de fabrication du transistor InP-DHBT.

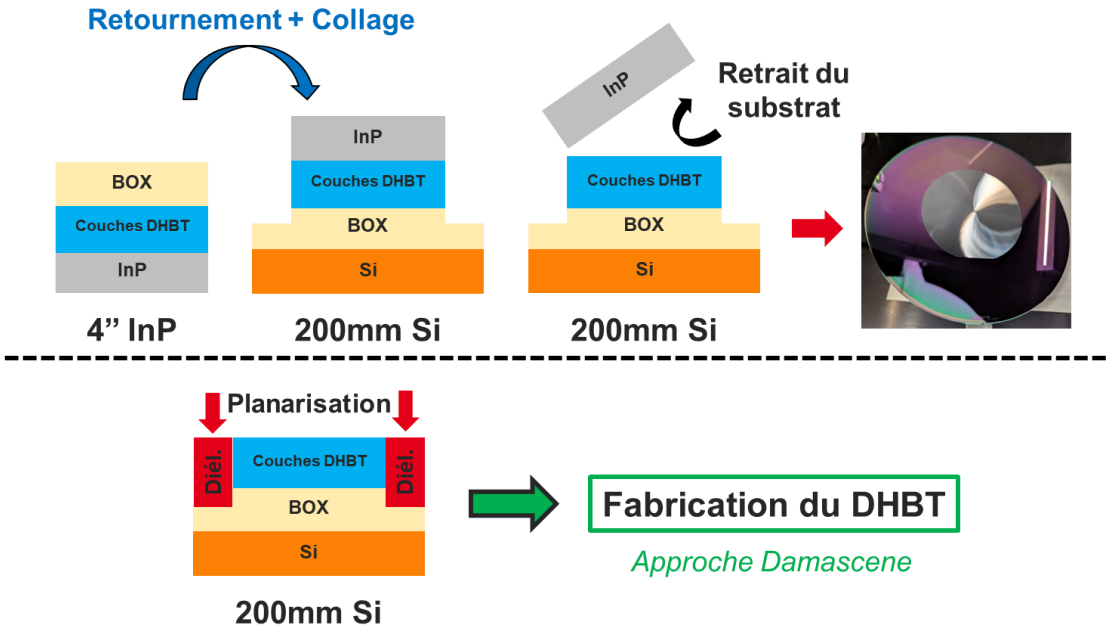

Figure 27 : Schéma simplifié de la méthode de préparation du wafer III-V/Si par un assemblage de type vignettage, avant le début de la procédure de fabrication du InP-DHBT.

Les différentes étapes de préparation des substrats et de fabrication du InP-DHBT ont été pensées pour être compatible avec une approche de type Damascene [*Kobayashi_2009*], mêlant dépôt de matériaux diélectriques, gravures d'ouvertures à l'intérieur de ceux-ci et dépôt de métallisations épaisses, combiné à l'utilisation répétée d'étapes de polissage mécano-chimiques (CMP). Avec cette approche, le procédé de fabrication est ainsi rendu compatible avec une salle blanche silicium 200/300mm. Les principales étapes de réalisation du transistor sont schématisées dans la Figure 28 ci-dessous.

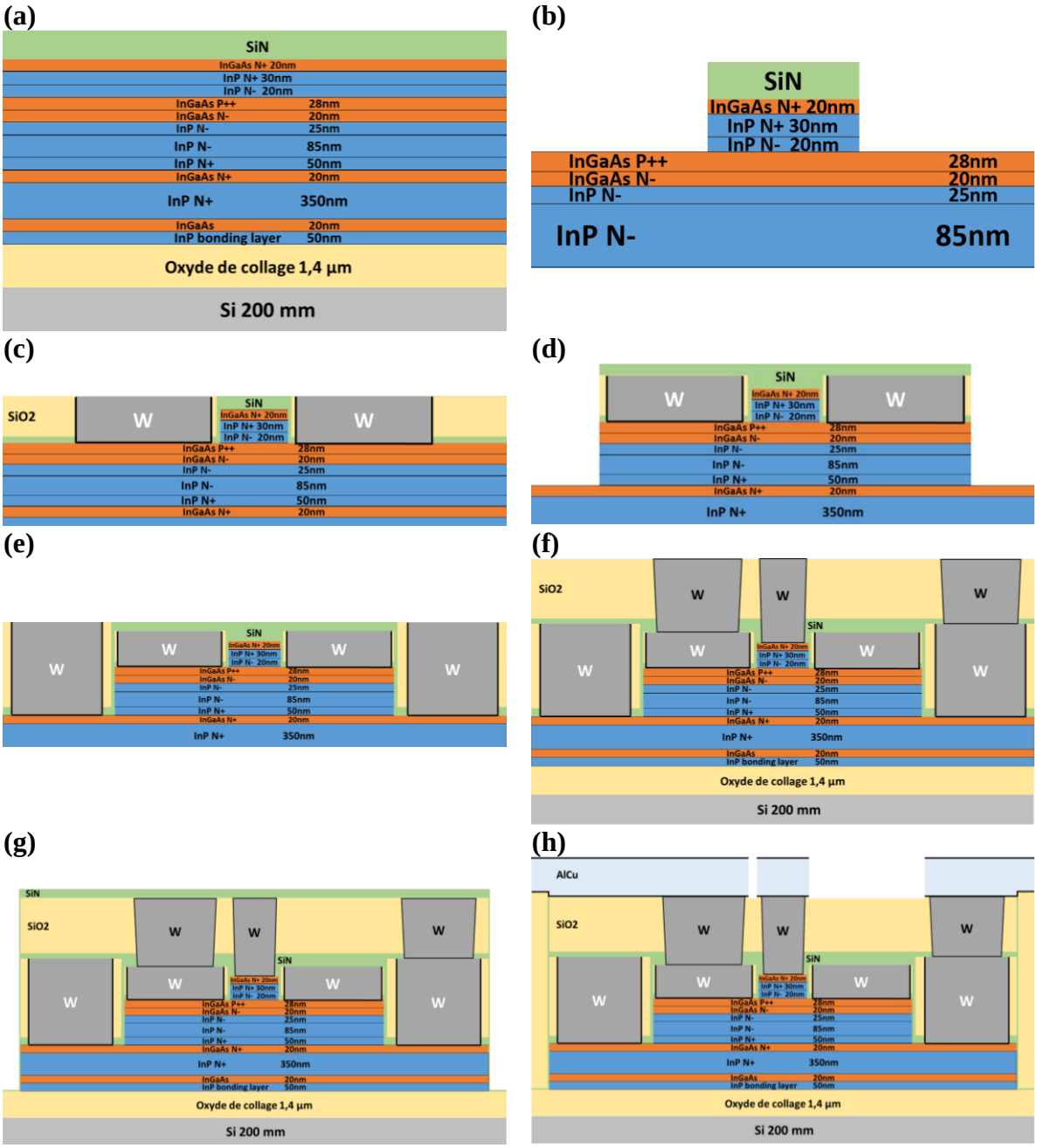

Figure 28 : Schématisation des étapes principales de fabrication du InP-DHBT. (a) Plaque 100-200mm planarisée. (b) Définition de l'émetteur. (c) Ouverture et dépôt des contacts de base. (d) Définition de la mésa base. (e) Ouverture et dépôt des contacts du collecteur. (f) Ouverture et dépôt des plugs émetteur, base et collecteur. (g) Isolation des dispositifs. (h) Réalisation des lignes métalliques de contact.

L'approche Damascene choisie autorise aussi un dimensionnement latéral agressif, ce qui est particulièrement intéressant pour parvenir à des largeurs d'émetteur pouvant descendre en-dessous du nœud technologique de 130nm. Si mis en place, cela s'avère alors bénéfique afin de réduire les capacités parasites intrinsèques base-émetteur (C_{be}) et base-collecteur (C_{bc}) du transistor, et donc pour améliorer les performances électriques. Finalement, une intégration selon ce type de schéma rend également envisageable une fabrication de dispositifs InP-DHBT sur silicium à grande échelle, ce qui est un des critères nécessaires à une potentielle industrialisation d'une telle technologie.

Finalement, comme cela a été mentionné précédemment, l'une des contraintes apportées par le développement d'une technologie InP-DHBT compatible CMOS concerne l'obtention de contacts ohmiques très peu résistifs, avec un choix restreint de métaux pour les métallisations de contact. Cet aspect est d'autant plus critique pour les performances fréquentielles du transistor à mesure que ses dimensions sont réduites (cf. partie 1.4.2.2). Afin d'adresser cette brique technologique essentielle, des lots d'étude de contact ohmiques sur InGaAs ont ainsi été mis en place. Ceux-ci suivent alors la même approche générale d'intégration sur silicium 200mm que celle décrite jusqu'ici. La prochaine partie décrit dans un premier temps les différentes études réalisées au cours de la fabrication de ces lots. Dans un second temps, les études en lien avec certaines étapes de fabrication des lots transistors InP-DHBT sont également présentées.

2.4 Les défis rencontrés au cours de la thèse et les solutions apportées

2.4.1 Etudes réalisées sur les lots TASP

Afin de développer la brique « contact ohmique » de la filière de transistor InP-DHBT sur silicium compatible avec les procédés CMOS industriels, des lots d'étude de contacts ohmiques sur une fine couche d'InGaAs de type N^+ ou P^{++} ont été réalisés. Le but associé est alors de caractériser en amont les procédés CMOS permettant la réalisation des contacts ohmiques et d'évaluer leur impact, autant sur la morphologie des couches de l'empilement III-V que sur les performances électriques obtenables. La configuration d'origine pour ces lots d'étude est la même que celle choisie pour le transistor, à savoir le report par collage direct oxyde-oxyde d'une pastille III-V de 100mm de diamètre – contenant l'empilement III-V souhaité – sur un substrat silicium de 200mm. Cet empilement a été spécifiquement défini pour l'évaluation des contacts ohmiques, avec une épaisseur totale de 160nm pour le type N et de 98nm pour le type P, voir Figure 29. Un masque permettant de réaliser des dispositifs TLM possédant des dimensions similaires à celles du transistor est également employé, il s'agit du masque TASP. De plus, des métaux compatibles CMOS (Ti, Ni, W et Mo) sont choisis pour la réalisation des contacts. Des préparations de surface humides, suivies de pré-nettoyages plasma in-situ, sont alors réalisées en amont. Enfin, des procédés de gravure sèche ont également été développés

grâce à ces lots d'étude : premièrement la gravure de la partie active III-V via l'utilisation d'un masque dur SiN, et deuxièmement l'ouverture de contact sur la couche active InGaAs via une gravure SiN. Cela a également permis d'évaluer ces procédés en amont d'une future application dans les lots transistor InP-HBT.

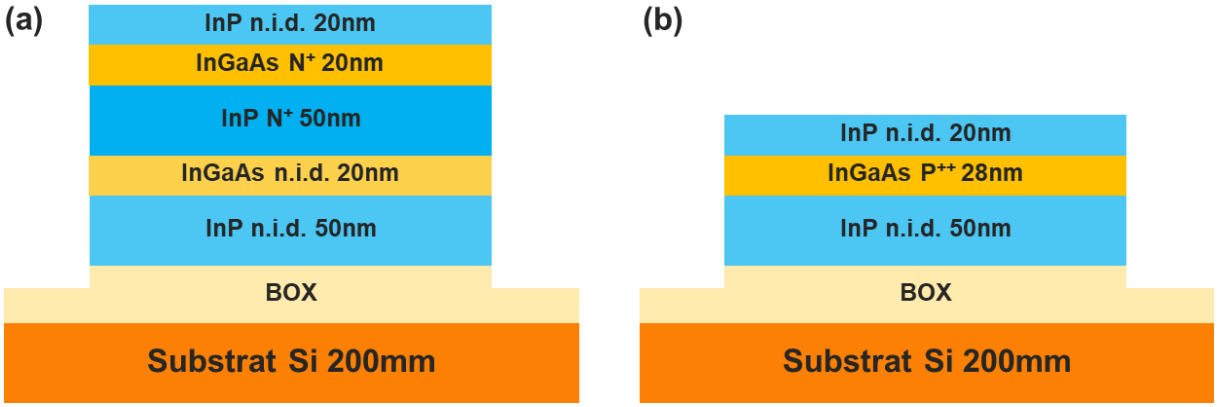

Figure 29 : Empilements III-V utilisés pour la réalisation des lots (a) TASP type N et (b) TASP type P, après report sur silicium 200mm et démontage du substrat InP.

Les prochaines sections décrivent alors les différents aspects et les problématiques rencontrés lors de la fabrication de ces lots TASP, ainsi que les études menées pour y apporter des solutions. La caractérisation électrique des dispositifs TLM réalisés dans ce contexte fait quant à elle l'objet du troisième chapitre de ce manuscrit.

2.4.1.1 Gravure sèche de la partie active III-V

Le premier niveau des lots d'étude de contacts ohmiques (lots TASP) consiste en une isolation de la partie active III-V, suite au report de la pastille 100mm sur le wafer silicium de 200mm. Pour cela, le dépôt d'un masque dur SiN conforme 300°C est dans un premier temps réalisé, puis deux recettes de gravures sèche différentes ont été testées : l'une à base de HBr et l'autre à base de Cl_2. Les éléments pris en considération pour évaluer ces gravures III-V sont la vitesse de gravure, l'aspect des flancs de gravure, le niveau de consommation par rapport au SiN, et le profil de gravure.

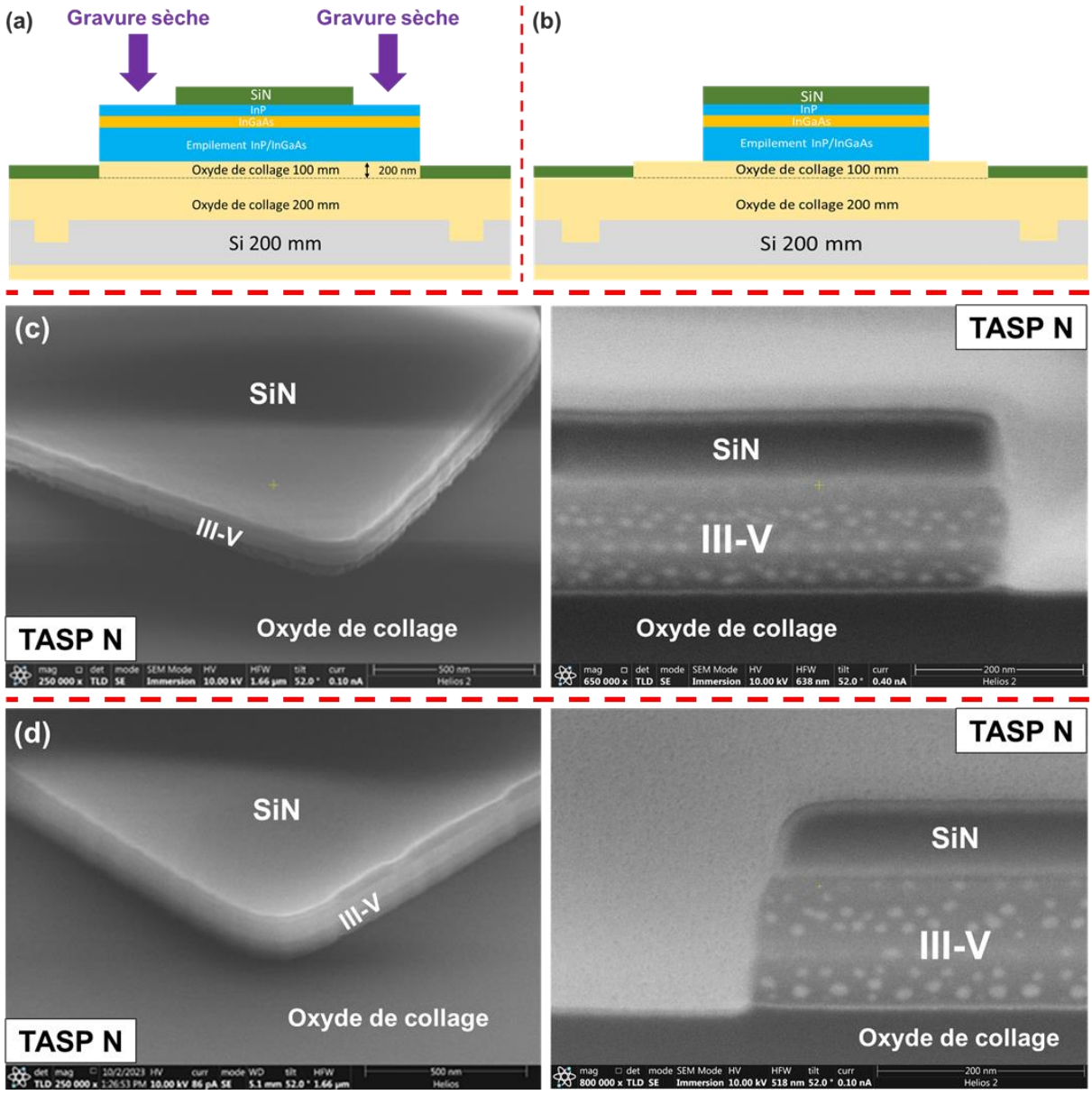

Figure 30 : Schémas de l'empilement TASP (a) avant et (b) après gravure sèche de la partie active III-V via masque dur SiN. Observations MEB des motifs suite à la gravure de la partie active III-V : (c) gravure HBr et (d) gravure Cl_2.

Les observations MEB présentées dans la Figure 30 ont alors permis de conclure que la gravure HBr est intéressante pour les lots TASP du fait de son aspect de gravure droite, sa bonne sélectivité entre les matériaux III-V et le SiN du masque dur, ainsi que sa rapidité. La gravure Cl_2 est quant à elle plus lente et permet d'obtenir des flancs de gravure plus lisses. Ces caractéristiques la rendent alors plus favorable pour la gravure du niveau émetteur et de la mésa base dans le procédé de fabrication du transistor InP-HBT, où il est important de bien contrôler la vitesse de gravure. Il convient cependant de prendre en compte la très légère pente de gravure qu'elle induit sur les flancs des couches InP.

2.4.1.2 Gravure sèche SiN avec arrêt sur III-V

Dans les procédés de fabrication des premiers lots TASP, l'ouverture des cavités de contact sur la couche active InGaAs se fait principalement par gravures sèches de l'empilement de diélectriques sus-jacent (SiN-SiO_2-SiN). Au moment d'arriver sur les matériaux III-V, il est primordial d'avoir une bonne sélectivité III-V/SiN et de connaître la vitesse d'attaque, afin de limiter la consommation de la couche d'InP n.i.d. (20 nm) et de ne pas endommager la couche InGaAs d'intérêt, voir Figure 31.

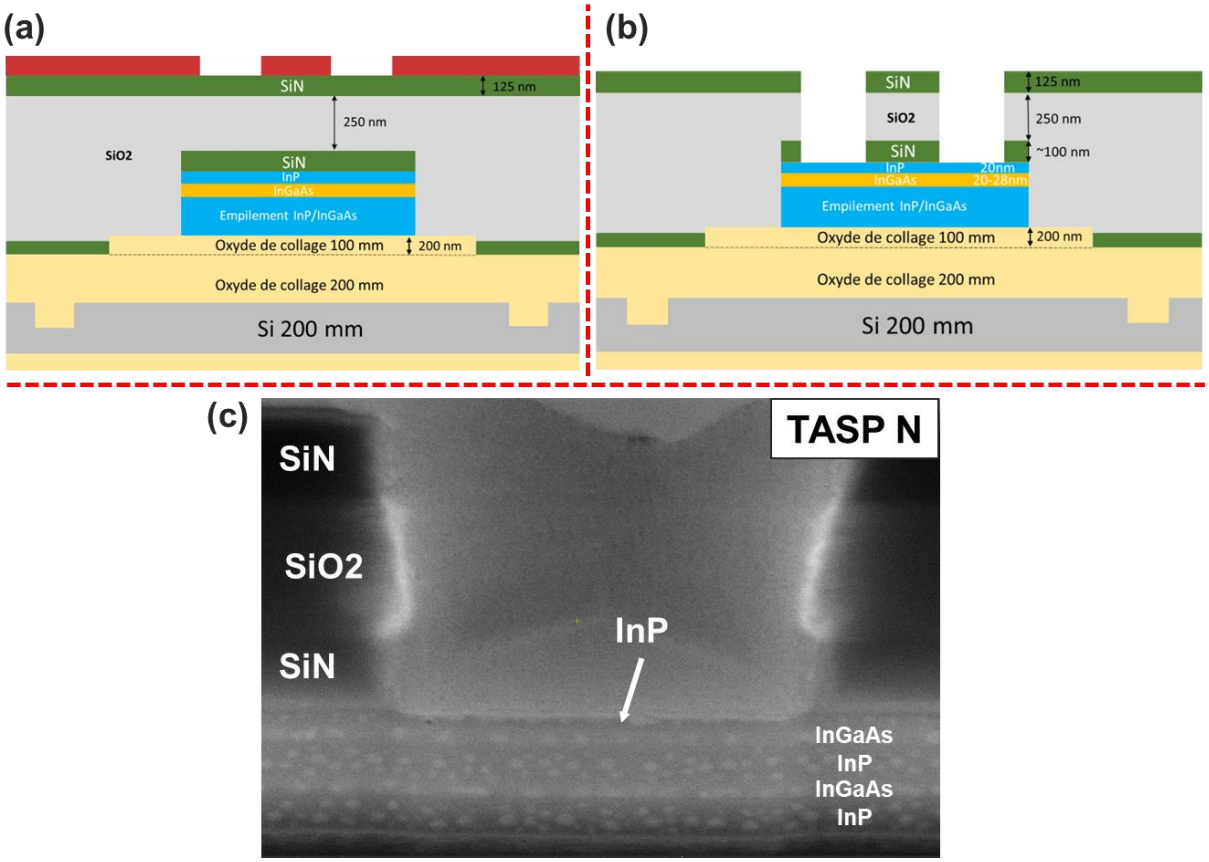

Figure 31 : Schémas de l'empilement TASP (a) avant et (b) après ouverture des cavités de contact par gravure sèche des diélectriques. (c) Observation MEB suite à la gravure sèche des diélectriques. La couche InGaAs d'intérêt peut être détériorée si la sélectivité et le temps de la gravure ne sont pas maîtrisés. L'épaisseur restante d'InP est retirée par voie humide.

Il a été déterminé qu'une recette de gravure sèche CH_2F_2 / O_2 / He pour la couche SiN « bottom » permet d'obtenir une consommation maîtrisée de la couche d'InP n.i.d., lorsqu'un temps adapté est choisi (vitesse d'attaque estimée : 85 nm/min). L'étape de stripping servant à retirer la résine lithographique peut cependant légèrement accentuer cette consommation, il s'agit donc d'un aspect à prendre en compte. L'épaisseur restante d'InP est ensuite retirée par gravure humide sélective (HCl dilué) pour révéler la couche InGaAs d'intérêt.

2.4.1.3 Dépôt et adhérence de diélectriques sur InGaAs

Des problèmes de délamination ont été rencontrés lors de la réalisation des premiers lots TASP. Le premier cas est apparu suite au remplissage des cavités de contact par un W CVD à 440°C, voir Figure 32.

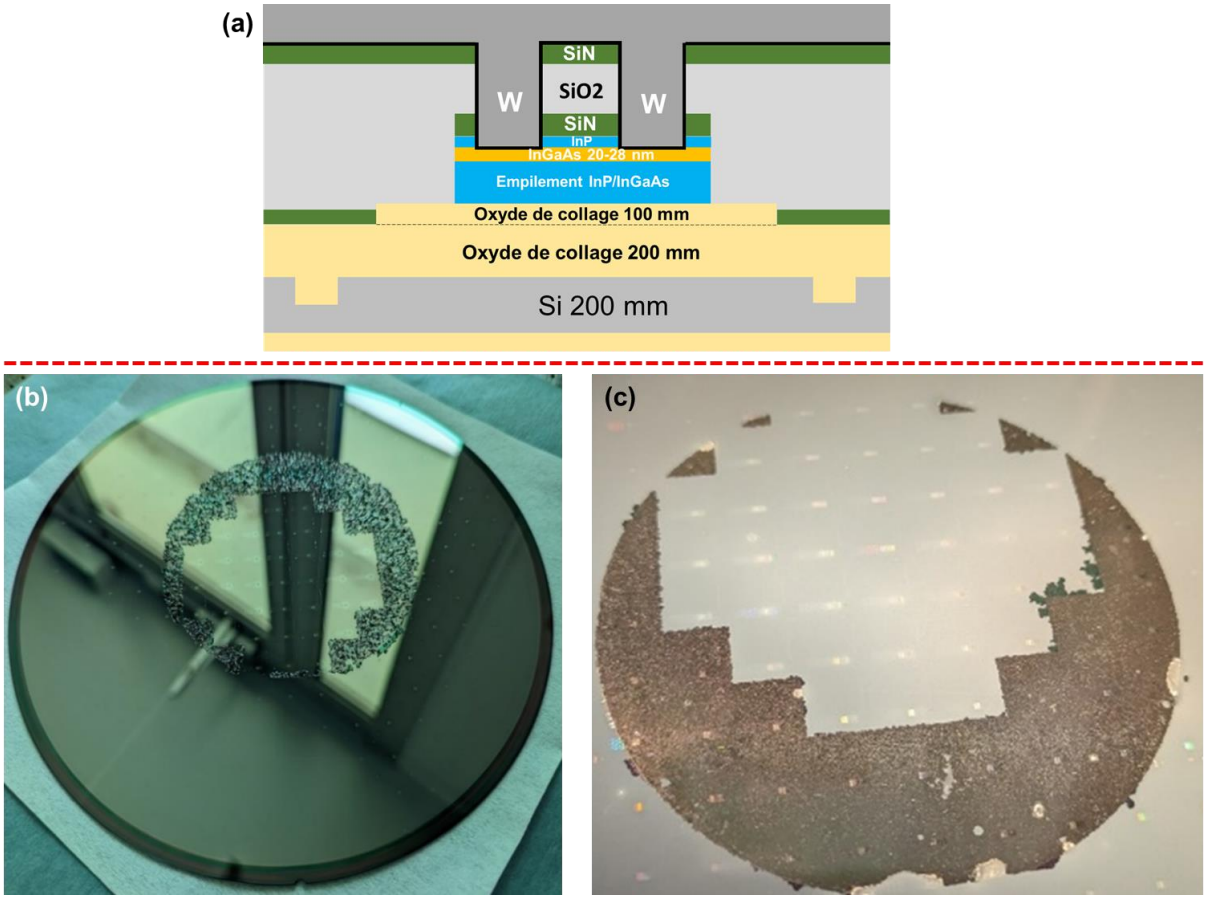

Figure 32 : (a) Schéma de l'empilement TASP après le remplissage des cavités de contact par W CVD. Photos d'une plaque du premier lot TASP suite au problème de délamination W : (a) après le dépôt du W CVD et (b) après retrait des couches délaminées par rinçage à l'eau déionisée.

Il a été établi que cette délamination résulte de la combinaison d'une forte contrainte mécanique – générée par l'épaisseur importante du dépôt de W CVD 440°C – et d'une mauvaise adhérence du SiN conforme 300°C sur l'InP, qui constituait alors la dernière couche de l'empilement III-V des lots TASP suite au report sur silicium (Figure 29). En effet, des observations complémentaires au microscope optique et au MEB ont permis de se rendre compte de la formation de bulles[1] à l'interface InP/SiN suite au dépôt SiN conforme 300°C (voir Figure 33), fragilisant la tenue du diélectrique sur le III-V. D'autres observations ont alors été obtenues dans le cas où la couche InP supérieure est retirée et où le dépôt SiN est directement réalisé sur la couche InGaAs sous-jacente de contact, suite à une désoxydation HCl ainsi qu'à un pré-nettoyage He in-situ de la surface de celle-ci. Cela a alors permis d'obtenir une interface propre dénuée de bulles[1].

[1] Le terme « bulle » utilisé ici décrit l'image observée au MEB. Elle correspond en réalité à une coalescence de l'indium en forme de gouttelettes [*Chu_1983*].

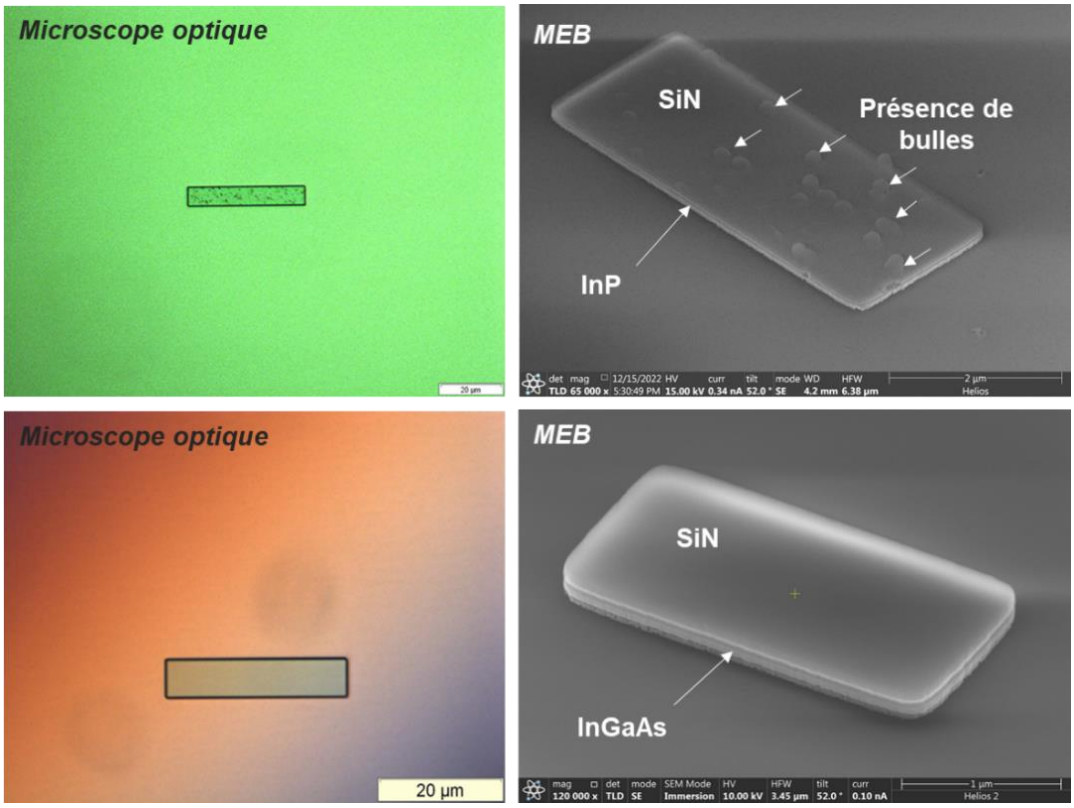

Figure 33 : Observations au microscope optique et au MEB montrant la formation de « bulles » à l'interface InP/SiN (images du haut). Les mêmes observations dans le cas d'une interface InGaAs/SiN, avec désoxydation HCl et pré-nettoyage He préalables, n'ont révélé aucune bulle (images du bas).

Les lots TASP suivants ont alors été réalisés avec la couche SiN du masque dur déposée directement sur la couche InGaAs d'intérêt, voir Figure 34. La couche InP n.i.d. de 20nm est alors retirée par gravure humide HCl en amont dans la technologie. Cela n'a cependant pas empêché un autre phénomène de délamination de survenir, cette fois-ci à la suite d'une étape de CMP réalisée après le remplissage des cavités de contact par le tungstène (Figure 34). Dans ce cas-ci, l'adhérence entre le SiN et l'InGaAs a été suffisamment forte pour supporter la contrainte engendrée par le dépôt de W CVD 440°C, mais la contrainte supplémentaire apportée par les frictions de la CMP a fini par causer la délamination à l'interface.

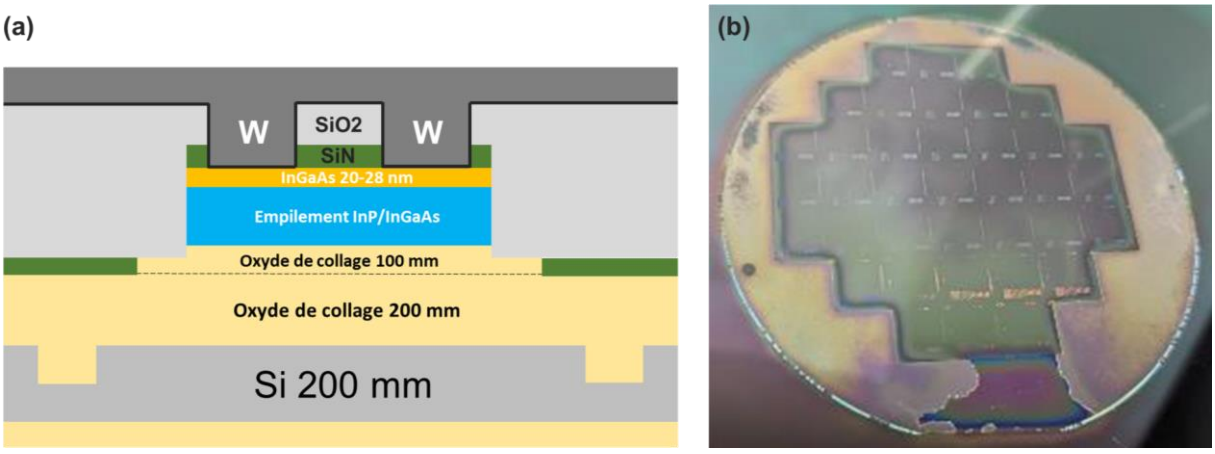

Figure 34 : (a) Schéma de l'empilement TASP (sans la couche InP n.i.d. 20nm) après le remplissage des cavités de contact par W CVD. (b) Délamination survenue à la suite d'une étape ultérieure de CMP.

Des études complémentaires de type « scotch test », menées par Maxime FORÊT sur des coupons InP/InGaAs/SiN, ont permis dans un premier temps de confirmer que la rupture provoquant la délamination survient bel et bien à l'interface SiN / InGaAs (Figure 35). Dans un second temps, les paramètres optimaux de la désoxydation HCl et du pré-nettoyage au plasma He ou Ar de la surface de l'InGaAs ont été déterminés, dans le but que l'adhérence du SiN sur l'InGaAs soit suffisamment forte pour supporter la contrainte apportée par un $W(Si)_{1\%}$ CVD 400°C, combinée à des forces de friction. Le choix d'utiliser un $W(Si)_{1\%}$ CVD 400°C plutôt que le W CVD 440°C pour cette étude « scotch test » est expliqué dans la section 2.4.1.4.

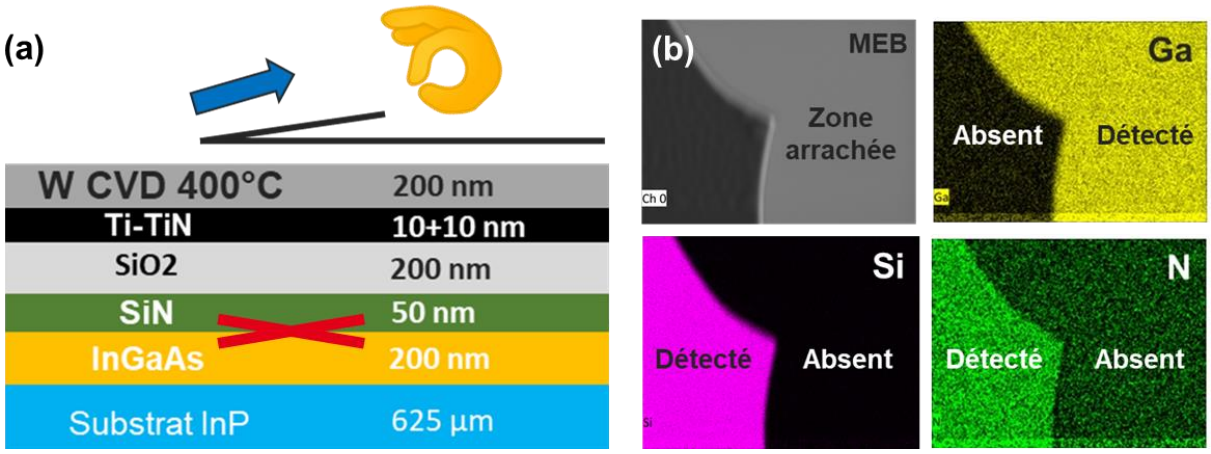

Figure 35 : (a) Principe du scotch test sur coupons InP/InGaAs/SiN contraint par un dépôt $W(Si)_{1\%}$ CVD 400°C. (b) Analyse EDX confirmant l'interface de rupture.

Ces résultats ont alors permis de ne plus avoir aucun problème de délamination à la suite des dépôts métalliques et des étapes de CMP sur les autres plaques des lots, voir Figure 36. Cela pourrait résulter de la combinaison d'une diminution des contraintes thermiques et mécaniques apportée par le dépôt $W(Si)_{1\%}$ CVD 400°C (voir section 2.4.1.4), et de l'amélioration de l'énergie d'adhésion à l'interface SiN / InGaAs grâce au prétraitement optimisé, qui permet de supprimer les oxydes natifs d'InGaAs et d'activer chimiquement la surface.

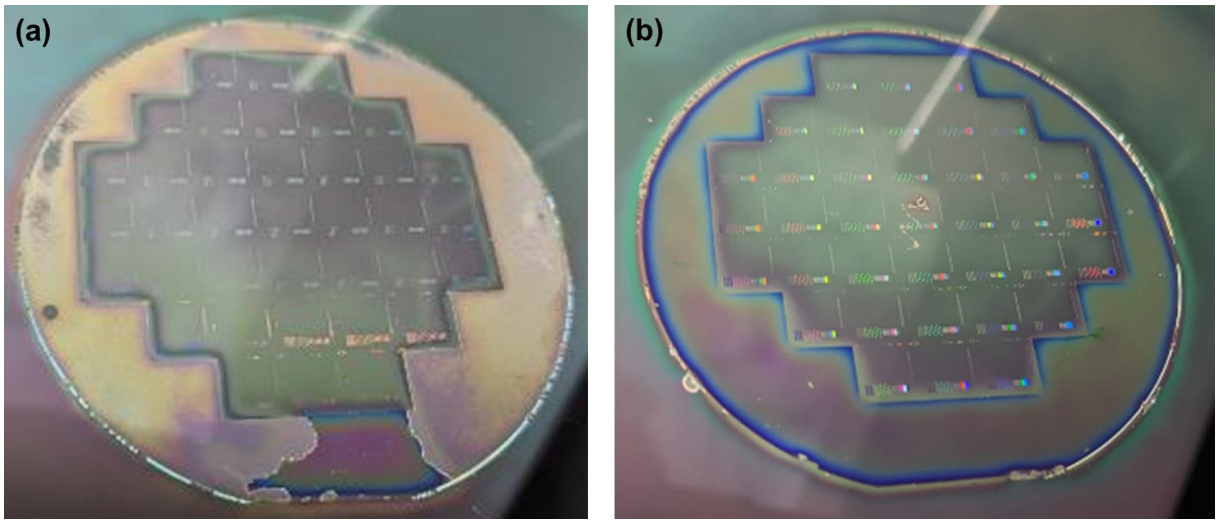

Figure 36 : Comparaison de l'état de la pastille 100mm des plaques des lots TASP (a) avant et (b) après application des améliorations.

2.4.1.4 Choix du type de dépôt W pour le remplissage des cavités de contact et des plugs

En parallèle des études d'adhérence du diélectrique sur l'InGaAs, d'autres travaux ont permis de déterminer un dépôt W permettant de remplir efficacement les cavités de contact, tout en maîtrisant la contrainte engendrée dans la structure. Comme l'illustre la Figure 37 ci-dessous, les types de dépôt W suivants ont été testés : W CVD 440°C, W CVD 400°C (dit « SSW », passage sur holder 300mm requis), W PVD 200°C et enfin W(Si)$_{1\%}$ CVD 400°C. Le dépôt W CVD 440°C est celui ayant été utilisé dans la première version des lots TASP et qui avait mené à une délamination, il était donc attendu qu'il ne soit pas optimal. Des problèmes de dépôt en face arrière des plaques 200mm ont été rencontrés suite au dépôt W CVD « SSW », invalidant ce type de dépôt. Le fait de devoir utiliser un holder 300mm a été identifié comme la cause de ce problème. Le dépôt W PVD 200°C s'est révélé intéressant, car bien qu'étant assez contraint (Figure 38), aucun phénomène de délamination n'est survenu lorsqu'appliqué sur les plaques des lots TASP. Cependant, il a été identifié que ce dépôt ne permet pas un bon remplissage lorsque les largeurs de cavités sont faibles, et/ou quand le rapport hauteur / largeur est supérieur à 0.5. Cette problématique de remplissage a été remarquée lors de l'essai du W PVD 200°C pour contacter des empilements III-V à finalité DHBT, voir Figure 37(c).

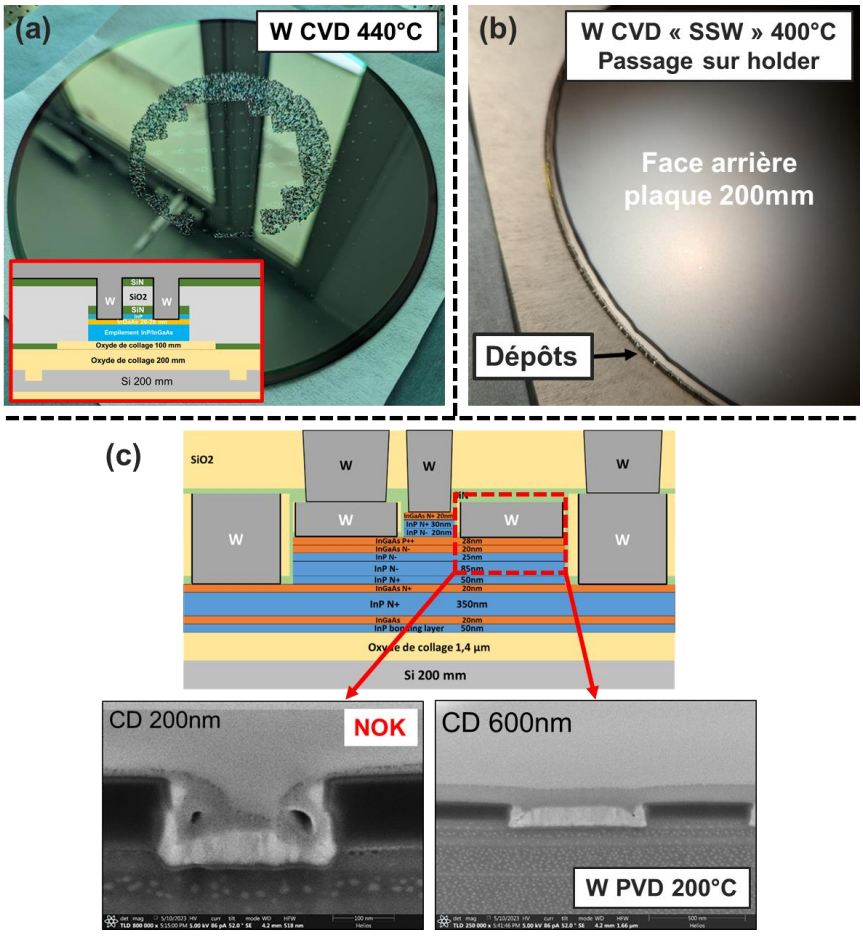

Figure 37 : Types de dépôt W ayant été testés. (a) Le W CVD 440°C avait mené à une délamination dans la première version des lots TASP. (b) Le passage sur holder 300mm nécessaire pour un dépôt W CVD « SSW » 400°C apporte des problèmes de dépôt en face arrière des plaques. (c) Le W PVD 200°C ne remplit pas efficacement les cavités de contact lorsque celles-ci deviennent réduites, comme cela peut être le cas dans les transistors InP-DHBT de la filière.

Reste alors le $W(Si)_{1\%}$ CVD 400°C. La contrainte engendrée par ce dépôt a d'abord été calculée et comparée aux autres types de dépôts. Pour cela, des mesures de déformation (mesures de flèche) sont réalisées suite aux dépôts d'empilements Ti/TiN/W sur des plaques tests silicium de 200mm de diamètre. La contrainte correspondante peut ensuite être calculée par la formule de Stoney, voir équation (17).

$$\sigma_f = \frac{E_s \cdot {t_s}^2}{6t_f}\left(\frac{1}{R_{ap}} - \frac{1}{R_{av}}\right) \quad (17)$$

avec σ_f la contrainte moyenne dans le film mince, E_s le module d'Young du substrat, t_s l'épaisseur du substrat, t_f l'épaisseur du film mince, R_{av} et R_{ap} le rayon de courbure du substrat respectivement avant et après le dépôt du film mince.

Les résultats sont présentés dans la Figure 38 ci-dessous.

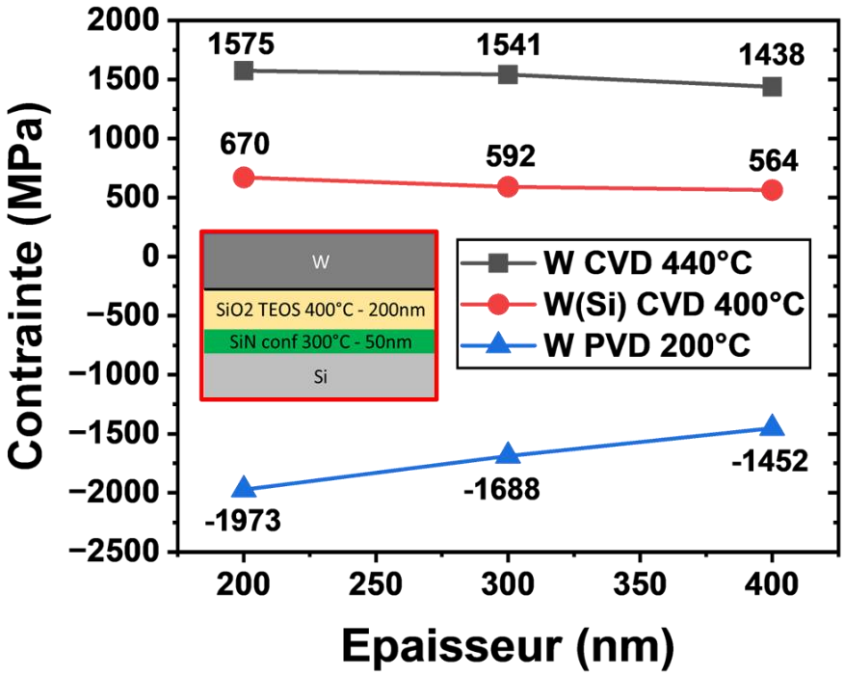

Figure 38 : Contrainte mesurée en fonction de l'épaisseur et du type de W déposé sur un empilement SiN/SiO2/TiTiN sur silicium 200mm.

Il s'avère donc que le $W(Si)_{1\%}$ impose une moins grande contrainte sur l'empilement que les deux autres types de dépôt. De plus, une fois mis en place sur plusieurs plaques, il a également été remarqué que le $W(Si)_{1\%}$ possède une meilleure capacité de remplissage par rapport au W PVD. Fort de ces deux atouts, il semblerait donc que ce type de dépôt soit plus convenable vis-à-vis de l'intégration choisie pour le développement de la filière InP-DHBT sur silicium au LETI. Le $W(Si)_{1\%}$ a ainsi été validé pour une utilisation dans les lots TASP, et la Figure 39 ci-dessous témoigne des bénéfices apportés.

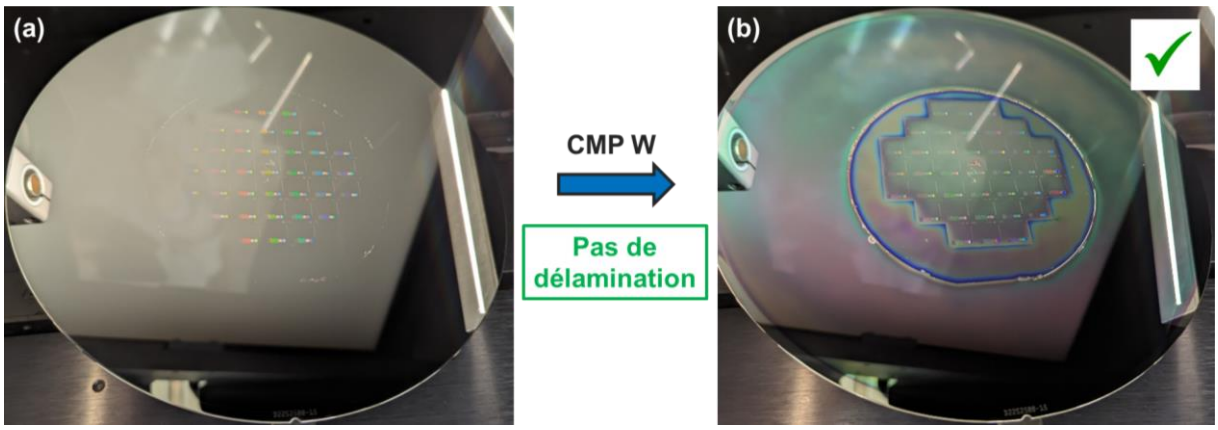

Figure 39 : Photos d'une plaque des lots TASP (a) avant et (b) après l'étape de CMP W, avec le $W(Si)_{1\%}$ comme métal de remplissage des cavités de contact.

Il est cependant rare que tout soit parfait, et dans le cas du dépôt de remplissage $W(Si)_{1\%}$ cela se manifeste par une capacité de remplissage possédant tout de même ses limites. En effet, lorsque les rapports hauteur / largeur deviennent agressifs, des vides peuvent apparaître. Cela est notamment le cas pour les cavités de plug réalisées au sein des transistors InP-DHBT sur silicium de la filière, dont le rapport hauteur / largeur peut dépasser 1.3, voir Figure 40.

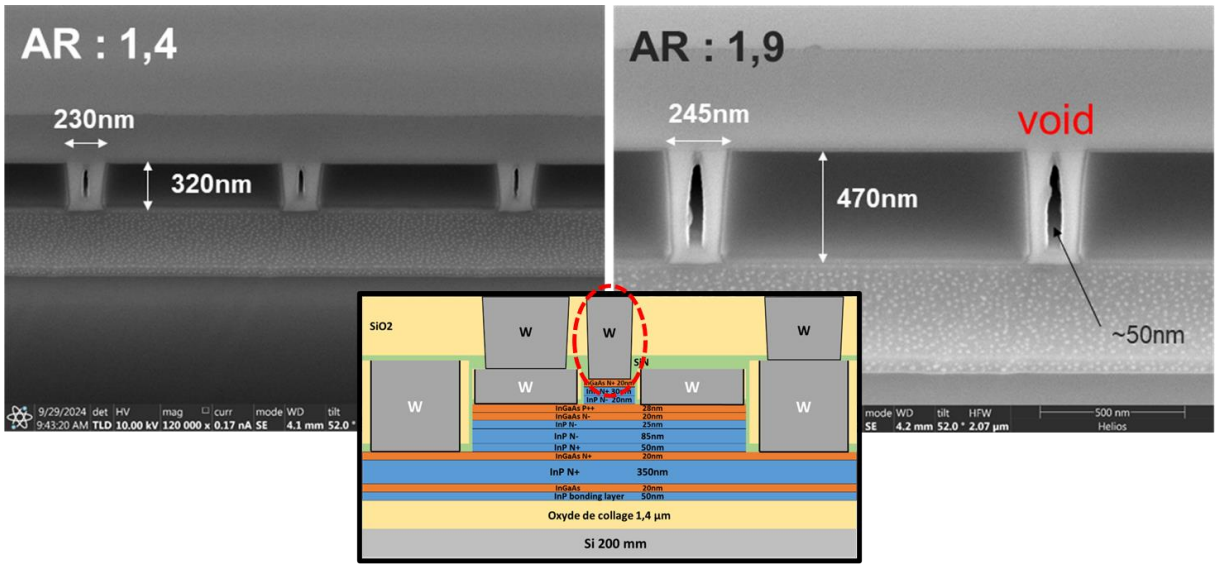

Figure 40 : Apparition de vides lors du remplissage de cavités de plug étroites par du $W(Si)_{1\%}$, dans le cadre des transistors InP-DHBT sur silicium de la filière.

Une solution trouvée pour répondre à ce problème à court terme est alors de réduire l'épaisseur de SiO_2 utilisée pour encapsuler le transistor avant de graver les cavités de plug. Comme le schématise la Figure 41 ci-dessous, le rapport hauteur / largeur des plugs en sera donc diminué, ce qui permettra de réduire l'importance des vides. Cependant, si l'on considère l'aspect électrique, diminuer la hauteur des plugs revient à réduire l'espacement entre le contact de base et le plan de masse horizontal sus-jacent, induit par les lignes métalliques venant contacter le sommet des plugs. Cela va avoir pour effet d'augmenter la capacité parasite extrinsèque entre la base et l'émetteur, ce qui peut finir par impacter les futures performances fréquentielles du transistor.

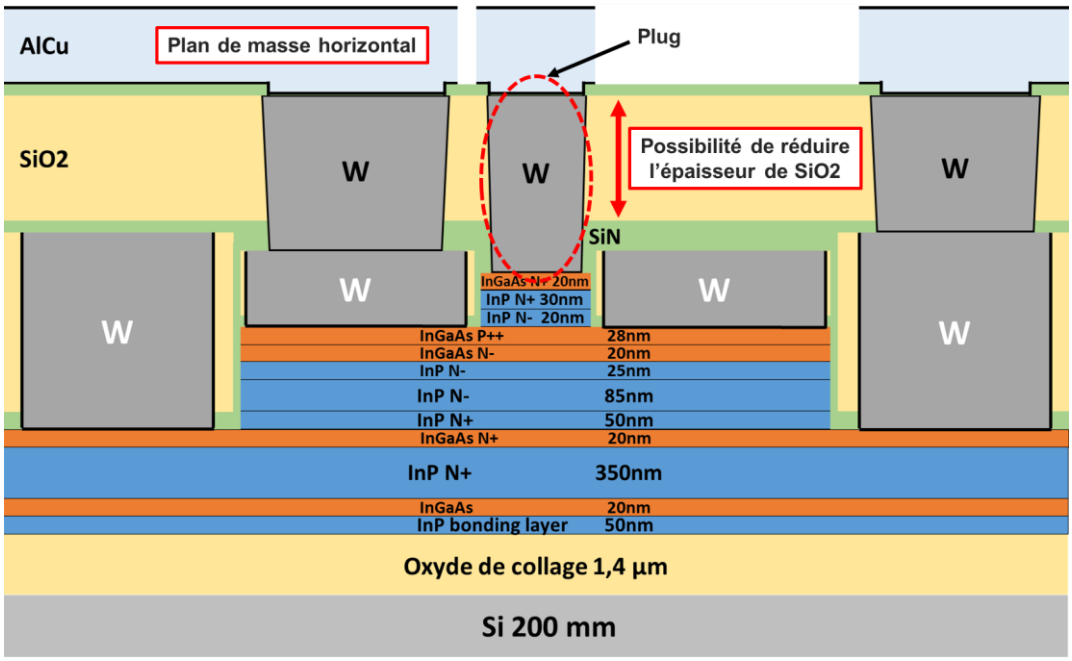

Figure 41 : Diminuer l'épaisseur de SiO_2 est une solution à court terme pour réduire le rapport H/L des plugs de contact dans les transistors InP-DHBT sur silicium. Cela aura cependant pour effet d'augmenter la capacité parasite extrinsèque entre la base et l'émetteur, du fait d'un rapprochement entre le contact de base et le plan de masse horizontal sus-jacent.

L'idéal serait donc de mettre au point une solution alternative offrant une capacité de remplissage améliorée. Celle-ci pourrait prendre la forme d'une métallisation présentant un taux de remplissage plus élevé, ou d'une réalisation de plug décomposée en plusieurs étapes successives.

2.4.1.5 Impact des pré-nettoyages plasma et des métallisations de contact sur la couche active

Il a été évalué que les couches de contact InGaAs ne sont pas impactées par une désoxydation HCl 1:10. En effet, cette chimie n'engendre ni consommation ni modification de la rugosité de la couche [*Ghegin_2017*]. En revanche, l'ouverture des cavités de contact par gravures sèches SiO_2/SiN avec arrêt sur InGaAs, ainsi que les procédés de pré-nettoyage plasma de surface des équipements de dépôt utilisés, ont participé à une consommation partielle voire totale de la couche de contact, voir Figure 42. Concernant la contribution de la gravure sèche SiN, une alternative trouvée par la suite pour minimiser son impact sur la couche d'intérêt est de réaliser la fin de l'ouverture du contact dans le diélectrique par voie humide. La préparation de surface, in-situ à l'équipement de dépôt métallique, a quant à elle été réalisée via un plasma d'Ar sur la majorité des plaques. Même si ce plasma est réalisé à faible puissance, il grave aussi partiellement la couche d'InGaAs de contact. Cela a notamment pu être relevé à la suite d'observations MEB (Figure 42), où l'on peut observer la consommation de l'InGaAs sous les contacts Ni, Mo et W réalisés par PVD sur des équipement en 200mm.

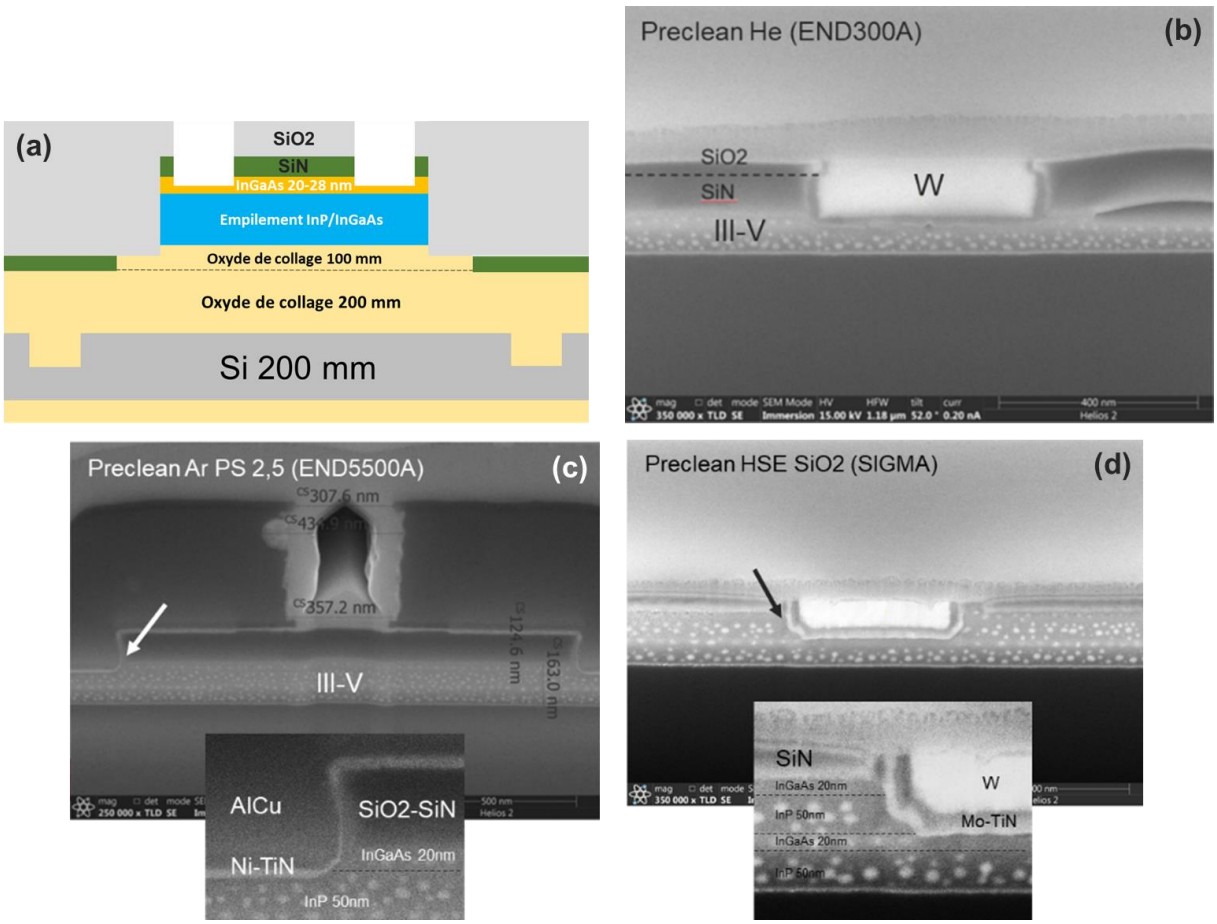

Figure 42 : (a) Schéma de l'empilement TASP, après l'ouverture des cavités de contact par gravures sèches SiO_2/SiN, et le pré-nettoyage plasma de la surface de l'InGaAs. Images FIB-SEM des interfaces de contact (b) Ti, (c) Ni et (d) Mo suite au dépôt des empilements métalliques. L'impact des pré-nettoyages au plasma Ar (PS 2,5 et HSE SiO_2) est visuellement mis en évidence.

Afin d'obtenir des images plus définies, des observations TEM ont été réalisées off-line à la suite du dépôt des empilements métalliques, voir Figure 43.

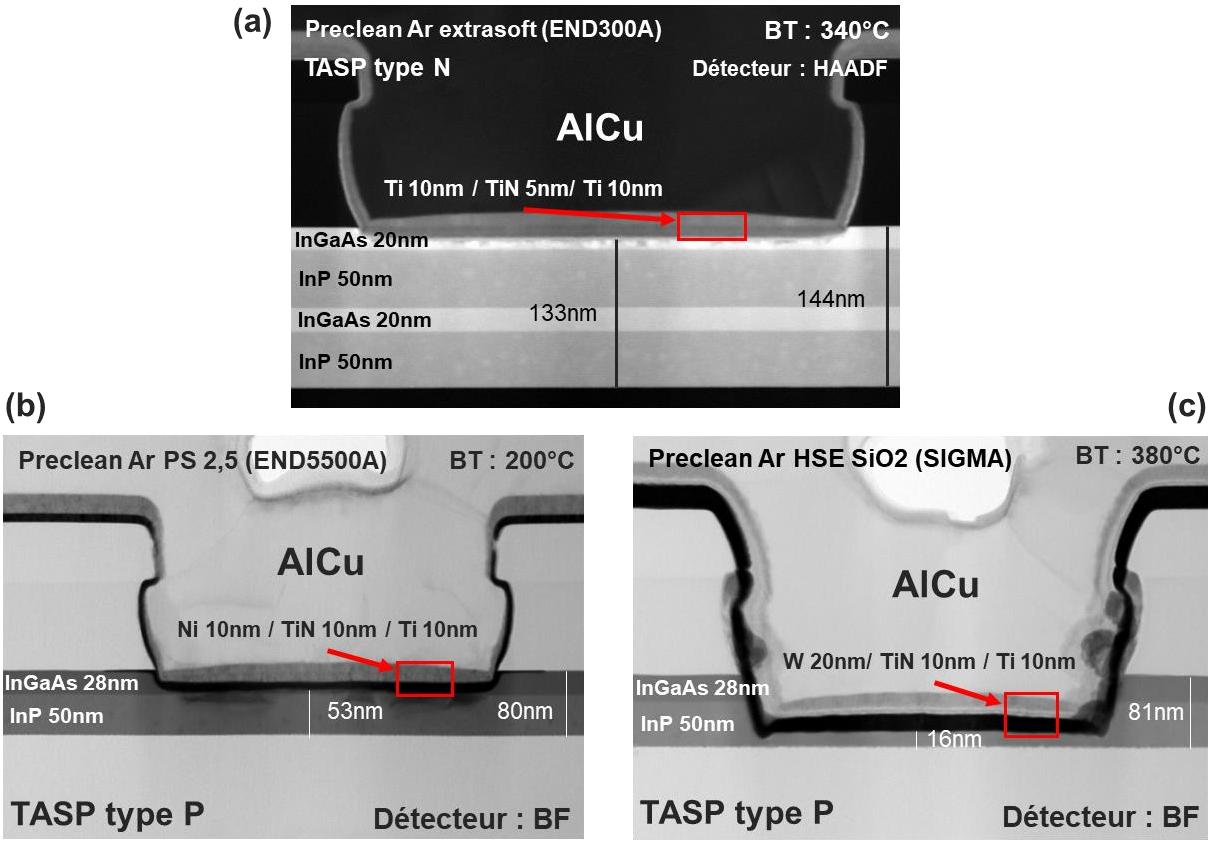

Figure 43 : Images TEM d'interfaces de contact (a) Ti/InGaAs, (b) Ni/InGaAs et (c) W/InGaAs, suite au dépôt des empilements métalliques.

Une estimation des épaisseurs d'InGaAs consommées par les nettoyages plasma in-situ utilisés a été réalisée, voir Tableau 3. Cette estimation se base sur plusieurs mesures ellipsométriques successives, ayant été menées au cours des étapes de préparation du contact. Ainsi, la contribution du nettoyage plasma dans la consommation totale d'InGaAs observée a pu être isolée, par rapport à celles provenant des étapes précédentes : gravure sèche SiN (ouverture du contact) et stripping O_2 (retrait de la résine lithographique). La ligne « Consommation équivalente de SiO_2 thermique » a été ajoutée dans cette table car les procédés de plateforme silicium sont établis, référencés et calibrés en fonction de ce critère.

Tableau 3 : Contribution isolée du pré-nettoyage plasma in-situ sur la consommation de matériaux III-V, avant le dépôt du métal de contact sur InGaAs.

Equipement	**END300A**			**END5500A**	**SIGMA**
Pré-nettoyage plasma	He	Ar « extrasoft »	Ar « supersoft »	Ar « PS 2,5 »	Ar « HSE SiO_2 »
Consommation équivalente de SiO_2 thermique	< 1 nm	< 3 nm	3 nm	2.5 nm	**10-13 nm**
Consommation de matériaux III-V	**< 5 nm**	< 10 nm	Non vérifié	**~ 20 nm**	**~ 60 nm**

Ces observations TEM ont également permis de mieux visualiser les intermétalliques et alliages s'étant formés aux interfaces métal/InGaAs, en raison des budgets thermiques utilisés au cours de la fabrication. Concernant les contacts W et Mo, il est difficile de commenter s'ils réagissent avec l'InGaAs pour former des intermétalliques. En effet, le nettoyage de surface in-situ des équipements de dépôt associés a intégralement consommé la couche d'InGaAs. Pour les contacts Ti, on remarque que les éléments III-V de l'InGaAs diffusent vers celui-ci sous l'effet de la température, ce qui génère différents intermétalliques (Ti_2Ga_3, TiAs, $TiAs_2$) et une phase d'indium [*Rodriguez_2020*]. Cela vient dégrader l'intégrité de la couche d'InGaAs sous-jacente en modifiant sa composition, comme le montre la Figure 44. Ce phénomène est limité lorqu'une épaisseur de Ti de 10 nm est utilisée pour contacter l'InGaAs, on observe alors une interface peu consommée (Figure 44). Cependant, dans les cas où l'épaisseur de Ti déposée est relativement épaisse vis-à-vis de la couche d'InGaAs contactée (e.g. 20nm de Ti), des cavités peuvent alors apparaître. Les contraintes supplémentaires engendrées par le dépôt du métal de remplissage des vias, lorsque celui-ci est réalisé à haute température (e.g. $W(Si)_{1\%}$ à 400°C), peuvent également contribuer à fragiliser davantage la couche d'InGaAs.

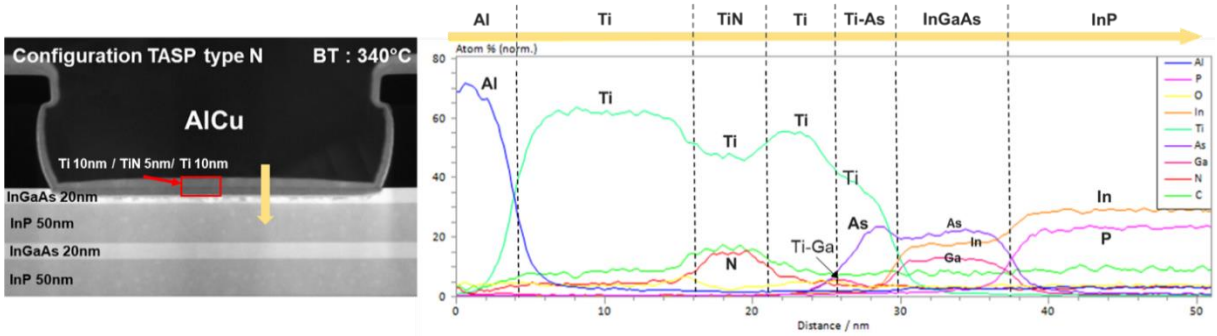

Figure 44 : Image TEM et analyse EDX de l'interface de contact Ti 10nm / InGaAs, dans le cadre d'une plaque provenant d'un lot TASP type N. Le budget thermique lié au dépôt de l'empilement métallique est 340°C.

Le Ni diffuse quant à lui très facilement à partir de température relativement basses (~200°C) [*Boyer_2023*]. Cependant, au lieu de rapidement former des intermétalliques avec l'InGaAs, il réalise en priorité un alliage avec ce dernier, ce qui permet de conserver l'intégrité de l'InGaAs sous-jacent n'ayant pas réagi. Cela a notamment pu être observé par le biais d'une analyse EDX menée sur un contact Ni/InGaAs réalisé dans la configuration de notre lot InP-DHBT sur silicium (Figure 45). On constate alors que l'épaisseur d'alliage Ni-InGaAs formée est d'environ 8 nm, pour une épaisseur de Ni déposée de 5 nm et un budget thermique de 400°C. Il convient donc de bien maîtriser l'épaisseur déposée ainsi que le budget thermique total appliqué lors de la réalisation du contact, afin d'assurer la conservation d'une épaisseur suffisante d'InGaAs n'ayant pas réagi sous le contact. Cela est particulièrement important lorsque la couche active d'InGaAs est très fine, comme pour la région de base du transistor InP-DHBT.

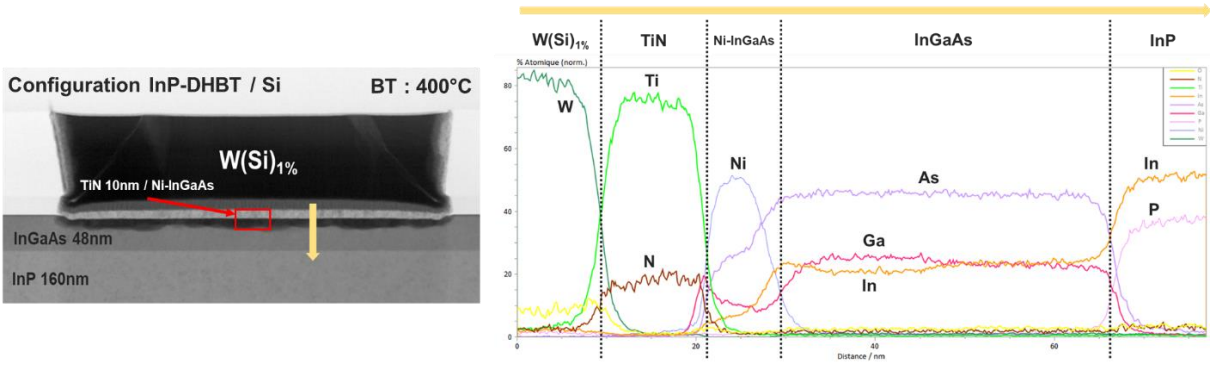

Figure 45 : Image TEM et analyse EDX de l'interface de contact Ni 5nm / InGaAs, dans le cadre d'une plaque provenant d'un lot InP-DHBT sur silicium. Le budget thermique lié au dépôt de l'empilement métallique est 400°C.

Finalement, afin d'avoir une meilleure maîtrise de l'impact de la formation des intermétalliques sur l'intégrité des couches InGaAs, notamment dans le cas d'un contact à base de Ti, plusieurs modifications ont été entreprises pour les futurs lots TASP. Premièrement, une réduction des épaisseurs déposées de titane, afin de limiter la diffusion des éléments III-V de l'InGaAs vers celui-ci. Ensuite, l'insertion d'un traitement thermique intermédiaire après dépôt, permettant la formation d'un intermétallique stable en température et favorable à bon contact ohmique. Ces deux éléments devraient déjà permettre une meilleure maîtrise des réactions interfaciales.

2.4.2 Etudes réalisées sur les lots InP-DHBT sur silicium

En plus des développements de procédés menés sur les lots TASP, deux études se sont concentrées sur des problématiques spécifiquement liées à la fabrication du transistor InP-DHBT sur silicium. Les prochaines sections décrivent alors ces problématiques, ainsi que les solutions apportées. La caractérisation DC et RF des transistors de la filière est quant à elle disponible dans les parties 3.5 et 3.6 de ce manuscrit.

2.4.2.1 Gravure III-V de l'émetteur

Pour définir l'émetteur du InP-DHBT (cf. Figure 28(b)), une gravure sèche partielle des matériaux III-V est d'abord réalisée avec arrêt dans la couche InP-N^- située juste au-dessus de la couche InGaAs-P^{++} de la base. Cette gravure est réalisée avec une recette à base de Cl_2, car les essais menés sur les lots TASP ont permis de déterminer qu'il s'agit d'une gravure plus lente et maîtrisable comparée au HBr, tout en obtenant des flancs de gravure lisses. Des effets de « trenching » ont cependant pu être observés sur certaines plaques des lots InP-DHBT lorsque cette gravure est appliquée, gravant localement un peu plus profondément le III-V aux abords de l'émetteur, voir Figure 46.

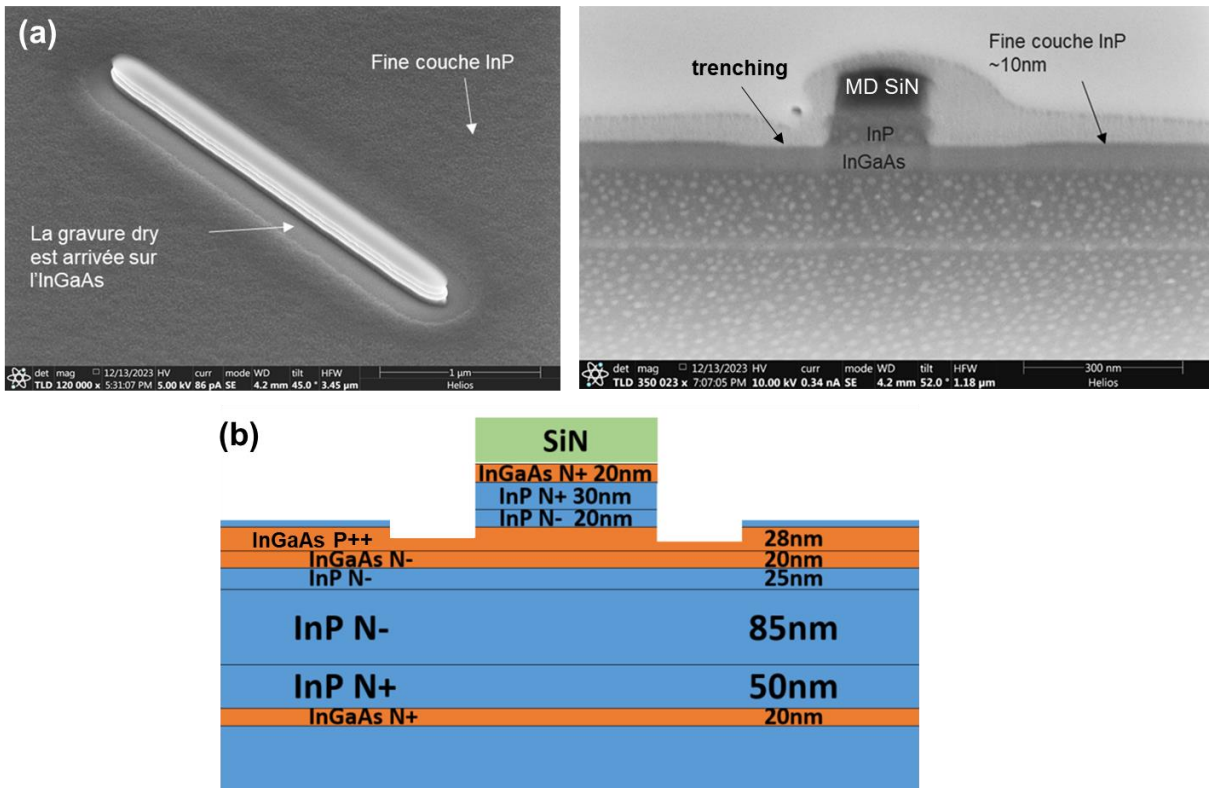

Figure 46 : (a) Observations MEB et (b) représentation schématique de l'effet de « trenching » aux abords du motif émetteur, suite à la gravure sèche Cl_2.

Le « trenching » est principalement dû à une concentration du champ électrique du plasma de gravure près des bords du masque, ici le masque dur SiN. L'énergie d'impact est donc localement plus élevée aux abords du motif, ce qui engendre une gravure plus profonde. Dans notre cas, cela peut alors dégrader la couche de base InGaAs-P^{++} sous-jacente. Une recette de gravure Cl_2 plus lente, et/ou un temps de gravure très court doivent donc être mis en place afin de mieux contrôler ce facteur. Cela reste cependant difficile au vu des faibles dimensions du dispositif, l'émetteur ne faisant que 70 nm d'épaisseur dans sa totalité. Deux conditions de gravure en Cl_2 ont donc été testées : l'une avec un temps de gravure de 9.6s, où le procédé est arrêté une fois que le signal DFA indique le plateau d'InP, et l'autre avec seulement 6.6s, où le procédé est arrêté avant que le signal DFA n'indique le plateau InP, voir Figure 47.

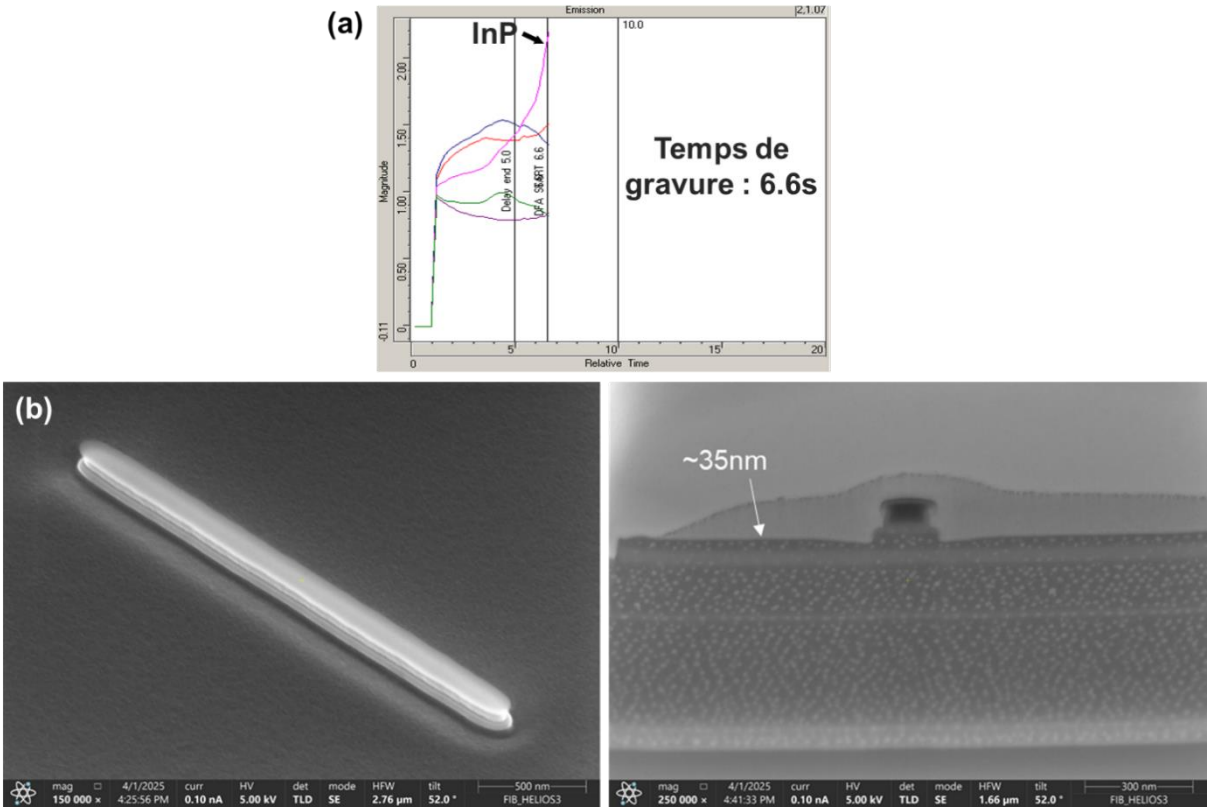

Figure 47 : (a) Signal DFA et (b) observations MEB suite à la gravure sèche Cl2 6.6s de l'émetteur.

Avec cette seconde condition de gravure, environ 35 nm d'InP restent présent au-dessus de l'InGaAs-P^{++} avant la suite du procédé, ce qui permet de s'assurer que l'effet de trenching aux abords du motif émetteur ne s'étende pas jusqu'à venir dégrader la couche de base. C'est donc celle-ci qui a été retenue, bien qu'un temps de gravure si court se rapproche des limites de l'équipement utilisé.

Suite à la gravure sèche, une gravure humide HCl 12.3% est ensuite appliquée afin de graver l'InP restant est de s'arrêter sélectivement sur la couche d'InGaAs de 28 nm d'épaisseur, en laissant une surface lisse et non dégradée. En fonction des différents temps de gravure testés, des effets de consommation latérale plus ou moins importants ont néanmoins été relevés selon les plans cristallins [010] et [00-1], voir Figure 48. Cela est attribué à une consommation plus rapide de l'InP selon ces plans. Ce facteur doit également être correctement maîtrisé, car cette consommation latérale vient alors réduire la longueur effective de l'émetteur, ce qui peut finir par le fragiliser si cette-dernière devient trop importante.

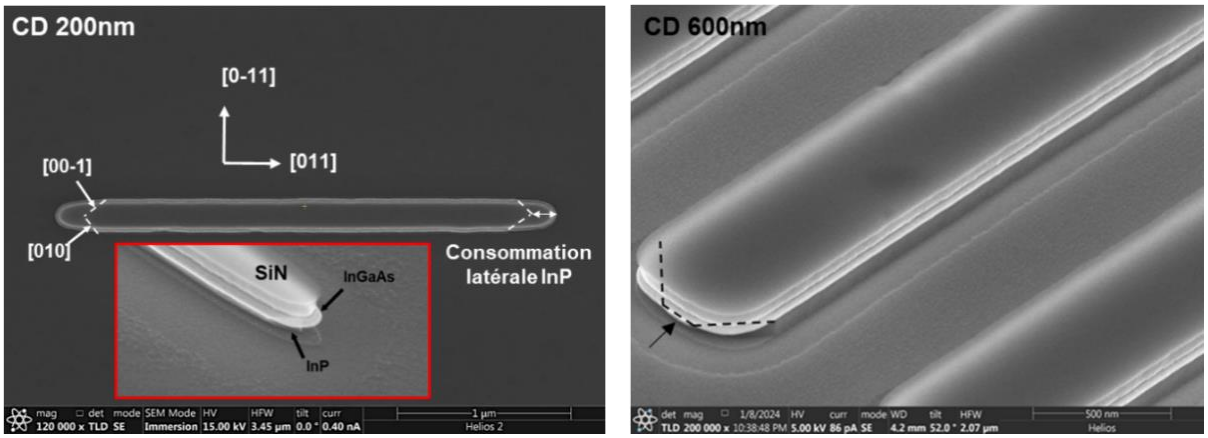

Figure 48 : Effet de consommation latérale de l'InP par la gravure humide HCl 12.3%, selon les plans [010] et [00-1].

De plus, l'orientation cristalline exerce également une influence sur la pente de la gravure humide. En effet, le profil de gravure est rentrant selon le plan [011] et sortant selon le plan [01-1] (Figure 49). Une estimation de la largeur du pied de l'émetteur post-gravure a été réalisée dans les deux cas, avec une largeur d'environ -60 nm par rapport à largeur initiale lorsque la gravure est rentrante, et environ +40 nm lorsque la gravure est sortante.

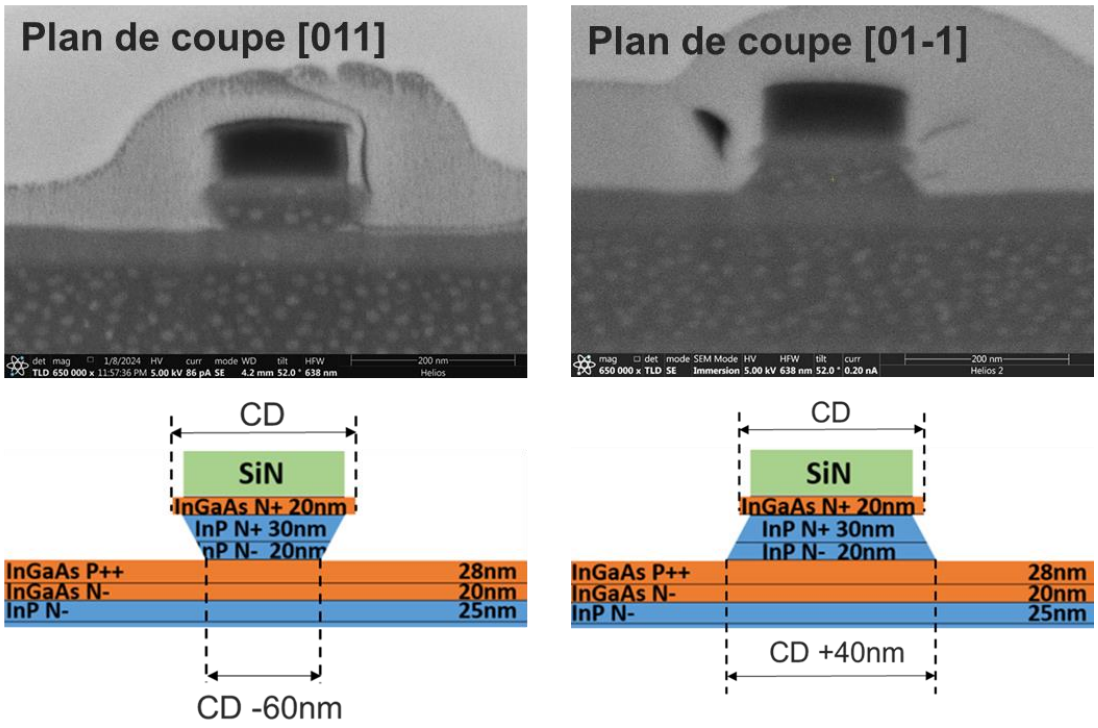

Figure 49 : Influence de l'orientation cristalline sur le profil de gravure et sur la largeur du pied de l'émetteur, suite à la gravure humide HCl 12.3%.

Cette étape de gravure humide est donc essentielle afin de révéler la couche InGaAs-P^{++} de 28 nm sans la dégrader, mais les effets de consommation latérale de l'InP ainsi que les flancs de gravure rentrants ou sortant doivent être correctement appréhendés afin de ne pas se faire surprendre pour la suite de la fabrication du transistor.

2.4.2.2 Gravure III-V de la mésa base

Pour définir la mésa base du InP-DHBT, la même stratégie que celle suivie pour la définition de l'émetteur est utilisée : une première gravure sèche partielle Cl_2 du III-V avec arrêt dans l'InP, puis une gravure humide HCl 12.3% de l'InP avec arrêt sur la couche InGaAs-N^+ de 20nm d'épaisseur. Les essais ont permis de définir un temps de gravure sèche laissant une marge confortable d'environ 115 nm d'InP avant de passer à la gravure humide, assurant que la couche d'InGaAs ne soit pas dégradée (Figure 50). Des effets de trenching ont cependant à nouveau été relevés, comme lors de la définition de l'émetteur. La gravure humide a ensuite permis un bon arrêt sur la couche InGaAs, mais la dépendance du profil de gravure à l'orientation cristalline, ainsi que les effets de gravure latérale ont à nouveau été notés. En particulier, l'impact de la gravure latérale est ici non négligeable, à cause du temps de gravure nécessaire au retrait des 115 nm d'InP. Ainsi, le choix d'augmenter la durée de la gravure sèche partielle a été fait pour les futurs lots InP-DHBT, afin de réduire l'épaisseur d'InP restante à graver en humide. Cela permettra de limiter le temps de gravure humide et donc de réduire les effets de gravure latérale.

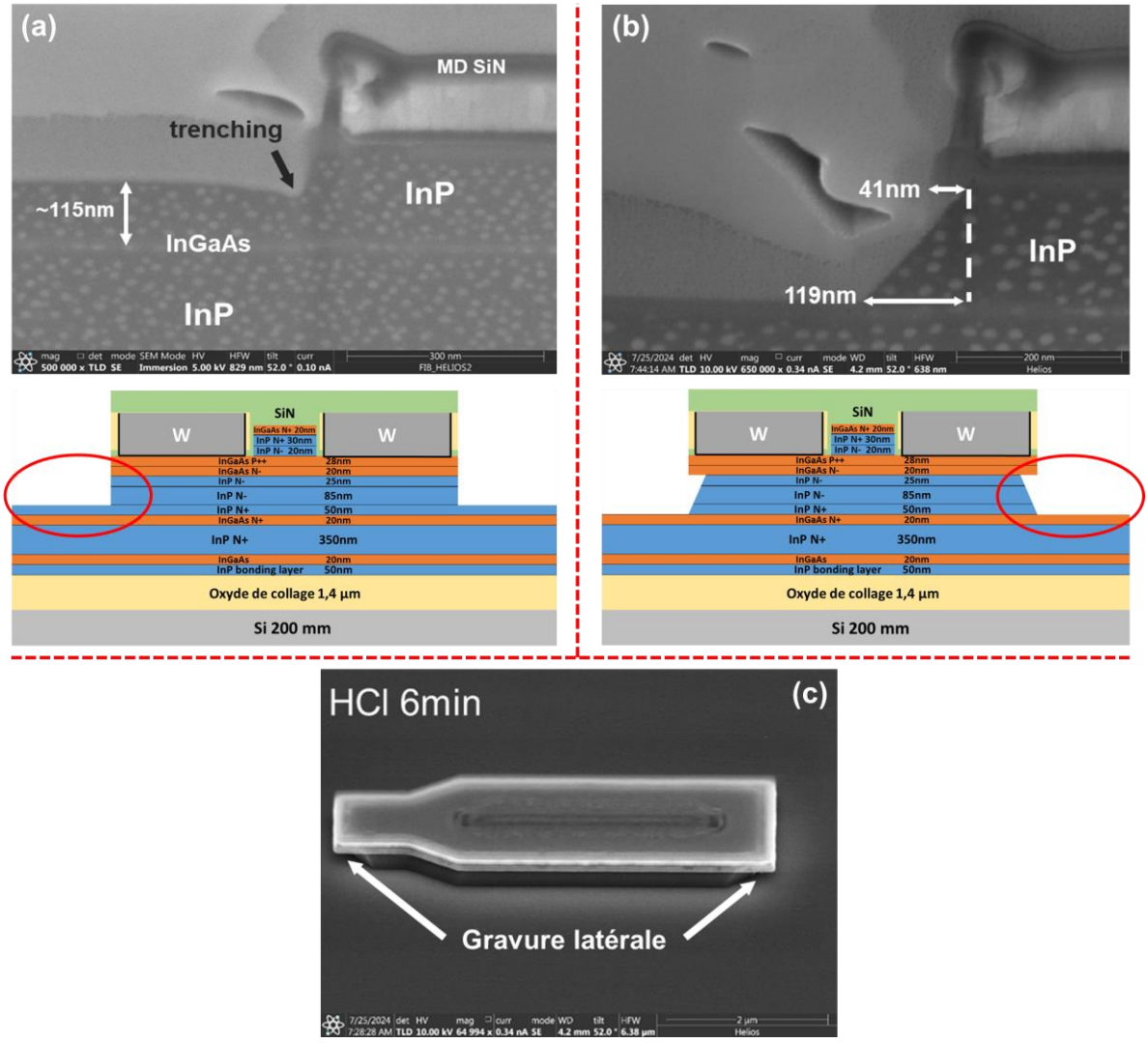

Figure 50 : Observations MEB et schémas de la mésa base du InP-DHBT : (a) après gravure sèche partielle Cl_2 du III-V avec arrêt dans InP, (b) après gravure humide HCl 12.3% de l'InP avec arrêt sur la couche InGaAs-N^+ 20nm. (c) Observation MEB de la gravure latérale causée par la gravure humide HCl de l'InP.

2.5 Conclusion du chapitre 2

Ce chapitre a permis d'établir le cadre technologique et scientifique dans lequel s'inscrit le développement de la filière InP-DHBT compatible avec les procédés industriels CMOS du LETI. Les contraintes majeures associées à une telle intégration ont dans un premier temps été introduites : limitations thermiques et incompatibilité des substrats entre les systèmes matériau InP et silicium, contamination potentielle des environnements Si-CMOS par les éléments III-V, importance de la topographie, exigences strictes sur les métallisations de contact… Il en ressort que l'implémentation d'une filière InP-DHBT réellement compatible CMOS ne peut être envisagée sans réaliser une adaptation de certains procédés.

L'examen approfondi de l'état de l'art a ensuite permis de replacer ces enjeux dans un contexte plus large, en présentant les différentes voies d'intégration III-V sur silicium explorées à ce jour. Les stratégies d'intégration hétérogène par croissance monolithique directe, ainsi que celles basées sur un assemblage 3D, 2.5D, ou sur le transfert de fines couches InP suivi d'une reprise de croissance, sont discutées en soulignant leurs atouts et leurs limites. Cette synthèse met en évidence que, malgré la richesse des solutions proposées, aucune ne s'impose aujourd'hui comme un standard pleinement compatible avec les lignes de production CMOS industrielles.

Dans ce contexte, le choix d'intégration retenu dans le cadre de cette thèse s'appuie sur le report d'un empilement épitaxial III-V de 100mm sur un substrat silicium de 200mm, suivi du développement des procédés nécessaires à la fabrication d'un InP-DHBT directement sur silicium, selon un schéma d'intégration de type Damascene. Il s'agit d'une approche ambitieuse qui permettrait d'ouvrir la voie à une intégration réellement compatible avec les exigences du CMOS industriel. A terme, cette approche vise notamment à concilier performances RF, potentiel de scalabilité industrielle, densité d'intégration et possibilité de co-optimisation fine entre technologies III-V et CMOS.

Enfin, le chapitre se conclut par une présentation des difficultés rencontrées lors de l'élaboration des procédés clés de la filière, ainsi que les avancées notables obtenues tout au long du développement. Les étapes critiques relatives aux lots d'étude dédiés aux contacts ohmiques (TASP) sont exposées, puis certains procédés spécifiquement liés à la fabrication des transistors InP-DHBT sont discutés. L'ensemble de ces études démontre la faisabilité technologique de l'approche proposée, tout en mettant en avant les axes de progrès restant à consolider.

Le chapitre suivant porte alors sur la caractérisation électrique des lots de la filière. Les lots d'étude TASP y sont dans un premier temps traités, permettant également l'introduction d'une méthodologie innovante d'évaluation des paramètres de résistivité. Dans un second temps, les performances DC et RF des transistors InP-DHBT sur silicium de la filière sont présentées. Les résultats obtenus permettent alors une évaluation de l'impact des choix réalisés sur les performances, tout en donnant plus d'indications sur le potentiel de la filière dans une perspective d'intégration industrielle.

2.6 Références du chapitre 2

Alcotte, R. *et al.* (2016) « Epitaxial growth of antiphase boundary free GaAs layer on 300 mm Si(001) substrate by metalorganic chemical vapour deposition with high mobility », *APL Materials*, 4(4), p. 046101. Disponible sur: https://doi.org/10.1063/1.4945586.

Besancon, C. *et al.* (2022) « AlGaInAs Multi-Quantum Well Lasers on Silicon-on-Insulator Photonic Integrated Circuits Based on InP-Seed-Bonding and Epitaxial Regrowth », *Applied Sciences*, 12(1), p. 263. Disponible sur: https://doi.org/10.3390/app12010263.

Beyne, E. (2016) « The 3-D Interconnect Technology Landscape », *IEEE Design & Test*, 33(3), p. 8-20. Disponible sur: https://doi.org/10.1109/MDAT.2016.2544837.

Boccardi, G. *et al.* (2024) « A monolithic III-V on Si integration technology utilizing 300mm CMOS platform », in *CS MANTECH - Int. Conf. Compd. Semicond. Manuf. Technol. CS MANTECH 2024 - 2024 International Conference on Compound Semiconductor Manufacturing Technology*, CS Mantech.

Boyer, F. *et al.* (2023) « Ni(Pt)-based CMOS-compatible contacts on p-InGaAs for III–V photonic devices », *Materials Science in Semiconductor Processing*, 154, p. 107199. Disponible sur: https://doi.org/10.1016/j.mssp.2022.107199.

Carlin, J.A. *et al.* (2001) « High-lifetime GaAs on Si using GeSi buffers and its potential for space photovoltaics », *Solar Energy Materials and Solar Cells*, 66(1), p. 621-630. Disponible sur: https://doi.org/10.1016/S0927-0248(00)00250-6.

Charbonnier, J. *et al.* (2012) « High density 3D silicon interposer technology development and electrical characterization for high end applications », in *2012 4th Electronic System-Integration Technology Conference*. *2012 4th Electronic System-Integration Technology Conference*, p. 1-7. Disponible sur: https://doi.org/10.1109/ESTC.2012.6542156.

Chen, G. *et al.* (2025) « Electronic Chip Package and Co-Packaged Optics (CPO) Technology for Modern AI Era: A Review », *Micromachines*, 16(4), p. 431. Disponible sur: https://doi.org/10.3390/mi16040431.

Chevalier, P. *et al.* (2018) « SiGe BiCMOS Current Status and Future Trends in Europe », in *2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*. *2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, p. 64-71. Disponible sur: https://doi.org/10.1109/BCICTS.2018.8550963.

Choi, D. *et al.* (2009) « High-quality III–V semiconductor MBE growth on Ge/Si virtual substrates for metal-oxide-semiconductor device fabrication », *Journal of Crystal Growth*, 311(7), p. 1962-1971. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2008.09.138.

Chu, S.N.G., Jodlauk, C.M. et Johnston, W.D. (1983) « Morphological Study of Thermal Decomposition of InP Surfaces », *Journal of The Electrochemical Society*, 130(12), p. 2398. Disponible sur: https://doi.org/10.1149/1.2119597.

Cipro, R. (2016) *Epitaxie en phase vapeur aux organométalliques et caractérisation de semi-conducteur III-As sur substrat silicium dans une plateforme microélectronique*. Theses. Université Grenoble Alpes. Disponible sur: https://theses.hal.science/tel-01390505.

Datta, S. *et al.* (2007) « Ultrahigh-Speed 0.5 V Supply Voltage In0.7Ga0.3As Quantum-Well Transistors on Silicon Substrate », *IEEE Electron Device Letters*, 28(8), p. 685-687. Disponible sur: https://doi.org/10.1109/LED.2007.902078.

Divay, A. *et al.* (2024) « Hybrid Integration of 3D-RF Interconnects on AlGaN/GaN/Si HEMT RF Transistor featuring 2.2W/mm Psat & 41% PAE @28GHz using a Robust and Cost-Effective Chiplet Heterogeneous Bonding Technique », in *2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*. *2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, p. 1-2. Disponible sur: https://doi.org/10.1109/VLSITechnologyandCir46783.2024.10631451.

Du, Y. *et al.* (2022) « Review of Highly Mismatched III-V Heteroepitaxy Growth on (001) Silicon », *Nanomaterials*, 12(5), p. 741. Disponible sur: https://doi.org/10.3390/nano12050741.

Duan, G.-H. *et al.* (2014) « Hybrid III–V on Silicon Lasers for Photonic Integrated Circuits on Silicon », *IEEE Journal of Selected Topics in Quantum Electronics*, 20(4), p. 158-170. Disponible sur: https://doi.org/10.1109/JSTQE.2013.2296752.

Ghegin, E. (2017) *Integration of innovative ohmic contacts for heterogeneous III-V/Silicon Photonic devices*. These de doctorat. Sorbonne Paris Cité. Disponible sur: https://theses.fr/2017USPCC008.

Ghyselen, B. *et al.* (2022) « Large-Diameter III–V on Si Substrates by the Smart Cut Process: The 200 mm InP Film on Si Substrate Example », *physica status solidi (a)*, 219(4), p. 2100543. Disponible sur: https://doi.org/10.1002/pssa.202100543.

Jeong, J. *et al.* (2024) « Heterogeneous and Monolithic 3D (HM3D) Integrated RF Circuits: HM3D Integration of InGaAs HEMTs on CMOS-Based Backside Passive Devices », in *2024 IEEE International Electron Devices Meeting (IEDM)*. *2024 IEEE International Electron Devices Meeting (IEDM)*, p. 1-4. Disponible sur: https://doi.org/10.1109/IEDM50854.2024.10873460.

Jouve, A. *et al.* (2017) « 1µm Pitch direct hybrid bonding with <300nm wafer-to-wafer overlay accuracy », in *2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*. *2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, p. 1-2. Disponible sur: https://doi.org/10.1109/S3S.2017.8309213.

Jouve, A. *et al.* (2019) « Die to Wafer Direct Hybid Bonding Demonstration with High Alignment Accuracy and Electrical Yields », in *2019 International 3D Systems Integration Conference (3DIC)*. *2019 International 3D Systems Integration Conference (3DIC)*, p. 1-7. Disponible sur: https://doi.org/10.1109/3DIC48104.2019.9058905.

Kobayashi, N. (2009) « Damascene Concept and Process Steps », in Y. Shacham-Diamand et al. (éd.) *Advanced Nanoscale ULSI Interconnects: Fundamentals and Applications*. New York, NY: Springer, p. 263-273. Disponible sur: https://doi.org/10.1007/978-0-387-95868-2_18.

Kraemer, T. *et al.* (2013) « InP-DHBT-on-BiCMOS Technology With fT/fMAX of 400/350 GHz for Heterogeneous Integrated Millimeter-Wave Sources », *IEEE Transactions on Electron Devices*, 60(7), p. 2209-2216. Disponible sur: https://doi.org/10.1109/TED.2013.2264141.

Kunert, B. *et al.* (2016) « (Invited) Integration of III/V Hetero-Structures By Selective Area Growth on Si for Nano- and Optoelectronics », *ECS Transactions*, 75(8), p. 409. Disponible sur: https://doi.org/10.1149/07508.0409ecst.

Kunert, B. *et al.* (2023) « (Invited) Integration of InP Heterojunction Bipolar Transistors on Silicon Substrates for 6G Networks », *ECS Transactions*, 111(1), p. 105. Disponible sur: https://doi.org/10.1149/11101.0105ecst.

Li, J.Z. *et al.* (2007) « Defect reduction of GaAs epitaxy on Si (001) using selective aspect ratio trapping », *Applied Physics Letters*, 91(2), p. 021114. Disponible sur: https://doi.org/10.1063/1.2756165.

Lin, Y.-C. *et al.* (2014) « Low interface trap density Al2O3/In0.53Ga0.47As MOS capacitor fabricated on MOCVD-grown InGaAs epitaxial layer on Si substrate », *Applied Physics Express*, 7(4), p. 041202. Disponible sur: https://doi.org/10.7567/APEX.7.041202.

Macri, J. (2015) « AMD's next generation GPU and high bandwidth memory architecture: FURY », in *2015 IEEE Hot Chips 27 Symposium (HCS)*. *2015 IEEE Hot Chips 27 Symposium (HCS)*, p. 1-26. Disponible sur: https://doi.org/10.1109/HOTCHIPS.2015.7477461.

Maehara, M. *et al.* (2024) « IMC Assisted Die-Bonding for Stacked Device Integration », in *2024 IEEE 10th Electronics System-Integration Technology Conference (ESTC)*. *2024 IEEE 10th Electronics System-Integration Technology Conference (ESTC)*, p. 1-5. Disponible sur: https://doi.org/10.1109/ESTC60143.2024.10712004.

Markman, B. et Schröter, M. (2024) « Indium-Phosphide Transistors: A Review of Current State and Suitability for Commercial > 100-GHz Wireless Communication Systems », *IEEE Microwave Magazine*, 25(10), p. 38-53. Disponible sur: https://doi.org/10.1109/MMM.2024.3428191.

Midili, V. *et al.* (2017) « InP DHBT technology for power amplifiers at mm-wave frequencies », *Microelectronics Journal*, 67, p. 111-119. Disponible sur: https://doi.org/10.1016/j.mejo.2017.07.014.

Nodjiadjim, V. (2009) *Transistor bipolaire à double hétérojonction submicronique InP/InGaAs pour circuits numériques ou mixtes ultra-rapides*. These de doctorat. Lille 1. Disponible sur: https://theses.fr/2009LIL10028.

Nodjiadjim, V. *et al.* (2019) « 0.7- µ m InP DHBT Technology With 400-GHz f_T and f_\textMAX and 4.5-V BVCE0 for High Speed and High Frequency Integrated Circuits », *IEEE Journal of the Electron Devices Society*, 7, p. 748-752. Disponible sur: https://doi.org/10.1109/JEDS.2019.2928271.

Oliveira, A. *et al.* (2023) « RF Performances and De-Embedding Techniques of Passive Devices in 3D Homogeneous Integration at Sub-THz », in *2023 53rd European Microwave Conference (EuMC)*. *2023 53rd European Microwave Conference (EuMC)*, p. 616-619. Disponible sur: https://doi.org/10.23919/EuMC58039.2023.10290293.

Rheem, N. *et al.* (2024) « First Heterogeneous and Monolithic 3D (HM3D) Integration of InGaAs HEMTs and InP/InGaAs DHBTs on Si CMOS for Next-Generation Wireless Communication », in *2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*. *2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, p. 1-2. Disponible sur: https://doi.org/10.1109/VLSITechnologyandCir46783.2024.10631404.

Rodriguez, P. *et al.* (2020) « Development of a CMOS-compatible contact technology for III–V materials and Si photonics », *Japanese Journal of Applied Physics*, 59(SL), p. SL0801. Disponible sur: https://doi.org/10.35848/1347-4065/ab7f1e.

Schmid, H. *et al.* (2015) « Template-assisted selective epitaxy of III–V nanoscale devices for co-planar heterogeneous integration with Si », *Applied Physics Letters*, 106(23), p. 233101. Disponible sur: https://doi.org/10.1063/1.4921962.

Sheikh, F. *et al.* (2021) « 2.5D and 3D Heterogeneous Integration: Emerging applications », *IEEE Solid-State Circuits Magazine*, 13(4), p. 77-87. Disponible sur: https://doi.org/10.1109/MSSC.2021.3111386.

Vais, A. *et al.* (2019) « First demonstration of III-V HBTs on 300 mm Si substrates using nano-ridge engineering », in *2019 IEEE International Electron Devices Meeting (IEDM)*. *2019 IEEE International Electron Devices Meeting (IEDM)*, p. 9.1.1-9.1.4. Disponible sur: https://doi.org/10.1109/IEDM19573.2019.8993539.

Vais, A. *et al.* (2025) « First Demonstration of InP HBTs on InP-on-Si (InPOSi) Substrate: A Cost-Effective and Sustainable III/V-on-Si Technology for Advanced RF Applications », in *CS MANTECH - Int. Conf. Compd. Semicond. Manuf. Technol. CS MANTECH 2025 - 2025 International Conference on Compound Semiconductor Manufacturing Technology*, CS Mantech.

Wang, Y. *et al.* (2025) « Electrothermal co-optimization of 2.5D power distribution network with TTSV cooling », *Scientific Reports*, 15(1), p. 25716. Disponible sur: https://doi.org/10.1038/s41598-025-09914-y.

Weerasekera, R. *et al.* (2009) « Compact modelling of Through-Silicon Vias (TSVs) in three-dimensional (3-D) integrated circuits », in *2009 IEEE International Conference on 3D System Integration*. *2009 IEEE International Conference on 3D System Integration*, p. 1-8. Disponible sur: https://doi.org/10.1109/3DIC.2009.5306541.

Yim, V. (2025) *Développement d'une méthode innovante de détection de contaminants métalliques sur des plaques « produits »*. Thèse de doctorat. PSL Université Paris.

Yuan, X. *et al.* (2021) « Selective area epitaxy of III–V nanostructure arrays and networks: Growth, applications, and future directions », *Applied Physics Reviews*, 8(2), p. 021302. Disponible sur: https://doi.org/10.1063/5.0044706.

Zaknoune, M. *et al.* (2012) « 480-GHz f_max in InP/GaAsSb/InP DHBT With New Base Isolation μ-Airbridge Design », *IEEE Electron Device Letters*, 33(10), p. 1381-1383. Disponible sur: https://doi.org/10.1109/LED.2012.2210187.

Zhang, J. *et al.* (2018) « Transfer-printing-based integration of a III-V-on-silicon distributed feedback laser », *Optics Express*, 26(7), p. 8821-8830. Disponible sur: https://doi.org/10.1364/OE.26.008821.

Zhang, X. *et al.* (2015) « Heterogeneous 2.5D integration on through silicon interposer », *Applied Physics Reviews*, 2(2), p. 021308. Disponible sur: https://doi.org/10.1063/1.4921463.

3. Développement de contacts ohmiques compatibles CMOS pour le InP-DHBT sur silicium

Dans la continuité des développements technologiques menés pour établir une filière InP-DHBT sur silicium au LETI, ce chapitre s'intéresse à l'évaluation électrique des différents lots en étant issus. Une attention particulière est notamment portée aux différents lots d'étude dédiés aux contacts ohmiques. En effet, compte tenu de leur importance dans la performance fréquentielle du transistor, et des contraintes imposées par une compatibilité CMOS, l'optimisation des contacts constitue un enjeu majeur. Une méthodologie novatrice d'évaluation des paramètres de résistivités, se basant sur les extractions TLM, est alors élaborée dans le but de complémenter les mesures réalisées en contournant les limites des approches classiques à l'échelle micrométrique. Le chapitre présente également les performances DC et RF des premiers transistors de la filière, permettant ainsi d'estimer l'impact des choix technologiques effectués sur les performances du dispositif. Les verrous restants et les solutions envisageables sont alors discutés.

3.1 Les contacts ohmiques sur InGaAs

Les semi-conducteurs III-V possèdent certaines caractéristiques intéressantes pour l'élaboration de contacts. Selon leur composition, ces matériaux offrent en effet une mobilité élevée voire très élevée des porteurs de charge, ainsi qu'une largeur de bande interdite variable pouvant atteindre de faibles valeurs. La formation de phases interfaciales complexes, parfois réactives, entre le métal et le semi-conducteur est également fréquemment observée lors de l'élaboration de contacts sur semi-conducteurs III-V [*Rodriguez_2020, Moulé_2025*]. Ces phases peuvent alors soit être bénéfiques à une amélioration du contact, soit défavorables dans le cas où elles sont instables ou résistantes.

Dans le cadre des travaux de cette thèse, l'attention s'est portée principalement sur la réalisation de contacts ohmiques sur les matériaux InGaAs, puis GaAsSb dans un second temps (cf. chapitre 4). L'alliage $In_xGa_{1-x}As$ est en accord de paramètre de maille avec l'InP pour x = 0.53, ce qui en fait un matériau privilégié pour la fabrication d'hétérostructures InGaAs/InP. L'$In_{0.53}Ga_{0.47}As$ possède une bande interdite de 0.74 eV [*NSM_2025*] ainsi qu'une mobilité électronique d'environ 10 000 $cm^2/(V.s)$, diminuant en fonction du niveau de dopage (~1000 $cm^2/(V.s)$ pour $N_d \sim 10^{19}$ cm^{-3}) [*Del_Alamo_2011*]. Étant donné le verrouillage de son niveau de Fermi surfacique aux alentours de 4.8 ± 0.1 eV sous le niveau de vide [*Alekseev_2018*], c'est-à-dire entre 0.2 et 0.4 eV en-dessous du niveau de conduction (χ = 4.5 eV), il est naturellement plus simple de réaliser un contact sur n-InGaAs que sur p-InGaAs. Par ailleurs, si dopé in-situ au cours de sa croissance épitaxiale (MBE, MOCVD, CBE…), ce matériau peut recevoir des concentrations de dopants donneurs ou accepteurs dépassant 10^{19} voire 10^{20} cm^{-3} [*Aldridge_2017, Yokohama_2013, Teng_2013, Han_2002, Godey_2005*].

Des empilements métalliques combinant des métaux nobles – tels que l'or (Au), le platine (Pt), le palladium (Pd) ou le nickel (Ni, considéré comme semi-noble) – et des métaux réactifs – comme le titane (Ti), le germanium (Ge) ou le zinc (Zn) – sont couramment utilisés pour réaliser des contacts ohmiques à faible résistivité sur l'$In_{0.53}Ga_{0.47}As$. Cette approche tire parti à la fois de la stabilité chimique des métaux nobles (résistance à la corrosion et à l'oxydation) et de la capacité de dopage ou de réaction des autres métaux de l'empilement. Le rôle spécifique de chacun de ces métaux nobles dépend ainsi de leur nature ainsi que de leur positionnement. L'or (Au) est le plus souvent employé comme couche supérieure, assurant une excellente conductivité électrique et protégeant les couches inférieures de l'oxydation. Cependant, sa forte diffusivité à haute température nécessite l'intégration d'une barrière de diffusion afin d'éviter la formation d'intermétalliques indésirables, susceptibles de détériorer les performances électriques [*Lyu_2000*]. Le platine (Pt) joue efficacement ce rôle en limitant la migration de l'or vers le semi-conducteur lors des recuits [*Lee_1998*]. Présent dans des métallisations telles que Ti/Pt/Au ou Pd/Ti/Pt/Au, il participe donc à une stabilisation de la structure du contact. Le palladium (Pd) est quant à lui largement utilisé comme métal de contact sur InGaAs. Dans des empilements de type Pd/Ge/[…] ou Pd/Zn/[…], il agit comme catalyseur en favorisant la diffusion du dopant pendant le recuit (Ge pour obtenir du n-InGaAs, Zn pour obtenir du p-InGaAs) [*Kim_2003, Leech_1994*]. Ce mécanisme conduit à la formation d'une région fortement dopée (N ou P) au niveau de la zone de contact, favorisant ainsi le transport électronique par effet tunnel. Dans d'autres configurations, telles que Pd/Ti/Pt/Au, le Pd peut aussi contribuer à l'obtention d'une faible résistivité de contact en formant des phases conductrices avec l'InGaAs [*Lin_2013*]. Enfin, le nickel (Ni) peut également être employé comme métal de contact sur InGaAs. Il favorise la formation de phases conductrices et facilite la diffusion du Ge dans les empilements en contenant [*Oh_2015*]. Toutefois, le Ni présente une tendance à migrer et à réagir excessivement avec le semi-conducteur lorsque la température de recuit augmente, ce qui peut mener à une dégradation du contact.

Le travail de sortie idéal des différents métaux énoncés au cours du paragraphe précédent sont regroupés dans le Tableau 4 ci-dessous, en se basant sur la synthèse réalisée par Michaelson [*Michaelson_1977*]. Les métallurgies compatibles avec un environnement CMOS industriel sont également précisées.

Tableau 4 : Travail de sortie idéal de différents métaux utilisés dans les empilements métalliques de contact sur InGaAs. Les métallurgies compatibles avec un environnement CMOS industriel sont précisées. Données provenant de [*Michaelson_1977*].

Métal	Travail de sortie idéal (eV)	Compatibilité CMOS
Au	5.1 5.47 (100) 5.37 (110) 5.31 (111)	Non
Pt	5.65 5.7 (111)	Non
Pd	5.12 5.6 (111)	Non
Zn	4.33 4.9 (0001)	Non
Ge	5.0 4.8 (111)	Partielle
Ni	5.15 5.22 (100) 5.04 (110) 5.35 (111)	Partielle
Ti	4.33	Oui
Mo	4.6 4.53 (100) 4.95 (110) 4.55 (111) 4.36 (112) 4.50 (114) 4.55 (332)	Partielle
W	4.55 4.63 (100) 5.25 (110) 4.47 (111) 4.18 (113) 4.30 (116)	Oui

L'utilisation de métaux nobles étant prohibée dans les environnements de fabrication industriels CMOS, il convient de parvenir à développer des métallisations de contact en étant dépourvues, dans le cadre de notre filière InP-DHBT sur silicium. Les parties suivantes présentent alors le résultat des différents travaux menés pour trouver une métallisation compatible CMOS et performante sur InGaAs.

3.2 Premières études de contacts compatibles CMOS sur InGaAs-N⁺ et -P⁺⁺

3.2.1 Dispositifs TLM réalisés en plateforme « souple »

Des dispositifs TLM ont dans un premier temps été fabriqués sur des couches InGaAs-N^+ et -P^{++} afin de réaliser une première caractérisation électrique de métallisations de contact compatibles avec les lignes de fabrication CMOS. La méthodologie TLM (Transfer Length Method ou Transmission Line Model) permet d'extraire la résistance de couche (R_{sh}), ainsi que la résistance de contact (R_C) entre la couche conductrice considérée et une électrode métallique, grâce à des mesures de caractéristiques I-V [*Goetzberger_1964*, *Berger_1972*]. Plusieurs types de dispositifs TLM existent pour la réalisation de ces mesures, les plus répandus étant les structures linéaires ainsi que les circulaires. Dans le cas de dispositifs TLM linéaires, comme ceux considérés dans le cadre de cette première étude, les mesures I-V sont réalisées en mode 4 pointes entre des électrodes de longueur L et de largeur W, séparées par des distances d'espacement *d* croissantes, voir Figure 51.

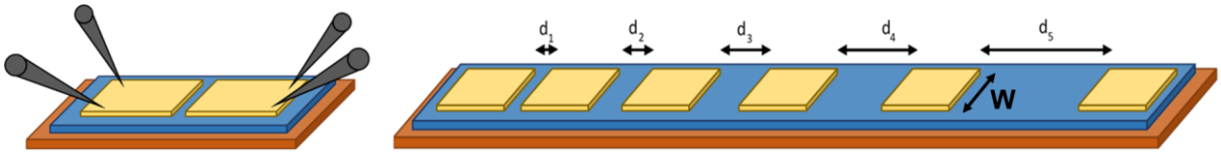

Figure 51 : Représentation schématique d'un dispositif TLM linéaire standard.

Pour un contact ohmique, la résistance totale d'un dispositif TLM linéaire est donnée par la relation suivante :

$$R_{tot}(d) = \frac{R_{sh}}{W} \cdot d + 2R_C \qquad (18)$$

En connaissant la largeur de l'électrode, R_{sh} et R_C peuvent être déterminés par régression linéaire. La littérature précise que R_C peut également être calculé en introduisant le paramètre de longueur de transfert effective L_t [*Reeves_1982*]. Ce paramètre clé représente la longueur caractéristique sur laquelle la majorité du courant est transférée de la couche semi-conductrice vers le métal de contact, ou vice-versa. L'équation est la suivante :

$$R_C = \frac{R_{sh} \cdot L_t}{W} coth\left(\frac{L}{L_t}\right) \qquad (19)$$

avec $coth(L/L_t)$ représentant la longueur caractéristique de la région de contact.

Cette équation décrit comment la géométrie du contact (L et W) et les propriétés du matériau semi-conducteur (R_{sh} et L_t) influencent la résistance de contact. Lorsque $L \gg L_t$, le courant sous le contact est non uniforme et décroît de manière exponentielle avec la distance, ce qui entraîne une résistance de contact plus faible. En revanche, lorsque $L \ll L_t$, le courant se répartit uniformément sur toute la surface du contact sans pouvoir y être totalement transféré, ce qui conduit à une résistance de contact plus élevée.

Par la suite, ayant obtenu les valeurs de R_{sh} et de R_C à partir de l'équation (18) via la régression linéaire, la valeur de L_t peut être déterminée en résolvant l'équation (19). Il existe également une approche alternative pour estimer L_t en considérant l'ordonnée à l'origine et la pente de la courbe $R_{tot}(d)$, on a alors : $L_t \approx \frac{1}{2} \cdot \frac{ordonnée\ origine}{pente} \approx \frac{R_C \cdot W}{R_{sh}}$

Le terme *coth(L/L$_t$)* n'étant cependant pas considéré, cette manière d'évaluer L_t est sujette à des approximations pouvant par la suite fausser le calcul de la résistivité spécifique de contact ρ_c. En effet, celle-ci est finalement calculée grâce à l'équation ci-après :

$$\rho_c = R_{sh} \cdot {L_t}^2 \tag{20}$$

Les structures TLM ont été réalisées selon une intégration lift-off sur une des plateformes dites « souples » du LETI. Les empilements InP/InGaAs de départ, épitaxiés par MBE, sont présentés ci-dessous (Figure 52). Les couches InP-N^+, InGaAs-N^+ et InGaAs-P^{++} sont respectivement dopées 1.5×10^{19}, 5.0×10^{19} et 8.0×10^{19} cm^{-3}. Les épaisseurs des couches InGaAs d'intérêt correspondent à l'épaisseur nominale des couches de contact émetteur, collecteur et base d'un transistor InP-DHBT pouvant atteindre des performances THz.

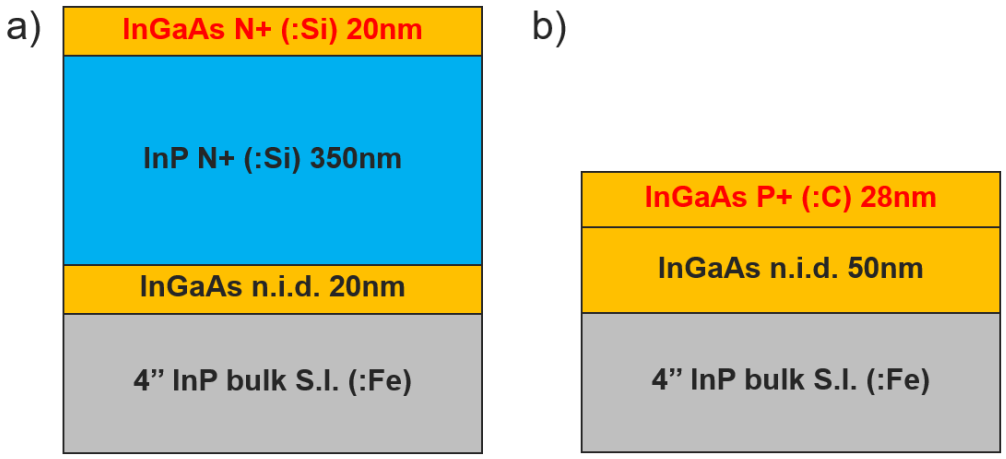

Figure 52 : Empilements InP/InGaAs de départ pour la fabrication de TLM linéaires sur (a) InGaAs-N^+ et (b) InGaAs-P^{++}, sur une plateforme dites « souple ».

Le procédé de fabrication commence par le dépôt d'une résine négative sur la surface des échantillons, suivi d'une étape de photolithographie et de développement afin de réaliser les cavités de contact. Suite à la désoxydation ex-situ de la surface via un nettoyage humide HCl 1:10 pendant 1min, 10 ou 20nm de métal de contact est déposé par évaporation ou par PVD, suivi d'un capping PVD TiN 8nm pour limiter la diffusion des espèces et d'un empilement Ti 30nm / Al 200nm par évaporation afin de former les pads de contact. Le lift-off est ensuite réalisé dans de l'acétone afin de retirer la résine et de ne conserver que l'empilement métallique ayant été déposé dans les cavités. Une deuxième étape de photolithographie est alors menée pour préparer la gravure par plasma à couplage inductif (Inductively Coupled Plasma, ICP) des mésas des structures TLM. Suite à la gravure, un stripping O_2 permet alors de retirer la résine restante. Les dispositifs TLM résultant, avec des pads de contact 100x100 µm² et une distance d'espacement variant de 40 à 140µm, sont ensuite prêts à être caractérisés électriquement.

Les métaux de contact compatibles CMOS choisis pour cette première étude sont :

- le Ti, métal de contact de référence dans les dispositifs comprenant des semi-conducteurs III-V,
- le W, métal réfractaire thermiquement stable,
- le Mo, pour la même raison,
- le Ni, métal pouvant former une phase interfaciale favorable à l'ohmicité du contact (Ni-InGaAs) dès les basses températures [*Abraham_2014*].

Les attentes pour ces premiers dispositifs TLM utilisant des métallisations compatibles CMOS sont alors de démontrer la stabilité des contacts jusqu'à des températures de 400 à 450 °C, tout en atteignant une résistivité spécifique ρ_c inférieure ou égale à 10^{-6} Ω*cm². Ces températures correspondent en effet à celles typiquement rencontrées lors des étapes de Back-End-Of-Line (BEOL) dans les procédés industriels CMOS. Par ailleurs, une amélioration d'un à deux ordres de grandeur de la résistivité est attendue pour les futurs dispositifs TLM de dimensions réduites, qui seront fabriqués sur la plateforme silicium 200 mm du LETI. En effet, l'utilisation de procédés plus matures et mieux maîtrisés (préparation de surface, dépôt, gravure, etc…) rendue possible par les équipements 200 mm, ainsi que la conception de structures TLM présentant des dimensions plus adaptées à la mesure de contacts potentiellement très peu résistifs, ont déjà permis d'obtenir des résistivités plus faibles par le passé [*Rodriguez_2020*]. Ces considérations motivent ainsi l'objectif fixé de $\rho_c \leq 10^{-6}$ Ω*cm² pour cette première étude.

Les mesures des caractéristiques I-V ont été menées sur le prober PM8A disposant de pointes manuelles. La plage de tension [-1 ; 1] V est définie et la méthodologie TLM est appliquée sur les résultats afin d'extraire la résistivité spécifique de contact des différents échantillons. Une première campagne de mesure est d'abord effectuée sur les échantillons avant toute application de recuit RTA (Rapid Thermal Annealing). Par la suite, différents recuits RTA de 1 min sous atmosphère N_2 ont été réalisés, avec des températures allant de 300 jusqu'à 450°C. Les résultats obtenus sont regroupés dans la Figure 53.

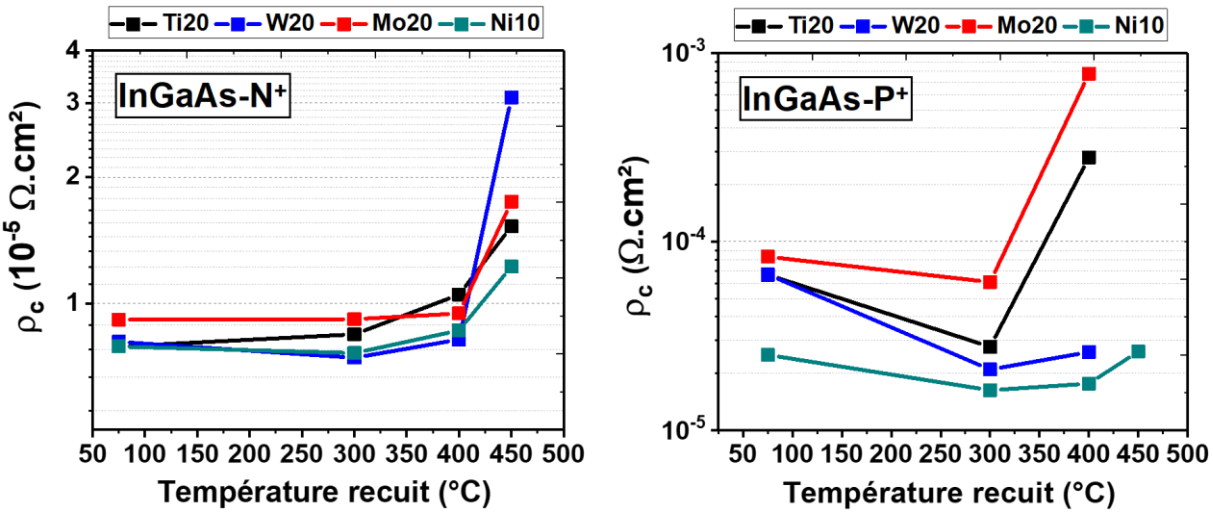

Figure 53 : Résistivités spécifiques de contact en fonction de la température de recuit RTA et du métal de contact sur InGaAs-N^+ (gauche) et InGaAs-P^{++} (droite).

Pour les contacts réalisés sur InGaAs-N^+, des valeurs de résistivités de contact aussi basses que 7.61×10^{-6} et 7.43×10^{-6} Ω*cm² ont pu être obtenues, respectivement pour les métaux de contact Ni 10nm et W 20nm recuits à 300°C. De manière générale, les différents résultats sont très similaires jusqu'à 300°C, avec des valeurs comprises entre 7.43×10^{-6} et 9.17×10^{-6} Ω*cm². Cela montre une bonne robustesse des contacts jusqu'à cette température. Un léger début de dégradation de la résistivité apparaît ensuite à partir de 400°C, celui-ci s'accentuant pour toutes les différentes métallisations à 450°C jusqu'à une valeur maximum de 3.10×10^{-5} Ω*cm² pour le contact W 20nm. Concernant les contacts sur InGaAs-P^{++}, une valeur minimum de 1.63×10^{-5} Ω*cm² a été obtenue pour le métal de contact Ni 10nm recuit à 300°C. Cette température de recuit correspond par ailleurs aux plus basses résistivités pour chacune des métallisations. Une forte dégradation est ensuite notable à partir de 400°C pour les contacts Mo 20nm et Ti 20nm, mais celle-ci est cependant très faible pour les contacts W 20nm et Ni 10nm. Un résultat après recuit à 450°C a également pu être obtenu pour le contact Ni, avec une valeur de résistivité proche de celle obtenue avant l'application de traitement thermique. Il semblerait donc que le Ni soit un bon candidat pour un contact stable en température sur InGaAs-P^{++}.

Deux points principaux peuvent alors être retenus de ces premiers résultats TLM sur InGaAs. Premièrement, la résistivité de contact des différentes métallisations ne subit pas de dégradation majeure pour des recuits inférieurs ou égaux à 300°C, et jusqu'à 400°C sur InGaAs-N^+. La raison pour laquelle une forte dégradation survient dès 400°C pour les métallisations Ti et Mo uniquement sur InGaAs-P^{++} n'est pas vraiment claire et demanderait une analyse plus approfondie. Deuxièmement, il n'est finalement pas vraiment possible de dégager une tendance électrique claire de ces mesures préliminaires. En effet, les différentes valeurs de résistivité de contact extraites semblent limitées à ~7.5×10^{-6} Ω*cm² sur InGaAs-N^+ et 10^{-5} Ω*cm² sur InGaAs-P^{++}, peu importe la métallisation. Or il est possible de trouver dans la littérature plusieurs exemples de faibles résistivités obtenues avec des métaux de contact similaires [*Baraskar_2010, Abraham_2014, Bengi_2011, Lobisser_2011, Mehari_2012*]. Plusieurs hypothèses pourraient alors expliquer ces limitations. Cela peut tout d'abord être lié au temps de transfert de l'échantillon jusqu'à l'équipement de dépôt, et de sa mise sous vide lente à la suite du nettoyage de surface humide HCl ex-situ. Les semi-conducteurs III-V sont connus pour

ré-oxyder très rapidement en surface, il est donc possible qu'une couche d'oxyde soit responsable de la limitation des valeurs de résistivité de contact extraites. Cette limitation pourrait également provenir de la résolution du masque de lithographie utilisé et de la dimension des dispositifs TLM réalisés, notamment la longueur d'espacement entre les contacts (de 40 à 140µm ici), qui n'est pas idéale pour caractériser des contacts potentiellement peu résistifs. En effet, comme le montrent les équations (18) et (19) ci-dessus, si l'espacement d est trop grand par rapport à la longueur de transfert effective L_T, la variation de résistance totale mesurée est alors dominée par le terme linéique $(R_{sh}/W)\times d$ et le terme $2R_C$ devient difficile à extraire précisément.

Un exemple est proposé ci-après pour illustrer le propos (Tableau 5). Pour cela, il est nécessaire de fixer arbitrairement les valeurs des différents paramètres. Soit un contact de dimensions L=1µm et W=5 µm, réalisé sur une couche semi-conductrice assez résistive, par exemple R_{sh}=1000 Ω/□. On imagine que la longueur de transfert effective représentative de ce contact est L_T = 200 nm. D'après l'équation (20) ci-dessus, la résistivité de ce contact serait donc assez faible : $\rho_c = 4.0\times10^{-7}$ Ω*cm². On considère dans un premier temps une distance d'espacement d = 10 µm, soit un facteur 50 par rapport à L_T. Dans un second temps, un facteur 5 est considéré, soit d = 1 µm. D'après les équations (18) et (19), on obtient alors les résultats suivants, voir Tableau 5.

Tableau 5 : Contribution du terme ($2\times R_C$) dans la valeur de R_{tot} en fonction de la distance d'espacement entre les contacts, pour L_T = 200nm et d'autres valeurs de paramètres choisies arbitrairement, à des fins d'illustrations.

L_T (nm)	d (µm)	R_C (Ω)	R_{tot} (Ω)	Contribution du terme ($2\times R_C$) dans R_{tot}
200	10	40	2080	3.85 %
	1		280	28.6 %

On constate ainsi que plus la distance d'espacement est grande par rapport à la longueur de transfert effective du contact, moins le terme $2\times R_C$ contribue à la valeur de R_{tot}. Cela peut alors augmenter l'incertitude sur la valeur de R_C lors de l'extraction.

De manière générale, la réalisation de dispositifs TLM via une intégration de type lift-off sur une plateforme « souple » ne permet pas de pleinement tirer parti des procédés de préparation de surface, de dépôt ou encore de gravure les plus maîtrisés, aboutis et reproductibles. Cette approche peut donc limiter les meilleures performances électriques atteignables. À l'inverse, les équipements disponibles dans les plateformes silicium 200/300mm offrent une bien meilleure maîtrise de ces étapes technologiques. Afin de pousser plus loin la caractérisation électrique de métallisations de contact compatibles CMOS, mais également dans le but de se rapprocher de la voie d'intégration choisie pour la filière InP-DHBT sur silicium développée en parallèle, des véhicules de test plus adaptés ont été conçus. Leur fabrication a été réalisée sur substrat silicium 200mm afin de pouvoir pleinement bénéficier des procédés CMOS disponibles. Cela a également autorisé l'emploi d'un jeu de masques permettant la réduction des dimensions des dispositifs TLM réalisés, les rendant ainsi plus cohérentes vis-à-vis des dimensions de contact visées pour le transistor.

3.2.2 Dispositifs TLM intégrés sur substrat silicium 200mm et réalisés en plateforme Si-CMOS (TASP v1)

3.2.2.1 Fabrication des dispositifs TLM

L'approche retenue pour la fabrication de ces nouveaux véhicules de test est le report d'un empilement technologique InGaAs/InP 4" sur substrat Si 200mm par collage oxyde-oxyde, similaire à l'approche choisie pour la réalisation du transistor InP-DHBT (cf. partie 2.3). Cela permet d'obtenir une épitaxie III-V dénuée de défauts liés à une croissance directe sur silicium. Le collage est rendu plus robuste suite à l'application d'un traitement thermique, ce qui lui permet de résister aux contraintes (mécaniques, thermiques) apportées par les différents procédés de fabrication à venir.

La technique d'épitaxie par jet moléculaire (MBE) est employée pour la croissance de l'empilement technologique InGaAs/InP d'intérêt sur substrat InP (:Fe) 4". Celle-ci est réalisée en inverse afin de limiter le nombre d'étapes et les risques technologiques associés en vue de son futur collage sur le wafer Si 200mm. L'empilement inclut la couche de contact InGaAs-N^+ 20nm ou InGaAs-P^{++} 28nm, ce qui correspondant respectivement à l'épaisseur nominale de la couche de contact pour l'émetteur/collecteur et pour la base d'un InP-DHBT visant les performances THz. En partant du substrat InP, l'empilement technologique se compose tout d'abord d'une couche d'arrêt de gravure InGaAs n.i.d. de 50nm, suivie d'une seconde couche d'arrêt de gravure InP n.i.d. de 20nm. La suite diffère en fonction de la structure considérée :

- Pour celle destinée à l'étude du contact sur n-InGaAs, l'empilement se poursuit par la couche de contact $In_{0.53}Ga_{0.47}As$ N^+ (:Si) dopée 5.0×10^{19} cm^{-3}, suivie d'une couche InP-N^+ (:Si) de 50nm dopée 1.5×10^{19} cm^{-3}, puis d'une troisième couche d'arrêt de gravure InGaAs n.i.d. de 20nm.
- Pour celle destinée à l'étude du contact sur p-InGaAs, l'empilement se poursuit par la couche de contact $In_xGa_{1-x}As$ P^{++} (:C) dopée 8.0×10^{19} cm^{-3}, *x* variant linéairement de 0.47 à 0.53 entre le bas et le haut de la couche.

Enfin, on retrouve au sommet de l'empilement des deux structures une couche de liaison InP n.i.d. de 50nm vouée à accueillir l'oxyde d'adhésion, en l'occurrence du SiO_2 PECVD. Suite au dépôt de ce-dernier, l'empilement III-V 4" est retourné puis collé sur le wafer Si 200mm. Le substrat InP, se situant désormais en haut de la structure, ainsi que la couche InGaAs n.i.d. sous-jacente, sont alors retirés par une combinaison de « grinding » et de gravures chimiques. Les deux structures ainsi que les étapes décrites jusqu'ici sont représentées dans la Figure 54.

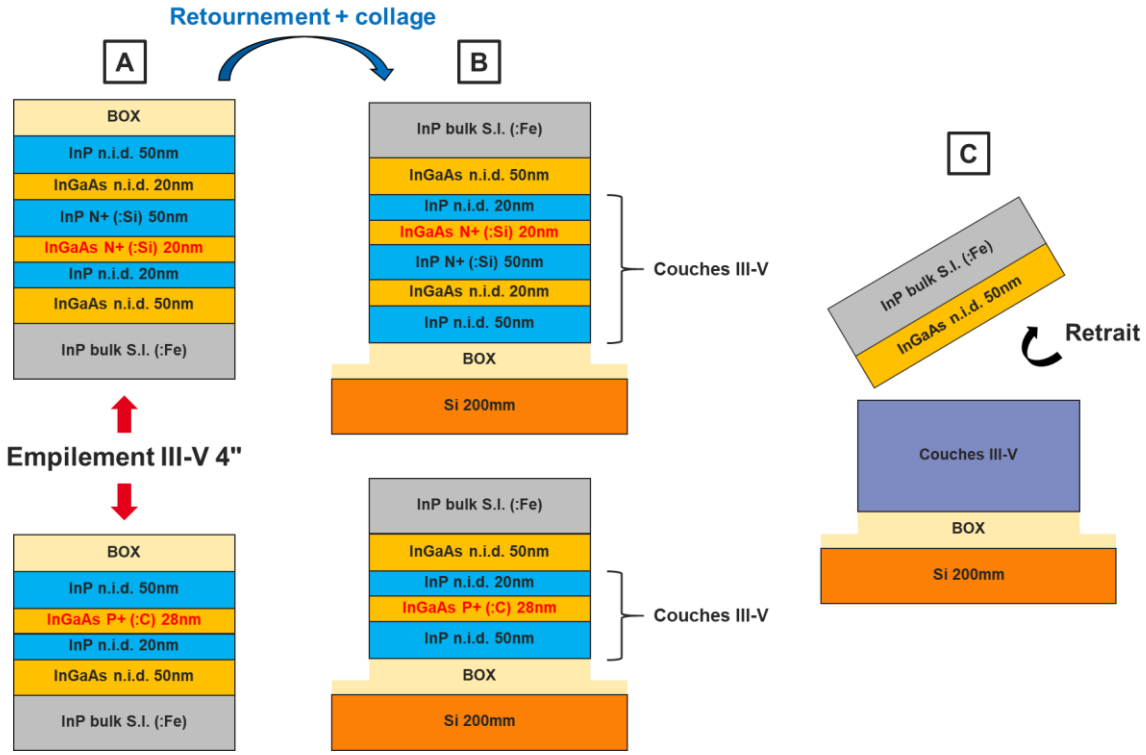

Figure 54 : Représentation schématique des deux empilements III-V et des étapes initiales pour la réalisation des dispositifs TLM dans le cadre des lots TASP.

Afin de réaliser les dispositifs TLM, le masque TASP, développé au LETI lors de précédentes études de contact visant des applications en photonique, a été réemployé dans le cadre de ces travaux (Figure 55). L'utilisation de ce masque a ainsi donné son nom à ces lots d'étude. Les dimensions de contact des dispositifs TLM réalisés varient de 5×5 jusqu'à 0.35×0.35 µm² et la distance d'espacement entre les contacts varie quant à elle de 1.5 jusqu'à 43 µm selon les différents motifs, du haut vers le bas.

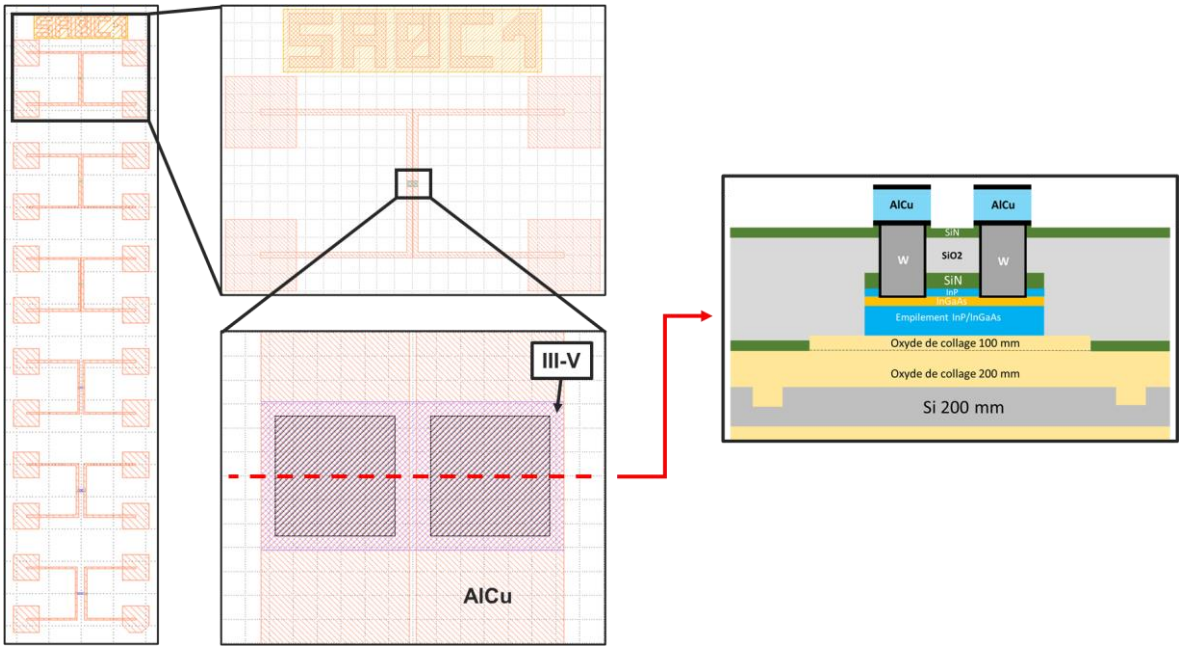

Figure 55 : Aperçu des barrettes de motifs TLM telles que définies sur le masque TASP, et vue schématique de la coupe longitudinale d'un dispositif TLM.

Les dispositifs TLM sont ensuite fabriqués sur la plateforme Si 200mm du LETI, selon une approche Damascene décrite au cours des prochaines lignes et schématisée dans la Figure 56 ci-dessous. Pour cela, les zones actives III-V sont dans un premier temps définies via le dépôt d'un masque dur SiN conforme 300°C **(a)** permettant la gravure sèche HBr de tout l'empilement, avec arrêt sur l'oxyde de collage **(b)**. Les zones actives sont ensuite totalement encapsulées par le dépôt d'une épaisse couche de SiO_2 300°C. Une topographie en forme de bosse est alors engendrée par la présence de l'empilement III-V. Afin d'y remédier, un contre-masque permettant la gravure partielle du SiO_2 se situant au-dessus des zone actives est d'abord réalisé, puis une étape de CMP SiO_2 permet de retrouver une surface plane sur l'ensemble du wafer **(c)**. Le dépôt d'un second masque dur SiN 400°C **(d)** permet ensuite la formation des cavités de contact via les gravures sèches sélectives successives du SiO_2 300°C avec arrêt sur SiN, puis du SiN conforme 300°C avec arrêt sur la couche InP n.i.d. de 20nm. L'ouverture des contacts sur la couche InGaAs d'intérêt est alors réalisée via la gravure humide sélective de l'InP par rapport à l'InGaAs **(e)**. Une désoxydation de la surface de l'InGaAs est ensuite effectuée via une solution d'HCl diluée (ratio 1:10). Puis, afin d'éliminer les oxydes naturels s'étant rapidement reformés, un traitement de surface in-situ au plasma Ar est réalisé dans l'équipement de dépôt, suivi immédiatement du dépôt du métal de contact.

Les métaux de contact considérés dans le cadre de cette étude sont le Ti PVD (10 nm) et le W CVD (10 nm) :

- Si le Ti PVD Ti est utilisé pour le contact, une couche de TiN PVD ou CVD (5 nm) est ensuite ajoutée au-dessus. Les cavités de contact sont alors remplies par 500 nm de W CVD « SSW », précédé ou non d'une couche de W CVD (10 nm) **(f)**.
- Si le W CVD est utilisé pour le contact, le remplissage de la cavité par 500 nm de W CVD « SSW » est directement effectué ensuite **(f)**.

Une étape de CMP est par la suite menée afin de planariser à nouveau le wafer sur l'ensemble de sa surface, avec arrêt sur la couche SiN 400°C **(g)**. Une deuxième phase de dépôts métalliques, composée d'un empilement TiTiN / AlCu / TiTiN par PVD, est alors réalisée. Celui-ci est finalement patterné via des gravures sèches, formant ainsi les lignes de contact menant aux pads de mesure **(h)**. Le budget thermique total subi par les structures s'élève alors jusqu'à 440°C, ce qui correspond à la température de dépôt du W CVD « SSW ».

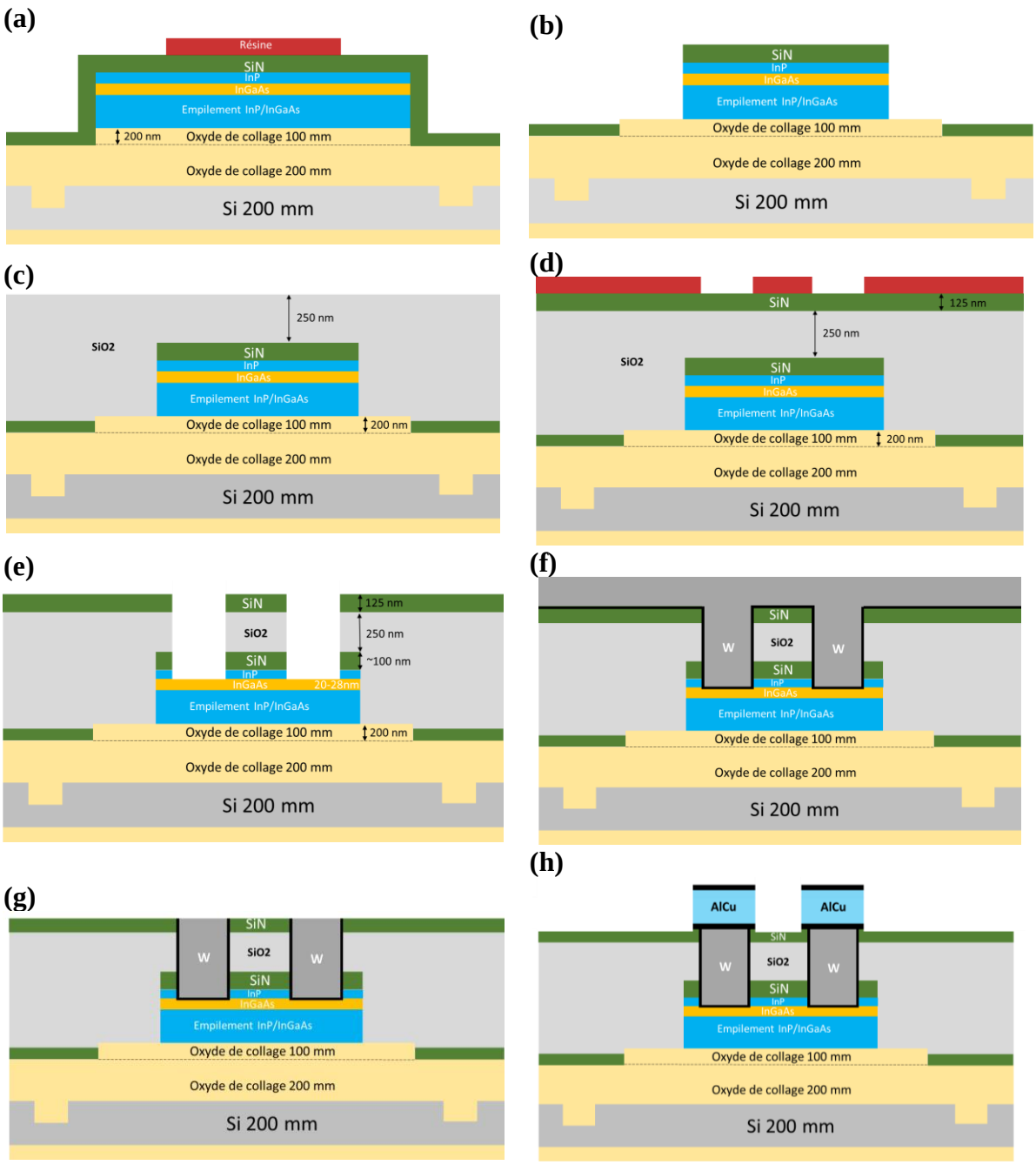

Figure 56 : Représentation schématique des différentes étapes de fabrication des dispositifs TLM dans le cadre des lots TASP.

Cependant, ce premier lot TASP a été confronté à un problème majeur de délamination au cours de sa fabrication, lors de l'étape **(f)** de la Figure 56. Cet aspect a été discuté au cours du chapitre précédent (section 2.4.1.3), et les causes de la délamination y ont été expliquées. Suite à cela, une tentative de récupération des plaques a été engagée. La réalisation d'une CMP W n'étant pas envisageable, un rinçage à l'eau déionisée (EDI) a d'abord été effectué pour retirer les couches délaminées. Cette étape a permis de constater que, sur deux des cinq plaques du lot (P06 et P12), le tungstène ne semble pas avoir délaminé dans la zone paternée de la pastille 100mm du wafer. Cela contraste avec les autres plaques, sur lesquelles le tungstène paraît totalement absent au niveau des contacts, voir Figure 57.

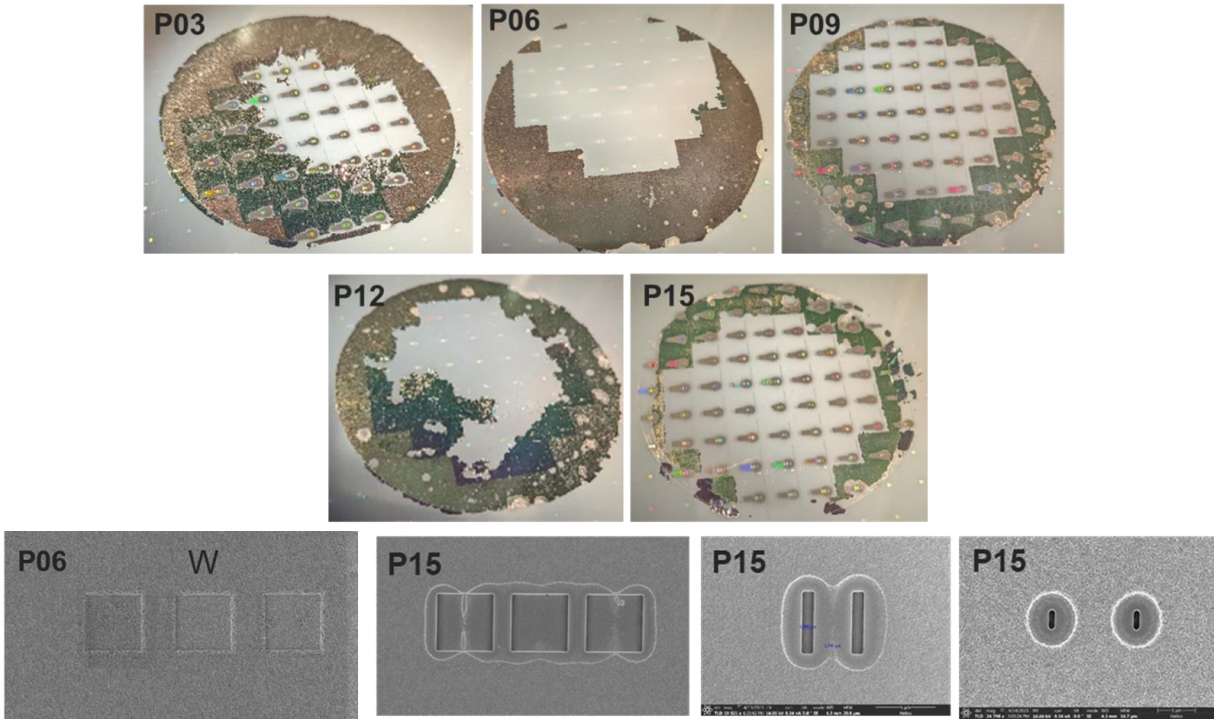

Figure 57 : Photos de l'état des plaques du lot et images MEB des contacts, suite au rinçage à l'EDI après la délamination du W.

Un empilement Ti 10nm / AlSi 440nm a ensuite été déposé, suivi d'étapes de gravure sèche permettant la définition de lignes de contact W / Ti / AlSi. Finalement, seules les deux plaques ayant conservé le tungstène dans les cavités de contact ont pu être finalisées et jugées aptes à recevoir des caractérisations électriques, bien que la structure des dispositifs TLM obtenus diffère de celle initialement prévue (voir Figure 58). Parmi ces deux plaques, l'une présente des contacts sur InGaAs-N^{+} et l'autre sur InGaAs-P^{++}. Dans les deux cas, la métallisation de contact comprend une couche de 10 nm de Ti PVD surmontée d'une barrière de 5 nm de TiN CVD.

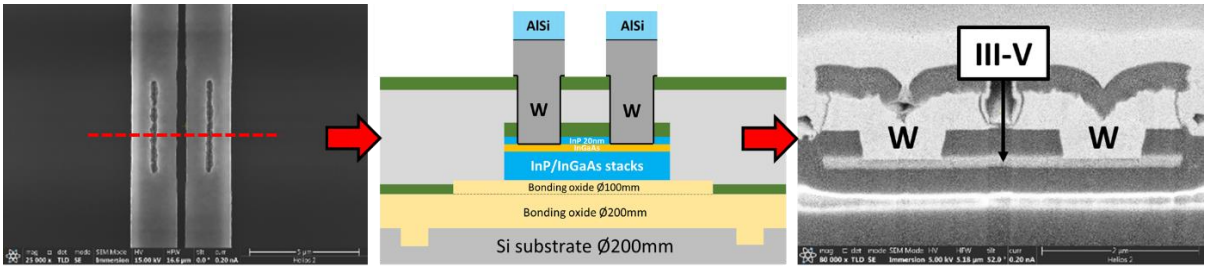

Figure 58 : Structure finale des dispositifs TLM réalisés dans cette première version du lot d'étude de contacts ohmiques TASP, suite à la récupération des plaques eu au dépôt de l'empilement Ti 10nm / AlSi 440nm.

3.2.2.2 Caractérisations électriques

La caractérisation électrique des plaques a été réalisée à l'aide du prober semi-automatique CASCADE1 (Figure 59). Les caractéristiques courant-tension (I-V) des dispositifs TLM ont été mesurées en fonction des différents motifs présents sur le masque TASP. Comme précisé précédemment, les dimensions des contacts étudiés varient de 5×5 jusqu'à 0.35×0.35 µm², tandis que les espacements entre contacts s'échelonnent de 1.5 à 43 µm. Afin d'éliminer les contributions parasites dues aux pointes et aux câbles lors des mesures, une configuration en 4 pointes a été utilisée.

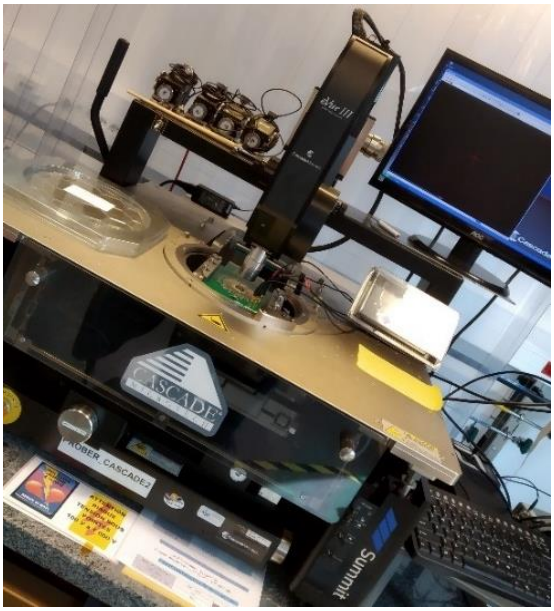

Figure 59 : Photo de du prober semi-automatique CASCADE1.

Les mesures I-V ont été réalisées selon une plage de tension allant de -2 à 2 V, avec un pas de 0.4 V. Toutefois, pour certains dispositifs TLM, une saturation du courant a été observée. Cela arrive de manière générale pour les cas les moins résistifs, c'est-à-dire lorsque les dimensions de contact sont importantes et que les espacements sont faibles. Cependant ce phénomène peut également apparaître sur des dispositifs possédant des dimensions de contact plus restreintes. À titre d'exemple, les mesures effectuées sur une structure avec des contacts de 1×1 µm² sur InGaAs-N^+ et des espacements variant de 3.5 à 43 µm montrent que la courbe I-V n'est pas linéaire pour l'espacement d_2 = 6 µm, voir Figure 60. Un aplatissement du courant est en effet visible vers les extrémités de la plage de tension, traduisant un phénomène de saturation. La densité de courant traversant le contact pour V = 2V vaut alors 8.5 mA/µm², une valeur assez importante qui explique cette saturation. Par ailleurs, la courbe I-V pour l'espacement d_1 = 3.5 µm n'avait ici pas pu être mesurée car le motif associé était défectueux. On peut alors supposer que la densité de courant y aurait été d'autant plus élevée.

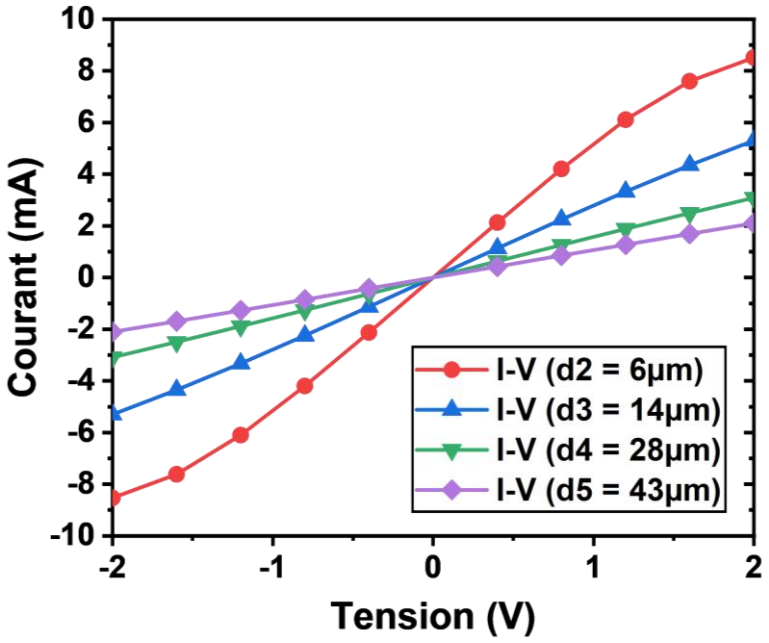

Figure 60 : Caractéristique I-V d'une structure TLM 1x1 µm² sur InGaAs-N⁺, en fonction de la distance d'espacement *d* entre les contacts. Pour d_2 = 6 µm, on constate un aplatissement du courant aux extrémités de la plage de tension.

Ce comportement peut alors compliquer l'extraction des paramètres de résistivité par la méthode TLM, celle-ci reposant sur l'hypothèse de contacts ohmiques. Néanmoins, pour pallier ce problème, il ne faut considérer que la partie linéaire des courbes concernées. Pour poursuivre sur le même exemple, sur la courbe I-V correspondant à l'espacement d_2, seules les valeurs de courant obtenues pour la plage de tension [-0.8 ; 0.8] V doivent ici être prises en compte afin de calculer la résistance totale du motif TLM. Par la suite, lorsque la régression linéaire est appliquée à la médiane des différentes résistances totales mesurées en fonction de l'espacement, une très bonne linéarité est ici obtenue (R^2 = 0.9999), voir Figure 61.

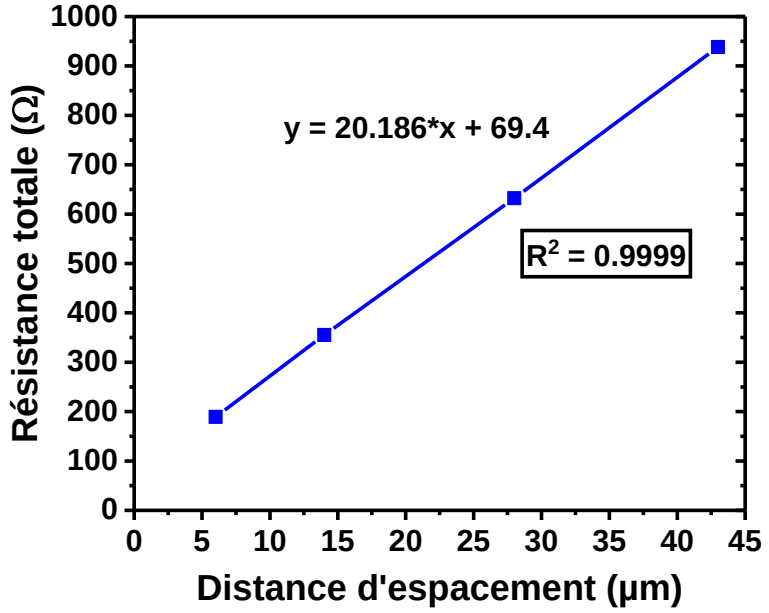

Figure 61 : Résistance totale mesurée sur la structure TLM 1x1 µm² sur InGaAs-N⁺, en fonction de la distance d'espacement entre les contacts. Un valeur R^2 = 0.9999 est obtenue en ne considérant que la partie linéaire des courbes I-V mesurées.

À l'issue de la caractérisation électrique des deux plaques et de l'application de la méthodologie TLM, les valeurs de résistivité de contact ρ_c ont pu être extraites et comparées, voir Tableau 6. Les résultats présentés résultent de la moyenne des valeurs extraites sur toutes les structures TLM de mêmes dimensions de contact. Les valeurs d'écart-type calculées reflètent donc les extrema obtenus sur chacune des dimensions. Pour les contacts sur InGaAs-N^+, toutes les différentes dimensions de contact ont pu fournir des résultats. Ce n'est cependant pas le cas pour ceux sur InGaAs-P^{++}, où seule la dimension 0.35×0.35 µm² s'est au final avérée exploitable. La valeur de ρ_c extraite dans ce cas est de $(9.31 \pm 0.62) \times 10^{-5}$ Ω*cm². En ce qui concerne les résultats obtenus sur InGaAs-N^+, il semblerait que la résistivité de contact extraite par TLM dépende fortement des dimensions du contact, avec des valeurs variant de $(1.29 \pm 0.46) \times 10^{-5}$ jusqu'à $(8.50 \pm 0.64) \times 10^{-8}$ Ω*cm² entre 5×5 et 0.35×0.35 µm². Les faibles valeurs d'écart-type montrent par ailleurs que la dispersion des résultats est relativement maîtrisée dans chaque cas, renforçant ainsi la contribution des dimensions dans les valeurs obtenues. Bien que l'ordre de grandeur de 10^{-8} Ω*cm² atteint pour 0.35×0.35 µm² est particulièrement intéressant vis-à-vis des objectifs fixés pour une application THz DHBT, il est en état impossible de parvenir à une véritable conclusion quant à la performance du contact réalisé, alors que les valeurs extraites s'étalent sur quatre ordres de grandeur.

Tableau 6 : Valeurs de ρ_c extraites par TLM des contacts Ti / TiN réalisés sur InGaAs-N^+ et InGaAs-P^{++} en fonction des dimensions du contact, dans le cadre du premier lot TASP fabriqué.

Couche contactée	**Dimensions du contact** (µm²)	**Valeurs de ρ_c extraites par TLM** (Ω.cm²)
InGaAs-N^+ 20nm	5×5	$(1.29 \pm 0.46) \times 10^{-5}$
	2.5×2.5	$(2.45 \pm 0.22) \times 10^{-6}$
	1×1	$(3.09 \pm 0.35) \times 10^{-7}$
	0.35×0.35	$(8.50 \pm 0.64) \times 10^{-8}$
InGaAs-P^{++} 28nm	0.35×0.35	$(9.31 \pm 0.62) \times 10^{-5}$

Ces résultats ont alors soulevé une importante question : la méthodologie TLM standard est-elle adaptée pour l'évaluation de contacts de très petites dimensions ? De plus, pour des raisons de règles de dessin, il s'avère que la géométrie globale des dispositifs TLM réalisés via le masque TASP présentent quelques points de divergence avec certaines des hypothèses de cette méthodologie. Ainsi, il a été entrepris de chercher un autre moyen d'interpréter les caractérisations électriques réalisées sur ces dispositifs TLM, afin de parvenir à des extractions plus précises des valeurs de résistivité. La solution trouvée utilise la simulation et se base sur des résultats obtenus au préalable par l'application de la méthodologie TLM standard. Cette méthode d'extraction novatrice est décrite dans la partie suivante.

3.3 Mise au point d'une méthodologie d'extraction numérique basée sur la TLM

3.3.1 Développement de la méthodologie numérique

Comme avancé précédemment, interpréter des résultats issus de l'application de la méthodologie TLM n'est pas trivial lorsque la structure d'évaluation s'écarte des hypothèses standards de conception et des dimensions usuellement caractérisées. Idéalement, les dispositifs TLM linéaires doivent respecter deux hypothèses fondamentales de la méthodologie TLM : la distance δ entre l'électrode métallique et les bords de la couche conductrice doit être minimale [*Berger_1969, Basset_2021*], et une seule couche doit conduire le courant sous les contacts. Dans le cas des dispositifs TLM issus du masque TASP, pour des raisons de règle de dessin, la distance δ reste constante à 0.6 µm pour chacune des dimensions de contact disponibles (Figure 62). De plus, dans le cas de contacts réalisés sur InGaAs-N^+, l'empilement technologique utilisé comprend une couche d'InP-N^+ sous-jacente. Plusieurs couches sont alors susceptibles de conduire le courant.

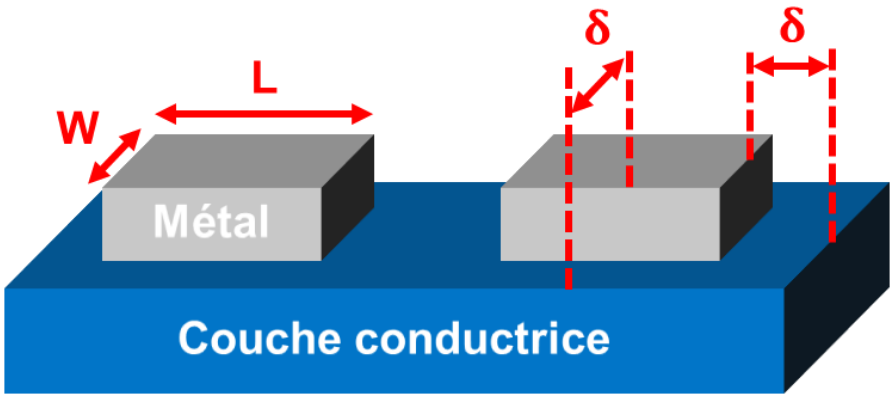

Figure 62 : Représentation schématique d'un dispositif TLM issu du masque TASP, où L = W et δ = 0.6 µm.

Bien que négligeable pour les contacts de grande taille, la contribution de la distance δ sur les valeurs extraites de résistivité doit être correctement prise en compte pour les dimensions de contact plus petites (e.g. 0.35×0.35 µm²). En effet, une conduction du courant se produisant en partie le long de la largeur du dispositif est à éviter dans le cadre de la méthodologie TLM. L'apparition de lignes de courant non rectilignes au sein de la couche conductrice peut alors survenir, ce qui peut introduire des effets parasites lors de l'analyse des données [*Basset_2021*], ou encore amener à une résistance totale mesurée n'étant pas linéaire en fonction de la distance d'espacement *d* [*Huang_1996*]. Le chemin global du courant dans la structure doit donc être correctement pris en compte, dans toutes les directions et selon l'épaisseur totale de l'ensemble des couches conductrices.

Pour répondre à cette problématique, nous avons entrepris d'utiliser COMSOL Multiphysics 6.0 pour modéliser nos dispositifs TLM. Il s'agit d'un logiciel de simulation numérique basé sur la méthode des éléments finis (FEM) et conçu pour modéliser, simuler et analyser des systèmes physiques complexes dans une grande variété de domaines scientifiques et d'ingénierie. Son principal point fort est la modélisation multiphysique, c'est-à-dire la simulation de phénomènes impliquant plusieurs domaines physiques interconnectés.

Nous avons commencé par reproduire la géométrie 3D de nos dispositifs TLM grâce à l'environnement intégré de COMSOL. Les outils de dessin mis à disposition par le logiciel permettent la réalisation ainsi que la paramétrisation des différents blocs constituant nos structures, tels que le barreau semi-conducteur ou encore les électrodes métalliques.

Afin d'évaluer la répartition du courant au sein de nos dispositifs, le module « Electric currents (ec) » a été choisi. Il s'agit d'une interface physique permettant la modélisation du courant électrique en régime stationnaire ou transitoire dans des milieux conducteurs et semi-conducteurs. Elle est généralement utilisée pour simuler des circuits électriques distribués, des composants passifs, des interconnexions ou encore des systèmes électrothermiques simples.

Cette interface simule la distribution du potentiel électrique V et des courants J dans un domaine 2D ou 3D en prenant en compte la conductivité électrique σ, les sources de courant (volumique, surfacique, etc…) les conditions aux limites imposées (potentiels, isolements, continuités, etc…) ainsi que les éventuels effets transitoires capacitifs si le courant dépend du temps. Elle repose sur les équations de base de l'électrocinétique qui sont dérivées des lois de Maxwell dans l'approximation quasi-statique, c'est-à-dire pour des fréquences basses et avec un champ électrique non variable rapidement dans le temps. L'équation fondamentale résolue par ce module est la suivante :

$$\nabla \cdot (-\sigma \nabla V) = \nabla \cdot (\sigma E) = \nabla \cdot J = -\frac{\partial \rho}{\partial t} = 0 \qquad (21)$$

où σ est la conductivité électrique (S/m), E = -∇V est le champ électrique, J est la densité de courant (A/m²) et ρ est la densité de charge (C/m^3).

Il s'agit d'une équation de Poisson ou de Laplace généralisée selon les cas, résolue pour le potentiel électrique V. Une fois V calculé, le champ électrique E et le courant J sont déduits par le logiciel.

Avant de réaliser les simulations, il est également nécessaire de définir les conditions aux limites pour notre système. Le dispositif TLM étant encapsulé dans des diélectriques (SiO_2 et SiN), toutes les différentes parois sont considérées comme totalement isolées électriquement ($n \times J = 0$), à l'exception de la partie supérieure des électrodes et des interfaces électrode/semi-conducteur. Le potentiel électrique initial est nul dans toute la structure, sauf sur la partie supérieure des deux électrodes, où il est respectivement défini à 0 V ainsi qu'à une valeur arbitraire dépendant de la plage de tension utilisée lors des caractérisations I-V. Enfin, le module « Electric currents (ec) » permet également de définir des impédances de surface, qui sont ici appliquées aux deux interfaces électrode/semi-conducteur.

Ainsi, la conductivité électrique des matériaux considérés, le potentiel imposé sur la partie supérieure de l'une des électrodes, ainsi que la valeur d'impédance de surface constituent les différents paramètres nécessaires au fonctionnement de notre modèle. Les valeurs de conductivité électrique et d'impédance de surface sont arbitrairement choisies afin de pouvoir à terme évaluer la résistance R_{sh} de la couche conductrice ainsi que la résistivité spécifique de contact ρ_c de nos structures. Cet aspect est détaillé dans la prochaine section 3.3.2.1.

Suite à l'application de cette interface sur nos dispositifs TLM précédemment reproduits dans le logiciel, on constate que la répartition du potentiel, le flux global du courant ainsi que la répartition des densités de courant dans la structure sont évalués de manière cohérente, voir Figure 63.

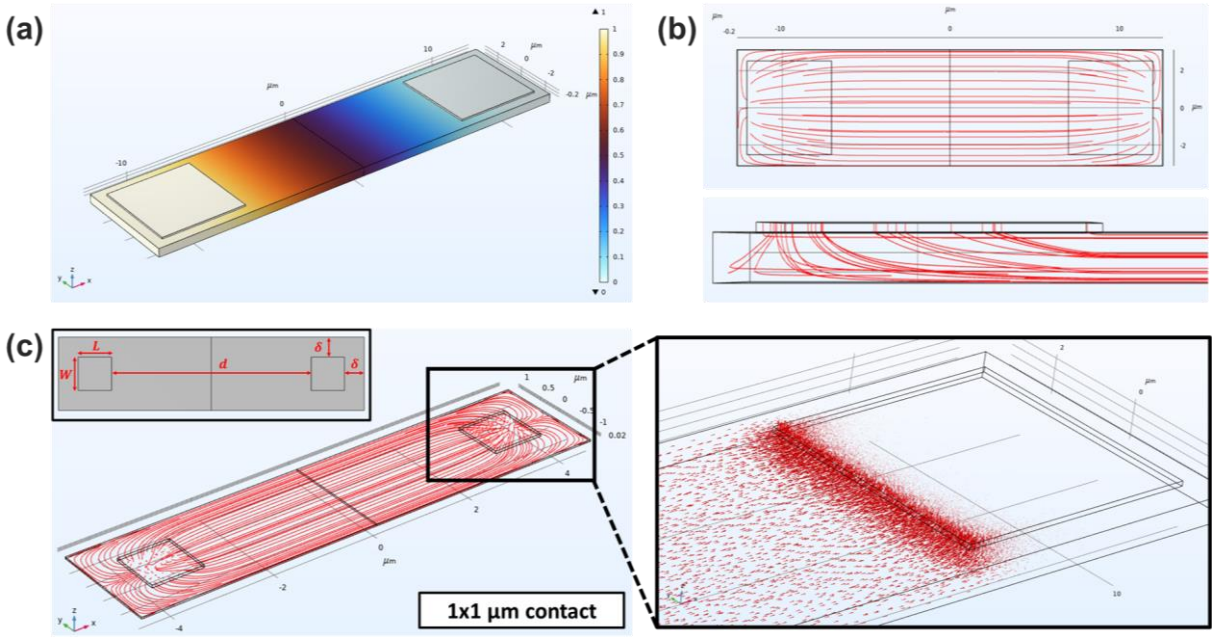

Figure 63 : Evaluation graphique (a) de la répartition du potentiel, (b) des lignes de courant et (c) de la répartition des densités de courant dans nos dispositifs TLM de dimensions réduites. La simulation est réalisée en utilisant COMSOL Multiphysics.

3.3.2 Calibrage et validation de la méthodologie numérique sur empilements n-SOI

3.3.2.1 Résistivité de contact et résistance de couche

Afin de calibrer cette méthodologie numérique d'extraction, nous l'avons d'abord appliquée à des contacts réalisés sur des empilements n-SOI issus d'un précédent projet. Ce choix s'explique par la disponibilité alors bien plus importante de résultats de mesure provenant de cette précédente étude, par rapport à ceux jusqu'alors obtenus avec nos dispositifs sur InGaAs. De plus, il s'agit d'une technologie plus mature et donc moins sujette à la variabilité, ce qui constitue une bonne base de départ pour développer une méthodologie. Les valeurs initiales de ρ_c et R_{sh} utilisées en entrée ont été extraites à l'aide de la méthodologie TLM standard, à partir de mesures réalisées sur la plus grande surface de contact disponible (5×5 µm²). Comme le montre la Figure 64, les niveaux de courant mesurés pour les contacts de plus grandes dimensions sont alors déjà correctement évalués par la simulation. En revanche, pour les dimensions plus petites comme celle correspondant à notre application cible (0.35×0.35 µm²), des écarts significatifs apparaissent aux faibles distances d'espacement *d*. Cela signifie que ces contacts ne sont pas correctement modélisés lorsque les valeurs de ρ_c et R_{sh} extraites à partir des contacts 5x5 µm² via la méthodologie TLM standard sont utilisées.

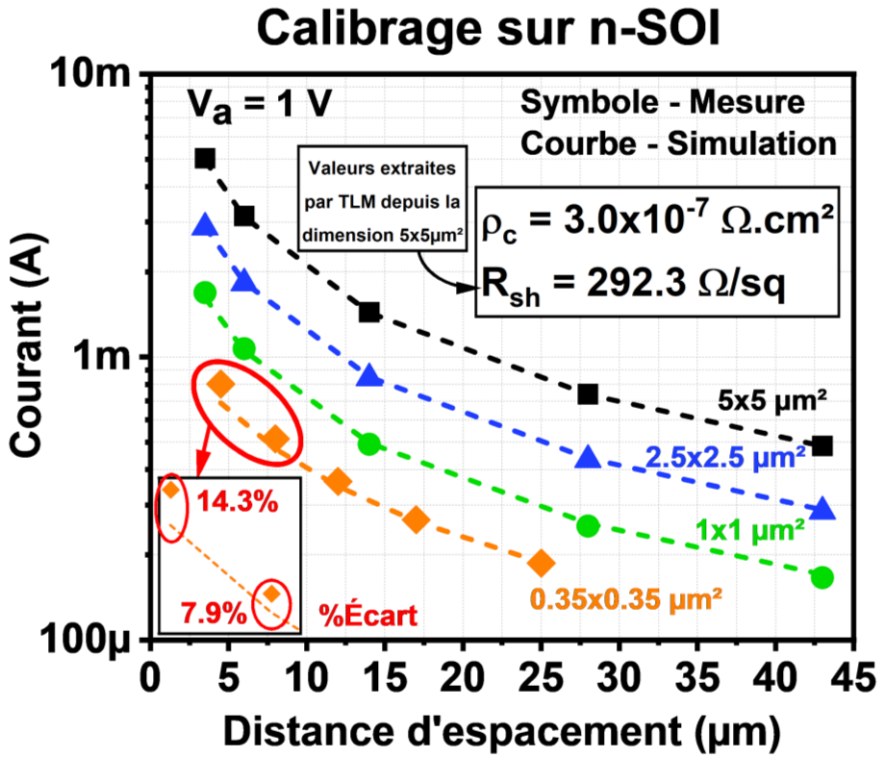

Figure 64 : Comparaison des courants électriques mesurés et simulés selon les géométries de contact, à l'aide des valeurs de ρ_c et R_{sh} extraites par TLM sur des contacts de 5x5 µm². Les contacts les plus petits ne semblent pas être modélisés avec précision et nécessitent une optimisation supplémentaire des paramètres.

Les valeurs de ρ_c et R_{sh} sont donc ajustées en entrée du modèle, en déterminant pour la géométrie 0.35×0.35 µm² leur influence respective sur les courbes obtenues par rapport aux données mesurées (Figure 65). La modification de la valeur de ρ_c semble affecter le décalage et la pente des courbes aux faibles valeurs de *d*, car la contribution relative de ce paramètre dans la résistance totale de la structure est alors plus importante. L'ajustement de la valeur de R_{sh} semble quant à elle uniquement agir sur le décalage global des courbes vers des valeurs de courant plus ou moins élevées, sa contribution relative étant proportionnelle à la distance *d*. Au vu de l'équation (18) (cf. partie 3.2.1), ces comportements pouvaient donc être attendus.

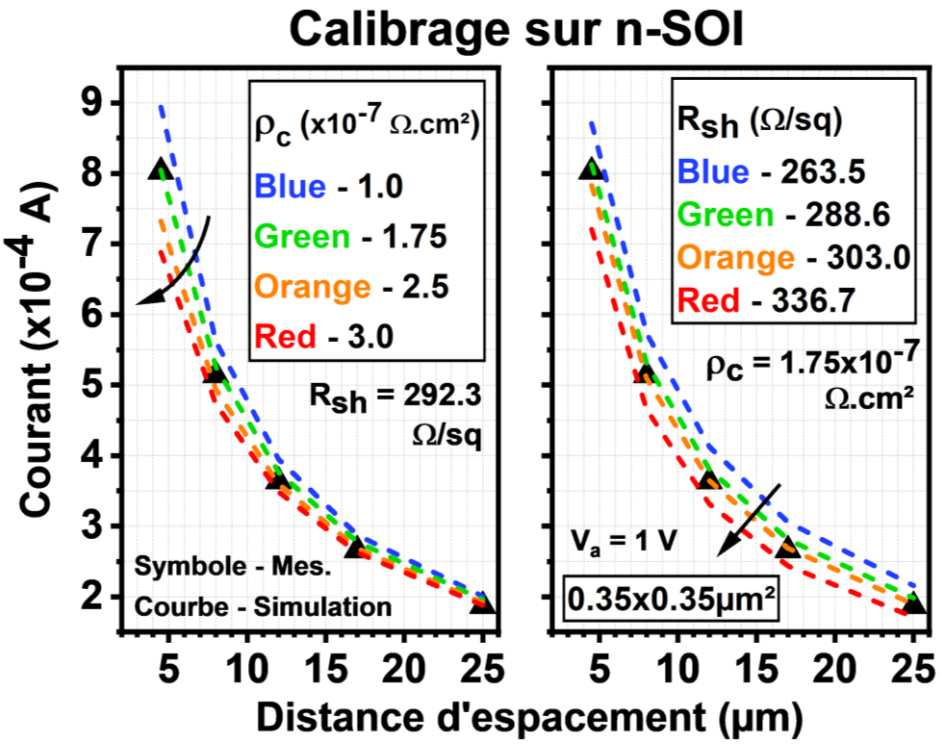

Figure 65 : Impact des modifications de la valeur de ρ_c (à gauche) et de R_{sh} (à droite) sur les courbes de courant électrique simulées.

Les deux valeurs permettant d'obtenir la meilleure correspondance entre les courbes simulées et mesurées sur l'ensemble des distances d'espacement sont alors retenues et réinjectées dans le modèle. Comme présenté en Figure 66, cela conduit alors à un couple unique de valeurs [ρ_c ; R_{sh}] permettant de faire correspondre la simulation avec les mesures pour toutes les différentes géométries de contact. La différence relative entre les données simulées et mesurées est inférieure à 3.3% pour chaque géométrie considérée. Notre modèle numérique modélise désormais correctement le contact pour toutes les dimensions.

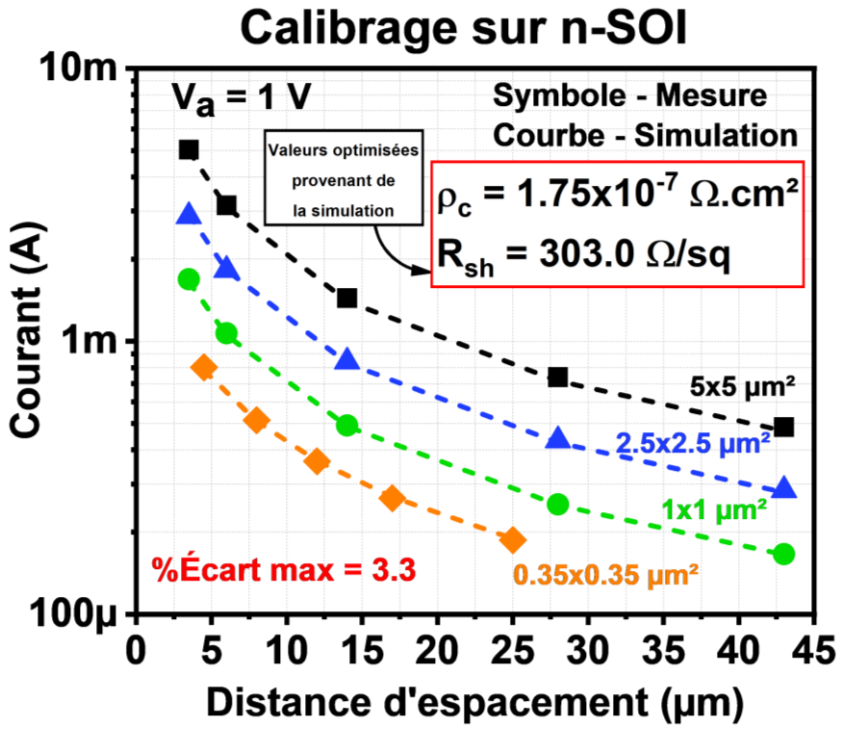

Figure 66 : Comparaison des courants électriques mesurés et simulés selon les géométries de contact, après ajustement de ρ_c et R_{sh}. Tous les contacts sont désormais correctement modélisés.

Le couple [ρ_c ; R_{sh}] obtenu est ensuite comparé aux valeurs extraites via la méthodologie TLM standard. La résistance de couche n'est différente que de +4%, tandis que la valeur de ρ_c peut être surestimée jusqu'à environ 50% en utilisant la méthodologie d'extraction TLM, selon les dimensions du contact (voir Tableau 7). Cela semble confirmer que l'interprétation TLM standard est limitée lorsque les dimensions du contact à évaluer sont réduites, comme c'est le cas pour nos véhicules de test disponibles dans les lots TASP.

Tableau 7 : Comparaison des valeurs de ρ_c extraites par TLM standard et celle obtenue via l'application de la méthodologie numérique, sur un empilement n-SOI et selon les différentes géométries de contact.

Dimensions du contact (µm²)	**Extraction de ρ_c par TLM standard** (10^{-7} Ω.cm²)	**Extraction de ρ_c par simulation** (10^{-7} Ω.cm²)	**Différence relative**
5×5	**3.04**	**1.75**	**- 42.4 %**
2.5×2.5	**3.60**		**- 51.4 %**
1×1	**2.15**		**- 18.4 %**
0.35×0.35	**1.84**		**- 4.9 %**

Une autre grandeur pouvant également être extraite via la méthodologie TLM standard est la longueur de transfert L_T. Tout comme la résistivité spécifique de contact ρ_c, celle-ci a toute son importance dans la conception des contacts de dispositifs visant les hautes performances, permettant notamment d'optimiser les dimensions afin de réduire différents effets parasites. Grâce à la méthodologie d'extraction numérique développée et présentée jusqu'ici, il est également possible de réaliser une estimation de la longueur de transfert et de la comparer aux valeurs extraites par TLM. Cet aspect est détaillé dans la prochaine section 3.3.2.2.

3.3.2.2 Longueur de transfert

La longueur de transfert L_T est définie comme étant la longueur caractéristique sur laquelle la majorité du courant est transféré de la couche semi-conductrice vers le métal de contact. Il est possible de l'évaluer grâce à la méthodologie TLM standard en déterminant les paramètres R_{sh} et R_C par régression linéaire, puis en résolvant l'équation (19) décrite en amont, qui est rappelée ci-dessous.

$$R_C = \frac{R_{sh} \cdot L_t}{W} coth\left(\frac{L}{L_t}\right) \tag{22}$$

La longueur de transfert permet ensuite de calculer la résistivité du contact, via l'équation (20) également rappelée ici.

$$\rho_c = R_{sh} \cdot {L_t}^2 \tag{23}$$

Une estimation de L_T est également réalisable en utilisant notre méthodologie d'extraction numérique, une fois les calculs de la distribution du potentiel électrique et des courants dans la structure simulée terminés. Il est en effet possible grâce à COMSOL Multiphysics de réaliser une cartographie de la densité de courant traversant une surface, puis d'exporter ces données. La procédure pour parvenir à extraire la longueur de transfert consiste alors à définir l'interface entre le contact et le semi-conducteur comme la zone à cartographier dans un premier temps. Les différentes figures et graphes présentés dans cette section ont été obtenus à partir des mêmes empilements n-SOI ayant servi à calibrer l'extraction de ρ_c dans la section précédente. Ainsi, les valeurs $\rho_c = 1.75\times10^{-7}$ Ω*cm² et $R_{sh} = 303$ Ω/□ sont celles ayant été appliquées aux structures pour évaluer L_T ici. La Figure 67 ci-dessous montre alors ce qu'il est possible d'afficher et d'extraire, en prenant comme premier exemple la dimension de contact 5×5 µm².

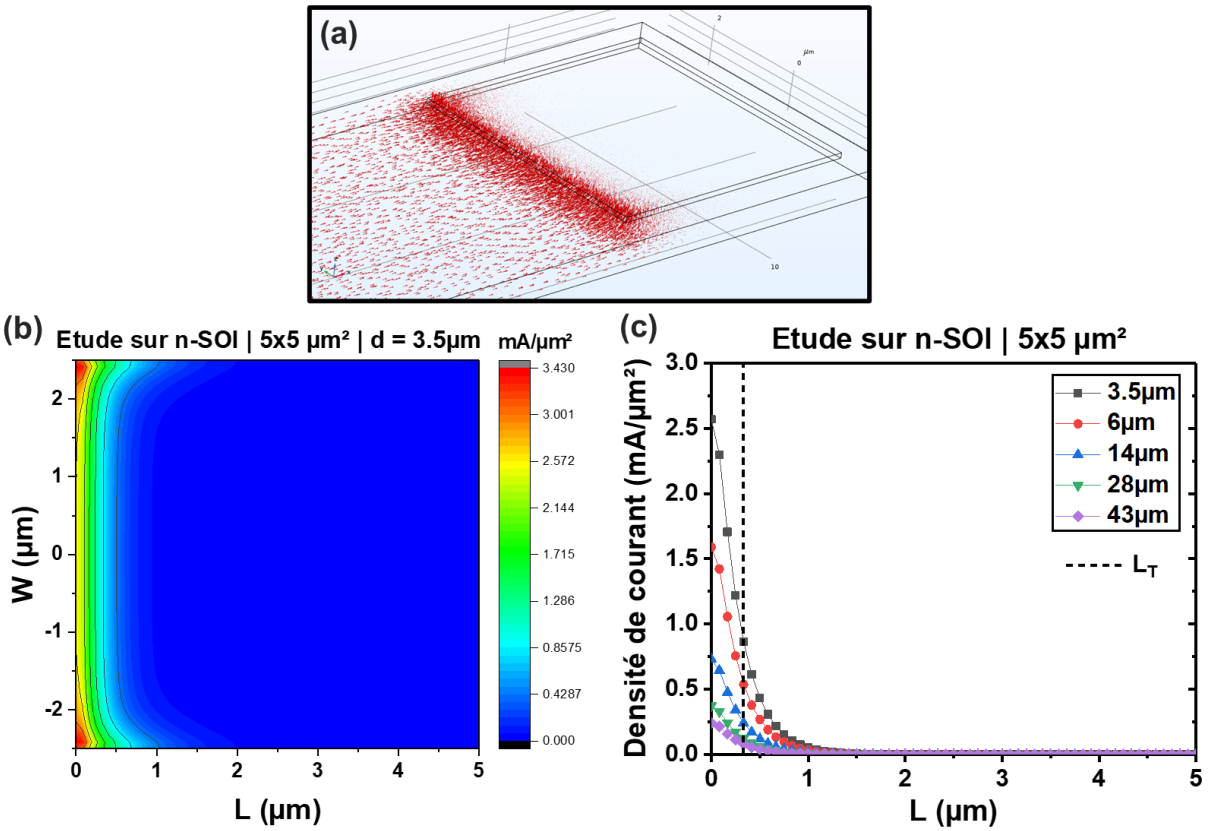

Figure 67 : (a) Densité de courant traversant la structure représentée par des flèches rouges en volume. (b) Graphique de contour de la densité de courant à l'interface de contact. (c) Densité de courant pénétrant le contact selon L et les différentes distances d'espacement *d* à W = 0 µm.

La densité de courant traversant la structure et pénétrant dans le contact est représentée par des flèches rouges en volume et peut être visualisée directement depuis la zone graphique du logiciel **(a)**. Cette densité peut ensuite être quantifiée, exportée et tracée sur un graphique de contour, avec la largeur W et la longueur L du contact sur les axes, et la densité de courant en surface suivant les lignes de contour **(b)**. Pour chacun des graphes de ce type présentés dans la suite du manuscrit, seule la cartographie obtenue pour la distance d'espacement la plus faible de la structure simulée sera montrée pour des raisons de praticité. Les graphiques de contour pour les autres distances d'espacement ont également été tracés, et seules les valeurs de densité de courant semblent changer. La répartition de la densité de courant sur la surface ne semble quant à elle ne pas être impactée pour la variation de distance entre les contacts. Enfin, il est également possible de représenter la densité de courant uniquement selon une ligne traversant l'interface de contact le long de la longueur L et en fonction des différentes distances d'espacement de la structure **(c)**. Il a été choisi de manière arbitraire de se placer à W = 0 µm dans le logiciel pour chacun des graphes de ce types, donc au niveau de la section traversant le milieu du contact. La valeur estimée de L_T est alors représentée par une droite verticale pointillée. Si la valeur de L_T n'est pas estimable – c'est-à-dire si elle est supérieure à la longueur du contact – alors une droite horizontale pointillée représente la valeur qu'aurait dû atteindre la densité de courant afin de pouvoir extraire L_T, dans le cas du plus faible espacement disponible sur la structure TLM. La méthode utilisée pour définir ces valeurs est décrite au cours des prochaines lignes. Les données simulées pour les dimensions de contact 2.5×2.5 µm², 1×1 µm² et 0.35×0.35 µm² ont également été extraites et traitées. Elles sont présentées dans la Figure 68 ci-après.

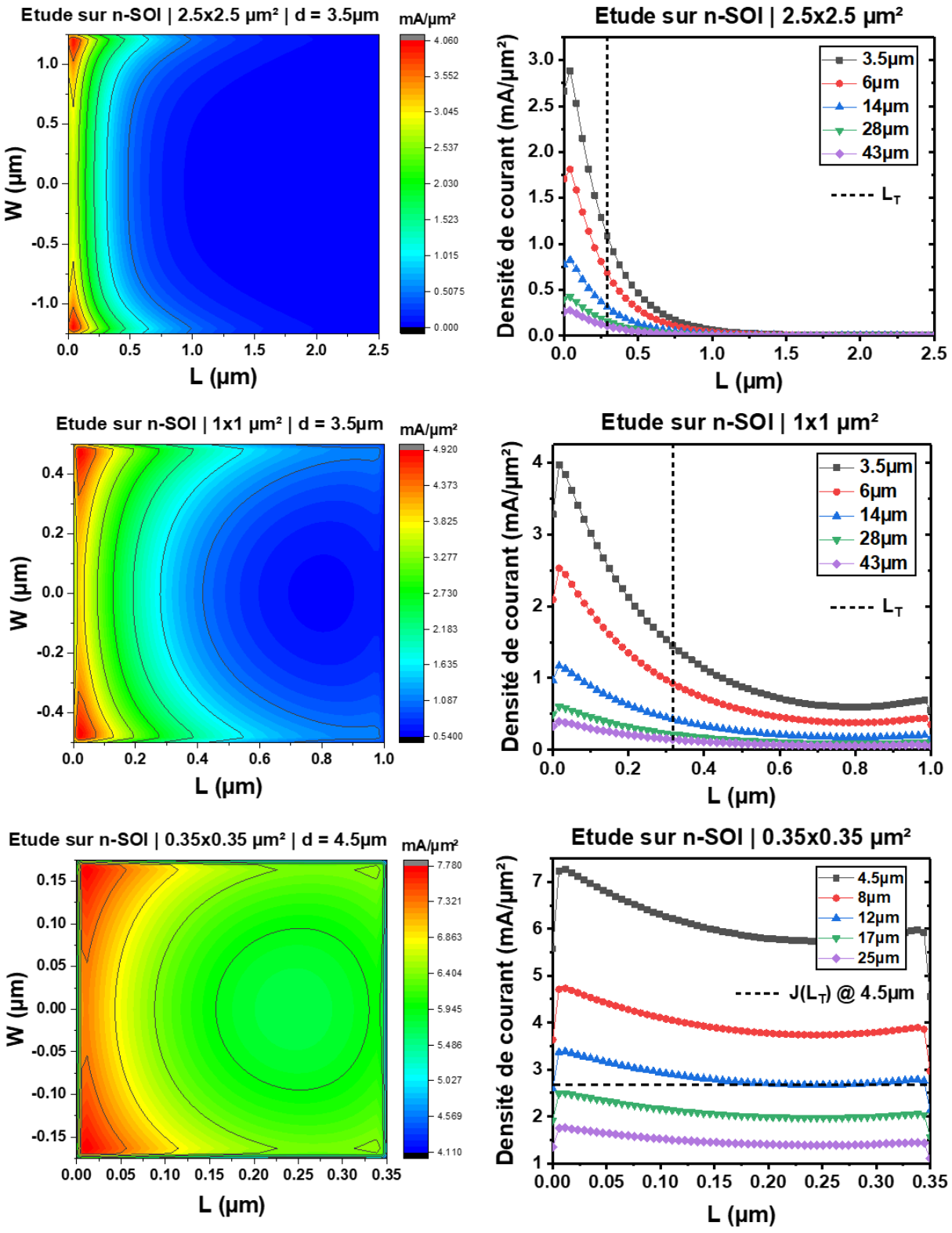

Figure 68 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour les différentes dimensions de contact.

On remarque ainsi que pour les deux plus grandes dimensions de contact, 5×5 et 2.5×2.5 µm², la densité de courant décroît rapidement et de manière exponentielle à mesure qu'elle pénètre dans le contact. Comme définit en amont dans ce manuscrit, cela laissait d'ores et déjà penser que L_T serait très inférieur à 2.5 µm ici, car la répartition du courant n'est alors pas uniforme à l'interface de contact. A partir de la dimension 1×1 µm², on constate cependant que la densité

de courant ne suit plus vraiment cette décroissance exponentielle et atteint un palier vers le bord opposé du contact. Cet aspect est largement accentué pour la dimension 0.35x0.35 µm², où la répartition de la densité de courant se rapproche d'une certaine uniformité, en particulier pour les grandes distances d'espacement. Il était donc possible d'extrapoler que la valeur de L_T se situerait proche de 0.35 µm.

Afin de réaliser une meilleure estimation de la valeur de L_T et de pouvoir l'ajouter aux graphes présentés précédemment, nous exploitons une relation qui peut être obtenue lorsque la loi d'Ohm 1D est résolue analytiquement sous le contact. La Figure 69 ci-dessous schématise le flux de courant J(x) se propageant dans un petit élément de longueur *dx* d'une couche semi-conductrice, avec une partie s'injectant dans un contact métallique situé au-dessus.

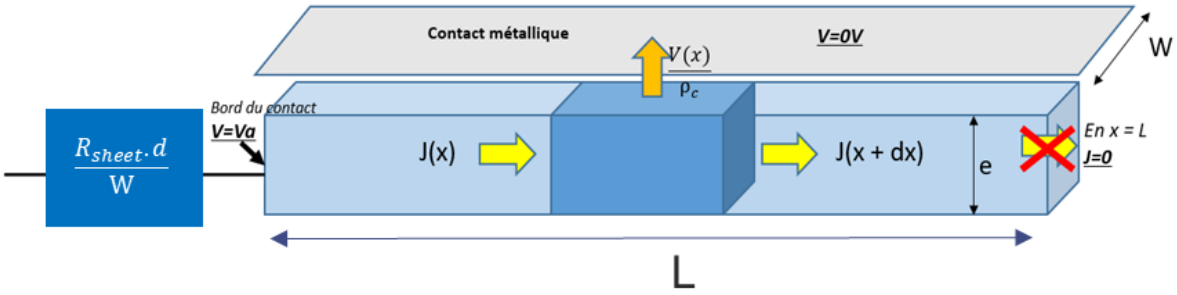

Figure 69 : Schématisation de la réparation 1D du courant sous le contact d'une structure TLM.

En considérant que ρ_c est indépendant de *x*, la partie de la densité de courant qui s'injecte dans le contact s'écrit :

$$J_s(x) = \frac{V(x)}{\rho_c} \tag{24}$$

Dans cette représentation en 1D, l'équation de bilan de la conservation des charges dans un élément de longueur *dx* s'exprime de la manière suivante :

$$\frac{dp}{dt} = [J(x) - J(x+dx)] \cdot e \cdot W - J_s(x) \cdot W \cdot dx \tag{25}$$

avec le premier terme $[J(x) - J(x+dx)] \cdot e \cdot W$ décrivant la variation du courant latéral qui traverse le volume de semi-conducteur, et le second terme $-J_s(x) \cdot W \cdot dx$ décrivant la perte (ou le gain) de courant vers le contact métallique.

En prenant la limite $dx \rightarrow 0$:

$$\frac{1}{W \cdot dx} \cdot \frac{dp}{dt} = -e \cdot \frac{dJ(x)}{dx} - J_s(x) \tag{26}$$

En régime stationnaire, $\frac{dp}{dt} = 0$, ce qui donne donc la relation suivante :

$$e \cdot \frac{dJ(x)}{dx} = -J_s(x) = -\frac{V(x)}{\rho_c} \tag{27}$$

Maintenant, la densité de courant latéral J(x) dans la couche semi-conductrice s'exprime :

$$J(x) = \sigma \cdot E(x) = \frac{1}{R_{sh} \cdot e} \cdot E(x) = -\frac{1}{R_{sh} \cdot e} \cdot \frac{dV(x)}{dx} \tag{28}$$

En reliant les équations (27) et (28), on obtient une équation de second ordre :

$$e \cdot \frac{d}{dx}\left(-\frac{1}{R_{sh} \cdot e} \cdot \frac{dV(x)}{dx}\right) = -\frac{V(x)}{\rho_c} \quad \leftrightarrow \quad \frac{d^2V(x)}{dx^2} = \frac{R_{sh}}{\rho_c} \cdot V(x) \tag{29}$$

Or comme introduit en amont : $\rho_c = R_{sh} \cdot {L_t}^2 \quad \leftrightarrow \quad {L_t}^2 = \rho_c / R_{sh}$

On obtient donc la forme canonique de l'équation (29) :

$$\frac{d^2V(x)}{dx^2} = \frac{1}{{L_t}^2} \cdot V(x) \tag{30}$$

La solution générale d'une telle équation s'exprime alors :

$$V(x) = A \cdot exp\left(-\frac{x}{L_t}\right) + B \cdot exp\left(\frac{x}{L_t}\right) \tag{31}$$

avec : $A = \frac{V_a}{1+exp(-2L/L_t)}$ et $B = \frac{V_a}{1+exp(2L/L_t)}$

Si l'on suppose que le contact en infiniment long ($L \gg L_T$), alors B = 0 et A = V_a, ce qui donne:

$$V(x) = V_a \cdot exp\left(-\frac{x}{L_t}\right) \tag{32}$$

En remplaçant dans l'équation (24), on obtient alors :

$$J_s(x) = \frac{V_a}{\rho_c} \cdot exp\left(-\frac{x}{L_t}\right) \tag{33}$$

Ainsi, en prenant $x = L_T$, la relation suivante peut être définie :

$$J_s(L_t) = \frac{J_s^0}{\exp(1)} \tag{34}$$

avec J_s^0 la densité de courant s'injectant dans le contact en x = 0.

En utilisant l'équation (34), l'estimation de la longueur de transfert est désormais possible. Pour cela, à partir des courbes de densité de courant obtenus via le modèle de simulation (Figure 67 et Figure 68), on relève la densité en entrée de contact J_s^0 et on la divise par exp(1). Le résultat donne la densité de courant pour L = L_T, qu'il est alors possible de relever en abscisse. Pour traiter ces résultats, il a arbitrairement été choisi ici de considérer J_s^0 comme la valeur maximale de densité de courant à l'entrée du contact, au lieu de prendre précisément la valeur à L = 0. En effet, selon les dimensions du contact, il apparaît que la densité de courant n'est pas maximale en entrée du contact mais peu après. Cela paraissait alors plus cohérent de considérer le maximum du courant pénétrant le contact afin d'estimer L_T.

Les résultats de l'estimation de L_T grâce au modèle de simulation sont présentés et comparés aux valeurs extraites via la méthodologie TLM standard pour les structures n-SOI considérées, voir Tableau 8.

Tableau 8 : Comparaison des longueurs de transfert extraites par TLM standard et via l'application de la méthodologie numérique simulation, sur un empilement n-SOI et selon les différentes géométries de contact.

Dimensions du contact (µm²)	**Extraction de L_T par TLM standard** (nm)	**Extraction de L_T par simulation** (nm)	**Différence relative**
5 x 5	359	333	**- 7.24 %**
2.5 x 2.5	424	292	**- 31.1 %**
1 x 1	395	317	**- 19.7 %**
0.35 x 0.35	512	Non réalisable L_t > 350nm	/

Une première observation est que l'extraction de la longueur de transfert à partir de notre modèle numérique conduit à des valeurs plus faibles et plus rapprochées entre elles que celles obtenues par la méthode TLM standard. En effet, alors que la TLM fournit pour les trois plus grandes dimensions des valeurs dispersées autour de (395 ± 36) µm, la simulation numérique donne des résultats centrés autour de (317 ± 25) µm. Concernant la dimension 0.35×0.35 µm², la méthodologie TLM permet bien d'extraire une valeur de L_T, mais celle-ci apparaît nettement plus élevée et incohérente par rapport aux valeurs obtenues pour les dimensions supérieures. Plus encore, il semble paradoxal que la méthodologie TLM puisse fournir une valeur de L_T pour un contact dont la longueur est vraisemblablement inférieure à celle-ci. Dans notre approche numérique, une telle situation est impossible : si la longueur de transfert dépasse la longueur du contact, aucune estimation précise ne peut être réalisée, puisque la densité de courant pénétrant le contact ne devient jamais inférieure ou égale à $J_s^0/\exp(1)$.

Cela amène à s'interroger : pourquoi l'extraction par simulation n'est-elle pas réalisable pour la dimension 0.35×0.35 µm², alors que les valeurs obtenues pour les dimensions plus grandes sont inférieures à 350 nm ? Une hypothèse plausible concerne l'influence de la géométrie et des dimensions du contact sur la distribution du courant à l'interface de contact. Lorsque la valeur de L_T est proche de celle de la longueur du contact, la « remontée » de densité aux abords de l'extrémité du contact pourrait alors empêcher les valeurs – en voie de devenir inférieures à $J_s^0/\exp(1)$ – d'atteindre ce seuil. Un second point à considérer est la définition du maillage de

la structure dans la simulation. En effet, l'écart entre deux valeurs de L sur les graphes des Figures 67 et 68 dépend directement du nombre de points répartis le long du contact suite au maillage. Un maillage trop grossier réduit donc la précision de l'extraction de L_T. Il est ainsi essentiel de forcer un nombre suffisant de points pour la zone de contact, typiquement de l'ordre d'une centaine.

3.3.3 Application de la méthodologie numérique d'extraction sur InGaAs-N+ (TASP v1)

Suite au développement et au calibrage de cette méthodologie numérique d'extraction des paramètres de résistivité, où des structures n-SOI ont été utilisées, nous l'avons appliqué sur les premières mesures de contacts réalisés sur n-InGaAs dans le cadre des lots TASP de la filière InP-DHBT (voir Tableau 6 dans la section 3.2.2.2). La métallisation de contact CMOS-compatible est alors Ti / TiN / W / AlSi.

Il est cependant important de préciser que compte tenu des difficultés rencontrées lors la fabrication de ces premières plaques, toutes les différentes structures TLM de mêmes dimensions de contact n'ont pas permis d'obtenir le même nombre de points de mesure. Cela signifie par exemple que parmi les structures de dimensions X×X µm², seules trois distances d'espacement sur les cinq à six disponibles sur plusieurs d'entre elles ont permis la réalisation d'une mesure I-V, les autres espacements étant défectueux. Ainsi, afin d'essayer d'extraire avec le plus de précision possible les paramètres de résistivité en appliquant notre méthodologie numérique, le choix a été fait de ne considérer que les structures TLM ayant fourni le plus de points de mesure. Cela a alors limité le nombre de dimensions de contact adressables. En effet, pour les structures TLM de dimensions de contact 2.5×2.5 µm² et 5×5 µm², pas plus de trois points de mesure n'ont malheureusement pu être obtenus. Cela a été jugé insuffisant afin de réaliser une application correcte de la méthodologie numérique d'extraction.

Nous avons donc commencé avec la dimension de contact 0.35×0.35 µm². Ce choix s'explique principalement par le fait que, lors du calibrage de notre modèle numérique sur n-SOI, il avait été établi que l'ajustement des paramètres de résistivité dans la simulation à cette dimension particulière permettait d'obtenir un couple [ρ_c ; R_{sh}] cohérent avec les autres dimensions de contact. De plus, cette dimension correspond à l'une des structures TLM pour laquelle les mesures I-V ont pu être réalisées sur les cinq espacements disponibles. Enfin, cette taille de contact est également la plus représentative des dimensions réelles du transistor, renforçant ainsi la pertinence de ce choix initial.

Premièrement, une résistance de couche de 46.87 Ω/□ s'est avérée cohérente pour faire correspondre la simulation aux mesures pour les grandes distances d'espacement. Puis, pour les faibles distances d'espacement, il a rapidement été déterminé que la résistivité spécifique de contact devait être inférieure à 1.0×10^{-7} Ω*cm² pour faire correspondre la simulation aux mesures. L'ajustement de ce paramètre, permettant de se rapprocher le plus possible des valeurs de courant mesurées, est présenté dans la Figure 70 ci-dessous.

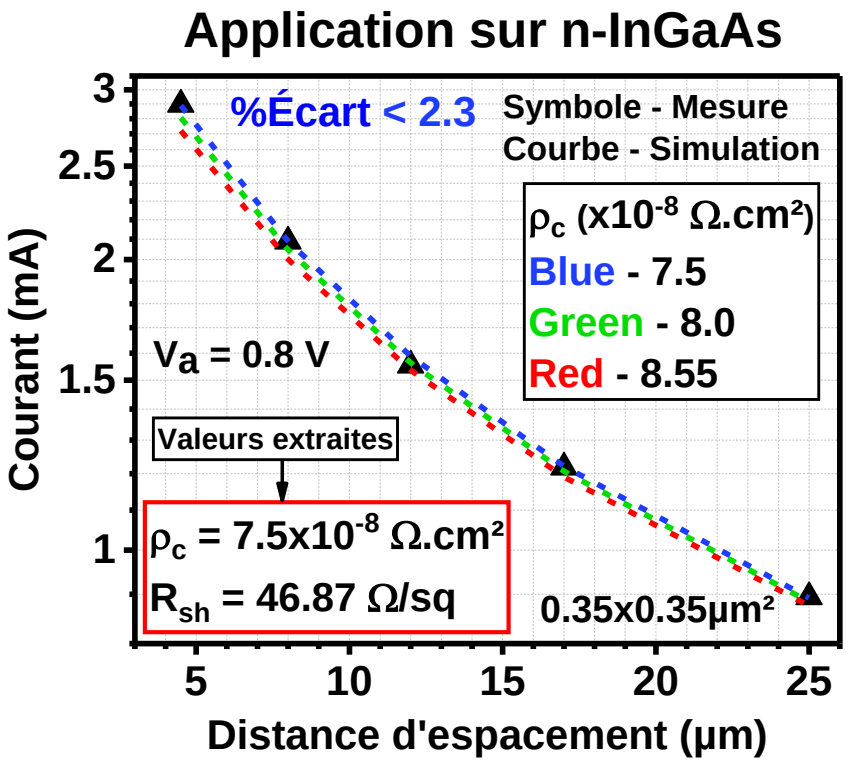

Figure 70 : Application de la méthodologie numérique d'extraction sur la dimension 0.35x0.35 µm² des structures TLM n-InGaAs provenant des lots TASP.

Comme il est possible de le constater, une réduction progressive de ρ_c jusqu'à la valeur de 7.5×10^{-8} Ω*cm² a permis de se rapprocher au mieux des valeurs de courant mesurées. Le couple [ρ_c ; R_{sh}] ainsi extrait (voir Figure 70) permet alors d'obtenir un écart inférieur à 2.3% pour chacune des valeurs simulées, par rapport aux valeurs mesurées. En comparaison avec la méthodologie TLM standard, qui avait donné $\rho_c = 8.79\times10^{-8}$ Ω*cm² pour ce même contact sur la même structure TLM considérée, un affinement de 14.7% a donc pu être obtenu grâce à l'application de la méthodologie numérique.

L'estimation de la longueur de transfert a par la suite aussi été réalisée, en conservant les valeurs de ρ_c et de R_{sh} évaluées juste avant. Comme le montre la Figure 71, la distribution de la densité de courant à l'interface de contact est quasiment homogène, attestant que la longueur de transfert est ici supérieure à 350nm. Par curiosité, en appliquant la formule $L_T = \sqrt{\rho_c/R_{sh}}$ avec les valeurs de résistivité extraites numériquement, on obtient L_T = 400 nm. Cependant la pertinence d'utiliser cette équation – provenant à la base des hypothèses de la méthodologie TLM standard – dans le cadre de la méthodologie numérique d'extraction est questionnable. A titre de comparaison, la valeur ayant été extraite en appliquant la méthodologie TLM standard était de 2.40 µm. Dans les deux cas la longueur de transfert est donc supérieure à la longueur du contact ici, mais on constate cependant une importante variation entre les valeurs.

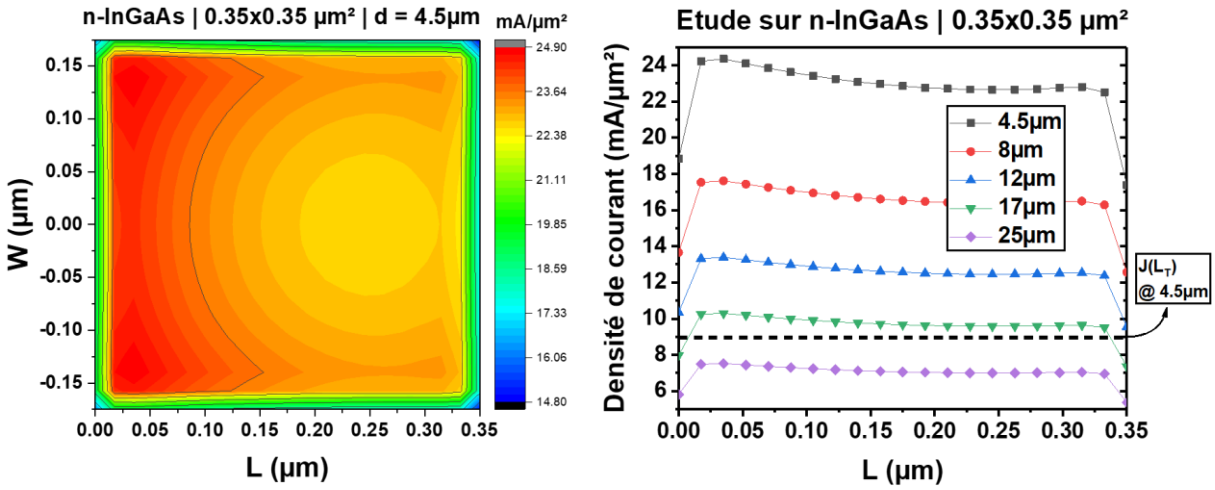

Figure 71 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour la dimension 0.35x0.35 µm² des structures TLM n-InGaAs provenant des lots TASP.

La dimension de contact 1×1 µm² a ensuite été traitée. De prime abord, contrairement au cas précédent, seuls quatre des cinq à six distances d'espacement disponibles sur les structures TLM ont pu fournir une mesure I-V. En se basant sur les valeurs de ρ_c et de R_{sh} obtenues en adressant la dimension 0.35×0.35 µm², les valeurs de courant mesurées ont également été comparées avec les valeurs simulées pour cette dimension. D'après ce qui avait pu être observé lors du calibrage du modèle numérique sur les empilements n-SOI, une bonne correspondance entre les valeurs était alors attendue, sans avoir besoin de modifier les paramètres de résistivité. Cependant cela n'a pas été le cas ici. En effet, comme illustré par la Figure 72, la valeur $\rho_c = 7.5\times10^{-8}$ Ω*cm² ne permet pas de faire correspondre toutes les valeurs simulées avec celles mesurées pour le contact 1×1 µm². Cela est représenté par l'écart grandissant entre les valeurs simulées et mesurées de courant vers les faibles distances d'espacement, jusqu'à un maximum de 20% pour *d* = 6 µm. On constate néanmoins qu'il n'y a pas de problème du côté des grands espacements, confirmant que la valeur précédemment extraite de R_{sh} est cohérente.

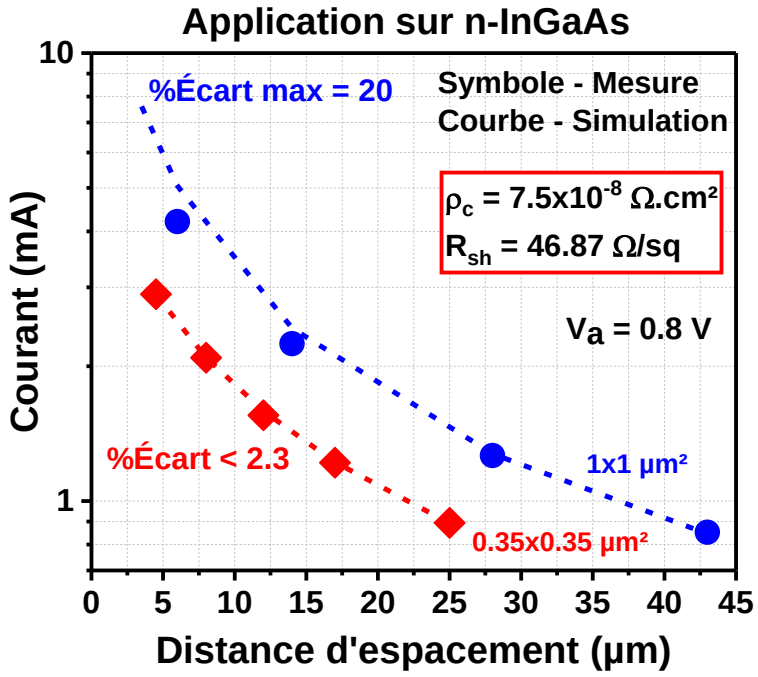

Figure 72 : Comparaison des valeurs de courant mesurées et simulées pour les dimensions de contact 1x1 et 0.35x0.35 µm², pour un certain de couple de paramètres de résistivité [ρ_c ; R_{sh}].

On peut alors s'interroger sur la raison pour laquelle la valeur de 7.5×10^{-8} Ω*cm² ne permet pas d'ajuster correctement la simulation aux mesures pour la dimension 1×1 µm². Avant de tenter d'y répondre, il a d'abord été entrepris d'évaluer quelle valeur de ρ_c permettrait d'obtenir un bon ajustement pour cette dimension. Comme l'illustre la Figure 73 ci-dessous, une excellente correspondance a pu être obtenue avec une valeur de $\rho_c = 2.5\times10^{-7}$ Ω*cm², accompagnée d'un léger ajustement de la valeur de R_{sh}.

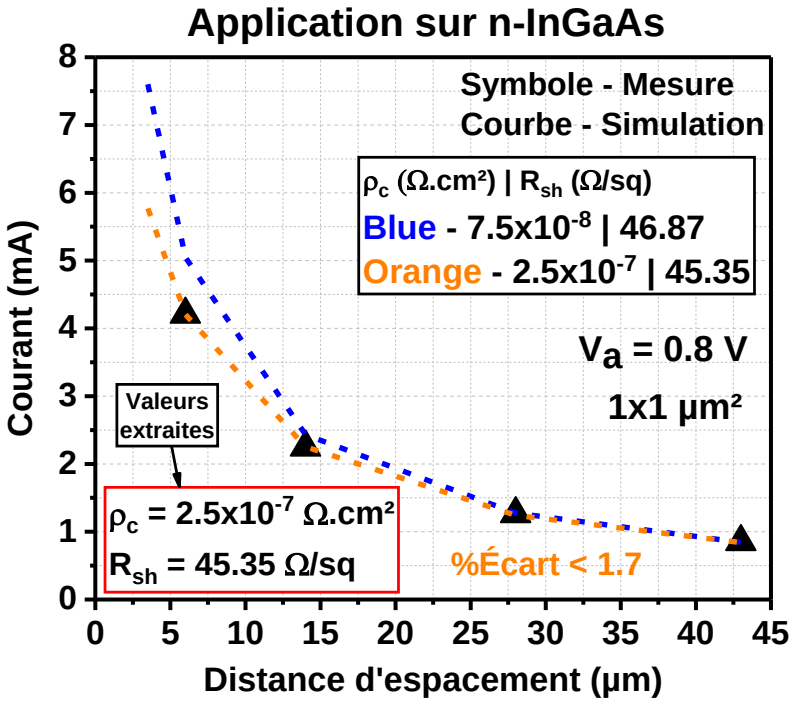

Figure 73 : Comparaison des valeurs de courant mesurées et simulées pour la dimension 1x1 µm², pour deux couples de paramètres de résistivité [ρ_c ; R_{sh}] différents.

En effet, l'écart entre les valeurs à chaque espacement est désormais inférieur à 1.7% suite à ces modifications. Si l'on compare cette nouvelle valeur extraite de ρ_c à celle obtenue via la méthodologie TLM pour la dimension 1×1 µm² sur la structure considérée, à savoir 3.13×10^{-7} Ω*cm², un affinement de 20.1% est alors réalisé. L'estimation de L_T a ensuite été réalisée en considérant les valeurs extraites dans la Figure 73. Les graphes en résultant sont présentés dans la Figure 74.

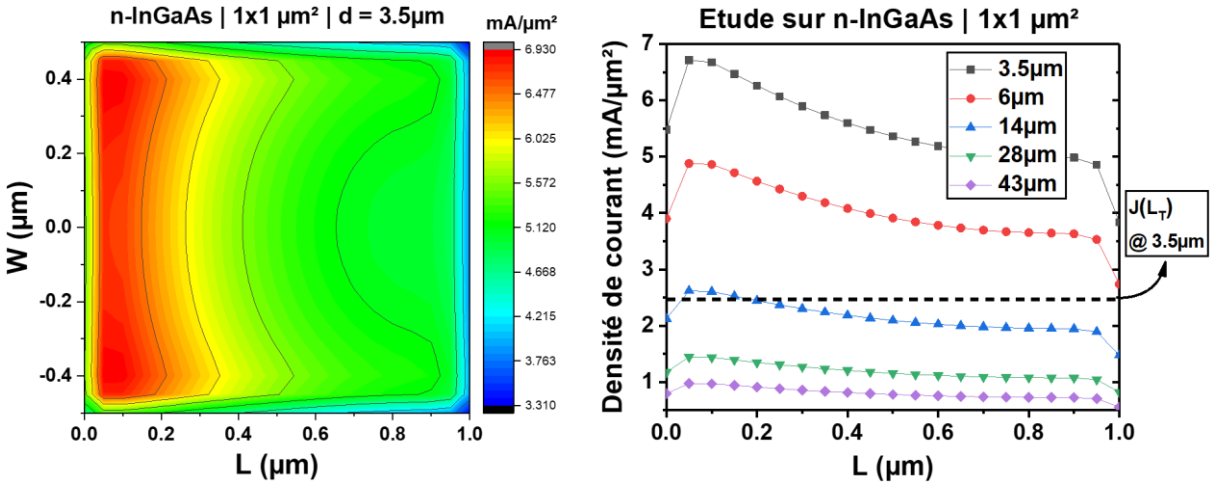

Figure 74 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour la dimension de contact 1x1 µm².

De manière similaire à la dimension 0.35×0.35 µm², une valeur de longueur de transfert n'a pas pu être évaluée pour la dimension 1×1 µm², car la densité de courant ne passe pas sous le seuil $J_s^0/\exp(1)$ à mesure qu'elle diminue selon la longueur du contact, pour W = 0 µm. Il serait donc au moins possible de conclure qu'avec le contact Ti / TiN / W / AlSi réalisé sur n-InGaAs dans le cadre des premiers lots TASP, la longueur de transfert est vraisemblablement supérieure à 1 µm. Si l'on applique à nouveau la formule $L_T = \sqrt{\rho_c/R_{sh}}$ avec les valeurs de résistivité extraites numériquement, on obtient L_T = 742 nm. On voit que contrairement au cas précédent, ce calcul donne ici une valeur inférieure à la longueur du contact. La question sur la pertinence d'utiliser cette équation dans le cadre de la méthodologie numérique d'extraction est alors une nouvelle fois légitime. A titre de comparaison, la valeur ayant été extraite en appliquant la méthodologie TLM standard était de 1.72 µm. Le Tableau 9 ci-dessous résume les différents paramètres de résistivité obtenus sur InGaAs-N^+ suite à l'application de notre méthodologie numérique d'extraction. Ceux-ci sont comparés aux paramètres ayant été extraits par TLM standard.

Tableau 9 : Comparaison des valeurs de ρ_c, R_{sh} et L_T extraites par TLM standard avec celles obtenues via l'application de la méthodologie numérique sur les structures TLM InGaAs-N^+, provenant des premiers lots TASP.

Dimensions du contact (µm²)	**Extraction de ρ_c (10^{-8} Ω.cm²)**			**Extraction de R_{sh} (Ω/sq)**			**Extraction de L_T (µm)**	
	TLM standard	Modèle numérique	Différence relative	TLM standard	Modèle numérique	Différence relative	TLM standard	Modèle numérique
1×1	31.3	**25**	-20.1%	20.19	**45.35**	+125%	1.72	**> 1**
0.35×0.35	8.79	**7.5**	-14.7%	10.52	**46.87**	+346%	2.40	**> 0.35**

Cette comparaison permet de relancer la discussion quant au fait que la valeur de ρ_c extraite par la méthodologie numérique sur la dimension 0.35×0.35 µm² n'ait pas permis de simultanément faire correspondre la simulation aux mesures pour la dimension 1×1 µm², contrairement à ce qui avait été observé lors du développement du modèle sur n-SOI. Plusieurs hypothèses peuvent être avancées. La première est que le modèle numérique n'ait pas correctement reproduit l'évolution et la répartition du courant dans les structures TLM. Dans ce cas, l'impossibilité de faire correspondre un unique couple [ρ_c ; R_{sh}] aux différentes géométries résulterait d'une erreur de modélisation. Cependant, si tel était le cas, on s'attendrait à ce que la valeur de R_{sh} spécifiée dans le modèle doive également être ajustée, en plus de ρ_c, afin de reproduire les valeurs mesurées pour la géométrie 1×1 µm². Or, on constate que ce n'est pas nécessaire : les deux valeurs de R_{sh} extraites sont très proches l'une de l'autre et permettent de valider le modèle pour les deux géométries de contact. Cela conduit à une seconde hypothèse : contrairement aux empilements n-SOI ayant servi de base au développement et au calibrage du modèle – pour lesquels une seule valeur de ρ_c suffisait à reproduire l'ensemble des mesures –, la variabilité de la résistivité de contact extraite par TLM est bien plus marquée entre les différentes géométries des structures réalisées sur InGaAs-N^+. Comme le montrent les Tableau 7 et Tableau 9, cette dispersion est en effet beaucoup plus importante que celle observée sur n-SOI. Ce constat laisse penser que, probablement en raison des difficultés rencontrées lors de la fabrication des structures TLM du lot TASP InGaAs-N^+, les contacts ne disposaient pas tous de la même résistivité finale, dépendamment de leurs dimensions et de la géométrie des structures. Tout cela reste cependant des hypothèses et ces aspects mériteraient d'être approfondis afin d'y voir plus clair, mais dans ce contexte, chercher une valeur unique de ρ_c permettant d'ajuster simultanément toutes les dimensions de contact s'avère vain. Une perspective de recherche, permettant d'investiguer ce point dans le futur, serait alors de prévoir des mesures sur l'entièreté des puces disponibles sur les plaques provenant des lots TASP suivants. Cela permettrait de comparer les valeurs de ρ_c extraites puce par puce afin d'évaluer la dispersion. Cela n'a pas pu être réalisé pour cette première version du lot TASP, car uniquement quelques puces étaient fonctionnelles.

Le modèle numérique permet finalement de bien représenter les deux géométries adressées, mais avec deux valeurs distinctes de ρ_c. Enfin, de la même manière que pour les empilements n-SOI lors du développement initial, la méthodologie numérique semble apporter un raffinement dans l'extraction de ρ_c par rapport à la méthodologie TLM standard, avec ici une réduction de -20.1% et -14.7% pour les dimensions 1×1 et 0.35×0.35 µm², respectivement. Une comparaison est alors proposée entre la plus faible valeur de résistivité de contact obtenue suite à l'application de notre méthodologie numérique d'extraction – à savoir 7.5×10^{-8} Ω*cm² sur la dimension 0.35×0.35 µm² – et l'état de l'art sur InGaAs-N^+, voir Tableau 10. Pour une première génération du lot d'étude de contacts ohmiques TASP, il s'agit d'un résultat prometteur et encourageant pour le développement d'un InP-DHBT intégré sur substrat silicium grand format, compatible avec les procédés CMOS industriels et visant une performance THz. De plus, les métallisations à base de Ti sont déjà utilisées sur InGaAs-N^+ afin de réaliser les contacts émetteur et collecteur des InP-DHBT les plus avancés et performants à ce jour [*Arabhavi_2022*], ce qui renforce la pertinence de ces résultats et de cette étude.

Tableau 10 : Comparaison bibliographique de valeurs de résistivité de contact obtenues sur InGaAs-N^+.

	Cette étude	[*Waldron_2012*]	[*Djara_2015*]	[*Lin_2016*]	[Lee_2014]	[*Dormaier_2012*]
Dopage du n-InGaAs (10^{19} cm^{-3})	**5.0**	~7.5	Non spécifiée	3.0	1.0	1.0
Métal de contact	**Ti** (/TiN/W)	Ti (/TiN/W)	W	Mo (/W)	Mo (/Ti/TiN/W)	Ti (/Pt/Au)
Procédés compatibles CMOS	**Oui**	Oui	Oui	Non	Non	Non
Substrat	**Si 200mm**	Si 200mm	Si 200mm	Si (Ø non spécifié)	Si (Ø non spécifié)	InP (Ø non spécifié)
Aire du contact pour l'extraction de la résistivité (µm²)	**0.35×0.35**	0.05×2	L = 0.09µm Largeur non spécifiée	Non spécifiée	Non spécifiée	25×30
ρ_c (10^{-8} Ω.cm²)	**7.5**	72	7.51	0.8	~1.6	~2.0

3.4 Secondes études de contacts compatibles CMOS sur InGaAs-N^+ et -P^{++} (TASP v2)

3.4.1 Fabrication des dispositifs TLM

Pour cette seconde version de l'étude de contacts InGaAs intégrés sur substrat Si 200mm, et dont le processus de fabrication est compatible avec les procédés industriels CMOS, les mêmes empilements III-V de départ que ceux décrits dans la partie 3.2.2.1. sont réemployés ici. Les étapes de collage de l'empilement III-V 4" sur le wafer Si 200mm, de démontage du substrat InP, de la définition des zones actives III-V, de leur encapsulation par du SiO_2 ainsi de la planarisation de la surface du wafer par CMP sont toutes similaires. Le masque TASP est également à nouveau utilisé afin réaliser les dispositifs TLM, dont les dimensions de contact varient de 5×5 à 0.35×0.35 µm².

Plusieurs différences sont cependant notables vis-à-vis de la première version de cette étude. Premièrement, certains des empilements III-V à disposition ont été réalisés par la technique MOCVD au Laboratoire des Technologies de la Microélectronique (LTM), et non plus uniquement MBE comme précédemment. Ce choix s'inscrit dans la stratégie de développement de la filière InP-DHBT sur silicium menée au LETI, visant à réduire la dépendance vis-à-vis de l'achat ou de l'importation d'empilements technologiques, et à privilégier une production centralisée. Afin de différencier les deux sources d'épitaxie dans les résultats électriques présentés ultérieurement, les empilements obtenus par MOCVD seront référencés par l'annotation « LTM ». Dans le cas des empilements « LTM » dont la couche de contact est InGaAs-P^+, le zinc a été utilisé comme dopant accepteur, le laboratoire ne disposant pas d'une source de carbone opérationnelle au moment de l'étude. Le niveau de dopage associé est alors $N_{A,(:Zn)} \sim 10^{19}$ cm^{-3}, ce qui contraste avec les empilements réalisés par MBE, où $N_{A,(:C)} = 8\times10^{19}$ cm^{-3}.

Deuxièmement, la couche InP n.i.d. qui se trouvait auparavant au-dessus des couches n- ou p-InGaAs de contact est désormais retirée lors des étapes initiales du processus de fabrication. En effet, celle-ci avait été identifiée précédemment comme l'une des raisons de la délamination s'étant produite suite au remplissage des cavités de contact par le W CVD, à cause notamment d'une mauvaise adhérence du SiN sur ce matériau (cf. partie 2.4.1.3). Cette couche de SiN est dorénavant déposée directement sur la couche InGaAs de contact à la suite d'une préparation de surface, ce qui s'est avéré être bénéfique pour renforcer son adhérence.

Une troisième différence concerne le remplissage des cavités de contact. Dans cette seconde version de l'étude, celles-ci sont remplies via un dépôt W PVD ou $W(Si)_{1\%}$ CVD, suivi d'un empilement PVD Ti / AlCu / Ti / TiN afin de former les lignes de contact. Cependant, pour plusieurs plaques, le remplissage de la cavité de contact a directement été réalisé par cet empilement PVD Ti / AlCu / Ti / TiN, comme le montre la Figure 75. Cela est dû à la volonté de délibérément limiter le budget thermique total appliqué sur plusieurs dispositifs. L'application d'un budget thermique trop élevé peut en effet compromettre de futures

évaluations de robustesse thermique. On peut notamment penser aux dispositifs TLM dont la couche active InGaAs est contactée par du nickel, ce dernier étant connu pour diffuser facilement. Par conséquent, les budgets thermiques initiaux post-dépôt utilisés lors de la fabrication des dispositifs vont de 200°C à 400°C.

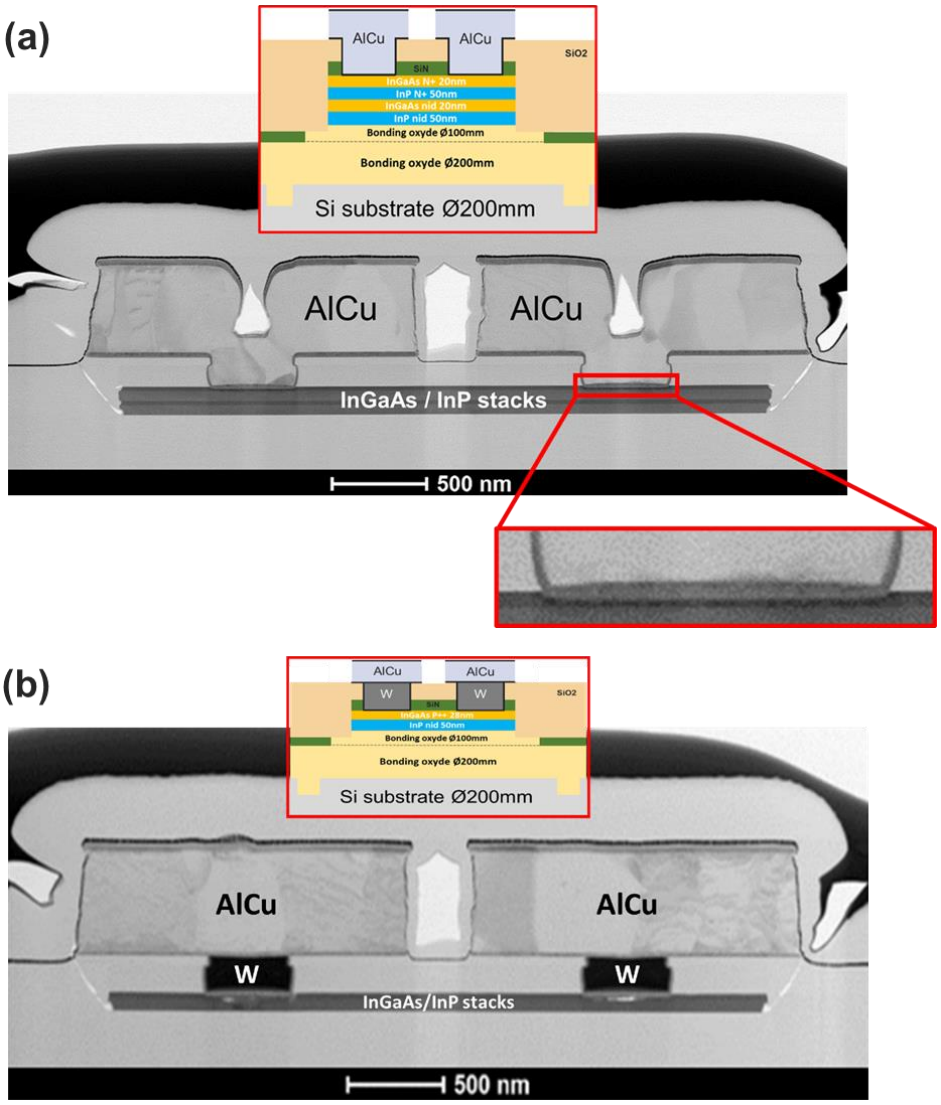

Figure 75 : Image FIB-STEM et vue schématique (inset) des empilements technologiques (a) InP/InGaAs-N^{+} et (b) InP/InGaAs-P^{++} en fin de traitement. Selon les cas, le remplissage des cavités de contact est réalisé soit en W + AlCu, soit entièrement en AlCu.

Finalement, une dernière différence majeure est à relever au niveau des préparations de surface plasma in-situ et des choix de métallisation considérés pour le contact. Là où seulement une recette de pré-nettoyage au plasma Ar était utilisée dans le cadre de la première version de cette étude, des recettes supplémentaires sont considérées pour cette seconde version (nom des procédés : extrasoft, PS Ar 2,5 et HSE SiO_2), ainsi qu'un pré-nettoyage au plasma He. Ces recettes de préparation de surface sont liées aux différents équipements utilisés pour le dépôt du métal de contact. Les métaux choisis sont le Ti (équipement : END300A ou END5500A), le Ni (END5500A), le W et le Mo (SIGMA). Une couche de TiN (CVD 5/10nm ou PVD 10nm) est ensuite ajoutée au-dessus afin de servir de barrière de diffusion au reste de la métallisation.

Cependant, comme discuté au cours de la partie 2.4.1.5 de ce manuscrit, des problématiques de consommation plus ou moins importante des couches III-V des empilements ont été causées par les préparations de surface plasma in-situ des équipements utilisés. Cela a probablement altéré les résultats des caractérisations électriques lorsque le métal de contact est Mo ou W, le procédé employé étant alors le plus agressif. Certains résultats présentés sont donc probablement plus représentatifs d'un contact réalisé sur les couches inférieures à la couche InGaAs-N^+ ou -P^{++} de contact. La caractérisation électrique des contacts fabriqués sur InGaAs-N^+ est dans un premier temps traitée, avant de discuter des résultats obtenus sur InGaAs-P^{++}.

3.4.2 Caractérisation électrique des contacts sur InGaAs-N^+

Tout comme lors de la première version de cette étude, la caractérisation électrique des plaques a été réalisée à l'aide du prober semi-automatique CASCADE1, en configuration 4 pointes afin d'éliminer les contributions parasites dues aux pointes et aux câbles de mesure. La majorité des mesures I-V ont dans un premier temps été réalisées selon une plage de tension allant de -1 à 1 V, avec un pas de 0.2 V. Toutefois, comme cela a pu être le cas auparavant, une saturation du courant a été observée dans le cas de certains dispositifs TLM, notamment aux plus faibles distances d'espacement. Il s'agit alors de ne considérer que la partie linéaire des courbes I-V concernées pour calculer la résistance totale du motif TLM associé.

Cependant, cette saturation du courant demeure un phénomène indésirable lorsqu'on cherche à obtenir des courbes I-V au comportement strictement ohmique, condition essentielle pour assurer la meilleure fiabilité d'extraction possible par la méthode TLM. Ainsi, pour les plaques présentant le plus d'intérêt, c'est-à-dire celles pour lesquelles les courants les plus élevés ont été mesurés, de nouvelles mesures ont été effectuées en imposant la plage de courant au lieu de la tension. Cette plage de courant a été ajustée en fonction de chaque plaque afin de ne pas excéder la limite de tension fixée à 1.5 V sur l'équipement. Cet ajustement a été opéré de la manière suivante : pour chaque dimension de contact, le courant qui avait été mesuré pour -1/1 V au plus grand espacement disponible lors des précédentes mesures en tension a été défini comme la nouvelle borne minimum et maximum de la future plage de courant. Ainsi, l'effet de saturation apparaissant auparavant aux faibles distances d'espacement a pu être évité lors de ces nouvelles mesures.

À l'issue de la caractérisation complète des plaques et de l'application de la méthodologie TLM standard, les paramètres de résistivité ρ_c (résistivité de contact), R_{sh} (résistance de couche) et L_T (longueur de transfert) ont pu être extraits puis comparés. Plusieurs facteurs sont susceptibles d'influencer ces paramètres, tels que le métal de contact utilisé, la métallisation de remplissage des cavités (AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD), le type de nettoyage plasma appliqué avant dépôt, la nature de l'épitaxie (MBE ou MOCVD), ainsi que le budget thermique auquel la plaque a été exposée au cours de sa fabrication.

Une première comparaison est présentée ci-dessous (Figure 76) pour les structures TLM avec des contacts de 5×5 µm². Les différentes valeurs mesurées de résistivité de contact et de résistance de couche sont classifiées selon la nature du métal de contact (séparation par couleur) et selon la métallisation de remplissage de la cavité de contact (séparation par trait pointillé vertical). En ce qui concerne la résistivité de contact ρ_c, le titane s'est révélé être le métal offrant les meilleures performances, avec un minimum mesuré à 6.11×10^{-8} Ω*cm² pour une structure réalisée sur une épitaxie MBE, ayant subi un nettoyage He, suivie du dépôt de 10 nm de Ti et d'un remplissage de cavité en AlCu. Le même procédé avec 20 nm de Ti a permis d'atteindre la deuxième valeur la plus faible, soit 6.68×10^{-8} Ω*cm². En revanche, en conservant Ti comme métal de contact et AlCu comme métal de remplissage, un changement de procédé de pré-nettoyage (autre que plasma He) entraîne une augmentation de ρ_c, dont l'ordre de grandeur passe alors à 10^{-7} Ω*cm². Ce même ordre de grandeur est également observé lorsque le remplissage est réalisé par dépôt de W PVD (200 °C).

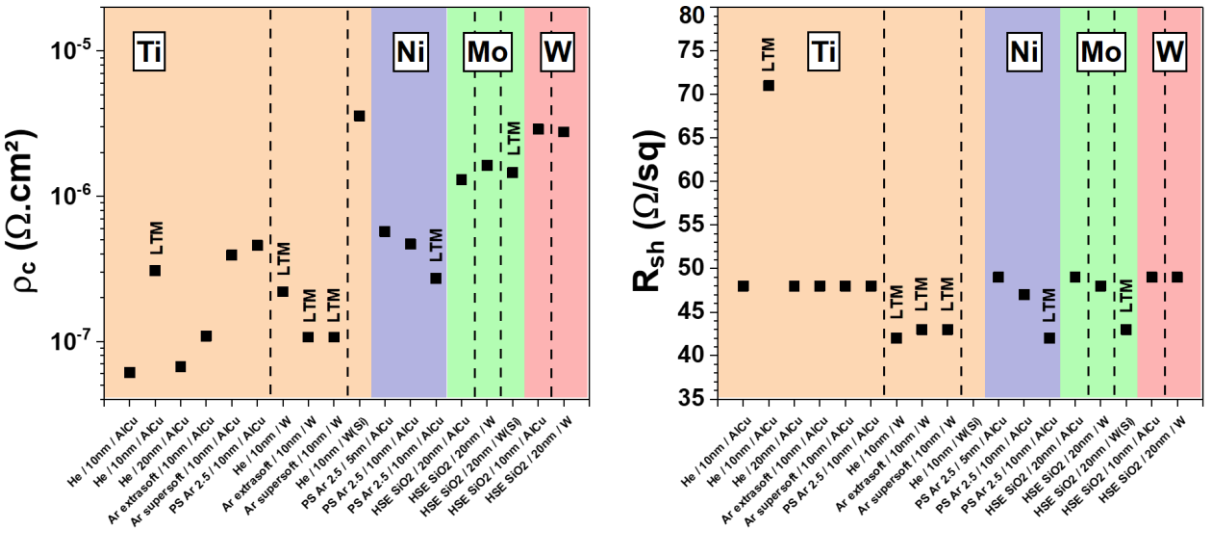

Figure 76 : Comparaison des valeurs de résistivité de contact et de résistance de couche extraites par TLM sur les structures disposant de contacts 5x5 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD.

Pour les dispositifs utilisant le nickel comme métal de contact, tous élaborés via un nettoyage plasma Ar (PS 2,5) et un remplissage AlCu, les valeurs de ρ_c obtenues se situent entre 2.71×10^{-7} et 5.73×10^{-7} Ω*cm². Il semblerait que doubler l'épaisseur de Ni déposée induise une légère amélioration de la résistivité de contact. Cependant, comme mis en évidence dans la Figure 43(b) précédemment (cf. partie 2.4.1.5), les résistivités obtenues peuvent être plus représentatives d'un contact sur la couche InP-N^+ (Si : 1.5×10^{19} cm^{-3}) au vu de la morphologie observée.

Enfin, concernant les deux métaux réfractaires étudiés, le Mo et le W, les valeurs de ρ_c extraites se situent entre 1.30×10^{-6} et 2.89×10^{-6} Ω*cm². Les valeurs mesurées ici sont les plus élevées de l'étude, bien que la littérature rapporte des performances intéressantes sur InGaAs-N^+ avec ces métaux, en particulier pour le molybdène [*Singisetti_2008, Baraskar_2010*]. Cela peut toutefois s'expliquer par le pré-nettoyage plasma Ar (HSE SiO_2) préalable au dépôt, qui a entraîné une consommation d'environ 60 nm de matériau III-V (cf. Tableau 3 dans partie 2.4.1.5). Par

conséquent, les valeurs de ρ_c obtenues sont plus représentatives d'un contact sur une couche InP-N^+ (voire sur une couche InGaAs n.i.d.) dégradée que sur la couche active InGaAs-N^+, comme le suggèrent les observations disponibles dans la Figure 42(c) et dans la Figure 43(c) (cf. partie 2.4.1.5).

En ce qui concerne la résistance de couche (R_{sh}), les variations observées en fonction des procédés utilisés et de la nature du métal de contact sont très faibles. Une tendance générale semble néanmoins se dégager : les épitaxies MOCVD (annotation « LTM ») présenteraient une résistivité légèrement plus basse par rapport aux épitaxies MBE. Toutefois, cette différence reste marginale, les valeurs de R_{sh} s'inscrivant globalement dans une plage étroite comprise entre 40 et 50 Ω/□.

Enfin, les longueurs de transfert (L_T) extraites ont également été comparées, voir Figure 77. Étant reliées à la résistivité de contact dans les équations de la méthodologie TLM standard ($L_t{}^2 = \rho_c/R_{sh}$), leurs variations suivent globalement les mêmes tendances que celles observées pour ρ_c selon les différentes plaques. Un point notable est qu'aucune des valeurs obtenues ne dépasse 2.5 µm, ce qui indique que les dispositifs TLM étudiés possédant des contacts de 5×5 µm² présentent une résistance suffisamment faible pour assurer un bon transfert du courant de la couche semi-conductrice vers le métal de contact.

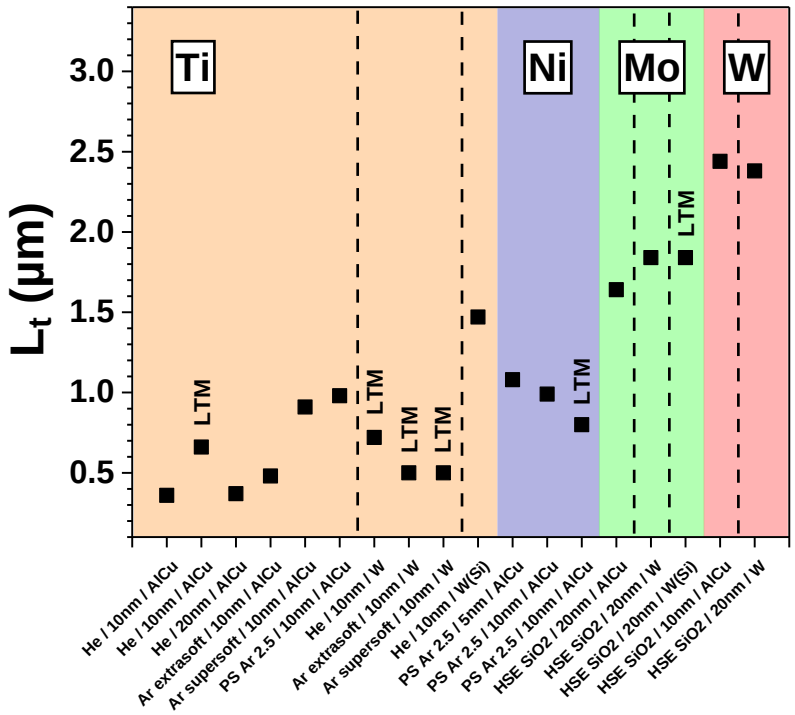

Figure 77 : Comparaison des valeurs de longueur de transfert extraites par TLM sur les structures disposant de contacts 5x5 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD.

Afin de mettre à nouveau en évidence certaines limites de la méthodologie TLM, notamment lorsqu'elle est appliquée aux structures de dimensions les plus réduites étudiées dans ce travail, les mêmes grandeurs ont été comparées pour des dispositifs TLM dotés de contacts de 0.35×0.35 µm², voir Figure 78.

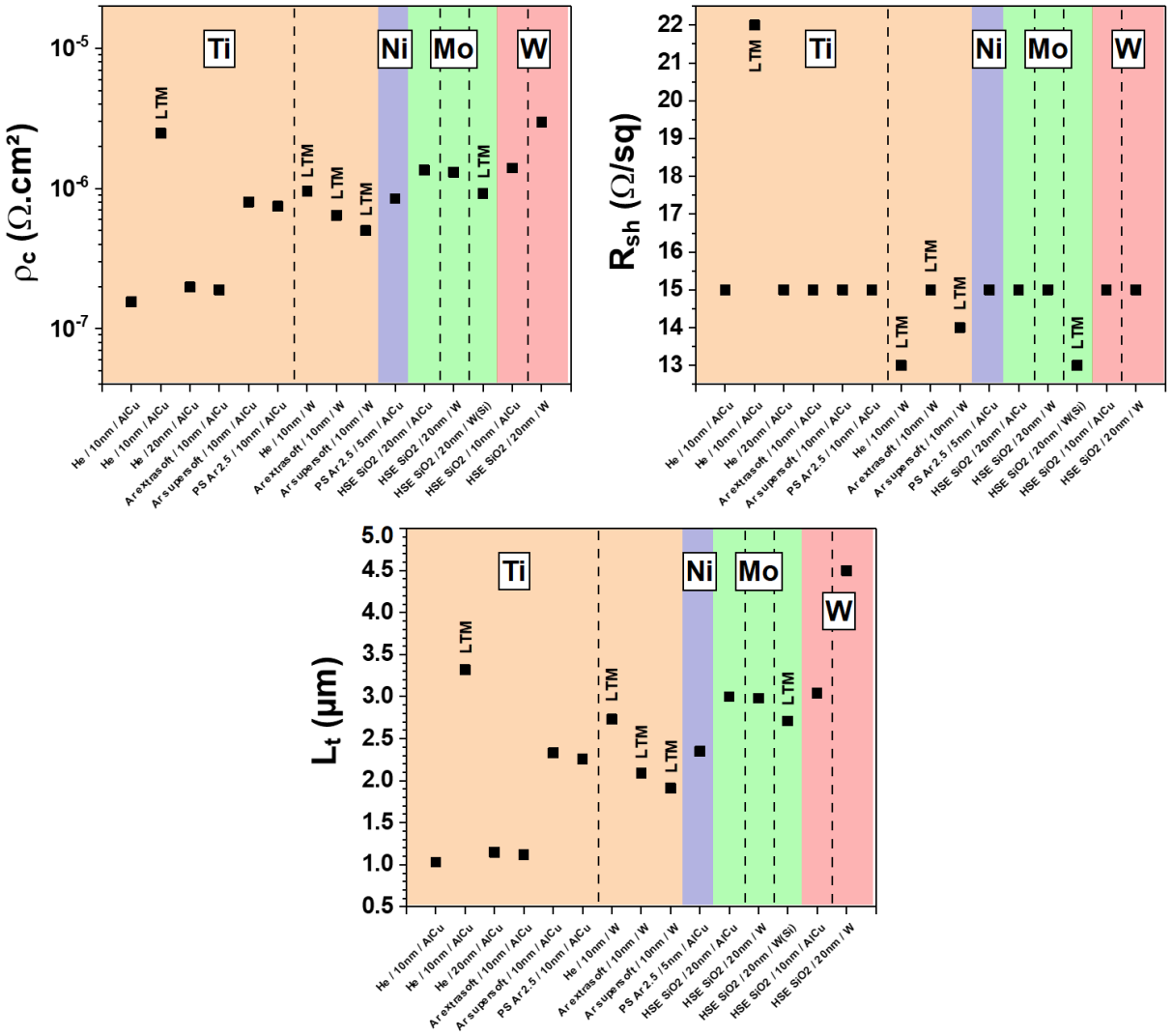

Figure 78 : Comparaison des valeurs de résistivité de contact, de résistance de couche et de longueur de transfert extraites par TLM sur les structures disposant de contacts 0.35x0.35 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD.

Les valeurs de résistivité de contact (ρ_c) les plus faibles extraites dépassent désormais 10^{-7} Ω*cm², y compris pour les deux procédés qui avaient auparavant permis d'atteindre des valeurs de l'ordre de 10^{-8} Ω*cm². De manière générale, une augmentation significative de ρ_c est observée sur l'ensemble des plaques, pouvant dépasser un facteur 2 dans certains cas. Concernant la résistance de couche (R_{sh}), une tendance inverse est notée, avec des valeurs désormais majoritairement comprises entre 13 et 15 Ω/□. Cette différence vis-à-vis des contacts de 5×5 µm² provient de l'application de la méthodologie TLM standard sur nos véhicules de test, dont la géométrie n'est pas conventionnelle (δ = 0.6 µm, cf. section 3.3.1).

Pour ce qui est de la longueur de transfert (L_T), aucune des valeurs extraites n'est inférieure ou égale à 0.35 µm, ce qui indique que les contacts réalisés sur ces dispositifs TLM sont trop résistifs pour assurer un transfert de courant complet et efficace à cette échelle réduite. Ce constat était néanmoins prévisible à partir des valeurs de L_T obtenues sur les contacts de plus grandes dimensions. Un point important à souligner est la divergence entre les valeurs extraites via la méthodologie TLM pour des contacts de 0.35×0.35 µm² par rapport à celles obtenues pour des dimensions plus grandes, particulièrement lorsque L_T est supposé faible. Comme l'illustre la Figure 79 se concentrant sur les contacts à base de Ti, la valeur extraite de L_T

augmente fortement lorsque l'analyse est appliquée à ces plus petites dimensions de contact. Cette observation remet également en question la fiabilité des valeurs de ρ_c extraites dans ce cas, étant donné que cette métrique dépend directement de L_T dans les équations de la méthodologie TLM. Comme discuté dans la section 3.2.1 de ce manuscrit, il est donc préférable d'évaluer L_T en limitant autant que possible les approximations, c'est-à-dire en privilégiant la résolution de l'équation (19) plutôt que l'approche alternative, ce qui ne fut pas le cas ici.

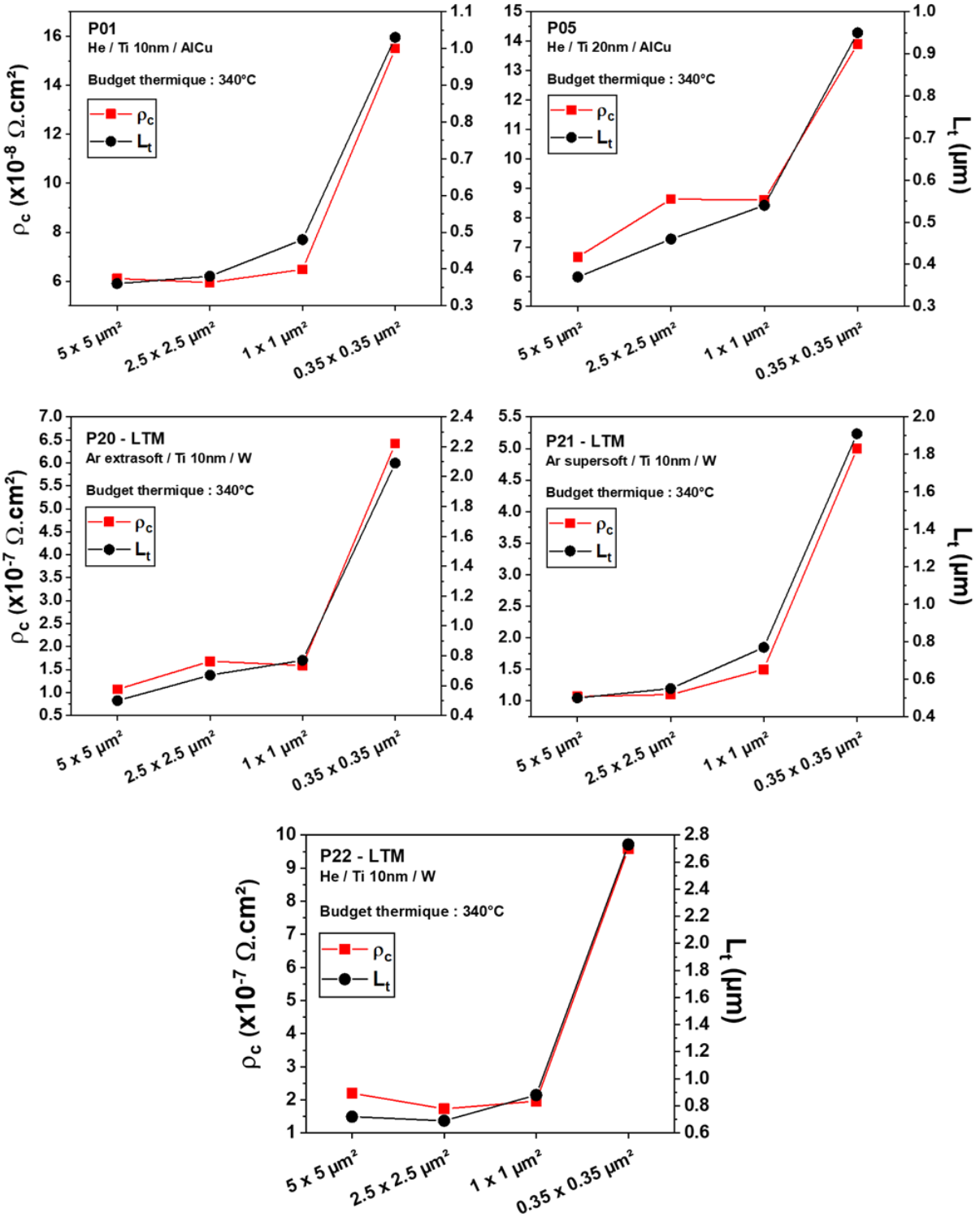

Figure 79 : Comparaison de l'évolution de ρ_c et de L_T en fonction de la dimension de contact sur laquelle est appliquée la méthodologie d'extraction TLM. Différents contacts à base de Ti sont considérés, avec un pré-nettoyage au plasma He ou Ar, ainsi qu'une métallisation de remplissage en AlCu PVD ou W PVD.

Face à ces différents constats, l'extraction d'un seul couple [ρ_c ; R_{sh}] permettant de définir l'ensemble des dimensions de contact considérées est recherchée. Pour cela, la méthodologie numérique précédemment développée est appliquée sur ces contacts, permettant ainsi une extraction des paramètres de résistivité s'affranchissant des effets de la géométrie de nos structures TLM. Les dispositifs ayant présenté les meilleures performances en termes de résistivité de contact ont été modélisés sous COMSOL, à savoir quatre structures dont le métal de contact est le Ti. Les valeurs de résistance totale mesurées ont été comparées à celles issues de la simulation, en fonction des différentes géométries, voir Figure 80. Il a été possible pour ces quatre structures de réaliser un bon ajustement simulation/mesures correspondant aux différentes dimensions de contact.

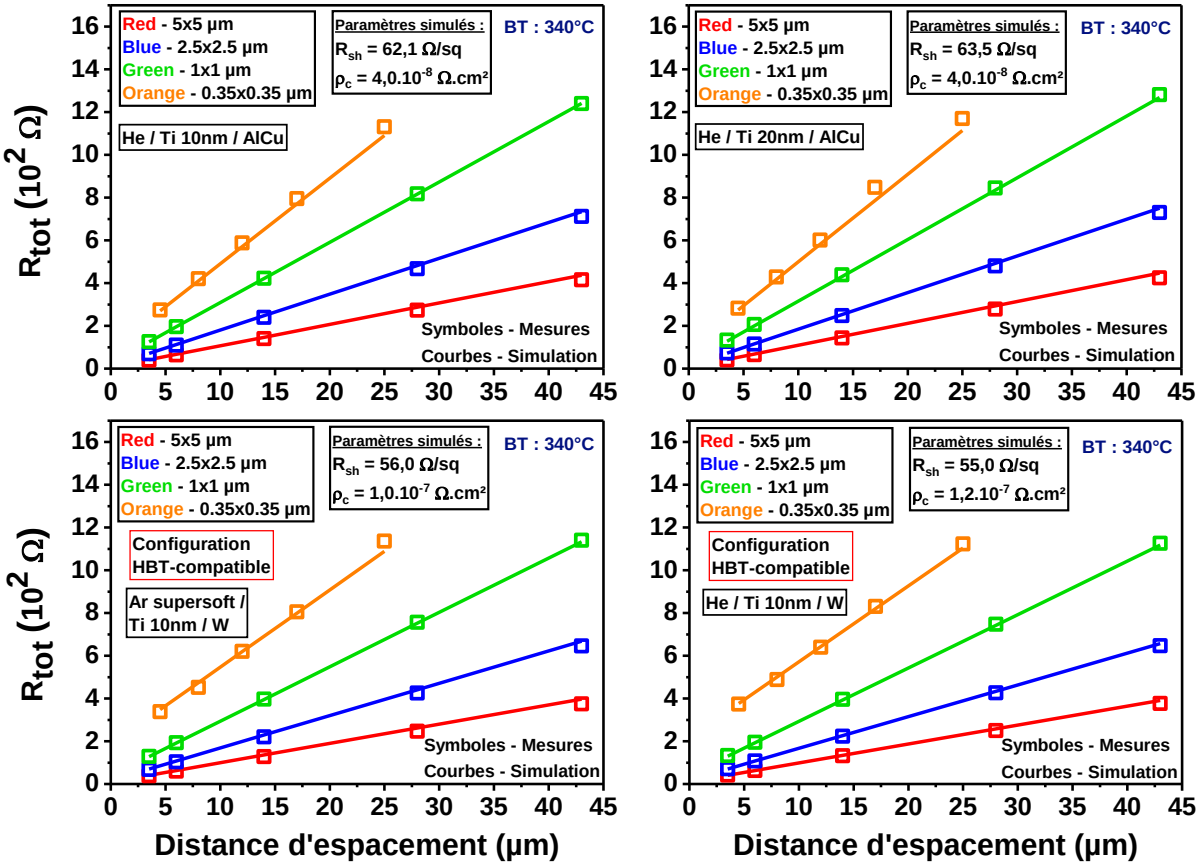

Figure 80 : Comparaison des résistances totales mesurées et simulées au sein de dispositifs TLM comprenant le Ti comme métal de contact, en fonction de la dimension des contacts et de la géométrie des structures. Les budgets thermiques appliqués sont identiques dans chacun des cas considérés.

Il semble important à ce stade de rappeler pourquoi les configurations de contact comportant du W en tant que métal de remplissage sont labélisées « HBT-compatible » dans la Figure 80. Le transistor réalisé au sein de notre filière suit un schéma d'intégration planaire, ce qui implique l'utilisation d'étapes de CMP. Une de ces étapes est notamment réalisée à la suite du remplissage des cavités de contact. Or, il n'existe pas de procédé CMP AlCu au sein des plateformes silicium 200/300mm du LETI. En revanche, les procédés CMP W sont maîtrisés et fiables. Ainsi, les configurations incluant le W comme métal de remplissage sont celles se rapprochant le plus de l'intégration considérée pour le transistor.

Les valeurs de ρ_c et de R_{sh} alors extraites par simulation sont regroupées dans le Tableau 11 ci-dessous.

Tableau 11 : Synthèse des valeurs de ρ_c et de R_{sh} extraites via l'application de la méthodologie numérique, en fonction du pré-nettoyage in-situ, de l'épaisseur de Ti déposée et de la métallisation de remplissage.

Pré-nettoyage in-situ	**Epaisseur de Ti pour le contact** [nm]	**Métallisation de remplissage**	**ρ_c extrait par simulation** [10^{-8} Ω.cm²]	**R_{sh} extrait par simulation** [Ω /□]
Plasma He	10	AlCu	4.0	62.1
	20			63.5
	10	W PVD	12	55.0
Plasma Ar			10	56.0

L'impact de ρ_c sur la résistance totale est le plus important aux courtes distances d'espacement. L'écart relatif entre les résistances totales mesurées et simulées, pour les faibles espacements (≤ 8 µm), est ici inférieur à 4.2% pour les plaques avec un remplissage de cavité en AlCu. Pour les plaques ayant reçu un remplissage de cavité en W PVD, cet écart est inférieur à 6.4% dans le cas du pré-nettoyage Ar, et est inférieur à 2.6% dans le cas du pré-nettoyage He, toutes géométries de contact confondues.

L'impact de R_{sh} sur la résistance totale est quant à lui le plus important aux grandes distances d'espacement. L'écart relatif entre résistances totales mesurées et simulées, pour les larges espacements (≥ 25 µm), est ici inférieur à 5.4% pour les plaques avec remplissage de cavité AlCu. Pour les plaques ayant reçu un remplissage de cavité en W PVD, cet écart est inférieur à 6.2% dans le cas du pré-nettoyage Ar, et est inférieur à 3.6% dans le cas du pré-nettoyage He, toutes géométries de contact confondues. Toutefois, il est intéressant de souligner que les différentes géométries de contact ne nécessitent pas toutes le même ajustement de la résistance de couche (R_{sh}) afin de minimiser l'écart relatif entre simulation et mesure. En effet, les graphes montrent qu'un meilleur accord aux grands espacements serait obtenable en diminuant R_{sh} pour les géométries 5×5 et 2.5×2.5 µm², tandis qu'une augmentation de R_{sh} est plutôt requise pour la géométrie 0.35×0.35 µm². Cela complique l'obtention d'un ajustement parfait sur l'ensemble des configurations, suggérant que la modélisation des dispositifs TLM pourrait ne pas être totalement optimale. A titre d'exemple, la bicouche InGaAs-N^+ / InP-N^+ sous le contact a ici été représentée par une couche conductrice équivalente unique de 70 nm d'épaisseur, ce qui peut introduire certaines incertitudes. Ce choix a néanmoins été fait pour des raisons de simplicité, la conductivité électrique respective des deux couches dopées N^+ étant difficile à quantifier de manière précise et indépendante au sein de l'empilement III-V utilisé.

Le détail des différentes valeurs de résistivité, qu'il s'agisse de celles obtenues par la méthodologie TLM ou des couples [ρ_c ; R_{sh}] obtenus par la méthodologie numérique, est disponible dans le Tableau 12 ci-dessous, permettant ainsi leur comparaison.

Tableau 12 : Comparaison des valeurs de ρ_c et de R_{sh} extraites par TLM et extraites via l'application de notre méthodologie numérique d'extraction, pour les différents contacts à base de Ti réalisés dans cette étude.

Procédés utilisées	Dimensions du contact (µm²)	Extraction de $\boldsymbol{\rho_c}$ (Ω.cm²) et $\boldsymbol{R_{sh}}$ (Ω/□) par TLM	Extraction de $\boldsymbol{\rho_c}$ (Ω.cm²) et $\boldsymbol{R_{sh}}$ (Ω/□) par simulation	Ecart relatif entre les valeurs (%)
Plasma He / Ti 10nm / AlCu	5 x 5	$6{,}11.10^{-8}$ / 48,0	$4{,}0.10^{-8}$ / 62,1	**-34,5 / +29,4**
	2,5 x 2,5	$5{,}95.10^{-8}$ / 41,0		**-32,8 / +51,5**
	1 x 1	$6{,}48.10^{-8}$ / 28,0		**-38,3 / +122**
	0,35 x 0,35	$1{,}55.10^{-7}$ / 15,0		**-74,2 / +314**
Plasma He / Ti 20nm / AlCu	5 x 5	$6{,}68.10^{-8}$ / 48,0	$4{,}0.10^{-8}$ / 63,5	**-40,1 / +32,3**
	2,5 x 2,5	$8{,}64.10^{-8}$ / 42,0		**-53,7 / +51,2**
	1 x 1	$8{,}62.10^{-8}$ / 29,0		**-53,6 / +119**
	0,35 x 0,35	$1{,}39.10^{-7}$ / 15,0		**-71,2 / +323**
Plasma Ar / Ti 10nm / W PVD	5 x 5	$1{,}07.10^{-7}$ / 43,0	$1{,}0.10^{-7}$ / 56,0	**-6,54 / +30,2**
	2,5 x 2,5	$1{,}10.10^{-7}$ / 37,0		**-9,09 / +51,4**
	1 x 1	$1{,}50.10^{-7}$ / 26,0		**-33,3 / +115**
	0,35 x 0,35	$5{,}00.10^{-7}$ / 14,0		**-80,0 / +300**
Plasma He / Ti 10nm / W PVD	5 x 5	$2{,}20.10^{-7}$ / 42,0	$1{,}2.10^{-7}$ / 55,0	**-45,5 / +31,0**
	2,5 x 2,5	$1{,}73.10^{-7}$ / 36,0		**-30,6 / +52,8**
	1 x 1	$1{,}96.10^{-7}$ / 25,0		**-38,8 / +120**
	0,35 x 0,35	$9{,}59.10^{-7}$ / 13,0		**-87,5 / +323**

Comme il est possible de le constater, un maximum de 87.5% d'affinement a pu être obtenu sur les valeurs de ρ_c, et jusqu'à 323% sur les valeurs de R_{sh} extraites via la méthodologie TLM. Cela semble confirmer les limites que peut avoir la méthodologie TLM standard dans l'estimation précise des valeurs de résistivité, lorsque les géométries des dispositifs TLM caractérisés ne sont pas conventionnelles.

Afin de compléter l'extraction des paramètres de résistivité via la méthodologie numérique, l'estimation de la longueur de transfert a également été réalisée en considérant le contact Ti 10 nm, avec pré-nettoyage au plasma He et remplissage de la cavité en AlCu. Comme observable sur la Figure 81 ci-dessous, la densité de courant pénétrant le contact suit une décroissance exponentielle selon la longueur du contact, pour les dimensions 5×5 et 2.5×2.5 µm². A partir de 1×1 µm², les courbes commencent à atteindre un plateau vers le côté opposé du contact, mais les valeurs de densité passent tout de même sous le seuil $J_s^0/\exp(1)$, permettant l'extraction de L_T. Enfin, pour la dimension 0.35×0.35 µm², les courbes s'aplatissent et la répartition du courant dans le contact est donc plus uniforme, symbolisant que la longueur de transfert est plus élevée que 350 nm dans ce cas.

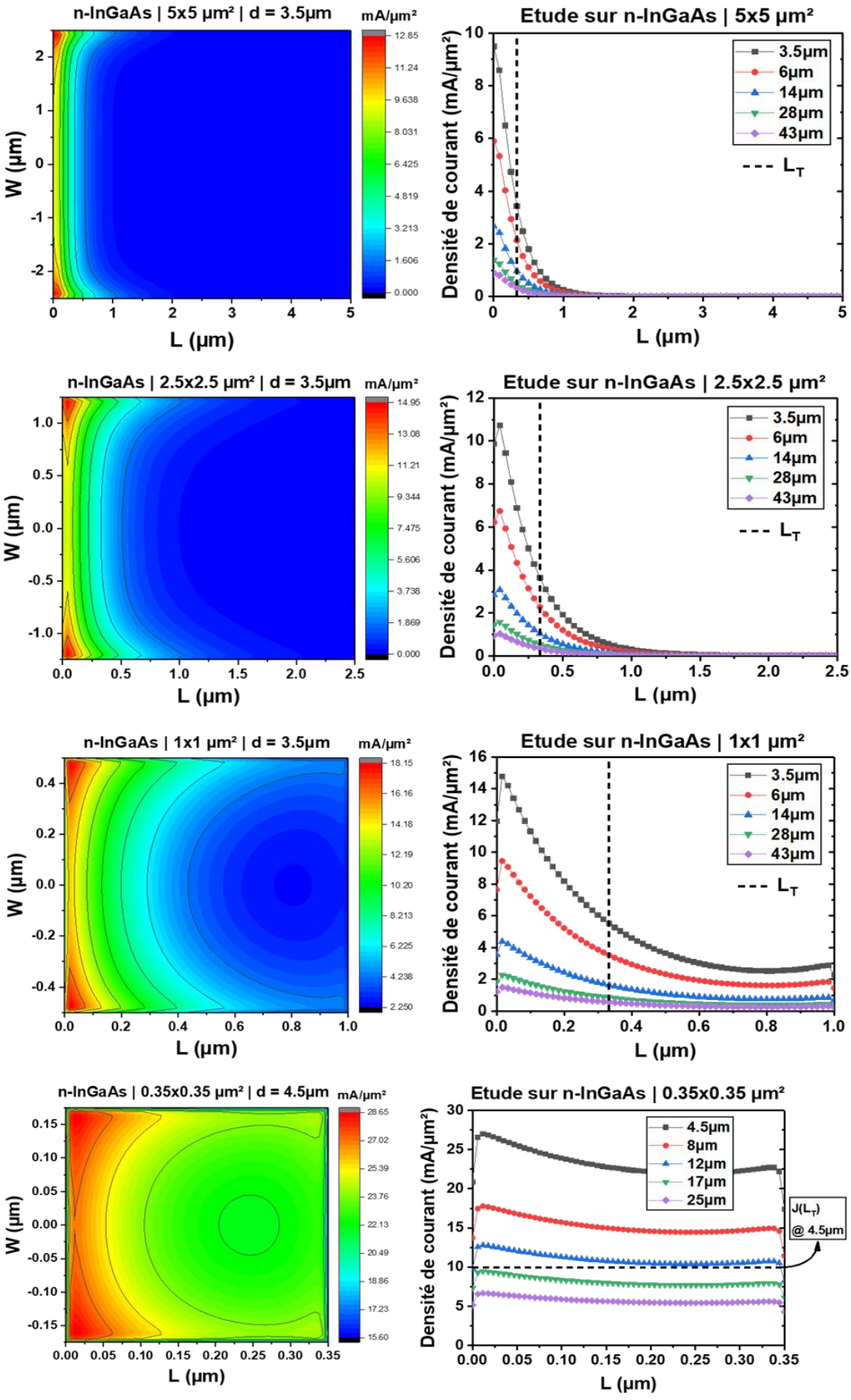

Figure 81 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour les différentes dimensions du contact ayant reçu un pré-nettoyage au plasma He, un dépôt Ti 10nm et un remplissage de cavité en AlCu.

Un point notable est alors que, avec le maillage tel qu'il a été défini dans la simulation, la même valeur de L_T a pu être extraite pour les trois dimensions supérieures à 0.35×0.35 µm². Il serait cependant pertinent d'essayer d'affiner le maillage au niveau de l'aire du contact afin de voir si ce résultat resterait inchangé, en particulier pour les deux plus grands contacts. Suite à toutes ces différentes analyses, un récapitulatif des valeurs extraites par TLM et via la méthodologie numérique est proposé dans le Tableau 13, pour le contact ayant reçu un pré-nettoyage au plasma He, un dépôt Ti 10nm et un remplissage de cavité en AlCu.

Tableau 13 : Comparatif des paramètres de résistivité extraits par TLM et extraits via l'application de notre méthodologie numérique d'extraction, pour le contact ayant reçu un pré-nettoyage au plasma He, un dépôt Ti 10nm et remplissage de cavité en AlCu.

Dimensions du contact (µm²)	**Extraction de ρ_c (10^{-8} Ω.cm²)**			**Extraction de R_{sh} (Ω/□)**			**Extraction de L_t (µm)**	
	TLM standard	Modèle numérique	Différence relative	TLM standard	Modèle numérique	Différence relative	TLM standard	Modèle numérique
5×5	6.11	**4.0**	-34.5%	48.0	**62.1**	+29.4%	0.36	**~ 0.33**
2.5×2.5	5.95		-32.8%	41.0		+51.5%	0.38	
1×1	6.48		-38.3%	28.0		+122%	0.48	
0.35×0.35	15.5		-74.2%	15.0		+314%	1.03	**> 0.35**

3.4.3 Conclusion pour le contact sur InGaAs-N⁺

3.4.3.1 Résumé

Des contacts ohmiques de faibles dimensions – réalisés à base de Ti, Ni, Mo et W sur InGaAs-N^+ (:Si) dans le cadre de la seconde version des lots d'étude TASP – ont été caractérisés électriquement. Par rapport à la première version (dont les résultats sont présentés dans la partie 3.2.2), cette étude intègre à la fois de nouveaux métaux de contact et plusieurs modifications destinées à l'étendre et à l'améliorer. Parmi celles-ci : le dépôt de la couche de SiN sur InGaAs après préparation de surface afin d'améliorer l'adhérence diélectrique/III-V (comparativement à SiN/InP), l'utilisation de différents pré-nettoyages plasma in-situ en fonction des équipements de dépôt, ainsi que la variation de la métallisation de remplissage des cavités de contact (AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD). Des observations MEB et TEM ont toutefois montré qu'après l'ouverture des cavités de contact par gravure sèche des diélectriques et l'application des pré-nettoyages, une attaque partielle (cas du Ni) voire totale (cas du Mo et du W) de la couche InGaAs-N^+ de contact s'est produite. Les mesures électriques obtenues sont donc, dans certains cas, davantage représentatives de contacts réalisés sur InP-N^+ ou sur InGaAs non intentionnellement dopé. Néanmoins, l'ensemble des contacts a été mesuré, et les paramètres ρ_c, R_{sh} et L_T ont été extraits par TLM en fonction de la dimension du contact, du métal de contact, du type de pré-nettoyage plasma et de la métallisation de remplissage.

Comme attendu, les contacts Mo et W présentent les moins bonnes résistivités et longueurs de transfert, en raison des dommages induits par les pré-nettoyages plasma. Parmi les autres métaux, le Ti s'est révélé le plus performant, avec des valeurs de ρ_c atteignant 5.95×10^{-8} Ω*cm² pour des contacts de 2.5×2.5 µm². Toutefois, comme déjà observé lors de la caractérisation de la première version de ces lots, les valeurs extraites par TLM dépendent de la dimension des contacts, notamment lorsque celle-ci devient très faible, ce qui complique l'interprétation. Si l'on se concentre par exemple sur les deux dimensions critiques pour le transistor, à savoir 1×1 et 0.35×0.35 µm², les plus basses valeurs de ρ_c obtenues par TLM avec un contact Ti sont alors 6.48×10^{-8} et 1.39×10^{-7} Ω*cm², respectivement. La méthodologie numérique d'extraction développée précédemment – permettant de corriger les effets de la géométrie des structures TLM sur les valeurs extraites – a donc été appliquée aux quatre cas présentant les meilleures résistivités, tous à base de Ti, afin de s'affranchir de cette dépendance. Elle a permis d'obtenir un couple unique [ρ_c ; R_{sh}] pour chaque cas et de raffiner les valeurs de ρ_c jusqu'à 87.5% (voir Tableau 12). La plus faible valeur obtenue est de 4.0×10^{-8} Ω*cm² pour les contacts Ti de 10 et 20nm, avec un pré-nettoyage au plasma He et un remplissage de cavité par AlCu. Dans le cas du contact Ti 10nm, l'application de cette méthodologie numérique a également permis d'estimer la longueur de transfert à environ 0.33 µm, ce qui contraste avec les différentes valeurs extraites par TLM standard. Les deux cas se rapprochant d'une configuration applicable pour le transistor, avec un remplissage de cavité réalisé en W, ont de leur côté permis l'extraction de valeurs de ρ_c de 1.0×10^{-7} Ω*cm² et 1.2×10^{-7} Ω*cm².

On peut prendre du recul sur ces résultats en rappelant les objectifs visés pour les contacts ohmiques, dans le cadre d'un InP-DHBT visant les très hautes performances fréquentielles. Des résistivités se rapprochant le plus possible de 10^{-8} Ω*cm² sont requises pour les contacts des trois régions du transistor (émetteur, base, collecteur). Dans le cas de contacts réalisés sur InGaAs-N^+ pour l'émetteur et le collecteur, nous avons montré qu'il est possible d'atteindre des valeurs proches de cet objectif, en considérant le titane comme métal de contact dans notre intégration compatible avec les procédés de fabrication CMOS. De plus, les estimations de la longueur de transfert laissent penser que la largeur du contact collecteur (1 µm) ne constituera pas une source de résistance parasite supplémentaire. En revanche, cela pourrait être le cas au niveau du contact émetteur, les dimensions de celui-ci se rapprochant davantage de valeurs telles que 250 nm.

Finalement, ces résultats confortent le choix du Ti pour les contacts émetteur et collecteur du InP-DHBT sur silicium. Toutefois, le procédé de fabrication du transistor prévoyant un remplissage des cavités et des plugs par un dépôt $W(Si)_{1\%}$ CVD à 400°C, certains ajustements s'avéreront nécessaires afin de compenser l'augmentation du budget thermique. Cela pourrait par exemple passer par une réduction de l'épaisseur de Ti déposée, ou encore par l'ajout d'un recuit intermédiaire, ce qui permettrait de promouvoir la formation d'intermétalliques favorables électriquement tout en stabilisant les réactions à l'interface de contact. Ces deux points feront alors partie des différentes améliorations apportées à la dernière version du lot InP-DHBT sur silicium de la filière.

3.4.3.2 Estimation des résistances d'accès R_E et R_C du transistor par simulation

Par ailleurs, les valeurs de ρ_c et de R_{sh} extraites numériquement à partir des contact Ti réalisés sur InGaAs-N^+ – dans le cadre de la seconde version des lots d'étude TASP – ont été utilisées afin de réaliser une estimation des résistances d'accès R_E et R_C du transistor. Pour cela, le modèle COMSOL a été modifié afin de reproduire les contacts émetteur et collecteur au niveau du transistor, avec les dimensions correspondantes, voir Figure 82. Concernant la modélisation du contact collecteur, le contact parfait sert à imposer une différence de potentiel rigoureuse entre l'interface collecteur/sous-collecteur et les contacts collecteur. Il est de dimension équivalente à $W_E + W_{link} + W_B$, en considérant une largeur d'émetteur de 500 nm, un espacement émetteur-base de 50 nm, une largeur de contact de base de 600 nm, ainsi que des flancs de gravure droits.

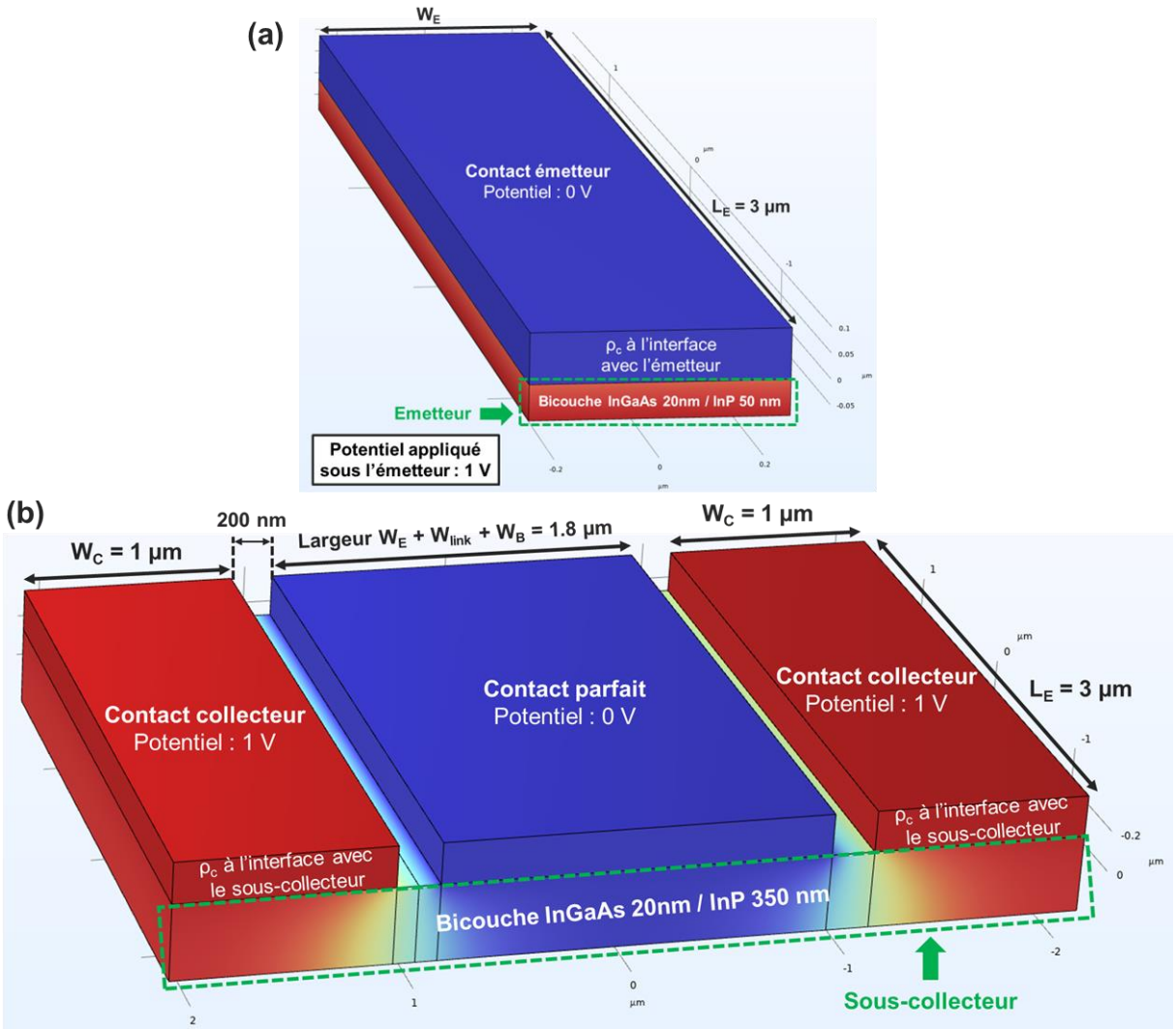

Figure 82 : Reproduction sur COMSOL (a) du contact émetteur et (b) du contact collecteur au niveau du transistor.

La longueur d'émetteur est fixée à L_E = 3µm dans les deux configurations, ce qui impose une longueur équivalente pour le contact collecteur. L'espacement entre le collecteur et son contact est défini à 200 nm. Pour l'évaluation de R_E, deux largeurs d'émetteur sont considérées : W_E = 500 nm et W_E = 250 nm. Une différence de potentiel de 1 V est appliquée :

- entre le contact émetteur et la face arrière de l'émetteur dans le cas **(a)** de la Figure 82,
- entre le contact collecteur et l'interface collecteur/sous-collecteur dans le cas **(b)**.

Enfin, la densité de courant traversant la bicouche InGaAs/InP est intégrée :

- selon une section horizontale dans le cas **(a)**,
- selon une section verticale dans le cas **(b)**, cette section étant située au niveau de l'espacement entre le collecteur et son contact.

Cette intégration permet d'extraire respectivement R_E et R_C. Les résultats obtenus sont présentés dans le Tableau 14 ci-dessous.

Tableau 14 : Estimations par simulation des résistances d'accès R_E et R_C, en fonction de la largeur W_E de l'émetteur, de la résistivité de contact ρ_c et de la résistance de couche R_{sh} du bicouche InP/InGaAs.

ρ_c (Ω*cm²)	**R_{sh} (Ω/□)**	**R_E (Ω)**		**R_C (Ω)**
		W_E = 500nm	W_E = 250nm	
4.0×10^{-8}	**62.1**	2.87	5.74	6.96
	63.5	2.87	5.75	7.10
1.0×10^{-7}	**56.0**	6.85	13.7	7.71
1.2×10^{-7}	**55.0**	8.18	16.4	8.08

On remarque en premier lieu que conformément aux calculs quasi-statiques conventionnels, diminuer d'un facteur 2 la largeur de l'émetteur revient à multiplier par deux la valeur de R_E. Ensuite, ces estimations mettent en lumière un aspect important : le contact émetteur est bien plus critique que le contact collecteur. On constate en effet que R_E se détériore bien plus rapidement que R_C à mesure que la résistivité de contact augmente. On peut conclure en confirmant qu'une résistivité de contact la plus proche possible de 10^{-8} Ω*cm² est absolument nécessaire pour le contact émetteur, afin d'obtenir une valeur de R_E faible. En revanche, avoir un contact plus résistif pour le collecteur ne constitue pas un problème majeur, dans le sens où R_C n'en est que peu modifiée.

Les dispositifs TLM fabriqués sur InGaAs-N^+ dans le cadre de la seconde version des lots d'étude TASP ayant été caractérisés électriquement, ceux réalisés sur InGaAs-P^{++} sont maintenant traités dans la partie suivante.

3.4.4 Caractérisation électrique des contacts sur InGaAs-P^{++}

À la suite de la caractérisation électrique des dispositifs TLM réalisés sur InGaAs-N^{+}, ceux fabriqués sur InGaAs-P^{++} ont également été mesurés. Pour rappel, cette seconde version de l'étude de contacts CMOS sur InGaAs, intégrés sur substrat silicium 200 mm (lots TASP), repose sur les mêmes empilements III-V que ceux décrits dans la partie 3.2.2.1. Les changements apportés par rapport à la première version de l'étude ont également déjà été décrits dans la partie 3.4.1.

Comme mentionné précédemment, les préparations de surface au plasma Ar associées aux dépôts de W et de Mo (HSE SiO_2) ont cependant conduit à la consommation complète de la couche InGaAs-P^{++} de contact. Il a donc été décidé de ne caractériser électriquement que les dispositifs TLM comportant des contacts Ti et Ni. Une représentation schématique des dispositifs fabriqués, ainsi que des observations TEM des interfaces de contact sont présentées dans la Figure 83 ci-dessous. Le cas d'un contact Ti avec remplissage $W(Si)_{1\%}$ CVD (budget thermique : 400°C) et celui d'un contact Ni avec remplissage AlCu PVD (budget thermique : 200°C) sont alors considérés. Les observations TEM ont été réalisées à la fin de la fabrication des dispositifs.

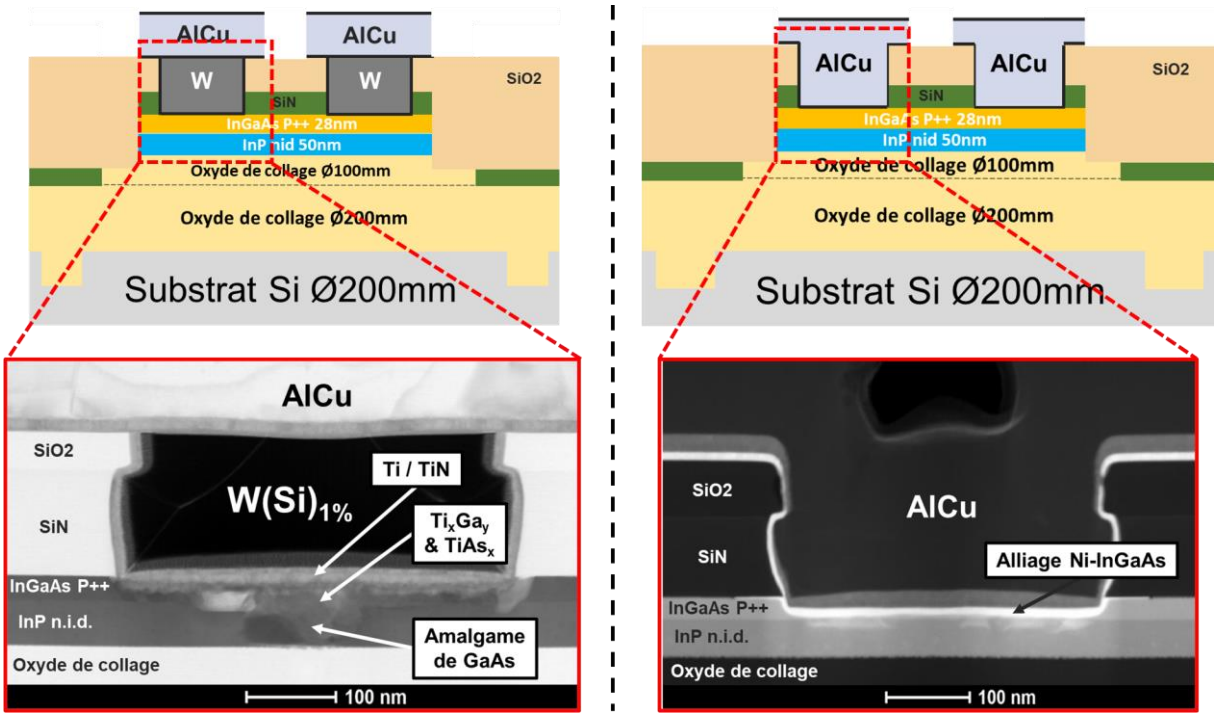

Figure 83 : Représentation schématique des dispositifs TLM et observations TEM des interfaces de contact, dans le cas d'un contact Ti avec remplissage $W(Si)_{1\%}$ CVD (à gauche, budget thermique : 400°C) et dans le cas d'un contact Ni avec remplissage AlCu PVD (à droite, budget thermique : 200°C).

Pour le contact Ti, l'interface est caractérisée par une légère consommation de l'épaisseur initiale de la couche InGaAs-P^{++} – attribuée à la gravure sèche de la cavité de contact ainsi qu'à la préparation de surface au plasma He – et par la présence de réactions intermétalliques. Une observation EDX (voir Figure 84) ainsi que de précédentes études menées au LETI laissent penser que les composés formés sont de la forme Ti_xGa_y et $TiAs_x$ [*Boyer_2020, Bensalem_2020*]. Dans le cas présent, des analyses plus poussées serait alors nécessaires afin de pouvoir l'affirmer. On constate également une diffusion des éléments Ga et As dans la couche InP sous-jacente, formant un amalgame. Une certaine épaisseur d'InGaAs est alors toujours présente sous le contact, mais son intégrité et sa stœchiométrie ont été modifiées par le contact Ti et le budget thermique de 400°C.

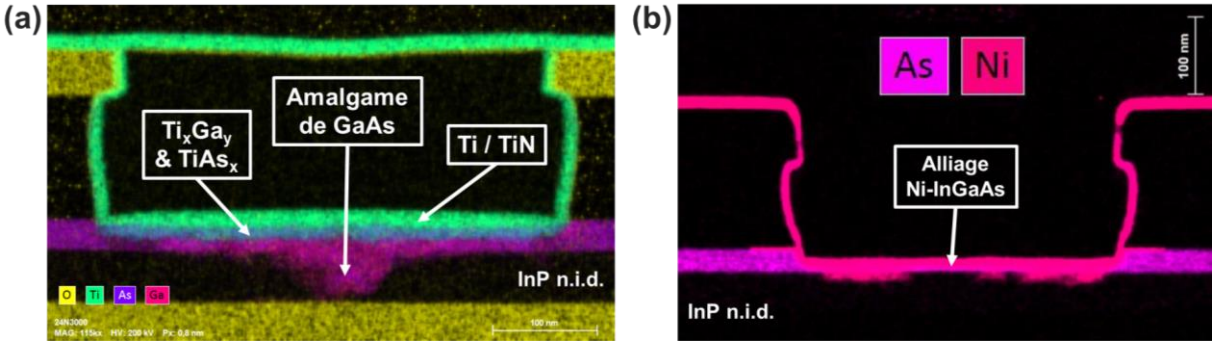

Figure 84 : Images EDX des interfaces de contact (a) dans le cas d'un contact Ti avec remplissage $W(Si)_{1\%}$ CVD (budget thermique : 400°C) et (b) dans le cas d'un contact Ni avec remplissage AlCu PVD (budget thermique : 200°C).

Dans le cas du contact Ni, une part plus importante de l'épaisseur initiale de la couche InGaAs-P^{++} a été consommée. Cette différence par rapport au contact Ti est attribuée à la préparation de surface au plasma Ar. Malgré le faible budget thermique de 200°C, on remarque la présence d'un alliage Ni-InGaAs se propageant jusqu'en bas de la couche, pénétrant même légèrement dans la couche InP sous-jacente, comme le montre l'observation EDX dans la Figure 84. Ici, il ne reste plus d'InGaAs n'ayant pas réagi sous le contact, ce qui implique que le contact électrique effectif devrait se faire principalement selon les flancs.

À la suite de ces observations, les dispositifs TLM ont été caractérisés électriquement. Comme pour les structures réalisées sur InGaAs-N^+, les mesures ont été effectuées à l'aide du prober semi-automatique CASCADE1, en configuration 4 pointes afin d'éliminer les résistances parasites liées aux pointes de contact et aux câbles de mesure. Pour éviter les phénomènes de saturation observés précédemment, les mesures ont directement été effectuées en imposant la plage de courant.

Les premières courbes I-V ont toutefois montré que les contacts Ti et Ni ne présentaient pas, dans leur état initial, de comportement ohmique. Un recuit thermique rapide (RTA) à 350°C pendant 2 minutes, sous atmosphère d'azote (N_2), a alors permis d'obtenir ce comportement ohmique pour les deux contacts. Suite à cela, il a été entrepris de réaliser d'autres recuits RTA jusqu'à une température maximale de 550°C, afin d'évaluer la robustesse thermique des contacts. Certaines des températures adressées correspondant alors à des budgets thermiques typiquement rencontrés lors des étapes BEOL des procédés CMOS, cette approche a également

permis d'obtenir une première estimation de leur impact sur les performances électriques. Cet aspect aurait d'ailleurs mérité d'être aussi étudié pour les dispositifs TLM fabriqués sur InGaAs-N^+, dans un souci de cohérence. Cependant, par manque de temps, cette analyse n'a pu être menée.

À l'issue de la caractérisation électrique, la résistance de couche R_{sh} de l'InGaAs-P^{++} ainsi que la résistivité de contact ρ_c ont été extraites en appliquant la méthodologie TLM standard. Les résultats obtenus pour les contacts Ti et Ni sont présentés dans la Figure 85 ci-dessous.

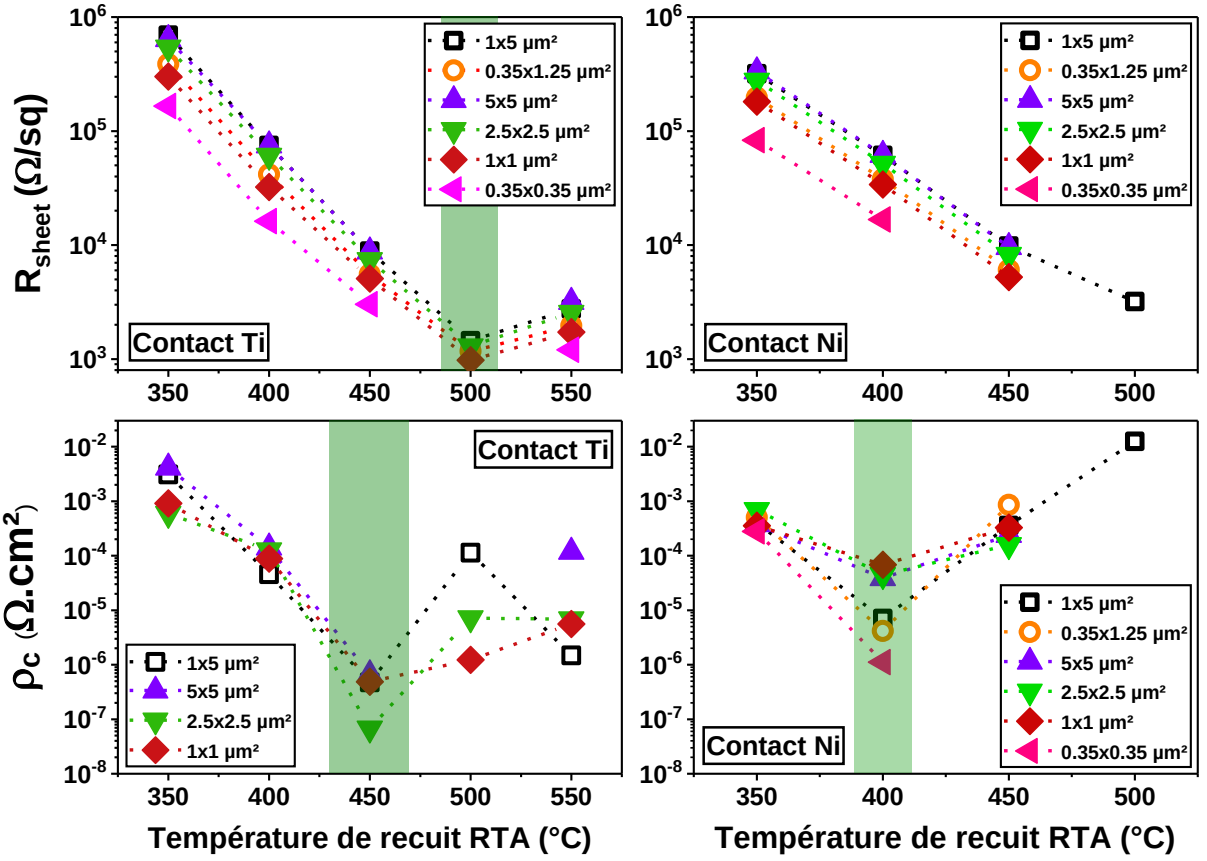

Figure 85 : Évolution de la résistance de la couche p-InGaAs (en haut) et de la résistivité de contact (en bas), en fonction de la température de recuit RTA et des dimensions du contact. Les graphiques de gauche concernent le contact Ti, tandis que ceux de droite concernent le contact Ni. Les bandes vertes sur les graphiques représentent les températures pour lesquelles les meilleures performances ont été obtenues.

Bien que le niveau de dopage carbone initial de la couche InGaAs-P^{++} soit élevé ($N_A = 8\times10^{19}$ cm^{-3}) et que les contacts présentent un comportement ohmique, une très forte résistance de couche est extraite pour la température de recuit 350°C. Cela est mis en évidence par les valeurs significativement élevées de R_{sh}, mais l'impact se ressent également sur les valeurs extraites de ρ_c. Ce résultat n'était bien entendu pas celui attendu en premier lieu. À titre de comparaison, la valeur de R_{sh} estimée par le fournisseur de l'épitaxie MBE pour la couche InGaAs-P^{++} de 28 nm était d'environ 640 Ω/□. À mesure que la température de recuit augmente, des tendances distinctes émergent. Les valeurs extraites de R_{sh} montrent une diminution notable et progressive de la résistance de l'InGaAs jusqu'à 500°C pour les deux contacts. Les valeurs extraites de ρ_c révèlent quant à elles deux températures optimales distinctes pour atteindre la plus faible résistivité selon le métal de contact : 450°C pour le contact Ti et 400°C pour le contact Ni.

Nous nous sommes questionnés sur les raisons ayant pu mener à cette résistance de couche si élevée pour l'InGaAs-P^{++} une fois la fabrication des dispositifs TLM terminée. La piste d'une passivation des dopants carbone par l'hydrogène a alors été soulevée, et la prochaine section détaille comment cette piste a été investiguée.

3.4.4.1 Passivation par l'hydrogène suite à des procédés de gravure sèche

La littérature rapporte que les accepteurs carbone d'un InGaAs dopé P sont sensibles à la passivation par l'hydrogène. Ce phénomène se produit généralement lors de la croissance épitaxiale ou durant le refroidissement post-croissance, au sein d'une atmosphère hydrogénée [*Stockman_1992, Stillman_1993*]. Pour éliminer l'hydrogène incorporé dans la couche d'InGaAs et réactiver les dopants carbone, des recuits thermiques en atmosphère contrôlée peuvent être effectués après la croissance [*Stockman_1994, Han_2002*]. Il a notamment été montré qu'un recuit thermique sous N_2 à 500°C appliqué à une couche d'InGaAs-P passivée par l'hydrogène permet une réactivation efficace des dopants carbone, entraînant une augmentation de la concentration en trous [*Ito_1996*].

Étant donné que l'hydrogène est présent dans de nombreux procédés de fabrication utilisés dans les filières CMOS, notre hypothèse principale fut que la couche de contact InGaAs-P^{++} soit devenue excessivement résistive en raison d'une réduction significative de la concentration de dopants actifs, empêchant ainsi l'obtention d'un comportement ohmique pour les contacts en premier lieu. Pour approfondir cette hypothèse, des mesures par effet Hall complémentaires ont été effectuées sur des échantillons InGaAs/InP. Des couches similaires d'InGaAs-P^{++} de 28nm ont été caractérisées à différentes étapes : avant tout traitement, suite au dépôt puis retrait par gravure humide HF d'une couche de SiN PECVD, suite à une gravure sèche type ICP sous atmosphère hydrogénée (CH_2F_2 : 20 sccm + Ar : 20 sccm), et enfin suite à un recuit RTA de 2 min à 450°C sous atmosphère N_2, appliqué après la gravure ICP.

La couche InGaAs-P^{++} est positionnée au-dessus d'une couche InGaAs n.i.d. de 50 nm. Les résultats sont présentés dans le Tableau 15 ci-dessous. Il s'est avéré que le dépôt et le retrait de la couche de SiN PECVD a dans un premier temps amélioré les propriétés électriques de la couche InGaAs-P^{++}. Ce phénomène peut paraître surprenant aux premiers abords, mais il se rapproche d'un autre résultat rapporté dans la littérature. En effet, Ren et al. [*Ren_1996*] ont rapporté que suite au dépôt par ECR-CVD d'un film de SiN_x sur une couche d'InGaAs-P (:C) passivée par de l'hydrogène, une réactivation des accepteurs carbone a eu lieu, alors même que le procédé de dépôt du SiN_x ajoute aussi de l'hydrogène via les précurseurs utilisés. L'explication proposée est alors que l'hydrogène est conditionné d'une façon qui favorise le détachement des complexes C-H lors du dépôt du SiN_x, plutôt que de continuer à passiver le carbone. Cela permettrait donc aux atomes C de reprendre leur rôle d'accepteur. À l'inverse de ce phénomène, la gravure sèche ICP testée ici a conduit à une forte passivation des accepteurs carbone de la couche InGaAs-P^{++}. Cela entraînerait alors un passage du courant par le chemin le moins résistif, rendant les valeurs mesurées plus représentatives de la couche InGaAs non

intentionnellement dopée sous-jacente. Une restauration partielle des propriétés initiales de la couche InGaAs-P^{++} a été observé suite au recuit RTA 450°C sous atmosphère N_2, montrant ainsi l'effet de déshydrogénation.

Tableau 15 : Comparaison du niveau de dopage, de la résistance de couche R_{sh} et de la mobilité des trous, mesurés par effet Hall, suite à différents procédés.

	Etat initial	**Après deposition et retrait de SiN PECVD**	**Après gravure type ICP** (CH_2F_2 + Ar)	**Après recuit RTA 450°C 120s**
Epaisseur de p-InGaAs [nm]	29.9	29.9	23.0	23.0
Niveau de dopage mesuré [10^{19} cm^{-3}]	**Type P 7.17**	**Type P 8.88**	**Type N**	**Type P 6.99**
R_{sh} [Ω/□]	701	643	**N/A**	906
Mobilité des trous [$cm^2/(V.s)$]	41.6	36.6	**N/A**	42.9

Cette étude complémentaire a permis de consolider l'hypothèse selon laquelle les accepteurs carbone sont passivés par l'hydrogène au cours de la fabrication de nos dispositifs TLM. Elle a également montré que l'augmentation significative de la résistance de la couche InGaAs-P^{++} au sein de la structure serait principalement due à la gravure sèche ICP des cavités de contact, plutôt qu'à l'encapsulation par les couches diélectriques.

Suite à cela, les mesures TLM présentées dans la Figure 85 peuvent désormais être interprétées avec plus de précision. La température optimale pour une déshydrogénation efficace de la couche InGaAs-P^{++} s'est avérée être 500°C, ce qui est en accord avec les travaux de Ito et al. [*Ito_1996*]. En revanche, les températures ayant permis d'obtenir les plus faibles valeurs de résistivité de contact sont 450°C pour le contact Ti et 400°C pour le contact Ni. Il s'avère cependant difficile de proposer une interprétation plus poussée de ces résultats. En effet, il est probable que les valeurs de résistivité mesurées en fonction de la température de recuit résultent à la fois : de la réduction progressive de la résistance de l'InGaAs ; et de réactions métal-InGaAs supplémentaires, pouvant être bénéfiques ou défavorables pour la performance du contact. Le fait que les recuits thermiques aient été effectués alors que les dispositifs TLM étaient déjà entièrement fabriqués n'est également pas une configuration idéale. Le chemin de diffusion de l'hydrogène hors de la couche d'InGaAs reste notamment incertain, ce qui fait craindre une réincorporation de cet hydrogène dans d'autres zones de la structure – un phénomène susceptible de générer des effets indésirables à terme. Des pistes d'amélioration sont alors discutées ultérieurement.

3.4.4.2 Application de la méthodologie numérique d'extraction

Une évaluation précise des valeurs de R_{sh} et de ρ_c extraites par TLM pour les contacts Ti et Ni n'est pas vraiment réalisable en se basant uniquement sur les résultats présentés dans la Figure 85. En effet, on observe une variation des valeurs obtenues en fonction de la géométrie du dispositif TLM et de la dimension des contacts, un comportement déjà constaté en amont et donc attendu. De plus, la morphologie du contact doit également être pris en compte lors de l'extraction des paramètres de résistivité, car la couche InGaAs-P^{++} située sous le contact a été endommagée durant la fabrication, comme l'ont révélé les observations TEM présentées dans les Figures 83 et 84. Les principaux facteurs ayant contribué à cette dégradation sont : la gravure sèche ICP des cavités de contact, le nettoyage de surface in-situ au plasma He ou Ar avant le dépôt métallique [*Rodriguez_2015*], ainsi que la formation de composés intermétalliques et d'alliages à l'interface métal-InGaAs [*Bensalem_2020, Boyer_2023*], phénomène accentué par le budget thermique appliqué au cours de la fabrication des dispositifs.

Afin de prendre en compte la distribution globale du courant au sein de nos dispositifs, notre méthodologie numérique d'extraction a de nouveau été employée ici. La géométrie des dispositifs TLM, ainsi que les dimensions et la morphologie des contacts sont modélisées pour permettre une évaluation plus précise des paramètres de résistivité. Par exemple, dans le cas du contact Ni, un contact électrique se faisant sur les flancs a ainsi été simulé, l'alliage Ni-InGaAs ayant diffusé jusqu'à la couche InP n.i.d. sous-jacente. Les résistances totales mesurées (R_{tot}) à partir des dispositifs TLM sont tracées en fonction de la distance d'espacement entre les contacts selon leurs différentes géométries. Les valeurs de R_{tot} obtenues par simulation sont ensuite comparées aux mesures, et le couple de valeurs [R_{sh}, ρ_c] mis en entrée dans le modèle est ajusté jusqu'à obtenir la correspondance la plus optimale possible. Finalement, un ensemble unique de valeurs [R_{sh}, ρ_c] est extrait, représentant avec précision les différentes R_{tot} mesurées en fonction de la géométrie du contact.

A. Contact Ti/p-InGaAs recuit à 450°C

Pour le contact Ti/p-InGaAs, cette méthodologie a d'abord été appliquée sur l'échantillon ayant subi un recuit RTA à 450°C, car c'est à cette température que les résistivités de contact les plus basses ont été obtenues par TLM. Le couple de valeurs [R_{sh}, ρ_c] mis en entrée dans le modèle est ajusté jusqu'à obtenir la correspondance la plus optimale possible entre les valeurs de résistance totale R_{tot} simulées et celles ayant été mesurées sur les différentes dimensions de contact. Aux plus grandes distances d'espacement *d*, une très bonne correspondance entre les R_{tot} a rapidement été obtenue, avec une résistance de couche du p-InGaAs valant 11 kΩ/□. Bien que cette valeur de R_{sh} soit élevée, on constate en effet que la différence relative entre les R_{tot} est inférieure à 5.5% à partir de d = 18 µm, et cela pour toutes les dimensions de contact adressées. Cependant, il s'est avéré impossible de correctement évaluer la valeur de ρ_c dans le cas présent. Comme le montre le Tableau 16 ci-dessous, en prenant comme exemple la dimension de contact 5×5 µm², on semble atteindre une sorte de palier à partir de $\rho_c = 5.0\times10^{-8}$ Ω*cm². En effet, pour des valeurs de ρ_c inférieures, on constate que la différence relative entre les R_{tot} simulées et celles mesurées n'évoluent presque plus aux plus petites distances

d'espacement. Cela est problématique, car même en abaissant le ρ_c mis en entrée dans le modèle à des valeurs déraisonnables (e.g. 5.0×10^{-11} Ω*cm²), il n'est pas possible de se rapprocher convenablement des valeurs de R_{tot} mesurées sur nos dispositifs TLM. De ce fait, une estimation précise de la résistivité du contact Ti/p-InGaAs sur l'échantillon recuit à 450°C n'a malheureusement pas été réalisable.

Tableau 16 : Comparaison des résistances totales simulées pour différentes valeurs de ρ_c, par rapport à la R_{tot} mesurée. La valeur de R_{sh} est fixée à 11 kΩ/□ dans le modèle. Le cas du contact Ti/p-InGaAs de 5×5 µm² sur l'échantillon recuit à 450°C est considéré ici.

		$\rho_c = 5\times10^{-6}$ Ω.cm²		**$\rho_c = 5\times10^{-7}$ Ω.cm²**		**$\rho_c = 5\times10^{-8}$ Ω.cm²**		**$\rho_c = 5\times10^{-9}$ Ω.cm²**	
Distance d'espacement (µm)	R_{tot} mesurée sur les dispositifs TLM (Ω)	R_{tot} simulée (Ω)	Diff. relative (%)	R_{tot} simulée (Ω)	Diff. relative (%)	R_{tot} simulée (Ω)	Diff. relative (%)	R_{tot} simulée (Ω)	Diff. relative (%)
1.5	**2390**	3640	52.3	3060	28.0	2865	19.9	2824	18.2
3.5	**5802**	7172	23.6	6593	13.6	6399	10.3	6358	9.6
6	**10 248**	11 604	13.2	11 026	7.6	10 833	5.7	10 792	5.3
10	**17 047**	18 692	9.7	18 116	6.3	17 923	5.1	17 881	4.9
14	**24 057**	25 783	7.2	25 205	4.8	25 007	4.0	24 972	3.8
18	**31 362**	32 888	4.9	32 307	3.0	32 115	2.4	32 052	2.2
28	**49 367**	50 559	2.4	49 962	1.2	49 740	0.7	49 651	0.6
43	**75 111**	77 161	2.7	76 580	2.0	76 438	1.8	76 362	1.7

Une première hypothèse plausible est alors que la valeur élevée de R_{sh} – qui serait quant à elle plutôt représentative des dispositifs TLM mesurés – fasse totalement écran à une extraction numérique précise de ρ_c, car on essaie alors d'évaluer de faibles valeurs de résistivité de contact sur un barreau d'InGaAs très résistif.
Une seconde hypothèse concernerait plutôt notre modèle de simulation en lui-même. Si l'on ne parvient pas à se rapprocher suffisamment des valeurs de R_{tot} mesurées aux faibles distances d'espacement, serait-ce car notre modélisation ne prend pas en compte certains aspect nous ayant échappé à propos de la morphologie du contact Ti/p-InGaAs ? Ou bien simplement qu'elle est au final limitée pour réaliser l'extraction numérique de faibles résistivités de contact au sein d'un environnement très résistif ? Ces questions demeurent à l'heure actuelle en suspens, mais une piste d'investigation consisterait toutefois à modéliser le plus rigoureusement possible la morphologie réelle du contact Ti/p-InGaAs, ainsi que l'état du barreau d'InGaAs. Par exemple, cela impliquerait de considérer une éventuelle diffusion latérale des contacts dans notre modèle. De plus, l'influence des composés Ti_xGa_y et $TiAs_x$, ou encore l'influence d'une variation locale de l'homogénéité de l'InGaAs et du degré d'hydrogénation sur la résistance totale simulée s'avéreraient également très intéressantes à étudier. Mettre en place ces optimisations demanderait alors certaines caractérisations complémentaires très précises du contact Ti/p-InGaAs recuit à 450°C, avec notamment une estimation de la résistance de couche des composés intermétalliques et de l'InGaAs selon sa stœchiométrie, si cela s'avère réalisable.

Toutefois, si l'on souhaite malgré tout estimer un intervalle pour la résistivité de contact Ti/p-InGaAs sur l'échantillon recuit à 450°C, la fourchette la plus raisonnable se situerait entre 5.0×10^{-7} et 5.0×10^{-8} Ω*cm². En effet, comme l'illustre la Figure 86 ci-dessous pour la dimension de contact 5×5 µm², la valeur de R_{tot} simulée aux plus faibles espacements varie très peu lorsque ρ_c descend en dessous de 5.0×10^{-8} Ω*cm², tandis qu'elle augmente nettement lorsque ρ_c dépasse 5.0×10^{-7} Ω*cm². Le même comportement est observé pour les autres dimensions de contact. Ainsi, retenir cet intervalle revient à se placer entre une limite supérieure au-delà de laquelle une variation de ρ_c influence encore significativement les R_{tot} simulées, et une limite inférieure en dessous de laquelle cette variation n'a plus d'effet notable sur les R_{tot} obtenues par simulation.

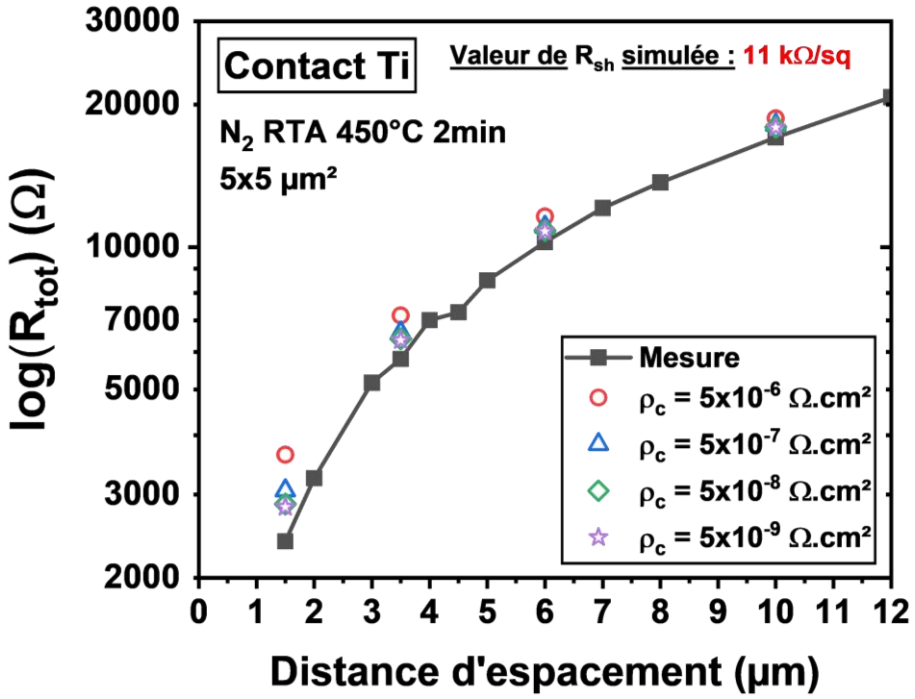

Figure 86 : Graphique comparant les résistances totales simulées pour différentes valeurs de ρ_c, par rapport à la R_{tot} mesurée. Le cas du contact Ti/p-InGaAs de dimension 5×5 µm² sur l'échantillon recuit à 450°C est considéré ici.

A défaut de pouvoir être plus précis, il a été choisi de finalement considérer la borne haute de cet intervalle pour caractériser ce contact. Cela permettra notamment de pouvoir le comparer aux autres cas étudiés. Ainsi, les valeurs extraites via l'application de notre méthodologie d'extraction numérique sont R_{sh} = 11.0 kΩ/□ et $\rho_c = 5.0\times10^{-7}$ Ω*cm², pour ce contact Ti/p-InGaAs sur l'échantillon recuit à 450°C. La Figure 87 compare alors les valeurs de R_{tot} obtenues par simulation – via ce couple [R_{sh}, ρ_c] – à celles ayant été mesurées, pour les différentes dimensions de contact adressées.

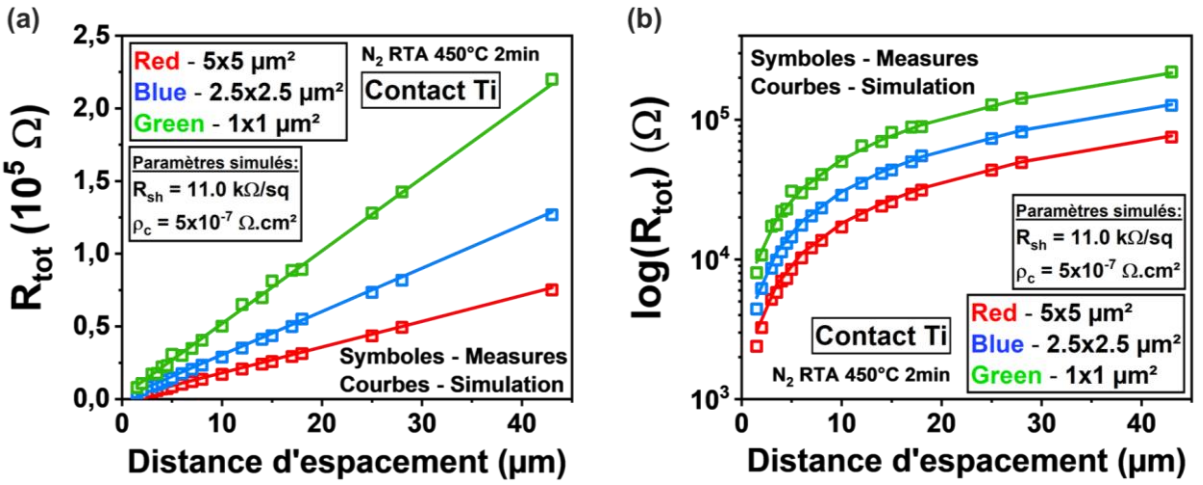

Figure 87 : Comparaison des résistances totales mesurées et simulées du contact Ti/p-InGaAs, en fonction de la géométrie des dispositifs TLM et de la dimension des contacts. (a) Echelle linéaire et (b) échelle logarithmique. La température de recuit de 450°C est celle ayant conduit à l'obtention des valeurs minimales de ρ_c lors de l'extraction TLM. Cela résulte probablement d'une stabilisation du contact, faisant suite à une réduction de la résistance de couche (déshydrogénation) et à des réactions interfaciales additionnelles.

Si l'on prend finalement l'ensemble des R_{tot} simulées selon les différentes dimensions de contact, on trouve une différence relative moyenne inférieure à 7.1% par rapport à l'ensemble des R_{tot} mesurées. Les ordres de grandeur des valeurs extraites de R_{sh} et ρ_c (11 kΩ/□ et 5.0×10^{-7} Ω*cm²) s'avèrent également être en bon accord avec les mesures rapportées sur la Figure 85.

B. Contact Ti/p-InGaAs recuit à 500°C

Le même travail a été réalisé pour l'échantillon Ti/p-InGaAs recuit à 500°C. Le but était alors d'appliquer notre méthodologie d'extraction numérique sur un échantillon dont la résistance de couche est bien moindre, grâce à une déshydrogénation plus prononcée. Cependant, là où trois dimensions de contact ont pu être évaluées numériquement dans le cas précédent, seulement une était exploitable ici, à savoir la dimension 1×1 µm². La raison est que les R_{tot} mesurées aux espacements les plus faibles pour les autres dimensions variaient trop selon les dispositifs TLM considérés. Cela ne permettait donc pas d'évaluer une valeur précise de ρ_c par simulation. La recherche d'un couple de valeurs [R_{sh}, ρ_c] pouvant faire correspondre les R_{tot} simulées à celles ayant été mesurées sur cette dimension 1×1 µm² a donc été menée. Il en a résulté que les valeurs R_{sh} = 2165 Ω/□ et $\rho_c = 1.0\times10^{-6}$ Ω*cm² permettent d'obtenir une bonne correspondance (voir Figure 88), avec une différence relative moyenne entre les valeurs mesurées et simulées de R_{tot} inférieure à 2.8%.

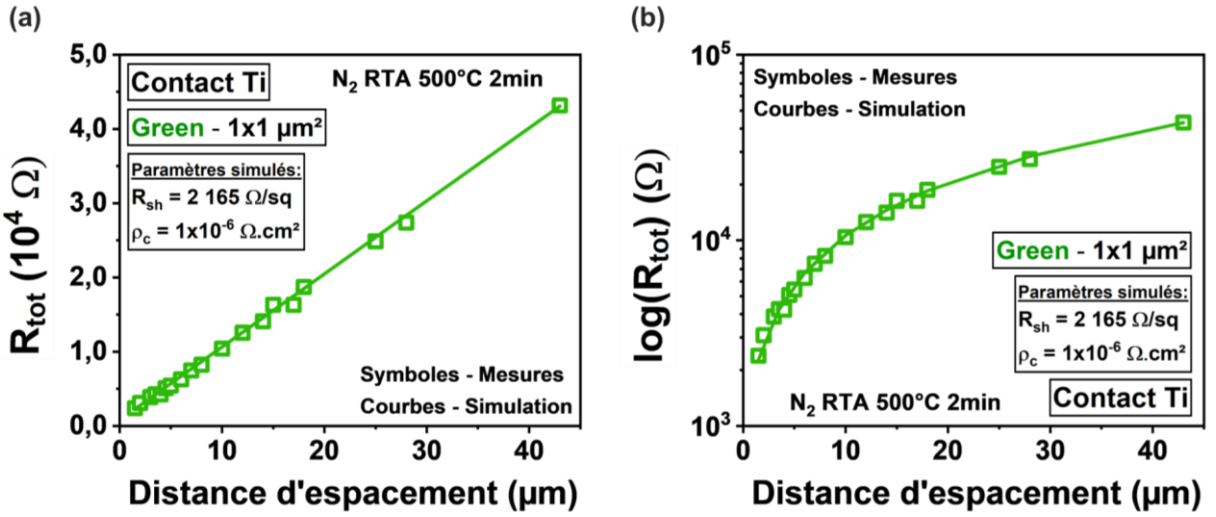

Figure 88 : Comparaison des résistances totales mesurées et simulées du contact Ti/p-InGaAs pour la dimension de contact 1×1 µm², à la température de recuit 500°C. (a) Echelle linéaire et (b) échelle logarithmique.

Ce résultat ne pourra cependant pas être bien plus exploité que cela. En effet, notre méthodologie d'extraction numérique permet à la base de montrer qu'il est possible de faire correspondre un même couple de valeurs [R_{sh}, ρ_c] à plusieurs dimensions de contact, là où la méthodologie TLM standard fournit différentes valeurs. Or dans le cas où une seule dimension est exploitable dans notre modèle, cela est moins intéressant. Néanmoins, les valeurs extraites ici semblent confirmer les tendances observées dans la Figure 85, à savoir que R_{sh} s'améliore tandis que ρ_c se dégrade à 500°C.

C. Contact Ni/p-InGaAs recuit à 400°C

Pour le contact Ni/p-InGaAs, nous avons commencé par appliquer notre méthodologie numérique sur l'échantillon recuit à 400°C (Figure 89), car les plus basses valeurs de ρ_c extraites par TLM ont été obtenues à cette température.

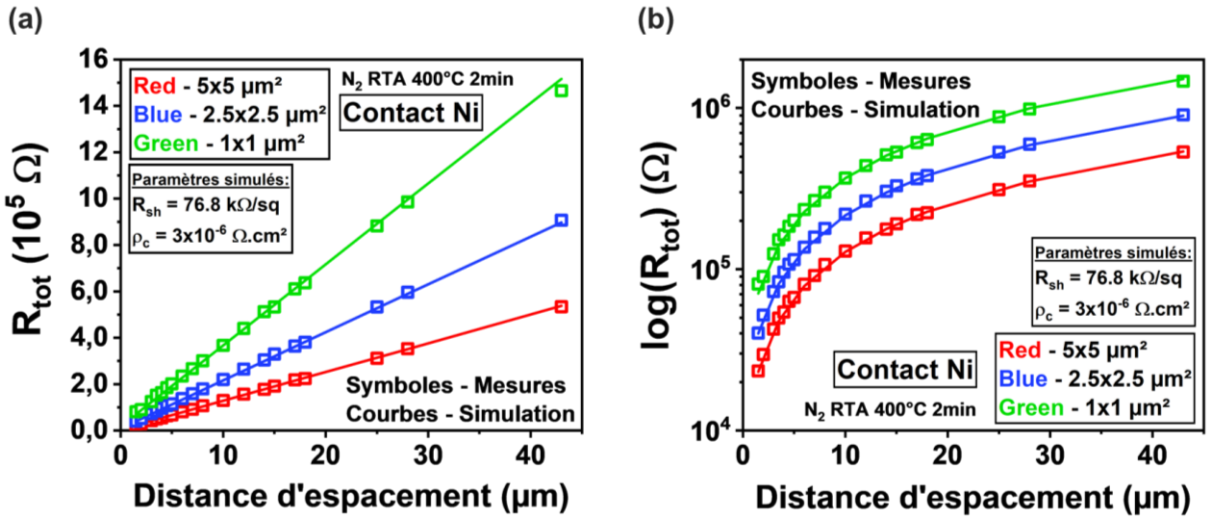

Figure 89 : Comparaison des résistances totales mesurées et simulées du contact Ni/p-InGaAs, en fonction de la géométrie des dispositifs TLM et de la dimension des contacts. (a) Echelle linéaire et (b) échelle logarithmique. La température de recuit de 400°C est celle ayant conduit à l'obtention des valeurs minimales de ρ_c lors de l'extraction TLM.

Après ajustement du couple de paramètres [R_{sh}, ρ_c] dans notre modèle, il apparaît que R_{sh} = 76.8 kΩ/□ et $\rho_c = 3.0\times10^{-6}$ Ω*cm² offrent une correspondance satisfaisante entre les valeurs mesurées et simulées de R_{tot}, pour les différentes dimensions de contact adressées. La différence relative moyenne entre toutes les valeurs mesurées et simulées de R_{tot} reste en effet inférieure à 2.3%. On remarque toutefois que la valeur de R_{sh} extraite est extrêmement élevée. Elle reste néanmoins cohérente avec l'ordre de grandeur observé précédemment dans la Figure 85. Par ailleurs, bien qu'elle soit environ sept fois supérieure à celle obtenue pour le contact Ti/p-InGaAs recuit à 450°C, le problème rencontré dans ce dernier cas — c'est-à-dire l'incapacité à reproduire les R_{tot} mesurées aux faibles espacements — ne se manifeste pas ici. Cela suggère que cette difficulté apparaît uniquement lorsque la résistivité du contact est suffisamment faible, ce qui n'est pas le cas du contact Ni/p-InGaAs considéré ici, dont la résistivité est vraisemblablement de l'ordre de 10^{-6} Ω*cm². Cette valeur témoigne également d'une nette amélioration vis-à-vis de ce qui avait pu être globalement observé lors de l'application de la méthodologie TLM dans la Figure 85.

3.4.4.3 Comparaison à l'état de l'art

Suite à ces différents résultats, une comparaison est proposée entre l'état de l'art et les meilleures valeurs de ρ_c obtenues dans cette étude, voir Tableau 17.

Tableau 17 : Comparaison des valeurs de résistivité de contact obtenues sur p-InGaAs avec l'état de l'art.

	Cette étude		[*Rodriguez _2020*]	[*Katz_1989*]	[*Szelag _2017*]	[*Lobisser _2011*]	[*Bengi _2011*]
Dopage du p-InGaAs [10^{19} cm^{-3}]	8.0 (initialement)		3.0	1.5	3.0	5.0	2.0
Métal de contact	Ti	Ni	Ti	Ti	Ni	W	Pt
Procédé compatible CMOS	Oui		Oui	Non	Oui	Non	Non
Substrat	Si 200mm		Si 200mm	InP	Si 200mm	InP	InP
Longueur de contact [µm]	De 5 à 1		1	200	/	25	200
ρ_c (10^{-7} Ω.cm2)	**5.0**	**30**	17	0.34	56	2.2	1.1

3.4.4.4 Estimation par simulation de la résistance totale de base R_{bb}

En nous concentrant sur un contact réalisé par dépôt de Ti sur la base, nous avons essayé de réaliser une estimation de quel serait l'impact de l'hydrogénation de la couche InGaAs-P^{++} sur la résistance totale de base R_{bb}. Pour cela, nous avons modifié le modèle COMSOL, utilisé pour réaliser l'extraction de ρ_c et de R_{sh} sur les dispositifs TLM jusqu'ici, afin de reproduire la couche de base du transistor ainsi que les contacts de base, voir Figure 90. Le contact parfait, de dimension équivalente à celle de l'émetteur, sert à imposer une différence de potentiel rigoureuse entre la partie intrinsèque de la base et les contacts de base.

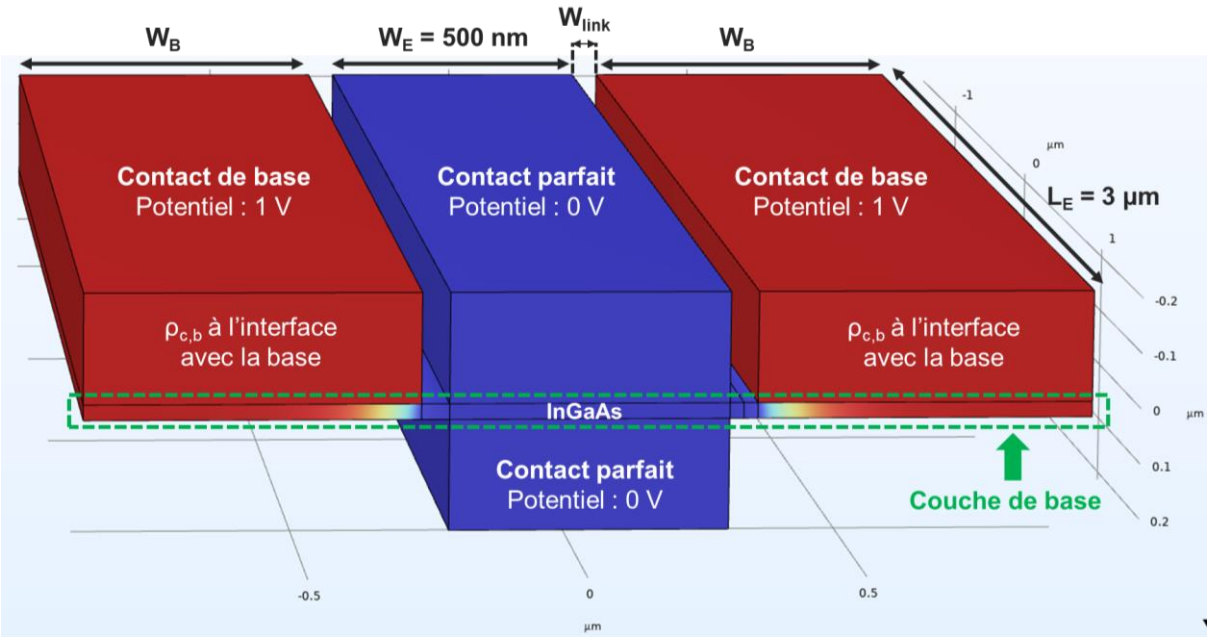

Figure 90 : Reproduction sur COMSOL de la couche de base du transistor et des contacts de base.

Les paramètres de résistivité ($\rho_{c,b}$ et R_{sh}) obtenus précédemment dans le cas du contact Ti, ainsi que les différentes dimensions de contact de base envisageables pour le InP-DHBT sur silicium de notre filière, ont alors été considérés. Les dimensions de l'émetteur sont fixées à W_E = 500nm et L_E = 3µm, et l'espacement entre l'émetteur et le contact de base est fixé à W_{link} = 50nm. De plus, différents cas de sévérité d'hydrogénation ont été simulés : R_{sh} de la base non dégradée (= 640 Ω/□), R_{sh} dégradée uniquement sous le contact, et R_{sh} dégradée sous le contact ainsi qu'au niveau de l'espacement entre l'émetteur et le contact de base. Une différence de potentiel de 1 V est appliqué entre le contact de base et la partie intrinsèque de la base. Enfin, la densité de courant traversant la section verticale de la base, se situant entre l'émetteur et le contact de base, est intégrée afin d'extraire R_{bb}. Les résultats de cette estimation sont présentés dans la Figure 91 ci-dessous.

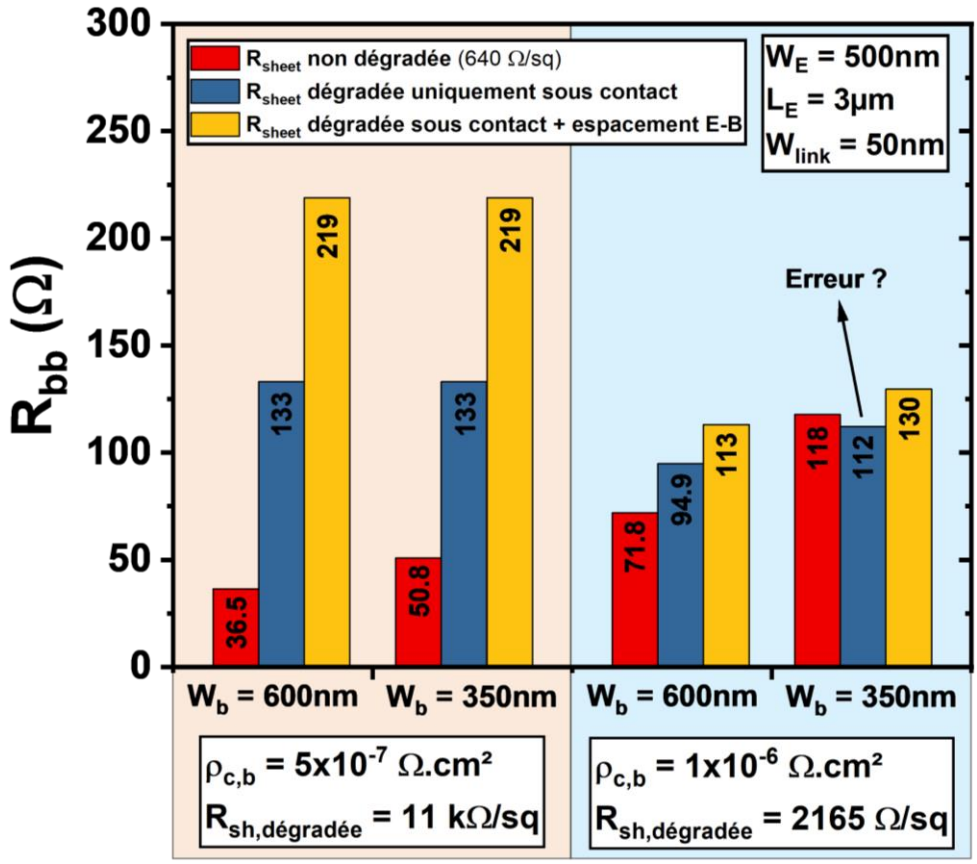

Figure 91 : Estimation par simulation de la résistance totale de base R_{bb} en fonction de la largeur W_B du contact de base, de la résistivité $\rho_{c,b}$ du contact de base, et de la proportion de R_{sh} dégradée dans la couche de base.

Le constat suivant peut être tiré de cette estimation. Dans le cas où $\rho_{c,b}$ vaut 5.0×10^{-7} Ω*cm², on remarque qu'une réduction de la largeur du contact de base provoque une augmentation de R_{bb} de 39.2 %, lorsque l'on considère une couche de base intacte. Ensuite, pour une couche passivée sous le contact de base avec un $R_{sh,dégradée}$ de 11 kΩ/□, on observe une importante dégradation de R_{bb}. De plus, la valeur de W_B semble alors ne plus avoir d'influence. Il en va de même lorsque la couche de base est passivée sous les contacts et au niveau de l'espacement émetteur-base, avec une valeur de R_{bb} augmentant à nouveau fortement, sans que la valeur de W_B ne change quoi que ce soit. La valeur élevée de $R_{sh,dégradée}$ domine donc largement les contributions à la résistance totale de base ici.

Dans le cas où $\rho_{c,b}$ vaut 1.0×10^{-6} Ω*cm² et $R_{sh,dégradée}$ vaut 2165 Ω/□, la réduction de la largeur du contact de base provoque désormais une augmentation de 64.3 % de la valeur de R_{bb}, lorsque la couche de base est intacte. Cette différence est toutefois logique, car le contact est plus résistif. Lorsque la couche de base est passivée sous les contacts, on constate que la valeur de R_{bb} augmente moins fortement que dans le cas précédent. La valeur bien plus faible de $R_{sh,dégradée}$ semble alors en être la raison. On remarque cependant que pour W_B = 350nm, la valeur de R_{bb} diminue légèrement. Nous ne sommes malheureusement pas parvenus à trouver d'explications logique à ce phénomène, qui mériterait des investigations supplémentaires. Enfin, pour une couche de base passivée sous les contacts et au niveau de l'espacement émetteur-base, R_{bb} augmente à nouveau et la largeur du contact de base garde toujours une influence sur la valeur évaluée. L'hypothèse émise est alors que cela est à nouveau lié à la valeur plus faible de $R_{sh,dégradée}$.

On peut conclure cette étude de la manière suivante. Si l'on parvient à préserver la couche de base de tout type de dégradation pouvant affecter sa résistance de couche initiale (hydrogénation, dégradation de l'intégrité, etc…), alors une résistivité la plus faible possible pour le contact de base est évidemment préférable afin de limiter R_{bb}. Cependant, pour une couche de base dégradée, il semblerait qu'il puisse être préférable d'opter pour une résistivité de contact plus élevée si cela permet en contrepartie d'obtenir une résistance de couche plus faible pour la base. En effet, comme l'illustre la Figure 91, des valeurs plus faibles de R_{bb} peuvent alors être espérées. Cela dépendra donc finalement surtout de la valeur de la résistance de couche de la base.

3.4.5 Conclusion pour le contact sur InGaAs-P^{++}

3.4.5.1 Résumé

Des contacts ohmiques de petites dimensions, réalisés à base de Ti et de Ni sur InGaAs-P^{++} (:C) et intégrés sur substrats silicium 200 mm dans le cadre de la seconde version des lots TASP, ont été caractérisés électriquement. Des contacts à base de W et de Mo ont également été fabriqués, mais finalement écartés, car les procédés de nettoyage de surface plasma in-situ associés à ces dépôts ont provoqué une consommation complète de la couche de contact.

Les premières mesures I-V ont montré que les contacts Ti et Ni ne présentaient pas de comportement ohmique dans leur état initial, après fabrication. Un recuit thermique rapide (RTA) de 2 minutes à 350°C sous atmosphère N_2 a alors permis d'obtenir un comportement ohmique pour les deux types de contacts. Cela a motivé la réalisation de recuit supplémentaires jusqu'à 550°C, afin d'évaluer la robustesse thermique des contacts et d'adresser certains budgets thermiques comparables à ceux typiquement rencontrés lors des étapes BEOL des procédés CMOS.

Les valeurs de R_{sh} et de ρ_c extraites via la méthodologie TLM standard ont révélé que la couche de contact InGaAs-P^{++} est fortement résistive à 350°C, mais que sa résistance diminue progressivement avec la température de recuit, atteignant un minimum à 500°C. La résistivité de contact semble elle aussi être affectée par la baisse de la résistance de couche, les valeurs les plus faibles ayant été mesurées à 450°C pour Ti et 400°C pour Ni.

Pour expliquer cette résistance de couche élevée, l'hypothèse d'une passivation par l'hydrogène des accepteurs carbone a été avancée. En effet, l'hydrogène est présent dans de nombreux procédés de fabrication utilisés dans les filières CMOS. Afin de vérifier cette hypothèse, une étude complémentaire basée sur des mesures Hall a été menée. Des couches d'InGaAs-P^{++} de 28 nm ont été caractérisées après le dépôt puis le retrait d'une couche de SiN PECVD, ainsi qu'après une gravure sèche ICP réalisée sous atmosphère hydrogénée (CH_2F_2 + Ar). Les résultats ont confirmé la passivation des accepteurs carbone par l'hydrogène, avec la gravure sèche ICP comme cause principale. Un recuit RTA à 450°C pendant 2 minutes sous N_2 permet alors de restaurer partiellement les propriétés électriques de la couche. Ainsi, l'étape de gravure

sèche utilisée pour ouvrir les cavités de contact lors de la fabrication des dispositifs TLM est identifiée comme responsable de la forte résistance initiale de la couche InGaAs-P^{++}.

Il est donc difficile d'interpréter précisément les résistivités de contact extraites précédemment. Les recuit RTA ayant été effectués après la fabrication complète des dispositifs TLM, les valeurs mesurées résultent ainsi d'un compromis entre la réduction de la résistance de couche et l'optimisation du contact, ces deux paramètres dépendant fortement de la température de recuit. Pour essayer d'affiner l'analyse, une seconde évaluation a été effectuée en appliquant notre méthodologie numérique d'extraction sur les mesures. Il en a résulté l'obtention de résistivités de contact aussi faibles que 5.0×10^{-7} Ω*cm² dans le cas du contact Ti (recuit à 450°C), et 3.0×10^{-6} Ω*cm² dans le cas du contact Ni (recuit à 400°C). Ces performances restent toutefois associées à des résistances de couche élevées, atteignant 11.0 kΩ/□ (Ti) et 76.8 kΩ/□ (Ni) pour la couche InGaAs de contact.

Finalement, une estimation de la résistance totale de base R_{bb} a été réalisée, en considérant les paramètres de résistivité extraits numériquement dans le cas d'un contact Ti. Les conclusions sont qu'une faible résistivité pour le contact de base est préférable lorsque la couche de base est intacte, mais que cela peut être amené à changer lorsque la résistance de couche est dégradée.

3.4.5.2 Ouverture / Perspectives

En conclusion, les technologies InP-DHBT les plus avancées aujourd'hui — réalisées sur substrat III-V — parviennent à obtenir des résistivités de contact de l'ordre de 10^{-8} Ω*cm², mais elles reposent généralement sur des métallisations n'étant pas compatibles CMOS et sur un schéma d'intégration n'étant pas planaire. Ces approches n'incluent notamment pas la formation de cavités de contact par gravure sèche de matériaux diélectriques, et donc ne rencontrent pas la problématique de passivation des accepteurs carbone par l'hydrogène associée à cette étape. Elles ne proposent ainsi pas de solution adaptée à une intégration planarisée compatible CMOS.

Afin de résoudre cette problématique majeure affectant la technologie InP-HBT sur silicium que nous développons, une approche de fabrication alternative a été pensée. D'une part, une fine couche d'alumine (Al_2O_3) pourrait être déposée sur la couche InGaAs-P^{++} afin de la protéger durant la gravure sèche des cavités de contact, l'alumine étant reconnue comme une barrière efficace à la diffusion de l'hydrogène. L'ouverture des contacts sera ensuite finalisée par gravure humide de l'alumine pour révéler la couche active. Un recuit de déshydrogénation peut également être effectué immédiatement après la gravure des cavités, afin de favoriser une élimination efficace de l'hydrogène avant la formation du contact métallique. Enfin, de manière similaire à ce qui a été proposé suite à la caractérisation des contacts CMOS sur InGaAs-N^+, une réduction de l'épaisseur du métal de contact déposé, ainsi qu'une étape de recuit intermédiaire permettront de stabiliser les réactions à l'interface de contact, et de promouvoir la formation d'intermétalliques ou d'alliages favorables électriquement.

Mis à part l'ajout de la fine couche d'alumine pour protéger de l'hydrogénation, les différentes améliorations de procédé citées sont alors considérées pour une implémentation dans la dernière version en date de notre lot InP-DHBT sur silicium. La toute première version de ce lot a par ailleurs été réalisée en parallèle des différentes études de contact CMOS sur InGaAs, et a pu être caractérisée électriquement. Il s'agit de l'objet de la partie 3.5.

3.5 Caractérisation électrique du premier lot transistor InP-DHBT sur silicium de la filière

Le tout premier lot InP-DHBT sur silicium du LETI fonctionnel électriquement a été développé en parallèle de la fabrication et de la caractérisation des lots d'étude de contacts ohmiques TASP sur InGaAs-N^+ et InGaAs-P^{++}. De ce fait, il n'a pas pu pleinement bénéficier de tous les points d'amélioration ayant été trouvés et étudiés au fur et à mesure de sa fabrication, en particulier concernant l'optimisation des gravures et des contacts ohmiques. Ce premier lot transistor a alors reçu une gravure entièrement sèche des diélectriques SiN-SiO_2-SiN pour l'ouverture des cavités du contact de base sur InGaAs-P^{++}, ainsi qu'une métallisation de contact Ti PVD 10nm / TiN CVD 5nm. Toutes les différentes cavités de contact (émetteur, base et collecteur) ont été remplies via un dépôt $W(Si)_{1\%}$ 400°C, ce qui a notamment permis d'éviter les phénomènes de délamination en maîtrisant la contrainte engendrée, comme vu en amont (parties 2.4.1.3 et 2.4.1.4).

Les premières observations MEB réalisées en fin de fabrication étaient encourageantes : les cavités de contact étaient globalement correctement remplies par le $W(Si)_{1\%}$ et la structure apparaissait plane. Toutefois, des analyses plus fines par TEM ont révélé une dégradation sévère de la couche InGaAs-P^{++} sous les contacts de base (Figure 92). Comme observé en amont, l'interface Ti / InGaAs induit une détérioration de la qualité cristalline de l'InGaAs lorsqu'elle est soumise à un budget thermique de 400°C. Ce phénomène résulte de l'interdiffusion des éléments III-V, attirés par le titane de la métallisation, ainsi que de la formation non maîtrisée d'intermétalliques et d'alliages. Lorsque ces-derniers s'étendent sur une épaisseur trop importante, ils peuvent engendrer un court-circuit au niveau de la jonction base-collecteur du transistor, ce qui fut le cas ici. À cela s'ajoute la passivation des dopants carbone de l'InGaAs-P^{++}. L'ouverture des contacts de base ayant été réalisée par gravure entièrement sèche des diélectriques, il est en effet très probable que l'hydrogène présent dans l'atmosphère de gravure ait fortement augmenté la résistance de la couche, comme cela avait déjà été constaté lors de la mise en place des contacts sur InGaAs-P^{++} dans la seconde version des lots TASP (voir partie 3.4.4).

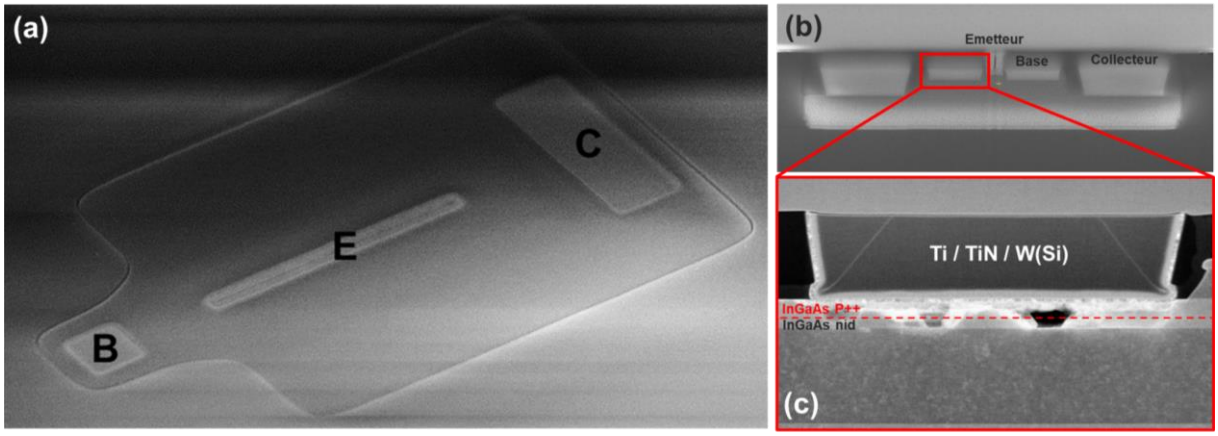

Figure 92 : Images du premier lot InP-DHBT sur silicium de la filière. (a) Observation MEB du dessus du transistor, avant réalisation des lignes métalliques AlCu. (b) Vue en coupe MEB du transistor, avant réalisation des lignes métalliques AlCu. (c) Observation STEM du contact de base du transistor : la couche de base InGaAs-P^{++} est fortement endommagée.

Malgré les dégradations observées, la caractérisation électrique de ce transistor revêtait tout de même une importance particulière. En tant que premier lot InP-DHBT sur silicium de la filière pouvant être soumis à des mesures électriques, il constituait une étape clé du projet pour le développement des futures générations. Le gain en courant $\beta = I_c/I_b$ a d'abord été caractérisé en fonction de la tension V_{BE} appliquée entre l'émetteur et la base, voir Figure 93 ci-dessous.

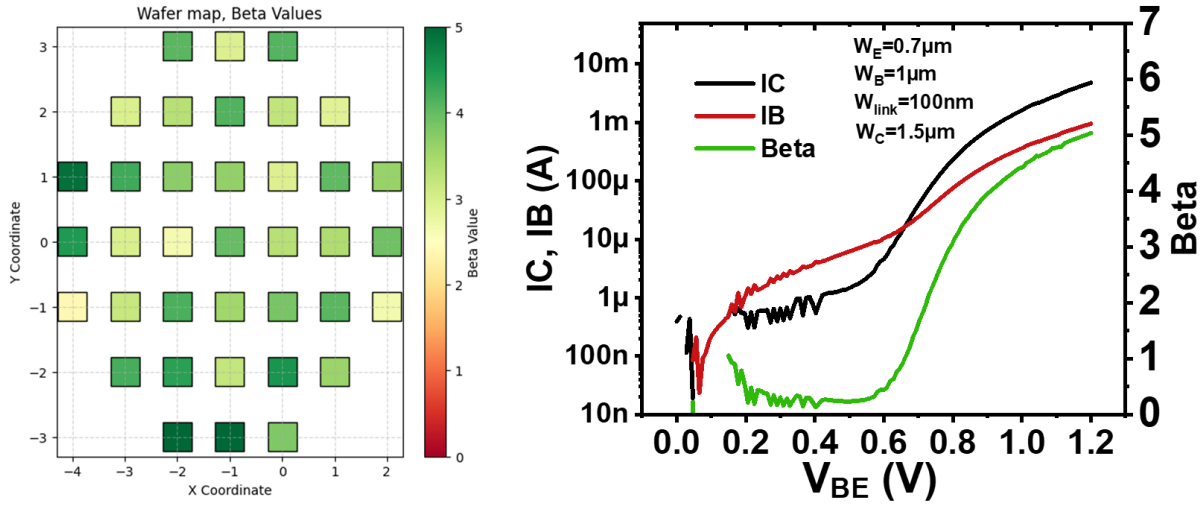

Figure 93 : Cartographie du gain β du transistor et graphe Gummel pour des dimensions relâchées : largeur émetteur = 0.7 µm, largeur du contact de base = 1 µm, espacement entre l'émetteur et le contact de base = 100 nm, largeur du contact collecteur = 1.5 µm.

Sur l'ensemble des motifs transistors disposant de dimensions relâchées, le gain minimum est d'environ 2.5, avec un maximum de 5 mesuré sur plusieurs puces. Il s'agit de la plus haute valeur de gain obtenue sur la totalité des transistors de ce premier lot transistor InP-DHBT sur silicium. Pour les motifs transistors disposant d'une largeur d'émetteur de 200 nm, qui est une dimension agressive nécessaire pour un fonctionnement THz, un gain en courant maximal de 4 a pu être mesuré. A titre de comparaison, le laboratoire IEMN est parvenu à obtenir un gain montant jusqu'à 12-14 pour un InP-DHBT fabriqué selon les mêmes empilements III-V que ceux utilisés dans cette thèse, mais en suivant un schéma d'intégration différent de celui de notre filière (intégration HBT III-V classique).

La jonction émetteur-base du transistor a ensuite été caractérisée en mesurant le courant de base I_b en fonction de la tension V_{BE}, sur des motifs dont la largeur d'émetteur est de 200 nm. Afin de pouvoir réaliser l'extraction du facteur d'idéalité η et de la résistance série R_S de la diode, la fonction de Lambert a été utilisée [*Jung_2009, Latry_2017*]. Comme l'illustre la Figure 94, un facteur d'idéalité compris entre en 1.35 et 1.44, ainsi qu'une valeur de résistance série R_S comprise entre 130 et 250 Ω sont extraits en faisant correspondre le modèle aux mesures. La valeur de η en particulier s'avère proche de valeurs rapportées sur des InP-DHBT performants dans la littérature [*Driad_2005*]. La valeur de R_S relevée s'avère en contraste très élevée. Étant donné ce qui a pu être observé précédemment, il a été déduit que cela est dû : à la dégradation cristalline de la couche InGaAs-P^{++} sous les contacts de base, à la passivation des dopants carbone par l'hydrogène, ainsi qu'à la présence d'un vide dans la métallisation de remplissage de la cavité de contact de l'émetteur. Ce vide est lié à la capacité de remplissage limitée du $W(Si)_{1\%}$ et au rapport hauteur / largeur important de cette cavité.

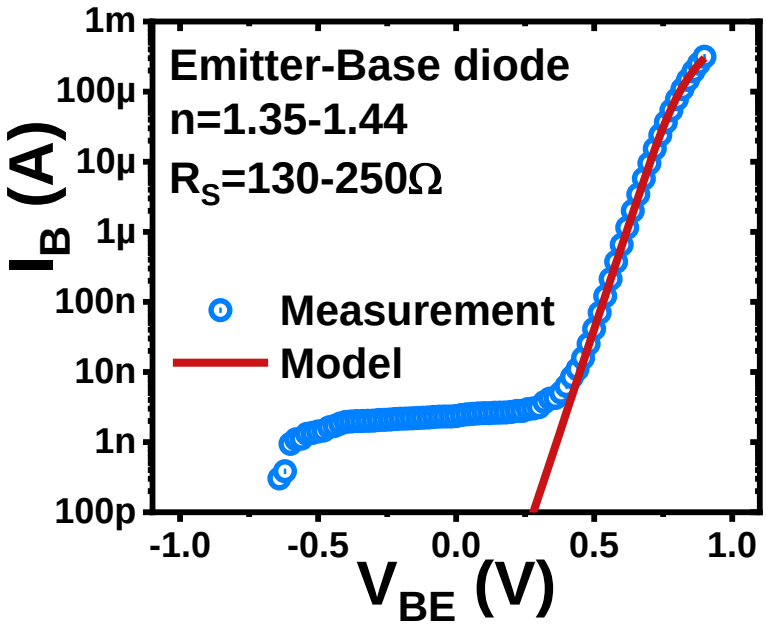

Figure 94 : Caractéristique I_b-V_{BE} de la diode émetteur-base pour des motifs transistors dont la longueur d'émetteur est 200 nm. Le modèle de fit est réalisé en utilisant la fonction de Lambert.

Pour finir, on constate également que le déclenchement de la diode arrive relativement tard. En effet, d'après ce qu'avait pu obtenir l'IEMN, on peut qualifier une diode émetteur-base InP/InGaAs d'être en « bonne santé » lorsque le courant de base I_b atteint 1 mA pour une tension appliquée V_{BE} de 0.5-0.6 V. Une première piste d'explication serait alors une diffusion des dopants carbone de la base dans la région émetteur. La deuxième piste concernerait une diffusion de l'hydrogène qui se propagerait dans toute la région de base, bien qu'initialement introduite au niveau des contacts dans la partie extrinsèque de la base. Cet hydrogène viendrait alors passiver les dopants carbone jusqu'à sous la jonction émetteur-base intrinsèque, ce qui résulterait en un dopage effectif très différent de celui attendu. Ces deux hypothèses resteraient alors à être vérifiées. Enfin, en raison du court-circuit entre la base et l'émetteur, résultant du manque de contrôle des réactions intermétalliques à l'interface du contact de base, la jonction base-collecteur s'est avérée dysfonctionnelle (voir Figure 95), empêchant tout gain en RF pour les transistors de ce premier lot électrique.

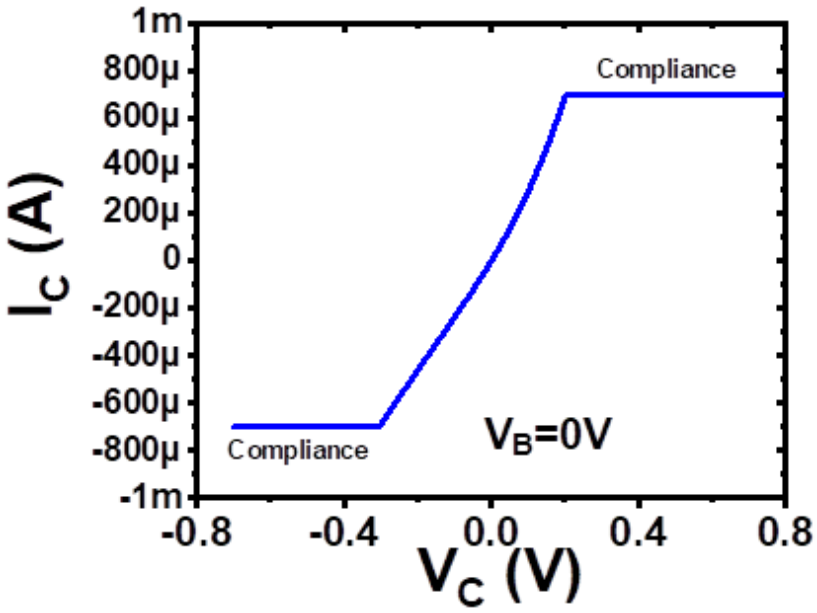

Figure 95 : Caractéristique I_c-V_C du transistor. L'atteinte des valeurs de « compliance » témoigne d'une jonction base-collecteur dysfonctionnelle.

Ces différents résultats, bien que limités, ont cependant permis de valider l'intégration complète du flux technologique InP-DHBT sur silicium en acquittant les différents éléments à modifier dans le processus de fabrication pour l'obtention d'un transistor pleinement fonctionnel. Ces premières mesures permettront également de disposer d'un point de comparaison pour les prochaines itérations à venir. Pour la fin de ma thèse, nous avons justement eu le temps de terminer la fabrication et de commencer la caractérisation électrique de la dernière version en date du lot transistor. Il s'agit donc de l'objet de la partie 3.6 de ce manuscrit.

3.6 La filière InP-DHBT sur silicium en fin de thèse

3.6.1 Changements apportés dans le lot InP-DHBT sur silicium

L'optimisation de la métallisation du contact de base est absolument primordiale afin de maîtriser la diffusion des éléments métalliques dans la couche InGaAs-P^{++} et de conserver son intégrité. Pour cela, plusieurs modifications ont été réalisées dans la dernière version en date du lot InP-DHBT sur silicium de la filière. Un pré-nettoyage plasma He est d'abord effectué, car il s'agit de celui dégradant le moins la couche d'InGaAs. Puis, l'épaisseur déposée de Ti PVD pour contacter la couche de base a été réduite de 10 à 5nm pour limiter la diffusion et les réactions à l'interface de contact. Ensuite, la température de dépôt de la couche barrière TiN a été grandement abaissée en passant d'un dépôt CVD (340°C) à un dépôt PVD (température ambiante). A la suite de ce dépôt Ti/TiN, une étape de recuit de 1 min à 350°C a été introduite afin de former les intermétalliques TiAs, $TiAs_2$ et Ti_2Ga_3 [*Bensalem_2020*], favorables électriquement, et de stabiliser l'état à l'interface. Ainsi, le dépôt $W(Si)_{1\%}$ CVD à 400°C, prenant place juste après afin de remplir les cavités de contact, ne promouvra pas davantage la diffusion des éléments. Finalement, un contact à base de nickel a également été testé. En effet, le Ni réagit principalement avec l'InGaAs en formant un alliage Ni-InGaAs, qui n'impacte pas grandement l'intégrité de la couche. Une interface de contact bien plus maîtrisée a alors résulté de ces changements, comme le montre la Figure 96 ci-dessous (lot D23D0054).

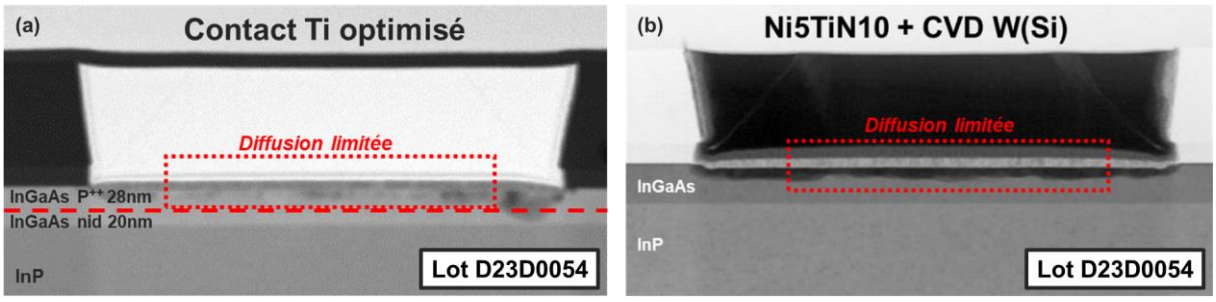

Figure 96 : Observations STEM de l'interface du contact de base suite à l'optimisation de la métallisation (a) à base de Ti et (b) suite au test avec la métallisation à base de Ni.

Les effets de diffusion et de réaction à l'interface du contact de base – liés à l'épaisseur de métal déposée et au budget thermique – étant dorénavant mieux maîtrisés, il devient désormais nécessaire d'améliorer le procédé de gravure permettant l'ouverture des cavités de contact sur la couche d'InGaAs-P^{++}. En effet, comme l'illustre l'image du contact Ti optimisé (Figure 96(a)), des effets de « trenching » en bord de motif, induits par la gravure entièrement sèche de l'empilement diélectrique SiN-SiO_2-SiN, peuvent en effet a postériori venir favoriser les réactions intermétalliques et risquer la création d'un court-circuit entre la base et le collecteur du transistor. Pour adresser ce problème, la solution de réaliser une gravure sèche partielle de la couche SiN inférieure, suivie d'une finition en gravure humide HF a été considérée. La couche SiN supérieure ainsi que la couche SiO_2 sont quant à elles toujours gravées par voie

sèche. Un lot d'étude parallèle a alors permis de déterminer les conditions de gravure idéales pour la gravure de la couche SiN inférieure : 10s en gravure sèche suivie de 10s en gravure humide HF 1%. Ces conditions permettent de ne pas graver complètement la couche, ce qui risquerait de venir endommager la couche InGaAs-P^{++} sous-jacente, tout en contrôlant l'excès de gravure latérale du SiN, qui augmente de manière croissante avec le temps de gravure en humide. Le résultat de cet ajustement est présenté dans la Figure 97 (lot D24D0280T).

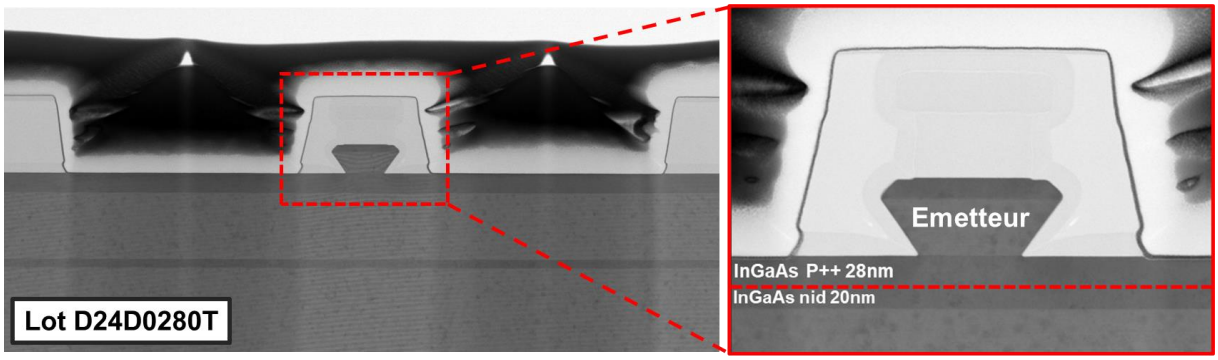

Figure 97 : Observation STEM suite à l'optimisation de la gravure de l'ouverture du contact de base.

Aucune altération de la couche InGaAs-P^{++} en surface ni aucun effet de trenching vers le bord de la cavité de contact ne sont alors à signaler. On remarque cependant l'excès de gravure latérale de la couche SiN inférieure, mais celle-ci est maîtrisée et ne représente pas un problème.

Suite à cette étape d'ouverture du contact de base, le contact titane a été réalisé en suivant le procédé optimisé décrit précédemment. Une différence consiste cependant en l'application ou non d'une étape de recuit de déshydrogénation (450°C pendant 15 min), avant tout dépôt métallique, afin de dé-passiver les dopants carbone de la couche InGaAs-P^{++}. En effet, bien que la gravure d'ouverture du contact se termine désormais en humide, le risque que l'hydrogène présent dans l'atmosphère de la gravure sèche précédente puisse diffuser à travers la couche SiN inférieure et atteindre la couche d'InGaAs est toujours présent. Des premières observations STEM et EDX ont alors été réalisées dans le cas où cette étape de recuit supplémentaire n'est pas appliquée, voir Figure 98.

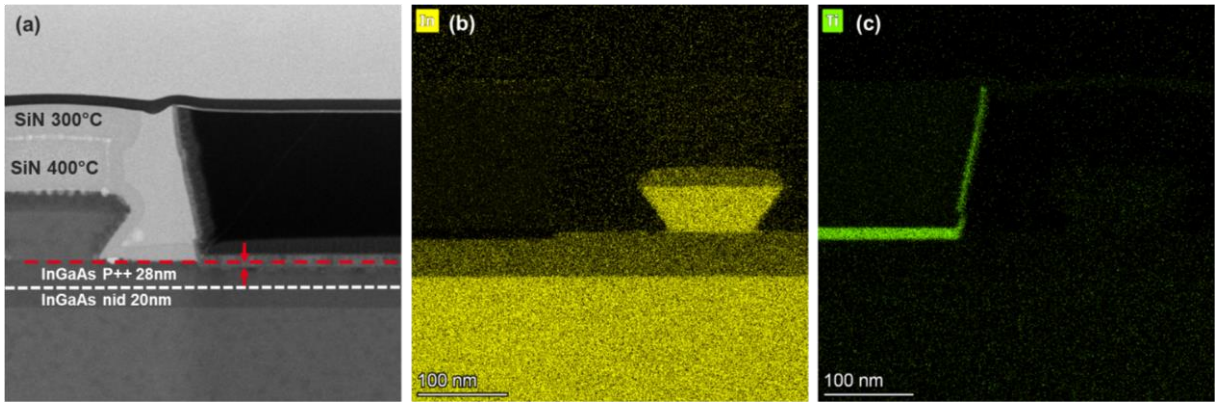

Figure 98 : (a) Observation STEM de la région émetteur et de l'interface du contact de base suite à la réalisation de la métallisation Ti optimisée, **SANS** application de recuit de déshydrogénation 450°C. (b) Analyse EDX de la zone, avec détection de l'élément In. (c) Analyse EDX de la zone, avec détection de l'élément Ti.

On remarque tout d'abord que l'application de la métallisation Ti optimisée tient ses promesses, avec une profondeur de diffusion dans l'InGaAs limitée et des réactions intermétalliques maîtrisées, comme le montrent les analyses EDX. De plus, étant donné l'absence de trenching en bord de motif suite à l'amélioration de la gravure d'ouverture du contact de base, aucun excès de diffusion du métal n'est à signaler. Cela veut alors dire que la couche InGaAs-P^{++} n'est ici pas court-circuitée, ce qui représente une avancée majeure pour le lot transistor de notre filière. On note cependant une légère dégradation des interfaces SiN(400°C) / SiN(300°C) et SiN / III-V liée au budget thermique total de 400°C, à la suite du remplissage des cavités par le $W(Si)_{1\%}$ CVD. Les mêmes observations ont ensuite été menées dans le cas où l'étape de recuit de déshydrogénation est cette fois-ci incluse, voir Figure 99.

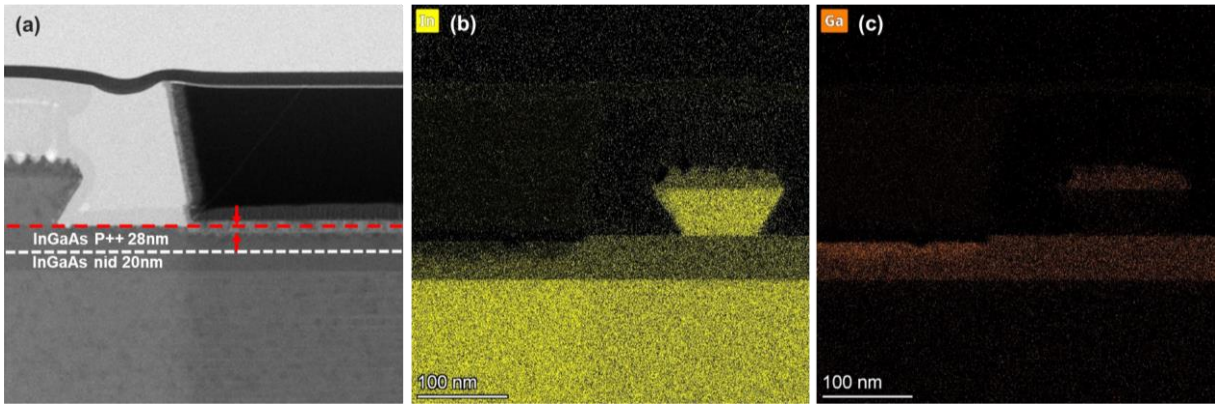

Figure 99 : (a) Observation STEM de la région émetteur et de l'interface du contact de base suite à la réalisation de la métallisation Ti optimisée, **AVEC** application de recuit de déshydrogénation 450°C. (b) Analyse EDX de la zone, avec détection de l'élément In. (c) Analyse EDX de la zone, avec détection de l'élément Ga.

La métallisation Ti optimisée fonctionne à nouveau ici, ce qui tend à confirmer la bonne maîtrise de cette étape. On note cependant une dégradation plus importante des interfaces SiN / SiN et SiN / III-V, ainsi qu'une migration des éléments de l'InGaAs, en particulier le Ga, suite à l'augmentation du budget thermique liée au recuit de déshydrogénation. Cette modification locale de la composition de l'InGaAs-P^{++} pourrait alors exercer une influence sur le fonctionnement et la performance du transistor, mais cela resterait à démontrer.

En conclusion, l'objectif crucial d'éviter le court-circuit du transistor au niveau de la jonction base-collecteur semble désormais accompli, suite à l'optimisation de la métallisation Ti du contact de base et à l'optimisation de la gravure d'ouverture du contact. Cela reste à démontrer avec la caractérisation électrique des transistors, qui fait alors l'objet de la partie 3.6.2. Une problématique restant à régler concerne alors la dégradation des interfaces SiN / SiN et SiN / III-V, ainsi que la migration des éléments de l'InGaAs, suite à l'augmentation du budget thermique total induite par l'étape de recuit de déshydrogénation de la couche InGaAs-P^{++}. Dans l'état actuel des choses, cette étape est cependant très importante afin d'assurer que la couche ne soit pas trop résistive au moment de réaliser le contact. Deux options peuvent alors être considérées afin de ne plus en avoir besoin et d'ainsi limiter le budget thermique.

La première consiste en l'ajout d'une couche de passivation Al_2O_3 en tant que couche inférieure de l'empilement diélectrique déposé sur l'InGaAs-P^{++}, lors des étapes de mise à niveau / de planarisation du wafer, suite à la définition de l'émetteur du transistor. L'alumine est en effet connue comme étant une bien meilleure barrière à l'hydrogène que le SiN et le SiO_2 dans des conditions usuelles (e.g. dépôt par ALD, Atomic Layer Deposition), ce qui fait qu'elle est notamment utilisée en tant que couche de confinement dans certaines technologies [*Banerjee_2021, Kim_2018, Helmich_2020*]. Grâce à cette couche Al_2O_3, on assurerait ainsi efficacement la protection de la couche de base pendant la gravure sèche du SiN et du SiO_2, puis on viendrait la retirer par voie humide afin de révéler la couche InGaAs-P^{++}.

La seconde option consiste en un changement de système matériau en passant à la filière InP/GaAsSb pour le InP-DHBT. Comme introduit en amont dans ce manuscrit, les matériaux antimoniures de type P, dopés au carbone, semblent bien moins sujets à la passivation par l'hydrogène comparés à l'InGaAs. Ainsi, utiliser le GaAsSb en tant que couche de base du transistor s'avérerait intéressant afin d'éviter une augmentation supplémentaire du budget thermique, en plus des autres avantages pour le fonctionnement et la performance du transistor, liés à l'hétérojonction type II avec l'InP.

3.6.2 Caractérisation DC et RF du dernier lot InP-DHBT sur silicium en date

En fin de thèse, des caractérisations électriques préliminaires ont pu être réalisées sur le dernier lot transistor InP-DHBT sur silicium de la filière. Cette étape est une nouvelle fois particulièrement importante, car elle permet une évaluation de l'impact de la modification des procédés sur les performances du dispositif. Les résultats présentés dans les prochaines lignes proviennent de mesures effectuées sur des transistors ayant subi le procédé de fabrication « standard ». Celui-ci correspond à une définition de la mésa base par gravures sèches et humides, ainsi qu'à l'application d'un recuit de déshydrogénation de la base (450°C), suite à l'ouverture des contacts de base. Le gain en courant $\beta = I_c/I_b$ a d'abord été mesuré en fonction de la tension V_{BE} appliquée entre l'émetteur et la base, voir Figure 100 ci-dessous. Il est à noter que les dimensions précisées tout au long de cette partie sont les dimensions dessinées sur le masque. Ces dernières peuvent donc être amenées à différer de la réalité à cause de phénomènes de sous-gravure (décote estimée à ~30nm par bord).

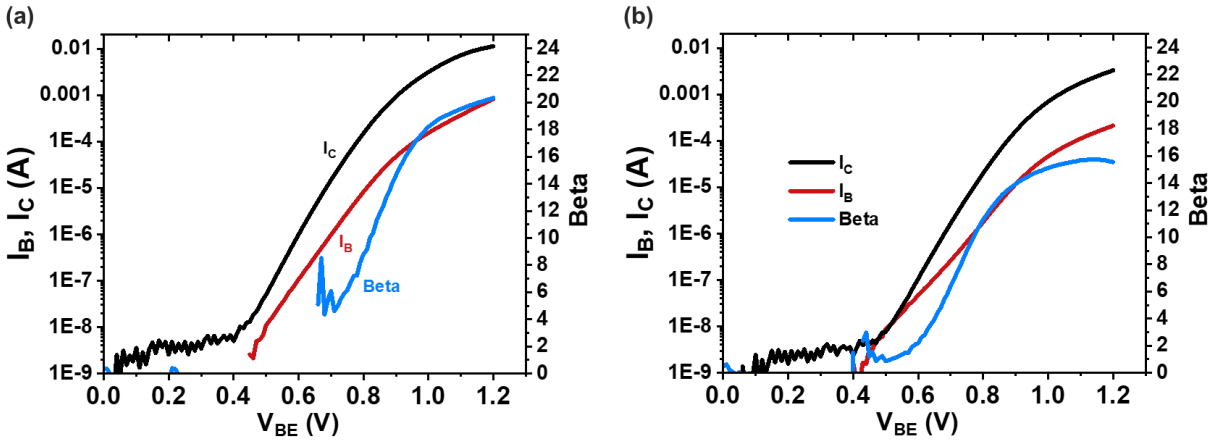

Figure 100 : Graphes Gummel pour les dimensions (a) W_E = 500 nm ; L_E = 3 µm et (b) W_E = 250 nm ; L_E = 3 µm.

Pour les transistors disposant d'une longueur d'émetteur L_E = 3µm, un gain en courant maximal de 20.5 a pu être obtenu lorsque la largeur d'émetteur W_E vaut 500 nm. Pour W_E = 250 nm, ce gain maximal s'élève à 15.7. On note par ailleurs un excellent comportement des courants I_c et I_b dans le cas W_E = 500 nm, avec un courant de base ne se superposant pas sur le courant de collecteur. Les valeurs maximales de β ayant été relevées pour les différentes largeurs d'émetteur disponibles sont répertoriées dans le Tableau 18.

Tableau 18 : Valeurs maximales de β mesurées en fonction de la largeur d'émetteur.

W_E (nm)	700	500	250	200	180
Valeur maximale de β	28.3	20.5	15.7	16.4	12.7

A titre de comparaison, l'IEMN ont obtenu avec leur filière d'intégration HBT III-V des gains en courant de valeurs similaires à ceux mesurés ici pour les petites largeurs d'émetteur (β ≈ 12-14), en se basant sur les mêmes empilements de couches. L'IMEC ont de leur côté démontré en 2024 un gain maximal β ≈ 7 avec leur technologie monolithique Nano-Ridge appliquée sur une structure DHBT InP/GaAsSb/InGaAs [*Boccardi_2024*].

La jonction émetteur-base des transistors a ensuite été caractérisée en mesurant le courant de base I_b en fonction de la tension V_{BE}, pour une largeur d'émetteur W_E = 500nm. Tout comme lors de la caractérisation électrique du premier lot transistor de la filière, la fonction de Lambert a été utilisée pour réaliser l'extraction des paramètres η (facteur d'idéalité) et R_S (résistance série). Un facteur d'idéalité de 1.41 et une résistance série de 112 Ω ont ainsi pu être obtenus pour la jonction E-B, voir Figure 101. Bien que la valeur du facteur d'idéalité témoigne d'une jonction de bonne qualité, la résistance série s'avère élevée. Cette dernière résulte de la contribution de la résistance d'émetteur R_E et de la résistance totale de base R_{bb}, et impacte les valeurs de f_T/f_{MAX} obtenables. Au moment de l'écriture de ces lignes, laquelle de ces deux composantes contribue le plus à cette résistance série élevée n'a pas été clairement défini.

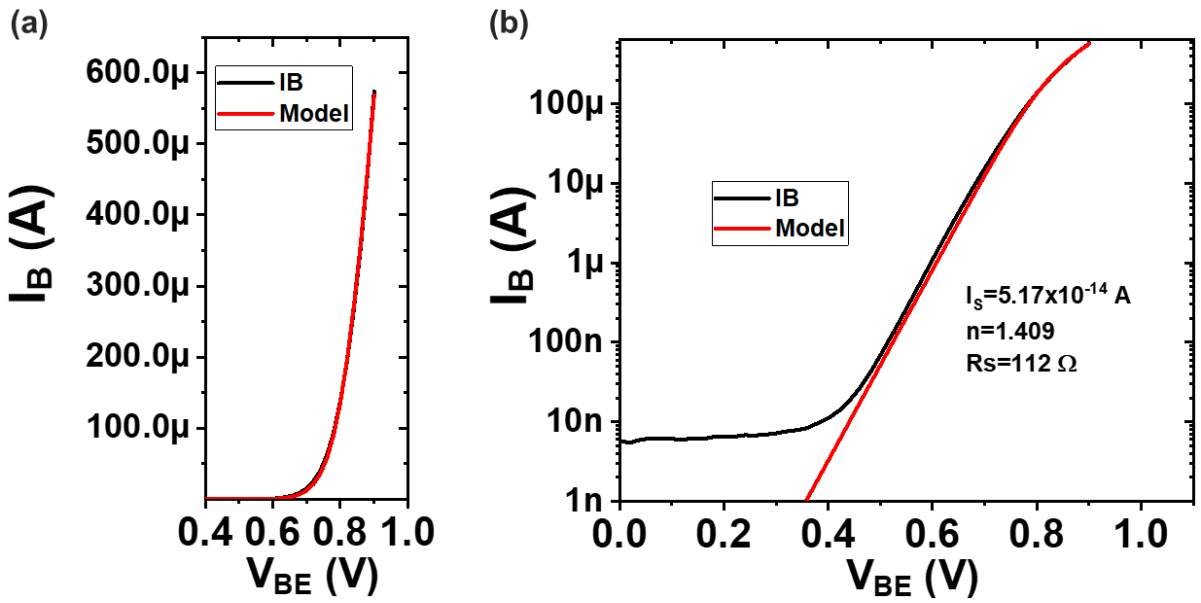

Figure 101 : Caractéristique I_b-V_{BE} de la diode émetteur-base pour les motifs transistors W_E = 500nm et L_E = 3µm. (a) Echelle linéaire et (b) échelle logarithmique. Le modèle de fit est réalisé en utilisant la fonction de Lambert.

De plus, on constate une hauteur de barrière d'environ 300 mV par rapport à la référence dont nous disposons, correspondant à l'atteinte de I_b = 1 mA pour V_{BE} = 0.5-0.6 V. Une hypothèse probable est que cela résulte de la diffusion des dopants carbone de la base vers l'émetteur, à cause du haut budget thermique appliqué aux plaques (450°C). Ce budget thermique est notamment lié au collage initial de l'épitaxie III-V sur le substrat silicium et au recuit de déshydrogénation, tous deux à 450°C.

La jonction base-collecteur a par la suite été adressée. Pour rappel, celle-ci n'avait pas pu être caractérisée dans notre premier lot transistor car court-circuitée dans tous les cas de figure. Elle est fonctionnelle ici, mais néanmoins pas sur toutes les plaques. Cela signifie que malgré les changements apportés à la filière, les problématiques de diffusion du Ti jusqu'à la partie collecteur du transistor n'ont pas entièrement été réglées. Il s'agira donc d'un point devant continuer à être traité en profondeur pour les futures itérations de ce lot. La caractéristique I_b/V_{BC} d'un transistor de W_E = 500 nm et possédant une jonction base-collecteur fonctionnelle est tracée dans la Figure 102 ci-dessous. On constate un courant de fuite de 30 µA à V_{BC} = -0.9 V, ainsi qu'une hauteur de barrière assez élevée d'environ 700 mV (1 mA atteint vers 700 mV). Dans le cas où il est probable qu'une diffusion des dopants ait eu lieu à la jonction émetteur-base, il est tout aussi probable que cela se soit également produit au niveau de la jonction base-collecteur, d'autant plus qu'il s'agit dans notre cas d'une homojonction InGaAs-P^{++}/InGaAs-N^-. Cela pourrait donc expliquer ce décalage. De plus, il n'a également pas été possible d'obtenir une bonne correspondance entre le modèle, se basant sur la fonction de Lambert pour l'extraction des paramètres de la jonction, et la mesure. Cela vient probablement du fait que le modèle ne prend pas en compte que l'épaisseur effective de la base ait pu varier par rapport aux 28 nm initiaux, notamment à cause d'une diffusion des dopants carbone. Tout cela sera à clarifier dans le futur.

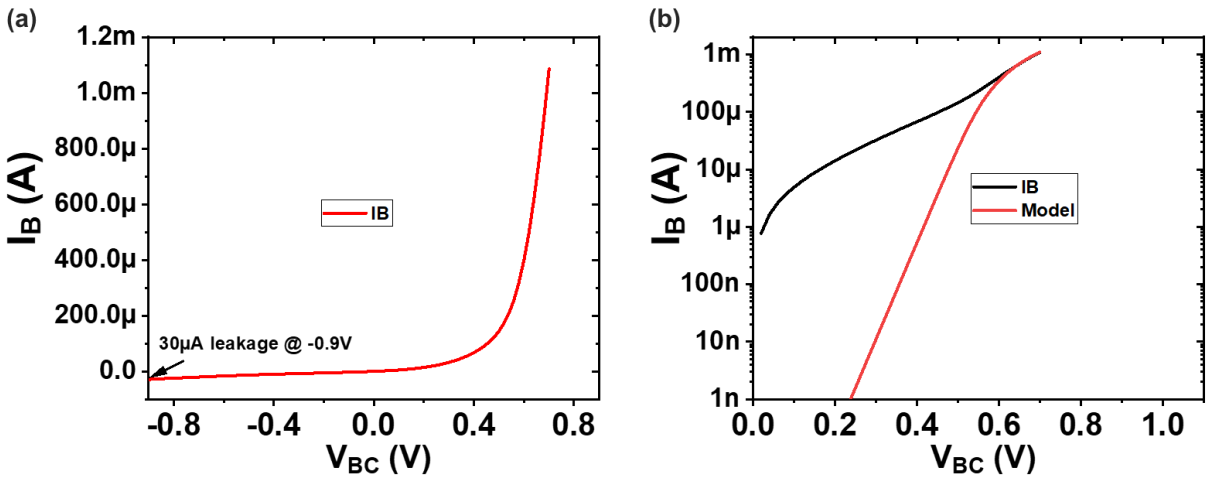

Figure 102 : Caractéristique I_b-V_{BC} de la diode base-collecteur pour les motifs transistors W_E = 500nm. (a) Echelle linéaire et (b) échelle logarithmique. Le modèle de fit d'une diode simple n'est pas suffisant pour réaliser l'extraction des paramètres.

Une autre caractéristique qui n'avait pas pu être extraite à partir du premier lot transistor de la filière est I_c-V_{CE}. La Figure 103 répertorie alors celles obtenues ici dans le cas d'un transistor de W_E = 500 nm, et pour un autre de W_E = 250 nm. On remarque notamment une tension d'allumage du dispositif se situant aux alentours de 0.4 V. La référence dont nous disposons est cependant une tension d'allumage proche de 0.2 V. Au vu des décalages observés sur les caractéristiques des deux jonctions du transistor, il paraît censé d'émettre l'hypothèse que le décalage observé ici est la résultante des deux autres.

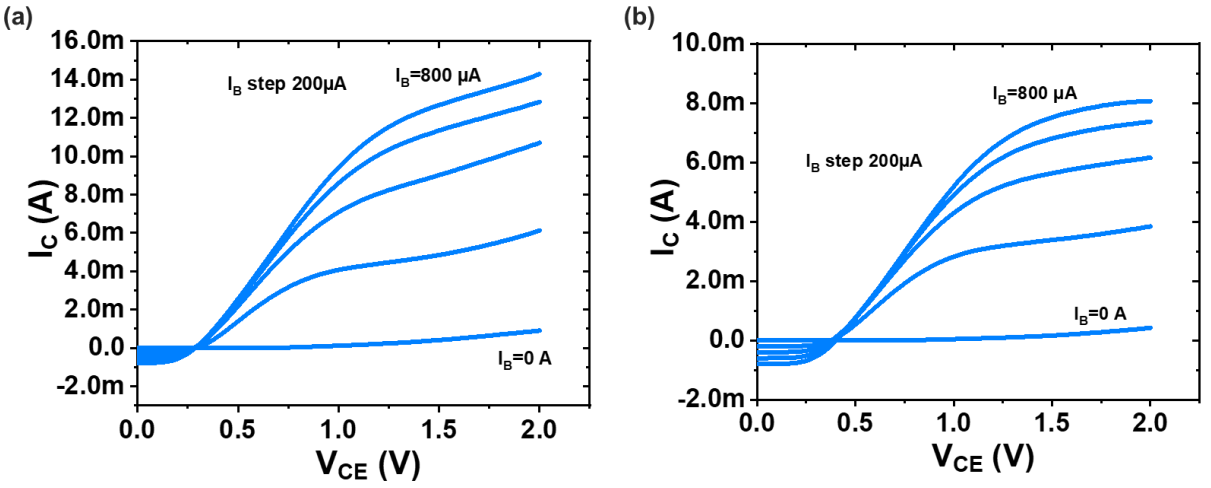

Figure 103 : Caractéristique I_c-V_{CE} du transistor à différentes valeurs de I_b pour les motifs (a) W_E = 500 nm ; L_E = 3 µm et (b) W_E = 250 nm ; L_E = 3 µm.

Viennent ensuite les toutes premières mesures RF de la filière, illustrées par la Figure 104 ci-dessous. Celles-ci ont été réalisées sur un transistor de largeur d'émetteur 500 nm, et les pentes de -20db/décade obtenues à partir de 50 GHz ont permis d'extraire f_T = 174 GHz et f_{MAX} = 97 GHz. Pour une première démonstration de fonctionnalité RF de notre filière InP-DHBT sur silicium entièrement compatible CMOS, il s'agit de résultats très satisfaisants. Les autres références disponibles et présentant des résultats RF proviennent de transistors HBT InGaP/GaAs réalisés par croissance monolithique directe sur substrat silicium [*Yadav_2021*,

Khai_2020]. La meilleure performance fréquentielle rapportée par Yadav et al. est alors f_T = 12 GHz, tandis que celle rapporté par Khai et al. est f_T/f_{MAX} = 23/10 GHz. L'IMEC a également démontré la réalisation de transistors InP/GaAsSb/InGaAs fabriqués selon leur approche monolithique Nano-Ridge [*Kunert_2023, Boccardi_2024*], mais aucun résultat RF associé n'a été présenté à ce jour sur cette configuration.

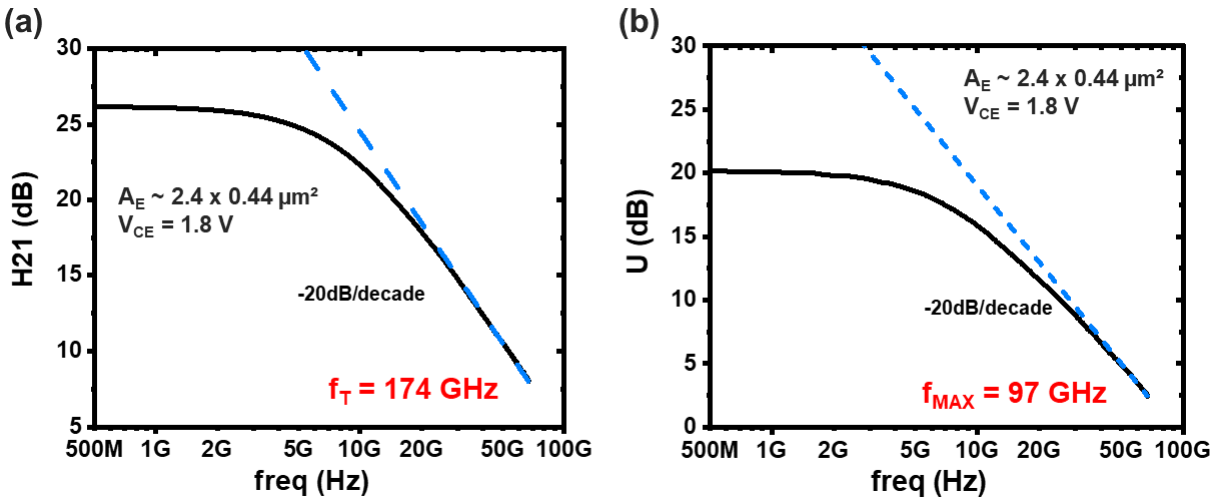

Figure 104 : Caractérisation RF des transistors réalisés selon le procédé « standard », pour les dimensions dessinées W_E = 500nm et L_E = 3µm. (a) Gain en courant H_{21} et (b) gain en puissance U en fonction de la fréquence.

Le Tableau 19 propose alors un aperçu des meilleures valeurs de f_T/f_{MAX} relevées pour chacune des largeurs d'émetteur disponibles.

Tableau 19 : Aperçu des meilleures f_T/f_{MAX} relevés en fonction de la largeur d'émetteur du transistor, pour les transistors réalisés selon le procédé « standard ».

W_E (nm)	**700**	**500**	**250**	**200**	**180**
f_T (GHz)	52	174	126	102	93.4
f_{MAX} (GHz)	32	97	86	76	70

On constate alors que pour les largeurs d'émetteur inférieures à 500 nm, la fréquence f_T diminue progressivement. Cela coïncide avec l'augmentation du rapport hauteur/largeur du via émetteur, et donc avec la difficulté croissante à remplir correctement la cavité de via avec le dépôt de $W(Si)_{1\%}$, comme cela a pu être introduit dans la partie 2.4.1.4. La Figure 105 ci-dessous illustre alors à nouveau ce phénomène, en comparant l'aspect du remplissage d'un via émetteur de largeur 180 nm avec un autre de largeur 500 nm.

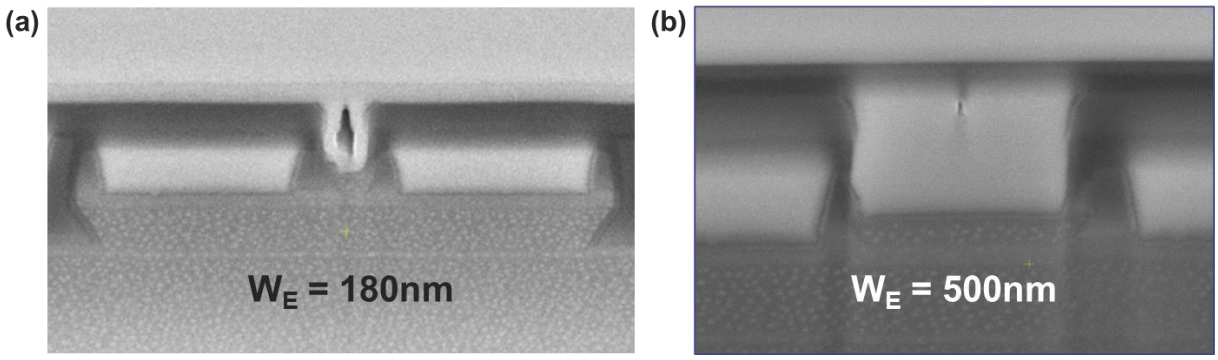

Figure 105 : Remplissage des vias de contact de l'émetteur (a) pour une largeur d'émetteur W_E = 180nm et (b) pour une largeur d'émetteur W_E = 500nm. Les cavités, se formant lorsque l'émetteur devient étroit, augmente la résistance R_E de l'émetteur et limite f_T.

Du fait de l'augmentation de la résistance métallique du via, cela provoque alors une augmentation de la résistance R_E de l'émetteur, et donc une diminution de f_T. Par conséquent, cette problématique limite le gain de performance par le dimensionnement horizontal du transistor, et devra donc être adressé au mieux pour les itérations futures du lot InP-DHBT sur silicium.

Enfin, les performances fréquentielles présentées dans le Tableau 19 ne constituent pas les meilleurs résultats obtenus lors de la caractérisation des différentes plaques du lot. En effet, pour des transistors n'ayant pas été fabriqués selon les procédés dits « standards » de la filière, des performances supérieures ont pu être relevées. Ces transistors n'ont notamment pas reçu de recuit de déshydrogénation, et la définition de leur mésa base s'est faite uniquement par gravure humide. La Figure 106 répertorie alors les courbes de f_T et f_{MAX} mesurées sur ces dispositifs, en fonction de la fréquence.

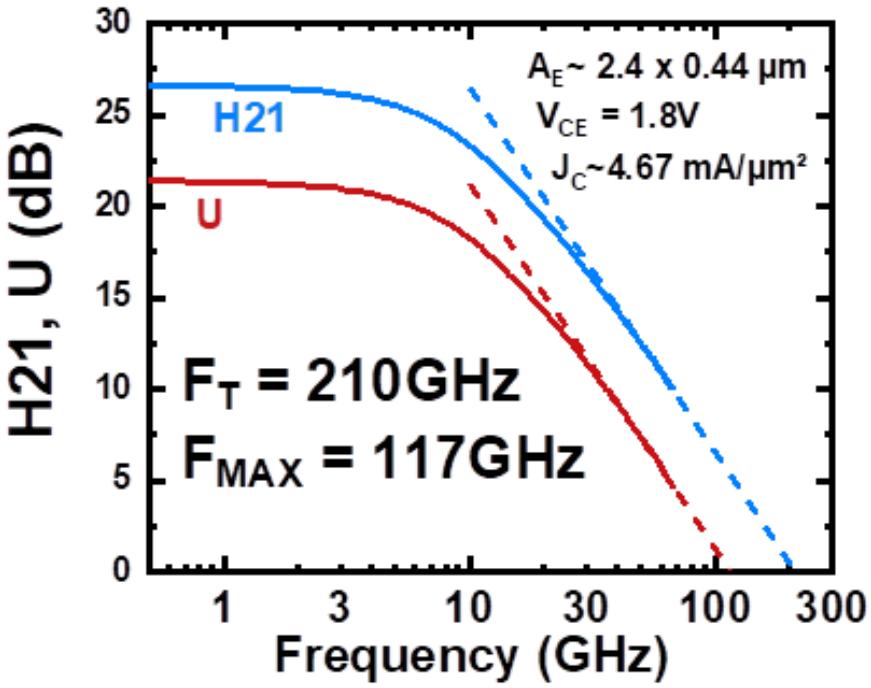

Figure 106 : Gain en courant H_{21} et gain en puissance U en fonction de la fréquence, sur des transistors de dimensions dessinées W_E = 500 nm et L_E = 3 µm. Ces derniers n'ont pas subi de recuit de déshydrogénation, et leur mésa base a été gravée entièrement par voie humide.

Dans la fenêtre d'extraction 50-67 GHz, les maximums atteints correspondent à une f_T de 211 GHz et à une f_{MAX} de 117 GHz. Cette augmentation des performances est pour l'instant attribuée à une diminution probable de la capacité parasite C_{BC} extrinsèque. En effet, la gravure entièrement humide de la mésa base engendre des flancs plus marqués (cf. partie 2.4.2.2) et vient donc réduire la présence d'InP sous les contacts de base. Ce dernier est alors remplacé par du SiO_2 au cours de la fabrication du transistor, de constante diélectrique moins élevée que celle de l'InP (3.9 contre 12.5). Cette hypothèse sera à confirmer par des analyses complémentaires.

Ces caractérisations ont donc permis de réaliser la démonstration de fonctionnalité de la filière InP-DHBT sur silicium développée au LETI. De plus, à notre connaissance, les performances obtenues représentent une première mondiale pour une technologie réalisée sur silicium 200 mm et étant entièrement compatible avec les procédés de fabrication CMOS industriels. Au moment de la rédaction de ces lignes, les différentes plaques du lot sont toujours en cours de caractérisation et le reste des résultats ne peut donc pas être intégré au manuscrit. Un récapitulatif des meilleures performances mesurées jusqu'à présent est proposé dans le Tableau 20 ci-dessous.

Tableau 20 : Récapitulatif des meilleures f_T/f_{MAX} obtenues sur les plaques caractérisées en fin de thèse, pour des transistors de dimensions W_E = 500 nm et L_E = 3 µm.

Plaque	Procédés	f_T (GHz)	f_{MAX} (GHz)
P21	« Standard »	**174**	**97**
P03	• Pas de recuit de déshydrogénation • Mésa base par gravure humide uniquement	**211**	**117**

3.6.3 Perspectives

Plusieurs pistes d'amélioration peuvent être envisagées à la suite de ces caractérisations électriques. Tout d'abord, l'épaisseur effective de la base du transistor pourrait être estimée en extrayant le paramètre τ_b, qui correspond au temps de transit des électrons dans la base. Cela permettrait de valider ou non l'hypothèse d'une diffusion des dopants carbone aux interfaces de jonction, en particulier entre la base et le collecteur. Si cette problématique est confirmée, la maîtrise de la diffusion des dopants pourrait être améliorée en réduisant autant que possible les budgets thermiques appliqués. Cela pourrait passer, par exemple, par un collage oxyde-oxyde à plus basse température en début de filière (sous réserve d'en vérifier la robustesse), par l'utilisation de procédés de Back-End à faible température, ou encore par la suppression du besoin d'un recuit de déshydrogénation. Ce dernier peut être adressé en protégeant la couche de base de la passivation par l'hydrogène (en utilisant par exemple une fiche couche d'alumine) ou en utilisant un matériau moins sensible à l'hydrogénation de ses accepteurs carbone, tel que le GaAsSb.

Enfin, l'élaboration de métallisations présentant un taux de remplissage supérieur à celui du $W(Si)_{1\%}$, actuellement employé dans les cavités de plug, apparaît essentielle afin de limiter l'impact de l'augmentation de R_E sur la f_T des transistors, lorsque la largeur d'émetteur diminue. Une autre approche, plus court-terme, consisterait alors à décomposer la réalisation du plug en plusieurs étapes. Cela garantirait le remplissage du fond du plug émetteur, tout en conservant un espacement suffisant entre le contact de base et le plan de masse horizontal sus-jacent, ce qui est très important afin de limiter la capacité parasite extrinsèque entre la base et l'émetteur.

3.7 Conclusion du chapitre 3

Ce chapitre a présenté de manière exhaustive les travaux menés sur la conception, la fabrication et la caractérisation de contacts ohmiques compatibles CMOS sur InGaAs-N^+ et InGaAs-P^{++}, ainsi que leur intégration dans la filière InP-DHBT sur silicium. L'objectif général était de développer des contacts à très faible résistivité, exempts de métaux nobles, et pleinement intégrés dans des environnements technologiques CMOS 200/300 mm, afin de répondre aux exigences d'une filière InP-DHBT visant les très hautes performances fréquentielles.

Dans un premier temps, les propriétés intrinsèques de l'InGaAs et le défi que représente la réalisation de contacts ohmiques performants, mais compatibles CMOS, ont été rappelés. Les premières structures TLM ont été réalisées via une intégration lift-off sur une plateforme « souple », permettant une première exploration de métallisations sans métaux nobles. Toutefois, cette intégration limitait l'accès aux procédés les plus maîtrisés et reproductibles, en particulier ceux disponibles sur les plateformes de fabrication silicium 200/300mm. Cette limitation a conduit à la conception de nouveaux véhicules de test fabriqués sur substrat Si 200 mm (lots TASP), reprenant la logique d'intégration du transistor InP-DHBT via un collage oxyde-oxyde d'un empilement III-V InP/InGaAs de 100 mm de diamètre.

Malgré les difficultés rencontrées au cours des premiers cycles de fabrication, les structures TLM ainsi obtenues ont permis d'extraire des résistivités de contact sur InGaAs-N^+. Des valeurs de l'ordre de 10^{-8} Ω*cm² ont notamment pu être mesurées sur des dimensions de contact de 0.35×0.35 µm². Cependant, la dispersion des résultats extraits, s'étendant sur plusieurs ordres de grandeur selon les différentes dimensions de contact disponibles, a révélé les limites de la méthodologie TLM standard lorsque les structures adressées sont de dimensions réduites (inférieures ou égales à 5×5 µm²). Cette observation a motivé le développement d'une méthodologie numérique d'extraction des paramètres de résistance, en combinant simulation et résultats TLM. Cette approche innovante a permis de corriger l'impact de la géométrie des dispositifs TLM sur les valeurs extraites, et ainsi d'obtenir des valeurs de ρ_c, R_{sh} et L_T plus représentatives des structures caractérisées.

Appliquée à la seconde version des lots TASP sur InGaAs-N^+, cette méthodologie a permis d'extraire des résistivités de contact aussi faibles que 4.0×10^{-8} Ω*cm², pour des contacts à base de Ti réalisés suite à l'application d'un pré-nettoyage in-situ de surface au plasma He. La

longueur de transfert de ce contact est également estimée à environ 330 nm. Ces résultats montrent que le titane est un métal de contact prometteur pour les contacts émetteur et collecteur du transistor InP-DHBT sur silicium de la filière. Ils mettent également en évidence que les métallisations intégrant le tungstène comme métal de remplissage des cavités de contact, telles qu'attendues dans la configuration transistor, restent à ce stade encore un ordre de grandeur trop résistives (~ 10^{-7} Ω*cm²). Des optimisations seront donc nécessaires. Une estimation des résistances d'accès R_E et R_C du transistor a ensuite confirmé la pertinence de ces choix technologiques, en démontrant de faibles valeurs.

Concernant l'InGaAs-P^{++}, les études ont révélé la forte sensibilité de la couche aux procédés hydrogénés, entraînant une passivation des accepteurs carbone et une augmentation drastique de la résistance de couche. Une étude complémentaire par mesures Hall a confirmé l'origine de cette dégradation, principalement imputée à la gravure sèche des diélectriques lors de l'ouverture des cavités de contact. Un comportement ohmique a cependant pu être rétabli après l'application d'un recuit. Notre méthodologie numérique d'extraction a ensuite permis d'obtenir des valeurs de résistivité de contact descendant jusqu'à 5.0×10^{-7} Ω*cm² pour un contact à base de Ti, bien qu'associé à des valeurs élevées de R_{sh}. L'estimation de la résistance totale de base R_{bb} a finalement montré que, lorsque la couche de contact est dégradée, l'impact relatif de la résistivité de contact devient secondaire face à l'augmentation de la résistance de couche.

Parallèlement aux études menées sur les lots TASP, le tout premier lot InP-DHBT sur silicium fonctionnel de la filière a été développé. Bien qu'il n'ait pas bénéficié de toutes les optimisations technologiques définies au cours de la thèse, il a permis de démontrer l'intégration complète du transistor sur substrat Si 200 mm. Les limitations observées, dont un court-circuit de la jonction base-collecteur dû à une réaction incontrôlée entre le Ti et l'InGaAs, ont permis d'identifier les modifications nécessaires pour les itérations ultérieures.

Ces améliorations ont été apportées dans la dernière version du lot transistor. Une optimisation majeure de la métallisation du contact Ti réalisé sur la base a notamment été obtenue. Celle-ci est basée sur une réduction de l'épaisseur de titane déposée, un abaissement de la température de dépôt pour la barrière de diffusion TiN, ainsi que sur l'introduction d'un recuit post-dépôt à 350°C, permettant de former des intermétalliques favorables électriquement et de stabiliser l'état d'interface Ti / InGaAs. Les étapes suivantes de dépôt, caractérisées par un budget thermique maximal de 400°C, ne promeuvent alors pas davantage la diffusion des éléments, confirmant ainsi la compatibilité du procédé avec des étapes BEOL CMOS ≤ 400°C. Un contact se basant sur le nickel a également été développé, montrant que la formation de l'alliage Ni-InGaAs à l'interface permet de conserver l'intégrité de la couche de base. Un autre apport constitue en l'introduction d'un recuit de déshydrogénation à 450°C, permettant d'assurer la conductivité de la couche de base suite aux étapes d'ouverture des cavités de contact par gravure sèche. Cependant, cela provoque une dégradation locale des interfaces SiN / SiN et SiN / III-V, ainsi qu'un début de migration des éléments III-V de la couche d'InGaAs. Deux pistes sont alors proposées afin de ne plus avoir besoin de cette étape : l'utilisation d'une couche de protection à la passivation Al_2O_3, et un changement de matériau de base pour le GaAsSb.

Enfin, la caractérisation DC et RF des derniers transistors InP-DHBT sur silicium de la filière a été menée. Elle a permis de confirmer la fonctionnalité complète du dispositif et d'obtenir des performances remarquables : jusqu'à 211 GHz en f_T et 117 GHz en f_{MAX}. A notre connaissance, ces résultats constituent à ce jour une première mondiale pour une technologie InP-DHBT intégrée sur substrat silicium 200mm et entièrement compatible CMOS.

En conclusion, ce chapitre a permis d'établir les fondations technologiques nécessaires à la réalisation d'un InP-DHBT sur silicium performant, en particulier en ce qui concerne l'ingénierie des contacts ohmiques sur InGaAs. Les travaux présentés ouvrent naturellement sur le chapitre suivant, consacré aux premières études de contacts ohmiques compatibles CMOS sur GaAsSb-P^{++}, matériau pressenti pour la future couche de base des transistors de la filière.

3.8 Références du chapitre 3

Abraham, M. *et al.* (2014) « Very low resistance alloyed Ni-based ohmic contacts to InP-capped and uncapped n+ In0.53 Ga0.47As », *Journal of Applied Physics*, 116(16), p. 164506. Disponible sur: https://doi.org/10.1063/1.4900535.

Aldridge, H. *et al.* (2017) « N-type Doping Strategies for InGaAs », *Materials Science in Semiconductor Processing*, 62, p. 171-179. Disponible sur: https://doi.org/10.1016/j.mssp.2016.12.017.

Alekseev, P.A. *et al.* (2018) « Unified mechanism of the surface Fermi level pinning in III-As nanowires », *Nanotechnology*, 29(31), p. 314003. Disponible sur: https://doi.org/10.1088/1361-6528/aac480.

Arabhavi, A.M. *et al.* (2022) « InP/GaAsSb Double Heterojunction Bipolar Transistor Emitter-Fin Technology With fMAX = 1.2 THz », *IEEE Transactions on Electron Devices*, 69(4), p. 2122-2129. Disponible sur: https://doi.org/10.1109/TED.2021.3138379.

Banerjee, S. et Das, M.K. (2021) « A review of Al2O3 as surface passivation material with relevant process technologies on c-Si solar cell », *Optical and Quantum Electronics*, 53(1), p. 60. Disponible sur: https://doi.org/10.1007/s11082-020-02689-8.

Baraskar, A. *et al.* (2010) « Ex situ Ohmic contacts to n-InGaAs », *Journal of Vacuum Science & Technology B*, 28(4), p. C5I7-C5I9. Disponible sur: https://doi.org/10.1116/1.3454372.

Basset, L. *et al.* (2021) « In depth analysis of transfer length method application on passivated contacts under illumination », *Solar Energy Materials and Solar Cells*, 230, p. 111255. Disponible sur: https://doi.org/10.1016/j.solmat.2021.111255.

Bengi, A. *et al.* (2011) « Au and non-Au based rare earth metal-silicide ohmic contacts to p-InGaAs », *Solid-State Electronics*, 61(1), p. 29-32. Disponible sur: https://doi.org/10.1016/j.sse.2011.01.043.

Bensalem, S. *et al.* (2020) « Study of the Ti/InGaAs solid-state reactions: Phase formation sequence and diffusion schemes », *Materials Science in Semiconductor Processing*, 113, p. 105038. Disponible sur: https://doi.org/10.1016/j.mssp.2020.105038.

Berger, H. (1969) « Contact resistance on diffused resistors », in *1969 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. *1969 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, p. 160-161. Disponible sur: https://doi.org/10.1109/ISSCC.1969.1154702.

Berger, H.H. (1972) « Contact Resistance and Contact Resistivity », *Journal of The Electrochemical Society*, 119(4), p. 507. Disponible sur: https://doi.org/10.1149/1.2404240.

Boccardi, G. *et al.* (2024) « A monolithic III-V on Si integration technology utilizing 300mm CMOS platform », in *CS MANTECH - Int. Conf. Compd. Semicond. Manuf. Technol. CS MANTECH 2024 - 2024 International Conference on Compound Semiconductor Manufacturing Technology*, CS Mantech.

Boyer, F. (2020) *Intégration de contacts compatibles CMOS sur matériaux III-V pour des applications photoniques sur silicium en 300 mm*. These de doctorat. Université Grenoble Alpes. Disponible sur: https://theses.fr/2020GRALT068.

Boyer, F. *et al.* (2023) « Ni(Pt)-based CMOS-compatible contacts on p-InGaAs for III–V photonic devices », *Materials Science in Semiconductor Processing*, 154, p. 107199. Disponible sur: https://doi.org/10.1016/j.mssp.2022.107199.

Del Alamo, J.A. (2011) « Nanometre-scale electronics with III–V compound semiconductors », *Nature*, 479(7373), p. 317-323. Disponible sur: https://doi.org/10.1038/nature10677.

Djara, V. *et al.* (2015) « An InGaAs on Si platform for CMOS with 200 mm InGaAs-OI substrate, gate-first, replacement gate planar and FinFETs down to 120 nm contact pitch », in *2015 Symposium on VLSI Technology (VLSI Technology). 2015 Symposium on VLSI Technology (VLSI Technology)*, p. T176-T177. Disponible sur: https://doi.org/10.1109/VLSIT.2015.7223668.

Dormaier, R. et Mohney, S.E. (2012) « Factors controlling the resistance of Ohmic contacts to n-InGaAs », *Journal of Vacuum Science & Technology B*, 30(3), p. 031209. Disponible sur: https://doi.org/10.1116/1.4705730.

Driad, R. *et al.* (2005) « InP DHBT-based IC technology for high-speed data communications », in *European Gallium Arsenide and Other Semiconductor Application Symposium, GAAS 2005. European Gallium Arsenide and Other Semiconductor Application Symposium, GAAS 2005*, p. 137-140. Disponible sur: https://ieeexplore.ieee.org/abstract/document/1637169.

Godey, S. *et al.* (2005) « CBr4 and Be heavily doped InGaAs grown in a production MBE system », *Journal of Crystal Growth*, 278(1), p. 600-603. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2004.12.075.

Goetzberger, A. et Scarlett, R.M. (1964) « RESEARCH AND INVESTIGATION OF INVERSE EPITAXIAL UHF POWER TRANSISTORS ». Disponible sur: https://apps.dtic.mil/sti/html/tr/AD0605376/.

Han, J.-C. *et al.* (2002) « Growth of ultrahigh carbon-doped InGaAs and its application to InP/InGaAs(C) HBTs », *IEEE Transactions on Electron Devices*, 49(1), p. 1-6. Disponible sur: https://doi.org/10.1109/16.974740.

Helmich, L. *et al.* (2020) « Atomic-Layer-Deposited Al2O3 as Effective Barrier against the Diffusion of Hydrogen from SiNx:H Layers into Crystalline Silicon during Rapid Thermal Annealing », *physica status solidi (RRL) – Rapid Research Letters*, 14(12), p. 2000367. Disponible sur: https://doi.org/10.1002/pssr.202000367.

Huang, K.-C. *et al.* (1996) « A transfer length model for contact resistance of two-layer systems with arbitrary interlayer coupling under the contacts », *IEEE Transactions on Electron Devices*, 43(5), p. 676-684. Disponible sur: https://doi.org/10.1109/16.491242.

Ito, H. *et al.* (1996) « Growth and Characterization of High-Speed Carbon-Doped-Base InP/InGaAs Heterojunction Bipolar Transistors by Metalorganic Chemical Vapor Deposition », *Japanese Journal of Applied Physics*, 35(6R), p. 3343. Disponible sur: https://doi.org/10.1143/JJAP.35.3343.

Jung, W. et Guziewicz, M. (2009) « Schottky diode parameters extraction using Lambert W function », *Materials Science and Engineering: B*, 165(1), p. 57-59. Disponible sur: https://doi.org/10.1016/j.mseb.2009.02.013.

Katz, A. *et al.* (1989) « Pt/Ti/p-In0.53Ga0.47As low-resistance nonalloyed ohmic contact formed by rapid thermal processing », *Applied Physics Letters*, 54(23), p. 2306-2308. Disponible sur: https://doi.org/10.1063/1.101110.

Khai, L.W. *et al.* (2020) « High-Frequency Characteristics of InGaP/GaAs Double Heterojunction Bipolar Transistor Epitaxially Grown on 200 mm Ge/Si Wafers », *IEEE Journal of the Electron Devices Society*, 8, p. 122-125. Disponible sur: https://doi.org/10.1109/JEDS.2020.2967406.

Kim, I.-H. (2003) « Comparison of Pd/Ge/Pd/Ti/Au and Pd/Ge/Ti/Pt ohmic contacts to n-type InGaAs », *Materials Letters*, 57(24), p. 4033-4039. Disponible sur: https://doi.org/10.1016/S0167-577X(03)00261-1.

Kim, K. *et al.* (2018) « Efficiency enhancement of InGaN/GaN blue light-emitting diodes with top surface deposition of AlN/Al2O3 », *Nano Energy*, 43, p. 259-269. Disponible sur: https://doi.org/10.1016/j.nanoen.2017.11.047.

Kunert, B. *et al.* (2023) « (Invited) Integration of InP Heterojunction Bipolar Transistors on Silicon Substrates for 6G Networks », *ECS Transactions*, 111(1), p. 105. Disponible sur: https://doi.org/10.1149/11101.0105ecst.

Latry, O. *et al.* (2017) « Extraction of physical Schottky parameters using the Lambert function in Ni/AlGaN/GaN HEMT devices with defined conduction phenomena* », *Journal of Semiconductors*, 38(1), p. 014007. Disponible sur: https://doi.org/10.1088/1674-4926/38/1/014007.

Lee, C.-T., Jaw, K.-L. et Tsai, C.-D. (1998) « Thermal stability of Ti/Pt/Au ohmic contacts on InAs/graded InGaAs layers », *Solid-State Electronics*, 42(5), p. 871-875. Disponible sur: https://doi.org/10.1016/S0038-1101(98)00086-0.

Lee, R.T.P. *et al.* (2014) « Ultra low contact resistivity (< 1×10−8 Ω-cm2) to In0.53Ga0.47As fin sidewall (110)/(100) surfaces: Realized with a VLSI processed III–V fin TLM structure fabricated with III–V on Si substrates », in *2014 IEEE International Electron Devices Meeting*. *2014 IEEE International Electron Devices Meeting*, p. 32.4.1-32.4.4. Disponible sur: https://doi.org/10.1109/IEDM.2014.7047155.

Leech, P.W. et Reeves, G.K. (1994) « Optimization of Pd/Zn/Pd/Au Ohmic Contacts to p-Type inGaAs/ InP », *MRS Online Proceedings Library (OPL)*, 337, p. 357. Disponible sur: https://doi.org/10.1557/PROC-337-357.

Lin, J., Antoniadis, D.A. et del Alamo, J.A. (2016) « InGaAs Quantum-Well MOSFET Arrays for Nanometer-Scale Ohmic Contact Characterization », *IEEE Transactions on Electron Devices*, 63(3), p. 1020-1026. Disponible sur: https://doi.org/10.1109/TED.2016.2518206.

Lin, J.C., Yu, S.Y. et Mohney, S.E. (2013) « Characterization of low-resistance ohmic contacts to n- and p-type InGaAs », *Journal of Applied Physics*, 114(4), p. 044504. Disponible sur: https://doi.org/10.1063/1.4816097.

Lobisser, E. *et al.* (2011) « Ex-situ Tungsten Refractory Ohmic Contacts to p-InGaAs », *38th International Symposium on Compound Semiconductors* [Preprint].

Lyu, Y.-T. *et al.* (2000) « Ohmic performance comparison for Ti/Ni/Au and Ti/Pt/Au on InAs/graded InGaAs/GaAs layers », *Materials Chemistry and Physics*, 63(2), p. 122-126. Disponible sur: https://doi.org/10.1016/S0254-0584(99)00208-4.

Mehari, S. *et al.* (2012) « Study of the Ni-InGaAs alloy as an ohmic contact to the p-type base of InP/InGaAs HBTs », in *2012 International Conference on Indium Phosphide and Related Materials*. *2012 International Conference on Indium Phosphide and Related Materials*, p. 200-203. Disponible sur: https://doi.org/10.1109/ICIPRM.2012.6403357.

Michaelson, H.B. (1977) « The work function of the elements and its periodicity », *Journal of Applied Physics*, 48(11), p. 4729-4733. Disponible sur: https://doi.org/10.1063/1.323539.

Moulé, E. *et al.* (2025) « Solid-state reactions of nickel thin films with GaAs: A comprehensive analysis », *Materials Science in Semiconductor Processing*, 189, p. 109257. Disponible sur: https://doi.org/10.1016/j.mssp.2024.109257.

NSM (2025) *NSM Archive - Physical properties of Gallium Indium Arsenide (GaInAs)*. Disponible sur: https://www.ioffe.ru/SVA/NSM/Semicond/GaInAs/index.html (Consulté le: 26 septembre 2025).

Oh, J. *et al.* (2015) « Au-free Si MOS compatible Ni/Ge/Al ohmic contacts to n+-InGaAs », *physica status solidi (a)*, 212(4), p. 804-808. Disponible sur: https://doi.org/10.1002/pssa.201431713.

Reeves, G.K. et Harrison, H.B. (1982) « Obtaining the specific contact resistance from transmission line model measurements », *IEEE Electron Device Letters*, 3(5), p. 111-113. Disponible sur: https://doi.org/10.1109/EDL.1982.25502.

Ren, F. *et al.* (1996) « Passivation of Carbon Doping in InGaAs During ECR-CVD of SiNx », *MRS Online Proceedings Library*, 421(1), p. 321-325. Disponible sur: https://doi.org/10.1557/PROC-421-321.

Rodriguez, P. *et al.* (2015) « Cleaning of InGaAs and InP Layers for Nanoelectronics and Photonics Contact Technology Applications », *ECS Transactions*, 69(8), p. 251. Disponible sur: https://doi.org/10.1149/06908.0251ecst.

Rodriguez, P. *et al.* (2020) « Development of a CMOS-compatible contact technology for III–V materials and Si photonics », *Japanese Journal of Applied Physics*, 59(SL), p. SL0801. Disponible sur: https://doi.org/10.35848/1347-4065/ab7f1e.

Singisetti, U. *et al.* (2008) « Ultralow resistance in situ Ohmic contacts to InGaAs/InP », *Applied Physics Letters*, 93(18), p. 183502. Disponible sur: https://doi.org/10.1063/1.3013572.

Stillman, G.E. *et al.* (1993) « Carbon Doping of InGaAs for Device Applications », *MRS Online Proceedings Library*, 325(1), p. 197-208. Disponible sur: https://doi.org/10.1557/PROC-325-197.

Stockman, S.A. *et al.* (1992) « Passivation of carbon acceptors during growth of carbon-doped GaAs, InGaAs, and HBTs by MOCVD », *Journal of Electronic Materials*, 21(12), p. 1111-1118. Disponible sur: https://doi.org/10.1007/BF02667602.

Stockman, S.A. *et al.* (1994) « A comparison of TMGa and TEGa for low-temperature metalorganic chemical vapor deposition growth of CCI4-doped inGaAs », *Journal of Electronic Materials*, 23(8), p. 791-799. Disponible sur: https://doi.org/10.1007/BF02651375.

Szelag, B. *et al.* (2017) « Hybrid III-V/Si DFB laser integration on a 220 mm fully CMOS-compatible silionn photonlcsplotform », in *2017 IEEE International Electron Devices Meeting (IEDM)*. *2017 IEEE International Electron Devices Meeting (IEDM)*, p. 24.1.1-24.1.4. Disponible sur: https://doi.org/10.1109/IEDM.2017.8268450.

Teng, T. *et al.* (2013) « InP/InGaAs/InP DHBT structures with high carbon-doped base grown by gas source molecular beam epitaxy », *Journal of Crystal Growth*, 378, p. 618-621. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2012.12.096.

Waldron, N. *et al.* (2012) « Integration of InGaAs Channel n-MOS Devices on 200mm Si Wafers Using the Aspect-Ratio-Trapping Technique », *ECS Transactions*, 45(4), p. 115. Disponible sur: https://doi.org/10.1149/1.3700460.

Yadav, S. *et al.* (2021) « DC and RF Characterization of Nano-ridge HBT Technology Integrated on 300 mm Si Substrates », in *2020 15th European Microwave Integrated Circuits Conference (EuMIC)*. *2020 15th European Microwave Integrated Circuits Conference (EuMIC)*, p. 89-92. Disponible sur: https://ieeexplore.ieee.org/abstract/document/9337489 (Consulté le: 2 décembre 2025).

Yokohama, H., Shiojima, K. et Araki, G. (2013) « MOCVD growth of carbon-doped InGaAs layers using ethyl-base metal organic materials », in *2013 International Conference on Indium Phosphide and Related Materials (IPRM)*. *2013 International Conference on Indium Phosphide and Related Materials (IPRM)*, p. 1-2. Disponible sur: https://doi.org/10.1109/ICIPRM.2013.6562612.

4. Caractérisation de contacts compatibles CMOS sur GaAsSb-P^{++}

Il a été évoqué plusieurs fois en amont dans ce manuscrit que l'utilisation du GaAsSb comme couche de base dans un InP-DHBT présente un intérêt particulier. D'une part, il a été reconnu que ce matériau est bien moins sensible à la passivation de ses accepteurs carbone par l'hydrogène comparé à l'InGaAs, notamment lors des étapes de croissance épitaxiale [*Oda_2004*]. D'autre part, cette solution permet la formation d'une hétérojonction de type II avec l'InP à l'interface base-collecteur [*Bolognesi_2001*], ce qui évite notamment l'apparition d'une barrière susceptible de réduire l'efficacité d'injection des électrons traversant la base vers le collecteur (Figure 107). Ainsi, le risque d'augmentation du courant de base, causé entre autres par la recombinaison d'électrons avec les trous majoritaires de la base, est réduit.

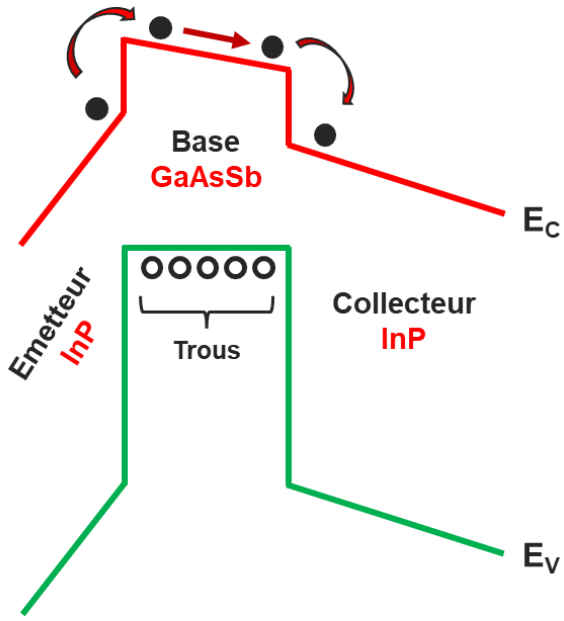

Figure 107 : Représentation schématique du passage des électrons au travers des hétérojonctions d'un DHBT InP/GaAsSb/InP. Une fois injectés dans la base, les électrons sont accélérés localement dans le cas où un gradient de composition ou de dopage est utilisé, puis traversent la jonction base-collecteur sans rencontrer de barrière énergétique.

L'alliage $GaAs_{1-x}Sb_x$ est un semi-conducteur dont la bande interdite peut être étroite, à l'instar de l'InGaAs. A titre d'exemple, le $GaAs_{0.5}Sb_{0.5}$, qui présente un bon accord de paramètre de maille avec l'InP, possède une bande interdite d'environ 0.78 eV [*Sharma_2021*]. Il a également été montré que le niveau de Fermi surfacique de ce matériau est verrouillé proche de la bande de valence, et qu'il s'en rapproche de plus en plus à mesure que la concentration en Sb augmente [*Chouaib_2009*]. Ainsi, il est naturellement plus simple de réaliser un contact sur p-GaAsSb que sur n-GaAsSb. Afin d'amincir au mieux la barrière de potentiel à l'interface métal/semi-conducteur et permettre le tunneling, un dopage très élevé proche de 10^{20} cm^{-3} est requis.

Le GaAsSb peut justement recevoir de fortes concentrations de dopants lors de sa croissance épitaxiale, avec des valeurs pouvant excédant 10^{20} cm^{-3} dans le cas d'accepteurs [*Yarekha_2007, Ostinelli_2009*]. Cependant, les trous possédant une masse effective plus importante, le tunneling restera moins efficace qu'avec les électrons dans un semi-conducteur dopé N.

Les contacts à base de Pt et de Pd sont par ailleurs considérés comme des références pour obtenir de faibles résistivités de contact sur GaAsSb dans les technologies InP-DHBT intégrées sur substrats natifs InP. En effet, des empilements métalliques tels que Pt/Ti/Pt/Au [*Bolognesi_2001*], Pd/Ti/Pd/Au [*Zaknoune_2012*] ou encore Pd/Ni/Pt/Au [*Arabhavi_2022*] ont permis d'atteindre des valeurs de résistivité de contact comprises entre 10^{-6} et 10^{-8} Ω*cm². De plus, des valeurs inférieures à 10^{-8} Ω*cm² ont récemment été obtenues par la caractérisation de métallisations composées de Pt et d'Ir, réalisées directement sur les couches d'un empilement à finalité DHBT InP/GaAsSb/InP [*Ciabattini_2024*].

Dans la perspective de pouvoir, à terme, fabriquer des InP-DHBT intégrant une couche de base en GaAsSb, en conformité avec l'intégration compatible CMOS développée au LETI, des travaux de caractérisation de contact sur GaAsSb-P^{++} ont également été menés au cours de cette thèse. Ces études sont similaires à celles précédemment réalisées sur InGaAs au travers de différents dispositifs TLM. Deux types d'intégration ont alors été explorés. D'une part, une intégration classique par lift-off sur plateforme dites « souple ». D'autre part, une intégration planaire de type Damascene, réalisée en présence de matériaux diélectriques et profitant de procédés spécifiques aux équipements 200/300mm de la plateforme silicium du LETI.

4.1 Etude préliminaire : passivation des accepteurs carbone par gravure sèche ICP sous atmosphère hydrogénée

Bien que plusieurs études disponibles dans la littérature attestent de la bonne résistance du p-GaAsSb à la passivation de ses accepteurs carbone par l'hydrogène, celles-ci se concentrent principalement sur la phase de croissance épitaxiale du matériau. Afin d'évaluer plus spécifiquement l'impact de la passivation induite par des procédés de gravure sèche ICP en environnement hydrogéné – et ainsi permettre une comparaison directe avec l'InGaAs dans des conditions similaires – une étude complémentaire, basée sur des mesures Hall, a été menée sur GaAsSb-P^{++} (:C). Cette analyse vise à mieux comprendre les effets de telles gravures sur les propriétés électriques du GaAsSb, en particulier dans le cadre d'une intégration de type Damascene, impliquant la formation de cavités de contact par gravure sèche de matériaux diélectriques.

L'empilement technologique utilisé pour cette étude correspond également à celui prévu pour la réalisation de futurs contacts intégrés sur substrat silicium 200 mm, dans le cadre d'un lot TASP GaAsSb incluant une étape de retournement. En conséquence, la croissance épitaxiale a été effectuée en ordre inverse. En partant du substrat InP 4" semi-isolant (:Fe) vers le haut, on retrouve successivement : une couche d'arrêt de gravure en InGaAs n.i.d. (50 nm), une seconde couche d'arrêt en InP n.i.d. (20 nm), la couche active de $GaAs_{0.5}Sb_{0.5}$ (70 nm) fortement dopée au carbone, et enfin une couche d'adhésion InP n.i.d. (50 nm), comme présenté dans le Tableau 21. Une configuration DHBT n'étant pas adressée ici, cette épaisseur de GaAsSb a été choisie de manière à limiter la résistance de couche de la zone active, tout en prévoyant une marge de sécurité suffisante afin d'éviter de reproduire la situation rencontrée avec les lots TASP réalisés sur InGaAs. En effet, les réactions interfaciales au niveau du contact avaient alors pu se propager sur l'ensemble de l'épaisseur de la couche active dans certains cas.

Tableau 21 : Empilement technologique utilisée pour les études sur GaAsSb-P^{++} (:C).

Couche d'adhésion	InP	n.i.d.	50nm
Couche active	**$GaAs_{0.5}Sb_{0.5}$**	**P++ (:C)**	**70nm**
2nd couche d'arrêt de gravure	InP	n.i.d.	20nm
Couche d'arrêt de gravure	InGaAs	n.i.d.	50nm
4" InP bulk S.I. (:Fe)			

Dans le cadre de cette étude Hall, la couche d'adhésion en InP est d'abord retirée par gravure humide afin de mettre à nu la couche active de GaAsSb. La plaque est ensuite clivée en trois échantillons distincts (A, B et C). Une première caractérisation ellipsométrique, suivie d'une mesure Hall sur chacun des échantillons, permet de déterminer l'épaisseur résiduelle de GaAsSb après la gravure humide de l'InP ainsi que les propriétés électriques initiales de la couche. Les échantillons sont ensuite soumis à des procédés de gravure sèche ICP réalisés sur l'équipement ICP Oxford de la Plateforme Technologique Amont (PTA). Bien que les conditions de gravure soient identiques pour les trois échantillons (durée : 1 min, pression : 10 mTorr, puissance RF : 20 W, puissance plasma : 500 W), chacun est exposé à une atmosphère différente, reproduisant les conditions utilisées lors des tests sur InGaAs : CH_2F_2 (20 sccm) + Ar (20 sccm), CH_2F_2 seul (20 sccm), et H_2 seul (40 sccm). Après gravure, une seconde série de mesures ellipsométriques et Hall est réalisée afin d'évaluer l'impact des différentes atmosphères de gravure sur l'épaisseur et les propriétés électriques de la couche de GaAsSb. Enfin, l'ensemble des échantillons subit un recuit thermique rapide (RTA) à 450°C pendant 2 minutes sous atmosphère N_2, suivi d'une dernière mesure Hall destinée à vérifier une éventuelle restauration partielle des propriétés électriques. Les résultats obtenus sont récapitulés dans le Tableau 22 ci-dessous.

Tableau 22 : Evaluation de l'impact de gravures ICP sous atmosphères hydrogénées sur les propriétés électriques du GaAsSb-P^{++}.

		Epaisseur de p-GaAsSb [nm]	**Concentration d'accepteurs** [10^{19} cm^{-3}]	**R_{sh}** [Ω/sq]	**Mobilité des trous** [cm²/(V.s)]
Echantillon A	Etat initial	65.3	**8.07**	352	33.7
	Gravure ICP **CH_2F_2 + Ar**	59.0	**5.90**	576	31.2
	2min 450°C RTA	59.0	**14.7**	430	16.8
Echantillon B	Etat initial	64.3	**7.30**	362	36.8
	Gravure ICP **CH_2F_2**	62.1	**5.10**	593	33.3
	2min 450°C RTA	62.1	**10.3**	395	24.7
Echantillon C	Etat initial	65.7	**9.27**	372	27.6
	Gravure ICP **H_2**	56.2	**6.32**	1 049	16.8
	2min 450°C RTA	56.2	**39.3**	497	5.70

Les mesures initiales indiquent que l'épaisseur de la couche de GaAsSb est d'environ 65 nm pour les trois échantillons, ce qui suggère qu'environ 5 nm ont été retirés lors de la gravure humide de la couche d'adhésion InP. La concentration en dopants actifs varie de 7.30 à 9.27×10^{19} cm^{-3} selon les échantillons, confirmant un fort dopage carbone. La résistance de couche est de (362 ± 10) Ω/□, et la mobilité des trous se situe entre 27.6 et 36.8 cm²/(V*s). Après les différentes étapes de gravure ICP, une dégradation notable des propriétés électriques est observée pour les trois échantillons, mettant en évidence l'impact défavorable de l'hydrogène sur le p-GaAsSb (:C) dans les procédés de gravure sèche. Les pertes relatives en concentration de dopants actifs sont estimées à 26.9 % (CH_2F_2 + Ar), 30.1 % (CH_2F_2) et 31.8 % (H_2). De plus, là où la résistance de couche augmente de 64% pour les échantillons A et B, elle est presque triplée pour l'échantillon C. Ce dernier présente également la plus forte diminution de mobilité des trous, avec une perte relative de 39.1 %. Ainsi, la gravure sous atmosphère H_2 (40 sccm) apparaît comme la plus délétère pour les propriétés électriques du GaAsSb. Elle est également la plus agressive en termes de consommation d'épaisseur. À l'inverse, la gravure sous CH_2F_2 est la moins intrusive en matière d'épaisseur. Cela n'empêche pas que cette-dernière altère elle aussi significativement le dopage actif du matériau.

À la suite des recuits RTA 450°C de 2min, deux tendances sont constatées. Premièrement, une forte augmentation de la concentration active de dopage est relevée pour les trois échantillons, atteignant quasiment 4×10^{20} cm^{-3} dans le cas de l'échantillon C. Nous ne sommes toutefois pas parvenus à convenablement l'expliquer, tant le saut de dopage est conséquent, y compris par rapport à la concentration initiale. La concentration de dopage étant notamment calculée à partir de la mobilité des porteurs majoritaires, une hypothèse serait alors que la mesure de cette dernière ne soit pas véritablement représentative des échantillons à la suite du recuit RTA, et

que cela vienne fausser la valeur de N_A. Une analyse plus approfondie serait toutefois nécessaire, car il est également envisageable que le budget thermique de 450°C appliqué ait réellement dégradé la mobilité des trous dans le GaAsSb. Par ailleurs, le fait que l'intégrité et la propreté des échantillons n'aient pas été optimales — notamment en raison de la présence plus ou moins prononcée d'indium sur la face arrière, due à des erreurs de manipulation lors de la réalisation des contacts pour la mesure Hall — constitue une autre explication plausible. Une valeur plus représentative est alors la valeur de R_{sh}, car celle-ci est calculée directement à partir de mesures I-V réalisées par l'équipement. En concentrant alors la comparaison sur cette grandeur, on remarque la seconde tendance, qui est une diminution de la résistance de couche du p-GaAsSb à la suite des recuits, par rapport aux valeurs mesurées après l'application des gravures ICP. Il semblerait donc qu'il soit possible d'obtenir une restauration partielle des propriétés électriques de la couche à la suite de cette étape de recuit, et ceci pour les trois échantillons. En effet, les valeurs de R_{sh} mesurées restent tout de même supérieures aux valeurs initiales.

Ces résultats peuvent alors être comparés avec ceux obtenus sur p-InGaAs (:C), voir Tableau 23.

Tableau 23 : Comparaison de l'impact de gravures ICP hydrogénées et d'un recuit 450°C de 2 min sur les propriétés électriques d'une couche p-InGaAs (:C) et p-GaAsSb (:C).

		Epaisseur de couche [nm]		**Concentration d'accepteurs** [10^{19} cm^{-3}]			**R_{sh}** [Ω/sq]			**Mobilité des trous** [$cm^2/(V.s)$]		
		Avant ICP	Après ICP	Avant ICP	Après ICP	RTA 450°C	Avant ICP	Après ICP	RTA 450°C	Avant ICP	Après ICP	RTA 450°C
CH_2F_2 + Ar	**InGaAs**	29.9	23.0	7.17	**Type N**	6.99	701	**N/A** 861	906	41.6	**Type N**	42.9
	GaAsSb	65.3	59.0	8.07	**5.90**	**14.7**	352	**576**	**430**	33.7	**31.2**	16.8
CH_2F_2	**InGaAs**	~ 28	~ 26	~ 8.03	**Type N**	~ 6.52	695	**N/A** 1 032	837	40.0	**Type N**	40.9
	GaAsSb	64.3	62.1	7.30	**5.10**	**10.3**	362	**593**	**395**	36.8	**33.3**	24.7
H_2	**InGaAs**	~ 28	~18.5	~ 7.92	**Type N**	**Type N**	703	**N/A** 1 475	**N/A** 51 220	40.1	**Type N**	**Type N**
	GaAsSb	65.7	56.2	9.27	**6.32**	**39.3**	372	**1 049**	**497**	27.6	**16.8**	5.70

Afin d'introduire du relatif entre les différentes valeurs de R_{sh} mesurées, mais également dans le but de rendre cette comparaison plus visuelle, des diagrammes en barre ont été tracés, voir Figure 108.

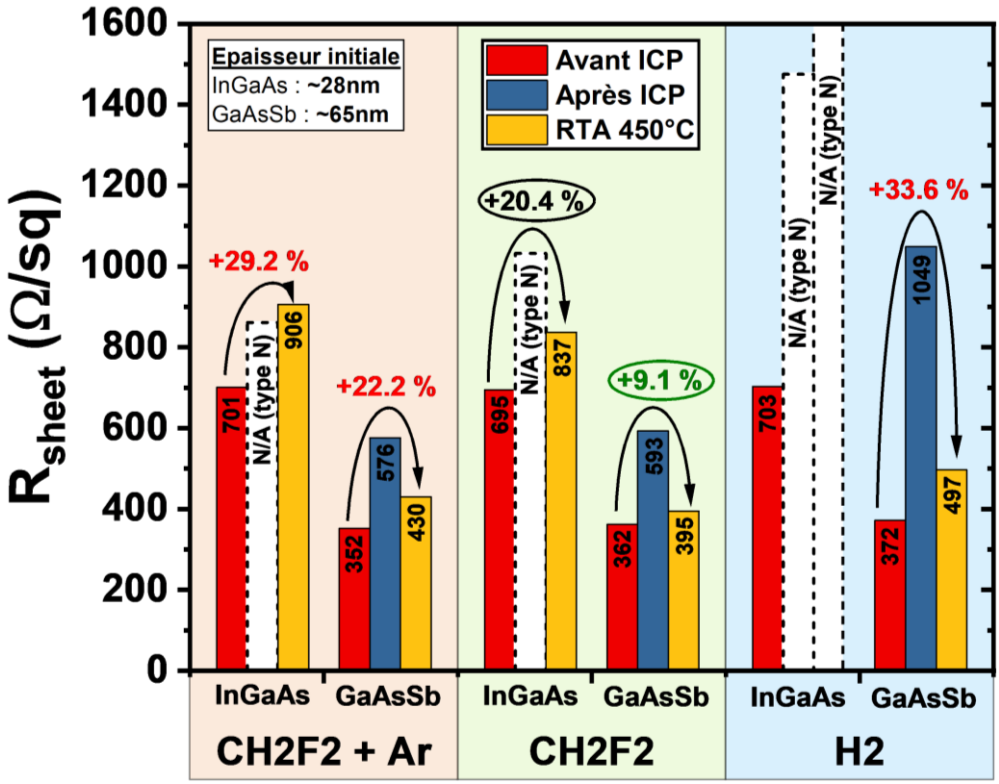

Figure 108 : Comparaison de l'impact de gravures ICP hydrogénées et d'un recuit 450°C de 2 min sur la résistance d'une couche p-InGaAs (:C) et p-GaAsSb (:C).

L'ensemble de ces mesures Hall met clairement en évidence le contraste de comportement entre les couches p-InGaAs et p-GaAsSb face aux procédés de gravure ICP sous atmosphère hydrogénée. Le p-InGaAs se révèle particulièrement sensible à l'hydrogénation induite par les plasmas ICP utilisés. Ceux-ci conduiraient alors à une passivation très importante des accepteurs carbone, au point que les propriétés électriques mesurées après gravure reflètent davantage celles de la couche InGaAs n.i.d. sous-jacente (type N). À l'inverse, le p-GaAsSb ne subit qu'une passivation partielle, ce qui lui permet de préserver son dopage de type P. Cette meilleure résistance à la passivation par l'hydrogène confirme son intérêt comme matériau de base dans les transistors InP-DHBT intégrés sur substrat silicium, notamment dans le cas d'approches d'intégration de type Damascene nécessitant des étapes d'ouverture de contact dans des couches diélectriques.

Un recuit thermique rapide à 450°C sous atmosphère N_2 s'avère efficace afin de restaurer partiellement les propriétés électriques initiales de la couche passivée. Ce recuit permet notamment au p-InGaAs de retrouver un comportement de type P à la suite des procédés de gravure CH_2F_2 et CH_2F_2 + Ar, et au p-GaAsSb de systématiquement abaisser sa résistance par rapport à son état pré-recuit. Suite à l'application du recuit dans le cas CH_2F_2, la valeur de R_{sh} de l'InGaAs représente notamment plus du double de celle du GaAsSb. Cela est cependant à relativiser du fait de la différence d'épaisseur entre les deux matériaux. Une valeur permettant une comparaison plus fiable est alors la variation relative de R_{sh} entre les états initiaux et post-recuit. Comme illustré par la Figure 108, la R_{sh} de l'InGaAs a augmenté de 20.4% par rapport à sa valeur initiale, tandis que ce nombre s'abaisse à 9.1 % dans le cas du GaAsSb. Une gravure ICP à base de CH_2F_2 étant par ailleurs le procédé faisant le plus référence à ce que l'on pourrait retrouver dans la filière InP-DHBT sur silicium, cet élément mérite d'être pris en compte.

L'efficacité du recuit peut cependant se retrouver limitée dans le cas où le matériau a été trop endommagé par la gravure, à l'image du procédé ICP H_2 sur InGaAs ici. En effet, une restauration partielle des propriétés électriques n'a alors pu être obtenue, indiquant une dégradation irréversible de la couche. On peut toutefois noter que le GaAsSb a également subi une consommation importante suite à cette gravure, mais que l'application du recuit a tout de même permis une réduction de sa résistance de couche supérieure à un facteur 2.

Dans le cadre de l'intégration de ces couches au sein d'un InP-DHBT, il convient néanmoins de considérer avec prudence l'utilisation de recuits à 450 °C pour déshydrogéner, en raison du risque de diffusion des dopants. Comme hypothétisé dans la partie 3.6.2, cela est en effet susceptible de détériorer les performances électriques finales. Pour limiter la passivation par l'hydrogène tout en évitant ces recuits, une solution alternative reposerait sur l'emploi d'une couche protectrice d'Al_2O_3. Celle-ci pourrait alors permettre d'éviter l'hydrogénation lors des étapes d'ouverture de contact.

Pour conclure, il serait toutefois plus raisonnable de considérer les résultats issus de ces mesures Hall comme qualitatifs plutôt que quantitatifs. Dans le cadre de l'utilisation qui en a été faite ici, leur principal intérêt réside dans la capacité à fournir une tendance générale sur l'effet de la passivation des accepteurs carbone par l'hydrogène lors de procédés de gravure ICP, en fonction du matériau utilisé. Pour une évaluation plus complète et rigoureuse, il serait pertinent de coupler ces résultats avec d'autres techniques de caractérisation à chaque étape du processus (avant et après gravure ICP, après RTA), telles que le TOF-SIMS pour les profils de concentration chimique ou l'AFM pour les modifications morphologiques de surface. Par ailleurs, bien que les procédés de gravure ICP aient été identiques pour les deux matériaux, les empilements technologiques associés diffèrent sensiblement. Ces différences portent notamment sur le sens de la croissance épitaxiale (directe pour InGaAs, inversée pour GaAsSb) ainsi que sur l'épaisseur initiale de la couche active (28 nm pour InGaAs contre 70 nm pour GaAsSb). Ce dernier paramètre peut exercer une influence sur les résultats, en particulier ceux liés à la résistance de couche R_{sh}, mais également, dans une certaine mesure, sur l'ampleur de la passivation observée dans le cas de l'InGaAs. Il est par exemple légitime de s'interroger sur le fait que des résultats comparables auraient été obtenus si l'épaisseur initiale de la couche d'InGaAs était de 70 nm. Cela étant, l'épaisseur de 28 nm utilisée ici reste bien plus représentative des couches de base réelles envisagées dans des InP-DHBT destinés aux hautes performances. Il pourrait néanmoins être intéressant de réaliser une étude complémentaire avec des empilements plus homogènes en termes d'épaisseur de la couche active, tout en affinant l'analyse grâce à des méthodes de caractérisation complémentaires.

4.2 Dispositifs TLM réalisés en plateforme « souple »

À la suite de cette étude préliminaire, des dispositifs TLM ont été réalisées sur GaAsSb-P^{++} (:C), en utilisant une plateforme dites « souple ». L'intégration a été effectuée selon un procédé classique de type lift-off, en s'appuyant sur le même empilement technologique que celui présenté précédemment, voir Tableau 21. L'idée est alors d'effectuer une première évaluation des performances électriques de métallisations compatibles CMOS, à base de Ti et de Ni, sur ce matériau. Le procédé de fabrication employé est similaire à celui décrit en amont dans la partie 3.2.1, utilisant le même jeu de masques. Une différence majeure réside toutefois dans le traitement de surface : la désoxydation est ici réalisée par un plasma Ar in-situ, à la place d'un nettoyage humide HCl ex-situ. Une couche mince d'environ 10 nm de Ti ou de Ni est ensuite déposée par PVD sur les 70 nm de GaAsSb-P^{++}, suivie d'un capping TiN de 8 nm destiné à limiter la diffusion des espèces métalliques sus-jacentes. Un empilement supplémentaire Ti (30 nm) / Pt (20 nm) / Au (140 nm), déposé par évaporation, forme ensuite les plots de contact. À l'issue du procédé, les dispositifs TLM présentent des plots de 100 × 100 µm², et la distance d'espacement entre les contacts varie de 40 à 140 µm. Les mesures I-V sont réalisées à l'aide du prober manuel PM8A selon la plage de tension [-1 ; 1] V, avant puis après l'application de recuits RTA d'une minute sous atmosphère N_2, pour des températures allant de 250°C jusqu'à 500°C. Les objectifs de cette étude rejoignent ceux décrits pour les dispositifs sur InGaAs-P^{++} dans la partie 3.2.1, à savoir évaluer la stabilité des contacts jusqu'à des températures compatibles avec les étapes BEOL des procédés CMOS, tout en visant une résistivité de contact proche de 10^{-6} Ω*cm². Ce seuil est motivé par les améliorations attendues d'un à deux ordres de grandeur de la résistivité de contact, pour des dispositifs de dimensions réduites bénéficiant de procédés matures provenant d'équipements 200/300mm. Les résultats TLM, incluant la résistance de couche R_{sh} du GaAsSb et la résistivité de contact ρ_c, sont présentés dans les Figure 109 (Ti) et Figure 111 (Ni). Pour chaque condition de recuit, l'analyse repose alors sur la mesure de huit dispositifs TLM.

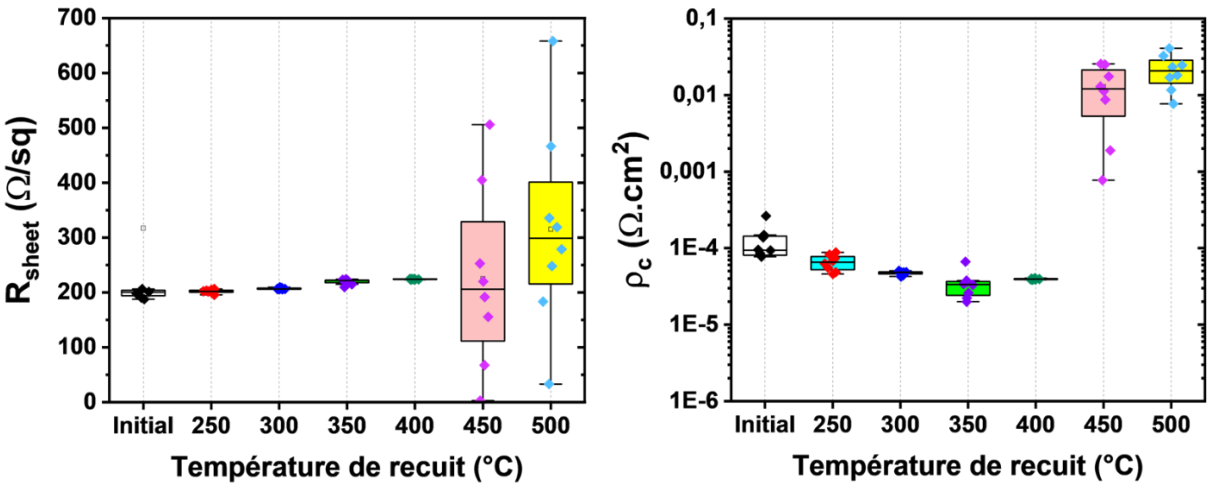

Figure 109 : Résistance de la couche de GaAsSb-P^{++} et résistivité du contact Ti / TiN avant et après application de recuits RTA.

Dans le cas du contact Ti, un comportement ohmique a été observé dès les mesures réalisées sur les échantillons n'ayant subi aucun recuit, avec des valeurs de ρ_c variant autour d'une valeur médiane de 9.52×10^{-5} Ω*cm². L'application des recuits RTA permet ensuite de progressivement réduire cette valeur jusqu'à une valeur médiane de 3.35×10^{-5} Ω*cm² pour 350°C. De plus, la faible dispersion des résultats montre que le contact reste électriquement stable jusqu'à 400°C. Cette tendance est également observable sur la résistance de couche du GaAsSb. Celle-ci augmente par ailleurs d'un minimum de 188 Ω/□ jusqu'à un maximum de 225 Ω/□ entre l'état initial et 400°C. A partir de 450°C, le contact n'est plus stable et se dégrade fortement, comme l'illustrent les deux figures de mérite. Cela peut être dû à une diffusion excessive des espèces chimiques ou encore à la formation d'une phase électriquement non-favorable à l'obtention d'un contact ohmique peu résistif. Cette dégradation peut alors être prévenue en réalisant un traitement thermique en deux étapes au lieu d'une, comme le montre la Figure 110. En effet, l'application d'un recuit RTA à 250°C (1 min, N_2) avant celui de 450°C a permis non seulement d'éviter la dégradation, mais également de continuer à baisser la résistivité de contact par rapport à un recuit à 400°C en une étape. Cependant, la même stratégie n'a pas fonctionné pour un second recuit s'élevant jusqu'à 500°C, où le contact s'est à nouveau dégradé. Des études supplémentaires pour analyser la formation des phases intermétalliques entre le Ti et le GaAsSb (TOF-SIMS, XRD…) seront alors nécessaires afin de mieux comprendre les phénomènes mis en jeu.

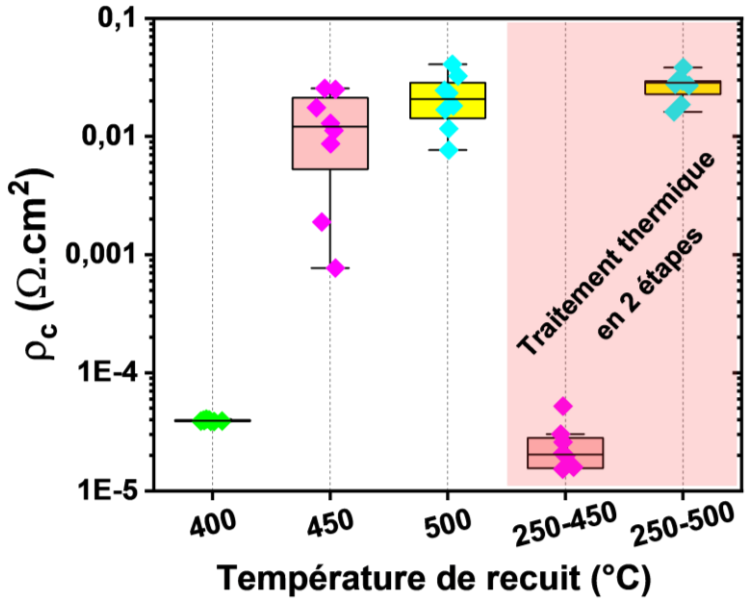

Figure 110 : Résistivité du contact Ti / TiN sur GaAsSb-P^{++}, après application de recuits RTA en une ou plusieurs étapes.

Dans le cas du contact Ni (Figure 111), un comportement ohmique a également été observé dès le dépôt de la métallisation, avec des valeurs de ρ_c centrées autour d'une valeur médiane de 6.26×10^{-5} Ω*cm². Toutefois, les premiers recuits RTA à 250°C puis 300°C entraînent une dégradation significative de la stabilité du contact, bien qu'une tendance à l'amélioration de la résistivité de contact soit constatée. Ce n'est qu'à partir de 350°C que le contact retrouve une stabilité durable, laquelle se maintient jusqu'à 500°C. Cela suggère probablement que la formation d'alliages et/ou d'intermétalliques entre le Ni et le GaAsSb s'achève aux alentours

de 350°C, et que les phases ainsi formées restent ensuite thermiquement stables. Comme précédemment pour le cas du contact Ti, des investigations complémentaires seraient néanmoins nécessaires pour confirmer cette hypothèse. Les valeurs de ρ_c extraites diminuent progressivement au fil des recuits, atteignant un minimum médian de 1.37×10^{-5} Ω*cm² à 500 °C. En revanche, la résistance de couche montre une tendance inverse, augmentant progressivement pour atteindre une valeur médiane maximale de 243 Ω/□ à 500 °C.

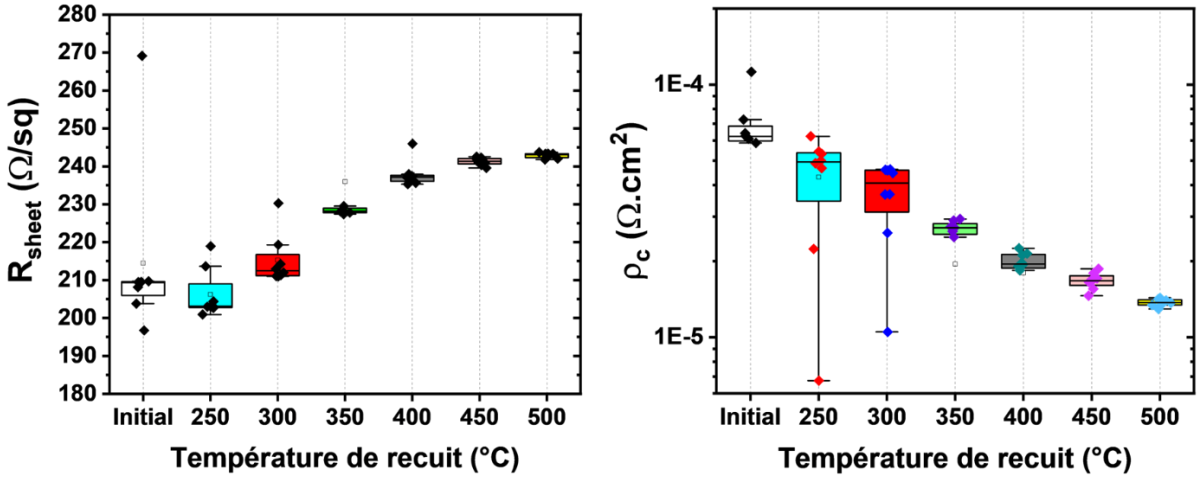

Figure 111 : Résistance de la couche de GaAsSb-P^{++} et résistivité du contact Ni / TiN avant et après application de recuits RTA.

Une première conclusion peut être tirée de ces caractérisations électriques initiales de contacts Ti et Ni sur GaAsSb-P^{++}, réalisés selon une intégration de type lift-off. Comme illustré par la Figure 112, les deux types de contact présentent une bonne stabilité jusqu'à 400°C. Toutefois, alors que le contact Ni reste stable jusqu'à 500°C, le contact Ti montre des signes de dégradation dès 450°C. L'utilisation d'un recuit en deux étapes permet de pallier en partie à cette limitation, mais ne suffit pas, dans le cadre de cette étude, à garantir une stabilité du contact Ti / GaAsSb jusqu'à 500 °C. Cela devrait néanmoins constituer une solution satisfaisante pour adresser des budgets thermiques de 400-450°C, représentatifs des étapes de traitement BEOL des procédés CMOS. D'un autre côté, le contact Ni / GaAsSb se révèle prometteur en raison de sa stabilité à partir de 350°C et de la diminution progressive de la résistivité du contact à mesure que la température de recuit augmente. Ces caractéristiques en font alors un candidat particulièrement intéressant pour des dispositifs devant supporter des étapes BEOL de procédés CMOS.

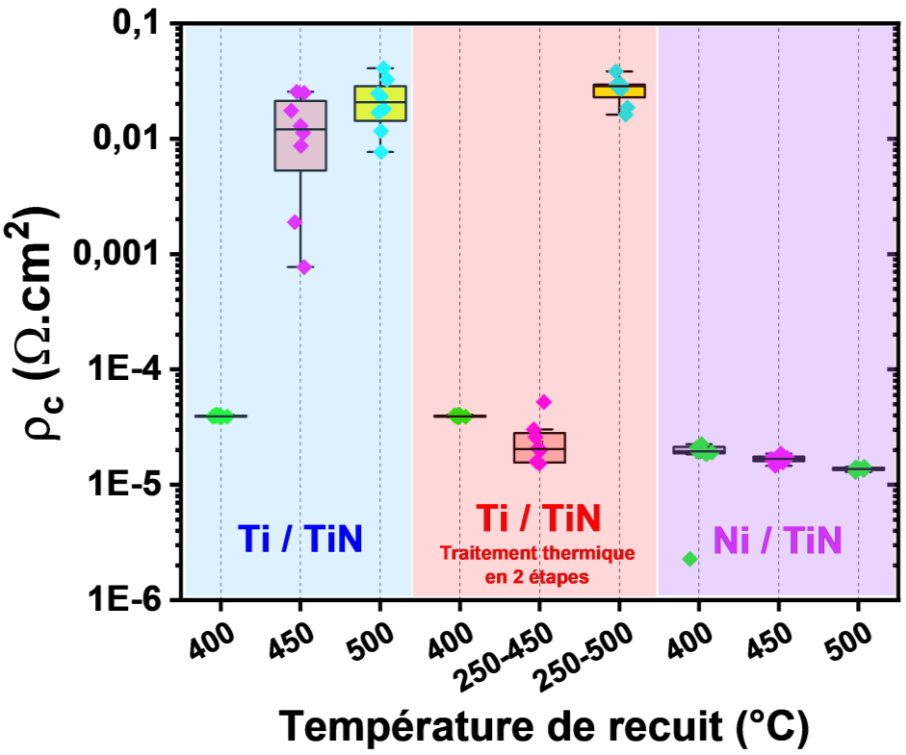

Figure 112 : Comparaison de la résistivité des contacts Ti / TiN et Ni / TiN sur GaAsSb-P^{++}, après application de recuits RTA en une ou plusieurs étapes.

Par ailleurs, ces résultats sont comparables à ceux précédemment obtenus sur InGaAs-P^{++} avec une intégration de type lift-off similaire (voir Figure 113). Malgré plusieurs différences entre les deux procédés de fabrication – telles que le type de préparation de surface (traitement humide ex-situ contre plasma Ar in-situ), l'épaisseur de la couche active III-V, ou encore celle du métal de contact déposé – les valeurs de résistivité de contact extraites ainsi que les comportements observés restent globalement cohérents entre les deux systèmes.

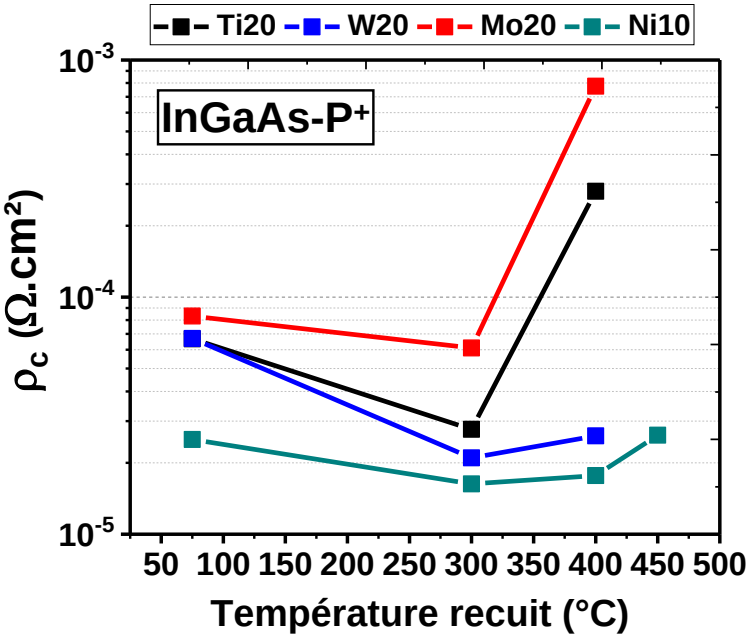

Figure 113 : Résistivité de contact en fonction de la température de recuit RTA et du métal de contact sur InGaAs-P^{++}, avec une intégration de type lift-off.

Pour le contact Ti / InGaAs, on observait une diminution comparable de ρ_c jusqu'à une valeur de 2.77×10^{-5} Ω*cm² à 300°C (contre 4.83×10^{-5} Ω*cm² pour Ti / GaAsSb), suivie d'une dégradation dès 400°C. Une explication possible réside dans la combinaison d'une plus grande épaisseur de Ti déposée (20 nm) et d'une couche active plus fine (28 nm), comparée au cas du Ti / GaAsSb. Cette configuration favoriserait une réactivité interfaciale accrue à haute température, entraînant une dégradation plus rapide du contact. Cela resterait néanmoins à confirmer par la réalisation de caractérisations plus poussées.

Concernant le contact Ni / InGaAs, une bonne stabilité thermique avait également été observée jusqu'à des températures élevées. Néanmoins, alors que la résistivité du contact Ni / GaAsSb diminue continuellement jusqu'à 500°C (atteignant alors un minimum de 1.37×10^{-5} Ω*cm²), celle du contact Ni / InGaAs atteint un minimum de 1.63×10^{-5} Ω*cm² pour 300°C, avant de remonter progressivement pour atteindre 2.61×10^{-5} Ω*cm² à 450°C.

Ces premières caractérisations électriques de contacts CMOS sur GaAsSb-P^{++} ont permis de dégager des tendances en matière de performance, tant du point de vue de la robustesse thermique que de la résistivité électrique. Toutefois, comme évoqué précédemment dans ce travail, une amélioration significative des performances – notamment une réduction de la résistivité de contact pouvant aller d'une à deux décades – est généralement observée lorsque l'on passe d'une technologie élaborée sur une plateforme dite « souple » à une technologie mise en œuvre selon des procédés matures et maîtrisés sur une plateforme silicium. C'est précisément l'objet de la partie 4.3, dans laquelle de nouveaux dispositifs TLM ont été fabriqués sur GaAsSb-P^{++} selon une approche d'intégration planaire de type Damascene, avec l'inclusion de matériaux diélectriques.

4.3 Dispositifs TLM réalisés en plateforme silicium / photonique

Cette étude porte sur la fabrication de dispositifs TLM sur GaAsSb-P^{++} en configuration planarisée, c'est-à-dire selon un schéma d'intégration de type Damascene. Contrairement aux travaux précédents menés sur des structures réalisées par lift-off, cette approche a permis d'explorer plusieurs préparations de surface ainsi qu'un nouveau type de contact CMOS, en s'appuyant sur les équipements et procédés disponibles sur les plateformes silicium et photonique du LETI. Une autre différence majeure réside dans la nature des empilements : alors que les études antérieures utilisaient des structures élaborées par épitaxie MBE, les empilements utilisés ici ont été réalisés par la technique MOCVD au Laboratoire des Technologies de la Microélectronique (LTM). Ce choix s'inscrit dans le cadre du développement de la filière InP-DHBT sur silicium au LETI, avec l'objectif de limiter la dépendance à l'achat ou à l'importation d'empilements III-V et de favoriser une production centralisée. Ce changement implique cependant l'utilisation du dopant accepteur Zn pour la couche de GaAsSb, le laboratoire ne disposant pas de source de carbone fonctionnelle au moment de l'étude. L'empilement utilisé est présenté dans la Figure 114 ci-dessous.

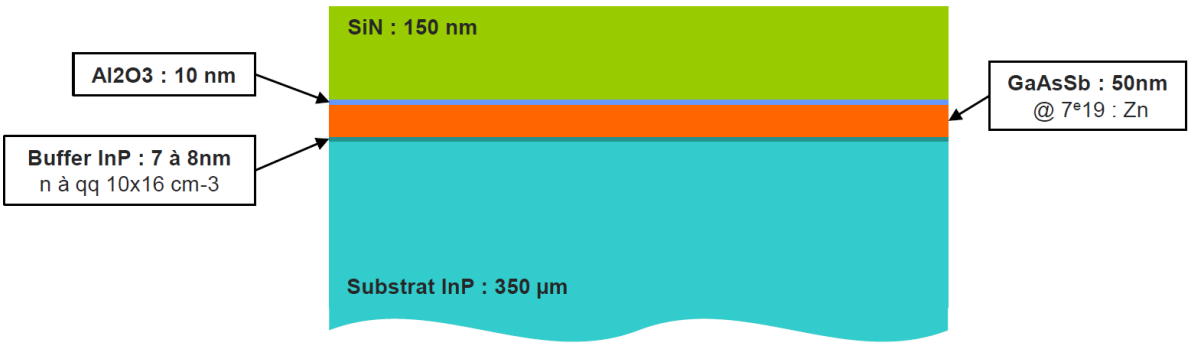

Figure 114 : Représentation schématique de l'empilement technologique de départ pour la réalisation des structures TLM sur GaAsSb-P^{++} en configuration planarisée.

Sur un substrat InP 4" semi-isolant (:Fe), une couche tampon d'InP n.i.d. de 7 à 8 nm est d'abord déposée afin d'assurer une bonne adaptation du paramètre de maille avec la couche active de $GaAs_{0.5}Sb_{0.5}$. Cette dernière est ensuite déposée sur une épaisseur de 50 nm avec une concentration de dopage Zn de 7×10^{19} cm^{-3}. Après cette étape, l'empilement est extrait de l'équipement MOCVD pour permettre le dépôt des couches diélectriques. Celles-ci se composent d'une première couche d'alumine (Al_2O_3) de 10 nm déposée par ALD, suivie de 150 nm de SiN déposés par PECVD. La couche d'alumine joue un rôle de protection de la couche active GaAsSb, en empêchant une éventuelle passivation des dopants accepteurs lors de la gravure sèche utilisée pour former les cavités de contact dans le SiN. Les dispositifs TLM linéaires sont ensuite réalisés selon les différentes étapes technologiques illustrées dans la Figure 115.

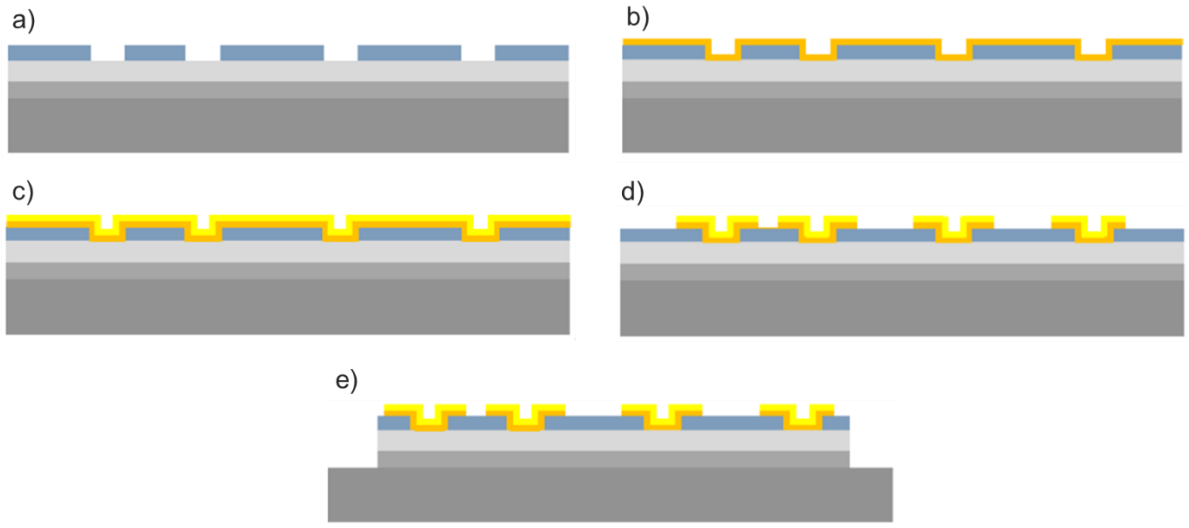

Figure 115 : (a) Gravures des couches de diélectriques SiN et Al_2O_3. (b) Dépôt du métal de contact. (c) Dépôt de l'empilement métallique de l'électrode. (d) Gravure des pads de contact. (e) Gravure des mésas d'isolation.

Les couches diélectriques sont d'abord gravées : le SiN par gravure sèche ICP, avec arrêt contrôlé sur Al_2O_3, puis l'alumine par gravure humide à base de HF à 1%, avec arrêt sélectif sur la couche active de GaAsSb. Une image MEB illustrant l'aspect des cavités après cette étape est présentée en Figure 116.

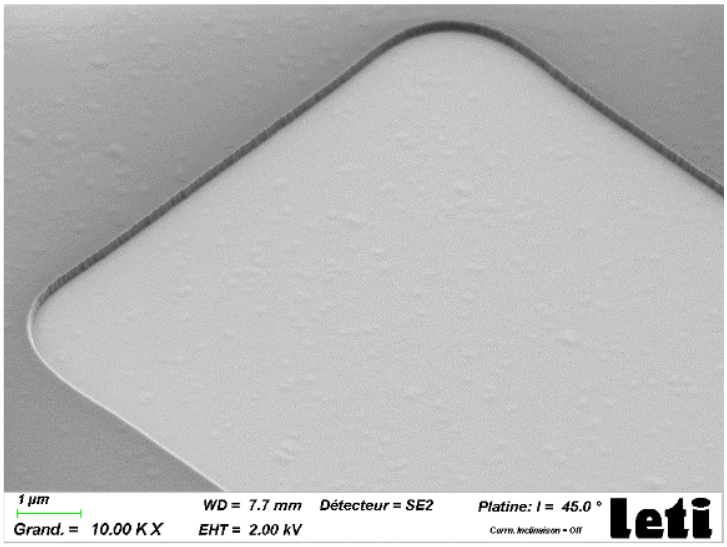

Figure 116 : Observation MEB de l'aspect des cavités de contact à la suite de l'étape d'ouverture par gravures sèche et humide.

Le dépôt du métal de contact est ensuite réalisé. Plusieurs conditions de préparation de surface et types de contacts CMOS ont été étudiés, dont un nouveau par rapport aux travaux précédents présentés dans cette thèse : le contact $Ni_{0.9}Pt_{0.1}$. En complément, des contacts non-CMOS à base de platine (Pt) et de palladium (Pd) ont également été intégrés, afin de servir de références de métallisation III-V dans ce contexte d'intégration planaire. Après le dépôt du métal de contact, l'empilement métallique des électrodes est également déposé. Les différents splits de dépôt sont récapitulés dans le Tableau 24 ci-dessous.

Tableau 24 : Synthèse des différents splits de dépôts suivis pour la réalisation des structures TLM sur GaAsSb-P^{++} en configuration planarisée.

<table>
<tr><th>Plaque</th><th colspan="2">Préparation de surface</th><th>Contact</th><th>Type de dépôt</th><th>Empilement métallique</th></tr>
<tr><td>P03G</td><td rowspan="4">In-situ</td><td>/</td><td>Ni / TiN
10 / 10 nm</td><td rowspan="5">PVD</td><td rowspan="5">Ti / Pt / Au
5 / 25 / 150 nm</td></tr>
<tr><td>P03D</td><td>Préclean Ar
« extrasoft » 30s</td><td>NiPt / TiN
10 / 10 nm</td></tr>
<tr><td>P05G</td><td>Plasma He 60s</td><td rowspan="2">Ti / TiN
10 / 10 nm</td></tr>
<tr><td>P05D</td><td>Plasma Ar « low power »</td></tr>
<tr><td>P07G</td><td rowspan="2">Humide</td><td>HCl 10% 1min</td><td>Pd
20 nm</td><td rowspan="2">Evaporation</td><td>Pt / Au
30 / 150 nm</td></tr>
<tr><td>P07D</td><td>HCl 10% 1min</td><td>Pt
50 nm</td><td>Au
150 nm</td></tr>
</table>

L'étude s'est appuyée sur trois plaques, chacune clivée en deux pour obtenir un total de six splits. Les pads de contact sont ensuite définis par gravure sèche IBE, avec un suivi de gravure SIMS permettant d'interrompre l'attaque une fois la couche de SiN atteinte. Enfin, afin de concentrer le courant à proximité des zones de contact et d'ainsi limiter le phénomène d'encombrement électronique, des mésas sont formées. Pour cela, les couches de SiN et d'Al_2O_3 sont d'abord gravées par ICP, avec arrêt sur la couche de GaAsSb. Cette dernière est ensuite gravée par voie humide à l'aide d'un mélange H_3PO_4 / $C_6H_8O_7$ / H_2O_2 / H_2O suivant un ratio [1 / 3 / 2 / 10], avec un arrêt sélectif sur l'InP. Des images de microscopie optique et MEB, montrant l'aspect des dispositifs en fin de technologie, sont présentées en Figure 117.

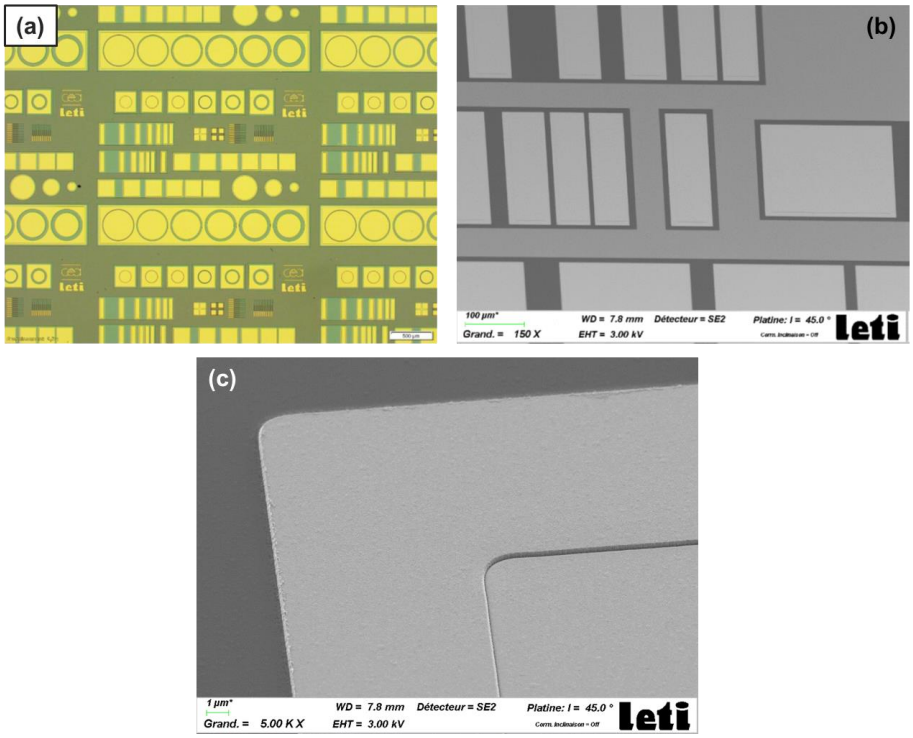

Figure 117 : Observations par (a) microscopie optique et (b) (c) MEB des dispositifs TLM en fin de fabrication.

Les dispositifs TLM étudiés sont de type linéaire, avec des contacts de dimensions 200×200 µm² et des espacements variant de 20 à 120 µm (voir Figure 118). Les mesures I-V sont effectuées à l'aide du prober manuel PM8A, dans la plage de tension [-1 ; 1] V, avant puis après des recuits RTA d'une minute réalisés sous atmosphère N_2, à des températures comprises entre 250°C et 500°C. L'objectif de cette étude est d'obtenir de meilleures performances que celles observées précédemment avec les dispositifs TLM fabriqués par lift-off sur plateforme « souple ». Bien que les dimensions des structures ne soient pas miniaturisées, l'accès à des procédés de préparation de surface et de dépôt plus matures – rendu possible par la compatibilité CMOS du schéma d'intégration planaire – peut permettre une amélioration des résultats.

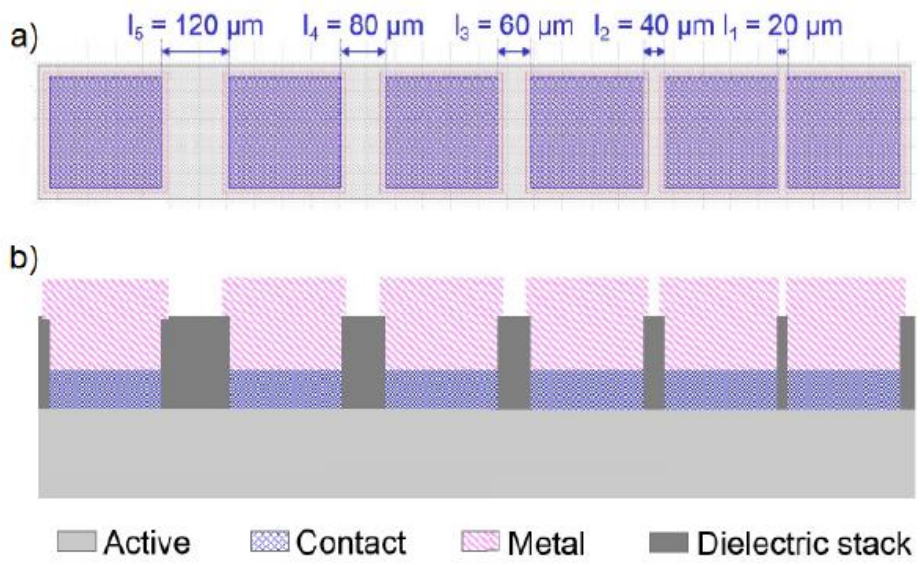

Figure 118 : Représentation schématique des vues (a) de dessus et (b) en coupe des dispositifs TLM linéaires réalisés.

L'ensemble des contacts réalisés présentent un comportement ohmique dès l'état initial, avant tout traitement thermique. Les résultats TLM, comprenant la résistance de couche R_{sh} du GaAsSb ainsi que la résistivité de contact ρ_c, sont présentés dans la Figure 119. Pour chaque condition de recuit, l'analyse repose alors sur la mesure de huit dispositifs TLM. Il est à noter que les résultats concernant le contact à base de Ni ne sont malheureusement pas disponibles, en raison d'un bris de la plaque survenu à la suite d'un dysfonctionnement d'équipement.

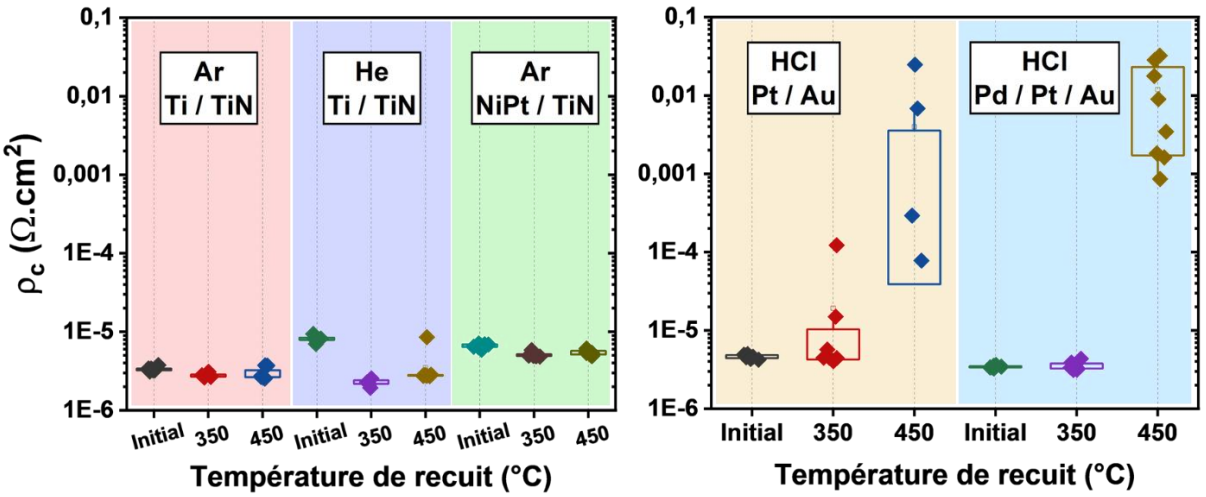

Figure 119 : Comparaison de la résistivité des contacts Ti / TiN, NiPt / TiN, Pt / Au et Pd / Pt / Au réalisés sur GaAsSb-P^{++} en configuration planarisée, avant et après application de recuits RTA.

Les métallisations compatibles CMOS restantes (Ti et NiPt) sont d'abord comparées en se focalisant sur des températures élevées, proches des conditions qu'elles devront supporter dans le cadre d'une intégration CMOS complète incluant des étapes BEOL. Pour les contacts Ti / TiN, la différence principale réside dans la préparation de surface du GaAsSb, réalisée in-situ soit par un plasma Ar à faible puissance (Ar LP), soit par un plasma He. Dès l'état initial, une

différence notable apparaît : la résistivité de contact médiane passe de 8.13×10^{-6} Ω*cm² pour le contact préparé avec le plasma He, à 3.32×10^{-6} Ω*cm² pour celui préparé avec le plasma Ar, soit une réduction de plus d'un facteur 2. Cette différence peut s'expliquer par une efficacité moindre du plasma He dans l'élimination des oxydes natifs du GaAsSb, comme cela a pu être montré dans la littérature pour d'autres matériaux III-V [*Rodriguez_2015*]. À 350°C, une amélioration significative est observée pour le contact plasma He + Ti / TiN, dont la résistivité de contact médiane atteint 2.39×10^{-6} Ω*cm². Cela pourrait s'expliquer par l'effet « gettering » du titane qui, intensifié par le recuit, contribuerait à éliminer les oxydes résiduels en surface. Ce phénomène, couplé à la formation des premières phases intermétalliques, autoriserait ainsi une réduction de la résistivité de contact. Pour le contact plasma Ar + Ti / TiN, une amélioration plus modérée, cohérente avec une préparation de surface initialement plus efficace, est notée, avec une résistivité médiane de 2.72×10^{-6} Ω*cm². À 450°C, les deux contacts conservent une bonne stabilité thermique, les résistivités de contact médianes restant inférieures à 2.80×10^{-6} Ω*cm² et présentant ainsi peu de variation par rapport aux températures précédentes.

Concernant le contact NiPt / TiN, une résistivité de contact médiane de 6.72×10^{-6} Ω*cm² est mesurée à l'état initial après un pré-nettoyage plasma Ar LP. Après recuits à 350°C et 450°C, les valeurs médianes extraites sont respectivement de 4.95×10^{-6} et 5.39×10^{-6} Ω*cm², ce qui témoigne d'une bonne robustesse thermique du contact. Toutefois, ces valeurs restent supérieures à celles obtenues avec les métallisations à base de titane. Dans de prochaines études, il serait alors intéressant de pouvoir comparer ces mesures avec d'autres provenant de contacts Ni, ce qui était initialement prévu ici.

Les contacts à base de Pt et de Pd ont également été caractérisés. À l'état initial, une résistivité de contact médiane de 4.62×10^{-6} Ω*cm² est mesurée pour le contact Pt, contre 3.42×10^{-6} Ω*cm² pour le contact Pd. Après recuit RTA à 350°C, le contact Pd reste thermiquement stable, avec une résistivité quasiment inchangée. En revanche, le contact Pt montre une dégradation de sa robustesse thermique, comme en témoigne une dispersion accrue des résultats. Sa résistivité médiane reste néanmoins assez proche de la valeur initiale, à 4.49×10^{-6} Ω*cm². C'est à 450°C que les deux métallisations subissent une dégradation marquée. Celle-ci pourrait être attribuée à la diffusion de l'or, présent dans les empilements métalliques utilisés (Pt / Au pour le contact Pt et Pd / Pt / Au pour le contact Pd), qui est un phénomène pouvant altérer la stabilité des contacts à haute température.

En définitive, les dispositifs TLM réalisés selon un schéma d'intégration planaire ont permis d'atteindre, avec les métallisations CMOS testées – en particulier celles à base de titane –, des performances comparables voire supérieures à celles des métallisations de référence III-V. Ces résultats motivent une comparaison directe avec ceux obtenus précédemment sur les dispositifs TLM fabriqués par lift-off. Bien que plusieurs différences liées aux empilements technologiques doivent être prises en compte – telles que le type de dopant accepteur (carbone contre zinc), l'épaisseur de la couche active de GaAsSb (70 nm contre 50 nm), ou encore la technique de croissance (MBE contre MOCVD) – les bénéfices apportés par le passage d'une intégration lift-off sur plateforme souple à une intégration planaire sur plateforme silicium / photonique devraient rester visibles. À cet effet, les résultats de résistivité de contact des structures Ti / TiN issues des deux approches, en fonction de la température de recuit, sont regroupés dans la Figure 120 ci-dessous.

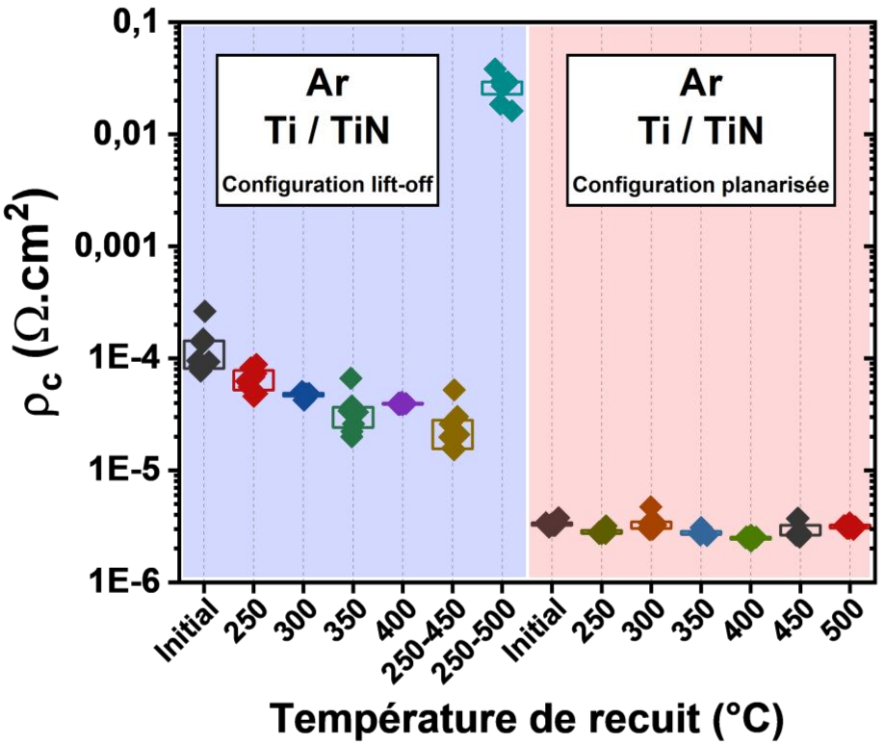

Figure 120 : Comparaison de la résistivité du contact Ti / TiN sur GaAsSb-P^{++}, lorsque réalisé selon une configuration lift-off classique (à gauche) et lorsque réalisé selon une configuration planarisée (à droite). Le bénéfice d'une intégration planaire sur une plateforme silicium / photonique est mis en évidence, mais il convient de prendre en compte les différences au niveau des empilements III-V utilisés.

Deux points principaux peuvent être dégagés de cette comparaison. Le premier concerne l'ordre de grandeur des résistivités de contact obtenues. On observe en effet une amélioration significative, avec un gain d'un ordre de grandeur grâce à l'adoption d'une intégration planaire et à l'utilisation de procédés plus matures et mieux contrôlés, rendus possibles par cette approche. Par ailleurs, au moment de la rédaction de ce manuscrit, les structures TLM GaAsSb intégrées selon une approche Damascene sur substrat silicium 200 mm, avec des dimensions miniaturisées – comme cela a été réalisé pour l'InGaAs – n'ont pas encore pu être fabriquées ni caractérisées. Au vu des précédents résultats sur InGaAs, il est raisonnable de penser que des performances encore meilleures pourront être atteintes par ces futurs dispositifs. Le second point concerne la robustesse thermique des contacts selon le type d'intégration. Dans le cas de l'intégration lift-off, le contact conservait une stabilité correcte jusqu'à 400°C, avec une amélioration possible jusqu'à 450°C via un recuit en deux étapes. En revanche, dans le cas de l'intégration planaire, le contact est resté stable jusqu'à la température maximale testée de 500°C, sans signe de dégradation. Une incertitude demeure toutefois : le contact pourrait avoir été exposé à un budget thermique non négligeable au cours de la fabrication des dispositifs TLM, notamment lors de l'étape de définition des pads de contact par gravure sèche IBE. Si tel est le cas, cette exposition préalable pourrait avoir initié la formation de phases intermétalliques stabilisatrices, contribuant à une meilleure tenue thermique du contact – comme l'a montré le recuit en deux étapes pour le contact Ti / GaAsSb dans le cadre de l'intégration lift-off. Des investigations complémentaires seront nécessaires pour confirmer cette hypothèse.

Enfin, une comparaison supplémentaire peut être établie avec les résultats des travaux de Boyer [*Boyer_2020*], dans lesquels une intégration planaire très similaire a été mise en œuvre pour réaliser des dispositifs TLM sur du InGaAs-P^+ dopé au zinc ($N_A = 2\times10^{19}$ cm^{-3}). Ces dispositifs présentent une structure identique à celle illustrée en Figure 118, car fabriquées à partir du même jeu de masques. Les empilements métalliques employés pour les contacts Ti et NiPt y sont également très proches (TiN / Ti / Pt / Au), avec des différences mineures portant uniquement sur les épaisseurs déposées. Les principales divergences concernent l'empilement III-V : la couche d'InGaAs y est moins dopée que la couche de GaAsSb utilisée dans nos dispositifs, et elle repose sur une couche d'InP dopée au silicium ($N_D = 5\times10^{18}$ cm^{-3}). Nos structures intègrent quant à elles une fine couche tampon non intentionnellement dopée, de 7 à 8 nm, sous la couche active GaAsSb. Les résultats issus des deux études pour la résistivité du contact Ti / TiN sont présentés et comparés dans la Figure 121 ci-dessous. Dans le cas de nos résultats sur GaAsSb, la valeur médiane résultant de la mesure de huit dispositifs TLM est alors considérée pour chaque température de recuit.

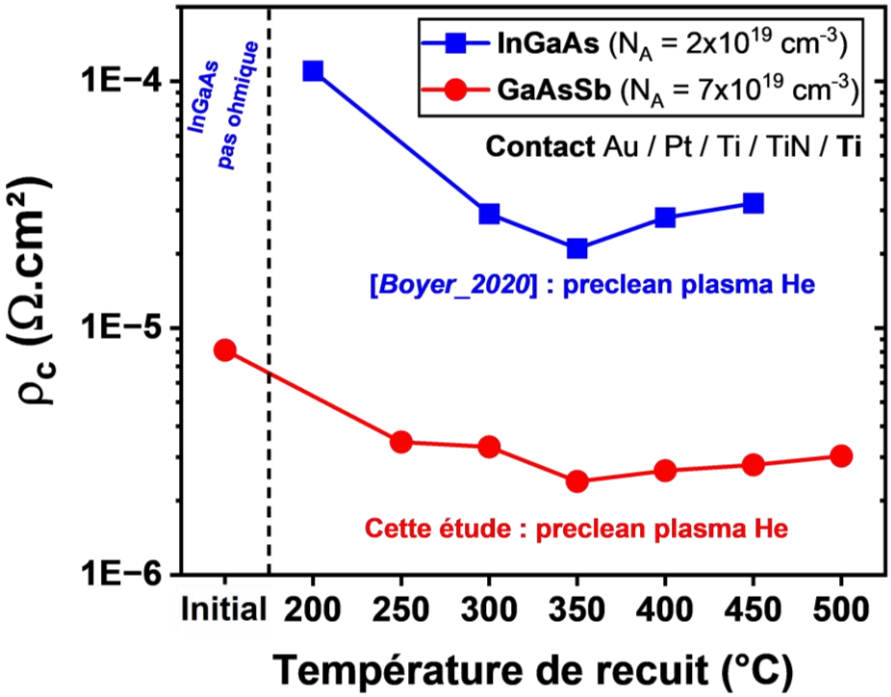

Figure 121 : Résistivité du contact Au / Pt / Ti / TiN / Ti sur p-$In_{0.53}Ga_{0.47}As$ (:Zn, $N_A = 2\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He [*Boyer_2020*], et sur p-$GaAs_{0.5}Sb_{0.5}$ (:Zn, $N_A = 7\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He, selon différentes températures de recuits de 1 min sous N_2.

Le premier élément notable est que, dans le cas du contact sur GaAsSb, un comportement ohmique a pu être obtenu dès l'état initial, contrairement aux observations rapportées dans les travaux de Boyer [*Boyer_2020*]. Ce résultat est cohérent avec la littérature, qui met en avant la facilité de la réalisation d'un contact ohmique sur p-GaAsSb, en raison de la fixation du niveau de Fermi surfacique proche de la bande de valence [*Chouaib_2009*]. Par ailleurs, une amélioration d'un ordre de grandeur des valeurs de résistivité de contact a été observée avec le GaAsSb, en comparaison avec l'InGaAs. Bien que cela puisse interpeller, il pourrait néanmoins ne s'agir principalement que de la différence de niveau de dopage entre les deux matériaux. Un autre point intéressant concerne l'évolution de la résistivité de contact au fil des recuits. Un

comportement très similaire est en effet observé dans les deux études : une diminution progressive de la résistivité jusqu'à un minimum atteint à 350°C, suivie d'une légère remontée à 400°C puis à 450°C. Cela soulève la question de la formation possible de phases intermétalliques comparables dans les systèmes Ti / InGaAs et Ti / GaAsSb lors de l'élévation de température. Ce phénomène mériterait également d'être examiné plus en détail.

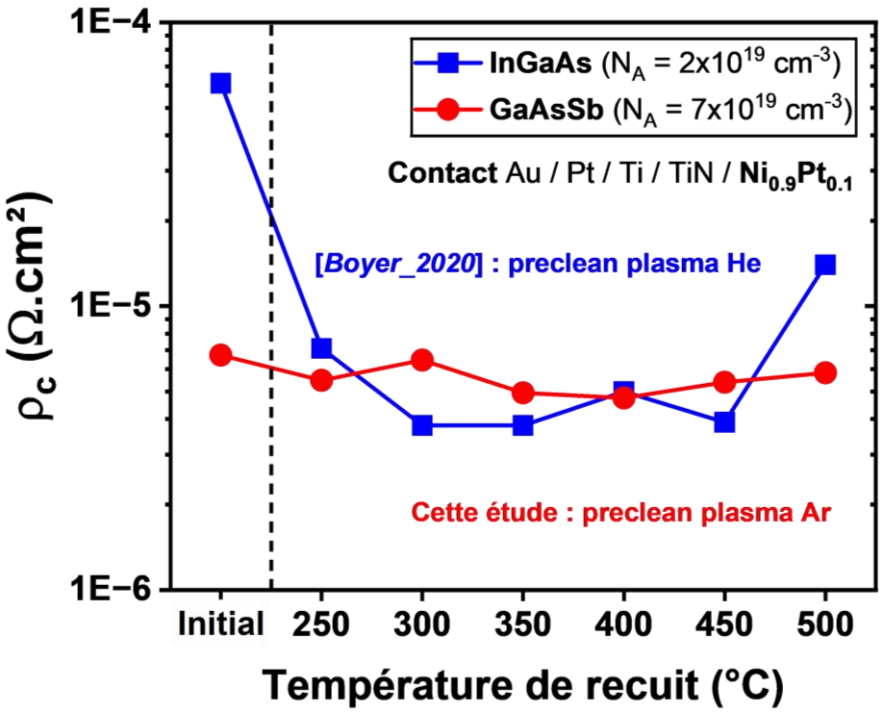

Figure 122 : Résistivité du contact Au / Pt / Ti / TiN / $Ni_{0.9}Pt_{0.1}$ sur p-$In_{0.53}Ga_{0.47}As$ (:Zn, $N_A = 2\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He [*Boyer_2020*], et sur p-$GaAs_{0.5}Sb_{0.5}$ (:Zn, $N_A = 7\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma Ar, selon différentes températures de recuits de 1 min sous N_2.

Pour les contacts NiPt / TiN, dont les résultats sont présentés dans la Figure 122 ci-dessus, on semble retrouver l'effet de la fixation du niveau de Fermi surfacique proche de la bande de valence du GaAsSb. En effet, la résistivité de contact mesurée à l'état initial est inférieure d'un ordre de grandeur à celle rapportée par Boyer [*Boyer_2020*] sur InGaAs. Le pré-nettoyage au plasma Ar effectué sur le GaAsSb pourrait également avoir contribué à cette différence, en comparaison avec le nettoyage au plasma He utilisé dans le cas de l'InGaAs. Après recuit, la résistivité sur InGaAs atteint un minimum de 3.8×10^{-6} Ω*cm² à 300°C et 350°C, puis reste stable avant de se détériorer à 500°C. En revanche, pour GaAsSb, la résistivité reste remarquablement stable jusqu'à 500°C, avec un minimum de $4{,}74\times10^{-6}$ Ω*cm² atteint à 400°C. Malgré les différences de niveau de dopage et de conditions de préparation de surface dans les deux études, la résistivité des contacts NiPt / TiN est globalement comparable. Néanmoins, le système NiPt / GaAsSb semble présenter une meilleure robustesse thermique, en particulier à 500°C. Cependant, comme mentionné précédemment, il subsiste toutefois une incertitude liée à une éventuelle exposition thermique préalable du contact, notamment lors de l'étape de gravure sèche IBE des pads de contact. Cela dit, étant donné que les dispositifs TLM étudiés par Boyer [*Boyer_2020*] reposent sur la même intégration, il est plausible que ce phénomène ait également eu lieu au cours de ses travaux.

4.4 Conclusion du chapitre 4

Dans la perspective de développer des contacts ohmiques à faible résistivité et compatibles CMOS sur GaAsSb-P^{++}, plusieurs études ont été menées. Tout d'abord, une analyse préliminaire a visé à déterminer la sensibilité des accepteurs carbone du GaAsSb à la passivation par l'hydrogène, présent lors de procédés de gravure sèche. Les résultats montrent qu'une passivation est effectivement possible dans ces conditions, mais qu'un recuit rapide à 450°C permet de restaurer partiellement les propriétés électriques de la couche. Le GaAsSb s'est toutefois montré nettement plus résistant à ce phénomène que l'InGaAs.

Ensuite, des structures TLM linéaires ont été réalisées en plateforme dites « souple » via une intégration lift-off classique, avec des contacts de 100×100 µm² sur GaAsSb-P^{++} (:C). Des métallisations CMOS-compatibles à base de Ti et de Ni ont été testées afin d'évaluer leurs performances électriques et leur tenue thermique sur ce matériau. Les deux métallisations ont conduit à des contacts ohmiques dès l'état initial. Le contact Ni reste stable jusqu'à 500°C, tandis que celui à base de Ti se dégrade au-delà de 400°C. Un recuit en deux étapes a cependant permis d'améliorer la stabilité du Ti jusqu'à 450°C. Ces deux métallisations apparaissent donc compatibles avec les budgets thermiques des procédés BEOL CMOS. Des résistivités de contact de l'ordre de 10^{-5} Ω.cm² ont été mesurées dans les deux cas.

Par la suite, une intégration planaire de type Damascene – intégrant des diélectriques et tirant parti d'équipements et de procédés plus matures issus d'une plateforme silicium / photonique – a été réalisée sur de nouvelles structures TLM linéaires. Les contacts, de dimensions 200×200 µm², ont cette fois été fabriqués sur une GaAsSb dopée au zinc, avec un empilement technologique distinct. Outre le Ti et le Ni, une métallisation NiPt compatible CMOS a été testée, et les métaux nobles Pt et Pd ont également été utilisés en tant que références III-V. Les métallisations CMOS-compatibles sont restées stables thermiquement jusqu'à 450°C et ont permis d'atteindre des résistivités de contact de l'ordre de 10^{-6} Ω*cm², soit un gain d'un ordre de grandeur par rapport à l'approche lift-off. En revanche, les métallisations à base de Pt et Pd se sont dégradées dès 350°C.

Une comparaison avec des résultats obtenus dans le cadre d'une étude similaire sur InGaAs-P^{+} (:Zn) [*Boyer_2020*] indique également qu'un ordre de grandeur pourrait être gagné avec le système Ti / GaAsSb. Les résultats obtenus avec un contact NiPt apparaissent quant à eux similaires entre les deux semi-conducteurs. Cette comparaison reste toutefois à nuancer, les niveaux de dopage n'étant notamment pas égaux.

En conclusion, l'ensemble des travaux présentés dans ce chapitre ouvre la voie pour la recherche et la réalisation de contacts ohmiques à très faible résistivité sur GaAsSb-P^{++} avec des métallisations CMOS-compatibles. Cela sera d'abord considéré dans le cadre de la réalisation de structures TLM de faibles dimensions (lots TASP GaAsSb). Si les résultats s'avèrent prometteurs, une implantation future au sein de transistors DHBT InP/GaAsSb intégrés sur silicium grand format – et fabriqués au LETI – peut être imaginée.

4.5 Références du chapitre 4

Arabhavi, A.M. *et al.* (2022) « InP/GaAsSb Double Heterojunction Bipolar Transistor Emitter-Fin Technology With fMAX = 1.2 THz », *IEEE Transactions on Electron Devices*, 69(4), p. 2122-2129. Disponible sur: https://doi.org/10.1109/TED.2021.3138379.

Bolognesi, C.R. *et al.* (2001) « InP/GaAsSb/InP double HBTs: a new alternative for InP-based DHBTs », *IEEE Transactions on Electron Devices*, 48(11), p. 2631-2639. Disponible sur: https://doi.org/10.1109/16.960389.

Boyer, F. (2020) *Integration of CMOS-compatible contacts on III-V materials for photonic devices on silicon using 300 mm platform*. Theses. Université Grenoble Alpes [2020-....]. Disponible sur: https://theses.hal.science/tel-03206160.

Chouaib, H. *et al.* (2009) « Photoreflectance spectroscopy for the qualification of GaAsSb alloys introduced in ultrafast heterojunction bipolar transistors on InP », *physica status solidi (a)*, 206(5), p. 786-790. Disponible sur: https://doi.org/10.1002/pssa.200881402.

Ciabattini, F. *et al.* (2024) « High-Temperature Stability Base Ohmic Contacts for InP/GaAsSb DHBTs », in *2024 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*. *2024 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, p. 84-87. Disponible sur: https://doi.org/10.1109/BCICTS59662.2024.10745706.

Oda, Y. *et al.* (2004) « Suppression of hydrogen passivation in carbon-doped GaAsSb grown by MOCVD », *Journal of Crystal Growth*, 261(2), p. 393-397. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2003.11.033.

Ostinelli, O. et Bolognesi, C.R. (2009) « Impact of CBr4, V/III ratio, temperature and AsH3 concentration on MOVPE growth of GaAsSb:C », *Journal of Crystal Growth*, 311(6), p. 1508-1514. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2009.01.122.

Rodriguez, P. *et al.* (2015) « Cleaning of InGaAs and InP Layers for Nanoelectronics and Photonics Contact Technology Applications », *ECS Transactions*, 69(8), p. 251. Disponible sur: https://doi.org/10.1149/06908.0251ecst.

Sharma, A. et Das, T.D. (2021) « Electronic band structure and optical properties of GaAsSb/GaAs for optoelectronic device applications: A 14 band k.p study », *Optical Materials*, 112, p. 110734. Disponible sur: https://doi.org/10.1016/j.optmat.2020.110734.

Yarekha, D.A. *et al.* (2007) « MBE growth of heavily carbon doped GaAsSb on InP for heterojunction bipolar transistor applications », *Journal of Crystal Growth*, 301-302, p. 217-220. Disponible sur: https://doi.org/10.1016/j.jcrysgro.2006.11.235.

Zaknoune, M. *et al.* (2012) « 480-GHz f_max in InP/GaAsSb/InP DHBT With New Base Isolation µ-Airbridge Design », *IEEE Electron Device Letters*, 33(10), p. 1381-1383. Disponible sur: https://doi.org/10.1109/LED.2012.2210187.

Conclusion générale

L'ensemble des travaux présentés dans ce manuscrit s'inscrit dans un contexte technologique en profonde évolution, porté par les exigences croissantes des futures générations de communications sans fil. Les besoins en débit et en fréquence, notamment en vue de l'avènement de la 6G et au-delà, font des transistors bipolaires à double hétérojonction InP-DHBT des candidats naturels pour les applications RF extrêmes. Toutefois, la maturité limitée des procédés III-V traditionnels, leur faible potentiel de production à large échelle et leur incompatibilité intrinsèque avec les environnements CMOS industriels constituent autant de verrous à lever pour envisager leur intégration dans des systèmes avancés.

Dans ce cadre, cette thèse a poursuivi un objectif ambitieux : développer une filière technologique InP-DHBT sur substrat silicium 200/300 mm pleinement compatible avec les procédés industriels CMOS, et en démontrer la fonctionnalité par la caractérisation DC et RF des dispositifs obtenus. Les principaux verrous scientifiques, technologiques et méthodologiques associés à cette approche ont été examinés, depuis les contraintes fondamentales liées à l'hybridation des matériaux III-V et du silicium, jusqu'aux raffinements nécessaires au niveau des métallisations, du design des contacts et des stratégies d'intégration.

Les premiers développements se sont concentrés sur la compréhension des limitations et sur l'analyse critique de l'état de l'art. Cela a permis de positionner la stratégie retenue — basée sur le report d'un empilement III-V de 4 pouces sur silicium 200 mm et sur une intégration de type Damascene — comme une voie technologique prometteuse. Celle-ci a en effet le potentiel d'à terme concilier performances des couches III-V, potentiel de co-intégration avec les circuits CMOS et compatibilité industrielle.

Une contribution majeure de cette thèse concerne l'ingénierie des contacts ohmiques sur InGaAs-N^+ et InGaAs-P^{++}. Les travaux réalisés ont conduit à la mise au point de métallisations Ti de très faibles résistivités (4.0×10^{-8} Ω*cm² sur InGaAs-N^+ et 5.0×10^{-7} Ω*cm² sur InGaAs-P^{++}), dénuées de métaux nobles et compatibles avec les budgets thermiques CMOS, tout en révélant les phénomènes critiques influençant la stabilité et la performance des contacts (diffusion des espèces, réactions aux interfaces, passivation des dopants par l'hydrogène…). La mise au point d'une méthodologie numérique d'extraction des paramètres de résistivité, combinant simulations et résultats de mesures TLM, constitue également un apport notable et original. Là où l'approche TLM conventionnelle devient limitée lorsque les dimensions des dispositifs adressés sont micrométriques, cette méthodologie permet alors une évaluation plus précise et représentative de la géométrie des structures.

Ces avancées ont directement contribué à l'élaboration progressive de plusieurs lots de transistors InP-DHBT sur silicium. Les premiers démontrent l'intégration complète du dispositif, tandis que les itérations ultérieures, intégrant des optimisations ciblées sur les interfaces de contact et sur la stabilité des couches dopées, ont abouti à la fabrication de transistors fonctionnels présentant des performances DC et RF de niveau international. Le

couple f_T/f_{MAX} = 211/117 GHz obtenu représente, à notre connaissance, une première mondiale pour une technologie InP-DHBT intégrée sur substrat silicium 200 mm et entièrement compatible CMOS. Les leviers d'optimisations restants ont également été identifiés, ce qui laisse présager l'obtention de performances décuplées à l'avenir.

Enfin, un quatrième axe majeur de la thèse s'est consacré à l'étude de contacts ohmiques compatibles CMOS sur GaAsSb-P^{++}, matériau pressenti pour la future couche de base des transistors de la filière. Les résultats obtenus démontrent non seulement la réalisation de contacts résistants thermiquement, mais aussi le potentiel d'atteindre, à terme, de très faibles résistivités de contact sur ce matériau. Ces travaux ouvrent ainsi une voie concrète vers une génération de transistors DHBT InP/GaAsSb intégrés sur silicium, tirant parti de la filière mise en place au LETI.

Perspectives

Plusieurs axes de recherche seront explorés pour assurer l'évolution future de la filière. Tout d'abord, une troisième génération de lots dédiés à l'étude de contacts compatibles CMOS sur InGaAs (TASP v3) est d'ores et déjà en cours de caractérisation. L'insertion d'une couche Al_2O_3 de protection à la passivation, ainsi que l'introduction des recuits de déshydrogénation, constituent alors les deux nouveautés principales. En complément de la recherche de stabilité thermique et de performance avec les contacts Ti, une attention particulière sera également portée sur les contacts à base de Ni. En effet, s'il s'avère que ces derniers permettent l'obtention de faibles valeurs de résistivité, leur capacité à préserver l'intégrité de la couche d'InGaAs se révèlerait être un atout majeur pour les transistors de la filière.

De plus, des lots TASP réalisés sur GaAsSb sont désormais aussi considérés. L'importance de ce matériau au sein de la filière devrait ainsi croître progressivement. Son intérêt réside notamment dans la possibilité d'obtenir des couches de base moins sensibles à l'hydrogénation résultant des procédés de gravure sèche, ainsi que dans l'hétérojonction de type II qu'il forme avec l'InP. Ces propriétés sont particulièrement prometteuses pour l'avenir de la technologie. En particulier, la possibilité d'établir directement l'hétérojonction base-collecteur en fin de région de base, sans zone de retrait, pourrait contribuer à limiter la diffusion des dopants à l'interface, une hypothèse qu'il restera néanmoins à confirmer.

Les travaux porteront également sur la capacité de remplissage du plug émetteur et sur une reconsidération des budgets thermiques employés dans la filière. Le premier enjeu vise à réduire la dégradation de f_T observée lorsque la largeur d'émetteur diminue, phénomène étant lié à l'augmentation de la résistance R_E. Le second concerne la réduction de la diffusion des dopants aux interfaces de jonction, ainsi que la limitation de la dégradation des interfaces SiN/SiN et SiN/III-V. Une réduction du budget thermique associé à l'étape initiale de collage de l'empilement III-V sur le substrat silicium pourrait aussi être envisagée, sous réserve de garantir une robustesse de collage suffisante pour supporter l'ensemble des procédés de fabrication.

Par ailleurs, d'autres axes de recherche s'intéresseront directement à l'architecture du composant. Afin de réduire les capacités parasites extrinsèques $C_{BE,ex}$ et $C_{BC,ex}$, des optimisations seront envisagées, notamment l'augmentation de la hauteur du plug émetteur et la réduction de la largeur du contact de base. La gestion de l'échauffement interne du transistor sera également adressée à travers la mise en place d'un contact collecteur réalisé directement en face arrière, permettant ainsi de supprimer la région épaisse du sous-collecteur.

Enfin, l'exploration de la ré-épitaxie sélective par MOCVD d'une base extrinsèque apparaît comme une perspective prometteuse. Au-delà des défis liés au procédé d'épitaxie en lui-même (sélectivité et homogénéité du dépôt, contraintes thermiques, obtention de forts niveaux de dopage, maîtrise des impuretés, etc…), la mise en œuvre d'un module de base extrinsèque surélevé offrirait plusieurs avantages significatifs. L'augmentation locale de l'épaisseur de semi-conducteur permettrait notamment la formation d'un contact métal/$SC_{base,ex}$ réactif et potentiellement profond. Cet aspect, combiné à une interface $SC_{base,ex}$/SC_{base} faiblement résistive, pourrait alors conduire à une réduction notable de la résistance du contact de base. De surcroît, une telle architecture permettrait également d'éloigner latéralement la métallisation de base par rapport à l'émetteur, contribuant ainsi à diminuer la capacité parasite base-émetteur associée.

Pour conclure, les travaux menés au cours de ces trois ans de thèse, ainsi que ceux qui seront poursuivis par la suite, s'inscrivent pleinement dans la dynamique mondiale visant au développement de plateformes hétérogènes monolithiques associant le silicium, les matériaux III-V et éventuellement la photonique intégrée. Un tel triptyque pourrait constituer la base des futures générations de systèmes RF, de calcul haute performance ou de liaisons opto-RF, répondant aux besoins croissants en bande passante et en efficacité énergétique des infrastructures numériques mondiales. En ce sens, les résultats présentés dans cette thèse démontrent non seulement la faisabilité d'une filière InP-DHBT sur silicium entièrement compatible CMOS, mais ouvrent également une fenêtre sur une nouvelle classe de technologies hybrides à fort potentiel pour l'avenir des communications ultra-haut-débit.

Contributions scientifiques de l'auteur

Publications

Lombrez A., Divay A., Boutry H., Colas L., Coudurier N., Altazin S., Baron T. (2025) « TLM-based numerical extraction for CMOS-compatible N+-InGaAs ohmic contacts on 200mm Si substrates », *Solid-State Electronics*, 227, p. 109112.
Disponible sur: https://doi.org/10.1016/j.sse.2025.109112.

Lombrez A., Boutry H., Divay A., Colas L., Coudurier N., Baron T. (2026) « Ti and Ni-based BEOL CMOS-compatible P+-InGaAs ohmic contacts for the future of wireless communications », *Microelectronic Engineering*, 301, p. 112385.
Disponible sur: https://doi.org/10.1016/j.mee.2025.112385.

Cooper D., Lombrez A., Monroy E., Li J. (2025) « Direct Nanoscale Mapping of the Conduction Band in Semiconductor Heterostructures by Off-Axis Electron Holography », *Nano Letters*, 25(40), p. 14717-14722.
Disponible sur: https://doi.org/10.1021/acs.nanolett.5c03953.

Brevets

DD25762_BR_FR : Transistor bipolaire à hétérojonction présentant une résistance de base diminuée et une fréquence maximale d'oscillation augmentée et son procédé de fabrication.
N° de dépôt : FR2516712
Date de dépôt: 30/12/2025
Inventeur(s) : DIVAY ALEXIS; BOUTRY HERVE; LOMBREZ ANTOINE; CHEVALIER PASCAL
Déposant(s) : CEA

DD25763_BR_FR : Transistor bipolaire à hétérojonction présentant une capacité base-émetteur réduite et une fréquence maximale d'oscillation augmentée et son procédé de fabrication.
N° de dépôt : FR2516724
Date de dépôt: 30/12/2025
Inventeur(s) : DIVAY ALEXIS; BOUTRY HERVE; LOMBREZ ANTOINE; CHEVALIER PASCAL; COUDURIER NICOLAS
Déposant(s) : CEA

DD25765_BR_FR : Transistor bipolaire à hétérojonction présentant un alliage intermétallique traversant pour augmenter la fréquence maximale d'oscillation et son procédé de fabrication.
N° de dépôt : FR2516716
Date de dépôt: 30/12/2025
Inventeur(s) : DIVAY ALEXIS; BOUTRY HERVE; LOMBREZ ANTOINE; CHEVALIER PASCAL; COUDURIER NICOLAS
Déposant(s) : CEA

Tables

Table des figures

Figure 1 : Atténuation des signaux RF due à l'absorption gazeuse atmosphérique. Le modèle d'atténuation des gaz atmosphériques de l'Union Internationale des Télécommunications (UIT) a été utilisé pour calculer ces données [*UIT_2013*]. Une température de 20°C, une pression atmosphérique de 101 325 Pa, ainsi qu'une densité de vapeur d'eau atmosphérique de 8.7 g/m^3 sont considérées pour le cas « Air humide ». Pour le cas « Air sec », cette dernière valeur est considérée nulle. 17

Figure 2 : Exemple simplifié du graphe de gain en courant petits signaux (H_{21}) et de gain unilatéral de Mason (U) d'un transistor, en fonction de la fréquence. Les valeurs de gain, de f_T et de f_{MAX} sont arbitraires à des fins d'illustration. 19

Figure 3 : Performances de différentes technologies d'amplificateurs de puissance (PA) selon le système matériau utilisé. Données provenant de [*Wang_2025*]. 20

Figure 4 : Schéma simplifié de la structure d'un système de communication sans fil pour la 6G sub-THz. 21

Figure 5 : Réplique du premier transistor bipolaire, le « transistor à pointes », inventé par les laboratoires Bell en 1947.....22

Figure 6 : Représentation schématique du principe de fonctionnement d'un transistor bipolaire NPN. Afin d'assurer la polarisation inverse de la jonction base-collecteur, la tension appliquée au collecteur doit être plus positive que celle appliquée à la base.....23

Figure 7 : Représentation schématique et simplifiée du diagramme de bande à l'équilibre des trois régions (a) d'un BJT, (b) d'un HBT et (c) d'un DHBT, avec la polarisation des jonctions et les porteurs de charge. 24

Figure 8 : Représentation simplifiée des niveaux d'énergie dans un métal, un semi-conducteur de type N et un semi-conducteur de type P. 25

Figure 9 : Représentation simplifiée des niveaux d'énergie à l'interface métal/semi-conducteur, dans le cas (a) d'un contact ohmique idéal sur type N et (b) sur type P. 26

Figure 10 : Représentation simplifiée des niveaux d'énergie à l'interface métal/semi-conducteur, dans le cas d'un contact Schottky idéal. 26

Figure 11 : Représentation simplifiée des états d'interface (a) DIGS et (b) MIGS. 27

Figure 12 : Représentation schématique du modèle équivalent petits signaux interne d'un HBT, dans le cas typique d'une structure à double mésa. 30

Figure 13 : Evolution de la répartition des contributions à la résistance totale de base, en fonction de la résistivité du contact de base. Les diagrammes circulaires proviennent de l'ETH-Zurich et résultent d'une simulation calibrée à partir de leur dispositif DHBT InP/GaAsSb standard.....33

Figure 14 : Représentation schématique et simplifiée de l'alignement des bandes d'énergie dans une double hétérojonction de type I (InP/InGaAs/InP). 34

Figure 15 : Exemple du diagramme de bande à l'équilibre d'un DHBT InP/InGaAs/InP moderne. Les épaisseurs, compositions et valeurs de dopage utilisées proviennent de [*Jain_2011*], et le calcul des énergies a été réalisé à partir de la base de données du logiciel Nextnano. 35

Figure 16 : Représentation schématique et simplifiée de l'alignement des bandes d'énergie dans une double hétérojonction de type II (InP/GaAsSb/InP). 36

Figure 17 : Exemple du diagramme de bande à l'équilibre d'un DHBT InP/GaAsSb/InP moderne. Les épaisseurs, composition et valeurs de dopage utilisées proviennent de [*Arabhavi_2022*], et le calcul des énergies a été réalisé à partir de la base de données du logiciel Nextnano. 37

Figure 18 : Approche de fabrication « top-down » pour les HBT réalisés sur substrat InP. Schéma inspiré de [*Markman_2024*].....38

Figure 19 : (a) Image MEB d'un réseau laser Nano-Ridge. (b) Schéma montrant la croissance sur les parois latérales lorsqu'un empilement technologique HBT est déposé sur un « free-standing » NR. (c) Effet d'un second motif d'oxyde sur la croissance de l'empilement HBT, limitant la croissance sur les parois latérales. (d) Image HAADF-STEM d'un HBT NR à base de GaAs. Illustrations provenant de [*Kunert_2023*]. 52

Figure 20 : Représentations schématiques des principes d'assemblage (a) D2W par µ-bumps, (b) W2W par collage hybride direct et (c) vignettage, dans le cadre d'une intégration hétérogène III-V/CMOS.55
Figure 21 : Approche proposée par KAIST pour intégrer des dispositifs RF à base de III-V sur des circuits analogiques/numériques CMOS. Les dispositifs passifs intégrés (IPDs), situés en amont de la partie BEOL, sont basés sur des technologies CMOS. Cela permet de pallier les limites des IPDs III-V, notamment en termes de fabricabilité et de coût. Illustrations provenant de [*Jeong_2024*]. 56

Figure 22 : Représentation schématique du processus d'intégration hétérogène de transistors InP-DHBT sur BiCMOS, développé par le Ferdinand Braun Institut. (a) Alignement et collage des dispositifs III-V partiellement fabriqués sur le BiCMOS, puis retrait du substrat InP. (b) Assemblage finalisé suite à la réalisation des interconnexions avec le BiCMOS. Illustrations provenant de [*Kraemer_2013*]. 57

Figure 23 : Principe du µTP, illustrant la structuration d'un dispositif III-V sur le substrat natif, sa libération, son prélèvement puis son dépôt sur le wafer Si hôte. Ce principe peut être étendu à une impression de multiples dispositifs en parallèle, grâce à l'utilisation d'un tampon adéquatement structuré. Illustrations provenant de [*Zhang_2018*]. 58

Figure 24 : Représentation schématique d'une intégration 2.5D réalisée par l'utilisation d'un interposeur. 59

Figure 25 : Procédé de fabrication d'une structure laser verticale sur une plateforme InP-on-SOI, avec une image acoustique de l'empilement InP/InGaAs/InP(substrat) de 2 pouces collé sur un wafer SOI de 200 mm. Illustrations provenant de [*Besancon_2022*].....60

Figure 26 : (a) Représentation schématique de la technologie Smart CutTM utilisée pour fabriquer des substrats InPOSi. (b) Représentation schématique de l'approche Smart CutTM par « pavage ». A gauche, production d'un substrat pseudo-donneur au travers du pavage. A droite, substrat InPOSi obtenu à partir du substrat pseudo-donneur en passant par le procédé Smart CutTM, et récupération du substrat pseudo-donneur pour de multiples réutilisations. Illustrations provenant de [*Ghyselen_2022*]. 61

Figure 27 : Schéma simplifié de la méthode de préparation du wafer III-V/Si par un assemblage de type vignettage, avant le début de la procédure de fabrication du InP-DHBT.....65

Figure 28 : Schématisation des étapes principales de fabrication du InP-DHBT. (a) Plaque 100-200mm planarisée. (b) Définition de l'émetteur. (c) Ouverture et dépôt des contacts de base. (d) Définition de la mésa base. (e) Ouverture et dépôt des contacts du collecteur. (f) Ouverture et dépôt des plugs émetteur, base et collecteur. (g) Isolation des dispositifs. (h) Réalisation des lignes métalliques de contact. 66

Figure 29 : Empilements III-V utilisés pour la réalisation des lots (a) TASP type N et (b) TASP type P, après report sur silicium 200mm et démontage du substrat InP. 68

Figure 30 : Schémas de l'empilement TASP (a) avant et (b) après gravure sèche de la partie active III-V via masque dur SiN. Observations MEB des motifs suite à la gravure de la partie active III-V : (c) gravure HBr et (d) gravure Cl_2. 69

Figure 31 : Schémas de l'empilement TASP (a) avant et (b) après ouverture des cavités de contact par gravure sèche des diélectriques. (c) Observation MEB suite à la gravure sèche des diélectriques. La couche InGaAs d'intérêt peut être détériorée si la sélectivité et le temps de la gravure ne sont pas maîtrisés. L'épaisseur restante d'InP est retirée par voie humide.....70

Figure 32 : (a) Schéma de l'empilement TASP après le remplissage des cavités de contact par W CVD. Photos d'une plaque du premier lot TASP suite au problème de délamination W : (a) après le dépôt du W CVD et (b) après retrait des couches délaminées par rinçage à l'eau déionisée. 71

Figure 33 : Observations au microscope optique et au MEB montrant la formation de « bulles » à l'interface InP/SiN (images du haut). Les mêmes observations dans le cas d'une interface InGaAs/SiN, avec désoxydation HCl et pré-nettoyage He préalables, n'ont révélé aucune bulle (images du bas). ...72

Figure 34 : (a) Schéma de l'empilement TASP (sans la couche InP n.i.d. 20nm) après le remplissage des cavités de contact par W CVD. (b) Délamination survenue à la suite d'une étape ultérieure de CMP. 72

Figure 35 : (a) Principe du scotch test sur coupons InP/InGaAs/SiN contraint par un dépôt $W(Si)_{1\%}$ CVD 400°C. (b) Analyse EDX confirmant l'interface de rupture. 73

Figure 36 : Comparaison de l'état de la pastille 100mm des plaques des lots TASP (a) avant et (b) après application des améliorations. 73

Figure 37 : Types de dépôt W ayant été testés. (a) Le W CVD 440°C avait mené à une délamination dans la première version des lots TASP. (b) Le passage sur holder 300mm nécessaire pour un dépôt W CVD « SSW » 400°C apporte des problèmes de dépôt en face arrière des plaques. (c) Le W PVD 200°C ne remplit pas efficacement les cavités de contact lorsque celles-ci deviennent réduites, comme cela peut être le cas dans les transistors InP-DHBT de la filière. 74

Figure 38 : Contrainte mesurée en fonction de l'épaisseur et du type de W déposé sur un empilement SiN/SiO2/TiTiN sur silicium 200mm. 75

Figure 39 : Photos d'une plaque des lots TASP (a) avant et (b) après l'étape de CMP W, avec le $W(Si)_{1\%}$ comme métal de remplissage des cavités de contact.....76

Figure 40 : Apparition de vides lors du remplissage de cavités de plug étroites par du $W(Si)_{1\%}$, dans le cadre des transistors InP-DHBT sur silicium de la filière. 76

Figure 41 : Diminuer l'épaisseur de SiO_2 est une solution à court terme pour réduire le rapport H/L des plugs de contact dans les transistors InP-DHBT sur silicium. Cela aura cependant pour effet d'augmenter la capacité parasite extrinsèque entre la base et l'émetteur, du fait d'un rapprochement entre le contact de base et le plan de masse horizontal sus-jacent. 77

Figure 42 : (a) Schéma de l'empilement TASP, après l'ouverture des cavités de contact par gravures sèches SiO_2/SiN, et le pré-nettoyage plasma de la surface de l'InGaAs. Images FIB-SEM des interfaces de contact (b) Ti, (c) Ni et (d) Mo suite au dépôt des empilements métalliques. L'impact des pré-nettoyages au plasma Ar (PS 2,5 et HSE SiO_2) est visuellement mis en évidence. 78

Figure 43 : Images TEM d'interfaces de contact (a) Ti/InGaAs, (b) Ni/InGaAs et (c) W/InGaAs, suite au dépôt des empilements métalliques. 79

Figure 44 : Image TEM et analyse EDX de l'interface de contact Ti 10nm / InGaAs, dans le cadre d'une plaque provenant d'un lot TASP type N. Le budget thermique lié au dépôt de l'empilement métallique est 340°C. 80

Figure 45 : Image TEM et analyse EDX de l'interface de contact Ni 5nm / InGaAs, dans le cadre d'une plaque provenant d'un lot InP-DHBT sur silicium. Le budget thermique lié au dépôt de l'empilement métallique est 400°C. 81

Figure 46 : (a) Observations MEB et (b) représentation schématique de l'effet de « trenching » aux abords du motif émetteur, suite à la gravure sèche Cl_2. 82

Figure 47 : (a) Signal DFA et (b) observations MEB suite à la gravure sèche Cl2 6.6s de l'émetteur. .83

Figure 48 : Effet de consommation latérale de l'InP par la gravure humide HCl 12.3%, selon les plans [010] et [00-1].....84

Figure 49 : Influence de l'orientation cristalline sur le profil de gravure et sur la largeur du pied de l'émetteur, suite à la gravure humide HCl 12.3%. 84

Figure 50 : Observations MEB et schémas de la mésa base du InP-DHBT : (a) après gravure sèche partielle Cl_2 du III-V avec arrêt dans InP, (b) après gravure humide HCl 12.3% de l'InP avec arrêt sur la couche InGaAs-N^+ 20nm. (c) Observation MEB de la gravure latérale causée par la gravure humide HCl de l'InP.....85

Figure 51 : Représentation schématique d'un dispositif TLM linéaire standard. 95

Figure 52 : Empilements InP/InGaAs de départ pour la fabrication de TLM linéaires sur (a) InGaAs-N^+ et (b) InGaAs-P^{++}, sur une plateforme dites « souple ».....96

Figure 53 : Résistivités spécifiques de contact en fonction de la température de recuit RTA et du métal de contact sur InGaAs-N^+ (gauche) et InGaAs-P^{++} (droite). 98

Figure 54 : Représentation schématique des deux empilements III-V et des étapes initiales pour la réalisation des dispositifs TLM dans le cadre des lots TASP. 101

Figure 55 : Aperçu des barrettes de motifs TLM telles que définies sur le masque TASP, et vue schématique de la coupe longitudinale d'un dispositif TLM. 101

Figure 56 : Représentation schématique des différentes étapes de fabrication des dispositifs TLM dans le cadre des lots TASP. 103

Figure 57 : Photos de l'état des plaques du lot et images MEB des contacts, suite au rinçage à l'EDI après la délamination du W. 104

Figure 58 : Structure finale des dispositifs TLM réalisés dans cette première version du lot d'étude de contacts ohmiques TASP, suite à la récupération des plaques eu au dépôt de l'empilement Ti 10nm / AlSi 440nm. 104

Figure 59 : Photo de du prober semi-automatique CASCADE1. 105

Figure 60 : Caractéristique I-V d'une structure TLM 1x1 µm² sur InGaAs-N^+, en fonction de la distance d'espacement *d* entre les contacts. Pour d_2 = 6 µm, on constate un aplatissement du courant aux extrémités de la plage de tension. 106

Figure 61 : Résistance totale mesurée sur la structure TLM 1x1 µm² sur InGaAs-N^+, en fonction de la distance d'espacement entre les contacts. Un valeur R^2 = 0.9999 est obtenue en ne considérant que la partie linéaire des courbes I-V mesurées. 106

Figure 62 : Représentation schématique d'un dispositif TLM issu du masque TASP, où L = W et δ = 0.6 µm. 108

Figure 63 : Evaluation graphique (a) de la répartition du potentiel, (b) des lignes de courant et (c) de la répartition des densités de courant dans nos dispositifs TLM de dimensions réduites. La simulation est réalisée en utilisant COMSOL Multiphysics. 110

Figure 64 : Comparaison des courants électriques mesurés et simulés selon les géométries de contact, à l'aide des valeurs de ρ_c et R_{sh} extraites par TLM sur des contacts de 5x5 µm². Les contacts les plus petits ne semblent pas être modélisés avec précision et nécessitent une optimisation supplémentaire des paramètres. 111

Figure 65 : Impact des modifications de la valeur de ρ_c (à gauche) et de R_{sh} (à droite) sur les courbes de courant électrique simulées. 112

Figure 66 : Comparaison des courants électriques mesurés et simulés selon les géométries de contact, après ajustement de ρ_c et R_{sh}. Tous les contacts sont désormais correctement modélisés. 113

Figure 67 : (a) Densité de courant traversant la structure représentée par des flèches rouges en volume. (b) Graphique de contour de la densité de courant à l'interface de contact. (c) Densité de courant pénétrant le contact selon L et les différentes distances d'espacement *d* à W = 0 µm. 115

Figure 68 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour les différentes dimensions de contact.....116

Figure 69 : Schématisation de la réparation 1D du courant sous le contact d'une structure TLM. 117

Figure 70 : Application de la méthodologie numérique d'extraction sur la dimension 0.35x0.35 µm² des structures TLM n-InGaAs provenant des lots TASP. 121

Figure 71 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour la dimension 0.35x0.35 µm² des structures TLM n-InGaAs provenant des lots TASP. 122

Figure 72 : Comparaison des valeurs de courant mesurées et simulées pour les dimensions de contact 1x1 et 0.35x0.35 µm², pour un certain de couple de paramètres de résistivité [ρ_c ; R_{sh}].....123

Figure 73 : Comparaison des valeurs de courant mesurées et simulées pour la dimension 1x1 µm², pour deux couples de paramètres de résistivité [ρ_c ; R_{sh}] différents.....123

Figure 74 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour la dimension de contact 1x1 µm².....124

Figure 75 : Image FIB-STEM et vue schématique (inset) des empilements technologiques (a) InP/InGaAs-N^+ et (b) InP/InGaAs-P^{++} en fin de traitement. Selon les cas, le remplissage des cavités de contact est réalisé soit en W + AlCu, soit entièrement en AlCu. 128

Figure 76 : Comparaison des valeurs de résistivité de contact et de résistance de couche extraites par TLM sur les structures disposant de contacts 5x5 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD.....130

Figure 77 : Comparaison des valeurs de longueur de transfert extraites par TLM sur les structures disposant de contacts 5x5 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD. 131

Figure 78 : Comparaison des valeurs de résistivité de contact, de résistance de couche et de longueur de transfert extraites par TLM sur les structures disposant de contacts 0.35x0.35 µm². Les pointillés séparent les différentes métallisations utilisées pour remplir la cavité de contact : AlCu PVD, W PVD ou $W(Si)_{1\%}$ CVD. 132

Figure 79 : Comparaison de l'évolution de ρ_c et de L_T en fonction de la dimension de contact sur laquelle est appliquée la méthodologie d'extraction TLM. Différents contacts à base de Ti sont considérés, avec un pré-nettoyage au plasma He ou Ar, ainsi qu'une métallisation de remplissage en AlCu PVD ou W PVD. 133

Figure 80 : Comparaison des résistances totales mesurées et simulées au sein de dispositifs TLM comprenant le Ti comme métal de contact, en fonction de la dimension des contacts et de la géométrie des structures. Les budgets thermiques appliqués sont identiques dans chacun des cas considérés. ...134

Figure 81 : Graphiques de contour de la densité de courant à l'interface de contact (à gauche) et densités de courant pénétrant le contact selon L et *d* pour W = 0 µm (à droite), pour les différentes dimensions du contact ayant reçu un pré-nettoyage au plasma He, un dépôt Ti 10nm et un remplissage de cavité en AlCu. 137

Figure 82 : Reproduction sur COMSOL (a) du contact émetteur et (b) du contact collecteur au niveau du transistor. 140

Figure 83 : Représentation schématique des dispositifs TLM et observations TEM des interfaces de contact, dans le cas d'un contact Ti avec remplissage $W(Si)_{1\%}$ CVD (à gauche, budget thermique : 400°C) et dans le cas d'un contact Ni avec remplissage AlCu PVD (à droite, budget thermique : 200°C). 142

Figure 84 : Images EDX des interfaces de contact (a) dans le cas d'un contact Ti avec remplissage $W(Si)_{1\%}$ CVD (budget thermique : 400°C) et (b) dans le cas d'un contact Ni avec remplissage AlCu PVD (budget thermique : 200°C). 143

Figure 85 : Évolution de la résistance de la couche p-InGaAs (en haut) et de la résistivité de contact (en bas), en fonction de la température de recuit RTA et des dimensions du contact. Les graphiques de gauche concernent le contact Ti, tandis que ceux de droite concernent le contact Ni. Les bandes vertes sur les graphiques représentent les températures pour lesquelles les meilleures performances ont été obtenues. 144

Figure 86 : Graphique comparant les résistances totales simulées pour différentes valeurs de ρ_c, par rapport à la R_{tot} mesurée. Le cas du contact Ti/p-InGaAs de dimension 5×5 µm² sur l'échantillon recuit à 450°C est considéré ici. 149

Figure 87 : Comparaison des résistances totales mesurées et simulées du contact Ti/p-InGaAs, en fonction de la géométrie des dispositifs TLM et de la dimension des contacts. (a) Echelle linéaire et (b) échelle logarithmique. La température de recuit de 450°C est celle ayant conduit à l'obtention des valeurs minimales de ρ_c lors de l'extraction TLM. Cela résulte probablement d'une stabilisation du contact, faisant suite à une réduction de la résistance de couche (déshydrogénation) et à des réactions interfaciales additionnelles. 150

Figure 88 : Comparaison des résistances totales mesurées et simulées du contact Ti/p-InGaAs pour la dimension de contact 1×1 µm², à la température de recuit 500°C. (a) Echelle linéaire et (b) échelle logarithmique. 151

Figure 89 : Comparaison des résistances totales mesurées et simulées du contact Ni/p-InGaAs, en fonction de la géométrie des dispositifs TLM et de la dimension des contacts. (a) Echelle linéaire et (b) échelle logarithmique. La température de recuit de 400°C est celle ayant conduit à l'obtention des valeurs minimales de ρ_c lors de l'extraction TLM. 151

Figure 90 : Reproduction sur COMSOL de la couche de base du transistor et des contacts de base. .153

Figure 91 : Estimation par simulation de la résistance totale de base R_{bb} en fonction de la largeur W_B du contact de base, de la résistivité $\rho_{c,b}$ du contact de base, et de la proportion de R_{sh} dégradée dans la couche de base. 154

Figure 92 : Images du premier lot InP-DHBT sur silicium de la filière. (a) Observation MEB du dessus du transistor, avant réalisation des lignes métalliques AlCu. (b) Vue en coupe MEB du transistor, avant réalisation des lignes métalliques AlCu. (c) Observation STEM du contact de base du transistor : la couche de base InGaAs-P^{++} est fortement endommagée.....158

Figure 93 : Cartographie du gain β du transistor et graphe Gummel pour des dimensions relâchées : largeur émetteur = 0.7 µm, largeur du contact de base = 1 µm, espacement entre l'émetteur et le contact de base = 100 nm, largeur du contact collecteur = 1.5 µm. 158

Figure 94 : Caractéristique I_b-V_{BE} de la diode émetteur-base pour des motifs transistors dont la longueur d'émetteur est 200 nm. Le modèle de fit est réalisé en utilisant la fonction de Lambert. 159

Figure 95 : Caractéristique I_c-V_C du transistor. L'atteinte des valeurs de « compliance » témoigne d'une jonction base-collecteur dysfonctionnelle. 160

Figure 96 : Observations STEM de l'interface du contact de base suite à l'optimisation de la métallisation (a) à base de Ti et (b) suite au test avec la métallisation à base de Ni. 161

Figure 97 : Observation STEM suite à l'optimisation de la gravure de l'ouverture du contact de base. 162

Figure 98 : (a) Observation STEM de la région émetteur et de l'interface du contact de base suite à la réalisation de la métallisation Ti optimisée, **SANS** application de recuit de recuit de déshydrogénation 450°C. (b) Analyse EDX de la zone, avec détection de l'élément In. (c) Analyse EDX de la zone, avec détection de l'élément Ti. 162

Figure 99 : (a) Observation STEM de la région émetteur et de l'interface du contact de base suite à la réalisation de la métallisation Ti optimisée, **AVEC** application de recuit de recuit de déshydrogénation 450°C. (b) Analyse EDX de la zone, avec détection de l'élément In. (c) Analyse EDX de la zone, avec détection de l'élément Ga. 163

Figure 100 : Graphes Gummel pour les dimensions (a) W_E = 500 nm ; L_E = 3 µm et (b) W_E = 250 nm ; L_E = 3 µm. 165

Figure 101 : Caractéristique I_b-V_{BE} de la diode émetteur-base pour les motifs transistors W_E = 500nm et L_E = 3µm. (a) Echelle linéaire et (b) échelle logarithmique. Le modèle de fit est réalisé en utilisant la fonction de Lambert. 166

Figure 102 : Caractéristique I_b-V_{BC} de la diode base-collecteur pour les motifs transistors W_E = 500nm. (a) Echelle linéaire et (b) échelle logarithmique. Le modèle de fit d'une diode simple n'est pas suffisant pour réaliser l'extraction des paramètres. 167

Figure 103 : Caractéristique I_c-V_{CE} du transistor à différentes valeurs de I_b pour les motifs (a) W_E = 500 nm ; L_E = 3 µm et (b) W_E = 250 nm ; L_E = 3 µm. 167

Figure 104 : Caractérisation RF des transistors réalisés selon le procédé « standard », pour les dimensions dessinées W_E = 500nm et L_E = 3µm. (a) Gain en courant H_{21} et (b) gain en puissance U en fonction de la fréquence. 168

Figure 105 : Remplissage des vias de contact de l'émetteur (a) pour une largeur d'émetteur W_E = 180nm et (b) pour une largeur d'émetteur W_E = 500nm. Les cavités, se formant lorsque l'émetteur devient étroit, augmente la résistance R_E de l'émetteur et limite f_T. 169

Figure 106 : Gain en courant H_{21} et gain en puissance U en fonction de la fréquence, sur des transistors de dimensions dessinées W_E = 500 nm et L_E = 3 µm. Ces derniers n'ont pas subi de recuit de déshydrogénation, et leur mésa base a été gravée entièrement par voie humide. 169

Figure 107 : Représentation schématique du passage des électrons au travers des hétérojonctions d'un DHBT InP/GaAsSb/InP. Une fois injectés dans la base, les électrons sont accélérés localement dans le cas où un gradient de composition ou de dopage est utilisé, puis traversent la jonction base-collecteur sans rencontrer de barrière énergétique. 180

Figure 108 : Comparaison de l'impact de gravures ICP hydrogénées et d'un recuit 450°C de 2 min sur la résistance d'une couche p-InGaAs (:C) et p-GaAsSb (:C). 185

Figure 109 : Résistance de la couche de GaAsSb-P^{++} et résistivité du contact Ti / TiN avant et après application de recuits RTA. 187

Figure 110 : Résistivité du contact Ti / TiN sur GaAsSb-P^{++}, après application de recuits RTA en une ou plusieurs étapes. 188

Figure 111 : Résistance de la couche de GaAsSb-P^{++} et résistivité du contact Ni / TiN avant et après application de recuits RTA. 189

Figure 112 : Comparaison de la résistivité des contacts Ti / TiN et Ni / TiN sur GaAsSb-P^{++}, après application de recuits RTA en une ou plusieurs étapes. 190

Figure 113 : Résistivité de contact en fonction de la température de recuit RTA et du métal de contact sur InGaAs-P^{++}, avec une intégration de type lift-off. 190

Figure 114 : Représentation schématique de l'empilement technologique de départ pour la réalisation des structures TLM sur GaAsSb-P^{++} en configuration planarisée. 192

Figure 115 : (a) Gravures des couches de diélectriques SiN et Al_2O_3. (b) Dépôt du métal de contact. (c) Dépôt de l'empilement métallique de l'électrode. (d) Gravure des pads de contact. (e) Gravure des mésas d'isolation. 192

Figure 116 : Observation MEB de l'aspect des cavités de contact à la suite de l'étape d'ouverture par gravures sèche et humide. 193

Figure 117 : Observations par (a) microscopie optique et (b) (c) MEB des dispositifs TLM en fin de fabrication. 194

Figure 118 : Représentation schématique des vues (a) de dessus et (b) en coupe des dispositifs TLM linéaires réalisés. 195

Figure 119 : Comparaison de la résistivité des contacts Ti / TiN, NiPt / TiN, Pt / Au et Pd / Pt / Au réalisés sur GaAsSb-P^{++} en configuration planarisée, avant et après application de recuits RTA. 195

Figure 120 : Comparaison de la résistivité du contact Ti / TiN sur GaAsSb-P^{++}, lorsque réalisé selon une configuration lift-off classique (à gauche) et lorsque réalisé selon une configuration planarisée (à droite). Le bénéfice d'une intégration planaire sur une plateforme silicium / photonique est mis en évidence, mais il convient de prendre en compte les différences au niveau des empilements III-V utilisés. 197

Figure 121 : Résistivité du contact Au / Pt / Ti / TiN / Ti sur p-$In_{0.53}Ga_{0.47}As$ (:Zn, $N_A = 2\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He [*Boyer_2020*], et sur p-$GaAs_{0.5}Sb_{0.5}$ (:Zn, $N_A = 7\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He, selon différentes températures de recuits de 1 min sous N_2. 198

Figure 122 : Résistivité du contact Au / Pt / Ti / TiN / $Ni_{0.9}Pt_{0.1}$ sur p-$In_{0.53}Ga_{0.47}As$ (:Zn, $N_A = 2\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma He [*Boyer_2020*], et sur p-$GaAs_{0.5}Sb_{0.5}$ (:Zn, $N_A = 7\times10^{19}$ cm^{-3}) avec pré-nettoyage plasma Ar, selon différentes températures de recuits de 1 min sous N_2. 199

Index des tableaux

Tableau 1 : Lois de dimensionnement des transistors bipolaires. Données provenant de [*Rodwell_2008*]. 30

Tableau 2 : Empilement technologique choisi pour une première démonstration de fonctionnalité d'une technologie DHBT InP/InGaAs entièrement compatible avec les lignes de fabrication CMOS industrielles. 64

Tableau 3 : Contribution isolée du pré-nettoyage plasma in-situ sur la consommation de matériaux III-V, avant le dépôt du métal de contact sur InGaAs. 79

Tableau 4 : Travail de sortie idéal de différents métaux utilisés dans les empilements métalliques de contact sur InGaAs. Les métallurgies compatibles avec un environnement CMOS industriel sont précisées. Données provenant de [*Michaelson_1977*]. 94

Tableau 5 : Contribution du terme ($2\times R_C$) dans la valeur de R_{tot} en fonction de la distance d'espacement entre les contacts, pour L_T = 200nm et d'autres valeurs de paramètres choisies arbitrairement, à des fins d'illustrations. 99

Tableau 6 : Valeurs de ρ_c extraites par TLM des contacts Ti / TiN réalisés sur InGaAs-N^+ et InGaAs-P^{++} en fonction des dimensions du contact, dans le cadre du premier lot TASP fabriqué. 107

Tableau 7 : Comparaison des valeurs de ρ_c extraites par TLM standard et celle obtenue via l'application de la méthodologie numérique, sur un empilement n-SOI et selon les différentes géométries de contact. 113

Tableau 8 : Comparaison des longueurs de transfert extraites par TLM standard et via l'application de la méthodologie numérique simulation, sur un empilement n-SOI et selon les différentes géométries de contact. 119

Tableau 9 : Comparaison des valeurs de ρ_c, R_{sh} et L_T extraites par TLM standard avec celles obtenues via l'application de la méthodologie numérique sur les structures TLM InGaAs-N^+, provenant des premiers lots TASP. 124

Tableau 10 : Comparaison bibliographique de valeurs de résistivité de contact obtenues sur InGaAs-N^+. 126

Tableau 11 : Synthèse des valeurs de ρ_c et de R_{sh} extraites via l'application de la méthodologie numérique, en fonction du pré-nettoyage in-situ, de l'épaisseur de Ti déposée et de la métallisation de remplissage. 135

Tableau 12 : Comparaison des valeurs de ρ_c et de R_{sh} extraites par TLM et extraites via l'application de notre méthodologie numérique d'extraction, pour les différents contacts à base de Ti réalisés dans cette étude. 136

Tableau 13 : Comparatif des paramètres de résistivité extraits par TLM et extraits via l'application de notre méthodologie numérique d'extraction, pour le contact ayant reçu un pré-nettoyage au plasma He, un dépôt Ti 10nm et remplissage de cavité en AlCu. 138

Tableau 14 : Estimations par simulation des résistances d'accès R_E et R_C, en fonction de la largeur W_E de l'émetteur, de la résistivité de contact ρ_c et de la résistance de couche R_{sh} du bicouche InP/InGaAs. 141

Tableau 15 : Comparaison du niveau de dopage, de la résistance de couche R_{sh} et de la mobilité des trous, mesurés par effet Hall, suite à différents procédés. 146

Tableau 16 : Comparaison des résistances totales simulées pour différentes valeurs de ρ_c, par rapport à la R_{tot} mesurée. La valeur de R_{sh} est fixée à 11 kΩ/□ dans le modèle. Le cas du contact Ti/p-InGaAs de 5×5 µm² sur l'échantillon recuit à 450°C est considéré ici. 148

Tableau 17 : Comparaison des valeurs de résistivité de contact obtenues sur p-InGaAs avec l'état de l'art. 152

Tableau 18 : Valeurs maximales de β mesurées en fonction de la largeur d'émetteur. 165

Tableau 19 : Aperçu des meilleures f_T/f_{MAX} relevés en fonction de la largeur d'émetteur du transistor, pour les transistors réalisés selon le procédé « standard ». 168

Tableau 20 : Récapitulatif des meilleures f_T/f_{MAX} obtenues sur les plaques caractérisées en fin de thèse, pour des transistors de dimensions W_E = 500 nm et L_E = 3 µm. 170

Tableau 21 : Empilement technologique utilisée pour les études sur GaAsSb-P^{++} (:C). 182

Tableau 22 : Evaluation de l'impact de gravures ICP sous atmosphères hydrogénées sur les propriétés électriques du GaAsSb-P^{++}. 183

Tableau 23 : Comparaison de l'impact de gravures ICP hydrogénées et d'un recuit 450°C de 2 min sur les propriétés électriques d'une couche p-InGaAs (:C) et p-GaAsSb (:C). 184

Tableau 24 : Synthèse des différents splits de dépôts suivis pour la réalisation des structures TLM sur GaAsSb-P^{++} en configuration planarisée. 193