THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal
Spécialité : Nano électronique et Nano technologies
Unité de recherche : CEA LETI - Laboratoire d'électronique et de technologie de l'information

Caractérisation des propriétés électriques à basse température de mémoires émergentes basées sur les technologies OxRAM et FeRAM

Low-temperature electrical characterization of emerging memory based on OxRAM and FeRAM technologies

Présentée par :

Flavien BERTHAUD

Direction de thèse :

Mikaël CASSE DIRECTEUR DE RECHERCHE, CEA - Centre de Grenoble	Directeur de thèse
Niccolo CASTELLANI CEA	Co-encadrant de thèse
Simon MARTIN CEA	Co-encadrant de thèse

Rapporteurs :

Damien DELERUYELLE
PROFESSEUR DES UNIVERSITES, INSA Lyon
Damien QUERLIOZ
DIRECTEUR DE RECHERCHE, CNRS délégation Île-de-France Sud

Thèse soutenue publiquement le **2 février 2026**, devant le jury composé de :

Bassem SALEM, DIRECTEUR DE RECHERCHE, CNRS délégation Alpes	Président
Mikaël CASSE, DIRECTEUR DE RECHERCHE, CEA Centre de Grenoble	Directeur de thèse
Damien DELERUYELLE, PROFESSEUR DES UNIVERSITES, INSA Lyon	Rapporteur
Damien QUERLIOZ, DIRECTEUR DE RECHERCHE, CNRS délégation Île-de-France Sud	Rapporteur
Abdelkader SOUIFI, PROFESSEUR DES UNIVERSITES, INSA Lyon	Examinateur
Marc BOCQUET, PROFESSEUR DES UNIVERSITES, Aix-Marseille Université	Examinateur

Remerciements

Pour commencer, je remercie les membres de mon jury pour avoir accepté d'en faire partie, puis pour avoir pris le temps de lire attentivement ma thèse. En plus du jury, je remercie Mikaël mon directeur de thèse pour avoir accepté de diriger ma thèse et pour son accompagnement durant la réalisation des travaux.

Je remercie le LCEF du CEA-Leti, dirigé par Caroline Coutier, pour m'avoir acceuilli dans le cadre de cette thèse, et plus généralement je remercie le CEA-LETI pour cette opportunité qui m'aura profondément marqué.

Dans un second temps, je tiens à remercier toutes les personnes qui ont pris du temps pour m'aider durant cette thèse. Je pense tout d'abord à Quentin puis Flavio, plus fidèle utilisateur de la station cryo, pour avoir pris le temps de m'apprendre à utiliser ces équipements. Ensuite, je remercie Nicolas Vaxelaire et Guillaume Freychet qui ont effectué les campagnes de mesures XRD présentées dans cette thèse. Je ne suis pas prêt d'oublier les moments où nous devions nous rejoindre en pleine nuit au Synchrotron pour y lancer des tests. Puis, je tiens à remercier les personnes qui ont rendu possible le chapitre 4 de cette thèse. Je remercie les ingénieurs du LGECA, notamment Brian Martinez et Baptiste Jadot pour m'avoir expliqué et initié au fonctionnement du dipstick, nécessaire pour effectuer les tests de matrice en cryogénie. Je remercie aussi Romain Vacquez qui a permis de réaliser le bonding des échantillons. Enfin, je tiens à remercier Xavier Jehl qui m'a accompagné dans ces périlleuses campagnes de mesures.

En plus de toutes ces personnes, cette thèse n'aurait pas été bien loin sans mes deux encadrants : Simon et Niccolo. Je vous remercie tout les deux pour avoir toujours été présent, pour avoir pris le temps quand il le fallait, et pour votre exigence qui m'a permis de progresser au quotidien. Simon, merci de m'avoir pris en stage puis en thèse. On aura fini par comprendre quel pic correspond à quelle phase. Tu pourras toujours compter sur moi pour faire attendre tout le monde à la cantine. Niccolo, un jour on partira en Espagne pour faire le point avec nos concurrents. Ensuite, il faudra quand même aller ensemble à Bois Barbu (on emmènera Laurent avec nous, il parait que ma tenue le fait rire).

La suite de ces remerciements se concentre sur toutes les personnes que j'ai pu rencontrer et qui ont participé à l'aventure humaine que ces trois ans ont représenté. Je tiens donc à remercier mes collègues de laboratoire, pour leur accueil, leur bienveillance et pour les moments partagés. Je pense en premier lieu à mes camarades de pause café, toujours prêts à refaire le monde à 8h30 : Jean, Pierre, Alexis, William, Kruno, Alexandre. Je pense ensuite à mes différents collègues de bureau, membres de l'équipe mémoire, qui ont trouvé la patience pour m'écouter : Panagiota, Liam, Qui-Khanh, Liliane. Et bien sûr je pense aussi à tout le reste de l'étage : Romain, Valentina, Eric, Saliou, Giovanni, Manu, Aurélie (héritière de la station cryo), Wissem, Elhadji... C'est l'accompagnement de toutes ces personnes qui à permis au thésard que j'étais de travailler dans les meilleures conditions, et d'aboutir à mes différentes productions : quelques publications mais surtout 7 memes et un tournoi de foot. Vous pouvez être fiers de vous.

Lors de ces trois ans, une amitié s'est naturellement créée avec des thésards du laboratoire. Chronologiquement y avait tout d'abord Camille, qui m'a montré comment gérer se thèse en toute sérénité. Merci encore pour les templates de CSI, de journée des thèses... Je pense ensuite à Sam, l'homme que l'on entend rire de l'autre bout du couloir, stéphanois certes, mais pas un mauvais gars dans le fond (en plus c'est surtout grâce à lui qu'on a gagné le tournoi de foot). Grâce à toi j'arrive à télécharger mes fiches de paie comme un grand maintenant. Il y a aussi Philémon, l'insaisissable, celui qui n'est jamais là où on pense le trouver, le samouraï de Chine de la ferro.

Et puis je pense aussi aux thésards du labo mémoire (un peu étendu), avec qui j'ai noué des liens et passé beaucoup de bons moments : Tarcisius (propriétaire officieux du SIAM 8, toujours prêt à franchir les 30 mètres qui nous séparaient

des copains d'abord), Renzo (c'est une fierté de t'avoir fait découvrir le beaujolais nouveau), Julie (beaucoup d'émotions quand je repense au Japon), Killian, Amanda, Oumaima, Ancelin, Mohamad, Lucas...

Je pense aussi à la filière brésilienne du labo, Lucas et Jaime, j'espère que vous avez bien aimé vos séjours en France avec nous !

Au delà du CEA, ces trois années à Grenoble ont été enrichies par ma deuxième carrière de hockey. Je pense donc aux fox de CEA-ST qui m'ont permis de débuter le roller, l'équipe loisirs de Vaujany grâce à qui j'ai pu rejouer un peu sur glace, et finalement les primates de Voreppe, bien plus qu'une équipe, avec qui j'ai vécu des moments forts que je ne pensais plus revivre.

La dernière partie de mes remerciements s'adresse à l'ensemble de mes proches. Je tiens tout d'abord à remercier mes parents, qui m'ont toujours soutenu. Vous avez toujours cru en moi, et m'avez permis de m'épanouir, ce qui fait de moi l'humain que je suis aujourd'hui. J'espère que je serai capable de donner autant à mes futurs enfants. Je remercie aussi mon frère pour m'avoir toujours poussé et challengé, ce qui m'a transmis la motivation et la force de caractère nécessaire pour aller au bout de mes projets. Je tiens aussi à remercier Claire, qui, au bout de 3 ans, aura peut-être compris le principe de la ferroélectricité. Je te remercie pour ton soutien et ta patience à mon égard. Toute l'affection que tu me donnes au quotidien m'a permis de tenir même dans les périodes les plus difficiles de cette thése.

A tous, je vous souhaite le meilleur, et j'espère avoir apporté un peu de positif dans vos vies.

Enfin, je dédie ce mémoire à mon grand père Robert, dont le parcours de vie me sert d'exemple au quotidien.

Abstract

Cryogenic electronics is experiencing rapid development, driven by growing interest in its main applications : aerospace, quantum computing, and high-performance computing. To fully exploit these technologies, it is essential to have reliable and high-performance memory capable of operating in cryogenic environments. In this context, new "emerging" memories are appearing as promising alternatives, combining the advantages of Flash and DRAM : fast programming, high endurance, and low power consumption. However, these performances degrade at high temperature. It is therefore relevant to study the behavior of these technologies at cryogenic temperatures in order to assess potential gains in speed and reliability. This thesis aims to deepen the physical understanding of oxide-based resistive memories (OxRAM) and ferroelectric memories (FeRAM) while exploring their compatibility with such extreme conditions.

Chapter 2 presents a detailed study of one-transistor-one-resistor (1T1R) unit structures, highlighting the crucial role of the transistor on OxRAM operation and the evolution of its performance under cryogenic conditions. Analysis of the set and reset mechanisms shows that the set current controls the LRS, while the selector's equivalent resistance (R_{on}) affects the voltage divider and the reset conditions. At room temperature, filament dissolution is primarily governed by voltage, regardless of the selector geometry or filament size. At low temperature, the reduction of the transistor's R_{on} compensates for the higher reset voltage of OxRAM. Modeling of the local filament temperature reveals that this parameter governs the reset transition. Reliability tests confirm comparable endurance and improved stability of programmed states under cryogenic conditions. Overall, the technology maintains its performance across the entire temperature range, making it particularly suitable for applications exposed to extreme thermal amplitudes, such as space electronics.

Chapter 3 presents the study of the ferroelectric properties of ferroelectric capacitors (FeCap) over a wide temperature range. A new method for calculating ferroelectric polarization is introduced. The results show a slight decrease in switching polarization at low temperature, resulting from domains blocked by parasitic charges. Nevertheless, the reduction of back-switching due to the depinning of the hysteresis cycle at low temperature increases the measured remanent polarization under cryogenic conditions. The study demonstrates that the pinched hysteresis at room temperature is due to a two-step polarization process, following the Landau-Ginzburg-Devonshire theory. Wake-up, fatigue, and imprint effects are reduced at low temperature, improving device reliability. Pre-cycling at room temperature further optimizes performance. Due to their low power consumption and stability across the full temperature range, these FeCap FeRAM devices appear as a promising technology for cryogenic electronics, particularly for quantum and high-performance computing.

Chapter 4 proposes a protocol to test 16 kbit OxRAM arrays in a cryogenic environment, requiring the fabrication of a dedicated PCB and wiring of the samples to enable testing. Proper operation was verified on the assembled system, then directly in the dipstick. Initial cryogenic tests on 1000 devices show consistent statistical behavior and confirm the compatibility of the 16 kbit CEA-Leti array with cryogenic electronics applications.

Résumé

L'électronique cryogénique connaît un développement rapide, porté par l'intérêt croissant pour ses principales applications : l'aérospatial, le calcul quantique et le calcul haute performance. Pour exploiter pleinement ces technologies, il est nécessaire de disposer de mémoires fiables et performantes en environnement cryogénique. Dans ce contexte, de nouvelles mémoires « émergentes » apparaissent comme des alternatives prometteuses, combinant les avantages de la Flash et de la DRAM : vitesse de programmation, endurance et faible consommation. Cependant, ces performances se dégradent à haute température. Dans ce contexte, il semble pertinent de mener une étude sur le fonctionnement de ces technologies à des températures cryogéniques afin d'évaluer les gains possibles en vitesse et en fiabilité. Cette thèse vise à approfondir la compréhension physique des mémoires résistives à base d'oxyde (OxRAM) et des mémoires ferroélectriques (FeRAM) tout en explorant leur compatibilité avec ces conditions extrêmes.

Le Chapitre 2 présente une étude approfondie des structures unitaires un-transistor-une-résistance (1T1R), mettant en évidence le rôle déterminant du transistor sur le fonctionnement de l'OxRAM et l'évolution de ses performances en conditions cryogéniques. L'analyse des mécanismes de set et reset a montré que le courant de set contrôle le LRS, tandis que la résistance équivalente (R_{on}) du sélecteur influence le pont diviseur de tension et les conditions de reset. À température ambiante, la dissolution du filament est principalement régie par la tension, indépendamment de la géométrie du sélecteur ou de la taille du filament. À basse température, la réduction du R_{on} du transistor compense la tension de reset supérieure pour l'OxRAM. Une modélisation de la température locale du filament conducteur révèle que ce paramètre régie la transition de reset. Les tests de fiabilité confirment une endurance comparable et une meilleure stabilité des états programmés en régime cryogénique. Globalement, la technologie conserve ses performances sur toute la plage de température, la rendant particulièrement adaptée aux applications exposées à des amplitudes thermiques extrêmes, comme l'électronique spatiale.

Le Chapitre 3 présente l'étude des propriétés ferroélectriques de condensateurs ferroélectriques (FeCap) sur une large plage de température. L'introduction d'une nouvelle méthode de calcul de polarisation ferroélectrique y est proposée. Les résultats montrent une légère diminution de la polarisation de retournement à basse température, résultant des domaines bloqués par des charges parasites. Néanmoins, l'atténuation du back-switching dû au dépincement du cycle d'hystérésis à basse température augmente la polarisation rémanente mesurée en condition cryogénique. L'étude démontre que le cycle d'hystérésis pincé à température ambiante est dû à un processus de polarisation en deux étapes, suivant la théorie de Landau-Ginzburg-Devonshire. Le wake-up, la fatigue et l'imprint sont réduits à basse température, améliorant la fiabilité des dispositifs. Un pré-cyclage à température ambiante optimise les performances. Grâce à leur faible consommation et à leur stabilité sur toute la plage de température, ces FeCap FeRAM apparaissent comme une technologie prometteuse pour l'électronique cryogénique, notamment pour le calcul quantique et de haute performance.

Le Chapitre 4 propose un protocole pour tester des matrices 16 kbit OxRAM dans un environnement cryogénique, nécessitant la fabrication d'un PCB adapté et le câblage des échantillons pour permettre ces tests. Le bon fonctionnement a été vérifié pour l'ensemble, puis directement dans le dipstick. Les premiers tests cryogéniques sur 1000 dispositifs montrent des évolutions statistiques cohérentes et confirment la compatibilité de la matrice 16kbit du CEA-Leti avec des applications en électronique cryogénique.

Table des matières

1 Introduction **25**

1.1 Un contexte favorable aux mémoires émergentes. 27

1.1.1 Les technologies de mémoire actuelles et leurs limites 27

1.1.2 Les mémoires émergentes et leurs avantages 30

1.2 Les applications de l'électronique cryogénique 32

1.2.1 Les applications mémoire conventionnelles 32

1.2.2 Les applications mémoire non conventionnelles 35

1.2.3 Enjeux de la thèse 36

1.3 Les mémoires résistives à base d'oxyde 38

1.3.1 Principe de fonctionnement de la mémoire résistive 38

1.3.2 Intégration du point mémoire résistif dans une architecture matricielle 41

1.3.3 Caractérisation électrique des RRAM 45

1.3.4 État de l'art de la caractérisation électrique d'OxRAM à basse température. 48

1.3.5 Conclusion sur les OxRAM à basse température et objectifs 58

1.4 Les mémoires ferroélectriques 61

1.4.1 Principe de la ferroélectricité 61

1.4.2 Le développement des matériaux ferroélectriques pour l'application mémoire 62

1.4.3 L'oxyde d'hafnium 63

1.4.4 Intégration de la FeCap pour des mémoires ferroélectriques 65

1.4.5 Caractérisation électrique des FeCap 67

1.4.6 État de l'art des propriétés FE des FeCap à basse température 70

2 Caractérisation des OxRAM à basse température **77**

2.1 Évolution du forming à basse température 79

2.2 Programmation du set 81

2.2.1 Programmation de set à température ambiante 81

2.2.2 Programmation de set à basse température 83

2.3 Programmation du reset 88

2.3.1 Programmation de reset à température ambiante 88

2.3.2 Évolution du reset à basse température 94

2.4 Modélisation de la température de reset . . . 98
2.4.1 Modèle théorique de la température dans le CF . . . 98
2.4.2 Température de reset expérimentale extraite des RVS . . . 100
2.5 Impact de la température sur l'endurance et la fiabilité . . . 102
2.5.1 Cyclabilité et miniaturisation de la structure 1T1R à 300 K . . . 102
2.5.2 Cyclabilité en fonction de la température . . . 104
2.5.3 Fiabilité à basse température . . . 106
2.6 Conclusion . . . 107

3 Caractérisation des condensateurs ferroélectriques à basse température 108

3.1 Évolution des pics de courant de retournement des FeCap à l'état vierge . . . 110
3.1.1 Courant transitoire de la méthode PUND . . . 110
3.1.2 La méthode First-Order-Reversal-Curve (FORC) . . . 112
3.2 Variations de constante diélectrique à basse température . . . 118
3.2.1 Extraction de la constante diélectrique grâce à la mesure C-V . . . 118
3.2.2 Diffractogramme de mesure GIWAXS à basse température . . . 120
3.3 Variations de polarisation à basse température . . . 122
3.3.1 Limites de la méthode PUND . . . 122
3.3.2 Évolution de P_{rev} à basse température . . . 124
3.4 Renversement de polarisation en deux étapes selon la théorie LGD . . . 127
3.4.1 Description de la théorie LGD . . . 127
3.4.2 Application de la théorie LGD au matériau HZO . . . 129
3.5 Impact de la température sur le wake-up . . . 130
3.5.1 Évolution de polarisation durant le cyclage . . . 130
3.5.2 Influence de la tension sur le wake-up à basse température . . . 133
3.6 Evolution de la fatigue et de l'imprint à basse température . . . 134
3.6.1 Évolution de la fatigue à basse température . . . 134
3.6.2 Évolution de l'imprint à basse température . . . 135
3.7 Optimisation de l'utilisation des FeCap à basse température . . . 137
3.8 Conclusion . . . 139

4 Étude statistique réalisée sur matrices à température cryogénique 141

4.1 Fonctionnement du bloc mémoire 3×16 kbit OxRAM . . . 143
4.2 Analyse statistique des paramètres de programmation influents à température ambiante . . . 144
4.3 Montage expérimental pour le test de matrices à température cryogénique . . . 147
4.4 Préparation des échantillons . . . 149
4.5 Fonctionnalité du montage expérimental . . . 150
4.5.1 Vérification sur la carte fond de panier . . . 150
4.5.2 Tests de vérification sur le dipstick . . . 152

4.6 Endurance et stabilité de la matrice à température cryogénique 154
4.6.1 Évolutions d'endurance à basse température 154
4.6.2 Stabilité de l'état HRS à basse température 156
4.7 Conclusion 157

Table des figures

1.1 Représentation des différents niveaux de mémoire dans un ordinateur, avec les temps d'accès typiques, extraits de la référence [1]. 28

1.2 Circuits des structures unitaires pour les mémoires DRAM, SRAM et flash [2]. 29

1.3 Comparaison des architectures en matrice des mémoire flash NAND et NOR [2] 29

1.4 Chronologie des démonstrateurs récents de mémoires non volatiles, avec leur nœud technologique (d'après la référence [4]). 31

1.5 Comparaison des propriétés des technologies de mémoire. Le format reproduit celui de la référence [5] et les valeurs sont issues de la référence [4]. 32

1.6 Profil thermique potentiel d'un ordinateur quantique [8] 33

1.7 Les applications cryogéniques : les calcule de haute performance, le spatial et le quantique [30]. 35

1.8 Illustration conceptuelle des différentes échelles du calcul en mémoire. Le calcul repose sur des lois physiques fondamentales, mises en œuvre dans divers types de dispositifs mémoire et conceptions de circuits. Pour réaliser des calculs à grande échelle, de nouvelles architectures doivent être développées afin d'accélérer les applications du monde réel. De nouvelles applications peuvent également émerger grâce à la possibilité d'effectuer des calculs hautement parallèles. La conception et l'optimisation de chaque niveau de cette hiérarchie doivent être abordées en tenant compte de l'ensemble de la pile technologique [34]. 36

1.9 Synoptique du fonctionnement du banc basse température 37

1.10 Tableau périodique présentant les éléments dont l'oxyde correspondant présente un phénomène de commutation résistive non volatile [43]. 39

1.11 Courbes I-V pour un dispositif Pt/NiO/Pt montrant (a) une commutation résistive d'un film de NiO déposé avec 3 % d'oxygène et (b) une commutation par seuil d'un film de NiO déposé avec 20 % d'oxygène [44]. 39

1.12 Représentation schématique des courbes I-V pour une RRAM (a) unipolaire et (b) bipolaire [50]. 40

1.13 Représentation schématique d'une OxRAM et d'une CBRAM pendant une opération de set. Dans l'OxRAM le champ électrique positif sur l'électrode supérieure attire les ion oxygène vers la couche réservoir. Le filament conducteur sera constitué des lacunes d'oxygène générées par le déplacement des ions. Dans les CBRAM, le champ électrique positif sur l'électrode supérieure repousse les ions métalliques dans l'électrolyte jusqu'à l'électrode inférieure. Le pont conducteur est constitué des métaux connectés à l'électrode inférieure. 41

1.14 Structures des matrices RRAM arrangées par les WL (lignes) et BL (colonnes). (a) Matrice de points mémoire (1R), dans laquelle le point mémoire est connecté entre chaque ligne et colonne dans la matrice. (b) Matrice un sélecteur-un point mémoire (1S1R), dans laquelle chaque point mémoire est connecté en série avec un sélecteur. (c) Matrice un transistor-un point mémoire (1T1R), dans laquelle le point mémoire est connecté en série avec un transistor, qui nécessite une ligne additionnelle (SL) [65]. 42

1.15 Représentation schématique de la structure 1T1R pendant une opération (a) de set et (b) de reset [59]. . . 44

1.16 Courant transitoire observé pendant un balayage de tension bipolaire, correspondant aux opérations de forming (vert), set (rouge) et reset (bleu), avec un courant de forming/set limité à 100μA [89]. 46

1.17 Représentation schématique des impulsions électriques de programmation et de lecture des dispositifs 1T1R 47

1.18 Représentation schématique des impulsions appliquées pendant le cyclage d'un dispositifs unitaire RRAM. 47

1.19 Test d'endurance montrant des états HRS et LRS en fonction du nombre de cycles pour une structure 1T1R cyclée en mode impulsionnel. 48

1.20 Caractéristiques I-V d'OxRAM composées de TiN/HfAlO/Pt à différentes températures : (a) A 5 K, les OxRAM sont maintenues en HRS. (b) A 50 K, une commutation de seuil est observée. (c) A 200 K, des comportements typiques de commutation résistive apparaissent [96]. 49

1.21 Dépendance en température des courbes I-V pour (a) un LRS et (b) un HRS. L'empilement est constitué de Pt(100 nm)/Al_2O_3 (2 nm)/HfOx (4 nm)/Er(5 nm)/Pt(100 nm). Les couches de Al_2O_3 et HfOx sont déposées par ALD. La couche de Er sert de couche réservoir [97]. 50

1.22 Mécanisme de conduction possible pour trois niveaux de LRS [98]. 51

1.23 (a) Courbe I-V des dispositifs Pf/HfO_x/TiN entre 300 K et 4 K et (b) statistiques des tensions de set et de reset en fonction de la température [100]. 52

1.24 Performances électriques de la structure de commutation ITO/HfOx/ITO à différentes températures. b) Évolution des tensions de set et reset en fonction de la température. c) Caractéristique d'endurance aux différentes températures, mesurée à −0,1 V dans les états de haute et basse résistance [101]. 53

1.25 Tensions de commutation en fonction de la température pour du Ni/HfO_2/Si [103]. 54

1.26 Rampes de tension quasi-statiques à différentes températures [104]. 54

1.27 Distribution cumulatives des (a) tensions de set, (b) courant de set, (c) tension de reset et (d) courant de reset extraits des séries de rampes de tension [104]. 55

1.28 (a) Commutation de résistance à différentes températures. (b) Courant de lecture à 0,1 V pour 20 programmations de LRS et HRS aux différentes températures [105]. 55

1.29 Commutations de résistances stables à (a) 100 K et (c) 400 K. Endurance pour 10^7 cycles à (b) 100 K avec des impulsions électriques de set de 1,15 V durant 28 ns et de reset de -1,55 V et (d) 10^8 cycles at 400 K avec un set de 0,9 V et un reset de -1,35 V [105]. 56

1.30 Courant en fonction de la tension appliquée sur le dispositif 1T1R mesuré entre 25 K et 300 K. L'OxRAM consiste en un empilement de TiN/Ti/HfO_2/TiN [106]. 57

1.31 I_{ds} en fonction de V_{ds} pour les CMOS polarisés avec une tension de grille de 1,5 V entre 25 K et 300 K [106]. 57

1.32 Balayage de tension quasi-statique pour les dispositifs 1T1R TiN/HfO_x/TaO_y/TiN à différentes températures. (b) État de résistance calculé en fonction de la température mesuré à 0,2 V [107]. 58

1.33 Endurance de la structure 1T1R à base de TiN/HfO_x/TaO_y/TiN à 8 K [107]. 58

1.34 Relation entre les classes cristallines diélectriques, piézoélectriques, pyroélectriques et ferroélectriques. [109] 61

1.35 Représentation schématique de la polarisation en fonction du champ électrique pour un matériau (a) diélectrique, (b) paraélectrique et (c) ferroélectrique. 62

1.36 Dépendance des différents groupes cristallographiques en fonction du dopage et du traitement thermique [122]. 63

1.37 Représentation schématique des structures de phases du HfO_2. (a) Phase tétragonale $P4_2/nmc$ [127], (b) phase orthorhombique polaire $Pca2_1$ [127], (c) phase monoclinique $P2_1/c$ [124], (d) phase cubique $Fm\bar{3}m$ [124], (e) phase rhombohedrale $R3m$ [129] et (f) phase orthorhombique antipolaire $Pcba$ [130]. [131] . . . 64

1.38 Cycle d'hystérésis et profil de diffraction aux rayons X (XRD) pour des échantillons présentant différentes concentrations de HfO_2 et de ZrO_2 [133]. . . . 65

1.39 Les trois architectures de dispositif unitaire de mémoire ferroélectrique et leurs réponses en courant respectives en fonction du temps ou de la tension pour les deux directions de polarisation (a) FeRAM, (b) FeFET et (c) FTJ [140]. . . . 65

1.40 (a) Coupe STEM d'une plaque 200 mm à base de technologie CMOS 130 nm et (b) FeCap intégrées entre M4 et M5 dans le BEOL de l'intégration [146]. . . . 66

1.41 Représentation schématique des impulsions de tension de la séquence PUND et de cyclage [146]. . . . 67

1.42 (a) Courant transitoire en fonction du temps, avec les impulsions électriques superposées. (b) Courant transitoire en fonction de la tension appliquée. . . . 68

1.43 (a) Cycle d'hystérésis en fonction de la tension pour différents cycles et (b) $2{\cdot}P_r$ en fonction du nombre de cycle pour une FeCap mesurée à 300 K. . . . 68

1.44 Courant transitoire de la séquence d'impulsion PUND sur une FeCap vierge à l'état pristine, montrant le double-pic de courant. . . . 69

1.45 Cycles d'hystérésis pour du ZrO_2 et du $Hf_{0.3}Zr_{0.7}O_2$ à 230 K et 80 K [133]. . . . 71

1.46 Cycles d'hystérésis mesurés à différentes températures pour des champs électriques maximum de 0,5, 1,0, 1,5, et 2,0 MV/cm. Les flèches dans les graphiques indiquent les évolutions de tendances des cycles d'hystérésis avec l'augmentation de la température [159]. . . . 71

1.47 Cycle d'hystérésis extrait de la méthode PUND pour un champ électrique maximum de 3,0 MV/cm aux différentes températures [159]. . . . 72

1.48 (a) Contours d'inténsité des diagrammes de diffraction de rayon X (GIRXD) à incidence rasante de couches minces de 40 nm de HfO_2 dopé en Si à 4.5 %. Diagrammes GIXRD effectué à (b) 410 K, (c) 350 K, (d) 275 K, (e) 200 K, (f) 125 K et (g) 110 K . Les cycles d'hystérésis correspondants à (h) 410 K, (i) 350 K, (j) 275 K, (k) 200 K, (l) 125 K et (m) 110 K respectivement [121]. . . . 73

1.49 (a) Cycle d'hystérésis aux différentes températures. (b) Polarisation rémanente et champs coercitifs correspondants, mesurés sur du HZO d'épaisseur 20 nm[160]. . . . 73

1.50 (a) Polarisation rémanente en fonction du nombre de cycles pour des FeCap mesurées à 100 K, 300 K et 450 K. (b) Cycle d'hystérésis en fonction du nombre de cycles pour une FeCap mesurée à 300 K [160]. . . . 74

1.51 Évolution de la fenêtre de mémoire de FeCap à base de HZO avec des cycles de fatigue de 293 K à 33 K. Encadré : Tracé de la fonction dépendant de la température ln(R(T)) vs 1000/T pour T = 293 K, 250 K, 220 K, 160 K, et 130 K. (b) Fenêtre mémoire en fonction de la température de T = 293 K à 33 K à certaines étapes du cyclage [161]. . . . 74

1.52 (a) Cycle d'hystérésis d'échantillons mesurés à l'état vierge aux différentes températures et (b) courant de commutation en fonction du champ électrique entre 80 K et 380 K [136]. . . . 75

1.53 Endurance des FeCap à base de HZO à 4, 77, 300, 358 et 400 K à des tensions appliquées de 2,5 et 3,5 V. L'étude est menée sur du $Hf_{0.5}Zr_{0.5}O_2$ épais de 10 nm déposé par PEALD, encapsulé entre deux couches de TiN, recuit à 450°C. [163] . . . 75

1.54 Cycle d'hystérésis mesuré à 300 K, 220 K, 150 K, 77 K sur des FeCap à base de HZO d'une épaisseur de 6,3 nm [164]. . . . 76

2.1 Représentation schématique du protocole de forming. . . . 79

2.2 Mesure de la résistance de read (R_{read}) effectuée après chaque impulsion croissante lors du forming d'un dispositif OxRAM, conformément au protocole de ce travail. La ligne pointillée représente la résistance de seuil ($5 \times 10^4 \Omega$) utilisée pour détecter la création du CF. 80

2.3 Tension de forming médiane avec écart type en fonction de la température. L'encadré montre la distribution cumulative des 20 dispositifs mesurés à chaque température [167]. 80

2.4 Graphique de la courbe de charge pour la détermination du pont diviseur de tension durant l'opération de set. La caractéristique I_d-V_d du transistor correspondant aux différents V_g des niveaux de courant de 100 (rouge), 200 (bleu) et 300 (vert) μA est superposée avec les courbes de charge des résistances (lignes droites) correspondant à la résistance de lecture après programmation dans les mêmes conditions de set et avec V_{set} à 2 et 3 V. Les points pour 2 V et les triangles pour 3 V indiquent les courants I_{set} mesurés pendant la programmation sur le V_{set} correspondant. La chute de tension sur le 1R (V_{1R}) est déterminée par la différence entre V_{set} et la perpendiculaire à l'intersection de la ligne de charge avec la caractéristique I_d-V_d (ligne pointillée). Le courant de programmation est égal au niveau de saturation du transistor dans tous les cas où la ligne pointillée se trouve dans le régime de saturation du transistor [59]. 82

2.5 (a) Résistance médiane de l'OxRAM et (b) V_{1R} médian déterminé via la construction décrite en Figure 2.4, en fonction de I_{set}, comparé avec les résultats de la référence [90] pour la même durée de set. Les données sont cohérentes avec la référence [90] : V_{1R} est quasiment constant alors que la résistance suit une relation exponentielle avec I_{set} [59]. 83

2.6 Caractéristiques I_{ds}-V_{ds} des transistors ajustées pour délivrer un I_{set} de 100, 200 et 300 μA [167]. 84

2.7 LRS obtenus pour chaque température avec le courant de set correspondant. 15 opérations de set/reset successives sont appliquées sur les 5 dispositifs testés par I_{set} et par température [167]. 85

2.8 Courant mesuré en fonction de V_{1T1R} pour des LRS programmés à 300 K avec un I_{set} de 100, 200 et 300 μA. 86

2.9 Courant mesuré en fonction de V_{1R} pour des LRS programmés à 300 K avec un I_{set} de 100, 200 et 300 μA [167]. 87

2.10 Représentation schématique des impulsions de RVS. 89

2.11 Rampes de tensions médianes pour chaque valeur de β après une programmation d'un LRS avec I_{set} = 200 ou 300 µA. Le point de transition est défini comme le point d'inflexion de la courbe quand le courant commence à décroître [59]. 89

2.12 (a) Tension de reset médiane et courbes de fit, (b) courant de reset, et (c) durée de reset extraits des rampes de tension en fonction de β pour chaque transistor et I_{set} [59]. 90

2.13 (a) Caractéristique I_{ds}-V_{ds} à V_g utilisé pour les opérations de reset et de read obtenues avec : le bulk connecté à la masse et la source polarisée dans l'intervalle [0 ;0,8]V. Tous les transistors semblent être en régime linéaire jusqu'à 0,8 V. Pour vérifier cette hypothèse, (b) présente les résistances calculées comme V_{ds}/I_{ds} dans la gamme définie par l'abscisse. La variabilité augmente en réduisant la W du transistor, jusqu'à une erreur relative de 20% [59]. 91

2.14 Comparaison de R_{1R} au point de reset avec R_{1R} après set, suite à un filtrage des reset en régime linéaire (V_{reset} < 0,8 V). Les lignes continues tracent les valeurs attendues, les lignes pointillées représentent la marge d'erreur de 20%. [59] 92

2.15 V_{1R} médian en fonction de β pour les rampes de tension dans lesquelles le transistor est en régime linéaire. Le graphique montre une évolution commune pour tous les transistors et I_{set} confondus [59]. . 93

2.16 Comparaison de R_{1R} au point de reset avec R_{1R} après set, pour les reset non linéaires. Durant le reset, R_{1R} est calculé en utilisant le fitting de la Figure 2.15 pour la valeur de β correspondante, divisé par I_{reset}. Les lignes pleines tracent les valeurs attendues, tandis que les lignes pointillées représentent la marge d'erreur de 20%. La tendance correspond bien aux conditions de programmation, ce qui valide le fitting pour toute condition de reset [59]. 93

2.17 Tension minimale nécessaire pour obtenir la commutation pour β = 10^6 V/s pour deux transistors et deux I_{set}. Les résultats correspondent aux valeurs du fitting de la Figure 2.15 [59]. 94

2.18 R_{on} du transistor calculé comme V_{ds}/I_{ds} pour chaque température à V_{gs} = 4,5 V, V_{ds} = 0.4 V et V_s = 0 V. La différence entre 300 K et 40 K (ΔR_{on}) varie en fonction du transistor, bien que l'écart relatif (ϵ) soit comparable pour les deux transistors [167]. 95

2.19 Calcul de la perte de tension de reset sur le 1R causée par la résistance du sélecteur en série avec l'élément mémoire en fonction du LRS. Les calculs utilisent les valeurs de R_{on} de la Figure 2.18. Le sélecteur W660 présente un gain d'efficacité plus significatif en conditions cryogéniques [167]. 95

2.20 Caractéristique I_{ds}-V_{ds} des transistors avec les V_g adaptés à basse température pour obtenir la même valeur de R_{on} qu'à 300 K [167]. 96

2.21 RVS médian avec un temps de rampe de 1 s et 1 μs pour les deux transistors dans la configuration adaptée. Pour le transistor W3500, les courbes IV avant la transition de reset restent linéaires, tandis qu'à basse température, les courbes W660 divergent au-delà de 0,8 V à 300 K en raison du niveau de saturation réduit du transistor dans la configuration adaptée [167]. 97

2.22 Tension de reset moyenne $\pm$ écart-type extraits des RVS en fonction de β pour chaque température. Cinq dispositifs sont testés pour chaque température et configuration [167]. 98

2.23 Représentation schématique de la répartition de température dans le filament conducteur cylindrique. . . 99

2.24 V_{1R} en fonction de β pour les RVS du transistor W3500 en configuration adaptée pour chaque températures. 101

2.25 T_{crit} en fonction de β pour les RVS du transistor W3500 en configuration adaptée et à différentes températures. T_{crit} est similaire pour toutes les températures de mesure pour une valeur de β donnée. . . . 101

2.26 Tests d'endurance montrant l'évolution des LRS et HRS médians durant le cyclage obtenus en utilisant des pulses de programmation carrés de 1µs. Plus le R_{on} et I_{set} sont grands, plus le V_{reset} nécessaire pour ouvrir la fenêtre de programmation sera élevée. Augmenter V_{reset} au delà de cette limite réduira la cyclabilité. [59] 103

2.27 Représentation schématique de la cyclabilité de la structure 1T1R en fonction de R_{on} et des paramètres de programmation. [59] 104

2.28 Test d'endurance montrant l'évolution des valeurs médianes de LRS et HRS en fonction du nombre de cycles, pour différentes valeurs de V_{reset}. Les valeurs de HRS sont plus élevées pour le W660 en régime cryogénique, en raison de la variation notable de ΔR_{on} qui améliore le pont diviseur de tension. Cinq dispositifs sont testés pour chaque température et condition [167]. 105

2.29 (a) (b) Exemples de HRS "stable" et "instable" respectivement, durant cinq rampes de tension consécutives. (c) Ratio de HRS instables observés sur 60 programmations, montrant une baisse de l'instabilité à basse température [167]. 106

3.1 (a) Courant transitoire en fonction de la tension appliquée mesurée sur des FeCap vierges à 300 K pour les deux premières impulsions PUND, pour les deux polarités. (b) Courant transitoire pour les deux premières impulsions de même signe dans les deux séquences PUND et NDPU [146]. 110

3.2 (a) Courant transitoire en fonction de la tension appliquée mesurée sur des FeCap vierges pour les deux premières impulsions de la méthode PUND et à différentes températures. A basse température, les deux pics de courant majeurs (A et B) fusionnent pendant que la contribution A' se décale vers les tensions plus élevées. (b) Courant transitoire mesuré à 40 K jusqu'à 6 MV/cm pour observer le décalage de la contribution A' [146]. 111

3.3 Représentation schématique du mécanisme de déblocage de domaines pendant l'application d'une tension négative. Le dépiégage ou la redistribution de charges activée en température permet de débloquer des domaines [146]. 112

3.4 Exemple de non-linéarités à plusieurs branches dont est issu le caractère hystérétique. Reproduit à partir de la référence [201]. 113

3.5 Représentation de l'opérateur hystérétique élémentaire $\hat{\gamma}_{\alpha\beta}$. Reproduit à partir de la référence [201]. . . 113

3.6 Interprétation géométrique du modèle de l'équation (3.1). Reproduit à partir de la référence [201]. 114

3.7 Représentation schématique du protocole de mesure FORC. Reproduit à partir de la référence [201]. . . . 115

3.8 Interprétation géométrique de l'équation (3.3). La surface $T(\alpha, \beta)$ correspond à la portion d'opérateurs $\hat{\gamma}_{\alpha\beta}$ qui commutent dans le protocole décrit en Figure 3.7. Reproduit à partir de la référence [201]. 115

3.9 Représentation schématique de la séquence d'impulsions électriques appliquées dans la méthode FORC. . 116

3.10 (a) Courbes I-V mesurées pendant la séquence FORC appliquée sur une FeCap à 100 K entre $\pm$ 4 V. (b) Cycles d'hystérésis correspondants. 117

3.11 Densité de renversement calculée avec à partir de la méthode FORC à l'état vierge à 300 K et 40 K entre $\pm$4 V [146]. 118

3.12 Représentation schématique d'une mesure de capacité petit signal. 119

3.13 Constante diélectrique en fonction de la tension appliquée extraite depuis les mesures C-V sur des FeCap à l'état vierge à une fréquence de 100 kHz et une amplitude de 50 mV pour le signal AC [146]. 119

3.14 (a) Représentation schématique du montage expérimental des mesures GIWAXS avec un angle d'incidence α_{GIWAXS} (b) Définition de l'angle d'inclinaison de l'échantillon χ et de l'angle azimutal ϕ. [210] 120

3.15 (a) Exemple de carte obtenue pour chaque température. Diffractogrammes en géométrie (b) hors plan et (c) planaire obtenues après intégration azimuthale. 121

3.16 Évolution de la déformation du cuivre en fonction de la température lors du refroidissement et du chauffage, avec le coefficient moyen de dilatation thermique superposé. (Encart) Vue détaillée de l'évolution du pic Cu(220). 121

3.17 Diffractogramme obtenu par mesures GIWAXS pour différentes températures sur les FeCap testées électriquement. Les lignes verticales superposées correspondent aux pics des phases o-, t-, et m- ainsi qu'au TiN, d'après les fiches JCPDF 00-034-0104 (m-), 04-005-5597 (o-), et 04-011-8820 (t-) [146]. 122

3.18 (a) Cycle d'hystérésis mesuré sur une FeCap à l'état vierge à 300 K et 40 K. (b) Polarisation rémanente calculée en fonction de la température. (c) Courant transitoire mesuré sur une FeCap en réponse à la séquence PUND à 300 K et 40 K [146]. 123

3.19 Superposition du courant transitoire PUND mesuré avec le courant diélectrique calculé avec l'équation (3.10) à partir les mesures C-V sur une FeCap vierge à 300 K [146]. 123

3.20 (a) Courant transitoire de la séquence d'impulsion PUND mesuré à 250 K sur une FeCap à l'état vierge avec le courant diélectrique en gris calculé avec l'équation (3.10). (b) Calcul de P_{rev} associé aux charges de back-switching et au impulsions U et D en fonction de la température [146]. 124

3.21 P_{rev} en fonction de la température entre les deux tensions de saturation de la méthode PUND (rouge et bleu) ainsi que pour la première rampe de tension (vert) [146]. 125

3.22 P_{rev} en fonction de la température avec la polarité opposée avec la Figure 3.21 pour la première rampe de tension appliquée (vert) et les deux directions de rampe de tension du PUND (bleu et rouge). L'encadré représente la réponse transitoire du courant au PRE positif de la séquence NDPU [146]. 126

3.23 Profils d'enthalpie libre des températures critiques pour une transition de phase du premier ordre d'après la théorie de LGD. 128

3.24 Cycle d'hystérésis pour différentes températures modélisés grâce à la théorie LGD. 129

3.25 Profils d'enthalpie libre à 300 K (panel du haut) et à 40 K (panel du bas) pour un champ électrique nul (gauche) puis croissant (droite) [146]. 130

3.26 (a) $2{\cdot}P_r$ et (b) P_{rev} en fonction du nombre de cycles mesurés sur des FeCap cyclées jusqu'à $\pm$ 4 MV/cm pour des impulsions de cyclage qui ont une durée de 5 μs. La fréquence des impulsions PUND est de 10 kHz alors que les impulsions de cyclage ont une fréquence de 100 kHz (cf. Section 1.4.5) [146]. 131

3.27 Courant I-V de la mesure PUND pour différents cycles à (a) 300 K et (b) 40 K [146]. 131

3.28 Densités de commutations extraites avec la méthode FORC après wake-up à (a) 300 K et (b) 40 K [146]. . 132

3.29 Mesures C-V extraites après wake-up à (a) 300 K et (b) 40 K. 132

3.30 Courant transitoire mesuré par la méthode PUND sur une FeCap cyclée pour des tensions jusqu'à $\pm$ 6 MV/cm à 40 K, pour différents cycles. (b) P_{rev} et $2{\cdot}P_r$ en fonction du nombre de cycles [146]. 133

3.31 (a) P_{rev} en fonction du nombre de cycles pour les FeCap cyclées à $\pm$4 MV/cm à 300 K, 250 K, 200 K et 150 K avec la modélisation de l'équation (3.17) en pointillés. (b) Graphique d'Arrhenius de la fatigue permettant d'extraire l'énergie activation à partir de l'équation (3.20). 135

3.32 Courant transitoire PUND à 300 K et 40 K après cyclage à 10^4 cycles, avant puis après 60 minutes d'attente [146]. 136

3.33 (a) $2{\cdot}P_r$ en fonction du cycle à 300 K et 40 K après délai. (b) Imprint calculé comme : $\frac{1}{2}(|V_c^+| - |V_c^-|)$ en fonction du nombre de cycles. Les triangles représentent le niveau de référence correspondant au dernier cycle avant le délai [146]. 136

3.34 P_{rev} en fonction du nombre de cycle pour une FeCap pre-cyclée à 300 K puis cyclée à 40 K après 30 minutes de refroidissement. La P_{rev} d'une FeCap à 40 K sans pré-cyclage est représentée en pointillé pour permettre la comparaison. 137

3.35 Courant transitoire de la séquence PUND mesuré à différents cycles à 40 K pour la FeCap pré-cyclée à 300 K. Le courant transitoire d'une FeCap à 40 K sans pré-cyclage est représenté en pointillé. 138

3.36 $2{\cdot}P_r$ en fonction du nombre de cycle pour un FeCap Pre-cyclée à 300 K puis cyclée à 40 K après 30 minutes de refroidissement. $2{\cdot}P_r$ d'une FeCap à 40 K sans pré-cyclage est représenté en pointillé pour permettre la comparaison. 139

4.1 Représentation schématique du layout de la barrette 3$\times$16 kbit OxRAM. 143

4.2 Représentation schématique de la fonction des pads de la barrette des matrices 3x16 kbits. 143

4.3 Test de Tukey réalisé sur des matrices 16 kbit OxRAM cyclées en régime impulsionnel avec différents paramètres de programmation. Les barres d'erreur sont réalisées dans l'intervalle de confiance 95%. 256 dispositifs sont testés par condition. 146

4.4 Représentation schématique de la canne embarquant le dispositif testé dans la bouteille d'hélium [223]. . 147

4.5 Photographie du dipstick permettant d'effectuer des tests de matrices en cryogénie. L'instrument de mesure (1) est connecté vers les boites de sortie des câbles (2). Au bout de ces câbles (3) se trouve le PCB sur lequel sera fixé le dispositif (4). Le tout sera plongé dans la bouteille d'hélium (5). 148

4.6 Photographie du PCB OxRAM avec la puce reliés par le bonding. 149

4.7 Photographie de la carte mère avec la carte fille. Les motifs identiques sur les deux cartes sont les motifs de l'interposeur qui fera le lien entre le routage des deux cartes. Ce système permet un fonctionnement flexible de l'installation par l'intermédiaire de cartes filles adaptées aux différents échantillons. 150

4.8 Photographie de la carte fond de panier (CFP). La carte reproduit les motifs de la carte mère directement reliés à des sorties. Cette carte permet de vérifier la fonctionnalité d'une carte fille. 151

4.9 Distribution cumulative des tensions de forming sur une matrice 16kbit OxRAM testée sur la carte fond de panier. 151

4.10 Résistances des points mémoire de la matrice formée sur la carte fond de panier. Les niveaux de résistance montrent que le forming a fonctionné sur l'ensemble de la matrice. 152

4.11 Courant de read pour une tension V_{TE} de 0,2 V sur une matrice mémoire OxRAM testée sur la carte fond de panier, puis sur le dipstick. Une fuite de l'ordre du μA est mesurable sur le dipstick. 153

4.12 Distributions cumulative des écarts de résistance (ΔR) sur 1000 dispositifs en LRS lus à 300 K et à 4 K . . 154

4.13 Distribution cumulatives des résistances de set et reset des ensembles de 1024 dispositifs d'une matrice par condition, cyclées sur le dipstick à 300 K et à 4 K, puis sur un banc de test sous pointe. Les conditions de test sont similaires à celles utilisées pour les endurances de dispositifs unitaires en Figure 2.28. 155

4.14 Résistances médianes de HRS et LRS pour les tests d'endurance des sous-ensembles de 1024 dispositifs par condition d'opération. Les lignes pointillées représentent les niveaux de résistance atteints sur les dispositifs unitaires en Figure 2.28. 155

4.15 Exemple d'une mesure de RTN dans laquelle plusieurs niveaux de courant peuvent coexister. 156

4.16 Diagramme en boite de l'amplitude maximale de courant pour les différentes conditions de test et de température. 157

Liste des tableaux

1.1 Récapitulatif des démonstrateurs intégrant des mémoires résistives, issu de la référence [50]. 44
1.2 Récapitulatif des études d'OxRAM à basse température 60

Chapitre 1

Introduction

Les mémoires de stockage (Storage Class Memories, SCM) représentent une nouvelle génération de mémoires non volatiles qui se situent entre la mémoire centrale et la mémoire de masse en termes de performances. Leur objectif est de combiner la vitesse et la faible latence de la DRAM avec la durabilité et la non-volatilité de la Flash, offrant ainsi la possibilité de réduire les goulets d'étranglement entre processeur et mémoire. Parmi les technologies émergentes étudiées pour les SCM figurent les mémoires résistives (RRAM), les mémoires à changement de phase (PCM) et les mémoires ferroélectriques (FeRAM). Ces mémoires sont particulièrement prometteuses pour les applications nécessitant des traitements intensifs de données, comme l'intelligence artificielle ou le calcul de haute performance.

En parallèle, l'électronique cryogénique connaît un essor rapide, porté par l'intérêt croissant de plusieurs domaines d'application. Les architectures d'ordinateurs quantiques atteignent désormais un niveau de maturité significatif, avec des ensembles de circuits déjà opérationnels. Pour assurer le fonctionnement complet de ces systèmes, l'intégration d'une mémoire centrale dotée d'une compatibilité avec les températures cryogéniques devient indispensable.

De plus, la croissance continue du nombre de centres de données soulève des enjeux majeurs en matière de consommation énergétique et de dissipation thermique. L'exploitation de ces infrastructures à basse température apparaît comme une voie prometteuse, mais requiert, elle aussi, des dispositifs mémoire capables de fonctionner en environnement cryogénique. Finalement, le développement du secteur spatial, rythmé par l'envoi croissant d'engins dans l'espace, impose l'utilisation de composants électroniques pouvant résister à de fortes variations de température, incluant des régimes cryogéniques. Dans ce contexte, les mémoires émergentes, telles que les OxRAM et FeRAM à base de HZO qui présentent une endurance élevée et consomment peu d'énergie, apparaissent comme des candidats prometteurs pour les applications cryogéniques.

Contents

1.1 Un contexte favorable aux mémoires émergentes. 27

1.1.1 Les technologies de mémoire actuelles et leurs limites 27

1.1.2 Les mémoires émergentes et leurs avantages 30

1.2 Les applications de l'électronique cryogénique 32

1.2.1 Les applications mémoire conventionnelles 32

1.2.2 Les applications mémoire non conventionnelles 35

1.2.3 Enjeux de la thèse 36

1.3 Les mémoires résistives à base d'oxyde 38

1.3.1 Principe de fonctionnement de la mémoire résistive 38

1.3.2 Intégration du point mémoire résistif dans une architecture matricielle 41

1.3.3 Caractérisation électrique des RRAM 45

1.3.4 État de l'art de la caractérisation électrique d'OxRAM à basse température. 48

1.3.5 Conclusion sur les OxRAM à basse température et objectifs 58

1.4 Les mémoires ferroélectriques 61

1.4.1 Principe de la ferroélectricité 61

1.4.2 Le développement des matériaux ferroélectriques pour l'application mémoire 62

1.4.3 L'oxyde d'hafnium 63

1.4.4 Intégration de la FeCap pour des mémoires ferroélectriques 65

1.4.5 Caractérisation électrique des FeCap 67

1.4.6 État de l'art des propriétés FE des FeCap à basse température 70

1.1 Un contexte favorable aux mémoires émergentes.

Amorcé dans les années 1960, le passage à l'ère numérique constitue la dernière grande révolution en matière de traitement, de stockage et de diffusion de l'information. Cette transition, toujours en cours, repose sur une succession d'innovations technologiques qui ont chacune contribué à redéfinir la place de la donnée dans nos sociétés.

Dans les années 1960 et 1970, les premiers processeurs étaient utilisés dans de vastes salles informatiques centralisées. Associés à des centres de données rudimentaires, ils servaient principalement à des calculs scientifiques, à la gestion comptable à grande échelle ou au contrôle de systèmes industriels et militaires. Le stockage de données y était massif mais confiné à quelques institutions disposant des ressources nécessaires.

À partir des années 1980, le développement du transistor en silicium (Si) a permis la miniaturisation des composants, ensuite modélisé par la loi de Moore, qui stipule que le nombre de transistors par processeur va doubler tous les ans. Cette évolution initia le développement des microprocesseurs et des ordinateurs personnels. La puissance de calcul et la capacité de stockage, autrefois réservées aux grandes entreprises et aux gouvernements, se sont progressivement démocratisées. L'utilisateur, qui est un particulier, utilise les données à des fins personnelles. C'est l'émergence de l'industrie du divertissement numérique (musique, films, jeux).

Dans les années 2000, l'émergence des réseaux sans fil et la généralisation de l'internet se sont accompagnées d'une nouvelle étape : le cloud computing. Les données ont été découplées des appareils physiques, rendant possible l'accès depuis n'importe quel terminal connecté. Cette évolution a été amplifiée par la poursuite de la miniaturisation, toujours modélisée par la loi de Moore : les ordinateurs deviennent au fil du temps plus petits, plus rapides et moins chers, à mesure que les transistors sur circuits intégrés deviennent plus efficaces. Cela a donné naissance aux smartphones et à une nouvelle génération de terminaux intelligents accessibles à tous. La possibilité d'optimiser le fonctionnement d'un objet en le rattachant au cloud et en le contrôlant avec le smartphone a ouvert la voie à la connexion d'objets autrefois non numériques, marquant l'émergence de l'Internet des objets (IoT). Des objets autrefois "passifs" sont devenus connectés et communicants : montres, capteurs, enceintes vocales, caméras, véhicules, dispositifs domotiques, etc. Le monde physique s'est peu à peu digitalisé, et les appareils échangent désormais en continu avec des plateformes à distance hébergées dans le cloud.

En 2025, une nouvelle phase s'amorce avec le développement rapide de l'intelligence artificielle. Les objets ne sont plus simplement connectés mais deviennent autonomes. La quantité de données massives stockées par les datacenters et leur diffusion permettent aux machines d'apprendre ou d'identifier des motifs.

Chaque avancée s'est appuyée sur une infrastructure de stockage toujours plus performante et accessible. Mais après plusieurs décennies de croissance exponentielle, le modèle fondé sur la loi de Moore atteint ses limites. La miniaturisation continue des transistors devient physiquement et économiquement difficile, tandis que les besoins en stockage rapide, dense et économe en énergie explosent. Le regroupement d'une très grande quantité de dispositifs mémoire dans les datacenters accélère les problématiques de consommation et de dissipation de chaleur associés. La réduction de consommation des dispositifs utilisés, notamment les mémoires, semble essentielle dans ce contexte. En parallèle, les objets connectés autonomes ont besoin d'effectuer des opérations et de stocker des données de manière constante, ce qui nécessite une mémoire rapide ainsi que coûts de fabrication et énergétique raisonnables. Ce contexte met en lumière l'importance stratégique des mémoires émergentes, dont les propriétés pourraient répondre aux nouvelles exigences du numérique et soutenir les prochaines révolutions technologiques.

1.1.1 Les technologies de mémoire actuelles et leurs limites

Selon l'architecture de Von-Neumann, un ordinateur repose sur deux composants essentiels : l'unité centrale de traitement (CPU) et la mémoire. Cette dernière doit contenir simultanément les instructions à exécuter et les données à traiter, permettant au CPU de fonctionner de manière séquentielle.

La mémoire est organisée selon une hiérarchie (Figure 1.1), répartie en plusieurs niveaux distincts. Chaque niveau repose sur une technologie spécifique, pour profiter de leurs différents avantages (densité, coût, consommation énergé-

tique, etc.). Plus la mémoire est proche du processeur, plus elle doit être rapide, au détriment d'un coût plus élevé et de capacités de stockage et de dimensionnement plus faibles. Inversement, les mémoires plus éloignées offrent de grandes capacités de stockage mais sont moins rapides.

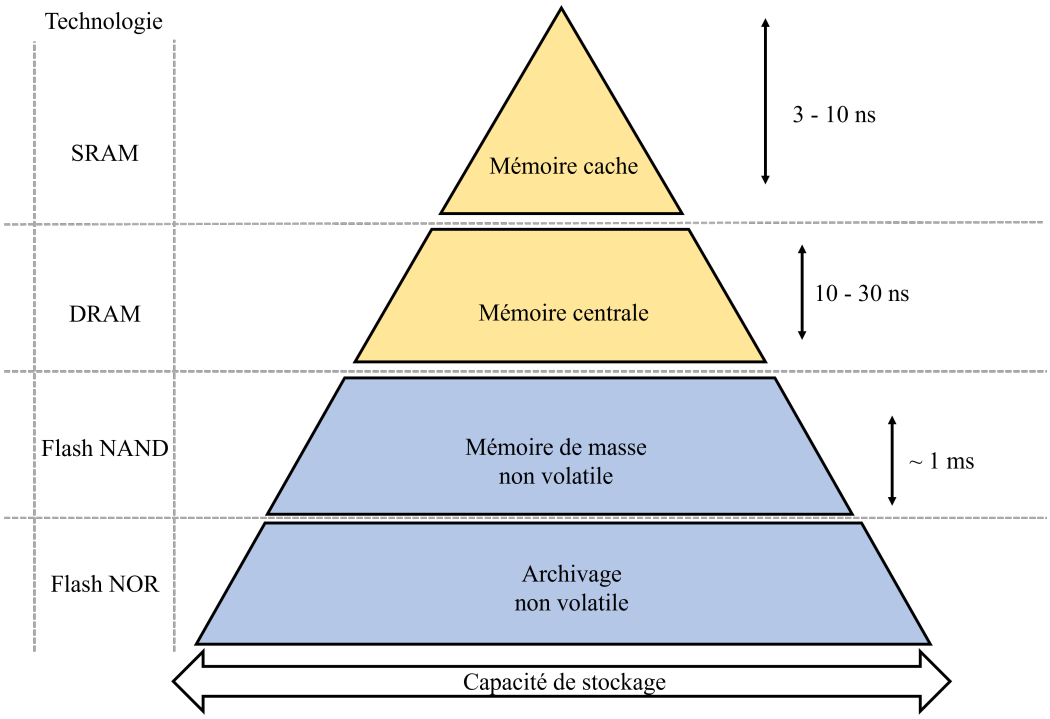

Figure 1.1 – Représentation des différents niveaux de mémoire dans un ordinateur, avec les temps d'accès typiques, extraits de la référence [1].

Le premier niveau de mémoire est la mémoire cache, intégrée directement dans le CPU pour opérer à la même vitesse que ce dernier. Ce type de mémoire est utilisé pour stocker les données fréquemment consultées afin de profiter du temps de réponse minimal de l'ordre de la nanoseconde [1], ce qui permet d'améliorer les performances globales de l'ordinateur. Cette mémoire repose sur la technologie SRAM (Static Random Access Memory), dans laquelle chaque cellule est constituée de six transistors formant l'architecture SRAM-6T : quatre transistors forment deux inverseurs croisés assurant une bascule bistable, et les deux autres servent de transistors d'accès (Figure 1.2). Cette structure garantit un accès rapide, mais sa complexité limite la densité d'intégration, ce qui en fait une mémoire de petite capacité. Cette mémoire est volatile : elle conserve l'information seulement durant l'alimentation du circuit, lorsque l'ordinateur est en fonctionnement sous tension. La densité de SRAM pouvant être embarquée dans le CPU est limitée. De plus, cette technologie a un coût ainsi qu'une consommation importante, alors que sa structure de base (embarquant six transistors) limite son dimensionnement. Pour compléter la mémoire cache, la mémoire centrale, ou mémoire vive dynamique (Dynamic Random Access Memory DRAM) est positionnée sur la carte mère et reliée au CPU par l'intermédiaire d'un bus, ce qui augmente le temps d'accès mais permet d'embarquer beaucoup plus de dispositifs. Chaque cellule de DRAM est formée d'un condensateur pouvant stocker une charge, accompagné d'un transistor d'accès. Cette structure plus compacte que la SRAM, présentée en Figure 1.2, entraîne un coût restreint, une consommation réduite ainsi qu'un potentiel de miniaturisation plus élevé. L'information est encodée par la présence ou l'absence de charge électrique sur le condensateur. Cependant, cette charge s'atténue rapidement, ce qui nécessite un rafraîchissement périodique (généralement toutes les quelques millisecondes), expliquant son caractère volatile.

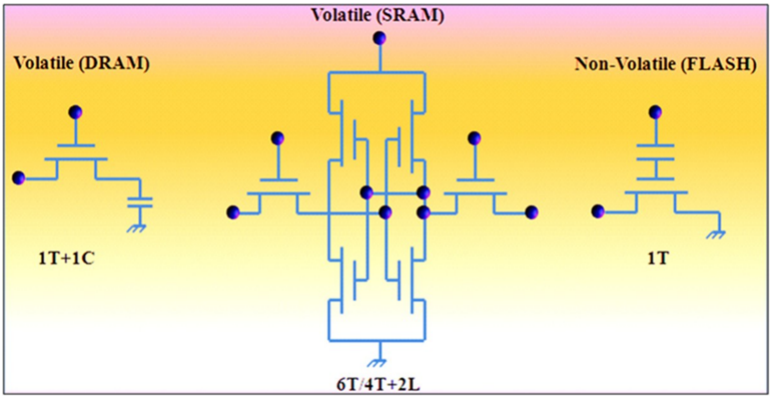

FIGURE 1.2 – Circuits des structures unitaires pour les mémoires DRAM, SRAM et flash [2].

Enfin, les mémoires de masse, telles que les disques statiques à semi-conducteurs (SSD), ont pour but de conserver les informations lorsque l'ordinateur est hors tension. Ces mémoires non volatiles sont principalement basées sur la mémoire flash. Celle-ci consiste en un transistor CMOS (Complementary Metal-Oxide-Semiconductor) possédant une grille flottante isolée électriquement, et située entre la grille de commande et le canal. Des électrons y sont piégés pour encoder l'information : leur présence ou leur absence modifie le seuil de tension du transistor, ce qui permet l'encodage du 0 et du 1 logique. Cette technologie peut conserver l'information sur des années, mais elle est significativement plus lente que la DRAM et a un nombre limité de cycles d'écriture avant dégradation. La mémoire flash peut se décomposer en deux structures NOR et NAND en fonction des interconnexions utilisées pour relier les cellules mémoires dans une matrice. Dans les matrices NOR, les cellules mémoire sont connectées en parallèle aux bit lines, qui permettent aux cellules d'être lues et programmées individuellement (Figure 1.3). Dans les flash NAND les cellules sont connectées en série. Cela permet de limiter les interconnexions et ainsi de réduire l'espace occupé. En revanche cette architecture rallonge les durées d'écriture et de lecture des cellules. Les flash NOR ont un temps de latence suffisamment faible pour être embarquées dans des appareils électroniques. Les flash NAND ont une très bonne capacité de miniaturisation mais ont un temps de latence important. Elles sont par conséquent utilisées pour l'archivage, dans les appareils ayant pour fonction le stockage de données sur de longues périodes (clés USB ou des disques durs).

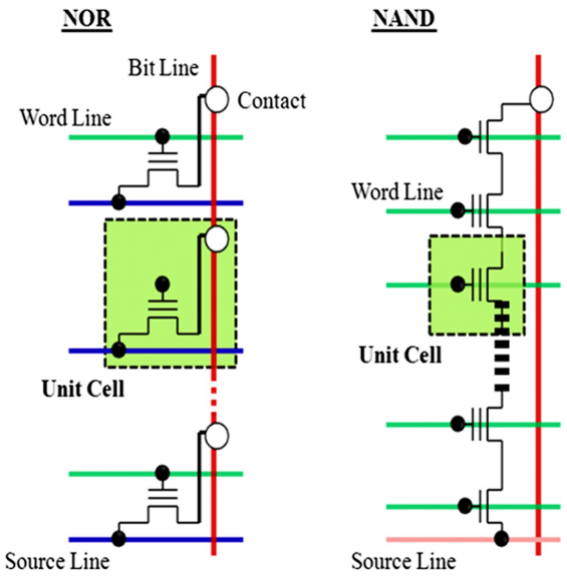

FIGURE 1.3 – Comparaison des architectures en matrice des mémoire flash NAND et NOR [2]

Avec l'essor des volumes de données, du cloud computing, et la montée en puissance de l'intelligence artificielle (IA) et de l'Internet des objets (IoT), les besoins en capacité mémoire, en rapidité d'accès et en efficacité énergétique ont considérablement augmenté. Ces nouveaux usages nécessitent des architectures capables de traiter et stocker des

données en continu, avec des temps de latence très faibles et une consommation énergétique maîtrisée.

De plus, les technologies actuelles rencontrent plusieurs limites fondamentales. Il y a tout d'abord la limite de la miniaturisation : les cellules de mémoire flash NOR deviennent difficilement intégrables en dessous du nœud technologique de 28 nm [3]. Cela s'explique par des problèmes de rétention de charge, de bruit d'interférence et de variabilité des transistors, mais aussi des tensions d'opération des transistors réduites aux noeud avancés non compatibles avec un fonctionnement efficace de la mémoire.

Ensuite, les décalages temporels entre le CPU et la mémoire centrale constituent un goulet d'étranglement appelé "memory wall", qui freine les performances globales du système. Cela est particulièrement critique pour les applications de l'IA, qui nécessitent un accès rapide à de vastes ensembles de données. Finalement, les DRAM, avec leur besoin constant de rafraîchissement, et les mémoires flash, avec leur temps de latence élevé, génèrent une consommation énergétique non négligeable, notamment dans les datacenters où la charge de calcul est continue.

Afin de résoudre une partie de ces problématiques, une nouvelle catégorie de la hiérarchie mémoire, appelée "Storage Class Memory" (SCM) est envisagée. Cette nouvelle classe se situerait entre la mémoire centrale et la mémoire de masse, combinant les avantages de ces deux catégories. En effet, une technologie non volatile avec des temps d'écriture et de lecture comparables voire supérieurs à ceux de la DRAM, doté d'un fort potentiel de miniaturisation, combiné à un coût et une consommation réduite, permettrait de résoudre certaines des problématiques évoquées. Plusieurs technologies actuellement en développement sont identifiées pour la SCM, telles que les mémoires à changement de phase (PCM), mémoires magnétique (MRAM), mémoires résistive (ReRAM), ou mémoires ferroélectriques (FeRAM) ainsi que vers des paradigmes alternatifs comme le calcul en mémoire (in-memory computing). Ces technologies reposent sur des principes physiques très distincts, et ont donc des propriétés différentes qui les rendront intéressantes pour diverses applications. Au sein des SCM, les mémoires RRAM auront plutôt des propriétés pour se substituer aux mémoires flash alors que les FeRAM auront des similitudes avec la DRAM. L'objectif des SCM est de résoudre le memory wall en proposant des dispositifs capables d'unifier les fonctions de stockage et de traitement, en conciliant densité, vitesse, faible latence et efficacité énergétique, afin de répondre aux exigences de la prochaine génération de systèmes intelligents.

1.1.2 Les mémoires émergentes et leurs avantages

Les mémoires émergentes désignent un ensemble de technologies de stockage non volatile en cours de développement ou de commercialisation, conçues pour dépasser les limites des mémoires traditionnelles comme la DRAM et la mémoire flash. Leurs propriétés permettraient de combiner les avantages des différentes couches de la hiérarchie mémoire : vitesse, densité, non-volatilité, faible consommation, et parfois même capacité de calcul. Les mémoires émergentes sont regroupées en quatre types : les mémoires magnétiques (MRAM), les mémoires à changement de phase (PCRAM), les mémoires résistives filamentaires (RRAM) et enfin les mémoires ferroélectriques (FeRAM)

La MRAM à écriture par transfert de spin (SST-MRAM, appelée MRAM) est composée d'une couche magnétique de référence et d'une couche magnétique libre, séparées par une jonction tunnel magnétique (MTJ). Lorsque le courant traverse la couche de référence, les électrons acquièrent une polarisation de spin. Ces spins peuvent orienter la magnétisation de la couche libre en passant par la MTJ. Le sens de magnétisation de la couche libre encode l'information binaire.

La PCRAM utilise la différence de conductivité électrique entre les phases amorphes et cristallines d'un matériau à changement de phase. L'information est stockée dans la PCRAM par la cristallisation ou l'amorphisation de la couche active, aboutissant à des valeurs de résistance différentes encodant l'état binaire 0 ou 1.

Dans les RRAM , l'information est aussi stockée sous forme de résistance. Dans cette technologie, les états de résistances reposent sur la création et la rupture d'un filament conducteur dans une couche à l'origine isolante, permettant de passer d'un état de résistif à un état conducteur et vice-versa.

Les FeRAM sont des mémoires capacitives possédant une polarisation spontanée en l'absence de champs électrique appliqué. Cette polarisation peut être renversée par l'application d'un champ électrique externe. Ces deux états de polarisation encodent le 0 et le 1 logique.

Bien que leurs mécanismes de fonctionnement soient différents, les mémoires émergentes partagent de nombreux avantages par rapport à la mémoire flash : une meilleure endurance, une efficacité énergétique accrue, ainsi qu'une vitesse d'écriture améliorée. Les performances globales de ces technologies se rapprochent de celles des DRAM, mais ont comme principal avantage d'être non volatiles. De plus, les RRAM, PCRAM et FeRAM sont compatibles avec une programmation multi-niveaux (programmation de plusieurs bits dans la même cellule mémoire), exploitable pour la création d'architectures innovantes et pour l'IA. Tous ces avantages ont poussé le secteur de la microélectronique à s'intéresser à ces technologies dans le but de remplacer les technologies actuelles. La chronologie des démonstrateurs de mémoires émergentes par des industriels avec leur noeud technologique associé est représenté en Figure 1.4.

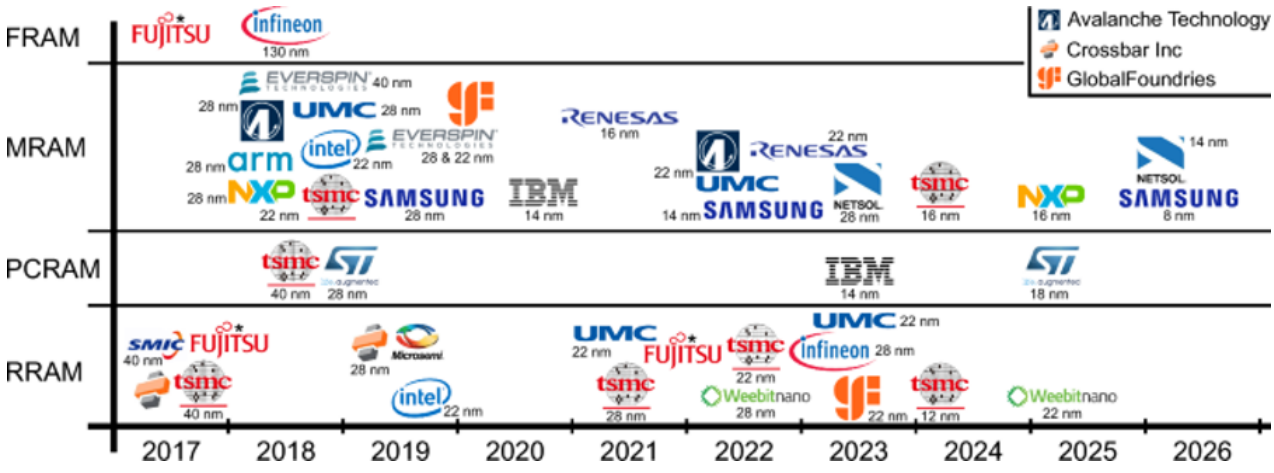

FIGURE 1.4 – Chronologie des démonstrateurs récents de mémoires non volatiles, avec leur nœud technologique (d'après la référence [4]).

Les meilleures performances obtenues sur ces technologies sont représentées en Figure 1.5. Il faut toutefois rappeler que pour chaque technologie les performances varient avec les matériaux utilisés, les procédés de fabrication, ou encore le noeud technologique atteint. Ce graphique montre les principales métriques pour qualifier les performances des mémoires, les meilleures étant situées à droite, afin de visualiser les points forts et points faibles de chacune des technologies.

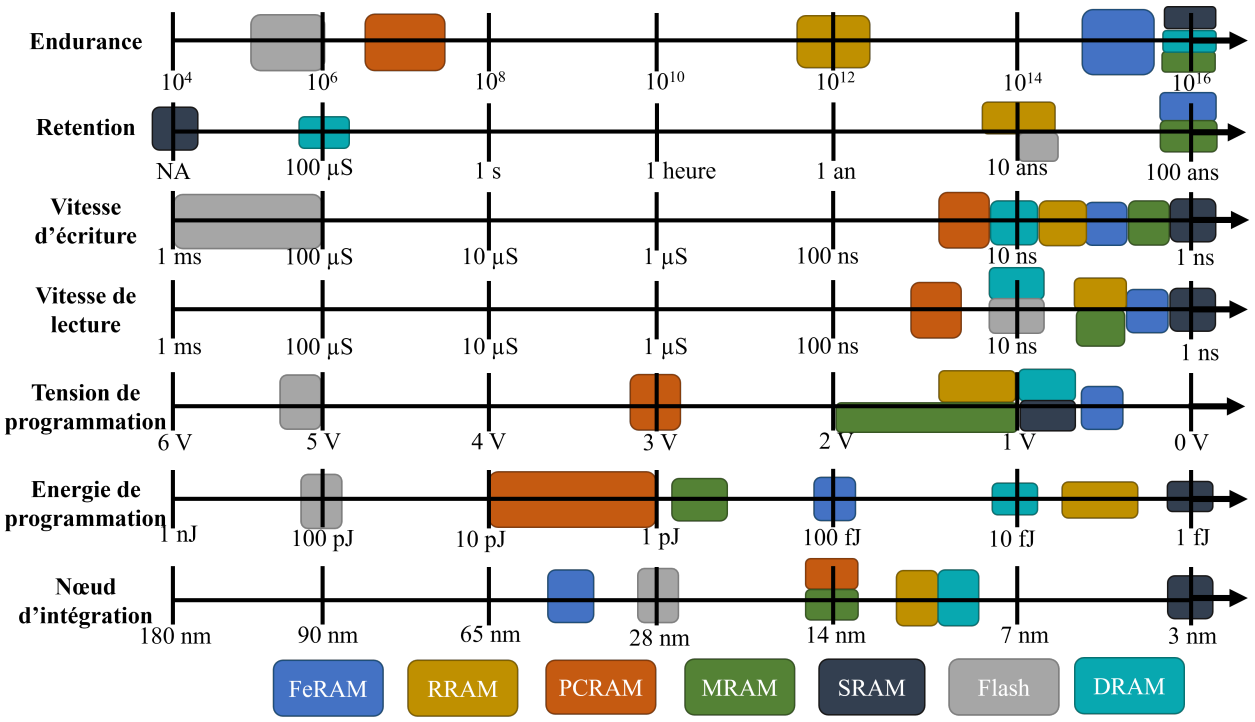

FIGURE 1.5 – Comparaison des propriétés des technologies de mémoire. Le format reproduit celui de la référence [5] et les valeurs sont issues de la référence [4].

Une des principales applications des mémoires émergentes est l'électronique embarquée. Les applications embarquées concernent l'électronique grand public, c'est à dire les smartphones, tablettes, caméras... Comme nous l'avons vu dans l'introduction, la demande de mémoire compatible avec l'IoT va fortement croître dans les prochaines années. Les mémoires embarquées dans l'IoT auront besoin d'une faible consommation électrique, d'une capacité de lecture et d'écriture accrue ainsi que d'une forte endurance. Ces besoins correspondent aux caractéristiques des mémoires émergentes. D'autres besoins plus spécifiques peuvent être requis, comme une résistance à hautes et basses températures pour l'industrie automobile, qui nécessite un bon fonctionnement de -40 à 150°C (Standard AEC Q100 grade 0).

Si ces secteurs représentent les applications classiques des mémoires émergentes, l'essor récent de l'électronique cryogénique ouvre désormais la voie à de nouvelles perspectives d'utilisation à des températures bien en-dessous de -40°C.

1.2 Les applications de l'électronique cryogénique

1.2.1 Les applications mémoire conventionnelles

Les technologies fonctionnant à très basse température ont connu un développement rapide au cours des dernières années. L'électronique cryogénique regroupe l'ensemble des dispositifs opérant en dessous de -150 °C. Les besoins dans ce domaine concernent principalement trois secteurs : le spatial, le calcul haute performance et l'informatique quantique.

Parmi ces domaines, l'informatique quantique représente un axe de recherche particulièrement prometteur, susceptible de transformer en profondeur les capacités de calcul actuelles. Dans un ordinateur classique, le traitement de l'information repose sur un processeur qui exécute des opérations logiques sur des unités binaires appelées bits, chacun pouvant prendre uniquement la valeur 0 ou 1. En revanche, l'informatique quantique s'appuie sur des bits quantiques ou qubits, qui tirent parti des principes de la mécanique quantique. Contrairement aux bits classiques, les qubits peuvent exister dans une superposition d'états, c'est-à-dire être simultanément dans les états 0 et 1. Cette propriété, associée à d'autres phénomènes tels que l'intrication quantique, ouvre la voie à un nouveau paradigme de calcul. Celui-ci pourrait

non seulement dépasser largement les performances des processeurs classiques, mais aussi permettre de résoudre des problèmes qui demeurent aujourd'hui hors de portée des architectures conventionnelles.

Pour passer du qubit à l'ordinateur quantique, il faut repenser l'architecture matérielle globale. En effet, les qubits sont des systèmes quantiques particulièrement fragiles, dont la cohérence, c'est-à-dire la préservation de la superposition d'états, peut être rapidement dégradée par le bruit thermique. Les qubits doivent donc opérer à une température proche du zéro absolu (10/20 mK) [6]. Si l'on devait les contrôler avec un processeur situé à température ambiante, cela induirait plusieurs problèmes. Celui-ci ne pourrait pas piloter plus de quelques centaines de qubits (alors que pour être efficace, un ordinateur quantique devra en posséder des millions [7]), en raison du nombre limité de connexions physiques possibles entre la température ambiante et le dispositif quantique à température cryogénique. Par ailleurs, ces interconnexions métalliques engendreraient une fuite thermique importante, due à un gradient thermique d'environ 300 K, dégradant la cohérence des qubits. Enfin, les temps de cohérence de ces qubits sont de l'ordre de quelques nanosecondes à quelques microsecondes [6], et la latence induite par la distance entre processeur et qubits réduirait significativement les performances de ces derniers [7], [8]. Pour toutes ces raisons, le processeur de contrôle devra être plongé à température cryogénique. Cela permettrait par ailleurs d'utiliser des interconnexions supraconductrices, qui ne fonctionnent qu'à ces températures, afin de minimiser la dissipation de chaleur [9]. Pour ces mêmes raisons, il est intéressant de placer les mémoires à proximité des qubits et du processeurs, et par conséquent, de développer des mémoires cryogéniques.

Un exemple d'architecture d'ordinateur quantique est présenté en Figure 1.6. L'interface avec l'utilisateur sera gérée par le système hôte qui fonctionne à température ambiante (environ 300 K). Il fournit au processeur de commande ainsi qu'à la mémoire cryogénique les programmes à exécuter. Les instructions sont extraites de la mémoire vers le processeur de contrôle, puis décodées et exécutées par le processeur de contrôle. L'ordinateur de contrôle aura aussi la fonction de stocker les états intermédiaires générés par l'unité d'exécution et de contrôleur de corrections d'erreurs quantiques.

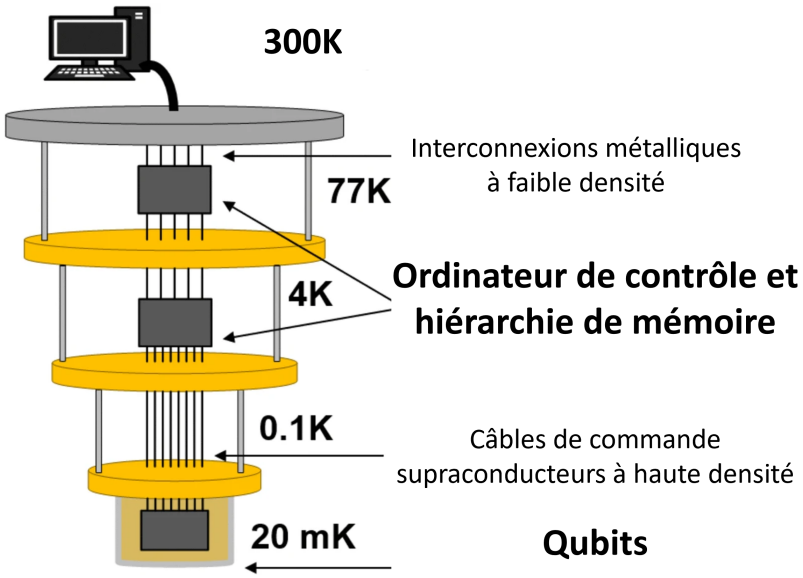

Figure 1.6 – Profil thermique potentiel d'un ordinateur quantique [8]

Les ordinateurs quantiques auront besoin d'une capacité de mémoire significative (10 à 100 Gb) [7], pour stocker tous ces programmes, mais aussi pour stocker des données. Par exemple, lorsqu'un ordinateur quantique utilise un code de correction d'erreurs quantiques avec N qubits, chaque cycle de détection et de correction d'erreurs prend environ 200 nanosecondes [10]. Cela signifie qu'à chaque intervalle de 200 nanosecondes, on génère environ N/2 bits d'information classique (c'est-à-dire des données non quantiques) qu'il faut stocker dans la mémoire du processeur de contrôle [7].

Dans les premières générations d'ordinateurs quantiques, il sera essentiel d'enregistrer ces données. Chaque instruction et chaque mesure fournira en effet des informations précieuses. Ces données permettront de créer des modèles statistiques pour mieux comprendre le bruit quantique (les perturbations) et la fiabilité des portes quantiques (les opérations logiques sur les qubits) [7].

Des technologies de mémoire supraconductrices sont actuellement en développement [11], [12], [13] mais ne peuvent pas être utilisées comme mémoire principale, car les mémoires fonctionnant sur des jonctions Josephson (JJ) ont une densité limitée [14]. Ces mémoires pourront servir de mémoire cache, mais une technologie avec plus de densité est nécessaire pour la mémoire centrale. Actuellement, la mémoire principalement développée pour remplir cette fonction de mémoire centrale dans l'ordinateur quantique est la DRAM. Cette technologie est principalement utilisée pour cette tâche et profite d'un certain niveau de maturité [7], [15]. Cependant, la DRAM pose des problèmes de consommation d'énergie. Cette consommation est accentuée par le besoin de rafraîchissement de la mémoire, qui est volatile. A titre d'exemple, des simulations révèlent que le rafraîchissement des DRAM compte pour 30% de la consommation totale pour une matrice de 16 Gb à température ambiante, et que ce taux augmenterait avec la densité [16]. Ainsi, les mémoires émergentes non volatiles semblent être de potentiels candidats pour la mémoire principale de l'ordinateur quantique. Le fonctionnement non volatile réduit la consommation, et ces technologies sont compatibles avec les vitesses de lecture et d'écriture nécessaires au fonctionnement des qubit.

En attendant le développement des ordinateurs quantiques, d'autres solutions pour résoudre des calculs complexes sont mises en place. Le calcul intensif ou calcul de haute performance (HPC) désigne les techniques utilisées dans le but d'effectuer des calculs complexes, ou plus généralement, traiter un grand nombre de données à grande vitesse. Le calcul intensif est proposé pour traiter en temps voulu le nombre croissant de données, importées par des secteurs comme l'IA ou l'IoT nécessitant un traitement en temps réél. La demande en calcul intensif a été multipliée par 100 lors de la dernière décennie [17]. L'apprentissage pour l'IA n'est pas la seule application du HPC. Les applications du calcul intensif comprennent aussi des simulations numériques pour des secteurs stratégiques comme l'aérospatial ou la défense. Pour effectuer du calcul intensif, des supercalculateurs pouvant regrouper de quelques milliers à plusieurs millions de processeurs sont connectés afin de réaliser des architectures de calcul en parallèle traitant une quantité significative de données. En revanche, le cumul de tous ces dispositifs apporte inévitablement des problématiques de consommation d'énergie et de puissance dissipée. La demande en énergie des technologies de communication va augmenter de 20% entre 2020 et 2030, dont la moitié étant attribuée aux datacenters [18], [19]. De plus, la problématique de la chaleur dissipée devient centrale pour les datacenters, qui dépensent un tiers de leur budget alloué à la puissance dans le refroidissement [17]. Par exemple, l'entraînement du modèle de GPT-3 a une consommation de 1300 MWh environ [20]. La consommation d'énergie constitue un enjeu majeur pour les supercalculateurs. La mémoire centrale composée de DRAM montre une nouvelle fois des limites avec son besoin de rafraîchissement constant, alors que les mémoires émergentes non volatiles représentent une solution viable pour la mémoire centrale des processeurs [21].

Dans le même temps, l'utilisation à basse température constitue une solution très prometteuse pour réduire la consommation d'énergie, mais aussi pour améliorer les performances des supercalculateurs. En effet, la diminution linéaire de la résistance des connexions à basse température permet d'augmenter la fréquence d'horloge des serveurs, et ainsi leurs performances. Par exemple, la résistivité du cuivre est divisée par six entre 300 K et 77 K [22]. La quasi-suppression du courant de fuite des circuits à basse température permet de réduire considérablement la puissance dissipée ainsi que la consommation énergétique des serveurs. Une étude récente a calculé qu'un dispositif supraconducteur peut consommer 80 fois moins d'énergie comparé à la technologie CMOS au noeud 7 nm, en incluant le coût de refroidissement à l'hélium liquide [23]. Le calcul à basse température présente un fort potentiel sur le rapport coût/performances des datacenter, et l'optimisation des méthodes de refroidissement est actuellement en développement [24]. Le calcul intensif à basse température est déjà une réalité : en 2014 le gouvernement américain à selectionné IBM, Raytheon-BBN et Northop Grumman Coorp pour le programme "Cryogenic Computing Complexity (C3)" qui vise à établir l'électronique cryogénique supraconductrice basée sur des technologies CMOS comme solution à long terme pour le calcul intensif [25]. Dans ce contexte, le développement des mémoires émergentes non volatiles en cryogénie semble particulièrement prometteur.

La dernière application cryogénique est l'électronique spatiale. Ce domaine regroupe tous les dispositifs électro-

niques intégrés dans des satellites, navettes spatiales, véhicules d'exploration spatiale et télescopes en orbite. Le nombre de satellites en orbite connaît une évolution exponentielle. On dénombre plus de 10 000 satellites en orbite en 2024, ce qui est dix fois plus qu'en 2014 [26]. Cette évolution est en plein essor avec le déploiement progressif de constellations de satellites tels que Starlink de Tesla, ainsi qu'un potentiel équivalent chinois suite aux annonces de Geespace appartenant au groupe Geely. Ainsi, la demande pour l'électronique spatiale va continuer d'augmenter. Les dispositifs d'électronique spatiale doivent résister à des conditions environnementales extrêmes. Ils doivent tout d'abord supporter les vibrations induites par le lancement d'une fusée. Une fois en orbite, ils doivent résister aux radiations cosmiques. Finalement, ces dispositifs doivent faire face aux conditions extrêmes de température. La température d'un satellite en orbite terrestre oscille entre 180 K et 450 K. La température minimale dans l'espace est de 2.75 K et correspond au fond diffus cosmologique. Aussi, la température sur la face éclairée de la lune est de 400 K alors que la température de son ombre est de 40 K [27]. Un objet électronique devant fonctionner et se déplacer sur les deux faces devrait donc faire preuve de résistance dans toute cette plage de température et au cycle de température engendré par l'alternance jour/nuit. Par conséquent, l'électronique embarquée dans les satellites, y compris les mémoires, doivent fonctionner dans une importante plage de température. Des études ont montré que les OxRAM pouvaient fonctionner à haute température [28]. De plus, les mémoires émergentes ont une résistance aux radiations supérieure aux mémoires flash [29]. Une résumé des trois principales applications de l'électronique cryogénique est présenté en Figure 1.7.

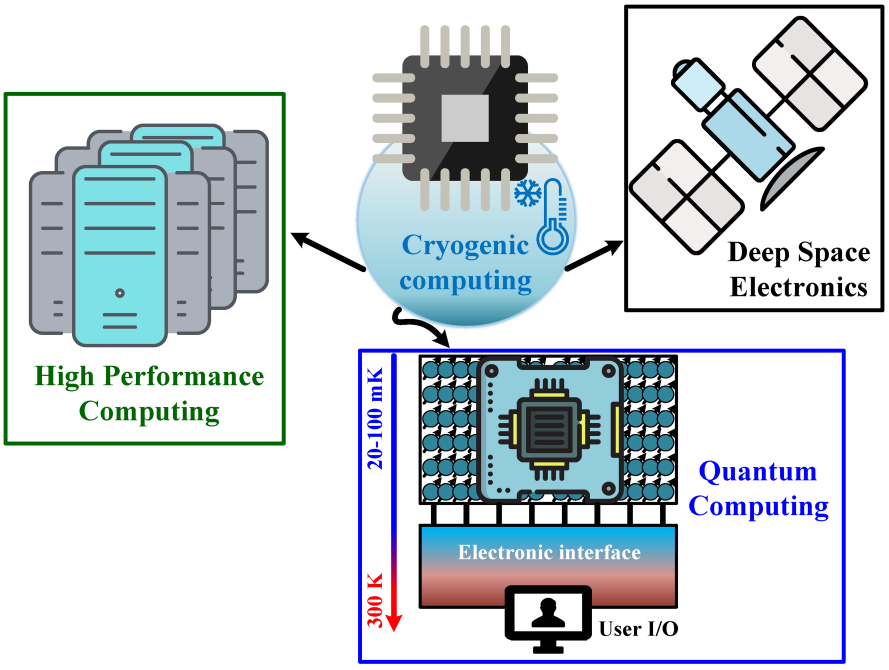

FIGURE 1.7 – Les applications cryogéniques : les calcule de haute performance, le spatial et le quantique [30].

1.2.2 Les applications mémoire non conventionnelles

Nous avons décrit dans la section Section 1.1 l'architecture Von-Neumann comme modèle pour des ordinateurs classiques. Cependant, cette architecture présente elle aussi des limites. Dans ce modèle, la mémoire et le processeur sont séparés par un bus. Un transfert constant de données s'opère donc entre le processeur et la mémoire, ce qui augmente la latence, le temps d'accès aux données et la consommation énergétique du système. En conséquence, ce phénomène constitue l'un des principaux goulets d'étranglement des architectures classiques [31]. Par exemple, une étude de Google sortie en 2018 montre que entre 20 et 42% de l'énergie consommée sert uniquement à alimenter le bus de données reliant les unités de calcul et de mémoire [32], [33]. Parallèlement, le memory wall, c'est-à-dire la disparité croissante entre les vitesses des processeurs et les unités de mémoire, est le second facteur limitant de l'architecture Von-Neumann. Pour surmonter ces problématiques, de nouvelles architectures innovantes sont mises en œuvre.

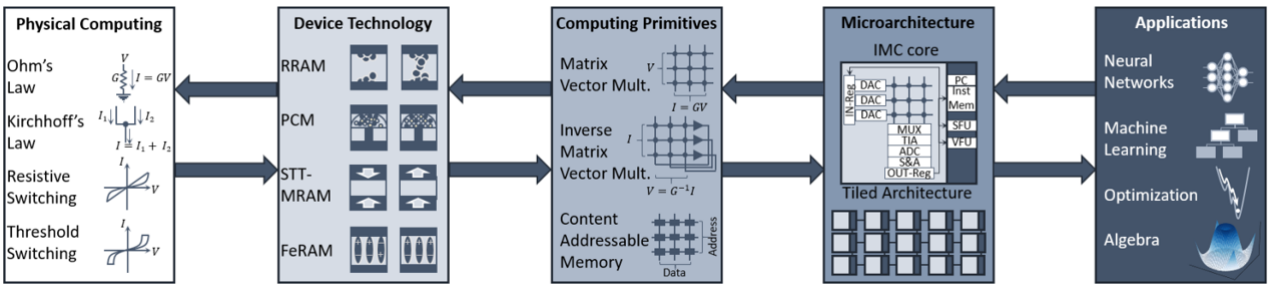

FIGURE 1.8 – Illustration conceptuelle des différentes échelles du calcul en mémoire. Le calcul repose sur des lois physiques fondamentales, mises en œuvre dans divers types de dispositifs mémoire et conceptions de circuits. Pour réaliser des calculs à grande échelle, de nouvelles architectures doivent être développées afin d'accélérer les applications du monde réel. De nouvelles applications peuvent également émerger grâce à la possibilité d'effectuer des calculs hautement parallèles. La conception et l'optimisation de chaque niveau de cette hiérarchie doivent être abordées en tenant compte de l'ensemble de la pile technologique [34].

Le calcul en mémoire (In-Memory Computing) est un paradigme émergent qui vise à éliminer ces transferts en réalisant les opérations directement là où les données résident : dans la mémoire. Ce paradigme réduit considérablement la latence et la consommation d'énergie.

Au lieu d'un stockage binaire, la valeur retenue par le dispositif mémoire peut correspondre à plusieurs niveaux. Les dispositifs utilisés pour le calcul en mémoire doivent donc présenter une capacité de stockage multi-niveaux, auxquelles s'ajoutent plusieurs caractéristiques essentielles : ils doivent être non volatiles, et comprendre des temps de commutation et de lecture suffisamment courts afin d'exploiter le potentiel de rapidité. L'intensité des calculs impose une endurance élevée, pour garantir une longue durée de vie. Enfin, une faible consommation énergétique est essentielle.

De plus, l'arrangement des cellules en matrice crossbar (ou crosspoint) permet de lire les niveaux sur toute une ligne simultanément, réalisant naturellement une multiplication matrice-vecteur (MVM). Cette opération, qui peut être effectuée en parallèle, est particulièrement intéressante pour les applications de calcul intensif, car elle permet des gains importants en temps et en énergie. Les différents niveaux de développement du calcul en mémoire sont présentés en Figure 1.8.

Afin de maximiser le gain énergétique et de latence de cette nouvelle architecture, des études montrent la faisabilité du calcul en mémoire à températures cryogéniques [35], [36]. Ces deux propriétés sont aussi les deux facteurs limitant de l'électronique de contrôle dans l'ordinateur quantique. Ainsi, le calcul en mémoire cryogénique pourrait s'avérer très intéressant pour les applications quantiques [7], [35]. Dans ce contexte, l'étude des mémoires émergentes à température cryogénique doit être adressée pour analyser le gain de performance et de fiabilité dans ces conditions d'utilisation.

1.2.3 Enjeux de la thèse

Contexte local dans l'environnement de recherche de Grenoble

L'environnement de recherche de Grenoble est un pôle important de la recherche en électronique cryogénique. Différents travaux de thèse ont été récemment réalisés dans ce cadre, explorant les besoins de l'électronique cryogénique. Parmi les plus récents nous pouvons citer :

- La thèse de Amina Sadik [37] explore la fabrication, la caractérisation et la simulation des réseaux de boîtes quantiques en silicium afin de préparer l'intégration de qubits à grande échelle pour l'informatique quantique.
- La thèse de Quentin Schmidt [38] étudie les systèmes électroniques intégrés pour la lecture à grande échelle de réseaux de qubits, visant à concevoir et étudier des architectures électroniques adaptées au contrôle et à la lecture de plusieurs qubits simultanément.

— La thèse de Quentin Berlingard [39] est focalisée sur la caractérisation électrique avancée DC et RF de composants passifs et actifs en technologie 28 nm-FDSOI, sur une plage de température allant de 300 K à 4,2 K, permettant d'améliorer la compréhension des phénomènes physiques en jeu à basse température et de développer des modèles précis.

Concernant les mémoires cryogéniques, une première étude réalisée par Pedro Brandao-Veiga [40] a eu pour but de développer puis d'optimiser des MRAM pour les opérations cryogéniques. La présente thèse s'inscrit dans ce cadre global, en complétant les avancées en cours dans le domaine de l'électronique cryogénique avec des technologies de mémoire encore non étudiées en régime cryogénique, mais dont le potentiel est réel. L'étude des propriétés électriques des mémoires émergentes sur une large plage de température permettra d'étudier la compatibilité des technologies avec les applications de l'électronique cryogénique en plein essor. En parallèle, une telle étude permettra de développer la compréhension physique des technologies. Le CEA-Leti développe plusieurs technologies de mémoires émergentes, du dispositif unitaire aux matrices plus complexes, avec un certain niveau de maturité. Ainsi, cette thèse a pour objectif d'étudier les propriétés des OxRAM et des FeRAM de la température ambiante jusqu'à des températures cryogéniques.

Moyens mis à disposition durant la thèse

La réalisation de tests électriques en conditions cryogéniques nécessite l'utilisation d'équipements de mesure adaptés, dont les caractéristiques vont conditionner les possibilités des campagnes de mesure réalisables. Le laboratoire de caractérisation électrique dans lequel sont testés électriquement les dispositifs mémoire dispose d'un banc de mesure à température cryogénique sous pointes. Ce dernier utilise de l'hélium liquide pour son refroidissement. La synoptique de son fonctionnement est représentée en Figure 1.9.

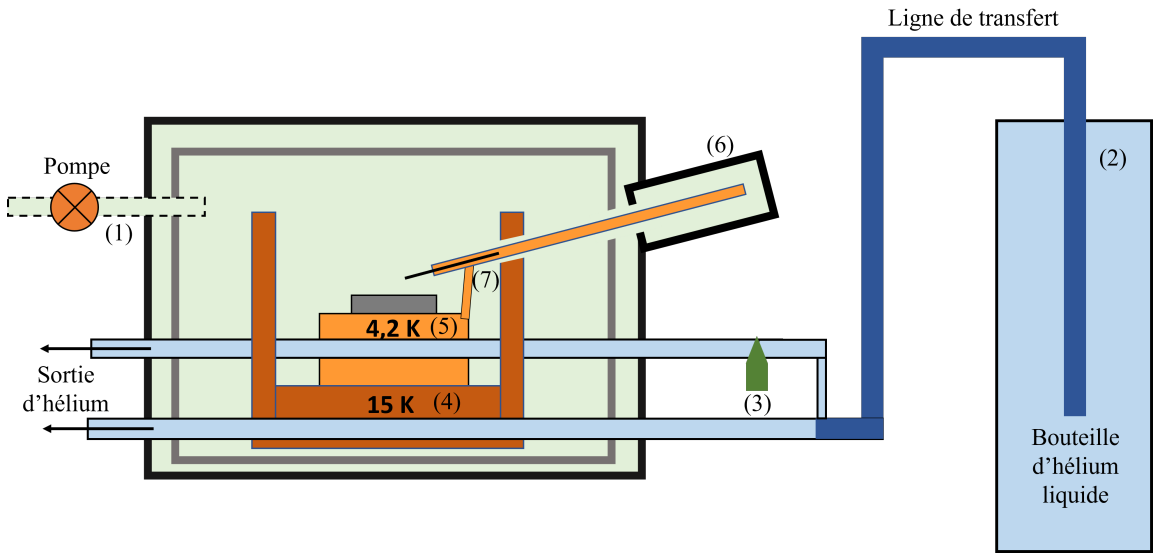

Figure 1.9 – Synoptique du fonctionnement du banc basse température

Le refroidissement de l'échantillon et la maîtrise des apports thermiques reposent sur plusieurs étages successifs au sein de l'enceinte cryogénique. Tout d'abord, une pompe à vide primaire (1) permet d'évacuer l'air contenu dans l'enceinte afin d'éliminer les transferts thermiques par convection entre les parois et le support. Ce pompage permet également de retirer les gaz résiduels dont certains constituants pourraient se condenser ou se solidifier à basse température, ce qui perturberait le fonctionnement cryogénique. Le refroidissement principal est ensuite assuré par un flux d'hélium liquide (2), transféré depuis une bouteille cryogénique de 100 L au moyen d'une canne de transfert. Le flux d'hélium est ensuite divisé en deux à l'aide d'une vis micrométrique de réglage (3). Cette vis permet de répartir manuellement le débit d'hélium afin d'optimiser la répartition du refroidissement sur les différents étages thermiques du banc. Cela permet d'éviter des gradients thermiques trop importants entre les étages. Un premier circuit d'hélium est dirigé vers un écran radiatif (4) en aluminium, refroidi jusqu'à environ 15 K. Cet écran joue un rôle fondamental dans la

gestion des échanges thermiques. Bien que le vide cryogénique supprime la conduction gazeuse, les échanges radiatifs demeurent une source significative de chaleur parasite. L'écran agit donc comme une barrière thermique intermédiaire, interceptant le rayonnement infrarouge émis par les parois plus chaudes (notamment le rayonnement de corps noir) et protégeant ainsi la zone froide contenant l'échantillon. Le second circuit d'hélium est dédié au refroidissement de la tête froide (5), sur laquelle sont montés le porte-échantillon et l'échantillon lui-même. Ce dernier étage atteint une température d'environ 4,2 K, assurant ainsi les conditions nécessaires aux mesures cryogéniques. Les quatre bras porte-pointes (6), utilisés pour établir les contacts électriques sur l'échantillon, sont montés sur des soufflets flexibles permettant leur déplacement précis sous vide. Ils traversent l'écran radiatif par les côtés. Afin de maintenir un équilibre thermique homogène, chaque bras est thermiquement relié à la tête froide par un tressage de cuivre (7), garantissant une conduction efficace tout en limitant les pertes de chaleur. Enfin, l'ensemble du dispositif est installé sur une table à isolation vibratoire non magnétique, afin de minimiser l'influence des vibrations mécaniques sur les mesures électriques extrêmement sensibles.

Ainsi, bien que l'échantillon soit posé sur une tête froide refroidie à 4,2 K, sa température effective dépend de l'ensemble des composants thermiquement couplés. Les écrans, liaisons, têtes froides et bras de contact participent collectivement à la stabilisation thermique du système. Des mesures de supraconducteurs dont la transition est à 10 K ont montré que la température de mesure de l'échantillon n'était par forcément inférieure à cette dernière. Cette différence peut s'expliquer par l'apport de chaleur provenant des pointes, suite à des contacts parasites avec le soufflet. En revanche, la mesure de conductivité du cuivre a permis de retrouver des valeurs conformes à celles attendues jusqu'à 40 K, limite à laquelle la résistivité devient constante [39]. En conclusion, la température de mesure des échantillons se situe entre 10 et 40 K, et sera notée 40 K par la suite.

Ce banc de mesure manuel est le moyen disponible au début de cette thèse. Il permet d'effectuer des tests cryogéniques de dispositifs unitaire de mémoire. Durant cette thèse, un montage expérimental sera développé dans le but de tester des matrices de mémoire à température cryogénique. Il sera décrit dans le Chapitre 4. Cette thèse est la première au CEA-Leti focalisée sur la caractérisation électrique des mémoires émergentes en cryogénie. Les parties suivantes visent à présenter les deux technologies de mémoire étudiées durant cette thèse : les OxRAM et les FeRAM.

1.3 Les mémoires résistives à base d'oxyde

1.3.1 Principe de fonctionnement de la mémoire résistive

Les RRAM reposent sur la capacité à commuter entre deux états de résistance distincts, correspondants aux deux états logiques. Le dispositif est constitué d'un empilement Métal/Isolant/Métal (MIM), désigné 1R ou point mémoire par la suite. La commutation résistive s'effectue grâce au contrôle d'un chemin de percolation dans la couche isolante reliant les deux électrodes métalliques, appelé filament conducteur (CF) [41]. Il se forme suite à la migration d'ions dans l'empilement, modulé par des impulsions électriques regroupées en trois opérations :

- Forming : étape initiale d'écriture, qui crée le CF dans l'oxyde, permettant de passer de l'état vierge à un état de faible résistance (LRS).
- Reset : opération d'effacement consistant à la rupture du CF, ce qui ramène le dispositif à un état de haute résistance (HRS).
- Set : opération inverse du reset, qui reconstitue le CF et restaure le LRS.

Les états programmés grâce à ces opérations sont conservés en l'absence d'alimentation électrique, ce qui confère l'aspect non volatile aux mémoires de ce type.

Les premières observations du phénomène de commutation résistive remontent aux années 1960, lors d'études sur le claquage de couches minces d'oxydes tels que le SiO_x, Al_2O_3, Ta_2O_5, ZrO_2 ou encore le TiO_2, [42].

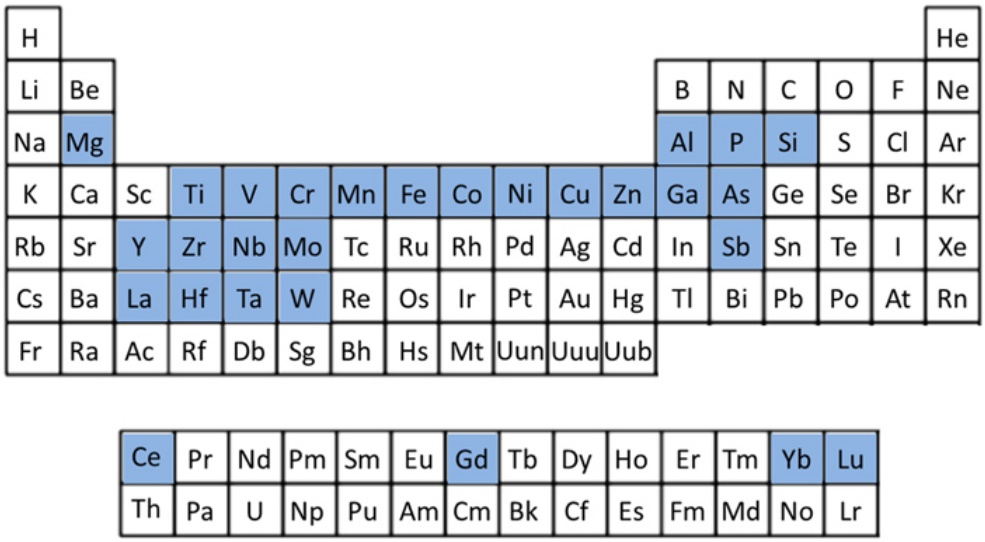

FIGURE 1.10 – Tableau périodique présentant les éléments dont l'oxyde correspondant présente un phénomène de commutation résistive non volatile [43].

Ces travaux ont révélé que ce comportement pouvait se manifester dans une grande variété d'oxydes. Plus largement, la Figure 1.10 illustre cette diversité à travers un tableau périodique recensant les métaux dont les oxydes présentent une commutation résistive non volatile. Une telle ubiquité suggère que le phénomène repose sur un mécanisme physique commun, plutôt que sur une propriété spécifique à un matériau particulier. En effet, la commutation résistive est liée à la migration ionique au sein des oxydes, couplée à la capacité des métaux de transition à adopter plusieurs états d'oxydation [43], sous condition d'un bon rapports précis entre le métal et l'oxygène dans l'oxyde. Cet effet a été clairement mis en évidence dans une étude de 2004, portant sur deux couches minces de NiO présentant des concentrations d'oxygène différentes [44]. La Figure 1.11(a) illustre le phénomène de commutation résistive : lorsque le balayage de tension appliqué atteint un seuil d'environ ± 2 V, une augmentation abrupte du courant est observée. Ce changement correspond à l'opération de set, c'est-à-dire la transition vers le LRS. L'opération inverse, dite de reset, est obtenue par l'application d'un second balayage de tension, provoquant cette fois une chute du courant dès qu'un seuil de courant est atteint, rétablissant ainsi le HRS.

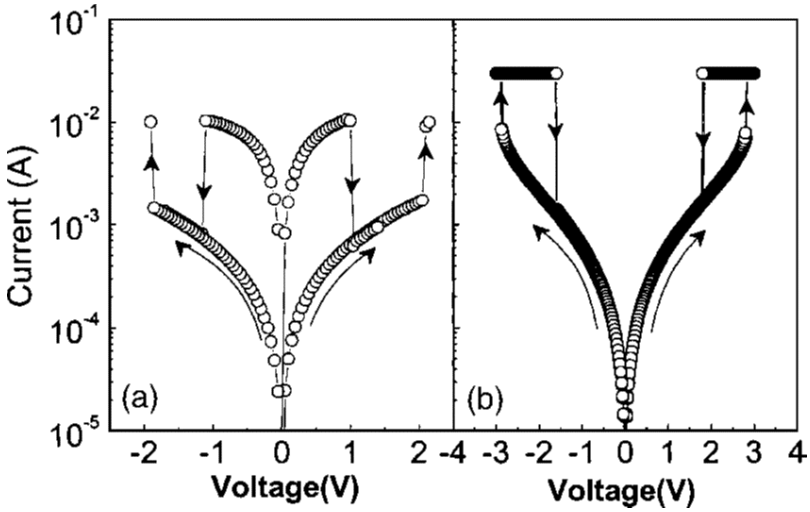

FIGURE 1.11 – Courbes I-V pour un dispositif Pt/NiO/Pt montrant (a) une commutation résistive d'un film de NiO déposé avec 3 % d'oxygène et (b) une commutation par seuil d'un film de NiO déposé avec 20 % d'oxygène [44].

L'étude montre que l'augmentation de la concentration en oxygène dans l'oxyde modifie le comportement du dispositif (Figure 1.11(b)) : le point mémoire ne présente plus une commutation résistive non volatile, mais une commutation

de seuil. Dans ce régime, l'état LRS est maintenu seulement lorsque la tension appliquée dépasse ±2 V. Ce type de fonctionnement peut s'avérer utile pour des dispositifs de type sélecteur, mais il reste inadapté aux mémoires non volatiles. Cette étude a démontré le contrôle de la commutation résistive au moyen d'impulsions électriques, ouvrant la voie à son utilisation dans des dispositifs de mémoire non volatile. La commutation résistive a par la suite été mise en œuvre selon deux régimes distincts : unipolaire [45], [46] ou bipolaire [47], [48], [49]. Les impulsions électriques correspondantes sont représentées en Figure 1.12. Dans un fonctionnement unipolaire (Figure 1.12(a)), les deux impulsions de set et de reset sont de même signe. L'intensité du champ électrique dans l'opération de set aboutit à la formation du filament conducteur. Dans l'opération de reset, l'augmentation de température par effet Joule dans le CF entraîne sa rupture [50].

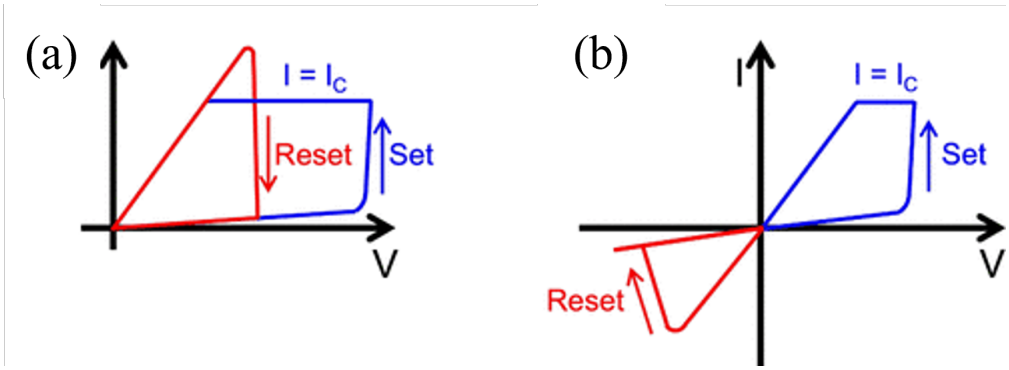

Figure 1.12 – Représentation schématique des courbes I-V pour une RRAM (a) unipolaire et (b) bipolaire [50].

Le fonctionnement unipolaire, utilisé dans les premières études de mémoire résistive [44], [45], rencontra des limites, notamment en raison d'un manque de stabilité et de reproductibilité des états résistifs [51], [52]. Dans la transition de reset, la migration des ions est relativement aléatoire car ces derniers ne sont pas attirés dans une direction précise [50], [53].

Dans un mode de fonctionnement bipolaire, l'opération de reset présente un signe opposé au set (Figure 1.12(b)). Ce fonctionnement a pour avantage de diriger la migration des ions vers l'une ou l'autre des électrodes lors des deux phases de programmation. Il permet ainsi un meilleur contrôle de la formation et de la rupture du filament conducteur [50], [54]. Pour ces raisons, le fonctionnement bipolaire s'est imposé comme le mode de fonctionnement privilégié des RRAM.

Le développement des RRAM bipolaires s'est divisé en deux grandes catégories : les mémoires résistives à pont conducteur (CBRAM) et les mémoires résistives à changement de valence (OxRAM).

Les mémoires CBRAM

Dans les CBRAM, l'électrolyte solide est encapsulé par une électrode supérieure (TE) active et une électrode inférieure (BE) inerte. L'électrode active est généralement en Argent (Ag) ou en Cuivre (Cu), et l'électrode inerte peut être faite à partir de platine (Pt), de tungstène (W), d'or (Au) ou de titane (Ti) [55]. Dans les CBRAM, l'opération de set consiste en l'application d'une tension positive sur l'électrode active. Sous l'effet du champ électrique appliqué, les atomes métalliques de l'électrode active s'oxydent pour former des cations métalliques. Ces ions migrent ensuite à travers l'électrolyte en direction de l'électrode inerte, au contact de laquelle ils sont réduits électrochimiquement. Lorsque la concentration d'atomes migratoires devient suffisante le long de l'un des chemins percolatifs, un filament conducteur se forme entre les deux électrodes et permet d'obtenir le LRS. L'opération de reset consiste à appliquer une tension positive sur l'électrode inerte. Les atomes métalliques constituant le CF s'oxydent alors, et les cations ainsi formés migrent à nouveau vers l'électrode active, provoquant la dissolution du pont conducteur et le retour au HRS [56].

Les dispositifs CBRAM ont été intensivement étudiés pour les applications mémoires et neuromorphiques [55]. En effet, la forte mobilité des ions Cu et Ag permet d'obtenir une fenêtre mémoire importante (quatre ordres de grandeur

entre la résistance du HRS et du LRS), exploitable pour des applications multi-niveaux [57]. Cependant, cette forte mobilité des ions limite la stabilité du CF, réduisant l'endurance ainsi que la rétention par rapport aux OxRAM [58].

Les mémoires OxRAM

L'empilement des OxRAM est composé d'un oxyde encapsulé entre deux électrodes inertes, généralement de nitrure de titane (TiN) [59] ou de Pt [60], auquel est ajouté une couche "réservoir" qui peut être composée de Ti [61] ou de Hf [62] entre l'électrode supérieure et l'oxyde. Dans cet empilement, la formation du CF est provoquée par une réaction d'oxydo-réduction contrôlée et réversible au sein de la couche isolante. Le forming s'apparente à un claquage diélectrique contrôlé, via l'application d'un champ électrique positif sur l'électrode supérieure. Un champ suffisamment intense romp les liaisons Hf–O dans l'oxyde, et génère des paires de Frenkel constituées d'une lacune d'oxygène et d'un ion oxygène. En raison de leur charge négative les ions oxygène dérivent vers la couche réservoir riche en lacunes d'oxygène dans laquelle leur oxydation peut se produire [63]. La migration des ions depuis l'oxyde vers la couche réservoir créée une accumulation de lacunes d'oxygène dans l'oxyde, aboutissant à la création du CF. Dans l'opération de reset, le champ électrique de sens opposé provoque la migration des ions de la couche réservoir jusqu'à l'oxyde. Cette migration entraîne la recombinaison des ions avec les lacunes dans l'oxyde et finit par rompre le filament conducteur, aboutissant au HRS. Finalement l'opération de set consiste en une impulsion électrique de même polarité que le forming, pour reformer le filament conducteur.

La Figure 1.13 représente le fonctionnement d'une opération de set pour une OxRAM ainsi qu'une CBRAM.

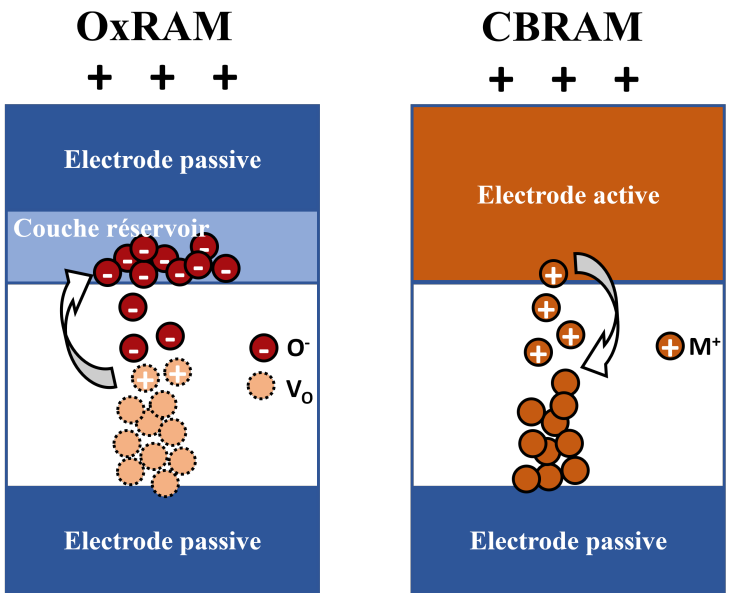

Figure 1.13 – Représentation schématique d'une OxRAM et d'une CBRAM pendant une opération de set. Dans l'OxRAM le champ électrique positif sur l'électrode supérieure attire les ion oxygène vers la couche réservoir. Le filament conducteur sera constitué des lacunes d'oxygène générées par le déplacement des ions. Dans les CBRAM, le champ électrique positif sur l'électrode supérieure repousse les ions métalliques dans l'électrolyte jusqu'à l'électrode inférieure. Le pont conducteur est constitué des métaux connectés à l'électrode inférieure.

1.3.2 Intégration du point mémoire résistif dans une architecture matricielle

Le dispositif de mémoire a pour fonction de stocker l'information sous forme binaire, c'est-à-dire en bits (binary digits), de manière temporaire ou permanente. En pratique, la plupart des informations dépassent la simple valeur booléenne et nécessitent donc plusieurs bits pour être représentées. Pour cette raison, l'unité fondamentale en informatique est l'octet (byte), constitué de huit bits, capable de coder jusqu'à 256 valeurs distinctes. Cependant, cette capacité demeure

insuffisante pour représenter des données plus complexes. Ainsi, les dispositifs de mémoire ne sont pas commercialisés individuellement, mais sous forme de volumes de stockage résultant de l'association d'un grand nombre de points mémoires. À l'échelle électronique, cet assemblage est appelé matrice de mémoire (memory array).

Une matrice de mémoire se présente sous la forme d'un espace cartésien bidimensionnel où chaque cellule stocke une information binaire. L'axe horizontal, appelé ligne de mots (word line, WL), permet de sélectionner simultanément l'ensemble des cellules d'une même ligne, correspondant à un mot de données. L'axe vertical, la ligne de bits (bit line, BL), sert quant à lui à transporter la valeur d'un bit lors des opérations de lecture ou d'écriture. Le croisement d'une WL et d'une BL définit ainsi une cellule mémoire unique.

Pour être complet, il convient de noter que les matrices peuvent également être empilées selon un troisième axe. Cet empilement peut être réalisé soit de manière logique, lorsqu'une cellule physique stocke plusieurs bits (écriture multi-niveau), soit de manière physique, par intégration tridimensionnelle (3D). Toutefois, ces approches requièrent une maturité technologique que les mémoires émergentes étudiées dans ce travail n'ont pas encore atteint. Ces aspects ne seront donc pas approfondis dans la suite de cette thèse.

La structure en matrice constitue donc le principe d'organisation fondamental des dispositifs de mémoire, permettant d'adresser efficacement un grand nombre de points mémoires. Toutefois, cette description reste conceptuelle : pour qu'une matrice puisse être exploitée dans un circuit intégré, elle doit être implémentée physiquement au sein d'une technologie électronique donnée. Dans les circuits CMOS, cette intégration se traduit par une cohabitation entre la matrice mémoire et les dispositifs de commande associés (transistors de sélection, lignes d'adressage, etc.). Les points mémoires sont généralement situées dans les couches supérieures de la puce, tandis que la logique d'accès et de contrôle est réalisée dans les couches inférieures. Cette séparation fonctionnelle, respectivement désignée comme back-end-of-line (BEOL) et front-end-of-line (FEOL), est un élément clé de la conception des architectures mémoire intégrées.

Les possibilités pour la fabrication d'une matrice RRAM

Dans ce cadre, la RRAM présente un intérêt particulier, car sa structure simple uniquement composée de couches métalliques et diélectriques permet une intégration directe dans les couches BEOL au-dessus de la logique CMOS existante [64]. Cette complémentarité rend la RRAM particulièrement adaptée à la réalisation de matrices denses et à la poursuite de la miniaturisation dans les technologies CMOS de nouvelle génération. Les différentes structures unitaires intégrables dans des matrices RRAM sont présentées en Figure 1.14.

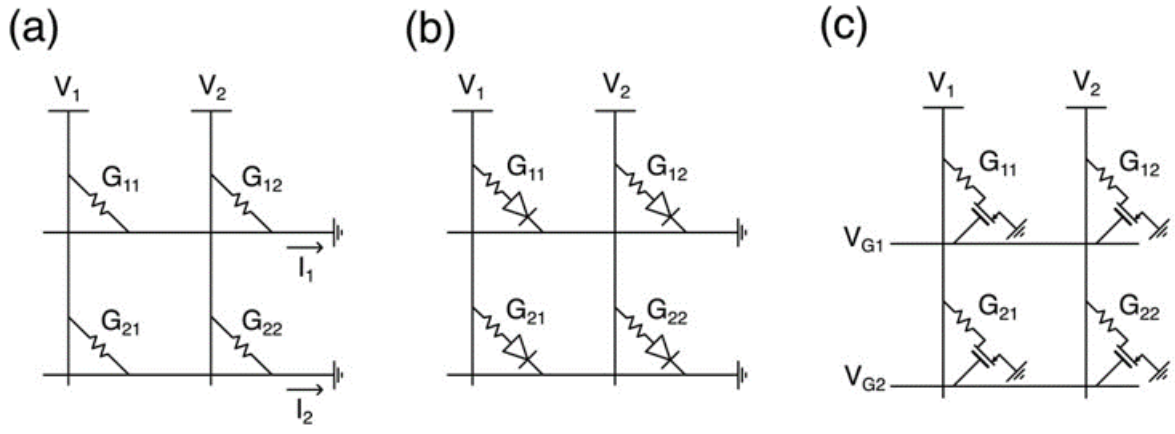

Figure 1.14 – Structures des matrices RRAM arrangées par les WL (lignes) et BL (colonnes). (a) Matrice de points mémoire (1R), dans laquelle le point mémoire est connecté entre chaque ligne et colonne dans la matrice. (b) Matrice un sélecteur-un point mémoire (1S1R), dans laquelle chaque point mémoire est connecté en série avec un sélecteur. (c) Matrice un transistor-un point mémoire (1T1R), dans laquelle le point mémoire est connecté en série avec un transistor, qui nécessite une ligne additionnelle (SL) [65].

Le premier type de matrice considéré intègre seulement les 1R (Figure 1.14(a)), dans laquelle ses électrodes supé-

rieures et inférieures font le contact avec les WL et BL respectivement. Pour lire un point mémoire précis, il faut appliquer une tension sur sa BL et lire le courant sur sa WL. Cette architecture présente l'avantage d'être simple à réaliser et offre un fort potentiel de miniaturisation. Toutefois, en l'absence de dispositif de sélection, elle ne permet pas de limiter la tension seulement au point mémoire sélectionné. En effet, un champ électrique secondaire peut se développer dans le réseau en passant par les points mémoires adjacents au point mémoire sélectionné. Il en résulte des courants de fuite significatifs qui vont s'infiltrer à travers des points mémoires voisins non ciblés. Ce phénomène dit "de chemins furtifs" perturbe le fonctionnement du réseau, entraînant une consommation énergétique accrue et une baisse de fiabilité, avec un risque de programmation involontaire de certains points mémoires [66].

Ainsi, l'utilisation d'un sélecteur en série avec le point mémoire est nécessaire au bon fonctionnement des matrices de mémoires résistives. Un sélecteur à deux entrées, formant la structure unitaire 1S1R (Figure 1.14(b)) permet de conserver la structure de la matrice. Le sélecteur doit satisfaire un certain nombre de propriétés : il doit avoir une non-linéarité suffisante pour minimiser les chemins furtifs, ainsi qu'un fonctionnement bipolaire pour supporter les opérations de set et de reset, tout en fournissant suffisamment de courant à l'état "on" pour ne pas perturber la programmation du point mémoire [50]. Ces besoins limitent le choix du sélecteur : une diode standard ou un transistor bipolaire, proposés pour les mémoires à changement de phase dont le fonctionnement est unipolaire, ne conviennent pas dans le cas des OxRAM. Des sélecteurs à base matériaux à conduction mixte ionique et électronique (MIEC) proposent une importante non-linéarité ainsi qu'un fonctionnement bipolaire [67], cependant leur tensions de fonctionnement sont trop faibles par rapport aux tensions de fonctionnement de la RRAM. De la même manière, les dispositifs sélecteurs à effet tunnel utilisant un empilement de couches d'oxydes [68] peuvent aussi être utilisés, cependant ces dispositifs sont très sensibles à un claquage diélectrique. Le dispositif sélecteur OTS (Ovonic Treshold Switch) présente d'excellentes propriétés, incluant un rapport courant on/off élevé, une grande vitesse et une forte endurance, ce qui est essentiel pour les opérations de programmation [69]. Cependant, le bon fonctionnement de ces dispositifs nécessite des tensions de seuil importantes qui affectent la consommation de la structure ainsi que le design du circuit périphérique [50]. De plus, leur développement n'est pas encore compatible avec la densité nécessaire à l'échelle d'une matrice.

Les limitations de la structure 1S1R sont compensées en remplaçant le sélecteur à deux sorties par un transistor CMOS à trois sorties, pour former la structure 1T1R (Figure 1.14(c)). Dans la structure 1T1R, les WL sont connectées avec les grilles des transistors, les BL sont connectées aux électrodes inférieures et une troisième ligne appelé source line (SL) intégrée parallèlement à la BL est connectée à la source du transistor. Le transistor limite le courant de fuite dans les points mémoires non sélectionnés tout en garantissant des niveaux de courant suffisants pour les opérations de programmation, et ses tensions de fonctionnement sont compatibles avec les tensions de programmation du point mémoire. La structure 1T1R, constitue aujourd'hui l'approche privilégiée [59], elle demeure la seule solution permettant une exploitation efficace des points mémoires. Un récapitulatif des démonstrateurs intégrant des OxRAM est présenté en Tableau 1.1. On peut voir que la grande majorité des démonstrateurs intègrent des structures 1T1R.

TABLE 1.1 – Récapitulatif des démonstrateurs intégrant des mémoires résistives, issu de la référence [50].

Année	Noeud (nm)	Capacité	Institution	Structure	Empilement	Ref
2011	180	4 Mb	ITRI	1T1R	TiN/Ti/HfO2/TiN	[70]
2011	130	384 kb	Adesto	1T1R	Ag/GeS2	[71]
2011	180	4 Mb	Sony	1T1R	CuTe/GdOx	[72]
2012	180	8 Mb	Panasonic	1T1R	TaN/TaO2/Ta2O5/Irv	[73]
2013	180	500 kb	Panasonic	1T1R	TaN/TaO2/Ta2O5/Ir	[74]
2013	24	32 Gb	Sandisk/Toshiba	1S1R	Metal Oxide	[75]
2014	28	1 Mb	TSMC	1T1R	Metal Oxide	[76]
2014	27	16 Gb	Micron/Sony	1T1R	Cu-based/oxide	[77]
2015	90	2 Mb	Renesas	1T1R	Metal/Ta2O5/Ru	[78]
2017	90	500 kb	Winbond	1T1R	TiN/HfO2/Ti/TiN	[79]
2018	40	11.3 Mb	TSMC	1T1R	–	[80]
2019	22	3.6 Mb	Intel	1T1R	–	[81]
2020	22	13.5 Mb	TSMC	1T1R	–	[82]
2020	28	500 kb	TSMC	1T1R	–	[83]
2020	28	1.5 Mb	TSMC/IMECAS	1T2R	–	[84]
2021	14	1 Mb	IMECAS	1T1R	Cu-based/oxide	[85]
2022	28	800 kb	Infineon/TSMC	1T1R	–	[86]
2023	12	1 Mb	TSMC	1T1R	–	[87]

Limites de la compréhension des dispositifs 1T1R

Bien que la structure 1T1R structure soit largement utilisée, l'impact du transistor sur les performances du point mémoire reste encore mal compris. Des travaux comme ceux de Sills et al. [88] ont montré que l'endurance et la fiabilité du dispositif peuvent varier significativement selon le type de transistor utilisé. Par ailleurs, la connexion en série du transistor et du point mémoire forme naturellement un pont diviseur de tension. Cela complique l'interprétation des mesures électriques sur la structure. Les deux éléments présentent des comportements très différents : le transistor oscille entre le régimes linéaire et le régime de saturation, tandis que le 1R subit des commutations de résistance suivies d'évolutions progressives durant les impulsions de programmation. Il en résulte une grande difficulté à estimer avec précision la tension au nœud intermédiaire entre les deux éléments. Cette limitation empêche pour le moment de réellement comprendre comment le transistor influence le fonctionnement de l'OxRAM. L'évolution des OxRAM durant les opérations de set et de reset est schématisée en Figure 1.15.

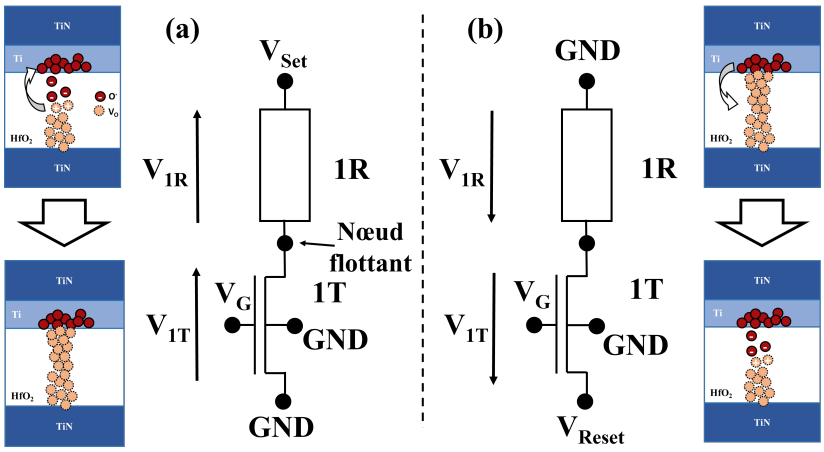

FIGURE 1.15 – Représentation schématique de la structure 1T1R pendant une opération (a) de set et (b) de reset [59].

De plus, la Tableau 1.1 montre une réduction significative du nœud technologique du transistor en série, passant de 180 nm en 2012 à seulement 12 nm en 2023. Cette tendance vers des noeuds plus avancés rend d'autant plus crucial une compréhension approfondie du rôle du transistor dans les performances du dispositif 1T1R car les propriétés électrique du transistor sont fortement influencées par ses paramètres géométriques [59]. En l'absence de cette compréhension, la poursuite de la miniaturisation pourrait entraîner des pertes de performances, voire compromettre la fiabilité du système. Il est donc essentiel d'anticiper les effets liés à l'intégration de transistors avancés pour garantir le bon fonctionnement du couple transistor-mémoire à l'échelle nanométrique.

Les dispositifs fabriqués au CEA-Leti

Cette section se concentre sur les dispositifs OxRAM développés au CEA-Leti disponibles pour cette thèse. L'empilement du point mémoire est composé d'une électrode supérieure en TiN, d'une couche réservoir de Ti d'une épaisseur de 5 nm, d'une couche isolante de HfO_2 de 5 nm, et enfin d'une électrode inférieure en TiN. La géométrie des points mémoires est circulaire, avec des diamètres variant entre 300 et 350 nm.

L'intégration des points mémoires est réalisée dans le BEOL sur une technologie CMOS au nœud 130 nm. Les transistors FEOL, ainsi que les interconnexions métalliques de Métal 1 à Métal 4, sont fabriqués par un fondeur externe selon les procédés standards CMOS. Différents types de transistors sont fabriqués, comportant la même longueur de canal (L) de 500 nm mais des largeurs (W) différentes : 660, 3500 et 5900 nm. L'intégration spécifique du point mémoire, entre les niveaux Métal 4 et Métal 5, est ensuite effectuée au CEA-Leti, ce qui permet de combiner la technologie CMOS mature avec des points mémoires OxRAM innovants. La plateforme de fabrication embarque des structures unitaires 1T1R et 1T, ce qui permettra de dissocier les effets des deux éléments. De plus, l'utilisation de trois transistors différents (W660, W3500 et W5900) permet d'étudier l'impact du transistor sur les propriétés de la structure unitaire 1T1R. En parallèle, des matrices 1T1R de 16 kbit sont disponibles, permettant d'explorer le comportement statistique des points mémoire et d'évaluer les performances à l'échelle d'un bloc fonctionnel. Cette diversité de structures fournit une base expérimentale complète pour étudier à la fois le fonctionnement de la structure unitaire 1T1R ainsi que les performances à l'échelle de la matrice.

En conclusion, afin d'utiliser les 1R dans une matrice mémoire pour des applications réelles, l'utilisation d'un sélecteur en série est nécessaire. Actuellement, le transistor CMOS reste l'option privilégiée pour effectuer le rôle de sélecteur. Cependant, les propriétés du transistor utilisé influencent inévitablement les performances globales de la structure unitaire 1T1R. Les dispositifs fabriqués au CEA-Leti intègrent des transistors aux largeurs de canal différentes, permettant d'étudier l'influence de ce dernier sur les performances des structures 1T1R.

1.3.3 Caractérisation électrique des RRAM

La caractérisation électrique, qui est l'étape essentielle de vérification du fonctionnement du dispositif fabriqué, peut être réalisée selon deux modes distincts. Le mode de mesure quasi-statique est adapté pour étudier les propriétés physiques du dispositif, alors que pour une technologie dont le développement est suffisamment mûr, on peut effectuer des tests électriques en mode impulsionnel, comparables aux applications réelles de la technologie.

Programmation en mode quasi-statique

La programmation en mode quasi-statique est effectuée à l'aide d'un analyseur de paramètres. Une rampe de tension est appliquée aux bornes du point mémoire, sur une plage de tension correspondant aux fonctionnement de la mémoire, tandis que l'analyseur mesure et contrôle le courant qui la traverse. La Figure 1.16 montre le courant transitoire d'une OxRAM lors d'un balayage de tension en mode quasi-statique.

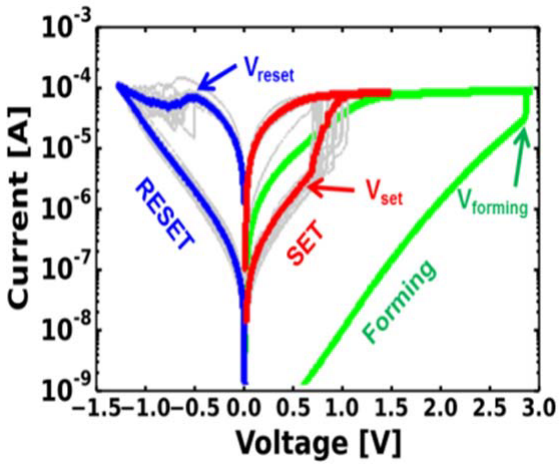

FIGURE 1.16 – Courant transitoire observé pendant un balayage de tension bipolaire, correspondant aux opérations de forming (vert), set (rouge) et reset (bleu), avec un courant de forming/set limité à 100μA [89].

Cette approche permet d'observer précisément les tensions de transition du dispositif ainsi que les mécanismes de conduction des différents états. Cependant, ce type de mesure ne permet pas d'accéder aux caractéristiques temporelles dynamiques du dispositif testé.

En effet, la durée des impulsions de commutation a une influence sur l'état résistif obtenu [90]. Les mesures quasi-statiques ne sont donc pas optimales pour programmer un état résistif précis, ce qui limite l'analyse possible. De plus, la durée d'un balayage quasi-statique, de l'ordre de la seconde, est bien plus long que le temps de commutation le plus court atteint dans les applications [4]. Ce type de mesure est donc assez éloigné des réelles applications, et ne permet pas d'observer les performances en tant que mémoire.

Aussi, il faut prendre en compte que dans des applications réelles la tension de grille du transistor (V_g) peut être modulée afin d'optimiser les opérations [50], [91]. Cet élément a une influence sur les propriétés de la structure 1T1R, mais n'est pas pris en compte dans les mesures quasi-statiques conservant un V_g constant.

Programmation en mode impulsionnel

La programmation en mode impulsionnel repose sur l'application de tensions dont le profil temporel est précisément contrôlé à l'aide d'un générateur d'impulsions. Ce mode de fonctionnement permet d'imposer des tensions pendant des durées très courtes, de l'ordre de la microseconde. Cependant, il rend la mesure du courant transitoire moins précise. Pour pallier cette difficulté, des opérations de lecture (read), plus longues que les impulsions de set et de reset, sont effectuées après ces dernières afin de déterminer la résistance de l'état programmé Les trois principales formes d'impulsions utilisées sont illustrées en Figure 1.17. Dans le cadre de cette étude, des impulsions de type « carrées » seront privilégiées. Dans ces mesures le temps de montée et de descente (de l'ordre de quelques dizaines ou centaines de nanosecondes) est négligeable par rapport au temps de plateau, fixé à 1 μs. Néanmoins, il est également possible d'utiliser des impulsions « triangulaires » de durée totale comparable [92]. Durant l'impulsion de set, la tension V_{TE} est appliquée avant V_g. Cela permet d'éviter l'application de pic de tension indésirable sur l'OxRAM, qui pourrait modifier l'état résistif souhaité ou détériorer son endurance [93]. Ensuite, V_g est appliqué et peut être est ajusté afin de fixer le niveau de courant (I_{set}) ciblé [92].

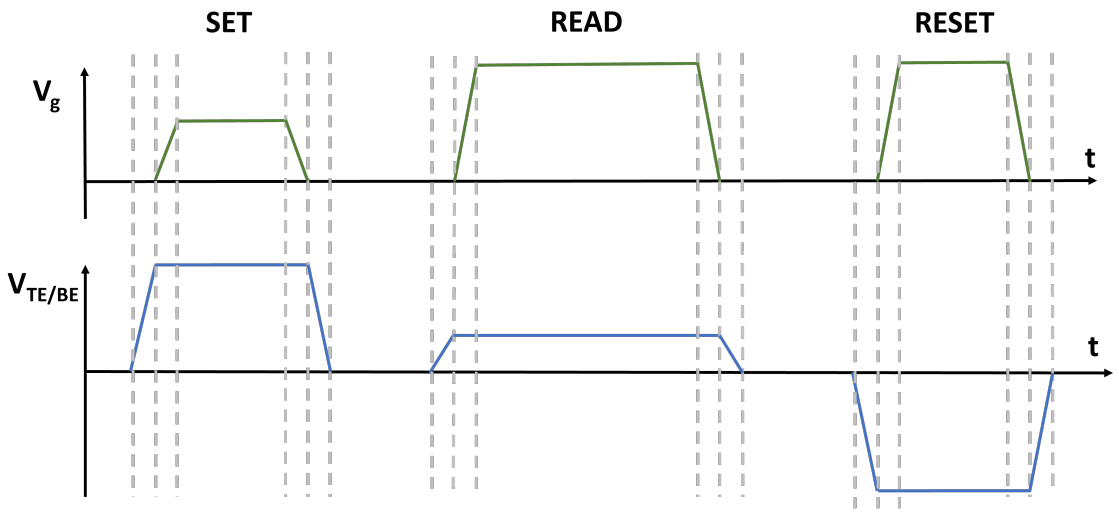

FIGURE 1.17 – Représentation schématique des impulsions électriques de programmation et de lecture des dispositifs 1T1R

L'impulsion de read consiste en l'application d'une faible tension V_{TE} (entre 0,1 et 0,4 V) pour lire le courant sans affecter l'état résistif de l'OxRAM. La valeur de résistance de la structure peut être retrouvée en utilisant la loi d'Ohm ($R = \frac{V}{I}$). La faible valeur de tension garantit que le transistor fonctionne en régime linéaire. Si sa valeur de résistance en régime linéaire est connue, elle peut être déduite pour retrouver la résistance correspondant à l'état résistif de l'OxRAM seule. Les impulsions de read utilisées dans cette thèse ont un plateau plus long (70 μs) pour moyenner les mesures de courant sur un intervalle de temps suffisant. Enfin, l'impulsion de reset suit un schéma similaire à celui de l'impulsion de set, à la différence que la tension est cette fois appliquée à l'électrode inférieure. Durant les impulsions de read et de reset, V_g est élevé à son niveau maximum afin de minimiser la résistance équivalente du transistor [92], [94].

La rapidité des mesures en mode impulsionnel permet d'effectuer des séries de set et de reset avec des tensions de programmation données, appelé cyclage et représenté en Figure 1.18. Ce test permet d'observer l'endurance du dispositif après un certain nombre de programmations.

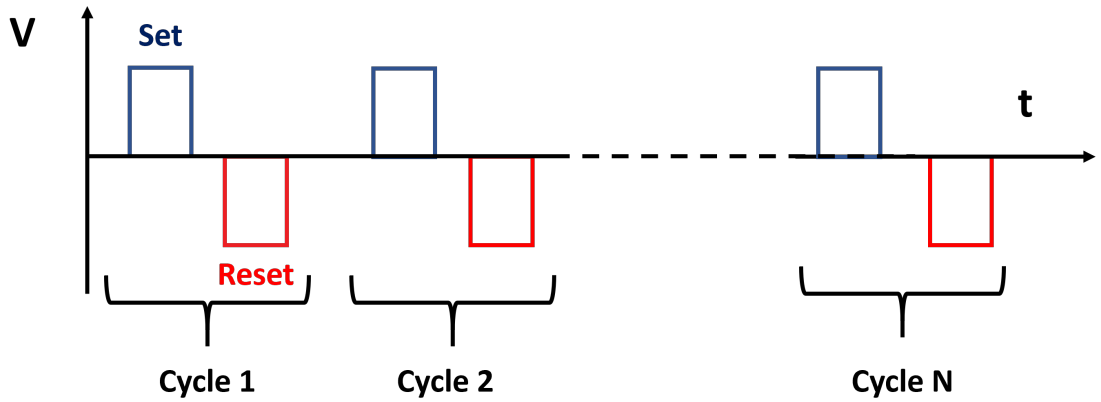

FIGURE 1.18 – Représentation schématique des impulsions appliquées pendant le cyclage d'un dispositifs unitaire RRAM.

Des opérations de lecture sont régulièrement ajoutées entre les impulsions de set et de reset, pour suivre les valeurs de résistance des états programmés en fonction du nombre de cycles. Un exemple de cyclage d'un dispositif 1T1R OxRAM à température ambiante est présenté en Figure 1.19

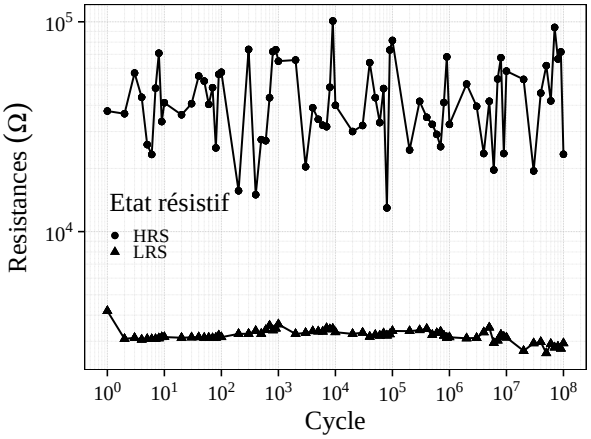

FIGURE 1.19 – Test d'endurance montrant des états HRS et LRS en fonction du nombre de cycles pour une structure 1T1R cyclée en mode impulsionnel.

La fenêtre mémoire est le rapport entre les valeurs de résistance des états HRS et LRS. Une fenêtre mémoire large est recherchée afin d'assurer une distinction nette entre les deux états logiques de la mémoire. Les performances électriques d'une mémoire résistive dépendent principalement de l'optimisation de la fenêtre mémoire ainsi que du nombre de cycles maximum avant dégradation. Pour une structure unitaire donnée, les paramètres de programmation jouent un rôle déterminant sur ces performances. En effet, les valeurs de tension de set (V_{set}), de reset (V_{reset}) et V_g déterminent la fenêtre mémoire ainsi que le nombre de cycle maximum [92], [95]. Parallèlement, il est souhaitable de minimiser les tensions de fonctionnement, à la fois pour réduire la consommation énergétique mais aussi pour garantir la compatibilité avec les contraintes de tension imposées par le transistor d'accès.

Pour comprendre et optimiser l'impact de ces paramètres sur les performances globales du dispositif, il est nécessaire de mettre en place une approche expérimentale structurée. L'application d'un plan d'expériences (Design of Experiments, DoE), dans lequel les performances sont évaluées en fonction des différentes valeurs des paramètres de programmation, permet d'identifier les facteurs les plus influents, d'analyser les interactions entre les différents paramètres, et de déterminer les conditions optimales garantissant un compromis entre endurance, consommation et stabilité des états résistifs.

En conclusion, les deux types de caractérisation électrique des RRAM apportent une vision différente sur le dispositif. Les mesures quasi-statiques permettent d'observer les niveaux de courant sur des plages de tension définies. Elles rendent visibles les sauts de courant, facilitent l'identification des tensions de commutation et permettent d'étudier les mécanismes de conduction propres aux différents états résistifs. Les mesures en mode impulsionnel analysent les performances du dispositif dans des conditions de l'application mémoire. Les niveaux de résistance sont mesurés après les impulsions de set et de reset, ce qui permet de suivre la fenêtre mémoire lors du cyclage et d'observer l'endurance du dispositif. Enfin, l'approche DoE compare les performances en fonction des paramètres de programmation en régime impulsionnel, permettant d'analyser l'influence de chaque paramètre et d'optimiser le fonctionnement de la RRAM, en conciliant fenêtre mémoire et endurance du dispositif.

1.3.4 État de l'art de la caractérisation électrique d'OxRAM à basse température.

Les premières études consacrées aux dispositifs OxRAM à basse température se sont concentrées sur des structures élémentaires de type 1R. Ces travaux reposent essentiellement sur des mesures obtenues à partir de balayages de tension quasi-statiques, permettant ainsi d'évaluer à la fois les tensions de commutation et les mécanismes de conduction. Malgré le fait que ces mécanismes diffèrent en fonction des matériaux utilisés, certaines observations permettront de comprendre des comportements globaux des OxRAM. Dans un second temps, des études se sont focalisées sur les commutation résistives à basse température, en particulier les tensions de set et de reset, afin de mettre en évidence

les évolutions induites par ce régime. Enfin, des études de dispositifs 1T1R pouvant inclure des tests de cyclage permettront d'aborder la problématique de l'endurance. Ces travaux se rapprochent le plus des contraintes applicatives et des objectifs de cette thèse, en reliant directement les mécanismes physiques fondamentaux aux enjeux des mémoires résistives.

La première étude de mémoire résistive à basse température est faite par Zhou et al. en 2012 [96] et se focalise sur la possibilité d'effectuer la commutation résistive. La couche active de HfAlO est de 30 nm. Les opérations de forming ainsi qu'un reset, non affichés, sont effectués à température ambiante, puis les mesures de commutation résistives sont faites entre 5 K et 300 K.

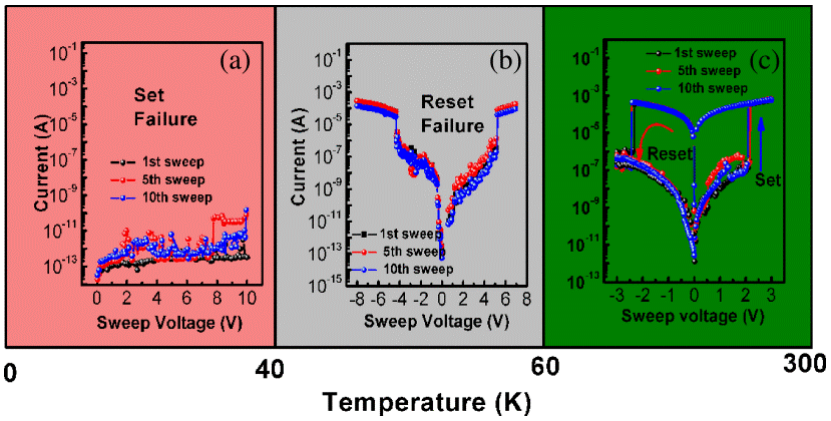

Figure 1.20 – Caractéristiques I-V d'OxRAM composées de TiN/HfAlO/Pt à différentes températures : (a) A 5 K, les OxRAM sont maintenues en HRS. (b) A 50 K, une commutation de seuil est observée. (c) A 200 K, des comportements typiques de commutation résistive apparaissent [96].

La Figure 1.20 montre les courbes I-V à 5 K (a), 50 K (b) et 200 K (c). On observe que l'échantillon à 5 K (Figure 1.20(a)) est maintenu dans un état reset, caractérisé par un courant mesuré très faible. L'opération de set a lieu à 50 K (Figure 1.20(b)), mais cet état n'est pas conservé, le matériau revient en HRS dès lors que la tension est inférieure à la tension de seuil. Une commutation résistive est finalement observée avec l'augmentation de température (Figure 1.20(c)). Selon les auteurs, en deçà d'une certaine température, le courant est très faible car seul du tunneling peut opérer comme mécanisme de conduction. Au-delà du seuil de température, l'injection d'électrons dans les lacunes d'oxygène devient possible, et va permettre la conduction de courant par Space-Charge-Limited-Conduction (SCLC). Cette contribution de courant supplémentaire apporte suffisamment d'effet Joule pour le mouvement des lacunes d'oxygène, permettant d'enclencher la transitons de set (Figure 1.20(b)). L'augmentation de la température permet aussi la stabilité du reset, qui nécessite une plus grande énergie thermique pour être reproductible (Figure 1.20(c)). Cette première étude montre donc que la stabilité des états résistifs et des commutations sont dépendants de la température, de plus la conduction en état reset est un élément important car elle apporte l'énergie thermique suffisante pour obtenir la transition de set.

Les mécanismes de conduction de l'OxRAM sont approfondis dans l'étude suivante, réalisée de Ahn et al. en 2014 [97] entre 50 K et 350 K. Les opérations de set et de reset sont programmées à température ambiante, puis des mesures à champ faible sont effectuées aux différentes températures, jusqu'à $\pm 0{,}5$ V, afin d'éviter de changer l'état du dispositif (Figure 1.21).

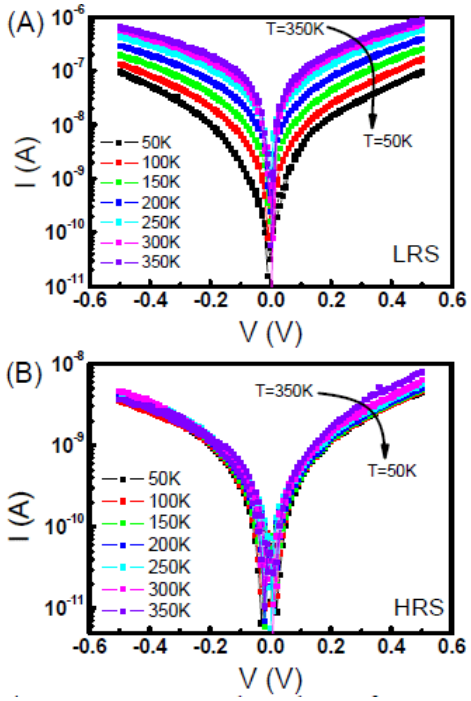

FIGURE 1.21 – Dépendance en température des courbes I-V pour (a) un LRS et (b) un HRS. L'empilement est constitué de Pt(100 nm)/Al_2O_3 (2 nm)/HfOx (4 nm)/Er(5 nm)/Pt(100 nm). Les couches de Al_2O_3 et HfOx sont déposées par ALD. La couche de Er sert de couche réservoir [97].

On observe sur la Figure 1.21 que les deux états sont plus isolants à basse température, correspondant à un comportement semi-conducteur. Les auteurs indiquent que, pour les deux états, le mécanisme de conduction de Poole-Frenkel prédomine au-delà de 200 K. En dessous de cette température, le modèle de tunnel Fowler–Nordheim décrit plus adéquatement le transport, avant de céder, aux plus faibles tensions, à un tunnel assisté par phonons. Cette étude très focalisée sur les différents mécanismes de conduction ne prend pas en compte l'intensité de l'état précédemment programmé, qui devient centrale dans l'étude de Zhang et al. réalisée en 2014 [98]. Les auteurs comparent trois niveaux de LRS dans est un empilement de Pt/Ta_2O_{5-x}/TaO_y/Pt programmés au préalable avec différents courants de saturation, puis mesurés en fonction de la température. Le LRS1 (moins résistif) a une résistance de 130 Ω à température ambiante. Sa résistance baisse linéairement avec la température, suggérant une nature métallique, et pouvant s'écrire sous la forme :

$$R(T) = R_0(1 + \alpha(T - T_0)) \tag{1.1}$$

Avec R_0 la résistance à la température T_0, α le coefficient de température, dont la valeur déterminée est de $1{,}7 \times 10^3 K^{-1}$, ce qui selon les auteurs est proche de la valeur théorique du Ta ($3{,}6 \times 10^3 K^{-1}$), confirmant la nature métallique du filament. L'écart entre la valeur théorique et calculée correspond selon les auteurs à une différence souvent observée entre les nanofils et les matériaux à l'état bulk.

En réduisant le courant de set, le LRS2 est à un niveau de résistance entre 300 et 800 Ω. Les auteurs remarquent que la résistance baisse encore graduellement jusqu'à 20 K, puis augmente de nouveau entre 20 K et 5 K. Ce changement de tendance indique un changement dans le mécanisme de conduction majoritaire : un transport métallique opère entre 250 K et 20 K, puis un autre type de transport opère entre 20 K et 5 K. Selon les auteurs ce mécanisme est du Variable Range Hopping (VRH), dont la conductivité à champ faible peut s'écrire [99] :

$$\sigma = \sigma_0 \cdot \exp\left[-\left(\frac{T_0}{T}\right)^{1/4}\right] \tag{1.2}$$

Le LRS3 est programmé a une résistance supérieure à 800 Ω. Cette fois-ci, un coefficient de température négatif est

observé. Aux plus basses températures, le mécanisme de conduction concorde avec le VRH. Au plus hautes températures, la résistance suit une évolution en fonction de T^{-1} ce qui concorde plutôt avec du "nearest-neighboring Hopping" (NNH), qui peut s'écrire comme :

$$\sigma = \sigma_0 \cdot \exp\left(-\frac{E_a}{kT}\right) \tag{1.3}$$

Avec E_a l'énergie d'activation. Une représentation schématique des mécanismes de conductions pour les différents LRS est proposée en Figure 1.22.

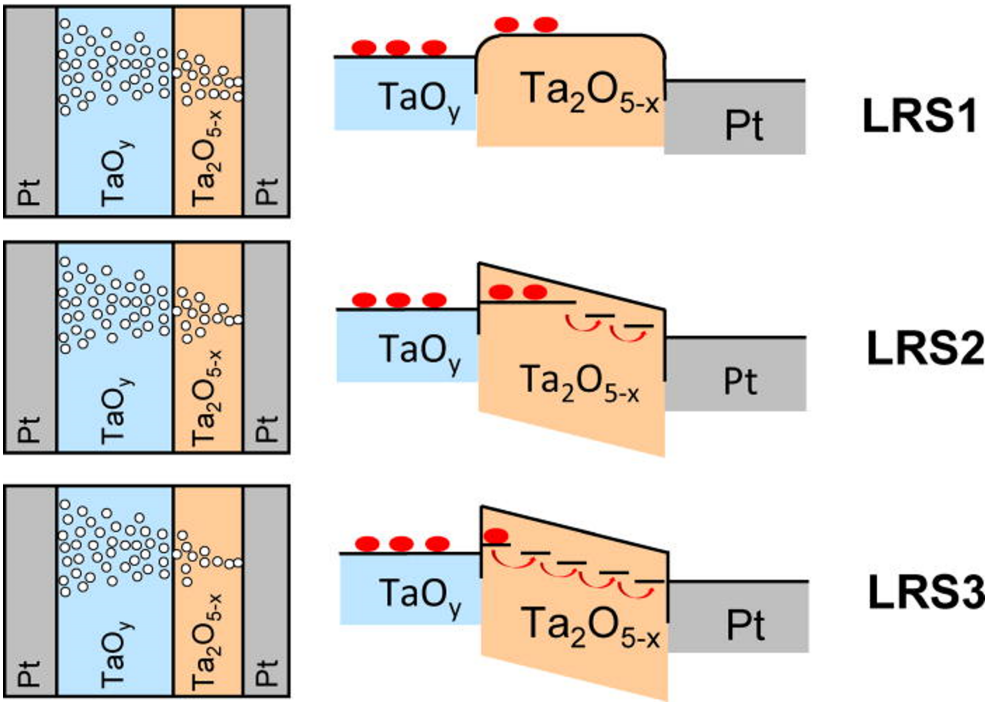

FIGURE 1.22 – Mécanisme de conduction possible pour trois niveaux de LRS [98].

Au-delà des mécanismes en jeu, cette étude met en évidence que l'intensité de l'état programmé exerce une influence déterminante sur la conduction.

L'étude Fang et al. en 2015 [100] apporte des éléments supplémentaires sur l'évolution des états résistifs. Des mesures réalisées entre 300 K et 4 K permettent d'analyser le mode de conduction, après avoir vérifié que les cycles thermiques n'avaient pas modifié les niveaux de résistance. Les états de résistance observés sont de 3 kΩ (état claqué), 20 kΩ (LRS), 100 kΩ (état intermédiaire) et 1 MΩ (HRS). Les auteurs observent que tous les états montrent un comportement semi-conducteur à l'exception de l'état claqué qui est métallique. Ces observations confirment les conclusions de l'étude de Zhang et al., [98] montrant que le type de conduction est variable avec l'intensité de l'état programmé. En outre, une observation importante a été faite lors de cette étude : il s'est avéré qu'un même dispositif, programmé plusieurs fois dans un même niveau de résistance, peut présenter des relations résistance-température différentes aléatoirement selon les programmations. A l'inverse, des dispositifs avec des niveaux de résistance différents peuvent afficher des relations résistance-température similaires. Ce protocole de mesure permet de vérifier que le phénomène observé n'est pas spécifique au dispositif, mais est aléatoire avec la programmation. L'opération de programmation conduit à des configurations de CF variables, bien que la résistance mesurée à une température donnée soit équivalente. Dans cette même étude, une analyse des tensions de commutations est réalisée (Figure 1.23) par le biais de balayages de tension quasi-statiques où les dispositifs 1R sont mesurés avec courant limité à 100 μA pour éviter le claquage. Les auteurs remarquent une augmentation de la tension de set et de reset à basse température et attribuent ces évolutions au ralentissement de la migration des ions et des lacunes d'oxygène avec la baisse d'énergie thermique, nécessitant une plus grande tension en compensation.

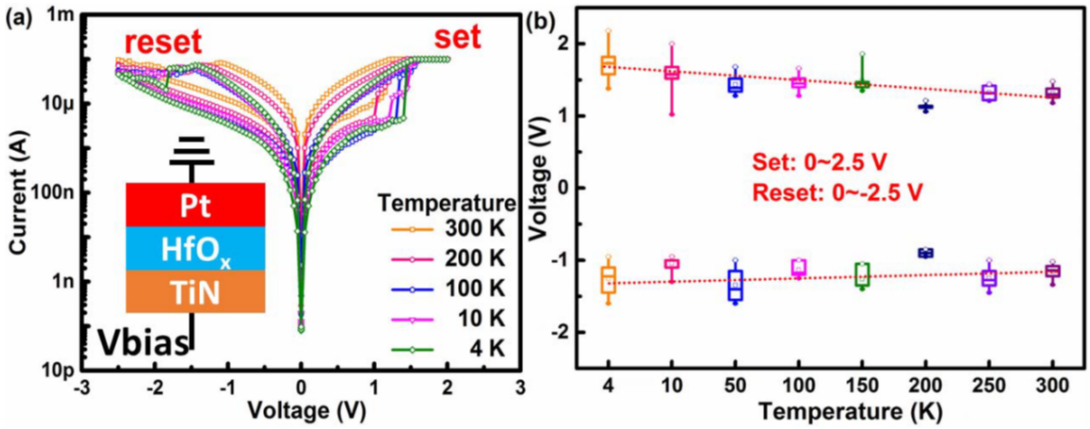

FIGURE 1.23 – (a) Courbe I-V des dispositifs Pf/HfO$_x$/TiN entre 300 K et 4 K et (b) statistiques des tensions de set et de reset en fonction de la température [100].

L'évolution des tensions de commutation est analysée en détail dans l'étude de Shang et al.[101] en 2014. Les dispositifs mesurés entre 10 K et 500 K sont des transparent-RRAM qui sont conçus pour être résistants aux radiations et peu sensibles aux variations de température. L'empilement consiste en une couche de HfO_2 de 5 nm empilée entre deux couches d'oxyde d'indium et d'étain (ITO). Les mesures consistent en l'application de rampes de tension entre ± 4 V, sur des structures 1R afin d'observer les commutations résistives. Les transitions de set et de reset sont observées à toutes les températures.

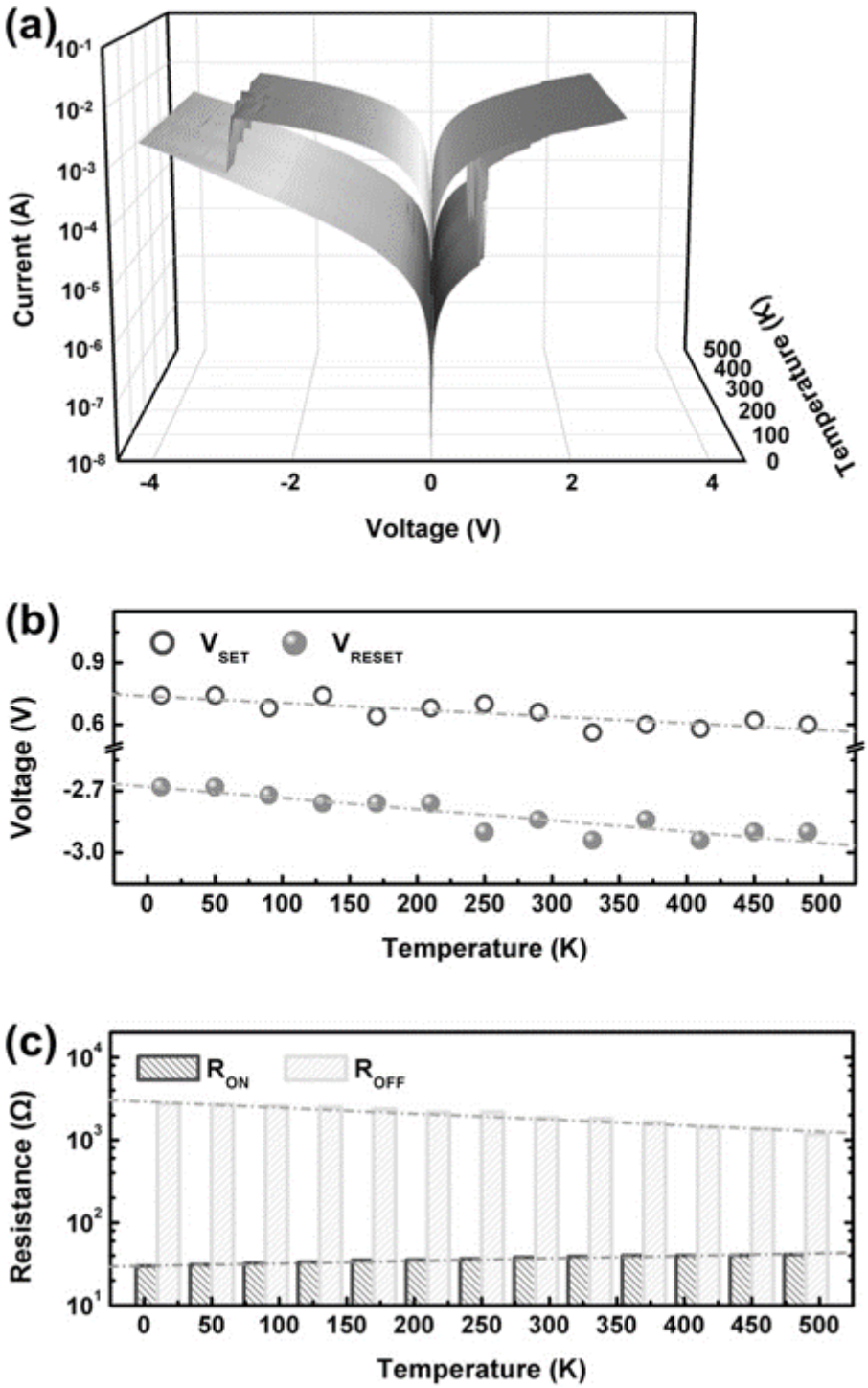

FIGURE 1.24 – Performances électriques de la structure de commutation ITO/HfOx/ITO à différentes températures. b) Évolution des tensions de set et reset en fonction de la température. c) Caractéristique d'endurance aux différentes températures, mesurée à −0,1 V dans les états de haute et basse résistance [101].

On peut observer sur la Figure 1.24(b), issue de cette étude, une légère baisse des tensions de set et de reset avec l'augmentation de température, confirmant les observations de l'étude précédente [100]. Ces résultats suggèrent que les mécanismes de commutation sont déterminés par des processus activés thermiquement, caractérisés par des énergies d'activation. Les niveaux de résistances atteints en fonction de la température sont présentés en Figure 1.24(c). La valeur du LRS passe de 30 Ω à 40 Ω, correspondant à un comportement métallique [99] et celle du HRS passe de 3000 Ω à 1100 Ω, correspondant à des propriétés d'un semi-conducteur [102]. Ces évolutions mènent à une légère baisse de la fenêtre mémoire avec l'augmentation de température.

Une autre étude des tension de commutation est réalisée en 2016 par Vaca et *al.* [103]. Des rampes de tension quasi-statiques sont appliquées entre 77 K et 450 K et la Figure 1.25 montre les tensions de commutation de set et de reset extraites de ces données : on observe une augmentation des tensions en baissant la température.

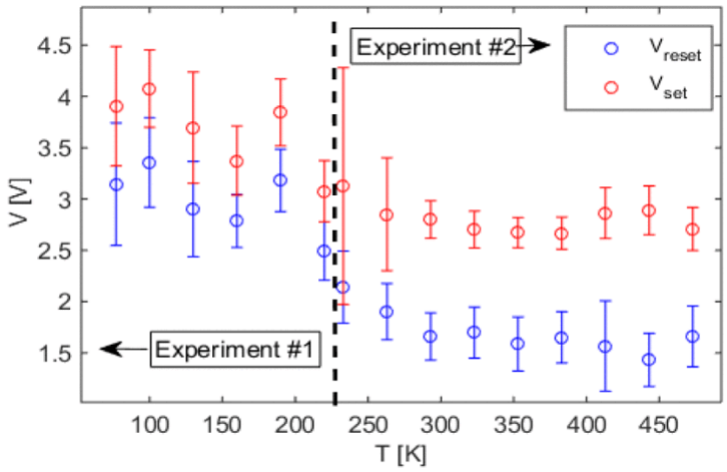

FIGURE 1.25 – Tensions de commutation en fonction de la température pour du Ni/HfO_2/Si [103].

En étudiant les courant mesurés à champ électrique faible, les auteurs remarquent que les niveaux de LRS baissent à basse température alors que les niveaux de HRS semblent augmenter. Ces évolutions tendent à montrer que le LRS affiche un comportement métallique alors que le HRS est semi-conducteur. Les observations faites dans cette étude concordent avec l'étude précédente [101], il faut toutefois noter que ces évolutions d'états observées peuvent aussi correspondre à la programmation d'un état différent.

La dernière étude d'OxRAM à basse température focalisée sur les tensions de commutation avant le début de cette thèse date de 2022 et est menée par Maldonado et al. [104] .

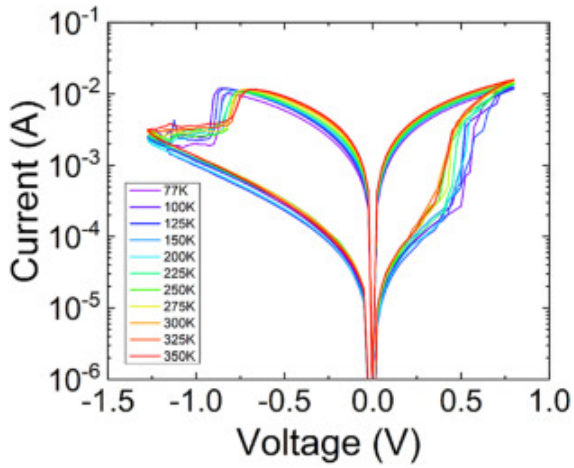

FIGURE 1.26 – Rampes de tension quasi-statiques à différentes températures [104].

La Figure 1.26 présente les résultats obtenus avec le même protocole que l'étude précédente, mais ici reproduits 100 fois pour chaque température, ce qui permet d'obtenir des statistiques sur les paramètres de commutation (Figure 1.27).

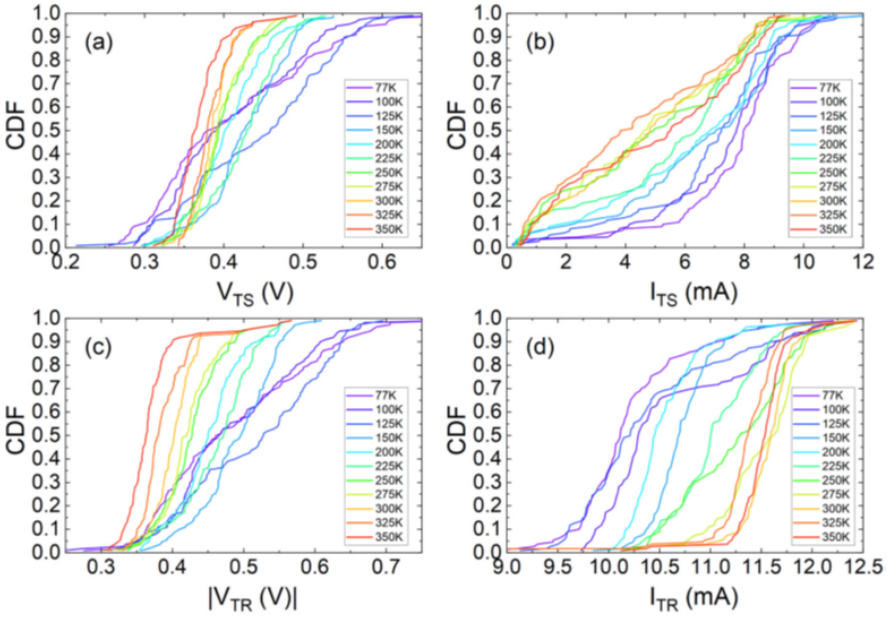

FIGURE 1.27 – Distribution cumulatives des (a) tensions de set, (b) courant de set, (c) tension de reset et (d) courant de reset extraits des séries de rampes de tension [104].

On remarque une augmentation de la variabilité des tensions de commutation avec la baisse de température. Selon l'hypothèse des auteurs, le CF créé à basse température est plus "fragile" et moins compact, ce qui entraîne une plus grande instabilité quant à sa formation et dissolution.

L'étude suivante menée par Huang et al. [105] en 2020 montre l'évolution des transitions accompagnée de tests d'endurance. La structure testée possède une double couche AlO_x/Al_2O_3, entre deux électrodes du tungstène et du platine. La couche de AlO_x déficitaire en oxygène permet de former le LRS à des faibles tensions (0,7 V) ce qui en fait des dispositifs "forming-free".

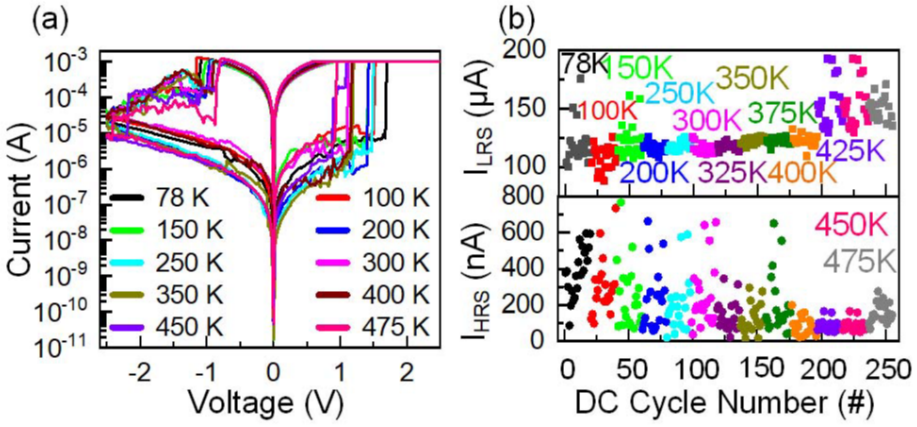

FIGURE 1.28 – (a) Commutation de résistance à différentes températures. (b) Courant de lecture à 0,1 V pour 20 programmations de LRS et HRS aux différentes températures [105].

Les commutations de résistance ont lieu entre 78 K et 475 K sur les balayages de tension quasi-statiques en Figure 1.28(a), avec le niveau de courant limité à 1 mA. La Figure 1.28(b) montre l'évolution de 20 programmations de HRS/LRS par température. On observe de plus grandes fluctuations du LRS à haute température, attribuée à une plus grande instabilité des lacunes d'oxygène formant le filament conducteur, ce qui rejoint l'observation de l'étude précédente [104].

La Figure 1.29 (a et c) montre 100 balayages de tension quasi-statiques à 100 K et 400 K respectivement, entre deux niveaux de tension utilisés pour effectuer des cyclage en régime impulsionnel (Figure 1.29(b et d)). Le test d'endurance montre un ratio HRS/LRS de 10^3 à 100 K (Figure 1.29(b)) stable jusqu'à 10^7 cycles, tandis que à 400 K le ratio est de 80 mais les niveaux sont stables jusqu'à 10^8 cycles.

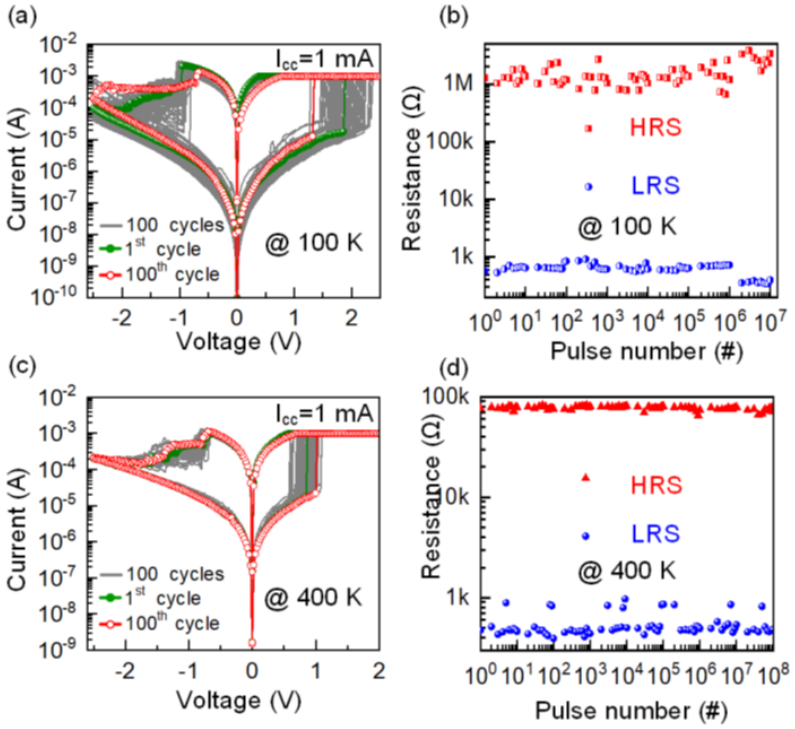

FIGURE 1.29 – Commutations de résistances stables à (a) 100 K et (c) 400 K. Endurance pour 10^7 cycles à (b) 100 K avec des impulsions électriques de set de 1,15 V durant 28 ns et de reset de -1,55 V et (d) 10^8 cycles at 400 K avec un set de 0,9 V et un reset de -1,35 V [105].

Cette étude en cyclage est la première à montrer l'endurance des dispositifs à des températures cryogéniques. On observe une augmentation de la fenêtre mémoire mais une baisse de nombre de cycles maximum. Il faut noter que les auteurs ont légèrement augmenté les tensions de set et de reset à 100 K afin de compenser la diminution de l'énergie thermique disponible pour la migration ionique. Cette observation soulève la question de l'influence combinée de la température et des paramètres de programmation sur la cyclabilité du dispositif et met ainsi en évidence la nécessité d'examiner simultanément ces deux facteurs.

Les recherches mentionnées jusqu'à ce stade se sont essentiellement concentrées sur des dispositifs 1R, mettant en évidence une augmentation des tensions de commutation, généralement attribuée au ralentissement de la migration ionique [100], [101]. L'étape suivante consiste à étendre ces observations aux structures 1T1R, plus représentatives des conditions d'application réelles. Deux publications illustrent ainsi le comportement de ces structures en régime cryogénique.

La première étude est menée par Blonkowski et Cabout [106] en 2015. Les mesures consistent en des rampes de tension, avec une tension de grille maintenue à 1,5 V sur le transistor.

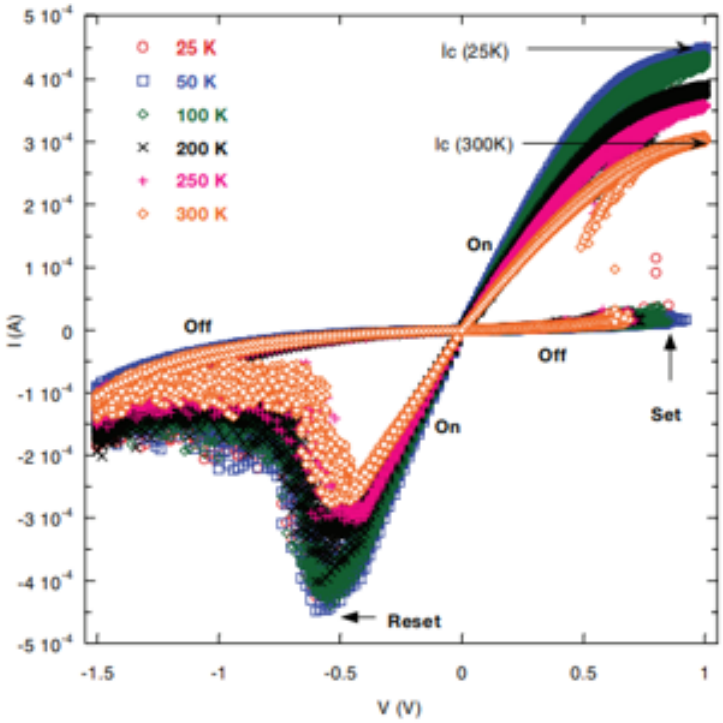

FIGURE 1.30 – Courant en fonction de la tension appliquée sur le dispositif 1T1R mesuré entre 25 K et 300 K. L'OxRAM consiste en un empilement de TiN/Ti/HfO_2/TiN [106].

Le courant mesuré pendant les rampes de tension est présenté en Figure 1.30. La principale observation est l'augmentation du courant maximum atteint à la fin de la transition de set. Afin de comprendre l'origine de cet effet, des mesures I_{ds} en fonction de V_{ds} sont effectuées à chaque température sur des dispositifs 1T (Figure 1.31), où on observe que les niveaux de courant de saturation correspondent à ceux des structures 1T1R pour les mêmes températures. Le courant de saturation du CMOS augmente à basse température du fait de la plus grande mobilité du canal : à basse température cette augmentation induit un courant de set plus fort, qui va créer un LRS plus conducteur.

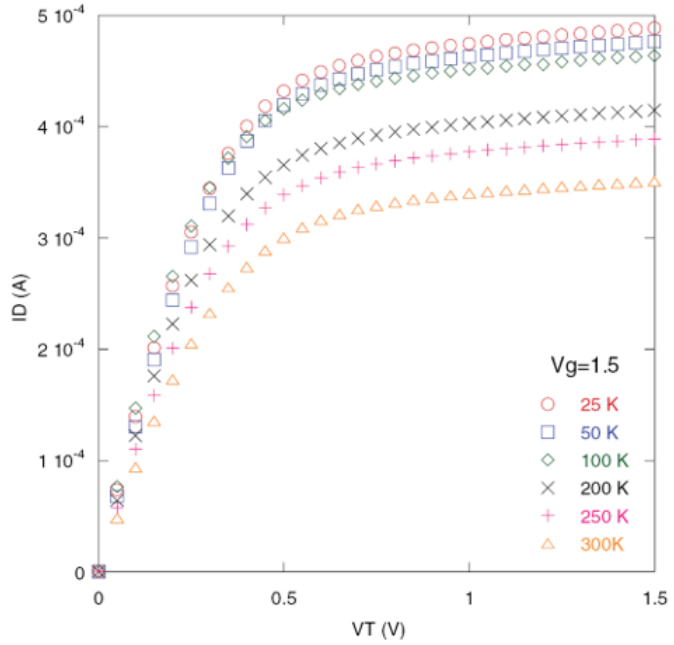

FIGURE 1.31 – I_{ds} en fonction de V_{ds} pour les CMOS polarisés avec une tension de grille de 1,5 V entre 25 K et 300 K [106].

Cet exemple met en évidence l'influence des évolutions du transistor sur le fonctionnement de l'OxRAM à basse température à travers le courant de set.

La seconde étude de dispositifs 1T1R est menée par Hao et al. en 2021 [107]. Le dispositif utilisé cette fois consiste en du TiN/HfO_x/TaO_y/TiN. Les auteurs ont d'abord remarqué que les commutations de résistances n'étaient plus possible à 8 K pour des échantillons de TiN/HfO_x/TiN. Cette dégradation à basse température est attribuée au rôle facilitateur de la température dans la migration ionique. Dans cette étude, les auteurs ajoutent la couche additionnelle de TaO_y pour confiner la chaleur dans la couche active (HfO_x). Cela met en évidence l'impact de la température locale dans les commutations de résistance. Les tensions de commutation présentées sur la Figure 1.32(a) augmentent légèrement en valeur absolue à basse température, en raison de la dépendance de la migration ionique vis-à-vis de la température.

La Figure 1.32(b) présente l'évolution d'états résistifs en fonction de la température, montrant que seule la résistance la plus haute augmente à basse température, alors que les états plus faibles n'évoluent pas. Ces observations montrent encore que le type de conduction du dispositif varie avec le niveau de résistance programmé [100].

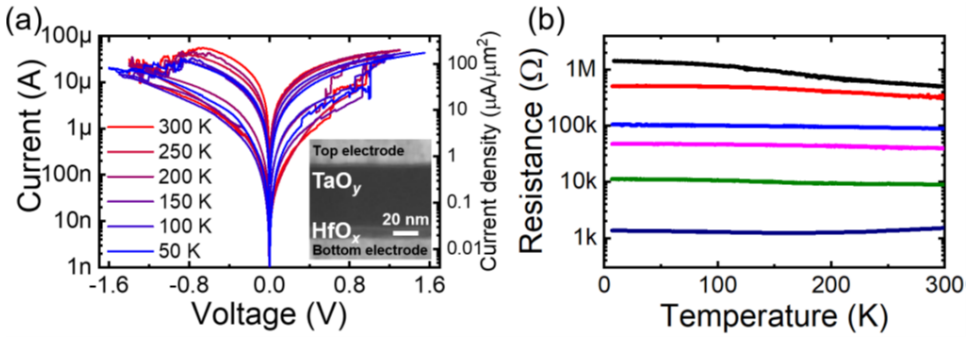

FIGURE 1.32 – Balayage de tension quasi-statique pour les dispositifs 1T1R TiN/HfO_x/TaO_y/TiN à différentes températures. (b) État de résistance calculé en fonction de la température mesuré à 0,2 V [107].

Une opération de cyclage est ensuite effectuée à 8 K, montrant des performances stables jusqu'à 10^6 cycles.

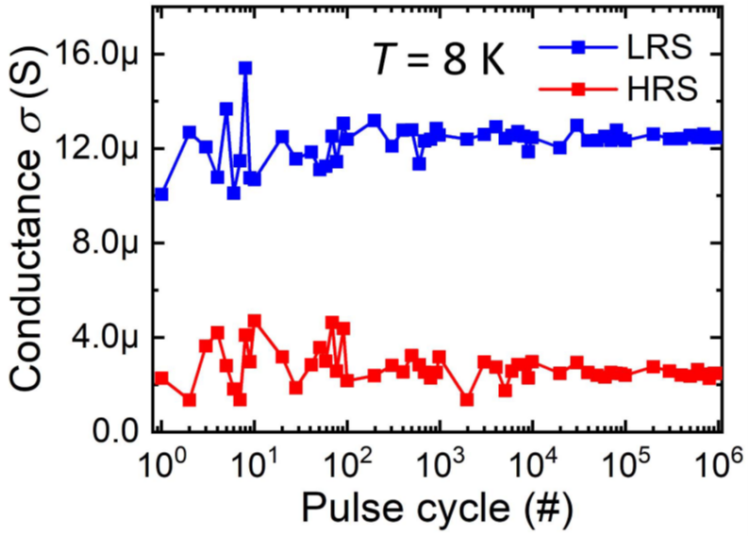

FIGURE 1.33 – Endurance de la structure 1T1R à base de TiN/HfO_x/TaO_y/TiN à 8 K [107].

1.3.5 Conclusion sur les OxRAM à basse température et objectifs

Les différentes études menées sur les mémoires OxRAM à basse température s'appuient principalement sur des balayages de tension quasi-statiques afin d'observer l'évolution des tensions de commutation et les mécanismes de

conduction associés. Ces travaux ont mis en évidence l'influence significative de la température sur la migration ionique, en particulier lors de la transition reset [96], [100]. Certaines des études montrent l'impossibilité d'obtenir une commutation stable sans l'ajout d'une couche réservoir [96] ou d'une couche de confinement thermique [107]. L'analyse statistique de Maldonado et al. [104] met également en évidence une variabilité plus importante des tensions de commutation dans ces conditions.

Concernant l'évolution des états, plusieurs études rapportent un comportement métallique du CF, avec une baisse de la résistance à basse température [101], [103], [106], mais d'autres études avancent un CF semi-conducteur [97], [100]. À l'inverse, l'état HRS est systématiquement identifié comme semi-conducteur, avec une résistance qui augmente à basse température. Zhang et al. [98] montrent que l'intensité de la programmation de set influence la nature du CF, et donc son évolution en température [98]. Aussi, l'étude de Fang et al. [100] a montré la nature aléatoire de la programmation, qui peut aboutir à CF différents dans la couche active.

Le cyclage en régime impulsionnel à basse température est montré dans deux études [105], [107]. Huang et al. [105] montrent une endurance jusqu'à 10^7 cycles à 100 K, avec des tensions de programmation légèrement augmentées, une fenêtre mémoire élargie, mais une endurance réduite. L'optimisation des paramètres de programmation ne fait cependant pas l'objet d'une étude approfondie. Hao et al. montrent le cyclage de dispositifs 1T1R à 8 K, sans pour autant discuter de l'impact du transistor. Le transistor, en série avec l'OxRAM dans les applications, évolue aussi avec la température [108]. Ces évolutions peuvent avoir des conséquences sur les performances des dispositifs. Blonkowski et Cabout montrent que pour une tension de grille fixe, le LRS programmé sera plus conducteur du fait du courant de saturation supérieur du transistor [106].

L'objectif du chapitre sur les OxRAM à basse température sera donc de comprendre les évolutions des dispositifs 1T1R avec la baisse de température, en dissociant les effets des deux éléments, dans le but de comprendre quelle est l'influence de chacun sur les performances. L'objectif est de comprendre comment optimiser les performances à basse température en contrôlant les paramètres de programmation.

Le Tableau 1.2 récapitulatif des différentes études d'OxRAM à basse température.

Table 1.2 – Récapitulatif des études d'OxRAM à basse température

Étude	Empilement	Temp.	Structure	V_{set}	V_{reset}	HRS/LRS	Cyclage
Zhou 2012 [96]	TiN/ HfAlO/ Pt	300K–5K	1R	/	/	/	/
Ahn 2014 [97]	Pt/ Al_2O_3/ HfO_x/ Er/ Pt	350K-50K	1R	/	/	/	/
Zhang 2014 [98]	Pt/ Ta_2O_{5-x}/ TaO_y/ Pt	250K-5K	1R	/	/	/	/
Shang 2014 [101]	ITO/ HfO_2/ ITO	500K-10K	1R	+	+	+	/
Blonkowski 2015 [106]	TiN/ Ti/ HfO_2/Ti	300K-4K	1T1R	=	=	/	/
Fang 2015 [100]	Pt/ HfO_x/ TiN	300K-4K	1R	+	+	/	/
Vaca 2016 [103]	Ni/HfO_2/ Si	450K-77K	1R	+	+	/	/
Huang 2020 [105]	W/Al_x/ Al_2O_3/ Pt	400K- 78K	1R	+	+	+	-
Hao 2021 [107]	TiN/HfO_x/ TaO_y/TiN	300K-8K	1T1R	+	+	+	stable
Maldonado 2022 [104]	TiN/Ti/ HfO_2/W	350K- 77K	1R	Variabilité accrue	Variabilité accrue	/	/

1.4 Les mémoires ferroélectriques

1.4.1 Principe de la ferroélectricité

Les matériaux ferroélectriques se distinguent par une structure cristalline non centro-symétrique, caractérisée par un décalage des barycentres des charges partielles positives et négatives au sein de la maille élémentaire. Cette asymétrie entraîne un moment dipolaire permanent, qui se traduit par l'acquisition d'une polarisation spontanée à l'échelle macroscopique. La ferroélectricité se définit comme la capacité de ces matériaux à renverser l'orientation de leur polarisation spontanée sous l'effet d'un champ électrique externe. En outre, les matériaux ferroélectriques possèdent intrinsèquement des propriétés pyroélectriques, pour lesquels une variation de température modifie la polarisation spontanée (Figure 1.34), qui eux-même appartiennent à la classe des matériaux piézoélectriques, résultant de la génération d'une polarisation électrique en réponse à une contrainte mécanique appliquée.

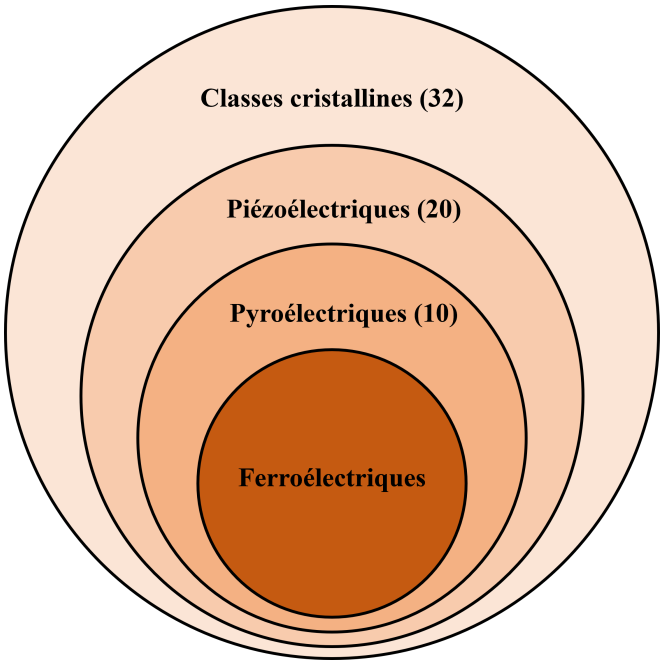

FIGURE 1.34 – Relation entre les classes cristallines diélectriques, piézoélectriques, pyroélectriques et ferroélectriques. [109]

Un matériau présentant un comportement ferroélectrique se caractérise par une réponse électrique distincte de celle des matériaux diélectriques et paraélectriques. Un matériau diélectrique, dont la permittivité (ϵ_r) est constante, possédera une polarisation (P) proportionelle au champ électrique (E) (Figure 1.35(a)), alors que dans un matériau paraélectrique la permittivité varie avec le champ électrique, provoquant une discontinuité dans la relation P-E (Figure 1.35(b)).

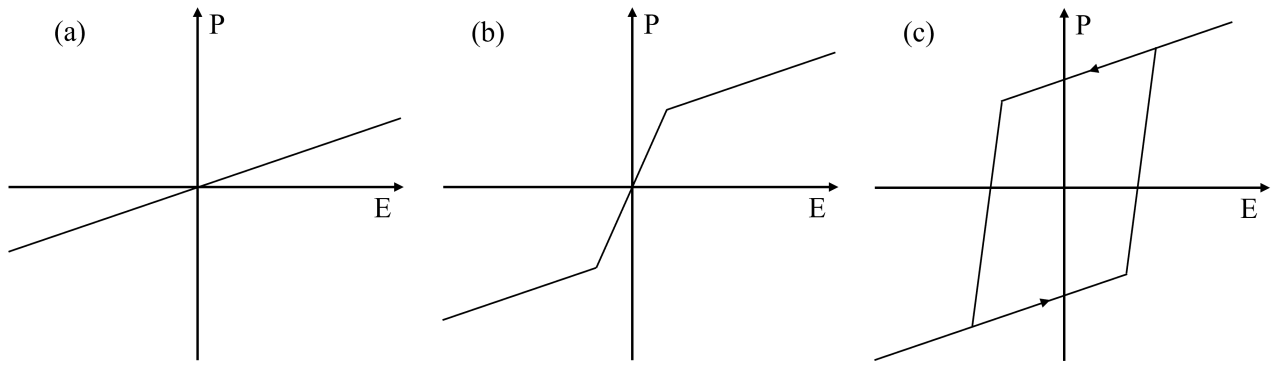

FIGURE 1.35 – Représentation schématique de la polarisation en fonction du champ électrique pour un matériau (a) diélectrique, (b) paraélectrique et (c) ferroélectrique.

Les matériaux ferroélectriques, quant à eux, se caractérisent par une polarisation spontanée en l'absence de champ électrique (Figure 1.35(c)). La polarisation d'un matériau ferroélectrique dépend non seulement du champ électrique appliqué, mais aussi du sens de polarisation initial. Sous l'action d'un champ électrique opposé, cette polarisation peut être inversée, donnant naissance au cycle d'hystérésis P–E typique des matériaux ferroélectriques. Cette caractéristique hystérétique fait des matériaux ferroélectriques d'excellents candidats pour la fabrication de mémoires non volatiles en microélectronique, où les deux états de polarisation distincts permettent d'encoder les bits logiques 0 et 1.

1.4.2 Le développement des matériaux ferroélectriques pour l'application mémoire

La ferroelectricité a été découverte en 1920 par Joseph Valasek dans du sel de Seignette [110], dans une étude initialement focalisée sur la piézoélectricité. Cependant, la structure complexe du matériau a limité la compréhension approfondie de ce phénomène et son exploitation technologique. Les potentielles applications de la ferroélectricité furent envisagées dès lors que cette propriété fut démontrée dans des structures cristallines mieux connues comme le titanate de baryum ($BaTiO_3$) [111] ou des matériaux à base de plomb comme le $PbZrO_3$ ou $PbTiO_3$ [112]. Les études réalisées sur ces matériaux et focalisées sur les propriétés ferroélectriques ont permis de mieux comprendre les propriétés physiques et envisager de possibles applications [113], [114]. L'utilisation de dispositifs ferroélectriques appliqués aux mémoires est démontrée pour la première fois en 1953 sur du $BaTiO_3$ [115], dont les deux états de polarisation représentent les niveaux logiques 0 et 1 de la mémoire.

Le développement des mémoires ferroélectriques s'est ensuite orienté vers le matériau $PbZr_xTi_{1-x}O_3$, aussi appelé PZT, en raison de ses nombreux avantages comparé au $BaTiO_3$, notamment une grande flexibilité chimique permettant d'ajuster ses propriétés via des dopages ou des substitutions, ainsi qu'une plage de température de fonctionnement plus étendue au sein de laquelle ses propriétés ferroélectriques sont conservées [116]. La commercialisation de puces mémoire FeRAM à base de PZT a débuté à partir des années 1990. Plusieurs entreprises ont développé et commercialisé les mémoires de ce type : Infineon, Texas Instruments, IBM ou encore Fujitsu.

Cependant, le PZT a montré certaines limites avec l'évolution de la microélectronique. La première est l'utilisation de plomb pour sa fabrication, qui est un matériau toxique. De nombreuses normes ont été mises en place pour limiter l'utilisation de ces substances toxiques comme la "Restriction of Hazardous Substances in Electrical and Electronic Equipment (RoHS)" en Europe, entrée en vigueur en 2006. De plus, ce matériau est peu compatible avec les environnements de fabrication CMOS car il est très contaminant. L'autre limite rencontrée par le PZT est sa miniaturisation : la réduction de l'épaisseur en dessous de la centaine de nanomètres entraine une dégradation des propriétés ferroélectriques [117], [118], rendant son intégration impossible aux noeuds avancés de la microélectronique. L'intégration des FeRAM à base de PZT s'est donc limitée au noeud technologique 130 nm.

1.4.3 L'oxyde d'hafnium

L'oxyde d'hafnium est largement utilisé comme matériau diélectrique high-k dans la fabrication de l'oxyde de grille des transistors avancés. Récemment, cet oxyde a aussi montré qu'il pouvait être utilisé comme mémoire résistive bipolaire [119]. Ce n'est qu'en 2011, qu'une phase ferroélectrique a été découverte dans des matériaux à base de HfO_2 [120], nécessitant des conditions de fabrication spécifiques.

Tout d'abord, l'oxyde d'hafnium n'est ferroélectrique que pour des épaisseurs en dessous de quelques dizaines de nanomètres (il n'est plus ferroélectrique au dessus de 40 nm [121]), contrairement à d'autres matériaux ferroélectriques possédant cette caractéristique à l'état bulk. De plus, la stabilisation de la phase ferroélectrique dépend majoritairement d'un dopage du HfO_2 ainsi que d'un traitement thermique (Figure 1.36).

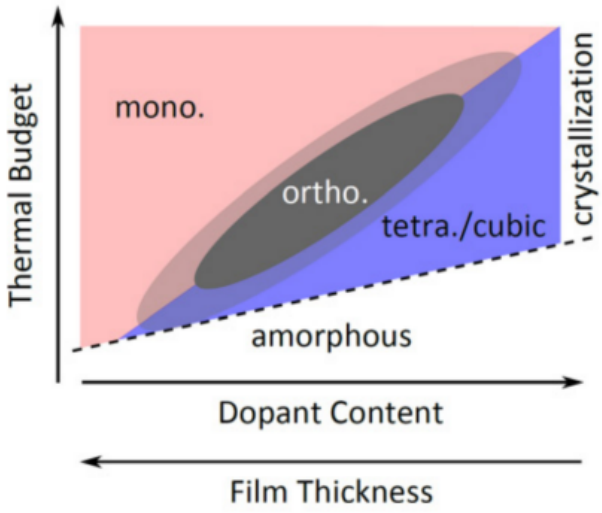

FIGURE 1.36 – Dépendance des différents groupes cristallographiques en fonction du dopage et du traitement thermique [122].

À température et pression ambiantes, la phase cristalline thermodynamiquement la plus stable du HfO_2 est la phase monoclinique (m-) $P2_1/c$ [123], [124]. L'augmentation de température entraîne une transition vers la phase tétragonale (t-) $P4_2/nmc$ (Figure 1.37(a)), puis vers la phase cubique $Fm\bar{3}m$ [125] (Figure 1.37(d)), tandis que l'augmentation de pression entraîne une transition vers la phase orthorhombique antipolaire (o-$_{AFE}$) *Pcba* (Figure 1.37(f)). Cependant toutes les phases mentionnées précédemment sont non polaires et ne peuvent donc pas, théoriquement, être responsables de la ferroélectricité. Des études ont démontré que la phase à l'origine de la ferroélectricité est la phase $Pca2_1$ (o-$_{FE}$) [126], qui se formerait suite à une transition depuis la phase t- étant donné la faible barrière d'énergie entre les deux phases [124], [127], [128].

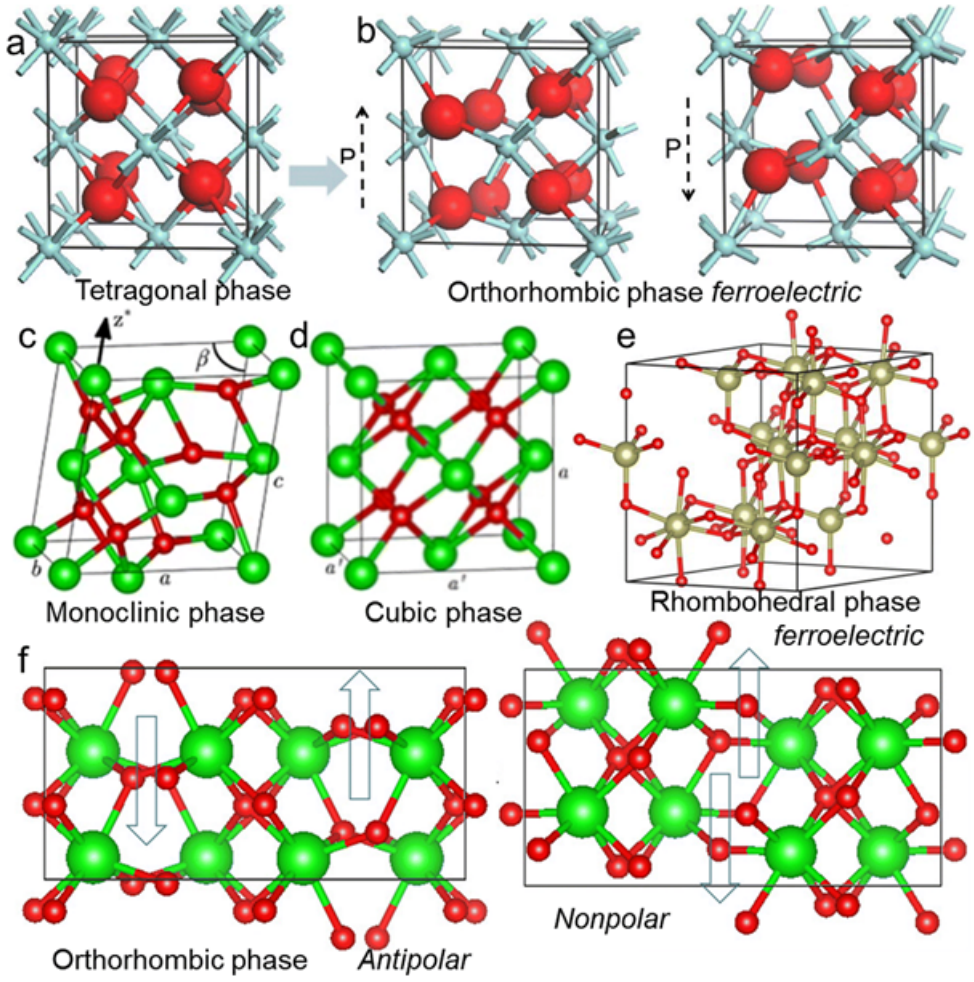

FIGURE 1.37 – Représentation schématique des structures de phases du HfO_2. (a) Phase tétragonale $P4_2/nmc$ [127], (b) phase orthorhombique polaire $Pca2_1$ [127], (c) phase monoclinique $P2_1/c$ [124], (d) phase cubique $Fm\bar{3}m$ [124], (e) phase rhombohedrale $R3m$ [129] et (f) phase orthorhombique antipolaire $Pcba$ [130]. [131]

Jusqu'à présent, la stabilisation de la phase o-$_{FE}$ dans le HfO_2 a nécessité la présence d'un dopage, bien que le HfO_2 ferroélectrique non dopé existe [132] mais montre des performances ferroélectriques limitées. Le silicium a été le premier dopant utilisé en 2011 pour stabiliser la ferroélectricité du HfO_2 [120] (HSO). Peu de temps après, la ferroélectricité a été démontrée dans du HfO_2 dopé au zirconium (Zr)[133]. Depuis, ces deux derniers éléments constituent l'alliage le plus couramment employé pour obtenir une phase ferroélectrique stable, notamment au CEA-Leti, car il présente de nombreux avantages : sa température de cristallisation plus faible est compatible avec le processus d'intégration BEOL [134], [135]. De plus, il offre une polarisation rémanente élevée et permet de stabiliser la phase ferroélectrique sur une large gamme de stœchiométries entre le Hf et le Zr [127]. D'autres éléments tels que le La [136], Gd [137] ou Al [138] peuvent être ajoutés, mais leur usage est moins répandu en raison de températures de cristallisation incompatibles avec les processus d'intégration BEOL. La concentration du dopage influe sur la proportion de chaque phase et donc sur les propriétés ferroélectriques. Un dopage insuffisant favorise la phase m- paraélectrique, tandis qu'un dopage excessif favorise le comportement anti-ferroélectrique (AFE), souvent attribué à la dominance de la phase t- du ZrO_2 [133] (Figure 1.38).

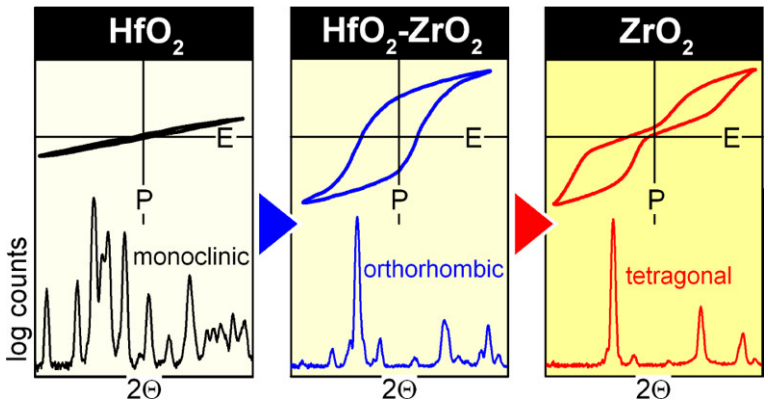

FIGURE 1.38 – Cycle d'hystérésis et profil de diffraction aux rayons X (XRD) pour des échantillons présentant différentes concentrations de HfO_2 et de ZrO_2 [133].

La composition $Hf_{0,5}Zr_{0,5}O_2$ du HZO optimise la polarisation rémanente [133], [139] en favorisant la phase o-$_{FE}$. Cependant, les différentes phases coexistent au sein de la couche FE en différentes proportions, affectant les propriétés globales de cette dernière. La nature polycristalline du HZO complique sa compréhension physique, car il est difficile d'isoler les contributions spécifiques de chaque phase. Finalement, la couche de HZO est sandwichée entre deux électrodes métalliques, généralement du nitrure de titane (TiN) ou du tungstène (W), pour constituer le condensateur ferroélectrique (FeCap).

1.4.4 Intégration de la FeCap pour des mémoires ferroélectriques

Les différentes architectures pour les dispositifs unitaires

Différentes approches peuvent être envisagées afin de mettre à profit les propriétés FE de la FeCap pour une application mémoire. Les architectures correspondantes sont montrées en Figure 1.39.

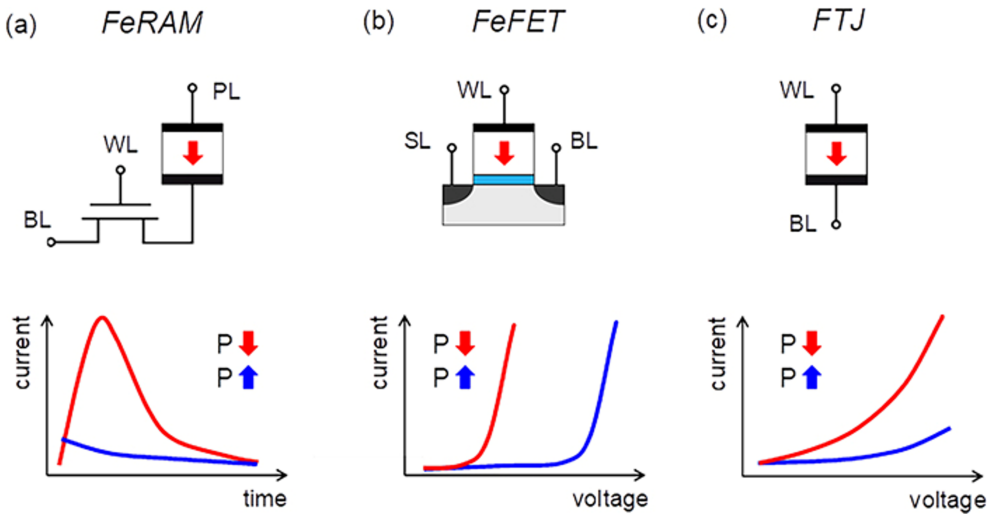

FIGURE 1.39 – Les trois architectures de dispositif unitaire de mémoire ferroélectrique et leurs réponses en courant respectives en fonction du temps ou de la tension pour les deux directions de polarisation (a) FeRAM, (b) FeFET et (c) FTJ [140].

La première structure unitaire est la structure 1T1C (Figure 1.39(a)), dans laquelle la FeCap est connectée en série avec le drain du transistor de sélection, par analogie aux structures 1T1R des RRAM. La FeCap peut être embarquée dans le BEOL [134] ou encore dans le middle-of-line (MOL) [141] de l'intégration. La lecture de l'état de la mémoire est

destructive car elle peut provoquer son changement d'état à cause du renversement de la polarisation. Pour palier cette limitation, un système de réécriture rapide appelé "write-back" est intégré au circuit final.

D'autres architectures existent comme le FeFET (Figure 1.39(b)). Dans cette structure, la couche FE est insérée entre la grille métallique et le canal du transistor, jouant le rôle d'oxyde de grille. Cette intégration permet de réduire les étapes de processus et le dimensionnement, en regroupant l'élément mémoire avec son sélecteur. La conductance du canal est modulée par l'orientation de polarisation de la couche FE. La lecture dans cette architecture est non destructive [142]. Plus récemment, un second type de FeFET a vu le jour : le FeMFET. Dans cette structure, une FeCap est connectée à la grille d'un transistor afin d'en moduler sa tension de seuil [143]. Le troisième type de dispositif ferroélectrique correspond aux mémoires FE à jonction tunnel (FTJ), dans laquelle une couche isolante est déposée sur la couche FE dans la FeCap. Le fonctionnement de la mémoire FTJ exploite la modulation du courant de fuite de la couche isolante induite par l'orientation de la polarisation de la couche FE [144]. Dans cette structure aussi, la lecture est non destructive. Les dispositifs FeFET et les FTJ proposent des architectures aux principes de fonctionnement très prometteurs, cependant l'intégration de la couche FE dans un empilement asymétrique avec une couche isolante complique la stabilisation de la phase o-$_{FE}$. A l'inverse, la structure symétrique de la FeCap permet d'obtenir de meilleures propriétés FE [145].

Les dispositifs fabriqués au CEA-Leti

Dans cette thèse, nous nous focaliserons uniquement sur l'analyse des propriétés FE de la FeCap. En effet, les mémoires FeRAM du CEA-Leti sont à un niveau de maturité plus faible que les mémoires RRAM. Les limitations de performances actuellement rencontrées pour les FeRAM sont liées aux propriétés intrinsèques de la FeCap. Ainsi, la compréhension des propriétés FE de la FeCap nécessite d'être approfondie. L'étude des propriétés FE en fonction de la température permettra de mieux comprendre le fonctionnement global de ce dispositif, et ainsi d'identifier les phénomènes limitants les performances et la fiabilité dans la FeCap.

Les FeCap étudiées sont constituées de champs de condensateurs FE simples, de faible surface, connectés en parallèle afin d'augmenter la surface effective du dispositif. Cette configuration permet une meilleure caractérisation des propriétés FE. Les condensateurs utilisés présentent des diamètres compris entre 300 et 600 nm. Les électrodes supérieures et inférieures en TiN sont déposées par dépôt physique en phase vapeur (PVD), tandis que la couche active de $Hf_{0,5}Zr_{0,5}O_2$ et de 10 nm d'épaisseur est déposée par dépôt en couche atomique (ALD). À la fin du processus de fabrication, un recuit à 500 °C est effectué pendant 15 minutes pour cristalliser la couche HZO dans la phase FE. Les FeCap sont intégrées entre M4 et M5 comme présenté dans la Figure 1.40 dans le BEOL de la technologie HCMOS9 de STMicroelectronics (noeud 130 nm). Des circuits plus complexes comme des matrices FeRAM de 16 kbit sont aussi fabriqués mais ne seront pas étudiés dans cette thèse.

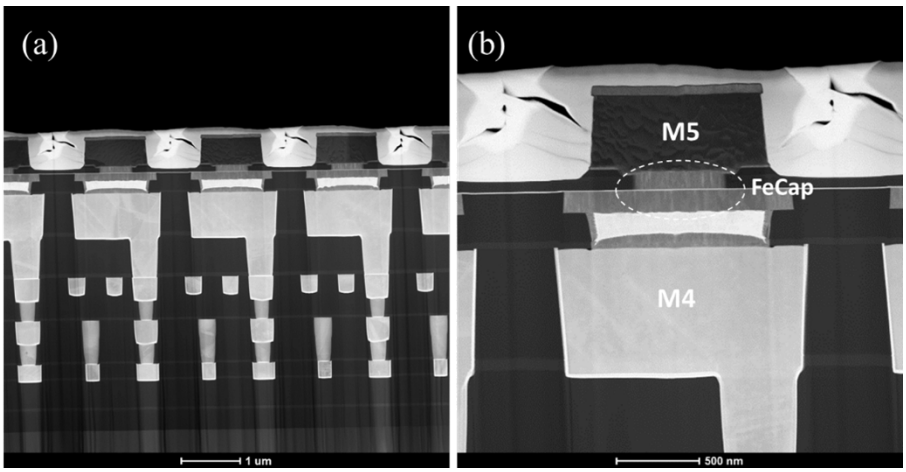

Figure 1.40 – (a) Coupe STEM d'une plaque 200 mm à base de technologie CMOS 130 nm et (b) FeCap intégrées entre M4 et M5 dans le BEOL de l'intégration [146].

1.4.5 Caractérisation électrique des FeCap

Nous avons vu dans la Section 1.4.1 la différence de réponse de la polarisation en fonction du champ électrique pour des matériaux purement ferroélectriques, paraélectriques ou diélectriques. Cependant, un matériau ferroélectrique possède aussi une réponse diélectrique et peut aussi montrer des courants de fuite à travers la couche. Par ailleurs, dans le cas des couches minces, des courants de fuite viennent généralement s'ajouter, constituant une troisième contribution au courant total mesuré.

Ainsi, une méthodologie expérimentale spécifique est nécessaire afin d'isoler et d'identifier les seules caractéristiques ferroélectriques du matériau. En effet, une prise en compte insuffisante des contributions diélectriques ou de fuite peut conduire à l'obtention de cycles d'hystérésis non-ferroélectriques, pouvant être interprétés à tort comme une signature ferroélectrique [147].

La méthode PUND et les séquences de cyclage

La méthode PUND est principalement utilisée afin d'isoler les contributions FE d'un matériau. La Figure 1.41 illustre les séries d'impulsions de tension appliquées sur la FeCap pour ce type de mesure. Deux séquences typiques y sont représentées : la séquence PUND, destinée à mesurer les propriétés FE du dispositif (polarisation rémanente et champ coercitif), et la séquence de cyclage, employée pour simuler le vieillissement du dispositif et en évaluer l'endurance. En pratique, des séquences PUND sont insérées périodiquement au cours du cyclage afin de suivre l'évolution des propriétés FE. Aucune mesure n'est réalisée pendant la séquence de cyclage.

Les séquences de PUND et de cyclage ont la même amplitude te tension. En revanche la fréquence de la séquence PUND est volontairement plus faible que celle de cyclage (10 kHz contre 100 kHz dans cette thèse), afin de diminuer le temps de mesure dans les endurances longues. La séquence d'impulsions PUND est conçue pour isoler le courant lié aux retournement des domaines FE des autres contributions.

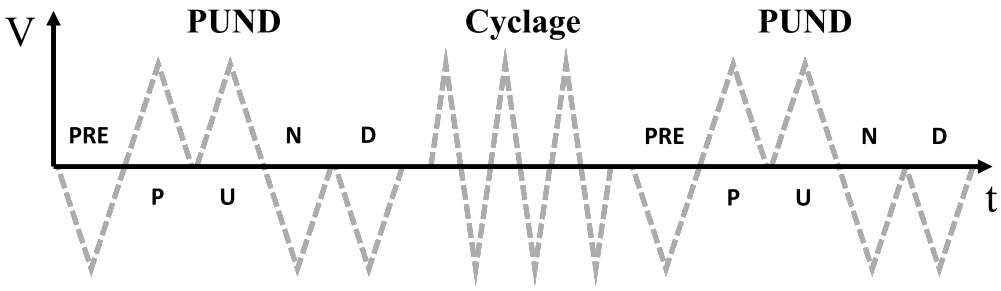

FIGURE 1.41 – Représentation schématique des impulsions de tension de la séquence PUND et de cyclage [146].

Le courant total I_{meas} mesuré en réponse à l'application des impulsions PUND sur une FeCap peut s'écrire de la forme suivante :

$$I_{meas} = I_{FE} + I\epsilon + I_l \tag{1.4}$$

avec I_{FE} le courant de retournement des domaines ferroélectriques, $I\epsilon$ le courant diélectrique, et I_l le courant de fuite.

La première impulsion (PRE) sert d'initialisation, elle retourne les domaines ferroélectriques dans le sens P_{up} lorsque le signal est appliqué sur l'électrode supérieure de la FeCap. La deuxième impulsion (P) retourne les domaines ferroélectriques dans la polarisation opposée. L'impulsion suivante (U) est de même polarité que l'impulsion P. De ce fait, les domaines ferroélectriques ne se retournent pas, il ne reste que la contribution diélectrique et le courant de fuite. La soustraction du courant de l'impulsion U (I_U) à celle de P (I_P) permet d'isoler le courant de retournement des domaines (I_{FE}).

$$I_{FE} = I_P - I_U = (I_{FE} + I\epsilon + I_l) - (I\epsilon + I_l) \tag{1.5}$$

La même opération est effectuée sur les impulsions N et D. Une représentation du courant transitoire en fonction du temps de mesure est présentée en Figure 1.42 (a). La Figure 1.42(b) représente la courbe I-V pour les quatre impulsions PUND. On remarque les pics de courant pour les impulsions P et N qui n'apparaissent pas dans les impulsions U et D : ils correspondent au retournement des domaines ferroélectriques.

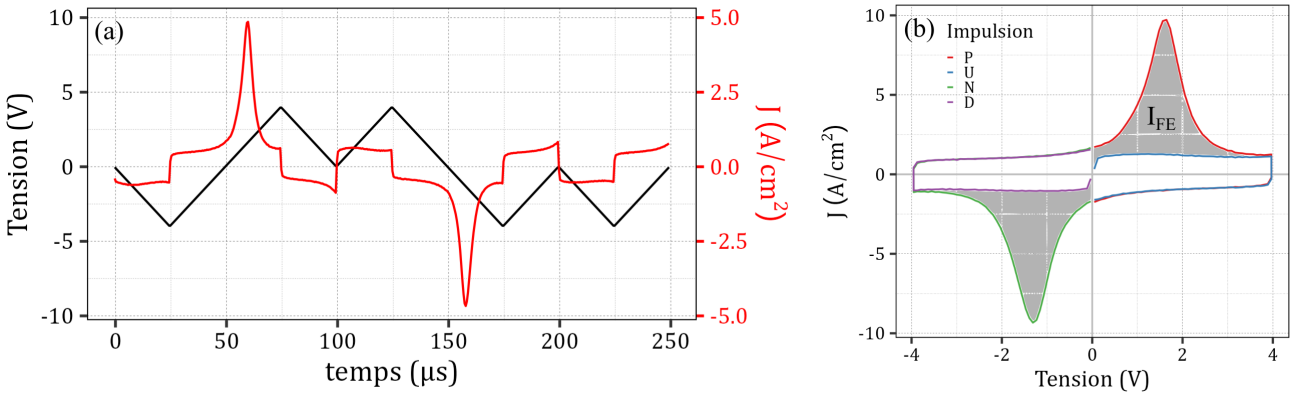

FIGURE 1.42 – (a) Courant transitoire en fonction du temps, avec les impulsions électriques superposées. (b) Courant transitoire en fonction de la tension appliquée.

La polarisation rémanente (P_r) issue de la méthode PUND est calculée comme l'intégrale de I_{FE} en fonction du temps.

$$P_r = \frac{1}{S} \int I_{FE}(t)\, dt \tag{1.6}$$

Le cycle d'hystéresis ferroélectrique est représenté en Figure 1.43(a) pour différents nombres de cycles. La Figure 1.43(b) représente la $2{\cdot}P_r$ extraite du cycle d'hystérésis en fonction du nombre de cycles appliqués. Les tensions coercitives (V_c) sont les tensions pour lesquelles la valeur de polarisation est nulle dans le cycle d'hystérésis. Ces valeurs représentent la tension pour laquelle la moitié de la charge FE basculé d'un état de polarisation à l'autre.

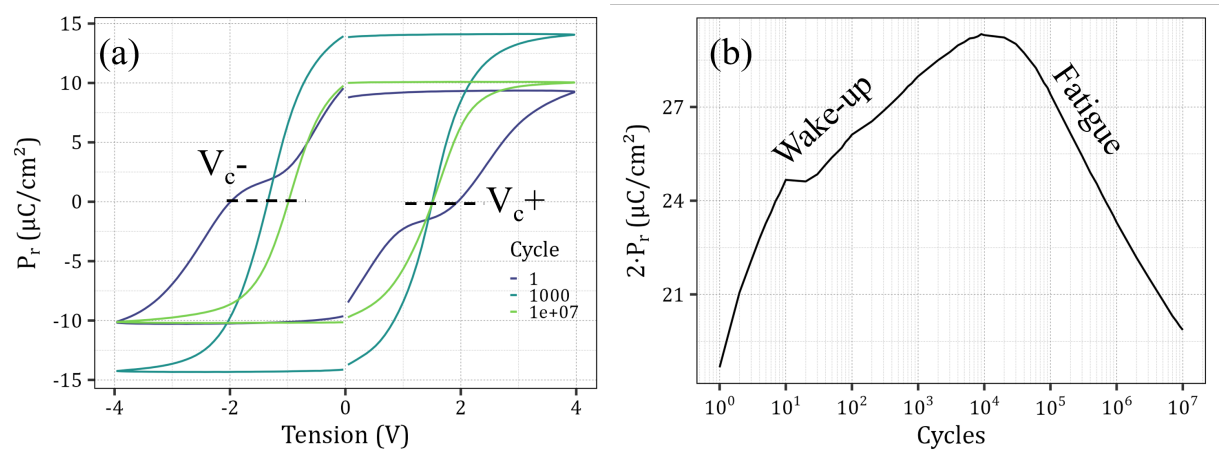

FIGURE 1.43 – (a) Cycle d'hystérésis en fonction de la tension pour différents cycles et (b) $2{\cdot}P_r$ en fonction du nombre de cycle pour une FeCap mesurée à 300 K.

Plusieurs phénomènes caractéristiques du HZO ferroélectrique sont observés en Figure 1.43. Pour commencer, on observe un pincement lors du cycle d'hystérésis au cycle 1, c'est à dire à l'état vierge (premier PUND appliqué). Au fur et

à mesure du cyclage, la $2 \cdot P_r$ augmente progressivement de 18 µC/cm^2 au premier cycle jusqu'à 28 µC/cm^2 au bout de 10^4 cycles. Cet effet est appelé wake-up [148]. De plus, on note que l'hystérésis à 10^4 cycles n'est plus pincée. Finalement, la $2 \cdot P_r$ commence à diminuer à partir de 10^4 cycle et atteint 20 µC/cm^2 après 10^7 cycles. Ce phénomène est appelé la fatigue [148]. Ces phénomènes constituent des limitations en termes de stabilité et de fiabilité pour les dispositifs FeRAM, et sont donc activement étudiés afin de comprendre leurs mécanismes. Le pincement du cycle d'hystérésis fait aussi l'objet d'études approfondies dans la littérature afin d'expliquer son origine.

Origine du pincement du cycle d'hystérésis à l'état vierge et du wake-up

Plusieurs travaux dans la littérature proposent des hypothèses sur l'origine du cycle d'hystérésis pincé à l'état pristine, ainsi que sa possible implication dans le wake-up. Ces hypothèses peuvent être regroupées en quatre grandes catégories, dont certaines peuvent coexister : 1) la présence de charges parasites, qui décalent les tensions de renversement d'une partie des domaines, 2) la présence de couches interfaciales paraélectriques entraînant des champs dépolarisants [149], 3) les différentes orientations des domaines ferroélectriques dans la couche active [150], 4) un renversement de polarisation des domaines FE en deux étapes [151].

La première hypothèse est liée à la présence de lacunes d'oxygènes aux interfaces entre la couche active et les électrodes de TiN [152], [153]. Durant le processus de fabrication de la FeCap, le TiN est susceptible de capter des ions oxygène provenant du HZO. Les lacunes créées aux interfaces peuvent être chargées positivement, ce qui va perturber la polarisation des dipôles ferroélectriques à proximité. La tension appliquée nécessaire pour retourner cette population de domaines sera augmentée ou réduite par la charge parasite selon sa polarité [127]. En conséquence, une seconde population de courant de renversement apparaîtra sur la courbe I-V (Figure 1.44), correspondant au double pic responsable du pincement du cycle d'hystérésis à l'état vierge.

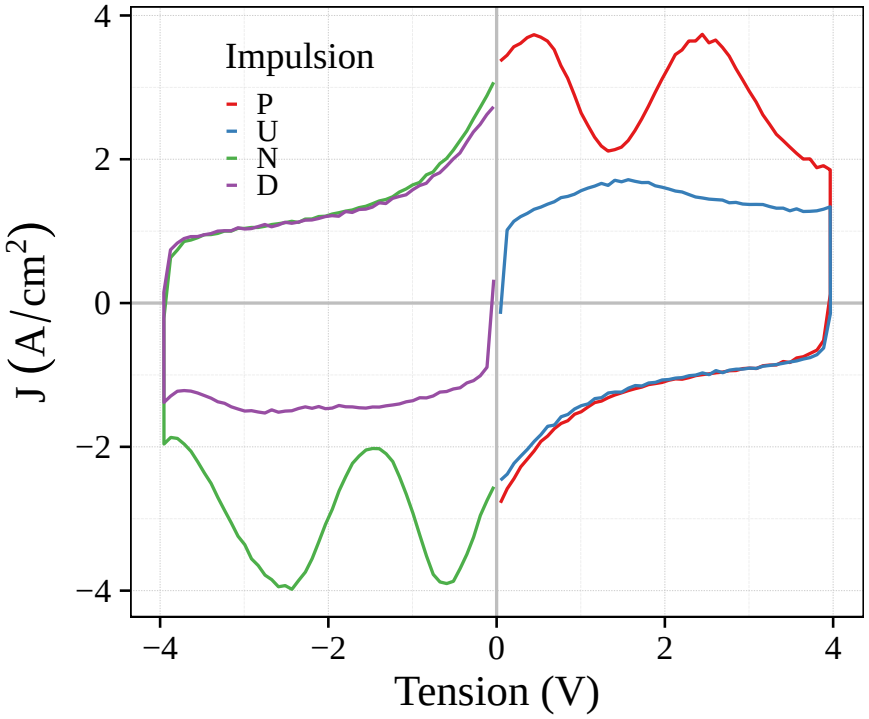

Figure 1.44 – Courant transitoire de la séquence d'impulsion PUND sur une FeCap vierge à l'état pristine, montrant le double-pic de courant.

De plus, il peut aussi y avoir des domaines qui sont bloqués dans une direction et qui ne peuvent plus être renversés par la tension appliquée. Avec le cyclage, les lacunes d'oxygène finissent par se redistribuer, et le nombre de domaines

bloqués par des charges parasites se réduit. En conséquence, la $2{\cdot}P_r$ augmente et le double pic de courant disparaît, ce qui dépince le cycle d'hystérésis

La présence de champs dépolarisants dans la couche active pourrait aussi expliquer le cycle d'hystérésis pincé. Les champs dépolarisant sont provoqués par une portion d'oxyde paraélectrique à l'interface entre une électrode et la couche ferroélectrique. Une portion de matériau non polaire en série avec une portion de matériau polaire dans une couche mince entraîne l'apparition d'un champ dépolarisant E_{dep} dont l'équation est [136] :

$$E_{dep} = \frac{-P_r}{\epsilon_0 \epsilon_p}(1 + \frac{\epsilon_{np} \cdot th_p}{\epsilon_p \cdot th_{np}})^{-1} \tag{1.7}$$

avec ϵ_0 la permittivité du vide, ϵ_{np} la permittivité de la phase non polaire et ϵ_p la permittivité de la phase polaire, th_p l'épaisseur de la phase polaire et th_{np} l'épaisseur de la phase non polaire. Lorsque le champ électrique appliqué dépasse le champ coercitif, le renversement des domaines commence et créé un champ dépolarisant aux bornes de la couche non polaire, dont la direction est opposée à celle du champ appliqué. Lorsque le champ électrique appliqué se réduit, le champ de dépolarisation dépasse le champ coercitif opposé, ce qui provoque une commutation inverse, aboutissant au second pic de courant [149]. Des portions de phase t- paraélectriques aux interfaces avec les électrodes seraient à l'origine de la création des champs dépolarisant dans le HfO_2 ferroélectrique. La présence de cette couche t- serait favorisée aux interfaces avec les électrodes par la présence des lacunes d'oxygène [154]. Par la suite, le cyclage entraînerait la transition de la phase t- vers la phase o-$_{FE}$, ce qui participerait au wake-up [136], [154]. La transition entre la phase t- et la phase o-$_{FE}$ durant le cyclage est soutenue par des observations de réduction de la constante diélectrique avant et après wake-up [155], [156]. Étant donné que la valeur de constante diélectrique de la phase t- est plus élevée que celle de la phase o-$_{FE}$ [124], l'évolution mesurée durant le cyclage est compatible avec cette transition de phase.

La troisième hypothèse repose sur le fait que les domaines ferroélectriques peuvent être orientés de façon non-parallèle au champ électrique appliqué. L'inclinaison des domaines par rapport à la direction du champ électrique augmente la tension nécessaire pour le renversement. Ce qui peut aussi aboutir à la présence de plusieurs pics de renversements pour plusieurs populations de domaines différemment orientés. Durant le cyclage, les domaines se réorientent dans la direction du champ électrique (ferroélasticité), augmentant la valeur de polarisation mesurée. La ferroélasticité des domaines pourrait expliquer le wake-up et le dépincement du cycle d'hystérésis. Ce phénomène peut être enclenché grâce au relâchement des contraintes mécaniques, induit par une transition entre la phase t- et la phase o-$_{FE}$ [157], combinant ainsi plusieurs phénomènes.

La dernière hypothèse est le retournement de la polarisation en deux étapes, descriptible par la théorie de Landau-Ginzburg-Devonshire [158]. Avec l'application d'un champ électrique, les domaines ne passeraient pas directement de l'état P_{up} à P_{down} et inversement, mais passeraient par un état intermédiaire non polaire entre les deux [151]. Cette transition en deux étapes fait apparaître deux pics de courant.

Ces hypothèses sont étroitement liées à l'évolution des propriétés FE de la FeCap en température, que nous allons analyser dans la partie suivante.

1.4.6 État de l'art des propriétés FE des FeCap à basse température

La première mesure électrique sur FeCap à base de HZO à basse température a été effectuée en 2012 par Muller et al. [133]. Les auteurs ont étudié l'évolution des propriétés électriques de la couche mince du HZO de 9 nm en fonction de la proportion de Hf et de Zr entre 230 K et 80 K. Les cycles d'hystérésis du ZrO_2 et du $Hf_{0,3}Zr_{0,7}O_2$ sont superposés en Figure 1.45.

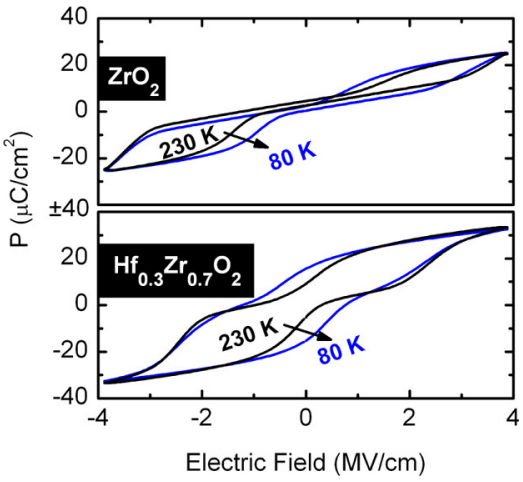

FIGURE 1.45 – Cycles d'hystérésis pour du ZrO_2 et du $Hf_{0.3}Zr_{0.7}O_2$ à 230 K et 80 K [133].

Pour les deux matériaux, on constate un léger dépincement du cycle d'hystérésis à basse température. Sachant que des stoechiométries riches en Zr favorisent la phase t-, le dépincement du cycle d'hystérésis est ici attribué à une transition de phase entre la phase t- et la phase o-$_{FE}$.

Une seconde étude spécifiquement consacrée à l'évolution des propriétés FE a été réalisée en 2015 par Zhou et al. [159]. Cette étude présente un double intérêt : elle analyse d'une part les propriétés FE entre 100 K et 400 K sur du HSO à différents champs électriques, et compare le cycle d'hystérésis de la polarisation spontanée P_s avec la P_r de la méthode PUND.

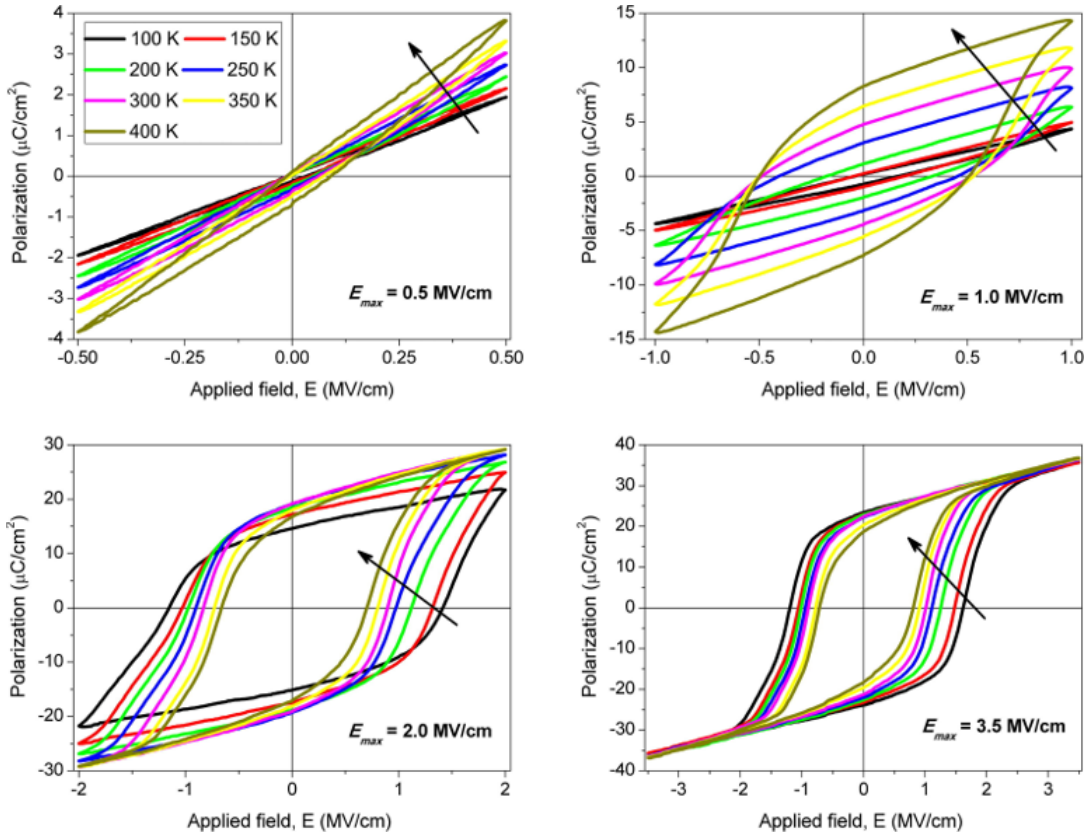

FIGURE 1.46 – Cycles d'hystérésis mesurés à différentes températures pour des champs électriques maximum de 0,5, 1,0, 1,5, et 2,0 MV/cm. Les flèches dans les graphiques indiquent les évolutions de tendances des cycles d'hystérésis avec l'augmentation de la température [159].

La Figure 1.46 montre les cycles d'hystérésis de P_s pour différentes températures, obtenus sous des champs électriques maximaux variant de 0,5 MV/cm à 3,5 MV/cm. A 0,5 MV/cm le champ électrique appliqué n'est pas suffisant pour retourner les domaines FE, donc le cycle d'hystérésis provient seulement des contributions diélectriques, notamment le mouvement des parois de domaines qui est très dépendant de la température. A 1,0 MV/cm, un cycle d'hystérésis correspondant à un comportement FE est observé seulement aux plus hautes températures. Pour le champ électrique de 2,0 MV/cm, le cycle d'hystérésis à basse température s'ouvre avec des champs coercitifs mesurés plus élevés qu'à hautes températures. Pour le champ électrique le plus élevé, le niveau de polarisation à basse température finit par être similaire aux autres températures. Cette polarisation résulte des contributions FE mais aussi des contributions diélectriques ainsi que des courant de fuite aux tensions élevées, sachant que ces deux dernières contributions sont plus importants à haute température.

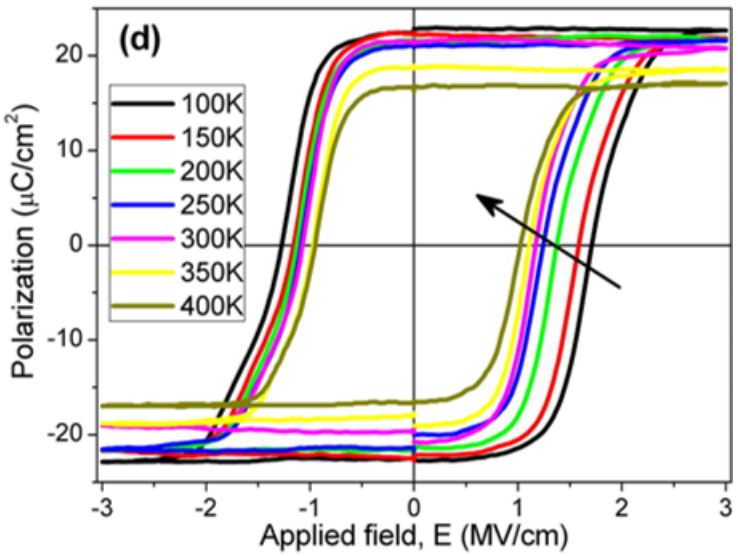

FIGURE 1.47 – Cycle d'hystérésis extrait de la méthode PUND pour un champ électrique maximum de 3,0 MV/cm aux différentes températures [159].

Afin de mesurer la contribution des domaines FE sans les contributions diélectriques et de fuite, les cycles d'hystérésis extraits de la méthode PUND sont présentés en Figure 1.47. On peut observer une légère augmentation de la $2{\cdot}P_r$ ainsi qu'une augmentation des champs coercitifs avec la baisse de la température. Au-delà des tendances observées, l'étude met en évidence dans quelle mesure les évolutions des propriétés diélectriques avec la température se superposent aux évolutions ferroélectriques, soulignant la nécessité de les séparer. La méthode PUND s'avère donc particulièrement adaptée pour cette analyse.

L'étude suivante propose de comparer des caractérisations électriques avec des caractérisations cristallographiques de diffraction aux rayons X (GIXRD) réalisées à différentes températures, pour mieux comprendre les changements de comportements électriques avec la baisse de température [121]. Dans la Figure 1.48, les auteurs identifient un mouvement du spectre GIXRD à basse température correspondant à une transition de la phase t- vers la phase o-$_{FE}$. Ces résultats sont bien corrélés aux mesures électriques où le cycle d'hystérésis est antiferroélectrique à 400 K (très fortement pincé) et devient FE à basse température. Ce comportement électrique est similaire à celui observé dans l'étude de Muller et al. [133].

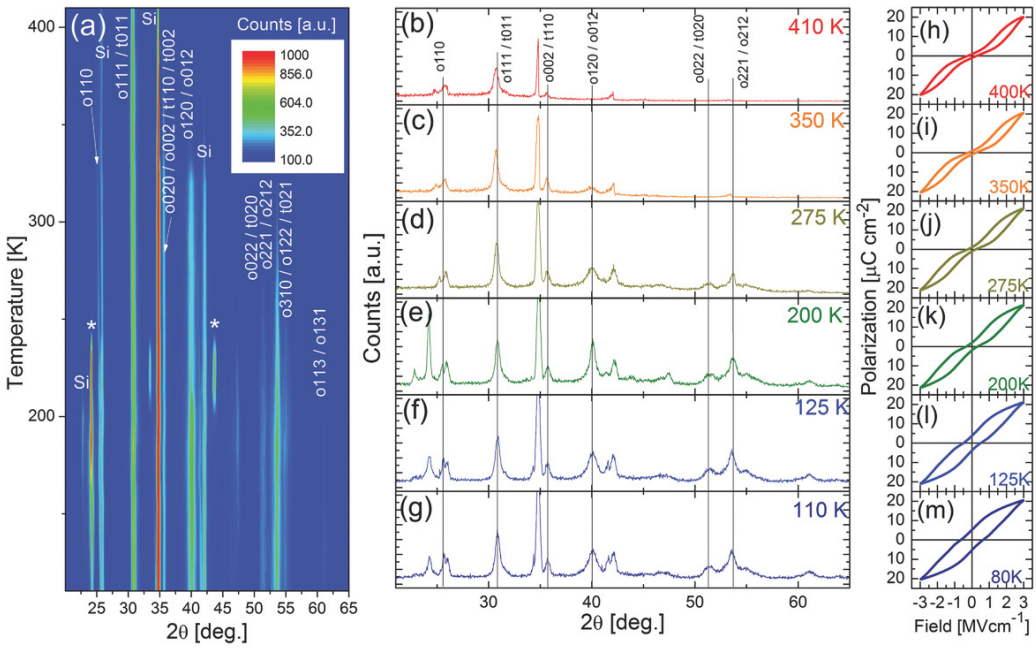

FIGURE 1.48 – (a) Contours d'inténsité des diagrammes de diffraction de rayon X (GIRXD) à incidence rasante de couches minces de 40 nm de HfO_2 dopé en Si à 4.5 %. Diagrammes GIXRD effectué à (b) 410 K, (c) 350 K, (d) 275 K, (e) 200 K, (f) 125 K et (g) 110 K . Les cycles d'hystérésis correspondants à (h) 410 K, (i) 350 K, (j) 275 K, (k) 200 K, (l) 125 K et (m) 110 K respectivement [121].

En 2019, Wang et al. ont aussi observé le dépincement du cycle d'hystérésis à l'état pristine vers les basses températures sur une FeCap à base de HZO (Figure 1.49(a)). Malgré ce dépincement, la polarisation reste stable en température à l'état vierge comme le montre la Figure 1.49(b). Même si une faible augmentation des champs correctifs a été mesurée, les propriétés FE des FeCap à l'état vierge restent stables sur toute la gamme de température (100 K – 450 K).

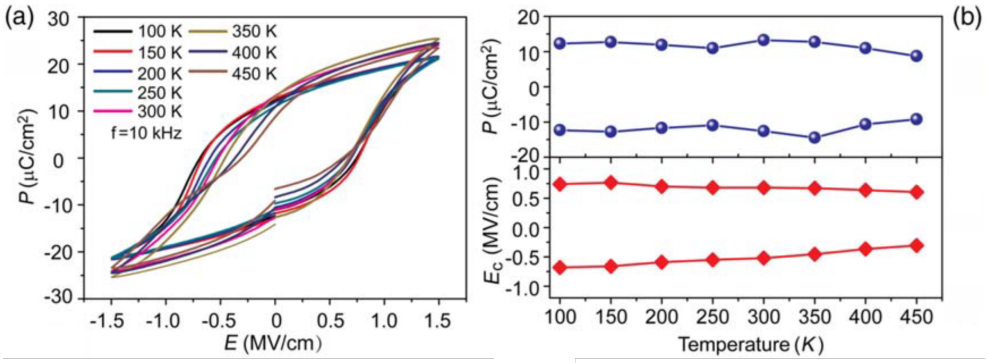

FIGURE 1.49 – (a) Cycle d'hystérésis aux différentes températures. (b) Polarisation rémanente et champs coercitifs correspondants, mesurés sur du HZO d'épaisseur 20 nm[160].

Cependant, le comportement électrique montre des différences lors du cyclage des FeCap. En effet, même si les FeCap ne montrent aucun wake-up peu importe la température, la fatigue diminue avec la baisse de température (Figure 1.50(a)). Cette étude montre aussi que le dépincement du cycle d'hystérésis lors du cyclage (Figure 1.50(b)) ne s'accompagne pas nécessairement d'une augmentation de la polarisation.

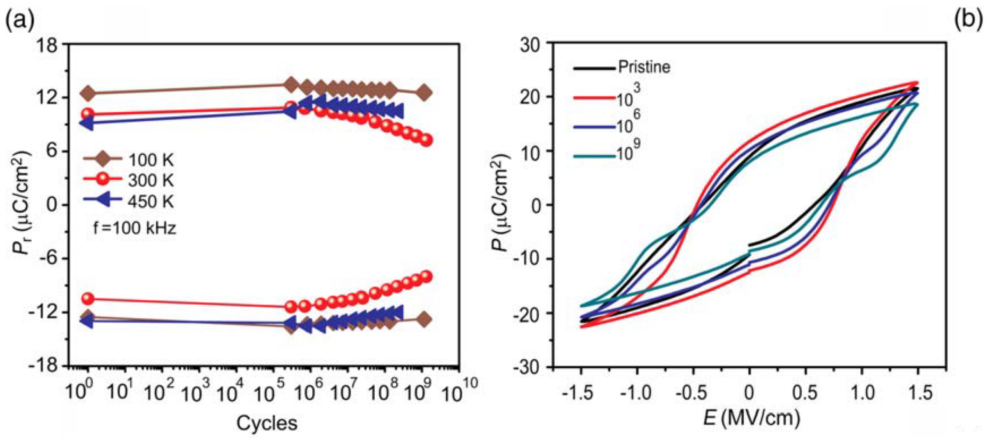

FIGURE 1.50 – (a) Polarisation rémanente en fonction du nombre de cycles pour des FeCap mesurées à 100 K, 300 K et 450 K. (b) Cycle d'hystérésis en fonction du nombre de cycles pour une FeCap mesurée à 300 K [160].

En 2020, Adkins et al. [161] se sont aussi intéressés à l'évolution des propriétés ferroélectriques du HZO de 5,6 nm d'épaisseur à l'état vierge et lors du cyclage de la température ambiante jusqu'à 33 K. Ils ont observé que les phénomènes de wake-up et de fatigue sont réduits lorsque la température diminue (Figure 1.51). Ils ont attribué l'absence de wake-up à basse température à la baisse de mobilité des lacunes d'oxygène dans le HZO et la réduction de la fatigue à la baisse d'injection de charges due aux faibles températures.

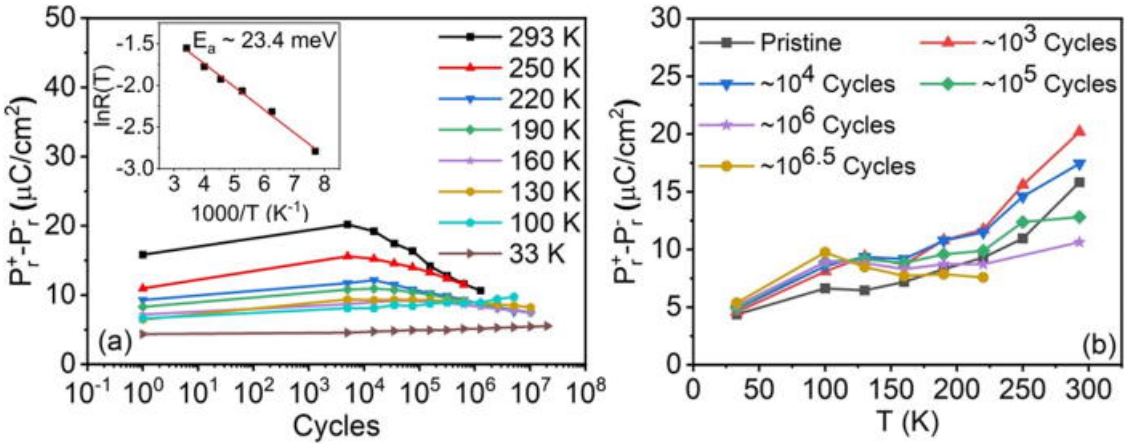

FIGURE 1.51 – Évolution de la fenêtre de mémoire de FeCap à base de HZO avec des cycles de fatigue de 293 K à 33 K. Encadré : Tracé de la fonction dépendant de la température ln(R(T)) vs 1000/T pour T = 293 K, 250 K, 220 K, 160 K, et 130 K. (b) Fenêtre mémoire en fonction de la température de T = 293 K à 33 K à certaines étapes du cyclage [161].

En 2020, Mehmood et al. [136] ont étudié le dépincement du cycle d'hystérésis à basse température ainsi que l'absence de wake-up sur du HZO de 10 nm dopé au La.

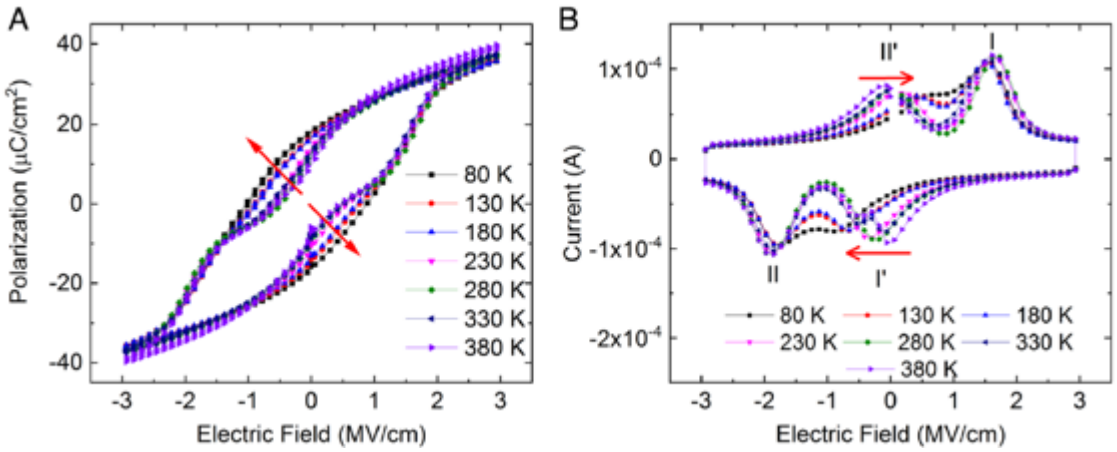

FIGURE 1.52 – (a) Cycle d'hystérésis d'échantillons mesurés à l'état vierge aux différentes températures et (b) courant de commutation en fonction du champ électrique entre 80 K et 380 K [136].

Les auteurs observent le dépincement du cycle d'hystérésis à mesure que le la température baisse (Figure 1.52(a)). Cependant, ils observent sur la Figure 1.52(b) représentant le courant transitoire que c'est le pic le plus proche de 0 V, nommé pic de "back-switching", qui se rapproche du pic principal à basse température. Ce décalage du pic de back-switching vers le pic principal a pour conséquence une augmentation de la polarisation rémanente mesurée. Ils observent aussi qu'il n'a pas de wake-up à 80 K. Le wake-up pour les autres températures s'accompagne du dépincement du cycle d'hystérésis. De plus, ils remarquent que le niveau de polarisation après wake-up pour les autres températures s'aligne avec la polarisation à 80 K. Ces éléments amènent à la conclusion que les deux effets : baisse de température et cyclage, ont la même influence sur leur échantillon. Il faut toutefois noter que le wake-up mesuré dans leur étude apparaît à partir de 10^4 cycles. Pour les auteurs, ces évolutions peuvent s'expliquer soit par une réduction des champs dépolarisants, soit par une transition de phase induite par champ électrique. Étant donné que le dopage en La permet de stabiliser la phase t-, ils concluent que l'hypothèse la plus probable est la réduction des champs dépolarisants. Le cyclage entraîne d'abord l'injection et la redistribution de charges, qui provoque une transition de la phase t- interfaciale vers la phase o-$_{FE}$ expliquant l'augmentation de polarisation rémanente à partir d'un certain nombre de cycles. A basse température, le changement de phase a directement lieu (appuyé dans l'étude par les observations de Park et al. [121]), ce qui explique pourquoi les cycles d'hystérésis à l'état pristine à basse température sont similaires à ceux après wake-up à température ambiante. Cette étude conforte une hypothèse sur l'origine du wake-up, en cherchant à expliquer le dépincement du cycle d'hystérésis à basse température. Cette interprétation contraste avec d'autres travaux [161], [162], qui relient directement cette évolution aux mouvements de charges. Cette dernière hypothèse est d'ailleurs confortée par l'étude de 2021 [163] publiée par Hur et al..

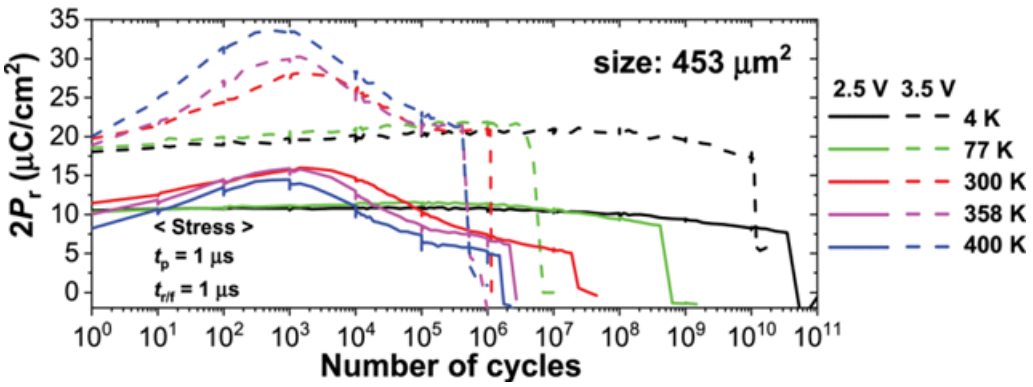

FIGURE 1.53 – Endurance des FeCap à base de HZO à 4, 77, 300, 358 et 400 K à des tensions appliquées de 2,5 et 3,5 V. L'étude est menée sur du $Hf_{0.5}Zr_{0.5}O_2$ épais de 10 nm déposé par PEALD, encapsulé entre deux couches de TiN, recuit à 450°C. [163]

Dans ces travaux, les résultats de tests d'endurance à différentes températures (Figure 1.53) montrent comme les précédentes études que le wake-up et la fatigue sont inhibés à basse température.

Finalement, le dernier travail publié en 2022 [164] se focalise sur les évolutions du cycle d'hystérésis à l'état pristine. La baisse de température entraîne le dépincement du cycle d'hystérésis, et augmente la polarisation rémanente comme le montre la Figure 1.54. Les auteurs estiment que le pincement du cycle d'hystérésis résulte de la présence de la phase t-, induite par les lacunes d'oxygène.

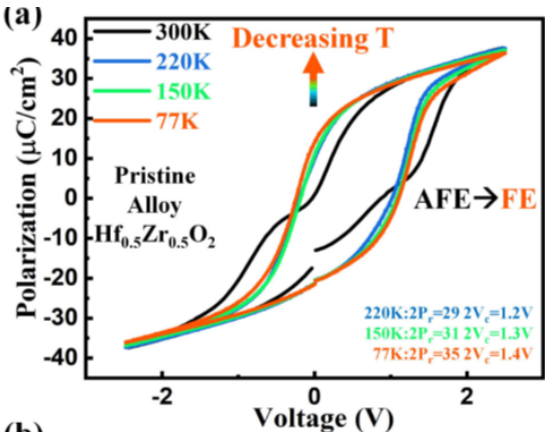

FIGURE 1.54 – Cycle d'hystérésis mesuré à 300 K, 220 K, 150 K, 77 K sur des FeCap à base de HZO d'une épaisseur de 6,3 nm [164].

En résumé, de nombreuses études ont déjà été conduites à basses températures sur des FeCap à base de HfO_2 FE dopé et de HZO. De façon générale, les tendances globales observées sont similaires : le dépincement du cycle d'hystérésis à basse température à l'état vierge, la forte réduction du wake-up et de la fatigue à basse température. Cependant l'interprétation de ces différents phénomènes peut varier et peut aussi être liée à des processus de fabrication différents. Dans cette thèse nous apporterons de nouveaux éléments quand à la compréhension de ces différents phénomènes mesurés sur nos FeCap à base de HZO.

Chapitre 2

Caractérisation des OxRAM à basse température

Introduction

Comme mentionné dans l'introduction, l'objectif de ce chapitre est de comprendre les évolution de fonctionnement des structures 1T1R à basse température en régime impulsionnel, en prenant en compte les évolutions des deux éléments. Pour cela, des structures 1T1R embarquant des transistors de différentes largeurs de canal, respectivement 660, 3500 et 5900 nm, seront étudiées. L'utilisation de transistors aux propriétés différentes permettra de voir l'impact de ce dernier sur le comportement de la structure 1T1R. Après avoir étudié l'opération de forming en fonction de la température, les opérations de set puis de reset seront spécifiquement analysées dans des parties distinctes. Pour chacune des opérations, nous utiliserons des méthodes pour déterminer le pont diviseur de tension entre le 1T et le 1R. Dans la Section 2.2, le pont diviseur de tension sera déterminé à la fin de l'impulsion de set, pour voir comment la tension de programmation est répartie entre les deux éléments, et comment elle impacte le LRS. Nous verrons que le courant de programmation de set est le paramètre principal définissant le LRS, et qu'une augmentation d'environs 20% est observable à basse température. Dans la Section 2.3, la méthode du Ramp Voltage Stress (RVS) sera présentée, permettant de mesurer le courant transitoire durant l'opération de reset, et ainsi déterminer la tension de commutation dans les structures 1T1R embarquant les différents transistors. En calculant la tension au noeud durant du reset, nous verrons que la commutation de l'OxRAM est régie par la tension à ses bornes, et que la tension à appliquer sur la structure 1T1R résulte de la répartition de tension entre l'OxRAM et le transistor. Bien que la tension de reset de l'OxRAM augmente légèrement à basse température, cette évolution est compensée par la réduction de résistance équivalente du transistor (R_{on}) à basse température. Une modélisation de la température dans le CF sera ensuite proposée pour mieux comprendre les conditions de reset intrinsèques à l'OxRAM. Enfin, nous verrons comment ces évolutions impactent et les performances globales du dispositif, incluant la fenêtre mémoire, l'endurance et les paramètres de programmation.

Contents

2.1 Évolution du forming à basse température 79

2.2 Programmation du set 81

2.2.1 Programmation de set à température ambiante 81

2.2.2 Programmation de set à basse température 83

2.3 Programmation du reset 88

2.3.1 Programmation de reset à température ambiante 88

2.3.2 Évolution du reset à basse température 94

2.4 Modélisation de la température de reset 98

2.4.1 Modèle théorique de la température dans le CF 98

2.4.2 Température de reset expérimentale extraite des RVS 100

2.5 Impact de la température sur l'endurance et la fiabilité 102

2.5.1 Cyclabilité et miniaturisation de la structure 1T1R à 300 K 102

2.5.2 Cyclabilité en fonction de la température 104

2.5.3 Fiabilité à basse température 106

2.6 Conclusion 107

2.1 Évolution du forming à basse température

Lorsque le dispositif RRAM est fabriqué, une impulsion de forming est nécessaire pour créer le CF. Cette opération peut être perçue comme la dernière étape de la fabrication ou bien la première étape du fonctionnement. Le forming opère généralement à des tensions plus élevées que pour le set, comme nous avons pu le voir en Figure 1.16. A l'inverse, utiliser la tension de forming pour les impulsions de set augmenterait la consommation du dispositif inutilement. De plus, l'utilisation de tensions trop élevées pourrait aboutir à la dégradation de points mémoires [165]. Le processus de forming dans les OxRAM s'apparente à un claquage diélectrique. Ce dernier connaît donc une forte variabilité [166]. Les tensions de forming peuvent fortement varier d'un dispositif à l'autre. Par conséquent, il est difficile d'appliquer une impulsion uniformisée et basée sur une limite de tension supérieure (comme cela peut être le cas sur l'opération de set) à tous les dispositifs. Cette opération nécessite un protocole particulier qui permette de former la totalité des points mémoire individuellement.

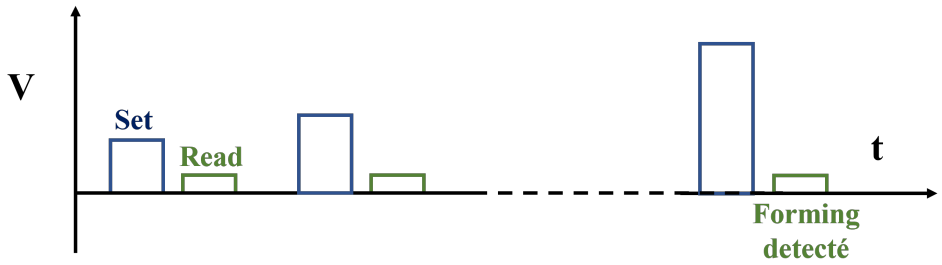

Figure 2.1 – Représentation schématique du protocole de forming.

Le protocole de forming utilisé, et représenté en Figure 2.1, est composé d'une séquence d'impulsions de set et de read. Le principe consiste à appliquer des impulsions de set avec des tensions incrémentales jusqu'à observer la création du CF par une mesure de faible résistance lors d'un read. Ce protocole assure la création du CF pour tous les dispositifs malgré la variabilité de ce phénomène, tout en minimisant la tension nécessaire à appliquer. Pour chaque dispositif, la séquence d'impulsions est interrompue lorsque la résistance de lecture descend en dessous de $5\times10^4\Omega$, un seuil qui garantit, pour nos dispositifs, la formation d'un filament conducteur fonctionnel tout en évitant un forming trop intense susceptible d'endommager le composant ou de réduire la fenêtre mémoire Ce protocole permet aussi de déterminer à quelle tension ($V_{forming}$) est formé le dispositif. Un exemple de protocole de forming est présenté en Figure 2.2

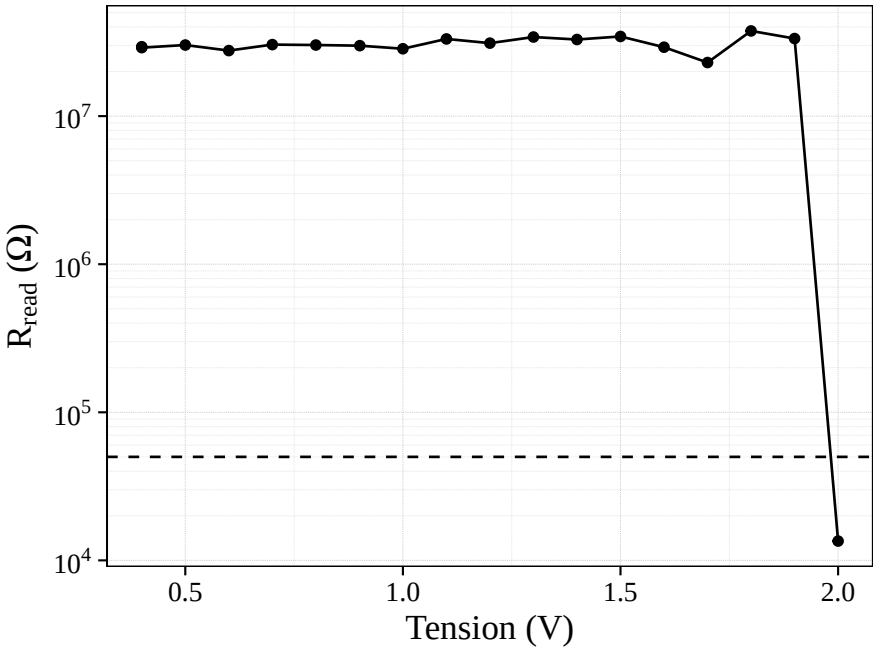

FIGURE 2.2 – Mesure de la résistance de read (R_{read}) effectuée après chaque impulsion croissante lors du forming d'un dispositif OxRAM, conformément au protocole de ce travail. La ligne pointillée représente la résistance de seuil ($5\times10^4\Omega$) utilisée pour détecter la création du CF.

Les résultats de $V_{forming}$ en fonction de la température sont présentés en Figure 2.3.

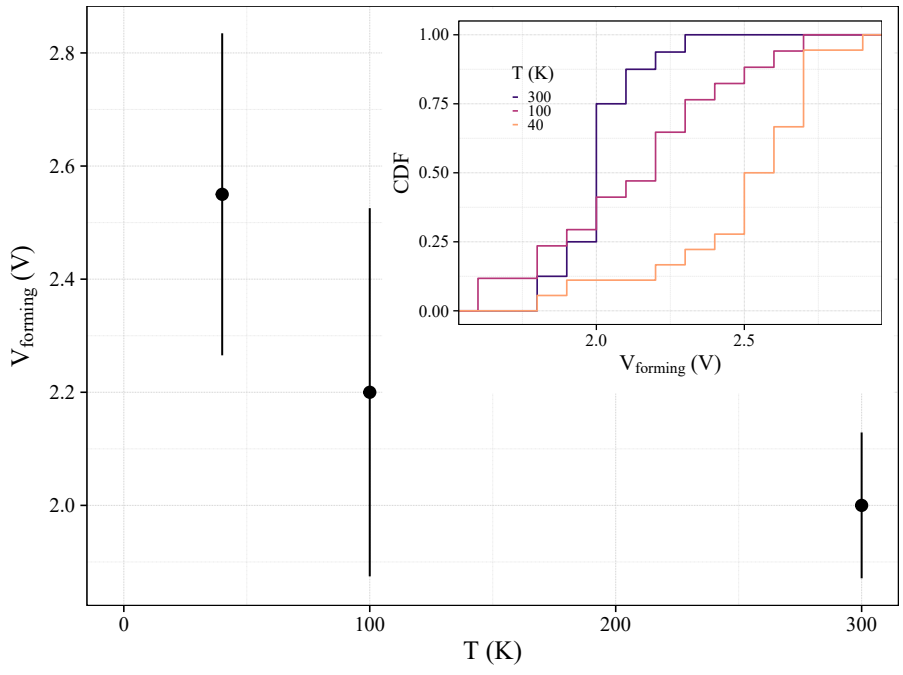

FIGURE 2.3 – Tension de forming médiane avec écart type en fonction de la température. L'encadré montre la distribution cumulative des 20 dispositifs mesurés à chaque température [167].

On observe une augmentation de $V_{forming}$ avec la baisse de la température, passant de 2 V à 300 K à 2,55 V à 40 K. Cette évolution est en accord avec une étude montrant une augmentation de $V_{forming}$ pour des OxRAM formées à 1,45 K [168]. Une tendance similaire est aussi observée en augmentant la température jusqu'à 500 K [28]. Une augmentation de

$V_{forming}$ est attendue avec la réduction de la température, car ce mécanisme repose sur la génération puis la migration des lacunes d'oxygène qui sont dépendants de la température [169].

Pour les nœuds avancés, on peut en déduire que l'augmentation de la tension de forming pourrait dépasser les limites maximales de tension tolérées par les transistors. Néanmoins, ce n'est pas une préoccupation majeure, car le forming est une initialisation unique qui peut être effectuée à température ambiante, sans influence sur l'utilisation cryogénique des dispositifs.

2.2 Programmation du set

Le contrôle de l'état LRS par l'impulsion de set est nécessaire au bon fonctionnement des OxRAM. Si la croissance du CF n'est pas contrôlée durant l'opération set, ce dernier devient difficile à dissoudre lors du reset, entraînant des complications pour la cyclabilité du dispositif [170]. Afin d'éviter ce phénomène, une limite maximale de courant est généralement fixée. La limitation de courant peut aussi se faire par l'ajout d'une résistance en série [90]. Dans les structures 1T1R, il a été montré que le LRS pouvait être contrôlé par la modulation du V_g du transistor série [170]. Cette méthode s'est par la suite répandue pour les études utilisant des structures 1T1R [92], [100], [105], [106]. Le but de cette partie est donc d'étudier comment la limitation du courant affecte le LRS puis de comprendre comment le transistor peut être utilisé pour contrôler le LRS. Dans un second temps, l'impact de la température sur la programmation de set et sur le LRS sera analysé.

2.2.1 Programmation de set à température ambiante

La détermination du pont diviseur de tension à la fin de l'opération de set est nécessaire pour comprendre le lien entre les conditions de programmation et l'état final. Cette tâche est réalisable lorsque l'OxRAM est connectée à une résistance série [90]. Cependant, le transistor série dans la structure 1T1R a un fonctionnement plus difficile à conjecturer, basculant du régime linéaire au régime de saturation. Cette inconnue ajoute un niveau de complexité dans la caractérisation du pont diviseur de tension. Lors de la programmation de set, la tension de programmation V_{set} est répartie entre les deux éléments en série :

$$V_{set} = V_{1T} + V_{1R} \tag{2.1}$$

avec V_{1R} la tension aux bornes du 1R et V_{1T} la tension aux bornes du 1T. Afin de déterminer la tension au noeud dans des mesures en régime impulsionnel et de calculer V_{1R}, un protocole spécifique est proposé : des séries de set (puis de reset) sont appliquées avec des tensions V_{set} de 2 et 3 V ainsi que trois niveaux de courant de programmation (I_{set}) modulés par le V_g du transistor à 100, 200 et 300 μA. Le courant de programmation est mesuré à la fin de l'impulsion de set. Après chaque impulsion de programmation, le LRS est mesuré grâce à une impulsion de read à 0,4 V dans laquelle la résistance en régime linéaire du transistor est déduite de la résistance totale pour extraire la résistance du 1R seule (R_{1R} ou LRS). Chaque condition est répétée 10 fois sur une quinzaine de dispositifs par transistor. En parallèle, les caractéristiques expérimentales I_d-V_d des transistors seuls ont été appliquées pour chaque valeur correspondante de V_g.

Dans le montage 1T1R, le transistor et la résistance en série sont parcourus par le même courant I, puisqu'ils sont connectés en série. Nous allons utiliser cette propriété pour relier les caractéristiques des deux éléments. En remplaçant dans l'équation (2.1) la chute de tension sur le 1R par $V_{1R} = I \cdot R_{1R}$, on obtient la relation entre V_{set}, V_{1T} et I. Cette expression définit la droite de charge du 1R, qui représente la contrainte imposée par le 1R sur le fonctionnement du transistor :

$$I = \frac{V_{set} - V_{1T}}{R_{1R}} \tag{2.2}$$

Le point de fonctionnement du dispositif 1T1R peut ensuite être déterminé à l'aide de la construction graphique illustrée dans la Figure 2.4. Dans cette représentation, les courbes continues correspondent aux caractéristiques I_d-V_d

des transistors pour les différents V_g, tandis que les droites obliques représentent les lignes de charge associées aux différents R_{1R}. Les points d'intersection entre les deux courbes définissent les points de fonctionnement du système, correspondant à la répartition de la tension entre le 1T et le 1R.

De plus, les valeurs expérimentales de I_{set} mesurées lors des programmations de set sont indiquées par les symboles pointillés sur la Figure 2.4, à la tension V_{set} correspondante. On observe que les points de croisement entre les courbes I_d-V_d et les lignes de charge apparaissent aux mêmes niveaux de courant que les valeurs de I_{set} mesurées expérimentalement lors de la programmation. Cette superposition confirme la validité de la reconstruction graphique utilisée pour déterminer la tension aux bornes de la résistance V_{1R}.

De plus, cette observation confirme que la gestion du niveau de I_{set} dans la structure 1T1R peut se faire par la modulation du V_g du transistor, sans influence de l'OxRAM. L'estimation de V_{1R} pendant la programmation est la différence entre V_{set} et l'intersection des deux courbes sur le graphique de la courbe de charge. V_{1R} semble constant peu importe le transistor sélectionné ou le V_{set} appliqué.

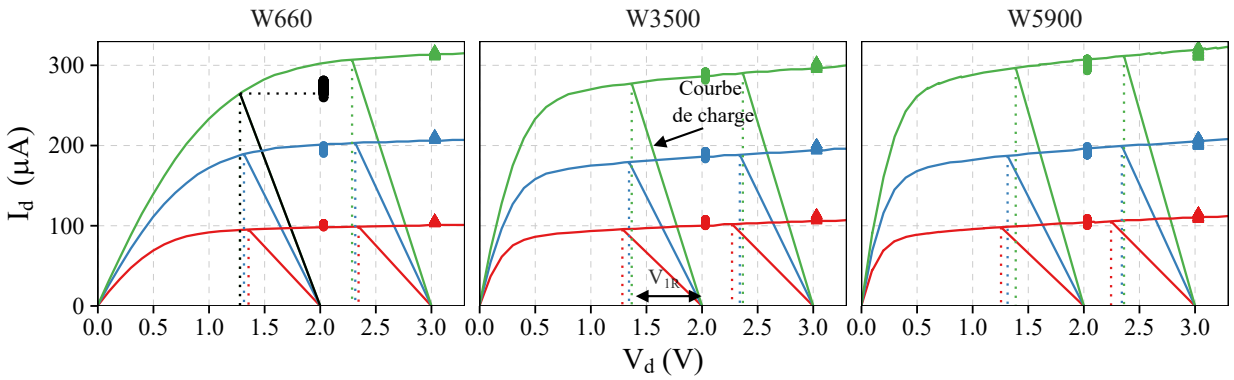

FIGURE 2.4 – Graphique de la courbe de charge pour la détermination du pont diviseur de tension durant l'opération de set. La caractéristique I_d-V_d du transistor correspondant aux différents V_g des niveaux de courant de 100 (rouge), 200 (bleu) et 300 (vert) μA est superposée avec les courbes de charge des résistances (lignes droites) correspondant à la résistance de lecture après programmation dans les mêmes conditions de set et avec V_{set} à 2 et 3 V. Les points pour 2 V et les triangles pour 3 V indiquent les courants I_{set} mesurés pendant la programmation sur le V_{set} correspondant. La chute de tension sur le 1R (V_{1R}) est déterminée par la différence entre V_{set} et la perpendiculaire à l'intersection de la ligne de charge avec la caractéristique I_d-V_d (ligne pointillée). Le courant de programmation est égal au niveau de saturation du transistor dans tous les cas où la ligne pointillée se trouve dans le régime de saturation du transistor [59].

Néanmoins, une condition affichée en noir sur la Figure 2.4 n'atteint pas le niveau de courant attendu, bien que V_{1R} soit de même valeur que pour les autres conditions. Ce comportement suggère que la chute de tension doit satisfaire une certaine condition pour atteindre le niveau de courant attendu. En d'autres termes, si

$$V_{set} - V_{1R} < V_{sat} \tag{2.3}$$

avec V_{sat} la tension de seuil du régime de saturation du transistor, les dispositifs ne seront pas programmés au niveau de courant correspondant à la caractéristique I_d-V_d du transistor.

La chute de tension sur L'OxRAM a été étudiée en utilisant des résistances séries de valeurs différentes [90]. Les résultats ont démontré que V_{1R} est invariant avec la valeur de résistance série, mais diminue graduellement avec la durée de programmation. La Figure 2.5 propose une comparaison des résultats obtenus avec ceux de la référence [90] utilisant des résistances séries pour la même durée de programmation (1 μs). Les résultats montrent que les valeurs de LRS (R_{1R}) en Figure 2.5(a) ainsi que de V_{1R} en Figure 2.5(b) sont cohérentes. Cela prouve que le LRS n'est pas dépendant du choix du sélecteur.

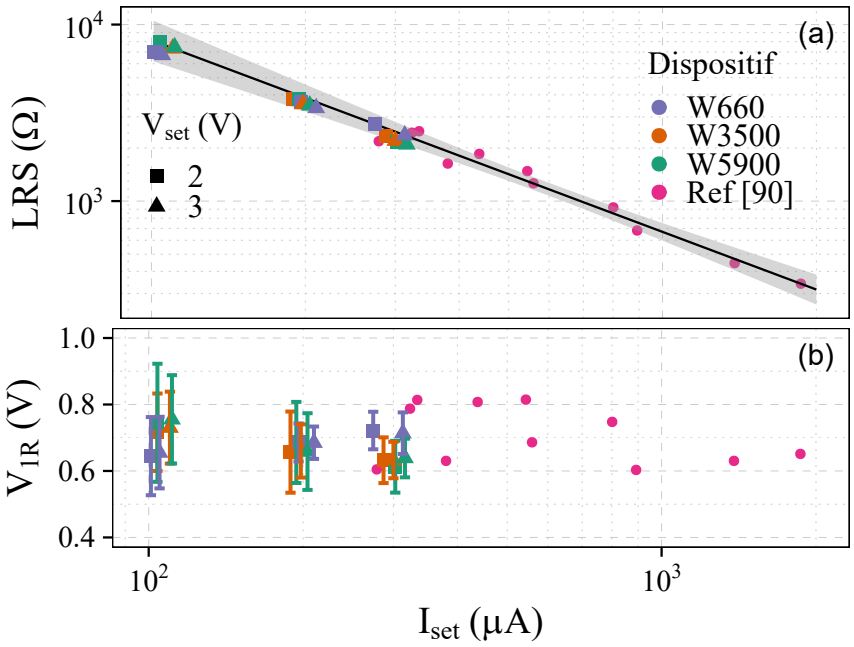

FIGURE 2.5 – (a) Résistance médiane de l'OxRAM et (b) V_{1R} médian déterminé via la construction décrite en Figure 2.4, en fonction de I_{set}, comparé avec les résultats de la référence [90] pour la même durée de set. Les données sont cohérentes avec la référence [90] : V_{1R} est quasiment constant alors que la résistance suit une relation exponentielle avec I_{set} [59].

En résumé, une fois le CF formé ou rétabli, le niveau de courant augmente et apporte un effet Joule qui accélère la migration des ions et ainsi la croissance du CF. Par la suite, lorsque le courant de saturation est atteint, la répartition de la tension dans la structure 1T1R devient de moins en moins favorable au 1R : la diminution du champ électrique appliqué à celle-ci ralentit la migration des ions [171]. Une évolution de la résistance continue néanmoins d'être observée, mais selon une échelle de temps logarithmique [90]. Nos caractérisations confirment cette explication tout en apportant de nouvelles informations sur l'état non stationnaire du LRS. En mode impulsionnel (t_{set} = 1 µs), c'est le courant de programmation (I_{set}) qui détermine principalement la taille du CF (et donc la valeur du LRS), et il peut être précisément contrôlé si la condition (2.3) est respectée. En revanche, la tension de programmation (V_{set}) n'a pas d'influence sur la valeur du LRS. En conclusion, pour chaque transistor, un même état de programmation peut être atteint avec une impulsion de durée donnée, en contrôlant I_{set} via V_g, V_{set} servant uniquement à vérifier la condition de l'équation (2.3).

2.2.2 Programmation de set à basse température

Comme évoqué dans l'état de l'art, l'étude de Blonkowski et Cabout [106] a démontré que la programmation de set d'un dispositif 1T1R à basse température entraîne un niveau LRS plus faible. Cependant, les auteurs mentionnent que cet effet est probablement dû à un niveau de courant supérieur du transistor en conditions cryogéniques. Dans la Section 2.2.1, nous avons expliqué comment le niveau de courant de saturation du transistor permet de contrôler le LRS en régime impulsionnel à température ambiante.

Pour analyser l'évolution de la programmation de set due à l'OxRAM, il est nécessaire de fixer I_{set}. Pour cela, nous ajustons les V_g des transistors W660 et W3500 afin de libérer le même niveau de courant à toutes les températures. Les résultats des caractéristiques I_{ds}-V_{ds} sont affichés en Figure 2.6.

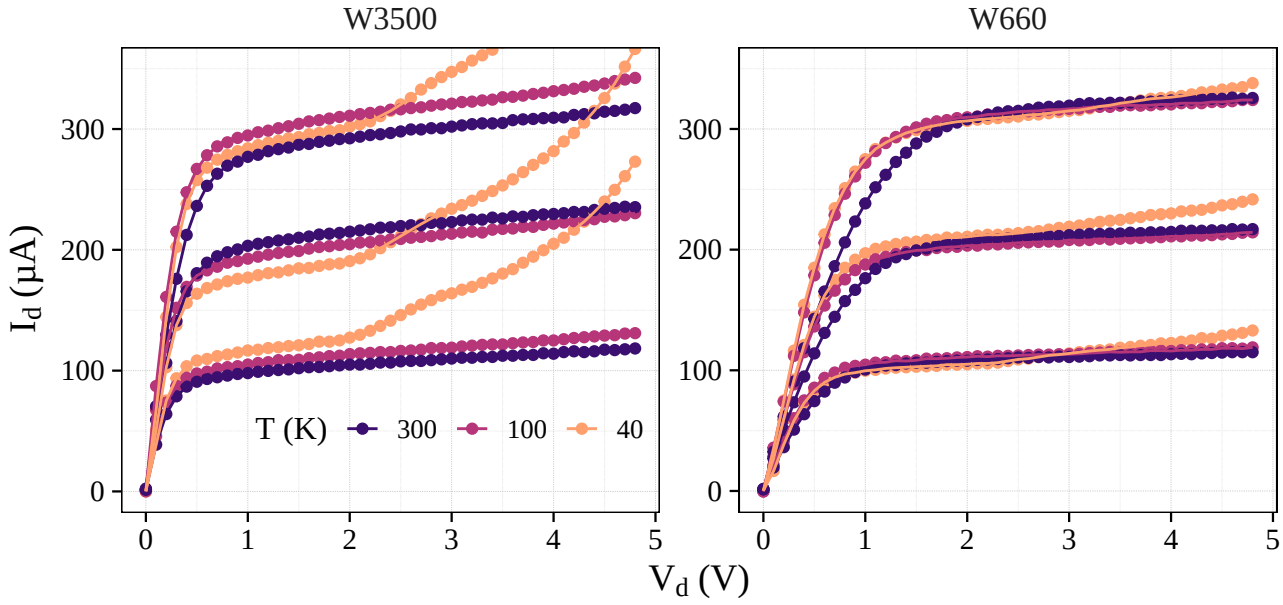

FIGURE 2.6 – Caractéristiques I_{ds}-V_{ds} des transistors ajustées pour délivrer un I_{set} de 100, 200 et 300 μA [167].

La cassure nette observée à haute tension sur la courbe I_{ds}-V_{ds} du W3500 à 40 K est principalement due au gel des porteurs dans le substrat, qui conduit à un potentiel de substrat flottant [172]. L'ionisation par impact du côté drain génère ensuite un courant de bulk qui accentue ce phénomène, en modifiant le potentiel de cette région.

A basse température, lorsque le transistor est polarisé en déplétion ou en inversion, une fine couche d'impuretés ionisées subsiste à proximité de l'interface oxyde-silicium, tandis que le substrat sous-jacent est fortement résistif en raison du gel des porteurs. Il en résulte une région de déplétion faiblement couplée au substrat.

À fort V_d, l'ionisation par impact génère un courant de porteurs majoritaires qui s'écoule principalement à travers la diode source-substrat. Ce courant élève le potentiel de la région déplétée, augmentant ainsi la polarisation de la diode source–substrat, ce qui entraîne une diminution significative de la tension de seuil. L'amplitude de la cassure dépend de la tension de grille et de la longueur de la grille, et elle est généralement observée dans les nœuds technologiques supérieurs à 100 nm [173]. Dans la suite de cette étude, la tension de set a été limitée à 2,5 V afin de garantir que les transistors restent dans le régime de saturation, en tenant compte d'une chute de tension de $\geq$ 0,5 V à travers le dispositif 1R.

Les résistances obtenues pour chaque température sont affichées dans la Figure 2.7, pour les niveaux de courant affichés en Figure 2.6.

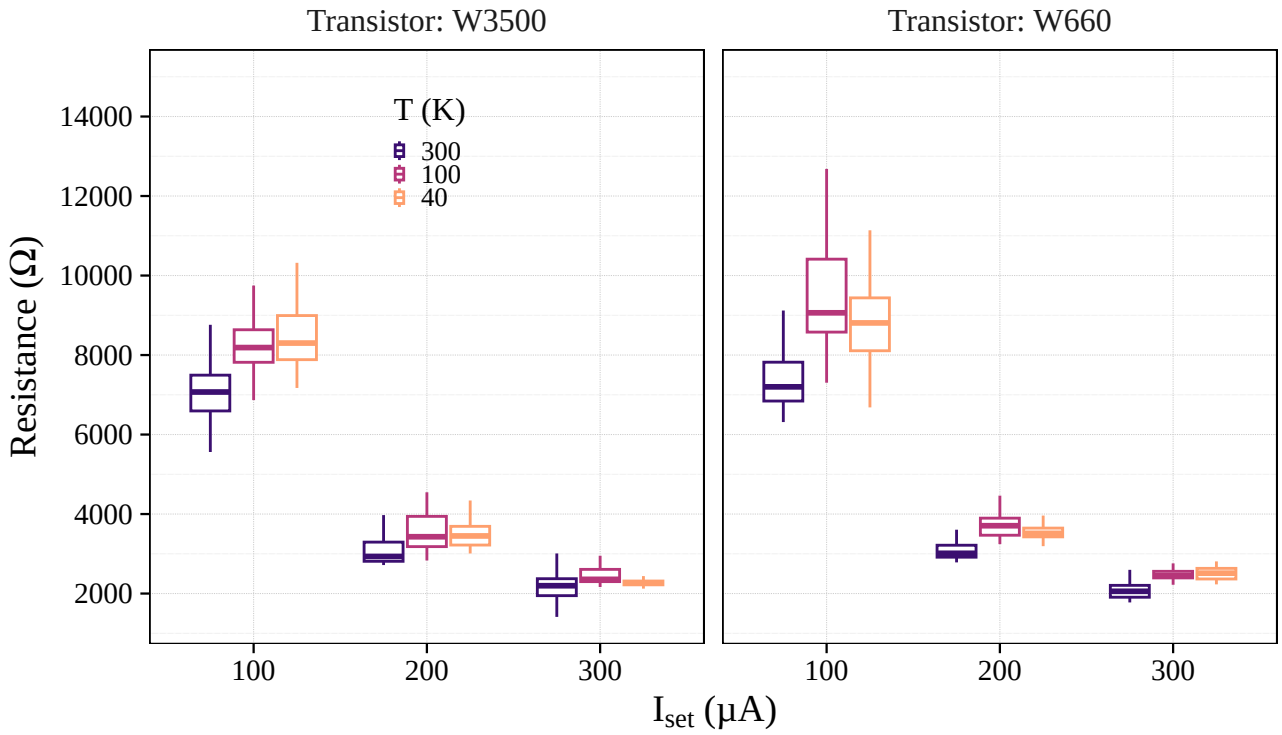

FIGURE 2.7 – LRS obtenus pour chaque température avec le courant de set correspondant. 15 opérations de set/reset successives sont appliquées sur les 5 dispositifs testés par I_{set} et par température [167].

Pour chaque température, les niveaux de résistance ne varient pas avec le transistor mais suivent une évolution en fonction de I_{set}. Pour un niveau de I_{set} fixé, les LRS augmentent de 20% environ entre 300 K et 100 K, puis se stabilisent entre 100 K et 40 K. En outre, les LRS programmés à basse température ne montrent pas une augmentation de variabilité, contrairement à ce qui aurait pu être envisagé au regard des résultats de la référence [104] qui observait une plus forte variabilité de commutation. Dans notre cas, les LRS sont contrôlés par le transistor à travers le courant de saturation, ce qui compense une éventuelle variabilité de l'OxRAM. L'augmentation des valeurs de LRS à basse température peut être attribuée à une reformation plus fine du CF (taille), provenant d'une mobilité ionique limitée thermiquement qui réduit la croissance du filament lors de l'opération de set. Une autre hypothèse est une diminution de la conductivité électrique (propriété physique) du CF restauré à des températures plus basses, ce qui accroît la valeur de LRS mesurée lors de l'opération de lecture. Afin de distinguer les deux possibilités, le protocole suivant est mené : Des dispositifs sont programmés en état set à 300 K pour les différents niveaux de courant. Des rampes de tension jusqu'à 0,4 V sont ensuite appliquées à chaque température pour étudier la conduction. Ces rampes à basse tension sont effectuées avec un V_g de 4,5 V pour conserver le transistor en régime linéaire et minimiser sa résistance, comme pour les opérations de read. Ce protocole permet de lire le même état à chaque température sans le modifier.

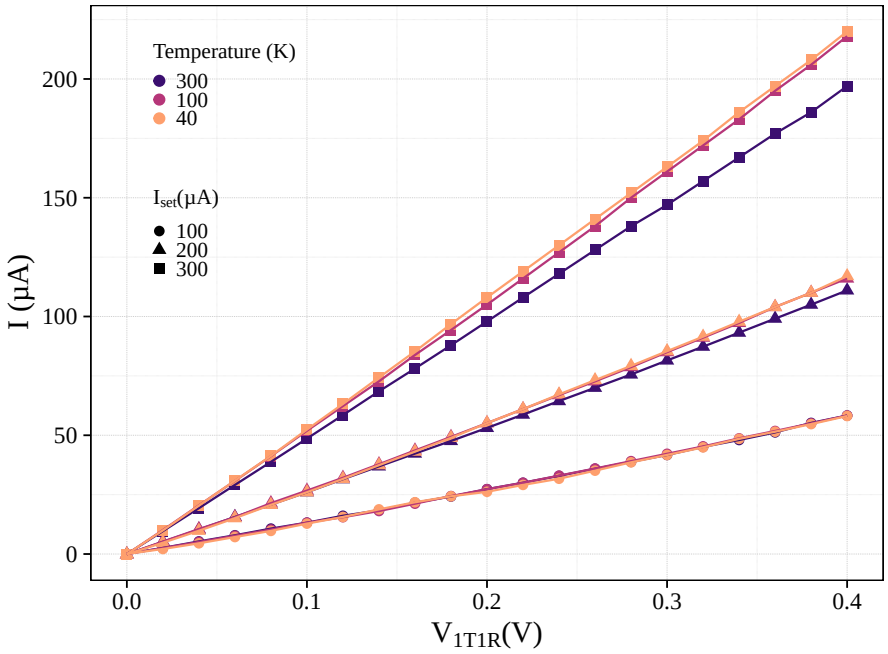

FIGURE 2.8 – Courant mesuré en fonction de V_{1T1R} pour des LRS programmés à 300 K avec un I_{set} de 100, 200 et 300 μA.

On observe une baisse de la résistance à basse température à l'échelle de la structure 1T1R pour les valeurs de I_{set} plus importantes. Cependant, ce résultat prend en compte la contribution du transistor. Sachant que la résistance en régime linéaire du transistor évolue aussi à basse température, il faut retirer sa contribution pour ne conserver que celle de l'OxRAM. En considérant le transistor comme une résistance série en read, on peut extraire V_{1R} comme :

$$V_{1R} = V_{1T1R} \cdot \frac{R_{1R}}{R_{on} + R_{1R}} \tag{2.4}$$

avec R_{on} la résistance en régime linéaire du transistor, mesuré aux différentes températures. De cette manière, V_{1R} est calculé pour chaque mesure de courant et permet de retrouver la courbe I-V des OxRAM seules, présentées en Figure 2.9.

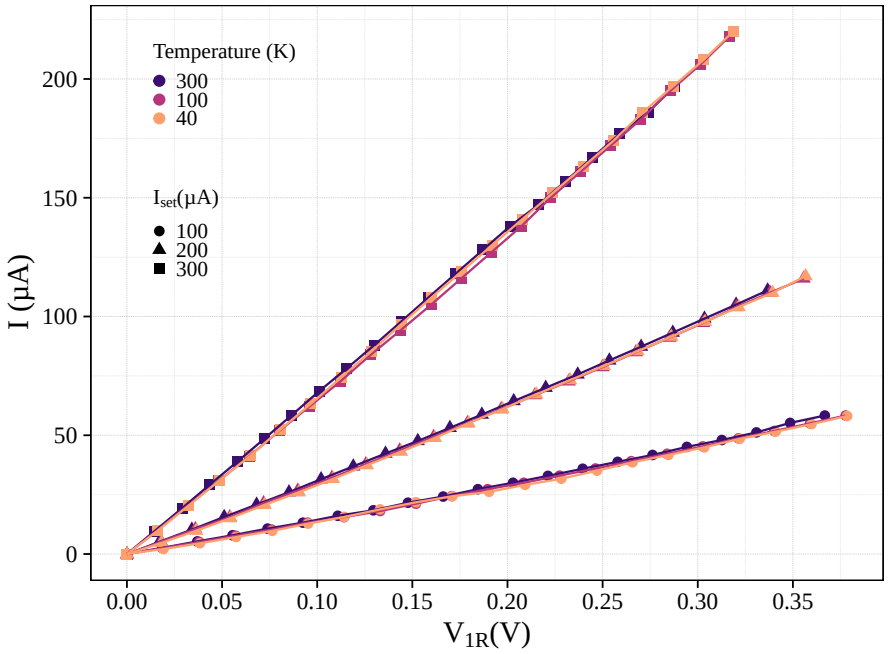

FIGURE 2.9 – Courant mesuré en fonction de V_{1R} pour des LRS programmés à 300 K avec un I_{set} de 100, 200 et 300 μA [167].

On observe que pour toutes les valeurs de I_{set}, les courbes I-V sont superposées. Les différences observées sur la Figure 2.8 étaient dues aux variations de résistance série du transistor. Les états LRS programmés ont une conduction indépendante de la température, ce qui suggère un comportement métallique. Ce résultat diffère de certaines observations de la littérature qui évoquaient une plus faible résistance à température cryogénique [100], [106]. Tout d'abord, il faut rappeler que certaines études superposent des LRS issus de plusieurs programmations aux différentes températures, et donc que la baisse de résistance provient peut-être d'un filament reformé différent.

L'étude qui utilise un protocole similaire au nôtre [98], dans lequel l'état programmé est mesuré à différentes températures sans modifications, montrait une dépendance de la conduction du LRS à I_{set}. En effet, le LRS moins résistif était métallique alors que les LRS plus résistifs étaient semi-conducteurs. Dans notre cas, tous les LRS affichent le même comportement métallique. L'empilement utilisé (Pt/Ta_2O_{5-x}/TaO_y/Pt) est très différent du notre, ce qui peut amener à des différences de comportement. Dans une autre étude, dont l'empilement est plus proche du notre (Pt/HfO_x/TiN) [100], les mesures de dispositifs claqués (dont le courant de set n'a pas été contrôlé) montraient un comportement métallique, attribué à une importante concentration de lacunes d'oxygène, alors que les LRS contrôlés étaient semi-conducteurs. La différence structurelle importante entre leurs échantillons et les nôtres est la présence de la couche réservoir. Une étude compare des LRS d'OxRAM avec et sans couche réservoir à haute température [174], respectivement TiN/Hf/HfO_2/TiN et TiN/HfO_2/TiN (similaire à notre empilement à l'exception du Hf) montrant que les LRS sans couche réservoir ont un comportement semi-conducteur alors que les LRS avec couche réservoir ont un comportement métallique similaire à nos observations. Il a été démontre que la couche réservoir favorise la migration des ions, et permet d'augmenter la concentration de lacunes d'oxygène dans le filament conducteur [61]. De plus, l'augmentation de la concentration en lacunes d'oxygène fait passer le filament d'un régime semi-conducteur à un régime métallique [175].

Ainsi, l'évolution de la température observée dans la Figure 2.7 provient d'un CF plus fin, résultant d'une efficacité réduite de l'opération de set à basse température. La section transversale du filament est définie par son diamètre (ϕ), dont l'évolution temporelle et thermique pendant l'opération de set est modélisée par la référence [90] comme :

$$\frac{d\phi}{dt} = Ae^{-\frac{E_{A0}}{k\left(T+\frac{V_{1R}^2}{R_{1R}}R_{th}\right)}} \tag{2.5}$$

avec R_{th} la résistance thermique et E_{A0} l'énergie d'activation pour la migration des ions. Une diminution de la

température réduit la vitesse de croissance du CF, conduisant à un LRS plus élevé. Néanmoins, ce phénomène n'est observable que lorsque les conditions de programmation sont maintenues constantes indépendamment de la température, comme cela a été imposé dans ces essais grâce à un contrôle précis des tensions de programmation (V_d, et V_g adapté pour obtenir un niveau de courant I_{set} similaire) et du temps d'application des impulsions. Cet équilibre a été imposé par souci de clarté, mais il n'est pas strictement nécessaire. D'autres conclusions peuvent être tirées comme le rapporte une autre étude [168], où l'imposition d'une même valeur de V_g pour toutes les températures conduit à un LRS plus faible à des températures cryogéniques. Ce dernier profite du courant de programmation supérieur délivré par le 1T, qui compense le ralentissement de la migration ionique, aboutissant à un LRS plus faible à basse température.

Pour conclure, nous avons constaté que la programmation de set est contrôlé par le transistor, qui régule la tension aux bornes de l'OxRAM une fois le courant de saturation atteint. Une programmation à basse température avec un courant de set fixe apporte un filament conducteur plus étroit, induit par le ralentissement de la migration des ions. Cette augmentation du LRS se compense par l'augmentation du courant du transistor pour une même tension de grille. Globalement, l'OxRAM peut donc être programmée à des tensions de grille plus faibles à basse température. L'étude de la conduction montre un comportement métallique du CF, ainsi qu'une conduction de ce dernier indépendante de la température.

2.3 Programmation du reset

Les études de l'état de l'art ont souvent constaté une augmentation des tensions de commutation [100], [101], [103], [105], [107], [176]. Pour l'opération de set, cette évolution peut être outrepassée. En effet, venons de voir que l'opération de set détermine le LRS par le contrôle du courant de saturation du transistor. Cela permet d'auto-réguler La tension aux bornes de l'OxRAM avec le transistor absorbant la tension supplémentaire.

Pour la transition de reset en revanche, il n'est pas possible de contrôler l'état final de cette manière. Une étude montre que la tension appliquée impacte fortement le HRS final obtenu [91]. La nature du transistor peut aussi avoir un impact sur l'opération de reset à l'échelle de la structure 1T1R [88]. Le rôle du transistor en série dans la transition de reset est bien moins connu que pour le set. Avant d'étudier l'impact de la température sur la transition, il est donc nécessaire de clarifier le rôle du transistor dans le reset à température ambiante. Ensuite, les évolutions à basse température des deux éléments seront étudiées pour comprendre les évolutions de la structure 1T1R en cryogénie.

2.3.1 Programmation de reset à température ambiante

Dans un premier temps, la détermination du pont diviseur de tension est nécessaire pour comprendre comment la tension appliquée impacte le HRS à une température donnée. En exploitant des résistances série de différentes valeurs, Fantini et al. [177] démontrent que la commutation de reset se produit lorsqu'une tension constante est appliquée à l'OxRAM. Il semble pertinent de déterminer le pont diviseur de tension au moment du déclenchement de la commutation de reset, afin de mieux comprendre son lien avec la valeur finale de HRS.

Cependant, il n'est pas possible de mesurer le courant transitoire dans des impulsions de 1 μs habituellement utilisées. Une méthode spécialement adaptée est alors proposée : la méthode de rampe de tension (RVS) [178], [179]. Cette méthode consiste en l'application d'une impulsion de tension croissante d'une vitesse de rampe β, permettant des mesures de courant à intervalle fixe, et l'observation de la transition de reset. Le RVS permet d'observer les commutations à la manière des mesures quasi-statiques, mais dans ce cas, la durée et la vitesse de la rampe sont contrôlées. Les rampes sont appliquées sur une large plage de durées, de 1 s jusqu'à 1 μs, pour se rapprocher d'une mesure impulsionnelle classique.

Une représentation schématique des RVS est illustrée en Figure 2.10. Contrairement aux impulsions habituelles, on ouvre le transistor en premier en appliquant d'abord V_g. Ensuite, la rampe de tension est appliquée sur l'électrode inférieure pour d'observer la commutation de reset pendant l'impulsion en fonction de V_{BE}.

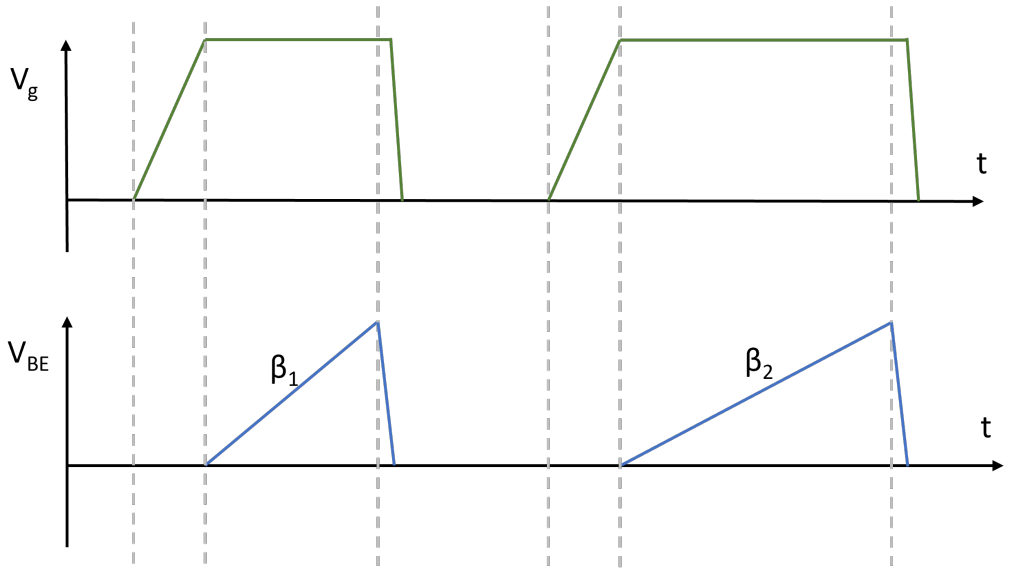

FIGURE 2.10 – Représentation schématique des impulsions de RVS.

Des séries de RVS sont appliquées aux structures 1T1R pour chaque transistor. Les dispositifs sont programmés en LRS avec des impulsions de 1 μs. Des opérations de read après les set vérifient que les niveaux de LRS sont identiques pour tous les transistors après set. Ce protocole permet de comparer les transitions de reset en partant de niveaux de LRS identiques. La Figure 2.11 montre des résultats de RVS pour tous les transistors et pour deux niveaux de I_{set}.

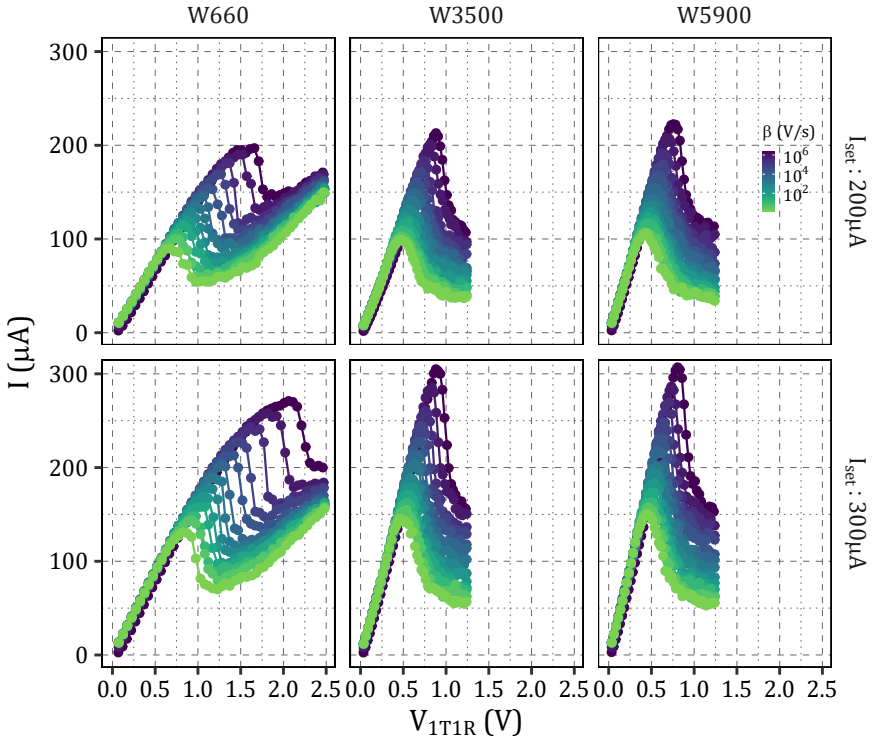

FIGURE 2.11 – Rampes de tensions médianes pour chaque valeur de β après une programmation d'un LRS avec I_{set} = 200 ou 300 µA. Le point de transition est défini comme le point d'inflexion de la courbe quand le courant commence à décroître [59].

Sur la courbe I-V, la transition de reset correspond au moment où une chute abrupte du courant se produit ; dans cette étude, elle est définie comme le premier point d'inflexion de la courbe. La tension maximale de la rampe est adaptée pour

les transistors (1,25 V pour les dispositifs 1T1R W3500 et W5900, et 2,5 V pour le W660), afin d'assurer un compromis entre des tensions suffisantes dans le but d'observer les transitions et le risque de dégradation par des tension trop élevées. La série de mesures RVS est répétée cinq fois consécutivement pour cinq dispositifs des trois transistors. Les valeurs médianes extraites de la tension de reset (V_{reset}), du courant (I_{reset}) et du temps (t_{reset}) sont représentées dans la Figure 2.12 en fonction du paramètre β.

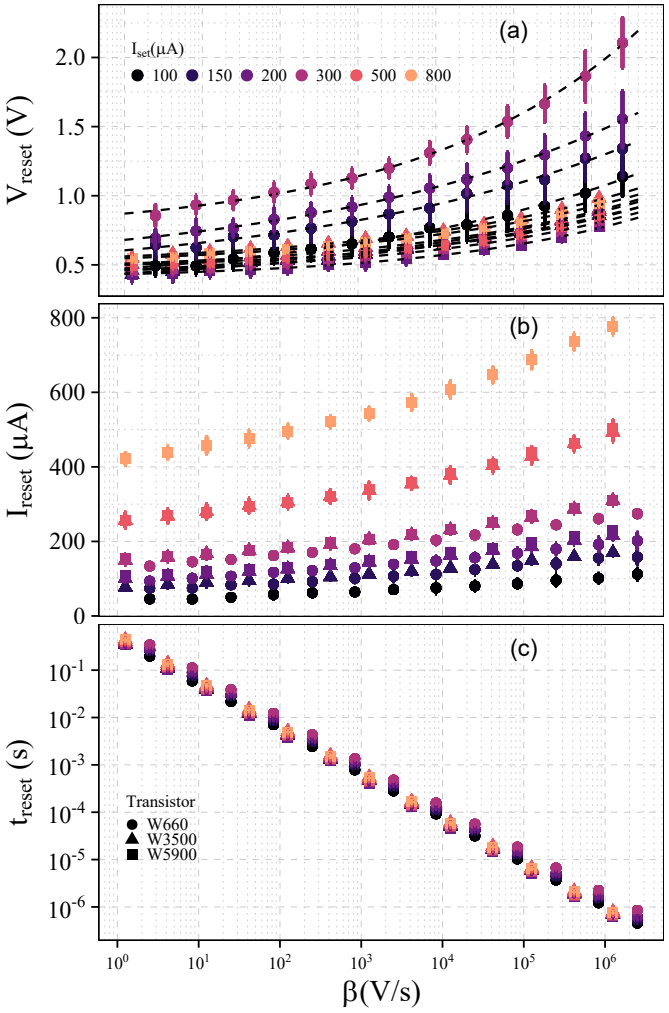

FIGURE 2.12 – (a) Tension de reset médiane et courbes de fit, (b) courant de reset, et (c) durée de reset extraits des rampes de tension en fonction de β pour chaque transistor et I_{set} [59].

Des expérimentations similaires ont été faites par la référence [180] sur le transistor W3500 et sur une amplitude de β plus resserrée (50-10^4 V/s), aboutissant à un fitting linéaire de V_{reset} en fonction de β. Dans notre cas (Figure 2.12(a)), l'amplitude de β plus élevée révèle une tendance exponentielle, dont la modélisation est plus adaptée en utilisant une fonction puissance telle que :

$$V_{reset} = A \cdot \beta^B + C \tag{2.6}$$

Avec A, B et C qui dépendent de I_{set} et du transistor.

On observe une évolution de I_{reset} avec β ainsi que des niveaux différents selon les transistors Figure 2.12(b). Ces observations contestent l'idée d'une relation directe entre I_{set} et I_{reset} ou encore d'une commutation de reset activée par un seuil de courant.

La Figure 2.12(c) montre une proportionnalité inverse entre t_{reset} et β pour chaque condition de transistor et I_{set}.

Une solution analytique du pont diviseur de tension permettrait de mieux comprendre les importantes variations de V_{reset}, cependant sa détermination n'est pas simple du fait de la non-linéarité de la caractéristique I_{ds}-V_{ds} du transistor. De plus, en configuration de reset, la source du transistor se trouve au nœud flottant du diviseur de tension, et sa valeur augmente lorsqu'une polarisation est appliquée à la série 1T1R. Cela induit un effet de substrat (body effect) au sein du transistor.

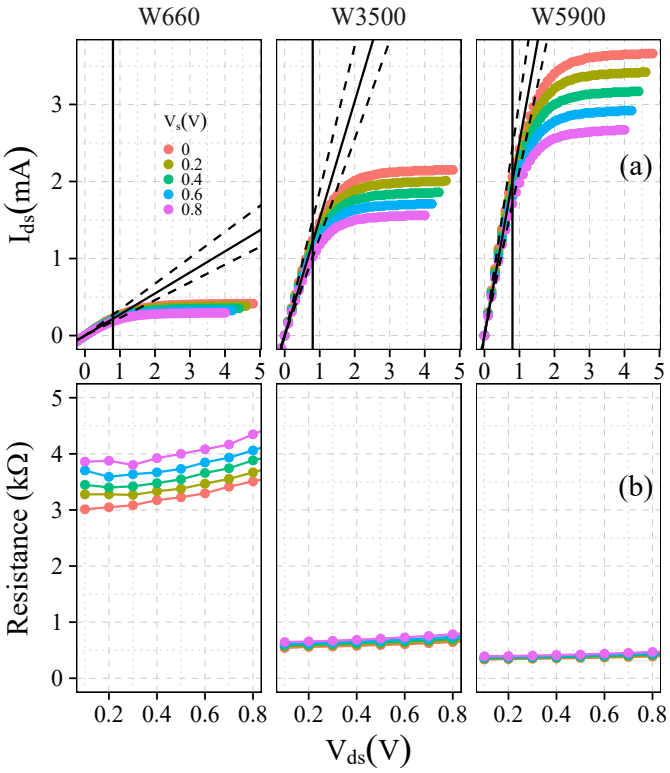

FIGURE 2.13 – (a) Caractéristique I_{ds}-V_{ds} à V_g utilisé pour les opérations de reset et de read obtenues avec : le bulk connecté à la masse et la source polarisée dans l'intervalle [0 ;0,8]V. Tous les transistors semblent être en régime linéaire jusqu'à 0,8 V. Pour vérifier cette hypothèse, (b) présente les résistances calculées comme V_{ds}/I_{ds} dans la gamme définie par l'abscisse. La variabilité augmente en réduisant la W du transistor, jusqu'à une erreur relative de 20% [59].

Pour observer son impact, la Figure 2.13 illustre les caractéristiques I_{ds}-V_{ds} du transistor avec : le bulk relié à la masse, V_g à 4,5 V comme pour une opération de reset classique, et la source polarisée entre 0 V et 0,8 V. La Figure 2.13 montre les résistances de canal calculées comme V_{ds}/I_{ds} dans une gamme de V_{ds} dans laquelle le transistor devrait fonctionner en régime linéaire. Une légère variation de résistance est observée, visible surtout sur le transistor W660, mais ne dépasse pas 20% d'augmentation.

Les valeurs finales de R_{on} sont de 398 $\pm$ 70 Ω pour le W5900, 658 $\pm$ 126 Ω pour le W3500, et 3660 $\pm$ 690 Ω pour le W660). Nous considérons ainsi que pour tous les cas dans lesquels la commutation de reset opère à une tension V_{reset} inférieure à 0,8 V sur la structure 1T1R, le transistor peut être considéré comme une résistance série de la valeur mentionnée. Pour les cas validant cette condition, la Figure 2.14 compare les résistances de set pendant le read avec les résistances mesurées pendant le RVS calculées comme V_{reset}/I_{reset}, moins la résistance moyenne du transistor extraite de la Figure 2.13.

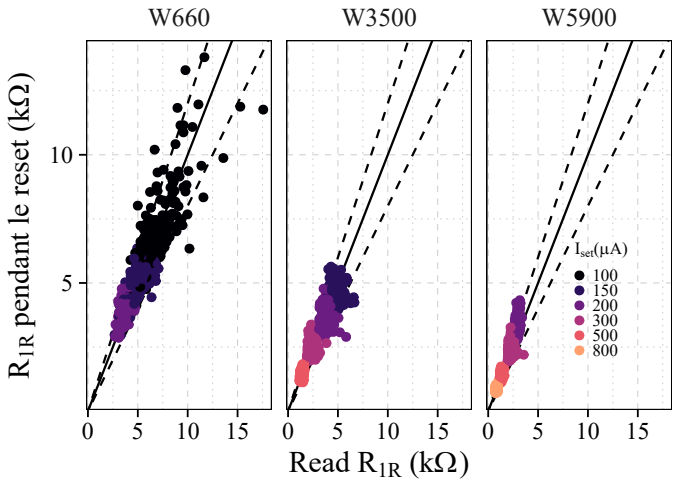

FIGURE 2.14 – Comparaison de R_{1R} au point de reset avec R_{1R} après set, suite à un filtrage des reset en régime linéaire (V_{reset} < 0,8 V). Les lignes continues tracent les valeurs attendues, les lignes pointillées représentent la marge d'erreur de 20%. [59]

Les valeurs de résistance se superposent, ce qui valide l'approximation réalisée sur le transistor. Cela montre aussi que R_{1R} ne varie pas jusqu'à la transition reset et que la dissolution du filament conducteur n'est pas progressive mais déclenchée lorsqu'une condition nécessaire est atteinte. Cette hypothèse est également soutenue dans la référence [181], où la commutation est observée dans une période inférieure à 300 ps. Ces considérations permettent de calculer la tension aux bornes du diviseur de tension pour les conditions linéaires et de déterminer V_{1R} pendant la commutation, en utilisant l'équation avec R_{on} extrait de la Figure 2.13 et V_{reset} < 0,8 V. La formule pour déterminer V_{1R} dans ces conditions est issue de l'équation (2.1) :

$$V_{1R} = V_{1T1R} - R_{on} \cdot I \tag{2.7}$$

Les valeurs de V_{1R} calculées sont représentées sur la Figure 2.15, et montrent une évolution commune de V_{1R} en fonction de β. Cela aboutit à une modélisation de cette courbe avec une fonction puissance de la même forme que l'équation (2.6). La nature du transistor n'a pas d'influence sur V_{1R}, ce qui confirme les observations faites par les références [177] et [88]. Les niveaux de I_{set} n'ont pas d'influence non plus comme observé par la référence [49], ce qui signifie que la transition a lieu à la même tension pour toutes les tailles de CF. De plus, la constante C indique une tension minimale pour la transition de reset, interprétable comme la tension minimale requise pour enclencher la migration des ions.

V_{1R} suit une évolution logarithmique en fonction de β, en augmentant de 50% entre six ordres de grandeur.

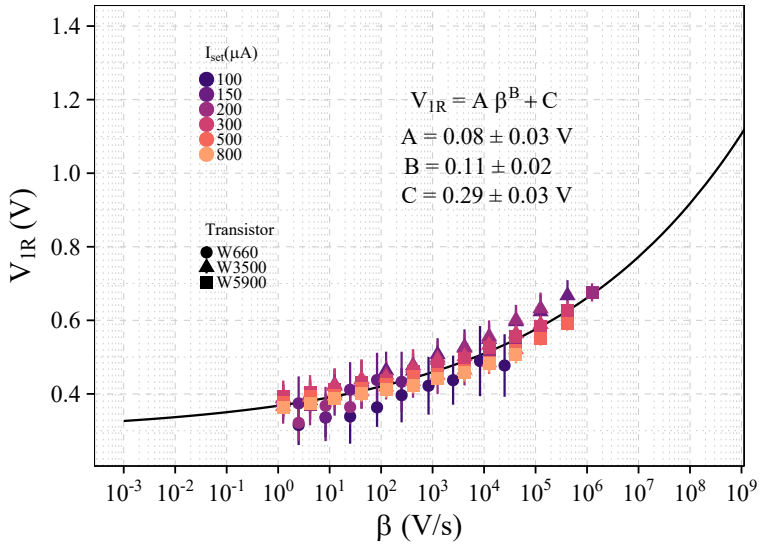

FIGURE 2.15 – V_{1R} médian en fonction de β pour les rampes de tension dans lesquelles le transistor est en régime linéaire. Le graphique montre une évolution commune pour tous les transistors et I_{set} confondus [59].

Nous avons vu que V_{1R} suit une tendance unique pour tous les transistors et I_{set} dans les transitions en régime linéaire. L'étape suivante consiste à vérifier si cette hypothèse peut constituer un cas général, qui s'appliquerait aussi avec un sélecteur non linéaire.

Étant donné que le LRS ne varie pas avant la commutation, nous pouvons vérifier l'hypothèse en comparant la résistance mesurée pendant l'impulsion de read des cas "non linéaires" avec la valeur de résistance calculée comme suit : V_{1R} calculé avec le fitting de la Figure 2.15 divisé par I_{reset} mesuré. La comparaison est présentée en Figure 2.16.

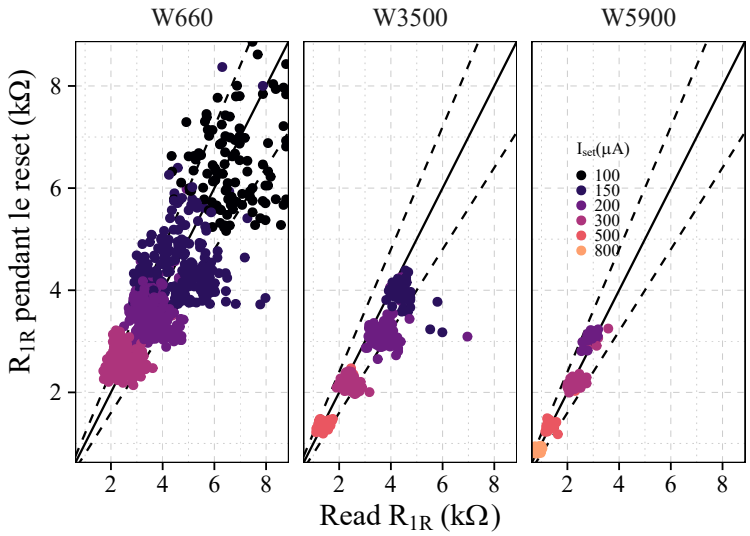

FIGURE 2.16 – Comparaison de R_{1R} au point de reset avec R_{1R} après set, pour les reset non linéaires. Durant le reset, R_{1R} est calculé en utilisant le fitting de la Figure 2.15 pour la valeur de β correspondante, divisé par I_{reset}. Les lignes pleines tracent les valeurs attendues, tandis que les lignes pointillées représentent la marge d'erreur de 20%. La tendance correspond bien aux conditions de programmation, ce qui valide le fitting pour toute condition de reset [59].

La variabilité par rapport à l'axe augmente avec la réduction de I_{set}, essentiellement sur le W660. Cette incertitude est à relier avec la précision du fitting ainsi que la variabilité intrinsèque de la transition de reset (barres d'erreur dans la Figure 2.12).

Finalement, ce protocole permet de montrer qu'au premier ordre la tension de commutation V_{1R} n'est pas dépendante du sélecteur en série ni de I_{set}. A l'inverse, la répartition de tension entre le sélecteur et l'OxRAM entraîne des variations de V_{reset} nécessaires pour atteindre le V_{1R} suffisant à l'échelle de la structure 1T1R. Cela explique les différences notables observées en Figure 2.12(a). Les variations de I_{reset} observées en Figure 2.12(b) sont également une conséquence indirecte de la répartition de tension entre les deux éléments. Pour valider l'hypothèse d'une condition de reset dépendante de la tension aux bornes de l'OxRAM, des séries d'impulsions triangulaires avec une rampe β = 10^6 V/s et des valeurs de V_{reset} incrémentales entre 0,5 V et 4 V sont appliquées aux transistors W3500 et W660 pour I_{set} de 150 et 300 μA. Chaque condition est répétée dix fois pour les cinq dispositifs testés par conduction. Les résultats sont présentés en Figure 2.17, avec des lignes verticales représentant les valeurs de V_{1T1R} au moment de la commutation calculées avec l'équation (2.6).

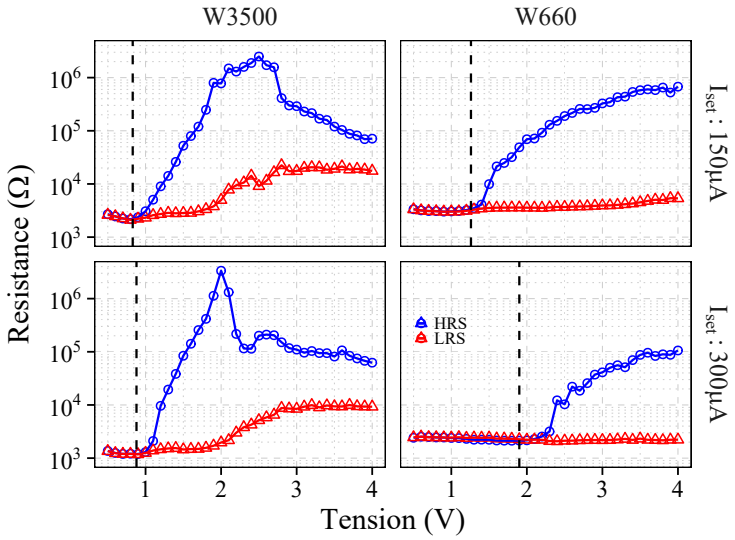

FIGURE 2.17 – Tension minimale nécessaire pour obtenir la commutation pour β = 10^6 V/s pour deux transistors et deux I_{set}. Les résultats correspondent aux valeurs du fitting de la Figure 2.15 [59].

Nous pouvons constater que la commutation se déclenche une fois que le niveau de tension atteint la limite fixée par la ligne horizontale. Cela confirme la condition de commutation une fois que la tension nécessaire est atteinte pour une valeur de β donnée. Au-delà du seuil, lorsque la tension appliquée augmente, la valeur de HRS s'élève en raison de l'allongement de la barrière diélectrique entre le filament et l'électrode [95], jusqu'à atteindre un maximum. En poursuivant l'augmentation, une dégradation de la fenêtre mémoire se produit pour le transistor W3500, comme en témoigne l'élévation de la valeur du LRS tandis que celle du HRS diminue. Cette dégradation par over-reset est liée à la formation de défauts immobiles dans le filament conducteur sous un champ électrique plus intense [182] ce qui affecte les deux états résistifs.

2.3.2 Évolution du reset à basse température

Nous venons de voir que la commutation de reset est déclenchée lorsqu'une tension suffisante est appliquée aux bornes de l'OxRAM pour une rampe de tension donnée. A l'échelle de la structure 1T1R, la répartition de tension entre les deux éléments fait varier la tension V_{reset} à appliquer sur la structure entière.

L'analyse de la commutation de reset en fonction de la température doit être abordée en deux étapes distinctes. La première consiste à évaluer dans quelle mesure la température influence le pont diviseur de tension à travers les évolutions des deux éléments. Une fois ces effets clarifiés, il devient possible d'étudier en détail la commutation de reset dans les dispositifs OxRAM.

Concernant les évolutions de résistances des deux éléments à basse température, nous avons vu dans la Section 2.2

que la conduction des LRS est indépendante de la température. A l'inverse, il a été démontré que le R_{on} du transistor chute à des températures cryogéniques [183]. Afin de déterminer l'évolution de R_{on} sur nos transistors, des mesures de read sont effectuées aux différentes températures en condition de reset. Les résultats sont présentés en Figure 2.18.

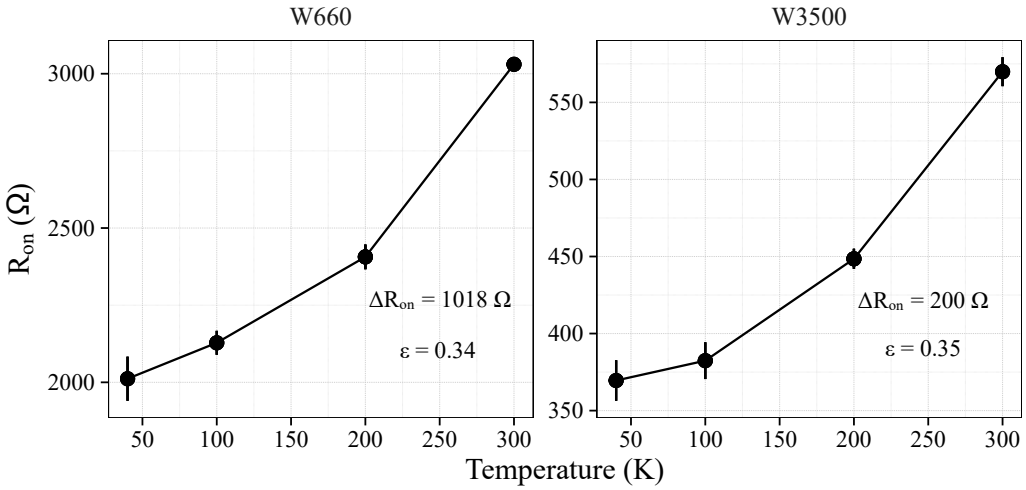

FIGURE 2.18 – R_{on} du transistor calculé comme V_{ds}/I_{ds} pour chaque température à V_{gs} = 4,5 V, V_{ds} = 0.4 V et V_s = 0 V. La différence entre 300 K et 40 K (ΔR_{on}) varie en fonction du transistor, bien que l'écart relatif (ϵ) soit comparable pour les deux transistors [167].

Les deux transistors affichent une chute de R_{on} de environ 35% entre 300 K et 40 K. Cependant, la quantité correspondante est de 200 Ω pour le W3500 et de 1000 Ω pour le W660. Ces valeurs auront des implications différentes sur le pont diviseur de tension de la structure 1T1R. En réutilisant l'équation (2.9), nous définissons γ comme suit :

$$\gamma = 100\% \cdot (1 - \frac{R_{1R}}{R_{on} + R_{1R}}) \tag{2.8}$$

Le facteur γ représente le taux de perte de tension de programmation entraîné par le transistor. Plus γ est faible, plus la tension nécessaire pour obtenir la commutation sera réduite. La Figure 2.19 illustre une modélisation de cette perte en fonction des valeurs de R_{1R} (c'est à dire des niveaux de set programmés), en considérant que le transistor fonctionne en régime linéaire.

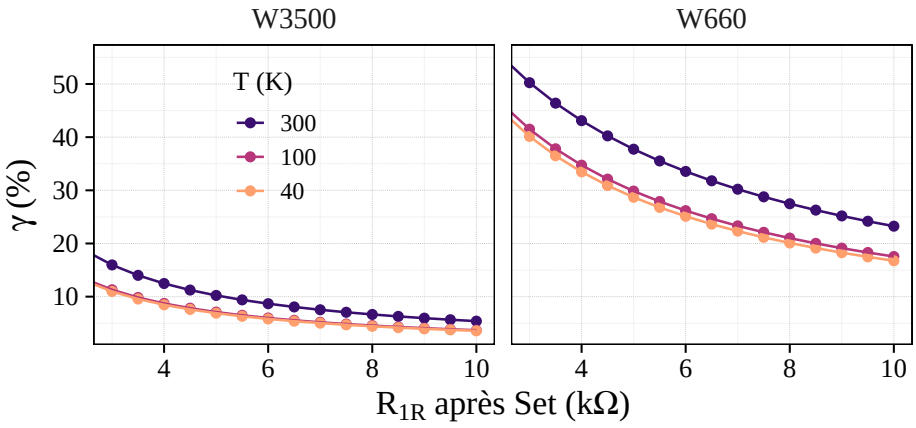

FIGURE 2.19 – Calcul de la perte de tension de reset sur le 1R causée par la résistance du sélecteur en série avec l'élément mémoire en fonction du LRS. Les calculs utilisent les valeurs de R_{on} de la Figure 2.18. Le sélecteur W660 présente un gain d'efficacité plus significatif en conditions cryogéniques [167].

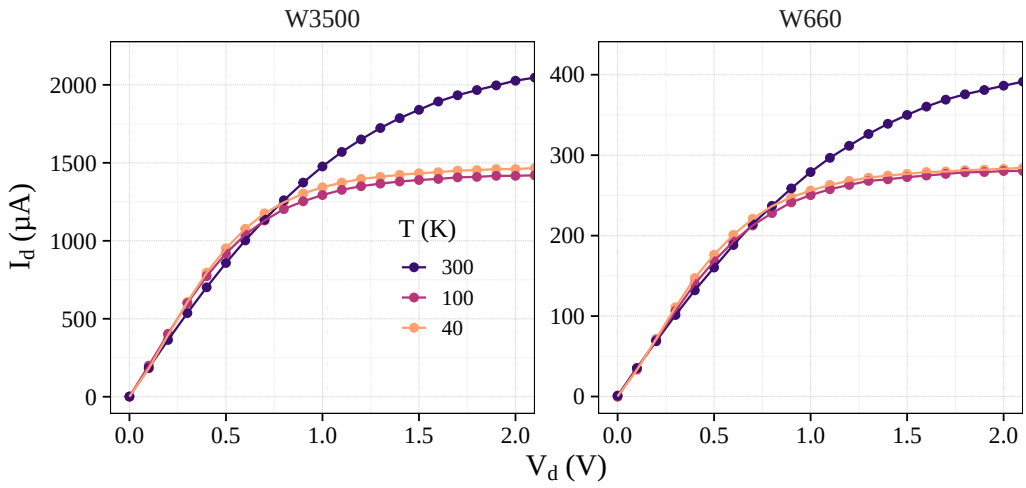

FIGURE 2.20 – Caractéristique I_{ds}-V_{ds} des transistors avec les V_g adaptés à basse température pour obtenir la même valeur de R_{on} qu'à 300 K [167].

Les résultats montrent que plus le sélecteur est petit, plus le gain d'efficacité en régime cryogénique est important, avec une amélioration supplémentaire proportionnelle à la valeur du LRS. En conclusion, cela suggère qu'un certain nombre de conditions de programmation insuffisantes à température ambiante peuvent devenir efficaces à basse température. L'évolution du pont diviseur en cryogénie étant mesurée, nous pouvons désormais nous concentrer sur l'évolution de commutation de l'OxRAM. Pour investiguer cette évolution, nous utilisons la technique du RVS à différentes températures.

Deux configurations de RVS sont définies dans le but de décorréler les effets du pont diviseur de tension. La première représente le cas "standard" dans lequel le V_g du transistor est laissé à 4,5 V. La seconde est une configuration "adaptée" dans laquelle le V_g à 100 K et 40 K est ajusté pour obtenir la même valeur de R_{on} qu'à 300 K et ainsi égaliser l'impact du pont diviseur de tension. Dans cette configuration, les différences dans la commutation de reset seront induites uniquement par des variations intrinsèques de l'OxRAM. La Figure 2.20 met en évidence les caractéristiques des transistors dans les conditions adaptées. La réduction de V_g aux températures cryogéniques réduit le niveau de saturation. Cette modification doit être prise en compte mais n'est pas critique, puisque le but de cette configuration est uniquement de comparer des expériences dans lesquelles les transistors fonctionnent en régime linéaire.

Pour chaque condition, dix RVS sont appliqués sur cinq dispositifs par condition. Pour tous les RVS, les opérations de set consistent en des séries impulsions de 1 μs pour obtenir exactement le même niveau de LRS à chaque température : 3 kΩ pour le W3500 et 7 kΩ pour le W660.

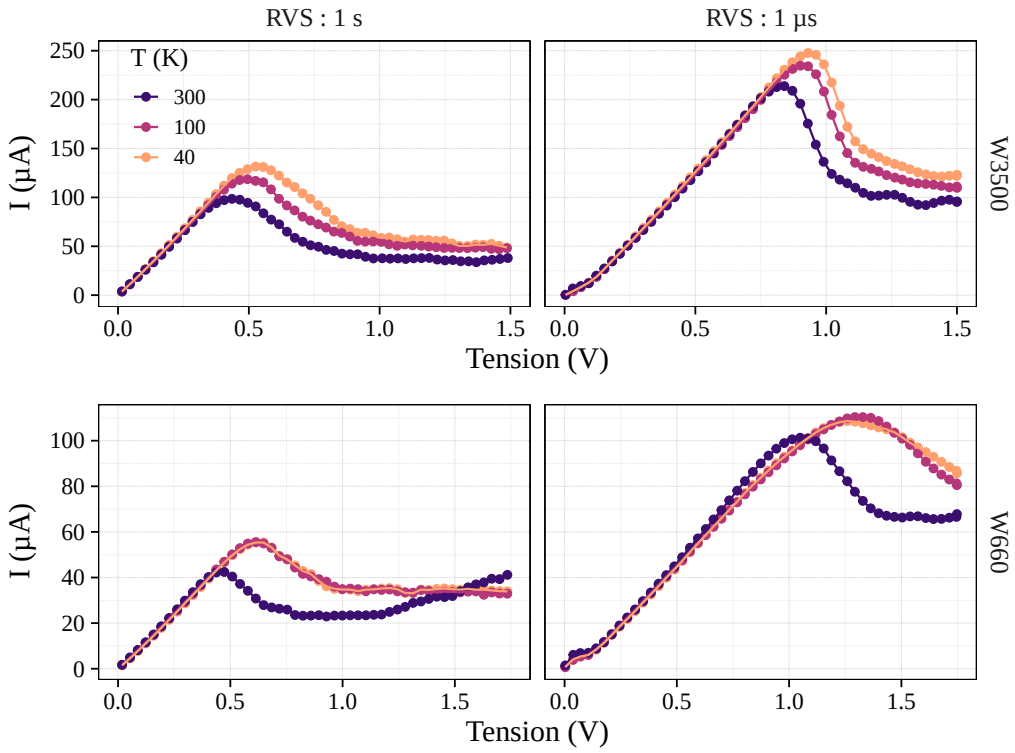

FIGURE 2.21 – RVS médian avec un temps de rampe de 1 s et 1 μs pour les deux transistors dans la configuration adaptée. Pour le transistor W3500, les courbes IV avant la transition de reset restent linéaires, tandis qu'à basse température, les courbes W660 divergent au-delà de 0,8 V à 300 K en raison du niveau de saturation réduit du transistor dans la configuration adaptée [167].

La Figure 2.21 présente les données les plus lentes et les plus rapides collectées pour le cas adapté, mettant en lumière une résistance de set constante quelle que soit la vitesse pour le dispositif W3500. La déviation par rapport à la linéarité dans le W660 provient de l'apparition plus précoce du régime de saturation à basse température, accentuée par la diminution de V_{gs} due à l'élévation de la tension de source au nœud flottant. Ainsi, nous avons filtré l'ensemble des données afin de ne conserver que les points dont l'écart relatif par rapport à la résistance de la structure à 300 K ne dépasse pas 5 % d'augmentation. Ensuite, pour chaque test valide, nous avons extrait le point de déclenchement du reset V_{reset}, toujours défini comme le maximum de chaque courbe I-V.

Les valeurs de V_{reset} à chaque température sont représentées en Figure 2.22 en fonction de β.

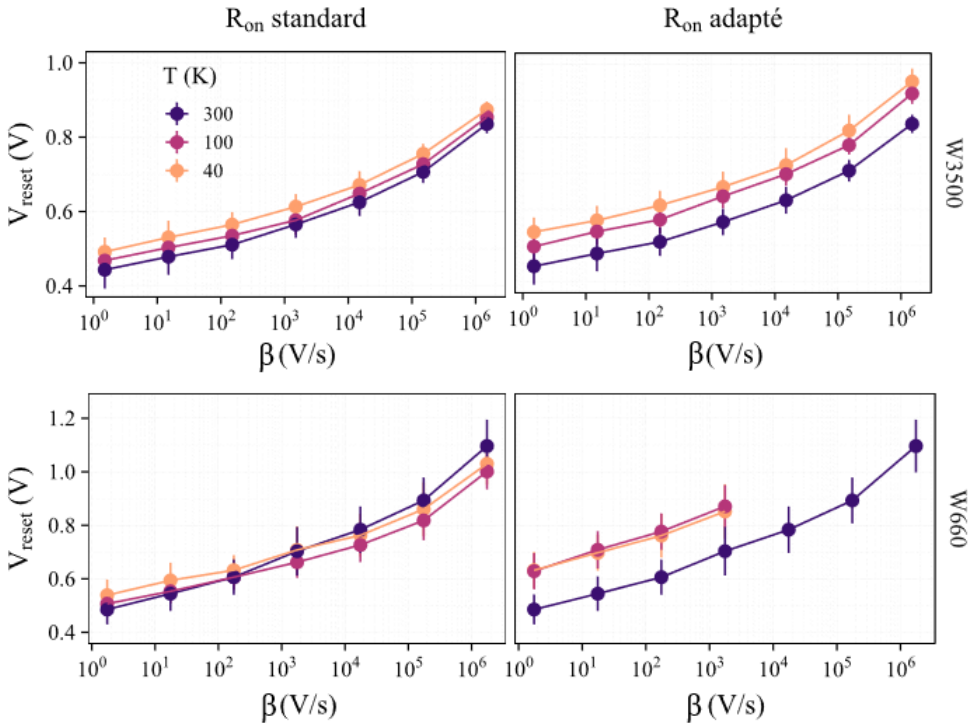

FIGURE 2.22 – Tension de reset moyenne ± écart-type extraits des RVS en fonction de β pour chaque température. Cinq dispositifs sont testés pour chaque température et configuration [167].

On constate un décalage de la tension de reset dans la configuration adaptée. Cela signifie que la commutation de reset est activée en température dans l'OxRAM. Ces effets sont compensés par l'évolution de R_{on} du transistor, notamment pour le W660 sur lequel la tension de reset en cryogénie devient finalement inférieure à la tension de reset à 300 K. Nous pouvons réécrire l'équation (2.7) de la manière suivante :

$$V_{1T1R}(T) = V_{1R}(T) \cdot (1 + \frac{R_{on}(T)}{R_{1R}}) \tag{2.9}$$

La pente multiplicatrice de V_{1R} dans l'équation (2.9) a une dépendance directe avec R_{on}, alors que R_{1R} reste constant. Cet effet finit par surpasser le décalage de V_{1R} à basse température pour les plus hautes valeurs de V_{1R} correspondant aux plus hautes valeurs de β, tel qu'observé en Figure 2.22.

2.4 Modélisation de la température de reset

2.4.1 Modèle théorique de la température dans le CF

Les écarts observés sur V_{1R} en fonction de la température pour une valeur de β donnée montrent que la température extérieure joue un rôle dans la transition de reset. Afin de poursuivre cette analyse, nous allons utiliser une méthode afin d'estimer la température locale du filament conducteur en utilisant des modèles développés dans la littérature. Nous utilisons le modèle initialement développé par les études de Politecnico de Milano [49], [53], [90], puis approfondi dans les travaux de thèse de Thomas Cabout [184]. Ce modèle représente le filament conducteur comme un cylindre d'une longueur d_{ox}, dans lequel la température varie en fonction de l'axe de la longueur du filament. La température est à son niveau maximal (T_{max}) au centre du filament conducteur et équivalente à la température de mesure aux interfaces avec les électrodes (T_{ext}). Une représentation schématique est proposée en Figure 2.23.

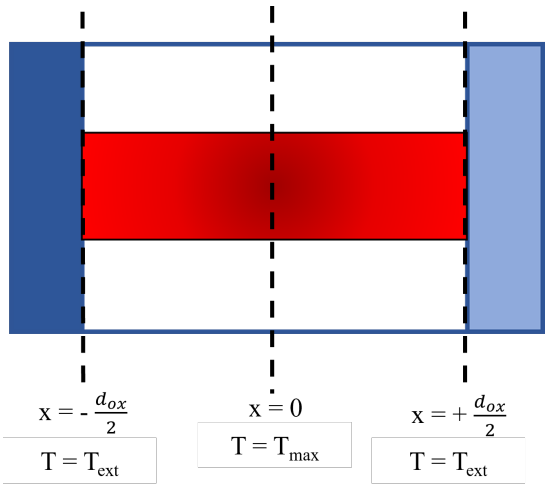

FIGURE 2.23 – Représentation schématique de la répartition de température dans le filament conducteur cylindrique.

En régime stationnaire, le profil de température le long du CF vérifie l'équation de la chaleur de Fourier en 1D.

$$\frac{\delta^2 T}{\delta x^2} = -\frac{p}{\kappa_{eq}} \tag{2.10}$$

avec p la densité de puissance de chauffe (W/m^3) et κ_{eq} la conductivité thermique équivalente ($W/K \cdot m$). On admet ici que p est uniforme dans l'axe et que κ_{eq} inclut la conductivité du CF et les échanges thermiques entre le CF et l'oxyde [53].

En intégrant l'équation (2.10) deux fois pour isoler T nous obtenons un polynôme de degré 2 : La situation est symétrique par rapport au centre du CF, car nous considérons que la température se diffuse de la même manière des deux côtés du centre du CF. Ainsi, tous les paramètres de degré impair sont nuls.

$$T(x) = -\frac{p}{2\kappa_{eq}} x^2 + c \tag{2.11}$$

On impose ensuite la conditions aux limites : $T(x = \pm\frac{d_{ox}}{2}) = T_{ext}$:

$$T\left(\frac{d_{ox}}{2}\right) = -\frac{p}{2\kappa_{eq}}\left(\frac{d_{ox}}{2}\right)^2 + c = T_{ext}$$

Ce qui revient à écrire :

$$c = T_{ext} + \frac{p}{2\kappa_{eq}}\left(\frac{d_{ox}}{2}\right)^2$$

Le profil de température s'écrit alors :

$$T(x) = \frac{p}{2\kappa_{eq}}\left(\left(\frac{d_{ox}}{2}\right)^2 - x^2\right) + T_{ext} \tag{2.12}$$

A ce stade nous avons une équation de la température locale dans le filament conducteur. La température maximale dans le CF (T_{max}) est atteinte en son centre (x=0) :

$$T_{max} = T(0) = \frac{p}{2\kappa_{eq}}\left(\frac{d_{ox}}{2}\right)^2 + T_{ext} = T_{ext} + \frac{p \cdot d_{ox}^2}{8\kappa_{eq}} \tag{2.13}$$

La densité de puissance dissipée par effet Joule peut s'écrire :

$$p = \rho \cdot j^2 = \sigma \cdot E^2 = \sigma \cdot \frac{V^2}{d_{ox}^2} \tag{2.14}$$

avec ρ la résistivité électrique ($\Omega \cdot m$), $\sigma = 1/\rho$ la conductivité électrique ($(\Omega \cdot m)^{-1}$), j la densité de courant (A/m^2), E le champ électrique (V/m), et V la tension.

En injectant l'équation (2.14) dans l'équation (2.13), on obtient une expression simple de la température maximale en fonction de la tension :

$$T_{max} = \frac{\sigma}{8 \cdot \kappa_{eq}} V^2 + T_{ext} \tag{2.15}$$

Les paramètres qui empêchent encore de pouvoir exploiter l'équation (2.15) sont σ et κ_{eq}, dont il est difficile de connaître les valeurs. Pour simplifier ces deux paramètres, nous utilisons la loi de Wiedemann et Franz qui relie la conductivité thermique et électrique dans les métaux :

$$\frac{\kappa_{eq}}{\sigma} = L \cdot T \tag{2.16}$$

avec T la température (K) et L la constante de Lorentz ($W \cdot \Omega \cdot K^{-2}$). La constante de Lorentz dans l'hafnium est de 3,47x10$^{-8} W \cdot \Omega \cdot K^{-2}$ [185]. En réinjectant l'équation (2.16) dans l'équation (2.15), nous obtenons une équation de la température maximale qui ne dépend que de la température extérieure et de la tension. Nous pouvons calculer cette dernière avec nos moyens [184] :

$$T_{max} = \frac{\sigma}{8 \cdot \kappa_{eq}} V^2 + T_{ext} = \frac{V^2}{8 \cdot L \cdot T_{max}} + T_{ext} \tag{2.17}$$

ce qui implique :

$$T_{max} = \frac{T_{ext} + \sqrt{T_{ext}^2 + \frac{V^2}{2 \cdot L}}}{2} \tag{2.18}$$

Grâce aux différentes approximations faites, ce modèle apporte une relation fermée entre la tension appliquée, la température de mesure et la température interne du CF. Cela nous permet d'exploiter un peu plus les méthodologies développées pour déterminer V_{1R} en estimant la température effective du CF pendant la transition reset. Il existe d'autres modèles de la température interne dans les OxRAM mais ces derniers nécessitent d'autres informations sur la nature et la composition du CF pour être exploitables.

2.4.2 Température de reset expérimentale extraite des RVS

L'équation (2.18) peut être utilisée avec nos mesures de V_{1R} au moment de la commutation de reset. Pour analyser la température maximale de reset (T_{crit}), nous allons utiliser les résultats des RVS utilisés sur le transistor W3500 en régime adapté. Ce sont les mesures les plus précises et dans lesquelles la contribution parasite du transistor est la moins pénalisante.

Nous utilisons le même procédé que pour la partie Section 2.3.1, c'est à dire que nous considérons le transistor série comme une résistance équivalente pour les RVS dont le V_{reset} est inférieur à 0,8 V. Cela nous permet de retrouver les valeurs de V_{1R} en utilisant l'équation (2.15). Le résultat est présenté en Figure 2.24.

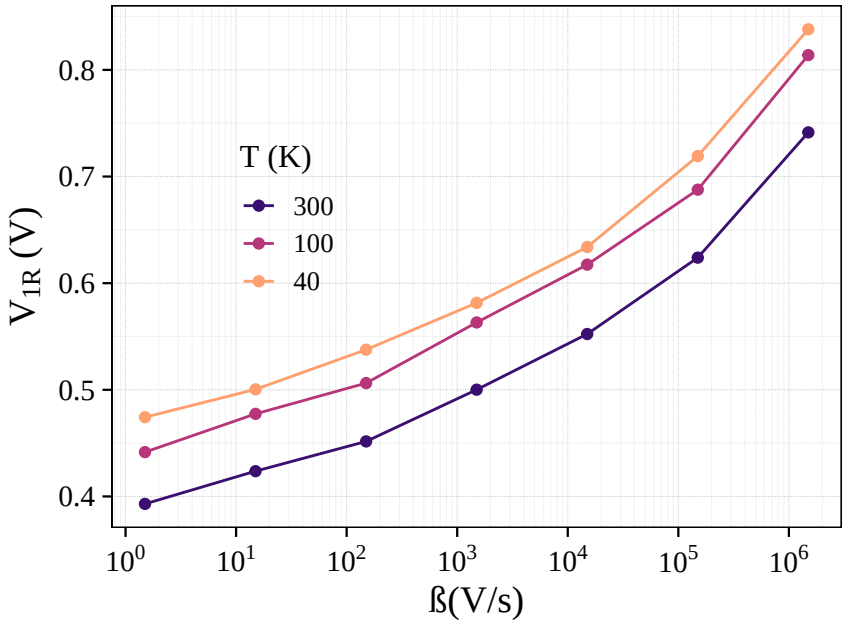

FIGURE 2.24 – V_{1R} en fonction de β pour les RVS du transistor W3500 en configuration adaptée pour chaque températures.

En utilisant les valeurs affichées en Figure 2.24 dans l'équation (2.18), nous obtenons les valeurs de la Figure 2.25.

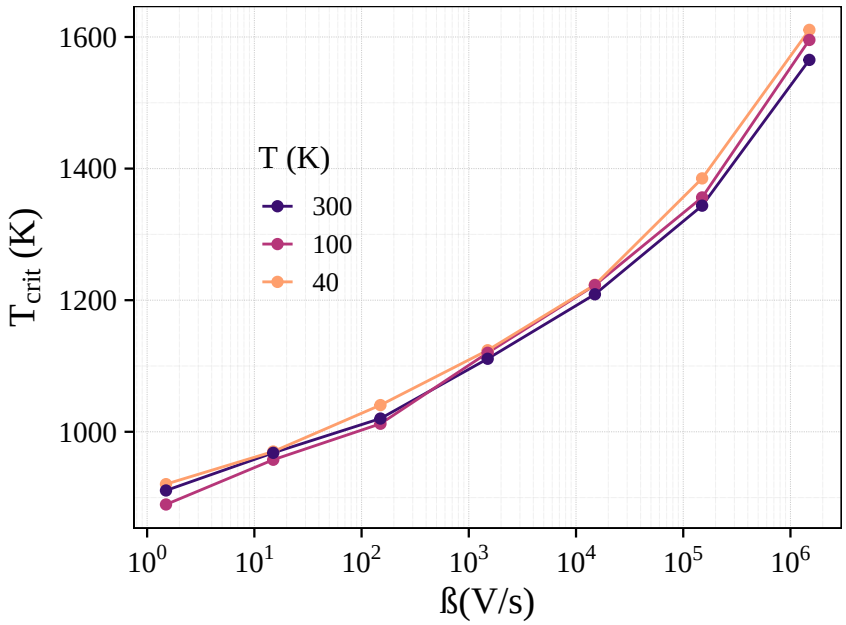

FIGURE 2.25 – T_{crit} en fonction de β pour les RVS du transistor W3500 en configuration adaptée et à différentes températures. T_{crit} est similaire pour toutes les températures de mesure pour une valeur de β donnée.

Nous remarquons que T_{crit} est la même pour toutes les températures de mesure, pour un β donné. Une observation similaire était faite sur des mesures de reset à des températures extérieures entre 300 K et 500 K pour une rampe de durée fixe [184]. Ici, nous constatons que cette valeur évolue avec la durée et donc la vitesse de rampe. Néanmoins, nous avons vu l'universalité de V_{1R} au moment du reset pour plusieurs I_{set} et ainsi différentes tailles de filament conducteur. Cela signifie que la condition de température critique pour obtenir la transition de reset ne dépend pas des dimensions du filament. La seule variable qui influence T_{crit} est la vitesse de rampe β qui dépend de la durée de l'impulsion. Il faut

rappeler que les durées de rampes vont de 1 μs jusqu'à 1 s, ce qui représente une amplitude de six ordres de grandeur. Dans cette amplitude, V_{1R} affiche une amplitude de 0,35 V représentant une augmentation de 70 à 90 $\%$ pour 300 K et 40 K respectivement. Les valeurs de T_{crit} associées ont une évolution similaire. Cette relation indique que T_{crit} ne doit pas être perçue comme la température de déclenchement du reset, mais comme une température à laquelle le mécanisme de commutation peut opérer dans l'échelle temporelle de l'impulsion électrique [184].

Le modèle utilisé pour estimer T_{crit} repose sur plusieurs hypothèses simplificatrices. Il considère un CF cylindrique uniforme et une conduction thermique strictement unidimensionnelle. Les échanges thermiques latéraux avec l'oxyde ainsi que les résistances thermiques aux interfaces électrode/oxyde ne sont pas pris en compte, les électrodes étant supposées parfaitement isothermes à la température de mesure. De plus, la loi de Wiedemann-Franz est appliquée au CF comme s'il s'agissait d'un métal homogène, et la dépendance en température de la conductivité électrique n'est pas explicitement modélisée. Ces approximations tendent à surestimer la température maximale calculée, qui doit donc être interprétée comme une température effective plutôt qu'une valeur absolue.

2.5 Impact de la température sur l'endurance et la fiabilité

Nous venons d'étudier l'évolution des deux transitions à basse température. Une programmation de set à courant constant crée un LRS plus résistif d'environ 20$\%$. La commutation de reset connaît aussi une légère augmentation de V_{1R} mais cette évolution est compensée par la réduction de R_{on} du transistor, notable surtout pour le transistor le plus étroit. Nous allons maintenant voir ce que ces évolutions apportent sur les performances globales des dispositifs en fonction de la température.

2.5.1 Cyclabilité et miniaturisation de la structure 1T1R à 300 K

La miniaturisation impose une optimisation de la surface de la cellule mémoire afin d'augmenter la densité finale à l'échelle de la matrice. Étant donné que la cellule est composée d'un transistor et d'une résistance, les deux éléments doivent être pris en compte dans une perspective de miniaturisation. Toutefois, la diminution de la surface occupée par l'OxRAM peut s'avérer problématique, notamment en raison d'une augmentation de la tension de forming, ce qui pourrait compromettre son intégration dans des nœuds technologiques avancés. [186], [187], [188]. Cependant, des solutions comme le dopage [186] ou bien des méthodes de forming adaptées [189] peuvent être envisagées pour palier ce sujet. D'un autre côté nous avons vu dans la Section 2.2 que le niveau de courant contrôlé par le transistor est le principal élément pour gérer le LRS. La durée de l'impulsion participe également, mais est du second ordre. De plus, afin d'augmenter la fiabilité, la réduction du LRS (*i.e.* plus grand I_{set}) peut être envisagée car elle augmente la rétention [188], [190]. Cependant, réduire le LRS implique d'augmenter la tension de reset en raison du pont diviseur de tension moins favorable, comme nous l'avons vu dans la Section 2.3.1. L'autre moyen de réduire la tension de reset est de minimiser la résistance série du transistor. En partant de l'équation (2.8) et en prenant en compte les considérations précédentes, la condition imposée sur le transistor pour permettre la commutation peut se définir comme :

$$R_{on} \leq (\frac{V_{reset}}{V_{1R}|_{t_{reset}}} - 1) \cdot R_{1R} \tag{2.19}$$

avec V_{1R} qui dépend de la durée de l'impulsion. Notre étude n'a pris en compte que la largeur du canal comme paramètre influençant R_{on}. Cependant, d'autres paramètres de miniaturisation des dispositifs influencent R_{on}. En substituant le R_{on} de la caractéristique du CMOS en inversion forte dans l'équation (2.19) nous obtenons :

$$\frac{n \cdot L}{W \cdot \mu_{eff} \cdot C_{ox} \cdot (V_{GS} - V_T)^n} \leq (\frac{V_{reset}}{V_{1R}|_{t_{reset}}} - 1) \cdot R_{1R} \tag{2.20}$$

avec n un facteur égal à 1 ou 2 respectivement pour les régimes linéaires et de saturation, L et W la longueur et la largeur de canal, μ_{eff} la mobilité effective des électrons, C_{ox} la capacité de grille, V_{GS} la tension entre la grille et la source, et V_T la tension de seuil du transistor, qui, en présence d'un body effect, devient :

$$V_T = V_{T0} + \gamma'(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}) \tag{2.21}$$

avec V_{SB} la tension entre la source et le bulk, γ' le coefficient de body effect et ϕ_F le potentiel de Fermi du substrat.

Pour conclure cette analyse, nous avons étudié comment ces résultats impactent les performances 1T1R avec un schéma de programmation standard comme celui décrit dans le chapitre introductif. Nous avons réalisé une expérience d'endurance de 10^8 cycles, où les mêmes durées d'impulsions de set et reset sont appliquées (impulsion carrée de 1 µs). Plusieurs valeurs de V_{reset} sont utilisées pour deux transistors et deux I_{set} ; dix dispositifs sont testés pour chaque condition. Les résultats du test d'endurance à température ambiante sont présentés dans la Figure 2.26. La tension de commutation minimale est réduite par rapport à la Figure 2.12 pour une durée d'impulsion équivalente, probablement en raison du plateau de l'impulsion carrée. L'OxRAM est soumis à un champ électrique constant pendant toute la durée de l'impulsion, ce qui explique la diminution globale de la valeur de V_{reset} requise. Néanmoins, la dépendance de la condition de reset au R_{on} du transistor et à I_{set} est toujours observée, confirmant la tendance globale mise en évidence dans la Section 2.3.1.

Au cours des premiers cycles, la fenêtre de programmation du W3500 est toujours plus large que celle du W660 : un R_{on} plus faible du sélecteur augmente le champ appliqué sur le 1R, conduisant à une valeur de HRS plus élevée. L'augmentation de V_{reset} provoque une chute brutale du HRS, entraînant une perte d'endurance, qui s'aggrave si V_{reset} continue d'augmenter. Cette tendance est observée pour tous les transistors et toutes les valeurs de I_{set}, mais le cycle auquel la chute se produit dépend fortement du R_{on} du transistor. Par ailleurs, la fenêtre de programmation est réduite lorsque I_{set} augmente, en particulier pour le transistor le plus résistif. Enfin, l'augmentation simultanée de I_{set} et de V_{reset} cumule ces effets, menant à une détérioration marquée des performances globales.

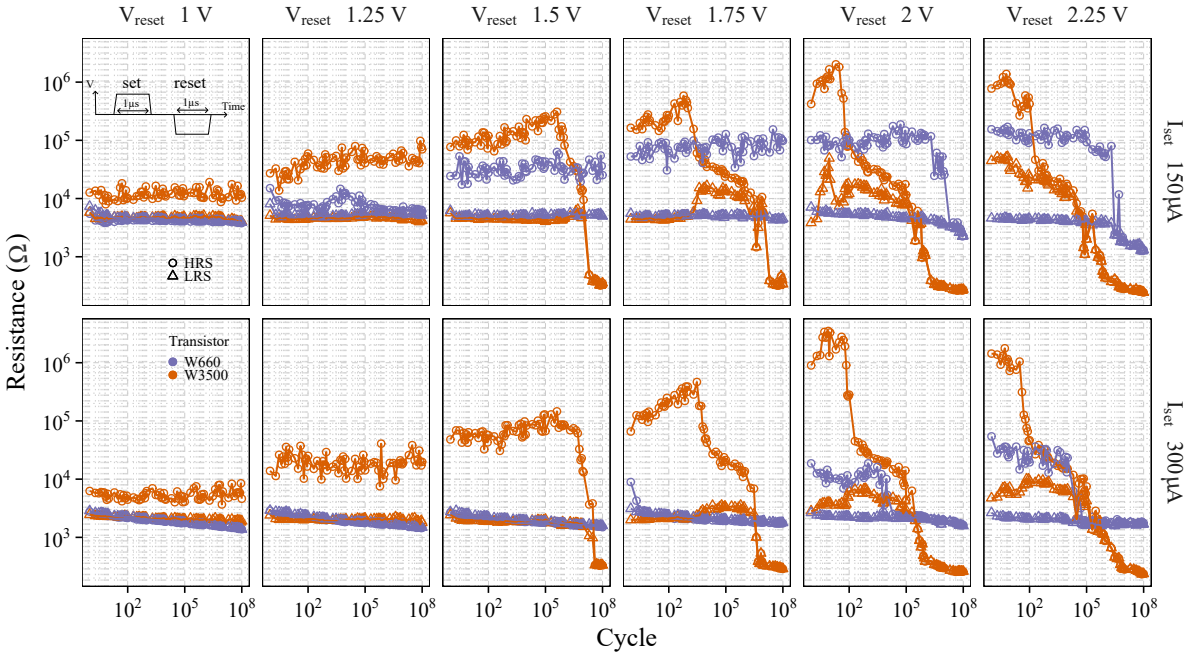

FIGURE 2.26 – Tests d'endurance montrant l'évolution des LRS et HRS médians durant le cyclage obtenus en utilisant des pulses de programmation carrés de 1µs. Plus le R_{on} et I_{set} sont grands, plus le V_{reset} nécessaire pour ouvrir la fenêtre de programmation sera élevée. Augmenter V_{reset} au delà de cette limite réduira la cyclabilité. [59]

En résumé, nous observons que les performances du 1R ne sont pas directement affectées par I_{set}, mais qu'il est nécessaire de minimiser V_{reset} pour optimiser l'endurance. D'un autre côté, la valeur de I_{set}, en abaissant le LRS, modifie le potentiel au nœud flottant du diviseur de tension. Ceci impose une augmentation de V_{reset} lorsque R_{on} augmente. En d'autres termes, une optimisation de R_{on} permet de conserver une certaine flexibilité après la phase de conception, afin

d'ajuster les conditions de programmation selon les conditions de programmations visées de la structure finale. Cela peut aussi permettre des schémas de reprogrammation pour corriger les erreurs potentielles liées à la variabilité d'un cycle à l'autre ou d'un dispositif à l'autre.

L'équation (2.21) peut être utilisée pour ajuster la géométrie de la cellule mémoire en optimisant les dimensions L et W du sélecteur, tout en maintenant une bonne fonctionnalité de l'OxRAM. La Figure 2.27 résume l'évolution de la fenêtre mémoire en fonction de R_{on} et des paramètres de programmation.

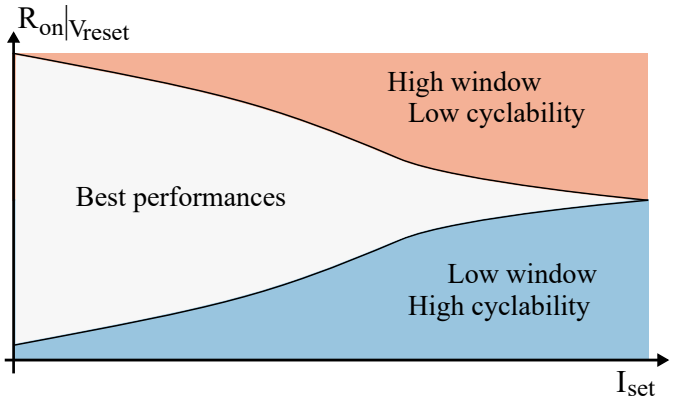

FIGURE 2.27 – Représentation schématique de la cyclabilité de la structure 1T1R en fonction de R_{on} et des paramètres de programmation. [59]

2.5.2 Cyclabilité en fonction de la température

En plus de sa dépendance aux paramètres géométriques des dispositifs impliqués dans sa miniaturisation, nous avons vu dans quelle mesure le R_{on} du transistor est un paramètre fondamental à prendre en compte dans les performances des structures 1T1R. Nous avons observé en parallèle que ce paramètre évolue à basse température, affectant les conditions de reset. Cette section vise à étudier dans quelles mesures ces évolutions, combinées avec les évolutions intrinsèques de l'OxRAM, vont modifier la cyclabilité des structures 1T1R. La Figure 2.28 illustre les résultats des tests d'endurance menés à trois températures, jusqu'à 10^8 cycles, sur les différentes tailles de sélecteurs disponibles dans la configuration standard. Les conditions de programmation consistent en des impulsions carrées de 1 μs avec un courant de set fixé à 200 μA et différentes valeurs de V_{reset}. Cinq dispositifs ont été testés, et la figure présente les médianes des mesures.

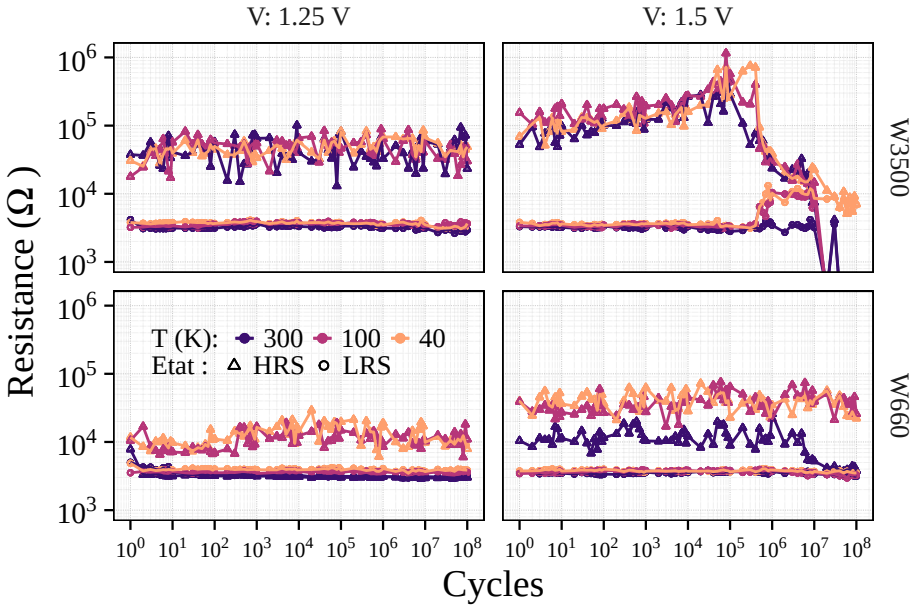

FIGURE 2.28 – Test d'endurance montrant l'évolution des valeurs médianes de LRS et HRS en fonction du nombre de cycles, pour différentes valeurs de V_{reset}. Les valeurs de HRS sont plus élevées pour le W660 en régime cryogénique, en raison de la variation notable de ΔR_{on} qui améliore le pont diviseur de tension. Cinq dispositifs sont testés pour chaque température et condition [167].

En comparant les résultats des deux transistors pour une température donnée, on constate que la fenêtre mémoire du W3500 est systématiquement plus large que celle du W660 dans tous les tests, ce qui est cohérent une division de tension plus favorable. Ce comportement est conforme avec les valeurs de R_{on} systématiquement supérieures pour le W660 à une température donnée, qui cause une chute de tension plus importante sur le 1T. Il en résulte une tension effective sur le 1R plus faible, aboutissant à une transition de reset moins efficace et ainsi à une fenêtre mémoire moins importante. Toutefois, un compromis est nécessaire entre la valeur de V_{reset} et la résistance du sélecteur afin d'éviter une perte d'endurance induite par un stress excessif sur le 1R [59]. Les différences dans la cyclabilité observées dans la Figure 2.26 entre les deux transistors à 300 K sont étendues à toutes les températures de fonctionnement testées. Avec la baisse de la température, le LRS augmente pour les deux sélecteurs en régime cryogénique, conformément à ce qui est observé dans la Section 2.2. Pour le HRS, on observe des évolutions différentes avec la variation de température entre les deux transistors. Dans le cas du W3500, aucune évolution significative n'est observée avec la température, quelle que soit la valeur de V_{reset}. Ce résultat est en accord avec la discussion précédente sur la variation négligeable de R_{on}. À l'inverse, pour le sélecteur W660, où une diminution significative de R_{on} est observée, les effets de la température se manifestent par une augmentation du HRS à basse température, quel que soit le V_{reset}. De plus, conformément la tendance observée en Figure 2.22, une fenêtre de programmation apparaît à des températures cryogéniques pour le sélecteur W660 à V_{reset} = 1,25 V, alors que la transition de reset n'est pas possible à 300 K. Enfin, il semble également que l'endurance du W660 à V_{reset} = 1,5 V s'améliore à basse température. Pour expliquer ce comportement, on peut identifier deux mécanismes de défaillance distincts à température ambiante pour les dispositifs programmés à V_{reset} = 1,5 V : dans le cas du W3500, la fenêtre de programmation évolue continuellement en raison d'un fort déséquilibre entre les puissances de set et de reset, ce qui conduit à la défaillance du composant [191],à l'inverse, pour le W660, la fenêtre de programmation reste stable et la dégradation se manifeste par une réduction plus progressive du HRS, très similaire aux observations rapportées dans la référence [91]. Cette dernière référence attribue ce phénomène à une injection progressive de défauts depuis l'électrode inférieure vers la couche active. La diminution de la température pourrait alors soit inhiber la probabilité d'injection, soit masquer cet effet grâce à un élargissement de la fenêtre de programmation. Cela traduit un allègement des conditions nécessaires à la programmation en régime cryogénique. Réciproquement, les contraintes de miniaturisation du transistor référencées en équation (2.20) sont relâchées avec une utilisation en

cryogénie. Ces résultats sont prometteurs pour l'utilisation des OxRAM dans le cadre des applications cryogéniques.

2.5.3 Fiabilité à basse température

Les mémoires résistives sont également sujettes à des instabilités lors de la lecture, en particulier lorsqu'elles sont programmées en HRS. Ces instabilités se traduisent par des sauts de courant au cours du temps, générant un bruit aléatoire pouvant apparaître sous forme réversible (télégraphique) ou non [192]. L'instabilité de lecture peut provenir non seulement de la capture/émission répétée d'un électron par une lacune d'oxygène préexistante, mais aussi de modifications structurales aléatoires et irréversibles, créant ou éliminant une lacune d'oxygène à l'intérieur ou à proximité du filament. Cela a pour effet d'influencer ainsi le mécanisme de transport du courant [193] située dans la zone où le CF est rompu. L'analyse des fluctuations de l'état HRS de l'OxRAM est une donnée importante à prendre en compte pour s'assurer du fonctionnement de la technologie. Contrairement aux variations de programmation d'un état, qui peuvent être compensées par des algorithmes de vérification dans la matrice [194], les interférences dans les opérations de lecture sont plus difficile à anticiper et à corriger par des programmes de vérification [195]. Ces instabilités représentent donc un défi important pour assurer le bon fonctionnement des matrices OxRAM [196]. Afin d'évaluer l'évolution de la stabilité du HRS en fonction de la température, une série de cinq rampes I-V aller-retour est appliquée après chaque programmation en HRS. Si un comportement non monotone est observé au moins une fois lors de chacune des rampes, le HRS est considéré comme "instable", sinon il est considéré comme "stable". Des exemples de HRS instable et stable sont présentés dans la Figure 2.29 (a) et (b), respectivement.

Notre séquence de test consiste en 60 cycles de programmation set-reset suivis d'un test I-V, réalisés sur cinq dispositifs pour chaque température. L'étape set-reset permet de tirer parti de la variabilité cycle à cycle afin de générer une nouvelle configuration HRS à chaque itération.

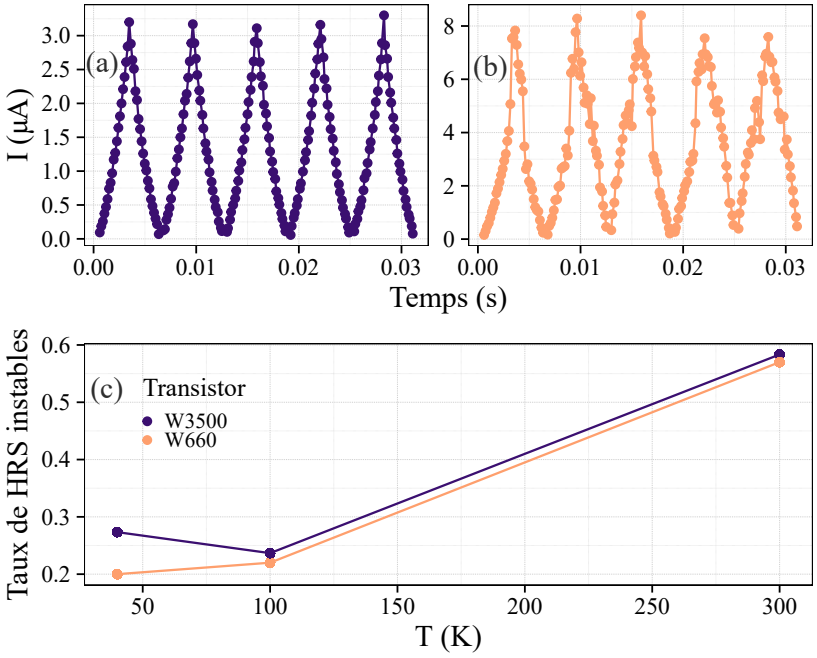

FIGURE 2.29 – (a) (b) Exemples de HRS "stable" et "instable" respectivement, durant cinq rampes de tension consécutives. (c) Ratio de HRS instables observés sur 60 programmations, montrant une baisse de l'instabilité à basse température [167].

La Figure 2.29 (c) illustre le rapport entre le nombre de HRS instables observés et le nombre total d'itérations, révélant une diminution nette de ce taux à température cryogénique. Ce comportement est attendu, étant donné la nature thermiquement activée des fluctuations [197], mais il n'avait encore jamais été observé à 40 K. Cette réduction ouvre des

perspectives prometteuses pour une programmation multi-niveaux plus fiable et/ou pour le calcul en mémoire à basse température. Ces résultats seront supportés dans l'étude statistique réalisée dans le Chapitre 4.

2.6 Conclusion

Ce chapitre a proposé une étude approfondie des structures 1T1R, en mettant en évidence l'influence déterminante du sélecteur CMOS sur le fonctionnement de l'OxRAM, ainsi que l'évolution de ses performances dans des conditions cryogéniques. L'analyse détaillée des mécanismes de set et de reset a démontré que le courant de set constitue un paramètre fondamental pour la maîtrise du LRS, tandis que le R_{on} du sélecteur impacte significativement le pont diviseur de tension intrinsèque de la structure, modulant ainsi les conditions nécessaires au reset. Ces conclusions mettent en évidence l'importance d'une approche de conception qui prenne en compte les paramètres géométriques du transistor. A température ambiante, les résultats ont également mis en évidence que la dissolution du filament conducteur est essentiellement gouvernée par la tension, indépendamment de la géométrie du sélecteur ou de la taille du filament. L'extension de cette analyse aux basses températures a apporté un éclairage complémentaire, montrant que la température de commutation est la même pour toutes les températures extérieures. A l'échelle du dispositif, l'augmentation des tensions de reset de l'OxRAM sont compensées par la réduction du R_{on} du transistor. Ces résultats ouvrent la voie à l'utilisation des OxRAM dans des nœuds technologiques avancés en régimes cryogéniques. Enfin, les tests de fiabilité menés ont confirmé non seulement une endurance comparable à celle observée à température ambiante, mais également une stabilité accrue des états programmés dans le régime cryogénique. Globalement, un bon contrôle des paramètres régissant les opérations (I_{set} et V_{reset}) permet de conserver des propriétés de cyclage sur toute la plage de température. Ces résultats sont très prometteurs pour des applications qui seront exposées à des températures extrêmes comme c'est le cas dans l'électronique spatiale.

Chapitre 3

Caractérisation des condensateurs ferroélectriques à basse température

Introduction

Ce chapitre propose une étude sur l'évolution des propriétés des FeCap de la température ambiante jusqu'à 40 K. Comme pour les OxRAM, l'objectif est d'évaluer la compatibilité de la technologie FeRAM pour les applications cryogéniques. Les résultats développés dans cette partie offrent une compréhension avancée des propriétés FE des FeCap à base de HZO ainsi que leur évolution à basse température. La première partie se focalise sur l'état vierge des FeCap grâce à une analyse détaillée du courant transitoire mesuré sur des FeCap avec la méthode PUND, afin de mieux appréhender les mécanismes de retournement de polarisation. Ces mesures seront complétées par des mesures First-Order-Reversal-Curve (FORC) afin d'obtenir une cartographie détaillée des populations de retournement des domaines ferroélectriques. Des mesures de diffraction par rayon X à incidence rasante à grand angle (GIWAXS) réalisées à différentes températures permettront d'étudier la proportion des différentes phases dans la couche de HZO. Dans la lignée de ces avancées, nous introduirons une nouvelle méthode de calcul de polarisation de renversement pour déterminer avec précision la polarisation provenant uniquement de la commutation des domaines ferroélectriques, en supprimant les charges de back-switching et les contributions diélectriques. Nous montrerons qu'à l'état vierge, la polarisation rémanente augmente à basse température, en raison de la réduction du phénomène de back-switching, tandis que la polarisation de renversement est plus faible en raison de la réduction du déblocage de domaines. La théorie de Landau-Ginzburg-Devonshire (LGD) sera introduite pour expliquer à l'état vierge le cycle d'hystérésis pincé à température ambiante et son dépincement à basse température.
La seconde partie de cette étude se focalisera sur les évolutions des propriétés de la FeCap après cyclage, pour les différentes températures. L'analyse conjointe du courant transitoire et des mesures FORC réalisées après cyclage met en évidence, pour toutes les températures, une transition de phase induite par le cyclage. En revanche, l'augmentation de polarisation ou wake-up apparaît seulement aux plus hautes températures. Cette augmentation sera attribuée à la réduction du piégeage des charges et de la redistribution des lacunes d'oxygène dans la couche de HZO à basse température. Après analyse du wake-up, nous verrons aussi que l'absence de mouvement des charges inhibe les phénomènes de fatigue et d'imprint à basse température, qui constituent actuellement les principaux verrous de fiabilité de la technologie FeRAM. Finalement, nous introduirons une méthode permettant de maximiser la polarisation aux températures cryogéniques. Pour conclure, nous verrons que les FeCap présentent une efficacité et une stabilité accrues lorsqu'elles opèrent à des températures cryogéniques, rendant la technologie FeRAM prometteuse pour l'informatique quantique et les applications de calcul de haute performance.

Contents

3.1 Évolution des pics de courant de retournement des FeCap à l'état vierge . . . 110

3.1.1 Courant transitoire de la méthode PUND . . . 110

3.1.2 La méthode First-Order-Reversal-Curve (FORC) . . . 112

3.2 Variations de constante diélectrique à basse température . . . 118

3.2.1 Extraction de la constante diélectrique grâce à la mesure C-V . . . 118

3.2.2 Diffractogramme de mesure GIWAXS à basse température . . . 120

3.3 Variations de polarisation à basse température . . . 122

3.3.1 Limites de la méthode PUND . . . 122

3.3.2 Évolution de P_{rev} à basse température . . . 124

3.4 Renversement de polarisation en deux étapes selon la théorie LGD . . . 127

3.4.1 Description de la théorie LGD . . . 127

3.4.2 Application de la théorie LGD au matériau HZO . . . 129

3.5 Impact de la température sur le wake-up . . . 130

3.5.1 Évolution de polarisation durant le cyclage . . . 130

3.5.2 Influence de la tension sur le wake-up à basse température . . . 133

3.6 Evolution de la fatigue et de l'imprint à basse température . . . 134

3.6.1 Évolution de la fatigue à basse température . . . 134

3.6.2 Évolution de l'imprint à basse température . . . 135

3.7 Optimisation de l'utilisation des FeCap à basse température . . . 137

3.8 Conclusion . . . 139

3.1 Évolution des pics de courant de retournement des FeCap à l'état vierge

A l'état vierge et à température ambiante, l'origine du double pic de courant transitoire mesuré grâce au PUND, qui traduit la commutation des domaines ferroélectriques, reste mal comprise. Il en est de même pour son évolution à basse température. Dans cette section, nous proposons une étude détaillée du courant transitoire à partir de la première impulsion d'initiation du PUND (appelé PRE dans notre cas), qui permettra d'identifier les différents populations de domaines ferroélectriques. Dans un second temps, nous étudierons les évolutions des différentes contributions à basse température afin de mieux comprendre leurs origines respectives. Enfin, la méthode FORC sera utilisée pour observer plus précisément les zones des commutations des différentes populations de domaines ferroélectriques présentes dans les FeCap à base de HZO.

3.1.1 Courant transitoire de la méthode PUND

La séquence d'impulsions de tension PUND est appliquée sur des FeCap vierges à température ambiante avec un champ électrique maximum de 5 MV/cm (5 V pour une couche de HZO de 10 nm d'épaisseur) afin de mesurer l'ensemble des contributions FE, correspondant à l'ensemble des pics de courant. Les mesures sont effectuées sur les FeCap décrites en Section 1.4.4 à une fréquence de 10 kHz en utilisant la méthodologie décrite en Section 1.4.5. Le courant transitoire en réponse aux deux premières impulsions PUND est montré en Figure 3.1(a), pour la polarité standard en rouge (séquence PUND) et opposée en bleu (séquence NDPU), mesuré sur une FeCap vierge pour chacun des cas. Les deux séquences sont superposées pour mieux observer les différences induites par l'inversion de polarité.

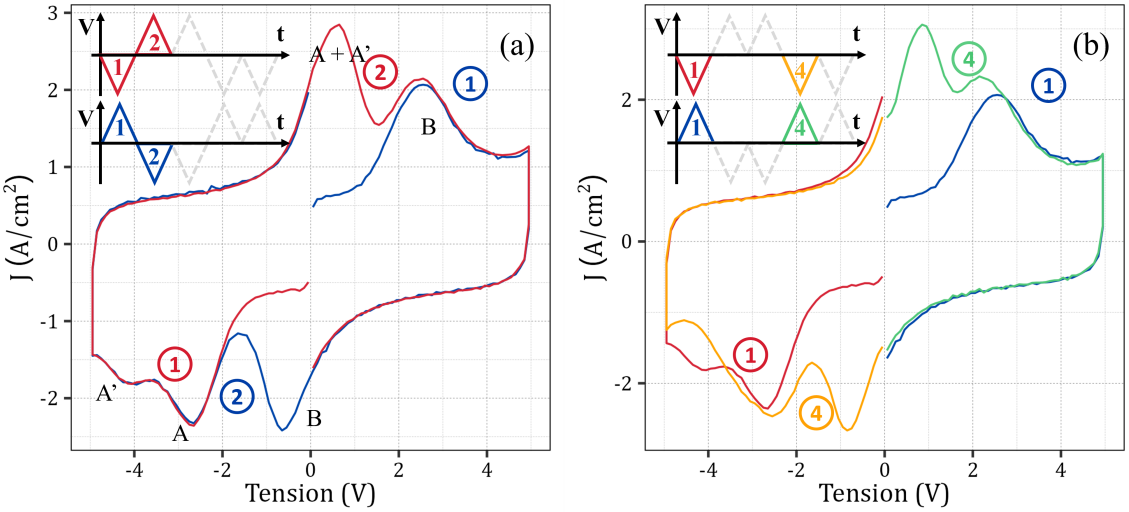

FIGURE 3.1 – (a) Courant transitoire en fonction de la tension appliquée mesurée sur des FeCap vierges à 300 K pour les deux premières impulsions PUND, pour les deux polarités. (b) Courant transitoire pour les deux premières impulsions de même signe dans les deux séquences PUND et NDPU [146].

Pour la séquence NDPU (bleue), un seul pic de courant (B) est mesuré en réponse à la première impulsion positive (1), tandis que l'impulsion négative consécutive (2) entraîne l'apparition d'un double pic de courant (B et A) suivi d'un pic mineur (A'). Pour la séquence PUND (rouge), A et A' apparaissent lors de la première impulsion négative (1) et sont superposés à l'impulsion négative de la configuration NDPU. Dans l'impulsion positive suivante, on observe un pic de courant majeur suivi du pic B, superposé à la configuration NDPU. Pour les deux séquences, l'impulsion initiale ne donne lieu qu'à l'une des deux contributions principales (A ou B), alors que lors de la seconde impulsion, les deux contributions sont mesurées. Cette symétrie des contributions A et B est conforme à celle observée par Mehmood et al. [136], et suggère que la FeCap à l'état vierge présente une polarisation globale nulle pouvant résulter de plusieurs mécanismes. Elle peut provenir d'un état macroscopiquement non polaire (NP) ou d'une organisation en domaines purement antiferroélectriques (AFE). Elle peut également être attribuée à des effets parasites affectant les domaines FE,

tels qu'un fort blocage de domaines [198] ou des variations de l'orientation des domaines [150], susceptibles de scinder les domaines FE en deux directions opposées.

D'autre part, la contribution A' n'est activée que par l'impulsion négative pour les deux différentes séquences, ce qui correspond à une fraction de domaines initialement orientés dans la direction P_{down} à l'état vierge. Ces domaines se retrouvent bloqués par la présence de charges parasites aux interfaces TiN/HZO ou dans la couche de HZO elle-même. Les champs électriques internes générés par ces charges font partiellement écran à la tension appliquée, augmentant ainsi la tension nécessaire pour commuter la population de domaines bloqués par ces charges. Ces champs dans la couche active résultent probablement de lacunes d'oxygène chargées positivement à l'interface de l'électrode supérieure en TiN, qui apparaissent au cours de la fabrication de l'empilement [152], [199].
Lors de la deuxième impulsion de la séquence PUND, l'intensité supérieure du premier pic dans l'impulsion positive laisse penser que les contributions A et A' ont fusionné (A + A' sur la Figure 3.1(a)). La Figure 3.1(b), présentant les deux premières impulsions de même signe pour les deux séquences, montre que le contribution A' a disparu pour la seconde impulsion négative de la séquence PUND (jaune). Cela indique que la contribution A' a fusionné avec A et qu'elle provenait d'une proportion de domaines bloqués par des charges parasites.

L'évolution des deux premières impulsions correspondant à la séquence standard (PUND) à différentes températures est présentée en Figure 3.2(a). Durant la première impulsion négative (1), le pic A reste similaire pour toutes les températures mesurées. A l'inverse, le pic A' est significativement réduit et décalé vers des champs électriques plus élevés. Durant la seconde impulsion (2), les pics A et B fusionnent progressivement au fur et à mesure que la température diminue, jusqu'à ne former plus qu'un seul pic aux alentours de 100 K. Dans les études précédentes, la fusion du double pic FE du HZO à basse température a été attribuée à une transition de la phase t- vers la phase o-$_{FE}$. En effet, la phase t- est généralement associée au comportement antiferroélectrique (AFE) du matériau, à l'origine du double pic observé [200]. Avec la baisse de température, la barrière d'énergie entre les phases t- et o-$_{FE}$ diminue [124], facilitant une transition entre ces deux phases [133], [136], [164] et expliquant la fusion progressive du double pic. Cette hypothèse sera examinée plus en détail dans la section suivante.

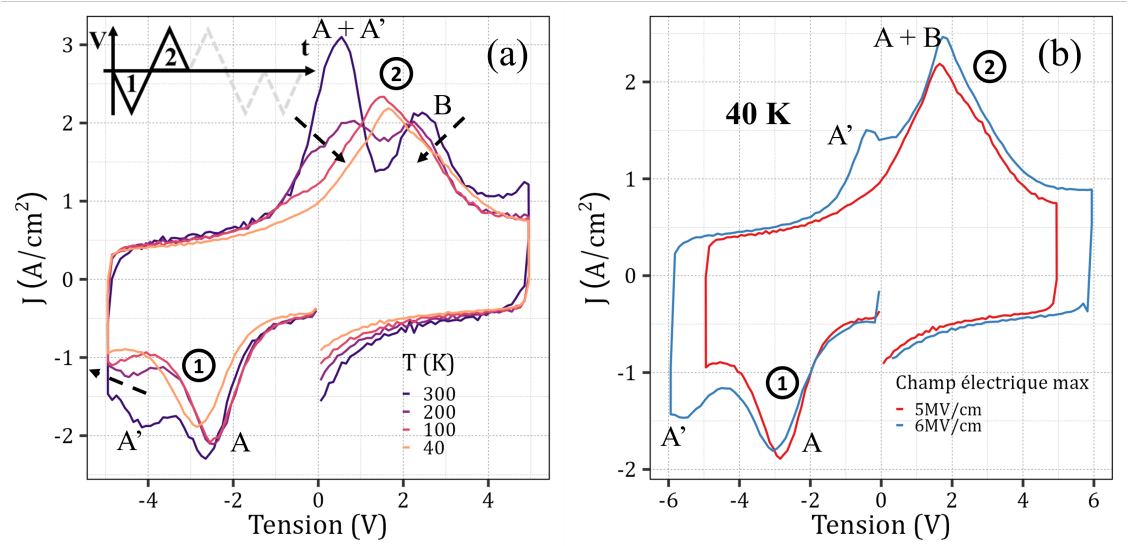

FIGURE 3.2 – (a) Courant transitoire en fonction de la tension appliquée mesurée sur des FeCap vierges pour les deux premières impulsions de la méthode PUND et à différentes températures. A basse température, les deux pics de courant majeurs (A et B) fusionnent pendant que la contribution A' se décale vers les tensions plus élevées. (b) Courant transitoire mesuré à 40 K jusqu'à 6 MV/cm pour observer le décalage de la contribution A' [146].

Le décalage de la contribution A' à basse température est illustré sur la Figure 3.2(b) pour laquelle nous avons superposé des mesures à 5 MV/cm et à 6 MV/cm à 40 K. On remarque que la contribution A' est à nouveau mesurée à des tensions plus importantes sur la première impulsion (1), confirmant le blocage de domaines par des charges indésirables dans l'empilement. Sur la seconde impulsion positive (2), la contribution A' est observable pour la séquence allant jusqu'à

6 MV/cm montrant que A et A' n'ont pas fusionné. À basse température, la réduction de l'énergie thermique rend le dépiégeage des charges plus difficile, nécessitant des tensions plus élevées pour les libérer et initier le retournement de ces domaines ferroélectriques. Une représentation schématique de ce phénomène est présentée en Figure 3.3. Les domaines bloqués peuvent réduire les performances des FeRAM à basse température, notamment pour des utilisations à faible tension.

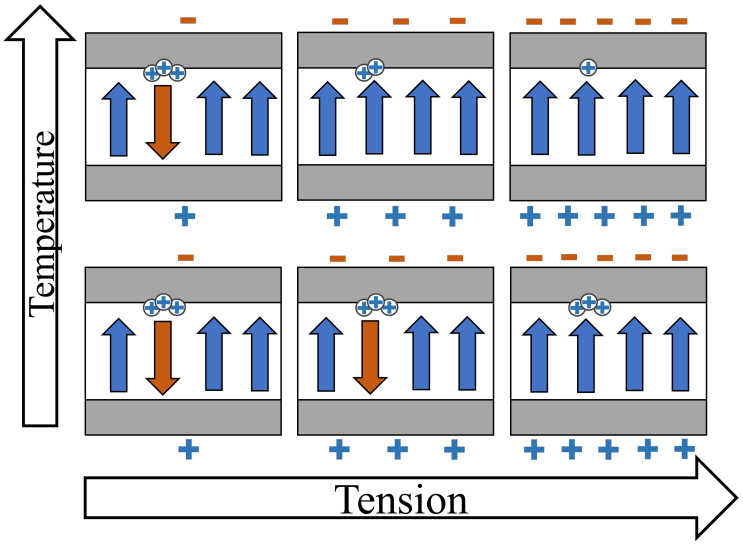

FIGURE 3.3 – Représentation schématique du mécanisme de déblocage de domaines pendant l'application d'une tension négative. Le dépiégage ou la redistribution de charges activée en température permet de débloquer des domaines [146].

Dans cette partie, les mesures de courant réalisées ont été en réponse à l'application d'impulsion de tension comprises entre 0 et 5 V ou entre -5 V et 5 V. Nous avons donc exploré les propriétés de l'état vierge aux états de saturation et entre les deux états de saturation. Une analyse plus fine des mécanismes de retournement des domaines ferroélectriques peut être réalisée en sondant les niveaux de tensions entre les deux états de saturation.

3.1.2 La méthode First-Order-Reversal-Curve (FORC)

La méthode FORC permet de sonder les comportements de retournement FE internes en explorant les cycles d'hystérésis mineurs en dessous des états de polarisation saturée. Ainsi, cette technique permet une compréhension plus fine des mécanismes de retournement de la polarisation FE.

Principes théoriques de la méthode FORC

L'approche théorique de la mesure FORC, décrite dans cette partie, est issue de l'étude de Mayergoyz en 1986 [201]. Dans cette partie, nous allons considérer un transducteur caractérisé par son entrée $u(t)$ et sa sortie $f(t)$ en fonction du temps t. Ce transducteur est un transducteur hystérétique si sa relation entrée/sortie entraîne des non-linéarités entre les branches (Figure 3.4). Une non-linéarité ayant lieu après chaque extremum d'entrée, provoquant une nouvelle branche [201].

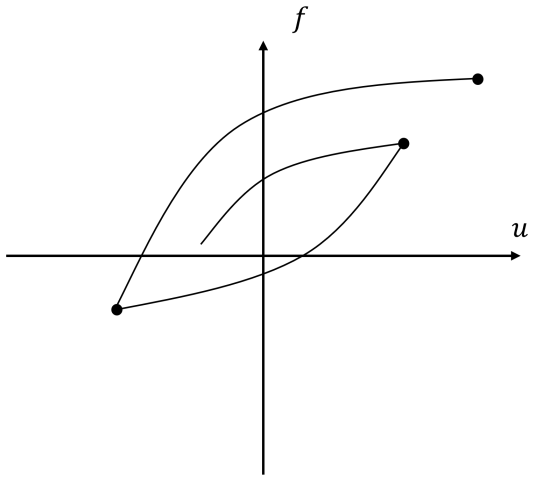

FIGURE 3.4 – Exemple de non-linéarités à plusieurs branches dont est issu le caractère hystérétique. Reproduit à partir de la référence [201].

La propriété principale du transducteur hystérétique est que la forme de chaque nouvelle branche est déterminée par l'extremum d'entrée précédent. En utilisant ce cadre conceptuel, un cycle d'hystérésis n'est finalement qu'une conséquence ou bien un cas particulier de non-linéarité entre branches. Le but de la méthode FORC est de résoudre les solutions du transducteur hystérétique, qui peut donc s'appliquer à tous les systèmes qui expriment un cycle d'hystérésis. Le formalisme de Preisach [202], capable de décrire les branches en fonction de l'extremum d'entrée, est nécessaire pour modéliser un tel système. Ce modèle est initialement proposé pour décrire les mécanismes du magnétisme, mais son concept mathématique général fut séparé du sens physique puis approfondi par Krasnolenskii [203], afin de fournir un outil pour décrire mathématiquement des cycles d'hystérésis de n'importe quel système physique. Le formalisme de Preisach représente le système comme une collection infinie d'opérateurs hystérétiques élémentaires $\hat{\gamma}_{\alpha\beta}$ (Figure 3.5).

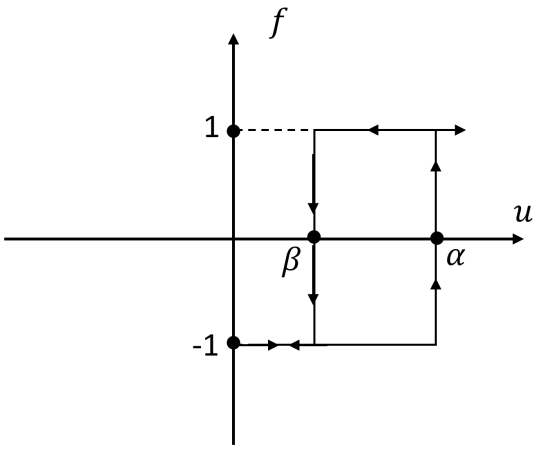

FIGURE 3.5 – Représentation de l'opérateur hystérétique élémentaire $\hat{\gamma}_{\alpha\beta}$. Reproduit à partir de la référence [201].

L'état de $\hat{\gamma}_{\alpha\beta}$ peut prendre seulement les deux valeurs -1 et 1, en fonction de sa valeur d'entrée u ainsi que de son état précédent. α et β correspondent aux valeurs d'entrée limite pouvant amener à la commutation de $\hat{\gamma}_{\alpha\beta}$. En d'autres termes, la valeur de sortie à un instant t peut être déterminée si la valeur de sortie $f(t_0)$ est connue tout comme la valeur d'entrée $u(t)$ en respectant $t > t_0$. Les opérateurs $\hat{\gamma}_{\alpha\beta}$ sont repartis selon une fonction de poids arbitraire $\mu(\alpha, \beta)$.

Le modèle de Preisach-Krasnolenskii donne [201], [203] :

$$f(t) = \iint_{\alpha \geq \beta} \mu(\alpha, \beta) \cdot \hat{\gamma}_{\alpha\beta} \cdot u(t) d\alpha d\beta \tag{3.1}$$

L'enjeu des étapes suivantes et de réussir à déterminer $\mu(\alpha, \beta)$, pour cela nous allons utiliser l'interprétation géométrique du système représentant des zones dans lesquelles les opérateurs $\hat{\gamma}_{\alpha\beta}$ ont la valeur 1 ou -1 sur le plan formé par les axes des valeurs α et β (Figure 3.6) :

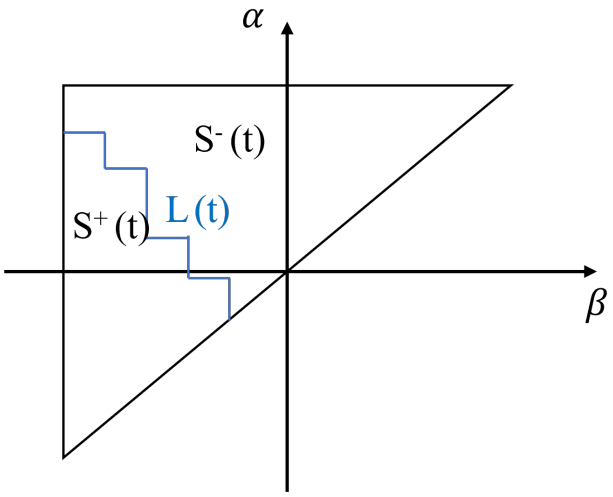

FIGURE 3.6 – Interprétation géométrique du modèle de l'équation (3.1). Reproduit à partir de la référence [201].

Le triangle représente le demi-plan respectant la condition $\alpha \geq \beta$. Le triangle est séparé entre deux ensembles : $S^+(t)$ représentant les points (α, β) pour lesquels $\hat{\gamma}_{\alpha\beta}$ = 1 et $S^-(t)$ représentant les points (α, β) pour lesquels $\hat{\gamma}_{\alpha\beta}$ = -1. La ligne $L(t)$ représente l'interface entre les deux surfaces. Les sommets de $L(t)$ ont des coordonnées α et β qui coïncident avec les maximum et minimum d'entrée aux instants précédents. $L(t)$ se termine sur la ligne $\alpha = \beta$. Lorsque la valeur d'entrée augmente, $L(t)$ va admettre une ligne verticale qui monte jusqu'au niveau de α correspondant à sa valeur maximale. Les $\hat{\gamma}_{\alpha\beta}$ dont le α sont en dessous de cette valeur seront tous en état +1. Lorsque la valeur d'entrée baisse, cela se traduit par ligne verticale décalée vers la gauche au niveau de β correspondant. Les $\hat{\gamma}_{\alpha\beta}$ dont le β sont en dessus de cette valeur seront tous en état -1. En utilisant cette interprétation géométrique, on peut réécrire (3.1) de la manière suivante [201] :

$$f(t) = \iint_{S^+(t)} \mu(\alpha, \beta) d\alpha d\beta - \iint_{S^-(t)} \mu(\alpha, \beta) d\alpha d\beta \tag{3.2}$$

La valeur de sortie dépend de la forme de la ligne d'interface $L(t)$, dont la forme en escalier résulte de l'historique des extremum d'entrée. Cependant, on observe que lorsque nouvelle branche a un extremum d'entrée supérieur en valeur absolue aux extremum précédents, la surface correspondant au même état occupée précédemment est forcément recouverte par la surface de la valeur suivante. Cela correspond à la propriété d'effacement. Sur le transducteur hystérétique, les branches mineures sont effacées par les branches dont la valeur d'entrée a un extremum plus important, et n'auront pas d'influence sur la branche majeure. Aussi, on peut noter que des variations d'entrée sur une même plage de valeurs, les translations de $L(t)$ seront identiques. Sur le transducteur hystérétique, des cycles d'hystérésis correspondant à une même plage de valeurs d'entrée auront la même forme indépendemment de la valeur de sortie initiale, ils sont congruents. Les propriétés d'effacement et de congruence sont les conditions nécessaires et suffisantes pour que le transducteur hystérétique soit représenté par l'équation (3.1) [201]. Les étapes suivantes ont pour but de résoudre l'équation (3.1) en développant un protocole permettant de déterminer $\mu(\alpha, \beta)$.

Pour cela, la première étape consiste à se mettre à une valeur d'entrée de départ qui permette de placer tous les $\hat{\gamma}_{\alpha\beta}$ dans le même état, dans notre exemple la valeur minimale met tous les $\hat{\gamma}_{\alpha\beta}$ en état -1. Ensuite, des branches montantes sont effectuées, suivies de leurs branches de renversement ("Reversal Curve") respectives, dont la valeur d'entrée maximale augmente graduellement. Un schéma de cette reconstruction est proposé en Figure 3.7.

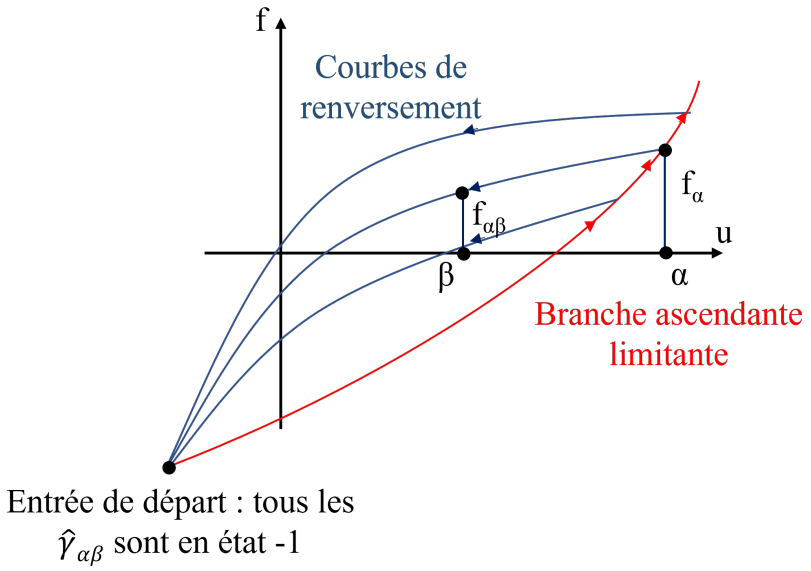

FIGURE 3.7 – Représentation schématique du protocole de mesure FORC. Reproduit à partir de la référence [201].

Graphiquement, la branche montante augmente jusqu'au niveau α, et la sortie du système prend la valeur f_α, correspondant aux $\hat{\gamma}_{\alpha\beta}$ qui commutent vers l'état 1 dans cet intervalle. Puis, sur la courbe de renversement associée, le niveau de sortie $f_{\alpha\beta}$ représente les $\hat{\gamma}_{\alpha\beta}$ qui commutent de nouveau dans l'intervalle entre α et β (intervalle entre α et l'entrée de départ). Les branches ascendantes sont superposées sur la branche ascendante dite "limitante" en conséquence de la propriété d'effacement. Ensuite, nous définissons $F(\alpha, \beta)$ comme la somme cumulée de f_α et $f_{\alpha\beta}$:

$$F(\alpha, \beta) = \frac{f_\alpha + f_{\alpha\beta}}{2} \tag{3.3}$$

$F(\alpha, \beta)$ représente la population de $\hat{\gamma}_{\alpha\beta}$ qui commutent entre α et β, et peut être résolu en utilisant l'interprétation géométrique associée en Figure 3.8 :

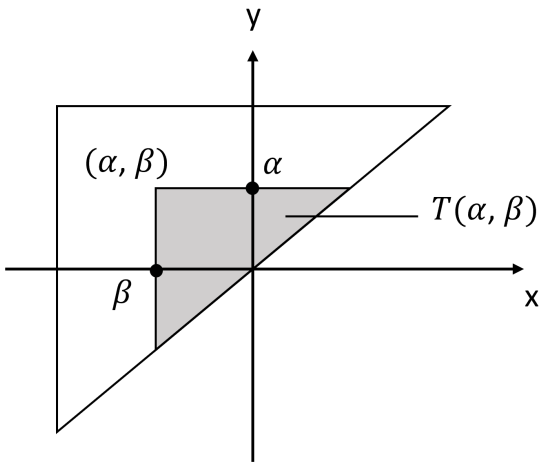

FIGURE 3.8 – Interprétation géométrique de l'équation (3.3). La surface $T(\alpha, \beta)$ correspond à la portion d'opérateurs $\hat{\gamma}_{\alpha\beta}$ qui commutent dans le protocole décrit en Figure 3.7. Reproduit à partir de la référence [201].

Sur des axes x et y dans lesquels sont reportées les valeurs de β et α respectivement. La zone grise décrite par le triangle $T(\alpha, \beta)$ correspond aux $\hat{\gamma}_{\alpha\beta}$ qui commutent dans cet intervalle. En utilisant cette interprétation géométrique avec l'équation (3.1), on obtient :

$$F(\alpha,\beta) = \iint_{T(\alpha,\beta)} \mu(x,y)dxdy = \int_{\beta}^{\alpha}\left(\int_{\beta}^{y}\mu(x,y)dx\right)dy \tag{3.4}$$

ce qui permet de retrouver une équation de $\mu(\alpha,\beta)$:

$$\mu(\alpha,\beta) = -\frac{\delta F(\alpha,\beta)}{\alpha,\beta} \tag{3.5}$$

L'équation (3.5) permet de représenter les valeurs de $\mu(\alpha,\beta)$ sur le plan formé par α et β. Cela permet de retrouver les coordonnées pour lesquelles $\mu(\alpha,\beta)$ montre des maximum. Ces maximum indiquent des zones de retournement locales au sein de la couche FE.

Application expérimentale aux FeCap à base de HZO

L'exploitation de la méthode FORC aux matériaux ferroélectriques, avec $u(t)$ représentant le champ électrique et $f(t)$ représentant la polarisation, permet de retrouver les branches et cycles d'hystérésis mineurs au sein du cycle d'hystérésis habituellement présenté. Cette méthode offre une meilleure visualisation de l'impact du champ électrique sur les propriétés FE du matériau [204] .

Expérimentalement, la séquence électrique consiste en l'application d'impulsions triangulaires successives depuis un champ de saturation +E_{sat} (point de départ) vers un champ de retournement $E_{r,i}$ (ici α) avec i qui démarre à +E_{sat} et descend jusqu'à –E_{sat}, le courant est lu à intervalle régulier de E∈[E, E_r] (ici β). La séquence est représentée en Figure 3.9.

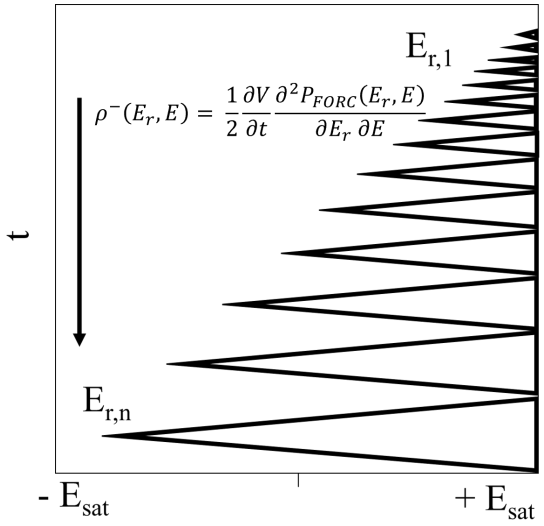

FIGURE 3.9 – Représentation schématique de la séquence d'impulsions électriques appliquées dans la méthode FORC.

Le courant transitoire en réponse à cette séquence d'impulsions électrique est présentée Figure 3.10(a) pour une FeCap mesurée à 100 K, partant d'une tension de saturation de 4 V. Chaque impulsion opère une première rampe entre +E_{sat} et E_r, qui programme la couche FE dans un état de polarisation intermédiaire, puis la partie descendante de l'impulsion donne le courant/polarisation en fonction du champ électrique. C'est cette dernière qui permet de retrouver les cycles d'hystérésis mineurs en Figure 3.10(b), qui donnent l'état de polarisation spontanée P_{FORC} au sein du cycle d'hystérésis majeur en fonction du champ électrique E ainsi que de l'état de polarisation intermédiaire programmé représenté par E_r.

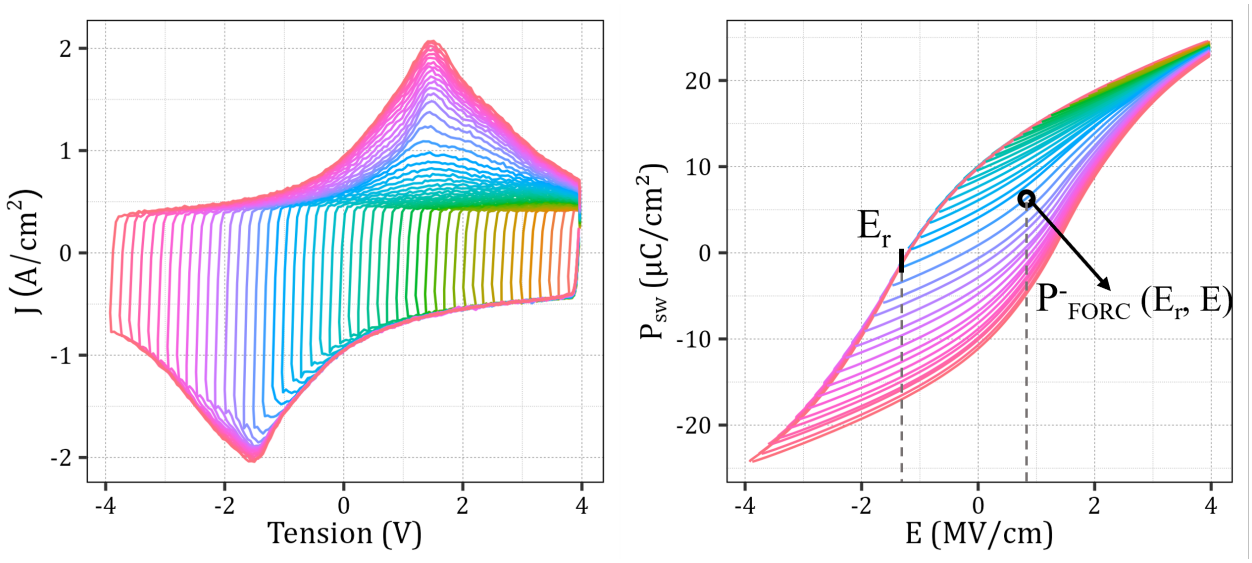

FIGURE 3.10 – (a) Courbes I-V mesurées pendant la séquence FORC appliquée sur une FeCap à 100 K entre ± 4 V. (b) Cycles d'hystérésis correspondants.

La densité de commutation $\rho^{-}(E_r, E)$ peut être calculée sur le plan de Preisach en adaptant la formule (3.5) :

$$\rho^{-}(E_r, E) = \frac{1}{2}\frac{\partial^2 P^{-}_{FORC}(E_r, E)}{\partial E_r \partial E} \tag{3.6}$$

Les impulsions électrique de la méthode FORC ont une vitesse de rampe constante β. Cela permet de réécrire la densité de courant en fonction de la polarisation : $J = \beta \cdot \frac{\partial P}{\partial E}$ ce qui implique $\frac{\partial P}{\partial E} = \frac{J}{\beta}$. Il est donc possible de réécrire l'équation (3.6) comme :

$$\rho^{-}(E_r, E) = \frac{1}{2} \cdot \frac{\partial}{\partial E_r}\left(\frac{J^{-}_{FORC}(E_r, E)}{\beta}\right) = \frac{1}{2 \cdot \beta}\frac{\partial J^{-}_{FORC}(E_r, E)}{\partial E_r} \tag{3.7}$$

En pratique, on compare pour le champ de retournement $E_{r,i}$ la différence de densité de courant avec le champ de retournement précédant $E_{r,i-1}$ pour E entre E_r et E_{sat} [153], [205] :

$$\rho^{-} = \frac{1}{2 \cdot \beta}\frac{J^{-}_{FORC}(E_{r,i}, E) - J_{FORC}(E_{r,i-1}, E)}{E_{r,i} - E_{r,i-1}} \tag{3.8}$$

De cette manière, il est possible de représenter ρ^{-} sur le plan de Preisach, dont des parties de surface avec la plus forte densité correspondront à des retournements FE.

Le champ coercitif E_c et le champ de polarisation E_{bias} peuvent aussi être représentés afin de mieux observer la symétrie des contributions grâce aux formules suivantes :

$$E_c = \frac{E - E_r}{2}, E_{bias} = \frac{E + E_r}{2} \tag{3.9}$$

La méthode FORC est appliquée sur des FeCap vierges à différentes températures entre ±4 V, avec des valeurs de E_r incrémentales tous les 80 mV et un temps d'échantillonage de 300 ns. La méthode de lissage LOESS (Locally Weighted Scatterplot Smoothing) a été appliquée aux résultats afin de calculer les densités de retournement. Les densités de retournement à 300 K et 40 K sont représentées sur le plan de Preisach en Figure 3.11.

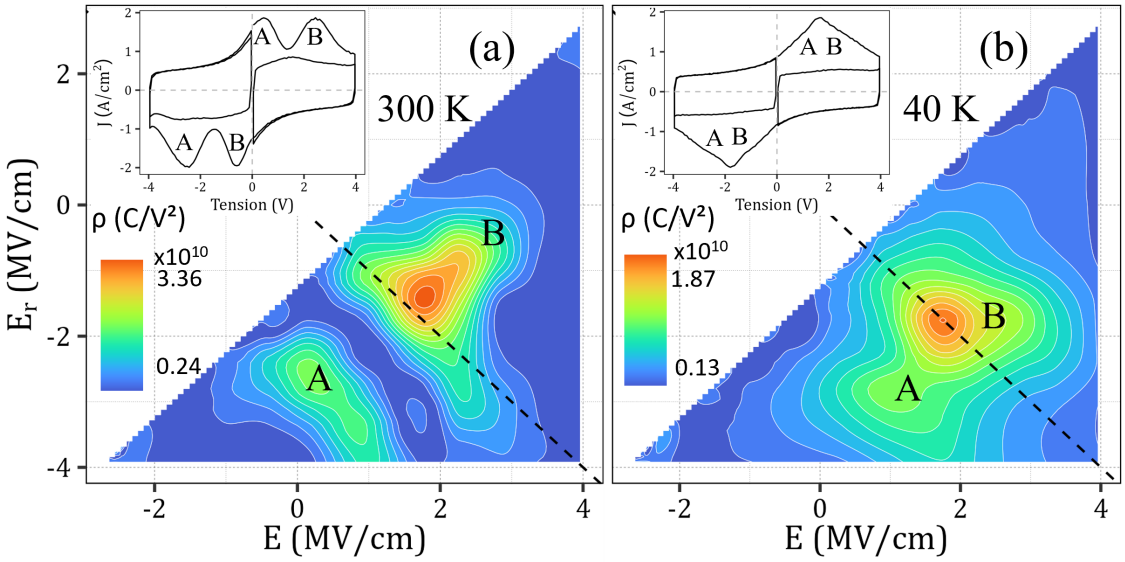

FIGURE 3.11 – Densité de renversement calculée avec à partir de la méthode FORC à l'état vierge à 300 K et 40 K entre ±4 V [146].

A température ambiante Figure 3.11(a), une première densité de renversement est observée pour E_r=-0,7 V et E=2,5 V, correspondant à la contribution B dans la Figure 3.2. Puis, la contribution de renversement A est aussi observée pour E_r=-2.7 V and E=0.25 V. Les deux contributions se rapprochent à 40 K (Figure 3.11(b)) ce qui coïncide avec l'observation de la Figure 3.2. Cependant, on remarque que les contributions A et B sont toujours distinguables et n'ont pas totalement fusionné. Cela montre que ces contributions coexistent à basse température, bien que nous ne distinguons pas ces deux populations de domaines sur la mesure PUND en Figure 3.2. Cela démontre que la mesure FORC permet une compréhension plus fine des mécanismes de retournement de la polarisation.

Nous avons vu dans cette section les liens entre les différentes contributions FE de la méthode PUND. Deux contributions principales sont observées, sauf pour l'impulsion PRE où une seule est présente. Une contribution complémentaire (A') résulte de domaines bloqués par des charges parasites, activée à des champs électriques plus intenses à basse température. A l'inverse, les deux pics majeurs se rejoignent avec la baisse de température. Toutefois, les mesures FORC révèlent que ces deux contributions sont toujours bien distinctes à basse température bien que non discernables dans la méthode PUND.

3.2 Variations de constante diélectrique à basse température

Nous avons précédemment analysé l'évolution des caractéristiques FE des FeCap à base de HZO à l'état vierge. Afin de compléter cette étude et d'obtenir une vision plus globale du comportement du HZO à basse température, nous nous intéressons à présent à l'analyse de ses propriétés diélectriques. En effet, ces dernières peuvent aussi évoluer avec la température et contribuer à expliquer les modifications observées dans le comportement FE du matériau en traduisant par exemple un changement de phase dans le HZO.

3.2.1 Extraction de la constante diélectrique grâce à la mesure C-V

La mesure C-V consiste à mesurer la variation de la capacité en fonction d'une tension DC appliquée. Pour cela, on applique un signal DC comme montré dans la Figure 3.12 couplé à un signal AC de très faible amplitude afin de déterminer la valeur de capacité qui est fonction du déphasage et de la différence d'amplitude du signal AC mesuré de l'autre côté du condensateur. Cette mesure permet d'évaluer la réponse des dipôles à un champ électrique dans un

diélectrique et d'estimer la composante réversible de la polarisation, par opposition à la polarisation ferroélectrique irréversible [206].

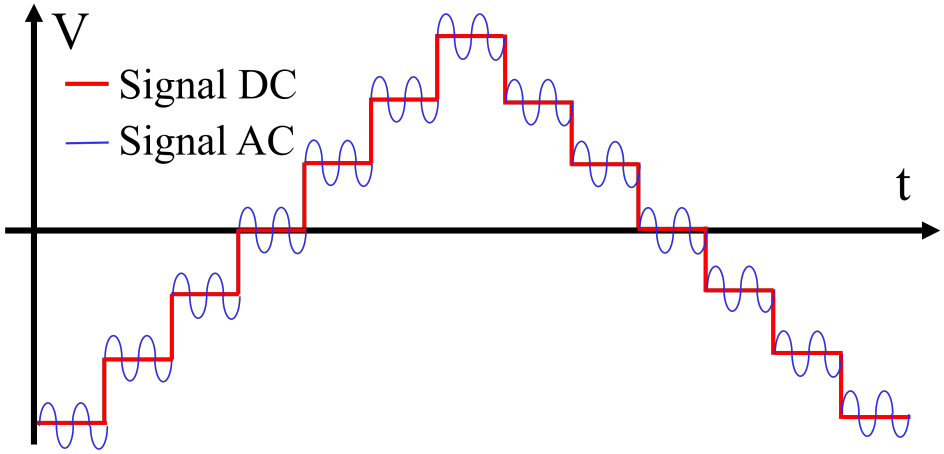

FIGURE 3.12 – Représentation schématique d'une mesure de capacité petit signal.

La valeur de la constante diélectrique extraite (ϵ_r) est prise à la tension de saturation (ici 4 V) afin de minimiser la contributions du mouvement des paroi de domaines ferroélectriques [148] et est reportée dans l'encadré de la Figure 3.13.

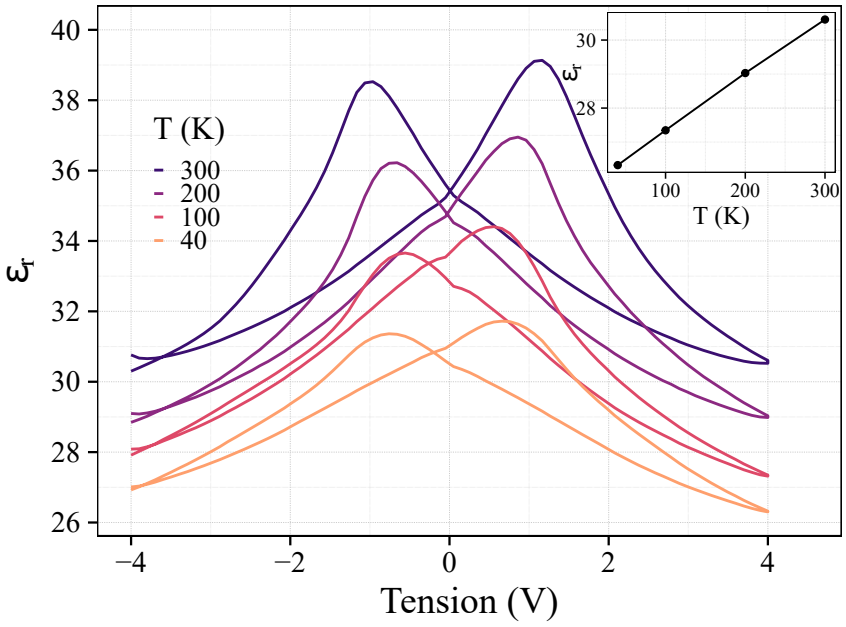

FIGURE 3.13 – Constante diélectrique en fonction de la tension appliquée extraite depuis les mesures C-V sur des FeCap à l'état vierge à une fréquence de 100 kHz et une amplitude de 50 mV pour le signal AC [146].

La constante diélectrique (ϵ_r) mesurée diminue progressivement lorsqu'on réduit la température. Des tendances similaires ont été observées dans des études précédentes [163], [207]. Etant donné les valeurs des constantes diélectriques des phases o- et t- (29 et 42 respectivement dans la référence [124]), l'évolution de ϵ_r peut supporter l'hypothèse d'une transition de la phase t- vers la phase o-$_{FE}$ [164]. Cependant, l'évolution d'autres phénomènes peut contribuer à la réduction de ϵ_r. En effet, elle peut refléter des changements intrinsèques dans la réponse diélectrique du HZO polycristallin, avec le gel progressif des dipôles à basse température, réduisant leur réponse diélectrique [208]. Une autre source d'évolution peut être la réduction du mouvement des parois de domaines à basse température, comme cela est reporté

pour du PZT FE [209], ou encore sur du HZO [159]. Par la suite, des caractérisations cristallographiques ont été effectués sur nos échantillons afin de déterminer les proportions de phase, notamment t- et o-$_{FE}$, avec la baisse de température afin de confirmer ou d'infirmer l'hypothèse du changement de phase.

3.2.2 Diffractogramme de mesure GIWAXS à basse température

La caractérisation aux rayons X, qui constitue une caractérisation structurale ou cristallographique, est complémentaire de la caractérisation électrique. Elle permet d'étudier finement la structure cristalline du matériau grâce à la diffraction des rayons X. Dans notre cas, cette caractérisation permet de dresser des tendances quant aux évolutions des proportions de chaque phase composant la couche fine de HZO : les phases t-, o- et m-. Durant cette thèse, nous avons eu l'opportunité de réaliser des campagnes de mesures GIWAXS (ou Grazing Incidence Wide-Angle X-ray Scattering) en synchrotron. La campagne de mesure a été réalisée au laboratoire Brookhaven National Laboratory, sur National Synchrotron Light Source II (NSLS II). Les échantillons mesurés sont des FeCap, identiques aux dispositifs testés électriquement. Une représentation schématique du montage expérimental d'une mesure GIWAXS est présentée en Figure 3.14.

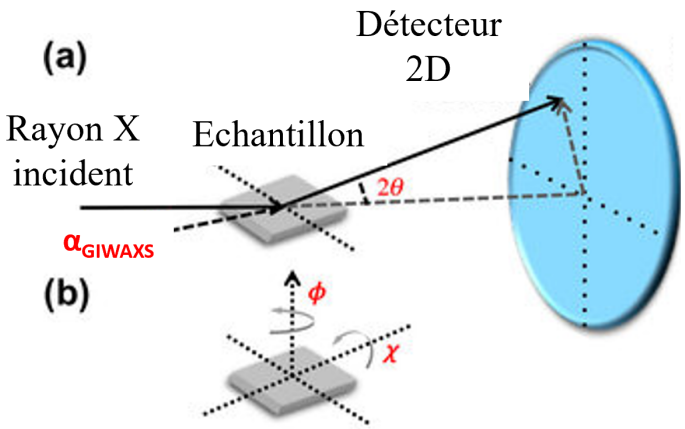

FIGURE 3.14 – (a) Représentation schématique du montage expérimental des mesures GIWAXS avec un angle d'incidence α_{GIWAXS} (b) Définition de l'angle d'inclinaison de l'échantillon χ et de l'angle azimutal ϕ. [210]

Afin de couvrir la gamme d'angles de diffraction souhaitée, le faisceau de rayons X est incident par rapport à l'échantillon sous un angle α_{GIWAXS} fixe. Le détecteur, de forme allongée et orienté verticalement, a été déplacé horizontalement le long d'un arc fixe pour balayer l'angle d'inclinaison de l'échantillon χ. Un exemple d'image obtenue est présenté en Figure 3.15(a). Les images obtenues ont ensuite été visualisées, assemblées et intégrées radialement en fonction de l'angle azimutal ϕ. Cette procédure a permis de reconstruire les profils de diffraction couvrant l'ensemble des angles désirés et d'effectuer une intégration azimutale afin d'analyser les contributions dans le plan et quasi hors-plan de l'échantillon.

Un exemple de profils de diffraction quasi hors-plan et en plan sont présentés en Figure 3.15(b) et (c) respectivement.

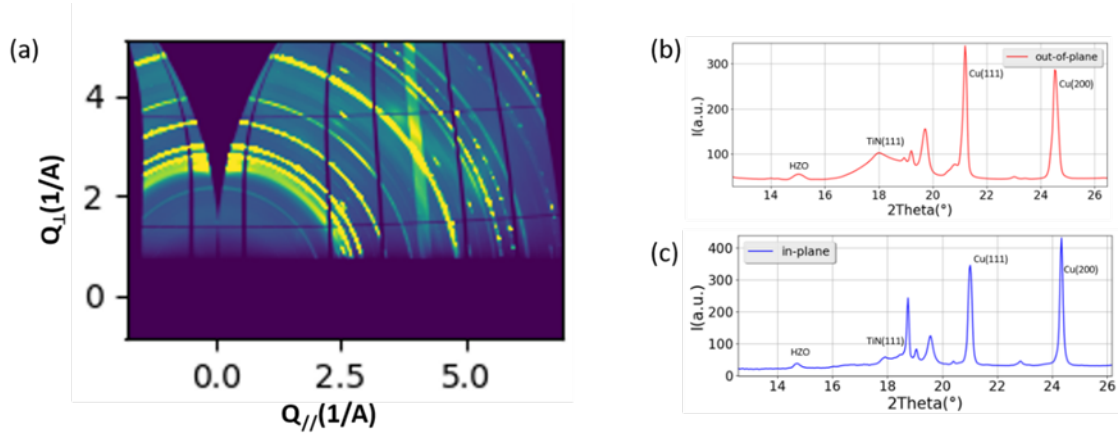

FIGURE 3.15 – (a) Exemple de carte obtenue pour chaque température. Diffractogrammes en géométrie (b) hors plan et (c) planaire obtenues après intégration azimuthale.

Lors de cette campagne de mesures réalisée sur la ligne Soft Matter Interface (SMI), un faisceau focalisé a été utilisé avec un angle d'incidence de 5°. La descente en température a été assurée à l'aide d'un cellule Linkam(r) HFS fonctionnant à l'azote liquide, permettant d'atteindre des températures jusqu'à 77 K. Dans le cadre de cette étude, les mesures ont été effectuées jusqu'à une température minimale de 100 K. La calibration en température du four ainsi que la température effectivement atteinte par la couche de HZO ont été vérifiées à l'aide d'un étalon interne de dilatation. Pour cela, nous avons suivi l'évolution du pic de diffraction Cu(220) provenant des lignes de cuivre présentes dans l'intégration, en ajustant sa position en fonction de la température. Le coefficient de dilatation thermique (TEC) obtenu est en excellent accord avec les valeurs rapportées dans la littérature [211], confirmant ainsi la calibration en température.

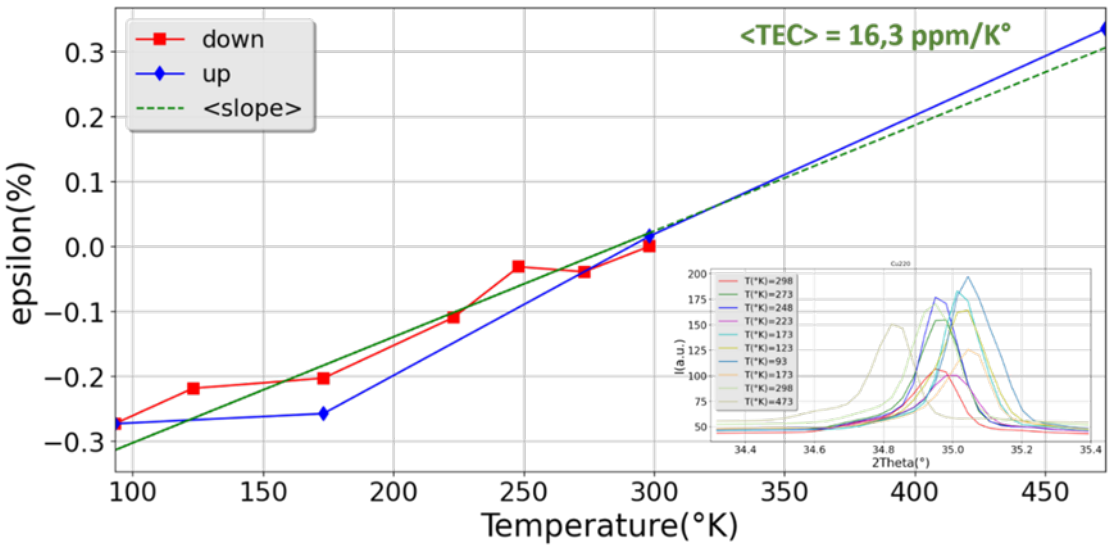

FIGURE 3.16 – Évolution de la déformation du cuivre en fonction de la température lors du refroidissement et du chauffage, avec le coefficient moyen de dilatation thermique superposé. (Encart) Vue détaillée de l'évolution du pic Cu(220).

L'empreinte du faisceau de rayons X, d'environ 20 × 25 μm^2, dépasse la dimension de la FeCap unique sondée lors des mesures électriques (entre 300 et 600 nm de diamètre), ce qui entraîne une différence dans l'encapsulation de la couche de HZO analysée. En raison de notre procédé d'intégration, une partie de la couche de HZO est non encapsulée par les électrodes supérieures et inférieures en TiN. Par conséquent, les mesures aux rayons X fournissent une réponse moyenne provenant à la fois des régions encapsulées et non encapsulées par les électrodes métalliques à l'intérieur de la structure de (100 × 60 μm^2), qui comprend 1390 FeCaps individuelles connectées en parallèle. Les diffractogrammes obtenus lors de cette campagne de mesures sont présentées en Figure 3.17.

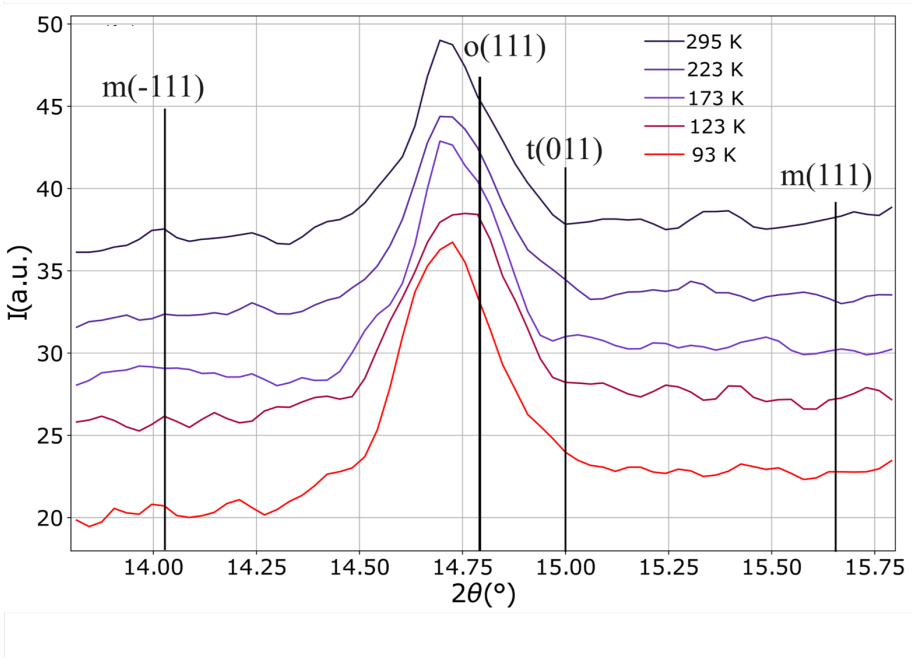

FIGURE 3.17 – Diffractogramme obtenu par mesures GIWAXS pour différentes températures sur les FeCap testées électriquement. Les lignes verticales superposées correspondent aux pics des phases o-, t-, et m- ainsi qu'au TiN, d'après les fiches JCPDF 00-034-0104 (m-), 04-005-5597 (o-), et 04-011-8820 (t-) [146].

Comme observé sur la Figure 3.17, aucune tendance claire d'évolution n'est visible sur le pic correspondant au doublet o(111)/t(011) entre 300 K et 100 K. Des résultats comparables ont récemment été mesurés à haute température, entre 300 K et 400 K [212]. Par conséquent, nous pouvons conclure que la diminution de la constante diélectrique mesurée n'est pas attribuable à une transition de la phase t- vers la phase o-$_{FE}$ dans la couche de HZO et que les proportions de phase dans la couche de HZO semblent rester les mêmes lors du refroidissement de l'échantillon.

3.3 Variations de polarisation à basse température

Dans la littérature, certaines études montrent une augmentation de 2·P$_r$ à basse température dans les FeCap à base de HZO [160], [213]. Généralement, cette augmentation est expliquée par une transition de phase t- vers o-$_{FE}$ [136], [164]. Sur nos FeCap à l'état vierge, nous avons montré précédemment que nous n'avons pas de transition de phase à basse température. Dans cette partie, nous introduirons aussi une nouvelle méthode de calcul de la polarisation basée sur l'association entre mesure transitoire PUND et mesure C-V. Cette méthode nous permettra de comprendre variations de polarisation vers les températures cryogéniques.

3.3.1 Limites de la méthode PUND

Le cycle d'hystérésis pincé typique du HZO à l'état vierge et à température ambiante est présentée en Figure 3.18(a). La même mesure réalisée à 40 K montre le dépincement du cycle d'hystérésis correspondant au rapprochement des contributions A et B. La polarisation de saturation (P$_s$) est plus élevée à température ambiante, du fait de la contribution diélectrique plus élevée qu'à basse température. Inversement, la Figure 3.18(b) montre une augmentation de la 2·P$_r$ avec la baisse de température, allant de 18 μC/cm^2 température ambiante jusqu'à 21 μC/cm^2 à 40 K.

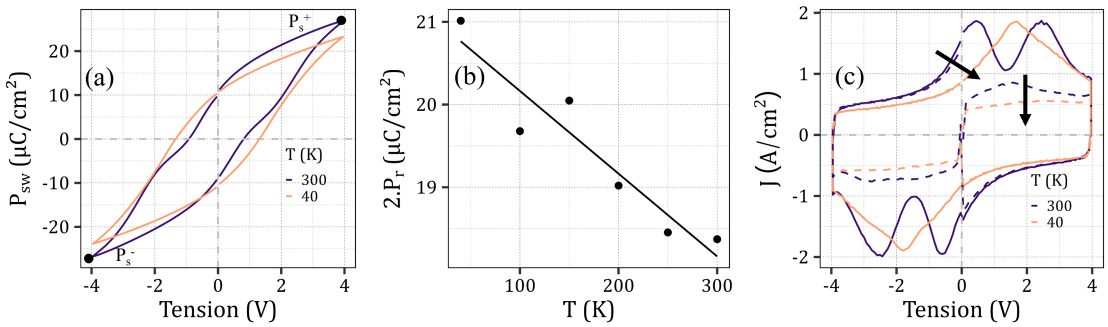

FIGURE 3.18 – (a) Cycle d'hystérésis mesuré sur une FeCap à l'état vierge à 300 K et 40 K. (b) Polarisation rémanente calculée en fonction de la température. (c) Courant transitoire mesuré sur une FeCap en réponse à la séquence PUND à 300 K et 40 K [146].

Afin de comprendre les tendances opposées de $2{\cdot}P_r$ et $2{\cdot}P_s$, le courant transitoire de la méthode PUND est présenté en Figure 3.18(c). On observe que durant les impulsions U et D (en pointillés) qui ne sont pas sensées retourner de domaines FE, le plateau de courant forme un petit pic à 300 K, qui se dissipe à basse température.

De plus, un courant de back-switching plus important est mesuré à 300 K sur la Figure 3.18(c), correspondant au début du pic de l'impulsion de polarité opposée. Le back-switching est largement réduit à basse température avec la fusion des populations de domaines A et B. Le back-switching est présent dans chaque impulsion de la séquence PUND, il est donc soustrait au calcul de $2{\cdot}P_r$ par les impulsions U et D. Pourtant, cette contribution correspond bien au début du retournement des domaines FE. La $2{\cdot}P_r$ calculée par la méthode PUND conserve une pertinence notamment du point de vue applicatif, dans la mesure où elle correspond à la charge résiduelle lorsque le champ électrique appliqué est ramené à zéro. Cependant, l'intégration des charges de back-switching, distinctes des charges diélectriques, peut apporter des informations supplémentaires sur les propriétés intrinsèques du HZO.

La Figure 3.19 présente la superposition d'une mesure de courant transitoire obtenue par la méthode PUND avec le courant diélectrique I_ϵ calculé à partir d'une mesure C-V, sur une FeCap vierge à 300 K en utilisant l'équation :

$$I_\epsilon = \epsilon_0 \cdot \epsilon_r \cdot \frac{dV}{dt} \cdot \frac{S}{th} \tag{3.10}$$

avec ϵ_0 la permittivité du vide, S la surface et th l'épaisseur.

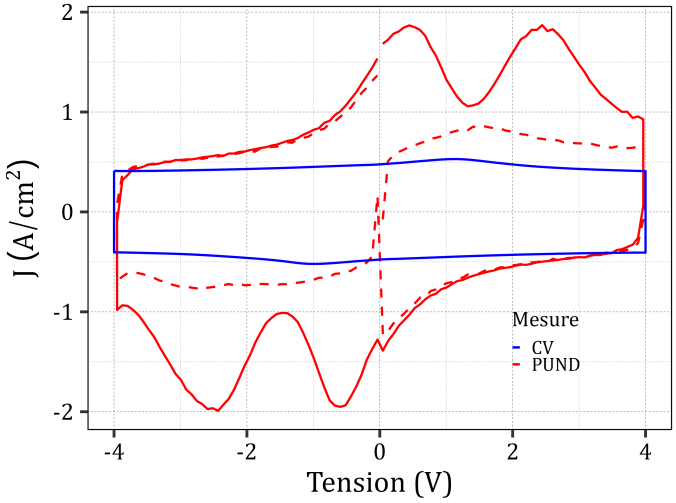

FIGURE 3.19 – Superposition du courant transitoire PUND mesuré avec le courant diélectrique calculé avec l'équation (3.10) à partir les mesures C-V sur une FeCap vierge à 300 K [146].

Les niveaux de courant observés aux tensions de saturation sont équivalents. Par ailleurs, les variations de I_ϵ demeurent négligeables face aux courants transitoires issus de la mesure PUND. Cette reconstruction nous permet de définir la polarisation de renversement P_{rev} comme l'intégrale du courant entre $\pm V_{sat}$ moins la contribution diélectrique :

$$P_{rev} = \frac{1}{S} \int (I_{meas} - I_\epsilon) \cdot dt \tag{3.11}$$

avec I_ϵ supposé constant et calculé à partir de valeurs de ϵ_r extraites des mesures C-V aux températures respectives et aux tensions de saturation pour minimiser les contributions des parois de domaines [148].

Cette méthode calcule précisément la charge totale associée aux retournements de domaines du HZO dans un intervalle de tension donné, permettant d'intégrer ou de déterminer les charges de back-switching. Il est important de noter que cette technique ne fonctionne pas pour des dispositifs avec un courant de fuite non négligeable, contrairement à la méthode PUND, car seule la contribution diélectrique est retirée.

La Figure 3.20 (a) représente les courants de retournement de domaines déterminées via la méthode P_{rev} pour les différentes impulsions de la méthode PUND sur une FeCap à l'état vierge à 250 K. Le calcul de P_{rev} est effectué pour les impulsions U et D, pour la première partie de l'impulsion en rouge, et pour la seconde partie des impulsions P et N en bleu (Figure 3.20(b)) correspondant au back-switching.

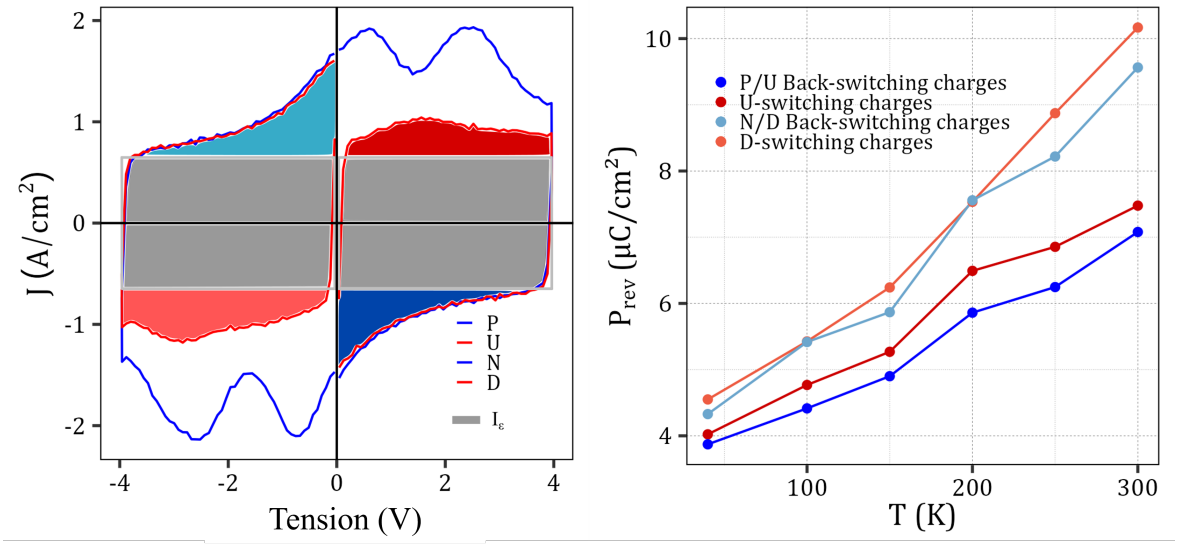

FIGURE 3.20 – (a) Courant transitoire de la séquence d'impulsion PUND mesuré à 250 K sur une FeCap à l'état vierge avec le courant diélectrique en gris calculé avec l'équation (3.10). (b) Calcul de P_{rev} associé aux charges de back-switching et au impulsions U et D en fonction de la température [146].

On observe que les courbes de P_{rev} bleues et rouges sont superposées en fonction de la température pour les deux polarités. Cela signifie qu'elles correspondent à la même quantité de domaines ferroélectriques se retournant. Les domaines qui back-switchent à la fin des impulsions P et N commutent de nouveau dans les impulsions U et D. Le décalage entre les P_{rev} mesurées pour les impulsions positives et négatives sont dues aux domaines encore bloqués vers les tensions négatives, qui augmentent le phénomène de back-switching lors des impulsions négatives.

3.3.2 Évolution de P_{rev} à basse température

Comme nous l'avons vu dans la partie précédente, le calcul de $2 \cdot P_r$ par la méthode PUND ne prend pas en compte les charges de back-switching. Afin d'étudier seulement la variation de la contribution des charges de retournement pour les différentes températures, nous calculons P_{rev} entre $-V_{sat}$ et $+V_{sat}$ (et inversement) qui donne une image plus

précise de la quantité totale de charges de retournement de domaines entre les deux tensions de saturation sur des FeCap à l'état vierge. La Figure 3.21 montre l'évolution de P_{rev} avec la température, entre les deux tensions de saturation de la méthode PUND (rouge et bleu) ainsi que pour la première rampe de tension de la première impulsion (vert).

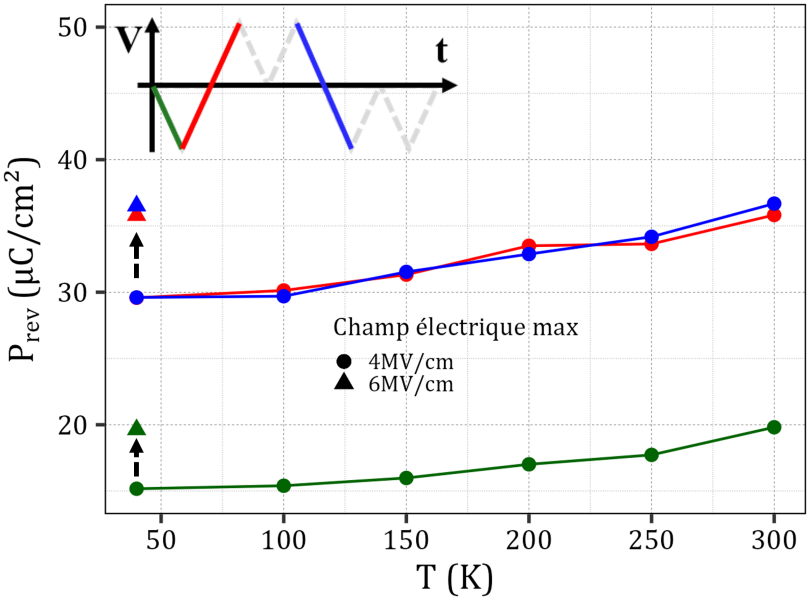

FIGURE 3.21 – P_{rev} en fonction de la température entre les deux tensions de saturation de la méthode PUND (rouge et bleu) ainsi que pour la première rampe de tension (vert) [146].

On observe une baisse de P_{rev} avec la réduction de la température pour toutes les rampes de tension. L'écart entre 300 K et 40 K est d'environs 5 $\mu C/cm^2$ pour toutes les courbes mesurées à 4 MV/cm. Cette variation identique pour chaque impulsion provient du décalage de la contribution A' vers des champs électriques supérieurs à basse température (Figure 3.2(a)). En augmentant le champ électrique maximum à 6 MV/cm à 40 K, on augmente P_{rev} à des valeurs proches de celles mesurées à 300 K à 4 MV/cm. Comme nous l'avons vu dans la Figure 3.2(b) (mesures à 5 et 6 MV/cm), l'augmentation de la tension d'opération à 40 K est nécessaire pour activer la contribution A' correspondant à la population de domaine bloqués. Les variations de P_{rev} dans la Figure 3.21 proviennent donc des domaines bloqués par les charges parasites à l'interface de l'électrode supérieure.

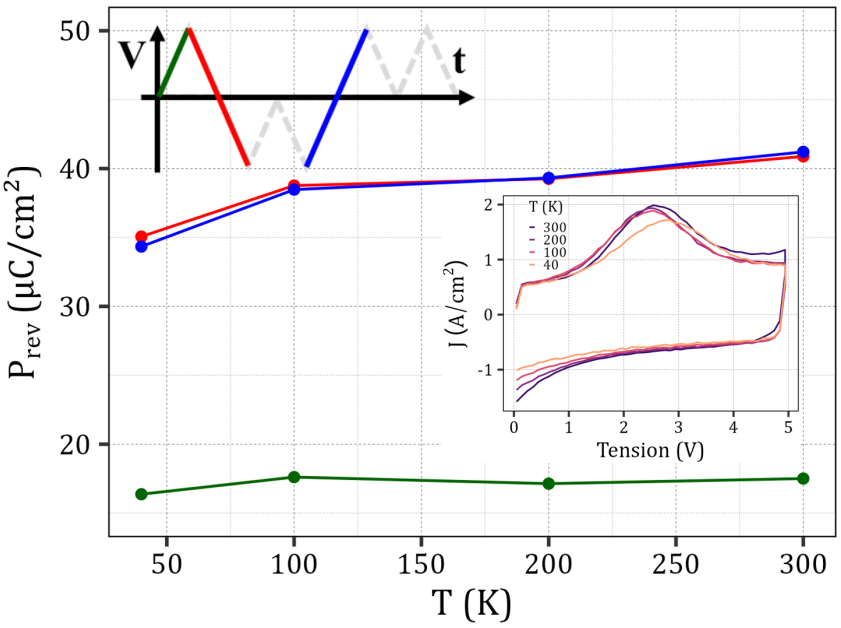

FIGURE 3.22 – P_{rev} en fonction de la température avec la polarité opposée avec la Figure 3.21 pour la première rampe de tension appliquée (vert) et les deux directions de rampe de tension du PUND (bleu et rouge). L'encadré représente la réponse transitoire du courant au PRE positif de la séquence NDPU [146].

Ceci est confirmé sur la Figure 3.22, où la même mesure est réalisée avec la séquence de polarité opposée (NDPU). Comme nous l'avons vu sur la Figure 3.1(a), la population A' est seulement visible lors de la première impulsion négative. Ici la première impulsion (vert) est positive donc la P_{rev} pour la première rampe reste stable avec la diminution de la température. Lors de la seconde impulsion de la séquence NDPU (négative) la population A' est activée, c'est pourquoi nous retrouvons les mêmes tendances que la Figure 3.21 sur les courbes P_{rev} en fonction de la température mesurées entre les deux tensions de saturation.

En conclusion, la $2{\cdot}P_r$ des FeCap à l'état vierge augmente à basse température grâce à la réduction des charges de back-switching, provoquée par le regroupement du double pic FE. Cependant, la polarisation de renversement montre une légère baisse à basse température. Cette évolution est due au décalage des domaines bloqués par les charges parasites, commutant pour un champ électrique plus intense à basse température. A part cette différence, la charge totale correspondant aux retournement des domaines n'évolue pas avec la température. Cela signifie qu'il n'y a pas d'augmentation du nombre de domaines FE à basse température. Cette analyse permet de comprendre les tendances observées dans la littérature [136], [164]. En effet, les études dans lesquelles la $2{\cdot}P_r$ augmentait à basse température affichaient des cycles d'hystérésis clairement pincés à température ambiante. On peut en conclure que les évolutions observées dans ces études résultent probablement des effets décrits dans cette partie, c'est-à-dire de la réduction de charges de back-switching. De plus, les mesures réalisées apportent des éléments importants concernant le cycle d'hystérésis pincée à l'état vierge à température ambiante et son évolution à basse température. Ni l'hypothèse des champs dépolarisants provoqués par la phase t- à l'interface, qui transitionne vers la phase o-$_{FE}$ à basse température, ni l'hypothèse de la commutation ferroélastique peuvent satisfaire les observations réalisées. Ces deux hypothèses impliqueraient l'augmentation de la P_{rev} à baisse température, ce que nous n'avons pas mesuré. La population des domaines bloqués par des charges parasites (A' sur la Figure 3.2(a)), dont leurs impacts sur la P_{rev} est montré en Figure 3.21 et Figure 3.22, n'est pas responsable du dépincement de la courbe d'hystérésis à 40 K et est purement dû aux processus de fabrication de la FeCap [152]. Dans la section suivante, nous allons nous intéresser à la théorie LGD (Landau-Ginzburg-Devonshire) afin de mieux comprendre les mécanismes de retournement de la polarisation à température ambiante et à basse température.

3.4 Renversement de polarisation en deux étapes selon la théorie LGD

Dans cette partie, nous allons discuter de la possibilité que le mécanisme de retournement de la polarisation en deux étapes soit l'hypothèse la plus probable pour expliquer la présence de ce double pic de courant à l'état vierge sur le HZO. Ce mécanisme est purement dû à la théorie thermodynamique des ferroélectriques : la théorie LGD. Dans un premier temps, nous parlerons de la théorie globale LGD puis ses implications pour les couches minces à base de HZO.

3.4.1 Description de la théorie LGD

L'enthalpie libre, ou énergie libre de Gibbs, notée G, est une fonction d'état extensive liée au deuxième principe de la thermodynamique. Elle correspond à l'enthalpie d'un système fermé (H) diminuée de la part d'énergie dissipée sous forme d'entropie (S) multipliée par la température (représenté en équation (3.12)). À température et pression constantes, elle représente le travail maximal que le système peut fournir.

$$G = H - TS \tag{3.12}$$

Selon la théorie de Landau-Ginzburg-Devonshire (LGD), la différence d'enthalpie libre ΔG entre un état polarisé et l'état paraélectrique (caractérisé par une polarisation nulle) d'un matériau ferroélectrique peut s'exprimer en fonction de sa polarisation P. Cette fonction est développée sous forme d'une série de Taylor, généralement limitée au sixième ordre [214], [215]. Comme seule la composante de la polarisation alignée avec le champ électrique est prise en compte, le développement est réalisé dans cette unique dimension. L'équation générale s'écrit sous la forme :

$$\Delta G = \frac{1}{2}\alpha_0(T - T_0)P^2 + \frac{1}{4}\alpha_{11}P^4 + \frac{1}{6}\alpha_{111}P^6 - EP \tag{3.13}$$

E est le champ électrique, α_{xyz} les coefficients d'expansion liés avec la symétrie du crystal, T la température et T_0 la température de Curie-Weiss. Ces paramètres peuvent être détérminés par des calculs ab initio. Les coefficients α_0 et α_{111} sont positifs, et α_{11} est négatif pour les transitions de phase du permier ordre, et positif pour les transitions de phase du second ordre. Nous considérerons dans cette partie les transitions du premier ordre, généralement employées pour décrire le comportement des matériaux ferroélectriques [158]. L'équation (3.13) est un polynôme de degré six, donc peut admettre jusqu'à cinq extremum en fonction de la polarisation. Les racines des minimum correspondent aux valeurs de polarisation pour lesquelles le matériau est le plus stable, et représentent les différents états (et donc les phases) qui peuvent exister. La différence d'enthalpie libre entre deux minimums représente la barrière d'énergie entre les deux états, et donc le travail nécessaire pour que le matériau transitionne d'un état à l'autre. A champ électric nul, l'équation (3.13) devient une fonction paire :

$$\Delta G = \frac{1}{2}\alpha_0(T - T_0)P^2 + \frac{1}{4}\alpha_{11}P^4 + \frac{1}{6}\alpha_{111}P^6 \tag{3.14}$$

La température devient le paramètre régissant le profil d'expansion de l'enthalpie libre et donc l'existence des différentes phases. Des températures dites "critiques" marquent des limites entre des régimes différents de l'expansion de ΔG, et impliquant un changement dans les propriétés du matériau.

La première est la température de Curie-Weiss T_0, en dessous de cette température l'équation (3.14) n'admet que deux minimums inférieurs à 0 pour des valeurs de polarisation non nulles. Ces valeurs de polarisation correspondent aux deux directions de polarisation (P_{up} et P_{down}) de la phase ferroélectrique. Seule la phase ferroélectrique existe dans cet intervalle de température. Lorsque la température devient supérieure à T_0, l'expansion de ΔG admet un troisième minimum pour P = 0. Cela signifie que la phase paraéléctrique devient susceptible de coexister avec la phase ferroélectrique. Tant que les minimums de ΔG correspondants aux états de polarisation sont inférieurs au minimum de la phase paraélectrique, la phase ferroélectrique est la phase la plus stable et la phase paraélectrique est métastable. La température de Curie T_c représente la limite théorique durant laquelle les deux phases sont métastables avec un minimum

d'enthalpie libre égal. Au delà de cette limite, le phénomène s'inverse et la phase paraélectrique devient la phase stable tandis que la phase ferroélectrique devient métastable. La température de transition T_1 représente la limite au delà de laquelle ΔG n'admet plus de minimum pour les états de polarisation de la phase ferroélectrique. Au delà de cette température les états de polarisation ne peuvent plus exister à champ électrique nul. En conséquence T_1 est la température limite de la ferroélectricité et marque la passage à celui d'un matériau antiferroélectrique. Dans un matériau antiferroélectrique la phase polaire n'existe que pour un champ électrique supérieur en valeur absolue au champ coercitif, alors que le matériau ferroélectrique conserve cet état polaire en l'absence de champ électrique. La dernière température critique est la température T_2 au delà de laquelle il n'existe plus de transition de phase activée par un champ électrique, le matériau devient totalement paraélectrique. La Figure 3.23 représente les profils d'enthalpie libre en fonction de la polarisation pour les différentes températures critiques décrites ci-dessus. Les coefficients d'expansion n'étant pas connus avec précision, nous les avons assignés arbitrairement à ± 1 afin d'illustrer qualitativement la dépendance du polynôme vis-à-vis de la température.

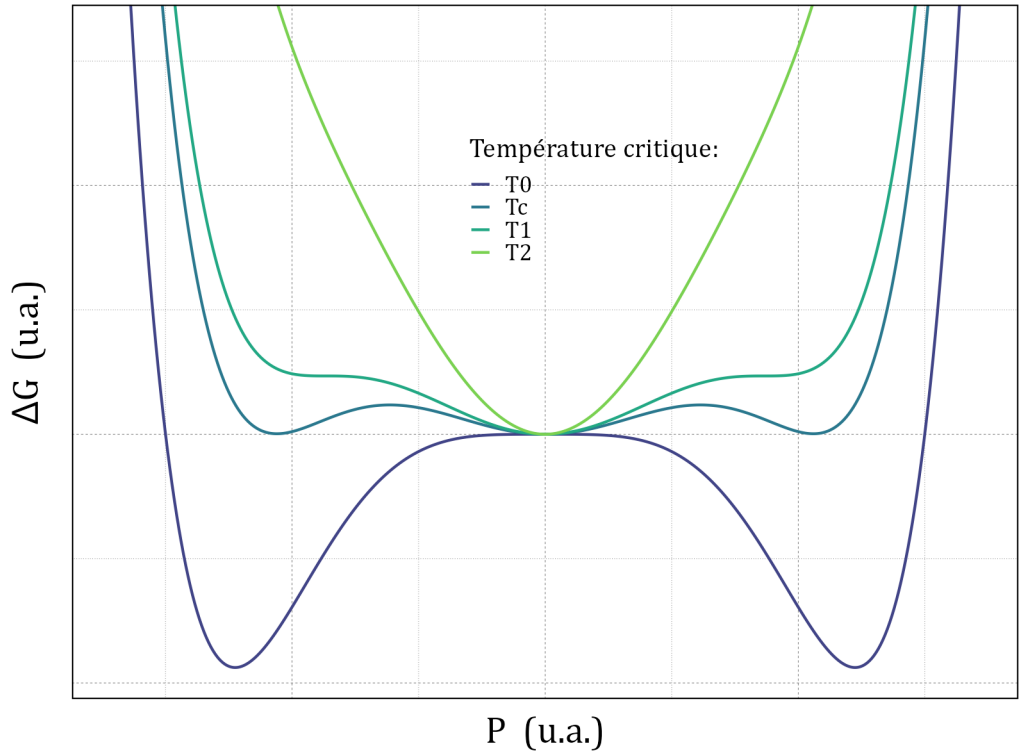

FIGURE 3.23 – Profils d'enthalpie libre des températures critiques pour une transition de phase du premier ordre d'après la théorie de LGD.

Les racines de la dérivée première de l'équation (3.13) permettent d'isoler E.

$$\frac{\delta \Delta G}{\delta P} = \alpha_0(T - T_0)P + \alpha_{11}P^3 + \alpha_{111}P^5 - E = 0 \tag{3.15}$$

$$E = \alpha_0(T - T_0)P + \alpha_{11}P^3 + \alpha_{111}P^5 \tag{3.16}$$

La Figure 3.24 retrace P en fonction de E en utilisant l'équation (3.16) pour différentes températures. Les lignes verticales en pointillés permettent de retrouver le cycle d'hystérésis du matériau. Ce graphique permet de constater que le cycle d'hystérésis du matériau ferroélectrique évolue avec la température vers un cycle d'hystérésis pincé puis vers un comportement anti-ferroélectrique.

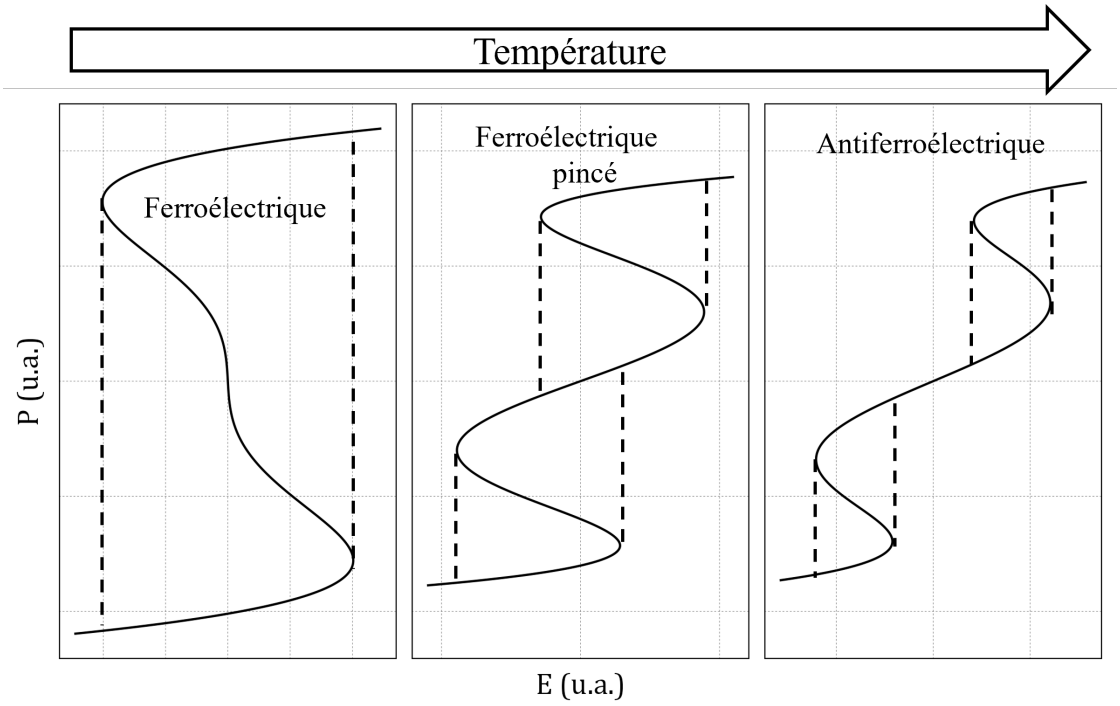

FIGURE 3.24 – Cycle d'hystérésis pour différentes températures modélisés grâce à la théorie LGD.

Cette évolution correspond aux mesures réalisées entre 40 K et 300 K montrées en Figure 3.18 sur des FeCap à base de HZO à l'état vierge. Dans la partie suivante nous allons voir comment la théorie LGD permet de mieux comprendre les phénomènes physiques à l'oeuvre dans le matériau HZO.

3.4.2 Application de la théorie LGD au matériau HZO

D'après la théorie de LGD, la baisse de température favorise la phase polaire au détriment de la phase NP du matériau FE [158]. Cette évolution peut expliquer le dépincement du cycle d'hystérésis à basse température que nous avons montré dans nos FeCap à l'état vierge. Nous avons vu dans la Section 3.2 que le dépincement du cycle d'hystérésis n'était pas dû à une transition de la phase t- vers la phase o-$_{FE}$. Cependant, la phase macroscopiquement NP peut correspondre à la phase orthorombique antipolaire (o-$_{AFE}$) [216].

Même si les hypothèses concernant la nature de la phase NP sont toujours en discussion, la couche de HZO présente clairement un processus de retournement de polarisation en deux étapes à température ambiante, qui évolue à basse température conformément à la théorie de LGD. En suivant la théorie de LGD, nous pouvons supposer qu'à l'état vierge, le matériau est dans un état NP pour chaque température et que l'impulsion PRE (Figure 3.2) permet de passer de l'état NP à l'état polaire, ce qui se traduit par une contribution unique à la commutation (présence d'un seul pic). Cela explique pourquoi la polarisation calculée pendant l'impulsion PRE est équivalente à la moitié de celle calculée entre les deux états de polarisation saturés à n'importe quelle température (Figure 3.21). Dans la Figure 3.25, nous avons utilisé les équations de la théorie LGD pour modéliser le profil d'énergie libre correspondant à la couche mince de HZO à 300 K et 40 K avec et sans l'application d'un champ électrique (de gauche à droite, sans E puis avec E croissant). Les coefficients d'expansion utilisés ont des valeurs de ± 1 afin d'illustrer qualitativement le phénomène physique impliqué. À 300 K, le minimum d'enthalpie libre de l'état NP est inférieur aux états polaires. Par conséquent, l'application d'un champ électrique induit deux transitions distinctes, comme illustré dans le panel supérieur de la Figure 3.25. Cela a pour conséquence de produire un double pic de retournement de domaines à l'état pristine mesuré sur une FeCap grâce au PUND (Figure 3.18).

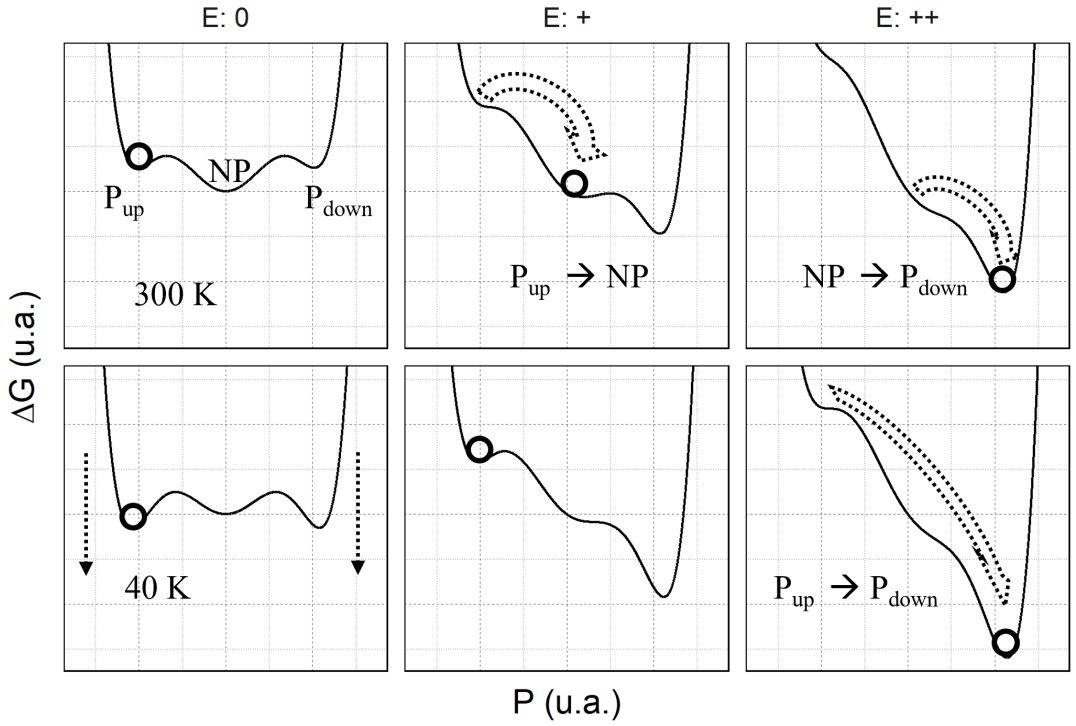

FIGURE 3.25 – Profils d'enthalpie libre à 300 K (panel du haut) et à 40 K (panel du bas) pour un champ électrique nul (gauche) puis croissant (droite) [146].

Tandis qu'à basse température, l'enthalpie libre des états polaires baisse, rendant l'état NP moins stable. Ainsi, lorsque la barrière d'énergie de l'état polaire est franchie, le retournement de la polarisation entre P_{up} et P_{down} est plus immédiat. Cela explique pourquoi seulement un pic de retournement de polarisation est mesuré en PUND sur une FeCap vierge à basse température (Figure 3.18)

Pour conclure, la FeCap vierge à base de HZO testée possède un cycle d'hystérésis pincé à température ambiante qui évolue vers un cycle non-pincé à basse température. Ces évolutions sont attribuées aux changements de profil d'enthalpie libre des états polaires au détriment de l'état non polaire suivant la théorie de LGD.

3.5 Impact de la température sur le wake-up

À température ambiante, l'endurance s'accompagne d'une augmentation progressive de la polarisation. Ce phénomène, appelé wake-up, ne fait pas l'objet d'un consensus dans la littérature. En effet, il est souvent associé au dépincement du cycle d'hystérésis, dont l'origine demeure également controversée [127], [150], [198]. Cette section a pour but d'étudier l'évolution du wake-up à basse température. Ainsi, l'évolution de la polarisation sera analysée en fonction du cyclage à différentes températures. En complément, des mesures FORC ainsi que des mesures C-V seront effectuées avant et après cyclage, afin de mieux comprendre les mécanismes de ces évolutions.

3.5.1 Évolution de polarisation durant le cyclage

Afin d'observer l'évolution de polarisation avec le cyclage, le protocole décrit en Section 1.4.5 est appliqué aux FeCap à différentes températures. La fréquence des impulsions PUND est de 10 kHz alors que les impulsions de cyclage ont une fréquence de 100 kHz. Les valeurs de $2{\cdot}P_r$ et de P_{rev} en fonction du nombre de cycles et sont présentées en Figure 3.26 (a) et (b) respectivement, pour les différentes températures.

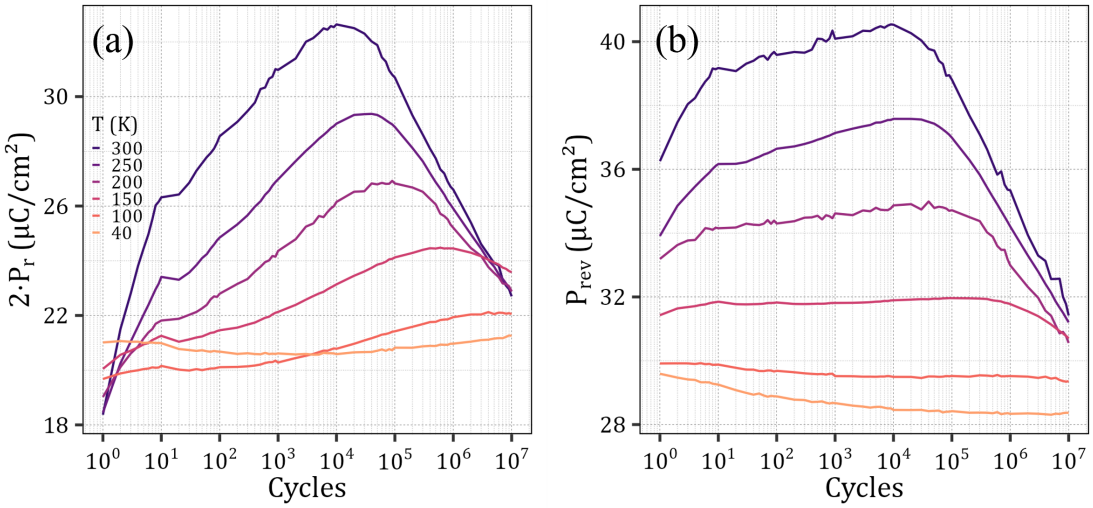

FIGURE 3.26 – (a) $2{\cdot}P_r$ et (b) P_{rev} en fonction du nombre de cycles mesurés sur des FeCap cyclées jusqu'à $\pm$ 4 MV/cm pour des impulsions de cyclage qui ont une durée de 5 μs. La fréquence des impulsions PUND est de 10 kHz alors que les impulsions de cyclage ont une fréquence de 100 kHz (cf. Section 1.4.5) [146].

On constate que les effets de wake-up et de fatigue sont atténués avec la baisse de température, correspondant aux évolutions déjà observées dans la littérature [161], [163]. Ces effets ne sont plus mesurés pour les températures inférieures à 150 K. On note que l'augmentation de $2{\cdot}P_r$ est plus forte que celle de P_{rev} durant le wake-up pour une température donnée.

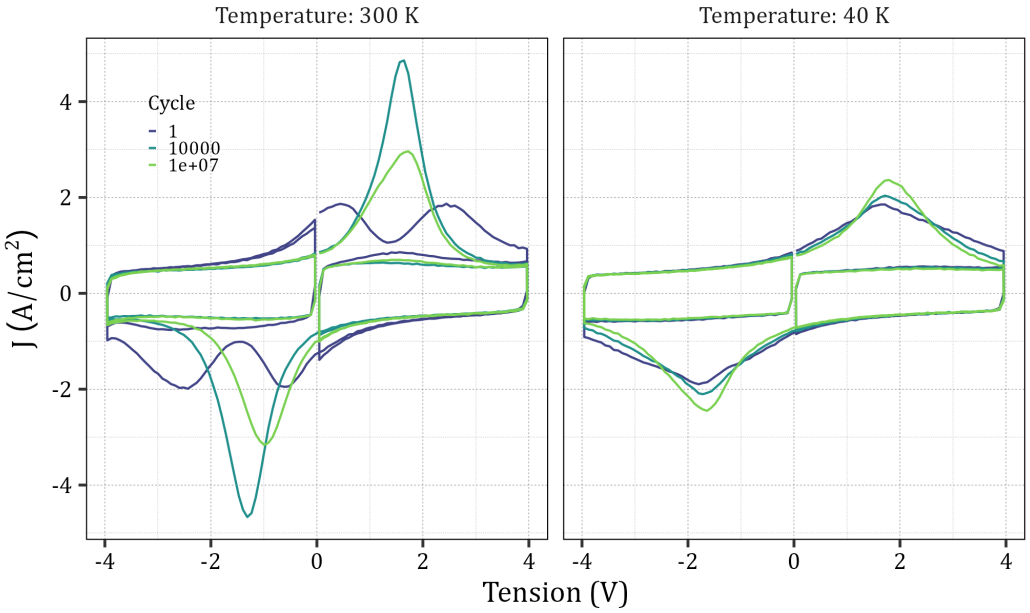

FIGURE 3.27 – Courant I-V de la mesure PUND pour différents cycles à (a) 300 K et (b) 40 K [146].

L'augmentation marquée de $2{\cdot}P_r$ pendant le cyclage est attribué à la réduction significatives des charges de back-switching, observable dans la Figure 3.27(a). Ce phénomène est progressivement réduit avec la baisse de température, jusqu'à ce que les charges de back-switching se stabilisent Figure 3.27(b), maintenant une $2{\cdot}P_r$ constante. Cependant, l'augmentation de P_{rev} observée aux hautes températures (> 150 K) correspond à une réelle augmentation de la charge FE et non à une redistribution des pics de retournement. Cette augmentation de P_{rev} prouve qu'il y a bien un mécanisme de wake-up augmentant la polarisation avec le cyclage..

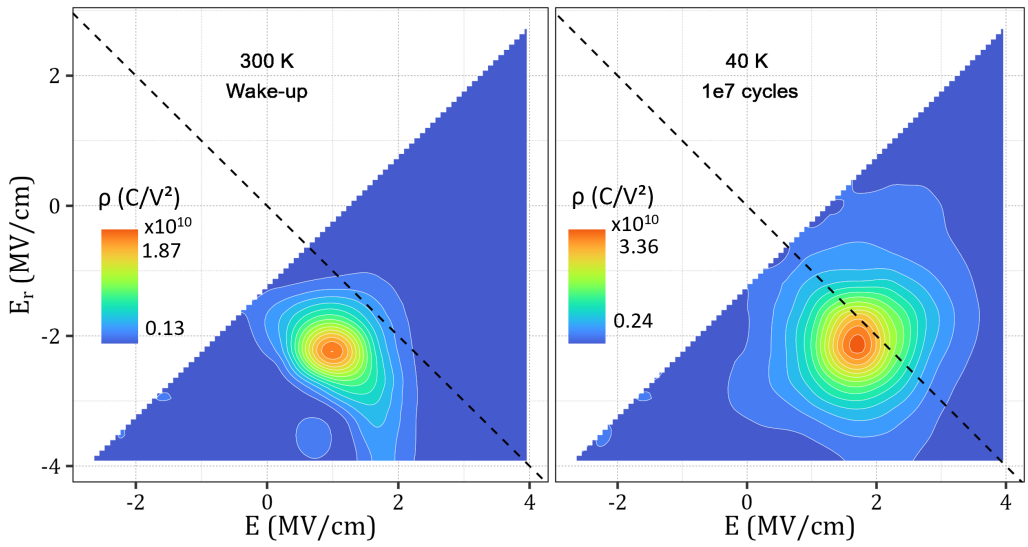

FIGURE 3.28 – Densités de commutations extraites avec la méthode FORC après wake-up à (a) 300 K et (b) 40 K [146].

Afin de mieux étudier l'évolution des mécanismes de retournement après wake-up, des mesures FORC sont effectuées sur des FeCap cyclées en Figure 3.28. Nous n'observons plus qu'une densité de renversement pour les deux températures. Les deux régions de retournement observées à l'état pristine (Figure 3.11) ont fusionné avec le cyclage pour chaque température, expliquant le pic unique et resserré observé sur les courbes I-V de la Figure 3.27. Cela signifie que les domaines FE affichent une commutation directe entre les deux états polaires opposés sans transition intermédiaire par un état NP. Comme discuté dans la Section 3.2, une diminution de la température à elle seule n'est pas suffisante pour induire une telle modification dans la couche active. En revanche, le cyclage électrique à une température donnée peut favoriser, voire déclencher, une telle transition, comme cela a été rapporté dans de nombreuses études antérieures [139], [156], [157], [216].

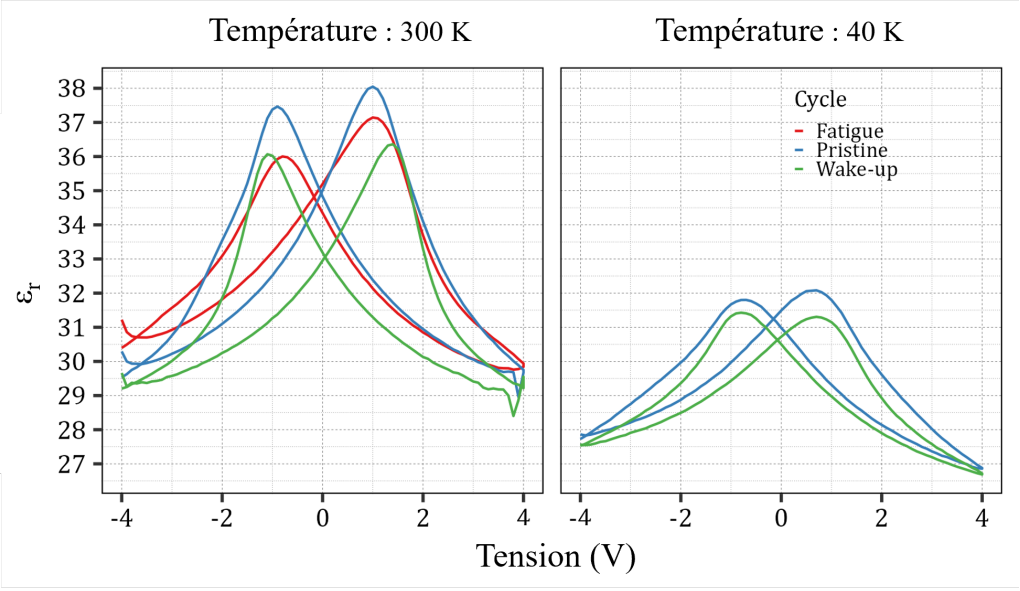

FIGURE 3.29 – Mesures C-V extraites après wake-up à (a) 300 K et (b) 40 K.

Cela semble être confirmé par les mesures C-V à température constante avant et après cyclage (Figure 3.29) montrant une légère baisse de constante diélectrique après wake-up pour les deux températures. De telles évolutions de ϵ_r avec le cyclage ont déjà été observées à température ambiante [155], [156] et attribuées à la transition de la phase t- vers la phase o-$_{FE}$, dans notre cas nous observons cette évolution même à 40 K.

Malgré ces changements dans les mesures FORC et dans les mesures C-V qui supportent l'idée d'un changement de phase dans le HZO avec le cyclage pour toutes les températures, aucune augmentation de la 2·P_r ou de la P_{rev} n'a été mesurée à basse température. Cela suggère que le phénomène de wake-up, c'est-à-dire l'augmentation de polarisation avec le cyclage, est activé par un autre mécanisme, tel que la redistribution des lacunes d'oxygène au sein de la couche de HZO, ce qui est cohérent avec l'activation thermique de la migration de ces lacunes. Une étude récente suggère que le phénomène de wake-up pourrait être associé à la redistribution de lacunes d'oxygène dans la couche de HZO, potentiellement influencée par un transport de type dispersif [198].

3.5.2 Influence de la tension sur le wake-up à basse température

Nous avons vu que la fusion du double-pic de courant durant le cyclage pouvait être attribuée à une transition de phase. Cependant, elle n'induit pas l'augmentation de P_{rev} caractéristique du wake-up à basse température. Ce qui suggère que le phénomène n'est pas directement responsable de l'augmentation de polarisation dans le matériau HZO (Figure 3.28).

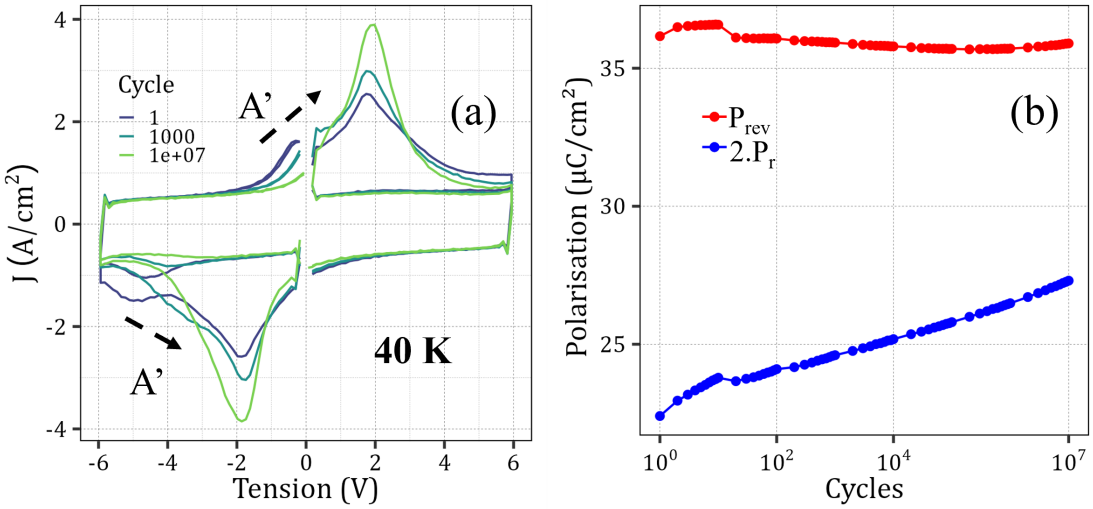

FIGURE 3.30 – Courant transitoire mesuré par la méthode PUND sur une FeCap cyclée pour des tensions jusqu'à ± 6 MV/cm à 40 K, pour différents cycles. (b) P_{rev} et 2·P_r en fonction du nombre de cycles [146].

Dans la Figure 3.30(a), le courant transitoire PUND est mesurée à 40 K jusqu'à 6 MV/cm, à l'état vierge, puis après application de 10^3 et 10^7 cycles sur une FeCap toujours à 6 MV/cm. Le champ électrique étant plus intense, la population du domaine A' devient mesurable à basse température (Figure 3.2) et une augmentation graduelle de l'intensité du pic de commutation principal est observée au cours du cyclage. La contribution A' se déplace progressivement vers le pic de commutation principal, comme observé à température ambiante (Figure 3.1), mais de façon beaucoup plus lente en raison de la faible énergie thermique disponible à 40 K. À l'état vierge, la population de domaines A' contribue au courant de back-switching pendant la rampe de tension positive (de -6 V à +6 V), et n'est donc pas incluse dans le calcul du 2·P_r. Avec le cyclage, la contribution A' fusionne progressivement avec le pic de courant principal en se déplaçant des tensions négatives vers les tensions positives. Ce déplacement explique l'augmentation observée de la 2·P_r (courbe bleue de la Figure 3.30(b)), qui n'est pas due à la commutation de nouveaux domaines créés, mais à la redistribution des charges A' existantes depuis les tensions négatives vers les tensions positives, contrairement au wake-up mesuré à 300 K. La courbe de P_{rev} (courbe rouge de la Figure 3.29(b)) en fonction du nombre de cycles confirme qu'il n'y a pas de charges supplémentaires créées au cours du cyclage car P_{rev} demeure constante tout au long du cyclage.

En résumé, une transition de la phase non polaire vers la phase polaire se produit durant le cyclage, pour toutes les températures. En conséquence, la couche de HZO passe d'un processus de commutation en deux étapes à une étape. Cependant, l'évolution de P_{rev} avec le cyclage se réduit jusqu'à être complètement inhibée en dessous de 100 K. La courbe de P_{rev} en fonction du nombre de cycle à 40 K ne montrent pas d'augmentation de P_{rev} même à champ électrique

plus élevé (6 MV/cm). Cela montre que l'augmentation de polarisation est dépendante de la température, mais n'est pas directement lié au changement de phase observable à toutes les températures. Une hypothèse cohérente pour le wake-up est le piégeage/déplacement des charges et la redistribution des lacunes d'oxygène, favorisés aux températures plus élevées comme discuté dans la section précédente.

3.6 Evolution de la fatigue et de l'imprint à basse température

Les phénomènes de fatigue et d'imprint sont des caractéristiques clés à évaluer à basse température car ils représentent les principaux mécanismes de dégradation de la fiabilité des dispositifs FeRAM à base de HZO. La fatigue diminue la polarisation rémanente des FeCap lors d'une endurance longue, tandis que l'imprint est le principe mécanisme de dégradation lors de la rétention de données dans la FeCap causé par le décalage du cycle d'hystérésis le long de l'axe des champs électriques.

3.6.1 Évolution de la fatigue à basse température

Nous avons vu en Section 3.5 que de manière similaire au phénomène de wake-up, la fatigue est réduite à basse température. Afin de mieux comprendre le mécanisme à l'origine de cet effet, le modèle de Brennan sera utilisé pour calculer l'énergie d'activation associée au phénomène responsable de la fatigue [217]. Ce modèle, initialement utilisé pour le PZT, calcule un ratio de fatigue entre différents cycles. La méthode est reprise par Huang et al. [218], Adkins et al. ou encore Hur et al. [163] sur les FeCap à base de HZO [161]. Ce modèle utilise l'équation suivante :

$$P(N) = P_0 \cdot [1 - R(T) \cdot (logN)] \tag{3.17}$$

Avec $P(N)$ et P_0 les niveaux de polarisation aux cycles N et au cycle initial. $R(T)$ est une fonction d'Arrhenius :

$$R(T) = Ae^{\frac{-E_a}{k_b T}} \tag{3.18}$$

avec A le facteur pré-exponentiel, E_a est l'énergie d'activation, k_b est la constante de Boltzmann et T la température. $R(T)$ est la constante de fatigue relative. Lorsqu'on veut modéliser la fatigue en fonction du nombre de cycle, il est important de rappeler que ce phénomène débute après que la polarisation atteigne un état stationnaire constant avec le nombre de cycles, correspondant à la fin de wake-up. Après cette zone de stabilité, la polarisation décroît de manière exponentielle avec le nombre de cycles ce qui se traduit par une décroissance linéaire lorsque les données sont représentées en fonction du logarithme du nombre de cycles (cf. Figure 3.26). C'est cette évolution que nous allons modéliser. A partie de l'équation (3.17), nous déterminons une fonction qui décrit la réduction relative de polarisation due à la fatigue en fonction du nombre de cycles, dont la pente est équivalente à $R(T)$ [161].

$$f(N) = 1 - R(T)log(N) \tag{3.19}$$

avec $f(N)$ qui représente la proportion de fatigue $P(N)/P_0$.

La valeur de $R(T)$ indique le niveau d'intensité de la fatigue. Cependant, pour extraire la valeur d'énergie d'activation associée au mécanisme gouvernant la fatigue pour ces données, un fitting linéaire doit être réalisé pour les courbes de fatigue à chaque température. La linéarisation de l'équation (3.18) donne [161] :

$$ln[R(T)] = ln(A) - \frac{-E_a}{k_b}\left(\frac{1}{T}\right) \tag{3.20}$$

Nous utiliserons les données de fatigue mesurées sur les courbes de P_{rev} en fonction du nombre de cycle (Figure 3.26), qui sont les plus représentatives de la variation de la charge FE dans le matériau entre les deux polarisations de

saturation. Les mesures de 300 K jusqu'à 150 K seront incluses, car la fatigue n'est plus mesurée pour des températures plus faibles. L'endurance à 150 K est poussée jusqu'à 10^8 cycles afin que la fatigue soit à nouveau mesurable.

La modélisation de l'équation (3.17) pour les différentes températures est montrée en Figure 3.31(a). La Figure 3.31(b) représente le modèle d'Arrhénius extrait depuis les données de la Figure 3.31(a), nous permettant de calculer une énergie d'activation à 12,8 meV pour le phénomène de fatigue.

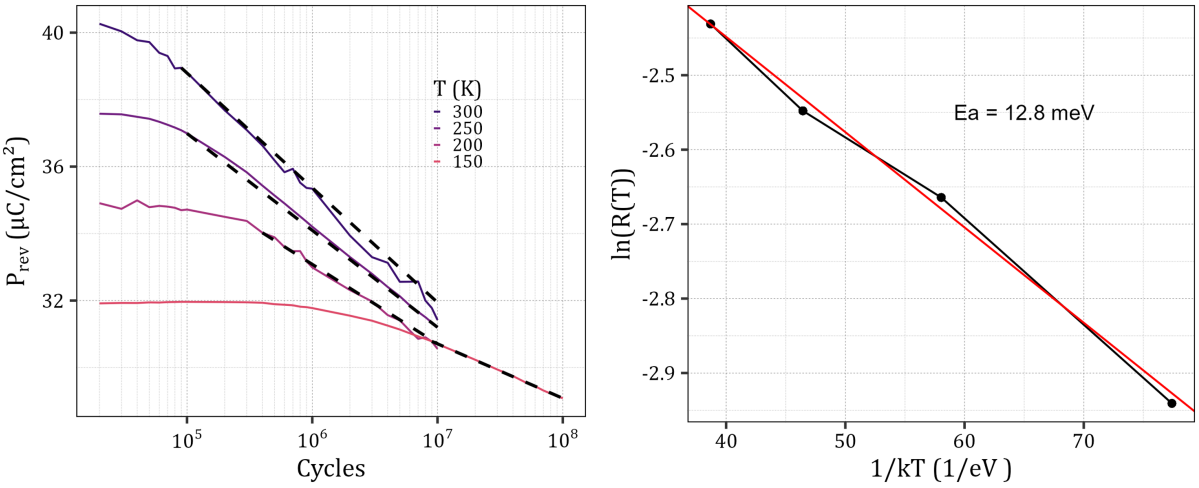

FIGURE 3.31 – (a) P_{rev} en fonction du nombre de cycles pour les FeCap cyclées à ±4 MV/cm à 300 K, 250 K, 200 K et 150 K avec la modélisation de l'équation (3.17) en pointillés. (b) Graphique d'Arrhenius de la fatigue permettant d'extraire l'énergie activation à partir de l'équation (3.20).

L'énergie d'activation obtenue est du même ordre de grandeur que les précédentes études de la littérature réalisées sur des couches minces de HZO : Adkins et al. calculent une énergie d'activation de 23,4 meV, Huang et al. obtiennent 75 meV [161] et Hur et al. [163] trouvent 23,67 et 42,97 meV pour deux champs électriques de cyclage différents.

Ces valeurs d'énergies d'activation sont trop faibles pour correspondre à la diffusion de lacunes d'oxygène dans la couche active. L'énergie d'activation pour la diffusion de lacunes d'oxygène dans du HfO_2 a été estimée à 0,7 eV et 1,1 eV selon sa charge [219]. Les valeurs d'énergie d'activation obtenues correspondent plus à des charges faiblement piégées pendant l'application du champs électrique de cyclage bloquant des domaines et réduisant ainsi la polarisation [148], [161], [217]. Ces faibles énergies d'activation pourraient correspondre au dépiégeage d'électrons dans des lacunes d'oxygène neutres proches des interfaces (Vo –> Vo^{2+} + $2e^-$) aboutissant au blocage de domaines ferroélectriques par les lacunes chargées.

3.6.2 Évolution de l'imprint à basse température

L'imprint est au même titre que la fatigue un facteur limitant des performances dans les FeCap. Ce phénomène entraîne un décalage du cycle d'hystérésis (et donc de la courbe I-V du PUND) en fonction du temps après programmation de la FeCap. Ce décalage dépend de l'état de polarisation stocké dans la FeCap (P_{up} ou P_{down}) [220]. Dans cette partie, nous allons donc évaluer l'effet de l'imprint à basse température dans nos FeCap à base de HZO. Afin d'étudier l'imprint, nous avons utilisé le protocole expérimental suivant : 1) mesure du courant transitoire PUND pour une FeCap réveillée (après wake-up) au maximum de polarisation 2) attente de 60 minutes et 3) nouvelle mesure du courant transitoire PUND. Les courants transitoires PUND associés au dernier cycle avant délai ainsi qu'au premier cycle après délai sont présentés en Figure 3.32 à 300 K et à 40 K.

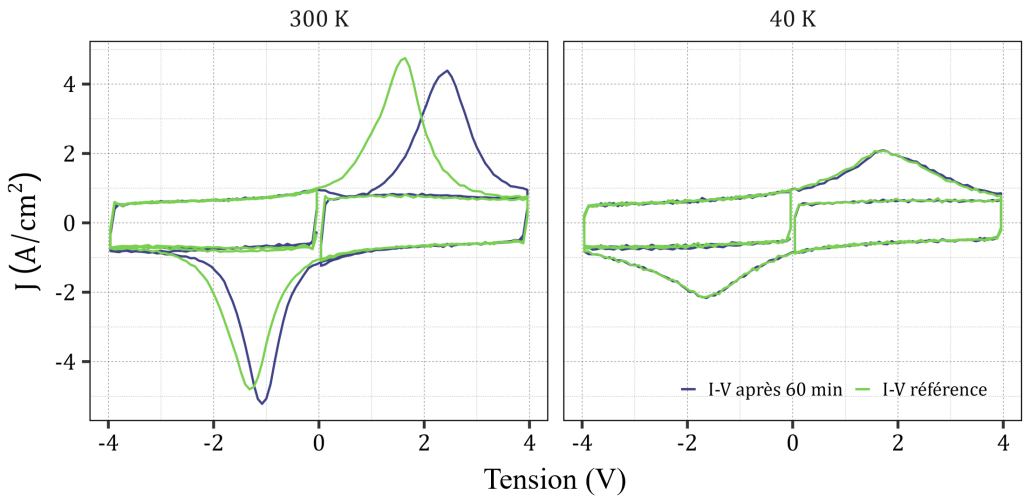

FIGURE 3.32 – Courant transitoire PUND à 300 K et 40 K après cyclage à 10^4 cycles, avant puis après 60 minutes d'attente [146].

On constate que les pics de retournement ferroélectriques après 60 minutes sont décalés vers la droite à 300 K. En effet, la dernière impulsion de cyclage est négative et oriente les dipôles dans le sens P_{up}. Le champ électrique interne causé par l'orientation des dipôles entraîne le mouvement de charges pour des températures suffisantes. En effet, à 40 K les pics après 60 minutes sont superposés avec les mesures de référence, ce qui témoigne d'une réduction importante de l'effet d'imprint à basse température.

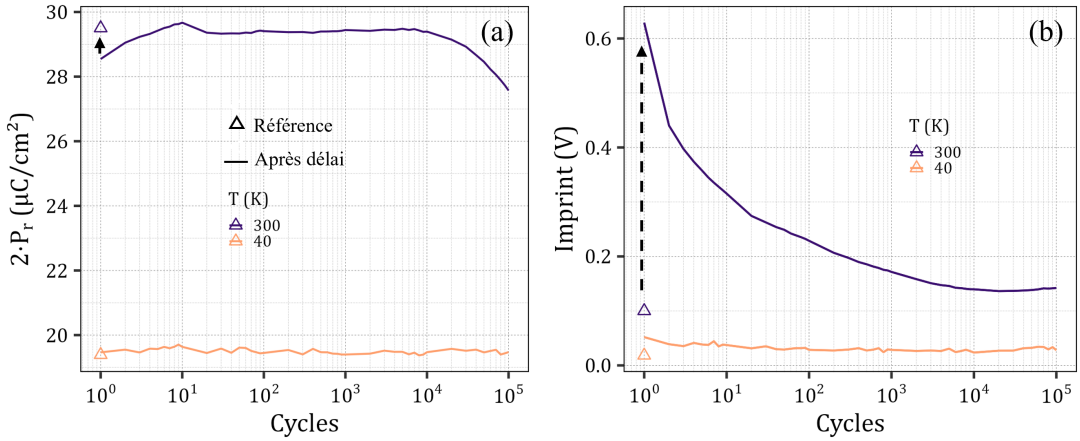

FIGURE 3.33 – (a) $2{\cdot}P_r$ en fonction du cycle à 300 K et 40 K après délai. (b) Imprint calculé comme : $\frac{1}{2}(|V_c^+| - |V_c^-|)$ en fonction du nombre de cycles. Les triangles représentent le niveau de référence correspondant au dernier cycle avant le délai [146].

La Figure 3.33 montre l'impact de l'imprint sur les performances électrique du dispositif. On observe sur la Figure 3.33(a) qui montre la $2{\cdot}P_r$ en fonction du cyclage après le délai, que la $2{\cdot}P_r$ mesurée immédiatement après le délai à 300 K est réduite par rapport à la valeur obtenue juste avant le délai (point vide sur le graphique), alors que aucune variation de polarisation n'est observée à 40 K. Cette variation de $2{\cdot}P_r$ peut sembler faible, cependant il est important de noter que l'impulsion de PUND allant jusqu'à 4 V permet de recouvrer la majeure partie du pic décalé. Afin de mieux visualiser l'impact de cet effet, la Figure 3.33(b) montre l'imprint calculé comme : $\frac{1}{2}(|V_c^+| - |V_c^-|)$, en fonction du nombre de cycles. Un décalage de 0,5 V est observé à température ambiante par rapport au niveau de référence, ce qui peut devenir pénalisant si le dispositif doit être utilisé à faibles tensions, comme reporté dans la référence [221]. En revanche, l'imprint reste très faible voire complètement inhibé à 40 K, ce qui montre une stabilité améliorée des FeCap dans ces conditions

de fonctionnement.

L'imprint est attribué dans la littérature à l'injection de charges à l'interface HZO/TiN [222] ou encore à la migration de lacunes d'oxygène chargées dans le HZO [220]. Ces deux phénomènes sont très largement diminués à basse température, annulant les effets d'imprint. Pour conclure, les deux facteurs limitant la fiabilité des dispositifs FeRAM que sont la fatigue et l'imprint sont largement inhibés à basse température, rendant ainsi les FeRAM plus stables à basses températures. Ces résultats suggèrent que l'exploitation des mémoires FeRAM à basse température est particulièrement prometteuse, dans la mesure où elles présentent une fiabilité significativement accrue dans ces conditions.

3.7 Optimisation de l'utilisation des FeCap à basse température

Nous avons vu dans les parties précédentes que les phénomènes de wake-up, fatigue et imprint sont largement réduits lorsque la température diminue vers un régime cryogénique. Le wake-up peut s'avérer souhaitable, ayant un effet bénéfique sur les performances d'un circuit en favorisant une fenêtre mémoire plus importante, contrairement à la fatigue et à l'imprint qui réduisent la fiabilité du dispositif.

Une façon d'optimiser les performances à basse température serait d'effectuer un wake-up à température ambiante afin de bénéficier de l'augmentation de polarisation, avant d'utiliser la FeCap à basse température. Afin d'évaluer ce protocole, nous l'avons mis en œuvre sur notre setup expérimental. Dans notre cas, le refroidissement de la station cryogénique, de la température ambiante jusqu'à 40 K, requiert environ 30 minutes.

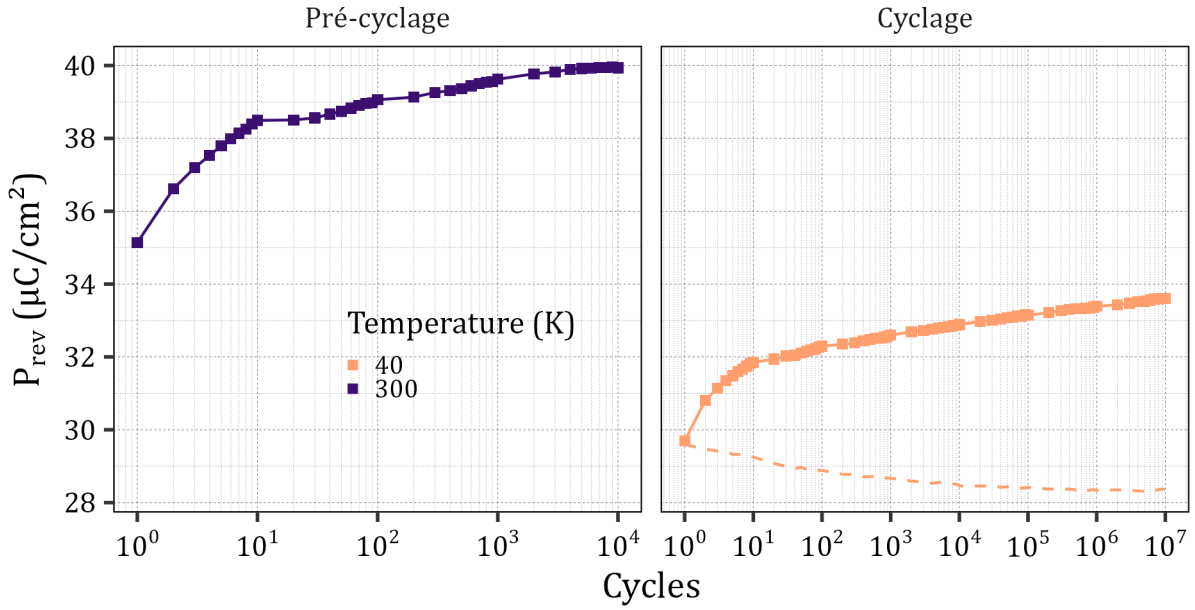

FIGURE 3.34 – P_{rev} en fonction du nombre de cycle pour une FeCap pre-cyclée à 300 K puis cyclée à 40 K après 30 minutes de refroidissement. La P_{rev} d'une FeCap à 40 K sans pré-cyclage est représentée en pointillé pour permettre la comparaison.

Les résultats présentés en Figure 3.34 montrent une forte diminution de la P_{rev} mesurée après la descente en température et sa ré-augmentation progressive avec le cyclage à basse température. Si nous comparons cette courbe à 40 K avec celle en pointillés représentant la P_{rev} en fonction du nombre de cycles à 40 K sans pré-cycle, nous observons que les tendances sont différentes. Afin de comprendre cette différence, les courants transitoires PUND après pré-cyclage à température ambiante sont tracés Figure 3.35. Les courbes I-V montrent un pic ferroélectrique après cyclage à température ambiante bien plus important que celui mesuré à basse température sans pré-cyclage (courbe en pointillés) mais fortement décaler vers les tensions positives. Nous pouvons donc en conclure que le wake-up à température ambiante a

bien permis d'augmenter le quantité de domaines "disponible" comme vu dans la Section 3.5. Cependant un fort imprint est mesuré dû au temps d'attente nécessaire pour refroidir la FeCap, décalant les pics ferroélectriques vers la droite (comme observé Figure 3.32 à 300 K). On remarque même que le pic ferroélectrique positif est tronqué à 4 V expliquant la forte baisse de P_{rev} entre la dernière mesure durant le pre-cyclage à 300 K et la première mesure à 40 K sur la Figure 3.34. Le cyclage à basse température permet de re-centrer les champs coercitifs et retrouver une partie des domaines ferroélectriques trop décalés pour commuter lors des premiers cycles. On constate ici que, bien que le mécanisme à l'origine de l'imprint soit inhibé à basse température, cet effet peut être supprimé avec le cyclage à basse température.

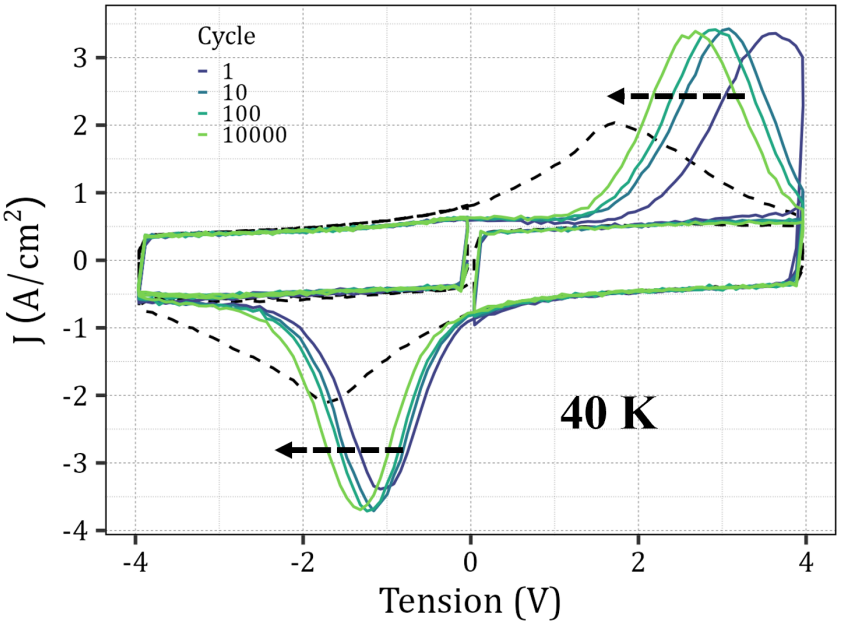

FIGURE 3.35 – Courant transitoire de la séquence PUND mesuré à différents cycles à 40 K pour la FeCap pré-cyclée à 300 K. Le courant transitoire d'une FeCap à 40 K sans pré-cyclage est représenté en pointillé.

Finalement, la $2{\cdot}P_r$ représentant la polarisation utilisable dans un dispositif FeRAM, est représentée Figure 3.36. On remarque que le pré-cyclage à température ambiante est efficace et permet une augmentation de $2{\cdot}P_r$ de 28% après 10^7 cycles.

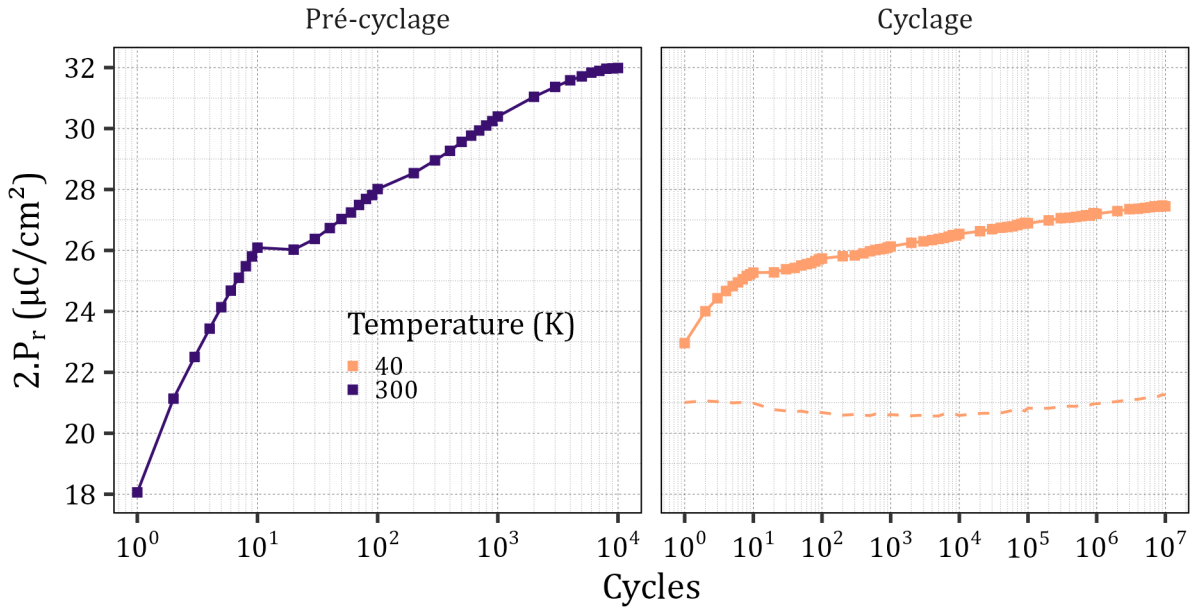

FIGURE 3.36 – $2{\cdot}P_r$ en fonction du nombre de cycle pour un FeCap Pre-cyclée à 300 K puis cyclée à 40 K après 30 minutes de refroidissement. $2{\cdot}P_r$ d'une FeCap à 40 K sans pré-cyclage est représenté en pointillé pour permettre la comparaison.

En conclusion, on observe que le pré-cyclage à température ambiante est bénéfique pour la FeCap à basse température, car celle-ci profite du wake-up réalisé à 300 K. Néanmoins, cette augmentation est limitée par l'effet d'imprint survenant pendant la durée du refroidissement.

3.8 Conclusion

Dans ce chapitre, nous avons exploré les propriétés ferroélectriques des FeCap à base de HZO de 10 nm d'épaisseur sur une importante plage de température. L'étude met en évidence de nouvelles propriétés ferroélectriques du HZO à basse température, révélées grâce à l'application de plusieurs méthodes de caractérisation électrique. La méthode P_{rev} associant mesures I-V et C-V a été introduite comme technique complémentaire à la méthode PUND "conventionnelle", permettant un calcul plus précis de la polarisation provenant uniquement de la commutation de domaines ferroélectriques. Cette méthode nous a permis de démontrer que la réduction de la polarisation de retournement mesurée à basse température dans nos dispositifs résulte uniquement de la non-activation des domaines bloqués par la présence de charges parasites, dont le dépiégeage est activé thermiquement (population A'). Il est donc nécessaire d'appliquer une tension plus élevée à basse température afin de dépiéger ces domaines et de pouvoir les mesurer à nouveau. Dans un second temps, nous avons montré que l'augmentation de la polarisation rémanente à basse température est directement reliée à l'atténuation des charges de back-switching due à la fusion du double pic de retournement. Les mesures par diffraction à incidence rasante des rayons X effectuées en synchrotron entre 300 K et 100 K ne révèlent aucune transition de phase malgré les variations de propriétés électriques mesurées dans nos FeCap. Le dépincement du cycle d'hystérésis à basse température est donc expliqué directement par la théorie LGD. Le mécanisme de commutation entre les deux états de polarisation se fait en deux étapes à température ambiante et devient direct à basse température. Cela est due à l'augmentation de la stabilité de la phase polaire (o-$_{FE}$) au détriment de la phase non-polaire (t- et/ou o-$_{AFE}$), qui permet une transition directe à basse température. Cependant, les mesures FORC montrent que les deux contributions sont toujours bien présentes à basse température, bien que convoluées.
Ces deux populations finissent par fusionner avec le cyclage à 40 K comme à 300K, démontrant un changement de phase induit par le cyclage. Malgré ce changement de phase, l'augmentation de polarisation n'est observée que pour les plus hautes températures. Par conséquent, le wake-up est attribué à une redistribution des charges dans la couche de HZO, qui débloque certains domaines initialement bloqués et accroît ainsi le nombre de domaines capables de commuter. En

plus d'une diminution du wake-up mesurée à basse température, une réduction de la fatigue ainsi que de l'imprint a été observée. La méthode de Brennan indique que l'énergie d'activation correspondant au phénomène de fatigue est trop faible pour correspondre à la migration de lacunes d'oxygène dans le matériau. Cette faible énergie d'activation est plus probablement l'oeuvre d'un piegeage/dépiégeage de charges peu profondes aux interfaces entre les électrodes et la couche de HZO, bloquant la commutation de domaines. L'imprint, qui constitue un important problème de fiabilité et de rétention dans les FeRAM à base de HZO, est neutralisé à basse température où aucun décalage du cycle d'hystérésis n'a été mesuré à 40 K contrairement à 300 K. L'inhibition de ces deux phénomènes permet une fiabilité accrue des dispositifs FeRAM à basse température. Tous ces éléments, combinés à une très faible puissance dissipée, font des dispositifs FeRAM une technologie prometteuse pour les applications de l'électronique cryogénique dont le quantique et le calcul de haute performance.

Chapitre 4

Étude statistique réalisée sur matrices à température cryogénique

Introduction

L'un des objectifs de cette thèse était d'étudier le fonctionnement de mémoires de type OxRAM ou FeRAM dans des conditions aussi proches que possible d'un produit final, et ce à des températures cryogéniques. Dans cette optique, ce chapitre présente un test inédit d'une matrice 16 kbit de type OxRAM à basse température, une première à notre connaissance. La complexité du montage expérimental requis pour une telle étude a limité le nombre de tests réalisés. Malgré cela, les résultats obtenus confirment la pertinence de ce type de test, bien plus représentatif d'un produit final que les dispositifs unitaires étudiés dans les premiers chapitres. Ces éléments justifient pleinement l'inclusion de ce chapitre dans le manuscrit, tant pour la valeur scientifique des résultats que pour les enseignements méthodologiques qu'il apporte. Ce chapitre s'articule en plusieurs parties : il y a tout d'abord étude statistique menée à température ambiante sur des matrices 16 kbit OxRAM, visant à vérifier l'influence des paramètres de programmation précédemment observés sur des dispositifs unitaires. Ensuite, le développement du montage expérimental dédié aux mesures sur matrices à basse température sera décrit. L'instrumentation nécessaire à la réalisation de ces tests matriciels n'étant pas disponible dans notre laboratoire, nous avons collaboré avec l'Institut de Recherche Interdisciplinaire de Grenoble (Irig). Ce dernier dispose d'équipements cryogéniques de pointe et d'une expertise reconnue dans ce domaine, principalement développée pour les technologies quantiques. Cependant, ces installations ne sont pas spécifiquement adaptées à la caractérisation de dispositifs mémoire. Une partie des travaux a donc consisté à concevoir et mettre en place un montage expérimental permettant le test de matrices OxRAM de 16 kbit dans un environnement cryogénique, ouvrant la voie à de futures campagnes d'études. Finalement, l'analyse des performances de la matrice 16 kbit OxRAM à 4 K sera effectuée, et comparée à celle obtenue à température ambiante.

Contents

4.1 Fonctionnement du bloc mémoire 3×16 kbit OxRAM 143

4.2 Analyse statistique des paramètres de programmation influents à température ambiante . . . 144

4.3 Montage expérimental pour le test de matrices à température cryogénique 147

4.4 Préparation des échantillons 149

4.5 Fonctionnalité du montage expérimental 150

4.5.1 Vérification sur la carte fond de panier 150

4.5.2 Tests de vérification sur le dipstick 152

4.6 Endurance et stabilité de la matrice à température cryogénique 154

4.6.1 Évolutions d'endurance à basse température 154

4.6.2 Stabilité de l'état HRS à basse température 156

4.7 Conclusion 157

4.1 Fonctionnement du bloc mémoire 3×16 kbit OxRAM

Les matrices étudiées dans ce chapitre sont des blocs mémoire de 16 kbit, regroupés par trois au sein d'une barrette de test. Ce regroupement augmente le nombre de dispositifs testables sur une seule barrette, ce qui est nécessaire puisque l'environnement de test de l'Irig ne permet pas de tester un nombre important de barrettes comme sur les bancs de tests sous pointe. Chaque matrice intègre des structures 1T1R dont le fonctionnement est celui décrit en Section 1.3.2. L'implantation est réalisée de la manière suivante : les Word Lines (WL) sont reliées aux grilles des transistors des bitcells, les Bit Lines (BL) aux électrodes inférieures, et une Source Line (SL), parallèle à la BL, est connectée à la source du transistor de chaque cellule des matrices 16 kbit.

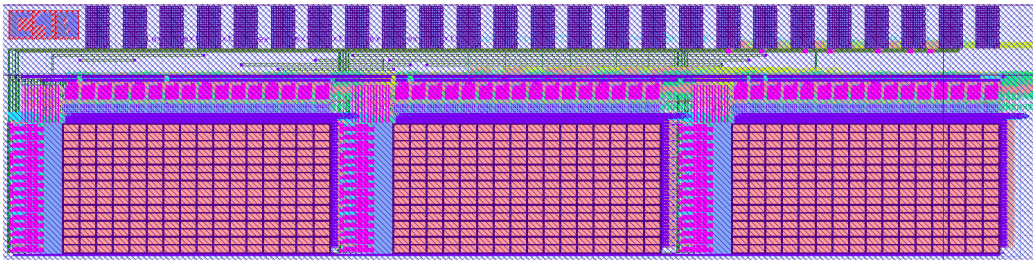

FIGURE 4.1 – Représentation schématique du layout de la barrette 3×16 kbit OxRAM.

La Figure 4.1 illustre le layout de la barrette 3×16 kbit. On y distingue les trois matrices situées sous la barrette comportant 25 pads. Un circuit associé permet de programmer individuellement chaque point mémoire. La répartition des pads est détaillée en Figure 4.2. Le premier pad est relié à la masse, tandis que les neuf suivants assurent les fonctions analogiques nécessaires à la programmation des trois différents blocs mémoires. Ils sont regroupés par trois afin d'appliquer les impulsions électriques respectivement sur l'électrode supérieure, l'électrode inférieure et la grille du transistor, ce qui permet de programmer chaque bitcell de chaque matrice. Les pads numérotés de 10 à 24 sont quant à eux dédiés à l'adressage des BL, SL et WL. Ces entrées sont organisées en deux ensembles de sept, directement connectées à un multiplexeur binaire permettant la sélection d'une adresse de WL ou de BL/SL comprise entre 0 à 127 sur 7 bits. Ce dernier permet à partir des sept entrées la sélection des cent vingt-huit adresses possibles de WL ou de BL, garantissant ainsi un adressage efficace et compact de l'ensemble de la barrette.

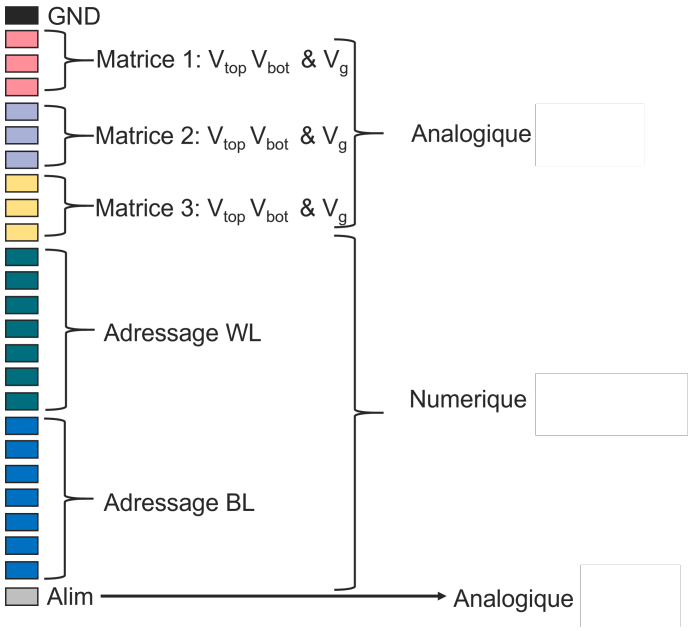

FIGURE 4.2 – Représentation schématique de la fonction des pads de la barrette des matrices 3x16 kbits.

En complément du circuit adapté, la programmation des matrices requiert des schémas de test spécifiques. Comme nous l'avons vu, la programmation d'un point mémoire particulier consiste à envoyer des impulsions électriques aux pads numériques afin de sélectionner l'adresse désirée via les multiplexeurs, puis à appliquer les impulsions de programmation correspondantes, similaires à celles utilisées pour les dispositifs unitaires. La multiplication des opérations au sein d'une matrice impose d'organiser les séries de tests de manière rigoureuse, afin d'optimiser à la fois la durée et l'efficacité des mesures. Pour cela, l'ensemble des points mémoire de la matrice peuvent être regroupés en différents sous-ensembles choisis aléatoirement, permettant soit de limiter les opérations à une partie de la matrice réduisant ainsi le temps de test ou bien d'appliquer des conditions d'opérations différentes au sein des différents sous-ensembles (tension et temps d'impulsion) afin d'évaluer l'influence des paramètres de programmation, tout en limitant la variabilité dispositif à dispositif.

4.2 Analyse statistique des paramètres de programmation influents à température ambiante

La forte densité des points mémoire intégrés au sein d'une architecture matricielle offre la possibilité de caractériser simultanément un grand nombre de dispositifs unitaires. Cette particularité constitue un atout majeur pour l'extraction de tendances globales et la mise en place d'une analyse statistique robuste, capable de refléter la variabilité inhérente aux dispositifs. Une telle approche permet d'obtenir une vision plus représentative du comportement moyen des points mémoire, tout en identifiant des éventuelles limites de fiabilité.

Dans la première partie de ce chapitre, nous mettrons donc en œuvre cette démarche afin de confirmer, à l'échelle de la matrice, les tendances observées dans le Chapitre 2 sur les dispositifs unitaires. L'objectif est d'identifier les paramètres de programmation les plus influents sur les performances électriques des dispositifs, et plus particulièrement sur la fenêtre mémoire et l'endurance des cellules OxRAM. Pour ce faire, des tests d'endurance seront réalisés sur différents ensembles de dispositifs en faisant varier systématiquement l'ensemble des paramètres de programmation. L'analyse des résultats permettra de déterminer quels paramètres ont un effet significatif sur les grandeurs étudiées.

Compte tenu du grand volume de données collectées par des tests sur matrice, l'interprétation de ces résultats nécessite d'appliquer une analyse statistique adaptée afin d'évaluer l'influence des différents paramètres des opérations de programmation dans la matrice. Nous utiliserons l'analyse de variance (ANOVA), une méthode permettant de déterminer si les variations mesurées entre plusieurs ensembles de données (ici répresenté par les différentes conditions de programmation) résultent de différences réelles entre les groupes ou simplement de la variabilité expérimentale. Lorsque l'ANOVA révèle l'existence d'une différence globale significative, il est ensuite nécessaire d'identifier précisément quels groupes diffèrent entre eux. Pour cette étape, nous appliquerons le test de Tukey (ou Tukey HSD, Honestly Significant Difference), un test post-hoc qui compare toutes les paires de moyennes tout en maîtrisant le risque d'erreur associé aux comparaisons multiples. Une telle analyse peut être effectuée sur un ensemble d'observations indépendantes, sur des variables quantitatives et continues.

L'association de l'ANOVA et du test de Tukey constitue ainsi une approche statistique, permettant d'identifier et de quantifier les tendances expérimentales pertinentes observées à l'échelle de la matrice. Cette méthodologie offre un cadre d'analyse robuste pour confirmer les observations préalablement effectuées sur les dispositifs unitaires et valider leur représentativité sur un ensemble plus large de points mémoire.

Plus précisément, le test de Tukey sera utilisé afin d'évaluer, pour deux valeurs distinctes d'un paramètre de programmation donné, si les différences observées sur la fenêtre mémoire moyenne entre les groupes correspondants sont statistiquement significatives. Ce test permet ainsi d'isoler l'effet propre de chaque paramètre, indépendamment des variations induites par les autres facteurs expérimentaux, et de déterminer de manière fiable l'influence réelle de chaque condition de programmation sur les performances globales des dispositifs.

Le test consiste à sélectionner deux valeurs pour chaque paramètre de programmation, de façon à couvrir une amplitude raisonnable des conditions d'utilisation du dispositif. Ces valeurs sont ensuite appliquées aux différents types de

transistors disponibles. Les matrices 16 kbit, tout comme les dispositifs unitaires, embarquent des transistors de même longueur (500 nm) mais de largeur différente (660, 3500 et 5900 nm, respectivement appelés W660, W3500 et W5900), ce qui affecte les propriétés de la structure.

Les valeurs utilisées sont les suivantes :

— Tension de set (3 V ou 2 V).
— Tension de reset (2,2 V ou 1,5 V).
— Temps de plateau de l'impulsion de set (1 μs ou 100 ns).
— Temps de plateau de l'impulsion de reset(1 μs ou 100 ns).
— Temps de montée de la rampe de set (1 μs ou 20 ns).
— Temps de montée de la rampe de reset (1 μs ou 20 ns).
— Courant de set (300 μA ou 100 μA)

Pour chaque transistor et nombre de cycle, ces sept paramètres ont chacun deux valeurs, ce qui fait en tout k = 128 conditions de cyclage différentes. Les matrices utilisées sont divisées en groupes contenant chacun n = 256 points mémoire via l'utilisation d'algorithmes d'adressage aléatoire comme décrits en Section 4.1. Pour chaque condition, nous allons calculer la fenêtre mémoire en fonction du nombre de cycle et du transistor. La fenêtre mémoire est calculée comme le logarithme décimal du rapport entre les états HRS et LRS.

L'ANOVA est la première étape de l'analyse, elle consiste à calculer les fenêtres mémoire moyennes $\bar{x_i}$ pour tous les groupes i, puis la moyenne globale $\bar{x}$. La somme des carrés intergroupes est ensuite calculée comme :

$$SS_{inter} = \sum n_i(\bar{x_i} - \bar{x})^2 \tag{4.1}$$

Ensuite, pour chaque groupe la somme des carrés intragroupe, écart entre les valeurs d'un groupe avec la moyenne de ce dernier, est calculée :

$$SS_{intra} = \sum_j \sum_i (x_{i,j} - \bar{x_i})^2 \tag{4.2}$$

Puis, la moyenne des carrés intergroupes est calculée comme SS_{inter} divisé par le degré de liberté intergroupe $k-1$:

$$MS_{inter} = \frac{SS_{inter}}{k-1} \tag{4.3}$$

De même pour la moyenne des carrés intragroupes calculée comme SS_{intra} divisé par le degré de liberté intragroupe $n-k$:

$$MS_{intra} = \frac{SS_{intra}}{n-k} \tag{4.4}$$

Finalement, la statistique F représente le rapport entre MS_{inter} et MS_{intra}.

$$F = \frac{MS_{inter}}{MS_{intra}} \tag{4.5}$$

Plus F est grand, plus la variabilité entre les groupes est importante par rapport à la variabilité au sein des groupes, ce qui signifie qu'il y a une réelle différence entre les groupes. Par conséquent, les variables définissant les groupes ont un impact.

Pour effectuer le test de Tukey, il est nécessaire de déterminer le quantile de la distribution de l'étendue normalisée de Student, noté $q_{\alpha,k,df}$. Ce quantile dépend du risque d'erreur choisi (α = 0,05), du nombre de groupes comparés (k) et du nombre de degrés de liberté associés à la variance résiduelle (df = 32640). La valeur de $q_{\alpha,k,df}$ se détermine à partir des tables de la distribution de Tukey (ou studentized range distribution), qui donnent les valeurs critiques correspondant à différents niveaux de confiance, nombres de groupes et degrés de liberté. Pour les paramètres de notre étude, la consultation des tables donne une valeur de $q_{\alpha,k,df}$ = 6,2347.

Cette valeur permet de calculer le seuil HSD :

$$HSD = q_{\alpha,k,df} \cdot \frac{MS_{intra}}{n} \tag{4.6}$$

Le HSD permet de construire l'intervalle de confiance autour des moyennes. Dans le graph de Tukey, les barres d'erreur représentent l'écart entre les moyennes de deux groupes multipliée par le HSD :

$$Difference = (\bar{x_i} - \bar{x_j}) \cdot HSD \tag{4.7}$$

Les différences entre les groupes composées des deux valeurs de chaque paramètre est présenté en Figure 4.3 pour différents nombres de cycles :

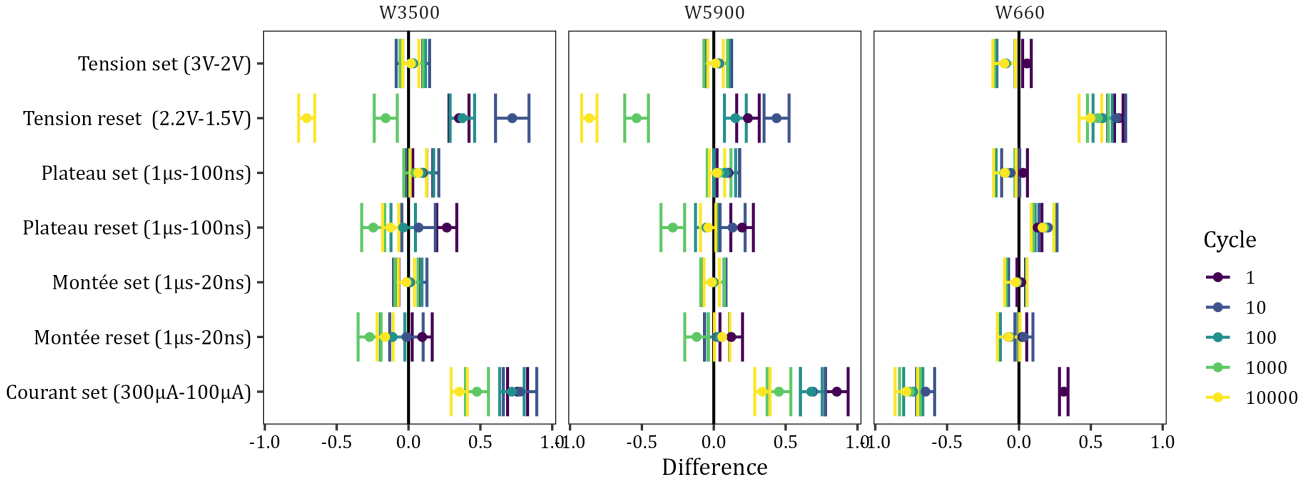

FIGURE 4.3 – Test de Tukey réalisé sur des matrices 16 kbit OxRAM cyclées en régime impulsionnel avec différents paramètres de programmation. Les barres d'erreur sont réalisées dans l'intervalle de confiance 95%. 256 dispositifs sont testés par condition.

Lorsque les barres d'erreur n'intersectent pas l'abscisse $x = 0$, cela signifie que les groupes ont une différence notable entre eux.

On observe sur la Figure 4.3 que les deux paramètres montrant la plus forte divergence sont la tension de reset et le courant de set. Ces observations sont en accord avec les conclusions du Chapitre 2, dans lequel nous avons vu que ces deux paramètres régissent la transition de reset et donc le HRS obtenu par l'intermédiaire du pont diviseur résultant de la répartition de tension entre le 1T (déterminé par son R_{on}) et le 1R en LRS (déterminé par son courant de set). Le déplacement de droite à gauche des barres d'erreurs de tension de reset avec le nombre de cycles pour les transistors W3500 et W5900 indique que la différence entre les fenêtres mémoires des deux groupes change de tendance. Le groupe avec la tension de reset plus élevée provoque une fenêtre mémoire plus élevée sur les premiers cycles, mais subit une dégradation plus rapide, inversant le signe de la différence, comme nous avons pu le voir sur la Figure 2.26. On constate aussi que les temps de montée et de plateau de reset ont un impact. Nous avons vu dans la Section 2.3 que l'augmentation de la durée de la rampe de tension permet de réduire la tension de reset (Figure 2.12), ce qui permet en pratique de faciliter la transition. Cette tendance est notable pour le transistor W660, pour lequel la valeur importante de R_{on} du transistor complique la transition de reset. L'augmentation du temps de reset facilite la transition, ce qui a pour conséquence d'élargir la fenêtre de mémoire. Inversement, les deux autres transistors montrent encore une inversion de tendance avec le nombre de cycles, montrant que la durée de reset plus élevée agrandit aussi la fenêtre mémoire dans les premiers cycles mais aboutit à une dégradation prématurée.

La tension et durée de rampe et de plateau des impulsions de set sont les paramètres avec le moints d'impact sur la fenêtre mémoire. En effet, nous avons du dans la Section 2.2 que la tension aux bornes de l'OxRAM est auto-régulée du-

rant l'impulsion de set lorsque le transistor entre en régime de saturation. De plus, l'influence de la durée de l'impulsion de set sur le LRS est du second ordre par rapport au courant de set.

Les tendances montrées par cette étude statistique réalisée sur des matrice à température ambiante sont en adéquation avec les observations du Chapitre 2. Cette étape constitue une validation préliminaire pour une étude des matrices à différentes températures.

4.3 Montage expérimental pour le test de matrices à température cryogénique

L'environnement de mesure développé à l'Irig et utilisé dans ces travaux est appelé "dipstick". Il consiste en une canne d'un certain volume capable d'embarquer le dispositif à tester, pouvant être plongée dans une bouteille d'hélium liquide pour atteindre des températures cryogénique. Tout comme pour la station cryogénique, l'air est pompé de la canne au préalable. En revanche, de l'hélium est rajouté comme gaz d'échange dans la canne, permettant de mieux refroidir le dispositif. Cet environnement permet de conserver des températures très proches de 4 K. La Figure 4.4 schématise le principe de refroidissement.

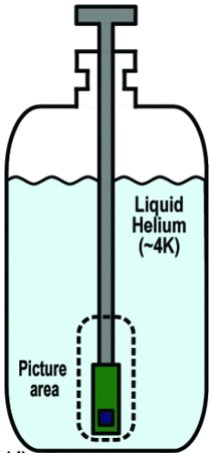

Figure 4.4 – Représentation schématique de la canne embarquant le dispositif testé dans la bouteille d'hélium [223].

Ce système embarque jusqu'à 50 câbles dans la canne, offrant ainsi le nombre important de connexions pour tester des dispositifs complexes tel que les matrices 16 kbit OxRAM. Le système dispose de câbles en cuivre à faible impédance (3 Ω) , ainsi que de câbles en constantan, dont la résistance plus élevée (150 Ω) reste stable en régime cryogénique.

Une photographie de l'environnement expérimental est présenté en Figure 4.5 avant la mise à froid. L'utilisateur pilote son équipement de mesure (1), qui sera relié aux différentes boites de sortie des câbles de la canne (2). Ces câbles, longs de 3 m (3), relient l'équipement de mesure avec un PCB sur lequel sera fixé le dispositif à tester (4). La canne sera ensuite insérée dans la bouteille d'hélium (5).

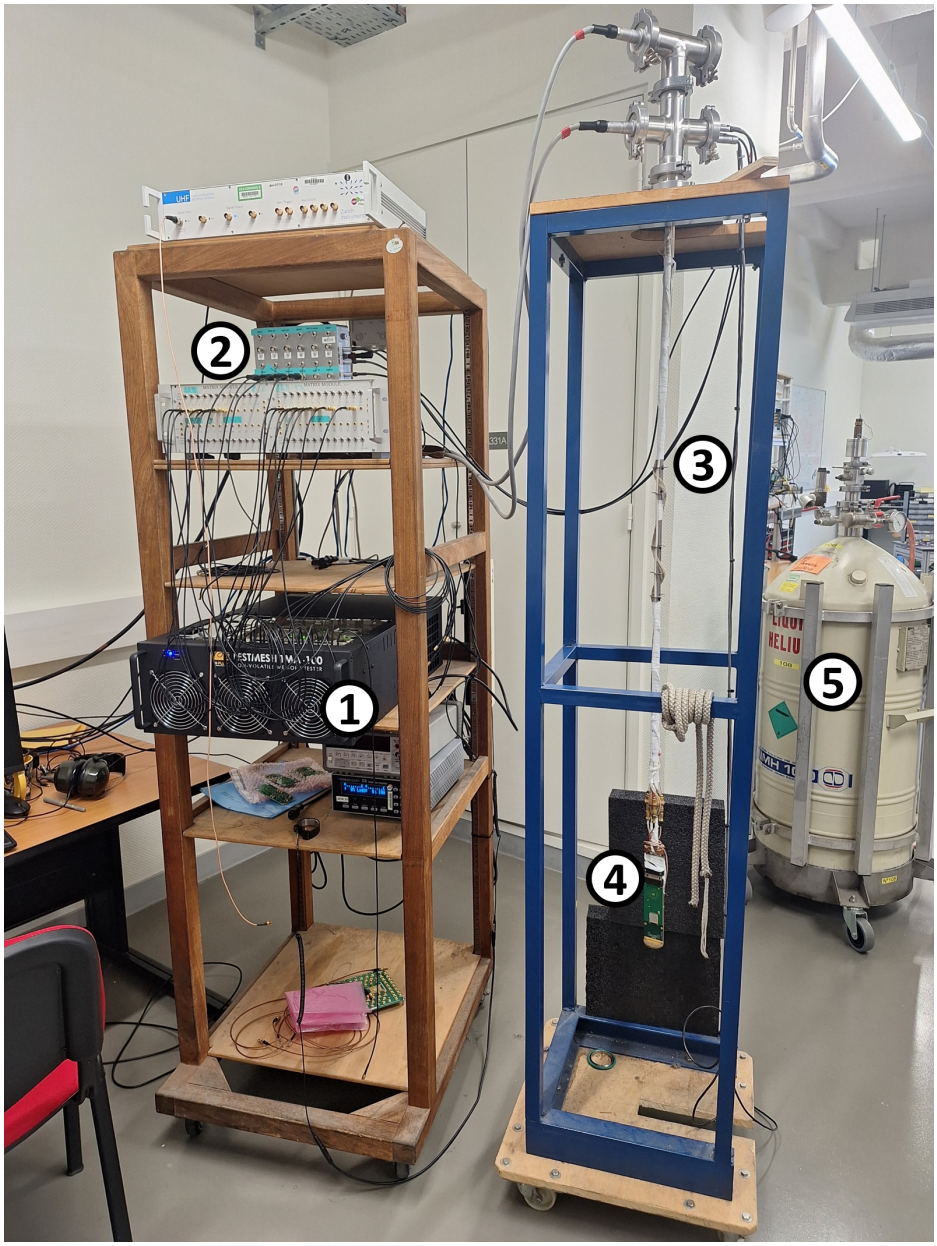

FIGURE 4.5 – Photographie du dipstick permettant d'effectuer des tests de matrices en cryogénie. L'instrument de mesure (1) est connecté vers les boites de sortie des câbles (2). Au bout de ces câbles (3) se trouve le PCB sur lequel sera fixé le dispositif (4). Le tout sera plongé dans la bouteille d'hélium (5).

Le PCB à l'extrémité de la canne joue le rôle de carte mère. Fixée de manière permanente au support, elle regroupe l'ensemble des connexions nécessaires au fonctionnement du dispositif. Pour chaque échantillon étudié, une carte fille est spécialement conçue afin d'assurer la liaison avec cette carte mère. La connexion entre les deux cartes est réalisée à l'aide d'un interposeur, qui établit la continuité électrique entre leurs pistes métalliques respectives. Ce système modulaire offre une grande souplesse d'utilisation : il permet de tester différents dispositifs électroniques dans des conditions de basse température, tout en intégrant, grâce à la carte fille, des éléments d'électronique de contrôle directement au sein de l'environnement cryogénique [223], [224], [225].

La conception de la carte fille est néanmoins soumise à plusieurs contraintes. Son dimensionnement doit respecter des limites précises dans les trois dimensions afin de pouvoir s'insérer correctement à l'intérieur de la canne. L'emplacement réservé à l'échantillon doit également être aligné face aux pads de la carte mère, de manière à faciliter le bonding entre les deux éléments. Par ailleurs, une attention particulière doit être portée à la mise à la masse : la masse de la carte fille doit être solidement reliée à celle de la carte mère, ainsi qu'à celle de l'échantillon. Cette précaution est essen-

tielle pour prévenir les décharges électrostatiques, qui représentent un risque important dès lors que l'échantillon reste connecté en permanence au système. Cette configuration diffère des tests réalisés sous pointes, où le contact électrique n'est établi que durant la mesure.

4.4 Préparation des échantillons

La carte fille présente une particularité essentielle : elle doit assurer le routage des entrées et sorties tout en respectant l'impédance des câbles déjà reliés à la carte mère. Ces câbles, en cuivre ou en constantan selon leur fonction, sont prévus pour la transmission de différents types de signaux. Le design de la carte fille a donc été conçu de manière à tirer parti de cette configuration existante et à en optimiser l'utilisation.

Les sorties analogiques (Figure 4.2) sont connectées aux câbles en cuivre, dont la faible résistance permet de préserver l'intégrité du signal transmis. À l'inverse, les sorties correspondant aux pads 10 à 24 sont reliées aux lignes en constantan. Leur fonctionnement étant purement numérique, la résistance plus élevée du constantan n'affecte pas les performances du système, les entrées concernées présentant une impédance élevée.

Les échantillons sont collés avec de la laque d'argent, comme pour la station cryogénique, dont la nature métallique permet de connecter la face arrière avec la masse du PCB. Une photographie du PCB avec la puce, reliée par le bonding et prête à être testée, est proposée en Figure 4.6

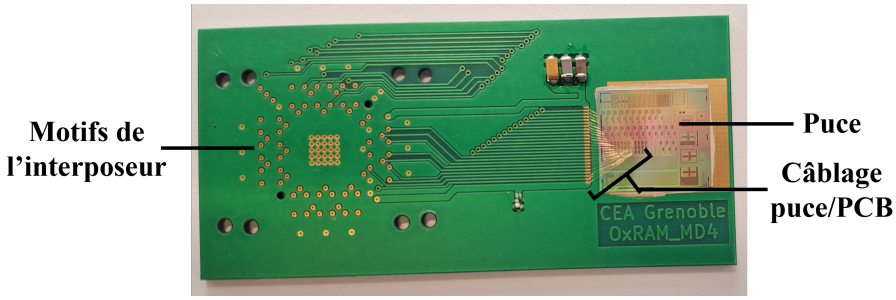

Figure 4.6 – Photographie du PCB OxRAM avec la puce reliés par le bonding.

Pour se rendre compte de l'ensemble, une photographie du PCB fille reliée à la puce, à côté de la carte mère, est montrée en Figure 4.7. Il faut noter que le bonding sur l'échantillon est définitif et limite les tests à un seul bloc mémoire par puce et PCB. Ainsi, seules des matrices 16 kbit embarquant le transistor W3500 seront testées par la suite.

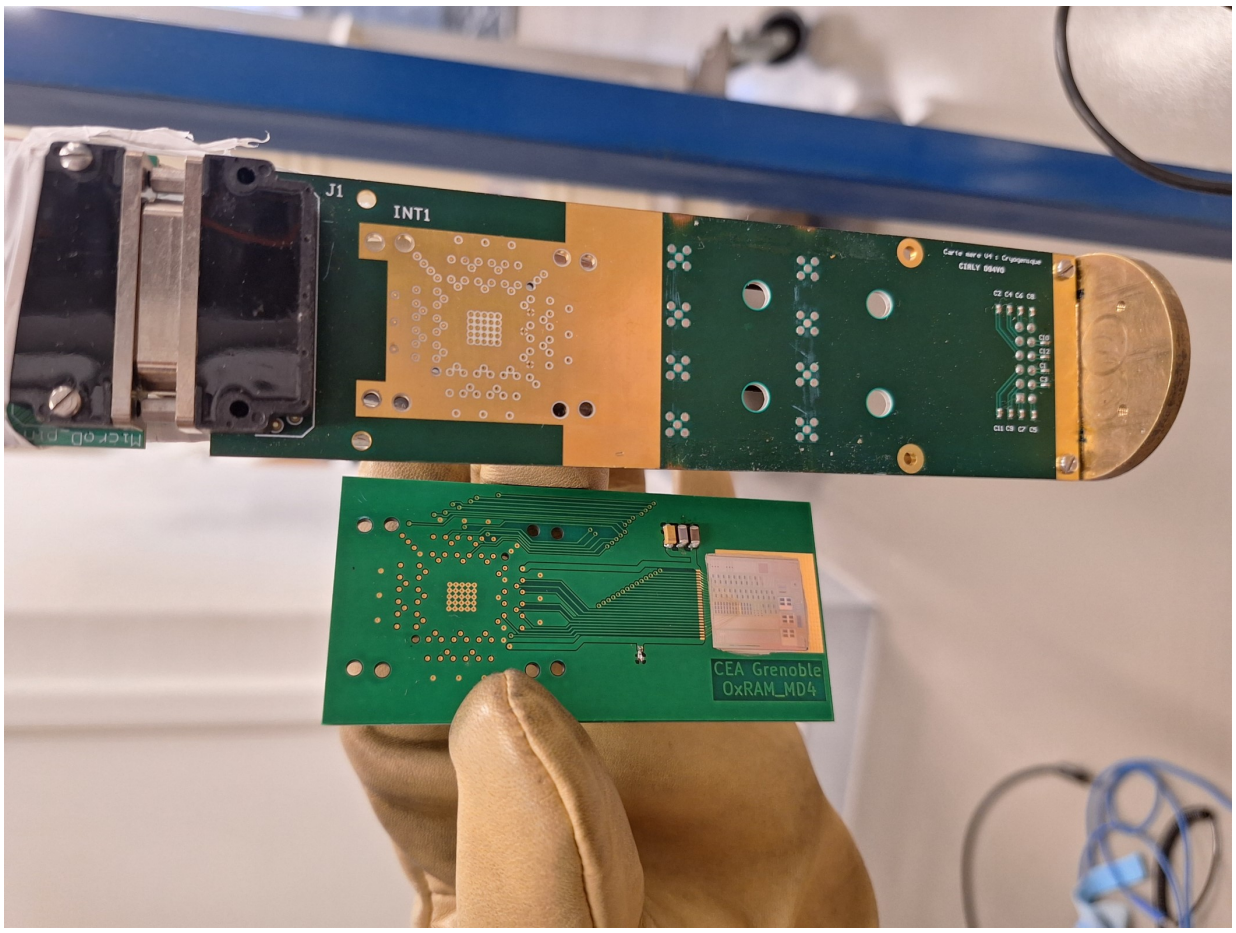

Figure 4.7 – Photographie de la carte mère avec la carte fille. Les motifs identiques sur les deux cartes sont les motifs de l'interposeur qui fera le lien entre le routage des deux cartes. Ce système permet un fonctionnement flexible de l'installation par l'intermédiaire de cartes filles adaptées aux différents échantillons.

Ensuite, l'interposeur puis le PCB peuvent être installés avec une extrême précaution, car toute manipulation brusque risque d'endommager la carte ou le bonding. Ces dégradations sont difficiles à détecter une fois l'expérimentation mise en place. La mise en œuvre de cette partie du travail a constitué une étape particulièrement exigeante sur le plan technique. Elle s'inscrit au-delà du champ de compétences habituel du laboratoire d'affiliation de cette thèse et a nécessité de développer de nouvelles collaborations et savoir-faire. Une part importante du travail a ainsi été consacrée à l'établissement d'un lien étroit avec l'Irig et avec le laboratoire spécialisé dans la conception de circuits, permettant de mener à bien les différentes phases de conception et de fabrication en autonomie.

L'une des étapes les plus délicates a concerné la réalisation du bonding entre l'échantillon et la carte fille, une opération nécessitant un équipement et une expertise spécifiques. Cette étape a finalement pu être accomplie au CEA Gardanne, grâce à une collaboration rendue possible par un contact fortuit.

Cette phase du projet s'est révélée particulièrement chronophage et déterminante pour la réussite expérimentale de l'ensemble du dispositif.

4.5 Fonctionnalité du montage expérimental

4.5.1 Vérification sur la carte fond de panier

Une fois que le montage de la puce sur la carte fille est terminé, l'étape suivante consiste à vérifier le fonctionnement de l'ensemble à l'aide de la "carte fond de panier" (Figure 4.8). Cette carte, qui reproduit fidèlement la carte mère, peut

être directement connectée aux équipements de mesure. Elle permet ainsi de qualifier la matrice à température ambiante et de contrôler à la fois le bonding et la fonctionnalité de la carte fille, tout en éliminant les sources d'erreur potentielles liées au dipstick.

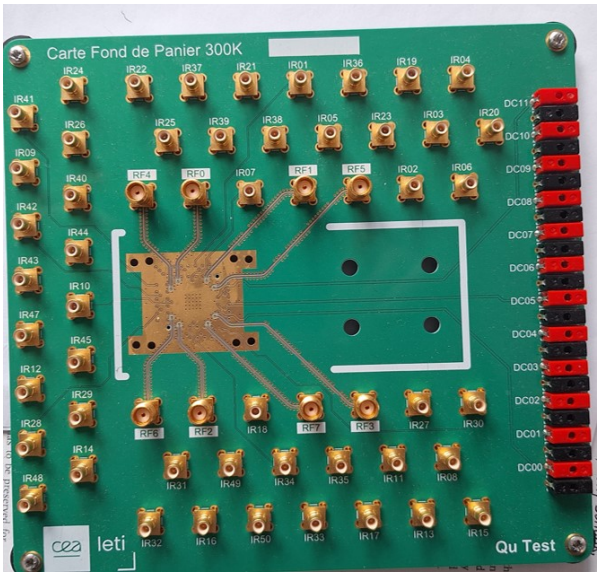

FIGURE 4.8 – Photographie de la carte fond de panier (CFP). La carte reproduit les motifs de la carte mère directement reliés à des sorties. Cette carte permet de vérifier la fonctionnalité d'une carte fille.

L'opération de forming est réalisée sur une matrice bondée sur la carte fille et connectée à la carte fond de panier. Les impulsions de programmation de forming pour le test des matrices 16 kbit OxRAM sont identiques à celles utilisées sur les dispositifs unitaires dans la Section 2.1. La distribution de forming est montrée en Figure 4.9.

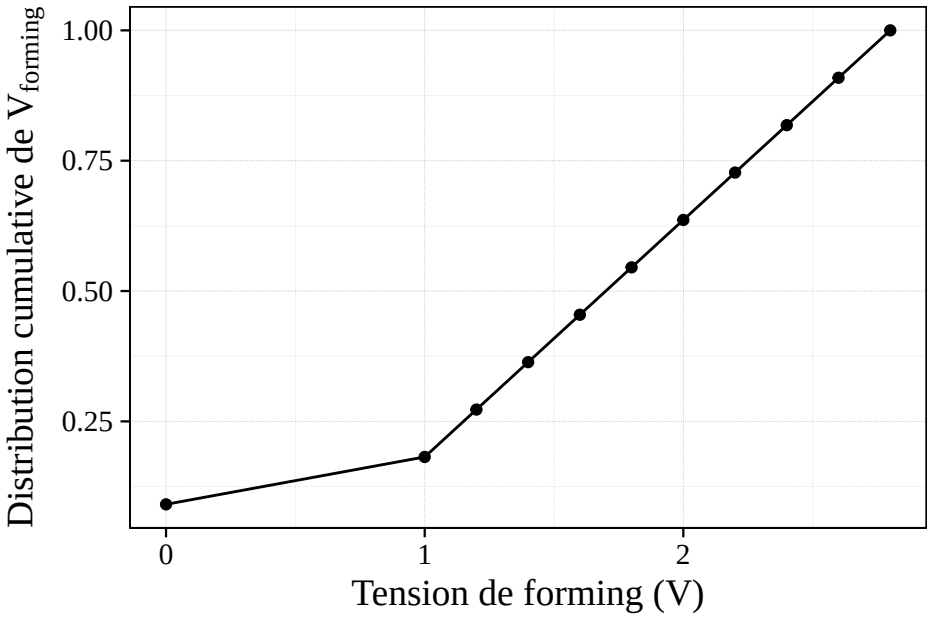

FIGURE 4.9 – Distribution cumulative des tensions de forming sur une matrice 16kbit OxRAM testée sur la carte fond de panier.

Afin vérifier que le forming a bien fonctionné sur l'ensemble de la matrice de 16 kbit, les résistance avant et après forming de la matrice sont affichées sous forme de carte thermique sur le plan composé par les adresses des BL et des WL en Figure 4.10.

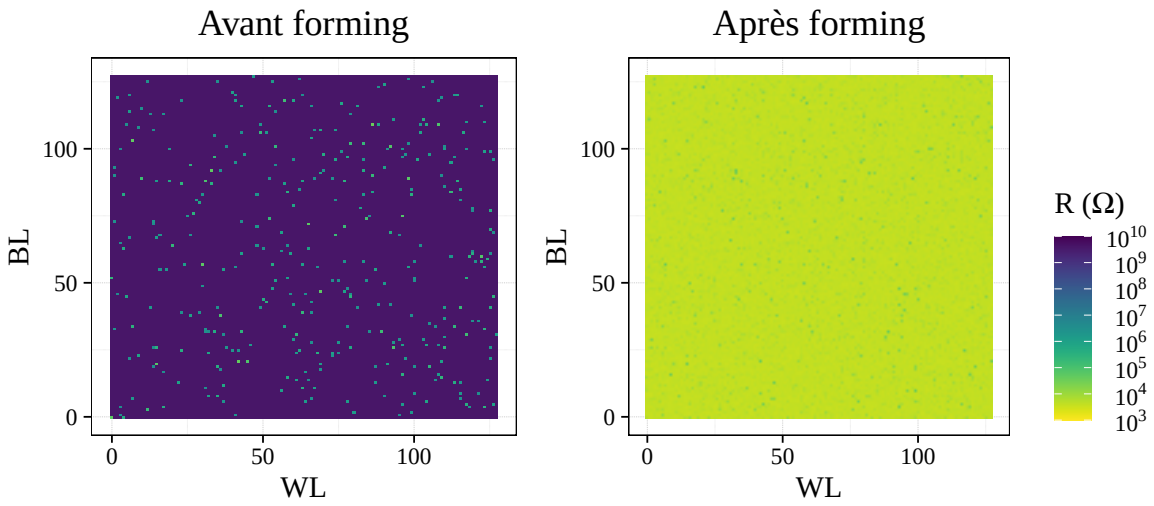

FIGURE 4.10 – Résistances des points mémoire de la matrice formée sur la carte fond de panier. Les niveaux de résistance montrent que le forming a fonctionné sur l'ensemble de la matrice.

On observe que la programmation des points mémoire sur la matrice est complète et uniforme dans toute la matrice. Les premiers tests réalisés à l'aide de la carte fond de panier permettent donc de valider le bon fonctionnement de l'échantillon et de son bonding sur le PCB fille dans des conditions contrôlées à température ambiante. Une fois ces vérifications effectuées, la carte fille peut être installée sur le dipstick, qui permettra d'effectuer des tests à basse température.

4.5.2 Tests de vérification sur le dipstick

Afin de confirmer la bonne fonctionnalité de la carte fille sur le dipstick, une matrice a été préalablement programmée entièrement en LRS à l'aide de la carte fond de panier. Puis, des adresses spécifiques ont étés programmées en HRS à l'aide d'un algorithme d'adressage dont le but est de représenter un un motif spécifique lorsque les résistances sont affichées sous forme de carte thermique sur le plan composé par les adresses des BL et des WL. Ensuite, le PCB est installé sur le dipstick et l'opération de lecture est répétée à température ambiante afin de contrôler que le dipstick est parfaitement fonctionnel, en retrouvant le même motif.

La principale difficulté de cette étape réside dans l'identification des éventuelles erreurs : elles peuvent provenir aussi bien d'un câblage incorrect de l'appareil de mesure que d'une inversion de connexions, d'une défaillance de l'interposeur ou encore d'un défaut de bonding. Enfin, l'échantillon lui-même peut être endommagé. Cette multiplicité de causes potentielles rend le diagnostic complexe et souligne l'importance d'une méthodologie de vérification rigoureuse à chaque étape de mesure. La Figure 4.11 illustre la bonne réussite de ce test de contrôle, avec une correspondance fidèle des motifs enregistrés programmés et lus sur le CFP et relus sur le dipstick.

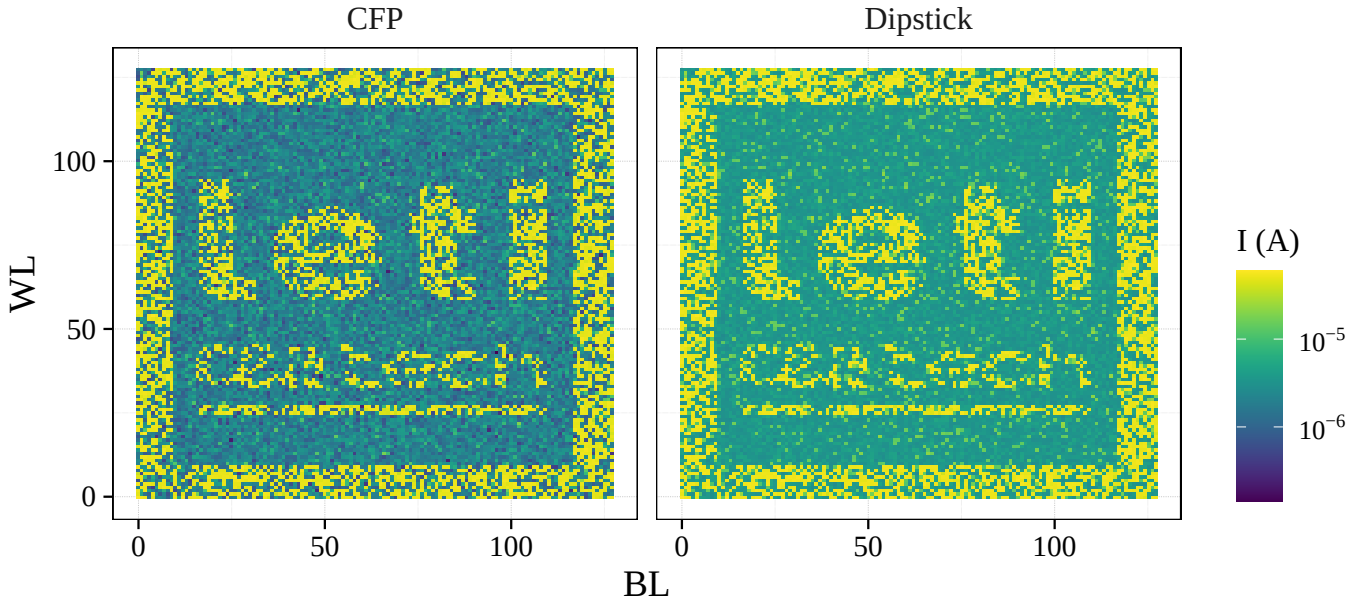

FIGURE 4.11 – Courant de read pour une tension V_{TE} de 0,2 V sur une matrice mémoire OxRAM testée sur la carte fond de panier, puis sur le dipstick. Une fuite de l'ordre du μA est mesurable sur le dipstick.

On observe que le motif est bien reproduit sur les deux configurations. En revanche, une différence apparaît dans le niveau de courant mesuré dans le motif programmé en HRS. Cela indique un décalage du niveau de courant minimal entre les deux mesures. Le niveau minimum de courant est de l'ordre de 100 nA pour la mesure sur carte fond de panier, ce qui correspond à la limite de mesure de l'équipement utilisé alors que le niveau de courant est de l'ordre de 1 μA sur le dipstick, révélant un courant parasite sur l'environnement de mesure sûrement dû aux fuites présentes dans les câbles du montage expérimental.

Une fois la fonctionnalité du montage expérimental est validé à température ambiante, l'étape suivante consiste à refroidir le système. La canne est insérée dans la bouteille d'hélium, afin de refroidir l'échantillon à 4 K. Une lecture comparative à 300 K et à 4 K a été réalisée sur un ensemble de 1000 dispositifs programmés dans l'état LRS au sein de la matrice 16 kbit, afin d'évaluer la variation de résistance induite par le système de mesure. Cette approche est justifiée par le fait que l'état LRS ne dépend pas de la température, comme expliqué au Chapitre 2. Les résultats sont présentés en Figure 4.12 sous la forme de la variation de résistance $\Delta R = R_{4K} - R_{300K}$. On observe un gain médian d'environs 400 Ω en refroidissant la matrice à 4 K. Au premier ordre, les principaux éléments susceptibles d'expliquer les écarts observés sont les transistors d'accès et de sélection, ainsi que les interconnexions de la matrice. En revanche, la variation de résistance des câbles en cuivre reliant les entrées analogiques peuvent être exclus de cette variation de résistance, car celle-ci est déjà très faible (3 Ω) à température ambiante.

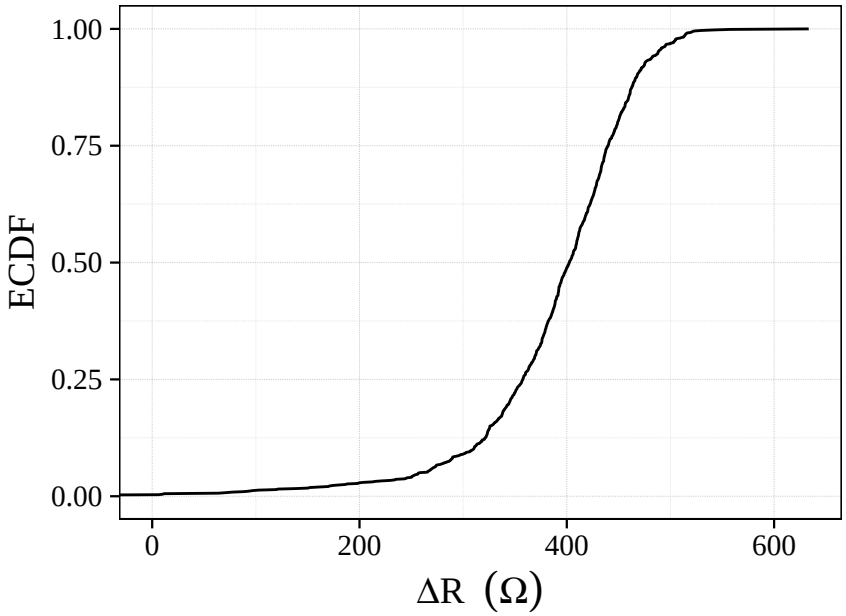

FIGURE 4.12 – Distributions cumulative des écarts de résistance (ΔR) sur 1000 dispositifs en LRS lus à 300 K et à 4 K

Le ΔR médian de 400 Ω, est le double de l'écart observé sur les dispositifs unitaires (Figure 2.18). Cette réduction de résistance série avec l'OxRAM au sein de la matrice représente le potentiel d'amélioration des conditions de programmation comme nous l'avons vu dans la Section 2.3.2.

4.6 Endurance et stabilité de la matrice à température cryogénique

4.6.1 Évolutions d'endurance à basse température

Dans cette section, nous présentons les premières mesures significatives obtenues sur la matrice 16 kbit OxRAM à basse température. Le développement du montage expérimental, bien qu'exigeant, a permis d'atteindre des résultats préliminaires mais prometteurs qui ouvrent la voie à des investigations plus approfondies. Ces avancées constituent une étape essentielle, offrant une base solide pour l'exploration future des performances matricielles à basse température.

La Figure 4.13 illustre les distributions cumulatives des états LRS et HRS obtenus après plusieurs nombres de cycles appliqués pour trois configurations différentes : le dipstick à 300 K, le dipstick à 4 K, ainsi qu'un test de référence effectué sur un banc de mesure sous pointes. Les paramètres de programmation et de lecture choisis reproduisent les conditions des endurances réalisées sur les dispositifs unitaires en Figure 2.28, c'est-à-dire en adaptant le V_g des transistors pour délivrer un niveau de courant de 200 µA pour toutes les températures, et en comparant deux valeurs de tension de reset (1,25 V et 1,5 V) pour chaque configuration.

Les mesures sur dipstick à 300 K et à 4 K ont été réalisées sur la même matrice que celle utilisée en Section 4.5.2. Afin de garantir la représentativité des résultats, la matrice a été partitionnée en 16 sous-ensembles de 1024 points mémoire chacun, définis par des algorithmes d'adressage aléatoire. Une partie de ces sous-ensembles ayant déjà été mobilisée pour les tests préliminaires, les quatre conditions de mesure sur dipstick ont été appliquées sur les ensembles distincts restants de 1024 points mémoire.

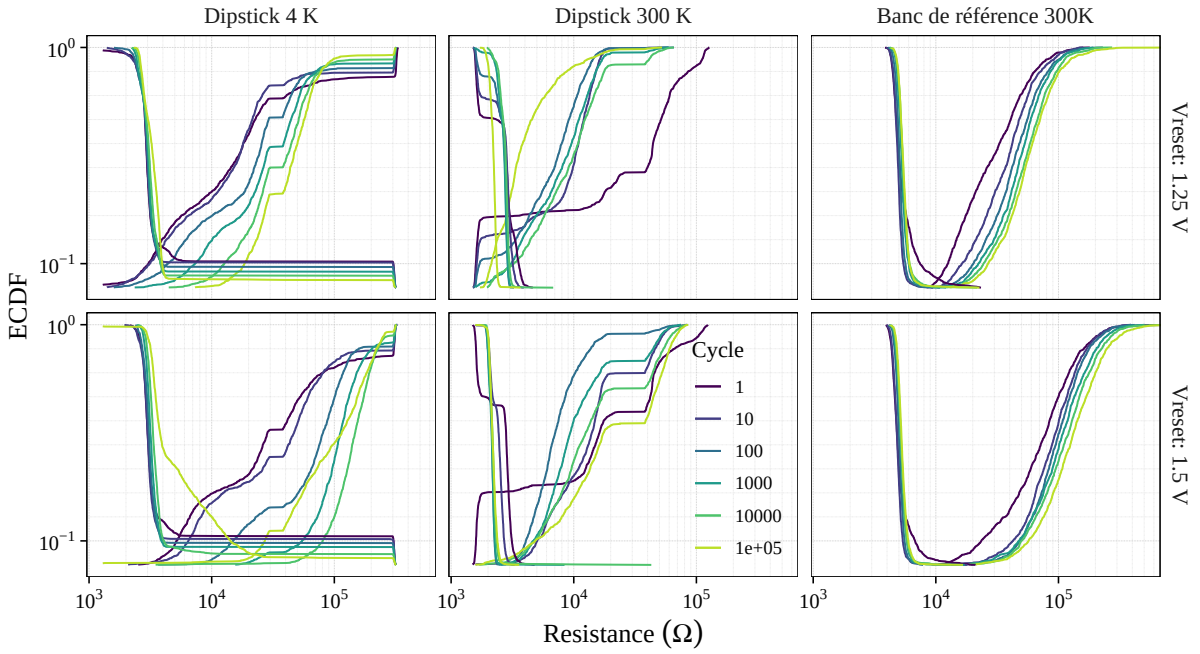

FIGURE 4.13 – Distribution cumulatives des résistances de set et reset des ensembles de 1024 dispositifs d'une matrice par condition, cyclées sur le dipstick à 300 K et à 4 K, puis sur un banc de test sous pointe. Les conditions de test sont similaires à celles utilisées pour les endurances de dispositifs unitaires en Figure 2.28.

Certaines distributions présentent, dès le premier cycle, des anomalies dans les tests réalisés avec le dipstick. Celles-ci sont probablement dues à des points mémoire endommagés par des décharges électrostatiques, indiquant que la procédure expérimentale nécessite encore des ajustements. Une analyse statistique détaillée de ces données est impossible sur ce jeu de données car pourrait induire des erreurs d'interprétation. Néanmoins, il est possible d'identifier les tendances générales en suivant l'évolution des médianes par cycle et par condition d'opération, comme illustré en Figure 4.14.

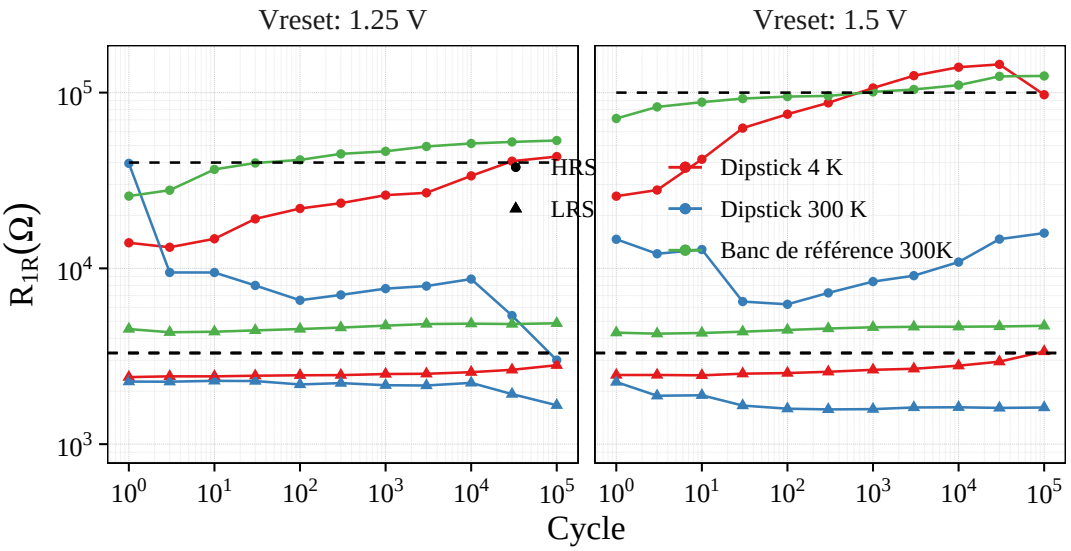

FIGURE 4.14 – Résistances médianes de HRS et LRS pour les tests d'endurance des sous-ensembles de 1024 dispositifs par condition d'opération. Les lignes pointillées représentent les niveaux de résistance atteints sur les dispositifs unitaires en Figure 2.28.

Les lignes pointillées horizontales sur la Figure 4.14 représentent les niveaux de résistance obtenus avec les mêmes

conditions de test sur les dispositifs unitaires (Figure 2.28). Une cohérence globale est observée entre l'ensemble des mesures, à l'exception du dispositif dipstick 300 K, qui a été écarté des analyses ultérieures. On constate que les LRS du banc de référence à 300 K sont supérieurs aux pointillés représentant les dispositifs unitaires. Les résistances séries propres à la matrice augmentent les résistances d'accès, réduisant les tensions effectives appliquées sur les structures 1T1R, notamment les grilles des transistors. Cela a pour conséquence une réduction des courants de set, expliquant les LRS plus résistifs sur le dipstick à 300 K. Le niveau de LRS du dipstick 4 K est inférieur à celui du banc de référence 300 K, probablement en raison de la diminution de résistance d'accès dans la matrice à l'image de la Figure 4.12, qui entraîne une augmentation du courant de set pour la même tension appliquée. Cela conduit à la formation de filaments conducteurs plus larges et donc plus conducteurs, compliquant également la programmation du reset.

Cependant, malgré un LRS plus faible, le niveau de HRS augmente progressivement, atteignant et dépassant la valeur mesurée sur le banc de référence au cours du cyclage à V_{reset} = 1.5 V, malgré un LRS moins résistif. Ces observations confirment une ouverture de la fenêtre de programmation à basse température, en accord avec nos résultats expérimentaux obtenus sur dispositifs unitaires (Chapitre 2).

4.6.2 Stabilité de l'état HRS à basse température

De la même manière que pour les dispositifs unitaires (Chapitre 2), nous avons suivi les fluctuations de l'état HRS de l'OxRAM. Après les cyclages, des impulsions de lecture longues (1 ms, avec V_g à 4,8 V et V_{TE} = 0,2 V), espacées tous les 10 μs, ont été appliquées.

Ces impulsions prolongées ont pour objectif de mettre en évidence d'éventuelles instabilités dans le niveau de courant. Un exemple typique est présenté en Figure 4.15. Comme illustré, ces instabilités se manifestent par des variations aléatoires du niveau de courant lors de la lecture qui peuvent s'apparenter à du RTN ou du Random Walk (RW) [226], [227].

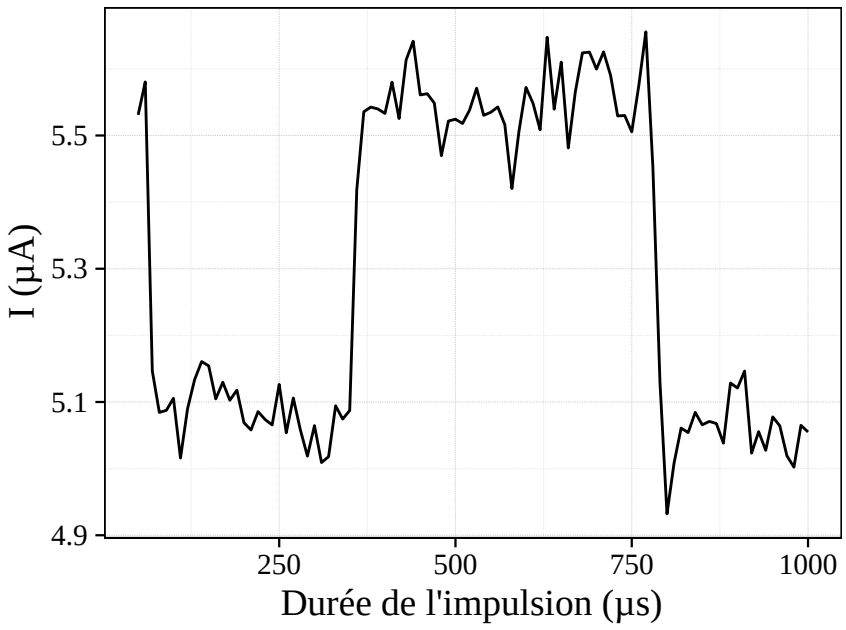

Figure 4.15 – Exemple d'une mesure de RTN dans laquelle plusieurs niveaux de courant peuvent coexister.

Pour obtenir une vision statistique de ces variations en fonction de la température, l'amplitude maximale des sauts de courant mesurée en HRS est représentée en Figure 4.16 sous forme de diagramme en boîte. On observe que la valeur moyenne ainsi que la dispersion diminuent également à basse température.

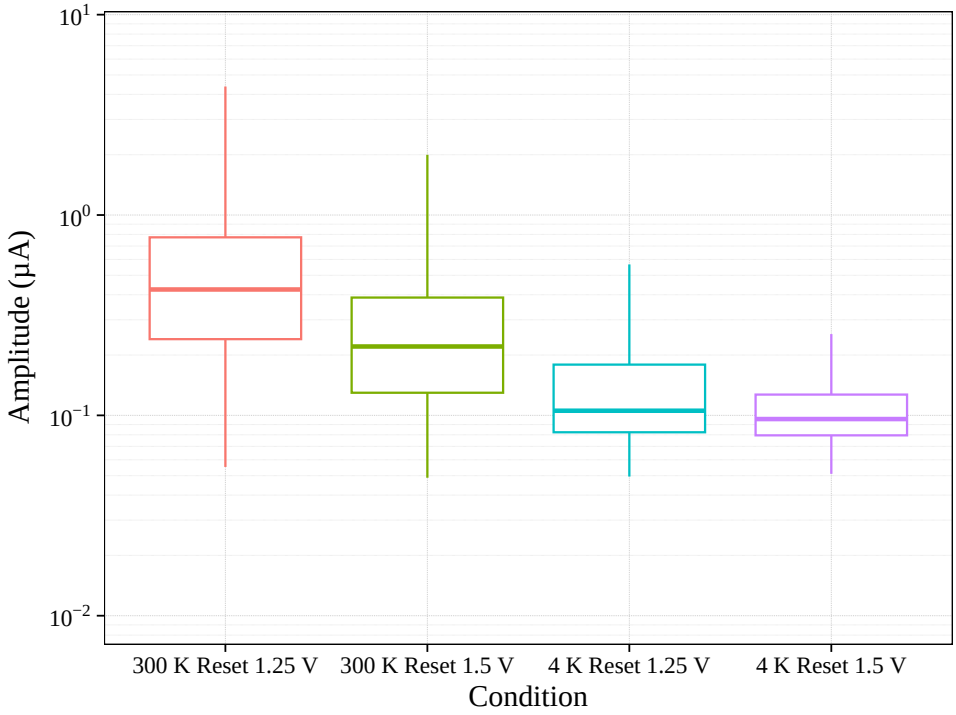

FIGURE 4.16 – Diagramme en boite de l'amplitude maximale de courant pour les différentes conditions de test et de température.

Cette tendance confirme les observations présentées à la fin du Chapitre 2 et répresente un gain de performances et de stabilité dans les OxRAM à basse température. Ainsi les applications nécessitant une programmation multi-niveaux pourraient bénéficier de cette stabilité accrue de l'état HRS à température cryogénique.

4.7 Conclusion

L'objectif de ce chapitre était de décrire les différentes étapes ayant permis la mise en place d'un montage expérimental dédié aux tests de matrices de mémoires à basse température. Chaque étape de la démarche a été détaillée afin de fournir une base solide et réutilisable pour de futures études. Plusieurs défis techniques ont été relevés lors de la conception de ce montage, notamment le design de la carte fille, ainsi que le bonding, qui s'est avéré impossible sur les matrices FeRAM en raison de l'incompatibilité du métal des pads avec cette technique. Une fois ces obstacles surmontés, nous avons calibré le montage expérimental et réalisé avec succès le premier test cryogénique fonctionnel sur une matrice OxRAM, ouvrant ainsi la voie à l'utilisation de mémoires à basse température. Bien que préliminaires, les résultats obtenus confirment les tendances observées sur les dispositifs unitaires et démontrent la faisabilité de telles mesures à basse température. Ces travaux posent les bases d'études plus approfondies et soulignent l'intérêt de poursuivre ces recherches.

Conclusion et perspectives

A ce jour, l'électronique cryogénique connaît un essor rapide, porté par l'intérêt croissant de plusieurs domaines d'application. Les architectures d'ordinateurs quantiques atteignent désormais un niveau de maturité significatif, avec des ensembles de circuits déjà opérationnels. Pour assurer le fonctionnement complet de ces systèmes, l'intégration d'une mémoire centrale dotée d'une compatibilité avec les températures cryogéniques devient indispensable.

De plus, la croissance continue du nombre de centres de données soulève des enjeux majeurs en matière de consommation énergétique et de dissipation thermique. L'exploitation de ces infrastructures à basse température apparaît comme une voie prometteuse, mais requiert des dispositifs mémoire performants à ces températures. De plus, le développement du secteur spatial, rythmé par l'envoi croissant d'engins dans l'espace, impose l'utilisation de composants électroniques pouvant résister à de fortes variations de température, incluants des régimes cryogéniques.

Les mémoires émergentes, telles que les OxRAM et FeRAM à base de HZO, apparaissent comme des candidats prometteurs. En effet, ces technologies combinent les avantages des mémoires Flash et DRAM : elles sont non volatiles, rapides, présentent une endurance élevée et consomment peu d'énergie. Les caractéristiques remarquables de ces mémoires émergentes à température ambiante ont besoin d'être confirmées à basse température, c'est pourquoi leurs comportements aux températures cryogéniques sont de plus en plus étudiés. Toutefois, l'état de l'art sur ces technologies utilisées à basse température révèle plusieurs lacunes qui ont orienté les objectifs de cette thèse.

Concernant les dispositifs OxRAM, les études existantes à basse température se sont principalement limitées à des mesures I–V quasi-statiques sur des dispositifs 1R, mettant en évidence une augmentation des tensions de commutation. Les rares travaux sur des structures 1T1R n'ont pas pris en compte l'influence du transistor sur les opérations de programmation (set et reset), alors que celui-ci subit également des modifications de ses caractéristiques en régime cryogénique. De plus, l'effet du cyclage à basse température, en lien avec les paramètres de programmation, n'a pas été exploré. Ainsi, une étude approfondie a été menée sur des dispositifs 1T1R en régime impulsionnel à différentes températures. Des méthodologies spécifiques ont été développées pour dissocier les effets du transistor et de point mémoire résistif, permettant ainsi d'identifier les conditions de programmation optimales et de mieux comprendre l'évolution des performances de la structure en environnement cryogénique.

Concernant les FeRAM à base de HZO, les travaux publiés à basse température rapportent généralement un dépincement du cycle d'hystérésis, ainsi qu'une disparition des phénomènes de wake-up et de fatigue. Ces observations, prometteuses pour un fonctionnement en régime cryogénique, relancent toutefois le débat sur l'origine de ces mécanismes, sans qu'un consensus n'ait encore été établi. Cette absence de compréhension claire souligne la nécessité d'une étude globale des comportements ferroélectriques du HZO en fonction de la température. Ainsi, l'étude menée dans cette thèse s'est concentrée sur les FeCap, dispositif élémentaires de la FeRAM, afin de mieux cerner l'évolution de leurs propriétés ferroélectriques sur une large plage de températures. L'étude s'est appuyée sur un ensemble de techniques de caractérisation électrique, dont la complémentarité a permis d'apporter une compréhension approfondie des mécanismes à l'origine du dépincement du cycle d'hystérésis à basse température. Enfin, les effets du cyclage ont été étudiés à différentes températures, dans l'objectif d'évaluer la compatibilité de cette technologie avec des applications cryogéniques.

Enfin, au-delà des études sur dispositifs unitaires, un montage expérimental dédié à l'analyse de matrices mémoire en environnement cryogénique a été réalisé. Ce banc de test a permis d'effectuer les premières études statistiques des

performances des matrices OxRAM dans un environnement extrême, ouvrant ainsi la voie à une évaluation des performances des mémoires émergentes pour les applications cryogéniques.

De façon générale, cette thèse visait à approfondir la compréhension physique des mécanismes de fonctionnement des mémoires OxRAM et FeRAM, et à évaluer leur comportement ainsi que leur compatibilité avec les conditions cryogéniques.

Le Chapitre 2, focalisé sur les OxRAM, propose une étude approfondie du comportement électrique des structures 1T1R, en isolant les contributions des deux éléments de la structure (1T et 1R) pour comprendre l'influence de chacun sur les propriétés électriques de la structure aux températures cryogéniques. L'analyse de l'opération de set a montré que le niveau de courant constituait un paramètre fondamental pour la maîtrise du LRS. En effet, une fois le CF reformé, la croissance de ce dernier est directement reliée à la tension appliquée aux bornes de l'OxRAM (1R). Le transistor, fonctionnant en régime de saturation, régule la répartition de tension entre les deux éléments. En conséquence, le courant de set permet de contrôler le LRS. Les LRS programmés à basse température montrent une augmentation de résistance de 20%. Cette évolution est due au CF reformé plus étroit, alors que la conduction du CF est indépendante de la température. Contrairement au LRS, le HRS ne peut pas être contrôlé par un paramètre de programmation précis et a nécessité une étude du courant transitoire afin de comprendre les paramètres influençant la transition vers l'état HRS.

Afin de mesurer le courant transitoire, la méthode du RVS a été utilisée, consistant en des rampes de tension contrôlées avec mesure du courant à intervalle régulier. L'étude de l'opération de reset à température ambiante montre des tensions et courants de transition variables en fonction du transistor utilisé et du LRS programmé. Ces variations proviennent de la répartition de tension entre les deux éléments de la mémoire. A l'échelle de l'OxRAM seule, la commutation est régie par la tension seulement pour une rampe de tension donnée, indépendamment de la géométrie du sélecteur ou de la taille du filament. Dans la structure 1T1R, le R_{on} du sélecteur et le LRS impactent significativement le pont diviseur de tension intrinsèque à la structure entre les deux éléments résistifs que sont le transistor et l'OxRAM, modulant ainsi les conditions nécessaires au reset. Ces conclusions mettent en évidence l'importance des propriétés du transistors dans le fonctionnement de l'OxRAM. L'extension de cette analyse aux basses températures apporte des éléments complémentaires. Les mesures montrent une augmentation d'environ 0,15 V des tensions de reset entre 300 K et 40 K. Par ailleurs, une modélisation de l'évolution thermique au sein du filament conducteur (CF) indique que, pour une rampe de tension donnée, la température de commutation demeure constante quelle que soit la température de mesure. A l'échelle de la structure 1T1R, l'augmentation des tensions de reset de l'OxRAM est compensée par la réduction du R_{on} du transistor à basse températre. Ces résultats ouvrent la voie à l'utilisation des OxRAM dans des nœuds technologiques avancés en régimes cryogéniques.

Enfin, les tests d'endurance ont montré que la réduction de R_{on} facilite les conditions de programmation à basse température, tout en ouvrant une fenêtre mémoire plus large, ce qui améliore l'endurance des dispositifs. Par ailleurs, les tests de stabilité des états révèlent qu'une baisse de température diminue la probabilité de fluctuations de résistance dans l'état HRS au cours du temps.

Globalement, un bon contrôle des paramètres régissant les opérations (I_{set} et V_{reset}) permet de conserver des propriétés de cyclage sur toute la plage de température de 300 K à 40 K. Ces résultats sont très prometteurs pour des applications qui sont exposées à des variations de températures extrêmes, comme c'est le cas dans l'électronique spatiale.

Le Chapitre 3 est dédié à l'analyse des propriétés ferroélectriques des FeCap à base de HZO de 10 nm d'épaisseur, caractérisée dans la plage de température allant de 300 K jusqu'à 40 K. Cette étude a mis en évidence l'évolution des propriétés ferroélectriques du HZO à basse température, grâce à l'utilisation de méthodes de caractérisation complémentaires.

Une analyse détaillée du courant transitoire de la méthode PUND a permis d'identifier une proportion de domaines FE bloqués par des charges parasites à l'état vierge. La superposition des courants transitoires enregistrés aux différentes températures montre que le double pic observé à 300 K, à l'origine du cycle d'hystérésis pincé, fusionne à basse température. Par ailleurs, les mesures FORC, qui permettent d'analyser les densités de retournement de polarisation, révèlent la présence de deux populations ferroélectriques à basse température et à l'état vierge, même si un seul pic apparaît

dans les mesures PUND. L'augmentation de la polarisation rémanente mesurée à basse température est directement due à l'atténuation des charges de back-switching causée par la fusion du double pic de retournement. La méthode P_{rev} a été introduite comme technique complémentaire à la méthode PUND conventionnelle en associant les mesures C-V petit signal et PUND. Elle permet un calcul précis de la polarisation provenant uniquement de la commutation du domaine ferroélectrique entre les deux tensions de saturation. Cette méthode nous a permis de démontrer qu'une réduction de la polarisation de retournement à basse température dans nos dispositifs est uniquement due à l'augmentation des domaines bloqués par la présence de charges parasites, dont le dépiégage est activé thermiquement.

Les mesures de diffraction aux rayons X à incidence rasante à large angle effectuées entre 300 K et 100 K ne révèlent aucun décalage du pic caractéristique t-/o- malgré les variations de propriétés électriques mesurées dans nos FeCap. Le dépincement du cycle d'hystérésis à l'état vierge s'explique ainsi directement par la théorie LGD. À température ambiante, la commutation entre les deux états de polarisation s'effectue en deux étapes, tandis qu'elle devient directe à basse température. Ce comportement résulte d'une stabilisation accrue des phases polaires (o-$_{FE}$) au détriment des phases non polaires (t- et/ou o-$_{AFE}$), facilitant une transition directe lorsque la température diminue.

Ces deux étapes de retournement des domaines FE finissent par fusionner avec le cyclage à 40 K comme à 300 K, montrant un changement de phase induit par le cyclage. Cette transition de phase induite par le cyclage est confirmée par les mesures C-V et FORC réalisées avant et après cyclage : la constante diélectrique diminue sur les courbes C-V post-cyclage, et la méthode FORC ne révèle plus qu'une seule densité de retournement. Malgré ce changement de phase mesuré à 300 K et 40 K, l'augmentation de P_{rev} n'est observée que pour les plus hautes températures. Par conséquent, le wake-up est attribué à une redistribution des charges dans la couche de HZO aux plus hautes températures, débloquant certains domaines initialement bloqués et augmentant ainsi le nombre de domaines pouvant commuter. En plus d'une diminution du wake-up, une réduction importante de la fatigue ainsi que de l'imprint a été mesurée à basse température. L'étude de la dépendance en température de la fatigue, via une modélisation de type Arrhenius de la réduction de polarisation avec le cyclage, a permis d'extraire l'énergie d'activation du mécanisme impliqué. La faible valeur d'énergie d'activation extraite suggère que la fatigue est liée au dépiégeage d'électrons dans des lacunes d'oxygènes au voisinage des interfaces, qui ont pour conséquence de bloquer des domaines FE. Quant à l'imprint, sa diminution s'explique par la faible mobilité des lacunes d'oxygène à basse température, laquelle limite leur migration atténuant ainsi le phénomène d'imprint. L'inhibition de ces deux phénomènes aux températures cryogéniques permet une fiabilité accrue des dispositifs FeRAM. De plus, les performances des FeCap à basse température peuvent être optimisées en effectuant un pré-cyclage à température ambiante. Cette approche permet de tirer parti de l'effet de wake-up à température ambiante qui augmente la polarisation rémanente, puis de conserver les avantages du wake-up une fois la température abaissée, tout en bénéficiant cette fois de la stabilité intrinsèque des FeCap à basse température. La stabilité de fonctionnement et la fiabilité accrue, ajoutés à une très faible puissance dissipée, font des dispositifs FeRAM une technologie prometteuse pour les applications de l'électronique cryogénique dont le quantique et le calcul de haute performance. Au-delà des aspects applicatifs, l'étude des FeCap à basse température menée dans cette thèse contribue à approfondir la compréhension physique des couches minces de HZO.

Le Chapitre 4 est consacré à l'étude des matrices OxRAM de 16 kbit. Une première analyse statistique, réalisée à température ambiante et comprenant une ANOVA ainsi qu'un test de Tukey, a permis d'identifier les principaux paramètres influençant le comportement de cyclage des dispositifs OxRAM. Il ressort que le courant de set et la tension de reset constituent les facteurs de programmation déterminants sur la fenêtre mémoire. Ces résultats sont cohérents avec les observations présentées dans le Chapitre 2, puisque ces deux paramètres sont directement liés à la transition de reset, déterminée par la répartition de tension entre les deux éléments.

La réalisation de tests de matrices en environnement cryogénique requiert l'utilisation d'équipements spécifiques, peu courants dans le domaine de la caractérisation de mémoires. Une partie de ce chapitre est ainsi consacrée au développement d'un montage expérimental adapté à ce type d'étude. Les premières analyses statistiques menées sur des matrices OxRAM de 16 kbit à température cryogénique présentent des résultats encourageants, confirmant la compatibilité de ces dispositifs avec des conditions de fonctionnement à très basse température. Le montage expérimental développé est précisément détaillé afin de permettre de prochaines analyses statistiques sur des matrices intégrant différents types de mémoires. Cet environnement ouvre ainsi la voie à des campagnes de tests plus complètes, notamment

sur les dispositifs OxRAM, FeRAM ou encore PCM. L'étude statistique des FeRAM n'a pas pu être menée au cours de cette thèse en raison d'une incompatibilité entre les échantillons disponibles et le système de packaging utilisé. Toutefois, les prochaines générations d'échantillons, conçues pour être compatibles avec ce montage, permettront de conduire ce type d'analyse dans de futurs travaux. Une telle analyse pourrait s'avérer particulièrement intéressante, car elle permettrait de combiner l'amélioration des propriétés ferroélectriques de la FeCap avec les gains apportés aux interconnexions métalliques à basse température, où la baisse de résistivité réduit les pertes par effet Joule et permet d'augmenter la fréquence d'horloge maximale des circuits.
D'un point de vue applicatif, l'évolution des propriétés des deux technologies en régime cryogénique ouvre la voie à des applications distinctes. Les dispositifs OxRAM conservent des performances robustes : tant que le courant de set et la tension de reset sont correctement ajustés, la fenêtre mémoire ainsi que la cyclabilité demeurent stables. Cette stabilité suggère une bonne compatibilité de la technologie OxRAM avec les exigences de l'électronique spatiale.

Les mémoires FeRAM, en revanche, présentent des évolutions marquées à basse température. En régime cryogénique, plusieurs limitations habituellement observées à température ambiante sont levées telles que la fusion du double pic, la réduction des fluctuations de polarisation au cours du cyclage (c'est à dire l'absence de wake-up et de fatigue) et l'absence d'imprint, améliorant la stabilité des opérations dans le FeRAM et sa fiabilité. Associées à leur faible consommation énergétique, ces gains de performances font des FeRAM une mémoire émergente prometteuse pour des applications fonctionnant exclusivement à basse température telles que l'électronique quantique ou les centres de données opérant à basse température.

Liste des publications

[59] F. Berthaud, S. Martin, J. Rottner, V. Meli, J.-F. Nodin, L. Grenouillet, S. Ricavy, M. Cassé et N. Castellani, "In-Depth Analysis of Transistor Influence on OxRAM Performance in Memory Bitcell, With Technology Scaling Perspectives," *IEEE Transactions on Electron Devices*, t. 71, n° 4, p. 2721-2728, avr. 2024, Conference Name : IEEE Transactions on Electron Devices. DOI : 10.1109/TED.2024.3364114.

[146] F. Berthaud, N. Castellani, N. Vaxelaire, G. Freychet, A. Mallmann Tonelli, L. Hosier, J. Rottner, C. Carabasse, M. Casse, L. Grenouillet et S. Martin, "New Insights of Ferroelectric Hf0.5Zr0.5O2 Thin Films Properties under Cryogenic Temperatures in Integrated Ferroelectric Capacitors," *Advanced Physics Research*, t. 5, n° 2, déc. 2025. DOI : 10.1002/apxr.70098.

[167] F. Berthaud, S. Martin, J. Rottner, L. Alrifai, L. Grenouillet, M. Casse et N. Castellani, "Cryogenic characterization and reliability of 1T1R OxRAM memory bit cell," *IEEE Transactions on Electron Devices*, t. 73, n° 3, p. 1333-1339, jan. 2026. DOI : 10.1109/TED.2026.3653392.

[228] F. Berthaud, L. Hosier, N. Castellani, J. Rottner, V. Meli, J. Laguerre, C. Carabasse, J. Coignus, M. Casse, L. Grenouillet et S. Martin, "New Insights of Ferroelectric Hf0.5Zr0.5O2 Thin Films Properties under Cryogenic Temperatures in Integrated Ferroelectric Capacitors," in *Solid State Device and Materials*, 2024.

Bibliographie

[1] K. Ando, S. Fujita, J. Ito, S. Yuasa, Y. Suzuki, Y. Nakatani, T. Miyazaki et H. Yoda, "Spin-transfer torque magnetoresistive random-access memory technologies for normally off computing (invited)," *Journal of Applied Physics*, t. 115, n° 17, p. 172 607, avr. 2014. DOI : 10.1063/1.4869828.

[2] J. Meena, S. Sze, U. Chand et T.-Y. Tseng, "Overview of Emerging Non-volatile Memory Technologies," *Nanoscale Research Letters*, t. 9, p. 1-33, sept. 2014. DOI : 10.1186/1556-276X-9-526.

[3] P. Cappelletti, "Non volatile memory evolution and revolution," in *2015 IEEE International Electron Devices Meeting (IEDM)*, ISSN : 2156-017X, déc. 2015, p. 10.1.1-10.1.4. DOI : 10.1109/IEDM.2015.7409666.

[4] M. Hellenbrand, I. Teck et J. L. MacManus-Driscoll, "Progress of emerging non-volatile memory technologies in industry," en, *MRS Communications*, t. 14, n° 6, p. 1099-1112, déc. 2024. DOI : 10.1557/s43579-024-00660-2.

[5] S. Kargar et F. Nawab, "Challenges and future directions for energy, latency, and lifetime improvements in NVMs," en, *Distributed and Parallel Databases*, t. 41, n° 3, p. 163-189, sept. 2023. DOI : 10.1007/s10619-022-07421-x.

[6] E. Charbon, F. Sebastiano, A. Vladimirescu, H. Homulle, S. Visser, L. Song et R. M. Incandela, "Cryo-CMOS for quantum computing," in *2016 IEEE International Electron Devices Meeting (IEDM)*, ISSN : 2156-017X, déc. 2016, p. 13.5.1-13.5.4. DOI : 10.1109/IEDM.2016.7838410.

[7] S. S. Tannu, D. M. Carmean et M. K. Qureshi, "Cryogenic-DRAM based memory system for scalable quantum computers : a feasibility study," in *Proceedings of the International Symposium on Memory Systems*, sér. MEMSYS '17, New York, NY, USA : Association for Computing Machinery, oct. 2017, p. 189-195. DOI : 10.1145/3132402.3132436.

[8] M. Qureshi et S. Tannu, "Quantum Computing and the Design of the Ultimate Accelerator," *IEEE Micro*, t. 41, n° 5, p. 8-14, sept. 2021. DOI : 10.1109/MM.2021.3099196.

[9] D. B. Tuckerman, M. C. Hamilton, D. J. Reilly, R. Bai, G. A. Hernandez, J. M. Hornibrook, J. A. Sellers et C. D. Ellis, "Flexible superconducting Nb transmission lines on thin film polyimide for quantum computing applications," en, *Superconductor Science and Technology*, t. 29, n° 8, p. 084 007, juill. 2016, Publisher : IOP Publishing. DOI : 10.1088/0953-2048/29/8/084007.

[10] A. G. Fowler, A. C. Whiteside et L. C. L. Hollenberg, "Towards Practical Classical Processing for the Surface Code," *Physical Review Letters*, t. 108, n° 18, p. 180 501, mai 2012, Publisher : American Physical Society. DOI : 10.1103/PhysRevLett.108.180501.

[11] Y. Braiman, N. Nair, J. Rezac et N. Imam, "Memory cell operation based on small Josephson junctions arrays," en, *Superconductor Science and Technology*, t. 29, n° 12, p. 124 003, oct. 2016, Publisher : IOP Publishing. DOI : 10.1088/0953-2048/29/12/124003.

[12] N. Nair, A. Jafari-Salim, A. D'Addario, N. Imam et Y. Braiman, "Experimental demonstration of a Josephson cryogenic memory cell based on coupled Josephson junction arrays," en, *Superconductor Science and Technology*, t. 32, n° 11, p. 115 012, oct. 2019, Publisher : IOP Publishing. DOI : 10.1088/1361-6668/ab416a.

[13] T. Van Duzer, L. Zheng, S. R. Whiteley, H. Kim, J. Kim, X. Meng et T. Ortlepp, "64-kb Hybrid Josephson-CMOS 4 Kelvin RAM With 400 ps Access Time and 12 mW Read Power," *IEEE Transactions on Applied Superconductivity*, t. 23, n° 3, p. 1 700 504-1 700 504, juin 2013. doi : 10.1109/TASC.2012.2230294.

[14] D. S. Holmes, A. L. Ripple et M. A. Manheimer, "Energy-Efficient Superconducting Computing—Power Budgets and Requirements," *IEEE Transactions on Applied Superconductivity*, t. 23, n° 3, p. 1 701 610-1 701 610, juin 2013. doi : 10.1109/TASC.2013.2244634.

[15] F. Ware, L. Gopalakrishnan, E. Linstadt, S. A. McKee, T. Vogelsang, K. L. Wright, C. Hampel et G. Bronner, "Do superconducting processors really need cryogenic memories ? the case for cold DRAM," in *Proceedings of the International Symposium on Memory Systems*, sér. MEMSYS '17, New York, NY, USA : Association for Computing Machinery, oct. 2017, p. 183-188. doi : 10.1145/3132402.3132424.

[16] H. Du, H. Zhu, S. Chen et Y. Kang, "CR-DRAM : Improving DRAM Refresh Energy Efficiency With Inter-Subarray Charge Recycling," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, t. 33, n° 1, p. 21-34, jan. 2025. doi : 10.1109/TVLSI.2024.3445631.

[17] R. Saligram, A. Raychowdhury et S. Datta, "The Future is Frozen : Cryogenic CMOS for High-Performance Computing (Invited)," *Chip*, t. 3, p. 100 082, déc. 2023. doi : 10.1016/j.chip.2023.100082.

[18] N. Jones, "How to stop data centres from gobbling up the world's electricity," eng, *Nature*, t. 561, n° 7722, p. 163-166, sept. 2018. doi : 10.1038/d41586-018-06610-y.

[19] A. S. G. Andrae et T. Edler, "On Global Electricity Usage of Communication Technology : Trends to 2030," en, *Challenges*, t. 6, n° 1, p. 117-157, juin 2015, Publisher : Multidisciplinary Digital Publishing Institute. doi : 10.3390/challe6010117.

[20] D. Patterson, J. Gonzalez, U. Hölzle, Q. Le, C. Liang, L.-M. Munguia, D. Rothchild, D. R. So, M. Texier et J. Dean, "The Carbon Footprint of Machine Learning Training Will Plateau, Then Shrink," *Computer*, t. 55, n° 7, p. 18-28, juill. 2022. doi : 10.1109/MC.2022.3148714.

[21] J. S. Vetter et S. Mittal, "Opportunities for Nonvolatile Memory Systems in Extreme-Scale High-Performance Computing," *Computing in Science & Engineering*, t. 17, n° 2, p. 73-82, mars 2015. doi : 10.1109/MCSE.2015.4.

[22] R. A. Matula, "Electrical resistivity of copper, gold, palladium, and silver," *Journal of Physical and Chemical Reference Data*, t. 8, n° 4, p. 1147-1298, oct. 1979. doi : 10.1063/1.555614.

[23] C. L. Ayala, T. Tanaka, R. Saito, M. Nozoe, N. Takeuchi et N. Yoshikawa, "MANA : A Monolithic Adiabatic iNtegration Architecture Microprocessor Using 1.4-zJ/op Unshunted Superconductor Josephson Junction Devices," *IEEE Journal of Solid-State Circuits*, t. 56, n° 4, p. 1152-1165, avr. 2021. doi : 10.1109/JSSC.2020.3041338.

[24] D. Min, I. Byun, G.-H. Lee et J. Kim, "CoolDC : A Cost-Effective Immersion-Cooled Datacenter with Workload-Aware Temperature Scaling," en, *ACM Transactions on Architecture and Code Optimization*, t. 21, n° 3, p. 1-27, sept. 2024. doi : 10.1145/3664925.

[25] *Beyond CMOS : three industry teams aim at next generation of high-performance computing (HPC)*, en, déc. 2014.

[26] *Number of satellites in orbit in 2025*, en, sept. 2025.

[27] V. D. Krotikov et V. S. Troitskiĭ, "RADIO EMISSION AND NATURE OF THE MOON," en, *Soviet Physics Uspekhi*, t. 6, n° 6, p. 841, juin 1964, Publisher : IOP Publishing. doi : 10.1070/PU1964v006n06ABEH003615.

[28] T. Cabout, L. Perniola, V. Jousseaume, H. Grampeix, J. Nodin, A. Toffoli, M. Guillermet, E. Jalaguier, E. Vianello, G. Molas, G. Reimbold, B. De Salvo, T. Diokh, P. Candelier, O. Pirrotta, A. Padovani, L. Larcher, M. Bocquet et C. Muller, "Temperature impact (up to 200 °C) on performance and reliability of HfO2-based RRAMs," in *2013 5th IEEE International Memory Workshop*, ISSN : 2159-4864, mai 2013, p. 116-119. doi : 10.1109/IMW.2013.6582112.

[29] M. J. Marinella, "Radiation Effects in Advanced and Emerging Nonvolatile Memories," *IEEE Transactions on Nuclear Science*, t. 68, n° 5, p. 546-572, mai 2021. doi : 10.1109/TNS.2021.3074139.

[30] E. Garzón, A. Teman et M. Lanuzza, "Embedded Memories for Cryogenic Applications," en, *Electronics*, t. 11, n° 1, p. 61, jan. 2022, Number : 1 Publisher : Multidisciplinary Digital Publishing Institute. doi : 10.3390/electronics11010061.

[31] X. Zou, S. Xu, X. Chen, L. Yan et Y. Han, "Breaking the von Neumann bottleneck : architecture-level processing-in-memory technology," en, *Science China Information Sciences*, t. 64, n° 6, p. 160 404, avr. 2021. doi : 10.1007/s11432-020-3227-1.

[32] S. Alam, J. Hutchins, N. Shukla, K. Asifuzzaman et A. Aziz, "CMOS-Based Single-Cycle in-Memory XOR/XNOR," *IEEE Access*, t. 12, p. 49 528-49 534, 2024. doi : 10.1109/ACCESS.2024.3384752.

[33] A. Boroumand, S. Ghose, Y. Kim, R. Ausavarungnirun, E. Shiu, R. Thakur, D. Kim, A. Kuusela, A. Knies, P. Ranganathan et O. Mutlu, "Google Workloads for Consumer Devices : Mitigating Data Movement Bottlenecks," en, in *Proceedings of the Twenty-Third International Conference on Architectural Support for Programming Languages and Operating Systems*, Williamsburg VA USA : ACM, mars 2018, p. 316-331. doi : 10.1145/3173162.3173177.

[34] G. Pedretti et D. Ielmini, "In-Memory Computing with Resistive Memory Circuits : Status and Outlook," en, *Electronics*, t. 10, n° 9, p. 1063, jan. 2021, Number : 9 Publisher : Multidisciplinary Digital Publishing Institute. doi : 10.3390/electronics10091063.

[35] S. Alam, M. M. Islam, M. S. Hossain, A. Jaiswal et A. Aziz, "CryoCiM : Cryogenic compute-in-memory based on the quantum anomalous Hall effect," *Applied Physics Letters*, t. 120, n° 14, p. 144 102, avr. 2022. doi : 10.1063/5.0092169.

[36] Y. Liu, A. Lee, K. Qian, P. Zhang, Z. Xiao, H. He, Z. Ren, S. K. Cheung, R. Liu, Y. Li, X. Zhang, Z. Ma, J. Zhao, W. Zhao, G. Yu, X. Wang, J. Liu, Z. Wang, K. L. Wang et Q. Shao, "Cryogenic in-memory computing using magnetic topological insulators," en, *Nature Materials*, t. 24, n° 4, p. 559-564, avr. 2025, Publisher : Nature Publishing Group. doi : 10.1038/s41563-024-02088-4.

[37] A. Sadik, "Intégration de matrices de boîtes quantiques sur silicium," fr, thesis, Université Grenoble Alpes, fév. 2025.

[38] Q. Schmidt, "Traitement intégré pour la lecture massive de bits quantiques," fr, Publication Title : theses.fr, thesis, Université Grenoble Alpes, mai 2025.

[39] Q. Berlingard, "Caractérisation électrique avancée DC et RF de composants passifs et actifs en technologie 28nm-FDSOI à température cryogénique," fr, thesis, Université Grenoble Alpes, déc. 2024.

[40] P. B. Veiga, "Magnetic memory optimized for cryoelectronics operation," en, thèse de doct., Université Grenoble Alpes [2020-....], déc. 2023.

[41] J. F. Gibbons et W. E. Beadle, "Switching properties of thin Nio films," *Solid-State Electronics*, t. 7, n° 11, p. 785-790, nov. 1964. doi : 10.1016/0038-1101(64)90131-5.

[42] T. W. Hickmott, "Low-Frequency Negative Resistance in Thin Anodic Oxide Films," *Journal of Applied Physics*, t. 33, n° 9, p. 2669-2682, sept. 1962. doi : 10.1063/1.1702530.

[43] J. del Valle, J. G. Ramírez, M. J. Rozenberg et I. K. Schuller, "Challenges in materials and devices for resistive-switching-based neuromorphic computing," *Journal of Applied Physics*, t. 124, n° 21, p. 211 101, déc. 2018. doi : 10.1063/1.5047800.

[44] S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, S. H. Kim, I. S. Byun, J.-S. Kim, J. S. Choi et B. H. Park, "Reproducible resistance switching in polycrystalline NiO films," *Applied Physics Letters*, t. 85, n° 23, p. 5655-5657, déc. 2004. doi : 10.1063/1.1831560.

[45] D. S. Jeong, S. H. Son, S. Lee et B.-k. Cheong, "Unipolar Switching in Pt GeSexTe1 x Pt," en, *Electrochemical and Solid-State Letters*, t. 13, n° 12, G111, oct. 2010, Publisher : IOP Publishing. doi : 10.1149/1.3501971.

[46] K.-R. Kim, I.-S. Park, J. P. Hong, S. S. Lee, B. L. Choi et J. Ahn, "Resistive switching characteristics of HfO2 grown by atomic layer deposition," English, *Journal of the Korean Physical Society*, t. 49, S548-S551, déc. 2006, Conference Name : 15th Symposium on Dielectric and Advanced Matter Physics/7th Workshop on High Dielectric and Ferroelectric Device and Materials Num Pages : 4 Place : Seoul Publisher : Korean Physical Soc Web of Science ID : WOS :000243198500024.

[47] M. Fujimoto, H. Koyama, Y. Hosoi, K. Ishihara et S. Kobayashi, "High-speed resistive switching of TiO2/TiN nano-crystalline thin film," English, *Japanese Journal of Applied Physics Part 2-Letters & Express Letters*, t. 45, n° 8-11, p. L310-L312, mars 2006, Num Pages : 3 Place : Tokyo Publisher : Inst Pure Applied Physics Web of Science ID : WOS :000236562200032. doi : 10.1143/JJAP.45.L310.

[48] A. Beck, J. G. Bednorz, C. Gerber, C. Rossel et D. Widmer, "Reproducible switching effect in thin oxide films for memory applications," *Applied Physics Letters*, t. 77, n° 1, p. 139-141, juill. 2000. doi : 10.1063/1.126902.

[49] F. Nardi, S. Larentis, S. Balatti, D. C. Gilmer et D. Ielmini, "Resistive Switching by Voltage-Driven Ion Migration in Bipolar RRAM—Part I : Experimental Study," en, *IEEE Transactions on Electron Devices*, t. 59, n° 9, p. 2461-2467, sept. 2012. doi : 10.1109/TED.2012.2202319.

[50] D. Ielmini et G. Pedretti, "Resistive Switching Random-Access Memory (RRAM) : Applications and Requirements for Memory and Computing," en, *Chemical Reviews*, t. 125, n° 12, p. 5584-5625, juin 2025, Publisher : American Chemical Society (ACS). doi : 10.1021/acs.chemrev.4c00845.

[51] F. Nardi, C. Cagli, S. Spiga et D. Ielmini, "Reset Instability in Pulsed-Operated Unipolar Resistive-Switching Random Access Memory Devices," en, *IEEE Electron Device Letters*, t. 32, n° 6, p. 719-721, juin 2011. doi : 10.1109/LED.2011.2131631.

[52] D.-K. Kim, D.-S. Suh et J. Park, "Pulse-Programming Instabilities of Unipolar-Type NiOx," *IEEE Electron Device Letters*, t. 31, n° 6, p. 600-602, juin 2010. doi : 10.1109/LED.2010.2045873.

[53] U. Russo, D. Ielmini, C. Cagli et A. L. Lacaita, "Self-Accelerated Thermal Dissolution Model for Reset Programming in Unipolar Resistive-Switching Memory (RRAM) Devices," en, *IEEE Transactions on Electron Devices*, t. 56, n° 2, p. 193-200, fév. 2009. doi : 10.1109/TED.2008.2010584.

[54] B. J. Choi, D. S. Jeong, S. K. Kim, C. Rohde, S. Choi, J. H. Oh, H. J. Kim, C. S. Hwang, K. Szot, R. Waser, B. Reichenberg et S. Tiedke, "Resistive switching mechanism of TiO2 thin films grown by atomic-layer deposition," *Journal of Applied Physics*, t. 98, n° 3, p. 033 715, août 2005. doi : 10.1063/1.2001146.

[55] H. Abbas, J. Li et D. S. Ang, "Conductive Bridge Random Access Memory (CBRAM) : Challenges and Opportunities for Memory and Neuromorphic Computing Applications," en, *Micromachines*, t. 13, n° 5, p. 725, mai 2022, Number : 5 Publisher : Multidisciplinary Digital Publishing Institute. doi : 10.3390/mi13050725.

[56] R. Waser, R. Dittmann, G. Staikov et K. Szot, "Redox-Based Resistive Switching Memories – Nanoionic Mechanisms, Prospects, and Challenges," *Advanced Materials*, t. 21, n° 25-26, p. 2632-2663, 2009, _eprint : https ://advanced.onlinelibrary.wiley.com/doi/pdf/10.1002/adma.200900375. doi : 10.1002/adma.200900375.

[57] A. Calderoni, S. Sills, C. Cardon, E. Faraoni et N. Ramaswamy, "Engineering ReRAM for high-density applications," *Microelectronic Engineering*, Insulating Films on Semiconductors 2015, t. 147, p. 145-150, nov. 2015. doi : 10.1016/j.mee.2015.04.044.

[58] A. Belmonte, W. Kim, B. T. Chan, N. Heylen, A. Fantini, M. Houssa, M. Jurczak et L. Goux, "A Thermally Stable and High-Performance 90-nm \rm Al_2\rm O_3\backslash\rm Cu-Based 1T1R CBRAM Cell," *IEEE Transactions on Electron Devices*, t. 60, n° 11, p. 3690-3695, nov. 2013. doi : 10.1109/TED.2013.2282000.

[59] F. Berthaud, S. Martin, J. Rottner, V. Meli, J.-F. Nodin, L. Grenouillet, S. Ricavy, M. Cassé et N. Castellani, "In-Depth Analysis of Transistor Influence on OxRAM Performance in Memory Bitcell, With Technology Scaling Perspectives," *IEEE Transactions on Electron Devices*, t. 71, n° 4, p. 2721-2728, avr. 2024, Conference Name : IEEE Transactions on Electron Devices. doi : 10.1109/TED.2024.3364114.

[60] C. Cagli, J. Buckley, V. Jousseaume, T. Cabout, A. Salaun, H. Grampeix, J. F. Nodin, H. Feldis, A. Persico, J. Cluzel, P. Lorenzi, L. Massari, R. Rao, F. Irrera, F. Aussenac, C. Carabasse, M. Coue, P. Calka, E. Martinez, L. Perniola, P. Blaise, Z. Fang, Y. H. Yu, G. Ghibaudo, D. Deleruyelle, M. Bocquet, C. Müller, A. Padovani, O. Pirrotta, L. Vandelli, L. Larcher, G. Reimbold et B. de Salvo, "Experimental and theoretical study of electrode effects in HfO2 based RRAM," in *2011 International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2011, p. 28.7.1-28.7.4. doi : 10.1109/IEDM.2011.6131634.

[61] T. Cabout, J. Buckley, C. Cagli, V. Jousseaume, J. .-. Nodin, B. de Salvo, M. Bocquet et C. Muller, "Role of Ti and Pt electrodes on resistance switching variability of HfO2-based Resistive Random Access Memory," *Thin Solid Films*, EMRS 2012 Symposium L, t. 533, p. 19-23, avr. 2013. doi : 10.1016/j.tsf.2012.11.050.

[62] Y. Y. Chen, M. Komura, R. Degraeve, B. Govoreanu, L. Goux, A. Fantini, N. Raghavan, S. Clima, L. Zhang, A. Belmonte, A. Redolfi, G. S. Kar, G. Groeseneken, D. J. Wouters et M. Jurczak, "Improvement of data retention in HfO2/Hf 1T1R RRAM cell under low operating current," in *2013 IEEE International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2013, p. 10.1.1-10.1.4. doi : 10.1109/IEDM.2013.6724598.

[63] K. G. Young-Fisher, G. Bersuker, B. Butcher, A. Padovani, L. Larcher, D. Veksler et D. C. Gilmer, "Leakage Current-Forming Voltage Relation and Oxygen Gettering in HfOx RRAM Devices," *IEEE Electron Device Letters*, t. 34, n° 6, p. 750-752, juin 2013. doi : 10.1109/LED.2013.2256101.

[64] L. Grenouillet, N. Castellani, A. Persico, V. Meli, S. Martin, O. Billoint, R. Segaud, S. Bernasconi, C. Pellissier, C. Jahan, C. Charpin-Nicolle, P. Dezest, C. Carabasse, P. Besombes, S. Ricavy, N.-P. Tran, A. Magalhaes-Lucas, A. Roman, C. Boixaderas, T. Magis, M. Bedjaoui, M. Tessaire, A. Seignard, F. Mazen, S. Landis, E. Vianello, G. Molas, F. Gaillard, J. Arcamone et E. Nowak, "16kbit 1T1R OxRAM arrays embedded in 28nm FDSOI technology demonstrating low BER, high endurance, and compatibility with core logic transistors," in *2021 IEEE International Memory Workshop (IMW)*, ISSN : 2573-7503, mai 2021, p. 1-4. doi : 10.1109/IMW51353.2021.9439607.

[65] P. Mannocci, M. Farronato, N. Lepri, L. Cattaneo, A. Glukhov, Z. Sun et D. Ielmini, "In-memory computing with emerging memory devices : Status and outlook," *APL Machine Learning*, t. 1, n° 1, p. 010 902, fév. 2023. doi : 10.1063/5.0136403.

[66] Y.-C. Chen, C.-C. Lin et Y.-F. Chang, "Post-Moore Memory Technology : Sneak Path Current (SPC) Phenomena on RRAM Crossbar Array and Solutions," en, *Micromachines*, t. 12, n° 1, p. 50, jan. 2021, Number : 1 Publisher : Multidisciplinary Digital Publishing Institute. doi : 10.3390/mi12010050.

[67] K. Virwani, G. W. Burr, R. S. Shenoy, C. T. Rettner, A. Padilla, T. Topuria, P. M. Rice, G. Ho, R. S. King, K. Nguyen, A. N. Bowers, M. Jurich, M. BrightSky, E. A. Joseph, A. J. Kellock, N. Arellano, B. N. Kurdi et K. Gopalakrishnan, "Sub-30nm scaling and high-speed operation of fully-confined Access-Devices for 3D crosspoint memory based on mixed-ionic-electronic-conduction (MIEC) materials," in *2012 International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2012, p. 2.7.1-2.7.4. doi : 10.1109/IEDM.2012.6478967.

[68] W. Lee, J. Park, S. Kim, J. Woo, J. Shin, G. Choi, S. Park, D. Lee, E. Cha, B. H. Lee et H. Hwang, "High Current Density and Nonlinearity Combination of Selection Device Based on TaOx/TiO2/TaOx Structure for One Selector–One Resistor Arrays," *ACS Nano*, t. 6, n° 9, p. 8166-8172, sept. 2012, Publisher : American Chemical Society. doi : 10.1021/nn3028776.

[69] J. M. Lopez, N. Castellani, L. Grenouillet, L. Reganaz, G. Navarro, M. Bernard, C. Carabasse, T. Magis, D. Deleruyelle, M. Bocquet, J. M. Portal, E. Nowak et G. Molas, "Ge-Se-Sb-N-based OTS scaling perspectives for high-density 1 S1R crossbar arrays," in *2021 IEEE International Memory Workshop (IMW)*, ISSN : 2573-7503, mai 2021, p. 1-4. doi : 10.1109/IMW51353.2021.9439606.

[70] S.-S. Sheu, M.-F. Chang, K.-F. Lin, C.-W. Wu, Y.-S. Chen, P.-F. Chiu, C.-C. Kuo, Y.-S. Yang, P.-C. Chiang, W.-P. Lin, C.-H. Lin, H.-Y. Lee, P.-Y. Gu, S.-M. Wang, F. T. Chen, K.-L. Su, C.-H. Lien, K.-H. Cheng, H.-T. Wu, T.-K. Ku, M.-J. Kao et M.-J. Tsai, "A 4Mb embedded SLC resistive-RAM macro with 7.2ns read-write random-access time and 160ns MLC-access capability," in *2011 IEEE International Solid-State Circuits Conference*, ISSN : 2376-8606, fév. 2011, p. 200-202. doi : 10.1109/ISSCC.2011.5746281.

[71] C. Gopalan, Y. Ma, T. Gallo, J. Wang, E. Runnion, J. Saenz, F. Koushan, P. Blanchard et S. Hollmer, "Demonstration of Conductive Bridging Random Access Memory (CBRAM) in logic CMOS process," *Solid-State Electronics*, Special Issue devoted to the 2nd International Memory Workshop (IMW 2010), t. 58, n° 1, p. 54-61, avr. 2011. doi : 10.1016/j.sse.2010.11.024.

[72] W. Otsuka, K. Miyata, M. Kitagawa, K. Tsutsui, T. Tsushima, H. Yoshihara, T. Namise, Y. Terao et K. Ogata, "A 4Mb conductive-bridge resistive memory with 2.3GB/s read-throughput and 216MB/s program-throughput," in *2011 IEEE International Solid-State Circuits Conference*, ISSN : 2376-8606, fév. 2011, p. 210-211. doi : 10.1109/ISSCC.2011.5746286.

[73] A. Kawahara, R. Azuma, Y. Ikeda, K. Kawai, Y. Katoh, Y. Hayakawa, K. Tsuji, S. Yoneda, A. Himeno, K. Shimakawa, T. Takagi, T. Mikawa et K. Aono, "An 8 Mb Multi-Layered Cross-Point ReRAM Macro With 443 MB/s Write Throughput," *IEEE Journal of Solid-State Circuits*, t. 48, n° 1, p. 178-185, jan. 2013. doi : 10.1109/JSSC.2012.2215121.

[74] A. Kawahara, K. Kawai, Y. Ikeda, Y. Katoh, R. Azuma, Y. Yoshimoto, K. Tanabe, Z. Wei, T. Ninomiya, K. Katayama, R. Yasuhara, S. Muraoka, A. Himeno, N. Yoshikawa, H. Murase, K. Shimakawa, T. Takagi, T. Mikawa et K. Aono, "Filament scaling forming technique and level-verify-write scheme with endurance over 107 cycles in ReRAM," in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, ISSN : 2376-8606, fév. 2013, p. 220-221. doi : 10.1109/ISSCC.2013.6487708.

[75] T.-y. Liu, T. H. Yan, R. Scheuerlein, Y. Chen, J. K. Lee, G. Balakrishnan, G. Yee, H. Zhang, A. Yap, J. Ouyang, T. Sasaki, A. Al-Shamma, C. Chen, M. Gupta, G. Hilton, A. Kathuria, V. Lai, M. Matsumoto, A. Nigam, A. Pai, J. Pakhale, C. H. Siau, X. Wu, Y. Yin, N. Nagel, Y. Tanaka, M. Higashitani, T. Minvielle, C. Gorla, T. Tsukamoto, T. Yamaguchi, M. Okajima, T. Okamura, S. Takase, H. Inoue et L. Fasoli, "A 130.7-\hboxmm^2 2-Layer 32-Gb ReRAM Memory Device in 24-nm Technology," *IEEE Journal of Solid-State Circuits*, t. 49, n° 1, p. 140-153, jan. 2014. doi : 10.1109/JSSC.2013.2280296.

[76] M.-F. Chang, J.-J. Wu, T.-F. Chien, Y.-C. Liu, T.-C. Yang, W.-C. Shen, Y.-C. King, C.-J. Lin, K.-F. Lin, Y.-D. Chih, S. Natarajan et J. Chang, "19.4 embedded 1Mb ReRAM in 28nm CMOS with 0.27-to-1V read using swing-sample-and-couple sense amplifier and self-boost-write-termination scheme," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, ISSN : 2376-8606, fév. 2014, p. 332-333. doi : 10.1109/ISSCC.2014.6757457.

[77] J. Zahurak, K. Miyata, M. Fischer, M. Balakrishnan, S. Chhajed, D. Wells, H. Li, A. Torsi, J. Lim, M. Korber, K. Nakazawa, S. Mayuzumi, M. Honda, S. Sills, S. Yasuda, A. Calderoni, B. Cook, G. Damarla, H. Tran, B. Wang, C. Cardon, K. Karda, J. Okuno, A. Johnson, T. Kunihiro, J. Sumino, M. Tsukamoto, K. Aratani, N. Ramaswamy, W. Otsuka et K. Prall, "Process integration of a 27nm, 16Gb Cu ReRAM," in *2014 IEEE International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2014, p. 6.2.1-6.2.4. doi : 10.1109/IEDM.2014.7046994.

[78] M. Ueki, K. Takeuchi, T. Yamamoto, A. Tanabe, N. Ikarashi, M. Saitoh, T. Nagumo, H. Sunamura, M. Narihiro, K. Uejima, K. Masuzaki, N. Furutake, S. Saito, Y. Yabe, A. Mitsuiki, K. Takeda, T. Hase et Y. Hayashi, "Low-power embedded ReRAM technology for IoT applications," in *2015 Symposium on VLSI Technology (VLSI Technology)*, ISSN : 2158-9682, juin 2015, T108-T109. doi : 10.1109/VLSIT.2015.7223640.

[79] C. Ho, S.-C. Chang, C.-Y. Huang, Y.-C. Chuang, S.-F. Lim, M.-H. Hsieh, S.-C. Chang et H.-H. Liao, "Integrated HfO2-RRAM to achieve highly reliable, greener, faster, cost-effective, and scaled devices," in *2017 IEEE International Electron Devices Meeting (IEDM)*, ISSN : 2156-017X, déc. 2017, p. 2.6.1-2.6.4. doi : 10.1109/IEDM.2017.8268314.

[80] C.-C. Chou, Z.-J. Lin, P.-L. Tseng, C.-F. Li, C.-Y. Chang, W.-C. Chen, Y.-D. Chih et T.-Y. J. Chang, "An N40 256K×44 embedded RRAM macro with SL-precharge SA and low-voltage current limiter to improve read and write performance," in *2018 IEEE International Solid-State Circuits Conference - (ISSCC)*, ISSN : 2376-8606, fév. 2018, p. 478-480. doi : 10.1109/ISSCC.2018.8310392.

[81] P. Jain, U. Arslan, M. Sekhar, B. C. Lin, L. Wei, T. Sahu, J. Alzate-vinasco, A. Vangapaty, M. Meterelliyoz, N. Strutt, A. B. Chen, P. Hentges, P. A. Quintero, C. Connor, O. Golonzka, K. Fischer et F. Hamzaoglu, "13.2 A 3.6Mb 10.1Mb/mm2 Embedded Non-Volatile ReRAM Macro in 22nm FinFET Technology with Adaptive Forming/Set/Reset Schemes Yielding Down to 0.5V with Sensing Time of 5ns at 0.7V," in *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*, ISSN : 2376-8606, fév. 2019, p. 212-214. DOI : 10.1109/ISSCC.2019.8662393.

[82] C.-C. Chou, Z.-J. Lin, C.-A. Lai, C.-I. Su, P.-L. Tseng, W.-C. Chen, W.-C. Tsai, W.-T. Chu, T.-C. Ong, H. Chuang, Y.-D. Chih et T.-Y. J. Chang, "A 22nm 96KX144 RRAM Macro with a Self-Tracking Reference and a Low Ripple Charge Pump to Achieve a Configurable Read Window and a Wide Operating Voltage Range," in *2020 IEEE Symposium on VLSI Circuits*, ISSN : 2158-5636, juin 2020, p. 1-2. DOI : 10.1109/VLSICircuits18222.2020.9163014.

[83] C.-F. Yang, C.-Y. Wu, M.-H. Yang, W. Wang, M.-T. Yang, T.-C. Chien, V. Fan, S.-C. Tsai, Y.-H. Lee, W.-T. Chu et A. Hung, "Industrially Applicable Read Disturb Model and Performance on Mega-Bit 28nm Embedded RRAM," in *2020 IEEE Symposium on VLSI Technology*, ISSN : 2158-9682, juin 2020, p. 1-2. DOI : 10.1109/VLSITechnology18217.2020.9265060.

[84] J. Yang, X. Xue, X. Xu, H. Lv, F. Zhang, X. Zeng, M.-F. Chang et M. Liu, "A 28nm 1.5Mb Embedded 1T2R RRAM with 14.8 Mb/mm2 using Sneaking Current Suppression and Compensation Techniques," in *2020 IEEE Symposium on VLSI Circuits*, ISSN : 2158-5636, juin 2020, p. 1-2. DOI : 10.1109/VLSICircuits18222.2020.9163035.

[85] J. Yang, X. Xue, X. Xu, Q. Wang, H. Jiang, J. Yu, D. Dong, F. Zhang, H. Lv et M. Liu, "24.2 A 14nm-FinFET 1Mb Embedded 1T1R RRAM with a 0.022µm2 Cell Size Using Self-Adaptive Delayed Termination and Multi-Cell Reference," in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, ISSN : 2376-8606, t. 64, fév. 2021, p. 336-338. DOI : 10.1109/ISSCC42613.2021.9365945.

[86] C. Peters, F. Adler, K. Hofmann et J. Otterstedt, "Reliability of 28nm embedded RRAM for consumer and industrial products," in *2022 IEEE International Memory Workshop (IMW)*, ISSN : 2573-7503, mai 2022, p. 1-3. DOI : 10.1109/IMW52921.2022.9779300.

[87] C.-Y. Wu, C.-F. Yang, C.-W. Lai, Y.-T. Wu, T.-C. Chien, M.-H. Yang, M.-T. Yang, Y.-N. Kao, C.-L. Cheng, C.-Y. Wang, H. W. Tseng, Y.-D. Chih, W.-T. Chu, A. Hung et W. H. Chuang, "Emerging Memory RRAM Embedded in 12FFC FinFET Technology for industrial Applications," in *2023 International Electron Devices Meeting (IEDM)*, ISSN : 2156-017X, déc. 2023, p. 1-4. DOI : 10.1109/IEDM45741.2023.10413775.

[88] S. Sills, A. Calderoni, N. Ramaswamy, S. Yasuda et K. Aratani, "High-density reRAM for storage class memory," in *2015 15th Non-Volatile Memory Technology Symposium (NVMTS)*, oct. 2015, p. 1-4. DOI : 10.1109/NVMTS.2015.7499973.

[89] M. Azzaz, E. Vianello, B. Sklenard, P. Blaise, A. Roule, C. Sabbione, S. Bernasconi, C. Charpin, C. Cagli, E. Jalaguier, S. Jeannot, S. Denorme, P. Candelier, M. Yu, L. Nistor, C. Fenouillet-Beranger et L. Perniola, "Endurance/Retention Trade Off in HfOx and TaOx Based RRAM," in *2016 IEEE 8th International Memory Workshop (IMW)*, mai 2016, p. 1-4. DOI : 10.1109/IMW.2016.7495268.

[90] D. Ielmini, F. Nardi et S. Balatti, "Evidence for Voltage-Driven Set/Reset Processes in Bipolar Switching RRAM," *IEEE Transactions on Electron Devices*, t. 59, n° 8, p. 2049-2056, août 2012, Conference Name : IEEE Transactions on Electron Devices. DOI : 10.1109/TED.2012.2199497.

[91] S. Balatti, S. Ambrogio, Z. Wang, S. Sills, A. Calderoni, N. Ramaswamy et D. Ielmini, "Voltage-Controlled Cycling Endurance of HfOx-Based Resistive-Switching Memory," *IEEE Transactions on Electron Devices*, t. 62, n° 10, p. 3365-3372, oct. 2015, Conference Name : IEEE Transactions on Electron Devices. DOI : 10.1109/TED.2015.2463104.

[92] S. Balatti et N. Ramaswamy, "Voltage-controlled cycling endurance of HfOx-based resistive-switching memory (RRAM)," en,

[93] J. Song, D. Lee, J. Woo, Y. Koo, E. Cha, S. Lee, J. Park, K. Moon, S. H. Misha, A. Prakash et H. Hwang, "Effects of RESET Current Overshoot and Resistance State on Reliability of RRAM," *IEEE Electron Device Letters*, t. 35, n° 6, p. 636-638, juin 2014. doi : 10.1109/LED.2014.2316544.

[94] A. Bende, S. Singh, C. K. Jha, T. Kempen, F. Cüppers, C. Bengel, A. Zambanini, D. Nielinger, S. Patkar, R. Drechsler, R. Waser, F. Merchant et V. Rana, "Experimental Validation of Memristor-Aided Logic Using 1T1R TaOx RRAM Crossbar Array," in *2024 37th International Conference on VLSI Design and 2024 23rd International Conference on Embedded Systems (VLSID)*, ISSN : 2380-6923, jan. 2024, p. 565-570. doi : 10.1109/VLSID60093.2024.00100.

[95] M. Liehr, J. Hazra, K. Beckmann et N. Cady, "Failure Analysis of 65nm CMOS Integrated Nanoscale ReRAM Devices on a 300mm Wafer Platform," in *2022 IEEE International Integrated Reliability Workshop (IIRW)*, ISSN : 2374-8036, oct. 2022, p. 1-7. doi : 10.1109/IIRW56459.2022.10032747.

[96] P. Zhou, L. Ye, Q.-Q. Sun, L. Chen, S.-J. Ding, A.-Q. Jiang et D. W. Zhang, "The Temperature Dependence in Nanoresistive Switching of HfAlO," *IEEE Transactions on Nanotechnology*, t. 11, n° 6, p. 1059-1062, nov. 2012. doi : 10.1109/TNANO.2012.2212453.

[97] C. Ahn, S. Kim, T. Gokmen, O. Dial, M. Ritter et H.-S. P. Wong, "Temperature-dependent studies of the electrical properties and the conduction mechanism of HfOx-based RRAM," in *Proceedings of Technical Program - 2014 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*, ISSN : 1524-766X, avr. 2014, p. 1-2. doi : 10.1109/VLSI-TSA.2014.6839685.

[98] Y. Zhang, N. Deng, H. Wu, Z. Yu, J. Zhang et H. Qian, "Metallic to hopping conduction transition in Ta2O5x/TaOy resistive switching device," *Applied Physics Letters*, t. 105, n° 6, p. 063 508, août 2014. doi : 10.1063/1.4893325.

[99] N. F. Mott, "On the transition to metallic conduction in semiconductors," *Canadian Journal of Physics*, t. 34, n° 12A, p. 1356-1368, déc. 1956, Publisher : NRC Research Press. doi : 10.1139/p56-151.

[100] R. Fang, W. Chen, L. Gao, W. Yu et S. Yu, "Low-Temperature Characteristics of HfOx-Based Resistive Random Access Memory," *IEEE Electron Device Letters*, t. 36, n° 6, p. 567-569, juin 2015, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2015.2420665.

[101] J. Shang, G. Liu, H. Yang, X. Zhu, X. Chen, H. Tan, B. Hu, L. Pan, W. Xue et R.-W. Li, "Thermally Stable Transparent Resistive Random Access Memory based on All-Oxide Heterostructures," en, *Advanced Functional Materials*, t. 24, n° 15, p. 2171-2179, 2014, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/adfm.201303274. doi : 10.1002/adfm.201303274.

[102] M. Grundmann, "Defects," en, in *The Physics of Semiconductors : An Introduction Including Nanophysics and Applications*, M. Grundmann, éd., Berlin, Heidelberg : Springer, 2010, p. 73-102. doi : 10.1007/978-3-642-13884-3_4.

[103] C. Vaca, M. B. González, H. Castán, H. García, S. Dueñas, F. Campabadal, E. Miranda et L. A. Bailón, "Study From Cryogenic to High Temperatures of the High- and Low-Resistance-State Currents of ReRAM Ni–HfO2–Si Capacitors," *IEEE Transactions on Electron Devices*, t. 63, n° 5, p. 1877-1883, mai 2016. doi : 10.1109/TED.2016.2546898.

[104] D. Maldonado, C. Aguilera-Pedregosa, G. Vinuesa, H. García, S. Dueñas, H. Castán, S. Aldana, M. Gonzalez, E. Moreno, F. Jiménez-Molinos, F. Campabadal et J. Roldan, "An experimental and simulation study of the role of thermal effects on variability in TiN/Ti/HfO2/W resistive switching nonlinear devices," *Chaos, Solitons & Fractals*, t. 160, p. 112 247, juill. 2022. doi : 10.1016/j.chaos.2022.112247.

[105] X.-D. Huang, Y. Li, H.-Y. Li, K.-H. Xue, X. Wang et X.-S. Miao, "Forming-Free, Fast, Uniform, and High Endurance Resistive Switching From Cryogenic to High Temperatures in W/AlOx/Al2O3/Pt Bilayer Memristor," *IEEE Electron Device Letters*, t. 41, n° 4, p. 549-552, avr. 2020. doi : 10.1109/LED.2020.2977397.

[106] S. Blonkowski et T. Cabout, "Bipolar resistive switching from liquid helium to room temperature," en, *Journal of Physics D : Applied Physics*, t. 48, n° 34, p. 345 101, juill. 2015, Publisher : IOP Publishing. doi : 10.1088/0022-3727/48/34/345101.

[107] Z. Hao, B. Gao, M. Xu, Q. Hu, W. Zhang, X. Li, F. Sun, J. Tang, H. Qian et H. Wu, "Cryogenic HfO-Based Resistive Memory With a Thermal Enhancement Capping Layer," *IEEE Electron Device Letters*, t. 42, n° 9, p. 1276-1279, sept. 2021, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2021.3099725.

[108] G. Ghibaudo et F. Balestra, "Low temperature characterization of silicon CMOS devices," *Microelectronics Reliability*, Advances in Microelectronics : Approaching the Millenium, t. 37, n° 9, p. 1353-1366, sept. 1997. doi : 10.1016/S0026-2714(97)00007-3.

[109] T. Vijayakanth, D. J. Liptrot, E. Gazit, R. Boomishankar et C. R. Bowen, "Recent Advances in Organic and Organic–Inorganic Hybrid Materials for Piezoelectric Mechanical Energy Harvesting," en, *Advanced Functional Materials*, t. 32, n° 17, p. 2 109 492, 2022, _eprint : https ://advanced.onlinelibrary.wiley.com/doi/pdf/10.1002/adfm.202109492. doi : 10.1002/adfm.202109492.

[110] J. Valasek, "Piezo-Electric and Allied Phenomena in Rochelle Salt," *Physical Review*, t. 17, n° 4, p. 475-481, avr. 1921, Publisher : American Physical Society. doi : 10.1103/PhysRev.17.475.

[111] T. Hans et D. James, "Insulating material," US2429588A, Inventors : _ :n1899, oct. 1947.

[112] E. Sawaguchi, "Ferroelectricity versus Antiferroelectricity in the Solid Solutions of PbZrO3 and PbTiO3," *Journal of the Physical Society of Japan*, t. 8, n° 5, p. 615-629, sept. 1953, Publisher : The Physical Society of Japan. doi : 10.1143/JPSJ.8.615.

[113] J. R. Anderson, "Ferroelectric materials as storage elements for digital computers and switching systems," *Transactions of the American Institute of Electrical Engineers, Part I : Communication and Electronics*, t. 71, n° 6, p. 395-401, jan. 1953. doi : 10.1109/TCE.1953.6371953.

[114] R. C. Kell, G. A. Luck et L. A. Thomas, "The use of ferroelectric ceramics for vibration analysis," en, *Journal of Scientific Instruments*, t. 34, n° 7, p. 271, juill. 1957. doi : 10.1088/0950-7671/34/7/306.

[115] D. A. Buck, "Ferroelectrics for Digital Information Storage and Switching," en, MIT Digital Computer Laboratory, Technical Report, juin 1952, Accepted : 2009-06-10T20 :38 :07Z.

[116] G. H. Haertling, "Ferroelectric Ceramics : History and Technology," en, *Journal of the American Ceramic Society*, t. 82, n° 4, p. 797-818, 1999, _eprint : https ://ceramics.onlinelibrary.wiley.com/doi/pdf/10.1111/j.1151-2916.1999.tb01840.x. doi : 10.1111/j.1151-2916.1999.tb01840.x.

[117] P. K. Larsen, G. J. M. Dormans, D. J. Taylor et P. J. van Veldhoven, "Ferroelectric properties and fatigue of PbZr0.51Ti0.49O3 thin films of varying thickness : Blocking layer model," *Journal of Applied Physics*, t. 76, n° 4, p. 2405-2413, août 1994. doi : 10.1063/1.357589.

[118] C. H. Lin, P. A. Friddle, C. H. Ma, A. Daga et H. Chen, "Effects of thickness on the electrical properties of metalorganic chemical vapor deposited Pb(Zr,Ti)O3 (25–100 nm) thin films on LaNiO3 buffered Si," *Journal of Applied Physics*, t. 90, n° 3, p. 1509-1515, août 2001. doi : 10.1063/1.1383262.

[119] W. Banerjee, A. Kashir et S. Kamba, "Hafnium Oxide (HfO2) – A Multifunctional Oxide : A Review on the Prospect and Challenges of Hafnium Oxide in Resistive Switching and Ferroelectric Memories," en, *Small*, t. 18, n° 23, p. 2 107 575, 2022, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/smll.202107575. doi : 10.1002/smll.202107575.

[120] T. S. Böscke, J. Müller, D. Bräuhaus, U. Schröder et U. Böttger, "Ferroelectricity in hafnium oxide thin films," *Applied Physics Letters*, t. 99, n° 10, p. 102 903, sept. 2011. doi : 10.1063/1.3634052.

[121] M. H. Park, C.-C. Chung, T. Schenk, C. Richter, M. Hoffmann, S. Wirth, J. L. Jones, T. Mikolajick et U. Schroeder, "Origin of Temperature-Dependent Ferroelectricity in Si-Doped HfO2," en, *Advanced Electronic Materials*, t. 4, n° 4, p. 1 700 489, 2018, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.201700489. doi : 10.1002/aelm.201700489.

[122] M. Hoffmann, U. Schroeder, T. Schenk, T. Shimizu, H. Funakubo, O. Sakata, D. Pohl, M. Drescher, C. Adelmann, R. Materlik, A. Kersch et T. Mikolajick, "Stabilizing the ferroelectric phase in doped hafnium oxide," *Journal of Applied Physics*, t. 118, n° 7, p. 072 006, août 2015. doi : 10.1063/1.4927805.

[123] O. Ohtaka, H. Fukui, T. Kunisada, T. Fujisawa, K. Funakoshi, W. Utsumi, T. Irifune, K. Kuroda et T. Kikegawa, "Phase Relations and Volume Changes of Hafnia under High Pressure and High Temperature," en, *Journal of the American Ceramic Society*, t. 84, n° 6, p. 1369-1373, 2001, _eprint : https ://ceramics.onlinelibrary.wiley.com/doi/pdf 2916.2001.tb00843.x. doi : 10.1111/j.1151-2916.2001.tb00843.x.

[124] R. Materlik, C. Künneth et A. Kersch, "The origin of ferroelectricity in Hf1xZrxO2 : A computational investigation and a surface energy model," *Journal of Applied Physics*, t. 117, n° 13, p. 134 109, avr. 2015. doi : 10.1063/1.4916707.

[125] T. Zhu, L. Ma, S. Deng et S. Liu, "Progress in computational understanding of ferroelectric mechanisms in HfO2," en, *npj Computational Materials*, t. 10, n° 1, p. 1-18, août 2024, Publisher : Nature Publishing Group. doi : 10.1038/s41524-024-01352-0.

[126] X. Sang, E. D. Grimley, T. Schenk, U. Schroeder et J. M. LeBeau, "On the structural origins of ferroelectricity in HfO2 thin films," *Applied Physics Letters*, t. 106, n° 16, p. 162 905, avr. 2015. doi : 10.1063/1.4919135.

[127] P. Jiang, Q. Luo, X. Xu, T. Gong, P. Yuan, Y. Wang, Z. Gao, W. Wei, L. Tai et H. Lv, "Wake-Up Effect in HfO2-Based Ferroelectric Films," en, *Advanced Electronic Materials*, t. 7, n° 1, p. 2 000 728, 2021, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.202000728. doi : 10.1002/aelm.202000728.

[128] L.-Y. Ma et S. Liu, "Structural Polymorphism Kinetics Promoted by Charged Oxygen Vacancies in ${\mathrm{HfO}}_{2}$," *Physical Review Letters*, t. 130, n° 9, p. 096 801, fév. 2023, Publisher : American Physical Society. doi : 10.1103/PhysRevLett.130.096801.

[129] M. Zheng, Z. Yin, Y. Cheng, X. Zhang, J. Wu et J. Qi, "Stabilization of thick, rhombohedral Hf0.5Zr0.5O2 epilayer on c-plane ZnO," *Applied Physics Letters*, t. 119, n° 17, p. 172 904, oct. 2021. doi : 10.1063/5.0064113.

[130] A. Kersch et M. Falkowski, "New Low-Energy Crystal Structures in ZrO2 and HfO2," en, *physica status solidi (RRL) – Rapid Research Letters*, t. 15, n° 5, p. 2 100 074, 2021, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/pssr.202100 doi : 10.1002/pssr.202100074.

[131] F. Yan, Y. Wu, Y. Liu, P. Ai, S. Liu, S. Deng, K.-H. Xue, Q. Fu et W. Dong, "Recent progress on defect-engineering in ferroelectric HfO 2 : The next step forward via multiscale structural optimization," en, *Materials Horizons*, t. 11, n° 3, p. 626-645, 2024, Publisher : Royal Society of Chemistry. doi : 10.1039/D3MH01273E.

[132] P. Polakowski et J. Müller, "Ferroelectricity in undoped hafnium oxide," *Applied Physics Letters*, t. 106, n° 23, p. 232 905, juin 2015. doi : 10.1063/1.4922272.

[133] J. Müller, T. S. Böscke, U. Schröder, S. Mueller, D. Bräuhaus, U. Böttger, L. Frey et T. Mikolajick, "Ferroelectricity in Simple Binary ZrO2 and HfO2," *Nano Letters*, t. 12, n° 8, p. 4318-4323, août 2012, Publisher : American Chemical Society. doi : 10.1021/nl302049k.

[134] T. Francois, C. Pellissier, S. Slesazeck, V. Havel, C. Richter, A. Makosiej, B. Giraud, E. Breyer, M. Materano, P. Chiquet, M. Bocquet, L. Grenouillet, E. Nowak, U. Schroeder, F. Gaillard, J. Coignus, P. Blaise, C. Carabasse, N. Vaxelaire, T. Magis, F. Aussenac et V. Loup, "Demonstration of BEOL-compatible ferroelectric Hf0.5Zr0.5O2 scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications," t. 2019-December, 2019. doi : 10.1109/IEDM19573.2019.8993485.

[135] L. Grenouillet, J. Barbot, J. Laguerre, S. Martin, C. Carabasse, M. Louro, M. Bedjaoui, S. Minoret, S. Kerdilès, C. Boixaderas, T. Magis, C. Jahan, F. Andrieu et J. Coignus, "Reliability assessment of hafnia-based ferroelectric devices and arrays for memory and AI applications (Invited)," in *2023 IEEE International Reliability Physics Symposium (IRPS)*, ISSN : 1938-1891, mars 2023, p. 1-8. doi : 10.1109/IRPS48203.2023.10118099.

[136] F. Mehmood, T. Mikolajick et U. Schroeder, "Wake-Up Mechanisms in Ferroelectric Lanthanum-Doped Hf0.5Zr0.5O2 Thin Films," en, *physica status solidi (a)*, t. 217, n° 22, p. 2 000 281, 2020, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/ DOI : 10.1002/pssa.202000281.

[137] L. Alrifai, E. Skopin, N. Guillaume, P. Gonon et A. Bsiesy, "Doped and undoped ferroelectric HfO2 : Role of Gd-doping in stabilizing the ferroelectric phase," *Applied Physics Letters*, t. 123, n° 3, 2023. DOI : 10.1063/5.0151257.

[138] S. Mueller, J. Mueller, A. Singh, S. Riedel, J. Sundqvist, U. Schroeder et T. Mikolajick, "Incipient Ferroelectricity in Al-Doped HfO2 Thin Films," en, *Advanced Functional Materials*, t. 22, n° 11, p. 2412-2417, 2012, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/adfm.201103119. DOI : 10.1002/adfm.201103119.

[139] M. H. Park, H. J. Kim, Y. J. Kim, Y. H. Lee, T. Moon, K. D. Kim, S. D. Hyun, F. Fengler, U. Schroeder et C. S. Hwang, "Effect of Zr Content on the Wake-Up Effect in Hf1−xZrxO2 Films," *ACS Applied Materials & Interfaces*, t. 8, n° 24, p. 15 466-15 475, juin 2016, Publisher : American Chemical Society. DOI : 10.1021/acsami.6b03586.

[140] T. Mikolajick, S. Slesazeck, H. Mulaosmanovic, M. H. Park, S. Fichtner, P. D. Lomenzo, M. Hoffmann et U. Schroeder, "Next generation ferroelectric materials for semiconductor process integration and their applications," *Journal of Applied Physics*, t. 129, n° 10, p. 100 901, mars 2021. DOI : 10.1063/5.0037617.

[141] J. Okuno, T. Kunihiro, K. Konishi, H. Maemura, Y. Shuto, F. Sugaya, M. Materano, T. Ali, K. Kuehnel, K. Seidel, U. Schroeder, T. Mikolajick, M. Tsukamoto et T. Umebayashi, "SoC Compatible 1T1C FeRAM Memory Array Based on Ferroelectric Hf0.5Zr0.5O2," in *2020 IEEE Symposium on VLSI Technology*, ISSN : 2158-9682, juin 2020, p. 1-2. DOI : 10.1109/VLSITechnology18217.2020.9265063.

[142] N. Zagni, F. M. Puglisi, P. Pavan et M. A. Alam, "Reliability of HfO2-Based Ferroelectric FETs : A Critical Review of Current and Future Challenges," *Proceedings of the IEEE*, t. 111, n° 2, p. 158-184, fév. 2023. DOI : 10.1109/JPROC.2023.3234607.

[143] W. Luo, R. Zhu, H. Shao, X. Xu, Y. Zhou, R. Huang et K. Tang, "Decoupling Polarization and Charges by In-Situ Vmid Extraction for Insight Into Trapping Dynamics of FeMFET," *IEEE Electron Device Letters*, t. 46, n° 8, p. 1321-1324, août 2025. DOI : 10.1109/LED.2025.3580719.

[144] J. Barbot, R. Fontanini, M. Segatto, J. Coignus, F. Triozon, C. Carabasse, M. Bedjaoui, F. Andrieu, D. Esseni et L. Grenouillet, "Dynamics of polarization loss and imprint in bilayer ferroelectric tunnel junctions," *Journal of Applied Physics*, t. 134, n° 21, p. 214 102, déc. 2023. DOI : 10.1063/5.0176374.

[145] D. Lehninger, F. Müller, Y. Raffel, S. Yang, M. Neuber, S. Abdulazhanov, T. Kämpfe, K. Seidel et M. Lederer, "Ferroelectric Hafnium Oxide : A Potential Game-Changer for Nanoelectronic Devices and Systems," en, *Advanced Electronic Materials*, t. 11, n° 7, p. 2 400 686, 2025, _eprint : https ://advanced.onlinelibrary.wiley.com/doi/pdf/10.100 DOI : 10.1002/aelm.202400686.

[146] F. Berthaud, N. Castellani, N. Vaxelaire, G. Freychet, A. Mallmann Tonelli, L. Hosier, J. Rottner, C. Carabasse, M. Casse, L. Grenouillet et S. Martin, "New Insights of Ferroelectric Hf0.5Zr0.5O2 Thin Films Properties under Cryogenic Temperatures in Integrated Ferroelectric Capacitors," *Advanced Physics Research*, t. 5, n° 2, déc. 2025. DOI : 10.1002/apxr.70098.

[147] J. F. Scott, "Ferroelectrics go bananas," en, *Journal of Physics : Condensed Matter*, t. 20, n° 2, p. 021 001, déc. 2007. DOI : 10.1088/0953-8984/20/02/021001.

[148] M. Pešić, F. P. G. Fengler, L. Larcher, A. Padovani, T. Schenk, E. D. Grimley, X. Sang, J. M. LeBeau, S. Slesazeck, U. Schroeder et T. Mikolajick, "Physical Mechanisms behind the Field-Cycling Behavior of HfO2-Based Ferroelectric Capacitors," en, *Advanced Functional Materials*, t. 26, n° 25, p. 4601-4612, 2016, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/adfm.201600590. DOI : 10.1002/adfm.201600590.

[149] P. D. Lomenzo, C. Richter, T. Mikolajick et U. Schroeder, "Depolarization as Driving Force in Antiferroelectric Hafnia and Ferroelectric Wake-Up," *ACS Applied Electronic Materials*, t. 2, n° 6, p. 1583-1595, juin 2020, Publisher : American Chemical Society. DOI : 10.1021/acsaelm.0c00184.

[150] M. Lederer, R. Olivo, D. Lehninger, S. Abdulazhanov, T. Kämpfe, S. Kirbach, C. Mart, K. Seidel et L. M. Eng, "On the Origin of Wake-Up and Antiferroelectric-Like Behavior in Ferroelectric Hafnium Oxide," en, *physica status solidi (RRL) – Rapid Research Letters*, t. 15, n° 5, p. 2 100 086, 2021, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1 doi : 10.1002/pssr.202100086.

[151] M. H. Park, H. J. Kim, Y. H. Lee, Y. J. Kim, T. Moon, K. D. Kim, S. D. Hyun et C. S. Hwang, "Two-step polarization switching mediated by a nonpolar intermediate phase in Hf0.4Zr0.6O2 thin films," en, *Nanoscale*, t. 8, n° 29, p. 13 898-13 907, juill. 2016, Publisher : The Royal Society of Chemistry. doi : 10.1039/C5NR08346J.

[152] W. Hamouda, A. Pancotti, C. Lubin, L. Tortech, C. Richter, T. Mikolajick, U. Schroeder et N. Barrett, "Physical chemistry of the TiN/Hf0.5Zr0.5O2 interface," *Journal of Applied Physics*, t. 127, n° 6, p. 064 105, fév. 2020. doi : 10.1063/1.5128502.

[153] T. Schenk, M. Hoffmann, J. Ocker, M. Pešić, T. Mikolajick et U. Schroeder, "Complex Internal Bias Fields in Ferroelectric Hafnium Oxide," *ACS Applied Materials & Interfaces*, t. 7, n° 36, p. 20 224-20 233, sept. 2015, Publisher : American Chemical Society. doi : 10.1021/acsami.5b05773.

[154] C. Richter, T. Schenk, M. H. Park, F. A. Tscharntke, E. D. Grimley, J. M. LeBeau, C. Zhou, C. M. Fancher, J. L. Jones, T. Mikolajick et U. Schroeder, "Si Doped Hafnium Oxide—A "Fragile" Ferroelectric System," en, *Advanced Electronic Materials*, t. 3, n° 10, p. 1 700 131, 2017, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.201700131. doi : 10.1002/aelm.201700131.

[155] F. P. G. Fengler, M. Hoffmann, S. Slesazeck, T. Mikolajick et U. Schroeder, "On the relationship between field cycling and imprint in ferroelectric Hf0.5Zr0.5O2," *Journal of Applied Physics*, t. 123, n° 20, p. 204 101, mai 2018. doi : 10.1063/1.5026424.

[156] B. Saini, F. Huang, Y.-Y. Choi, Z. Yu, V. Thampy, J. D. Baniecki, W. Tsai et P. C. McIntyre, "Field-Induced Ferroelectric Phase Evolution During Polarization "Wake-Up" in Hf0.5Zr0.5O2 Thin Film Capacitors," en, *Advanced Electronic Materials*, t. 9, n° 6, p. 2 300 016, 2023, _eprint : https ://advanced.onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.202300 doi : 10.1002/aelm.202300016.

[157] S. T. Jaszewski, S. S. Fields, S. Calderon, B. L. Aronson, T. E. Beechem, K. P. Kelley, C. Zhang, M. K. Lenox, I. A. Brummel, E. C. Dickey et J. F. Ihlefeld, "Phase Transformations Driving Biaxial Stress Reduction During Wake-Up of Ferroelectric Hafnium Zirconium Oxide Thin Films," en, *Advanced Electronic Materials*, t. 10, n° 11, p. 2 400 151, 2024, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.202400151. doi : 10.1002/aelm.202400151.

[158] C. Wang, "Theories and Methods of First Order Ferroelectric Phase Transitions," en, in *Ferroelectrics*, IntechOpen, déc. 2010. doi : 10.5772/13359.

[159] D. Zhou, Y. Guan, M. M. Vopson, J. Xu, H. Liang, F. Cao, X. Dong, J. Mueller, T. Schenk et U. Schroeder, "Electric field and temperature scaling of polarization reversal in silicon doped hafnium oxide ferroelectric thin films," *Acta Materialia*, t. 99, p. 240-246, oct. 2015. doi : 10.1016/j.actamat.2015.07.035.

[160] D. Wang, J. Wang, Q. Li, W. He, M. Guo, A. Zhang, Z. Fan, D. Chen, M. Qin, M. Zeng, X. Gao, G. Zhou, X. Lu et J. Liu, "Stable ferroelectric properties of Hf0.5Zr0.5O2 thin films within a broad working temperature range," en, *Japanese Journal of Applied Physics*, t. 58, n° 9, p. 090 910, août 2019, Publisher : IOP Publishing. doi : 10.7567/1347-4065/ab3844.

[161] J. W. Adkins, I. Fina, F. Sánchez, S. R. Bakaul et J. T. Abiade, "Thermal evolution of ferroelectric behavior in epitaxial Hf0.5Zr0.5O2," *Applied Physics Letters*, t. 117, n° 14, p. 142 902, oct. 2020. doi : 10.1063/5.0015547.

[162] S. Starschich, S. Menzel et U. Böttger, "Evidence for oxygen vacancies movement during wake-up in ferroelectric hafnium oxide," *Applied Physics Letters*, t. 108, n° 3, p. 032 903, jan. 2016. doi : 10.1063/1.4940370.

[163] J. Hur, Y.-C. Luo, Z. Wang, S. Lombardo, A. I. Khan et S. Yu, "Characterizing Ferroelectric Properties of Hf0.5Zr0.5O2 From Deep-Cryogenic Temperature (4 K) to 400 K," *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*, t. 7, n° 2, p. 168-174, déc. 2021, Conference Name : IEEE Journal on Exploratory Solid-State Computational Devices and Circuits. doi : 10.1109/JXCDC.2021.3130783.

[164] Y. Xing, Y.-R. Chen, J.-F. Wang, Z. Zhao, Y.-W. Chen, G.-H. Chen, Y. Lin, R. Dobhal et C. W. Liu, "Improved Ferroelectricity in Cryogenic Phase Transition of Hf0.5Zr0.5O2," *IEEE Journal of the Electron Devices Society*, t. 10, p. 996-1002, 2022, Conference Name : IEEE Journal of the Electron Devices Society. doi : 10.1109/JEDS.2022.3218004.

[165] Z.-Q. Wang, S. Ambrogio, S. Balatti, S. Sills, A. Calderoni, N. Ramaswamy et D. Ielmini, "Cycling-induced degradation of metal-oxide resistive switching memory (RRAM)," in *2015 IEEE International Electron Devices Meeting (IEDM)*, ISSN : 2156-017X, déc. 2015, p. 7.6.1-7.6.4. doi : 10.1109/IEDM.2015.7409649.

[166] R. Degraeve, A. Fantini, N. Raghavan, L. Goux, S. Clima, B. Govoreanu, A. Belmonte, D. Linten et M. Jurczak, "Causes and consequences of the stochastic aspect of filamentary RRAM," *Microelectronic Engineering*, Insulating Films on Semiconductors 2015, t. 147, p. 171-175, nov. 2015. doi : 10.1016/j.mee.2015.04.025.

[167] F. Berthaud, S. Martin, J. Rottner, L. Alrifai, L. Grenouillet, M. Casse et N. Castellani, "Cryogenic characterization and reliability of 1T1R OxRAM memory bit cell," *IEEE Transactions on Electron Devices*, t. 73, n° 3, p. 1333-1339, jan. 2026. doi : 10.1109/TED.2026.3653392.

[168] E. Perez-Bosch Quesada, A. Mistroni, R. Jia, K. Dorai Swamy Reddy, F. Reichmann, H. Castan, S. Dueñas, C. Wenger et E. Perez, "Forming and Resistive Switching of HfO-Based RRAM Devices at Cryogenic Temperature," *IEEE Electron Device Letters*, t. 45, n° 12, p. 2391-2394, déc. 2024, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2024.3485873.

[169] L. Vandelli, A. Padovani, L. Larcher, G. Broglia, G. Ori, M. Montorsi, G. Bersuker et P. Pavan, "Comprehensive physical modeling of forming and switching operations in HfO2 RRAM devices," in *2011 International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2011, p. 17.5.1-17.5.4. doi : 10.1109/IEDM.2011.6131574.

[170] Y. Sato, K. Tsunoda, K. Kinoshita, H. Noshiro, M. Aoki et Y. Sugiyama, "Sub-\hbox100-\mu\hboxA Reset Current of Nickel Oxide Resistive Memory Through Control of Filamentary Conductance by Current Limit of MOSFET," *IEEE Transactions on Electron Devices*, t. 55, n° 5, p. 1185-1191, mai 2008. doi : 10.1109/TED.2008.919385.

[171] H. García, S. Dueñas, Ó. G. Ossorio et H. Castán, "Current Pulses to Control the Conductance in RRAM Devices," *IEEE Journal of the Electron Devices Society*, t. 8, p. 291-296, 2020, Conference Name : IEEE Journal of the Electron Devices Society. doi : 10.1109/JEDS.2020.2979293.

[172] F. Balestra, L. Audaire et C. Lucas, "Influence of substrate freeze-out on the characteristics of MOS transistors at very low temperatures," *Solid-State Electronics*, t. 30, n° 3, p. 321-327, mars 1987. doi : 10.1016/0038-1101(87)90190-0.

[173] R. M. Incandela, L. Song, H. Homulle, E. Charbon, A. Vladimirescu et F. Sebastiano, "Characterization and Compact Modeling of Nanometer CMOS Transistors at Deep-Cryogenic Temperatures," *IEEE Journal of the Electron Devices Society*, t. 6, p. 996-1006, 2018. doi : 10.1109/JEDS.2018.2821763.

[174] F. De Stefano, M. Houssa, V. V. Afanas'ev, J. A. Kittl, M. Jurczak et A. Stesmans, "Nature of the filament formed in HfO2-based resistive random access memory," *Thin Solid Films*, EMRS 2012 Symposium L, t. 533, p. 15-18, avr. 2013. doi : 10.1016/j.tsf.2012.12.097.

[175] A. Prakash, D. Deleruyelle, J. Song, M. Bocquet et H. Hwang, "Resistance controllability and variability improvement in a TaOx-based resistive memory for multilevel storage application," *Applied Physics Letters*, t. 106, p. 233 104, juin 2015. doi : 10.1063/1.4922446.

[176] Y. Beilliard, F. Paquette, F. Brousseau, S. Ecoffey, F. Alibart et D. Drouin, "Investigation of resistive switching and transport mechanisms of Al2O3/TiO2x memristors under cryogenic conditions (1.5 K)," *AIP Advances*, t. 10, n° 2, p. 025 305, fév. 2020. doi : 10.1063/1.5140994.

[177] A. Fantini, D. J. Wouters, R. Degraeve, L. Goux, L. Pantisano, G. Kar, Y.-Y. Chen, B. Govoreanu, J. A. Kittl, L. Altimime et M. Jurczak, "Intrinsic Switching Behavior in HfO2 RRAM by Fast Electrical Measurements on Novel 2R Test Structures," en, in *2012 4th IEEE International Memory Workshop*, Milan : IEEE, mai 2012, p. 1-4. doi : 10.1109/IMW.2012.6213646.

[178] M. Maestro, J. Martin-Martinez, J. Diaz, A. Crespo-Yepes, M. Gonzalez, R. Rodriguez, F. Campabadal, M. Nafria et X. Aymerich, "Analysis of Set and Reset mechanisms in Ni/HfO2-based RRAM with fast ramped voltages," en, *Microelectronic Engineering*, t. 147, p. 176-179, nov. 2015. doi : 10.1016/j.mee.2015.04.057.

[179] D. Maldonado, G. Vinuesa, S. Aldana, F. Aguirre, A. Cantudo, H. García, M. Gonzalez, F. Jiménez-Molinos, F. Campabadal, E. Miranda, S. Dueñas, H. Castán et J. Roldan, "A thorough investigation of the switching dynamics of TiN/Ti/10 nm-HfO2/W resistive memories," *Materials Science in Semiconductor Processing*, t. 169, p. 107 878, jan. 2024. doi : 10.1016/j.mssp.2023.107878.

[180] A. Rodriguez-Fernandez, C. Cagli, L. Perniola, J. Suñé et E. Miranda, "Effect of the voltage ramp rate on the set and reset voltages of ReRAM devices," en, *Microelectronic Engineering*, t. 178, p. 61-65, juin 2017. doi : 10.1016/j.mee.2017.04.039.

[181] H. Y. Lee, Y. S. Chen, P. S. Chen, P. Y. Gu, Y. Y. Hsu, S. M. Wang, W. H. Liu, C. H. Tsai, S. S. Sheu, P. C. Chiang, W. P. Lin, C. H. Lin, W. S. Chen, F. T. Chen, C. H. Lien et M.-J. Tsai, "Evidence and solution of over-RESET problem for HfOX based resistive memory with sub-ns switching speed and high endurance," in *2010 International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2010, p. 19.7.1-19.7.4. doi : 10.1109/IEDM.2010.5703395.

[182] Z. Chai, W. Zhang, P. Freitas, F. Hatem, J. F. Zhang, J. Marsland, B. Govoreanu, L. Goux, G. S. Kar, S. Hall, P. Chalker et J. Robertson, "The Over-Reset Phenomenon in Ta $_2$ O $_5$ RRAM Device Investigated by the RTN-Based Defect Probing Technique," en, *IEEE Electron Device Letters*, t. 39, n° 7, p. 955-958, juill. 2018. doi : 10.1109/LED.2018.2833149.

[183] P. S. Huang, S. Shah, A. A. Sharka, G. Kengni, Y. Masuoka et H. Y. Wong, "Cryogenic Behaviors of 65nm Transistor : On-State IV and Parameters," in *2024 IEEE Workshop on Microelectronics and Electron Devices (WMED)*, ISSN : 1947-3842, mars 2024, p. 1-4. doi : 10.1109/WMED61554.2024.10534143.

[184] T. Cabout, "Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour applications basse consommation," These de doctorat, Aix-Marseille, déc. 2014.

[185] G. S. Kumar, G. Prasad et R. O. Pohl, "Experimental determinations of the Lorenz number," en, *Journal of Materials Science*, t. 28, n° 16, p. 4261-4272, août 1993. doi : 10.1007/BF01154931.

[186] J. Sandrini, M. Barlas, J. F. Nodin, O. Billoint, G. Molas, R. Fournel, E. Nowak, F. Gaillard, C. Cagli, L. Grenouillet, V. Meli, N. Castellani, I. Hammad, S. Bernasconi, F. Aussenac, S. Van Duijn et G. Audoit, "OxRAM for embedded solutions on advanced node : scaling perspectives considering statistical reliability and design constraints," en, in *2019 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA : IEEE, déc. 2019, p. 30.5.1-30.5.4. doi : 10.1109/IEDM19573.2019.8993484.

[187] S. Guitarra, L. Trojman et L. Raymond, "Effects of the compliance current in the electroforming process of HfO2-based ReRAM devices," in *2023 IEEE Latin American Electron Devices Conference (LAEDC)*, ISSN : 2835-3471, juill. 2023, p. 1-4. doi : 10.1109/LAEDC58183.2023.10209142.

[188] A. Chen, "Area and Thickness Scaling of Forming Voltage of Resistive Switching Memories," *IEEE Electron Device Letters*, t. 35, n° 1, p. 57-59, jan. 2014, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2013.2288262.

[189] Y.-T. Su, H.-W. Liu, P.-H. Chen, T.-C. Chang, T.-M. Tsai, T.-J. Chu, C.-H. Pan, C.-H. Wu, C.-C. Yang, M.-C. Wang, S. Zhang, H. Wang et S. M. Sze, "A Method to Reduce Forming Voltage Without Degrading Device Performance in Hafnium Oxide-Based 1T1R Resistive Random Access Memory," *IEEE Journal of the Electron Devices Society*, t. 6, p. 341-345, 2018. doi : 10.1109/JEDS.2018.2805285.

[190] G. Molas, G. Piccolboni, A. Bricalli, A. Verdy, I. Naot, Y. Cohen, A. Regev, I. Naveh, D. Deleruyelle, Q. Rafhay, N. Castellani, L. Reganaz, A. Persico, R. Segaud, J. F. Nodin, V. Meli, S. Martin, F. Andrieu et L. Grenouillet, "High temperature stability embedded ReRAM for 2x nm node and beyond," in *2022 IEEE International Memory Workshop (IMW)*, ISSN : 2573-7503, mai 2022, p. 1-4. doi : 10.1109/IMW52921.2022.9779293.

[191] Y. Y. Chen, B. Govoreanu, L. Goux, R. Degraeve, A. Fantini, G. S. Kar, D. J. Wouters, G. Groeseneken, J. A. Kittl, M. Jurczak et L. Altimime, "Balancing SET/RESET Pulse for >\hbox10^10 Endurance in \hboxHfO_2\hbox/Hf 1T1R Bipolar RRAM," *IEEE Transactions on Electron Devices*, t. 59, nº 12, p. 3243-3249, déc. 2012. doi : 10.1109/TED.2012.2218607.

[192] G. González-Cordero, M. B. González, M. Zabala, K. Kalam, A. Tamm, F. Jiménez-Molinos, F. Campabadal et J. B. Roldán, "Study of RTN signals in resistive switching devices based on neural networks," *Solid-State Electronics*, t. 183, p. 108 034, sept. 2021. doi : 10.1016/j.sse.2021.108034.

[193] D. Veksler, G. Bersuker, L. Vandelli, A. Padovani, L. Larcher, A. Muraviev, B. Chakrabarti, E. Vogel, D. C. Gilmer et P. D. Kirsch, "Random telegraph noise (RTN) in scaled RRAM devices," in *2013 IEEE International Reliability Physics Symposium (IRPS)*, ISSN : 1938-1891, avr. 2013, MY.10.1-MY.10.4. doi : 10.1109/IRPS.2013.6532101.

[194] F. M. Puglisi, C. Wenger et P. Pavan, "A Novel Program-Verify Algorithm for Multi-Bit Operation in HfO2 RRAM," *IEEE Electron Device Letters*, t. 36, nº 10, p. 1030-1032, oct. 2015. doi : 10.1109/LED.2015.2464256.

[195] A. Yamada, Z. Huang, N. Misawa, C. Matsui et K. Takeuchi, "Comprehensive Analysis of Read Fluctuations in ReRAM CiM by Using Fluctuation Pattern Classifier," en, *IEICE Transactions on Electronics*, t. E107-C, nº 10, p. 416-425, oct. 2024, Publisher : The Institute of Electronics, Information and Communication Engineers. doi : 10.1587/transele.2023CTP0002.

[196] S. Ambrogio, S. Balatti, V. McCaffrey, D. C. Wang et D. Ielmini, "Noise-Induced Resistance Broadening in Resistive Switching Memory—Part I : Intrinsic Cell Behavior," *IEEE Transactions on Electron Devices*, t. 62, nº 11, p. 3805-3811, nov. 2015. doi : 10.1109/TED.2015.2475598.

[197] H. S. Alagoz, M. Egilmez, J. Jung et K. H. Chow, "Low-temperature enhanced OFF-state telegraph noise in defect engineered ReRAMs," *APL Materials*, t. 11, nº 10, p. 101 115, oct. 2023. doi : 10.1063/5.0169682.

[198] K. Ito, M. Takenaka, S. Takagi et K. Toprasertpong, "Revealing Wake-Up Mechanism in Ultra-Thin Ferroelectric Hzo : Domain De-Pinning Triggered by Oxygen Vacancy Annihilation Exhibiting Optimal Wake-Up Frequency," in *2025 Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, ISSN : 2158-9682, juin 2025, p. 1-3. doi : 10.23919/VLSITechnologyandCir65189.2025.11074900.

[199] Z. Dang, S. Lv, Z. Gao, M. Chen, Y. Xu, P. Jiang, Y. Ding, P. Yuan, Y. Wang, Y. Chen, Q. Luo et Y. Wang, "Improved Endurance of Hf.Zr.O2-Based Ferroelectric Capacitor Through Optimizing the Ti–N Ratio in TiN Electrode," *IEEE Electron Device Letters*, t. 43, nº 4, p. 561-564, avr. 2022, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2022.3153063.

[200] P. D. Lomenzo, M. Materano, T. Mittmann, P. Buragohain, A. Gruverman, T. Kiguchi, T. Mikolajick et U. Schroeder, "Harnessing Phase Transitions in Antiferroelectric ZrO2 Using the Size Effect," en, *Advanced Electronic Materials*, t. 8, nº 1, p. 2 100 556, 2022, _eprint : https ://onlinelibrary.wiley.com/doi/pdf/10.1002/aelm.202100556. doi : 10.1002/aelm.202100556.

[201] I. Mayergoyz, "Mathematical models of hysteresis," *IEEE Transactions on Magnetics*, t. 22, nº 5, p. 603-608, sept. 1986. doi : 10.1109/TMAG.1986.1064347.

[202] F. Preisach, "On the Magnetic Aftereffect," *IEEE Transactions on Magnetics*, t. 53, nº 3, p. 1-11, mars 2017. doi : 10.1109/TMAG.2016.2548379.

[203] M. A. Krasnosel'skiĭ et A. V. Pokrovskiĭ, *Systems with Hysteresis*, en. Berlin, Heidelberg : Springer, 1989. doi : 10.1007/978-3-642-61302-9.

[204] L. Stoleriu, A. Stancu, L. Mitoseriu, D. Piazza et C. Galassi, "Analysis of switching properties of porous ferroelectric ceramics by means of first-order reversal curve diagrams," en, *Physical Review B*, t. 74, nº 17, p. 174 107, nov. 2006. doi : 10.1103/PhysRevB.74.174107.

[205] Y. Goh et S. Jeon, "First-order reversal curve diagrams for characterizing ferroelectricity of Hf0.5Zr0.5O2 films grown at different rates," *Journal of Vacuum Science & Technology B*, t. 36, nº 5, p. 052 204, sept. 2018. doi : 10.1116/1.5046762.

[206] S. Bhattacharyya, S. Saha et S. B. Krupanidhi, "Investigation of reversible and irreversible polarizations in thin films of SrBi2(Ta0.5,Nb0.5)2O9," *Thin Solid Films*, t. 422, nº 1, p. 155-160, déc. 2002. doi : 10.1016/S0040-6090(02)00293-6.

[207] S. Wu, R. Cao, H. Jiang, Y. Li, X. Zhang, Y. Yang, Y. Wang, Y. Wei et Q. Liu, "Reliable ferroelectricity down to cryogenic temperature in wake-up free Hf0.5Zr0.5O2 thin films by thermal atomic layer deposition," en, *Journal of Semiconductors*, t. 45, nº 3, p. 032 301, mars 2024, Publisher : Chinese Institute of Electronics. doi : 10.1088/1674-4926/45/3/032301.

[208] E. Lattard, M. Lejeune, D. Imhoff, R. Guinebretière, C. Elissalde et P. Abelard, "Study of 0.9PMN–0.1PT Dielectric Behaviour in Relation to the Nanostructure," en, *Journal de Physique III*, t. 7, nº 6, p. 1173-1196, juin 1997, Publisher : EDP Sciences. doi : 10.1051/jp3:1997100.

[209] B. Peng, Z. Xie, Z. Yue et L. Li, "Temperature-dependent polarization back-switching and dielectric nonlinearity in PbZr0.4Ti0.6O3 ferroelectric thin films," *Journal of Applied Physics*, t. 116, nº 3, p. 034 109, juill. 2014. doi : 10.1063/1.4890340.

[210] L. Zeng, M. Mohebi Moghadam, D. Buchholz, R. Li, D. Keane, V. Dravid, R. Chang, P. Voorhees, T. Marks et M. Bedzyk, "Processing-dependent thermal stability of a prototypical amorphous metal oxide," *Physical Review Materials*, t. 2, mai 2018. doi : 10.1103/PhysRevMaterials.2.053401.

[211] G. K. White et J. G. Collins, "Thermal expansion of copper, silver, and gold at low temperatures," en, *Journal of Low Temperature Physics*, t. 7, nº 1, p. 43-75, avr. 1972. doi : 10.1007/BF00629120.

[212] B. Nie, Y. Huang, Y. Wang, Y. Chen, Y. Ding, B. Wang, Y. Yang, P. Jiang, W. Wei, T. Gong et Q. Luo, "Thermal Induced Pr Degradation Under Low-Voltage Operation in HfZrO Ferroelectric Film : Phenomenon and Underlying Mechanism," *IEEE Electron Device Letters*, t. 44, nº 9, p. 1456-1459, sept. 2023, Conference Name : IEEE Electron Device Letters. doi : 10.1109/LED.2023.3296797.

[213] D. Zhou, J. Xu, Q. Li, Y. Guan, F. Cao, X. Dong, J. Müller, T. Schenk et U. Schröder, "Wake-up effects in Si-doped hafnium oxide ferroelectric thin films," *Applied Physics Letters*, t. 103, nº 19, p. 192 904, nov. 2013. doi : 10.1063/1.4829064.

[214] L. Landau, "The Theory of Phase Transitions," en, *Nature*, t. 138, nº 3498, p. 840-841, nov. 1936, Publisher : Nature Publishing Group. doi : 10.1038/138840a0.

[215] A. Devonshire, "XCVI. Theory of barium titanate : Part I," *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science*, t. 40, nº 309, p. 1040-1063, oct. 1949, Publisher : Taylor & Francis _eprint : https ://doi.org/10.1080/14786444908561372. doi : 10.1080/14786444908561372.

[216] Y. Cheng, Z. Gao, K. H. Ye, H. W. Park, Y. Zheng, Y. Zheng, J. Gao, M. H. Park, J.-H. Choi, K.-H. Xue, C. S. Hwang et H. Lyu, "Reversible transition between the polar and antipolar phases and its implications for wake-up and fatigue in HfO2-based ferroelectric thin film," en, *Nature Communications*, t. 13, nº 1, p. 645, fév. 2022, Publisher : Nature Publishing Group. doi : 10.1038/s41467-022-28236-5.

[217] C. J. Brennan, R. D. Parrella et D. E. Larsen, "Temperature dependent fatigue rates in thin-film ferroelectric capacitors," *Ferroelectrics*, t. 151, nº 1, p. 33-38, jan. 1994, Publisher : Taylor & Francis _eprint : https ://doi.org/10.1080/00150199408
doi : 10.1080/00150199408244720.

[218] F. Huang, X. Chen, X. Liang, J. Qin, Y. Zhang, T. Huang, Z. Wang, B. Peng, P. Zhou, H. Lu, L. Zhang, L. Deng, M. Liu, Q. Liu, H. Tian et L. Bi, "Fatigue mechanism of yttrium-doped hafnium oxide ferroelectric thin films fabricated by pulsed laser deposition," en, *Physical Chemistry Chemical Physics*, t. 19, n° 5, p. 3486-3497, fév. 2017, Publisher : The Royal Society of Chemistry. DOI : 10.1039/C6CP07501K.

[219] C. Li, Y. Yao, X. Shen, Y. Wang, J. Li, C. Gu, R. Yu, Q. Liu et M. Liu, "Dynamic observation of oxygen vacancies in hafnia layer by in situ transmission electron microscopy," en, *Nano Research*, t. 8, n° 11, p. 3571-3579, nov. 2015. DOI : 10.1007/s12274-015-0857-0.

[220] F. Wu, W. Sun, S. Xiao, X. Liu, J. He, X. Liu et H. Sun, "Origin and mitigation of the imprint effect in hafnia-based ferroelectrics," en, *Nanoscale*, t. 17, n° 37, p. 21 792-21 802, 2025, Publisher : Royal Society of Chemistry. DOI : 10.1039/D5NR01594D.

[221] J. Laguerre, S. Martin, J. Coignus, C. Carabasse, M. Bocquet, F. Andrieu et L. Grenouillet, "Data Retention Insights from Joint Analysis on BEOL-Integrated HZO-Based Scaled FeCAPs and 16kbit 1T-1C FeRAM Arrays," 2024. DOI : 10.1109/IRPS48228.2024.10529427.

[222] P. Vishnumurthy, R. Alcala, T. Mikolajick, U. Schroeder, L. A. Antunes et A. Kersch, "Ferroelectric HfO2-based Capacitors for FeRAM : Reliability from Field Cycling Endurance to Retention (invited)," in *2024 IEEE International Reliability Physics Symposium (IRPS)*, ISSN : 1938-1891, avr. 2024, p. 1-10. DOI : 10.1109/IRPS48228.2024.10529299.

[223] B. Martinez, H.-C. Han, F. Bergamaschi, Q. Schmidt, A. Faurie, E. Charbon, Y. Thonnart, B. Jadot, X. Jehl, M. Cassé, C. Enz et F. Badets, "Cryogenic Circuit Performance Prediction Using Design-Oriented Model (SEKV) On 22nm FDSOI," in *2025 IEEE International Symposium on Circuits and Systems (ISCAS)*, ISSN : 2158-1525, mai 2025, p. 1-5. DOI : 10.1109/ISCAS56072.2025.11043615.

[224] Q. Schmidt, B. Jadot, B. Martinez, A. Faurie, T. Meunier, J.-B. Casanova, X. Jehl, Y. Thonnart et F. Badets, "13.5 An 18.5µW/qubit Cryo-CMOS Charge-Readout IC Demonstrating QAM Multiplexing for Spin Qubits," in *2025 IEEE International Solid-State Circuits Conference (ISSCC)*, ISSN : 2376-8606, t. 68, fév. 2025, p. 244-246. DOI : 10.1109/ISSCC49661.2025.10904808.

[225] Q. Schmidt, B. Jadot, B. Martinez, T. Houriez, A. Morel, T. Meunier, G. Pillonnet, G. Billiot, A. Jansen, X. Jehl, Y. Thonnart et F. Badets, "Compact frequency multiplexed readout of silicon quantum dots in monolithic FDSOI 28nm technology," in *2024 IEEE European Solid-State Electronics Research Conference (ESSERC)*, ISSN : 2643-1319, sept. 2024, p. 157-160. DOI : 10.1109/ESSERC62670.2024.10719580.

[226] S. Ambrogio, S. Balatti, V. McCaffrey, D. Wang et D. Ielmini, "Impact of low-frequency noise on read distributions of resistive switching memory (RRAM)," in *2014 IEEE International Electron Devices Meeting*, ISSN : 2156-017X, déc. 2014, p. 14.4.1-14.4.4. DOI : 10.1109/IEDM.2014.7047051.

[227] S. Ambrogio, S. Balatti, V. McCaffrey, D. C. Wang et D. Ielmini, "Noise-Induced Resistance Broadening in Resistive Switching Memory—Part II : Array Statistics," *IEEE Transactions on Electron Devices*, t. 62, n° 11, p. 3812-3819, nov. 2015. DOI : 10.1109/TED.2015.2477135.

[228] F. Berthaud, L. Hosier, N. Castellani, J. Rottner, V. Meli, J. Laguerre, C. Carabasse, J. Coignus, M. Casse, L. Grenouillet et S. Martin, "New Insights of Ferroelectric Hf0.5Zr0.5O2 Thin Films Properties under Cryogenic Temperatures in Integrated Ferroelectric Capacitors," in *Solid State Device and Materials*, 2024.