amU Aix Marseille Université

NNT/NL : 2024AIXM0001/001ED000

THÈSE DE DOCTORAT

Soutenue à Aix-Marseille Université
le 05 novembre 2024 par

Mahamadou Tidjani GARBA SEYBOU

Fiabilité des technologies CMOS 40nm et FDSOI 28nm pour les applications RF et basse consommation

Discipline
Sciences pour l'Ingénieur

Spécialité
Micro et Nanoélectronique

École doctorale
ED 353 sciences pour lingenieur : Mecanique, physique, micro et nanoelectronique

Laboratoire/Partenaires de recherche
IM2NP, UMR CNRS 7334
Silicon Reliability, STMicroelectronics, Crolles
ISEN Yncréa Méditerranée, Toulon

Composition du jury

Xavier GARROS DR, CEA – LETI	Rapporteur
Hélène FREMONT PR, Université de Bordeaux	Rapporteure
Brice GAUTIER PR, INSA – Lyon	Examinateur
Alain SYLVESTRE PR, Université Grenoble Alpes	Président du jury
Alain BRAVAIX PR, ISEN Yncréa Méditerranée	Directeur de thèse
Xavier FEDERSPIEL IR, STMicroelectronics	Membre invité

Institut Matériaux Microélectronique Nanosciences Provence

life.augmented

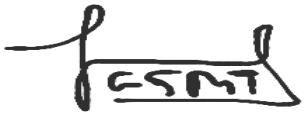
ISEN MÉDITERRANÉE | L'ÉCOLE DES INGÉNIEURS DU NUMÉRIQUE

Affidavit

Je soussigné, Mahamadou Tidjani GARBA SEYBOU, déclare par la présente que le travail présenté dans ce manuscrit est mon propre travail, réalisé sous la direction scientifique d'Alain BRAVAIX, dans le respect des principes d'honnêteté, d'intégrité et de responsabilité inhérents à la mission de recherche. Les travaux de recherche et la rédaction de ce manuscrit ont été réalisés dans le respect à la fois de la charte nationale de déontologie des métiers de la recherche et de la charte d'Aix-Marseille Université relative à la lutte contre le plagiat.

Ce travail n'a pas été précédemment soumis en France ou à l'étranger dans une version identique ou similaire à un organisme examinateur.

Fait à Grenoble le 04 septembre 2024



Cette œuvre est mise à disposition selon les termes de la Licence Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 4.0 International.

Liste de publications et/ou brevets et participation aux conférences

1. Liste des publications et/ou brevets réalisés dans le cadre du projet de thèse :

1. **T. Garba-Seybou**, A. Bravaix, X. Federspiel and F. Cacho, "Modeling hot carrier damage interaction between on and off modes for 28 nm AC RF applications." Microelectronics Reliability 126 (2021) : 114342, doi: 10.1016/j.microrel.2021.114342.
2. A. Bravaix, G. Hamparsoumian, J. Sonzogni, H. Pitard, **T. Garba-Seybou**, E. Kussener, X. Federspiel, F. Cacho, “CMOS Scaling Challenges for High Performance and Low Power applications facing Reliability Criteria towards the Decananometer range,” Journal of Physics : Conference Series. Vol. 2548. No. 1. IOP Publishing, 2023, doi: 10.1088/1742-6596/2548/1/012003.
3. **T. Garba-Seybou**, A. Bravaix, X. Federspiel, J. Hai, C. Diouf and F. Cacho, "Universal Dielectric Breakdown Modeling Under Off-State TDDB for Ultra-Scaled Device From 130nm to 28nm Nodes and Beyond," in IEEE Transactions on Device and Materials Reliability, vol. 24, no. 2, pp. 174-183, June 2024, doi: 10.1109/TDMR.2024.3387271.
4. **T. Garba-Seybou**, X. Federspiel, A. Bravaix and F. Cacho, "Analysis of the interactions of HCD under “On” and “Off” state modes for 28nm FDSOI AC RF modelling," 2021 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 2021, pp. 1-5, doi: 10.1109/IRPS46558.2021.9405214.
5. **T. Garba-Seybou**, X. Federspiel, A. Bravaix and F. Cacho, "New Modelling Off-state TDDB for 130nm to 28nm CMOS nodes," 2022 IEEE International Reliability Physics Symposium (IRPS), Dallas, TX, USA, 2022, pp. 11A.3-1-11A.3-7, doi: 10.1109/IRPS48227.2022.9764431.
6. F. Cacho, A. Bravaix, **T. Garba-Seybou**, H. Pitard, X. Federspiel, T. Kumar, F. Giner, A. Michard, D. Celeste, B. Miller, V. Dhanda, A. Varshney, V. Tripathi, J. Kumar, "Device Reliability to Circuit Qualification : Insights and Challenges," 2022 IEEE International Integrated Reliability Workshop (IIRW), South Lake Tahoe, CA, USA, 2022, pp. 1-7, doi: 10.1109/IIRW56459.2022.10077885.
7. **T. Garba-Seybou**, X. Federspiel, F. Monsieur, M. Sicre, F. Cacho, J. Hai, A. Bravaix, "Location of Oxide Breakdown Events under Off-state TDDB in 28nm N-MOSFETs dedicated to RF applications," 2023 IEEE International Reliability

Physics Symposium (IRPS), Monterey, CA, USA, 2023, pp. 1-8, doi: 10.1109/IRPS48203.2023.10117725.

8. J. Hai, F. Cacho, X. Federspiel, **T. Garba-Seybou**, A. Divay, E. Lauga-Larroze, J. -D. Arnould, "Integrated Test Circuit for Off-State Dynamic Drain Stress Evaluation," 2023 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 2023, pp. 1-6, doi: 10.1109/IRPS48203.2023.10117885.
9. **T. Garba-Seybou**, A. Bravaix, X. Federspiel, J. Hai, C. Diouf and F. Cacho, "Current Driven Modeling and SILC Investigation of Oxide Breakdown under Off-state TDDB in 28nm dedicated to RF applications," 2023 IEEE International Integrated Reliability Workshop (IIRW), South Lake Tahoe, CA, USA, 2023, pp. 1-6, doi: 10.1109/IIRW59383.2023.10477634.

2. Participation aux conférences et écoles d'été au cours de la période de thèse :

1. **2021 IEEE International Reliability Physics Symposium (IRPS)**. Présentation de poster (à distance) : "Analysis of the interactions of HCD under “On” and “Off” state modes for 28nm FDSOI AC RF modelling", **T. Garba-Seybou**, Monterey, California, USA.
2. **2021 European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF)**. Présentation orale (à distance) : "Modeling hot carrier damage interaction between on and off modes for 28 nm AC RF applications", **T. Garba-Seybou**, Bordeaux, France.
3. **2022 IEEE International Reliability Physics Symposium (IRPS)**. Présentation orale (à distance) : "New Modelling Off-state TDDB for 130nm to 28nm CMOS nodes", **T. Garba-Seybou**, Dallas, Texas, USA.
4. **2023 IEEE International Reliability Physics Symposium (IRPS)**. Présentation orale : "Location of Oxide Breakdown Events under Off-state TDDB in 28nm N-MOSFETs dedicated to RF applications", **T. Garba-Seybou**, Monterey, California, USA.
5. **2023 IEEE International Integrated Reliability Workshop (IIRW)**. Présentation orale : "Current Driven Modeling and SILC Investigation of Oxide Breakdown under Off-state TDDB in 28nm dedicated to RF applications", **T. Garba-Seybou**, South Lake Tahoe, California, USA.

Résumé

La technologie CMOS SOI est une solution attrayante pour des applications de masse comme la 5G et l'automobile, grâce à ses avantages en coût de production et réduction des effets thermiques. Cependant, un enjeu majeur pour les amplificateurs de puissance (PA) est de trouver un compromis optimal entre performance, consommation, qualité, robustesse et fiabilité. Optimiser la bande passante et la consommation nécessite des conditions de polarisation plus élevées que celles des circuits logiques. Les mécanismes de fiabilité du PA incluent la rupture de l'oxyde de grille (TDDB), la dégradation des performances due à l'injection de porteurs chauds (HCD), l'ionisation par impact et l'avalanche sous des courants élevés.

Les procédures de qualification des technologies millimétriques (mmW) présentent des défis uniques en l'absence de méthodologie standardisée par le JEDEC. Basées sur des conditions de fonctionnement en DC typiques des circuits logiques, elles compliquent l'établissement de critères de fiabilité uniformes. Il est donc nécessaire de développer des méthodologies et des modèles de fiabilité adaptés aux spécificités des technologies mmW pour garantir des performances robustes et durables.

Dans ce contexte, cette thèse a examiné la commonalité du TDDB en conditions DC d'Off-state sur des nœuds allant de 130nm à 28nm. Nous avons identifié les paramètres influençant les courants en Off-state, tels que la géométrie des transistors et les modes d'accélération en tension et température, pour développer un modèle de fiabilité empirique compact. Les résultats montrent que le courant de fuite sous seuil est un indicateur plus fiable que le champ électrique pour modéliser la dégradation du TDDB en Off-state, causée par des mécanismes tels l'effet tunnel, l'augmentation du courant de jonction et l'ionisation par impact.

Dans la seconde partie, nous avons approfondi l'analyse du mécanisme HCD, en mettant en lumière la distribution spatiale des pièges d'interface et d'oxyde, ainsi que leur interaction avec la polarisation de stress en GIDL. Nous avons observé une réparation de la dégradation HCD par la polarisation en GIDL, liée à la décharge des pièges d'oxyde assistée par le champ électrique. Nous avons examiné les effets de stress successifs, de basses à hautes fréquences, et leur pertinence pour les applications RF et mmW, en utilisant des configurations de stress et de caractérisation pulsées. Nos résultats montrent une corrélation stricte entre la largeur des impulsions de stress et de caractérisation, confirmant la cohérence du modèle en fréquence par rapport au DC, ouvrant des perspectives pour des conditions de stress AC au-delà du GHz.

Mots clés : BTI, CMOS, claquages doux et franc, courants de fuite sous seuil, dégradation Off-state, DAHC, Effet tunnel, fiabilité, HCD, mmW, RF, SILC, TDDB, 5G.

Abstract

CMOS SOI technology is an attractive solution for mass applications such as 5G and automotive due to its advantages in production cost and reduction of thermal effects. However, a major challenge for power amplifiers (PA) is finding an optimal compromise between performance, power consumption, quality, robustness, and reliability. Optimizing bandwidth and power consumption requires higher biasing conditions than those used for logic circuits. The PA reliability mechanisms include gate oxide breakdown (TDDB), performance degradation due to hot carrier injection (HCD), impact ionization and avalanche under high currents.

The qualification procedures for millimeter-wave (mmW) technologies present unique challenges due to the absence of a standardized methodology by JEDEC. These procedures, which are based on DC operating conditions typical of logic circuits, complicate the establishment of uniform reliability criteria. Therefore, it is necessary to develop methodologies and reliability models specifically adapted to the unique characteristics of mmW technologies to ensure robust and durable performance.

In this context, this thesis examined the commonality of TDDB under DC Off-state conditions on nodes ranging from 130nm to 28nm. We identified the parameters influencing Off-state currents, such as transistor geometry, voltage and temperature acceleration modes, to develop an empirical compact reliability model. The results show that subthreshold leakage current is a more reliable indicator than the electric field for TDDB modeling under Off-state, caused by mechanisms such as the tunneling effect, increased junction current, and impact ionization.

In the second part, we deepened the analysis of the HCD mechanism, highlighting the spatial distribution of interface and oxide traps, as well as their interaction with GIDL stress polarization. We observed a repair of HCD degradation by GIDL polarization, linked to the field-assisted discharge of oxide traps. We examined the effects of successive stresses, from low to high frequencies, and their relevance for RF and mmW applications, using pulsed stress and characterization configurations. Our results show a strict correlation between the width of stress and characterization pulses, confirming the consistency of the frequency model compared to DC, opening up perspectives for AC stress conditions beyond the GHz range.

Keywords : BTBT, BTI, CMOS, DAHC, HCD, leakage, mmW, Off-state damage, reliability, RF, soft and hard breakdown, SILC, sub-threshold current, TDDB, 5G.

Remerciements

Je souhaite adresser mes remerciements aux membres du jury qui ont accepté ce rôle ...

Table des matières

Affidavit 3

Liste de publications et participation aux conférences 4

Résumé 6

Abstract 7

Remerciements 8

Table des matières 10

Table des figures 13

Liste des tableaux 18

Introduction générale 19
- 0.1 Contexte . . . 19
- 0.2 Fiabilité et application RF . . . 21
- 0.3 But de la thèse . . . 25
- 0.4 Plan de thèse . . . 26

1 Le transistor MOS 29
- 1.1 Introduction . . . 29
- 1.2 Le transistor MOS à effet de champs du 130nm au 28nm . . . 30
  - 1.2.1 Architecture du MOSFET conventionnel . . . 30
  - 1.2.2 La capacité MOS : principe et équation de base . . . 32
  - 1.2.3 Les différents régimes de fonctionnement de la capacité MOS . . . 36
  - 1.2.4 Les paramètres caractéristiques du transistor MOS . . . 41
  - 1.2.5 Les effets parasites . . . 50
- 1.3 Évolution du transistor MOS du 40LP au 28FDSOI . . . 54
  - 1.3.1 Évolution de l'architecture du transistor MOS du 40LP au 28LP . . . 54
  - 1.3.2 Évolution de l'architecture du transistor MOS du 28LP au 28FDSOI 57
- 1.4 Spécificités de la technologie FDSOI . . . 60
  - 1.4.1 Tension de seuil . . . 61
  - 1.4.2 Courant de drain . . . 62
- 1.5 Conclusion . . . 63

2 Fiabilité du transistor **65**
2.1 Introduction . . . 66
2.2 Les différents types de défauts du système Si/SiO_2 . . . 66
2.2.1 La Structure du système Si/SiO_2 . . . 66
2.2.2 Classification des défauts du système Si/SiO_2 . . . 67
2.2.3 Les défauts d'interface . . . 70
2.2.4 Les défauts dans le volume de l'oxyde . . . 72
2.2.5 Empilement de Grille de type High-K métal gate (HKMG) . . . 73
2.2.6 Impact des défauts sur les paramètres électrique du transistor . 76
2.3 Les différents mécanismes de dégradation . . . 83
2.3.1 Le claquage d'oxyde de grille (TDDB) . . . 84
2.3.2 Dégradation par porteurs chauds (HCD) . . . 93
2.3.3 Bias Temperature Instability (BTI) . . . 110
2.3.4 Auto-échauffement (SHE) . . . 120
2.4 Étude du modèle en tension du HCD en inversion (On-state) . . . 124
2.4.1 Les cas de rupture de la liaison Si-H . . . 124
2.4.2 Nature et localisation des défauts . . . 125
2.4.3 Construction du modèle en tension de dégradation par porteurs chauds . . . 127
2.5 Conclusion . . . 135

3 Étude du TDDB Off-state en mode DC **137**
3.1 Introduction . . . 138
3.2 Contexte de l'étude . . . 138
3.3 Étude du TDDB en Off-state . . . 139
3.3.1 Mécanisme de conduction : Conduction Tunnel Direct et Fowler-Nordheim . . . 139
3.3.2 Caractérisation des courants de grille et de drain du transistor en Off-state . . . 142
3.3.3 Origine des porteurs chauds en Off-state . . . 144
3.3.4 La nature de la dégradation en Off-state et son évolution temporelle 146
3.3.5 Claquage du diélectrique en TDDB Off-state . . . 148
3.3.6 Etude de la relation entre le mode de claquage du diélectrique et sa localisation . . . 177
3.4 Conclusion . . . 186

4 Modélisation des dégradations en fonctionnement dynamique **189**
4.1 Introduction . . . 189
4.2 Contexte de l'étude . . . 191
4.3 Analyse quasi-statique de l'interaction entre la dégradation par porteurs chauds (HCD) et la polarisation en fuite de grille induite par le drain (GIDL) . . . 193
4.3.1 Techniques de caractérisation . . . 193
4.3.2 Analyse comparative de la dégradation en On-state et Off-state 197

4.3.3 Caractérisation électrique d'un stress alterné HCD + polarisation GIDL 202
4.3.4 Effet de l'auto-échauffement 206
4.3.5 Modélisation du HCD et de l'effet de la polarisation GIDL 209
4.4 Effet du HCD en fréquence 219
4.4.1 Étude du cas HCD avec l'application d'une polarisation GIDL . 219
4.4.2 Étude du cas HCD sans l'application d'une polarisation GIDL . 226
4.5 Conclusion 234

Conclusion générale **236**

Bibliographie **241**

Table des figures

1 Estimation des plages de puissance pour les PA mm-wave 5G 20
2 Évolution temporelle du taux de défaillance d'un produit 22
3 Principe de l'approche Bottom-up en fiabilité 23
4 Profil de mission d'un amplificateurs de puissance 24
5 Conditions de fonctionnement d'un NMOS dans un inverseur et en RF 25
6 Illustration des différents aspects du sujet de la thèse qui seront abordés 26

1.1 Représentation schématique d'un MOS classique 31
1.2 Diagrammes de bandes des matériaux constituant la capacité MOS . . 33
1.3 Diagrammes de bandes sous l'effet du potentiel de contact (V_C) 34
1.4 Diagramme de bandes de la capacité MOS en régime de bandes plates 36
1.5 Diagramme de bandes de la capacité MOS en régime d'accumulation . 37
1.6 Diagramme de bandes en régime de déplétion et de faible inversion . . 38
1.7 Diagramme de bandes en régime d'inversion forte 39
1.8 Caractéristique capacité-tension C(V) d'un NMOS 41
1.9 Représentations schématiques du transistor MOS en régime d'inversion 42
1.10 Caractéristiques du courant sous seuil dans un transistor NMOS 28FDSOI 44
1.11 Les différents régimes de conduction linéaire, raccordement et saturé . 45
1.12 Caractérisation en régime linéaire du courant et de la transconductance 46
1.13 Caractérisation du courant des transistors SLVT, LVT, RVT et HVT . . . 47
1.14 Caractérisation du courant et de la conductance 48
1.15 Représentations schématiques du transistor MOS en mode bloqué . . 49
1.16 Représentation schématique de l'abaissement de la barrière de potentiel 51
1.17 Zone de charge d'espace dans un transistor MOS sur bulk 51
1.18 Effets du DIBL et du GIDL dans un transistor à canal court 52
1.19 Illustration du GIDL dans la région de recouvrement grille-drain 53
1.20 Caractéristiques de la densité de courant de grille 54
1.21 Évolution du MOS de la technologie low power 40LP au 28LP 57
1.22 Représentation schématique de l'architecture des NMOS et PMOS FDSOI 59
1.23 Effet de fluctuation de dopants et de la rugosité de bord de ligne 60
1.24 Caractérisation des transistors FDSOI NMOS et PMOS en FBB et RBB . 62
1.25 Évolutions des tensions de seuils en fonction de V_{BS} dans la filière FDSOI 63

2.1 Illustration des mécanismes de piégeage et dépiégeage d'électrons . . 69
2.2 Représentation schématique du désaccord de maille à l'interface Si/SiO_2 70
2.3 Diagramme montrant les défauts d'interface en bandes plates 71
2.4 Schéma de la structure atomique des centres P_{b0} et P_{b1} 71

2.5 Représentation schématique des centres E'$_\gamma$ et E'$_\delta$ 73
2.6 Schématique de l'empilement Metal Gate/ High-K / IL (HKMG) / Si . . 75
2.7 Diagramme montrant les défauts d'interface en régime d'inversion . . 77
2.8 Extraction de la tension de seuil à courant constant 78
2.9 extraction de la tension de seuil à $I_D(g_{mmax})$ 79
2.10 Caractéristique $I_D(V_G)$ sur NMOS et PMOS pour différentes longueur L 79
2.11 Corrélation entre la densité de défauts d'interface et la mobilité effective 80
2.12 Dégradation de la transconductance G_m en mode linéaire 81
2.13 Représentation schématique d'une mesure de I_{Dsat} en forward et reverse 82
2.14 Mesure du courant I_{Dsat} en forward et reverse 83
2.15 Illustration schématique du chemin de percolation dans l'oxyde de grille 85
2.16 Caractérisation de I_{DS} en fonction de V_{DS} après un claquage en Off-state 86
2.17 Distribution du temps au claquage T_{BD} dans une échelle de Weibull . . 87
2.18 Illustration schématique du principe du modèle de percolation 88
2.19 Illustration expérimentale de la loi d'échelle en surface horizontalement 91
2.20 Illustration expérimentale de la loi d'échelle en surface verticalement . 91
2.21 Méthode d'extrapolation de durée de vie aux conditions d'utilisation . 92
2.22 Génération et injections d'électrons chauds dans le canal d'un NMOS . 93
2.23 Représentations schématique de la dégradation par porteurs chauds . 94
2.24 Mesures des champs électriques F_{ox}, E_{Lat} et E_{eff} 95
2.25 Dégradation du courant I_{DLIN} après 3000s de stress HCD à $V_{GS} = V_{DS}$. 96
2.26 Illustration schématique du phénomène d'ionisation par impact (II) . 96
2.27 Mesures du courant I_{DS} en fonction de V_{DS} avec des V_{GS} variables . . . 97
2.28 Mesure des courants I_{BS} avec une forme en cloche (I_{Bmax}) 98
2.29 Comparaison des courbes de dégradation au modèle de Takeda 101
2.30 Mécanisme de recombinaison électron-trou associé au HCD 104
2.31 Illustration schématique des fonctions S_i et f(E) selon le LEM 106
2.32 Représentation d'une fonction f(E) généralisée pour $E_{max} = 2,6eV$ . . . 107
2.33 La dépendance énergétique des trois modes HCD selon Guérin 110
2.34 Schéma illustratif d'une contrainte en BTI 111
2.35 Illustration du phénomène de Réaction-Diffusion lors d'un stress NBTI 113
2.36 Illustration des phases intervenant dans le modèle Réaction-Diffusion 114
2.37 Schéma illustratif de la décomposition du BTI 115
2.38 Schéma de diffusion des espèces chimiques H et H_2 117
2.39 Circuit RC équivalent pour la modélisation du piégeage et depiégeage 118
2.40 CET MAP utilisée pour le modèle RC et donnant la densité $g(\tau_c^i, \tau_e^i)$ . . 119
2.41 Structure de test SHE disposant de connexions de chaque côté de la grille 122
2.42 Résistance de grille mesurée pour différentes températures de silicium 123
2.43 Augmentation de température du canal en fonction de $P_{Dissipée}$ 123
2.44 Représentation schématique des 3 modes de rupture de la liaison Si-H 125
2.45 Corrélation entre les dégradation ΔV_{TH} et ΔI_{D-Lin} 126
2.46 Mise en évidence de la dégradation de la mobilité μ et du seuil V_{TH} . . 127
2.47 Dépendance temporelle de la dégradation I_{D-Lin} sous stress HCD . . . 129
2.48 La dépendance de la dégradation ΔI_{D-Lin} en fonction de V_{GS} et V_{DS} . . 130

2.49 Comparaison de la dégradation ΔI_{D-Lin} sous stress HCD au modèle . . 131
2.50 Variation de la dégradation ΔI_{D-Lin} en fonction de L_G 131
2.51 Effet de la longueur de grille L_G et de V_{GS} sur la dégradation HCD . . . 132
2.52 Effet de T_{Si} et de V_{GS} sur la dégradation HCD 133
2.53 Effet de T_{ox} et de V_{GS} sur la dégradation HCD 134
2.54 Comparaison du modèle à la dégradation pour différents process . . . 134

3.1 Schématique des états logiques d'un inverseur CMOS 139
3.2 Diagramme de bande idéal de la structure SiO_2 140
3.3 Les modes de conductions tunnel direct et Fowler-Nordheim 140
3.4 Caractérisation des densités de courant de grille en fonction de V_G . . 141
3.5 Les conséquences de l'ionisation par impact sur le courant de grille . . 142
3.6 Caractérisation de I_{DS} jusqu'au claquage de l'oxyde de grille 143
3.7 Répartition des composantes de courant en Off-state dans un DeNMOS 144
3.8 Configurations de mesure de I_D pour identifier la composante dominante145
3.9 Illustrations des processus du BTBT, de l'II ainsi que le profil de E_{Lat} . . 146
3.10 Schématique de la structure Si/SiO_2 montrant une liaison Si- libre . . . 147
3.11 Évolution temporelle des dommages à l'interface ΔI_{CP} 148
3.12 Illustration de l'injection de trous chauds sous TDDB Off-state 150
3.13 Mesure des courants de drain, source, grille et substrat en fonction de L_G 150
3.14 Illustration du principe de la mesure CVS conventionnelle 151
3.15 Mesure temporel du courant de fuite au niveau du drain I_D 152
3.16 Mesure temporel du courant de fuite au niveau de grille I_G 153
3.17 Distribution de Weibull en TDDB Off-state sur un NMOS GO1 28FDSOI 154
3.18 Distribution de Weibull en TDDB Off-state sur 65SOIFEM 155
3.19 Distribution du temps au claquage des CMOS GO1 du noeud 130nm . 155
3.20 La distribution de Weibull sur différentes longueurs L_G du noeud 130nm 156
3.21 La distribution de Weibull sur différentes longueurs L_G du noeud 65nm 157
3.22 La distribution de Weibull sur différentes longueurs L_G du noeud 28nm 158
3.23 Extraction du facteur d'accélération en tension VAF du TDDB Off-state 158
3.24 Extraction du facteur d'accélération en longueur LAF du TDDB Off-state 160
3.25 Dépendance de la température du T_{BD} sous stress en Off-state 161
3.26 Comparaison des durées de vie extrapolées en fonction des modèles . 163
3.27 Les durées de vie T_{BD} en fonction de E_{Lat} et $I_{GS,Off}$ sur N-FETs du 28nm 164
3.28 Simulations TCAD d'un scénario du TDDB Off-state sur N-FET 28FDSOI 165
3.29 Le profil latéral du champ électrique le long du canal pour différents L_G 166
3.30 Le modèle T_{BD} en courants de fuite initiaux sur N-FETs du 65nm et 130nm167
3.31 Mesures et modélisations du courant $I_{DS,Off}$ vs. E_{Lat} sur NFET 28FDSOI 168
3.32 Mesures et modélisations du courant $I_{GS,Off}$ vs. E_{Lat} sur NFET 28FDSOI 169
3.33 Application du modèle en courant sur différents L_G NMOS du 28FDSOI 170
3.34 Comparaison et projection du modèle aux conditions RF et digitale . . 171
3.35 Mesure du SILC à différentes tensions de grille de V_{GS} = 0V à 1V 172
3.36 Évolution du SILC sur NMOS L_G = 46nm soumis à différents stress en V_{DS}173
3.37 Évolution du SILC sur PMOS L_G = 46nm soumis à différents stress en V_{DS}174

3.38 Dépendance du SILC sur différents L_G de NMOS du 28nm FDSOI . . . 175
3.39 Profil latéral du champ électrique dans le canal, l'IL et le matériau High-K176
3.40 Comparaison des distributions Weibull en ON et OFF sur NMOS 28FDSOI176
3.41 Illustrations schématiques du déclenchement de la rupture en ON et OFF177
3.42 Représentation schématique de la localisation des points de rupture . 179
3.43 Une coupe transversale d'une structure de test Poly-to-Contact 179
3.44 Configuration pour illustrer le TDDB avec des résistances de protections 180
3.45 Caractérisation I-V fraîche avant la rupture du diélectrique 181
3.46 Mesure des courants de fuite en TDDB sans résistance série externe . . 182
3.47 Caractérisation I-V après la rupture en TDDB sans résistance série . . . 182
3.48 Mesure des courants de fuite en TDDB avec résistance série externe . . 183
3.49 Caractérisation I-V après la rupture en TDDB avec résistance série . . . 183
3.50 Distribution Weibull des ratios des points de rupture 184
3.51 La position des points de rupture en TDDB On-state vs. ratio s 185
3.52 Probabilité des points de rupture par Région 185
3.53 La résistance des points de rupture R_{Gate} en fonction de la position . . 186
3.54 La distribution de R_{Gate} pour les TDDB en modes Off-state et On-state 187
3.55 Comparaison des VAF suite aux TDDB en Off-state, On-state et sur MOL 187

4.1 Les formes d'ondes sinusoïdales typiques d'une puissance de 16dBm . 192
4.2 Schémas d'un amplificateur de puissance de classe E utilisant un NEDMOS193
4.3 Chronogramme des tensions de stress d'une mesure de type BTI ou HCD194
4.4 Effet de la relaxation BTI sur l'évaluation de la dégradation 195
4.5 Schéma du montage utilisé pour réaliser des mesures rapides 196
4.6 Comparaison de la dégradation de I_{DS} en modes On-state et Off-state . 198
4.7 La dépendance temporelle en loi logarithmique du stress en Off-state . 198
4.8 Caractéristiques $I_{DS} - V_{GS}$ et extraction de V_{TH} 199
4.9 Illustrations des régions d'un NMOS subissant une dégradation 200
4.10 La corrélation entre réduction et amélioration de ΔI_{D-Lin} 201
4.11 extraction des facteurs d'accélération liés à l'amélioration de ΔI_{D-Lin} . 203
4.12 Caractéristiques $I_{DS} - V_{GS}$ des NMOS avant et après stress HCD et GIDL 203
4.13 Découplage des contributions de ΔV_{IT} et ΔV_{OT} après HCD suivi de GIDL 204
4.14 Mise en évidence de la dépendance temporelle logarithmique sur ΔV_{OT} 205
4.15 Le schéma du système de mesure rapide du module B1530 utilisé . . . 206
4.16 Caractéristiques des signaux V_{DS}, V_{GS} et I_{Drain} 207
4.17 La réponse du courant I_{DS} au B1530 pour divers T_{Edge} 208
4.18 Augmentation de la température du canal mesurée ΔT_{Sh} due au SHE . 209
4.19 Le processus d'obtention de l'énergie d'activation du canal E_a 210
4.20 Mesures de ΔI_{D-Lin} sur NMOS 28FDSOI en séquences alternées HCD/GIDL211
4.21 Mesures de ΔV_{TH-Lin} sur NMOS 28FDSOI en séquences alternées HCD/GIDL213
4.22 Illustration schématique des dynamiques de l'alternance HCD/GIDL . 214
4.23 La cartographie des temps de capture τ_c et d'émission τ_e 214
4.24 Le spectre du SILC des NMOS FDSOI vs. FINFET 215
4.25 Extraction sur pFinFET de la distribution de densité des pièges ΔD_{OT} . 216

4.26 Comparaison des séquences alternées AC 3MHz MVE/GIDL au DC MVE 217
4.27 Illustration des séquence de génération de défauts et les diagrammes . 218
4.28 Patterns de stress alternant une phase On-state et une phase Off-state 219
4.29 Des séquences de stress DC alternées sur $t_s = 10^3$s sur NMOS 28FDSOI 220
4.30 ΔI_{D-Lin} cumulatif extrait des phases HCD à partir des séquences DC . 221
4.31 Plusieurs séquences AC et DC alternant phases HCD et Off-state 222
4.32 Comparaison des séquences en AC HF alternant HCD et Off-state . . . 223
4.33 L'interaction HCD/GIDL en fonction de la fréquence 224
4.34 Les dépendances des exposants en fonction de la fréquence 225
4.35 La comparaison des données en AC HCD MVE/Off-state au modèle . . 226
4.36 Émulation et modélisation de patterns de stress RF réels sur NMOS . . 227
4.37 Schéma des systèmes de mesures rapides 228
4.38 Formes de signaux à haute fréquence 100kHz capturées à l'oscilloscope 229
4.39 Les caractéristiques $I_D - V_G$ pulsées vs. DC conventionnelle 229
4.40 Caractéristiques $I_D - V_G$ pulsées à différentes températures ambiantes 230
4.41 Caractéristiques $I_D - V_G$ pulsées à différents V_{Dmes} et $T_{Ambiant}$ 231
4.42 Dépendance en fréquence du HCD SVE sur NMOS 28FDSOI 232
4.43 Comparaison des dégradations ΔI_{D-Sat} induites par AC HCD MVE . . . 233
4.44 Comparaison des dégradations ΔI_{D-Sat} induites par AC HCD MVE et SVE 233
4.45 Caractérisation en forward et reverse de la dégradation du courant I_{Drain} 234

Liste des tableaux

1 Comparaison des technologies GaAs / GaN / pHEMT, BiCMOS-SiGe et CMOS-Si en termes de performance RF, coût, densité d'intégration, qualité des interconnexions, isolation des blocs et consommation totale. 19
2 Mécanismes de fiabilité des dispositifs mmW CMOS PA et leurs impacts 23

2.1 Tableau récapitulatif des paramètres du modèle HCD en inversion. . . 131

3.1 Illustration des facteurs d'accélération T_{BD} selon l'équation (3.11) avec les paramètres E_a, β, VAF et LAF. Les valeurs de β et VAF sont plus élevées en TDDB Off-state, contrairement à E_a où un β élevé est extrait pour les PMOS et un VAF élevé obtenu pour les NMOS. 161
3.2 Résumé des paramètres utilisés dans les équations (3.17), (3.18) et (3.19) pour la modélisation empirique de $I_{DS,Off}$ et $I_{GS,Off}$. 170

4.1 Caractéristiques des temps de mesure et les délais associés aux différentes gammes de courant mesuré avec le B1530, ainsi que le bruit sur la mesure [235]. La largeur d'impulsion minimale recommandée est déterminée par la somme du temps d'établissement et du temps de mesure minimum. 196
4.2 Tableau caractéristique des paramètres thermiques et électriques utilisés pour calculer $T_{Channel}$ et déduire E_a à partir des données relevées de la figure 4.19. 210
4.3 Tableau récapitulatif des paramètres du modèle HCD et GIDL en séquences alternées. 212
4.4 Les temps de chargement et de déchargement des pièges d'oxyde ont été déterminés à partir des données expérimentales illustrées sur les figures 4.20 et 4.21. 213
4.5 Tableau récapitulatif des temps de rechargement et déchargement des pièges d'oxyde, extraits des données présentées dans la figure 4.26 durant les séquences alternées AC et DC. On observe un temps de rechargement des pièges d'oxyde relativement long, tandis que le temps de déchargement est notablement plus court. 217

Introduction générale

Sommaire

0.1 Contexte 19
0.2 Fiabilité et application RF 21
0.3 But de la thèse 25
0.4 Plan de thèse 26

0.1 Contexte

L'industrie des semi-conducteurs est actuellement confrontée à des défis sans précédent en raison de la nécessité de poursuivre l'intégration des circuits selon la loi de Moore et le concept "More than Moore". Cela concerne notamment le FDSOI allant de 28nm jusqu'à 7nm, tout en répondant à l'explosion des types d'applications telles que les smartphones, la 5G, l'automobile et le spatial. Cette continuité de l'intégration est essentielle pour maintenir la compétitivité et répondre aux exigences croissantes en termes de performance et de consommation.

Les opportunités de marché dans le domaine des télécommunications sont considérables pour les technologies CMOS développées par STMicroelectronics sur substrat SOI (H9SOIFEM, 65SOIFEM, 28FDSOI RF). La proposition d'une offre commerciale compétitive nécessite d'optimiser les performances tout en respectant un budget de fiabilité constant.

Caractéristique	GaAs / GaN / pHEMT	BiCMOS-SiGe	CMOS-Si
Performance RF	Très élevée	Élevée	Élevée
Coût	Très élevée	Élevée	Faible
Densité d'intégration	Faible	Élevée	Très élevée
Qualité des interconnexions	Élevée	Élevée	Modérée
Isolation des blocs	Bonne	Bonne	Modérée
Consommation totale	Élevée	Faible	Faible

TABLEAU 1 – Comparaison des technologies GaAs / GaN / pHEMT, BiCMOS-SiGe et CMOS-Si en termes de performance RF, coût, densité d'intégration, qualité des interconnexions, isolation des blocs et consommation totale.

Pendant de nombreuses années, le marché a été dominé par les technologies III-V, notamment le GaAs, le GaN et le pHEMT. Cependant, les progrès réalisés dans les

technologies à base de Silicium, comme le CMOS-Si et le BiCMOS-SiGe, ont permis à ces dernières de devenir des concurrentes sérieuses des technologies III-V. Initialement développées pour des applications numériques, les technologies en Silicium ont évolué pour répondre aux besoins des applications analogiques et RF. L'évolution des besoins et du marché a nécessité que les circuits prennent en charge ces différents réseaux au travers de systèmes complets embarqués, nommés System-on-Chip (SoC). En conséquence, ces circuits doivent être conçus pour gérer plusieurs standards de communication tout en tenant compte de divers facteurs tels que le coût, les performances, la densité d'intégration, la qualité des interconnexions, l'isolation des différents blocs et la consommation totale. Le tableau 1 et la figure 1 comparent certaines caractéristiques des technologies III-V, BiCMOS-SiGe et CMOS-Si.

Les exigences de puissance pour chaque amplificateur de puissance (PA) sont plus faibles en 5G qu'en 3G et 4G. Cela est dû à l'utilisation de multiples amplificateurs et à l'amélioration de la directivité. Les exigences de puissance en fonction de la fréquence sont illustrées de manière très approximative sur la figure 1 indiquant la puissance maximale atteinte avec diverses technologies [1]. Grâce à ces exigences réduites en matière de puissance, la technologie de semi-conducteur CMOS-Si est en principe capable de répondre aux besoins des applications RF et basse consommation.

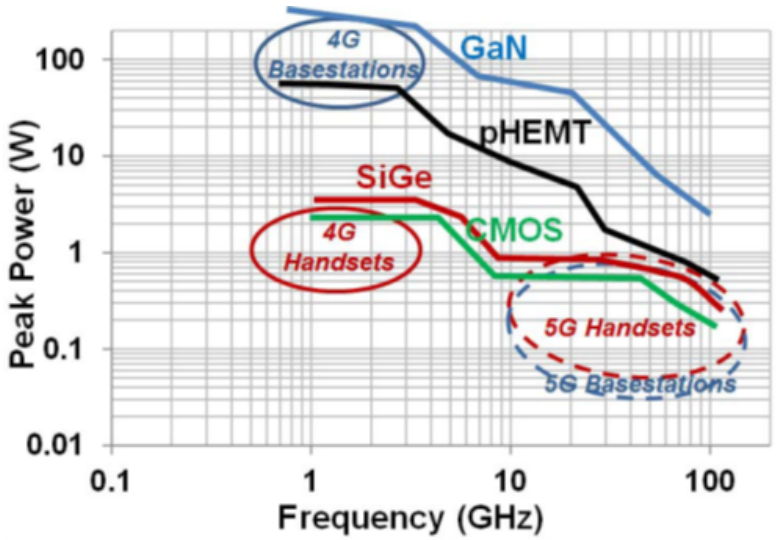


FIGURE 1 – Plages de puissance estimées pour les amplificateurs de puissance mmW 5G et puissance maximale estimée pour diverses technologies [1].

La technologie FDSOI (Fully Depleted Silicon On Insulator) que STMicroelectronics souhaite pousser jusqu'au 14nm avec le soutien de centres de recherche comme le CEA-LETI, s'impose comme une alternative prometteuse aux architectures 3D beaucoup plus coûteuses telles que les FinFETs, GAA (Gate-All-Around) et NW (Nanowires). En effet, le FDSOI offre des avantages significatifs en termes de coût de production et de réduction des effets thermiques, ce qui en fait une solution attrayante pour des applications de masse comme la 5G et l'automobile.

Un des enjeux majeurs de cette technologie est de trouver un compromis optimal entre performance, consommation, qualité, robustesse et fiabilité. Les dégradations impliquées dans le mécanisme intrinsèque de vieillissement des circuits, telles que le TDDB (Time-Dependent Dielectric Breakdown), le HCD (Hot Carrier Degradation), et le BTI (Bias Temperature Instability), doivent être soigneusement étudiées. Ces mécanismes de dégradation sont exacerbés par les contraintes internes (design, dimensionnement, FEoL vs. BEoL) et externes (haute température, basse température, charge).

0.2 Fiabilité et application RF

La fiabilité est un concept essentiel dans la fabrication de systèmes complexes. Elle peut être définie comme « la probabilité qu'un dispositif exécute une fonction spécifique dans des conditions d'utilisation déterminées et pendant une période donnée ». L'étude de la fiabilité intègre donc trois notions fondamentales :

— **Le temps**
— **Les conditions d'utilisation** (polarisation, température, humidité, radiation, etc.)
— **Le critère de défaillance**

L'intérêt d'une analyse de fiabilité est de prédire, d'un point de vue statistique et dès l'étape de création du dispositif, si celui-ci sera en mesure de satisfaire les spécifications qui lui sont attribuées. Cette évaluation repose sur l'extraction de la durée de vie du dispositif ou du temps jusqu'à la défaillance TTF (Time To Failure). Cette durée représente le temps nécessaire au dispositif pour atteindre un critère de défaillance donné.

Au niveau produit, la fiabilité peut être schématiquement interprétée en traçant le taux de défaillance en fonction du temps. Cette courbe, souvent appelée courbe en baignoire, est représentée à la figure 2 et met en évidence trois zones, chacune étant associée à des mécanismes de défaillance différents :

— **Mortalité Infantile** : Cette phase initiale se caractérise par un taux de défaillance élevé qui diminue rapidement avec le temps. Les défaillances sont souvent dues à des défauts de fabrication ou des problèmes de qualité initiaux (défauts d'oxyde, de masques ou contaminations). La durée de cette phase est d'environ 6 à 12 mois, avec un taux de défaillance de 10-100 ppm (parties par million) à 1 an. Les actions principales durant cette phase incluent le criblage des circuits (Circuit Screening) et la détection des défauts pour identifier et éliminer les produits défectueux.
— **État Stable** : Dans cette phase, le taux de défaillance est relativement constant et faible. C'est la période de vie utile normale du produit, qui dure environ 10 à 25 ans. Le taux de défaillance durant cette période est de 100-1000 ppm à 10 ans. Cependant, des défaillances peuvent apparaître précocement en raison de la présence de défauts extrinsèques qui entraînent un vieillissement anormal du composant.

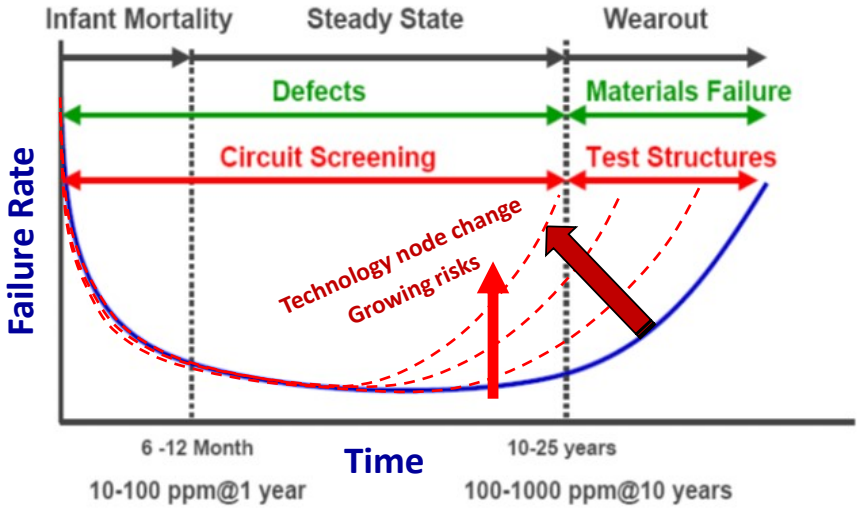


FIGURE 2 – L'évolution temporelle du taux de défaillance d'un produit. Cette courbe en baignoire met en évidence trois régions principales, chacune associée à divers mécanismes de défaillance [2].

— **Usure** : Cette phase finale se caractérise par une augmentation progressive du taux de défaillance due à l'usure des matériaux et à la fin de la durée de vie des composants. Les performances du produit se dégradent peu à peu en raison de son vieillissement naturel, lié à des mécanismes de dégradation Front-End (HCD, BTI et TDDB) ou Back-End (électromigration, stress voiding). Nous parlons alors de vieillissement (Wearout) du produit. Comme l'illustre la figure 2, cette zone a tendance à apparaître de plus en plus tôt avec l'évolution des nœuds technologiques. C'est dans cette zone que portent les travaux de cette thèse.

Pour garantir et anticiper le vieillissement optimal d'un transistor, il est crucial de comprendre les mécanismes physiques responsables de sa dégradation ainsi que l'impact de cette dégradation sur sa fonctionnalité. L'approche adoptée consiste à développer des modèles prédictifs de fiabilité à différents niveaux d'abstraction, comme illustré à la figure 3. Dans des conditions d'utilisation normales, ce type de vieillissement ne se manifeste qu'après plusieurs années de fonctionnement. C'est pourquoi nous appliquons des conditions de contraintes accélérées, permettant de provoquer les défaillances dans un délai raisonnable (généralement inférieur à 10000 secondes). Des extrapolations aux conditions d'utilisation nominales sont ensuite réalisées pour prédire la durée de vie d'un produit comportant des millions de transistors, en se basant sur l'étude de la fiabilité d'un nombre restreint de transistors, à différents niveaux (transistors, circuits, systèmes et produits), sous conditions de contraintes accélérées. Cette méthode est connue sous le nom d'approche "Bottom-up".

La recherche de performances accrues en termes de bande passante et de consommation nécessite l'utilisation de conditions de polarisation dépassant celles habituellement garanties pour les composants utilisés dans les circuits logiques. Par exemple,

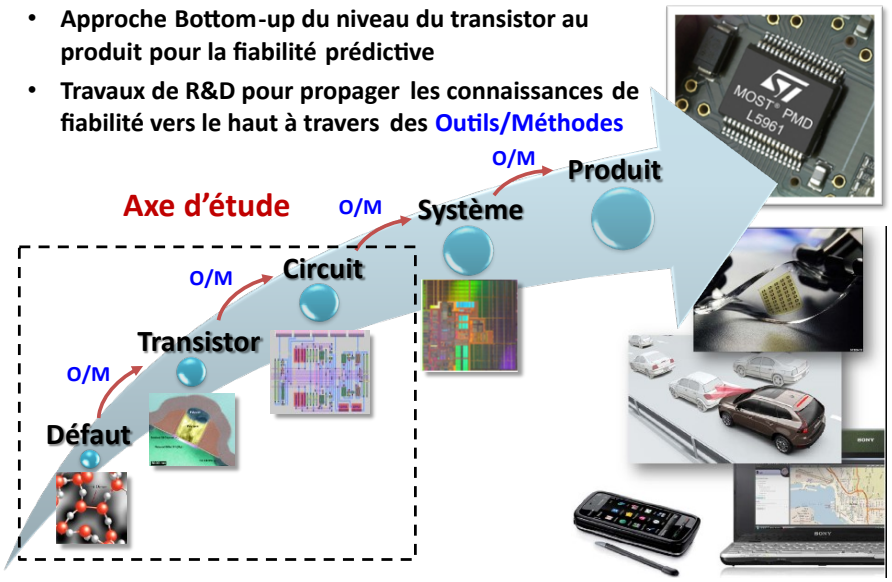


FIGURE 3 – Les principes de l'approche Bottom-up en fiabilité, représentant schématiquement les différents niveaux de fiabilité, du Front-End au produit final. Cette approche consiste à prédire la fiabilité des niveaux macroscopiques (tels que les systèmes ou les produits) en partant des niveaux les plus élémentaires : défauts, transistors et circuits [3].

les circuits tels que les amplificateurs de puissance ou les commutateurs RF sont conçus à partir de transistors cascodés (MOSFET et/ou DRIFT MOS), pour lesquels les tensions en mode "Off" peuvent atteindre jusqu'à deux fois la tension nominale de fonctionnement pour laquelle ces composants ont été initialement développés. En conséquence, ces transistors sont soumis, au cours de leur fonctionnement, à des niveaux de puissance élevés et à des combinaisons de courants et de tensions significatives. La figure 4 illustre un exemple de profil de mission en tension pour un transistor MOS utilisé en tant que PA.

Les mécanismes de fiabilité des dispositifs mmW CMOS PA, résumés dans le tableau 2, incluent notamment la rupture de l'oxyde de grille sous des tensions élevées, la dégradation des performances due à l'injection de porteurs chauds, l'ionisation par impact et l'avalanche sous des courants élevés [4]-[11]. Ces phénomènes se traduisent par une baisse du gain, de la puissance de sortie P_{OUT}, ainsi que des courants I_{DD} et I_{DDQ}, affectant ainsi la qualité du signal mesurée par l'EVM (Error Vector Magnitude).

Mécanismes de Fiabilité	Tension du Dispositif	Impact sur le Dispositif	Impact sur le Produit
TDDB Off-state	V_{DS} et V_{DG} élevées, bas V_{GS}	Rupture de l'oxyde de grille	Rupture du PA
Marge de sécurité V_{DS} et BV_{DSS}	V_{DS} élevée et V_{GS} = 0V	II, avalanche I_{DS}	Haut courant I_{DD}
HCD en inversion	$V_{DS}, V_{GS} > V_{TH}$ (inversion)	Dégradation de G_{DS}, G_m	Baisse du gain et P_{OUT}
HCD non conducteur (NCHCD)	$V_{GS} < V_{TH}$ (NCHCD)	Dégradation de I_{DS}, V_{DQ}	Dégrad. de I_{DD}, I_{DDQ} et EVM

TABLEAU 2 – Mécanismes de fiabilité des dispositifs mmW CMOS PA et leurs impacts

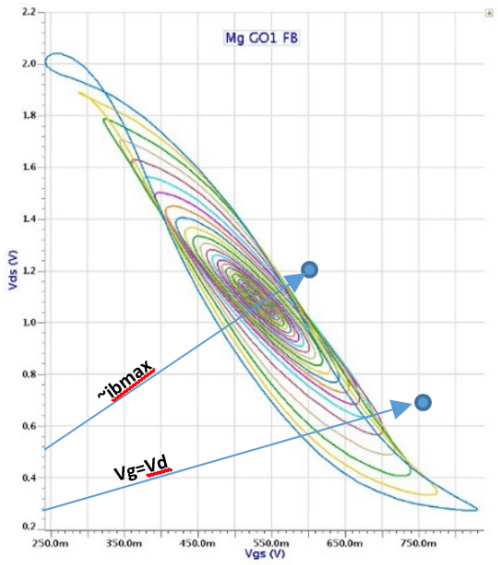


FIGURE 4 – Comparaison des conditions de fonctionnement d'un PA et des conditions utilisées pour la qualification de la technologie CMOS.

La qualification de la fiabilité des technologies millimétriques (mmW) présente plusieurs défis uniques. Tout d'abord, il n'existe pas de méthodologie de qualification standardisée par le JEDEC [12] pour les technologies mmW, ce qui complique l'établissement de critères de fiabilité uniformes. De plus, les données de fiabilité fournies par les fonderies sont principalement basées sur des tests en DC, ce qui soulève des questions sur leur corrélation avec les paramètres en radiofréquence (RF). Les spécifications et modèles de fiabilité actuels sont souvent dérivés de technologies digitales, alors que les opérations en RF peuvent varier considérablement (figure 5). Les exigences de durée de vie spécifiques aux applications varient également, que ce soit pour les appareils mobiles, les stations de base ou les applications automobiles. La conception pour la fiabilité dans le domaine des mmW nécessite des simulateurs de vieillissement sophistiqués, car les formes d'onde en RF sont beaucoup plus complexes que celles en DC.

Dans le même temps, les procédures de qualification des technologies CMOS sont basées sur des conditions de fonctionnement typiques des circuits logiques, où le mode d'endommagement dominant dans les NMOS est l'injection de porteurs chauds. Cela se produit dans des conditions de tensions drain-source V_{DS} élevées pour des tensions de grille V_{GS} proches de I_{Bmax} et/ou la condition $V_{GS} = V_{DS}$ comme illustré à la figure 4 [12]. Ces procédures ne tiennent pas toujours compte des spécificités des opérations en RF (figure 5), ce qui peut entraîner des divergences dans les prévisions de fiabilité.

Ces défis soulignent la nécessité de développer des méthodologies et des modèles de fiabilité adaptés aux spécificités des technologies mmW pour garantir des performances robustes et durables. C'est précisément l'objectif de notre travail, qui sera développé dans la section suivante.

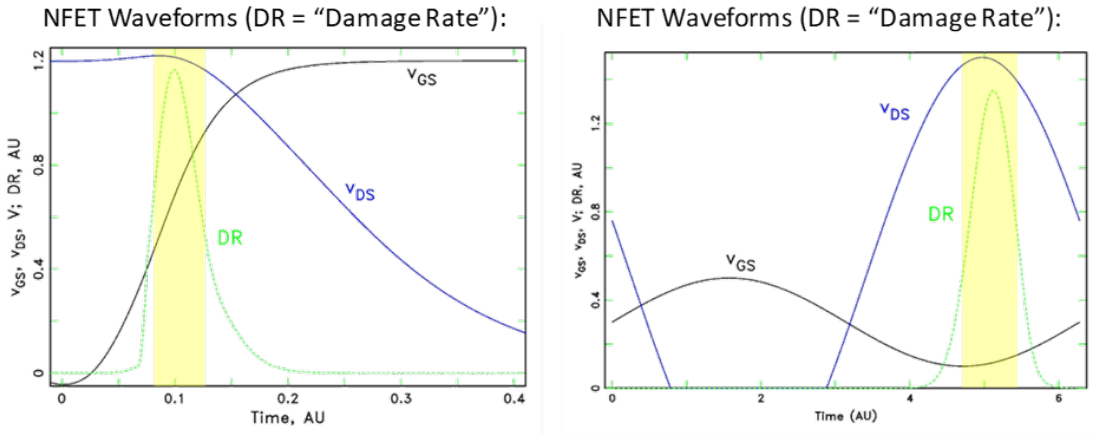


FIGURE 5 – Comparaison des conditions de fonctionnement d'un NMOS dans un inverseur (gauche) et dans un cas RF (droite), d'après S. Rauch [13]. Les régions en jaune indiquent les modes de dégradation dominants.

0.3 But de la thèse

Le but de cette thèse est d'étudier les performances et la fiabilité des composants CMOS en se concentrant sur divers aspects et effets qui influencent leur fonctionnement. L'étude commence par l'analyse des performances des transistors à simple grille (V_{DS}, V_{GS}), en abordant les effets de canal court (SCE) et les fuites de grille (GIDL). Ensuite, l'étude se penche sur les transistors à double grille (V_{DS}, V_{GS}, V_{BS}), en examinant l'effet du body (BG). Ces analyses permettent de comprendre les mécanismes fondamentaux qui régissent le comportement des dispositifs et de proposer des améliorations pour optimiser leurs performances.

Une partie essentielle de la thèse est consacrée à l'étude de l'usure des dispositifs, en particulier les dommages causés par les porteurs chauds (HCD) en conditions pires cas DC et leur dépendance en V_{GS}. Les effets des hautes températures, tels que la dégradation par biais thermique (BTI) dans les transistors NMOS (PBTI) et PMOS (NBTI), sont également examinés (figure 6). L'interaction des mécanismes en modes On/Off et BTI à 125°C est analysée pour comprendre comment ces conditions extrêmes affectent la fiabilité des dispositifs. De plus, le claquage du diélectrique (TDDB) et les porteurs chauds non conducteurs (NCHC) sont étudiés pour évaluer leur impact sur la durée de vie des dispositifs.

La thèse explore également la transition du mode DC au mode AC dans les circuits élémentaires dégradés. L'étude de la durée de vie en mode DC se concentre sur le vieillissement pour les tensions nominales (V_{DDnom}) et maximales (V_{DDmax}). En mode AC, les effets de fréquence et de récupération en mode On/Off sont analysés en utilisant des formes de pulses réalistes pour évaluer correctement la fiabilité des circuits. La dégradation en mode AC est comparée aux modes numériques et mixtes (RF),

en tenant compte de l'effet de l'historique. Il est crucial de disposer de critères de fiabilité représentatifs du fonctionnement réel, en passant du digital au mixte RF, et de quantifier l'impact de la transition du mode Off au mode On, ainsi que l'interaction des mécanismes (HCD, TDDB, BTI, SHE).

En conséquence, cette thèse vise à fournir une compréhension approfondie des mécanismes de dégradation et des interactions complexes qui influencent la fiabilité des transistors dans des conditions de fonctionnement variées, comme l'illustre la figure 6. Pour répondre à ces défis, une modélisation empirique des effets de dégradation en fonction du temps, de la fréquence et de la température est essentielle.

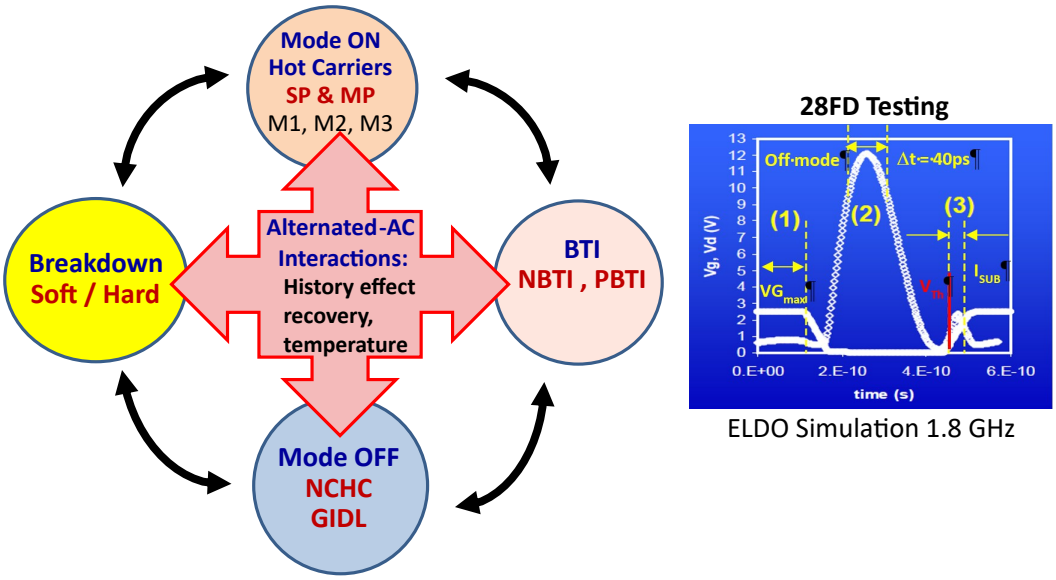


FIGURE 6 – À gauche, les différents aspects du sujet de la thèse qui seront abordés se concentrent sur les transitions du DC au stress alterné et au AC. Les principaux mécanismes de dégradation des transistors MOSFET seront étudiés, incluant les porteurs chauds, le BTI, les interactions en mode alterné et AC, ainsi que les effets en Off-state tels que les porteurs chauds non conducteurs (NCHC) et les fuites de grille GIDL. Le claquage du diélectrique, qu'il soit doux ou franc, sera également abordé. La figure à droite [14] montre des exemples de formes d'onde de stress alterné en simulations Eldo et les effets temporels associés aux transitions de mode.

0.4 Plan de thèse

Pour présenter nos travaux, le manuscrit s'articule en quatre chapitres :

Le premier chapitre se concentrera sur les différentes filières de transistors testées, à savoir H9SOIFEM (130nm), 65SOIFEM et 28FDSOI. Nous décrirons schématiquement

les principales distinctions en termes d'application et de structure, ce qui nous mènera à une discussion approfondie sur la physique des transistors. Tout d'abord, nous aborderons la transition du silicium bulk vers le silicium sur isolant (SOI), en utilisant la technologie High-K Metal Gate. Cette transition a des conséquences significatives sur les équations de base qui régissent le fonctionnement des MOSFETs. Ensuite, nous définirons les paramètres fondamentaux, tels que V_{TH}, I_{on} et I_{off}. Nous examinerons les modes de fonctionnement, à savoir les modes linéaire et saturé, en expliquant les équations de fonctionnement applicables du Si bulk au FDSOI, modifiées par le facteur de couplage (effet V_{BS}). Nous discuterons également des effets parasites, tels que les effets de canal court et la modulation de la longueur de canal induite par le DIBL, et leurs impacts sur les paramètres critiques. Enfin, nous mettrons en lumière les spécificités du FDSOI et les facteurs de mérite de la technologie.

Le deuxième chapitre introduira les mécanismes de dégradation des transistors en présentant les modèles issus de la littérature et les signatures de chaque mécanisme. Nous commencerons par le phénomène de rupture du diélectrique, en expliquant le modèle de percolation. Nous discuterons de la dépendance du champ électrique vertical, de l'accélération en tension et température. Nous aborderons également les statistiques de dégradation. Ensuite, nous examinerons la dégradation par porteurs chauds, en mettant en évidence la dépendance en champ électrique latéral. Nous présenterons les modèles de dégradation développés par Takeda, Hu, Rauch et Guérin, qui décrivent comment les porteurs chauds endommagent le transistor au fil du temps. Nous aborderons ensuite la dégradation par biais thermique, en expliquant comment ce mécanisme de dégradation affecte uniformément le transistor et leur dépendance au champ électrique. Les modèles de dégradation permanente et recouvrable seront présentés. Enfin, nous discuterons de l'effet d'auto-échauffement (SHE) sur les paramètres des transistors. L'impact thermique sur la mobilité effective et le courant de drain I_{on} sera analysé, en particulier pour les applications RF où les effets thermiques peuvent être significatifs.

Dans le troisième chapitre, nous examinerons en détail le claquage du diélectrique dans des conditions DC d'Off-state sur une gamme de nœuds CMOS, allant du 130 nm au nœud avancé de 28nm FDSOI. Cette étude mettra en évidence l'importance du courant de fuite sous seuil comme indicateur critique et plus fiable que le champ électrique pour déterminer et modéliser le TDDB en Off-state. Nous étudierons les cinétiques temporelles et les dynamiques spécifiques en fonction de la température, de la tension et de la longueur de canal, en mettant particulièrement l'accent sur les nœuds allant de 130nm à 28nm. Une attention particulière sera portée à la distinction entre la rupture douce et le claquage franc, ainsi que leur relation avec la localisation du point de rupture. Les résultats de cette étude fourniront des insights précieux sur les mécanismes de dégradation TDDB en Off-state et permettront d'améliorer les modèles de fiabilité pour les technologies CMOS avancées.

Le quatrième chapitre se concentrera sur les effets des stress porteurs chauds alter-

nés en mode On/Off, en passant du DC au quasi-DC. Il s'agit du deuxième véritable chapitre consacré à l'originalité de nos résultats expérimentaux obtenus sur la technologie 28FDSOI, en explorant l'effet d'histoire et l'aspect temporel des stress. Nous analyserons les effets de stress en Off-state seul et en On-state seul, à haute température et à température ambiante, ainsi que les interactions possibles entre ces modes. Nous explorerons également de manière expérimentale l'effet de la fréquence de stress sur la récupération de la dégradation HCD induite par la polarisation GIDL. À travers une configuration de stress et de caractérisation pulsée, nous appliquerons des stress à différentes fréquences, quantifierons de manière précise l'impact de la polarisation GIDL en Off-state, et comparerons les résultats à un modèle en DC. Ces investigations fourniront de nouvelles perspectives sur les mécanismes de dégradation en stress AC et au-delà de la gamme des GHz.

1 Le transistor MOS

Sommaire

1.1 Introduction . . . 29
1.2 Le transistor MOS à effet de champs du 130nm au 28nm . . . 30
1.2.1 Architecture du MOSFET conventionnel . . . 30
1.2.2 La capacité MOS : principe et équation de base . . . 32
1.2.2.1 Les éléments : Métal, Oxyde et Semi-conducteur . . . 32
1.2.2.2 Principe de fonctionnement de la capacité MOS . . . 34
1.2.3 Les différents régimes de fonctionnement de la capacité MOS . . . 36
1.2.3.1 Variations de la charge Q_{SC} dans les différents régimes 36
1.2.3.2 Variations de la capacité de la structure MOS . . . 39
1.2.4 Les paramètres caractéristiques du transistor MOS . . . 41
1.2.4.1 Transistor en mode passant . . . 42
1.2.4.2 Transistor en mode bloqué . . . 49
1.2.4.3 Critère de performance . . . 50
1.2.5 Les effets parasites . . . 50
1.2.5.1 Effets de canaux courts : SCE et DIBL . . . 50
1.2.5.2 Gate Induced Drain Leakage (GIDL) . . . 53
1.3 Évolution du transistor MOS du 40LP au 28FDSOI . . . 54
1.3.1 Évolution de l'architecture du transistor MOS du 40LP au 28LP . . . 54
1.3.1.1 Nitruration de l'oxyde . . . 54
1.3.1.2 Utilisation de grilles métalliques . . . 55
1.3.1.3 Introduction du High-K . . . 56
1.3.2 Évolution de l'architecture du transistor MOS du 28LP au 28FDSOI 57
1.3.2.1 Motivations pour l'architecture sur SOI . . . 57
1.3.2.2 Architecture Fully-Depleted SOI . . . 58
1.4 Spécificités de la technologie FDSOI . . . 60
1.4.1 Tension de seuil . . . 61
1.4.2 Courant de drain . . . 62
1.5 Conclusion . . . 63

1.1 Introduction

Ce chapitre présente les principales notions liées au fonctionnement du transistor MOS conventionnel, utiles à la compréhension des chapitres suivants. Il introduit tout d'abord le principe général de fonctionnement du transistor MOS commun à tous les

dispositifs de type Field Effect Transistor (FET) et ses récentes évolutions en termes d'architecture, du nœud technologique 40nm jusqu'au nœud 28nm. Ainsi, à partir des équations développées, les différents paramètres influençant les performances du MOS vont être illustrés. C'est pourquoi, nous nous attacherons à présenter en premier lieu les différents modes de fonctionnement de la structure MOS classique, puis ses paramètres caractéristiques ainsi que ses effets parasites.

Dans un contexte de miniaturisation, visant l'amélioration de la vitesse et de la fréquence de fonctionnement du transistor MOS, l'émergence des nouvelles architectures de transistors MOS comme alternative à la structure MOS conventionnelle est proposée comme solution pour pouvoir poursuivre la miniaturisation sur les prochaines générations de transistor vers le 14nm et en dessous.

La partie suivante sera consacrée à la technologie Fully-Depleted Silicon On Insulator (FDSOI) fabriquée actuellement pour le nœud 28nm sur laquelle repose ce travail de thèse. L'évolution vers l'architecture FDSOI s'est faite en deux temps, tout d'abord par l'optimisation des empilements de grilles de type High-K sur substrat de silicium, donnant le nœud 28LP, puis par la modification de la zone active, c'est-à-dire du substrat (ou des caissons) en une fine couche de silicium sur oxyde épais (BOX) pour le nœud 28FD.

1.2 Le transistor MOS à effet de champs du 130nm au 28nm

1.2.1 Architecture du MOSFET conventionnel

La structure classique d'un transistor à effet de champ MOSFET pour son acronyme en anglais "Metal Oxide Semiconductor Field Effect Transistor" est illustrée à la figure 1.1. Il s'agit d'un dispositif constitué de quatre terminaux qui permettent d'analyser le comportement électrique du transistor : la grille, la source, le drain et le substrat ou body. Un transistor à canal N, ou nMOSFET, est constitué d'un substrat en silicium de type P dans lequel se trouve deux extensions n+, la source et le drain, formées par implantation ionique en incorporant des dopants donneurs pour pouvoir faire passer un courant d'électrons dans la couche d'inversion entre les deux électrodes. De manière similaire le résultat peut facilement être étendu à un transistor à canal P, ou pMOSFET, en échangeant les types de dopants et en inversant la polarisation.

Aux débuts de la technologie CMOS, l'électrode de grille était réellement composée d'une couche métallique. Mais aujourd'hui'hui, il s'agit habituellement d'un semiconducteur sous forme poly-cristalline dopé à dégénérescence, dont les propriétés électriques sont proches de celles d'un métal, et est séparée du substrat par un film mince de dioxyde de silicium SiO_2. L'oxyde est généralement formé par oxydation thermique du substrat semi-conducteur fait de silicium cristallin. La région de la surface située sous l'oxyde de grille entre la source et le drain est appelée le canal et est essentielle à la conduction du courant dans un transistor.

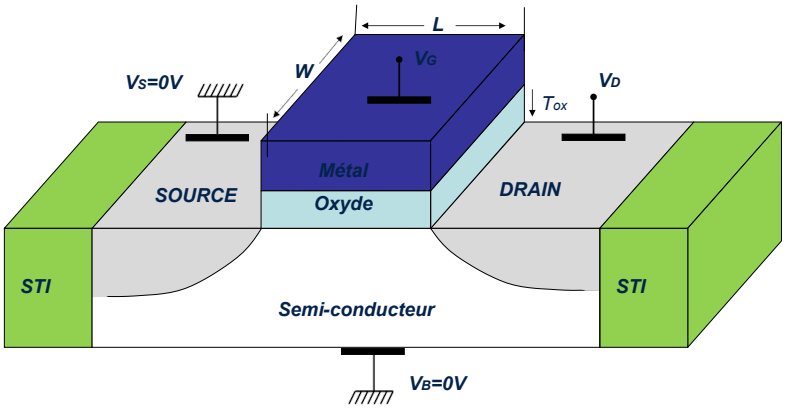


FIGURE 1.1 – Schéma en 3D du transistor MOS. W et L représentent respectivement la largeur et la longueur du canal de grille du transistor, T_{ox} est l'épaisseur de l'oxyde de grille. V_G, V_D, V_S et V_B représentent les tensions appliquées aux différents contacts électriques du transistor. Les tranchées STI (Shallow Trench Isolation) permettent d'isoler latéralement les transistor les uns des autres.

L'électrode de grille permet de contrôler l'état du canal ainsi que le passage du courant. Le diélectrique SiO_2 joue le rôle d'isolant entre la grille et le canal pour assurer un couplage capacitif grille-canal. Le canal assure le déplacement des porteurs entre la source et le drain. Les électrodes source et drain sont des réservoirs de porteurs qui permettent de fournir les porteurs minoritaires responsable de la formation d'une couche d'inversion.

Lorsqu'une différence de potentiel est appliquée sur la capacité MOS entre la grille et le substrat, une accumulation de charges se produit aux interfaces de l'oxyde. Celles-ci résultent de la présence du champ électrique vertical à travers le matériau isolant. La propriété d'isolant de l'oxyde est donnée par C_{ox}, la capacité surfacique de l'oxyde:

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_{ox}}{T_{ox}} \tag{1.1}$$

où ε_0 et ε_{ox} sont les permittivités respectives du vide et de l'oxyde. Plus la capacité C_{ox} est grande, meilleur est l'isolant.

La réduction de l'épaisseur de l'isolant T_{ox} permet d'augmenter C_{ox} et la densité surfacique des charges accumulées aux interfaces. Néanmoins, cette approche n'est toujours pas envisageable en raison des fuites élevées de charges du semi-conducteur vers la grille par passage tunnel à travers l'oxyde. Autrement pour augmenter la capacité surfacique de l'oxyde, on fait augmenter ε_{ox} en incorporant d'autres matériaux dans le diélectrique comme l'azote pour donner du SiON. C'est le matériau constituant l'oxyde des transistors des technologies 180nm, 65 nm et 45 nm. L'approche plus radicale envisagée pour les technologies 32 et 28 nm est de remplacer le SiON par un empilement d'une couche interfaciale de SiO_2 en dessus du substrat et d'un

matériau High-K (c'est à dire à forte permittivité).

Le principe de fonctionnement d'un transistor MOS consiste à moduler la densité de porteurs du canal sur l'effet d'un champ vertical résultant de l'application d'une tension de polarisation sur la grille (V_G). Ainsi, grâce à ce champ électrique créé, une quantité de porteurs en provenance des réservoirs, est attiré vers la surface du semi-conducteur. Ceci engendre la formation d'une couche conductrice, appelée "couche d'inversion" ou "canal d'inversion", qui, sous réserve de l'application d'un champ électrique latéral (V_D), permet la libre circulation d'un courant (I_D). Ainsi deux états de fonctionnement d'un transistor se distinguent selon la polarisation de la grille par rapport à la tension de seuil V_{TH}.

L'état passant : Lorsqu'on applique une tension entre grille et source V_{GS} supérieur à la tension de seuil V_{TH}, un champ électrique se crée et repousse les porteurs majoritaires présents dans le substrat afin d'attirer les porteurs minoritaires. Ces derniers s'accumulent sous la grille formant le canal. Le déplacement de ces porteurs minoritaire est ensuite induit par la tension V_{DS} dans le canal qui génère un courant électrique entre le drain et la source.

L'état bloqué : Lorsque la tension V_{GS} est inférieur à V_{TH}, le canal de porteur ne se forme pas et aucun courant ne circule dans le transistor entre la source et le drain.

Dans le but d'expliciter le principe de fonctionnement du transistor MOS et de définir les équations de base qui le caractérisent, nous allons tout d'abord nous attacher à décrire le principe capacitif de l'empilement MOS.

1.2.2 La capacité MOS : principe et équation de base

1.2.2.1 Les éléments : Métal, Oxyde et Semi-conducteur

L'empilement Métal, Oxyde et Semi-conducteur peut être considéré comme une capacité plane dont les électrodes sont la grille et le substrat. Ces trois matériaux présentent des caractéristique différentes que l'on peut distinguer au niveau de leurs diagrammes de bandes d'énergies représentés dans la figure 1.2.

(a) Le métal est un matériau conducteur. Il est constitué d'électrons libres qui peuvent se déplacer sous l'action d'un champ appliqué. Afin d'extraire un de ces électrons, il faut lui fournir (à T = 0K) une énergie Φ_M appelée travail de sortie . Cette grandeur est caractéristique du métal.

(b) L'oxyde joue le rôle de diélectrique. Les électrons dans ce matériau sont fortement liés aux atomes si bien que l'énergie nécessaire pour les libérer est très importante. Cette énergie correspond au gap Eg_0 (typiquement > 5eV) qui lui confère des propriétés d'isolant. Il est également caractérisé par son affinité électronique $e\chi_0$ qui représente l'énergie nécessaire pour extraire un électron de la bande de conduction.

(c) Le semi-conducteur a un comportement intermédiaire. En effet, bien que des liaisons de covalence lient les électrons entre eux, l'énergie nécessaire à leur libération

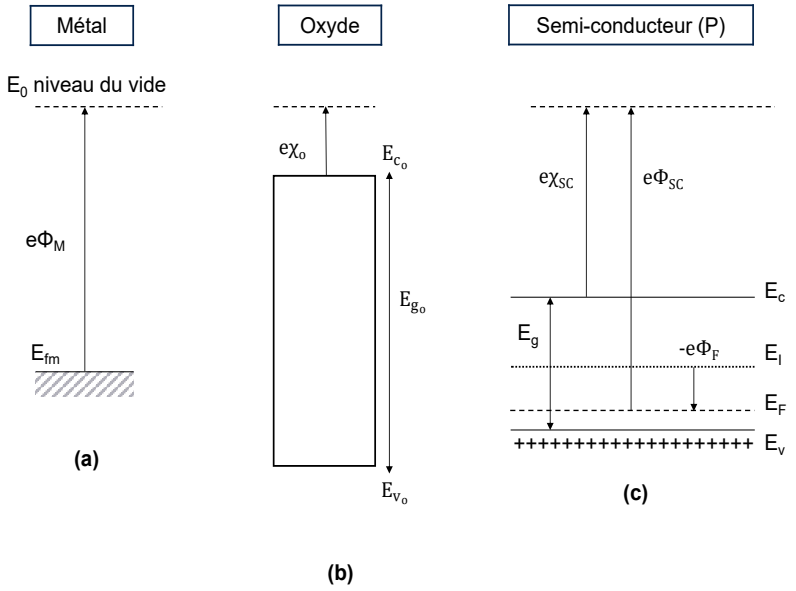


FIGURE 1.2 – Diagrammes de bandes des matériaux constituant la capacité MOS : (a) Métal, (b) Oxyde, (c) Semi-conducteur.

est faible (typiquement $Eg_0 \simeq 1eV$). Ainsi, des porteurs libres, électrons ou trous, susceptibles de se déplacer sont présents dans le semi-conducteur. Leurs concentrations respectivement n et p sont liées à la concentration intrinsèque du matériau (n_i) par la loi d'action de masse:

$$n.p = n_i^2 \tag{1.2}$$

D'autre part, afin d'accroitre sa conductivité, le semi-conducteur peut être dopé par des atomes donneurs (type N) ou accepteurs (type P) qui permettent respectivement d'augmenter la concentration d'electrons ou de trous libres. Dans le cas du transistor NMOS (PMOS), le semiconducteur est de type P (N), dopé par N_a (N_d) atomes accepteurs (donneurs). On définit alors un potentiel de Fermi par:

$$\Phi_F = \frac{k_B T}{q}.\ln\left(\frac{N_a}{n_i}\right) = \frac{E_I - E_F}{q} \tag{1.3}$$

où E_F est le niveau de Fermi, E_I le niveau intrinsèque et N_a la concentration des dopants. Les concentrations en électrons libres (n_0) et en trous libres (p_0) dans le volume du semi-conducteur sont alors données par :

$$n_0 = n_i \exp\left(\frac{E_F - E_I}{k_B T}\right) = n_i \exp\left(-\frac{e\Phi_F}{k_B T}\right) \tag{1.4}$$

$$p_0 = n_i \exp\left(\frac{E_I - E_F}{k_B T}\right) = n_i \exp\left(\frac{e\Phi_F}{k_B T}\right) \tag{1.5}$$

Finalement, l'extraction d'un électron du semi-conducteur requiert une énergie $e\Phi_{SC}$, qui est (contrairement au cas du métal) supérieur à l'affinité électronique $e\chi_{SC}$ du fait que les électrons n'y sont pas libres.

1.2.2.2 Principe de fonctionnement de la capacité MOS

Lorsque les matériaux sont mis en contact, les niveaux de Fermi du semi-conducteur (E_F) et du métal (E_{Fm}) s'alignent pour ne former qu'un seul système thermodynamique caractérisé par un niveau de Fermi unique comme l'illustre la figure 1.3.

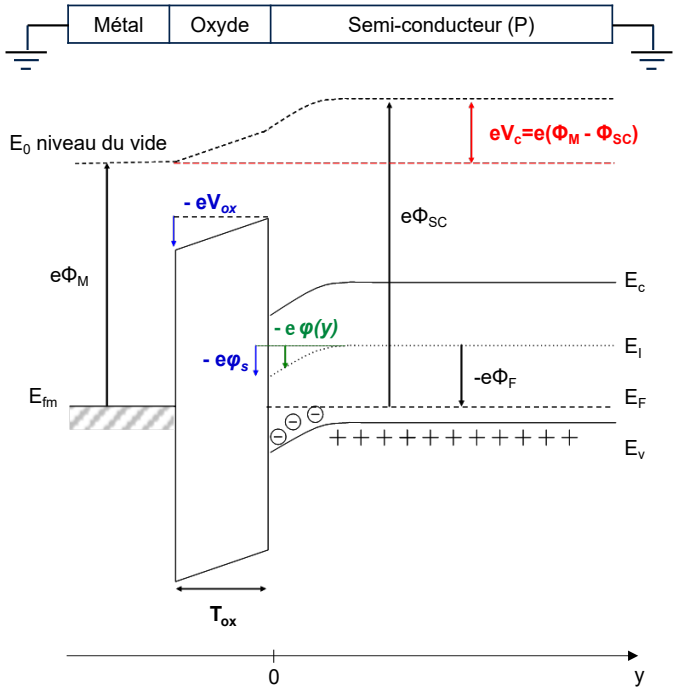


FIGURE 1.3 – Structure de bande de la capacité MOS sous l'effet du potentiel de contact (V_C) dû à la différence des travaux de sortie.

L'alignement des niveaux de Fermi crée un potentiel électrostatique, appelé potentiel de contact V_C qui est égal à la différence des travaux de sortie du métal et du semi-conducteur:

$$V_C = \Phi_M - \Phi_{SC} \tag{1.6}$$

Ce potentiel entraîne une courbure de bandes dans l'oxyde (V_{ox}) et dans le semi-conducteur (φ_S), d'où la relation :

$$V_C = \Phi_M - \Phi_{SC} = -\left(V_{ox} + \varphi_S\right) \tag{1.7}$$

Nous faisons l'hypothèse d'un oxyde parfait ne présentant pas de charges. Cette absence de charges entraîne $d^2V/dy^2 = 0$ soit une chute de potentiel linéaire. En revanche, dans le semi-conducteur le potentiel varie en fonction de la charge d'espace. Le potentiel doit alors vérifier l'équation de Poisson :

$$\frac{d^2\varphi}{dy^2} = -\frac{\rho(y)}{\varepsilon_{sc}} \tag{1.8}$$

Où ρ(y) est la densité de charge en fonction de l'épaisseur, et ε_{sc} la permittivité du matériau semi-conducteur.

Sachant que la charge totale est composée d'une part de la concentration d'atomes dopants ionisés N_a et d'autre part des concentrations d'électrons et de trous libres, alors, la distribution de charge ρ(y) s'écrit comme suit :

$$\rho(y) = e\big(N_a + p(y) - n(y)\big) \tag{1.9}$$

Ainsi, après la résolution analytique de l'équation de Poisson on obtient :

$$\left(\frac{d\varphi}{dy}\right)^2 = \left(\frac{k_B T}{e}\right)^2 \frac{1}{L_D^2}\big(F\big(\varphi(y)\big)\big) \tag{1.10}$$

Avec L_D la longueur de Debye du semi-conducteur exprimée par :

$$L_D = \sqrt{\frac{k_B\, T\, \varepsilon_{sc}}{2\, e^2\, p_0}} \tag{1.11}$$

Et la fonction $F\big(\varphi(y)\big)$ est donnée par :

$$F\big(\varphi(y)\big) = \sqrt{\frac{n_0}{p_0}\left(\exp\left(\frac{e\varphi(y)}{k_B T}\right) - \frac{e\varphi(y)}{k_B T} - 1\right) + \left(\exp\left(\frac{-e\varphi(y)}{k_B T}\right) + \frac{e\varphi(y)}{k_B T} - 1\right)} \tag{1.12}$$

Afin de déterminer la charge totale générée par la structure MOS, on applique le théorème de Gauss à la surface du semi-conducteur :

$$Q_{SC}(\varphi_S) = -\frac{\varphi_S}{|\varphi_S|} \cdot \frac{\varepsilon_{sc} k_B T}{e L_D} F\big(\varphi_S\big) \tag{1.13}$$

1.2.3 Les différents régimes de fonctionnement de la capacité MOS

1.2.3.1 Variations de la charge Q_{SC} dans les différents régimes

L'application d'une différence de potentiel V_G entre la grille et le bulk s'ajoute au potentiel de contact existant. L'équation (1.7) devient donc :

$$V_G + (\Phi_M - \Phi_{SC}) = -\left(V_{ox} + \varphi_S\right) \tag{1.14}$$

Il devient alors possible d'agir sur le potentiel de surface φ_S et donc sur la charge Q_{SC} en faisant varier V_G. Différents régimes de fonctionnement peuvent ainsi être atteints. Cinq régimes caractérisent l'état du substrat à l'interface en fonction de la valeur de φ_S. Dans le cas du nMOS :

– $\varphi_S = 0$ **: régime de bandes plates**. Le potentiel appliqué dans ce cas compense le potentiel de contact, le semi-conducteur ne voit alors plus de différence de potentiel comme l'illustre la figure 1.4.

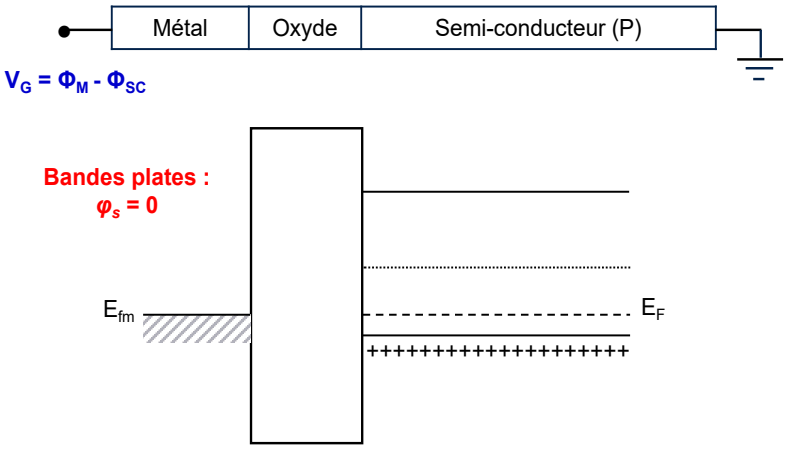


FIGURE 1.4 – Diagramme de bandes de la capacité MOS en régime de bandes plates.

Si on considère que la charge dans l'oxyde est nulle, la structure est électriquement neutre en tout point : aucune charge n'est accumulée aux deux interfaces, il n'y a pas de porteur minoritaire dans le canal. La tension associée à cette condition est appelée tension de bandes plates V_{FB} (Flat Band).

$$V_{FB} = \Phi_M - \Phi_{SC} \tag{1.15}$$

A partir de ce régime, si l'on diminue la tension, le potentiel à la surface du semi-conducteur devient négatif, la concentration de trous à la surface du semi-conducteur augmente.

– $\varphi_S < 0$: régime d'accumulation. Le potentiel de surface est négatif (figure 1.5), on a une accumulation des porteurs majoritaires du substrat (les trous), la concentration en trous à la surface est supérieure à celle du volume du semi-conducteur, $p_s > p_0$.
La charge générée dans le semi-conducteur peut alors être calculée en simplifiant l'équation (1.13) :

$$F(\varphi_S) \approx \exp\left(-\frac{e\,\varphi_S}{2k_BT}\right) \tag{1.16}$$

$$Q_{acc} \approx \frac{\varepsilon_{sc}k_BT}{eL_D}\exp\left(-\frac{e\,\varphi_S}{2k_BT}\right) = \sqrt{2\varepsilon_{sc}k_BTp_S} \tag{1.17}$$

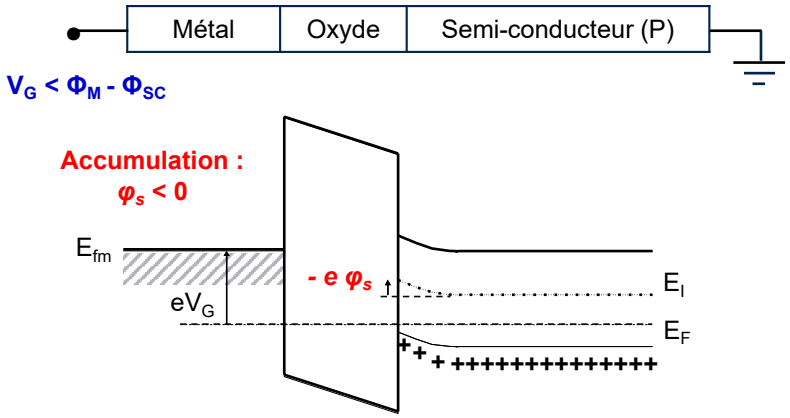


FIGURE 1.5 – Diagramme de bandes de la capacité MOS en régime d'accumulation.

A l'inverse, si en partant du régime de bandes plates on augmente la tension, le potentiel de surface devient positif et c'est la concentration d'électrons à la surface du semi-conducteur qui augmente. On distingue alors ces trois autres régimes :

– $\Phi_F < \varphi_S < \Phi_F$: régime de déplétion. La concentration de porteurs majoritaires à l'interface Si/SiO_2 diminue mais elle reste supérieure à celle des minoritaires, alors on a $n_0 < n_s < p_s$. La charge positive du substrat est due aux dopants ionisés.

– $0 < \varphi_S < 2\Phi_F$: régime d'inversion faible. La concentration des minoritaires à l'interface Si/SiO_2 devient supérieure à celle des majoritaires. Par conséquent en surface, le type du semi-conducteur est inversé, et le canal de conduction est formé mais faible car la concentration des porteurs minoritaires demeure néanmoins inférieure à celle des majoritaires dans le volume. Alors on a $p_s < n_s < p_0$.

Dans les régimes de déplétion et d'inversion faible (figure 1.6), la charge générée dans le semi-conducteur est, en simplifiant l'équation (1.13) :

$$F(\varphi_S) \approx \sqrt{\frac{e\,\varphi_S}{k_B T}} \tag{1.18}$$

$$Q_{dep} \approx -\frac{\varepsilon_{sc} k_B T}{e L_D}\sqrt{\frac{e\,\varphi_S}{k_B T}} = -\sqrt{2e\varepsilon_{sc} p_0 \varphi_S} \tag{1.19}$$

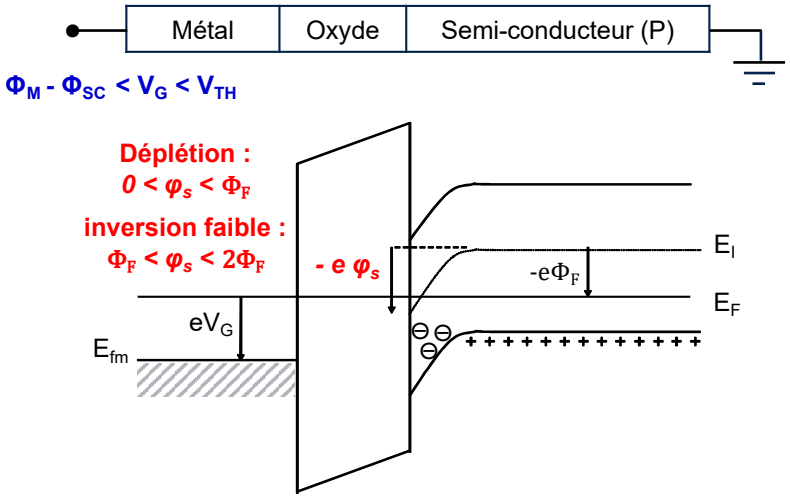


FIGURE 1.6 – Diagramme de bandes de la capacité MOS en régime de déplétion et de faible inversion.

La tension V_{TH} représente la limite du régime d'inversion faible. Elle correspond à la tension pour laquelle le potentiel de surface devient égal à $2\Phi_F$. Soit, d'après l'équation (1.14) :

$$V_{TH} = -(\Phi_M - \Phi_{SC}) - \frac{Q_{SC}}{Cox} + 2\Phi_F \tag{1.20}$$

En considérant l'équation (1.19), la charge à la limite d'inversion est donnée par :

$$Q_{SC}\ (2\Phi_F) \approx -\sqrt{4e\varepsilon_{sc} p_0 \Phi_F} \tag{1.21}$$

Ainsi on obtient cette expression finale de la tension de seuil ($p_0 \approx Na$) :

$$V_{TH} = -(\Phi_M - \Phi_{SC}) + \frac{\sqrt{4e\varepsilon_{sc} N_a \Phi_F}}{Cox} + 2\Phi_F \tag{1.22}$$

– $\varphi_S > 2\Phi_F$ **: régime d'inversion forte**. La figure 1.7 montre le diagramme de bandes de la capacité MOS dans ce régime. La concentration d'électrons à la surface devient plus importante que la concentration de trous dans le volume ($n_S > p_0$). La valeur de seuil est arbitraire mais traduit néanmoins le point de bascule où le dopage surfacique devient équivalent mais de signe opposé au dopage profond du substrat marquant de ce fait la création complète du canal de conduction d'électrons (ou de trous dans le

cas d'un semi-conducteur de type N) à la surface du semi-conducteur. On parle de canal d'inversion. La charge est alors constituée d'une charge de déplétion (Q_{dep}) et d'une charge d'inversion (Q_{inv}) qui forme le canal :

$$Q_{SC} = -C_{ox}\left(V_G - (\Phi_M - \Phi_{SC}) - \varphi_S\right) = Q_{inv} + Q_{dep} \tag{1.23}$$

De plus, lorsque la tension augmente au-delà de la tension de seuil, le potentiel de surface tend à saturer à $2\Phi_F$ si bien que la charge d'inversion peut être approximée par :

$$Q_{inv} = Q_{SC} - Q_{dep}(2\Phi_F) = -C_{ox}\left(V_G - (\Phi_M - \Phi_{SC}) - \varphi_S\right) + \sqrt{4e\epsilon_{sc}N_a\Phi_F} \tag{1.24}$$

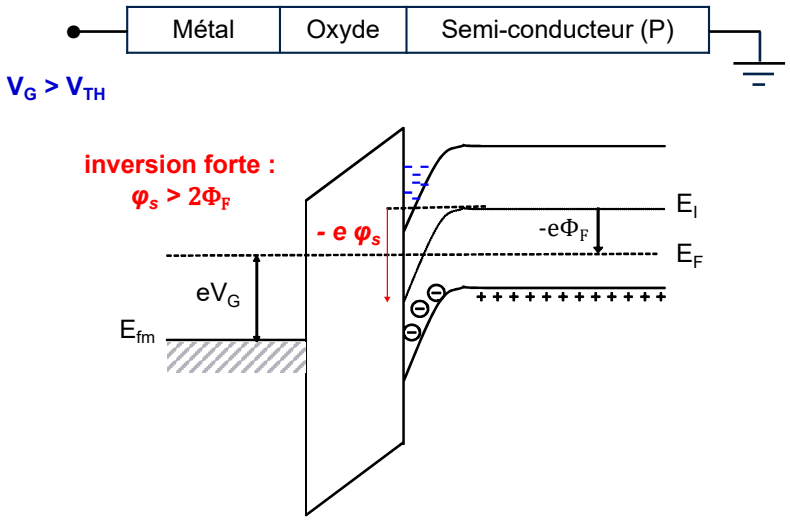


FIGURE 1.7 – Diagramme de bandes de la capacité MOS en régime d'inversion forte.

En résumé, par application d'une tension de grille V_G, il est possible en passant d'un régime à un autre de contrôler la nature (électrons ou trous) et la concentration des porteurs à proximité de l'interface oxyde/semi-conducteur.

1.2.3.2 Variations de la capacité de la structure MOS

La charge générée dans le semi-conducteur créée un effet capacitif qui s'ajoute à celui de l'oxyde. On peut ainsi définir la capacité totale de la structure MOS comme la mise en série de ces deux capacités.

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C(\varphi_S)} \tag{1.25}$$

Où C_{SC} la capacité due à la charge dans le semi-conducteur dépendra du régime de

fonctionnement. Elle est donnée par :

$$C_{SC}(\varphi_S) = -\frac{dQ_{SC}}{d\varphi_S} \tag{1.26}$$

En régime d'accumulation :
La capacité du semi-conducteur est négligeable devant celle de l'oxyde.

$$C = C_{ox} \tag{1.27}$$

En régime de déplétion et d'inversion faible :
En dérivant l'équation (1.19), on extrait la capacité en régime de déplétion :

$$C_{dep} = \sqrt{\frac{eN_a\varepsilon_{sc}}{2\varphi_S}} \tag{1.28}$$

Elle est conditionnée par les charges fixes constituant la charge de la zone de désertion. La capacité totale est donc donnée par :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{dep}} \tag{1.29}$$

En régime d'inversion forte :
De la même façon, en dérivant l'équation (1.13), la capacité d'inversion est donnée par :

$$C_{inv} = \frac{\varepsilon_{sc}}{L_D}\exp\left(\frac{e\left(\varphi_S - 2\Phi_F\right)}{2k_BT}\right) \tag{1.30}$$

La charge d'inversion est nettement prépondérante devant la charge de désertion

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{inv}} \tag{1.31}$$

Les variations de la capacité avec la tension de grille peuvent être observées expérimentalement. Pour ce faire, une tension sinusoïdale de faible amplitude et de fréquence donnée est appliquée autour de la tension V_G. Un capacimètre permet alors par mesure d'admittance complexe d'extraire la valeur de la capacité. La figure 1.8 ci-dessous présente le circuit équivalent de l'oxyde permettant d'extraire la capacité de l'oxyde et un exemple de courbe de la capacité en fonction de V_G (C(V)) où les différents régimes sont balayés.

Cette mesure étant représentative de la capacité MOS et de ses régimes de fonctionnement, elle est utilisée comme outil de caractérisation et pour l'extraction de paramètres tels que C_{ox} ou de façon indirecte V_{FB}, V_{TH} et E_{OX}.

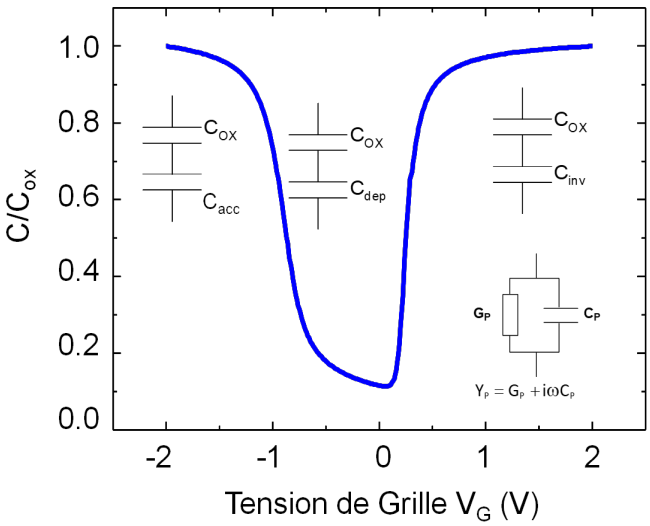


FIGURE 1.8 – Caractéristique capacité-tension C(V) d'un NMOS du régime d'accumulation au régime d'inversion (-2V à +2V). (En bas à droite : circuit équivalent en mode parallèle utilisée pour l'extraction de C (G_P conductance, C_P capacité)) [15].

Dans cette partie, nous nous sommes attachés à décrire les modes de fonctionnement de la capacité MOS, la modulation de la charge Q_{SC} ainsi que la caractéristique C(V). Nous allons maintenant détailler le principe de fonctionnement du transistor qui consiste à mettre en mouvement latéral la charge du semi-conducteur.

1.2.4 Les paramètres caractéristiques du transistor MOS

La tension V_G impose le régime de fonctionnement du transistor via la modulation d'une barrière de potentiel Φ_{bi} (built-in potential). Cette barrière de potentiel qui vient du type de dopage opposé (N_a et N_d) entre la jonction source-substrat d'une part et drain-substrat d'autre part, empêche la libre circulation des porteurs [16]. En l'absence de polarisation V_G, la barrière de potentiel issue de leur contact peut être exprimée par :

$$\Phi_{bi} = k_B T.\ln\left(\frac{N_a N_d}{n_i^2}\right) \tag{1.32}$$

Et alors le potentiel de jonction V_{bi} existant entre ces zones est donné par :

$$V_{bi} = \frac{k_B T}{e}.\ln\left(\frac{N_a N_d}{n_i^2}\right) \tag{1.33}$$

1.2.4.1 Transistor en mode passant

Le principe du transistor MOS repose principalement sur la mise en mouvement de la charge d'inversion Q_{inv}. La charge d'inversion est créée quand la barrière de potentiel Φ_{bi} est abaissée grâce à une tension V_{GS} supérieur à V_{TH} (figure 1.9a). Une fois créée, elle est mise en mouvement par l'intermédiaire de la tension appliquée entre source et drain V_{DS} qui permet d'abaisser le potentiel côté drain (figure 1.9b)). Il en résulte une variation de la charge d'inversion le long du canal qui peut être approximée côté source et drain respectivement à :

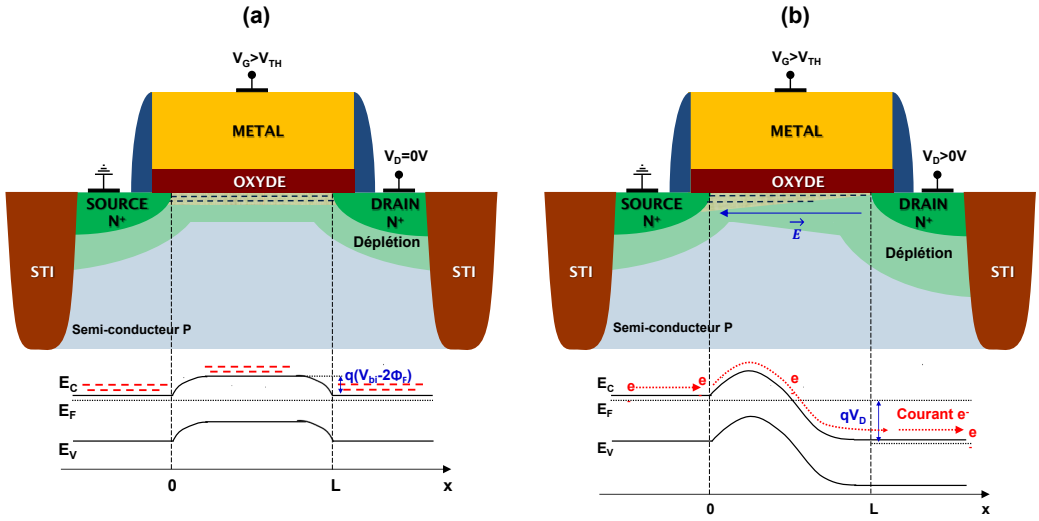


FIGURE 1.9 – Représentations schématiques du transistor MOS et des barrières de potentiel longitudinales en configuration régime d'inversion $V_G > V_{TH}$ et (a) $V_D = 0V$ (b) $V_D > 0V$.

Le courant débité par le transistor est gouverné par trois facteurs.

— La charge d'inversion dans le canal qui dépend de la tension de grille.
— La tension de drain V_D qui permet le déplacement des porteurs de la source vers le drain.
— La mobilité des porteurs μ_{eff} qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En régime d'inversion ($V_G > V_{TH}$)on peut distinguer deux types de conduction du transistor en fonction de la tension de drain V_D, ainsi que les barrières de potentiel côté source et côté drain comme l'illustrent les Figure 1-6 (a) et (b) ci-dessous :

Lorsque $V_D = 0V$ (figure 1.9a) : Dans ce cas, le potentiel de surface est uniforme le long du canal et il existe côté source comme côté drain, une barrière de potentiel avec le canal d'inversion égale à $q(V_{bi} - \varphi_S) \approx q(V_{bi} - 2\Phi_F)$. La conduction le long du canal d'inversion est donc impossible.

Lorsque $V_D > 0V$ (figure 1.9b) : L'application de cette tension abaisse la barrière de potentiel côté drain à $q(V_{bi} - 2\Phi_F - V_D)$. Un courant de conduction d'électrons I_d (de

trous dans le cas d'un PMOS) est alors possible entre la source et le drain le long du canal d'inversion.

La circulation du courant entre la source et le drain est rendue possible par la différence de potentiel qui existe dans la direction (0x) le long du canal. En effet le long du canal d'inversion, entre une abscisse x et x+dx, il existe une différence de potentiel dV induite par l'application de la tension de drain V_D. Cette différence de potentiel donne lieu à un flux de porteurs (un courant) dans la direction x qui peut s'exprimer par :

$$I_D \,.\, dx \;=\; -W\mu_0 Q_{inv}(x) \,.\, dV \tag{1.34}$$

Où μ_0 est la mobilité des porteurs dans le semi-conducteur, W la largeur de la grille, et Q_{inv}(x) la charge d'inversion à l'abscisse x soumise à la différence de potentiel dV.

Dans le régime de faible inversion, la polarisation de grille est donc inférieure à la tension de seuil. La barrière énergétique est trop haute et seulement quelques porteurs parviennent à la franchir par activation thermique. Un courant faible de diffusion traverse alors le transistor MOS. Ce courant varie de façon exponentielle par rapport à V_G et est donné par la relation suivante [16], [17] :

$$I_D \;=\; \mu_0 \frac{W}{L}\left(\frac{k_B T}{q}\right)^2 \delta \exp\left(\frac{q\,(V_G - V_{TH})}{n k_B T}\right)\left(1 - exp\left(-\frac{V_D}{k_B T}\right)\right) \tag{1.35}$$

Où $n = 1 + \frac{C_{dep}}{C_{ox}}$ et $\delta = \frac{C_{dep}}{C_{ox}}$ avec C_{dep} la capacité de la couche de déplétion (équation (1.28)) et δ le facteur d'effet substrat.
Ce qui permet de donner une première expression du couplage avec la zone active (le substrat ou caisson) à travers l'effet body par l'utilisation de la tension de bulk (V_{BS}) utilisée dans les dispositifs sur substrat de silicium. Le couplage peut également s'exprimer en fonction du paramètre n relié au couplage capacitif (en négligeant ici l'effet des défauts d'interface) en fonction du potentiel de surface pour φ_S entre l'inversion faible (Φ_F) et forte ($2\Phi_F$).

Généralement, la vitesse à la commutation entre l'état Off et l'état On se caractérise à l'aide de la pente sous seuil SS (Subthreshold Slope), définie comme l'inverse de la pente des courbes log(I_{DS}) vs. V_{GS} pour $V_{GS} < V_{TH}$ ce qui donne:

$$SS \;=\; \left(\frac{\partial I_{DS}}{\partial V_{GS}}\right)^{-1} \;=\; \frac{k_B T}{q}\ln(10)\left(1 + \frac{(C_B + C_{it})}{C_{ox}}\right) \;=\; 2.302\frac{k_B T}{q}n \tag{1.36}$$

Cela montre que la pente sous seuil est fonction du couplage avec le dopage avec le facteur n, qui tend vers une valeur idéale de 60mV /décade dans le cas de la technologie FDSOI où n tend vers 1. Dans le cas des technologies sur substrat de silicium les valeurs de SS sont plus importantes en raison de l'effet des états d'interface dont il faut tenir compte en ajoutant un terme C_{it}/C_{dep} dans le facteur n, ce qui se traduit par une pente plus faible des courbes log(I_{DS}) vs. V_{GS} sur la figure 1.10 (SS plus élevé) avec l'augmentation des états d'interface qui se chargent pour $\Phi_F < \varphi_S < 2\Phi_F$.

La tension de seuil V_{TH} avec le facteur substrat permet de déterminer le couplage

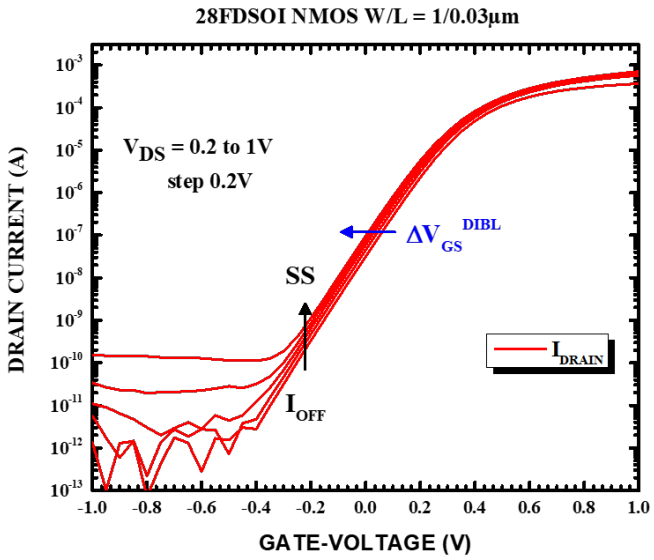


FIGURE 1.10 – Caractéristiques du courant sous seuil en fonction de la tension de drain V_{DS} du mode linéaire au mode saturé dans une technologie CMOS 28FDSOI mettant en évidence l'augmentation du courant de fuite I_{OFF}.

avec le substrat par la dépendance de la tension de seuil en fonction de la tension substrat V_{BS}. Ceci permet de mettre en évidence l'effet du dopage et son profil en fonction de la profondeur dans le substrat pour une extension de la zone de déplétion qui augmente avec V_{BS} (cas NMOS). Il en résulte que la tension V_{TH} devient en fonction de la tension V_{BS} [18] :

$$V_{TH} = V_{TH_0} + \gamma_N \left(\sqrt{2\Phi_F - V_{BS}} - \sqrt{2\Phi_F} \right) \tag{1.37}$$

où V_{TH_0} est la tension de seuil définie pour $V_{BS} = 0V$ et γ_N est le coefficient de substrat communément appelé body factor [18], [19].

La valeur du V_{TH} est donc prépondérante pour établir les performances en courant, sa variation avec V_{BS} en régime inverse et direct peut être mise à profit pour gérer de façon statique et dynamique le niveau de performance et de consommation en diminuant ou augmentant sa valeur [20]. Ainsi, pour répondre aux différents besoins liés à différents niveaux de performances en termes d'applications digitales, trois catégories de transistors MOS sont développées dans les noeuds de générations CMOS récents, suivant leur tension de seuil:

— Les transistors LVT (Low V_{TH}) à faible V_{TH} pour les applications hautes performances.
— Les transistors RVT (Regular V_{TH}) ou SVT (Standard V_{TH}) à V_{TH} standard
— Les transistors HVT (High V_{TH}) à fort V_{TH} pour les applications basses consommations.

Au cours de cette thèse, seuls les transistors LVT ont été étudiés.

La condition de formation du canal d'inversion est que le potentiel de surface soit égal à $2\Phi_F$. L'augmentation de la tension de grille V_G permet d'augmenter la charge d'inversion Q_{Inv} comme $|Q_{inv}| = C_{ox}(V_G - V_{TH})$. Ici, du fait de l'application de la tension V_D au niveau du drain, le potentiel de surface le long du canal n'est plus uniforme. Selon la valeur de V_D, on distingue alors deux modes de fonctionnement :

– Le régime linéaire avec faible V_D :
Ce régime se caractérise par une dépendance linéaire du courant en fonction de V_D. De plus, la tension de drain engendre une dépendance linéaire de la vitesse des porteurs avec le champ électrique appliqué. Le facteur de linéarité est défini comme étant la mobilité μ_0.

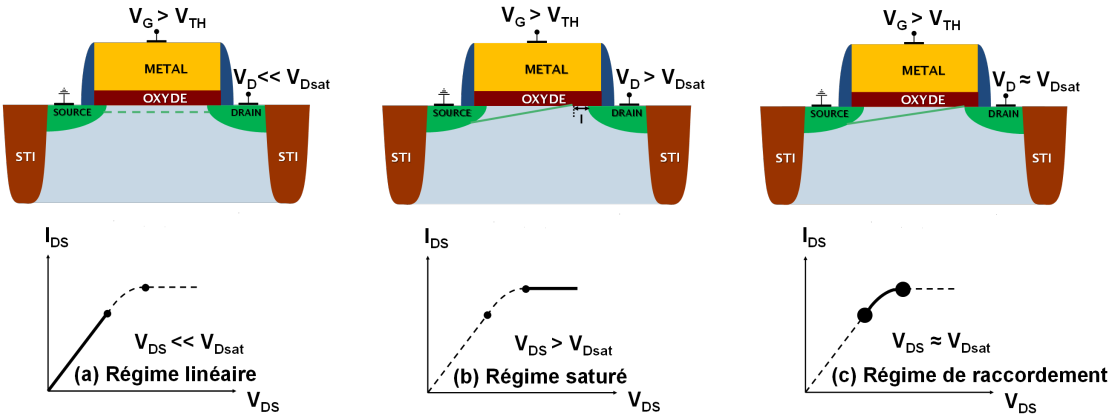


FIGURE 1.11 – Les différents régimes de conduction (linéaire, raccordement et saturé) en fonction de la valeur de V_{DS}.

Lorsque V_D est faible (typiquement $V_D \ll 2\Phi_F$), le canal persiste sur toute la longueur de la grille (figure 1.11a). L'expression du courant de drain en forte inversion s'exprime dans ce cas par :

$$I_{Dlin} = \mu_{eff} C_{ox} \frac{W}{L} \left(V_G - V_{TH} - \frac{1}{2}(1+\delta) V_D \right) V_D \tag{1.38}$$

Ce régime de fonctionnement peut être caractérisé par la transconductance et la conductance de drain qui sont respectivement données par $g_m = \frac{\partial I_D}{\partial V_G}$ et $g_D = \frac{\partial I_D}{\partial V_D}$.

$$g_m = \mu_{eff} C_{ox} \frac{W}{L} V_D \tag{1.39}$$

$$g_D = \mu_{eff} C_{ox} \frac{W}{L} (V_G - V_{TH}) \tag{1.40}$$

Ces deux paramètres permettent de décrire les variations du courant de drain avec

V_G et V_D autour d'un point de fonctionnement. La courbe de la figure 1.12a montre l'évolution du courant de drain en mode linéaire pour une longueur de grille L_G variable dans une technologie CMOS récente Low Power (LP), optimisée pour le nœud 40nm. On observe classiquement l'effet canal court (SCE) montrant la réduction de la tension de seuil avec L_G. De même, si nous considérons le gain en transconductance à V_{DS} fixé avec g_m sur la figure 1.12b, ceci permet de mettre en évidence l'augmentation de la mobilité effective μ_{eff} avec la réduction de L_G, comme l'augmentation de la valeur du pic de g_m en fonction de la tension de grille.

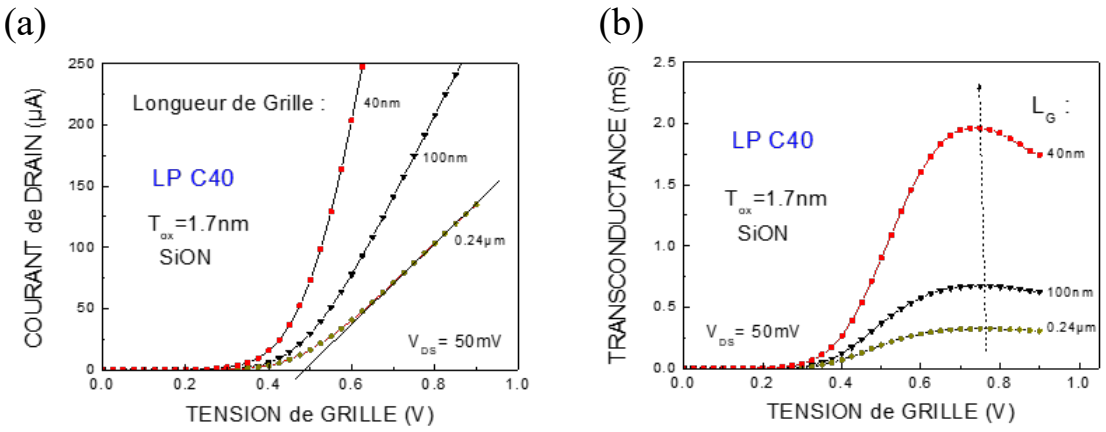


FIGURE 1.12 – Caractéristiques en régime linéaire (V_{DS} = 50mV) d'un transistor NMOS pour différentes longueurs de grille $L_G = 0.24\mu$m, 100nm et 40nm traduisant l'effet canal court (SCE) : (a) sur le courant de drain I_{DS} ainsi que (b) sur la transconductance gm.

– Le régime saturé avec fort V_D :

Le régime de saturation se traduit par une perte de linéarité ainsi qu'une faible variation du courant avec V_D (figure 1.11b). On dit que le canal est pincé (point P) car il ne couvre pas toute la longueur de la grille. Ainsi, la tension correspondante au niveau du drain est appelé V_{Dsat} et s'exprime par:

$$V_{Dsat} = \frac{V_G - V_{TH}}{n} \tag{1.41}$$

Étant à la limite entre le régime linéaire et le régime saturé, le courant est alors donné, en reportant l'équation (1.41) dans l'équation (1.38) :

$$I_{D_P} \approx \frac{1}{2}\mu_{eff} C_{ox} \frac{W}{L} \frac{(V_G - V_{TH})^2}{n} \tag{1.42}$$

Lorsque $V_D > V_{Dsat}$, le point de pincement se déplace vers un point distant du drain de ΔL, qui correspond à la largeur de la zone de déplétion d'un semi-conducteur soumis à une différence de potentiel $\Delta V = V_D - V_{Dsat}$. D'où :

$$\Delta L = \sqrt{\frac{2\varepsilon_{sc}}{eN_a}(V_D - V_{Dsat})} \tag{1.43}$$

Le courant de drain est alors donné par :

$$I_{Dsat} = I_{D_P}.\frac{L}{L-\Delta L} \tag{1.44}$$

La transconductance et la conductance de drain sont, dans ce régime saturé données par :

$$g_m = \mu_0 C_{ox}\frac{W}{L-\Delta L}(V_G - V_{TH}) \tag{1.45}$$

$$g_D = \mu_0 C_{ox}\frac{W}{L^2}\sqrt{\frac{2\varepsilon_{sc}}{eN_a}}\frac{V_{Dsat}^2}{\sqrt{V_D - V_{Dsat}}} \tag{1.46}$$

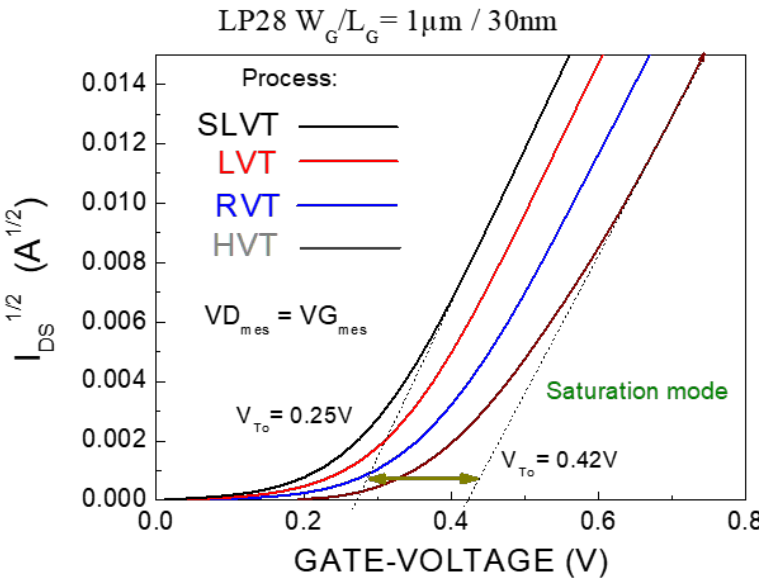


FIGURE 1.13 – Caractéristiques $I_{DS}^{1/2}$ – V_{GS} en régime saturé (mesuré pour $V_{DS} = V_{GS}$) d'un transistor NMOS de la filière 28LP pour différents process SLVT (super low V_{TH}) et LVT (low V_{TH}) pour les applications hautes performances et RVT (regular V_{TH}), HVT (high V_{TH}) pour la basse consommation.

Par ailleurs, il existe une zone de raccordement entre les deux régimes, dans laquelle le courant débité dépend à la fois de V_G et de V_D comme le montre la figure 1.11c. La charge n'est plus considérée comme constante, elle s'annule même au drain pour la condition nommée « point de pincement » V_P atteinte pour $V_{Dsat} = V_G – V_{TH} \approx V_P$.

Ce courant de saturation I_{Dsat}, également noté I_{on}, est défini comme étant le courant débité par le dispositif lorsque $V_{GS} = V_{DS} = V_{DD}$. I_{on} sert communément de référence comme performance DC d'un nœud technologique CMOS. Le paramètre V_{DD} qui correspond à la tension d'alimentation est fixé pour une épaisseur d'oxyde de grille : il est généralement spécifié et optimisé pour une génération technologique donnée de transistors, en fonction du compromis entre les performances et la fiabilité qui sont liés à l'intensité du champ latéral et vertical du dispositif en fonctionnement.

La figure 1.13 permet de distinguer les différents process introduits plus haut, effectués dans la technologie CMOS 28nm Low Power (LP28), suivant les types d'applications où le tracé de $I_{DS}^{1/2}$ en fonction de V_{GS} avec l'équation (1.42), donne la pente avec le facteur $\beta = ((1/2n)\mu_{eff}C_{ox}W/Leff)^{1/2}$. Ceci permet d'obtenir directement la tension de seuil en régime saturé (V_{TSo}), tenant compte de l'effet DIBL (à fort V_{DS}). On constate que la gamme de tension de seuil peut varier significativement entre la filière SLVT (super low V_{TH}) où $V_{TSo} = 0.25V$ pour les applications hautes performances, et la filière HVT (high V_{TH}) où $V_{TSo} = 0.42V$ dédiée aux applications basses consommations.

La figure 1.14a donne l'évolution du courant de drain I_{DS} en fonction de la tension de drain V_{DS} pour différentes valeurs de la tension de grille V_{GS} d'un transistor NMOS de la technologie $L = 0.25\mu m (T_{ox} = 5nm, V_{DD} = 2.5V)$. Les régimes linéaire et saturé sont délimités par la droite d'extrapolation de la conductance g_D (figure 1.14b) à V_{GS} fixé. Ceci permet d'obtenir simplement la tension V_{Dsat} quand g_D tends vers 0 pour chaque V_{GS}. Le courant de saturation Ion doit toujours être maximisé afin de

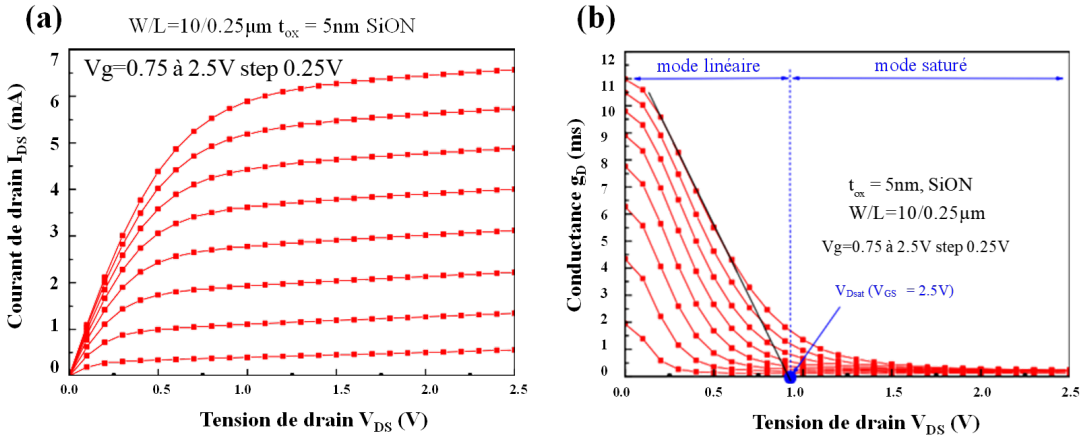


FIGURE 1.14 – (a) Caractéristiques $I_{DS}(V_{DS})$ d'un transistor NMOS de la technologie $L = 0.25\mu m$ ($V_{DD} = 2.5V$) pour différents V_{GS}. (b) La conductance g_D permet d'obtenir la tension V_{DSat} qui délimite le régime linéaire du régime saturé

charger et décharger le plus rapidement possible l'ensemble des capacités associées au transistor, puis aux transistors NMOS et PMOS formant les cellules CMOS de base,

de façon à réduire les délais intrinsèques par porte puis au niveau du bloc fonctionnel et du circuit.

1.2.4.2 Transistor en mode bloqué

Le second mode de fonctionnement du transistor MOS est le mode bloqué. Il correspond au cas $V_G < V_{TH}$. La figure 1.15 illustre ce régime en considérant le cas $V_G = 0V$.

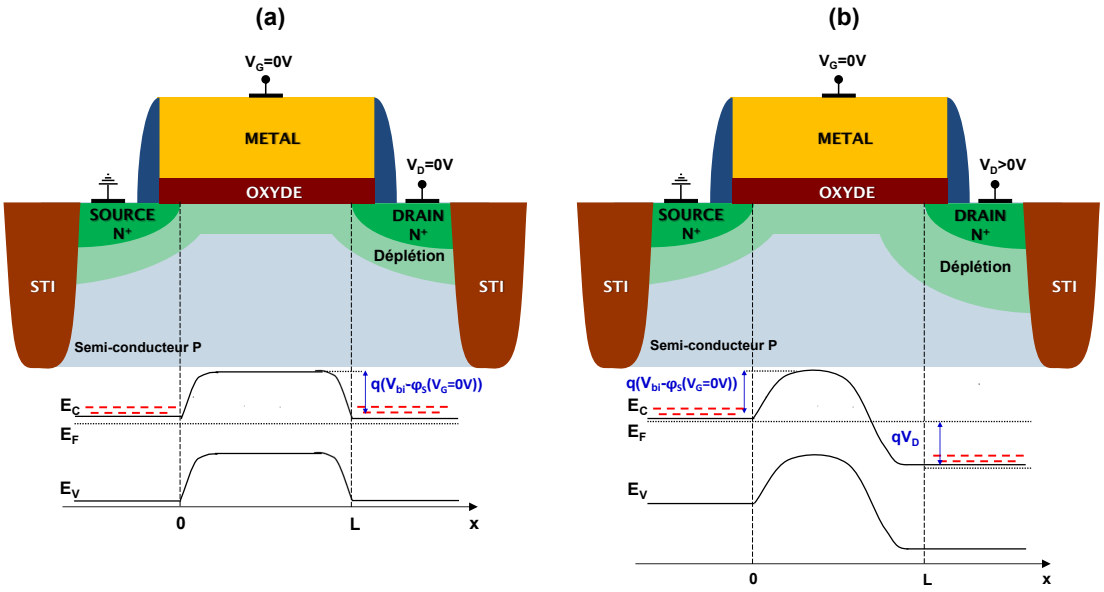


FIGURE 1.15 – Représentations schématiques du transistor MOS et des barrières de potentiel longitudinales en configuration $V_G = 0V$ et (a) $V_D = 0V$ (b) $V_D > 0V$

Dans ce cas, la capacité MOS est seulement soumise à un potentiel égal à la différence de travaux de sortie du métal et du semi-conducteur.
–Lorsque $V_D = 0V$ (figure 1.15a), les électrons des réservoirs de source et de drain voient une barrière $q\left(V_{bi} - \varphi_S\left(V_G = 0V\right)\right)$.
–Lorsque $V_D > 0V$ (figure 1.15b), la barrière coté drain est abaissée de qV_D mais demeure élevée coté source. (Dans le cas des faibles longueurs de grille, V_D peut également entraîner un abaissement de la barrière côté source, c'est le Drain Induced Barrier Lowering, (DIBL)).
Dans ce régime bloqué, le courant de drain se limite donc à un courant créé par les porteurs qui par l'agitation thermique franchissent la barrière et circule dans la zone de déplétion. Il est donné par :

$$I_{D_{sub}} = \mu_0 C_{ox} \frac{W}{L} \Phi_t^2 \exp\left(\frac{q\left(V_G - V_{TH}\right)}{n k_B T}\right)\left(1 - exp\left(-\frac{V_D}{\Phi_t}\right)\right) \tag{1.47}$$

Où $\Phi_t = \frac{k_B T}{q}$ et $n = 1 + \frac{C_{dep}}{C_{ox}}$ avec C_{dep} la capacité de la couche de déplétion (équation (1.28)). Ce régime est usuellement décrit par le paramètre SS égal à l'inverse de la pente sous le seuil introduit précédemment.

1.2.4.3 Critère de performance

La description de ces différents régimes de fonctionnement permettra, à travers différentes caractérisations électriques, d'extraire des propriétés importantes des transistors conçus. Cependant, au sein des circuits logiques CMOS, le fonctionnement des transistors est limité. En effet, pour son fonctionnement, le circuit dispose généralement d'un seul niveau d'alimentation (V_{dd}) qui est choisi supérieur à V_{TH} et V_{Dsat}, et d'une masse (0V). La description du fonctionnement d'un inverseur, qui est le circuit élémentaire de la logique CMOS, permet alors de rendre compte des configurations vues par les transistors. Au sein de ce circuit, le NMOS et le PMOS basculent alternativement d'un état 0 à un état 1 qui correspondent respectivement à un fonctionnement en régime bloqué et en régime passant en mode saturé. On définit ainsi les courants caractéristiques I_{on} et I_{off} qui sont donnés par (+ pour le NMOS, - pour le PMOS) :

$$I_{on} = I_{Dsat}(V_{GS} = \pm V_{dd}, V_{DS} = \pm V_{dd}) \tag{1.48}$$

$$I_{off} = I_{D_{sub}}(V_{GS} = 0, V_{DS} = \pm V_{dd}) \tag{1.49}$$

Ces deux niveaux de courants sont donc caractéristiques du fonctionnement des transistors au sein des circuits. A ce titre, ils sont utilisés comme indicateurs des performances électriques. Le courant I_{on} qui est représentatif de la vitesse de commutation des circuits doit être maximisé, alors que le courant I_{off} qui rend compte de la puissance statique dissipée doit être minimisé. Ainsi, le rapport I_{on}/I_{off} est communément utilisé comme figure de mérite. L'augmentation de ce rapport au niveau des transistors présagera d'un gain en performances au niveau des circuits.

1.2.5 Les effets parasites

Avec la miniaturisation des transistors MOS, on assiste à l'augmentation du courant de fuite. Pour assurer la performances des dispositifs, il est indispensable de réduire le courant de fuite I_{off} comme nous l'avions vu précédemment. Cette augmentation des courants de fuite peut être liée à l'augmentation de l'effet DIBL qui se traduit par la réduction de la tension de seuil, ou encore induite par l'effet GIDL (Gate Induced Drain Leakage) du à l'augmentation de la densité de défauts générés dans la zone de recouvrement grille-drain.

1.2.5.1 Effets de canaux courts : SCE et DIBL

Lorsqu'on diminue le canal L_G ou L_{Elec} (longueur électrique) du transistor, les zones de charge d'espace (ZCE) tendent à se rejoindre et la zone de potentiel constant disparaît. La zone de contrôle de la grille sur le canal est donc réduite tout comme la barrière de potentiel Φ_{bi} (figures 1.16a, b et c), rendant complexe le contrôle électrostatique du canal par la grille. Il existe alors deux principaux effets : le premier est appelé de façon

homonymique effet canaux courts SCE (Short Channel Effect en anglais, figures 1.16a et b). Le second est dû à la baisse de la barrière de potentiel entre le drain et la source induite par la polarisation du drain et est nommé DIBL (de l'anglais Drain Induced Barrier Lowering, figure 1.16c). La ZCE est une zone dépourvue de porteurs libres à l'interface entre les deux zones dopées coté source et coté drain. La figure 1.17 montre cette zone deplétéé pour un transistor bulk planaire. Cette zone n'a pas d'influence sur la barrière de potentiel entre le canal et les zones dopées (source et drain) pour les transistors ayant des longueurs L_G suffisamment grande. Néanmoins, les dimensions diminuant, ces zones deviennent très proches l'une de l'autre et tendent même à se rejoindre. La barrière de potentiel diminue alors comme on peut le voir sur la figure 1.16. Ce phénomène entraine une baisse de la tension de seuil V_{TH} qui a notamment pour conséquence une augmentation du courant à l'état bloqué I_{off}. Les performances du transistor, dont la corrélation I_{on}/I_{off}, diminuent de manière significative.

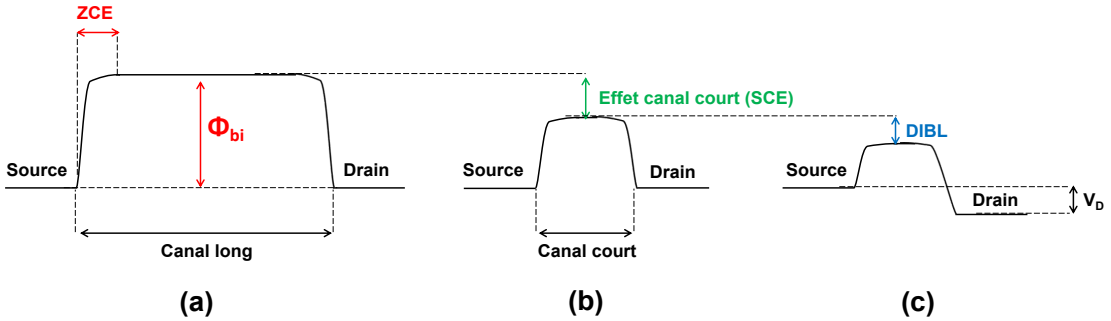


FIGURE 1.16 – Représentation schématique de l'abaissement de la barrière de potentiel (a) à partir d'un transistor long, (b) dû à la diminution de la longueur du canal et (c) l'application d'une tension de drain.

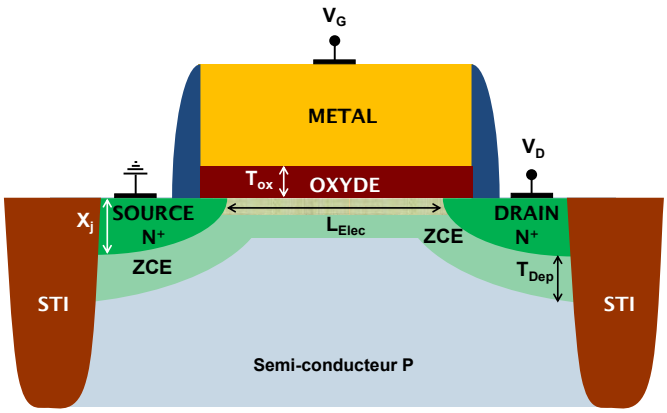


FIGURE 1.17 – Transistor MOS sur bulk présentant une zone de charge d'espace (ZCE) le long de la source du canal et du drain.

Le phénomène de DIBL, comme son nom l'indique, traduit un abaissement de

la barrière de potentiel qui s'ajoute à celui de l'effet longueur. Il est dû à l'application d'une tension entre drain et source V_{DS}. En conséquence, la ZCE côté drain se rapproche de celle côté source et le champ pénètre du drain vers la source, ce qui provoque un abaissement de la barrière et une injection accrue de porteurs à la source. Il provoque également une baisse du V_{TH} visible sur la figure 1.18.

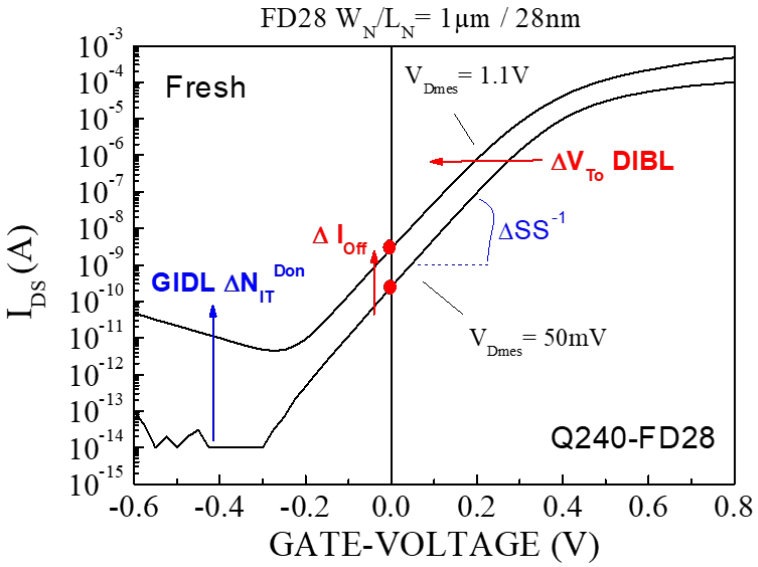


FIGURE 1.18 – Visualisation de l'effet du DIBL et du GIDL sur une caractérisation IV d'un transistor à canal court. La tension de seuil diminue en augmentant la tension du drain V_D.

On a alors :

$$V_{TH-court} = V_{TH-long} - SCE - DIBL \tag{1.50}$$

Les équations ci dessous permettent de mieux comprendre l'influence des paramètres physiques sur les effets canaux courts et DIBL :

$$SCE = \frac{\varepsilon_{Si}}{\varepsilon_{ox}} \frac{T_{ox}}{L_{Elec}} \frac{T_{Dep}}{L_{Elec}} \left(1 + \frac{X_J^2}{L_{Elec}^2}\right) \frac{kT}{q} . \ln\left(\frac{N_a N_d}{n_i^2}\right) = \frac{\varepsilon_{Si}}{\varepsilon_{ox}} EI \frac{kT}{q} . \ln\left(\frac{N_a N_d}{n_i^2}\right) \tag{1.51}$$

$$DIBL = \frac{\varepsilon_{Si}}{\varepsilon_{ox}} \frac{T_{ox}}{L_{Elec}} \frac{T_{Dep}}{L_{Elec}} \left(1 + \frac{X_J^2}{L_{Elec}^2}\right) V_D = \frac{\varepsilon_{Si}}{\varepsilon_{ox}} EI \, V_D \tag{1.52}$$

Où ε_{Si} représente les permittivité du silicium, T_{Dep} l´épaisseur de la zone déplétée, L_{Elec} la longueur électrique, X_j la profondeur de jonction. Ces grandeurs physiques sont visibles sur la figure 1.17. Le paramètre EI est appelé intégrité électrostatique (Electrostatic Integrity en anglais). Il est directement relié aux paramètres physique

du transistor et représente l'influence du champ électrique sur le canal, il est un indicateur des effets SCE et DIBL.

1.2.5.2 Gate Induced Drain Leakage (GIDL)

Ce phénomène de GIDL apparaît quand la grille est partiellement recouvrée avec le drain et que le transistor est en accumulation. Il se traduit par un courant de fuite au drain dû au fort champ vertical induit par la grille dans la zone de recouvrement grille-drain (figure 1.19). Ce courant de fuite de la grille vers le drain provoque un piégeage significatif des trous dans l'oxyde, entraînant une fuite du courant de drain et une dégradation de l'oxyde de grille [21]. À des champs électriques encore plus élevés, une fuite de grille à drain se produit, par une combinaison de la transition Fowler-Nordheim des électrons de la grille vers le drain et l'injection de trous chauds générés par la GIDL dans la grille.

Dans cette configuration, un électron de la bande de valence peut passer par effet tunnel dans la bande de conduction, créant un trou dans la bande de valence. Ils sont collectés séparément par le drain et le substrat. L'effet tunnel mentionné peut être lié à un transport de charges bande à bande ou à un effet tunnel assisté par les pièges. Le GIDL est plus prononcé lorsque V_{DS} est élevé et que V_{GS} est négatif. Il peut aussi augmenter pour un MOS soumis à une dégradation pendant laquelle des pièges sont créés. Les dégradations de la tension de seuil et du courant de drain comme le montre la figure 1.18 sont généralement considérées comme étant dominées par les pièges d'interface du au piégeage des trous.

Pour réduire les effets du GIDL, on utilise des poches de surdopage ou halo, des structures LDD (Lightly doped drain) pour réduire le champ électrique proche du drain ou encore en réduisant l'épaisseur d'oxyde T_{ox} pour diminuer le champ électrique vertical. Une suppression presque complète du courant GIDL a été démontrée pour les dispositifs LDD à faible concentration et à oxyde de grille gradué. Cependant, ces dispositifs présentent une faible fiabilité des électrons chauds en raison d'un contrôle de grille réduit de la région de drain faiblement dopée [22].

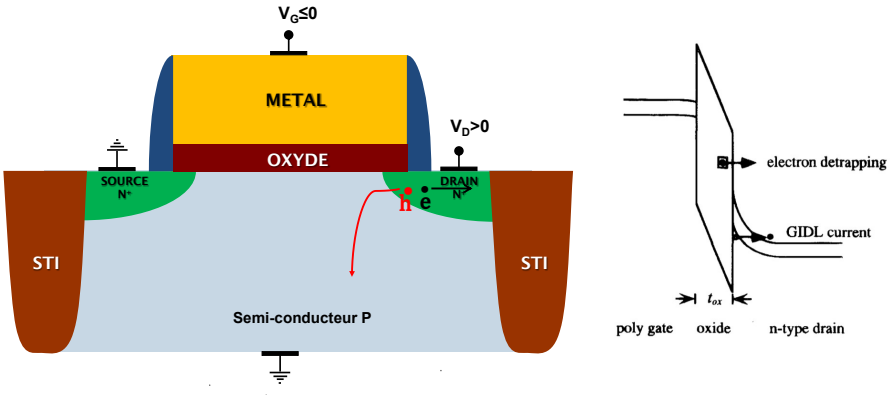


FIGURE 1.19 – Illustration du GIDL dans la région de recouvrement grille-drain et diagramme de bandes associé

1.3 Évolution du transistor MOS du 40LP au 28FDSOI

1.3.1 Évolution de l'architecture du transistor MOS du 40LP au 28LP

1.3.1.1 Nitruration de l'oxyde

La réduction de l'épaisseur de l'oxyde de grille T_{ox} de nœud en nœud a permis en premier lieu d'augmenter la capacité C_{ox} avec l'équation (1.1) et par conséquent le courant de saturation I_{on} des transistors MOS, mais également de réduire certains effets parasites liés à la réduction de la longueur du canal dénommé Short Channel Effect (SCE) [16], [23] et l'effet du fort potentiel de drain sur la hauteur de barrière source/drain connu comme effet DIBL [24]. L'oxyde de grille utilisé pour les nœuds antérieurs au nœud 130nm était en dioxyde de silicium SiO_2. Il s'agit simplement de l'oxyde naturel du silicium. Il est obtenu par oxydation du substrat de silicium ($Si + O_2$) avec une excellente qualité d'interface Si/SiO_2. Autre propriété intéressante, il est un très bon isolant, de par la grande valeur de sa bande interdite ($E_g = 9eV$) et sa résistivité élevée ($\rho = 10^{14} - 10^{16} \Omega.cm$). Ces propriétés faisaient du SiO_2 un candidat idéal, peu couteux, facilement processé de façon thermique (800-1100°C) ou chimique (300-600°C), au fil de l'intégration des différentes générations CMOS depuis le micromètre (en 1980) jusqu'au noeud 130nm (2002).

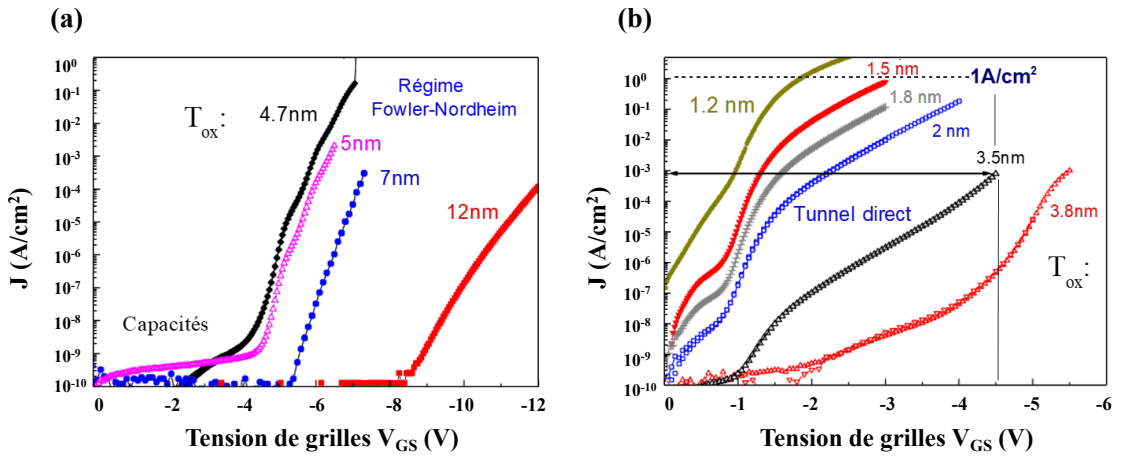


FIGURE 1.20 – Caractéristiques de la densité de courant de grille en fonction de la tension de grille V_G (sur substrat de type N) (a) pour des épaisseurs d'oxydes SiO_2 allant de 12nm à 4.7nm, (b) puis en SiON de 3.8 nm à 1.2 nm [25].

Cependant, l'utilisation du diélectrique comme isolant n'est jamais totalement exempt de courants de fuites qui le traversent entre la grille et le substrat suivant l'intensité du champ vertical appliqué entre ses terminaux. Lorsque l'épaisseur d'oxyde T_{ox} commence à être fortement réduite dans la gamme $12nm > T_{ox} > 3.5nm$, un courant de fuite thermoïonique peut intervenir à fort champ vertical dans l'oxyde, évo-

luant vers un courant de fuite tunnel de type Fowler-Nordheim (figure 1.20a) pour les oxydes les plus fins dans cet intervalle [25]. Puis pour les diélectriques très fins, c'est-à dire à partir de $T_{ox} \leq 3.5$nm (figure 1.20b), la densité de courant de grille $J_G = \frac{I_G}{W_G.L_G}$ devient beaucoup plus importante traduisant l'effet tunnel direct entre la grille et le substrat, dès les basses tensions de grille. En effet, dans un transistor MOS, l'oxyde de grille constitue une barrière énergétique à l'injection de porteurs entre la grille et le substrat. Cependant, ce courant de fuite I_G à $V_G = 0$ sur la grille peut devenir très élevé et parfois du même ordre de grandeur que le courant de fuite du transistor (I_{off}) mesuré au drain (pour $V_G = 0$), ce qui se traduit par une augmentation de la consommation statique néfaste pour le transistor.

La figure 1.20 illustre cette augmentation du courant de fuite avec la réduction de T_{ox} pour un large intervalle d'épaisseur de diélectrique allant de 12nm à 1.2nm pour une structure MOS classique Si/SiO_2 [25]. On peut observer d'autre part dans la figure 1.20b que la limite de densité de courant de $1A/cm^2$ donne une valeur maximum acceptable pour une technologie, ce qui limite d'autant la tension d'alimentation dans une capacité MOS par exemple ici à 1.8V pour $T_{ox} = 1.2$nm et 3V pour $T_{ox} = 1.5$nm.

Grâce à l'utilisation de procédés de nitruration, il a été possible d'augmenter la permittivité de l'oxyde de grille en s'affranchissant du remplacement du SiO_2 à partir du noeud 130nm. En effet, le nitrure de silicium Si_3N_4 possède une constante diélectrique plus importante ($K_{Si_3N_4} = 7$) que celle de l'oxyde de silicium ($K_{SiO_2} = 3.9$). Ainsi, l'incorporation d'azote N dans l'oxyde SiO_2 permet d'augmenter la constante diélectrique conduisant à un composé de type SiO_xN_y de constante diélectrique intermédiaire, donnant notamment en fonction du procédé de nitruration une constante $K_{SiON} = 5$ dans le cas de la nitruration plasma [26].

1.3.1.2 Utilisation de grilles métalliques

Jusqu'au nœud 40nm LP, la grille était constituée de polysilicium (silicium polycristallin fortement dopé). En fonction du dopage du polysilicium de type N ou P, ce choix permettait de bénéficier à la fois de transistors NMOS et PMOS ayant de faibles valeurs de tensions de seuil V_{TH}. Cependant lorsque le transistor se trouve en régime d'inversion, la grille, du fait de son fort dopage ($> 10^{20}cm^{-3}$), se retrouve en régime de déplétion conduisant à une chute d'énergie potentielle dans la grille. On parle de polydéplétion. Cette déplétion dans la grille s'étend sur une épaisseur de quelques angströms (0.4nm à 1nm) suivant le niveau de dopage, induisant une augmentation effective de l'épaisseur d'oxyde T_{ox} équivalente, ce qui crée alors un effet capacitif parasite. Cet effet jusqu'alors négligeable devant l'épaisseur de l'oxyde, est devenu contraignant avec la diminution des épaisseurs d'oxyde et d'autant plus compliqué avec l'arrivée des diélectriques à haute constante, comme nous le voyons ci-après. La solution choisie par STMicroelectronics a été de remplacer la grille en polysilicium par une grille métallique en TiN (nitrure de titane) à partir du nœud 28nm LP en ajustant le travail de sortie. En effet, la grille obtenue en TiN est un matériau de type mid-gap, c'est à dire choisi pour son travail de sortie qui place le niveau de Fermi à la moitié du gap du silicium. C'est donc un matériau spécifiquement choisi pour faciliter

l'obtention de tensions de seuils sensiblement symétriques pour les transistors NMOS et PMOS [15].

1.3.1.3 Introduction du High-K

Les oxydes de silicium nitrurés ont permis de résoudre le problème de l'augmentation du courant de fuite de grille I_G (et de drain I_{off}) seulement à moyen terme. Pour pallier ce problème à partir du nœud 32nm, l'utilisation de matériaux diélectriques High-K s'est imposée conjointement au passage à la grille métallique TiN et aux siliciures ($TiSi_2$, $CoSi_2$) pour faciliter l'ajustement des tensions de seuils dans les technologies CMOS. Les matériaux High-K sont des matériaux dont la constante diélectrique ε_{HK} est plus élevée (25 à 30) que celle du dioxyde de silicium SiO_2 ($K_{SiO_2} = 3.9$). A STMicroelectronics, le matériau High-K HfO_2 a été choisi depuis le nœud CMOS L_G = 32nm et 28nm.

Ce diélectrique High-K choisi pour remplacer le SiO_2 et SiON pour les nœuds les plus avancés devait satisfaire un certain nombre de conditions, notamment :

— La stabilité vis-à-vis des différentes étapes de fabrication des transistors (en particulier durant les étapes de recuit).
— La compatibilité avec les aspects industriels (temps de dépôts, coût, budget thermique ...).
— Une faible quantité de défauts intrinsèques et un bon contrôle de son épaisseur déposée.
— La compatibilité avec les exigences en termes de fiabilité.

Par ailleurs, l'interface Si/High-K est instable et le dépôt du High-K donne lieu à la formation d'une couche d'oxyde interfaciale de type SiO_2 par la migration d'atomes d'oxygène à travers le matériau ou par des réactions thermodynamiques. De ce fait, la réelle composition de cette couche interfaciale, son épaisseur et sa densité ne sont pas contrôlées. C'est pourquoi une couche nitrurée intermédiaire (IL) de SiON de quelques angströms à 1.5nm d'épaisseur est réalisée avant le dépôt du High-K. Ainsi, dans notre cas, l'oxyde de grille est finalement composé d'une bicouche de type High-K + IL avec comme matériaux HfO_2/SiON (figure 1.21a).

La notion d'EOT (Equivalent Oxide Thickness) est définie afin de déterminer l'apport réel de l'introduction du High-K par rapport à l'oxyde de grille standard en SiO_2. Cette grandeur permet de ramener tout empilement de grille pour un diélectrique High-K quelconque à l'épaisseur équivalente d'oxyde (et la capacité équivalente C_{eq} correspondante) si le diélectrique utilisé était en SiO_2. Ceci permet d'obtenir aisément par rapport à la loi d'échelle de Moore (Moore 1965) l'épaisseur d'oxyde EOT équivalente et le gain en capacité, et comparer différents matériaux ou différentes technologies en se ramenant au SiO_2 comme référence commune. Avec les figures 1.21 b-c l'EOT est obtenu en posant tout d'abord pour le diélectrique en SiO_2, la capacité où $C_{ox} = \varepsilon_0\varepsilon_{SiO_2}/T_{ox} = K_{SiO_2}/EOT$ qui est comparé à l'empilement que nous avons comme la mise en série des deux diélectriques HK + IL donnant pour $K_{SiO_2}/K_{IL} = \varepsilon_{SiO_2}/\varepsilon_{SiON}$ et $K_{SiO_2}/K_{HK} = \varepsilon_{SiO_2}/\varepsilon_{HfO_2}$ la relation en EOT suivante :

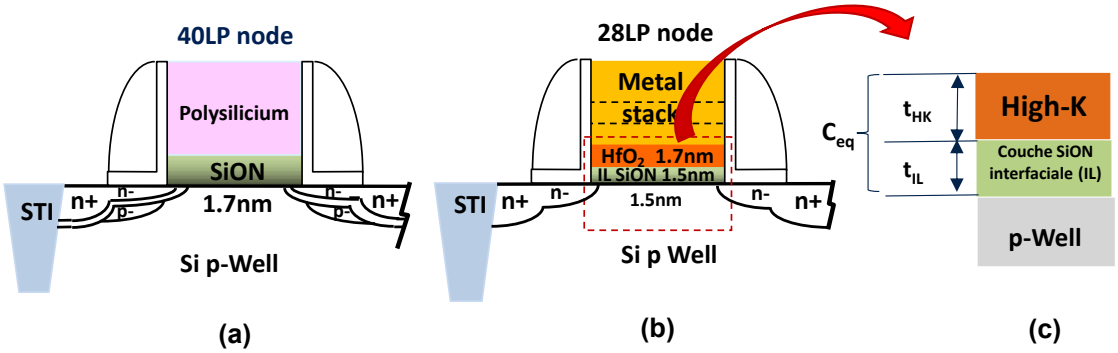


FIGURE 1.21 – Évolution de la structure MOS entre (a) la technologie low power (40LP) à grille en poly Si sur silicium p-well (b) la structure 28LP avec une grille métallique, le diélectrique High-K+IL (c) Zoom sur l'empilement des différentes couches utilisé pour le calcul de l'EOT (Equivalent Oxide Thickness) et C_{eq}.

$$EOT = \frac{K_{SiO_2}}{K_{IL}} t_{IL} + \frac{K_{SiO_2}}{K_{HK}} t_{KH} \tag{1.53}$$

Ceci conduit avec $\varepsilon_{SiON} = 5$ et $\varepsilon_{HfO_2} = 25$ à un EOT = 1.43nm pour le noeud 28LP qui est composé ici (figures 1.21 b-c) d'une couche de 1.5nm de SiON et de 1.7nm de HfO_2.

1.3.2 Évolution de l'architecture du transistor MOS du 28LP au 28FDSOI

1.3.2.1 Motivations pour l'architecture sur SOI

Historiquement, la technologie Silicon On Insulator (SOI) a été développée dans les années 60-80 pour répondre aux besoins dans les domaines spatial et militaire. Elle consistait à fabriquer des circuits intégrés capables de résister aux irradiations naturelles avec un procédé de fabrication plus complexe que le CMOS sur silicium massif (silicium bulk) [27], [28]. Une deuxième raison est l'amélioration des performances en régime statique et en très haute fréquence pour une même tension d'alimentation par le passage des transistors sur bulk aux transistors sur SOI, notamment avec la présence de l'oxyde épais enterré, le BOX qui entraîne l'élimination des capacités parasites drain/bulk et source/bulk, La couche de conduction est limitée par l'épaisseur du film de silicium (t_{Si}). Enfin, la technologie SOI permet d'économiser un certain nombre d'étapes technologiques pour les ajustements de tension de seuil (en surface et en volume), telles que la présence de poches (pockets) ou de halos, qui dans le silicium bulk (figure 1.21a) ont pour rôle de limiter les effets de canal court et le perçage. En effet, le FDSOI permet de contrôler efficacement les effets de canal court. Cela a des applications directes pour la fabrication de micro-capteurs, de MEMS et

d'applications photoniques avec les guides d'ondes optiques réalisés en structures sur SOI.

La technologie SOI se différencie de l'architecture sur silicium massif par la présence d'un couche d'oxyde enterrée (BOX : Buried OXide) généralement composée de dioxyde de silicium SiO_2 qui isole les transistors du substrat de silicium. Dans cette architecture la source et le drain du transistor peuvent s'étendre jusqu'au BOX, ce qui permet de réduire la surface de jonction diminuant ainsi les courants de fuite et la capacité de jonction [28]. Ces avantages offrent donc la possibilité de fabriquer des circuits CMOS qui non seulement consomment moins, mais aussi qui fonctionnent à plus haute fréquence (meilleurs temps de commutation) dans une gamme de température plus large, nécessairement pour les applications automobiles. De plus, il est possible d'ajuster les épaisseurs des couches t_{SI} de l'Ultra-Thin Bulk (UTB) et du BOX (t_{BOX}), ce qui rend les structures sur SOI plus flexibles.

Par ailleurs, les transistors sur SOI offrent l'avantage de continuer l'intégration poussée des dimensions en poursuivant la loi de Moore (Moore 1965) tout en restant planaire, ce qui offre également une compatibilité plus simple avec les nœuds technologiques CMOS des nœuds antérieurs, tout en permettant la continuité de la miniaturisation vers des longueurs de canal de transistors ultras courts.

1.3.2.2 Architecture Fully-Depleted SOI

Le principe de la technologie SOI repose sur l'ajout d'une couche de diélectrique supplémentaire entre la zone active et le substrat, comme illustré sur la figure 1.22. On parle de transistor FDSOI (Fully-Depleted) lorsque l'épaisseur du film de silicium t_{Si} est inférieure à la profondeur maximale de la zone de déplétion t_{dep} ($t_{Si} < t_{dep}$). Ainsi, la présence du BOX figure 1.22 et l'ajout d'un plan de dopage fortement dopé à la face arrière comme le Back Plane (BP) ou Ground Plane (GP) permet, avec une prise caisson adaptée, de créer une autre grille de commande sur la face arrière. Ceci offre l'avantage de pouvoir faire fonctionner le transistor en "double grille" de commande avec la tension substrat, qui classiquement était utilisée par un effet body dans le silicium bulk (augmentation de la zone de déplétion), mais qui devient maintenant une électrode de commande supplémentaire face arrière dans le FDSOI, comme une "Back Gate" (BG).

L'architecture du transistor FDSOI améliore l'isolation entre les dispositifs et permet non seulement de réduire de façon significative les capacités de source et de drain mais également d'éliminer la majeure partie des effets parasites liés à l'architecture sur bulk [28]-[30]. Cette architecture présente plusieurs avantages par rapport à l'architecture bulk, en lien avec la simplification des procédés technologiques parmi lesquels on peut citer [27], [28], [31] :

— Un contrôle électrostatique facile grâce à la profondeur de jonctions limitée par l'épaisseur du film de silicium.
— L'absence de dopage de la zone active de type Ultra-Thin-Bulk (UTB) en silicium intrinsèque qui permet une meilleure mobilité des porteurs.

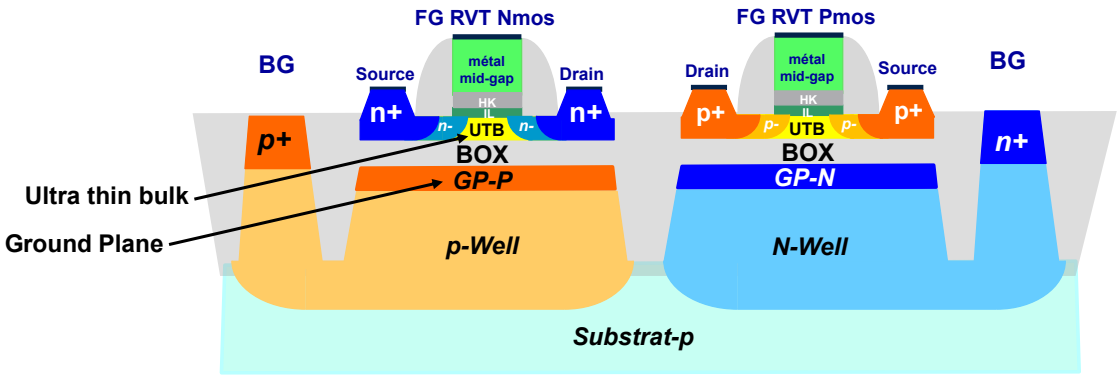


FIGURE 1.22 – Schéma de transistors canal N et P FDSOI de type Regular V_{TH} (RVT) constitués à la face avant (FG) de l'empilement Métal/High-k/IL sur couche active UTB (faiblement de type p et n) et la face arrière (BG) composée du Ground plane (GP) de type p et n, piloté par la polarisation VB-BG sur diffusion p+ pour le NMOS et n+ pour le PMOS.

- La réduction de la profondeur max de la zone de déplétion qui offre un gain de conductivité.
- Une meilleure isolation des dispositifs qui peut permettre une densité d'intégration plus forte.
- Une commutation Off/On plus rapide du transistor liée à l'augmentation de la pente sous-seuil qui peut se réduire jusqu'à la valeur théorique de 60mV/dec.
- Une performance en courant plus élevée de 20 à 30% par rapport au 40LP pour une même tension V_{DD}.
- Un meilleur fonctionnement à haute température (125°C-300°C) pour l'automobile et l'aéronautique.
- Une meilleure résistance aux irradiations naturelles et ionisantes pour le spatial.

Quand l'épaisseur de l'UTB est plus importante et que la zone déplétée ne s'étend pas sur l'ensemble de la profondeur de la couche, nous sommes dans la catégorie des dispositifs de type SOI Partially-Depleted (PDSOI). Cependant l'utilisation du PDSOI peut montrer quelques inconvénients dont le principal est de rendre le substrat flottant, ce qui conduit à des effets parasites comme l'effet Kink, le latch-up et l'effet bipolaire parasite [31]. L'architecture FDSOI offre de meilleures interfaces de couplage dû au fonctionnement en double grille, de meilleures performances en courant et une excellente réduction des dimensions sans effet canal court marqué. Ce meilleur contrôle électrostatique du FDSOI vient du fait que la charge dans la zone active ne varie plus avec la tension de grille mais à travers le couplage capacitif entre les deux grilles. Il en résulte que le potentiel FG (Front Gate) devient couplé au potentiel BG (Back Gate), rendant les caractéristiques électriques du canal dépendantes de la polarisation de la face opposée.

1.4 Spécificités de la technologie FDSOI

Comme nous l'avons introduit au début de ce chapitre le passage à la technologie FDSOI s'est faite en deux temps, tout d'abord par l'optimisation de l'empilement de grille HK et grille métal pour le nœud CMOS 32nm, puis à la structure complètement déplétée SOI pour le nœud CMOS 28nm. Même si les avantages de la filière 28FD sur les dispositifs à substrat silicium ont été introduits (1.2.2.2), il est important de souligner la spécificité et les avantages de la structure FDSOI qui font que ce process est meilleur que les nœuds fortement submicroniques précédant.

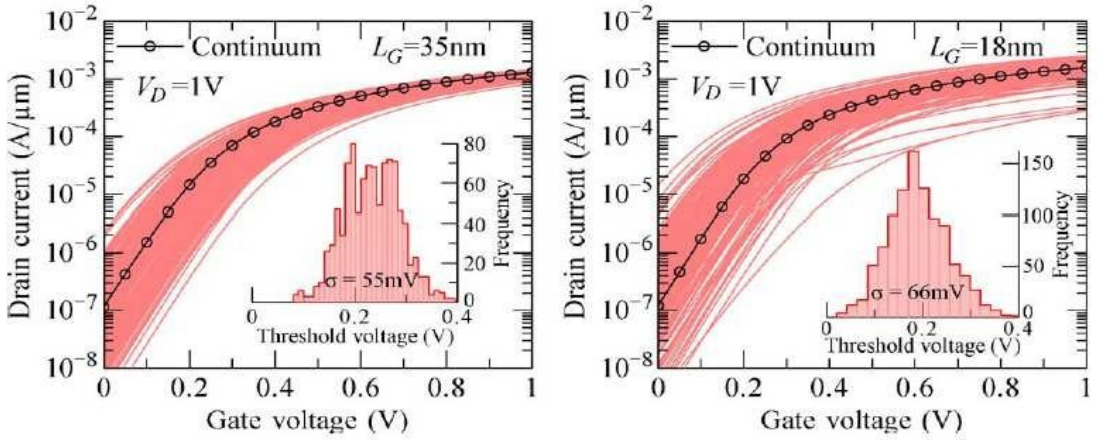


FIGURE 1.23 – Caractéristiques $I_{DS} - V_{GS}$ pour une population de 200 dispositifs (a) du nœud 35nnm simulé avec l'effet de fluctuation de dopants (RDD) et de la rugosité de bord de ligne (LER), (b) dans le nœud 18nm avec les mêmes contributions. L'insert montre les distributions de V_{TH} et la déviation standard σ, sur un ensemble de 1000 dispositifs (Markov et al. 2011) [32].

Le premier point est l'immunité aux effets canaux courts où l'UTB assure un chemin de conduction entre la source et le drain très proche de la grille de commande, ce qui rend le contrôle électrostatique excellent sur tout le canal. Il en résulte une meilleure pente sous seuil SS et l'effet DIBL comme l'effet SCE présentent des valeurs réduites par rapport au silicium bulk.

La variabilité importante dans la filière 40LP jusqu'au 28LP est fortement réduite dans le 28FD en raison de l'absence de dopage de l'UTB (film mince intrinsèque), d'implantations pour la réalisation des poches (ou halos) pour contrôler les caractéristiques électriques et ajuster la tension de seuil à une valeur relativement constante sur une plus large gamme de longueur de dispositifs. En effet, l'absence de dopage initial de la couche active comme d'implantation d'ajustement de seuil propre aux filières CMOS bulk à plusieurs valeurs de V_{TH}, élimine le problème majeur de fluctuation statistique et aléatoire de V_{TH} à dimension fixée.

Les figures 1.23a et b montrent la fluctuation des résultats électriques entre les nœuds 32nm et 28nm au niveau transistor dont les origines sont liées au process [32],

[33] :

- La fluctuation aléatoire du dopage discret ou "Random discrete dopants" (RDD).
- La rugosité du bord des lignes ou "Line edge roughness" (LER).
- La granularité de la grille en poly silicium ou "Metal gate granularity" (MGG).
- Les variations à la fois au sein de l'oxyde de grille comme l'épaisseur physique, la permittivité du diélectrique mais également dans le substrat comme les variations associées aux différentes couches qui subissent les implantations et recuits thermiques, les épaisseurs de films minces.

La technologie FDSOI présente aussi l'avantage d'avoir de faibles résistances d'accès source/drain, une forte réduction de leurs capacités de couplage avec le substrat et des courants de fuites, une bonne immunité aux phénomènes de latch-up et de kink rencontrés dans le SOI partiellement déplété [28].

Le nœud 28FDSOI montre des performances similaires que le nœud LP 20nm en silicium bulk, pour un coût de fabrication bien plus faible, fournissant une meilleure efficacité de puissance que le 28LP haute performance ou basse consommation. Alors que les transistors PDSOI sont couramment employés pour l'utilisation dans certains microprocesseurs à haute performance, les transistors FDSOI ont un net avantage pour une meilleure intégration plus poussée en dimensions. Le fait que le transistor fonctionne en déplétion complète (la zone de charge d'espace couvre tout l'UTB), la charge d'espace du transistor FDSOI montre une faible variation avec la tension de grille, ce qui renforce le contrôle de la grille sur la charge d'inversion [27], [34].

1.4.1 Tension de seuil

La technologie FDSOI permet une application en multi-V_{TH} possible [35] suivant les matériaux employés entre la face avant et la face arrière pilotée par le back plane [36]. Le potentiel développé à la face avant FG et la face arrière BG sont couplées de façon capacitive de telle sorte que les caractéristiques du canal en surface, commandées en premier lieu par la tension V_{G-FG}, varie avec la polarisation appliquée sur la grille face arrière. Il en résulte que suivant le signe de la tension V_{G-BG} qui polarisera en régime d'accumulation ou d'inversion, le canal de conduction à travers l'UTB aura une profondeur verticale qui dépendra du couplage capacitif entre les deux grilles de commande [33], [36]. Ceci permet de moduler le V_{TH-FG} et de pouvoir faire varier le niveau du courant I_{Off} par rapport à I_{On} et donc de jouer sur le compromis entre les hautes performances (bas V_{TH}, fort I_{On}) et la basse consommation (haut V_{TH}, bas I_{On}).

La structure FDSOI va donc modifier les caractéristiques habituelles du transistor MOS classique en introduisant un terme de couplage capacitif $R = \frac{T_{ox-eq}}{T_{BOX-eq}}$ qui est fortement dépendant de la topologie de la structure et donc des épaisseurs équivalentes vues côté face avant et face arrière comme l'illustre la figure 1.22, ainsi que des polarisations utilisées sur la face avant V_{G-FG} et face arrière V_{G-BG}. L'utilisation de la tension de bulk dans ce cas par l'intermédiaire du BP ou GP de type P à travers l'oxyde épais du BOX d'épaisseur T_{BOX}, devient la tension de fonctionnement en double grille V_{G-BG} qui peut polariser la face avant en mode d'inversion, de déplétion et d'accumulation suivant le signe et l'amplitude de V_{G-BG} [37], [38]. Si $V_{G-BG} = V_{BS}$ est la valeur

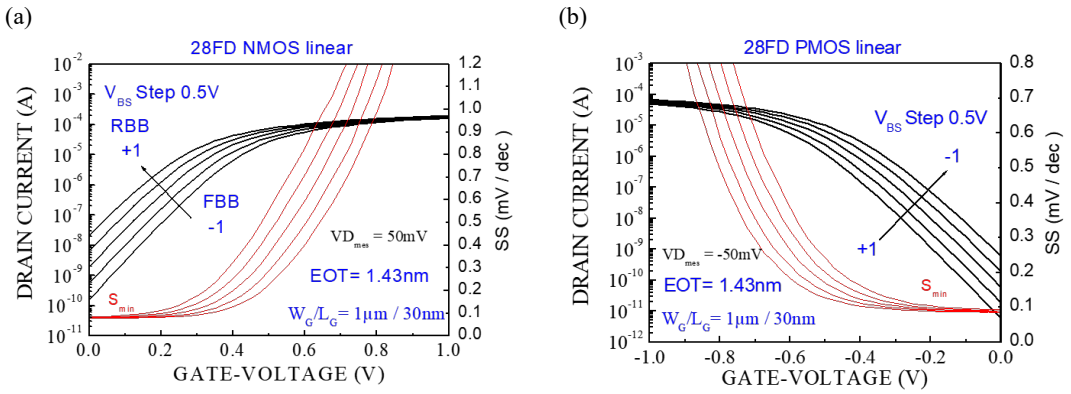


FIGURE 1.24 – Mesure du courant sous seuil dans un transistor NMOS et PMOS FDSOI HKMG à Ground Plane (GP) de type P polarisés en fonction de V_{BS} entre le mode RBB ($V_{BS} = -1$) et FBB ($V_{BS} = +1$) et évolution des pentes sous seuil SS correspondantes qui tendent vers la valeur minimum $S_{min} = 80$mV/dec en mode linéaire ($V_{Dmes} = \pm 50$mV).

de la polarisation du GP qui annule l'effet de la grille face arrière, alors on a :

$$V_{G-FG} - V_{TH-FG} = \frac{T_{ox-eq}}{T_{BOX-eq}} (V_{G-BG} - V_{TH-BG}) \tag{1.54}$$

L'application de V_{BS} figures 1.24a et b lors du fonctionnent des transistors FDSOI module la tension de seuil à travers le couplage entre le FG et le BG comme l'effet body dans le MOS classique sur substrat de silicium à travers le terme coefficient de substrat γ_N. Ceci peut être observé pour des transistors $L_G = 30$nm LVT NMOS sur la figure 1.25a et LVT PMOS sur la figure 1.25b par la variation des tensions de seuil V_{TH} avec V_{BS} entre la polarisation reverse (RBB) $V_{BS} = -1$V et directe (FBB) $V_{BS} = +1$V. Cette modulation de V_{TH} permet de jouer sur le compromis entre les performances et la consommation en choisissant une tension V_{BS} positive en mode FBB qui augmente le courant tout faisant attention à ne pas engendrer de courant I_{Off} trop important dans ce régime de fonctionnement.

1.4.2 Courant de drain

Partant du cas du transistor MOSFET classique sur substrat de silicium comme décrit précédemment, le courant drain I_D du transistor FDSOI en mode linéaire (typiquement $V_{DS} = 50$mV à 100mV) est modélisé tout en incluant la mobilité effective μ_{eff} à travers sa dépendance au second ordre en fonction des facteurs de réduction de la mobilité [39]-[41] :

$$I_D = C_{ox} \frac{W}{L} \frac{\mu_1}{1 + \theta_1 (V_G - V_{THFG}) + \theta_2 (V_G - V_{THFG})^2} \left(V_G - V_{THFG} - (1 + R) \frac{V_{DS}}{2} \right) V_{DS} \tag{1.55}$$

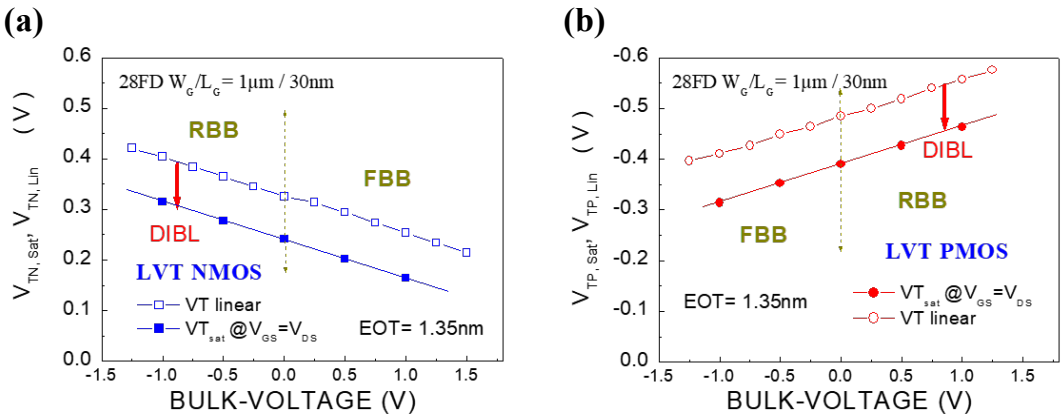


FIGURE 1.25 – Évolutions des tensions de seuils en mode linéaire et saturé en fonction de la polarisation V_{BS} en mode direct (FBB) et inverse (RBB) laissant apparaitre l'effet DIBL (a) pour les transistors NMOS 28FD LVT (b) pour les transistors PMOS 28FD LVT.

où μ_1 est la mobilité à faible champ des porteurs du canal face avant, θ_1 est le coefficient d'atténuation de la mobilité qui tient compte de l'effet des résistances série drain-source R_{SD} avec $\theta_1 = \theta_0 + \frac{W}{L}\mu_1 C_{ox} R_{SD}$, puis θ_2 le facteur d'atténuation de mobilité du second ordre.

1.5 Conclusion

Ce premier chapitre présente le dispositif qui fait l'objet de notre étude, le transistor MOS à effet de champ, ainsi que les enjeux rencontrés à la poursuite de l'intégration des technologies CMOS à basse consommation et hautes performances silicium-bulk 40nm vers le nœud FDSOI 28nm et en-dessous. Les équations du courant de drain ont été décrites en fonction des différents régimes de fonctionnement du transistor.

Dans le contexte du compromis entre les performances et la fiabilité au niveau des dispositifs NMOS et PMOS, nous avons introduit tour à tour les principaux paramètres qui permettent d'établir les limitations de la structure MOS, nous conduisant à étudier les innovations proposées pour la poursuite de l'intégration. Ce fut décrit tout d'abord par le passage aux diélectriques à haute constante diélectrique high-K et la couche d'interface SiON (IL) avec grille de commande métallique (TiN), en remplacement de la grille classique SiON ou SiO_2, puis dans un second temps par l'étude de la structure FDSOI et des principales modifications que cela comporte en termes de caractéristiques électriques et de paramètres fondamentaux. L'introduction de l'architecture UTBB-FDSOI fut détaillée comme solutions apportées pour réduire les principaux effets parasites comme les effets de canaux courts (SCE), l'effet de l'abaissement de barrière de potentiel dans le canal à fort potentiel de drain (DIBL).

Ensuite Nous avons mis l'accent sur l'utilisation de la tension substrat V_{BS} qui dans la technologie FDSOI permet de transformer le transistor commandé en double grille face avant et face arrière par le couplage capacitif à travers le BOX et ground

plane (GP). Cet effet est mis à profit pour obtenir plusieurs tensions de seuil et par conséquent plusieurs niveaux de performances pour les applications dédiées à la basse consommation ou les hautes performances. Même si les équations de base du transistor MOSFET restent inchangées, nous avons montré que ceci introduit une autre façon de considérer les régimes de fonctionnement en mode linéaire et saturé incluant l'influence des défauts d'interface.

Le développement de l'architecture UTBB-FDSOI est en effet primordial pour le futur car il assure la transition entre les structures conventionnelles sur substrat de silicium et les architectures double grille avec le BOX enterré et la commande face arrière, puis aux structures multi-grilles, qui sont différentes par le passage aux structures à trois dimensions comme le FinFET. Dans ce chapitre nous avons également expliqué les principaux paramètres important dans l'évaluation des performances et la fiabilité des transistors soumis à des contraintes en tension et en température.

2 Fiabilité du transistor

Sommaire

2.1 Introduction . . . 66
2.2 Les différents types de défauts du système Si/SiO_2 . . . 66
2.2.1 La Structure du système Si/SiO_2 . . . 66
2.2.2 Classification des défauts du système Si/SiO_2 . . . 67
2.2.2.1 Défauts intrinsèques et défauts extrinsèques . . . 67
2.2.2.2 Profondeur énergétique . . . 68
2.2.2.3 Profondeur physique . . . 69
2.2.3 Les défauts d'interface . . . 70
2.2.4 Les défauts dans le volume de l'oxyde . . . 72
2.2.5 Empilement de Grille de type High-K métal gate (HKMG) . . . 73
2.2.6 Impact des défauts sur les paramètres électrique du transistor . 76
2.2.6.1 Variation de la tension de seuil V_{TH} . . . 76
2.2.6.2 Variation de la transconductance . . . 78
2.2.6.3 Dérive du courant de drain . . . 81
2.3 Les différents mécanismes de dégradation . . . 83
2.3.1 Le claquage d'oxyde de grille (TDDB) . . . 84
2.3.1.1 Mise en évidence expérimentale et méthodologies de mesure . . . 84
2.3.1.2 Analyse statistique du claquage : la loi de Weibull . . . 86
2.3.1.3 Modèle de percolation . . . 87
2.3.1.4 Modèle d'extrapolation . . . 92
2.3.2 Dégradation par porteurs chauds (HCD) . . . 93
2.3.2.1 Dépendance en champs latéral et effectif . . . 94
2.3.2.2 Ionisation par impact . . . 96
2.3.2.3 Les modes d'injections des porteurs chauds . . . 98
2.3.2.4 Les modèles historiques de porteurs chauds . . . 99
2.3.2.5 Les modèles impliquant la présence de plusieurs porteurs 103
2.3.3 Bias Temperature Instability (BTI) . . . 110
2.3.3.1 Historique de BTI . . . 111
2.3.3.2 Les modèles associés au NBTI . . . 112
2.3.4 Auto-échauffement (SHE) . . . 120
2.4 Étude du modèle en tension du HCD en inversion (On-state) . . . 124
2.4.1 Les cas de rupture de la liaison Si-H . . . 124
2.4.2 Nature et localisation des défauts . . . 125

2.4.3 Construction du modèle en tension de dégradation par porteurs chauds 127
2.4.3.1 Modèle basé sur l'énergie 128
2.4.3.2 Effet de la dimension 129
2.4.3.3 Évolution du process MOS ($\mathbf{T_{Si}}$, $\mathbf{T_{ox}}$, LDD) 132
2.5 Conclusion 135

2.1 Introduction

Le premier chapitre a été consacré à la description du principe de fonctionnement d'un transistor et les effets indésirables qui peuvent se manifester suite à la miniaturisation et l'évolution de l'architecture des transistors, le chapitre II portera sur la fiabilité et aura pour but de décrire l'influence de défauts générés pendant l'alimentation du transistor sur ce composant.

Dans cette perspective, nous examinerons tout d'abord les propriétés des différents types de défauts créés dans le système Si/SiO_2 classique ensuite dans l'empilement HKMG, ainsi que l'incidence des défauts sur la dérive des paramètres électriques. Dans la deuxième partie, nous rappellerons non seulement les différents mécanismes de dégradation progressive des transistors qui sont principalement liés à la dégradation de l'oxyde de grille, mais également l'effet de l'auto-échauffement. Les transistors sont soumis à des tests de vieillissement accéléré en utilisant des tensions (V_{GS}, V_{DS}) supérieures à celles utilisées en conditions normales d'utilisation (V_{DD}) qui sont par la suite extrapolées aux conditions nominales de fonctionnement.

Pour finir, Dans la troisième partie, nous allons nous intéresser à la dégradation DC HCD en inversion. Pour modéliser la dépendance temporelle de la dégradation observée, nous choisissons le nouveau modèle en tension basé sur l'énergie des porteurs. En effet, l'utilisation du modèle en courant proposé par Guérin [42] pour décrire la dégradation HCD a présenté des limitations de prédiction de durée de vie en raison de la variabilité des résultats dus à la qualité du process. Le modèle en tension, qui est une simplification du modèle en courant, prend en compte l'énergie des porteurs, comme proposé par Arfaoui dans [43], la dépendance en polarisation substrat V_B propre au fonctionnement en double grille, ainsi que les effets de longueur, d'épaisseur de l'oxyde de grille, les procédés d'oxydation à haute température et enfin l'épaisseur du film de silicium T_{Si}.

2.2 Les différents types de défauts du système Si/SiO_2

2.2.1 La Structure du système Si/SiO_2

Le succès du transistor MOS sur silicium est lié à la relative simplicité d'obtention du système Si/SiO_2. L'oxyde de grille de nos dispositifs actuels est obtenu par oxyda-

tion thermique du substrat sous atmosphère humide. Il présente naturellement de bonnes propriétés d'isolant avec une bande interdite de 8.9eV et une résistance de l'ordre de 10^{15}à$10^{16}\Omega.cm$. Pour situer le profil d'azote au plus proche de l'interface SiO_2/polysilicium, l'oxydation est suivie d'une nitruration faite par plasma. Comme nous l'avons mentionné précédemment, cette dernière étape est nécessaire pour lutter contre la fuite de grille des nMOS et la diffusion du bore de la grille vers l'interface Si/SiO_2 du pMOS.

Une des problématiques pour le système Si/SiO_2 réside dans le désaccord de maille entre Si et SiO_2. En effet, le silicium est un atome tétravalent qui présente une structure cristalline tandis que le silicium oxydé (SiO_2 ou silice) est amorphe et a pour brique de base un atome de Si entouré de quatre oxygènes (SiO_4) et une distance interatomique Si-O inférieure à la distance Si-Si. Ce désaccord de maille est à l'origine d'une couche interfaciale de quelques couches atomiques [44], soit 4 à 5 Å [45], permettant le passage progressif de 0 à 2 atomes d'oxygène par atome de silicium. Cette transition engendre des défauts à l'interface et dans l'oxyde, elle a donc des conséquences négatives sur la qualité (ou rugosité) d'interface.

2.2.2 Classification des défauts du système Si/SiO$_2$

Pendant le fonctionnement du transistor MOS et sous l'action d'un fort champ électrique, les porteurs du canal peuvent acquérir suffisamment d'énergie pour enclencher le phénomène d'ionisation par impact (II). Ceci se traduit par la génération de paires électrons-trous proches du drain du transistor polarisé en forte saturation. Suivant la polarisation du transistor (V_{GS}, V_{DS}) et la distribution des champs électriques vertical et latéral, les électrons générés du mécanisme II peuvent casser les liaisons interatomiques à l'interface silicium/oxyde générant par la suite des états d'interface (N_{it}) ou être injectés dans l'oxyde de grille créant des défauts dans l'oxyde N_{ox} [46], [47]. Dans la structure MOS, les défauts constituent des sites électriquement actifs à l'interface entre le diélectrique et le silicium, ou à travers l'oxyde. Classiquement, Il existe plusieurs types de défauts qui peuvent être classés par leur nature chimique (intrinsèque ou extrinsèque), leurs profondeurs énergétiques et physique. Nous nous attachons à présenter les différents points de vue qui permettent de classer les défauts du système Si/SiO_2 selon leur nature.

2.2.2.1 Défauts intrinsèques et défauts extrinsèques

Les défauts sont dits intrinsèques lors d'un réarrangement ponctuel des atomes de silicium ou d'oxygène sous forme d'interstitiel (présence d'un atome entre ceux du réseau), de substitution (d'un atome du réseau par l'autre) ou de lacune.

Si d'autres atomes que Si et O se combinent avec le réseau, les défauts sont dits extrinsèques. Ces impuretés peuvent pénétrer à différentes étapes : lors de l'oxydation thermique si elles étaient déjà présentes dans le substrat (dopants As, B, P), lors de la croissance de la silice (ions alcalins Ca, K, Na) ou encore lors des étapes post-oxydation comme la métallisation.

2.2.2.2 Profondeur énergétique

Les défauts peuvent être classés en fonction de leurs profondeur énergétique. De part leur caractéristique énergétique, ils entraînent une perte locale de la périodicité du réseau en introduisant des niveaux d'énergie supplémentaires E_t. Lorsqu'ils se situent dans la bande interdite du Si/SiO_2, ils ont la possibilité de se charger ou se décharger sous l'action de la polarisation appliquée aux bornes de la structure du transistor et donc d'en changer le comportement électrique. En fonction de la valeur de l'énergie E_t, on peut distinguer d'une part les centre recombinant et centre de piégeage et d'autre part les donneur, accepteur et amphotère [48].

– Centre recombinant et centre de piégeage :

Un défaut agit comme un centre recombinant si les niveaux discrets d'énergie E_t qui accompagnent sa création permettent un échange de porteurs d'une bande à l'autre, ce qui signifie qu'E_t est localisé près du mid-gap. Un centre recombinant est donc un défaut profond dont l'énergie ($E_c - E_t$ pour un électron ; $E_t - E_v$ pour un trou) est supérieure à plusieurs fois celle d'un phonon.

A l'inverse, on parle de centre de piégeage pour les défauts qui permettent de capturer et de reémettre un porteur vers une même bande. E_t est alors localisé près d'une des deux bandes. Un centre de piégeage est donc un défaut d'énergie peu profonde par rapport aux bandes de conduction et de valence.

– Donneur, accepteur et amphotère :

Un piège est qualifié de donneur s'il peut donner un électron (ou accepter un trou). Il est neutre lorsqu'il est rempli par un électron et chargé positivement s'il est vide. A l'inverse, un défaut est accepteur s'il peut piéger un électron (ou donner un trou). Sa charge est négative s'il est rempli par un électron, elle est neutre s'il est vide. Un défaut est amphotère s'il peut être à la fois donneur et accepteur.

La notion de section de capture est introduite pour préciser le type de piège. Elle exprime la facilité avec laquelle un défaut peut capturer un porteur. Elle est notée σ_c et s'exprime en cm^2 :

$$\sigma_c = \pi R_c^2 = \pi \left[\frac{q^2}{8\pi\varepsilon_0\varepsilon_{ox}k_B T} \right] \tag{2.1}$$

Si l'on considère le porteur comme une particule de libre parcours moyen λ inférieur à R_C (rayon de capture du piège), la capture a lieu quand la distance entre porteur et piège est inférieure à R_C. La charge initiale du défaut et le signe du porteur à capturer permettent de situer l'ordre de grandeur de la section de capture considérée. Dans le cas d'un électron, si le défaut est initialement chargé positivement, alors il est dit « attractif coulombien » et sa section de capture est grande ($10^{-14}\text{cm}^2 < \sigma_c < 10^{-12}\text{cm}^2$). Au contraire s'il est chargé négativement, il est dit « répulsif coulombien » et sa section de capture est petite ($10^{-22}\text{cm}^2 < \sigma_c < 10^{-18}\text{cm}^2$). Enfin si le défaut est neutre, il peut capturer aussi bien un électron qu'un trou, sa section de capture est moyenne ($10^{-18}\text{cm}^2 < \sigma_c < 10^{-14}\text{cm}^2$) et correspond aux dimensions atomiques (un rayon de 1

Å donne 3.1410^{-16}cm^2). La majorité des défauts dans l'oxyde SiO_2 est de ce type [49].

2.2.2.3 Profondeur physique

En 1979, un comité formé par la "Division de l'électronique de la Société électrochimique" et la "Conférence des spécialistes de l'interface des semi-conducteurs de l'IEEE" a classé les défauts en fonction de leur profondeur physique dans l'oxyde en quatre catégories [50]. Pour chaque catégorie, une corrélation a été établie entre la localisation physique du défaut dans l'oxyde et la réponse électrique à la variation du potentiel électrique φ_S :

– **Charge mobile ionique :** C'est une charge introduite dans l'oxyde par contamination des impuretés ioniques (Na+, Li+, K+, OH- ...) sous l'effet de la température au-delà 500 °C ou l'action d'un champ électrique pendant la fabrication du diélectrique ou déjà présents dans l'environnement de fabrication.

– **Charge d'oxyde :** Il s'agit de charges positives ou négatives qui résultent de l'injection de porteurs énergétique du canal par le phénomène d'ionisation par impact. Le piégeage de ces charges, illustré sur la figure 2.1, peut être réversible par un traitement thermique [51] ou par l'application d'un champ électrique opposé. C'est pourquoi on parle de piégeage/dépiégeage (trapping/detrapping). La densité des défauts d'oxyde est nommée N_{ot}[cm^{-2}] ou D_{ot}[cm^{-2}eV^{-1}].

– **Charge fixe :** Les charges fixes se trouvent à proximité de l'interface. Elle a pour ori-

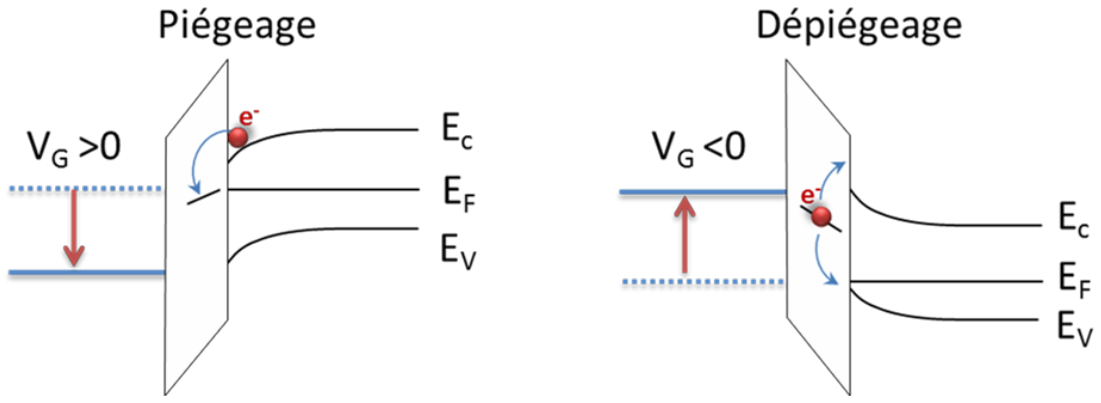


FIGURE 2.1 – Mécanisme de piégeage dépiégeage d'électrons dans l'oxyde dans une structure NMOS.

gine les défauts intrinsèques du silicium induits par d'oxydation et donc leur quantité dans l'oxyde dépend des paramètres de fabrication tels que le traitement thermique, les conditions d'oxydation, la température de recuit et l'épaisseur de l'oxyde, ainsi que de l'orientation du silicium. Ces charges ont tendance à être positives ou négatives et

ont un impact sur la tension de seuil, comme l'a souligné [52].

– Charge d'interface : Il s'agit de la charge la plus proche du silicium et qui se trouve à l'interface entre la couche SiO_2 et le substrat. La charge d'interface est générée suite à un désaccord de maille (figure 2.2) entre les deux matériaux pendant la croissance du SiO_2 par oxydation thermique du silicium. Ce mauvais alignement atomique entraine la formation de liaisons pendantes de silicium, qui peuvent à leur tour introduire des densités d'états dans la bande interdite du SiO_2. Par conséquent, cela produit des défauts électriquement actifs appelés défauts d'interface, états d'interface ou centre Pb (P pour paramagnétique et b pour l'indexation du pic de résonance sur le spectre ESR – Electron Spin Resonance) [53], [54]. Les défauts d'interface sont en communication avec la couche d'inversion et peuvent être vidés ou remplis (amphotères) par les porteurs du canal en fonction du potentiel de surface en inversion forte. Un défaut d'interface est considéré comme de type donneur si son énergie Et est située dans la moitié inférieure de la bande interdite, et de type accepteur dans le cas contraire, comme illustré sur la figure 2.3. La densité des défauts d'interface est généralement exprimée en $N_{it}[cm^{-2}]$ ou $D_{it}[cm^{-2}eV^{-1}]$.

Cependant, Fleetwood a proposé une modification de cette classification en considé-

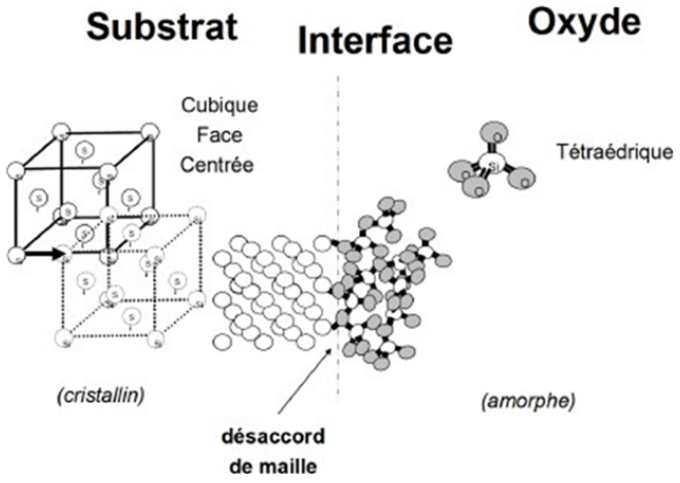


FIGURE 2.2 – Représentation schématique du désaccord de maille au niveau de l'interface entre SiO_2 et Si [55].

rant que tous les défauts qui communiquent avec le substrat ou la grille doivent être appelés défauts d'interface, tandis que les autres défauts seront considérés comme des défauts d'oxydes.

2.2.3 Les défauts d'interface

Les défauts d'interface sont intrinsèques au substrat. Le désaccord de maille entre le Si et SiO_2 fait que l'interface Si/SiO_2 n'est pas abrupte. Ainsi certains atomes Si du

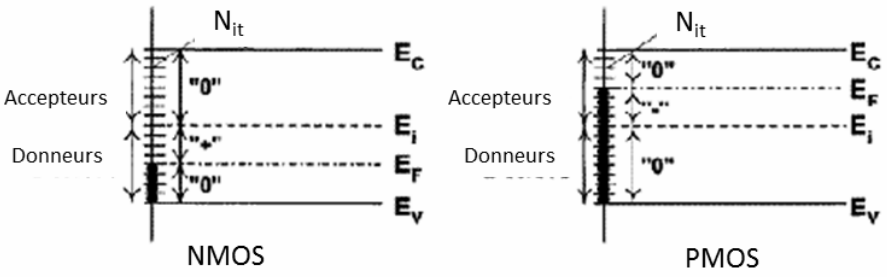


FIGURE 2.3 – Diagramme de bande du silicium montrant des défauts d'interface sous une condition de bandes plates. Le type de défaut et la charge associée sont spécifiés pour le NMOS et le PMOS. Chaque ligne horizontale représente un défaut d'interface occupé (cercle noir) ou vide.

substrat lié à trois autres Si du substrat ne peuvent former de liaison avec un atome de l'oxyde et présentent alors une liaison pendante. Des mesures de résonance paramagnétique électronique (RPE) ont permis de mettre en évidence ces liaisons pendantes et elles sont dénommées centre P_b (avec P comme centre paramagnétique et b l'index du pic de résonance [53], [54]. On distingue deux types de centres P_b différenciés par leur environnement local [53] : les centres P_{b0} et les P_{b1}. La figure 2.4 présente les schémas des structures atomique des centres P_{b0} et P_{b1}. Les P_{b0} correspondent à la formule chimique $\bullet Si \equiv Si_3$ [53] tandis que les centres P_{b1} sont de type $Si_2 = Si \bullet -Si \equiv Si_2O$ [56].

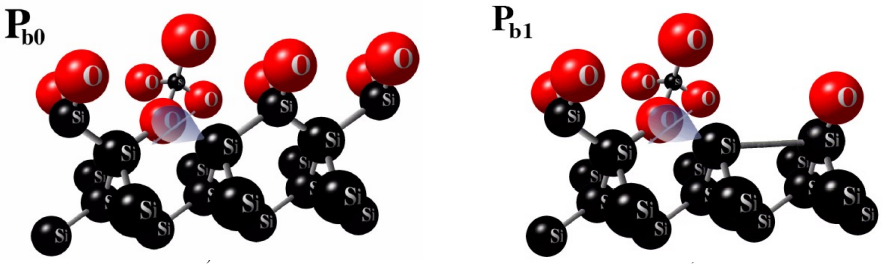


FIGURE 2.4 – Schéma de la structure atomique des centres P_{b0} et P_{b1} [57].

Des études antérieures utilisant la RPE ont montré que les centres P_{b1} étaient inactifs par rapport au centre P_{b0} [58] qui ont une distribution des densités d'états en "U" légèrement dissymétrique, avec les états donneurs en moyenne situés à 300 meV au-dessus de la bande de valence du silicium, tandis que les accepteurs sont en moyenne situés à 250 meV en dessous de la bande de conduction. Cependant, des études plus récentes ont indiqué que ces deux types de défauts introduisent des densités d'états différentes dans la bande interdite de l'oxyde de grille et sont capables de capturer à la fois des électrons et des trous. Les densités d'états des donneurs et des accepteurs pour les P_{b0} sont centrées autour du mid-gap avec un écart de 0,7 eV, tandis que pour les P_{b1}, les défauts présentent une distribution plus étroite et ne sont séparées que de

quelques dizaines de meV décalées vers la bande de valence [54].

Les défauts d'interface ont un impact plus important sur le fonctionnement du transistor car ils sont plus nombreux et situés plus près du canal de conduction. Pendant le fonctionnement, les liaisons pendantes de type •Si peuvent perturber le transport dans le canal en interagissant avec les porteurs de la couche d'inversion. Pour minimiser cet effet, il est courant de réaliser un recuit thermique sous atmosphère riche en hydrogène après l'étape d'oxydation pour passiver les défauts P_b. Ce traitement thermique permet de neutraliser les défauts et de former des liaisons Si-H, qui contribuent à réduire l'impact des défauts sur le fonctionnement du transistor.

2.2.4 Les défauts dans le volume de l'oxyde

Les défauts dans le volume de l'oxyde se réfèrent aux imperfections dans la structure cristalline de l'oxyde et peuvent avoir un impact sur les propriétés physiques et chimiques de l'oxyde, tels que la conductivité électrique, la conductivité thermique, la réactivité chimique, la résistance mécanique et la stabilité thermique. Ces défauts dans le volume de l'oxyde de grille s'écrivent sous la forme suivante :

— Les lacunes d'oxygène (OV) : $O_3 \equiv$ Si-Si $\equiv O_3$
— Les atomes de silicium trivalent (centre E') : $O_3 \equiv$ Si•
— Les ponts peroxyde : $O_3 \equiv$ Si-O-O-Si $\equiv O_3$
— Les atomes d'oxygène non liant : $O_3 \equiv$ Si-O•
— Les atomes de silicium bivalent : $O_2 =$ Si••

Les lacunes d'oxygène et les atomes de silicium trivalent sont deux types de défauts courants dans le volume de l'oxyde de grille. Ils peuvent être utilisés comme précurseurs pour produire une grande variété de défauts présentant différents états de charge, qui sont impliqués dans la dégradation de type NBTI. Les lacunes d'oxygène, également appelés pont Si-Si, sont des sites vides dans la structure cristalline de l'oxyde de silicium où un atome d'oxygène manque ainsi que de liaison pendante. La liaison Si-Si est considérée comme un point faible de la structure, car son énergie de rupture (2eV) est environ deux fois plus faible que celle d'une liaison Si-O (5,4eV). Sous l'effet de l'injection de trous, cette liaison peut se rompre en raison de contraintes mécaniques locales [59]. La rupture de cette liaison produit deux molécules différentes : d'un côté, un atome de silicium avec un électron non apparié qui constitue un défaut de type E′ électriquement actif, et de l'autre côté, un atome de silicium qui piège un trou.

Les centres E' sont constitués de deux atomes de silicium liés chacun à trois atomes d'oxygène. L'un des deux atomes de silicium possède un électron non apparié tandis que l'autre atome de silicium piège un trou, qui est situé à une certaine distance de l'électron non apparié. Cette configuration donne naissance aux centres E', qui sont des défauts électriquement actifs [60]. Selon l'environnement du défaut, on distingue deux principaux types de centres E' : les centres E'$_\delta$ et E'$_\gamma$ [60]-[62] :

– Le centre E'$_\gamma$ se forme lorsque les contraintes autour des molécules sont faibles

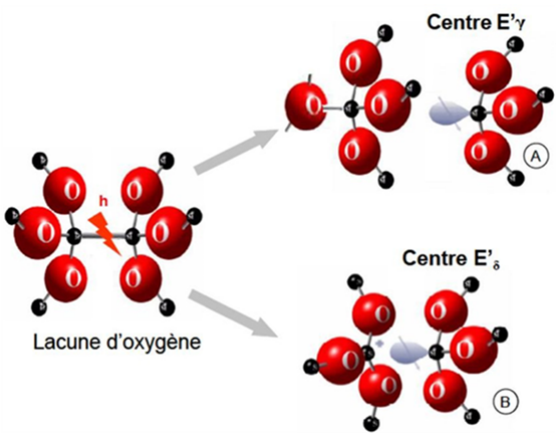


FIGURE 2.5 – Représentation schématique des centres E'$_\gamma$ et E'$_\delta$ résultant de la rupture d'une lacune d'oxygène sous excitation par un trou [54], [57].

et que l'atome de silicium qui a piégé le trou peut s'éloigner de sa position initiale pour former une liaison avec un atome d'oxygène voisin. Dans ce cas, l'électron non apparié est complètement localisé sur le centre E'$_\gamma$, qui est chargé positivement. Cela fait de lui un piège à électron (figure 2.5 (A)).

– En revanche, dans le cas du centre E'$_\delta$, les deux atomes de silicium restent faiblement liés lorsque les contraintes empêchent la formation de la liaison Si-O. Dans ce cas, l'électron et le trou sont partagés de manière équitable entre les deux atomes de silicium et le centre E'$_\delta$ est formé (figure 2.5 (B)). Certains auteurs identifient ce type de défaut en remplaçant la lacune d'oxygène par un atome d'hydrogène [63].

Les trois derniers types de défauts mentionnés précédemment sont moins importants pour les études que nous menons car ils sont présents en quantités plus faibles. Cependant, une fois électriquement actifs, ils peuvent avoir un impact direct sur les performances initiales du transistor MOS ou au cours du temps d'utilisation du dispositif, entraînant une progression plus lente. Certains de ces défauts peuvent se manifester en fonction de l'utilisation et du profil de mission dans les circuits ou les produits. De plus, le vieillissement des nouveaux diélectriques high-K à base d'hafnium (Hf) utilisés dans les filières 28LP et 28FD peut entraîner l'apparition de nouveaux types de défauts dans leur structure. Il est donc important de quantifier ces défauts, ce qui nous amène à étudier l'empilement grille métal sur diélectrique High-K.

2.2.5 Empilement de Grille de type High-K métal gate (HKMG)

L'intégration des filières CMOS en dessous du 40nm a nécessité le remplacement du diélectrique (SiON) par un oxyde à constante de diélectrique plus élevée (20 à 25) à base d'incorporation d'atomes d'Hafnium (HfO_2). Comme nous l'avons vu dans le

chapitre I (section 1.3), l'empilement HKMG utilise une couche interfaciale SiON (IL) avec le silicium pour garantir une interface de bonne qualité avec la couche active (UTB) en continuité de la filière équivalente (28LP). Cependant, ces empilements peuvent présenter certains défauts, il est donc crucial de se pencher sur la classification des défauts à l'interface SiON/Si et High-K/SiON qui composent (figure 2.6a) ce nouvel empilement à grille métallique (TiN). Des travaux antérieurs ont montré que l'utilisation de la nitruration plasma DPN (à basse température) depuis la filière LP 65nm modifiait le profil des atomes d'azote, avec un pic de concentration près de la grille et une réduction importante au voisinage de l'interface SiON/Si [64], contrairement aux nitrurations rapides RTN (à haute température).

En conséquence, la concentration d'azote est plus élevée dans l'oxyde High-K, ce qui conduit, après optimisation de l'oxydation et du recuit thermique, aux mêmes types de défauts à l'interface (centre P_{b0}) et de piégeage de trous (centre E') ainsi qu'aux lacunes d'oxygène, comme dans le système Si/SiO$_2$ classique précédent. Les défauts à l'interface IL/Si sont ensuite passivés sous hydrogène (Si-H), tandis que d'autres défauts, notés X-H, sont passivés dans le volume de l'isolant, où X (figure 2.6a) peut être un atome de Silicium (Si), d'azote (N) ou d'oxygène (O), ainsi que différents types de lacunes d'oxygène (O_V) [65].

L'application d'un stress BTI (Bias Temperature instability) et l'injection de porteurs HCI (Hot-Carrier injection) dans l'isolant peuvent entraîner la dissociation des liaisons Si-H et X-H, créant ainsi des pièges de type Si- et X-. Ces pièges s'ajoutent aux pièges préexistants dans la couche IL, tels que le piégeage de trous sur les centres E'_γ à haute tension V_G. Ces centres sont impliqués dans la composante recouvrable du NBTI et sont considérés comme des "switching traps". Dans la figure 2.6b, nous pouvons observer différentes configurations atomiques pour les défauts de type O_V et les différents niveaux d'énergie associés obtenus par des calculs théoriques de fonctions densités (DFT) [65]. Effectivement, dans la section précédente, nous avons vu que la lacune d'oxygène est attribuée à un atome d'oxygène manquant entre deux atomes de silicium, ce qui donne le pont de type Si-Si dans la couche intermédiaire (IL).

Dans la figure 2.6c, nous pouvons observer d'autres configurations atomiques pour les défauts de lacune d'oxygène dans les couches de HfSiON et de HfO$_2$. Si un atome d'oxygène manque entre deux atomes d'Hafnium et un atome de silicium, cela donne la configuration O_V (HHS). Si un atome d'oxygène manque entre un atome d'Hafnium et deux atomes de silicium, cela produit des lacunes O_V (HSS) dans la couche de transition HfSiON.

De même, si un atome d'oxygène manque entre trois et quatre atomes d'Hafnium dans la couche high-K du HfO$_2$, cela donne des lacunes notées respectivement O_V (3c) et O_V (4c) dans la figure 2.6c. Les niveaux d'énergie des pièges sont représentés (figure 2.6b) en fonction de l'empilement HKMG sans électrons (+2) ou occupés avec

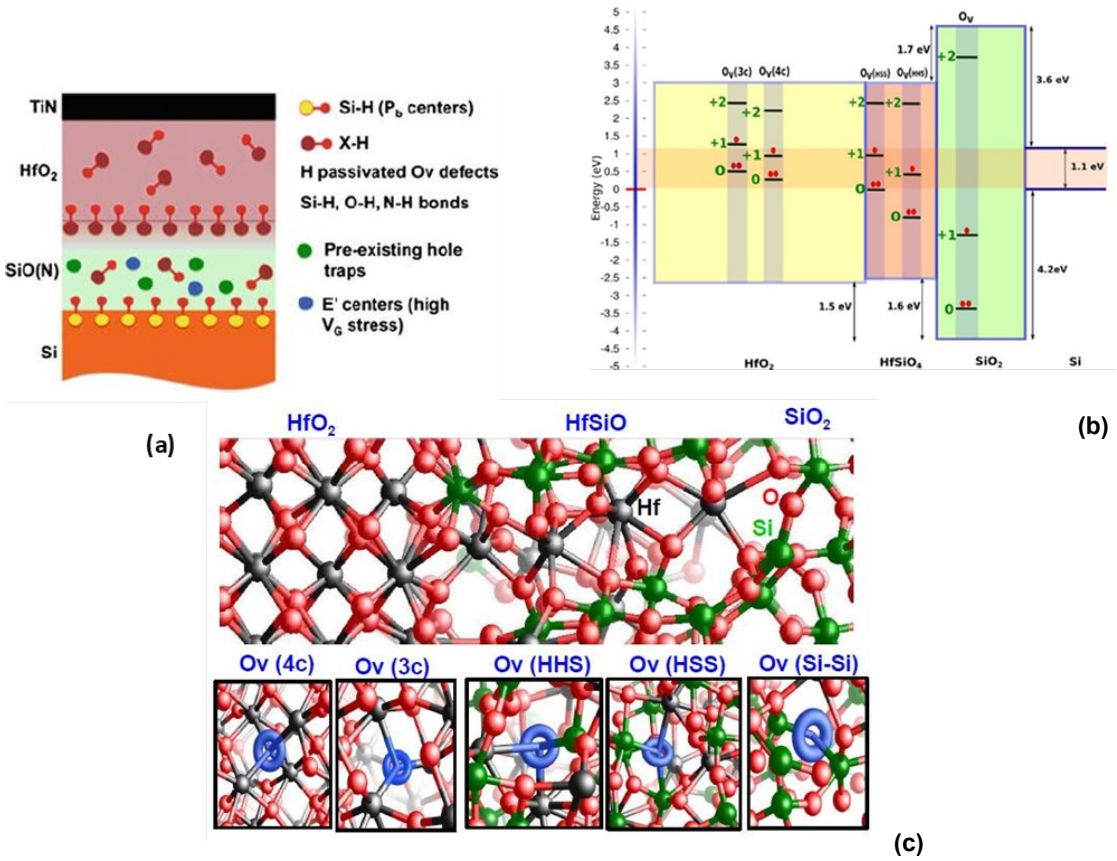


FIGURE 2.6 – (a) Schématique de l'empilement Metal Gate/ High-K / IL (HKMG) / Si développé depuis la filière 28LP et 28FD, montrant les précurseurs à ΔN_{it} à l'interface Si/IL et IL/HK, ainsi que les pièges à trous ΔN_{HT} et les charges d'oxyde fixes (ΔN_{ot}). (b) Schéma correspondant du diagramme de bandes en énergie dans l'empilement HKMG, montrant l'ensemble des défauts qui interviennent, tels que les lacunes d'oxygène (O_V) et les niveaux d'énergies pour les différents états de charges correspondants dans les couches de transitions IL/HK, IL/HK, venant des simulations théoriques des calculs de fonctions densités (DFT). (c) Structures atomiques de l'empilement HKMG, avec comme nomenclature les atomes de Silicium (vert), Oxygène (rouge) et Hafnium (noir), montrant les différentes lacunes d'oxygène obtenues avec les calculs de DFT [65].

un électron (+1) ou deux électrons (0). Les niveaux d'énergie des pièges peuvent se relaxer après occupation par des électrons en raison de la relaxation structurelle du matériau. Cependant, il est important de souligner que les niveaux d'énergie associés aux lacunes O_V ne se manifestent pas tant qu'elles restent passivées par des atomes d'hydrogène. Les atomes d'hydrogène se lient aux lacunes O_V pour former des défauts $O_V - H$, qui sont plus stables et ne créent pas de niveaux d'énergie supplémentaires. Les mécanismes de libération d'hydrogène sont proposés dans le modèle de réaction-diffusion (RD) développé par le groupe de Alam et Mahapatra [66]-[68]. Cependant, ce modèle reste en discussion ouverte avec le modèle proposé par Grasser [69]-[71]. Le modèle de Grasser est basé sur le modèle de réaction-limitée [72] (R-D non-dispersifs), qui explique mieux les phénomènes de relaxation atomique structurelle avec le champ électrique. Ce modèle souligne que la libération d'hydrogène ne peut à elle seule expliquer les effets de saturation, ce qui est expliqué par le modèle de réaction-limitée.

2.2.6 Impact des défauts sur les paramètres électrique du transistor

Après avoir étudié en détail les caractéristiques des défauts, nous allons maintenant nous pencher sur l'impact de ces défauts d'oxyde et d'interface sur les caractéristiques électriques du transistor. Nous avons déjà souligné dans le chapitre I que des paramètres tels que V_{TH}, g_m, SS, I_{DS} dépendent de C_{ox}, en d'autres termes Q_{ox} qui est défini comme étant la somme des charges d'interface et d'oxyde. Ces défauts peuvent être présents dans un dispositif frais dès sa fabrication, mais l'application d'une contrainte en tension peut considérablement augmenter leur nombre. Les propriétés diélectriques de l'oxyde de grille sont directement affectées par la présence des défauts qui peuvent agir comme des sites de piégeage en capturant des porteurs, ou comme des sites de recombinaison qui échangent des porteurs avec les bandes de conduction et de valence. Ce qui entraîne une altération de la régularité du réseau local et engendre des niveaux d'énergie supplémentaires qui peuvent se trouver à l'intérieur de la bande interdite du silicium, en provoquant une variation de la tension de seuil V_{TH}, une baisse de la mobilité mesurée par la transconductance g_m, ainsi qu'une diminution du courant de drain I_{DS} en mode linéaire et en saturation.

2.2.6.1 Variation de la tension de seuil V_{TH}

La variation de la tension de seuil V_{TH} est directement liée à la présence de charges dans l'oxyde et/ou aux charges piégées dans les états d'interfaces. Ainsi la tension de seuil est modifiée d'une quantité ΔV_{TH} en raison de la présence de charges piégées dans le volume de l'oxyde, telles que les charges fixes (ΔN_{ox}) ou à l'interface (ΔN_{it}), qui dépendent du potentiel de surface. Dans le cas d'un transistor NMOS à oxydes de grille épais ($7nm \leq T_{ox} \leq 25nm$), soumis à la fois aux états d'interface et aux charges piégées dans l'oxyde de grille, la variation de la tension de seuil en inversion forte et sans effet de relaxation importante peut être exprimée par l'équation suivante :

$$\Delta V_{TH} = -\frac{\Delta Q_{ox}}{C_{ox}} - \frac{\Delta Q_{it}}{C_{ox}} = \frac{q\Delta N_{ox}^{-}}{C_{ox}} + \frac{q\Delta N_{it}^{acc}}{C_{ox}} \tag{2.2}$$

Avec C_{ox} la capacité d'oxyde de grille par unité de surface (F/cm^2), q la charge élémentaire, ΔN_{ox}^{-} et ΔN_{it}^{acc} les nombres de défauts générés (cm^{-2}) au cours de la contrainte électrique.

Dans les oxydes minces à ultra-minces, la charge piégée Q_{ox} est fortement réduite en raison de l'augmentation du champ électrique vertical due à la réduction épaisseur d'oxyde de grille. Par conséquent sous forte injection les électrons (dans le cas des NMOS) ne parcourent pas assez de chemin pour relaxer suffisamment leur énergie, et on peut assister à leur dépiégeage par le champ électrique. Cela conduit à une augmentation des composantes tunnels directe vers la grille [46].

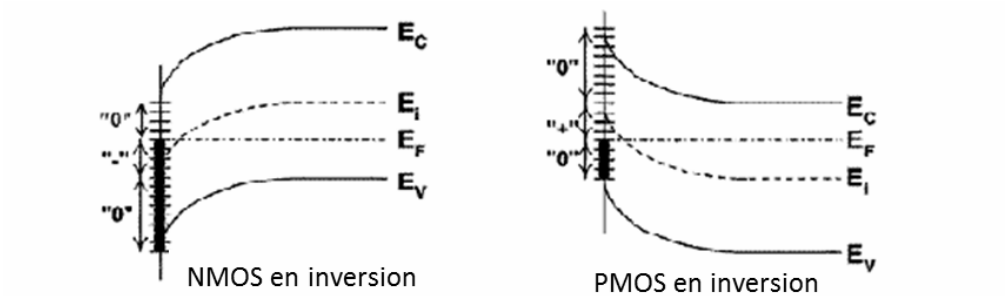


FIGURE 2.7 – Effets de la distribution en niveau d'énergie accessible dans le gap du silicium des pièges d'interface sur la charge piégée pour les transistors NMOS et PMOS [73].

Lorsque le transistor NMOS est polarisé en inversion forte, le niveau de Fermi se rapproche de la bande de conduction (comme illustré dans la figure 2.7). Les électrons du canal remplissent tous les défauts d'énergie inférieure à ce niveau, y compris les défauts donneurs (neutres) et une partie des défauts accepteurs (chargés négativement). Ainsi, la charge totale induite par les défauts d'interface, décrite par l'équation (2.2), est négative, ce qui entraîne une augmentation de la tension de seuil du transistor vers les tensions de grille positives.

Si l'on considère un transistor PMOS polarisé en inversion forte, le niveau de Fermi sera proche de la bande de valence. De plus, seuls certains des défauts donneurs seront ionisés et chargés positivement, ce qui entraînera une charge globale positive. En conséquence, la tension de seuil, calculée avec l'équation (2.2), diminuera et tendra vers des valeurs négatives.

Il existe plusieurs techniques pour mesurer la tension de seuil [39], [74]. Dans le cadre de notre étude de fiabilité, la mesure de la dégradation de V_{TH} est effectuée en extrayant la tension de seuil à un niveau de courant de drain constant I_{Dcte}, tel que défini par l'équation (2.3) et illustré par la caractérisation de $I_D(V_G)$ à la figure 2.8a.

Ainsi la dégradation de la tension de seuil est déduite en suivant son évolution au fil du temps. En plus de la mesure de la tension de seuil, les courants I_{ON} et I_{OFF} ainsi que la pente sous le seuil SS (équation (1.36)) sont également extraits de la caractéristique $I_D(V_G)$, comme indiqué dans la figure 2.8b.

$$I_{Dcte} = 10^{-7} \frac{W}{L_{eff}} [A] \tag{2.3}$$

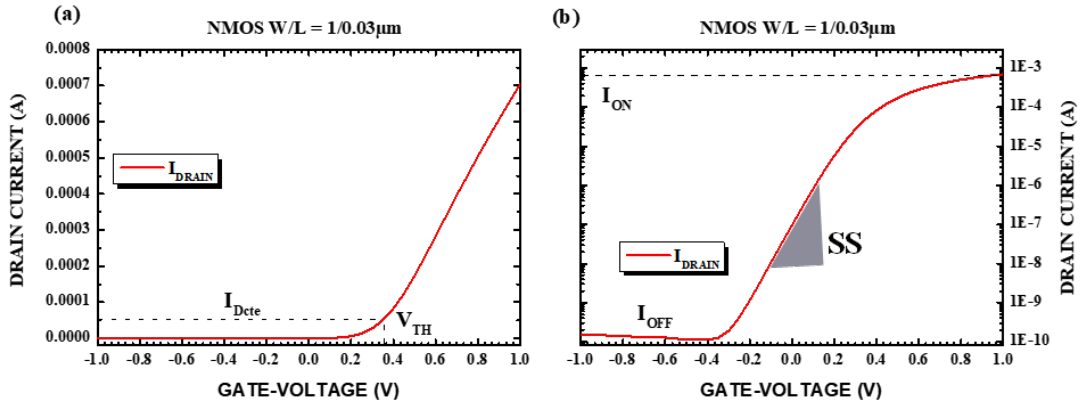


FIGURE 2.8 – Caractéristique $I_D(V_G)$ d'un transistor NMOS (W/L : 1/0.03 μm) pour l'extraction de la tension de seuil à courant constant (a) et l'extraction des courants I_{ON} et I_{OFF} et de la pente sous le seuil SS (b).

Il est possible d'extraire la tension de seuil V_{TH} en utilisant une autre méthode, qui consiste à utiliser la tangente de la courbe $I_D(V_G)$ en régime linéaire au point d'inflexion, c'est-à-dire au maximum de la transconductance g_m, comme illustré dans la figure 2.9.

La tension de seuil est fortement influencée par la réduction de la longueur de grille. Comme on peut le voir sur la figure 2.10, la réduction de la longueur de grille L'entraîne une augmentation du courant de drain et un décalage de la tension de seuil pour les deux types de transistors, NMOS et PMOS.

2.2.6.2 Variation de la transconductance

La vitesse de commutation d'une porte logique et le gain en tension des amplificateurs opérationnels sont calculés en fonction du gain en transconductance. Toutefois, les charges qui se forment dans l'oxyde ou qui sont stockées à l'interface en raison d'une contrainte de tension peuvent affecter la mobilité effective des porteurs dans le canal du transistor, ce qui peut entraîner une variation de la transconductance. Cette variation est directement liée à la réduction de la mobilité effective $\Delta\mu_{eff}$, qui dépend des défauts ΔN_{it} créés à l'interface entre le diélectrique et la couche active. Selon

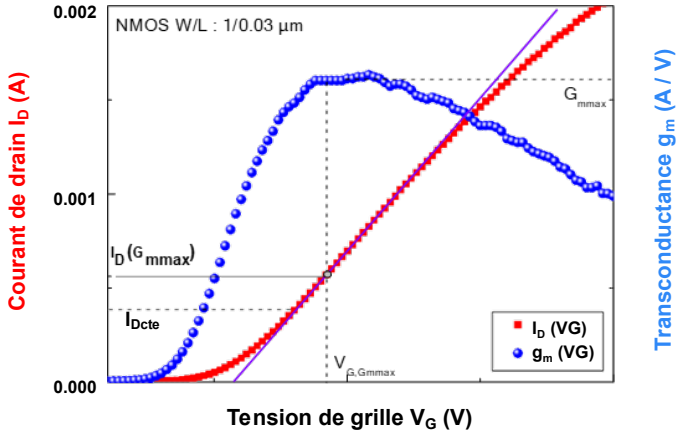


FIGURE 2.9 – Technique d'extraction de la tension de seuil en mode linéaire utilisant la tangente au maximum de g_m.

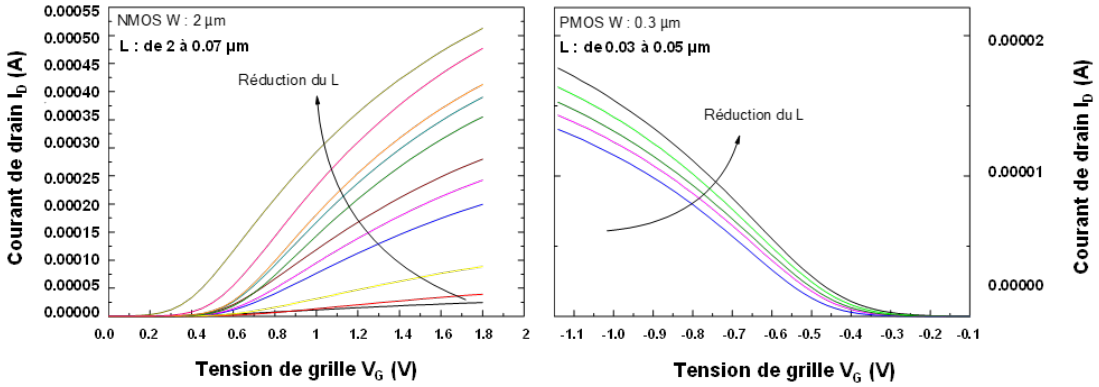


FIGURE 2.10 – Variation de la caractéristique $I_D(V_G)$ en mode linéaire pour les transistors NMOS et PMOS en fonction de la réduction de la longueur de grille L.

l'équation (2.4) de [75], la variation de la mobilité effective $\Delta\mu_{\text{eff}}$ peut être exprimée comme suit :

$$\Delta\mu_{eff} = \frac{\mu_{eff}}{1 + k\Delta N_{it}} \tag{2.4}$$

La dégradation de la mobilité est principalement due aux défauts du canal et à la zone de charge d'espace [76], contrairement à la tension de seuil V_{TH}. Cette corrélation entre la réduction de la mobilité et les états d'interface N_{it} est observée grâce à la technique de pompage de charges [77], dans les filières CMOS 0.28μm [76] comme l'illustre la figure 2.11.

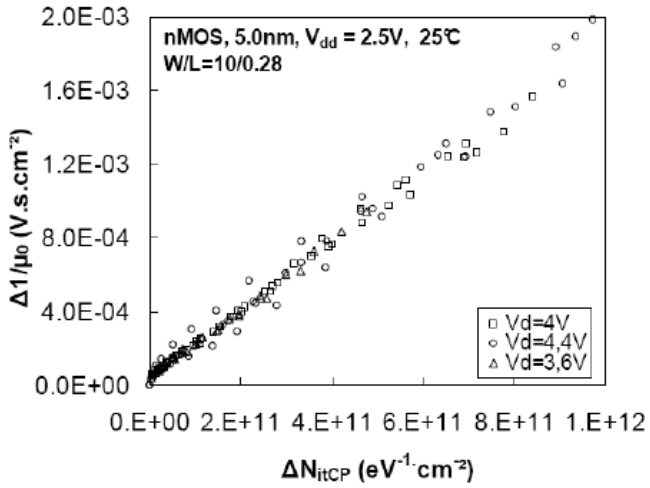


FIGURE 2.11 – Corrélation entre la densité de défauts d'interface et la mobilité effective dans le canal, transistor NMOS 0.28μm(T_{ox} = 5nm) [76].

$$\Delta\left(\frac{1}{\mu_{eff}}\right) = \frac{1}{\mu_{eff}(t)} - \frac{1}{\mu_{eff}(0)} = \alpha\Delta N_{it} \tag{2.5}$$

Étant donné que la variation dans le temps de l'inverse de la mobilité est directement liée à la présence de N_{it} (équation (2.5)), la variation de l'inverse du maximum de la transconductance (équation (1.39)) est également affectée. Cela se traduit par :

$$\Delta\left(\frac{W}{g_{mmax}}\right) = \frac{L}{V_{DS} \,.\, C_{ox}} \,.\, \Delta\left(\frac{1}{\mu_{eff}}\right) = \frac{\alpha \,.\, L}{V_{DS} \,.\, C_{ox}} \Delta N_{it} \tag{2.6}$$

Lorsqu'un transistor est soumis à une contrainte de tension, sa transconductance diminue. Cette diminution est due à la dégradation de la mobilité des porteurs, qui résulte des interactions coulombiennes avec les charges piégées à l'interface Si/SiO_2. En outre, l'augmentation de la résistance série R_{SD} (résistance série source-drain) peut également influencer la variation de la transconductance. La figure 2.12 présente un exemple de dégradation de la transconductance en régime linéaire suite

à une contrainte en Off-state observées dans un transistor NMOS de la filière 28FD. La transconductance est un paramètre crucial pour évaluer la fiabilité des circuits,

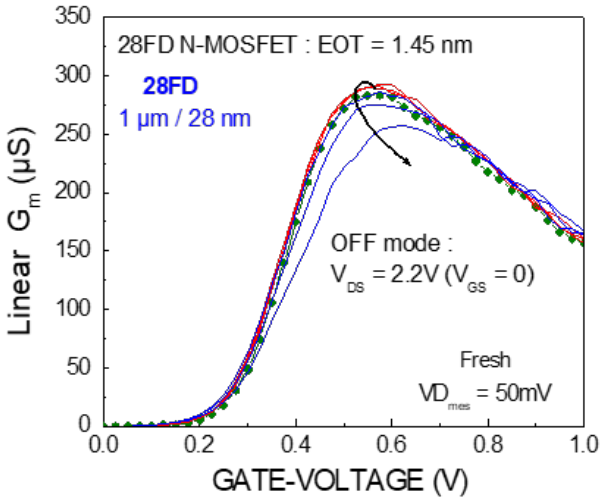


FIGURE 2.12 – Dégradation de la transconductance G_m-V_G en mode linéaire (V_{DS}= 50mV) sous un stress en Off-state à V_{DS} = 2.2V et V_{GS} = 0V.

car la dérive de ce paramètre permet de mesurer les effets induits par les défauts générés pendant la contrainte. Lorsque la dégradation de la transconductance se produit pour de faibles tensions V_{GS} ($V_{TH} < V_{GS} < V_{DD}/2$), le dispositif est alors soumis à une forte réduction de la mobilité des porteurs. En revanche, si la réduction de la transconductance est observée pour des tensions V_{GS} élevées ($V_{DD}/2 < V_{GS} < V_{DD}$), le vieillissement est dû à une augmentation de la résistance série R_{SD}, qui résulte de l'augmentation des états d'interface et des charges piégées localisée dans la région de drain jusqu'à la zone de recouvrement grille-drain [76], [78]. Cette augmentation traduit l'effet de la localisation des défauts côté Drain. La mesure du courant de drain est un moyen plus efficace pour extraire les différentes contributions, comme cela sera expliqué dans la suite.

2.2.6.3 Dérive du courant de drain

Le courant de drain mesuré en mode linéaire ou saturé est également un paramètre important pour l'étude de la fiabilité des circuits, car I_{on} est un indicateur clé des performances du dispositif comme nous l'avons vu dans la section (critère de performance). Toutefois, contrairement à V_{TH} ou g_{mmax}, la dépendance de la dégradation de I_{DS} à la création de défauts est moins immédiate, car sa variation est lié à la fois à μ_{eff}, V_{TH} et des résistances séries R_{SD} ainsi que du point de polarisation (V_{GS}, V_{DS}) considéré que nous avions abordé dans la section 1.2.4.1 du Chapitre I. La dégradation

relative du courant I_{DS} dans le temps est exprimée par l'équation suivante :

$$\frac{\Delta I_{DS}}{I_{DS}(0)} = \frac{I_{DS}(t) - I_{DS}(0)}{I_{DS}(0)} = \frac{I_{DS} - I_{DS0}}{I_{DS0}} \tag{2.7}$$

Cependant, la corrélation entre I_{DS} et V_{TH}, g_m (μ_{eff}) et R_{SD} est utile, car elle peut mettre en évidence la sensibilité en V_{TH} (ΔN_{ot} et ΔN_{it}), μ_{eff} (ΔN_{it}) et en R_{SD} (V_G) pour différents points de mesure. Cette corrélation peut être exprimée comme suit :

$$\frac{\Delta I_{DS}}{I_{DS0}} = \frac{\Delta V_{TH}}{V_{GS} - V_{TH0}} + \frac{\Delta g_m}{g_{m0}} + \frac{\Delta R_{SD}}{R_{SD0}} \tag{2.8}$$

La dégradation du courant I_{DS} illustré à l'équation (2.8) dépend directement de trois facteurs : le décalage en V_{TH} normalisé à la conduite en courant (premier terme), la réduction de la mobilité $\Delta g_m/g_{m0} = \Delta\mu/\mu_0$ (deuxième terme) et l'augmentation de la résistance série (troisième terme). La contribution de chaque terme de l'équation (2.8) dépend du point de polarisation, de la nature des défauts et de l'amplitude (et extension) des défauts impliqués dans la dégradation. Dans le cas du BTI, c'est le premier terme de l'équation qui est dominant. Pour le Hot-carrier (HC), les deux premiers termes sont dominants en mode saturé et l'ensemble des termes est important en mode linéaire. En outre, le courant de drain dépend de la longueur effective L_{eff}

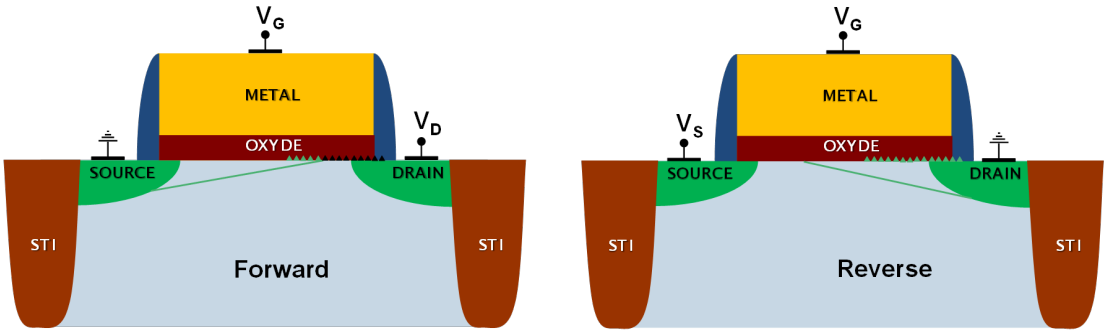


FIGURE 2.13 – Représentation schématique d'une mesure du courant I_{Dsat} en forward et reverse.

du transistor (équation (1.44)), ce qui le rend principalement sensible aux défauts situés au-dessus du canal. Afin de détecter tous les défauts en mode saturé, il est recommandé de mesurer les courants I_{Dsat} en direct (forward I_{DsatF}) et en inverse (reverse I_{DsatR}). Pour cela, une tension est appliquée sur le drain dans le premier cas et sur la source dans le deuxième cas comme illustré à la figure 2.13. Étant donné que les défauts HC sont localisés du côté du drain, il est préférable de mesurer le courant I_{DsatR} qui est sensible à l'ensemble des défauts, contrairement à I_{DsatF} comme mesuré à la figure 2.14.

Il faut note que l'effet de la polarisation sur le courant de drain dans la technologie FDSOI peut dépendre de la tension substrat V_B, qui est liée à l'effet body à travers le décalage du V_{TH}, tel que décrit dans l'équation (1.37) du Chapitre I. Pour mesurer les

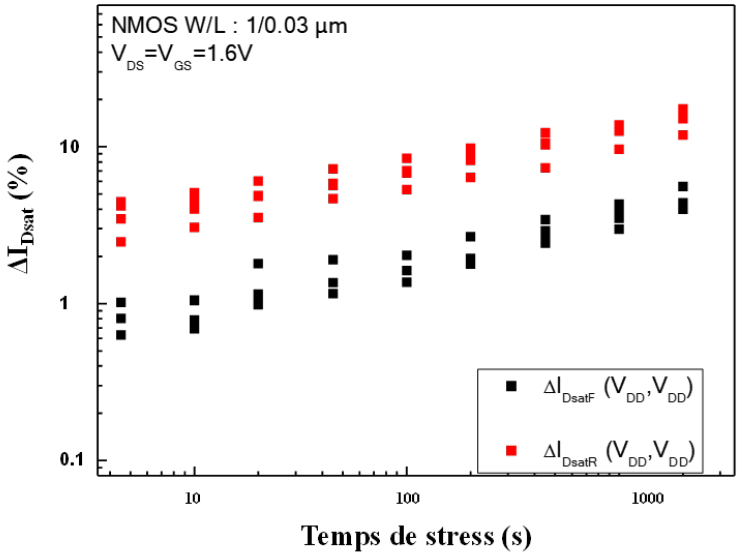


FIGURE 2.14 – Mesure du courant I_{Dsat} en forward et reverse comme illustré à la figure 2.13.

défauts à travers l'effet de la mesure (effet "sense") et l'accélération de la dégradation (effet "stress"), il est nécessaire de mesurer les courants de drain en mode direct (FBB) et inverse (RBB), ce qui permet de moduler la tension de seuil.

Dans la suite de notre étude, nous allons examiner les modes de dégradation liés à la défaillance et à la dérive des paramètres du transistor qui sont causés par les phénomènes de piégeage de charges dans le volume de l'oxyde de grille et la génération d'états d'interface. La défaillance et la dérive des paramètres d'un transistor peuvent varier en fonction de plusieurs facteurs, tels que la surchauffe, la surtension, le vieillissement. C'est pourquoi, nous aborderons dans la section suivante le claquage de diélectrique qui est un phénomène de défaillance des isolants, le mécanisme de dégradation par porteurs chauds qui est associé à l'action des porteurs énergétiques du canal, le BTI (Bias Temperature Instability) qui est causé par l'accumulation de charges électriques dans l'oxyde de grille du transistor en raison de contraintes électriques et thermiques, et enfin l'auto-échauffement qui se produit suite à l'accumulation de chaleur lorsqu'une partie de l'énergie électrique est convertie en chaleur.

2.3 Les différents mécanismes de dégradation

Il existe quatre types de dégradations majeures qui peuvent affecter les transistors MOS lorsqu'ils vieillissent ou tombent en panne. Le premier type est appelé TDDB (Time Dependent Dielectric Breakdown) qui survient lorsqu'une jonction proche du diélectrique ou le diélectrique de grille lui-même est soumis à une tension très élevée proche de la tension de claquage du transistor MOS. Le deuxième type est la

dégradation par injection de porteurs chauds HCI (Hot Carrier Injection) ou HCD (Hot Carrier dégradation), qui se produit lorsque le canal est inversé, suivi d'une polarisation du drain permettant aux porteurs d'acquérir une énergie cinétique pour engendrer une dégradation. Le troisième mécanisme de dégradation est la variation des paramètres électriques en température sous polarisation ou BTI (Bas temperature instability). Cette dégradation se produit pour des polarisations de grille plus ou moins importantes, d'au moins l'ordre de la tension nominale d'utilisation. Enfin le SHE (Self Heating Effect) ou l'auto-échauffement, un phénomène qui se produit pendant le fonctionnement du transistor en régime d'inversion ou une forte tension de drain associé à un fort courant entrainent l'échauffement du transistor. Même si on peut dire que le self-heating n'est pas en soi un mécanisme de dégradation, mais plutôt un phénomène physique qui peut avoir des effets sur la stabilité des produits. Cependant, il peut entraîner une dégradation des matériaux en raison de l'augmentation de la température et de l'humidité, ce qui peut accélérer les réactions chimiques et la formation de radicaux libres.

2.3.1 Le claquage d'oxyde de grille (TDDB)

Le claquage d'oxyde ou communément appelé le TDDB (Time Dependent Dielectric Breakdown), se produit lorsque l'on applique un champ électrique intense dans l'oxyde ($F_{ox} \geq 8MV/cm$), ce qui entraîne la formation de défauts dans l'oxyde de grille et la perte de ses propriétés isolantes. Ce phénomène est plus fréquent dans les oxydes minces et ultra-minces, ce qui signifie qu'il peut se produire même pour des champs électriques plus faibles que le seuil caractéristique du mode d'injection de porteurs par effet tunnel de type Fowler-Nordheim [79].

La génération de défauts dans l'oxyde crée localement un chemin de percolation à un temps appelé temps au claquage rendant ainsi l'oxyde conducteur. Le claquage franc et abrupt et également appelé HBD (hard breakdown), correspond à une perte totale de l'efficacité de l'isolant. Toutefois, cette étape ultime peut être atteinte progressivement, lorsque l'accumulation locale de défauts entraîne une perte progressive des propriétés isolantes. Cette dégradation est observée par des sauts de courant dans le courant de grille.

2.3.1.1 Mise en évidence expérimentale et méthodologies de mesure

Le principe expérimental de création du claquage est relativement simple : il suffit d'appliquer une contrainte de tension fixe sur la grille du transistor, et de mesurer soit le courant de grille I_G, soit le courant de drain I_D, au fil du temps, jusqu'à l'obtention d'un saut de courant abrupt, comme illustré dans la figure 2.15, due à une multiplication des défauts dans l'oxyde formant un chemin de conduction entre les deux électrodes à un temps donné. On parle alors de tension de claquage (V_{BD}) et de temps de claquage (T_{BD}). Le claquage représente ainsi la dernière étape de la dégradation de l'oxyde, et se caractérise par une augmentation critique du courant de fuite de grille, en raison de la perte des propriétés isolantes du diélectrique.

Dans le cadre de l'étude du TDDB, deux méthodes sont employées pour accélérer le processus de claquage de l'oxyde de grille : la contrainte à tension constante (CVS) et la contrainte en rampe (RVS).

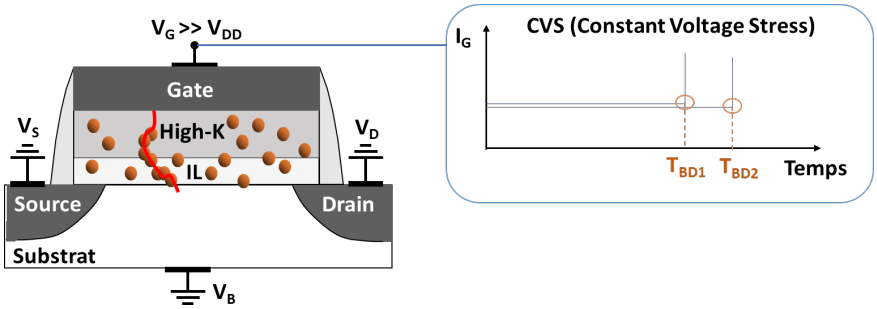


FIGURE 2.15 – Illustration schématique du chemin de percolation dans l'oxyde de grille d'un transistor High-k rendu défaillant suite à une contrainte CVS. Les points représentent l'accumulation de défauts qui finit par créer un chemin de percolation.

Afin de caractériser le temps au claquage du diélectrique, une contrainte en tension constante est le plus souvent utilisée, on parle de Constant Voltage Stress (CVS) comme illustré à la figure 2.15. Une tension de grille V_{GS} élevée, ou même une tension de drain V_{DS} dans le cas d'un TDDB en "Off-state", est appliquée sur un transistor MOS dans un environnement à haute température. L'évolution du courant de grille I_G ou de drain I_D est suivie tout au long de la contrainte. Le claquage se manifeste par un saut de courant plus ou moins abrupt après un temps T_{BD}. Pendant la contrainte, il est possible d'imposer un critère d'arrêt sur le courant de grille, appelé courant de compliance (noté I_C).

La méthode de rampe linéaire en tension ou Voltage Ramp Stress (VRS) est généralement rapide et permet d'obtenir la tension de claquage V_{BD} comme le montre la figure 2.16. Elle est couramment utilisée pour détecter les défauts dans les oxydes lorsque le champ électrique est faible, conformément à la norme [80]. Si cette méthode permet d'obtenir une idée relativement bonne de la robustesse du diélectrique, la tension de claquage V_{BD} n'est pas facilement corrélable avec la durée de vie puisque des hypothèses supplémentaires doivent être faites, comme l'application d'une contrainte en tension constante. Sur la figure 2.16 V_{BD} est détectée entre -3V et -4V.

Initialement, la technique VRS a été utilisée pour évaluer le claquage de l'oxyde au niveau des transistors MOS et pour détecter les défauts avec une plus grande précision que les techniques classiques [81]. Par la suite, Kerber a démontré que les techniques CVS et RVS donnent des résultats similaires et cohérents en termes d'accélération en tension, de distributions de Weibull (avec une pente β identique) et d'énergie d'activation thermique (E_a), pour les transistors MOS conventionnels et High-K [82]. De plus, la technique RVS permet de réduire considérablement le temps de mesure, ce qui en fait une méthode privilégiée, notamment pour les dispositifs High-K.

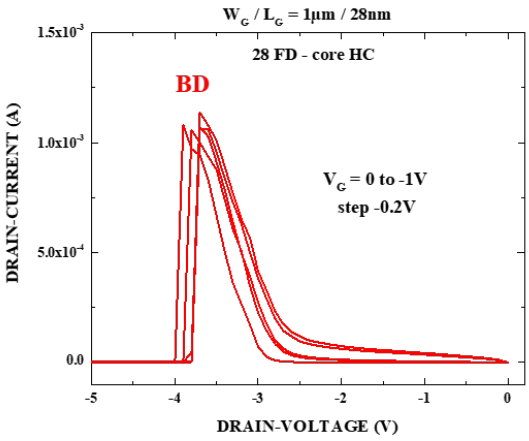


FIGURE 2.16 – Évolution du courant de drain mesuré à différent V_{GS} sur un transistor PMOS dans le cas d'un TDDB Off-state en fonction de la tension V_{DS} à 125°C au cours d'une contrainte de type RVS en rampe V_{DS}.

2.3.1.2 Analyse statistique du claquage : la loi de Weibull

La compréhension des mécanismes de défaillance des diélectriques requiert une approche statistique, car le temps à la défaillance est naturellement dispersé. Ainsi, même si deux composants identiques sont fabriqués de la même manière et soumis à une contrainte identique, leur temps à la défaillance ne sera pas le même. Bien que la distribution log-normale ait été suggérée pour modéliser cet aspect statistique, de nombreuses études expérimentales et théoriques ont conduit à l'utilisation courante de la distribution de Weibull. Il est donc crucial de ne plus se baser sur le temps à la défaillance, mais plutôt sur la probabilité de défaillance pour un temps donné. La distribution de Weibull à deux paramètres pour la variable t considérée et prévoit une densité de probabilité sous la forme :

$$f(t) = \frac{\beta}{\eta}\left(\frac{t}{\eta}\right)^{\beta-1}\exp\left(-\frac{t}{\eta}\right)^{\beta} \tag{2.9}$$

La pente de Weibull est représentée par le paramètre β, tandis que le paramètre η correspond à la durée de vie caractéristique de la distribution à 63% (également notée $t_{63\%}$).

Dans le cas du claquage, la fonction f(t) représente la densité de probabilité qu'un transistor subisse un claquage à un instant t donné sous l'effet d'une contrainte. En fiabilité, ce qui nous importe davantage est la proportion de transistors qui ont subi un claquage entre le début de la contrainte et cet instant t. Pour ce faire, il suffit d'intégrer l'équation (2.9) de la fonction de densité de probabilité entre 0 et t. Ce qui donne la fonction de distribution cumulée de défaillance F(t) (ou CDF : Cumulative Distribution Function). Elle donne la probabilité qu'un système ait défailli à un temps t :

$$F(t) = \int_0^t f(u), du = 1 - \exp\left(-\frac{t}{\eta}\right)^{\beta} \tag{2.10}$$

Ainsi, la fonction de répartition F(t) est déterminée expérimentalement en cumulant les échantillons ayant déjà claqué à chaque instant, ce qui la rend plus facile à évaluer. De plus, une échelle de Weibull W(F) est également définie :

$$W(F) = \ln(-\ln(1-F)) \tag{2.11}$$

Dans cette échelle, l'équation (2.10) devient :

$$W(F) = \beta \cdot \ln\left(\frac{t}{\eta}\right) = -\beta \cdot \ln(\eta) + \beta \cdot \ln(t) \tag{2.12}$$

Ainsi, comme l'illustre la figure 2.17, le tracé de la distribution cumulée W(F) en fonction de ln(t) est une droite de pente β définie comme un paramètre de forme et $-\beta$. $\ln(\eta)$ l'ordonnée à l'origine. Dans cette représentation, le temps pour lequel W(F)=0 correspond au temps de stress après lequel 63% des composants sont défaillants, noté $T_{63\%}$.

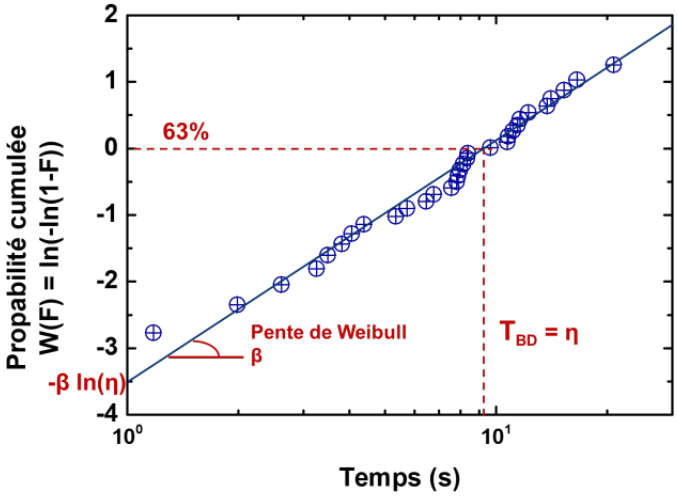


FIGURE 2.17 – Distribution du temps au claquage T_{BD} dans une échelle de Weibull pour un NMOS à $V_{G-stress}$ = 3.85V et T=125°C

2.3.1.3 Modèle de percolation

Après avoir observé une localisation du claquage dans l'oxyde, Suñé a proposé une approche analytique et combinatoire pour décrire la formation d'un chemin de conduction à deux dimensions à partir de défauts générés aléatoirement dans le diélectrique [83]. La figure 2.18 illustre le modèle de percolation à deux dimensions.

Les cellules de l'oxyde, représentées par des carrés de côté a_0, peuvent contenir un défaut. Pendant la contrainte, les défauts sont générés aléatoirement dans l'oxyde et les cellules se remplissent. Lorsqu'une colonne de défauts apparaît, le diélectrique claque : c'est le chemin de percolation.

Degraeve a popularisé ce principe en utilisant une approche plus visuelle grâce à des simulations à trois dimensions du modèle de percolation [84], [85]. Les défauts générés aléatoirement dans le volume de l'oxyde sont caractérisés par un diamètre d'action noté a_0, comme l'a illustré J. Suñé dans la figure 2.18 à travers un modèle simplifié. La mise en connexion de deux zones d'action permet à deux défauts d'échanger des porteurs. Le claquage est alors défini comme la création d'un chemin de défauts permettant à un porteur de passer d'une électrode à l'autre. En utilisant ce principe de percolation, il est possible de retrouver la loi de probabilité de Weibull. L'aspect

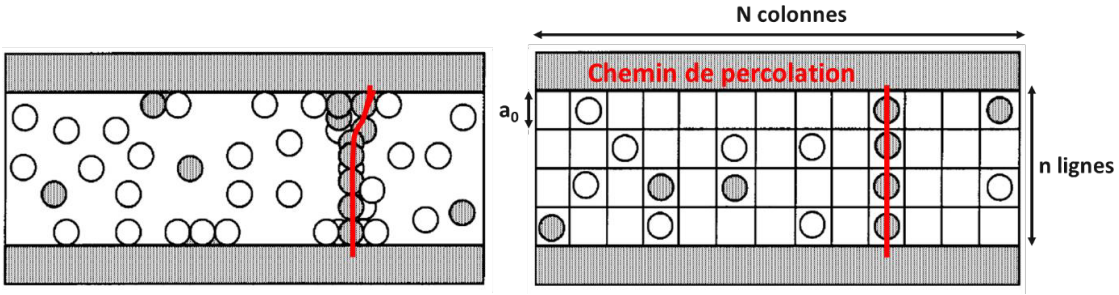


FIGURE 2.18 – Schéma de principe du modèle de percolation illustré par l'approche des cellules à deux dimensions. L'oxyde est décrit sous la forme des cellules qui se remplissent lorsqu'un défaut est généré [86].

aléatoire de la génération des défauts dans le volume permet d'appréhender l'aspect statistique du temps au claquage. En effet, un premier résultat de Degraeve est de reproduire parfaitement cette incertitude en retrouvant une loi de probabilité de Weibull [85].

Ensuite, Stathis a proposé une approche similaire à celle de Degraeve en considérant l'oxyde comme une matrice de sites potentiels (cubes) pour la génération de défauts [87]. Il a confirmé les résultats de Degraeve, validant définitivement cette approche.

Une description simplifiée a permis de mieux comprendre le principe de percolation et de retrouver les équations de base peu de temps après [86]. Les défauts sont générés aléatoirement dans l'oxyde, sans qu'un défaut préexistant ne favorise la création d'un nouveau défaut dans son voisinage. Par conséquent, il est raisonnable de penser qu'il existe une décorrélation parfaite entre l'aspect de percolation et l'aspect dynamique de la génération de défauts. Ainsi, le modèle de percolation est viable et indépendant de la manière dont les défauts sont générés.

Si λ est la probabilité qu'une cellule soit défaillante, $\lambda \in [0,1]$, la distribution de

défaillance cumulative d'une cellule est donnée par :

$$F_{cell}(\lambda) = \lambda \tag{2.13}$$

La défaillance d'une colonne prendra forme lorsque toutes ses cellules verticales auront un défaut. Cela correspond à la probabilité de formation d'un chemin de percolation, donnée par :

$$F_{perc}(\lambda) = \lambda^n \tag{2.14}$$

Si A_{ox} est la surface de l'oxyde, alors le nombre de colonnes est $N = \frac{A_{ox}}{a_0^2}$ et le nombre de lignes est $n = \frac{T_{ox}}{a_0}$. Étant donné que le diélectrique compte N colonnes, la probabilité pour qu'il n'y ait pas de chemin de percolation, soit un critère de non-défaillance, est donnée par :

$$\overline{F} = 1 - F_{BD} = \left(1 - \lambda^n\right)^N \tag{2.15}$$

D'où :

$$W_{BD}(\lambda) = \ln\left(-\ln\left(1-\lambda^n\right)^N\right) \approx \ln(N) + n\ln(\lambda) \tag{2.16}$$

Dans [86], J. Suñé définit la probabilité de génération de défauts λ en fonction d'une loi en puissance de la charge injectée Q :

$$\lambda = \xi Q^{\alpha} \tag{2.17}$$

où ξ est un facteur indépendant de la charge, et α est l'exposant modélisant la dynamique de génération des défauts avec la charge injectée que l'on suppose lié au SILC et au claquage : certains auteurs proposent de l'extraire à partir des mesures de SILC. Différentes valeurs ont été proposées : $\alpha = 0.26$ [88], $\alpha = 0.5$ [85], $\alpha = 1$ [89].
J. Suñé a choisi la charge Q au lieu du temps de stress pour dissocier l'échelle de surface de la dépendance en surface du courant. A partir des équations (2.16) et (2.17) on obtient :

$$W_{BD}(Q) = \ln\left(\frac{A_{ox}}{a_0^2}\right) + \frac{T_{ox}}{a_0}\ln(\xi) + \frac{T_{ox}}{a_0}\alpha\ln(Q) \tag{2.18}$$

Puisque la charge au claquage a été présentée comme un paramètre décrivant une statistique de Weibull, alors par analogie de l'équation (2.12), on observe que la pente de Weibull de la charge injectée est dépendante de l'épaisseur d'oxyde et de la taille des cellules :

$$\beta = \frac{\alpha}{a_0} T_{ox} \tag{2.19}$$

De même, on obtient la charge totale injectée jusqu'au claquage Q_{BD} en imposant

$W_{BD}(Q_{BD}) = 0$, soit la valeur à 63% de la distribution de Weibull :

$$Q_{BD} = \frac{1}{\xi^{\frac{1}{\alpha}}} \cdot \exp\left(-\frac{a_0}{\alpha T_{ox}} \ln\left(\frac{A_{ox}}{a_0^2}\right)\right) \tag{2.20}$$

On définit également le temps au claquage T_{BD} en fonction de la charge injectée Q_{BD} et du courant suivant l'équation :

$$T_{BD} = \frac{Q_{BD}}{J_G} \tag{2.21}$$

Si N_t est le nombre de défauts par unité de volume, alors le paramètre λ correspondant à la fraction de cellules défaillantes peut s'écrire par :

$$\lambda = N_t a_0^3 \tag{2.22}$$

Dans le cas particulier où le claquage est atteint et où N_{BD} est la densité volumique de défauts au claquage, λ devient :

$$\lambda_{BD} = N_{BD} a_0^3 \tag{2.23}$$

A partir des équations (2.17) et (2.20), la densité de défauts au claquage peut finalement s'exprimer sous la forme :

$$N_{BD} = \frac{\xi Q_{BD}^{\alpha}}{a_0^3} = \frac{1}{a_0^3} \cdot \exp\left(-\frac{a_0}{T_{ox}} \ln\left(\frac{A_{ox}}{a_0^2}\right)\right) \tag{2.24}$$

En fin de compte, l'approche de percolation permet de reproduire la distribution de Weibull, et l'expression de la pente de Weibull (équation (2.19)) permet de rendre compte de la décroissance linéaire avec l'épaisseur d'oxyde observée expérimentalement [85], [87], [90]. De plus, plusieurs études ont montré une dépendance du temps au claquage T_{BD} avec la surface d'oxyde, suivant une loi en puissance dont l'exposant dépend directement de la pente de Weibull [91], [92]. Cette observation est en accord avec le modèle qui prédit une relation de la forme :

$$\frac{T_{BD1}}{T_{BD2}} = \frac{Q_{BD1}}{Q_{BD2}} = \left(\frac{A_{ox2}}{A_{ox1}}\right)^{\frac{1}{\beta}} \tag{2.25}$$

Où A_{ox1} et A_{ox2} correspondent à deux différentes surfaces d'oxyde.
Cette loi d'échelle de surface (Area scaling) est largement utilisée pour ramener l'ensemble des résultats de claquage à une surface commune, voire pour réaliser des extrapolations en surface. La figure 2.19 illustre un exemple de cette loi d'échelle de

surface.

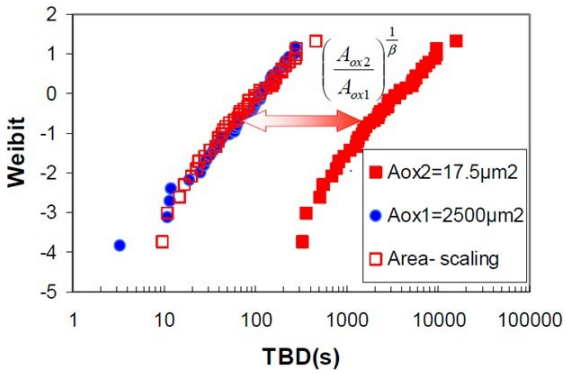


FIGURE 2.19 – Illustration expérimentale de la loi d'échelle en surface horizontalement (équation (2.25)). D'après [93].

Il existe une autre façon de mettre à l'échelle verticalement en partant de (équation (2.15)), on obtient :

$$W(F_2) = \ln(-\ln(1-F_1(t))) + \ln(N) \tag{2.26}$$

$$W(F_1) = W(F_2) + \ln\left(\frac{A_{ox1}}{A_{ox2}}\right) \tag{2.27}$$

Ainsi, les distributions de Weibull obtenues sur deux oxydes identiques et de surfaces différentes A_{ox1} et A_{ox2}, sont décalées verticalement d'une valeur égale à $\ln\left(\frac{A_{ox1}}{A_{ox2}}\right)$, comme nous pouvons le constater dans la figure 2.20 :

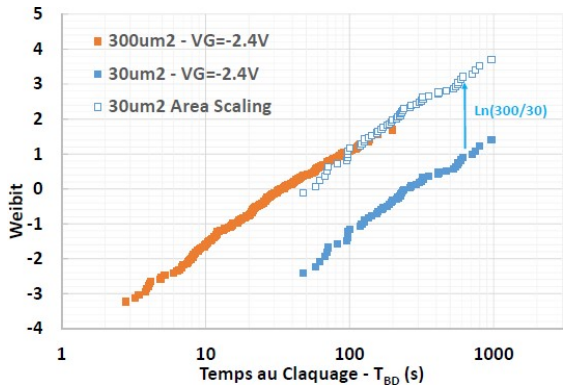


FIGURE 2.20 – Illustration expérimentale de la loi d'échelle en surface verticalement (équation (2.25)). D'après [94].

En plus de permettre la comparaison de transistors de surfaces différentes, la mise à l'échelle présente un autre avantage : elle permet de mettre en évidence d'éventuelles non-uniformités de claquage et d'extrapoler les distributions à une surface donnée ou à des surfaces de circuits.

2.3.1.4 Modèle d'extrapolation

Plusieurs expériences ont été menées pour étudier la relation entre le temps au claquage et la valeur de la contrainte appliquée, notamment dans l'étude de Wu et Suñé [95]. Les études de fiabilité ont montré que pour un même oxyde le temps de claquage diminue à mesure que la tension de contrainte appliquée sur sa grille augmente. Cependant, la pente β et la linéarité des distributions cumulées restent indépendantes de la tension de contrainte, ce qui permet de simuler différentes distributions avec une même loi de Weibull sans en modifier la forme. il donc est possible de caractériser les distributions de TDDB à des tensions plus élevées pour réduire le temps expérimental et obtenir un grand nombre de données.

En général, pour évaluer la dépendance d'une défaillance avec la tension ou la température, on extrait les temps moyens $T_{BD@63\%}$ à différentes conditions de stress, comme présenté dans la figure 2.21. Les industriels utilisent généralement une loi en puissance pour extrapoler le T_{BD} établie comme suit :

$$T_{BD}(V_G) = K \cdot V_G^{-n} \tag{2.28}$$

En ajustant le modèle avec des données expérimentales, on peut obtenir la valeur caractéristique du facteur d'accélération n et estimer le temps au claquage attendu à des tensions nominales V_{DD}.

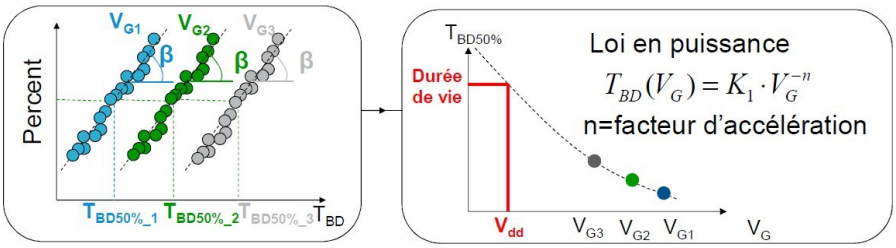


FIGURE 2.21 – Représentation schématique des distributions de temps au claquage et la méthode d'extrapolation de durée de vie aux conditions normales d'utilisation.

La procédure d'extrapolation est schématisée dans la figure 2.21 : à gauche les probabilités cumulées de claquage en fonction du temps pour différentes tensions de grille sont représentées en utilisant l'échelle de Weibull, et à droite la loi en puissance qui définit la relation entre le temps au claquage médian (63%) et la tension de grille est représentée. La loi en puissance permet l'extrapolation jusqu'à la tension en condition normale d'utilisation. En outre, la loi de Weibull permet de déterminer la durée de vie, qui est le temps nécessaire pour qu'une faible fraction de la population soit en défaillance en condition normale d'utilisation (par exemple, 1 ppm de transistors claqués). Pour garantir des normes de qualité, cette durée de vie doit être supérieure à une valeur spécifique (par exemple, 10 ans).

Le modèle final du temps au claquage prend en compte la dépendance en surface,

en température et la statistique de Weibull, et s'écrit comme suit :

$$T_{BD} = A\, V_G^{-n} \cdot e^{\frac{E_a}{k\,T}} \left(\frac{1}{W_G\ L_G} \right)^{\frac{1}{\beta}} \cdot e^{\frac{\ln(-\ln(1-F))}{\beta}} \tag{2.29}$$

où A est une constante et E_a est l'énergie d'activation.

2.3.2 Dégradation par porteurs chauds (HCD)

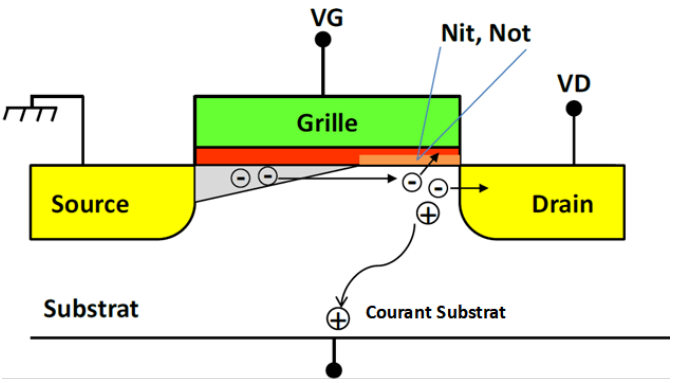


FIGURE 2.22 – Génération et injections d'électrons chauds dans le canal d'un transistor de type NMOS.

La dégradation par injections de porteurs chauds (ou Hot-carrier HC), également connue sous le nom de Hot-Carrier Injection (HCI) ou Hot-Carrier Degradation (HCD), est un des principaux mécanismes de dégradation qui permet d'évaluer la fiabilité du transistor MOSFET. Elle se produit lorsque des tensions sont appliquées simultanément à la grille V_{GS} et entre la source et le drain V_{DS} du transistor. Les porteurs chauds sont les porteurs de charge dans le canal du transistor accélérés par le champ électrique et pouvant acquérir une énergie cinétique suffisante pour déclencher le phénomène d'ionisation par impact (II) dans la zone de saturation près du drain. Sous l'influence d'un champ électrique latéral intense, les porteurs du canal et sortant principalement de la zone de pincement, deviennent suffisamment énergétiques pour générer des paires électrons-trous dans la bande du silicium, qui en fonction de la distribution du champ effectif au voisinage du drain, vont pouvoir être injectés vers la grille et créer des défauts à l'interface et dans l'oxyde de grille comme le montre la figure 2.22. L'interaction de ces porteurs avec l'interface silicium-diélectrique du MOSFET se traduit par des dépôts d'énergie à l'interface entrainant la dissociation des liaisons Si-H comme illustré à la figure 2.23. Ces différents défauts ont pour conséquence la dégradation des paramètres clés du transistor tels que le V_{TH}, le courant de drain I_{DS} et la mobilité μ, comme expliqué dans la section 2.26.

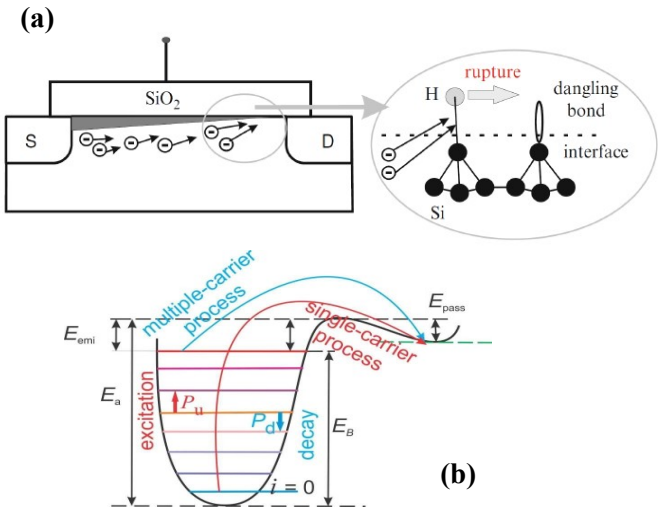


FIGURE 2.23 – Représentations schématique de la dégradation par porteurs chauds. (a) En entrant en collision avec l'interface SiO_2/Si, les porteurs déposent leur énergie produisant des dommages. Ces dommages sont associés à la dissociation des liaisons Si-H électriquement actives. (b) Illustration de la liaison Si-H dans le modèle de l'oscillateur harmonique tronqué. La dissociation de la liaison peut être déclenchée soit par un porteur d'énergie élevée isolé en processus "mono-particule", soit par une série de porteurs froids en processus "multi-particule" [96].

2.3.2.1 Dépendance en champs latéral et effectif

Les liaisons pendantes Si– sont électriquement actives et peuvent capturer des porteurs de charge et perturber le réseau local. Pour les passiver, des espèces d'hydrogène sont intentionnellement incorporées. Avec l'évolution technologique du fait de la miniaturisation rapide des MOSFETs, le mécanisme de dégradation HCD est devenu de plus en plus préoccupant car le rapport entre la longueur de la grille L_G et la tension d'alimentation V_{DD} est maintenu, tandis que la diminution de cette dernière est limitée par la tension de seuil V_{TH} de la technologie utilisée. Alors la tension d'alimentation VDD était réduite proportionnellement à L_G. Pour évaluer l'énergie des porteurs on considère le champ électrique latéral E_{lat} [97] :

$$E_{lat} = \left[\left(\frac{V_{DS} - V_{DSat}}{\ell_0}\right)^2 + E_{Sat}^2\right]^{1/2} \propto \frac{(V_{DS} - V_{DSsat})}{\ell_0} \tag{2.30}$$

Où ℓ_0 est une longueur caractéristique en saturation [98], E_{sat} représente le champ électrique critique auquel la vitesse des porteurs de charge atteint sa saturation. On peut obtenir une valeur approximative du champ latéral en utilisant la formule suivante :

$$E_{lat} \propto \frac{V_{DD}}{L_G} \tag{2.31}$$

En réduisant la longueur L_G du transistor MOS, le champ latéral E_{lat} augmente proportionnellement à $\frac{(V_{DS}-V_{DSsat})}{\ell_0}$ comme l'illustre l'équation (2.30). Pour les transistors sur silicium bulk, cette longueur peut être exprimée en fonction de la profondeur de jonction X_J, la longueur effective L_{eff} et T_{ox}, comme suit :

$$\ell_0 = 0.017\ (T_{ox})^{1/8}\ \left(L_{eff}\right)^{1/5}\ \left(X_J\right)^{1/3} \tag{2.32}$$

Le champ effectif dans le canal peut être calculé par l'équation suivante (figure 2.24) [99] :

$$E_{eff} = \frac{(Q_{dep} + \frac{1}{2}Q_{inv})}{\varepsilon_{Si}} \approxeq \frac{(V_{GS} + V_{th})}{6T_{ox}} \tag{2.33}$$

Selon Bravaix [100], la diminution de la longueur effective L_{eff} dans les transistors entraîne une augmentation du champ électrique vertical à travers l'oxyde de grille, des champs effectifs E_{eff} et latéraux E_{lat}, comme illustré dans la figure 2.24. L'augmentation du champ effectif dans le canal pour les porteurs incidents est liée à l'effet canal court (SCE) et dépend de la technologie utilisée, notamment des niveaux de dopage, des structures de source et de drain, ainsi que de la présence éventuelle de diffusions supplémentaires telles que les poches et les halos, qui peuvent influencer la distribution du champ effectif près du drain. Cette augmentation se manifeste généralement par une augmentation du taux d'ionisation, observée par l'apparition du courant substrat I_{BS} (figure 2.22) dans les transistors sur silicium massif. Cela est considéré comme la signature classique de la génération de porteurs chauds dans le canal.

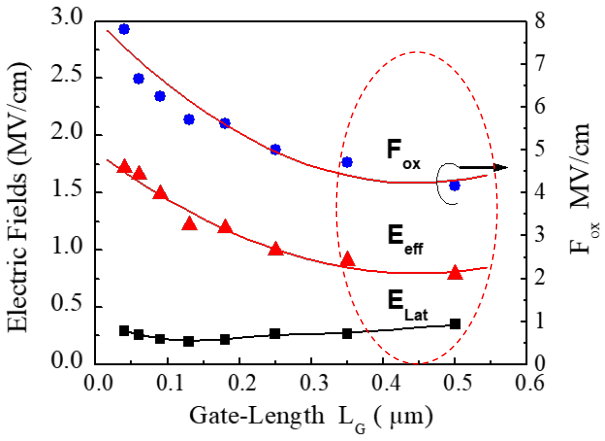


FIGURE 2.24 – Mesures du champ électrique dans l'oxyde (F_{ox}), le champ latéral (E_{Lat}) et le champ effectif dans le canal (E_{eff}) pour les différentes générations NMOS sur SOI [100].

Par ailleurs, le nombre de porteurs du canal croit avec la réduction des dimensions et leur énergie vont augmenter avec l'intégration, ce qui peut entraîner une dégradation HCD accrue comme le montre la figure 2.25.

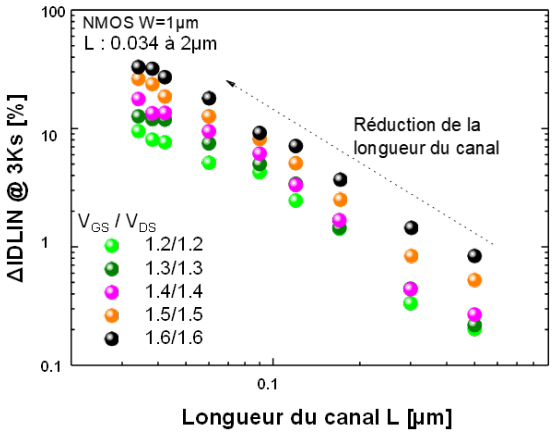


FIGURE 2.25 – Dégradation du courant I_{DLIN} après 3000s de stress HCD à $V_{GS} = V_{DS}$ en fonction de la longueur du canal L sur un transistor NMOS FDSOI [101].

2.3.2.2 Ionisation par impact

Le phenomene d'ionisation par impact (II) est aussi associé au porteurs chauds car sous l'action d'un champ latéral, ils acquièrent suffisamment d'énergie et entraînent la création de paires électron-trou par collision avec les atomes du réseau. Dans le cas d'un nMOS, par exemple comme montré à la figure 2.26, un électron de la bande de conduction peut perdre de l'énergie lors d'une collision inélastique avec un atome du réseau. Cette énergie peut alors exciter un électron de la bande de valence, qui passe dans la bande de conduction, laissant un trou dans la bande de valence. Ce processus conserve l'énergie totale et le moment du porteur initial. Les électrons

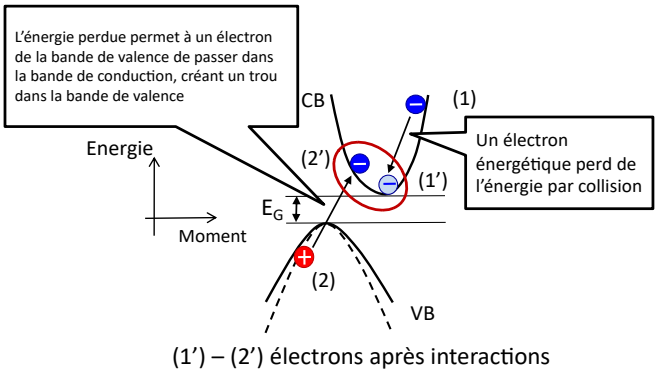


FIGURE 2.26 – Illustration schématique du phénomène d'ionisation par impact (II) pour un transistor NMOS.

issus de l'ionisation par impact peuvent gagner suffisamment d'énergie pour créer à leur tour de nouvelles paires électron-trou. Ce phénomène est appelé le phénomène multiplicatif d'avalanche de porteurs, qui se traduit par une forte augmentation du courant de drain (figure 2.27). Bien que la génération de porteurs et leur dépendance à l'égard de V_{GS} soient significativement distincts pour le PMOS et le NMOS en raison de la différence d'énergie du seuil de l'II et de la hauteur de barrière énergétique des électrons et trous, Le courant d'ionisation est plus élevé dans un transistor NFET que dans un transistor PFET sous la même polarisation inverse (figure 2.27). Pour atteindre l'avalanche sur un MOS, il faut appliquer une tension suffisamment élevée environ 2 fois le V_{DD} pour créer un champ électrique intense dans la région de déplétion de la jonction PN. Cependant, grâce à des mesures de protection appropriées, telles que la protection contre les décharges électrostatiques (ESD), il est possible de prévenir l'avalanche et de protéger le circuit contre les phénomènes qui pourraient l'engendrer.

En fonction de la polarisation appliquée (V_{GS}/V_{DS}) et donc du champ électrique (Vertical/Lateral), les porteurs générés peuvent être injectés dans l'oxyde de grille, vers le drain ou renvoyés vers le substrat. Lorsque la tension de stress à la grille est d'environ $V_{GS} \approx \frac{V_{DS}}{2}$, les porteurs peuvent générer des états d'interface qui sont des liaisons pendantes à l'interface et induire un piégeage de charges négatives dans l'oxyde de grille. Ce piégeage d'électrons deviennent plus importants dans la zone de recouvrement grille-drain et l'espaceur lorsqu'on augmente la tension de stress de la grille jusqu'à $V_{GS} = V_{DS}$.

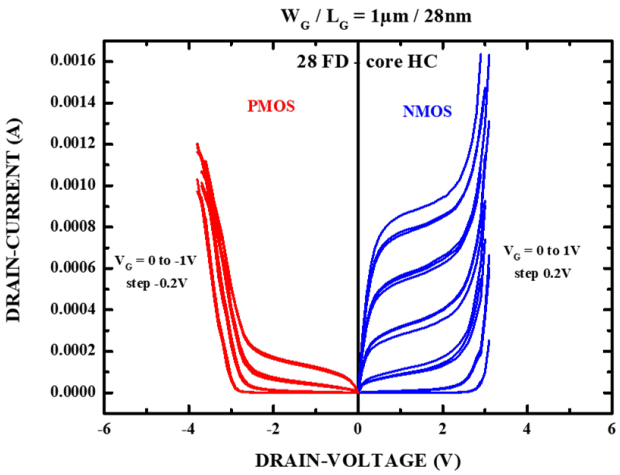


FIGURE 2.27 – Mesures du courant I_{DS} en fonction de V_{DS} avec des V_{GS} variables sur des CMOS FDSOI W_G / L_G = 1μm / 28nm. Le courant d'ionisation par impact est plus élevé dans le NFET que dans le PFET sous une même polarisation inverse.

En général, on considère que la plupart des trous produits par l'ionisation par impact sont recueillis par le substrat. Le courant I_{BS} est alors utilisé pour mesurer le nombre de paires électron-trou créées. La forme en cloche de la courbe I_{BS} en fonction de V_{GS}, obtenue sur la figure 2.28, peut être expliquée par la dépendance du nombre

de paires électron-trou en fonction du nombre et de l'énergie des porteurs, à travers le champ électrique latéral. Si l'on considère l'équation (2.34) comme l'expression de l'énergie effective, cette dépendance peut être expliquée.

$$E_{EFF} = qV_{EFF} \propto q(V_{DS} - V_{DSat}) \tag{2.34}$$

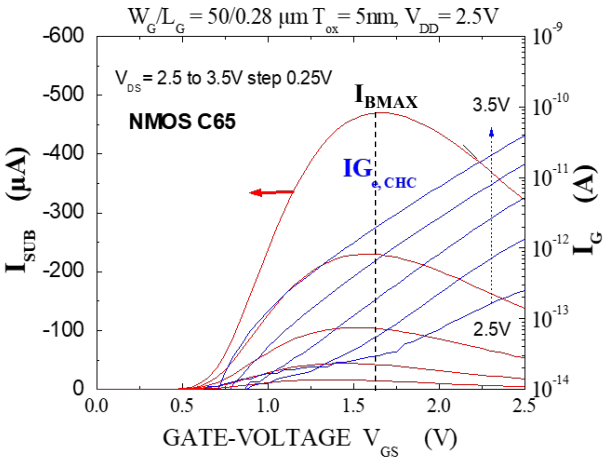


FIGURE 2.28 – Mesure des courants I_{BS} avec une forme en cloche (I_{Bmax}) caractéristique de la multiplication des porteurs issus de l'ionisation secondaire, et I_G sur transistor NMOS W_G / L_G = 50 / 0.28μm de la technologie 65nm en fonction de V_{GS} pour V_{DS} variable montrant l'accélération sur le courant injecté vers la grille.

L'augmentation de la tension V_{GS} à de faibles valeurs engendre une croissance du nombre de porteurs, car l'énergie des porteurs est élevée (équation (2.34)). Ceci a pour conséquence d'accroître la formation de paires électron-trou, et donc d'augmenter I_{BS} (jusqu'à I_{Bmax}). Cependant, cette dynamique s'inverse lorsque la tension V_{GS} devient élevée, en raison de la réduction d'énergie induite par le champ électrique latéral. Cette réduction l'emporte sur l'effet de l'augmentation du nombre de porteurs, ce qui engendre une diminution de I_{BS} (figure 2.28).

2.3.2.3 Les modes d'injections des porteurs chauds

Le mécanisme d'injection de porteurs chauds peut se produire de différentes manières. Quatre types d'injections ont été identifiés dans les études antérieures [102] :

– L'injection de porteurs chauds du canal (Channel Hot Carrier CHC), est composée d'électrons chanceux "Lucky Electrons" et se produit principalement lorsqu'ils ont suffisamment d'énergie pour passer la barrière Si/SiO_2 sans subir de collision dans le canal. Cette notion a été introduite pour les porteurs chauds par Hu en 1979 [103]. Le maximum du courant de grille I_{GS} est atteint aux alentours de la condition $V_{GS} = V_{DS}$, où le champ vertical est favorable à l'injection des porteurs du canal.

La probabilité d'injecter des porteurs vers la grille dépend de trois facteurs distincts. Le premier facteur est la probabilité de gagner suffisamment d'énergie dans le canal grâce au champ électrique E_{lat}, tout en étant redirigé vers la grille par une collision élastique sans perte d'énergie accumulée. Le deuxième facteur est la probabilité d'atteindre l'interface sans perte d'énergie par collisions, tandis que le troisième facteur est la probabilité de ne pas être repoussé par le "potentiel image" de l'oxyde, c'est-à-dire par des collisions sur des centres coulombiens.

– L'injection de porteurs chauds du substrat (SHC) est prédominante lorsque $V_{DS} = 0V$, $V_{GS} > 0V$ et $V_{DS} < 0V$, et est due à l'émission homogène de porteurs à partir du substrat dans le SiO_2. Certains porteurs créés dans le substrat sont injectés quasi-perpendiculairement à l'interface et acquièrent suffisamment d'énergie dans la zone de déplétion pour franchir la barrière Si/SiO_2 [104].

– L'injection de porteurs chauds en avalanche au drain (Drain Avalanche Hot Carrier DAHC) est due à l'ionisation par impact des porteurs dans le canal près du drain et se produit lorsque $V_{GS} < V_{DS}$. On verra dans le chapitre suivant qu'il existe des mécanismes d'injection distincts entre les électrons et les trous chauds par rapport à V_{TH} à travers les mesures du courant de grille I_{GS}. Lorsque $V_{GS} < V_{TH}$ pour un NMOS, le champ est favorable à l'injection de trous, tandis que l'injection d'électrons prédomine lorsque V_{GS} augmente mais reste inférieure à V_{DS}.

– L'injection de porteurs chauds secondaires (Secondary Generated Hot Carrier SGHC) est causé par l'ionisation par impact secondaire générée par des porteurs chauds issus d'une première ionisation [105], et accélérés par le champ dans la jonction (drain-substrat) ou assistés par des photons [106]. Cette injection est accrue quand un $V_{BS} < 0V$ est appliqué sur NMOS.

Parmi ces mécanismes d'injection, DAHC cause la dégradation la plus sévère au transistor car les électrons et trous chauds peuvent à la fois être injectés dans l'oxyde de grille. De plus, cette dégradation est fortement corrélée au courant de substrat induit par l'ionisation par impact.

2.3.2.4 Les modèles historiques de porteurs chauds

Plusieurs études ont été menées sur les différents modes d'injection, chacune visant à déterminer le mode qui entraîne la plus grande dégradation HC et le type de défauts associés. L'objectif de ce paragraphe est de passer en revue les principaux modèles de ces modes d'injection.

– Modèle en V_{DS} de Takeda :

Dans le modèle proposé par E. Takeda en 1983, la variation des paramètres élec-

triques du transistor sous l'effet d'une contrainte HCD suit une loi de puissance en fonction du temps. Ainsi Takeda a proposé un modèle simple basé sur l'observation de la variation d'un paramètre P (qui peut être I_{DS}, V_{TH} ou g_{mmax}) au cours d'une contrainte $V_{GS-I_{Bmax}}$ appliquée pendant un certain temps t [107]:

$$\Delta P \propto A\, t^n \tag{2.35}$$

A et n sont des paramètres empiriques extraits pour chaque technologie. n représente la pente de la dégradation du paramètre en fonction du temps de stress tracé sur une échelle Log-Log. Quant à A, il représente l'amplitude de la dégradation à t = 0s. Selon Takeda, la forte dépendance de A envers V_{DS} traduit le taux d'ionisation par impact en liaison au courant de substrat comme decrit l'équation (2.36). En revanche, n présente une forte dépendance envers V_{GS} mais peu de dépendance envers V_{DS}.

$$A \propto I_{BS} \propto \exp\left(-\frac{\alpha}{V_{DS}}\right) \tag{2.36}$$

Des équations (2.35) et (2.36) on peut déduire l'expression de la durée de vie τ du MOS pour une certaine de dégradation :

$$\tau \propto \exp\left(-\frac{\alpha}{n.V_{DS}}\right) \tag{2.37}$$

Dans l'étude de Takeda, la dégradation est associée à la création de défauts d'interface car la variation de g_{mmax} présente la même dépendance temporelle que la création de N_{it}. Ces défauts d'interface seraient causés par l'injection de trous chauds. Cette conclusion est basée sur deux observations : une bonne corrélation entre le maximum d'I_{BS} et le maximum de défauts d'interface créés sur NMOS (injection DAHC), et une absence de corrélation entre ces mêmes paramètres sur PMOS, tandis que le pire cas de dégradation est obtenu sur PMOS à $V_{GS} = V_{DS}$, condition qui correspond au maximum d'injection de trous chauds (injection CHC) [108].

Ce modèle illustré à la figure 2.29 est très répandu dans l'industrie car grâce à sa simplicité il permet d'estimer rapidement la dégradation HC du pire cas avec un nombre limité de conditions de stress en fonction de la tension V_{DS}. Il est efficace pour un V_{DS} fixe, mais reste limité pour une large gamme de conditions V_{DS}/V_{DS}.

– Modèle de Hu de « l'électron chanceux » (LEM) :

Le modèle de Hu, également connu sous le nom de "Lucky Electron Model" (LEM), se base sur l'hypothèse d'électron chanceux (2.3.2.3) [109] pour modéliser l'effet des porteurs chauds, qui est la création de défauts d'interface qui dominent la dégradation HC. il permet de calculer le nombre de paires électron-trou créées à partir du courant du substrat I_{BS} à l'aide de l'équation :

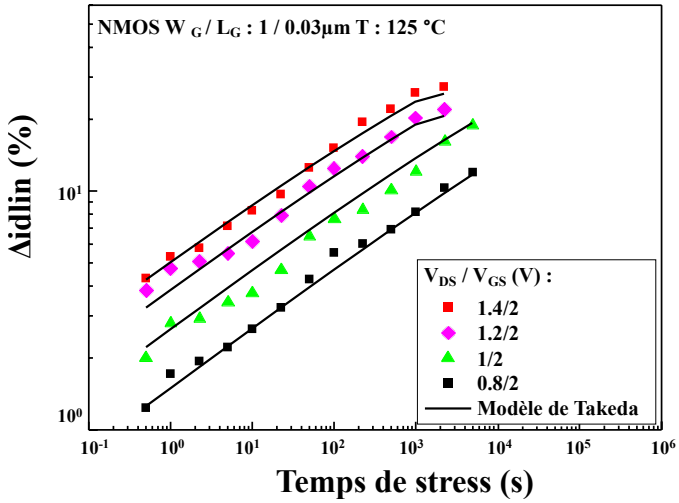


FIGURE 2.29 – Les courbes de dégradation du courant de drain mesuré en régime linéaire au fil du temps pour une contrainte à $V_{GS} = 2V$ et V_{DS} variable sur un transistor NMOS 28LP. Les courbes sont comparées au modèle de Takeda ($n = 0,24$) [101].

$$I_{BS} \propto I_{DS}.\exp\left(-\frac{\varphi_{ii}}{q\,.\,\lambda\,.\,E_{Lat}}\right) \tag{2.38}$$

Cette équation exprime le fait qu'un porteur du canal, représenté par I_{DS}, a une probabilité d'ionisation donnée par l'exponentielle de générer une paire électron-trou. Cette probabilité dépend du libre parcours moyen du porteur, représenté par λ, et de l'énergie minimum nécessaire pour créer une ionisation par impact, représentée par φ_{ii}. Ainsi, $(\varphi_{ii} / q\,.\,E_{Lat})$ représente la distance que le porteur doit parcourir dans le champ E_{Lat} pour atteindre l'énergie φ_{ii}.

Le courant I_{GS} et le nombre de défauts d'interface ΔN_{it} créés peuvent être exprimés de manière similaire en remplaçant φ_{ii} par φ_b et φ_{it} respectivement par les équations (2.39) et (2.40). φ_b représente l'énergie de la barrière à l'interface Si/SiO_2, tandis que φ_{it} représente l'énergie nécessaire à la création d'un défaut d'interface.

$$I_{GS} \propto I_{DS}.\exp\left(-\frac{\varphi_b}{q\,.\,\lambda\,.\,E_{Lat}}\right) \tag{2.39}$$

$$\Delta N_{it} \propto \left[t\,.\,\frac{I_{DS}}{W_G}\,.\,\exp\left(-\frac{\varphi_{it}}{q\,.\,\lambda\,.\,E_{Lat}}\right)\right]^n \tag{2.40}$$

En définissant τ la durée de vie du MOS, les équations (2.38) et (2.40) peuvent être transformer en (2.41) et (2.42) respectivement :

$$\left(\frac{I_{BS}}{I_{DS}}\right)^{\frac{\varphi_{it}}{\varphi_{ii}}} \propto \exp\left(-\frac{\varphi_{it}}{q\,.\,\lambda\,.\,E_{Lat}}\right) \tag{2.41}$$

$$\tau \propto \left[\frac{I_{DS}}{W_G} \,.\, \exp\left(-\frac{\varphi_{it}}{q \,.\, \lambda \,.\, E_{Lat}}\right)\right]^{-1} \tag{2.42}$$

Ainsi la durée de vie τ du MOS est donnée par l'équation suivante :

$$\tau \propto \left(\frac{I_{DS}}{W_G}\right)^{-1} \,.\, \left(\frac{I_{BS}}{I_{DS}}\right)^{-m} \text{avec } m = \frac{\varphi_{it}}{\varphi_{ii}} \tag{2.43}$$

D'après les travaux de Tam [110], l'énergie minimum nécessaire φ_{ii} pour créer une ionisation par impact est estimée à environ 1,3 eV. Ainsi de la valeur expérimental de la pente m, l'énergie nécessaire pour créer un défaut d'interface φ_{it} est évaluée à 3,7 eV [109], [111]. Le libre parcours moyen des électrons λ = 9nm.

Selon C. Hu, la dégradation des paramètres électriques des transistors est principalement due à la création de défauts d'interface N_{it}, contredisant ainsi l'hypothèse d'E. Takeda selon laquelle l'origine de la dégradation est liée aux trous chauds. C. Hu estime que les trous ne peuvent pas être la cause principale de la dégradation car ayant un libre parcours moyen plus petit, ce qui les rend moins efficaces que les électrons pour gagner de l'énergie. De plus, si les trous générés par l'ionisation par impact étaient la source de la dégradation du NMOS, le PMOS devrait être beaucoup plus dégradé car le nombre de trous dans le canal est plus élevé. Bien que C. Hu traite également de la physique du PMOS, il ne présente pas de données PMOS modélisées par son équation.

J. Tzou suggère une modification du LEM en considérant que la dégradation est due à l'injection et au piégeage de porteurs résultant de l'ionisation par impact dans l'oxyde [112]. Ainsi pour le PMOS, l'injection et le piégeage d'électrons issus de l'II sont prises en compte donnant l'équation (2.44). Cela se traduit par une transformation de l'équation (2.42) en :

$$\tau \propto I_{BS}^{-1} . \exp\left(\frac{\varphi_b}{q \,.\, \lambda_e \,.\, E_{Lat}}\right) \tag{2.44}$$

Où λ_{e} est le libre parcours moyen d'un électron et λ_{h} le libre parcours moyen d'un trou. A partir de l'équation (2.41), on réécrit l'équation d'II du PMOS par :

$$\left(\frac{I_{BS}}{I_{DS}}\right)^{\frac{\varphi_b}{\varphi_{ii}}} \propto \exp\left(-\frac{\varphi_b}{q \,.\, \lambda_h \,.\, E_{Lat}} \,.\, \frac{\lambda_e}{\lambda_e}\right) \propto \exp\left(\frac{\varphi_b}{q \,.\, \lambda_e \,.\, E_{Lat}}\right)^{-\frac{\lambda_e}{\lambda_h}} \tag{2.45}$$

Et l'équation (2.45) devient :

$$\left(\frac{I_{BS}}{I_{DS}}\right)^{-\frac{\varphi_b \,.\, \lambda_h}{\varphi_{ii} \,.\, \lambda_e}} \propto \exp\left(\frac{\varphi_b}{q \,.\, \lambda_e \,.\, E_{Lat}}\right) \tag{2.46}$$

Ainsi l'équation de la durée de vie τ du MOS (2.44) devient :

$$\tau \propto I_{BS}^{-1} \cdot \left(\frac{I_{BS}}{I_{DS}}\right)^{-\frac{\varphi_b \cdot \lambda_h}{\varphi_{ii} \cdot \lambda_e}} \tag{2.47}$$

Les premiers modèles HCD étaient généralement basés sur l'étude du pire cas de dégradation, qui était atteint aux conditions $V_{GS-I_{Bmax}}$ sur NMOS et à $V_{GS} = V_{DS}$ sur PMOS [108], [109]. Cependant, se baser uniquement sur le pire cas impose des contraintes trop strictes pour évaluer la durée de vie d'un circuit et ne permet pas l'obtention d'un modèle complet couvrant toutes les conditions V_{GS}, V_{DS}. Dans la sous-section suivante l'interaction entre les porteurs chauds et froids, qui conduit à deux mécanismes concurrents de rupture de liaison et une forte localisation des dommages causés par les porteurs chauds ont été mis à contribution dans la dégradation HC.

2.3.2.5 Les modèles impliquant la présence de plusieurs porteurs

Il existe actuellement quatre principaux modèles HCD impliquant la présence de plusieurs porteurs dont on peut citer le modèle Hess-Haggag [113], [114], le paradigme énergétique de Rauch-Rosa, le modèle du groupe Bravaix-Huard et enfin le modèle du groupe Tyaginov-Grasser [115].

Il est vrai que la modélisation HCD est un domaine très vaste et complexe, avec de nombreux modèles et approches différents pour décrire les différents modes de dégradation. Étant donné la complexité du sujet, il est souvent nécessaire de se restreindre à l'étude de quelques modèles pour pouvoir les comprendre en profondeur. Cependant, il est important de noter que chaque modèle ou approche a ses avantages et ses limites, et qu'il est souvent nécessaire de combiner plusieurs modèles pour obtenir une description complète et précise des phénomènes en jeu. Par conséquent nous nous sommes volontairement limité aux modèles qui sont essentiels à notre étude :

– Modèle de recombinaison électron-trou :

Lorsque le transistor MOS est en mode de saturation, la tension de drain est élevée et le champ électrique d'oxyde E_{ox} est également élevé. Dans le cas d'un NMOS comme illustré à la figure 2.30, ce champ électrique E_{ox} attire les trous issus de l'ionisation par impact dans la zone du drain la plus proche du canal, ainsi que les électrons dans la zone du canal la plus proche du drain. Ces électrons et trous peuvent se recombiner dans l'oxyde de grille situé au-dessus de la jonction drain-source, créant ainsi des défauts dans l'oxyde qui peuvent affecter la performance du transistor.Ce phénomène est connu sous le nom de recombinaison électron-trou dans l'oxyde et peut entraîner une dégradation de la performance du transistor MOS.

N. Koike a proposé un modèle physique de durée de vie d'injection de porteurs chauds en avalanche au drain (DAHC) qui s'applique aux NMOS et PMOS. Le modèle est basé sur un mécanisme de génération de pièges d'interface causé par la recombinaison d'électrons et de trous chauds qui entraine la rupture de certaines liaisons Si-H.

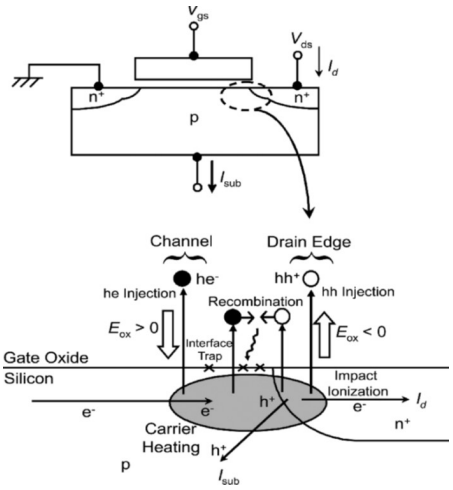


FIGURE 2.30 – Mécanisme de recombinaison électron-trou associé à la dégradation par porteurs chauds en mode d'avalanche au drain (DAHC) [116].

Les porteurs ayant une énergie même faible peuvent causer des défauts d'interface, contrairement aux modèles où un seul porteur incident est impliqué dans la création du défaut. Cela est dû au fait que l'énergie libérée après la recombinaison est la somme de l'énergie de chaque porteur en plus de l'énergie de gap du silicium. La dégradation est maximale lorsque les deux types de porteurs sont disponibles, c'est-à-dire lorsque la condition $V_{GS-I_{Bmax}}$ est atteinte. En utilisant ce modèle, la durée de vie τ est inversement proportionnelle à la densité de courant des électrons chauds (I_{he} / W_G) et des trous chauds (I_{hh} / W_G) soit :

$$\frac{1}{\tau} \propto \left(\frac{I_{he}}{W_G}\right) . \left(\frac{I_{hh}}{W_G}\right) \tag{2.48}$$

Où :

$$I_{he} \propto I_{DS}.\exp\left(-\frac{\varphi_{ite}}{q\,.\,\lambda_e\,.\,E_m}\right) \quad et \quad I_{hh} \propto I_{BS}.\exp\left(-\frac{\varphi_{ith}}{q\,.\,\lambda_h\,.\,E_m}\right) \tag{2.49}$$

φ_{ite} et φ_{ite} représentent les énergies requises pour qu'un électron et un trou, respectivement, créent un défaut d'interface.

– Modèle de Rauch en énergie associé au phénomène d'EES :

Le modèle LEM et celui de Takeda comme on la vu précédemment, prédisent que la dégradation par porteurs chauds ne se produit pas lorsque l'énergie des porteurs est inférieure à 3,7 eV [109]. Cependant, certaines mesures de courant de grille liées à l'injection de porteurs chauds ont montré une dégradation jusqu'à $V_{DS} = 2.35V$ [117], tandis que d'autres ont observé une dégradation jusqu'à $V_{DS} = 2.5V$ [102], même lorsque l'énergie des porteurs est inférieure à 3,2 eV (barrière Si/SiO_2 pour un électron). C. Hu a interprété ces données différemment [109], en suggérant que l'énergie des porteurs du canal peut être supérieure à qV_{DS} s'ils sont en quasi-équilibre thermique et qu'il y a des interactions électron-électron (EES).

Des simulations Monte Carlo ont prédit que les électrons dont l'énergie est augmentée par EES, devraient être prédominants dans la Fonction de Distribution en Énergie des Porteurs (FDEP ou f(E)) dans la zone de forte énergie pour des tensions de drain inférieures à 3 V [118]-[120]. S. Rauch est le premier à avoir utilisé le phénomène d'EES dans un modèle pour expliquer la persistance de la dégradation par porteurs chauds à faibles tensions de drain V_{DS} [121]. Dans le mode EES, les porteurs peu énergétiques peuvent interagir entre eux jusqu'à atteindre une énergie suffisante pour briser la liaison Si-H. À partir du LEM, le modèle de Rauch décrit f(E) suivant la statistique Maxwell-Boltzmann et se caractérisant par sa température effective T_{EFF} :

$$f(E) \propto \exp\left(\frac{-E}{k_B \,.\, T_{EFF}}\right) \quad avec \quad k_B \,.\, T_{EFF} = q \,.\, \lambda \,.\, E_{Lat} \tag{2.50}$$

La Fonction de Distribution en Énergie des Porteurs f(E) est déterminée par le champ électrique latéral et reflète le nombre de porteurs ayant une énergie donnée. En intégrant la f(E) sur toute la gamme d'énergie, on peut obtenir une estimation macroscopique du courant de drain I_{DS}. Cependant, pour estimer correctement le nombre de porteurs, il est également nécessaire de prendre en compte la probabilité d'interaction de ces porteurs avec leur environnement. Cette probabilité est appelée fonction S_i (pour Scattering). L'interaction d'un porteur peut se produire avec le réseau de silicium pour créer une paire électron-trou par ionisation par impact (S_{ii}) ou avec une liaison Si-H de l'interface pour former un N_{it} (S_{it}). Le taux d'interaction R_i d'un porteur est finalement déterminé par l'intégrale du produit de (f(E)) et S_i sur toute la gamme d'énergie [122] :

$$R_i = \int f(E) \,.\, S_i(E) \; dE \tag{2.51}$$

On peut décrire les probabilités qu'un électron crée une ionisation par impact S_{ii} ou qu'un porteur rompe une liaison atomique S_{it} en fonction des seuils d'énergie φ_{ii} et φ_{it} à l'aide des expressions de type Keldyish [123]. Dans le LEM classique l'exposant $p_{ii} = 2$:

$$S_{ii}(E) \propto \left(E - \varphi_{ii}\right)^{p_{ii}} \tag{2.52}$$

$$S_{it}(E) \propto \left(E - \varphi_{it}\right)^{p_{it}} \tag{2.53}$$

Le taux d'interaction R_i représenté sur la figure 2.31 (a) par une surface hachurée. Étant donné que l'axe des ordonnées est en échelle logarithmique, le taux R_i peut être principalement caractérisé par son énergie dominante E_{domi}, comme l'a souligné Rauch [122]. Cette énergie E_{domi} décrit une population importante et fortement énergétique.

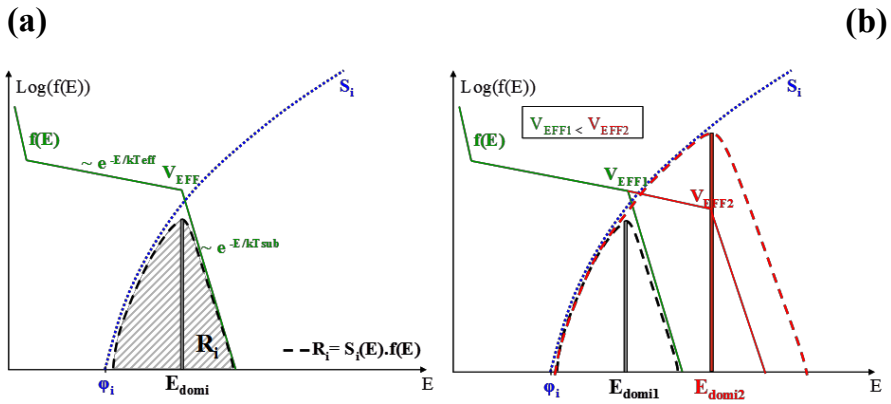


FIGURE 2.31 – Illustration schématique des fonctions S_i et f(E) selon le LEM. La zone hachurée (a) représente le taux d'interaction R_i qui peut être rapporté à une énergie dominante E_{domi} peu dépendante de la condition de polarisation (b) [124].

Dans cette approche, le coude de la fonction Si au niveau de son seuil est suffisamment marqué (en comparaison avec la fonction f(E)) pour permettre de définir une énergie dominante fixe proche du seuil φ_i. Selon les équations (2.51), (2.52) et (2.53) une expression commune aux deux taux d'interaction R_i peut être formulée :

$$R_i \propto \int f(E) \,.\, (E - \varphi_i)^{p_i} \, dE \tag{2.54}$$

On peut définir mathématiquement l'énergie E_{domi} par l'équation suivante :

$$E = E_{domi} \quad si \quad d\left[\frac{f(E) \,.\, (E - \varphi_i)^{p_i}}{dE}\right] = 0 \tag{2.55}$$

T_i étant la température désignée dans l'équation (2.50), la dérivée de f(E) par rapport à E est égale à $-1/(k_B\, T_i).f(E)$ pour une valeur constante de T_i indépendante de E. Dans ce cas, la solution de l'équation (2.55) est la suivante :

$$E_{domi} = \varphi_i + p\, k_B\, T_i \tag{2.56}$$

Si l'on considère uniquement le premier terme du développement de f(E) en série de

Taylor autour de E = E_{domi}, l'équation (2.54) peut être simplifiée comme suit :

$$R_i \approx f(E_{domi}) \,.\, {T_i}^{p_i} \tag{2.57}$$

La figure 2.31 (b) représente le taux d'interaction R_i pour deux valeurs de champ latéral, c'est-à-dire deux valeurs de T_{EFF}. Lorsque le champ latéral augmente, par exemple avec V_{DS}, la valeur de T_{EFF} augmente également, entraînant une augmentation de R_i.

L'EES entraîne une modification de la fonction f(E) pour les hautes énergies. Pour modéliser cette nouvelle fonction f(E), S. Rauch propose de la décomposer en deux distributions ayant des T_{EFF} différentes. La valeur de T_{ii} est associée à la population sans EES, tandis que T_{it} correspond à celle avec EES comme illustré à la figure 2.32.

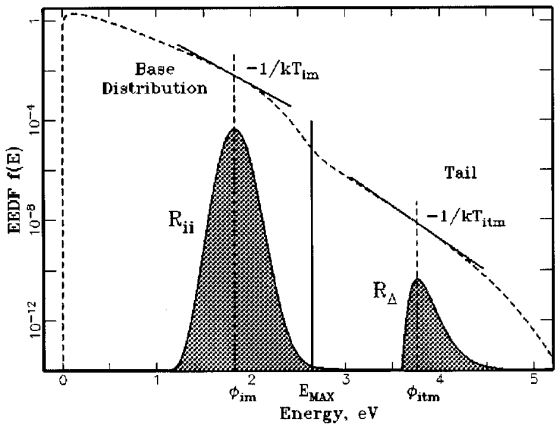


FIGURE 2.32 – Représentation d'une fonction f(E) généralisée pour une valeur E_{max} de 2.6 eV. Les taux d'interaction R_{ii} et R_{it} sont représentés par les hachures avec les énergies dominantes φ_{ii}, φ_{it} et les températures effectives T_{ii} et T_{it} correspondantes [125].

S. Rauch a déterminé les durées de vie pour les deux populations en considérant un nombre de porteurs donné par I_{DS}^2 dans le cas où deux porteurs interagissent pour acquérir suffisamment d'énergie et créer un défaut , et par I_{DS} s'il n y pas interaction [121] :

$$\tau_1 \propto I_{DS}^{-1}.\exp\left(-\frac{\varphi_{it}}{q \,.\, T_{ii}}\right) \tag{2.58}$$

$$\tau_2 \propto I_{DS}^{-2}.\exp\left(-\frac{\varphi_{it}}{q \,.\, T_{it}}\right) \tag{2.59}$$

la durée de vie totale est donnée par :

$$\tau^{-1} = \tau_1^{-1} + \tau_2^{-1} = C_1\ I_{DS} \left(\frac{I_{BS}}{I_{DS}}\right)^{m_1} + C_2\ I_{DS}^2 \left(\frac{I_{BS}}{I_{DS}}\right)^{m_2} \text{ avec } m_1 = \frac{\varphi_{it}}{\varphi_{ii}}\ et\ m_2 = \frac{\varphi_{it} T_{ii}}{\varphi_{ii} T_{it}} \tag{2.60}$$

– Modèle HCD complet en courant à trois modes d'énergie de C. Guérin :

L'approche classique de modélisation HCD avec une seule dépendance en V_{DS}, telle que le modèle de Takeda, peut comporter des risques pour les nouvelles technologies à V_{DD} plus faible. En effet, l'accélération en V_{DS} varie selon les conditions de polarisation V_{DS}/V_{GS} utilisées. Cette accélération varie également en fonction de l'intégration des technologies qui utilisent désormais des empilements de grille à diélectrique high-K et grille métallique, ainsi que des structures source-drain modifiées par rapport au transistor MOS standard ou de type LDD, MDD utilisées dans les noeuds LP.

Suite à l'évolution du modèle de Takeda et du LEM vers un modèle en énergie [121] qui prend en compte l'interaction entre porteurs EES, Guérin a développé un modèle HCD complet qui couvre une large gamme de polarisations [42]. Ce modèle prend en compte les trois modes de dégradation qui sont le phénomène d'excitation vibrationnelle unique (Single Vibrational Excitation SVE, figure 2.23b), l'interaction électron-électron EES et le mode d'excitation vibrationnelle multiple (Multiple Vibrational Excitation MVE, figure 2.23b), tout en supposant que les dégradations HCD liées aux trois modes se produisent simultanément et que chaque mode prédomine dans sa gamme d'énergie en fonction des valeurs de V_{DS}/V_{GS}.

Pour la gamme de polarisation mode 1 (M1) de forte énergie, la création des états d'interface se produit lorsque la polarisation appliquée au niveau du drain est largement supérieure à celle appliquée sur la grille ($V_{DS} >> V_{GS}$). Dans ce mode, les porteurs incidents acquièrent suffisamment d'énergie sous l'effet du fort champ électrique latéral pour entrainer seuls l'excitation des liaisons Si-H et induire leur rupture. Ce phénomène est appelé excitation vibrationnelle unique (SVE). La durée de vie τ_1 a été modélisée par Guerin comme suit :

$$\tau_1^{-1} \propto \left(\frac{I_{DS}}{W_G}\right)\left(\frac{I_{BS}}{I_{DS}}\right)^{m} \text{ avec } m = \frac{\varphi_{it}}{\varphi_{ii}} \tag{2.61}$$

Le mode 2, également appelé mode intermédiaire, se produit lorsque la tension au niveau du drain est proche ou équivalente à la tension appliquée au niveau de la grille ($V_{DS} \approx V_{GS}$). Contrairement au M1, les porteurs incidents possèdent moins d'énergie et sont individuellement incapables d'exciter l'état de résonance de la liaison. Cependant, grâce au phénomène d'interaction électron-électron EES, certains porteurs peuvent acquérir suffisamment d'énergie pour provoquer la rupture des liaisons Si-H. La durée de vie τ_2 a été modélisée comme suit :

$$\tau_2^{-1} \propto \left(\frac{I_{DS}}{W_G}\right)^2 \left(\frac{I_{BS}}{I_{DS}}\right)^m \tag{2.62}$$

Les modes M1 et M2 sont décrits par une dépendance en champ latéral $\left(\frac{I_{BS}}{I_{DS}}\right)$ qui exprime l'énergie des porteurs, et une dépendance en courant $\left(\frac{I_{DS}}{W_G}\right)$ qui exprime leur densité dans le canal. La valeur de m a été mesurée expérimentalement. Pour les modes M1 et M2 à m = 2.7.

Le mode 3 ou mode de faible énergie, se produit lorsque la polarisation au niveau de la grille est bien supérieur à celle appliquée sur le drain ($V_{GS} >> V_{DS}$). L'excitation à la résonance de la liaison pour ce mode est due au nombre de porteurs plutôt qu'à leur énergie [42], [126]. Ainsi, chaque porteur apporte sa contribution d'énergie $\hbar\omega$ pour peupler un niveau supplémentaire du mode vibrationnel jusqu'à ce que la barrière d'énergie E_B soit atteinte et que la rupture des liaisons Si-H se produise. Ce phénomène est appelé excitation vibrationnelle multiple (MVE) [127], [128]. Le taux de rupture des liaisons Si-H par le mécanisme MVE est appelé R_{bMVE} et se définit par :

$$R_{bMVE} = n_0 \upsilon \left[\frac{S_{MVE} \cdot \left(\frac{I_{DS}}{e}\right) + w_e \exp\left(\frac{-\hbar\omega}{k_B T}\right)}{S_{MVE} \cdot \left(\frac{I_{DS}}{e}\right) + w_e}\right]^{\frac{E_B}{\hbar\omega}} \cdot \exp\left(\frac{-E_{emi}}{k_B T}\right) \tag{2.63}$$

S_{MVE} est le taux d'interaction inélastique d'un porteur avec un mode vibrationnel [129]. Ce taux dépend légèrement de l'énergie des porteurs, avec une dépendance telle que :

$$S_{MVE}(E) \propto (V_{DS} - \hbar\omega)^{0.5} \tag{2.64}$$

Le taux R_{bMVE} (équation (2.63)) peut être simplifié car $w_e . \exp\left(-\frac{\hbar\omega}{k_B T}\right)$ est négligeable par rapport à $S_{MVE}.(\frac{I_{DS}}{e})$ qui est lui-même très inférieur à w_e, ainsi la durée de vie τ_3 du M3 peut se modéliser par :

$$\tau_3^{-1} = R_{bMVE} \propto \left[(V_{DS} - \hbar\omega)^{0.5} \cdot \left(\frac{I_{DS}}{W_G}\right)\right]^{\frac{E_B}{\hbar\omega}} \cdot \exp\left(\frac{-E_{emi}}{k_B T}\right) \tag{2.65}$$

En supposant que les dégradations liées aux trois modes ont lieu en parallèle et que chacun des modes est dominant dans sa gamme d'énergie, Guérin dans son modèle complet donne la dégradation totale en sommant les trois contributions :

$$\frac{1}{\tau} = \sum_i \frac{1}{\tau_i} \tag{2.66}$$

Soit :

$$\frac{1}{\tau} = K_{SVE}\cdot\left(\frac{I_{DS}}{W_G}\right)^{a_1}\cdot\left(\frac{I_{BS}}{I_{DS}}\right)^{m} + K_{EES}\cdot\left(\frac{I_{DS}}{W_G}\right)^{a_2}\cdot\left(\frac{I_{BS}}{I_{DS}}\right)^{m} + K_{MVE}\cdot V_{DS}^{\frac{a_3}{2}}\cdot\left(\frac{I_{DS}}{W_G}\right)^{a_3}\cdot\exp\left(-\frac{E_{emi}}{k_B T}\right)^{m} \quad (2.67)$$

Avec K_{SVE}, K_{EES} et K_{MVE} les constantes de proportionnalité pour chaque mode d'excitation respectif.

La figure 2.33 représente la courbe caractéristique de $\tau \cdot r_{ii}$ en fonction de (I_{DS}/W), où le paramètre $r_{ii} \approx I_{BS}/I_{DS}$ est introduit pour représenter le taux d'ionisation par impact. Les deux premiers modes de dégradation, M1 et M2, sont liés au taux d'ionisation par impact, c'est-à-dire au rapport r_{ii} et au courant de drain I_{DS}. Cependant, ce n'est pas le cas pour le mode en basse énergie, M3, qui dépend du mode d'excitation par multi-vibrations des liaisons atomiques et du nombre de porteurs incidents dans le canal.

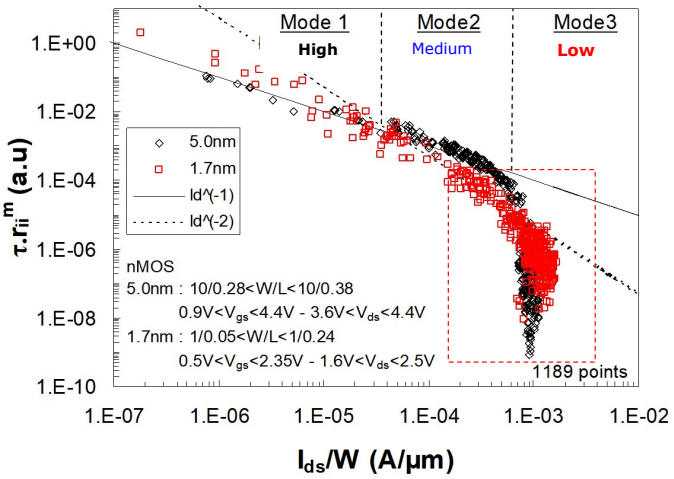


FIGURE 2.33 – Les différents modes de dégradation HCD en fonction du courant de drain montrant ainsi les dépendances avec l'énergie des porteurs incidents pour les transistors 45nm et 65nm NMOS [126].

On observe également sur la figure 2.33 une dépendance linéaire du mode M1 avec une pente de -1 (forte énergie), tandis que dans le mode M2 d'interaction électron-électron (énergie intermédiaire), la dépendance en I_{DS} est quadratique avec une droite de pente en puissance -2 en échelle log-log. La dépendance en I_{DS} est plus complexe pour le mode M3 (faible énergie) en raison de la forte dépendance du couple V_{GS}, V_{DS} sur le niveau de courant I_{DS} et le nombre de porteurs en résonance avec l'excitation des phonons pendant la contrainte.

2.3.3 Bias Temperature Instability (BTI)

Le BTI est un phénomène de dégradation qui a été identifié dès les années 1960 [130]. La dégradation observée est due à l'ensemble des contraintes subies par les

transistors sous polarisation négative NBTI (Negative Bias Temperature Instability) et sous polarisation positive PBTI (Positive Bias Temperature Instability) sur leur grille dans un environnement à haute température. Pour ce faire, le dispositif est placé dans un four ou dans un environnement chaud, et ses quatre plots sont reliés à un générateur de tension qui applique une tension entre la grille et l'ensemble Source-Substrat-Drain (figure 2.34). En conséquence, la dégradation qui en résulte est uniforme le long du canal. Le potentiel de grille est généralement compris entre V_{DD} et 2 à 3 fois V_{DD}, et peut être positif ou négatif sur les transistors NMOS et PMOS, ce qui donne quatre configurations possibles. La contrainte de polarisation PBTI a été identifiée comme étant d'une importance significative pour les technologies les plus avancées, tant pour les transistors PMOS [131], [132] que NMOS [133]. Le cas le plus étudié reste celui d'une contrainte NBTI sur les transistors PMOS, car elle est la plus dégradante [134]. Nous allons donc nous concentrer sur ce cas.

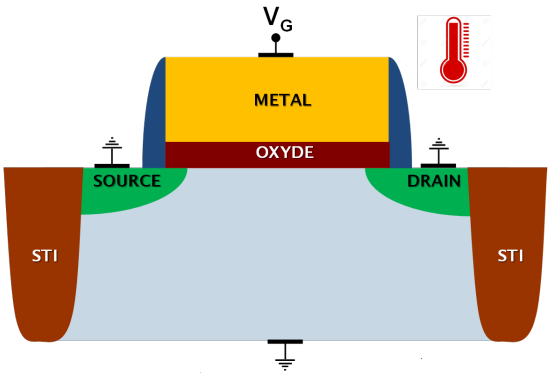


FIGURE 2.34 – Schéma illustratif de contrainte BTI. La Grille est polarisée tandis que la source, le drain et le substrat sont mis à la masse. Les conditions sont appliquées à haute température.

2.3.3.1 Historique de BTI

Dans les années 60, le terme NBTI a été introduit pour décrire la dérive des paramètres du MOS, tels que le V_{TH}, causée par la contamination extrinsèque par des ions mobiles, principalement le sodium [135]. Ces ions mobiles réagissent fortement à la température et au champ électrique en diffusant à travers l'oxyde.

Les travaux de Deal étaient les premiers à établir que la dégradation NBTI est en partie causée par la création de défauts N_{it} à l'interface. Ces travaux se concentrent sur la génération de charges d'interface pendant les processus d'oxydation et leur évolution sous contrainte électrique. Lorsqu'un champ électrique négatif est appliqué à haute température, ils ont observé l'apparition d'une charge positive qui n'est pas due à une contamination extrinsèque, mais qui a une origine intrinsèque au transistor. Cette charge est fortement liée à l'interface Si/SiO_2.

Ensuite K.O. Jeppson et M. Svensson ont approfondi l'analyse du mécanisme de dégradation et ont identifié deux phases distinctes [136]. La première phase est dominante à bas champ électrique et est limitée par la diffusion, tandis que la deuxième phase se produit à des champs électriques plus élevés et est contrôlée par l'injection de porteurs par effet tunnel et le piégeage de trous. Ils suggèrent que des atomes d'hydrogène sont libérés à l'interface Si/SiO_2. Ce modèle est à la base du modèle de Réaction-Diffusion (R-D).

Cependant, le modèle R-D a été progressivement enrichi au fil des nouvelles observations. C. Blat a notamment souligné l'importance d'avoir à la fois des trous libres dans le canal d'inversion (trou froid) et des espèces hydrogénées pour la dégradation. Lorsque la liaison Si-H réagit avec ces deux éléments, une espèce hydrogénée et positivement chargée est libérée, qui se diffuse ensuite à travers le diélectrique de grille. S. Ogawa a généralisé le concept de R-D aux espèces neutres et chargées, puis expliqué la fameuse loi temporelle de la dégradation $t^{1/4}$ (loi en puissance ou power-law) [137]. Depuis le travail d'Ogawa, le modèle R-D a été très peu modifié. Les contributions de M. Alam et S. Mahapatra [138] ont permis de le rendre plus convivial et de modéliser les dépendances en champ électrique à travers l'oxyde, en température et les effets du potentiel électrique du substrat sur l'accélération de la dégradation [139].

C. Schlünder a également contribué à la compréhension du phénomène de relaxation du NBTI, qui se produit lorsqu'un potentiel électrique positif (phase de relaxation) est appliqué à la grille après une contrainte NBTI. Il a observé que cette relaxation pouvait partiellement réparer la dégradation, en raison du piégeage et du dépiégeage de trous pendant les phases de stress et de relaxation.

2.3.3.2 Les modèles associés au NBTI

– Modèle Réaction-Diffusion :

Le processus de dégradation NBTI a été initialement expliqué par le mécanisme de "diffusion de l'hydrogène", le modèle RD (Réaction-Diffusion) illustré à la figure 2.35 tel que proposé par Jeppson et Svenson en 1977. Ce mécanisme repose sur l'hypothèse de la génération d'états d'interface N_{it} entre l'oxyde de grille et le substrat due à la dé-passivation de liaisons Si-H comme décri à l'équation (2.68) :

$$\equiv Si_3 - SiH \rightleftharpoons Si_3 - Si^{\bullet} + H \tag{2.68}$$

Il a été ensuite avancé que la diffusion de l'hydrogène est le facteur limitant de la réaction [137]. Dans ce cas, la dynamique de la dérive de la tension de seuil suit la loi de puissance en temps traditionnellement observée, avec un exposant égal à 0.25. Le modèle R-D le plus abouti a été développé par M. Alam [138], qui suppose une dissociation mono-énergétique de la liaison du Si-H, une réaction de dissociation immédiate dès qu'un potentiel électrique est appliqué sur la grille, et le caractère neutre de l'espèce hydrogénée diffusante. Le modèle R-D développé par Alam et

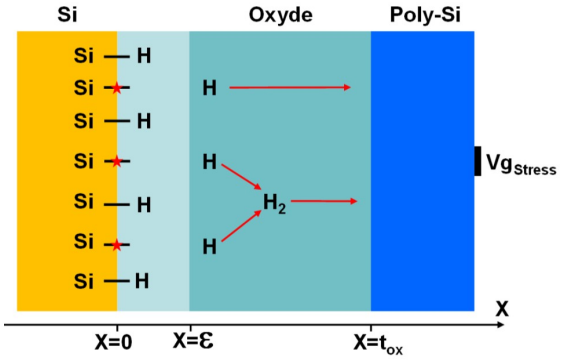


FIGURE 2.35 – Illustration du phénomène de Réaction-Diffusion qui se produit lors d'un stress NBTI. Le paramètre ε représente l'épaisseur de l'interface Si/SiO_2. Les étoiles rouges correspondent aux liaisons pendantes après dépassivation des liaisons Si-H par la contrainte NBTI [140].

Mahapatra [138] prévoit cinq phases dans la dégradation NBTI décrit sur la figure 2.36 et par les équations différentielles couplées suivantes :

$$\frac{dN_{it}}{dt} = k_f (N_0 - N_{it}) - k_R N_{it} N_H^0 \tag{2.69}$$

$$\frac{\delta}{2}\frac{dN_H^0}{dt} = D_H \frac{dN_H^0}{dx} + \frac{dN_{it}}{dt} - \delta k_H \left[N_H^0\right]^2 + \delta k_{H_2} N_{H_2}^0 \tag{2.70}$$

$$\frac{\delta}{2}\frac{dN_{H_2}^0}{dt} = D_{H_2} \frac{dN_{H_2}^0}{dx} + \frac{\delta}{2} k_H \left[N_H^0\right]^2 - \delta k_{H_2} N_{H_2}^0 \tag{2.71}$$

$$\frac{dN_H}{dt} = D_H \frac{d^2 N_H}{dx^2} - k_H N_H^2 + k_{H_2} N_{H_2} \tag{2.72}$$

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2 N_{H_2}}{dx^2} + \frac{1}{2} k_H N_H^2 - \frac{1}{2} k_{H_2} N_{H_2} \tag{2.73}$$

L'équation (2.69) décrit la passivation/dépassivation des liaisons Si-H, où k_F représente le taux de dissociation, k_R le taux de réaction, N_0 la densité initiale de liaisons avant le stress, N_{it} la densité d'états d'interface et N_H^0 la densité d'hydrogène à l'interface Si/SiO_2. Les équations (2.70) et (2.71) décrivent les flux des espèces diffusantes, l'hydrogène (H) et le dihydrogène (H_2), perpendiculairement à l'interface le long de l'axe x. Les équations (2.72) et (2.73) décrivent la diffusion le long de l'axe x de l'hydrogène (H) et du dihydrogène (H_2). Les termes $k_H N_H^2$ et $k_{H_2} N_{H_2}$ incluent la conversion $H - H_2$ dans le cadre du modèle RD. Les termes k_H et k_{H_2} dans les équations (2.70) à (2.73) correspondent aux taux de génération et de dissociation du H_2. D_H et D_{H_2} sont les coefficients de diffusion des espèces H et H_2. Les termes N_H et N_{H_2} représentent les concentrations atomiques des espèces H et H_2. Le terme δ est l'épaisseur de la couche d'interface (notée IL pour "Interface Layer").

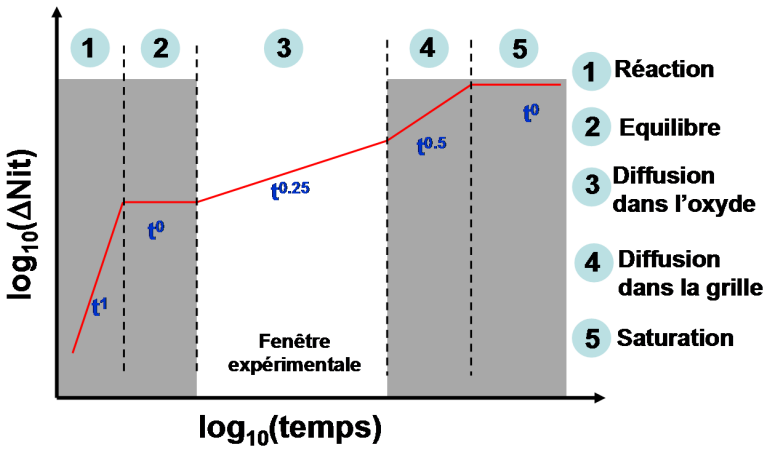


FIGURE 2.36 – Illustration des différentes phases intervenant dans le modèle de Réaction-Diffusion.Seule la phase de diffusion dans l'oxyde est observable expérimentalement [140].

La première phase du modèle de Réaction Diffusion est contrôlée par la dissociation des liaisons Si-H, tandis que la deuxième phase est celle de l'équilibre, où il y a une équivalence entre la dissociation des espèces Si-H et leur recombinaison (figure 2.36). Dans cette phase, tous les atomes d'hydrogène sont encore à l'interface. La troisième phase du modèle de Réaction Diffusion est celle de la diffusion dans l'oxyde, qui est la phase la plus importante et la seule observée expérimentalement. Elle est contrôlée par la diffusion des atomes d'hydrogène dans l'oxyde de grille. Dans cette phase, la dégradation suit une loi en puissance temporelle t^n avec $n \approx 0.25$, ce qui a conduit à la modélisation du NBTI par une loi temporelle simple pendant longtemps. La quatrième phase est celle de la diffusion dans la grille, où l'hydrogène atteint l'interface oxyde/grille poly-Si. Enfin, la dernière phase est celle de la saturation, où toutes les liaisons Si-H ont été dissociées et la génération d'états d'interface est nulle.

Le modèle RD prédit des temps de relaxation longs, ce qui signifie que la dégradation observée pendant la phase de stress ne se relaxera pas complètement. Cependant, les mesures ont montré que la cinétique de la relaxation peut prendre une forme uniforme à haute température, bien que cela ne soit pas expliqué par le modèle RD. De plus, ce modèle est très pessimiste dans l'extrapolation des durées de vie et ne permet pas de travailler sur l'ensemble de la fenêtre expérimentale. Par conséquent, la communauté a cherché à construire des modèles plus complexes pour modéliser les cinétiques obtenues lors des mesures sur différentes technologies.

– Modèle Grasser-Kaczer :

Le modèle de relaxation proposé par Grasser et Kaczer [141], [142], également appelé modèle de relaxation universelle, est composé de deux parties : une permanente et une recouvrable. La partie recouvrable repose sur la re-passivation des états d'interface

par l'hydrogène ou la neutralisation des charges piégées via un mécanisme RD. La partie permanente repose sur les états d'interfaces non passivés et les trous profonds. Les équations (2.74) à (2.76) décrivent ce modèle :

$$\Delta V_{TH} = R(t_{stress}, t_{relaxation}) + P(t_{stress}) \tag{2.74}$$

$$(t_{stress}, t_{relaxation}) = R(t_{stress}, t_{relaxation} = 0) \,.\, r\left(\frac{t_{relaxation}}{t_{stress}}\right) \tag{2.75}$$

$$r\left(\frac{t_{relaxation}}{t_{stress}}\right) = \frac{1}{1 + B\left(\frac{t_{relaxation}}{t_{stress}}\right)^{\beta}} \tag{2.76}$$

Le modèle a pour inconvénient de générer une composante permanente qui ne se recouvre pas, alors qu'il existe une composante à dynamique de relaxation lente qui n'est pas constante.

– Modèle D_P/D_R :

Le modèle D_P/D_R a été développé par Denais et Huard, qui ont poursuivi les travaux de Tewksbury dans sa thèse de 1992 [143]. Ce modèle se base sur la décomposition de la dégradation en deux parties distinctes : une partie permanente (D_P) et une partie recouvrable (D_R). La partie recouvrable est liée au piégeage et au dépiégeage des trous dans l'oxyde grille, tandis que la partie permanente est due aux liaisons rompues du Si-H et suit une cinétique limitée par la réaction [144], [145]. Les deux parties sont indépendantes et le modèle D_P/D_R est représenté schématiquement par la figure 2.37.

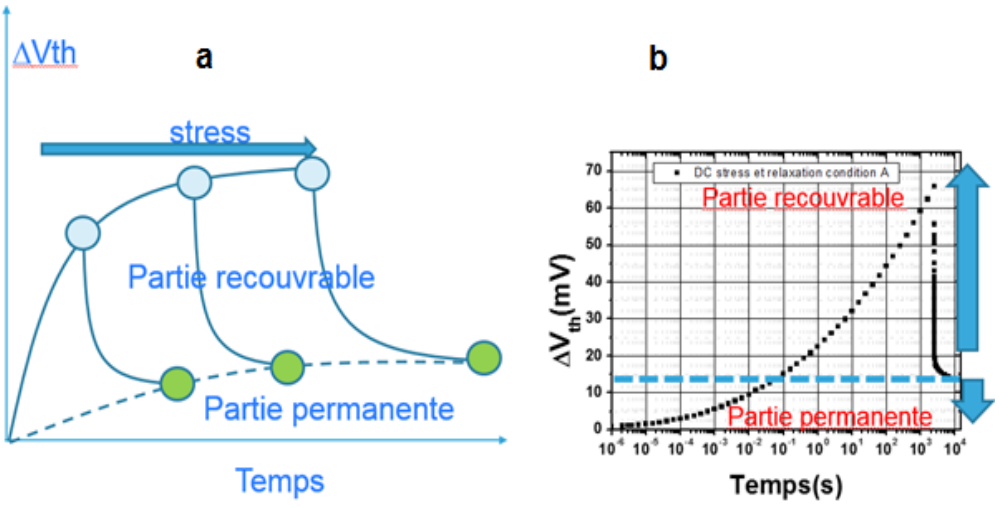


FIGURE 2.37 – (a) Schéma illustratif de la décomposition du BTI et (b) identification de la D_P et la D_R sur des mesures typiques de BTI [146].

Pendant la phase de stress, l'application d'une polarisation sur la grille induit une

courbure de bande qui permet l'injection de trous dans des pièges, ce qui entraine la dégradation du V_{TH} comme décrit à l'équation suivante :

$$\Delta V_{TH,P} = K_p V_g^a t_s^b \tag{2.77}$$

Lors de la phase de relaxation, les trous piégés sont évacués par effet tunnel, ce qui se traduit dans le formalisme par une décroissance logarithmique. Cette partie recouvrable est modélisée par l'équation (2.78) [147] :

$$\Delta V_{TH,R} = K_r V_g^p \ln\left(1 + \frac{t_s \tau_e}{t_r \tau_c}\right) \tag{2.78}$$

Après avoir examiné les anciens modèles, maintenant on fait le point sur les modèles les plus avancés de la littérature. Actuellement, il n'y a deux modèles du NBTI en compétition : le modèle récent développant une nouvelle approche de Réaction-Diffusion (RD) de l'IIT Bombay et le modèle Defect-Centric, qui repose sur un processus de réaction limité pour expliquer le comportement discret des défauts individuels. Ces deux modèles divisent la communauté car ils reposent sur des approches fondamentalement différentes et ont leurs propres forces et faiblesses. Malgré des années de publication et de recherches, aucun consensus n'a été trouvé.

– Modèle IIT Bombay :

Le modèle NBTI développé par S. Mahapatra est basé sur une approche de Réaction-Diffusion (RD). Ce modèle explique que l'accumulation d'hydrogène à l'interface Si/SiO_2 entraîne la relaxation des liaisons pendantes de Si et la formation d'un équilibre entre la création de défauts et la passivation. La diffusion de l'hydrogène loin de la couche d'interface perturbe cet équilibre et entraîne une augmentation des liaisons pendantes de Si. Cette évolution suit une loi en puissance du temps dont l'exposant est égal à $\frac{1}{6}$ pour des stress DC et AC de. La génération d'états d'interface est l'hypothèse fondamentale de ce modèle où la diffusion de l'hydrogène ou du dihydrogène est un processus lent et limitant. Dans cette version du modèle, la réaction inverse à partir du di-hydrogène $H_2 + Si \rightarrow SiH + H$ est permise. Durant la relaxation, la diffusion du H2 ralentit car celui-ci doit trouver des liaisons pendantes, ce qui devient de plus en plus difficile. Un schéma des interactions pour les phases de stress et de relaxation est illustré sur la figure 2.38.

Après un certain nombre de cycles de stress et de relaxation, certains états d'interface peuvent se relaxer, ce qui nécessite l'utilisation du modèle TTOM (Transient Trap Occupancy Model) pour calculer la quantité d'états d'interface participant à la dégradation. Ce modèle suit une loi empirique exponentielle. Il faut ensuite prendre en compte le piégeage de trous N_{HT} et enfin la génération de défauts dans l'isolant de la grille N_{ot}. Ces trois composantes sont supposées non-corrélées et indépendantes. Le modèle a été utilisé avec succès sur plusieurs technologies et procédés de fabrication

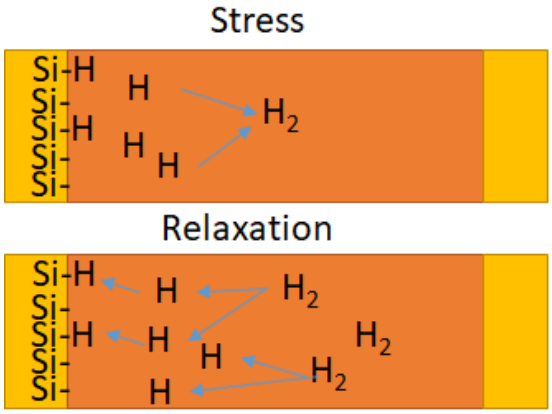


FIGURE 2.38 – Schéma de diffusion des espèces chimiques H et H_2 pour la phase de stress et la phase de relaxation [146].

en ajustant ses treize paramètres. Il a montré que le modèle RD historique nécessite des corrections telles que le TTOM et des lois empiriques exponentielles étirées pour modéliser les cinétiques de stress et de relaxation du NBTI.

Le principal point bloquant de ce modèle est que les paramètres "fixés" sont censés être le résultat d'une modélisation du transistor à l'aide de la physique du dispositif et des valeurs données dans la littérature. Cependant, certaines des valeurs utilisées dans ce modèle sont éloignées de la littérature, comme la réaction $Si-H \rightarrow Si+H$ qui est supposée être rapide et renforcée en présence de trous dans le canal et d'un champ électrique. En réalité, cette dissociation directe est très peu probable car la liaison Si-H (2.5 eV) a une énergie élevée et un moment dipolaire effectif plutôt petit, ce qui ne conduit qu'à une faible dépendance en champ. De plus, pour ce modèle, il est nécessaire de faire varier treize des quarante-trois paramètres, ce qui peut être considéré comme une limite/faiblesse.

– Modèle Capture Emission Time Map (CET Map) :

Le modèle CET map est proposé par H. Reisinger en 2010 pour décrire les défauts présents dans les transistors MOS. Ce modèle prend en compte une grande variété de défauts de nature différente, avec une distribution de temps de capture et d'émission en faisant une analogie que chaque piège présent dans l'oxyde de grille des transistors est considéré comme un circuit électrique RC [148].

En employant des transistors de petite taille, on peut réduire considérablement le nombre de pièges, voire en avoir un seul dans les conditions idéales. Les mesures de RTN réalisées sur ces transistors MOS permettent de caractériser les temps de capture et d'émission de ces pièges. En appliquant des cycles de stress et de relaxation, on peut déterminer la probabilité de piégeage de ces pièges. L'équation différentielle de

remplissage des pièges est définie par :

$$\frac{\partial f_t}{\partial t} = \frac{(1-f_t)}{\tau_c} - \frac{f_t}{\tau_e} \tag{2.79}$$

Où f(t) est la fonction de probabilité de piégeage ou de dépiégeage d'un defaut, τ_c le temps de capture et τ_e le temps d'émission.

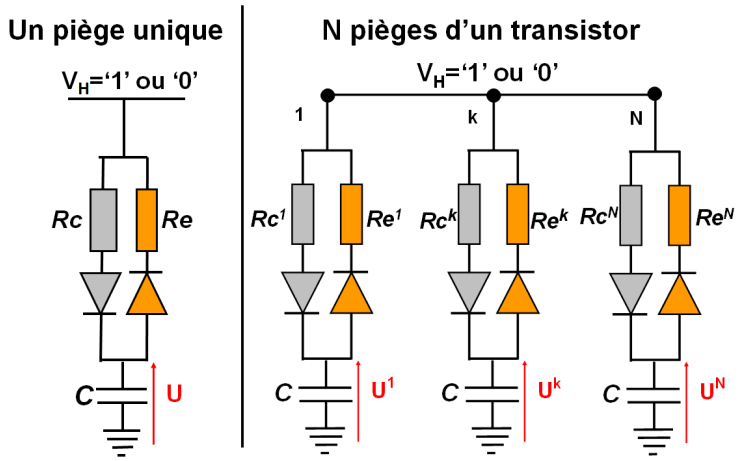


FIGURE 2.39 – Circuit RC équivalent. Chaque piège k voit ses constantes de temps d'émission et de capture déterminées par les résistances Re^k et Rc^k [140].

Si l'on se réfère maintenant au circuit électrique présenté dans la figure 2.39 pour un piège unique, l'équation différentielle qui régit la charge d'une capacité C est la suivante :

$$\frac{dU}{dt} = \frac{1-U}{\tau_c} - \frac{U}{\tau_e} \tag{2.80}$$

La tension U aux bornes de la capacité est normalisée par la tension de stress V_H, $\tau_c = \frac{1}{R_c C}$ et $\tau_e = \frac{1}{R_e C}$.

Chaque piège est caractérisé par ses propres constantes de temps d'émission et de capture et est représenté par une capacité C qui peut se charger et décharger selon que le signal appliqué correspond à un stress ou une relaxation. Le remplissage de chaque piège sera calculé à l'aide de l'équation (2.80). Un état chargé aura donc un impact sur le courant mesuré et donc sur la tension de seuil V_{TH}. La capacité représente l'impact de chaque piège sur le V_{TH}. Étant donné que les transistors étudiés ont une surface importante, il a été considéré que tous les pièges ont le même impact sur le V_{TH}, ce qui équivaut à dire qu'ils ont la même capacité [148].

Si l'on considère le circuit présenté dans la figure 2.39, il est possible de calculer la probabilité de remplissage de chaque piège, représentée par la tension de la capacité U. Lorsqu'une tension de stress V_H est appliquée, la probabilité de remplissage d'un

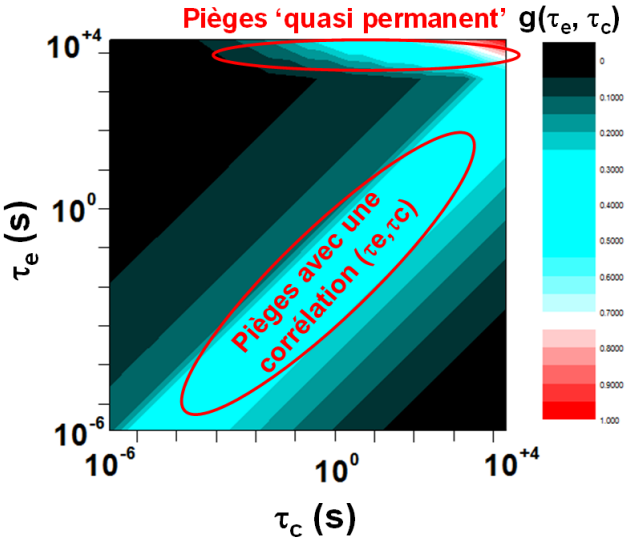


FIGURE 2.40 – CET MAP utilisée pour le modèle RC et donnant la densité $g(\tau_c^i, \tau_e^i)$ de chaque couple de constantes de temps. On distingue une population de pièges réversibles avec une corrélation entre $\tau_c$etτ_e et une population de pièges quasi permanents avec de très grandes valeurs de τ_e quel que soit τ_c [140].

piège au fil du temps peut être obtenue en résolvant l'équation différentielle :

$$V_H = R_c \,.\, C\frac{dU}{dt} + U \tag{2.81}$$

La solution de l'équation différentielle (2.81) donne la probabilité de charge pendant un stress d'une durée t_s et est exprimée par :

$$P(t_s) = U(t_s = 0) = \left(1 - e^{-\frac{t_s}{\tau_c}}\right) \text{ Avec } \tau_c = \frac{1}{R_c C} \tag{2.82}$$

De la même manière pour la relaxation, l'équation différentielle à résoudre est la suivante :

$$0 = R_e \,.\, C\frac{dU}{dt} + U \tag{2.83}$$

Cela permet d'obtenir la probabilité de remplissage du piège pendant la relaxation :

$$P(t_r) = U(t_r = 0) = \left(\exp\left(-\frac{t_r}{\tau_e}\right)\right) \text{ Avec } \tau_e = \frac{1}{R_e C} \tag{2.84}$$

Pour élaborer un modèle, il est important de connaître la distribution de densité de pièges $g(\tau_c^k, \tau_e^k)$ ayant les couples de constantes de temps (τ_c^k, τ_e^k). La dégradation du

V_{TH} peut alors être décrite par l'équation suivante :

$$\Delta V_{TH}(t) = K \sum_{k=1}^{n} g(\tau_c^k, \tau_e^k) P_k(t) \tag{2.85}$$

Où K est dépendant de la technologie, $P_k(t)$ la probabilité de piégeage et N le nombre de pièges.

A. Subirat, dans sa thèse, a élaboré une CET (Courbe d'Évolution Temporelle) comme l'illustre la figure 2.40, et distingue deux populations distinctes de pièges :

— Une population où les pièges présentent une forte corrélation entre les temps d'émission et de capture. Ces pièges sont considérés comme rapides et globalement réversibles, et pourraient être dus aux pièges d'oxyde.
— Une population où les pièges ont des constantes de temps d'émission très grandes par rapport aux constantes de temps de capture. Il s'agit donc d'une population de pièges quasi-permanents, qui pourrait être la signature des pièges d'interface.

2.3.4 Auto-échauffement (SHE)

Lorsque les matériaux des dispositifs à semi-conducteurs sont soumis à des courants et des tensions élevés, cela peut entraîner leur échauffement et causer des dommages à l'environnement du matériau échauffé. Ce phénomène est connu sous le nom d'auto-échauffement ou de Self-Heating Effect (SHE) en anglais. L'auto-échauffement peut affecter les performances des dispositifs, en particulier dans les circuits intégrés de haute densité, et peut également avoir des effets néfastes sur la durée de vie des dispositifs, en accélérant la dégradation des matériaux.

De la mise à l'échelle des dispositif MOSFET aux nœuds avancés, notamment dans des dimensions nanométriques, la densité d'intégration augmente, ce qui entraîne une augmentation significative de la température dans la région active du transistor. De plus, la gestion thermique, c'est-à-dire l'évacuation de la chaleur, est devenue encore plus critique avec l'introduction de nouvelles géométries et architectures de dispositifs confinés ainsi que de matériaux ayant des conductivités thermiques inférieures à celles du silicium massif.

Étant donné la sensibilité des composants et des dispositifs à semi-conducteurs aux variations de température, la question du Self-Heating (SH), qui peut entraîner un fonctionnement à des températures élevées, doit être considérée comme une ligne directrice tout au long du processus de conception. Pour chaque technologie il est précisé les conditions d'utilisation à respecter. Le Design Rule Manual (DRM) est un ouvrage de référence que les ingénieurs de fiabilité doivent utiliser pour chaque technologie. Il fournit des informations sur le dimensionnement et les conditions d'utilisation à respecter pour garantir la fiabilité des dispositifs.

L'augmentation de température peut avoir des effets significatifs sur les circuits

analogiques et numériques, tels que la réduction de leur vitesse de fonctionnement en raison de la dégradation de la mobilité des porteurs de canal, ce qui entraîne une réduction du courant de sortie. Elle peut également causer un retard plus long en raison de l'augmentation de la résistivité des interconnexions métalliques, une dégradation de la fiabilité des dispositifs et un taux de défaillance plus élevé [149].

Dans la plupart des dispositifs à semi-conducteurs, le transfert de chaleur s'effectue principalement par conduction vers le milieu environnant, tandis que les autres mécanismes de transfert tels que la convection et le rayonnement ont une contribution négligeable. Dans les semi-conducteurs et les diélectriques, les porteurs d'énergie (chaleur) sont des phonons et leur transport dépend des propriétés intrinsèques du matériau, qui sont à leur tour caractérisées par la conductivité thermique du milieu.

Pour la technologie CMOS, l'auto-échauffement se réfère à l'accumulation de chaleur dans le canal du transistor lorsque la puissance atteint un niveau élevé. Cette chaleur est générée par la dissipation de puissance pendant le fonctionnement normal du transistor, ce qui entraîne une augmentation de la température locale. Cette augmentation dépend de la puissance d'entrée P_{dis}, de la résistance thermique R_{TH}, de la capacité thermique C_{TH} et de la fréquence f de la conditions de polarisation, et est exprimée par l'expression suivante :

$$\Delta T_{SH} = \frac{R_{TH} \,.\, P_{dis}}{\sqrt{1 + 2\pi \,.\, f \,.\, R_{TH} \,.\, C_{TH}}} \tag{2.86}$$

Où ΔT_{SH} est l'augmentation de la température du canal due à l'auto-échauffement ($\Delta T_{SH} = T_{Canal} - T_{Ambient}$), tandis que la résistance thermique R_{TH} décrit le flux de chaleur du point où il est généré aux chemins possibles par lesquels il doit être dissipé.

En condition de polarisation DC la fréquence f=0Hz, on admet que ΔT_{SH} ne dépend que la puissance dissipé et de l'intrinsèque résistance thermique, par conséquent l'équation (2.86) devient (2.87) et la puissance dissipée P_{dis} par le courant du canal ou le courant de drain I_{DS} est donnée par l'équation (2.88) :

$$\Delta T_{SH} = R_{TH} \,.\, P_{dis} \tag{2.87}$$

$$P_{dis} = I_{DS} \,.\, V_{DS} \tag{2.88}$$

T_{Canal} est déterminée en additionnant la température ambiante $T_{Ambient}$ et la température induite par SHE ΔT_{SH} :

$$T_{Canal} = T_{Ambient} + \Delta T_{SH} \tag{2.89}$$

La méthode couramment utilisée de thermométrie de résistance de grille [150] est employée pour évaluer expérimentalement le SH. Le dispositif utilisé pour la mesure de l'auto-échauffement est un transistor MOS à oxyde mince standard, à l'exception qu'il possède des connexions de chaque côté de la grille. La figure 2.41a montre une image en coupe transversale au microscope électronique à transmission (TEM) d'un MOSFET FDSOI étudié ici. Ces connexions de grille supplémentaires sont utilisées pour extraire la température de la grille en surveillant sa résistance. On suppose que

la température de la grille est égale à la température du canal T_{Canal} lorsque celui-ci est inversé. La figure 2.41b montre la structure de test typique utilisée pour extraire l'augmentation de température ΔT_{SH} et la résistance thermique R_{TH} due à l'auto-échauffement [151], [152].

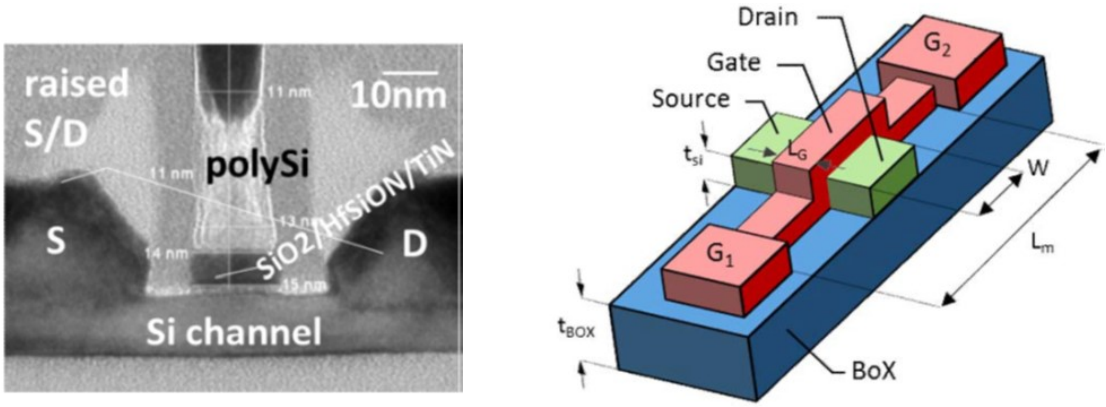


FIGURE 2.41 – (a) Image en coupe transversale de TEM d'un NMOS FDSOI utilisé pour l'étude du SHE. L'empilement de grille recouvert de TiN de 5 nm et de polysilicium fortement dopé de 50 nm, est composée 2,3 nm de HfSiON déposé par ALD sur 0,8 nm de SiO_2 interfacial. (b) Schéma de la structure de test de thermométrie de grille, L_m est la distance entre les bornes de la grille, W est la largeur du transistor et L_G est la longueur de la grille [151].

ΔT_{SH} est calculé par la variation de la résistance de grille R_G pour différentes températures de silicium, puis pour différentes conditions (V_{DS}, V_{GS}) ou en fonction de la puissance d'entrée P. La première expérience permet d'étalonner la grille en métal en tant que thermomètre et d'extraire son coefficient de résistance thermique ou Thermal Coefficient Resistance (TCR) illustré sur la figure 2.42 dans [152]. Le TCR est défini comme la variation de la résistance de grille avec la température du silicium (équation (2.90)). La figure 2.42 montre que la résistance de grille est une fonction linéaire de la température. Le décalage vertical des lignes obtenues pour différentes valeurs de $V_{DS} = V_{GS}$ est dû à l'auto-échauffement du canal en état d'inversion. Le TCR extrait est utilisé pour corréler la variation de RG mesurée entre une faible valeur de VD=VG (0V à l'état OFF sans SHE) et une valeur élevée de $V_{DS} = V_{GS}$ (condition nominale à l'état d'inversion avec SHE).

$$TCR = \frac{\left(\frac{\Delta R_G}{R_{ref}}\right)}{\Delta T_{SH}} = \frac{\left(\frac{R_G(T_{high}) - R_G(T_{ref})}{R_G(T_{ref})}\right)}{T_{high} - T_{ref}} \tag{2.90}$$

Une fois que les valeurs de la résistance de grille à l'état de canal inversé ou fermé sont connues, ΔT_{SH} peut etre facilement déduit en fonction du TCR par l'équation suivante :

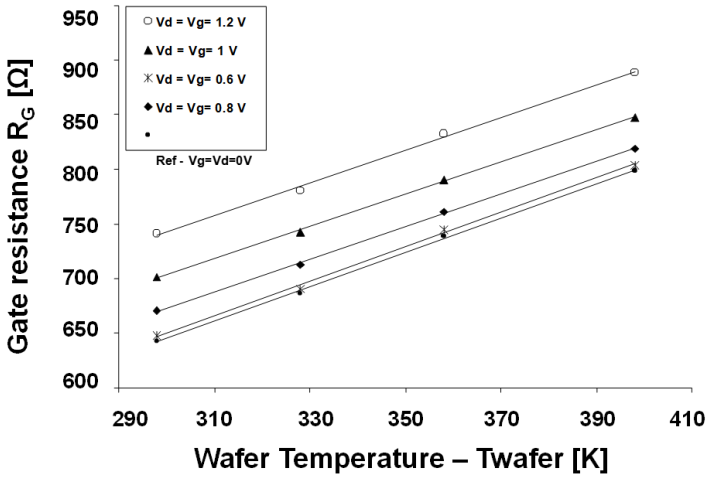


FIGURE 2.42 – Résistance de grille mesurée sur un NMOS pour différentes températures de silicium. L'augmentation de la résistance à $V_{DS} = V_{GS}$ est induite par le SHE [152].

$$TCR = \frac{\left(\frac{\Delta R_G}{R_{ref}}\right)}{TCR} = \frac{\left(\frac{R_{G-ON} - R_{G-OFF}}{R_{G-OFF}}\right)}{TCR} \tag{2.91}$$

Où $R_{G-OFF} = R_{ref} = R_G\,(V_{DS} = V_{GS} = 0V)$. La pente de la fonction linéaire $\Delta T_{SH}(P_{dis})$ illustrée sur la figure 2.43 correspond à la résistance thermique intrinsèque R_{TH} déjà exprimée dans l'équation (2.87).

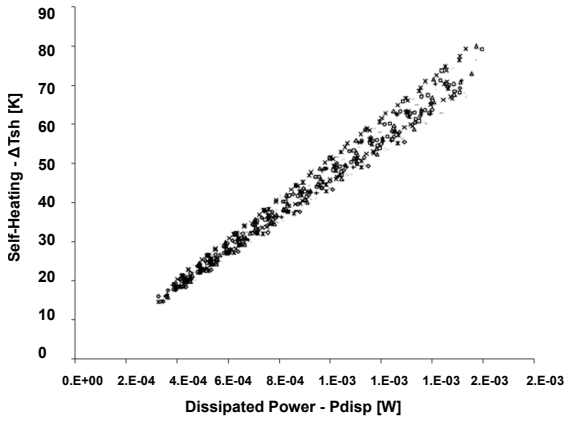


FIGURE 2.43 – Estimation de l'augmentation de température du canal en fonction de la puissance dissipée pour 54 transistors NMOS testés à $V_{DS} = V_{GS}$ de 0 à 1,2V. La dispersion des résultats est due à la variabilité du courant drain mesuré [152].

2.4 Étude du modèle en tension du HCD en inversion (On-state)

2.4.1 Les cas de rupture de la liaison Si-H

Lorsque la liaison pendante est passivée sous forme de liaison Si-H, le système est dans son état fondamental en l'absence de contraintes extérieures. Lorsque cette liaison est rompue, l'atome d'hydrogène est émis vers un état de transport, ce qui se produit en deux étapes. Tout d'abord, la hauteur de la barrière E_B doit être réduite, puis l'émission thermique de l'adsorbat vers un état de transport voisin peut avoir lieu (voir figure 2.44) [153]. La création de N_{it} liée à l'excitation induite par des porteurs peut être classée physiquement en fonction de l'énergie du porteur incident. De manière simplifiée, il existe deux cas schématiquement représentés dans la figure 2.44 : soit le porteur incident possède suffisamment d'énergie pour exciter l'état de résonance de l'adsorbat, soit il n'en possède pas suffisamment.

Si les porteurs incidents ont suffisamment d'énergie individuellement, ils peuvent exciter la résonance, ce qui entraîne une probabilité d'excitation P_{exc} non nulle. L'état de résonance se désexcite avant la rupture de la liaison, et l'énergie conservée est transférée par couplage anharmonique à des modes vibrationnels de plus faible énergie associés à un mouvement précis de l'adsorbat (figure 2.44). Le couplage anharmonique est décrit par une probabilité de couplage P_{cou} entre l'état de résonance et les modes vibrationnels localisés de la liaison. En supposant que seul le niveau vibrationnel le plus élevé (appelé N) conduit à la désorption de l'hydrogène, la probabilité P_{cou} définit la probabilité d'occupation du niveau N induite par la désexcitation de l'état de résonance. Ce mode est relié à une excitation vibrationnelle multi-niveaux en un seul saut, c'est-à-dire engendrée par un seul porteur et est appelé mode d'excitation vibrationnelle unique (Single Vibrational Excitation SVE).

Le cas de l'EES est associé à une situation similaire au mode SVE décrit précédemment. Initialement, les porteurs incidents ne possèdent pas individuellement suffisamment d'énergie pour exciter la résonance de l'adsorbat, mais ils peuvent collectivement promouvoir certains d'entre eux à des énergies plus élevées grâce au phénomène d'EES (modèle de Rauch dans le chapitre 2). Des simulations ont révélé que les électrons « chauffés » par EES peuvent induire un deuxième coude dans la Fonction de Distribution en Énergie de Porteurs (FDEP). L'effet EES prédomine dans la partie la plus énergétique de la FDEP, entraînant principalement une extension de la fonction au-delà de qV_{EFF} jusqu'à $2.qV_{EFF}$. Le deuxième coude est dû au fait que l'interaction peut entraîner un échange d'énergie entre deux porteurs, ce qui élève l'un d'entre eux à une énergie plus élevée (porteur encerclé dans la figure 2.44). Ce processus peut permettre à ce dernier porteur d'avoir suffisamment d'énergie pour exciter la résonance de la même manière que dans le cas SVE décrit précédemment, à l'exception du fait que la FDEP n'est plus proportionnelle à I mais à I_2 [125].

Le dernier cas est dominant quand l'énergie des porteurs est trop faible pour exciter la résonance, même après EES. Cependant, les porteurs incidents acquièrent

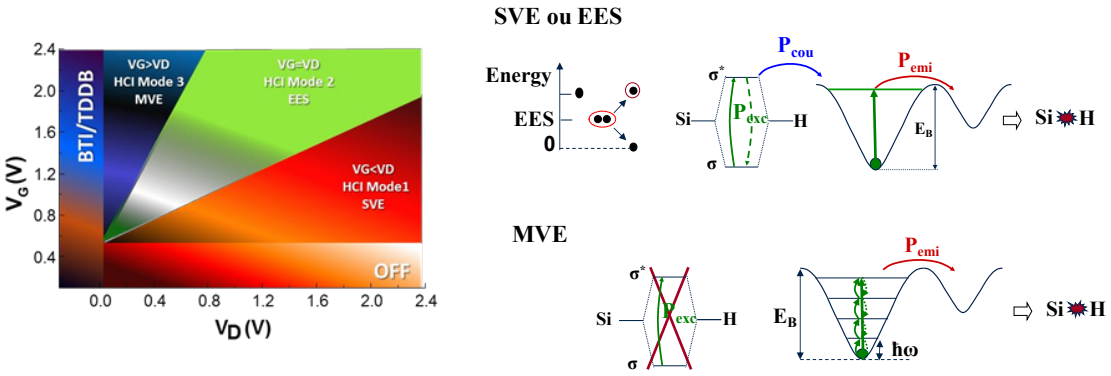


FIGURE 2.44 – Représentation schématique des 3 modes de rupture de la liaison Si-H de hauteur de barrière E_B = 1.5eV, liés à l'excitation vibrationnelle d'état de résonance sous une contrainte HCD

suffisamment d'énergie pour exciter les modes vibrationnels de la liaison Si-H, situés à plus faible énergie. Chaque porteur incident peut contribuer à peupler un niveau supérieur du mode vibrationnel en fournissant une énergie $\hbar\omega$, l'énergie du mode vibrationnel. Une succession de porteurs en interaction avec la liaison contribue à l'ascension d'une « échelle » constituée de plusieurs niveaux vibrationnels, jusqu'à ce que l'énergie E_B soit atteinte. Ce phénomène est nommé excitation vibrationnelle multiple (Multiple Vibrational Excitation MVE), car il nécessite de multiples interactions avec la liaison pour l'amener dans un état de rupture. Il est fortement corrélé au courant I (c'est-à-dire le nombre de porteurs pouvant exciter la liaison par seconde).

De manière expérimentale, il est possible d'identifier ces trois modes en ajustant les polarisations V_{DS} et V_{GS}, ce qui permet de faire varier indépendamment l'énergie des porteurs et leur densité. La figure 2.44 illustre de façon claire la présence des trois modes de dégradation HCD en fonction du couple de tensions de stress V_{DS}/V_{GS} appliqué. L'augmentation du courant I_{DS} est proportionnelle à la tension V_{GS}, ce qui signifie que plus le stress V_{DS} sur le drain est élevé, plus les porteurs sont énergétiques. Lorsque les porteurs ont une énergie élevée (faible densité de courant I_{DS}/W_G) comme nous l'avons montré sur la figure 2.33 du modèle de Guérin au chapitre 2, la durée de vie TTF (10% de réduction du courant ΔI_{D-Lin}), est plus élevée. Par conséquent, la dégradation HCD est plus faible pour cette condition de fonctionnement.

2.4.2 Nature et localisation des défauts

Pour améliorer la compréhension de la nature et de la localisation des défauts créés après une contrainte HCD, W. Arfaoui dans [154] a choisi de corréler la dégradation du courant ΔI_{D-Lin} (V_{Dmes} = 50mV) avec la dérive de la tension de seuil ΔV_{TH}, qui est sensible aux défauts répartis dans le canal. La génération et la localisation des défauts dépendent de plusieurs facteurs, notamment des conditions de stress appliquées, et impliquent différentes contributions telles que la dégradation de la tension de seuil V_{TH}, la réduction de la mobilité μ ou encore l'effet des résistances série parasites R_{SD}.

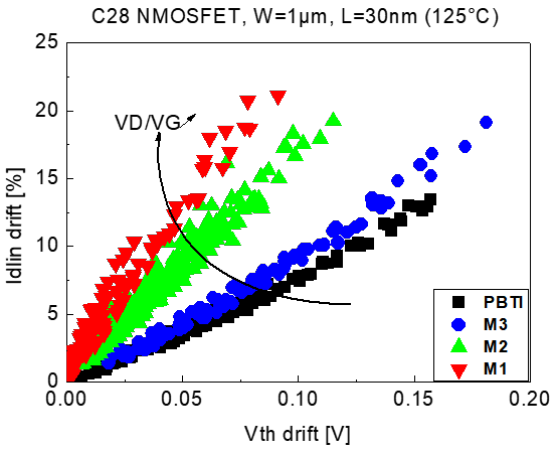


FIGURE 2.45 – Corrélation entre les dégradation (en valeur absolue) ΔV_{TH} et ΔI_{D-Lin} à $V_{Gmes} > V_{TH}$ pour différentes conditions de stress V_{DS}/V_{GS} représentant les 3 modes HCD et le PBTI sur des transistors NMOS 28LP $W_G/L_G = 1/0.03\mu$m [154].

Afin de séparer ces différentes contributions, il est nécessaire de mesurer ΔI_{D-Lin} et ΔV_{TH} avec une tension de grille V_{Gmes} supérieure à la tension de seuil V_{TH} et non en régime sous le seuil ($V_{Gmes} < V_{TH}$). En régime $V_{Gmes} > V_{TH}$, la dérive du courant ΔI_{D-Lin} inclut les différentes contributions de réduction de mobilité $\Delta\mu$, d'augmentation de la résistance série R_{SD} et de dérive de la tension de seuil V_{TH}.

En régime sous le seuil, les effets des résistances R_{SD} et de la mobilité $\Delta\mu$ sont négligeables, voire quasiment nuls. En effet, dans ce régime, le courant de drain mesuré avant la création de la couche d'inversion est un courant de diffusion qui est considéré comme dominant par rapport au courant de dérive. Dans le cas des technologies avec oxyde mince, ce courant est principalement sensible aux états d'interfaces ΔN_{it}.

La figure 2.45 met en évidence une corrélation qui permet de conclure que pour les modes basse énergie (M3 ou MVE) et BTI, la dégradation est principalement due aux défauts répartis uniformément le long du canal. Elle se traduit par une forte dégradation de la tension de seuil V_{TH}, mais a moins d'impact sur la réduction du courant de drain. Cette observation peut être expliquée par le fait que les défauts sont répartis sur une plus grande longueur du canal, ce qui conduit à une dégradation plus faible sur la mobilité μ comme le montre la figure 2.46.

Toutefois, pour le mode 1 forte énergie ou SVE, la dégradation de I_{D-Lin} est nettement plus importante (figures 2.45 et 2.46), ce qui révèle une localisation des défauts du côté du drain. En revanche, la dégradation de la tension de seuil V_{TH} est moins importante, ce qui suggère une dégradation plus importante de la mobilité. Cela peut être expliqué par une densité de défauts plus élevée et localisée au niveau du drain. En d'autres termes, pour une dérive de V_{TH} donnée, la dégradation de I_{D-Lin} est plus importante pour le mode forte énergie M1 que pour les autres modes (M2, M3), en raison de la localisation des défauts du côté du drain. Cette relation générale entre la dégradation des paramètres principaux du transistor est déjà définie dans l'équation

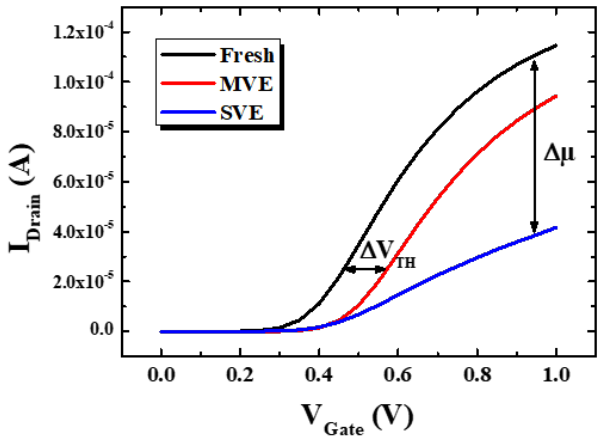


FIGURE 2.46 – Mise en évidence de la dégradation de la mobilité μ et de la tension de seuil V_{TH} sur des mesures du courant de drain I_{DS} sur des transistors NMOS 28LP $W_G/L_G = 1/0.03\mu$m en régime linéaire après des stresss du mode 1 (SVE) et du mode 3 (MVE).

(2.8) du chapitre 2.

2.4.3 Construction du modèle en tension de dégradation par porteurs chauds

Selon les recherches précédentes menées par Angot dans [155], il a été démontré que la densité de porteurs chauds dans le canal ainsi que leur distribution en profondeur dans la couche UTB sont influencées par la polarisation de V_B. Cette polarisation modifie la tension de seuil V_{TH} et par conséquent le courant de drain I_{ON}. Dans le cas d'un NMOS en FBB, la polarisation du substrat entraîne une augmentation du courant de drain I_{DS}, mais la dérive du courant de saturation I_{Dsat} en fonction de V_B est plus lente. Pour la même quantité de courant I_{DS}, la dégradation de I_{Dsat} est plus importante en "overdrive" à $V_B = 0$ qu'en utilisant V_B.

La technologie FDSOI présente une faculté remarquable d'améliorer la performance des transistors MOS sans compromettre leur fiabilité, ce qui en fait une technologie hautement intégrable très intéressante. En effet, dans cette technologie, le courant de drain I_{ON} peut être modulé à la fois par la polarisation de V_B et par des étapes de processus de fabrication et de durcissement de la grille, qui est constituée principalement de deux couches d'oxydes, HfO_2 (High-K) et SiON (IL), conduisant au calcul de l'épaisseur équivalente de l'oxyde (EOT, voir chapitre 1). Cette modulation peut être obtenue en jouant sur le taux de nitruration de l'oxyde de grille SiO_2. Dans cette partie nous allons présenter un modèle simplifié en tension basé sur l'énergie des porteurs qui tient compte des différentes variations process mises au point lors de l'optimisation de cette filière FDSOI.

2.4.3.1 Modèle basé sur l'énergie

Les résultats récents ont montré que la dégradation HCD n'est pas entièrement corrélée au courant de drain. En effet, ce dernier peut être modulé soit par la polarisation de V_B, soit par la nitruration, sans avoir d'effets négatifs sur la fiabilité des paramètres électriques. Cependant, l'utilisation d'un modèle en courant pour décrire la dégradation HCD peut être limitée pour les nœuds CMOS avancés avec différents effets de process. C'est pourquoi une simplification du modèle en courant vers un modèle en tension est proposé dans [43], basé sur l'énergie des porteurs, qui prend en compte les différentes variations de process développées lors de l'optimisation de cette filière FDSOI par STMicroelectronics, ainsi que la variation de l'énergie des porteurs pour cette technologie fonctionnant à basse tension $V_{DD} = 1V$.

Le modèle en tension que nous proposons est basé sur l'énergie des porteurs. Avec l'évolution technologique et la réduction des dimensions (L_G et W_G) du MOS, l'énergie des porteurs est entrée dans une plage où l'on observe une augmentation, après l'effet dominant de la réduction de V_{DD}. Cette augmentation pour les nœuds CMOS ultra-courts a de nouveau une influence sur la dégradation HCD, malgré l'utilisation d'une basse tension de fonctionnement basse V_{DD}. Le terme $e^{\beta(V_D - V_{Dsat})}$ a été utilisé pour decrire l'énergie des porteurs, où $(V_D - V_{Dsat})$ est proportionnel au champ électrique latéral E_{lat} dans la zone de pincement. L'expression de la tension V_{Dsat} peut varier selon le niveau de modèle utilisé. Dans notre étude, nous avons opté pour l'expression proposée par Taur et Ning [156], qui prend en compte, au second ordre, le champ de saturation F_c. Cette expression est indépendante du type de transistor et utilise le facteur de couplage m.

$$V_{Dsat} = \frac{\frac{2(V_G - V_{TH})}{m}}{1 + \sqrt{1 + \frac{2(V_G - V_{TH})}{m \,.\, F_C \,.\, L_G}}} \tag{2.92}$$

F_c corresponds au champ critique nécessaire aux porteurs pour atteindre la vitesse de saturation ($F_c = 4.10^4 V/cm$ pour les électrons). Le paramètre "m" est utilisé comme coefficient de l'effet de substrat pour les transistors MOS sur silicium massif. Pour les transistors FDSOI, ce coefficient représente l'intensité du couplage capacitif entre la grille avant et la grille arrière, comme décrit par l'équation suivante :

$$m = 1 + \frac{C_{eff,BG}}{C_{eff,FG}} + \frac{C_{IT}}{C_{eff,FG}} \tag{2.93}$$

Le modèle en énergie est basé sur l'équation (2.94) et a été proposé pour établir la dégradation temporelle d'un paramètre quelconque. Le terme $(V_G - V_{TH})^p$ est proportionnel à la densité des porteurs de la couche d'inversion ($\propto Q_{inv}$) ainsi qu'au champ électrique vertical ($F_{ox} \times EOT$). Cette proportionnalité permet de prendre en compte l'accélération des porteurs en fonction de leur nombre, ce qui est caractéristique de l'apparition du mode M3 où les porteurs ont une faible énergie. Dans ce modèle les Mode 1 et Mode 2 génèrent des défauts caractérisés par une même localisation spatiale proche du drain et dans le canal. Ces modes en énergie M1 et M2 ont une

même corrélation des paramètres surtout à température ambiante.

$$\Delta I_{D-Lin} = A \,.\, t^{n} \,.\, e^{\beta(V_D - V_{Dsat})} \,.\, (V_G - V_{TH})^{\rho} \tag{2.94}$$

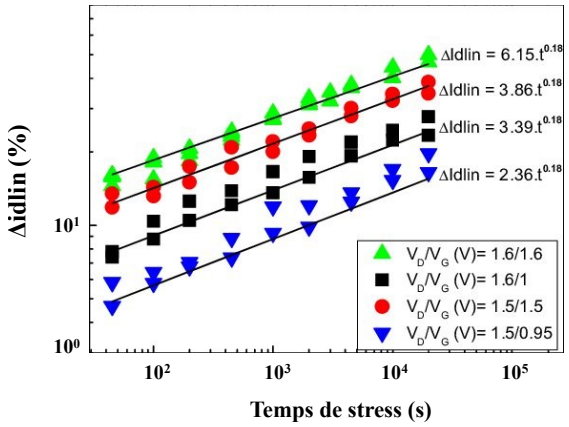


FIGURE 2.47 – Dépendance temporelle (n=0.18) de la dégradation (en valeur absolue) du courant de drain I_{D-Lin} sous des contraintes HCD M1 (V_{DS}/V_{GS} = 1.6V/1V, 1.5V/0.95V) et M2 (V_{DS}/V_{GS} = 1.6V/1.6V, 1.5V/1.5V) pour NMOS FDSOI sur un oxyde ultra mince (T_{ox} = 1.5nm) [43].

L'équation (2.94) présente un terme en A.t^n qui illustre la dépendance temporelle classique en puissance du temps couramment attribuée à la génération de défauts d'interface ΔN_{IT}. Le paramètre empirique A est extrait pour chaque technologie, tandis que l'exposant "n" représente la puissance du temps qui reflète l'accélération de la dégradation pour le mécanisme HCD dominant. Le modèle utilise une seule valeur de n car les deux modes en énergie M1 et M2 montrent une dépendance temporelle similaire, comme cela est observé sur la figure 2.47.

Sur la figure 2.48, nous présentons les contraintes DC HCD en mode On-state appliquées sur un transistor NMOS 28FDSOI avec une longueur de grille L_G = 30nm et une largeur de grille W_G = 1μm et un oxyde ultra mince T_{ox} = 1.5nm. Ces contraintes couvrent une large plage de tensions de grille V_{GS} supérieures à la tension de seuil V_{TH}, ainsi que des tensions de drain V_{DS}, et incluent les modes SVE, EES et MVE. Les résultats montrent une bonne corrélation entre les données expérimentales et la modélisation de la dégradation HCD (équation (2.94)). En particulier, la figure 2.48 montre que la dégradation du courant de drain en régime linéaire ΔI_{D-Lin} augmente continuellement avec V_{GS} et V_{DS} et est négative [157].

2.4.3.2 Effet de la dimension

Le modèle à l'équation (2.94) a été expérimentalement validé pour différentes géométries et températures. Dans la figure 2.49, le modèle a été confronté à la dégradation du courant de drain ΔI_{D-Lin} d'un transistor NMOS FDSOI avec un oxyde épais (T_{ox} = 4.5nm) utilisé pour les dispositifs d'entrée-sortie (IO). En utilisant les deux

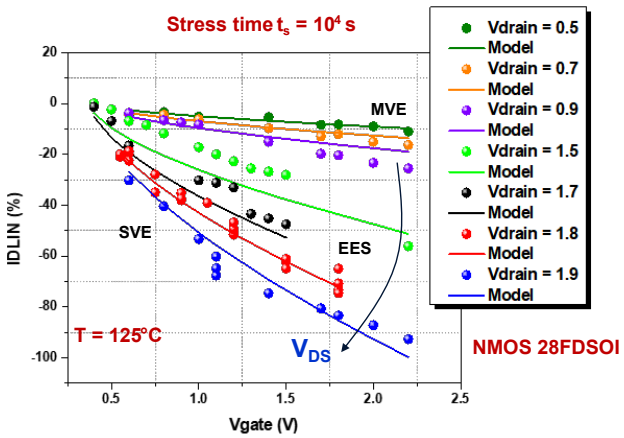


FIGURE 2.48 – La dépendance de la dégradation ΔI_{D-Lin} ($V_{DS} = 50mV$) en fonction de V_{GS}, avec V_{DS} allant de 0,5 V à 1,9 V, a été extraite sur un NMOS 28FDSOI ($L_G = 30nm/W_G = 1\mu m$, $T_{ox} = 1.5nm$) en DC HCD On-state à $t_s = 10^4 s$. Cette dépendance couvrant les différents modes SVE, EES et MVE a été comparée à la modélisation (représentée par des lignes) à haute température (125 °C) [157].

termes qui décrivent l'énergie et la densité des porteurs, le modèle a réussi à reproduire la forme en cloche de la dégradation ΔI_{D-Lin} en fonction de V_{GS} stress. Le pire cas de dégradation se produit autour des valeurs moyennes mid – V_G ($V_{GS} = (V_{DS} + V_{TH})/2$). La figure 2.49 met en évidence deux régimes de dégradations distincts. Le premier est contrôlé par la densité de porteurs, où l'augmentation de V_{GS} à V_{DS} fixe entraîne une augmentation de la charge d'inversion. Le deuxième régime est contrôlé par l'énergie des porteurs, qui diminue pour des valeurs de V_{GS} supérieures à la valeur moyenne mid – V_G.

Cependant, lorsqu'on utilise un transistor NMOS FDSOI avec une grille en oxyde ultra-mince $T_{ox} = 1.5nm$, le pire scénario de dégradation ΔI_{D-Lin} se produit lorsque $V_{GS} = V_{GS}$. Ce comportement est bien illustré dans la figure 2.48 et a été confirmé pour deux températures de stress différentes, 25°C et 125°C à la figure 3.10 [159].

Le tableau 2.1 présente les paramètres du modèle utilisé avec l'équation (2.94) pour les modes approximatifs en énergie M1 et M2. Cependant, notre modèle ne permet pas d'expliquer physiquement le changement de signe de β entre les dispositifs "IO" à oxyde de grille épais et "core" à oxyde ultra-mince. En utilisant ces paramètres, le modèle est en mesure de reproduire la disparition de la forme en cloche, qui est causée par le changement de pire cas de la dégradation HCI entre les dispositifs "IO" et "core".

La dégradation HCD d'un transistor MOS est grandement influencée par la variation de la longueur de grille. En effet, une diminution de la longueur de grille entraîne une augmentation des champs électriques latéraux et effectifs dans le canal, ce qui a pour conséquence une dérive des différents paramètres électriques du transistor MOS comme le montre la figure 2.50. En maintenant les différents paramètres constants, et en utilisant une valeur positive de $\beta (\approx 4.5)$, le modèle basé sur l'expression de

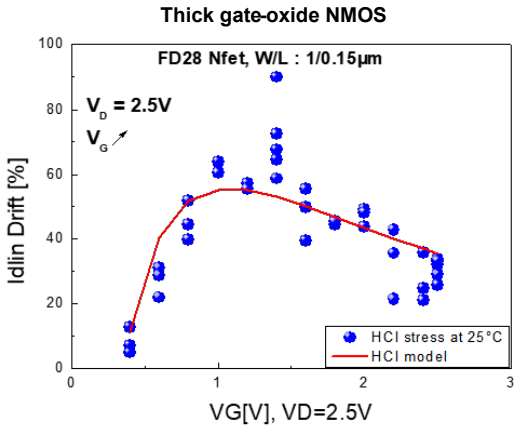


FIGURE 2.49 – Comparaison de la dégradation (en valeur absolue) du courant linéaire (ΔI_{D-Lin}) sous une contrainte HCD (V_{DS} = 2.5V) tout en augmentant V_{GS} avec le modèle équation (2.94) comparé aux mesures expérimentales, pour un transistor NMOS FDSOI avec un oxyde épais $T_{ox} = 4.5nm$. Le modèle permet de reproduire correctement les mesures expérimentales [158].

FDSOI 28nm IO NFETs	A	n	β	ρ
M1 et M2	0.09	0.3	4.5	1.17
FDSOI 28nm Core NFETs	A	n	β	ρ
M1 et M2	0.04	0.18	-3.5	1.17

TABLEAU 2.1 – Tableau récapitulatif des paramètres du modèle HCD en inversion.

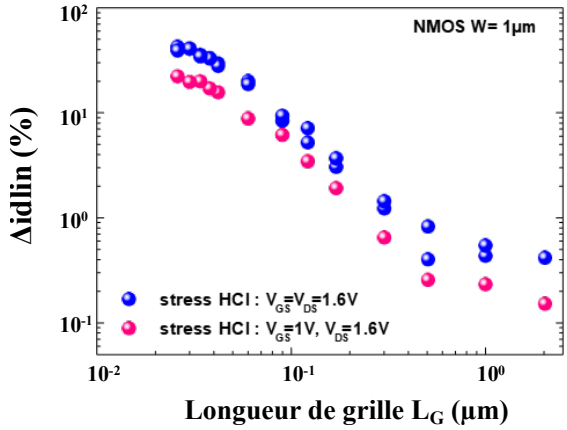


FIGURE 2.50 – Variation de la dégradation (en valeur absolue) du courant de drain mesurée en linéaire (ΔI_{D-Lin}) après 1000 secondes de stress HCD ($V_{GS} = V_{DS}$ = 1.6V et V_{GS} = 1V, V_{DS} = 1.6V) en fonction de la longueur de grille L_G pour un NMOS FDSOI.

F_C . L_G (équation (2.92)) est capable de prédire avec précision l'effet de la longueur du canal, en particulier le changement de la dégradation maximale des tensions de stress mid – V_G à $V_{GS} = V_{DS}$ lorsque la longueur L_G diminue (voir figure 2.51).

Le modèle présenté à l'équation (2.94) utilise l'expression $V_{Dsat}(L_G)$ pour modéliser l'effet de la longueur effective du canal. Ce modèle prévoit la dégradation du dispositif même avec une faible épaisseur physique d'oxyde de grille, tout en maintenant une dépendance en tension V_{DS} similaire à celle rapportée dans la littérature (environ 30). La forme en cloche de la dépendance en V_{GS} du stress de la dégradation dans le canal tend à disparaître lorsque la longueur de grille L_G diminue. Cette observation peut s'expliquer par le fait que pour de petites longueurs de grille, le mode M3 à fort V_{GS} prédomine sur les autres modes de dégradation et devient prépondérant dans le canal court. L'apparition de ce mode M3 à fort V_{GS} est clairement représentée sur la figure 2.51 pour différentes longueurs de grille. Il est nécessaire d'inclure des améliorations supplémentaires dans le modèle en énergie afin de le rendre conforme au mode M3.

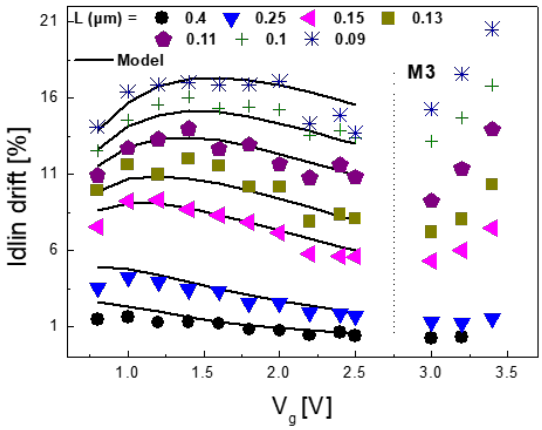


FIGURE 2.51 – Effet de la longueur de grille L_G sur la dégradation HCD (en valeur absolue) de ΔI_{D-Lin} en fonction de V_{GS} : le modèle (trait noir) reproduit fidèlement les mesures expérimentales des modes 1 et 2. Le mode 3 apparaît pour des valeurs élevées de V_{GS} [158].

2.4.3.3 Évolution du process MOS (T_{Si}, T_{ox}, LDD)

Comme cela a été expliqué en détail dans le chapitre 1, la technologie CMOS continue d'évoluer et les modèles de prédiction des dégradations énumérés dans le chapitre 2 ont également suivi cette évolution au fil des ans. Afin que ce modèle soit le mieux adapté aux technologies avancées, il a été validé pour différents effets de process tels que l'effet de l'épaisseur de film de silicium T_{Si}, l'épaisseur d'oxyde T_{ox} et pour différentes structures LDD. L'effet de T_{Si} est également modélisé par l'équation (2.92), qui prend en compte sa dépendance dans l'expression du couplage capacitif m (équation (2.93)). Le modèle est en mesure de reproduire avec précision les résultats expérimen-

taux de la dégradation de ΔI_{D-Lin} après 1000s de stress HCD (voir figure 2.52), effectué à V_{DS} = 2.5V, tout en augmentant le V_{GS} stress pour quatre épaisseurs de T_{Si}.

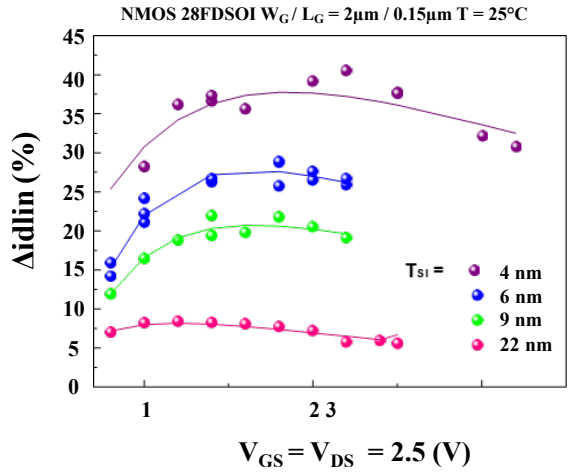


FIGURE 2.52 – Effet de T_{Si} sur la dégradation HCD de ΔI_{D-Lin} en fonction de V_{GS} avec V_{DS} = 2.5V, mesures effectuées sur un transistor NMOS FDSOI $W_G/L_G = 2\mu m/0.15\mu m$ avec 4 épaisseurs de T_{Si} = 4, 6, 9 et 22nm avec un T_{BOX} optimisé pour les meilleurs performances ($T_{Si} \approx 25nm$). Le modèle (trait noir) reproduit bien les mesures expérimentales.

Le modèle a également été validé pour différentes épaisseurs d'oxyde de grille Tox, constituées dans le cas de la technologie 28nm par un empilement SiON/High-K (HfO_2). L'épaisseur équivalente EOT joue un rôle crucial dans l'évolution technologique (voir chapitre 1). En effet, la réduction de l'épaisseur de l'EOT permet d'augmenter la capacité d'entrée du transistor, de limiter les effets de canaux courts tels que SCE et DIBL, et d'améliorer le contrôle électrostatique du canal à travers la grille. Elle permet aussi de maintenir, à travers la capacité C_{ox}, une amélioration continue du courant I_{On} d'un noeud technologique au noeud suivant. L'amincissement de l'EOT, qui est inversement proportionnel à C_{ox}, peut garantir un courant I_{On} plus élevé, en revanche, il peut avoir des conséquences négatives sur la fiabilité de dispositifs à cause de l'augmentation des courants de fuite à la grille $I_{G,leak}$ ce qui se reporte sur la consommation de la technologie.

La figure 2.53a montre une comparaison entre le modèle et la dégradation d'un transistor NMOS soumis à une contrainte HCD avec différentes épaisseurs de T_{ox}. On observe que la dégradation HCD diminue avec la réduction de l'épaisseur de l'oxyde de grille T_{ox} sur la figure 2.53b. Le modèle confirme cette observation, car l'énergie des porteurs est réduite lorsque la différence de tension $(V_D - V_{Dsat})$ diminue, ceci est pris en compte grâce à l'expression du couplage capacitif présenté à l'équation (2.93).

En technologie FDSOI, la structure LDD est également utilisée pour réduire le champ électrique latéral côté Drain et Source, comme pour la technologie Bulk. Cependant, des études ont montré que l'augmentation du dopage des zones LDD entraîne une augmentation des résistances d'accès du canal R_{SD}, ce qui se traduit par une réduction du courant I_{On}. La figure 2.54 illustre la dégradation ΔI_{DSat} en fonction

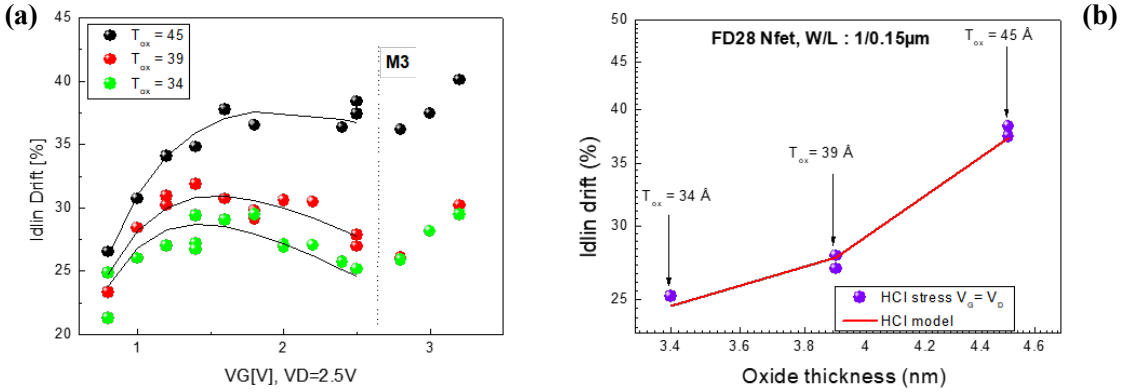


FIGURE 2.53 – (a) Effet de T_{ox} sur la dégradation HCD de ΔI_{D-Lin} en fonction de V_{GS} avec $V_{DS} = 2.5V$. Les mesures ont été effectuées sur un NMOS FDSOI avec 3 épaisseurs d'oxyde de grille T_{ox} =45Å, 39Å et 34Å. Le modèle (trait noir) reproduit bien les mesures expérimentales du Mode 1 et 2. Apparition du Mode 3 pour les forts V_{GS}. (b) Modélisation de l'effet de T_{ox} pour un stress $V_{GS} = V_{DS} = 2.5V$ [158].

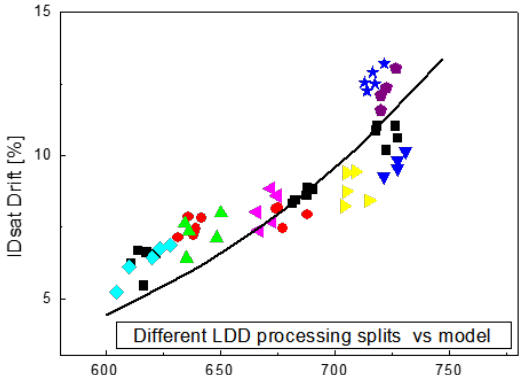


FIGURE 2.54 – Comparaison du modèle en énergie (ligne noire) à la dégradation du courant de drain mesurée en saturation ΔI_{DSat} en fonction du courant I_{On} à $V_{GS} = V_{DS} = V_{DD}$ pour des transistors NMOS FDSOI ($W_G/L_G = 2\mu m/0.15\mu m$) et pour différents process de structures LDD (symboles) [158].

de I_{On} pour différents process, avec des concentrations différentes pour les zones LDD de la Source et du Drain.

2.5 Conclusion

Dans ce chapitre, nous avons commencé par rappeler les différentes classifications des défauts du système Si/SiO_2. Cette première étape nous a permis de mettre en évidence les principales propriétés de deux types de défauts : les défauts d'interface N_{it} et d'oxyde N_{ot}. Nous avons choisi de nous concentrer sur ces défauts car ils sont générés par les dégradations de type porteurs chauds, BTI et TDDB, sujets qui seront abordés plus en détail dans les chapitres suivants. Les défauts d'oxyde N_{ot} sont associés à la présence d'un électron apparié sur un atome de silicium, tandis que les défauts d'interface N_{it} sont clairement attribuables à la rupture de liaisons Si-H présentes à l'interface Si/SiO_2.

Dans un second temps, nous avons présenté les origines des mécanismes physiques impliqués dans la dégradation d'un transistor. Ces principaux mécanismes à l'origine du vieillissement des transistors MOSFET ont été décrits à travers le BTI qui conduit à un décalage important de la tension de seuil à haute température, le claquage de l'oxyde de grille qui peut intervenir de façon progressive (soft) ou franche (hard), la dégradation par porteurs chauds et et finalement l'auto-échauffement. Ce chapitre nous a permis de présenter les modèles historiques des différents mécanismes de dégradation mis en place. Le modele HCD qui repose essentiellement sur l'accélération en champ électrique [108] formulé à travers le LEM [109], [110] a subit des améliorations impliquant les phénomènes d'interaction entre porteurs tels que l'Electron-Electron Scattering (EES) [121] ou le phénomène d'excitation multivibrationnelle (MVE) mis en évidence par STM [160]. Pour finir, nous avons introduit pour le NBTI les anciens modèles et les plus récents notamment les modèles les plus avancés de la littérature (Defect Centric, IIT Bombay, CET Map etc...).

Dans la dernière partie de ce chapitre, nous avons présenté des études expérimentales appliquées à la technologie 28FDSOI. Un modèle en tension basé sur l'énergie des porteurs a été proposé à travers un formalisme en énergie de la dégradation DC HCD en inversion, en utilisant une séparation en trois modes. Deux modes correspondent aux porteurs de moyennes (mode 2) et fortes énergies (mode 1), tandis qu'à haut V_{GS}, c'est la densité de porteurs du canal qui conduit à la dégradation par le mécanisme MVE (mode 3) sur une zone étendue du canal.

Ce modèle est une simplification du modèle en champ latéral exprimé en fonction des courants du transistor (I_{DS}, I_{BS}/I_{DS}), tout en prenant en compte les différentes dépendances liées à la technologie FDSOI, comme la polarisation substrat V_B par la face arrière (BG) à travers le ground plane, les effets de longueur L_G, d'épaisseur de l'oxyde de grille (EOT) ainsi que l'épaisseur de film de silicium T_{Si} de la zone active. Le modèle a été validé expérimentalement pour différentes géométries, où il a prouvé sa capacité à prédire plus directement le changement de pire cas de dégradation DC de la condition mid – V_G vers la polarisation $V_{GS} = V_{DS}$ avec la diminution de L_G. Il a

également été validé pour différentes variations de processus en fonction de T_{Si}, T_{ox}, et l'optimisation des zones LDD.

3 Étude du TDDB Off-state en mode DC

Sommaire

3.1 Introduction . . . 138
3.2 Contexte de l'étude . . . 138
3.3 Étude du TDDB en Off-state . . . 139
3.3.1 Mécanisme de conduction : Conduction Tunnel Direct et Fowler-Nordheim . . . 139
3.3.2 Caractérisation des courants de grille et de drain du transistor en Off-state . . . 142
3.3.3 Origine des porteurs chauds en Off-state . . . 144
3.3.4 La nature de la dégradation en Off-state et son évolution temporelle 146
3.3.5 Claquage du diélectrique en TDDB Off-state . . . 148
3.3.5.1 Les mécanismes déclencheurs en canal ultra-court . . . 149
3.3.5.2 Mesure des courants en DC avec la technique conventionnelle CVS . . . 151
3.3.5.3 Évolution temporelle des courants pendant la contrainte 152
3.3.5.4 distribution Weibull de la durée de vie TDDB . . . 153
3.3.5.5 Effet de la longueur de canal . . . 156
3.3.5.6 Les facteurs d'accélération du TDDB Off-state . . . 157
3.3.5.7 Extrapolation de la durée de vie . . . 162
3.3.5.8 Dépendance du TDDB en champ électrique . . . 162
3.3.5.9 Application du modèle de TDDB en courant . . . 165
3.3.5.10 Caractérisation de l'augmentation du courant induit par la contrainte (SILC) . . . 172
3.3.6 Etude de la relation entre le mode de claquage du diélectrique et sa localisation . . . 177
3.3.6.1 Description expérimentale . . . 178
3.3.6.2 Caractérisation du transistor avant et après la rupture du diélectrique . . . 180
3.3.6.3 Localisation du point de rupture . . . 181
3.4 Conclusion . . . 186

3.1 Introduction

Dans le deuxième chapitre, nous avons décrit les différents défauts et modes de dégradation ainsi que leurs modèles historiques. Dans ce chapitre, nous allons nous intéresser au phénomène de dégradation par porteurs chauds en modes DC Off-state et On-state. Bien que des efforts importants aient été consentis pour mieux comprendre les mécanismes physiques à l'origine de la dégradation HCD en inversion, seules quelques études ont été menées sur l'étude du HCD en Off-state, tel que rapporté dans la littérature existante.

Ainsi, dans cette étude, nous examinons la commonalité du TDDB dans des conditions DC d'Off-state sur une gamme de nœuds, allant du 130 nm au nœud avancé (CMOS du 28nm FDSOI). Les résultats de l'étude indiquent que le courant de fuite sous seuil est un indicateur critique et plus fiable que le champ électrique pour déterminer et modéliser la dégradation du TDDB en Off-state. Cette dégradation est causée par une combinaison de mécanismes tels que l'effet tunnel, l'augmentation du courant de jonction et les phénomènes d'ionisation d'impact.

3.2 Contexte de l'étude

En réduisant la taille des dispositifs, on peut améliorer leurs performances à la commutation tout en réduisant les coûts de production. Avant de pouvoir bénéficier de cette réduction de taille des MOSFET, plusieurs limitations physiques doivent être surmontées grâce à l'ingénierie continue. Les effets de canal court (SCE et DIBL) sont de plus en plus préoccupants pour le contrôle électrostatique de la fermeture du canal (mode Off) [161]. Dans la technologie CMOS, l'oxyde de grille est un élément crucial pour le bon fonctionnement du dispositif. Cependant, il est de plus en plus soumis à des contraintes agressives à mesure que son épaisseur diminue jusqu'à quelques couches atomiques. Cette contrainte peut entraîner une dégradation progressive de l'oxyde se traduisant par une augmentation du courant de fuite I_{Off}, qui peut finalement conduire à une rupture diélectrique. Il est donc essentiel de prévoir cette rupture pour garantir le bon fonctionnement du dispositif. L'estimation de la durée de vie de l'oxyde s'effectue par une mesure du temps au claquage du diélectrique appelé TDDB ou T_{BD} (Time to Breakdown). Prenons par exemple un inverseur CMOS sur la figure 3.1a, la tension d'alimentation commute constamment entre la grille et le drain. Cela entraîne une contrainte alternant BTI et Off-state comme le montre la figure 3.1b.

Il est important de prendre en compte l'état OFF dans l'estimation de la durée de vie du transistor MOS et dans une certaine mesure dans l'estimation de la durée de vie du circuit (par exemple : l'inverseur). Cependant, pour les technologies aux nœuds avancés (65 nm et et au-delà), les méthodes traditionnelles d'estimation de la durée de vie ne répondent pas aux spécifications attendues pour qualifier le produit. De plus, il a été constaté que le dispositif continuait à fonctionner correctement pendant un certain temps après la première défaillance de l'oxyde, ce qui rend les méthodes de prévision trop pessimistes. On parle alors de "Soft Breakdown" (SBD) qui peut

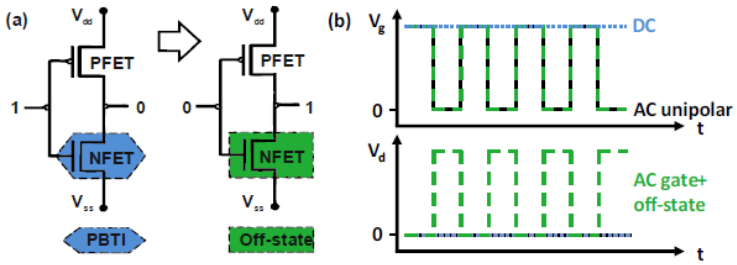


FIGURE 3.1 – (a) Schématique des états logiques d'un inverseur CMOS. Le mode de stress sur le NFET alterne BTI et mode OFF en fonction de l'état du signal d'entrée. (b) Schématique de patterns de stress TDDB en DC, AC unipolaire et AC grille + Off-state [162].

être détecté par un saut brusque dans le niveau du courant de fuite mesuré à la grille (I_G), à la source (I_S) ou au drain (I_D). Pour prolonger la durée de vie du dispositif, il est donc nécessaire d'estimer le temps écoulé entre le claquage du diélectrique et la première défaillance observée d'un des paramètres du transistor MOS, tels que I_{On} et/ou I_{Off}. Pour cela, une nouvelle méthodologie doit être développée pour une évaluation fiable et une estimation significative de la durée de vie. D'une part, des ajustements obligatoires sur les modèles d'accélération sont nécessaires pour mieux décrire la physique sous-jacente, en particulier pour les épaisseurs d'oxyde de grille équivalentes qui diminuent continuellement. D'autre part, les méthodes de mesure doivent être améliorées pour tenir compte, par exemple, des processus de relaxation rapide sous contrainte d'instabilité de température de polarisation BTI [163].

Dans ce contexte, il est essentiel de mener une étude sur la durée de vie du transistor MOS à l'état OFF. L'un des principaux enjeux de cette étude est de trouver des corrélations entre ce mode et les nombreuses données recueillies lors de l'estimation de la durée de vie du transistor MOS en régime d'inversion et/ou d'accumulation. Bien que certains auteurs aient suggéré que la dégradation de l'oxyde en mode OFF est identique à celle en régime d'inversion [164], de nombreuses hypothèses restent à clarifier et seront examinées de près dans le cadre de cette recherche.

3.3 Étude du TDDB en Off-state

3.3.1 Mécanisme de conduction : Conduction Tunnel Direct et Fowler-Nordheim

La structure Si/SiO_2 est représentée par un diagramme de bande sur la figure 3.2. L'isolant SiO_2 est caractérisé par une bande interdite de 8,9 eV, qui lui confère de bonnes propriétés isolantes. De plus, les porteurs sont confrontés à des hauteurs de barrière relativement élevées, soit 3,1 eV pour les électrons et 4,7 eV pour les trous, ce qui rend le SiO_2 relativement insensible à l'injection de porteurs. Il est important de

noter que la hauteur de barrière vue par les trous est nettement plus élevée que celle des électrons, ce qui signifie que les électrons seront les porteurs majoritairement injectés dans l'oxyde.

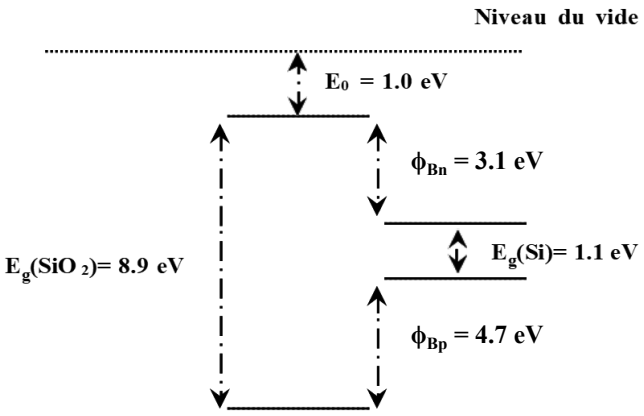


FIGURE 3.2 – Diagramme de bande idéal de la structure SiO_2. Positions relatives et absolues (par rapport au vide) des bandes de conduction et de valence du silicium (Si) et de l'oxyde de silicium (SiO_2).

Les porteurs, qu'ils soient des électrons ou des trous, s'accumulent aux interfaces de l'oxyde. Selon les principes de la mécanique quantique, ils peuvent alors traverser l'oxyde par probabilité tunnel, comme illustré sur la figure 3.3.

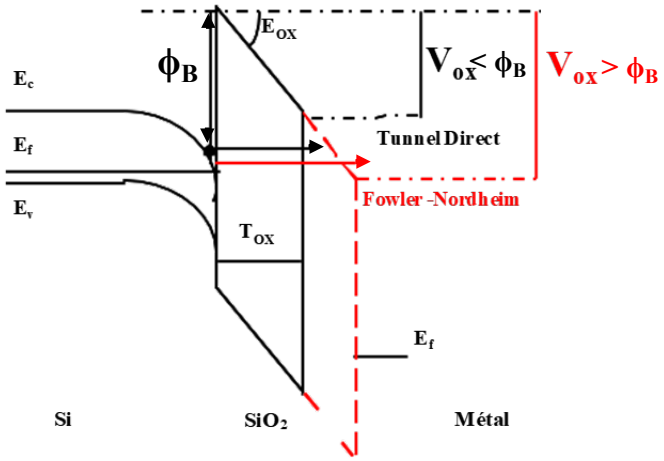


FIGURE 3.3 – Diagramme de bande d'une structure MOS et principaux modes de conductions limitées par les électrodes.

Pour les oxydes de grille, la hauteur de barrière peut varier en fonction de la polarisation V_{ox} de l'oxyde, de son épaisseur T_{ox} et de la position énergétique Φ_B du porteur par rapport à celle-ci. Il existe deux formes possibles pour la hauteur de barrière, comme illustré sur la figure 3.3 :

— Si la position énergétique Φ_B est supérieure à la polarisation V_{ox} ($\Phi_B > V_{ox}$), alors la hauteur de la barrière est trapézoïdale et la conduction est appelée "Tunnel Direct". Dans ce cas, le porteur traverse la barrière ballistiquement, sans perte d'énergie, sur une distance d'épaisseur T_{ox}, qui correspond à une transition iso-énergétique.
— Si la hauteur de barrière Φ_B est inférieure à la polarisation V_{ox} ($\Phi_B < V_{ox}$), alors la hauteur de la barrière est triangulaire et la conduction est appelée "Fowler-Nordheim". Dans ce cas, l'épaisseur de la barrière ne dépend que du champ E_{ox} et de la hauteur de la barrière Φ_B, et non de l'épaisseur T_{ox}.

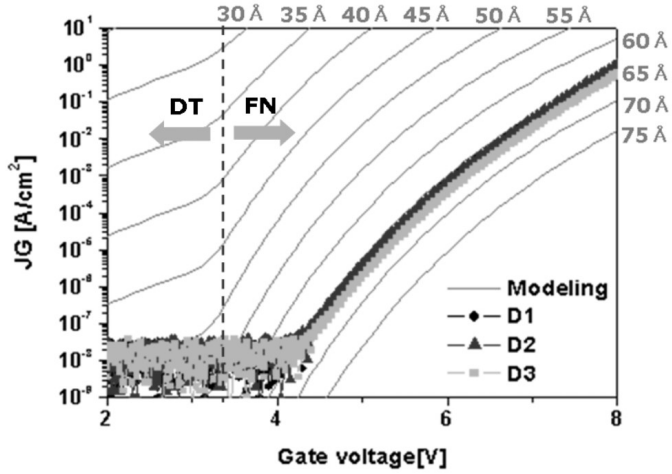


FIGURE 3.4 – Caractérisation et modélisation des densités de courant de grille en fonction de V_G sur des transistors ayant différentes épaisseurs de 30Å à 70Å [165].

Les courants de ces différents modes de conduction peuvent être exprimés de la manière suivante [166], [167] :

— Courant de conduction type Fowler-Nordheim :

$$J_{FN}(E) = A \,.\, E_{ox}^2 \,.\, e^{-\frac{B}{E_{ox}}} \tag{3.1}$$

où $A = \frac{q^3 \,.\, m_e}{16\pi^2 \,.\, \hbar \,.\, m_{ox}^* \,.\, \Phi} = 1,54.10^{-6} \,.\, \frac{m_e}{m_{ox}^* \,.\, \Phi}$ [A / V^2]
et $B = \frac{4}{3}\frac{\sqrt{2m_{ox}^*}}{q\hbar} \,.\Phi^{\frac{3}{2}} = 6,83.10^{-7} \,.\, \sqrt{\frac{m_{ox}^*}{m_e}} \,.\Phi^{\frac{3}{2}}$ [V / cm]

— Courant de conduction type Tunnel Direct :

$$J_{TD}(E_{ox}, T_{ox}) = \frac{A}{\left[1 - \sqrt{1 - \frac{qE_{ox}T_{ox}}{\Phi}}\right]} \,.\, E_{ox}^2 \,.\, e^{\left(-\frac{B}{E_{ox}}\left[1-\left(1-\frac{qE_{ox}T_{ox}}{\Phi}\right)^{\frac{3}{2}}\right]\right)} \tag{3.2}$$

Où A et B sont les mêmes constantes citées précédemment dans le cas de la conduction Fowler-Nordheim.

La figure 3.4 montre que le courant de grille se compose d'un courant Tunnel Direct (DT) et d'un courant Fowler-Nordheim (FN). La composante DT est dominante en dessous de 3V pour des épaisseurs d'oxyde de grille de 30Å à 50Å, tandis que le courant FN est dominant au-dessus de 4V pour les autres épaisseurs [165].

3.3.2 Caractérisation des courants de grille et de drain du transistor en Off-state

Le transistor MOS est dit en mode OFF lorsque la grille, le substrat et la source sont mis à la masse et une tension de drain appliquée égale à la tension nominale de la technologie considérée comme nous l'avons montré à la figure 1.15b. Dans ces conditions, le substrat est en régime de déplétion et il subsiste cependant un courant de fuite à l'origine du courant I_{off}. Les études menées par la suite ont pour but de déterminer les paramètres qui influent sur ce courant.

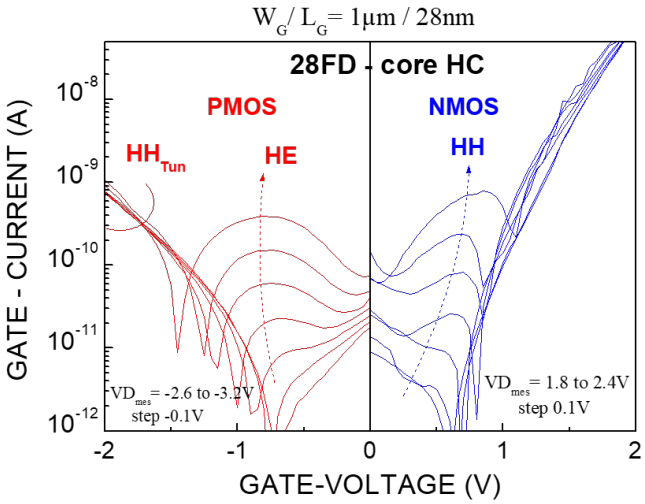


FIGURE 3.5 – Les conséquences de l'ionisation par impact mis en évidence par des mesures de courant de grille sous mode d'injection de porteurs chauds dans des transistors NFET et PFET $W_G/L_G = 1\mu m/28nm$ FDSOI à oxyde mince en fonction de V_{GS} et à des V_{DS} variables montrant des mécanismes d'injection distincts entre les électrons et les trous à faible V_{GS} qui se transforment en une seule composante de tunnélisation à V_{GS} élevé [168].

Nous avons commencé par caractériser le transistor MOS en analysant sa caractéristique $I_{GS}(V_{GS})$ pour différentes tensions de drain en régime de saturation sur des transistors NMOS et PMOS comme illustré dans la figure 3.5. La génération de porteurs chauds et leur dépendance en V_{GS} sont clairement distinctes dans les canaux P et N en raison de la différence du seuil d'énergie d'ionisation par impact et de la hauteur de barrière d'énergie pour les électrons et les trous [169] comme nous l'avons

mentionné dans la section précédente sur les mécanismes de conduction et à la figure 3.2. Une comparaison entre les canaux P et N a été effectuée dans [168], [170] en se concentrant sur la sensibilité HC à faible tension de grille en mettant l'accent sur l'efficacité d'injection de porteurs, principalement sur PMOS sous dégradation par porteurs chauds en On-state d'une part, et sur NMOS sous HCD en Off-state d'autre part, du fait de la gravité des dommages et de la sensibilité au claquage induit par l'injection de trous chauds (Hot-Holes HH). Cela signifie que des porteurs chauds à haute énergie peuvent déclencher des événements de rupture diélectrique en mode Off dans la région de la grille-drain [171], [172] en lien avec l'efficacité des trous chauds [173].

Dans le cas du PMOS comme illustré sur la figure 3.5, cela met en évidence la région de polarisation des électrons chauds injectés (Hot-Electrons HE) dans le courant de grille I_{GHE} ($-1.5V \leq V_{GS} < 0V, V_{DS} = -2.6$ à $-3.2V$), qui sont ensuite substitués par une composante de tunnélisation directe des trous de grille ($I_{GDT,H}$) à des valeurs plus élevées de V_{GS}. Dans le cas du NMOS, le courant de trous injectés à $0V \leq V_{GS} < 1V$ est limité par la composants de tunnélisation directe de grille ($I_{GDT,E}$) beaucoup plus importante que le courant de trous chauds (I_{GHH}), qui se transforme en courant de tunnelisation d'électrons ($I_{GDT,E}$) avec l'augmentation de V_{GS} ($V_{GS} \geq 1V$) indépendamment de V_{DS} variant de 1.8 à 2.4V.

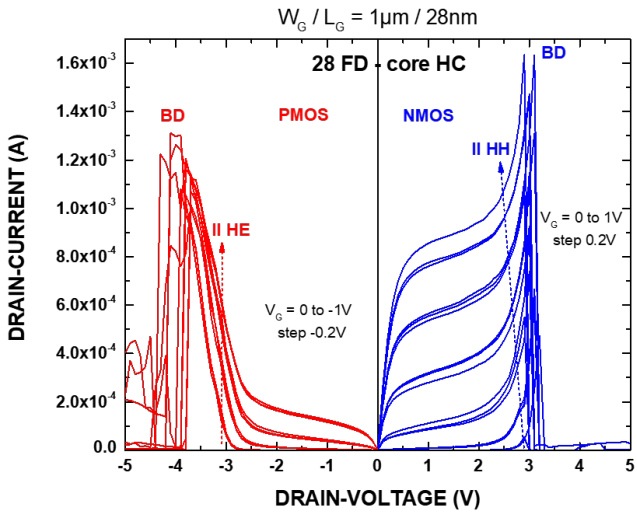


FIGURE 3.6 – Caractérisation de I_{DS} jusqu'au claquage de l'oxyde de grille en fonction de V_{DS} à des V_{GS} variables sur des des transistors NFET et PFET $W_G/L_G = 1\mu m/28nm$ FDSOI en conditions d'Off-state et sous-seuil. Le courant d'ionisation d'impact est plus élevé dans un NFET que dans un PFET sous la même polarisation inverse et le claquage du diélectrique se produit autour de 3V pour le NMOS dû aux injections de trous chauds (HH) tandis qu'il faut atteindre -4V en injection d'électons chauds (HE) pour indure la rupture diélectrique dans le PMOS [168].

En raison de la tension élevée V_{DS} appliquée entre la source et le drain du MOSFET, le champ électrique latéral fournit une énergie importante aux porteurs de charge

du canal, ce qui les amène à atteindre une distribution d'énergie non équilibrée [96]. Ces porteurs accélérés peuvent générer des paires électron-trou par II (figure 3.6) qui peuvent être injectées dans l'oxyde de grille en fonction de l'amplitude du champ vertical. Ce phénomène de II est mis en évidence sur la figure 3.5 par les mesures de courant de grille électron/trou.

3.3.3 Origine des porteurs chauds en Off-state

Lorsque le transistor est polarisé dans des conditions du mode OFF comme illustré à la figure 3.7 ($V_{GS} = 0V, V_{DS} >> V_{DD}$), divers composantes de courant de fuite peuvent circuler dans le dispositif. D. Varghese en investiguant sur des structures DeMOS (Drain Extended MOS), a identifié quatre types de fuite à savoir la fuite du courant sous-seuil (I_{SD}) qui proviendrait du coté de la source, la fuite de substrat (($I_{B,leak}$), la tunnélisation directe de bord de grille (I_{EDT}) et le courant de surface bande à bande (I_{BTBT}), dont chacune de ces composantes peut conduire à l'II et à la génération ultérieure de porteurs chauds. Grâce à une mesure du courant de drain I_{DS} on peut quantifier chacune de ces composantes.

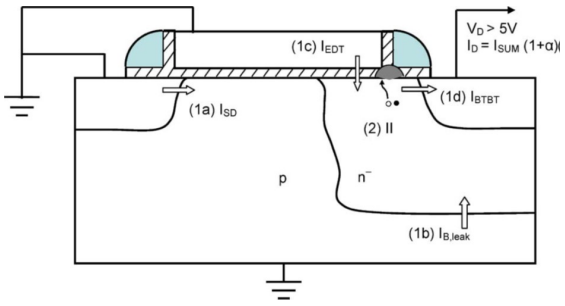


FIGURE 3.7 – Répartition des composantes de courant dans une structure d'un transistor DeNMOS sous condition d'Off-state. (1a) la fuite de courant sous-seuil I_{SD}, (1b) la fuite de substrat $I_{B,leak}$, (1c) la tunnelisation directe de bord de grilleI_{EDT} et (1d) le courant de surface bande à bande I_{BTBT}. Les porteurs chauds générés par l'ionisation par impact du courant I_{BTBT} sont injectés dans l'oxyde de grille créant des dommages (région ombrée) [174].

Le courant de tunnélisation directe de bord de grille (I_{EDT}) est mesuré au niveau de la grille séparément des autres fuites du canal. Il est extrêmement négligeable par rapport à I_{SD} et ne contribue donc pas significativement à la génération de porteurs chauds. D. Varghese a réalisé des mesures du courant de drain I_D dans quatre configuration différentes du transistor DeNMOS comme le montre la figure 3.8a. La configuration 4T consiste à appliquer une forte tension sur le drain et à appliquer des tensions nulles sur les trois autres terminaux (grille, source et substrat), ainsi le courant $I_{D,4T}$ est donné par l'équation (3.3). En source flottante (3T) la fuite du courant sous-seuil (I_{SD}) est supprimée, ce qui donne $I_{D,3T}$ à l'équation (3.4). En configuration 3T+VS (Voltage-Splitting method) lorsque le substrat est en accumulation ($I_{B,leak}$ supprimé) et la source flottante (I_{SD} supprimé), la principale fuite proviendrait que du mécanisme BTBT

(Band-to-Band Tunneling) comme défini à l'équation (3.5) dépendant du potentiel V_{DG}. En configuration 2T où la grille et le source sont flottantes, la polarisation V_{DG} est quasi-nulle contrairement à V_{DB} qui est élevée induisant des fuite au niveau du substrat donnant l'équation (3.6).

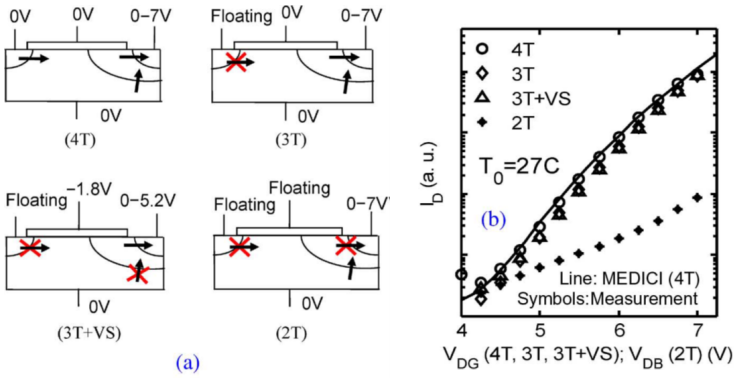


FIGURE 3.8 – (a) Différentes configurations de mesure de I_D pour identifier la composante de courant dominante sous conditions de polarisation d'Off-state. Les composantes actives sont indiquées par des flèches et les inactives par des flèches barrés. (b) Mesure du courant I_D résultant des différentes configurations de polarisation d'Off-state identifiant I_{BTBT} comme la composante de courant dominante [171].

$$I_{D,4T} = I_{SD} + I_{B,leak} + I_{EDT} + I_{BTBT} \tag{3.3}$$

$$I_{D,3T} = I_{B,leak} + I_{EDT} + I_{BTBT} \tag{3.4}$$

$$I_{D,3T+VS} = I_{BTBT} \tag{3.5}$$

$$I_{D,2T} = I_{B,leak} \tag{3.6}$$

Sur la figure 3.8b Varghese a comparé les différentes mesures de I_D dans les quatre configuration du transistor. Il ne constate pas de réduction significative du courant de drain I_D entre les configurations $I_{D,4T}$ et $I_{D,3T}$, ce qui implique que I_{SD} ne peut être une composante de courant dominante pour les transistor à longs canaux dans la génération de porteurs chauds en Off-state. Une mesure de $I_{B,leak}$ a été effectuée et représentée sur la figure 3.8b en configuration $I_{D,2T}$. Néanmoins, $I_{B,leak}$ est complètement supprimé en configuration $I_{D,3T+VS}$ pour en mesuré que la composante I_{BTBT} qui est du même ordre de grandeur que $I_{D,4T}$ et $I_{D,3T}$. Ainsi le mécanisme du BTBT est identifié comme la composante de courant dominante provoquant la génération de porteurs chaud en mode en mode OFF.

Le mécanisme de tunnélisation de bande à bande ou BTBT est un processus assisté par phonons et se produit en Off-state dans la région du drain, dans le cas d'un NMOS (ou PMOS respectivement) lorsque la tension de drain est élevée entraînant une forte courbure de bande près du côté drain, permettant une importante injection d'électrons (de trous respectivement) par effet tunnel depuis la bande de valence du substrat vers la bande de conduction du côté drain. En raison du champ électrique élevé dans

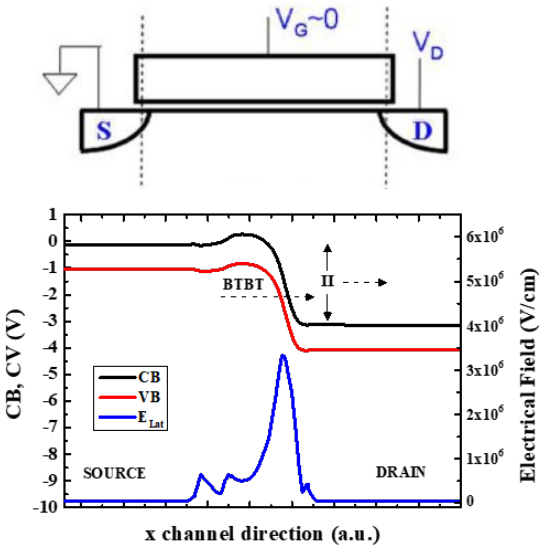


FIGURE 3.9 – Les profils de bande de conduction et de valence près de l'interface Si/SiO_2 ainsi que champ électrique le long du canal. Les processus du BTBT et de l'II sont également schématiquement représentés [175].

la région du drain, les électrons (ou trous) émergent vers un niveau d'énergie élevé et induisent une ionisation par impact produisant plus de pairs électrons-trous chauds. Ainsi les trous ou électrons peuvent éventuellement être injecté vers la grille ou le substrat et provoquer la dégradation du diélectrique de grille. La figure 3.9 montre le diagramme de bande d'un NMOS en Off-state illustrant les phénomènes du BTBT, de l'II ainsi que le profil du champ électrique tout au long du canal.

3.3.4 La nature de la dégradation en Off-state et son évolution temporelle

Le HCD ou dégradation par porteurs chauds a historiquement été associée à la rupture des liaisons ≡ Si–H à l'interface Si/SiO_2. Récemment le HCD en Off-state a été associée à la rupture des liaisons ≡ Si–O à l'interface [171] comme illustré à la figure 3.10a, avec un modèle de dispersion de liaison montrant des exposants temporel plus élevés (n = 0,7 - 0,8) par rapport à ceux obtenus en HCD On classique (n = 0,5), étendant les résultats à une modélisation universelle de la dégradation en On-state [172]. Cela a conduit à conclure que la HCD en On-state n'a aucune corrélation directe avec le claquage du diélectrique [176]-[178]. Des mesures de TDDB On-state effectuées en leur faisant précédé d'une contrainte HCD On-state, ont montré qu'il y a ni d'accélération ni de réduction du T_{BD} [179]. Cependant, nous avons récemment observé que la HCD en précontrainte sous un mécanisme de particules multiples (MP) peut entraîner une réduction de T_{BD} sous le TDDB en mode Off par rapport à TDDB Off seul [157], [159].

Nous avons extrait la dégradation du courant de drain en régime linéaire ΔI_{D-LIN}

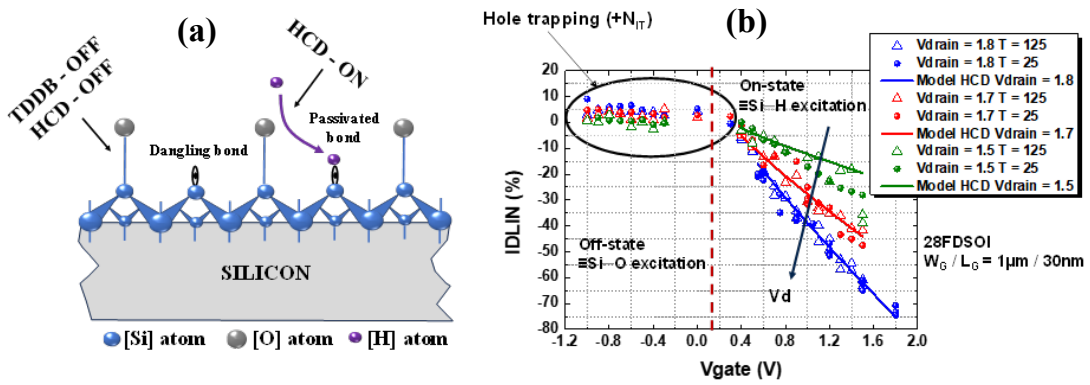


FIGURE 3.10 – (a) Schématique de la structure Si/SiO_2 montrant une liaison Si- libre à l'interface Si/SiO_2 et une liaison Si-H passivée. L'hydrogène incorporé dans le dispositif se lie à une liaison Si- libre qui était électriquement active, formant ainsi une liaison Si-H. (b) La dégradation du courant I_{DS} mesurée en linéaire ou ΔI_{D-LIN} ($V_D = 50mv, V_G = 1V$) extrait à $t_s = 10^4 s$ sur un transistor NMOS FDSOI $L_G = 30nm$ entre la température ambiante (25 °C) et T = 125 °C. ΔI_{D-LIN} est tracé en fonction V_G stress entre -1 à 1.8V en modes Off et On avec la modélisation de la dégradation en mode On (lignes).

(figure 3.10b) après une contrainte HCD DC de 10^4s entre 25 °C et 125 °C sur un NMOS 28FDSOI $L_G = 30nm$ en mode On (modèle représenté par les lignes) d'une part et en mode Off d'autre part, pour une tension V_{DS} fixe de 1,5 à 1,8V et une tension V_G fixe de -1 à 1,8V. En HCD mode On ΔI_{D-LIN} se dégrade continuellement (négativement) pour $V_{GS} > V_{TH}$ en fonction de V_{DS} et suit une loi de puissance temporelle comme rapportée étant due à la génération de défauts d'interface ΔN_{it} de type d'accepteur liée à la rupture des liaisons ≡ Si–H à l'interface Si/SiO_2 [42], [96], [122]. Alors que sous la contrainte HCD en mode Off et en conditions sous-seuil ($V_{GS} < V_{TH}$), nous observons sur la figure 3.10b que ΔI_{D-LIN} est positif et ne dépasse pas 10%, ce qui pourrait être lié à l'excitation des liaisons ≡ Si–O.

L'évolution temporelle des pièges à l'interface Si/SiO_2 en Off-state a été mesurée à travers la dégradation du courant de pompage de charge ΔI_{CP} pour différentes tensions de drain et températures comme le montre la figure 3.11a [174]. On observe que l'exposant n de la puissance temporelle extrait est très élevé (0,7-0,8).

Les dispositifs stressés en Off-state sont par la suite soumis à des phases de relaxation au cours desquelles tous les terminaux du transistor étaient mis à la masse. Les dommages à l'interface générées pendant les phases de stress en Off-state sont aussi observés en relaxation comme présentés sur la figure 3.11b. Ce qui ne montre aucun recouvrement significatif pendant la phase de relaxation. L'exposant temporel n élevé obtenu pendant la phase de stress et l'absence de récupération durant la phase de relaxation indiquent que la contribution dominante aux dommages à l'interface pendant le stress en Off-state devrait provenir de la rupture des liaisons ≡ Si–O.

Le troisième indice de cette énigme vient de la corrélation entre les dommages à l'interface et la densité de trous chauds. Il est montré dans [180] que les liaisons

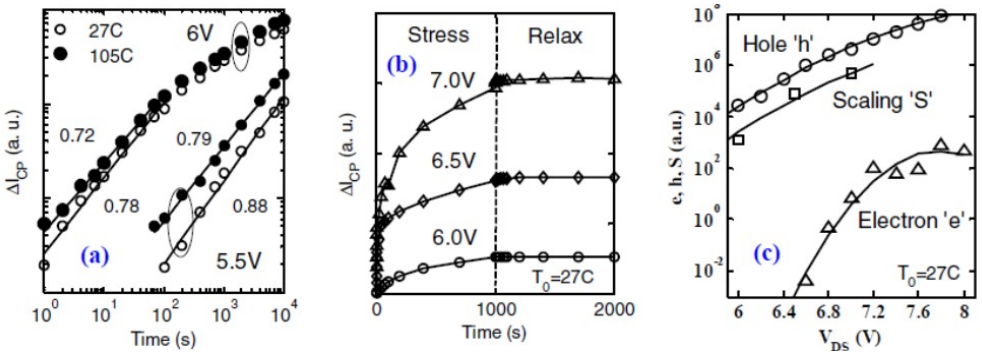


FIGURE 3.11 – Évolution temporelle des dommages à l'interface ΔI_{CP} pendant (a) la phase de contrainte à différentes tensions de drain et températures et (b) les phases de contrainte et de relaxation consécutives. (c) Densités intégrées de trous chauds (E>4,7eV en cercles) et d'électrons (E>3,1eV en triangles) sous la région de recouvrement de grille pour différentes tensions de drain obtenues à partir de simulation Monte-Carlo. Le taux de génération de dommages N_{it} (carrés) pour différentes tensions de contrainte sont également tracés et se sont avérés bien corrélés avec la densité intégrée de trous chauds [174].

≡ Si–O sont préférentiellement rompues en présence de trous chauds. Pour vérifier cela, D. Varghese a intégré la densité de trous chauds et d'électrons sous la grille dans la région des dommages à l'interface obtenue à partir d'expériences de profilage latéral. Les densités intégrées de trous (E>4,7eV) chauds et d'électrons (E>3,1eV) ainsi que le taux de génération de pièges d'interface sont tracés en fonction de V_{DS} sur la figure 3.11c. Le taux de génération de pièges d'interface est inversement proportionnel au temps nécessaire pour que les dommages à l'interface atteignent un niveau spécifié arbitrairement. Une bonne corrélation entre le taux de dommages et la densité de trous chauds confirme également que la contribution dominante de dégradation est due à la rupture des liaisons ≡ Si–O.

3.3.5 Claquage du diélectrique en TDDB Off-state

La fiabilité TDDB reste une préoccupation majeure pour les nœuds CMOS à canal ultra-court avec la nécessité de garantir des performances de vitesse et de faible consommation. Bien que la contrainte en Off-state ait tendance à dégrader le dispositif à un taux plus faible que la contrainte en On-state, elle peut devenir un facteur limitant aux conditions d'opération RF du domaine des ondes millimétriques (5G) [1-3]. Dans ces conditions, la tension d'alimentation V_{DD} peut être doublée par rapport à celle utilisée pour l'application logique, ce qui peut augmenter considérablement le risque de défaillance. Ainsi, les dérives des paramètres du dispositif pourraient devenir significatives en corrélation avec la rupture douce qui peut déclencher une claquage franc dans la région de grille-drain une fois qu'une densité critique de défauts localisés est générée.

Généralement, la rupture du diélectrique en Off-state est modélisée par le TDDB en

accumulation dans la région de d'overlap due à la création d'un dommage excessif à l'intégrité de l'oxyde. Il s'agit en effet d'un mode de défaillance pertinent qui permet de solliciter le dispositif de manière symétrique en utilisant à la fois les regions LDD de la source et du drain ou en utilisant la technique de répartition de tension [14-15]. Cependant, dans notre étude, le TDDB en Off-state est abordé dans le contexte des applications RF (V_{DS} élevé) et est principalement induit par les porteurs chauds pour les transistors à canal ultra-court, dépendant fortement de la longueur de canal L_G et du courant I_{DS} [175].

Dans cette section nous commençons par une brève description de la configuration expérimentale et des dispositifs utilisés. Nous présentons ensuite une étude dédiée à la rupture de l'oxyde de grille dans trois nœuds de technologie CMOS différents, suivie de la caractérisation et de la modélisation des courants drain-grille en TDDB Off-state. Nous poursuivons avec une étude de la cinétique temporelle des mécanismes de génération de défauts dans l'oxyde de grille et leur dynamique spécifique, à travers la surveillance du courant de fuite induit par le stress (SILC). Enfin, nous examinons la relation entre le mode de claquage du diélectrique et sa localisation.

3.3.5.1 Les mécanismes déclencheurs en canal ultra-court

La dégradation des transistors à canaux ultra-courts peut se produire en Off-state et en conditions de sous-seuil en raison de l'ionisation par impact et des porteurs chauds non conducteurs. Ces régimes de fonctionnement peuvent être sensibles à la dégradation par porteurs chauds en corrélation avec les événements de claquage plus fréquent lorsque la tension de grille V_{GS} varie jusqu'à V_{Gmax}, où pour le NMOS les injections de trous chauds autour de V_{TH} limitent la durée de vie du dispositif et peuvent déclencher plus facilement le phénomène de claquage [14]. Contrairement à l'étude porté D. Varghese, les trous injectés dans la grilles peuvent provenir du mécanismes d'injection de porteurs chauds en avalanche au drain (DAHC) générés par les fuite du courant sous-seuil I_{SD} provenant de la source à travers la forte accélération du champ électrique latéral et de la tunnélisation de surface bande à bande (BTBT) au bord du drain pour $q\Phi_B \geq E_g(Si) \approx 1.12V$ [171].

La contribution possible des porteurs chauds a été étudiée plus en détail par S. Kupke à l'aide de mesures de courant et du temps au claquage T_{BD} sur différentes de la longueur de grille [162]. Comme le montre la figure 3.13, les courants du substrat (Body) et de grille sont restés pratiquement constant de $L_G = 2\mu$m à 26nm. Cependant, en dessous de $L_G = 42$nm $I_{DS,leak}$ a fortement augmenté pour les canaux ultra-court avec une dépendance exponentielle en $1/L_G$ comme exprimé à l'équation (3.7), dépassant le courant du substrat qui est la composante du BTBT.

$$I_{DS,leak} \propto e^{-\frac{1}{L_G}} \tag{3.7}$$

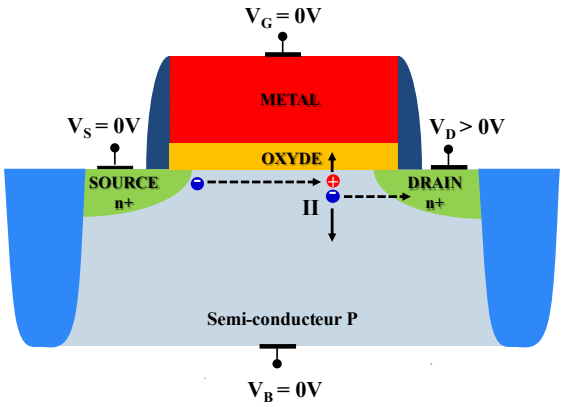


FIGURE 3.12 – Illustration du phénomène d'injection de trous chauds sous une contrainte TDDB Off-state sur un NMOS. Le courant élevé du canal génère des porteurs chauds par ionisation par impact. Les électrons chauds sont collectés par le contact de drain, tandis que les trous chauds sont repoussés par le potentiel de drain positif élevé et sont soit injectés dans l'oxyde de grille ou collectés par le contact du substrat.

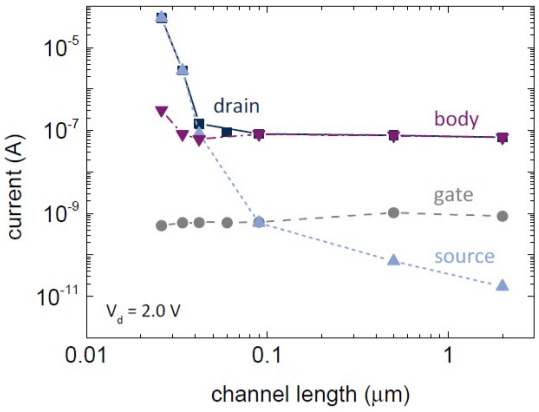


FIGURE 3.13 – Mesure des courants de drain, source, grille et du substrat ou body en fonction de la longueur de canal pour une tension de drain fixe dans la configuration de polarisation de la figure 3.12 où les autres terminaux sont mis à la masse. Le courant de drain est composé des trois contributions venant de la source, de la grille et du substrat. Pour les dispositifs à canal ultra-court, la fuite du courant sous-seuil I_{SD} provenant de la source est dominante [162].

3.3.5.2 Mesure des courants en DC avec la technique conventionnelle CVS

Le claquage d'oxyde est le phénomène qui correspond à l'étape ultime de la dégradation de l'oxyde. D'un point de vue électrique, il entraîne une augmentation significative de la fuite de grille à cause des pertes des propriétés isolantes de l'oxyde. De plus, il a une propriété spécifique d'apparition, non pas sur toute la surface d'oxyde, mais à travers l'oxyde par la création d'un chemin de conduction entre les deux électrodes.

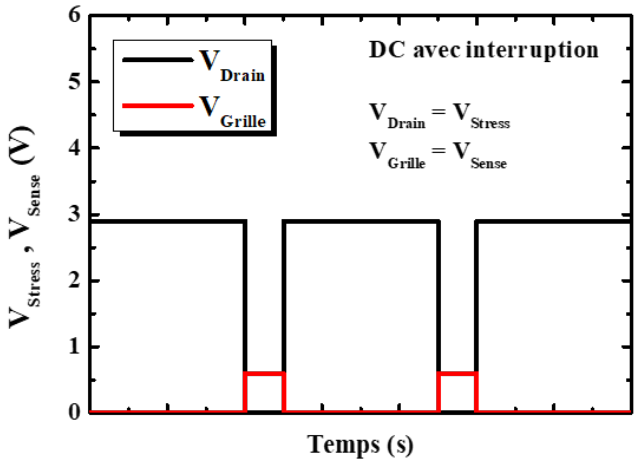


FIGURE 3.14 – Illustration du principe de la mesure CVS conventionnelle sur un transistor MOS en condition DC Off-state $V_{Drain} = V_{Stress}$ appliquée sur le drain avec interruption du stress pour caractériser l'évolution dégradation des paramètres du MOS à une très basse tension $V_{Grille} = V_{Sense}$.

Les industriels utilisent une méthode conventionnelle appelée CVS (Constant Voltage Stress) pour caractériser le claquage d'oxyde. Cette méthode implique l'application dans un environnement à haute température, d'une forte tension V_{Stress} sur un terminal du transistor ($V_{Drain} = V_{Stress}$ pour l'Off-state) et la mesure de sa dégradation en surveillant le courant de grille. Pendant la contrainte, des interruptions régulières sont effectuées pour extraire les caractéristiques du transistor et leur évolution à une tension plus basse appelée tension de "Sense" $V_{Grille} = V_{Sense}$. De cette façon, on peut obtenir un temps de stress effectif T_{BD} qui reflète le claquage de l'oxyde par un saut de courant. La figure 3.14 présente ce type de signal en mode DC Off-state. Cette méthode est utile pour détecter le claquage mou ou progressif (Soft) et mesurer le courant SILC au fil du temps. Bien qu'un claquage franc (Hard) peut être détecté lorsque la tension de "Sense" est très élevée, il peut être difficile de distinguer les variations de courant lors de la mesure d'un claquage Soft. Pour cette raison, des tensions plus faibles sont appliquées pendant la mesure, afin de surveiller le niveau du courant au fil du temps.

3.3.5.3 Évolution temporelle des courants pendant la contrainte

Pour l'étude TDDB en mode off, nous avons testé des nœuds CMOS avec des NFET et PFET du 28 nm fabriqués avec du HKMG et une couche d'interface en SiO_2 (EOT = 1,5 nm), du 65 nm (EOT = 1,85 nm) à 130 nm (Tox = 2,3 nm) avec un diélectrique en SiON qui ont été soumis à une contrainte de tension constante CVS appliquée sur le drain à 125°C puis 25°C, tandis que les autres terminaux du transistor sont polarisés à 0V (figure 3.12). Pendant la contrainte, nous avons effectué des caractérisations I-V des dispositifs (figures 3.5 et 3.6) et des mesures de courant de fuite comme illustré aux figures 3.15 et 3.16 sur des transistors du nœud 28nm FDSOI. Tout d'abord, les dépendances en température, V_{DS} et L_G du T_{BD} sont étudiées sur plusieurs dispositifs et le temps au claquage tracé des valeurs minimales au maximales. Ensuite, la rupture diélectrique, qu'elle soit "Soft" ou "HARD", est étudiée en fonction de la composante de champ électrique non uniforme E_{Lat} et des courants de fuite induits par la contrainte de polarisation du drain V_{DS}.

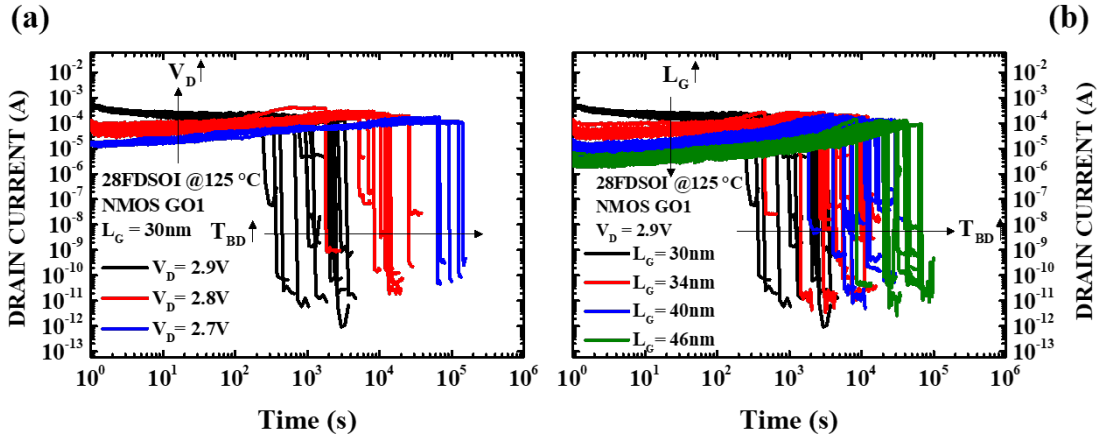


FIGURE 3.15 – Mesure du courant de fuite au niveau du drain I_D au cours d'un stress TDDB Off-state à différentes valeurs de V_{DS}, sur des transistors NFET du nœud 28nm FDSOI $W_G = 1\mu$m ayant différentes longueur de grille L_G, en fonction du temps de contrainte effectif jusqu'à la rupture du diélectrique (claquage vers le bas). (a) Les fuites de courant initiaux du drain augmentant avec V_{DS} pour la même longueur de grille L_G = 30nm alors que le claquage est tardivement obtenu pour les faibles V_{DS}. (b) La fuite initiale de courant est plus faible pour les grandes longueurs de grille, le courant de drain diminuent avec L_G à la même polarisation $V_{DS} = 2,9$V et le claquage est tardivement obtenu pour les grandes longueurs de grille [168].

Pour les échantillons frais des NMOS du noeuds 28nm FDSOI, à $t_s = t_0$ la composante du courant de fuite induite par la contrainte ou Stress-Induced Leakage Current (SILC) du côté drain (figure 3.15a) et dans le volume de l'oxyde de grille (figure 3.16a) augmente avec V_{DS} pour la même longueur de grille, tandis que le SILC est réduit pour les dispositifs plus longs à la même polarisation (figures 3.15b et 3.16b). Dans ces conditions où le substrat est déplété et présentant des fuites, même sans la couche d'inversion les porteurs peuvent être injectés depuis le bord du drain par II

en combinaison du BTBT appuyé par le champ électrique vertical, créant des défauts à l'interface et dans le volume de l'oxyde de grille. Cela se produit non seulement dans la petite zone d'overlap ou de recouvrement grille-drain, mais peut s'étendre vers le canal à partir de la couche de drain profondément déplétée. Le claquage du diélectrique est détecté (claquage vers le bas) sur les figures 3.15 et 3.16, par des sauts abrupts vers le bas de courant aux bornes du drain et de la grille. On peut bien observer la coïncidence des courants de grille et drain en dessous de 10^{-11}A après la rupture du diélectrique, confirmant la création d'un chemin de percolation dans l'empilement HKMG de la grille localisé au bord du drain.

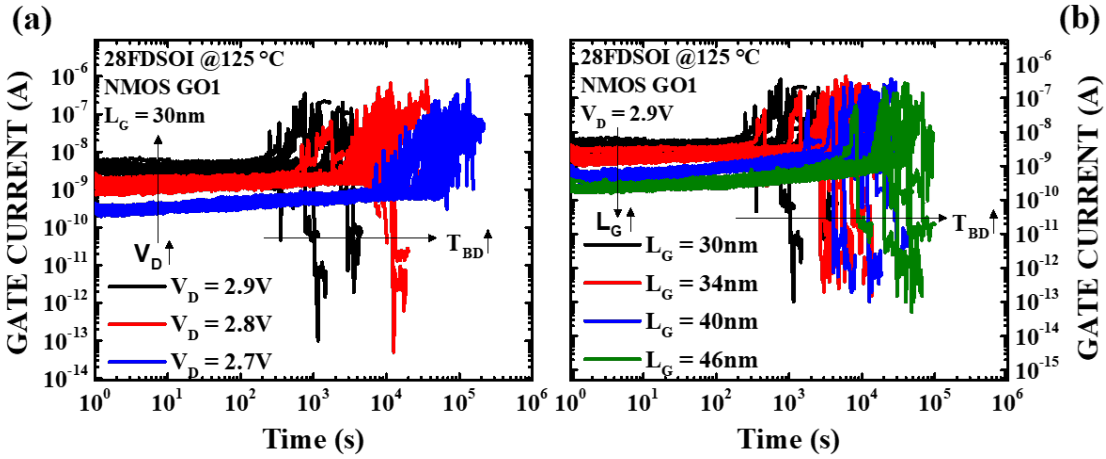


FIGURE 3.16 – Courants de fuite de grille durant une contrainte TDDB Off-state en fonction du temps de stress cumulatif jusqu'à la rupture du diélectrique sur des transistors NFET $W_G = 1\mu$m du nœuds 28 nm FDSOI avec différentes valeurs de V_{DS} et L_G. (a) Les courants initiaux de grille augmentent avec V_{DS} pour $L_G = 30$nm. (b) La fuite initiale de courant est plus faible pour les longs dispositifs, les courants de grille diminuent avec L_G à la même polarisation $V_{DS} = 2,9$V [168].

Afin de prendre en compte l'aspect statistique du phénomène de claquage, l'expérience est répétée sur plusieurs échantillons pour extraire la durée de vie T_{BD} pour chaque composant. A partir de ces temps cumulés, on obtient une distribution plus ou moins dispersée qui peut être expliquée par une distribution de Weibull. Cette dernière est caractérisée par un temps caractéristique $T_{BD@63\%}$ et une pente notée β. La partie suivante sera donc consacrée à la présentation des distributions de Weibull du temps au claquage obtenu sur les différentes technologies.

3.3.5.4 distribution Weibull de la durée de vie TDDB

Pour estimer la durée de vie d'un diélectrique de grille, l'évaluation du TDDB nécessite au moins trois à quatre conditions de polarisation élevées sur plusieurs échantillons par tension de stress, comme indiqué aux figures 3.17, 3.18 et 3.19, afin que la durée de vie puisse être extraite pour chaque polarisation de stress ainsi que la distribution cumulative de Weibull, selon les statistiques de Poisson et la théorie de

percolation sur les défauts distribués aléatoirement dans l'oxyde de grille, satisfaisant les propriétés d'extrapolation en surface [181].

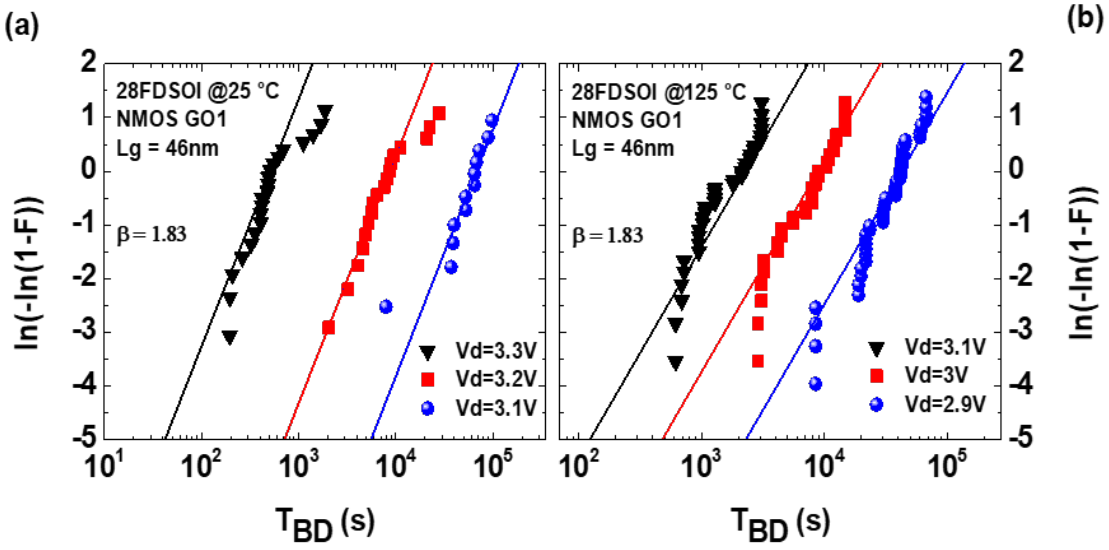


FIGURE 3.17 – Distribution cumulative de Weibull obtenue en TDDB Off-state sur un GO1 28FDSOI NMOS $W_G/L_G = 1\mu m/46nm$ à différentes tensions de stress V_{DS} à (a) 25 °C et (b) 125 °C, montrant la même pente de Weibull β pour les differentes conditions de stress.

Une étude de TDDB Off-state a été effectuée sur des oxydes de grille minces (GO1) provenant de différentes technologies avec différentes longueurs de grille dont des transistors du 28nm FDSOI à la figure 3.17 (NMOS L_G = 46nm), du 65nm SOIFEM (CMOS L_G = 60nm) à la figure 3.18 et du 130nm (CMOS L_G = 500nm) à la figure 3.19. Ces figures nous montrent par ailleurs que la pente de Weibull β ne dépend pas des conditions de stress c'est à dire ni de la tension et ni de la température, autorisant toute extrapolation. Nous notons la faible dispersion des données du temps au claquage T_{BD} et la pente β constante pour chaque V_{DS}, L_G et température, contrairement aux distributions bimodales observées en TDDB On-state sur les oxydes de grille à haute permittivité (High-K) ou à faible permittivité (Low-K) [182].

La gamme de tension expérimentale de claquage est extrêmement étroite (figures 3.17, 3.18 et 3.19) au point qu'il est possible de ne pas détecter une défaillance du diélectrique masquée par un fort courant d'avalanche. Cela nous amène à penser que la rupture du diélectrique en Off-state ne se produit peut-être pas uniquement dans la région d'overlap grille-drain, mais s'étend éventuellement à V_{DS} élevé depuis le bord du drain avec l'extension de la zone de charge d'espace (ZCE) vers la source. Nous observons également qu'en Off-state, la pente de Weibull β est considérablement plus élevée pour les PMOS par rapport à celle des NMOS, comme le montre les figures 3.18 et 3.19.

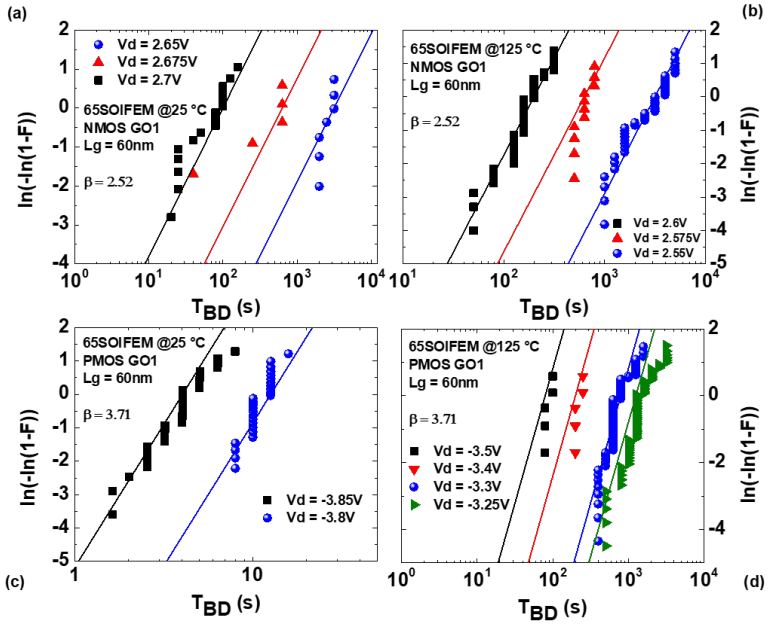


FIGURE 3.18 – Distribution de Weibull tracée à différentes tensions de drain V_{DS} pour des CMOS GO1 de la technologie 65SOIFEM $W_G/L_G = 10\mu m/60nm$ (a) NFET à 25 °C, (b) NFET à 125 °C, (c) PFET à 25 °C et (d) PFET à 125 °C. La pente de Weibull β est obtenue indépendamment de la polarisation et de la température et se trouve plus élevée pour les PMOS que les NMOS.

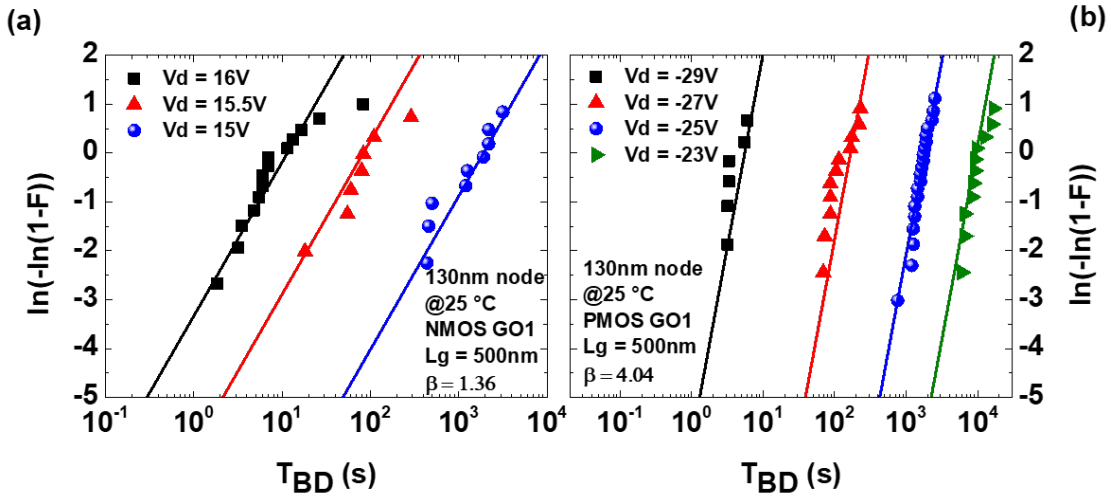


FIGURE 3.19 – Distribution du temps au claquage à 25°C et différentes tensions de drain V_{DS} sur des structures CMOS GO1 $W_G/L_G = 10\mu m/500nm$ du noeud 130nm (a) NMOS avec une pente β inférieur a celle des (b) dispositifs PMOS.

3.3.5.5 Effet de la longueur de canal

La figure 3.20 représente la durée de vie des structures CMOS du nœud 130nm, similaires à celles étudiées par Varghese. Différentes longueurs de canal CMOS sont soumises à la même contrainte, à savoir $V_{DS} = 15V$ pour les NMOS et $V_{DS} = -27V$ pour les PMOS. Compte tenue de la faiblesse du champ électrique latéral et de la fuite de courant I_{SD}, il n'y a aucun effet de la longueur du canal L_G sur la durée de vie T_{BD} des CMOS du nœud 130nm. Le claquage diélectrique est principalement dû au mécanisme BTBT qui induit l'ionisation par impact dans la région drain-grille.

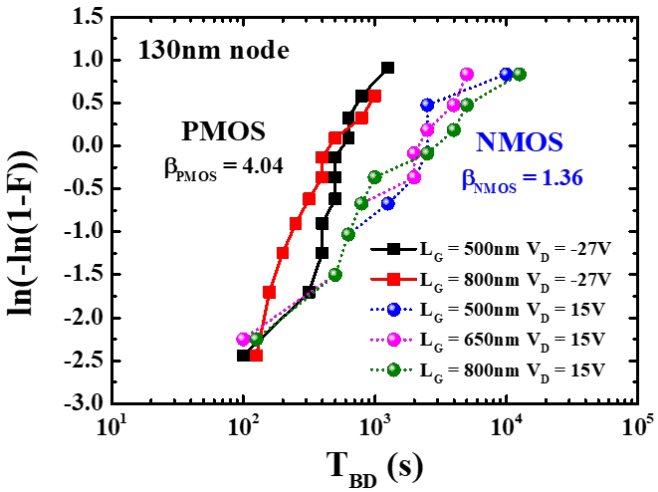


FIGURE 3.20 – La distribution cumulative de Weibull du temps au claquage en TDDB Off-state pour différentes longueurs de grille $L_G = 500$ à 800nm des CMOS du 130nm $W_G = 10\mu$m à une tension de drain fixe. On observe une absence d'effet de longueur du canal L_G sur le T_{BD}.

On observe sur les figures 3.21 et 3.22, que pour les nœuds avancés (65nm et en deçà) le T_{BD} augmente avec la longueur de canal L_G sans changer de manière significative β, ce qui suggère que les dommages induit en TDDB Off-state sont fortement corrélés à l'énergie des porteurs chauds et à la quantité de ces porteurs injectés dans l'oxyde de grille. La pente de Weibull β semble être indépendante de la longueur de canal L_G, de la polarisation appliquée et de la température, le modèle en loi de puissance peut décrire empiriquement cette dépendance. Cependant le temps au claquage T_{BD} dépend fortement de la longueur de grille. Bien que la surface de l'oxyde de grille soit plus grand pour les long canaux, T_{BD} augmente avec L_G en raison de la réduction du taux d'ionisation par impact avec moins de génération des paires électron-trou chauds pour les grandes longueurs.

Des mesures de TDDB avec une jonction de source flottante présentées dans [162] et [183], éliminant la contribution du courant de canal, ont révélé un comportement similaire avec des durées de vie très longues. La génération de paires électron-trou est encore possible à travers la fuite induite par la tunnélisation bande à bande (BTBT) au bord du drain mais le temps au claquage augmente considérablement. Par conséquent,

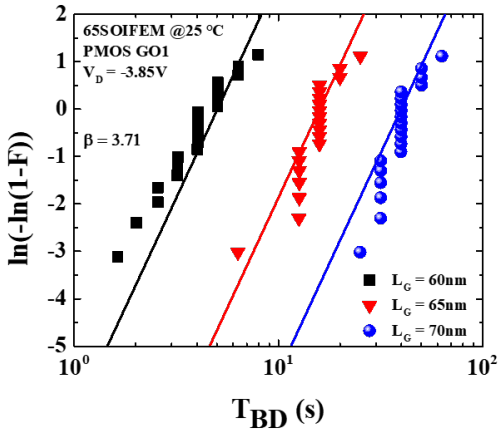


FIGURE 3.21 – La distribution du temps à la défaillance en TDDB Off-state pour différentes longueurs de grille de transistors PMOS 65SOIFEM $W_G = 10\mu$m à une tension de drain fixe $V_{DS} = -3,85$V. La rupture du diélectrique se produit plus tard pour les dispositifs à canal plus long. On obtient la même pente β que pour différentes tensions de drain et températures aux figures 3.18c et d.

sur la base de ces données et des modèles proposés, nous pouvons dire que le TDDB en Off-state peut être atténué pendant la phase de développement technologique par une optimisation du processus de fabrication visant à réduire l'II au bord du drain et la tunnelisation de bande à bande [184]. Pendant la phase de conception, une augmentation de la longueur de grille ou une configuration de source flottante peuvent être utilisées afin de réduire l'ionisation par impact au bord du drain.

3.3.5.6 Les facteurs d'accélération du TDDB Off-state

Les études statistiques de fiabilité que nous avons menés sur un même oxyde pour différentes tensions de contrainte appliquées sur le drain, ont montré que les temps au claquage mesuré sont de plus en plus court lorsque la tension et la température sont plus élevées. Le claquage du diélectrique dans un CMOS est ainsi accéléré par différents facteurs, notamment le champ électrique, la tension et la température. Les champs électriques et les tensions élevés peuvent provoquer des décharges électriques dans le diélectrique, tandis que des températures élevées peuvent accélérer les réactions chimiques.

En revanche la pente β et la linéarité des distributions cumulées sont indépendantes de la tension de contrainte. Ainsi on peut simuler avec une même loi de Weibull les différentes distributions sans en modifier la forme. La forme des distributions étant conservée avec la tension de stress, il est donc possible de caractériser les distributions de TDDB à des tensions plus fortes, pour réduire le temps expérimental et avoir un nombre important de données.

Globalement, pour évaluer une dépendance avec la tension, les temps moyens $T_{BD@63\%}$ sont extraits à différentes conditions de stress, comme indiqué sur les figures

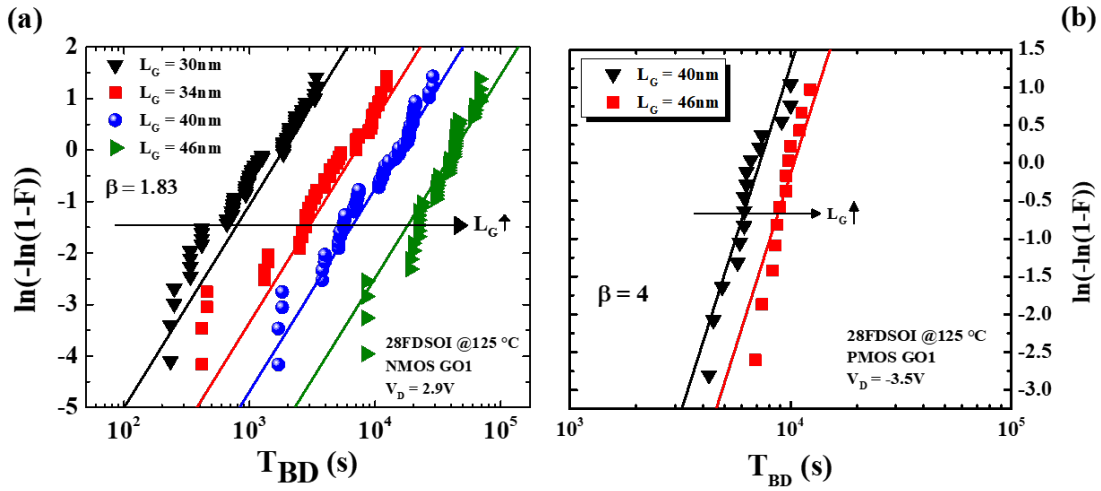


FIGURE 3.22 – La distribution cumulative de Weibull du temps au claquage en TDDB Off-state pour différentes longueurs de grille des CMOS 28nm FDSOI $W_G = 1\mu m$ à une tension de drain fixe. (a) NMOS $L_G = 30$ à 46nm avec $V_{DS} = 2,9V$ et (b) PMOS $L_G = 40$ et 46nm avec $V_{DS} = -3,5V$. La rupture du diélectrique se produit plus tard pour les dispositifs à canal plus longs sans changer de pente de Weibull β.

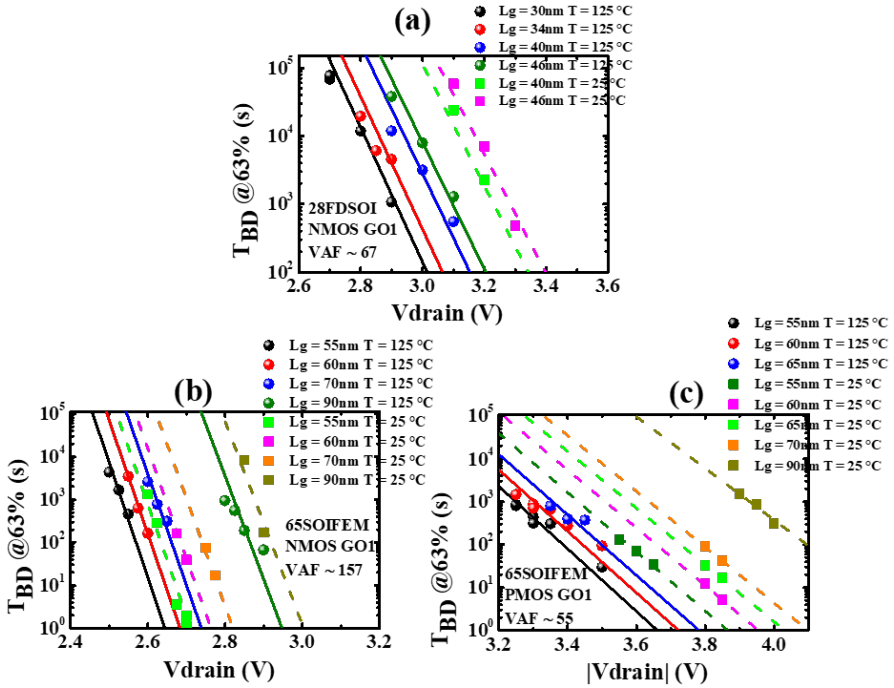


FIGURE 3.23 – Temps à la défaillance T_{BD} à 63% des GO1 du 28FDSOI et 65SOIFEM vs. la tension de drain V_{drain} pour différentes longueurs de canal L_G afin d'extraire les facteurs d'accélération VAF à 125°C (lignes pleines) et 25°C (lignes en pointillés). (a) NFETs du 28 nm, (b) NFETs du 65 nm et (c) PFETs du 65 nm. Un VAF commun peut être extrait indépendamment de la longueur du canal de grille et de la température. On trouve que le VAF est plus élevé en mode Off qu'en mode On (tableau 3.1).

3.23a-c. Une loi en puissance est généralement utilisée par l'ensemble des industriels de la forme de l'équation (3.8) pour l'extrapolation du T_{BD}. Un ajustement du modèle TDDB Off-state avec les données expérimentales des figures 3.23a-c, permet d'obtenir la valeur caractéristique du facteur d'accélération n ou VAF (Voltage Acceleration Factor) pour différentes longueurs de grille et températures afin d'estimer le temps au claquage attendu à des tensions nominales V_{DD}. Ces données expérimentales des nœuds avancés analysés, pour le NMOS du 28nm FDSOI à la figure 3.23a, les NMOS et PMOS du 65nm SOIFEM respectivement aux figures 3.23 b et c, ont montré une même dépendance avec la même puissance VAF indépendamment de la géométrie et des conditions de stress. Ainsi un facteur commun de la dépendance en tension est extrait pour chaque structure du nœud avancé. Cette dépendance est beaucoup plus marquée pour un transistor de type NMOS que pour un PMOS.

$$T_{BD}(V_{DS}) = K_1.V_{DS}^{-VAF} \tag{3.8}$$

De la même manière, les données expérimentales des technologies avancées ont été analysé pour une même une tension de stress V_{DS} et à la même température, pour en extraire la dépendance en longueur de canal L_G. Nous observons un fort effet en longueur de canal L_G comme représenté sur les figures 3.24a-c, ce qui suggère que la rupture de l'oxyde de grille est corrélée à l'énergie des porteurs et à la quantité de porteurs chauds injectés dans l'oxyde de grille par ionisation par impact à partir de la jonction de drain. Une facteur commun LAF (Length Acceleration Factor) est obtenu indépendamment des conditions de stress, beaucoup plus marqué pour un transistor de type NMOS (figure 3.24b) que pour un PMOS (figure 3.24c). L'équation (3.9) permet de modéliser T_{BD} en fonction de L_G avec une loi en puissance.

$$T_{BD}(L_G) = K_2.L_G^{LAF} \tag{3.9}$$

En plus de la dépendance à la tension, la température est également un facteur critique pour la durée de vie du composant. Comme illustré aux figures 3.25a et b, le temps de claquage suit une loi d'Arrhenius, qui se traduit pour une température T par :

$$T_{BD}(T) = K_3.\exp\left(\frac{E_a}{K_B.T}\right) \tag{3.10}$$

Où K_3 est une valeur indépendante de la température, E_a l'énergie d'activation et K_B la constante de Boltzmann. L'énergie d'activation E_a est l'énergie effective qu'il faut fournir au système pour que la réaction considérée se produise. Des temps au claquage plus courts sont obtenus à des températures de contrainte plus élevées, ce qui permet l'extraction d'une E_a apparente à partir des figures 3.25a et b, qui donne des valeurs similaires (0,1 à 0,4 eV) à celles obtenues avec la technologie du FinFET dans des conditions de contrainte similaires [183].

Cependant, la loi d'Arrhenius est mise en cause par certaines études [185], [186], dont DiMaria qui démontre que l'énergie d'activation augmente avec la température sur des oxydes minces, soit une loi « non-Arrhenius ». Il attribue cette loi à d'autres

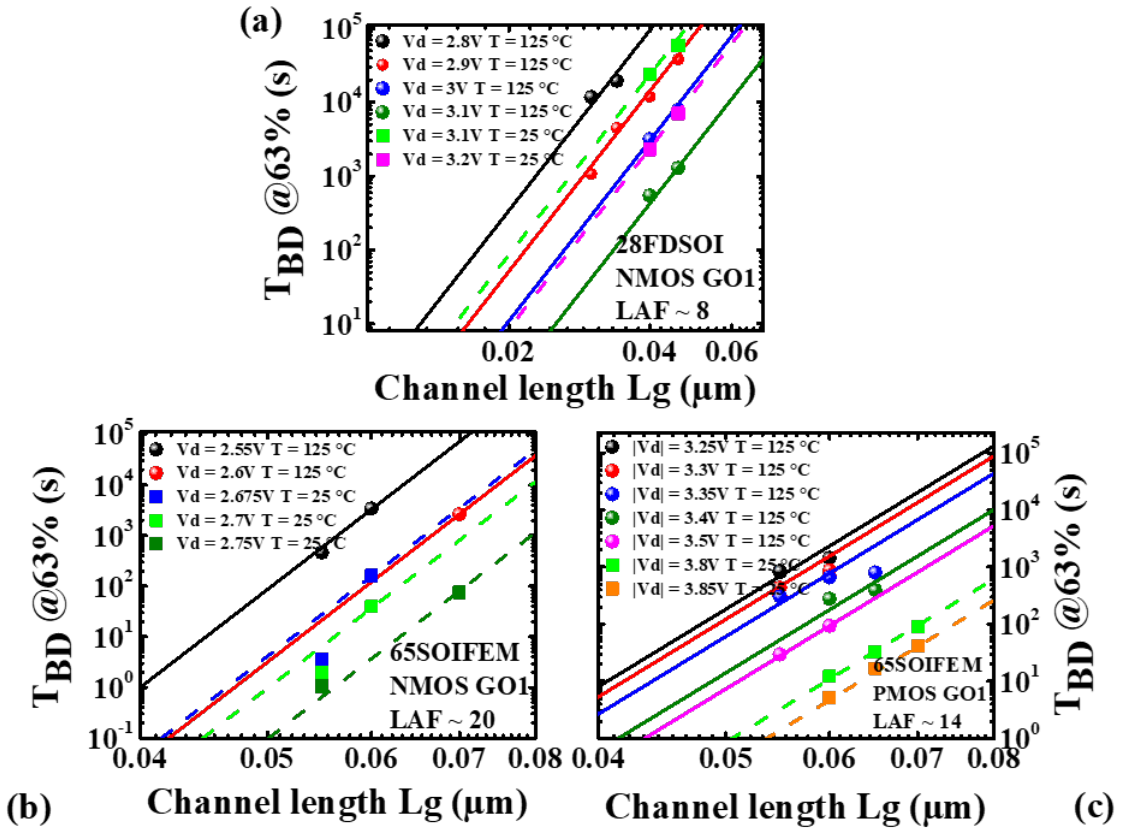


FIGURE 3.24 – Le T_{BD} sur des GO1 28FDSOI et 65SOIFEM obtenu à 63% vs. la longueur du canal L_G pour différentes tensions de drain (cas inverse de la figure 3.23) afin d'extraire les facteurs d'accélération LAF à 125°C (lignes pleines) et 25°C (lignes en pointillés). (a) NFETs du 28 nm, (b) NFETs du 65 nm et (c) PFETs du 65 nm. Un LAF commun est extrait indépendamment de la polarisation de drain et de la température.

mécanismes de génération de défauts pouvant interagir pour induire le claquage.

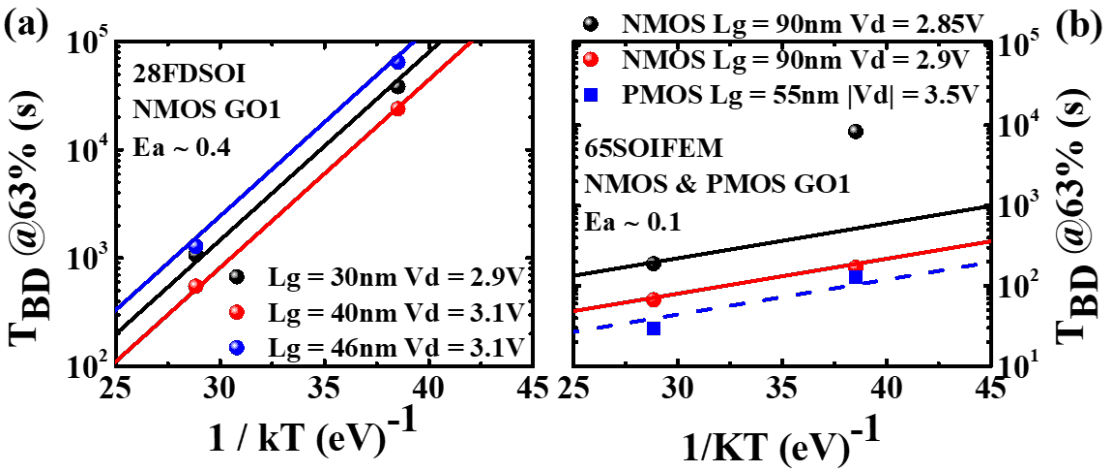


FIGURE 3.25 – Dépendance de la température du T_{BD} (63%) sous stress en Off-state (a) sur des NFETs du 28FDSOI et (b) sur des PFETs et NFETs du 65SOIFEM extrait de 125 °C à 25 °C. L'énergie d'activation (E_a) reste constante pour les différentes longueurs du canal de grille.

Dans le tableau 3.1 nous avons relevé les différents facteurs d'accélération obtenu sur les CMOS des trois technologies des nœuds 28nm, 65nm et 130nm. On observe que les facteurs d'accélération en tension (VAF) et la pente β sont significativement plus élevés pour le TDDB Off-state par rapport au TDDB en inversion On-state, bien que l'activation thermique est beaucoup plus faible pendant le TDDB du mode OFF.

Node	28nm		65nm		130nm	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
E_a Off	0.4	0.4	0.1	0.1	-	-
E_a On	0.6	0.6	0.54	0.62	-	-
β Off	1.83	2.4	2.52	3.71	1.36	4.04
β On	1.31	1.4	1.59	1.51	1.3	1.86
VAF Off	67	38	157	55	78	32
VAF On	43	42	40	33	50	40
LAF	8	3	20	14	0	0

TABLEAU 3.1 – Illustration des facteurs d'accélération T_{BD} selon l'équation (3.11) avec les paramètres E_a, β, VAF et LAF. Les valeurs de β et VAF sont plus élevées en TDDB Off-state, contrairement à E_a où un β élevé est extrait pour les PMOS et un VAF élevé obtenu pour les NMOS.

E. Wu dans son papier [187], a démontré une double dépendance du claquage du diélectrique relative à la température et à l'accélération en tension. Il relève une

diminution significative du facteur d'accélération en fonction de la température, moins importante pour un transistor de type NMOS que pour le PMOS. Néanmoins il est difficile de conclure quant à une double dépendance tension/température car la fenêtre expérimentale sur la gamme de tension est tellement étroite. On considèrera alors dans la suite de notre étude que le facteur d'accélération est indépendant de la température pour un transistor.

3.3.5.7 Extrapolation de la durée de vie

Les tests sont réalisés en vieillissement accéléré, ce qui signifie qu'ils ne sont pas effectués dans des conditions nominales de fonctionnement. Par conséquent, il est important d'être en mesure d'extrapoler les résultats obtenus lors des tests accélérés aux conditions nominales de fonctionnement :

— Extrapolation en surface : On considère une surface nominale de 0,1 cm^2, qui correspond environ à la surface d'oxyde de grille totale d'un circuit intégré. Dans le cadre de notre étude, il s'agit de technologies pour lesquelles l'épaisseur d'oxyde varie entre 15 et 23Å.
— Une température de fonctionnement d'environ 25 ou 125°C.
— Extrapolation en tension : Une polarisation de circuit à V_{DD}, bien en dessous des tensions appliquées en tests.
— Extrapolation en pourcentage cumulé : La plupart des clients exigent une durée de vie de 10 ans durant laquelle seule une défaillance sur 10 000 est tolérée, soit un pourcentage cumulé de 0,01% (100 ppm).

Finalement, le modèle final du temps au claquage en DC, prend en compte toutes les dépendances citées : en surface, tension, longueur de canal, température ainsi que la pente de la statistique de Weibull. Le temps au claquage est alors donnée par :

$$T_{BD} = A \,.\, L_G^{LAF} \,.\, V_{DS}^{-VAF} \,.\, \frac{1}{W_G}^{\frac{1}{\beta}} \,.\, e^{\frac{\ln(-\ln(1-F))}{\beta}} \,.\, e^{\frac{E_a}{K_B T}} \tag{3.11}$$

3.3.5.8 Dépendance du TDDB en champ électrique

Comme discuté précédemment, la projection de la durée de vie se fait par une extrapolation en tension à partir de conditions expérimentales faites à des tensions élevées. Dans la littérature, la dépendance en champ électrique a largement été étudiée pour le TDDB en inversion On-state, et suivant le mécanisme de dégradation considéré, trois modèles d'extrapolation ont été proposés :

— Le modèle en E : Ce modèle est basé sur la rupture de liaison introduit par le modèle thermochimique de McPherson [188]. Il met en relation la dépendance de la durée de vie avec le champ électrique E_{ox} dans l'oxyde à travers l'équation :

$$T_{BD} \;=\; A_0 \,.\, \exp(-nE_{ox}) \tag{3.12}$$

— Le modèle en 1/E : Dans ce modèle le claquage est dû aux phénomènes AHI (Anode Hole Injection) et AHR (Anode Hydrogen Release). La dépendance en 1/E provient du courant FN et la durée de vie en fonction du champ électrique est donnée par :

$$T_{BD} = A_0 \,.\, \exp\left(\frac{-n}{E_{ox}}\right) \tag{3.13}$$

— Le modèle en puissance prédit une dépendance directe avec la tension et ce contrairement aux deux modèles précédents. Des études ont essayé de l'expliquer physiquement par le phénomène d'excitation multi-vibrationnelle MVHR (Multi-Vibrational Hydrogen Release) [189]. Ainsi, l'expression de la durée de vie de l'oxyde est donnée par :

$$T_{BD} = A_0 \,.\, E_{ox}^{-n} \tag{3.14}$$

Où A_0 est un pré-facteur, E_{ox} le champ appliqué dans l'oxyde et n le facteur d'accélération en tension.

Il apparait néanmoins qu'à partir des mêmes conditions expérimentales, les différents modèles cités mèneront à des extrapolations significativement différentes comme le montre la figure 3.26.

A partir des technologies 65nm et en deçà, le modèle d'extrapolation en puissance de la tension est universellement utilisé dans l'industrie pour les oxydes ultra-minces (GO1) de 1 nm à 5 nm. E. Wu a démontré dans [190] que sur plusieurs décade de temps, le temps au claquage est corrélé à la tension suivant un modèle en puissance. Différentes justifications physiques sont alors proposées :

— Les modèles de libération d'hydrogène limités respectivement par l'excitation multivibrationnelle des liaisons, la diffusion de l'hydrogène ou la génération de défauts d'oxyde ont été proposés [88], [181], [189].

— Un modèle de rupture des liaisons sous l'effet du champ a également été proposé, mais la présence de trous et/ou d'espèces hydrogénées modifie la dépendance en champ pour tendre vers une dépendance en puissance de la tension [191].

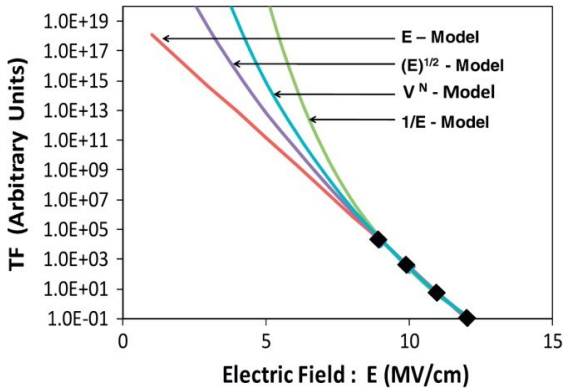


FIGURE 3.26 – Comparaison des durées de vie extrapolées en fonction des modèles d'accélération [191].

Dans notre cas, le claquage du diélectrique en mode Off est principalement attri-

bué au fort champ électrique latéral E_{Lat} dans le canal qui induit un champ vertical localisé dans l'oxyde E_{ox}. C'est d'ailleurs pour étudier le rôle potentiel de l'injection de porteurs chauds en Off-state jusqu'à l'événement de claquage que nous avons d'abord modélisé le TDDB en fonction du champ latéral $E_{Lat} \simeq V_{DS}/L_G$ donnant la valeur moyenne du champ électrique dans le canal. Nous constatons que cette modélisation ne permet pas de rendre compte de manière satisfaisante les effets de V_{DS} et L_G, comme en témoignent la figure 3.27a où différents pentes vs. E_{Lat} sont observées pour les différents L_G du NMOS 28FDSOI $W_G = 1\mu$m soumis à diverses ou mêmes V_{DS}, alors qu'une seule dépendance du T_{BD} en fonction de E_{Lat} aurait pu être extraite avec les données brutes des différentes longueurs. Nous avons également relevé cette observation dans nos précédents travaux sur le noeud 65nm, portant sur des transistors NMOS et PMOS, comme mentionné dans [168].

En réalité, sous contrainte du mode OFF, les mécanismes du BTBT, GIDL et interactions entre porteurs conduisent à une déformation du diagramme de bande et modifient le profil du champ électrique qui devient non uniforme le long du canal tandis que les courants restent à peu près constants. Ainsi, nous avons examiné les résultats TDDB en fonction du courant de fuite du drain $I_{DS,Off}$ ($V_{GS} = 0$) correspondant au point de polarisation de $I_{GS,Off}$. On constate que diverses configurations de stress V_{DS} et L_G se trouvent sur la même dépendance non seulement avec le courant de grille mais aussi avec le courant drain comme montré à la figure 3.27b. Ce modèle en courant sera développé dans la partie suivante.

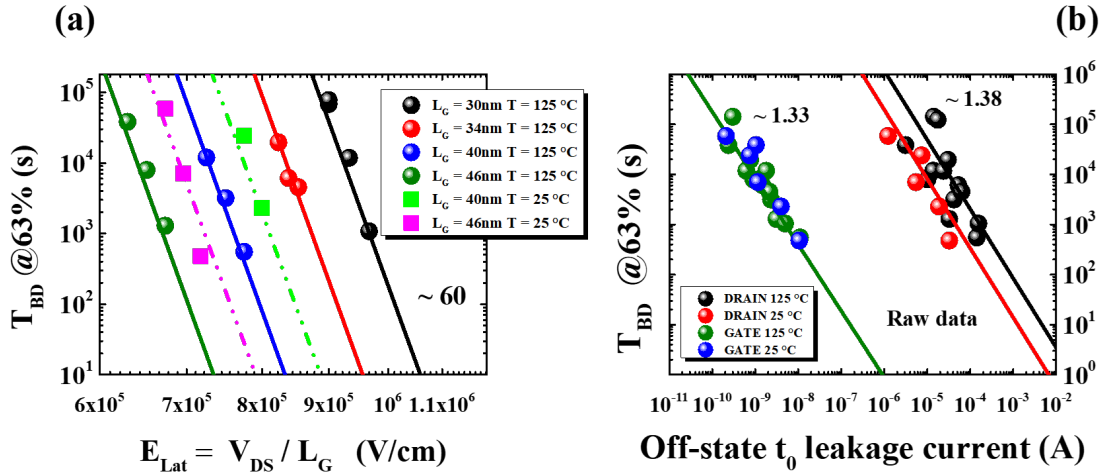


FIGURE 3.27 – Les durées de vie T_{BD} à 63% des transistors N-FETs du 28nm (a) en fonction du champ électrique latéral $E_{Lat} = V_{DS}/L_G$ mettant en évidence la dépendance en L_G entre 25°C (lignes en pointillés) et 125°C (lignes pleines) et (b) en fonction du courant de fuite initial du drain $I_{DS,Off}$ et de l'oxyde de grille $I_{GS,Off}$ surmontant la dépendance en L_G entre 25°C et 125°C. Cela montre une meilleure modélisation de la durée de vie en utilisant la fuite de grille et une légère dispersion du côté drain pour les N-FETs du 28nm.

Les processus de la technologie du 28nm FDSOI ont été simulés grâce à l'outil Sentaurus Process [192] dans un scénario du TDDB en Off-state comme illustré aux figures a et b. Les sorties électriques sont calculées en résolvant l'équation de Poisson et les équations de continuité de courant couplées au modèle de transport de diffusion-drift dans le module Sentaurus Device [193]. Les coefficients d'ionisation d'impact sont calculés à partir de la loi de Chynoweth [194], [195]. Les simulations du TDDB en mode Off conduisent à une génération d'ionisation d'impact plus élevée près du drain (figure 3.28a), induite par un champ électrique latéral plus fort avec une valeur maximale au bord de grille-drain et de l'entretoise (figure 3.28b), la distribution du potentiel électrostatique montre qu'une grande différence de potentiel est appliquée près de la jonction de drain.

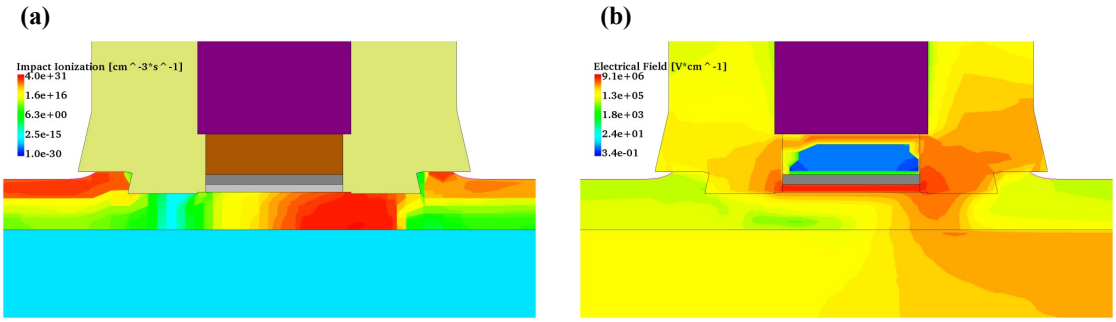


FIGURE 3.28 – Simulations TCAD d'un scénario du TDDB Off-state sur un transistor N-FET 28FDSOI à l'échelle logarithmique. (a) Le courant d'ionisation par impact montrant un pic à la jonction de drain. (b) Le profil du champ électrique dans le canal, l'empilement de grille Si/SiO_2/HfO_2/TiN et les régions environnantes.

En mode Off, les champs électriques latéral et dans l'oxyde sont non-uniformes le long du canal. Les dispositifs plus longs sont exposés à un champ électrique réduit au milieu du canal et de l'empilement Si/SiO_2/HfO_2 avec un pic vers la région grille-drain. La distribution du champ électrique le long du canal pour différentes longueurs de NMOS du 28nm est montrée sur les figures 3.29 a et b pendant un TDDB en modes Off (figure 3.29a) et On (figure 3.29b). Cela explique la différence de résultats T_{BD} observée pour différentes longueurs de canal L_G même à champ électrique équivalent sur la figure 3.27a, et suggère que la longueur de grille a un impact significatif sur la distribution du champ électrique dans le canal.

3.3.5.9 Application du modèle de TDDB en courant

La modélisation simplifiée du T_{BD} en fonction du champ latéral moyen ne donne pas de résultats satisfaisants en raison des dépendances en L_G et en température (figure 3.27a), car les courbes sont décalées pour les différentes longueurs de grille soumis à un champ électrique équivalent. Par conséquent, les résultats du TDDB sont analysés en fonction des courant de fuite de drain $I_{DS,Off}$ ($V_{GS} = 0$) et de grille $I_{GS,Off}$. Nous avons observé sur la figure 3.27b que les résultats T_{BD} pour différents V_{DS}, L_G et température sont corrélés avec le courant initial de grille $I_{GS,Off}(t_0)$ selon

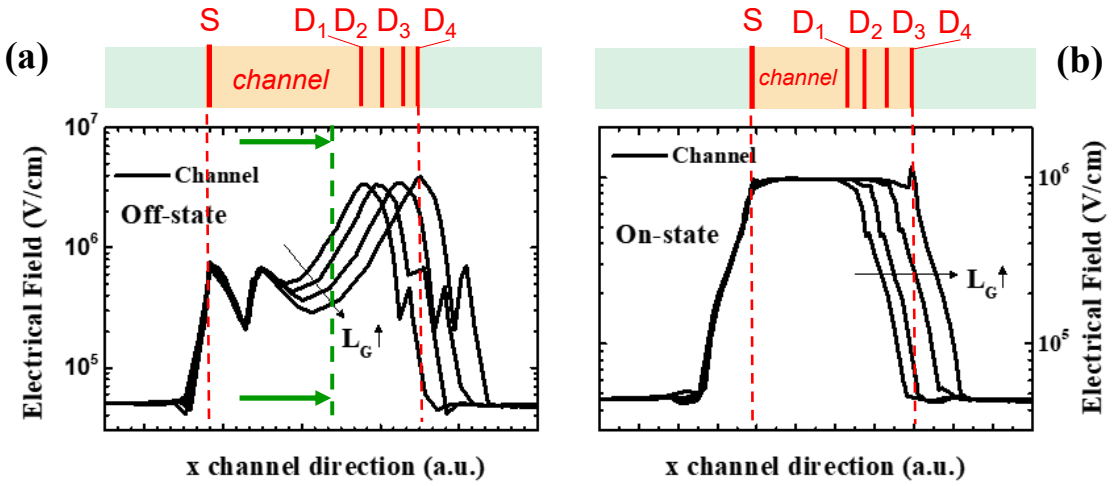


FIGURE 3.29 – Le profil latéral du champ électrique le long du canal pour différentes longueurs de grille L_G (30nm, 34nm, 40nm et 46nm) NMOS du 28nm FDSOI. (a) En TDDB Off-state le champ électrique moyen est plus élevé pour les dispositifs à canaux courts et plus faible pour les transistors à canaux longs, bien que la valeur maximale au bord du drain soit approximativement la même pour tous. (b) Le champ électrique en TDDB On-state est distribué uniformément le long de la direction du canal pour tous les dispositifs

une dépendance unique p= -1,3 à l'équation (3.15), pour le même niveau de courant de fuite de drain $I_{DS,Off}(t_0)$ k= -1,38 à l'équation (3.16).

$$T_{BD63\%} = A_1 \,.\, \left[I_{GS,Off}\,(t_0)\right]^{-p} \tag{3.15}$$

$$T_{BD63\%} = A_2 \,.\, \left[I_{DS,Off}\,(t_0)\right]^{-\kappa} \tag{3.16}$$

La même tendance est observée sur différentes technologies tels que les nœuds CMOS du 65nm et du 130nm, en fonction des courants de fuite du drain et de grille comme le montre la figure 3.30. Les exposants de puissance p ou k des équations (3.15) et (3.16) sont beaucoup plus petits que VAF. Nous considérons que $I_{DS,Off}$ et $I_{GS,Off}$ sont des figures de mérite pertinentes pour l'injection porteurs chauds et porteurs non conducteur en mode OFF.

En effet, la littérature existante ne présente que quelques études sur les corrélations entre les courants de fuite et le champ électrique effectif en Off-sate en fonction de V_{DS} et L_G [196]-[201]. Ainsi, dans nos travaux précédents, nous avons modélisé les caractéristiques de courant en Off-state [168], [202], en utilisant une approche similaire à celle d'un modèle de diode. Comme le montre les figures 3.15 et 3.16, les courants de fuite varient initialement avec la tension de contrainte V_{DS} et la longueur de grille L_G, reflétant l'évolution de la densité volumétriques de défauts [203], [204]. Cela montre que les défauts créés peuvent être répartis sur la surface du diélectrique. Alors les courants de fuite peuvent être utilisés comme un indicateur clé pour la caractérisation d'un claquage et peuvent être intégrés dans un cadre global de modélisation du TDDB

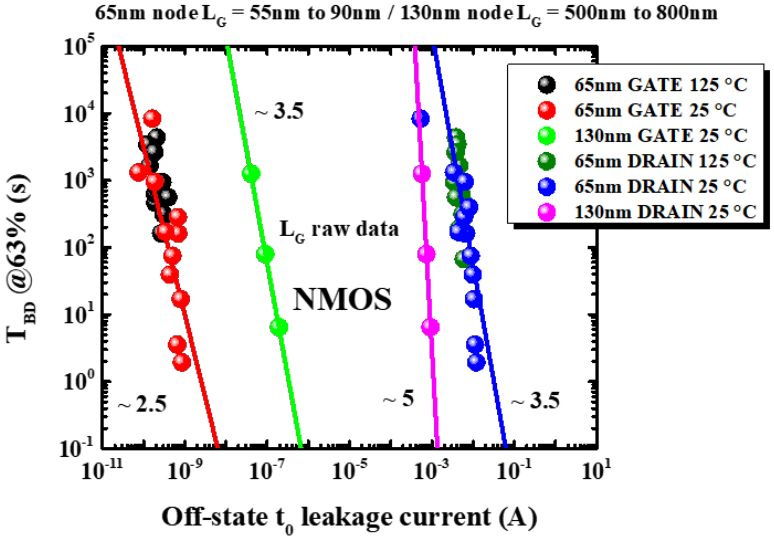


FIGURE 3.30 – Le modèle de durée de vie T_{BD} à 63% en fonction des courants de fuite initiaux (t_0) de grille et de drain des transistors N-FETs des nœuds 65nm et 130nm avec différentes longueurs de grille L_G entre 25°C et 125°C.

en Off-state. Étant donné la corrélation directe entre le TDDB et le courant de fuite initial I_0, l'utilisation de ce dernier comme indicateur clé permet une surveillance rapide de la fiabilité et de la robustesse des processus contre le le claquage franc (HBD). En effet, les courants de fuite initiaux peuvent être facilement mesurés à l'aide d'outils de mesure appropriés.

En exploitant la forte relation entre le champ électrique appliqué, responsable de la rupture de l'oxyde, et l'énergie des porteurs ainsi que la quantité de porteurs injectés induits par l'II à partir de la jonction de drain, nous avons caractérisé approximativement l'impact de l'énergie des porteurs en fonction du champ électrique latéral moyen $E_{Lat} = V_{DS}/L_G$ sur des structures à oxyde de grille mince, ayant la même largeur W_G mais une longueur de grille variable.

$$I_{DS,off} = \underbrace{\mu_0 C_{ox} \frac{W_G}{L_G} \left(\frac{k_B T}{q}\right)^2 e^{\left(\frac{q(V_G - V_{TH})}{n k_B T}\right)}}_{Courant\ de\ jonction} \underbrace{e^{\left(\frac{q\lambda_h}{k_B T}\frac{V_{DS}}{L_G} + b(T)\right)}}_{Tunnélisation} \underbrace{e^{\left(\frac{q\lambda_h}{\varphi_{ii}}\frac{V_{DS} - V_{Davalanche}}{L_G} + 1\right)}}_{Impact\ par\ ionisation} e^{\left(\frac{E_a}{k_B T}\right)} \tag{3.17}$$

Où $\mu_0 C_{ox} \frac{W_G}{L_G} \left(\frac{k_B T}{q}\right)^2 e^{\left(\frac{q(V_G - V_{TH})}{n k_B T}\right)}$ est lié à la composante de jonction au niveau du drain, $e^{\left(\frac{q\lambda_h}{k_B T}\frac{V_{DS}}{L_G} + b(T)\right)}$ est associé à l'effet de tunnélisation des trous chauds (HH) et $e^{\left(\frac{q\lambda_h}{\varphi_{ii}}\frac{V_{DS} - V_{D,avalanche}}{L_G} + 1\right)}$ est lié au courant d'avalanche. $\lambda_h \simeq 5$nm est le libre parcours moyen des trous et $\varphi_{ii} \simeq 1.5$ à 2.0eV est l'énergie minimale pour créer l'ionisation par impact. La fuite de

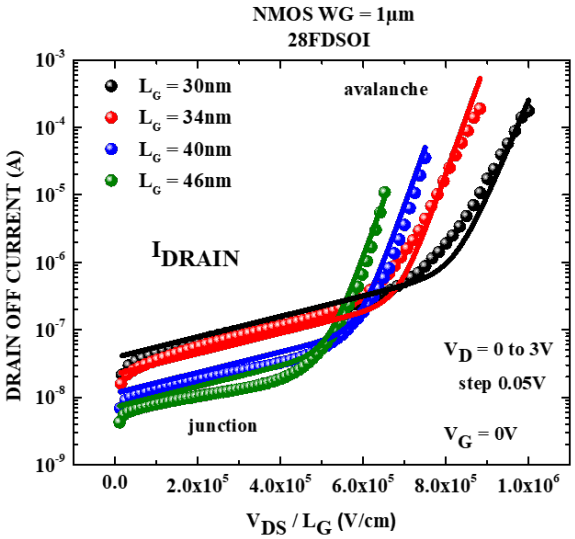


FIGURE 3.31 – Mesures et modélisations du courant I_{DS} à T=125°C effectuées en mode Off ($V_{GS} = 0$) sur des transistors NFET de L_G = 30nm à 46nm en fonction du champ latéral moyen approximé à $E_{Lat} \simeq V_{DS}/L_G$, montrant des composantes de fuite de jonction et d'avalanche comme dans un courant de diode. Le modèle est représenté par les lignes en bon accord avec les données expérimentales en fonction de la longueur de canal L_G [202].

jonction et l'effet de tunnélisation dépendent fortement de la température.

$$V_{Davalanche} = \frac{D_1}{1+\sqrt{1+\frac{D_2}{L_G}}} \tag{3.18}$$

$$I_{GS,off} = I_0 \underbrace{e^{\left(\frac{q\lambda_h}{k_B T}\frac{V_{DS}}{L_G}\right)}}_{Tunnélisation} \underbrace{e^{\left(\frac{q\lambda_h}{\varphi_b}\frac{V_{DS}-V_{Davalanche}}{L_G}+1\right)}}_{Impact\ par\ ionisation} e^{\left(\frac{E_a}{k_B T}\right)} \tag{3.19}$$

Avec φ_b (variant entre 3.1 et 4.7eV) la barrière d'énergie à l'interface Si/SiO_2.

Le mécanisme d'injection de porteurs chauds d'avalanche de drain (DAHC) est réputé causer une dégradation sévère du transistor, car il peut entraîner à la fois l'injection d'électrons chauds et de trous dans l'oxyde de grille. Alors nous avons mené une analyse pour évaluer l'effet de la géométrie du transistor NMOS et de la tension V_{DS} sur les courants de drain et de grille. La caractéristique en Off-state du courant $I_{DS,Off}$ se compose de trois éléments (équations (3.17)-(3.19)), dont le premier est lié au courant de fuite de jonction du drain qui varie en fonction de la polarisation et des dimensions du transistor. La deuxième composante est associée aux effets de la tunnelisation bande à bande, qui dépendent de la force des champs électriques latéral E_{Lat} et vertical (liés à la différence de potentiel drain-grille V_{DG}). Le dernier terme est lié au déclenchement de l'avalanche une fois que l'ionisation par impact a été initiée. Ce dernier décrit la probabilité que les porteurs atteignent un seuil d'énergie

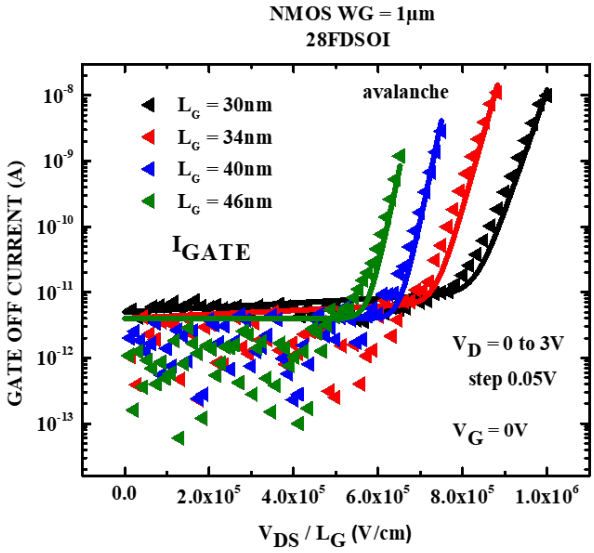


FIGURE 3.32 – Mesures et modélisations du courant de fuite de grille $I_{GS,Off}$ effectuées à T=125°C en mode Off (V_{GS} = 0) sur des transistors NFET de L_G = 30nm à 46nm en fonction du champ latéral moyen approximé à $E_{Lat} \simeq V_{DS}/L_G$. La fuite augmente à champ électrique moyen (E_{Lat} > 0,5 MV) en raison des contributions de tunnélisation.

φ_{ii} pour générer une paire électron-trou, parcourant une certaine distance λ_h à travers le champ électrique latéral. Ces hypothèses reposent sur des recherches antérieures, comme nous les avons développées à la section 2.3.2.4 du chapitre 2, menées par W. Shockley, C. Hu et E. Takeda, qui ont utilisé le modèle de l'électron chanceux (LEM) pour simuler l'impact des porteurs chauds [108]-[110], [112], [205].

Ainsi, $I_{DS,Off}$ peut être modélisé avec l'équation (3.17) de manière plus précise en utilisant un cadre similaire à celui d'une diode [206] que nous avons évalué sur plusieurs dimensions de longueur de canal, notamment 30nm, 34nm, 40nm et 46nm. Les résultats présentés sur la figure 3.31 indiquent que le courant de jonction $I_{DS,Off}$ (V_{GS} = 0) augmente avec la réduction de L_G, et croît également avec le champ électrique latéral ($E_{lat} \simeq V_{DS}/L_G$) en raison des contributions de la tunnélisation. Cet dernier dépend principalement du mécanisme de tunnélisation de bande à bande de surface induit au niveau du drain par les champs latéral et vertical, impliqués à une magnitude de champ électrique moyenne (0,2 à 1 MV/cm sur la figure 3.31) dans les transistors NFET à oxyde de grille ultra-mince (FDSOI avec EOT = 1,5 nm). Par conséquent, la dépendance de $I_{DS,Off}$ proposées dans les équations (3.17)-(3.18), explique les relations décalées du T_{BD} l'égard de E_{Lat} montrées sur la figure 3.27a pour les NMOSFET du 28FDSOI et les CMOS du 65nm dans la gamme de L_G= 55 à 90nm à 25°C et 125°C dans [168].

L'équation (3.18) permet d'obtenir la condition de tension à laquelle l'avalanche se produit, qui dépend principalement de la longueur de canal L_G, avec les constantes D_1 et D_2 pour chaque noeud CMOS, comme illustrée au tableau 3.2 pour le nœud 28nm FDSOI. La figure 3.32 montre que le courant de grille $I_{GS,Off}$ est également modélisé en

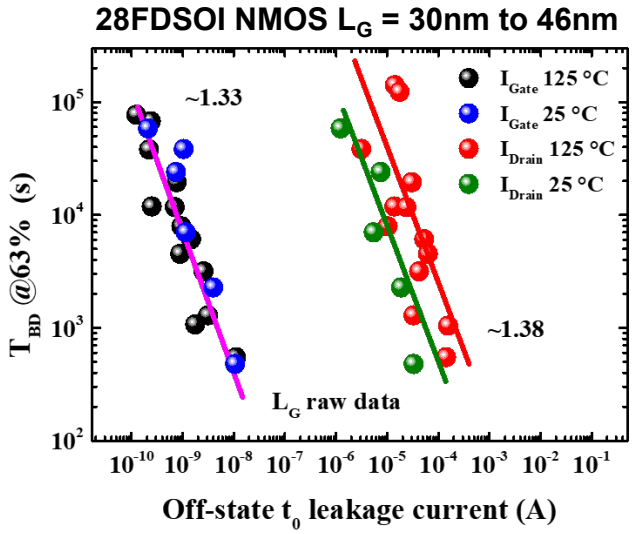


FIGURE 3.33 – Modèle de durée de vie T_{BD} à 63% des équations (3.15)-(3.16) en fonction des fuites initiales mesurées à t_0 (symboles) sur différentes longueurs de NMOS du 28 nm FDSOI, avec des courants de grille et de drain prenant en compte la dépendance L_G entre 25 °C et 125 °C. Cela montre une meilleure surveillance de la durée de vie en utilisant la fuite de grille (mesures en symboles et modèle en lignes) et une légère dispersion supplémentaire du côté drain sur les transistor NMOS du 28nm en raison de la dépendance en température des fuites de jonction et de l'effet tunnel. Les modèles de courant de grille et de drain en lignes sont obtenus en utilisant les équations (3.17) et (3.19) [175].

28FDSOI		
Paramètres	125 °C	25 °C
I_0	$5 . 10^{-13}$ A	$3 . 10^{-14}$ A
b	146	200
D_1	5 V	5 V
D_2	10 nm	10 nm

TABLEAU 3.2 – Résumé des paramètres utilisés dans les équations (3.17), (3.18) et (3.19) pour la modélisation empirique de $I_{DS,Off}$ et $I_{GS,Off}$.

utilisant la même approche que pour $I_{DS,Off}$, en remplaçant φ_{ii} par φ_b qui représente la barrière d'énergie à l'interface Si/SiO_2. Ainsi $I_{GS,Off}$ présente aussi une dépendance exponentielle en fonction de E_{lat} (pour $E_{lat} < 0,5MV/cm$) selon l'équation (3.19), et suit de près la dynamique du courant de drain $I_{DS,Off}$ dans la région d'avalanche.

Dans cette étude [175], nous avons comparé les résultats du TDDB Off-state en fonction des mesures de courants de fuite initiaux (à t_0) au niveau du drain et de la grille, aux modèles développés en considérant les équations des courants eq. (3.17) de $I_{DS,Off}(V_{GS} = 0)$ et eq. (3.19) de $I_{GS,Off}$. Nous avons constaté sur la figure 3.33 que les valeurs T_{BD} pour différentes tensions V_{DS}, L_G, E_{Lat} et températures peuvent toujours être modélisées par l'équation (3.15) avec la même dépendance sur le courant initial de grille mesuré $I_{GS,Off}$ (à t_0) avec p= -1,3, pour le même niveau de courant de fuite de drain mesuré (équation (3.16)) [207]. La dépendance en température du courant de jonction de drain et de l'effet de tunnélisation (équation (3.17)) est clairement visible du côté drain sur la figure 3.33 et a été modélisée avec précision sur le T_{BD} (équation (3.16)).

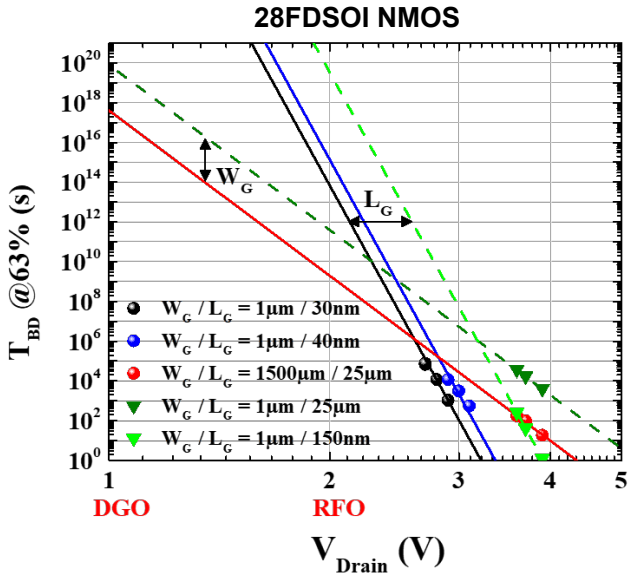


FIGURE 3.34 – Comparaison et projection du modèle TDDB Off-state (fit en lignes) aux conditions d'opérations RF et digitale pour les dispositifs NMOS en oxyde mince (ligne noire) et oxyde épais (ligne rouge). Le VAF obtenu pour les oxydes de grille épais est plus faible et est lié au claquage dans l'extension d'overlap, tandis que celui du dispositif à oxyde mince est plus élevé et est lié à l'injection en Off-state de porteurs chauds dans le canal [175].

Cependant, il est soupçonné que ce TDDB en mode Off conventionnel affecte significativement le comportement de claquage du diélectrique du transistor en le soumettant à un stress excessif à travers le courant de Punch-Through source-drain [208], [209]. C'est la raison pour laquelle, sur la figure 3.34, nous avons comparé le facteur d'accélération de tension (VAF) obtenu pour les canaux ultra-courts (figures 3.21 et 3.22) à celui des dispositifs plus larges, afin de mieux comprendre l'impact de la

taille du dispositif sur le comportement de claquage du diélectrique. La contribution du courant de canal étant éliminée pour les larges dispositifs, la rupture diélectrique se produit exclusivement dans la zone d'overlap pour ces dispositifs à très grande largeur de grille W_G et le terme VAF est moins prononcé, rendant la projection T_{BD} moins importante par rapport aux canaux ultra-court.

3.3.5.10 Caractérisation de l'augmentation du courant induit par la contrainte (SILC)

Dans le chapitre 2, nous avons introduit la notion de défauts de l'oxyde, qui peuvent participer à la conduction des porteurs de charge et être responsables de la rupture du diélectrique après un certain temps de stress. Cependant, des études ont montré que si le stress est arrêté avant le claquage, le courant mesuré à faible tension peut augmenter par rapport au courant initial. Ce phénomène est connu sous le nom de courant de fuite induit par un stress ou Stress Induced Leakage Current (SILC). Il se produit lors de l'application d'un fort champ pendant que la mesure de courant est effectuée à un champ électrique faible comme illustré à la figure 3.35 [210]. Plusieurs hypothèses ont

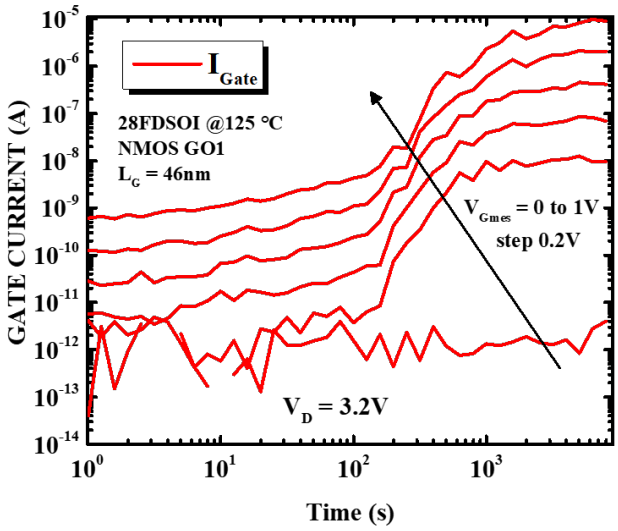


FIGURE 3.35 – Mesure du SILC à différentes tensions de grille de V_{GS} = 0V à 1V en fonction du temps de stress sur un NMOS L_G = 46nm sous une contrainte V_{DS} = 3.2V.

été proposées pour expliquer cette augmentation de courant, notamment :

- Une conduction assistée par des défauts d'interface générés pendant la contrainte [211].
- L'abaissement local de la barrière de potentiel : l'application d'une contrainte sur la grille peut générer des charges positives, ce qui provoque un abaissement local de la barrière d'énergie de l'oxyde, augmentant ainsi le courant de conduction [210].
- Le courant tunnel assisté par des pièges ou Trap Assisted Tunneling (TAT) : ce type de conduction peut être dû à la présence de pièges dans le volume de

l'oxyde, créés lors de l'application d'une forte contrainte électrique [212]. Dans ce mécanisme, la conduction est assistée par un piège dans l'oxyde. La majorité des études convergent vers cette dernière hypothèse [213].

Le SILC n'est pas considéré comme un facteur limitant dans la littérature, mais plutôt comme l'un des rares outils permettant de caractériser la génération de défauts pendant un stress. C'est pourquoi certains auteurs l'utilisent pour déterminer la densité de pièges dans le volume de l'oxyde [213]-[215]. Nous allons exploiter cet outil pour comprendre la génération de défauts dans l'oxyde, en particulier dans des conditions d'Off-state pour étudier les effets de dimension.

$$SILC = \frac{\Delta I_G}{I_G(0)} = \frac{(I_G(t_s) - I_G(0))}{I_G(0)} = D \,.\, t^n \tag{3.20}$$

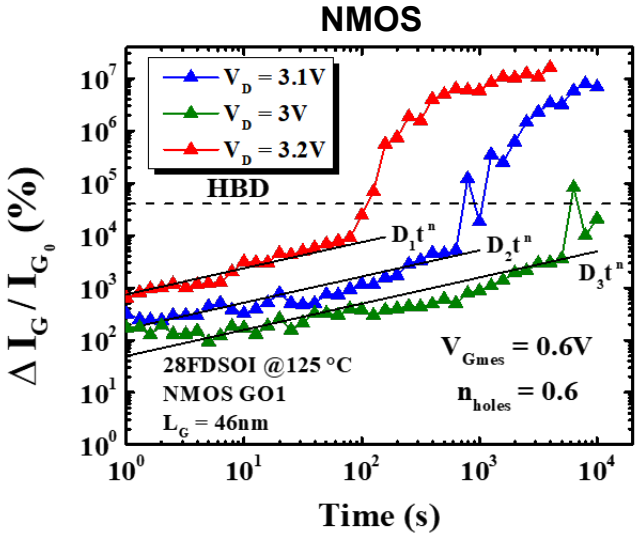


FIGURE 3.36 – Évolution du SILC sur un NMOS L_G = 46nm soumis à différentes contraintes en V_{DS} avant qu'un claquage franc ne se produise. Une puissance temporelle commune n = 0,6 liée à l'ionisation par impact des trous est extraite indépendamment des conditions de stress et de la géométrie du dispositif. Le SILC est mesuré à V_{GS} = 0.6V. Un claquage franc est distingué pour l'injection de trous chauds.

Le mécanisme de conduction TAT implique le passage des porteurs de charge de la cathode à l'anode par effet tunnel à travers des sites de défauts dans le diélectrique. L'évolution temporelle du SILC est généralement décrite par l'équation (3.20) suivant une loi de puissance avec un exposant n. Cette équation défini par l'augmentation du courant de fuite au cours d'un stress, normalisé par le courant de la structure à t_0. Ce modèle est valable pendant une durée spécifique avant que le SILC n'atteigne la saturation lorsque le phénomène de rupture de diélectrique se produit [214]-[216]. De plus, pour un oxyde de grille mince, cela dépend fortement de la polarisation de grille V_G utilisée pour la mesure, comme indiqué sur la figure 3.35.

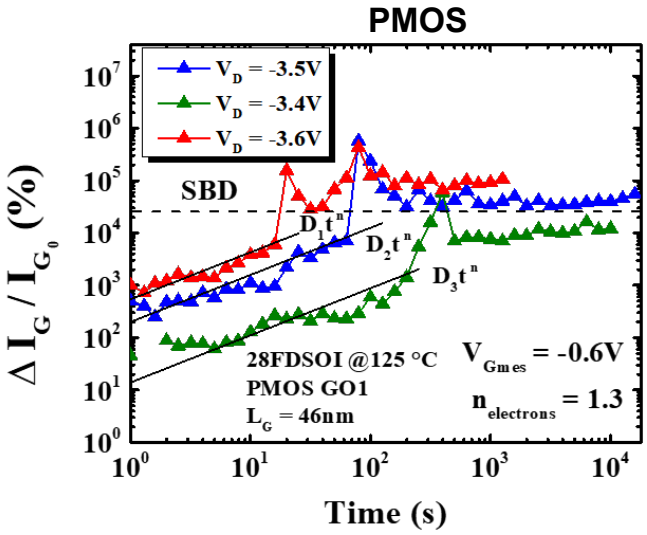


FIGURE 3.37 – Évolution du SILC avant une rupture douce sur un PMOS L_G = 46nm soumis à différentes contraintes en V_{DS}. La puissance temporelle commune extraite n = 1,3 est plus élevée que celle obtenue pour le NMOS et est en bon accord avec l'ionisation par impact des électrons. Le SILC est mesuré à V_{GS} = 0.6V, une rupture douce est distinguée pour l'injection d'électrons chauds.

Pour différentes tensions de stress V_{DS} (figures 3.36 et 3.37), nous avons extrait la cinétique de génération de défauts n dans des structures NMOS et PMOS avec la même longueur de grille L_G et a_0 = 5Å, en tant que taille de cellule de défaut [217], [218].

$$\beta = \frac{n\,(T_{IL} + T_{HK})}{a_0} \tag{3.21}$$

$$\frac{\beta_{OFF_PMOS}}{\beta_{OFF_NMOS}} = \frac{n_{electrons}}{n_{holes}} > 1 \tag{3.22}$$

où n est l'exposant temporel du SILC, T_{HK} représente l'épaisseur de la couche High-K, T_{IL} représente l'épaisseur de la couche d'interface et a_0 est la taille de cellule de défaut.

En raison de la différence de seuil d'énergie d'ionisation par impact entre les électrons pour les PMOS et les trous pour les NMOS, on a $n_{electrons} > n_{holes}$. En effet, les électrons génèrent plus de paires électron-trou par ionisation par impact et ont une probabilité d'ionisation par impact plus élevée que les trous. Cependant, l'injection de trous chauds (E > 4,7 eV) est plus dommageable que l'injection d'électrons chauds (E > 3,1 eV) en raison de la différence de hauteur de barrière perçue par les porteurs, comme illustré précédemment sur la figure 3.2 [108], [172]. Par conséquent, l'efficacité d'injection de trous chauds est telle qu'elle déclenche plus facilement un claquage franc HBD dans les transistors à canal N [14], [170], [177], tandis que l'injection d'électrons chauds conduit plutôt à un claquage doux SBD dans les PMOS sous TDDB

Off-state. Cette différence est due à la hauteur de barrière d'énergie pour les porteurs injectés, qui est plus élevée pour les trous que pour les électrons. Ainsi, en utilisant les équations (3.21) et (3.22), il est possible d'expliquer physiquement pourquoi la pente β de Weibull est plus élevée pour les PMOS que les NMOS (figures 3.18, 3.19 et 3.22) [162], [183].

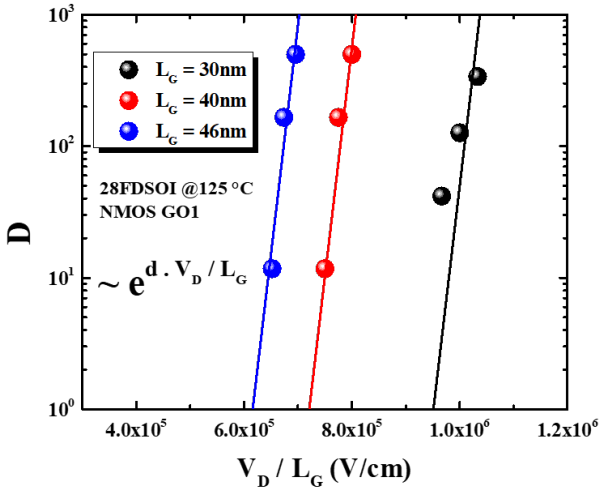


FIGURE 3.38 – Dépendance du SILC sur différentes longueurs L_G de NMOS du 28nm FDSOI en fonction du champ électrique latéral $E_{Lat} \simeq V_{DS}/L_G$ à travers la constante D à l'équation (3.23). Une tendance exponentielle (lignes) est extraite durant une contrainte TDDB en Off-state.

$$SILC = \frac{\Delta I_G}{I_G(0)} = D \,.\, t^n = c \,.\, e^{d.\frac{V_{DS}}{L_G}} \,.\, t^n \tag{3.23}$$

En plus de la dépendance en loi de puissance temporelle, le SILC sous la dégradation du mode Off est modulé à l'équation (3.23) par une tendance exponentielle du champ électrique latéral approximé ici comme $E_{lat} \simeq V_{DS}/L_G$. La figure 3.38 montre que cette relation suit la même tendance pour différentes L_G, ce qui indique que la TDDB en Off-state présente une dépendance en champ latéral qui est liée à la proportion de porteurs chauds induits par la contrainte appliquée au niveau du drain.

L'empilement de grille $Si/SiO_2/HfO_2$ est la région la plus sensible sujette à la défaillance en mode Off, où un champ électrique important et un taux de génération plus élevé se produisent dans la couche d'interface (IL) et dans la couche High-K, comme le montre la figure 3.39 [219]. Un comportement de distribution bimodale sur le T_{BD} peut alors être observé et des valeurs différentes de β peuvent être extraites de l'IL et du HK respectivement [220].

$$\beta_{Off} \simeq 2 * \beta_{On} \tag{3.24}$$

Comme précédemment indiqué dans le tableau 3.1, la pente β est significativement plus élevée sous TDDB Off-state, atteignant quasiment le double de celle du modèle

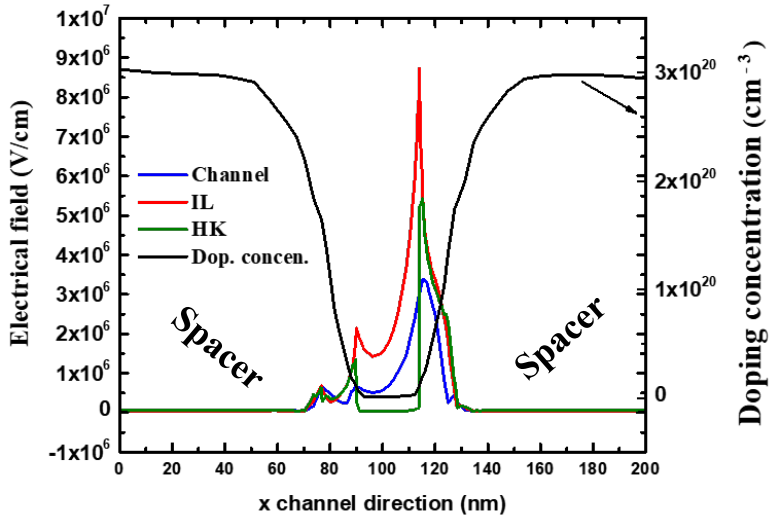


FIGURE 3.39 – Profil latéral du champ électrique dans le canal, la couche d'interface et le matériau High-k pendant un TDDB en Off-state montrant un pic localisé sur le bord de la grille au drain avec un taux de génération de défauts plus élevé dans la couche d'interface et le matériau High-k qu'à l'intérieur du canal.

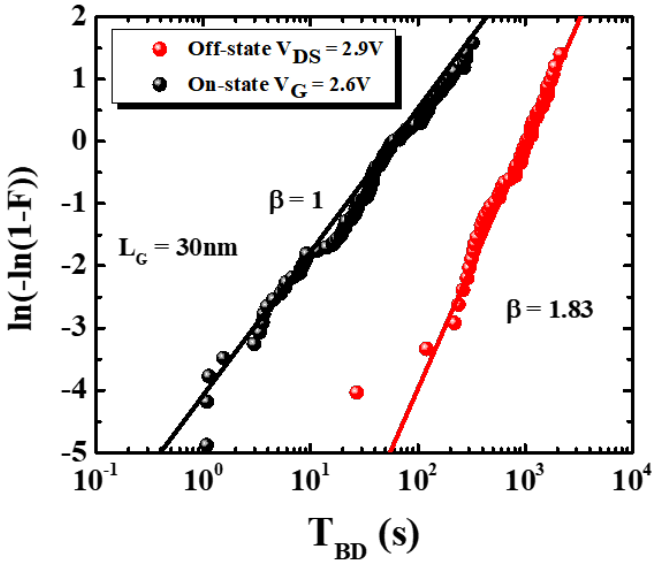


FIGURE 3.40 – Comparaison des distributions cumulatives sur un GO1 NMOS 28FD-SOI avec $W_G/L_G = 1\mu m/30nm$, montrant une pente de Weibull β plus faible pour le TDDB en On-state. Le temps à la défaillance est plus court sur le même dispositif NMOS sous TDDB en On-state par rapport au TDDB en Off-state.

de percolation standard obtenue en TDDB On-state (figure 3.40 et équation (3.24)). En effet, pendant le TDDB On-state, la surface totale du diélectrique est soumise au stress, ce qui entraîne une répartition uniforme du champ électrique et un courant de fuite élevé dans tous les compartiments de l'oxyde, créant ainsi des défauts plus épais. Alors cette différence de β peut être expliquée par la taille des cellules de défauts a_o [217], comme le montre la relation (3.25) [218]. Cela suggère éventuellement aux figures 3.41a et b, que les défauts générés en TDDB Off-state sont plus minces du fait d'un champ localisé et induisent un chemin de percolation plus long, à partir de la région de grille-drain [221] et de défauts d'oxyde distincts (Si-O) par rapport aux pièges d'interface (Si-H comme P_b0) [171].

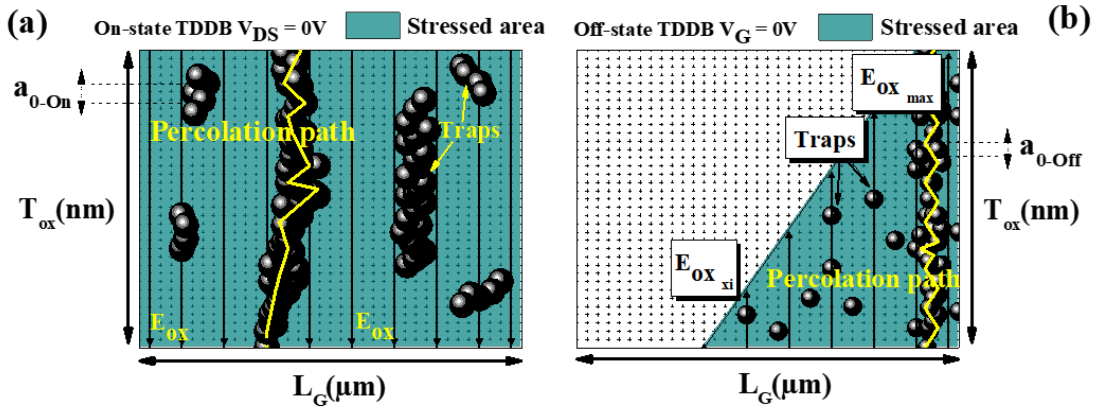


FIGURE 3.41 – Illustration schématique du déclenchement de la rupture à travers le chemin de percolation montrant la génération de défauts dans le diélectrique avec a_{0_On} la taille de la cellule de défaut crée en TDDB On-state plus grande que a_{0_Off} celle du mode Off-state. (a) Stress uniforme en TDDB On-state et (b) stress non uniforme en TDDB Off-state.

$$a_{0_On} > a_{0_Off} \tag{3.25}$$

3.3.6 Etude de la relation entre le mode de claquage du diélectrique et sa localisation

En réduisant l'épaisseur de l'oxyde à quelques nanomètres seulement, de nouvelles complications sont apparues. En effet, des modes de rupture doux et francs ont été observés, mais leur relation avec la défaillance du circuit n'est pas claire. Il est donc essentiel d'approfondir la compréhension de ces phénomènes pour mieux appréhender leur impact sur le circuit. D. Varghese dans ses articles a discuté du profil latéral des dommages d'interface pendant une contrainte en Off-state, et a conclu que la dégradation maximale se produit en dehors du bord du diélectrique de grille. Le point de rupture est alors estimé se produire dans la région d'espacement, qui coïncide avec le pic de dommage d'interface [171]. Bien qu'un consensus raisonnable

ait été atteint sur le mécanisme de rupture en TDDB Off-state, les courants de fuite de drain et de grille après la rupture ont été trouvés coïncider, confirmant la création d'un chemin de percolation dans le diélectrique de grille au niveau du bord de drain [162], [183].

Ainsi, dans cette sous-section nous étudions la rupture de l'oxyde de grille en TDDB Off-state dans les transistors à canal ultra-court. Cette rupture est principalement induite par les porteurs chauds et dépend fortement de la longueur de canal L_G et du courant I_{DS}. Cela devient un défi pour la fiabilité des diélectriques de grille et de milieu de ligne ou Middle-Of-the-Line (MOL). La rupture du diélectrique entre le poly et le contact peut non seulement réduire la marge de fiabilité intrinsèque, mais elle peut également causer des défaillances extrinsèques en raison d'un contrôle insuffisant de l'espace entre le poly et le contact. Il est donc crucial de construire un modèle précis afin d'optimiser les règles de conception pour les applications haute tension qui impliquent l'utilisation de diélectriques d'espacement.

Dans [219], nous avons présenté un modèle dédié à l'étude du claquage franc HBD en Off-state ainsi que la localisation du point de rupture. Il est essentiel de déterminer la sensibilité au TDDB en Off-state et de comprendre en profondeur les mécanismes d'usure au niveau du dispositif, car le HBD dépend fortement de la position du point de rupture que nous avons déterminée le long de la direction de la longueur du canal. Les figures 3.42a et b résument les observations sur l'emplacement du chemin de rupture lors de contraintes en modes On et Off, telles qu'analysées dans la littérature et dans nos expériences précédentes [168]. Par conséquent, plusieurs scénarios de rupture ont été envisagés, pouvant se produire à l'intérieur de l'oxyde (au centre ou sur les bords), à la jonction drain-bulk ou encore dans la région d'espacement entre la grille et le drain.

3.3.6.1 Description expérimentale

Nous avons effectué notre analyse sur un N-FET du nœud 28nm FDSOI, avec une épaisseur d'oxyde EOT = 1,5 nm et une longueur de canal de grille de L_G = 30nm. Les échantillons ont été soumis à une contrainte de tension constante (CVS) appliquée soit du côté drain pour le TDDB Off-state, soit du côté grille pour le TDDB en On-state et dans le cadre du stress MOL, à des températures allant de 125°C à 25°C, tandis que les autres bornes étaient mises à la terre. La rupture du diélectrique entre le poly et le contact est mesurée sur des structures posées sur STI (Shallow Trench Isolation) comme illustré à la figure 3.43, plutôt que sur des structures CMOS pour lesquelles la rupture du diélectrique de grille se produirait avant la rupture du diélectrique d'espacement entre le poly et le contact [222]. Le test TDDB Off-state a été effectué sur les dispositifs avec une tension de $V_{DS} = 2,9V$ et $V_{GS} = 2,6V$ pour le TDDB en inversion. Pour le stress du diélectrique en milieu de ligne, une tension très élevée allant jusqu'à 20V a été appliquée.

Une résistance externe de 1kΩ a été connectée en série aux dispositifs présentés sur la figure 3.44 afin de limiter la dissipation de puissance dans les contacts drain/grille. Cette mesure permet de garantir des caractéristiques I-V post-rupture stables et

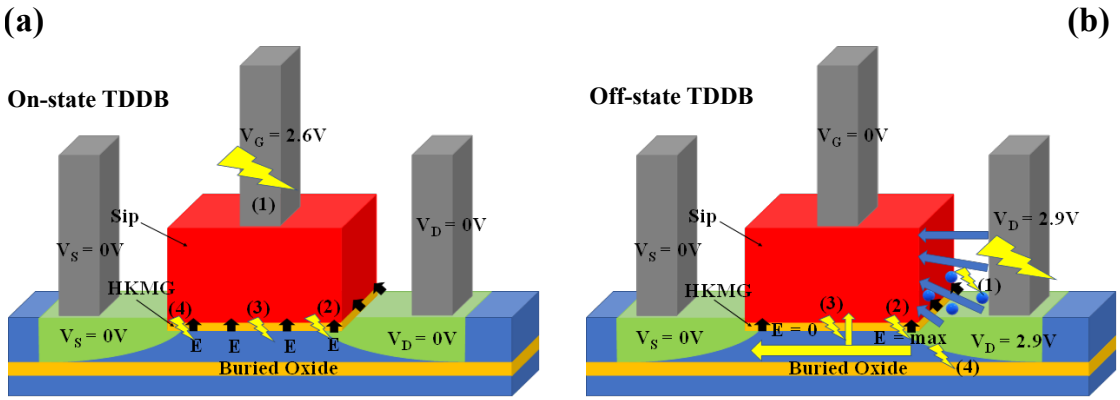


FIGURE 3.42 – Représentation schématique de transistors soumis à une contrainte TDDB sans résistances de protection en série, montrant les principales zones de rupture. Les défaillances des contacts de grille et de drain sont dues à une dissipation de puissance significative. (a) La rupture en On-state se produit simultanément dans le contact de grille (1) et dans différentes régions du diélectrique de grille (2- à proximité du drain, 3- dans le canal ou 4- à proximité de la source). (b) En Off-state, la rupture se produit simultanément dans le contact de drain (1), dans le diélectrique (2- côté drain ou 3- milieu du canal) ou entre le drain et l'isolant BOX en raison d'une forte ionisation par impact.

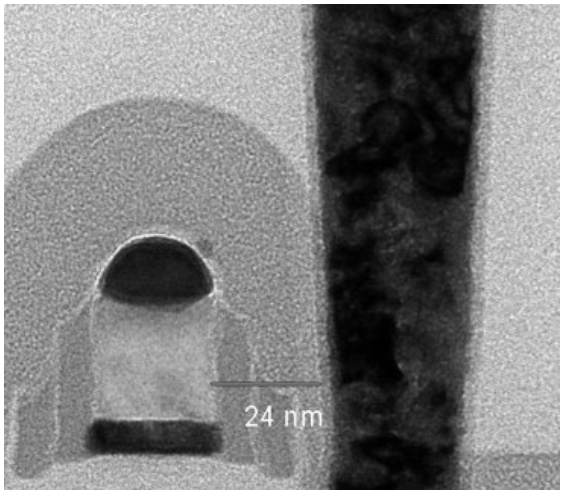


FIGURE 3.43 – Une coupe transversale obtenue par microscopie électronique en transmission (TEM) d'une structure de test du diélectrique entre le poly et le contact sur STI utilisée pour la rupture du diélectrique d'espacement.

reproductibles. La chute de tension induit par la résistance en série de protection a été corrigée pour toutes les configurations des équations (3.26) et (3.27) afin de reproduire la même condition de stress TDDB sans aucune résistance externe.

$$V_{DR_{D-série}} = V_D - R_{D-série} \cdot I_D \tag{3.26}$$

$$V_{GR_{G-série}} = V_G - R_{G-série} \cdot I_G \tag{3.27}$$

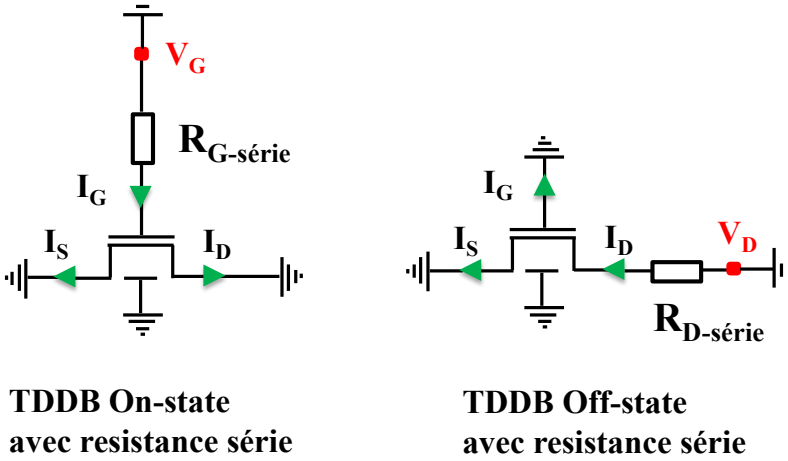


FIGURE 3.44 – Configuration de mesure pour illustrer la condition de stress TDDB avec des résistances de protections externes en série. Il est nécessaire de compenser la chute de tension due aux résistances par rapport aux courants de drain (eq. (3.26)) et de grille (eq. (3.27)).

La méthodologie de l'expérience se déroule en plusieurs étapes successives. Tout d'abord, une caractérisation initiale courant-tension I-V est réalisée afin d'obtenir le courant du dispositif frais et d'éliminer la probabilité de défaillances précoces, comme illustré sur la figure 3.45. Ensuite, un stress TDDB est appliqué avec ou sans résistance externe en série, comme indiqué respectivement sur les figures 3.46 et 3.48. Enfin, une caractérisation I-V finale post-TDDB est effectuée pour localiser le point de rupture et estimer la résistance, comme présenté sur les figures 3.47 et 3.49.

Les résultats expérimentaux seront discutés en détail dans les deux sous-sections suivantes. Tout d'abord, nous présenterons le mode et la position du point de rupture des diélectriques de grille et MOL étudiés sur plus de 700 transistors, en utilisant la technique du ratio de courant [223]-[225], et nous comparerons le facteur d'accélération de tension.

3.3.6.2 Caractérisation du transistor avant et après la rupture du diélectrique

Un test d'intégrité du diélectrique est réalisé sur chaque dispositif en mesurant les courants de grille, de drain et de source, comme illustré sur la figure 3.45, dans la plage de tension $V_{GS} = -1V$ à $1V$ et $V_{DS} = 0,2V$ jusqu'à $1V$. Ces caractéristiques I-V

fraîches des transistors sur la figure 3.45 montrent que les courants de drain et de source sont similaires et se chevauchent. Le courant de grille en monde Off présente une saturation principalement dû à une fuite de la diode de protection du MOS.

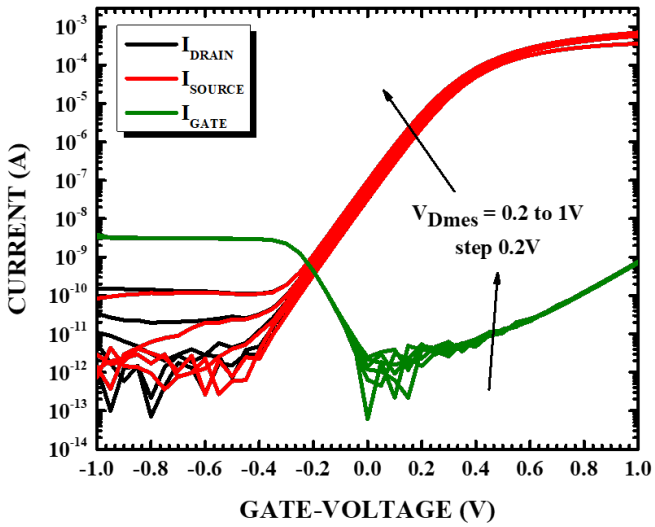


FIGURE 3.45 – Caractérisation I-V fraîche sur trois terminaux d'un transistor N-FET du 28nm FDSOI avec $W_G = 1\mu m$ et $L_G = 30nm$. Les courants de drain (lignes noires) et de source (lignes rouges) sont similaires et se chevauchent avant la rupture diélectrique. En effet, le courant de grille en mode Off présente une saturation due à la diode de protection du MOS.

Lorsque le TDDB est appliqué sans résistance série externe, la rupture du diélectrique peut entraîner simultanément un circuit ouvert et un dysfonctionnement du dispositif. Le transistor présente un saut abrupt des courants vers le bas, comme observé sous une contrainte de TDDB en Off-state sur les courbes temporelles des courants du drain, de la source et de la grille sur la figure 3.46 [168], [219].

Après la rupture du diélectrique, la résistance série a été retirée et les courants de grille, de drain et de source ont été mesurés dans la plage de tensions $V_{GS} = -1V$ à 1V et $V_{DS} = 0V$ jusqu'à 1V (figures 3.47 et 3.49). Le comportement d'un circuit ouvert du côté drain après la rupture est montré sur la figure 3.47. On peut observer un très faible courant de drain bruité en raison de la fusion du contact de drain. En ajoutant une résistance série de protection, les dispositifs restent fonctionnels malgré la rupture du diélectrique de grille (avec des sauts de courant vers le haut) comme le montrent les figures 3.48 et 3.49.

3.3.6.3 Localisation du point de rupture

La méthode pour quantifier la nature de la rupture d'un diélectrique consiste à mesurer la résistance de la grille post-claquage R_{Gate} (équation (3.28)), en mesurant le courant pour une tension de grille positive $V_G = 1V$. Cette tension permet de caractériser le comportement résistif du point de rupture.

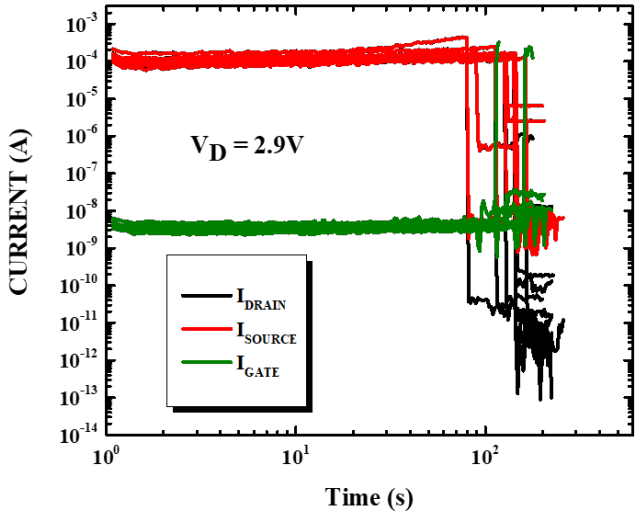


FIGURE 3.46 – Mesure des courants de fuite au cours d'une contrainte TDDB Off-state jusqu'à l'apparition d'une rupture franche sur un NMOS FDSOI $W_G/L_G = 1\mu m/30nm$ en fonction du temps de stress cumulatif dans une configuration sans résistance série externe. Cela génère un circuit ouvert. Les courants de source (lignes rouges) et de drain (lignes noires) se chevauchent.

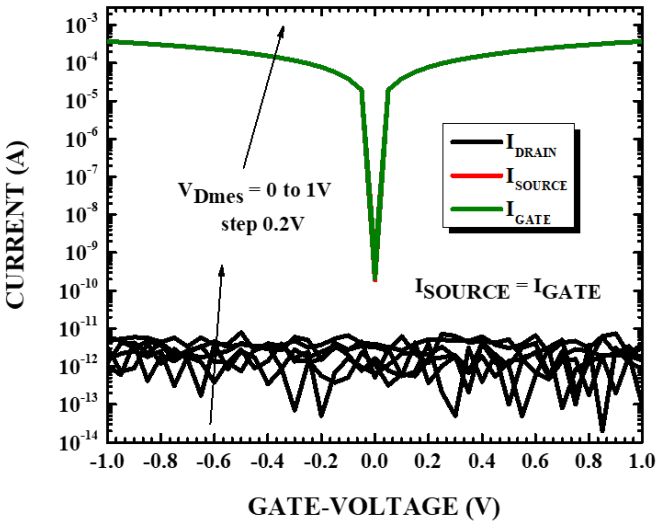


FIGURE 3.47 – Caractéristiques I-V sur trois terminaux du transistor après une contrainte TDDB Off-state sur la figure 3.46 sans résistance série de protection. Un courant très faible et bruité est mesuré sur le drain. Les courants de grille (lignes vertes) et de source (lignes rouges) se chevauchent.

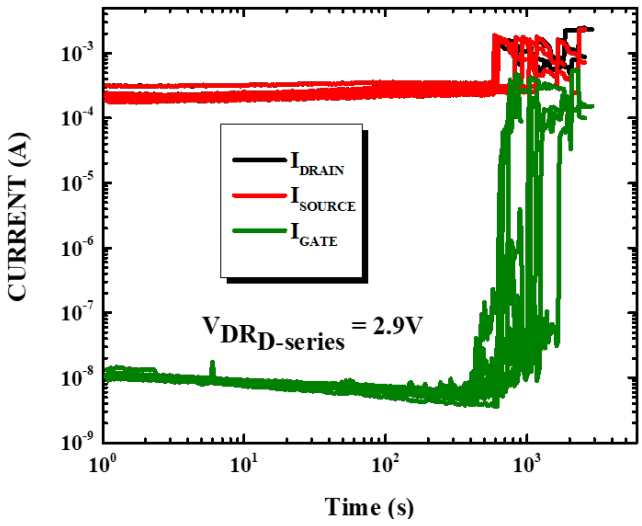


FIGURE 3.48 – Mesures temporelles des fuites de courant avec une résistance de protection en série connectée pendant une contrainte TDDB Off-state jusqu'à la rupture du diélectrique, se manifestant par des sauts vers le haut. La chute de tension a été compensée pour reproduire les mêmes conditions de stress que celles de la figure 3.46. Les courants de drain (représenté par des lignes noires) et de source (représenté par des lignes rouges) se superposent.

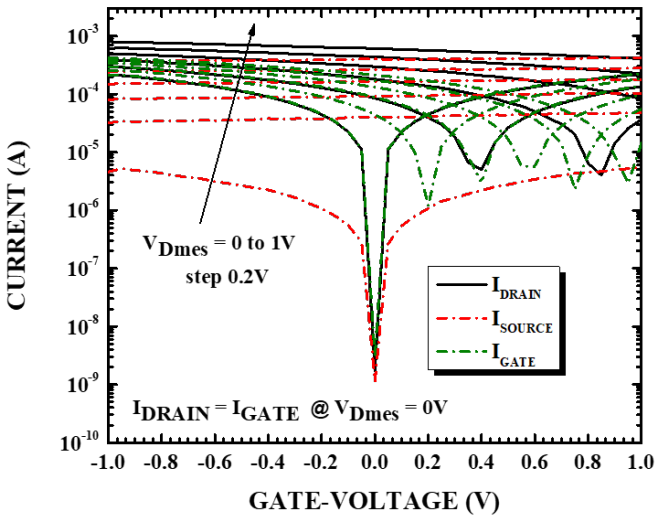


FIGURE 3.49 – Caractéristiques I-V après une contrainte TDDB en mode Off sur la figure 3.48 avec une résistance externe en série. Les dispositifs restent fonctionnels après la rupture diélectrique.

$$R_{Gate} = \frac{V_G}{I_G} \tag{3.28}$$

$$s = \frac{I_D}{I_D + I_S} = \frac{x_{BD}}{L_G} \tag{3.29}$$

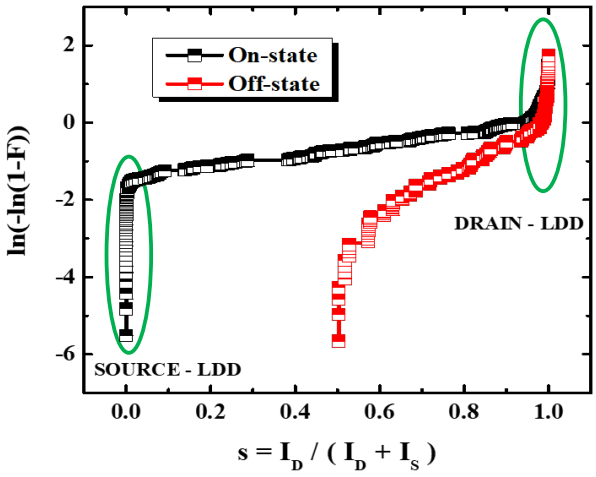


FIGURE 3.50 – Distribution Weibull des ratios montrant un comportement multimodal des points de rupture dans les zones LDD (verticale) ainsi que la région du canal (centre).

Il a été démontré qu'une classification précise et nanométrique des points de rupture le long de la direction du canal peut être établie en observant le courant de source ou de drain à une polarisation négative de la grille $V_G = -1V$, que ce soit près des régions de la source, du drain ou au centre [223], [224]. En fonction du chemin parcouru par le courant après le claquage, qui peut être de la grille à la source, de la grille au drain ou de la grille à la fois à la source et au drain, il est possible de déterminer avec précision la position du point de rupture. Cette position précise du point de rupture est obtenue grâce au rapport s à l'équation (3.29) (figures 3.50 et 3.51) à une polarisation de grille $V_G = -1V$. Dans ces conditions, les électrons sont injectés depuis la grille à travers le chemin de rupture et collectés par la source lorsque le rapport s est proche de 0, sinon par le drain lorsque le rapport s est proche de 1. Les valeurs de s obtenues en TDDB On-state (représentées par une courbe noire sur la figure 3.50), qui suivent une relation linéaire en fonction de la position du point de rupture dans le canal, sont approximativement équiprobables et équidistantes en dehors des régions de drain légèrement dopées (LDD) (figure 3.51).

Ainsi, la méthode de répartition du courant peut également être appliquée au claquage de diélectrique en TDDB Off-state. La figure 3.51 illustre la relation proportionnelle entre le ratio s et la position des points de rupture x_{BD}, qui a été déterminée en triant les valeurs de s obtenues sur un nombre suffisamment grand de dispositifs testés (voir figure 3.50). En TDDB On-state, il est observé qu'un claquage franc se

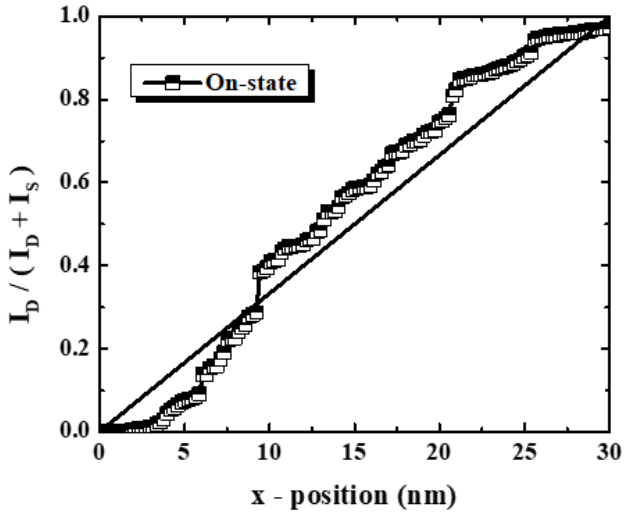


FIGURE 3.51 – La position des points de rupture dans l'oxyde de grille en TDDB On-state, triés en fonction du ratio s, montre une relation linéaire entre s et l'emplacement des points de rupture qui sont distribués de manière équidistante.

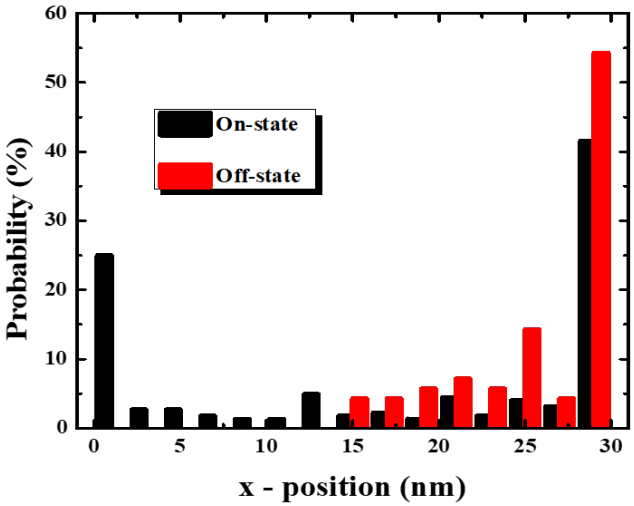


FIGURE 3.52 – Les positions des points de rupture sont classées selon les régions d'occurrence de claquage dans l'oxyde de grille du transistor de $L_G = 30$nm. Une probabilité élevée de claquage est observée dans les régions LDD [219].

produit près de l'extension source/drain, tandis qu'une rupture douce est observée dans la région du canal (figures 3.52 et 3.53). En mode Off, seule le HBD est distingué du milieu du canal jusqu'à l'extension de drain [219]. La probabilité élevée de rupture observée dans les régions LDD (figure 3.52) peut s'expliquer par la non-uniformité du champ électrique, qui est liée aux charges présentes dans les espaceurs (notamment du côté drain), ainsi qu'à la dépolarisation du canal due à la fuite d'oxyde. La distribution de R_{Gate} est représentée sur la figure 3.54, où la résistance des points de rupture HBD est inférieure à $3,5M\Omega$, tandis que celle des ruptures douces est supérieure à cette valeur.

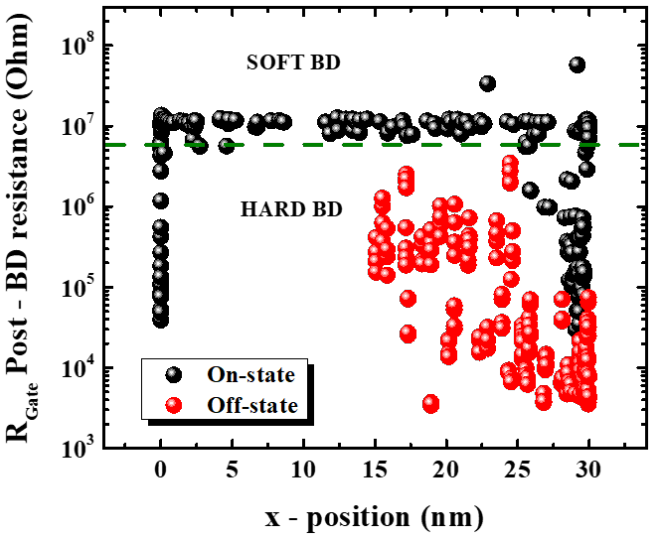


FIGURE 3.53 – La résistance des points de rupture R_{Gate} est tracée en fonction de la position x_{BD} le long du canal. Le claquage franc est exclusivement identifiée pour le TDDB en Off-state [219].

Nous avons comparé les facteurs d'accélération de tension correspondant aux claquages (T_{BD} à 63%) d'un diélectrique de milieu de ligne et de l'oxyde de grille caractérisés en TDDB modes On-state et Off-state sur la figure 3.55. Les résultats diffèrent considérablement en fonction de la tension de contrainte. En effet, le TDDB MOL suit une dépendance en racine carrée de la tension, tandis que le TDDB en On-state suit une loi de puissance de la tension de grille. Par conséquent, cela indique que le mécanisme de claquage en mode Off ne correspond pas à la rupture de l'espaceur, mais plutôt à la rupture du diélectrique de grille au bord du drain.

3.4 Conclusion

Nous avons fourni dans ce chapitre des informations précieuses sur le rôle crucial du courant dans la défaillance localisée de l'oxyde de grille pendant une contrainte en DC Off-state sur des composants CMOS de noeuds allant de 130 nm au 28 nm

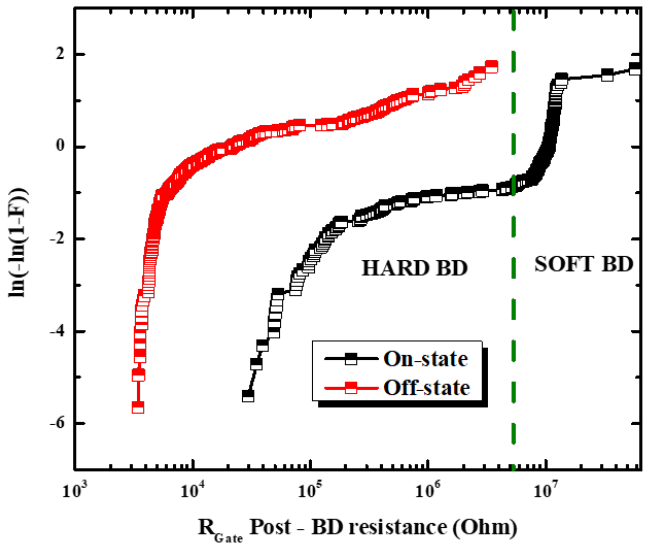


FIGURE 3.54 – La distribution de R_{Gate} tracée pour les TDDB en modes Off-state et On-state montrant des comportements multi-modaux entre les claquages francs et doux.

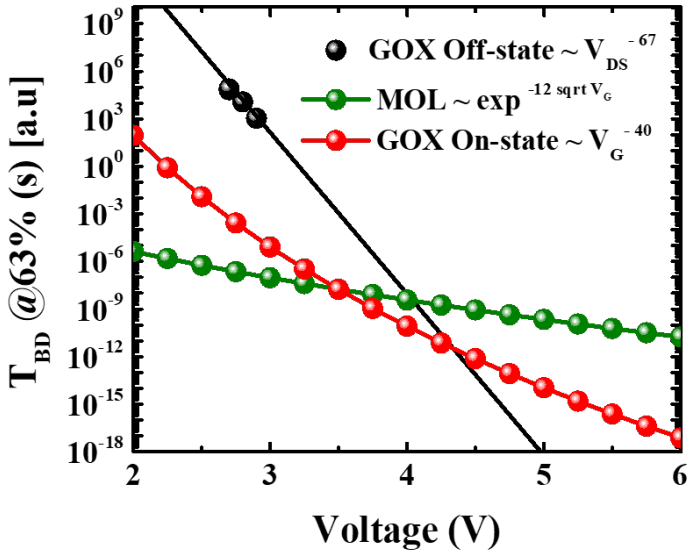


FIGURE 3.55 – Comparaison des T_{BD} à 63% suite à des contraintes TDDB sur l'oxyde de grille en modes Off-state et On-state ainsi que sur le diélectrique de milieu de la ligne, pour un N-FET FDSOI L_G = 30nm. Le facteur d'accélération de tension (VAF) obtenu en mode Off est différent de celui de la rupture du diélectrique de milieu de ligne (MOL). De plus, la plage de tension de claquage en mode Off est extrêmement étroite.

et en deçà, en particulier pour les conditions d'opération RF du domaine des ondes millimétriques (millimeter wave mmW) 5G [7], [226].

En examinant les différents paramètres qui influencent les courants en Off-state, notamment la géométrie des transistors et le mode d'accélération V_{DS}, l'étude révèle que la dépendance de la longueur de grille en TDDB Off-state peut être attribuée à une fraction de la population de porteurs chauds à travers le champ électrique latéral. Cela a permis le développement d'un modèle de fiabilité compact du TDDB en Off-state basé sur une dépendance en loi de puissance des courants de fuite $I_{GS,Off}$ ou $I_{DS,Off}$, qui a été appliqué avec succès au noeud CMOS 28 nm. Le modèle tient simultanément compte les dépendances d'accélération en V_{DS}, L_G et température impliquées dans le déclenchement du claquage franc en Off-state. Ces résultats ont des implications significatives pour la conception et la fiabilité des dispositifs à semi-conducteurs. En comprenant les mécanismes sous-jacents de BTBT qui entraînent le TDDB en Off-state, les concepteurs peuvent optimiser les paramètres du dispositif pour améliorer sa fiabilité et prolonger sa durée de vie.

De plus, la cohérence du comportement observé dans différentes technologies suggère que cette modélisation compacte de courant peut être extrapolée à d'autres technologies avancées telles que FinFet, GAA (Gate-All-Around), etc... avec une précision raisonnable. D'autres mécanismes de fuite, tels que GIDL [157], [159], peuvent également contribuer à une dégradation supplémentaire de la durée de vie du dispositif et devraient être pris en compte dans le prochain chapitre.

4 Modélisation des dégradations en fonctionnement dynamique

Sommaire

4.1 Introduction . . . 189
4.2 Contexte de l'étude . . . 191
4.3 Analyse quasi-statique de l'interaction entre la dégradation par porteurs chauds (HCD) et la polarisation en fuite de grille induite par le drain (GIDL) . . . 193
4.3.1 Techniques de caractérisation . . . 193
4.3.1.1 Mesure standard des dégradations BTI et HCD . . . 193
4.3.1.2 Les Mesures rapides . . . 194
4.3.2 Analyse comparative de la dégradation en On-state et Off-state . 197
4.3.2.1 Dégradation du courant de drain en Off-state . . . 197
4.3.2.2 Caractérisation électrique et localisation des défauts en Off-state . . . 199
4.3.2.3 Effet de l'historique des stress entre les modes On-state et Off-state . . . 200
4.3.3 Caractérisation électrique d'un stress alterné HCD + polarisation GIDL . . . 202
4.3.4 Effet de l'auto-échauffement . . . 206
4.3.5 Modélisation du HCD et de l'effet de la polarisation GIDL . . . 209
4.4 Effet du HCD en fréquence . . . 219
4.4.1 Étude du cas HCD avec l'application d'une polarisation GIDL . 219
4.4.2 Étude du cas HCD sans l'application d'une polarisation GIDL . 226
4.5 Conclusion . . . 234

4.1 Introduction

Dans le deuxième chapitre, nous avons présenté le modèle en tension de dégradation DC HCD en régime d'inversion de [43], mettant en lumière ses dépendances temporelle et énergétique, ainsi que les influences des procédés de fabrication.

Dans la première section de ce chapitre, nous avons exploré expérimentalement, à l'aide d'une technique de mesure rapide, la polarisation de stress en fuite de courant induite par la grille au niveau du drain (GIDL) en Off-state lorsque $V_{DS} > 0V$, $V_{GS} < 0V$

et son effet sur la récupération de la dégradation HCD pour approfondir la compréhension physique. Il a été observé que la récupération du HCD par la polarisation GIDL est davantage liée à la décharge des pièges d'oxyde assistée par le champ électrique qu'à l'activation thermique. Cette constatation contraste avec les travaux antérieurs qui ont montré que l'amélioration du HCD pouvait être positivement corrélée à la température de recuit, suggérant une activation thermique des charges depuis les pièges d'oxyde et d'interface [227], [228].

Lorsque soumis à un champ électrique vertical élevé, certains trous du canal du transistor NMOS sont capturés par des pièges d'oxyde dans le diélectrique de grille, entraînant une récupération supplémentaire des paramètres du transistor. En augmentant la polarisation du GIDL, il est possible d'atteindre un taux de récupération allant jusqu'à 80% de la dégradation totale HCD en mode MVE. Toutefois, la combinaison de polarisation GIDL avec une augmentation de la température ambiante, de -40°C à 160°C, ne semble pas améliorer davantage ce taux de récupération du HCD.

La miniaturisation continue des transistors a mis en exergue le HCD comme un enjeu majeur pour la fiabilité des semi-conducteurs. Les recherches approfondies sur les mécanismes de piégeage associés au HCD ont révélé que tant les pièges d'interface que les pièges d'oxyde jouent un rôle dans la dégradation globale du dispositif. Le modèle compact du HCD, élaboré à partir d'analyses détaillées de la distribution spatiale des pièges, a permis une caractérisation plus précise de son interaction avec la polarisation GIDL. Le modèle d'interaction HCD/GIDL se distingue des approches antérieures telles que la somme de dérive et la somme des âges, en intégrant la modélisation du recouvrement des pièges dû au stress HCD par l'effet de polarisation GIDL. Ce dernier est décrit par la décharge des pièges d'oxyde au-delà de la bande interdite, offrant ainsi une perspective novatrice dans la compréhension de la récupération des caractéristiques électriques après un stress HCD.

Dans cette étude, nous avons examiné l'effet de l'auto-échauffement sur le HCD dans des transistors NMOS. La température du canal a été ajustée en fonction de différents patterns de stress pour déterminer une énergie d'activation E_a plus représentative. Cette approche a permis de quantifier avec précision la température réelle du canal au sein du dispositif. Bien que l'énergie d'activation associée au HCD ou au GIDL soit extrêmement faible, même en prenant en compte le SHE, il a été constaté que la caractérisation de l'auto-échauffement nécessite un système capable de générer des pulses et des transitions dont les durées sont inférieures ou égales à 1ns.

Dans la seconde partie de cette étude, nous avons mené des expérimentations pour examiner l'influence de la largeur d'impulsion des patterns de stress sur le HCD et les séquences alternées HCD/GIDL dans des dispositifs NMOS. Toutefois, l'analyse des contraintes en AC requière une approche plus quantitative et systématique. Pour cela, un système de mesure rapide a été employé, se révélant être un outil puissant pour la caractérisation électrique et l'extraction de paramètres critiques.

Au cours de ce travail, nous avons également exploré de manière expérimentale l'effet de la fréquence de stress sur la récupération de la dégradation HCD induite par la polarisation GIDL. À travers une configuration de stress et de caractérisation pulsée, nous avons appliqué des stress à différentes fréquences, quantifié de manière précise

l'impact de la polarisation GIDL en Off-state, et comparé les résultats à un modèle en DC. Ces investigations fournissent de nouvelles perspectives sur les mécanismes de dégradation en stress AC et au-delà de la gamme des GHz.

4.2 Contexte de l'étude

La modélisation de la dégradation induite par les porteurs chauds (HCD) pour les technologies CMOS nanométriques a été considérablement approfondie afin d'intégrer une multitude d'effets. Ces développements incluent la prise en compte des tensions de drain et de grille (V_{DS}, V_{GS}), l'influence de la température, ainsi que l'impact de la longueur de la grille L_G. Les stratégies de modélisation adoptées se fondent sur l'analyse de diverses gammes d'énergie des porteurs, reconnaissant ainsi la présence simultanée de différents taux de génération de défauts, conformément aux études [42], [122]. Ces modèles tiennent également compte de l'interaction avec l'instabilité de la température de polarisation (BTI), avec une attention particulière portée aux canaux de type P, en raison des niveaux de dommages nettement plus élevés observés lors des injections de trous chauds [229]. De plus, l'étude du vieillissement des dispositifs en mode Off-state, causé par l'injection de porteurs énergétiques, a été intégrée dans les modèles, particulièrement pour les dispositifs à haute tension équipés d'un drain étendu, comme le démontre la publication [196].

L'étude des injections de porteurs chauds en modes "On" et "Off" sont généralement réalisées séparément, alors que ces deux modes se produisent de manière séquentielle durant l'application d'un signal AC RF comme le montre la figure 4.1. L'analyse des formes d'onde de tension de drain V_{DS} et de grille V_{GS} à 16 dBm révèle qu'elles peuvent être décomposées en une séquence initiale en mode "Off-state", suivie d'une séquence impliquant trois modes distincts de dégradations par porteurs chauds [42], [122], correspondant au SVE, l'EES ou le MVE impliquant l'excitation des liaisons Si–H comme nous l'avions décrit dans la dernière section du chapitre précédent.

Bien que le stress en mode Off entraîne généralement une dégradation moins rapide du dispositif comparativement au stress en mode On, il peut s'avérer être un facteur critique pour la fiabilité des dispositifs fonctionnant dans le domaine des radiofréquence (RF) et mmW. En effet, dans ces applications la tension d'alimentation V_{DD} est doublée par rapport à celle employée dans les applications logiques. Dans ce contexte, non seulement les variations des paramètres du dispositif peuvent devenir importantes, mais il existe également un risque accru de claquage irréversible au niveau de la jonction grille-drain.

L'étude de la dérive des paramètres due à la génération de défauts d'interface en Off-state ou à proximité du seuil V_{TH} est très complexe, car elle est souvent concomitante avec le piégeage de trous chauds qui induit des effets de retournement. Améliorer les modèles de vieillissement des dispositifs nécessite de prendre en compte la dégradation par porteurs chauds (HCD) entre les modes On/Off et l'interaction de ces mécanismes de dégradation ayant différents taux de dommage ainsi que les effets dynamiques. Comme la caractérisation DC des modes HCD pourrait être insuffisante,

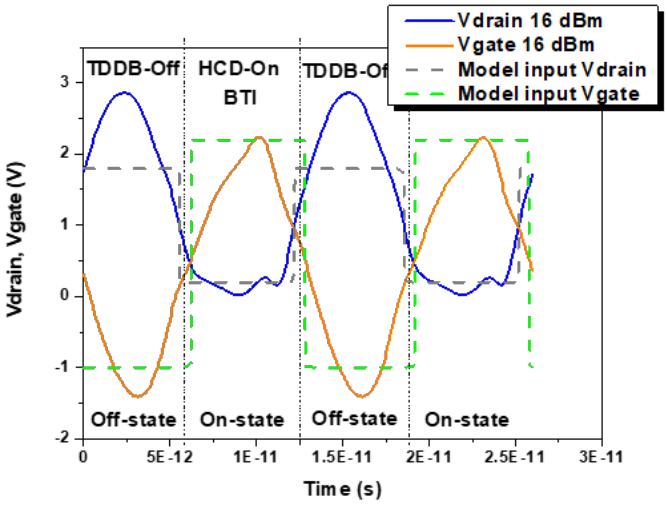


FIGURE 4.1 – Les formes d'ondes sinusoïdales typiques (V_{DS}, V_{GS}) d'une puissance de 16dBm, couramment employées pour le fonctionnement d'un amplificateur de puissance dans des applications RF. Parallèlement, pour la modélisation, on utilise une approximation de ces signaux sinusoïdaux à 16dBm par une forme d'onde rectangulaire cyclique qui représentent les tensions de la séquence d'impulsions d'entrée.

il est plutôt nécessaire de vérifier la validité de l'approche quasi-statique lorsque nous cherchons à modéliser avec précision la dégradation sous contrainte dynamique réaliste par une succession d'états statiques.

Les amplificateurs de puissance (PA) sont conçus pour maximiser l'efficacité de la transmission de puissance de l'entrée vers la charge au niveau de la sortie. Ils doivent présenter une excellente linéarité pour les classes A, AB, B et C, ou un rendement de puissance optimisé pour la classe E. Les recherches en fiabilité ont révélé que les PA de classe E en configuration CMOS cascode sont particulièrement vulnérables à des niveaux de stress élevés, susceptibles de provoquer une rupture diélectrique en raison des champs d'oxyde importants [230]. La figure 4.2 illustre le schéma d'un PA de classe E standard, équipé d'un transistor NEDMOS avec une longueur de grille $L_G = 0.5\mu$m. Ce schéma intègre une résistance d'accès de grille R_G, une capacité shunt C_1, un inducteur L_1 servant de filtre RF, un circuit RLC résonant en série (L_2, C_2) et une résistance de charge R_L. Un PA de classe E basé sur un transistor NEDMOS est caractérisé par des cycles de commutation non linéaires à haute fréquence (jusqu'à 1.8 GHz), alternant entre les modes Off et On. Il est crucial que la commutation soit précise, sans chevauchement entre la tension de drain $V_{DS}(t)$ et le courant de drain $I_{DS}(t)$, pour minimiser les pertes de puissance, comme indiqué dans [231].

Cependant, le dimensionnement du transistor NEDMOS pour améliorer la vitesse et la puissance introduit des défis de fiabilité non négligeables. En effet, les phénomènes de porteurs chauds et de rupture diélectrique au niveau du drain sont des préoccupations majeures pour les applications RF, comme souligné précédemment. En outre, la commutation à des tensions V_{DS} élevées, qui peut engendrer des dommages par HCD, risque d'impacter la fiabilité liée à la décharge électrostatique (ESD), particuliè-

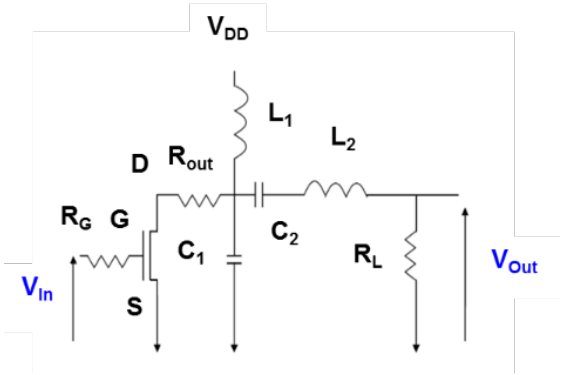


FIGURE 4.2 – Schémas d'un amplificateur de puissance de classe E utilisant un transistor NEDMOS avec une longueur de grille $L_G = 0,5\mu$m [14].

rement dans les dispositifs à oxyde de grille mince. Une adaptation méticuleuse de la fenêtre temporelle de l'ESD est donc nécessaire pour prévenir les dommages, comme le suggère la référence [232].

Nous introduisons une analyse détaillée des interactions du HCD en modes On-state et Off-state et le claquage du diélectrique en conditions dynamiques spécifiquement pour les dispositifs N-FET, en employant une modélisation compacte qui s'appuie sur un modèle empirique robuste. La technique de stress pulsé, implémentée via une séquence de mesure-stress-mesure, est également exploitée pour examiner la dépendance temporelle du HCD et de l'Off-state en vue d'une modélisation précise du vieillissement sous des signaux AC RF. Cette approche méthodologique en matière de fiabilité est particulièrement bénéfique pour réduire la disparité entre les modèles simplistes traditionnellement utilisés pour la caractérisation HCD en DC et les phénomènes de dégradation observés dans les amplificateurs de puissance soumis à des signaux AC RF. Elle constitue un pas en avant vers des prédictions de fiabilité plus représentatives des conditions d'utilisations réelles.

4.3 Analyse quasi-statique de l'interaction entre la dégradation par porteurs chauds (HCD) et la polarisation en fuite de grille induite par le drain (GIDL)

4.3.1 Techniques de caractérisation

4.3.1.1 Mesure standard des dégradations BTI et HCD

Pour réaliser des mesures de dégradation induite par BTI ou HCD, on utilise des unités de mesure système, communément désignées par l'acronyme SMU (System Measurement Unit). Ces appareils sont capables d'appliquer précisément une tension aux différentes bornes d'un transistor, comme la grille et le drain, tout en mesurant

en quasi-statique le courant qui en résulte sur une période minimale de 10ms. La figure 4.3 illustre les séquences temporelles des tensions appliquées par un SMU au transistor lors d'un test BTI ou HCD, démontrant comment les tensions varient avec le temps pendant l'application du stress et la période de caractérisation.

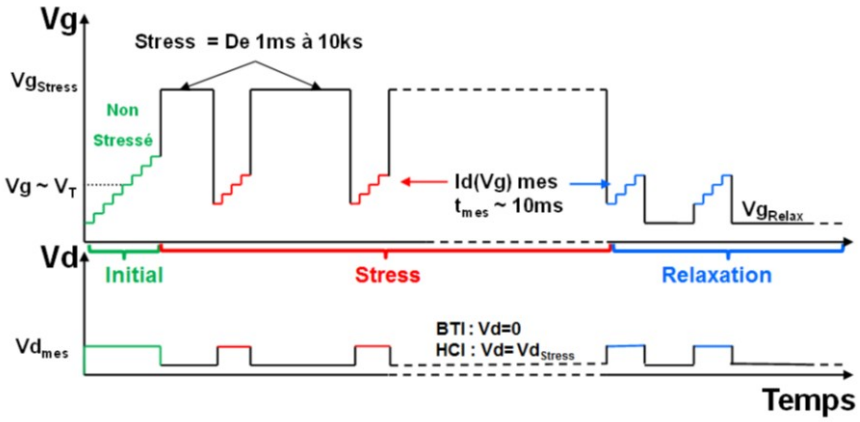


FIGURE 4.3 – Chronogramme des tensions de stress lors d'une mesure DC de type BTI ou HCD. Les escaliers sont des phases de mesures correspondant à des rampes de polarisation [140].

La technique MSM (Measure-Stress-Measure) pour le BTI débute par une mesure initiale du courant de drain I_{DS} en fonction de la tension de grille V_{GS} pour caractériser le transistor dans son état initial. Ensuite, on applique une tension de stress élevée V_{GS} à la grille pour une durée prédéterminée. Après cette période, on interrompt le stress et procède immédiatement à une nouvelle mesure de $I_{DS} - V_{GS}$ afin d'évaluer la dégradation subie par le transistor. Ce cycle est répété, alternant entre les phases de stress et de mesure, jusqu'à ce que la durée totale de stress souhaitée soit atteinte, permettant ainsi de suivre l'évolution de la dégradation au fil du temps.

La réalisation de tests HCD est effectivement similaire au BTI, avec une différence clé dans l'application des tensions de stress. Pour les tests HCD, on applique simultanément des tensions de stress V_{DS} sur le drain et V_{GS} sur la grille.

4.3.1.2 Les Mesures rapides

L'utilisation de SMU pour réaliser une séquence de mesure de type MSM est considérée comme relativement lente, nécessitant environ 35ms pour mesurer le courant de drain I_{DS} à partir duquel on extrait la tension de seuil V_{TH}. Des études [233], [234] ont toutefois montré que le délai de mesure a un impact significatif sur l'évaluation de la dégradation NBTI. En effet, la dégradation due au NBTI commence à se réparer dès que le stress est interrompu, et les paramètres électriques du transistor commencent à revenir vers leurs valeurs initiales avec une cinétique spécifique. Ce délai de mesure est principalement dû aux limitations inhérentes des SMU, la matrice de relais, entre autres. La figure 4.4 illustre l'effet du temps de délai sur la phase de stress. De plus,

le temps de mesure influence la valeur mesurée : plus il est long, plus la dégradation effective est sous-estimée. La précision de ces mesures est essentielle pour développer un modèle prédictif de fiabilité. Des résultats sous-estimés peuvent aboutir à un modèle excessivement optimiste, risquant ainsi de compromettre la sûreté de l'application finale.

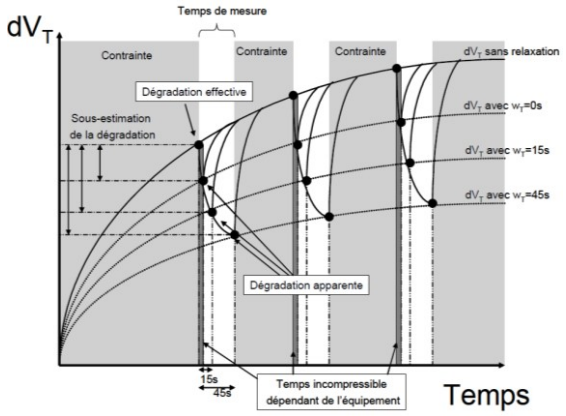


FIGURE 4.4 – Effet de la relaxation BTI sur l'évaluation de la dégradation [55].

Pour minimiser les temps de mesure et atténuer les effets de relaxation, l'analyseur de paramètres des semi-conducteurs B1500-B1530 a été employé. Cet instrument sophistiqué améliore la technique MSM en exploitant ses capacités de caractérisation I-V pulsée. Cette méthode avancée permet de mettre en évidence la possibilité d'effets d'auto-échauffement, un phénomène particulièrement pertinent dans les technologies FDSOI en raison de la présence de l'oxyde massif BOX. Elle permet également de distinguer les différents types de défauts BTI, en menant des expériences qui minimisent l'impact des défauts récupérables.

L'implémentation pratique de cette technique est réalisée avec le WGFMU (Waveform Generator Fast Measurement Unit), qui s'intègre comme un module plug-in à l'analyseur B1530A d'Agilent. Ce module offre une solution de test paramétrique I-V pulsé avec une impulsion minimale de 100 ns et une résolution de mesure de courant de 1 nA. La plage de largeur d'impulsion disponible s'étend de 100 ns à plus, ce qui en fait un outil idéal pour l'évaluation précise des MOSFETs nanométriques dotés d'un EOT considérablement réduit.

La grille et le drain du transistor sont connectés aux WGFMU ou RSU (Remote Sensing Unit) via des câbles SMA (SubMiniature version A). Le montage recommande l'utilisation d'une boucle de masse afin de minimiser le bruit et d'obtenir des mesures stables (figure 4.5). Les performances de mesure de l'appareil sont détaillées dans le tableau 4.1. Contrairement aux mesures quasi-statiques effectuées avec des SMU, il est nécessaire de sélectionner le calibre de mesure des WGFMU avant de commencer la mesure. Choisir un calibre de mesure permet de réaliser des mesures de courant jusqu'à trois ordres de grandeur en dessous de la valeur maximale du calibre sélectionné. Par exemple, un calibre de 1 mA permettra de mesurer des courants allant de 1 µA à 1 mA avec précision.

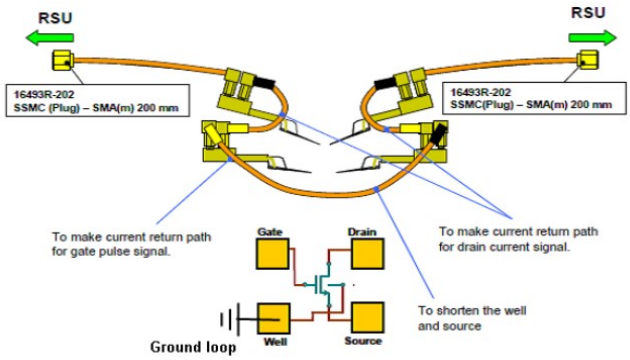


FIGURE 4.5 – Schéma du montage utilisé pour réaliser des mesures rapides [235].

Gamme de courant	Temps de délai sur la mesure	Temps de mesure minimum	Bruit sur la mesure
10 mA	125 ns	20 ns	1.9 µA
1 mA	200 ns	40 ns	280 nA
100 µA	820 ns	130 ns	47 nA
10 µA	5.8 µs	1 µs	2.5 nA
1 µA	37 µs	1.64 µs	425 pA
100 nA	37 µs	10 µs	160 pA

TABLEAU 4.1 – Caractéristiques des temps de mesure et les délais associés aux différentes gammes de courant mesuré avec le B1530, ainsi que le bruit sur la mesure [235]. La largeur d'impulsion minimale recommandée est déterminée par la somme du temps d'établissement et du temps de mesure minimum.

4.3.2 Analyse comparative de la dégradation en On-state et Off-state

4.3.2.1 Dégradation du courant de drain en Off-state

Pour un NFET avec une longueur de grille L_G = 30nm et une tension de stress sur la grille $V_{GS} > V_{TH}$ comme illustré sur la figure 4.6, il a été observé que le dérive linéaire du courant de drain ΔI_{D-Lin} augmente négativement (réduction) avec les tensions V_{GS} et V_{DS} [159]. Cette augmentation linéaire du HCD en inversion suit une loi de puissance en fonction du temps (figure 2.47), souvent associée à la génération de défauts d'interface N_{IT}. La figure 4.6 illustre les résultats de dégradation des transitions en conditions DC On-state et Off-state, couvrant une gamme étendue de tensions V_{GS} et V_{DS} (faibles, modérées et élevées).

À proximité de V_{TH}, nous observons l'émergence d'un effet de "retournement" attribué au piégeage des trous chauds. En condition de stress Off-state, nous constatons (figure 4.6) que ΔI_{D-Lin} augmente positivement (accroissement), indiquant une tendance opposée à celle des dommages en mode On-state causés par les porteurs chauds. Bien que la même tension de drain soit appliquée, l'augmentation de ΔI_{D-Lin} sous contrainte par injection de porteurs chauds HCD On-state est plus marquée par rapport au mode Off-state, lequel ne montre pas plus de 10% de variation comme il est visible sur la figure 4.6 jusqu'à $V_{GS} = -1$. Pour diverses valeurs de $V_{GS} < V_{TH}$, ΔI_{D-Lin} dépend de V_{DS} de manière similaire à ce qui est observé pour la dégradation par porteurs chauds HCD On-state, mais présente une faible dépendance à V_{GS} (figure 4.6). Les résultats affichent une excellente corrélation entre les données expérimentales et le modèle HCD. De façon remarquable, quelle que soit la contrainte de stress appliquée au dispositif, l'effet de l'activation thermique est pratiquement négligeable, puisqu'aucune influence significative de la température n'a été détectée comme le montre la figure 4.6 dans la plage de température de 25°C à 125°C.

En outre, la dynamique temporelle de dégradation diffère significativement entre la dégradation par porteurs chauds et le mode Off-state, comme l'illustre la figure 4.7. Plus précisément, en Off-state une relation logarithmique en fonction du temps modulée par la différence de tension drain-grille V_{DG} comme le décrit l'équation (4.1), est observée lorsque la tension de grille est fixée à $V_{GS} = -1$ et que la tension de drain V_{DS} varie entre 1,5 V et 1,8 V. Cette tendance logarithmique est cohérente avec les phénomènes typiquement associés à l'effet de piégeage de charges d'oxyde (ΔN_{OT}) [236], ou au NBTI où le piégeage des trous est prédominant [237]. Cependant, cette fois, le comportement est constaté en Off-state pour des NFETs avec une longueur de grille de 30 nm.

$$\Delta I_{D-Lin} = a \,.\, V_{DG} \,.\, \ln(b.t) + c \tag{4.1}$$

Les paramètres a,b et c dépendent de la densité de courant d'injection.

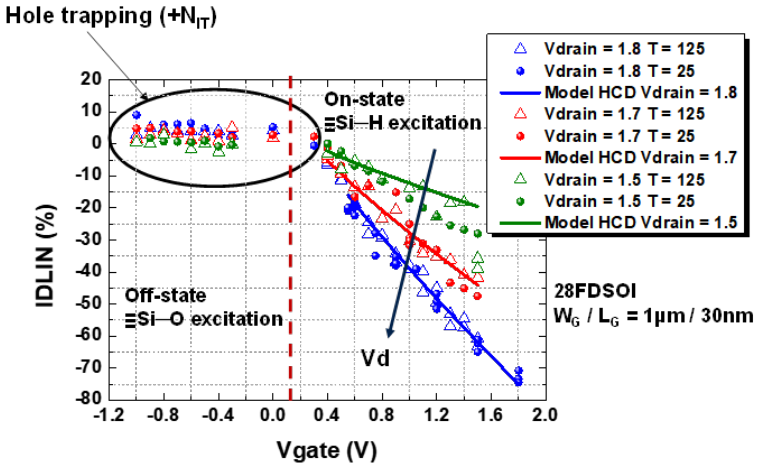


FIGURE 4.6 – Comparaison de la dégradation du courant I_{DS} en modes On-state et Off-state, mesurée en régime linéaire (avec V_{DS} = 50mv, V_{GS} = 1V, sur une durée $t_s = 10^4$s), pour un transistor NMOS FDSOI ayant une longueur de grille L_G = 30nm. La variation de I_{DS} en régime linéaire, (ΔI_{D-LIN}), est tracée en fonction de la tension de stress V_{GS} dans une plage de -1 à 1,8 V pour les modes On et Off. Des lignes de modélisation sont utilisées pour représenter les résultats en mode On. Les mesures sont effectuées à des températures variant de la température ambiante (25°C) jusqu'à 125°C.

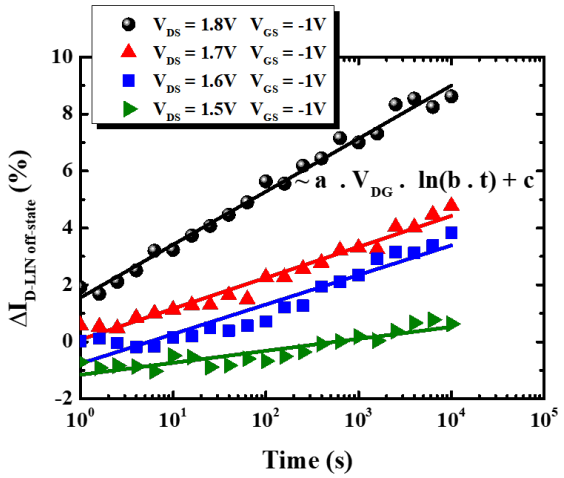


FIGURE 4.7 – La dépendance temporelle du stress en Off-state est modélisée avec une loi logarithmique et une modulation en V_{DG} (équation (4.1)) pour une tension de grille fixée à $V_{GS} = -1$, avec une augmentation de la tension de drain V_{DS} de 1,5 à 1,8V sur des transistors N-FETs de une longueur de grille de 30 nm.

4.3.2.2 Caractérisation électrique et localisation des défauts en Off-state

La figure 4.8a illustre l'impact d'un stress en DC Off-state sur les NMOS pour différentes tensions V_{DS}, incluant le régime sous-seuil $V_{GS} = 0V$ ainsi que celui d'accumulation à $V_{GS} = -1V$ (polarisation GIDL). Il est nécessaire que la tension drain-grille V_{DG} soit élevée pour constater une amélioration du courant de drain I_{DS}, attribuable à la diminution des porteurs froids en faible inversion et à la contribution des porteurs tunnel émanant de la jonction pour $V_{GS} \leq 0V$.

Suite à un stress en mode Off sur un NMOS, un point de pivot est mis en évidence dans la caractérisation $I_{DS} - V_{GS}$, résultant de l'augmentation du courant de fuite GIDL, de la réduction de la tension de seuil V_{TH}, et de l'accroissement de la pente sous-seuil SS décrite sur les figures 4.8a,b due à la création de défauts d'interface N_{IT}. La variation de SS suggère un pivot (figure 4.8a) entre les charges de type donneur N_{IT}^{+} et de type accepteur N_{IT}^{-} lorsque le dispositif transite de la déplétion à l'inversion, où les porteurs minoritaires (électrons) dans le canal atteignent la concentration de trous en surface ($n_s = n_i$), soit lorsque $V_{GS}(\varphi_s) \approx \Phi_F$. Ainsi, le pivot est associé à la décharge des pièges d'interface et d'oxyde. Le stress en mode Off révèle la présence de porteurs tunnel localisés près du drain, soulignant l'existence de défauts amphotères (centres Pbo) qui se chargent positivement via le BTBT en déplétion et qui sont ensuite chargés négativement lorsque $V_{GS}(\varphi_s) > \Phi_F$, en fonction du changement d'état de charge lié à φ_s.

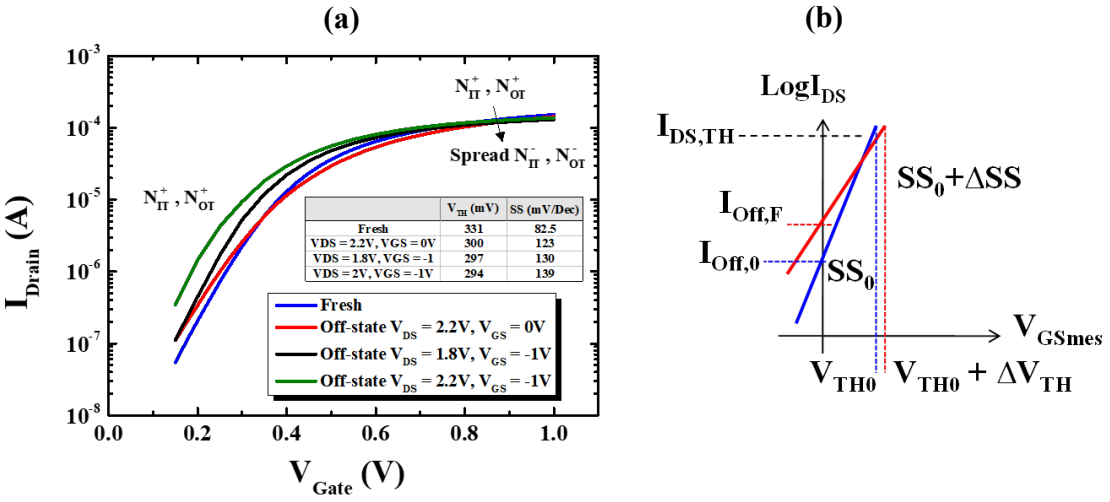


FIGURE 4.8 – (a) Caractéristiques $I_{DS} - V_{GS}$ sur des NMOS soumis à un stress en Off-state à différent V_{DS} et variant V_{GS} de 0V à -1V. La polarisation GIDL entraine une augmentation de I_{DS} avec un $\Delta SS > \Delta V_{TH}$. (b) Méthode d'extraction de V_{TH} à un courant constant. Le courant du régime sous-seuil ne se dégrade pas linéairement avec ΔV_{TH}.

Pour extraire la tension de seuil V_{TH} d'un dispositif non dégradé sous une condition de mesure en saturation (où $V_{DS} = V_{DD}$, $V_{GS} = 0V$), et en tenant compte de la pente de sous-seuil SS, nous pouvons supposer un niveau constant de courant de drain

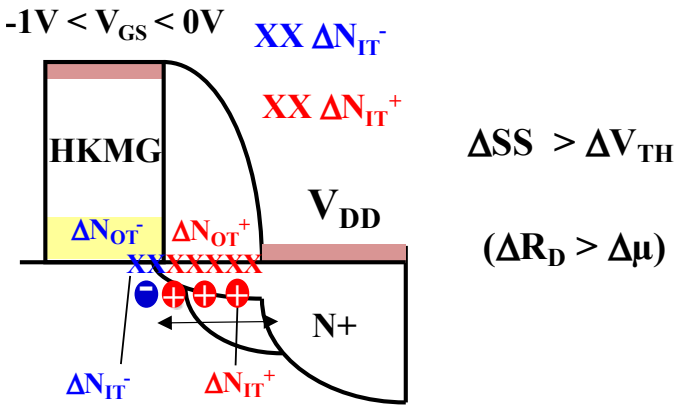


FIGURE 4.9 – Illustrations schématique des régions dans un NMOS subissant une dégradation durant un stress. En Off-state, l'injection de trous dans l'espacer et la zone d'overlap grille-drain peut induire des défauts de type donneur (N^+_{IT}, N^+_{OT}) réduisant la résistance de drain R_D, alors qu'en On-state l'injection d'électrons engendre des défauts de type accepteur (N^-_{IT}, N^-_{OT}) dans la direction du canal.

$I_{DS} = I_{DS,TH}$. Cette hypothèse permet de simplifier la relation entre le courant de drain en régime sous-seuil I_{Off} et les autres paramètres du transistor comme décrit dans [196].

Avec la réduction de V_{GS} de 0 V à -1V sur un NMOS, une injection importante de trous se produit depuis la région de recouvrement grille-drain vers une zone réduite sous l'espacer comme le montre la figure 4.9. Cela pourrait indiquer un piégeage de trous dans l'oxyde de l'espacer et la région de recouvrement grille-drain, potentiellement responsable d'une augmentation du courant I_{DS}, illustrée dans la figure 4.8a, similaire à l'impact des pièges donneurs de types N^+_{IT} et N^+_{OT} sur le courant sous-seuil.

Cette augmentation du courant I_{DS} pourrait aussi résulter de l'ionisation par impact induite par des porteurs froids via BTBT, comme indiqué dans [196], [238], surtout sous des champs électriques élevés conformément aux résultats pour des dispositifs avec T_{ox} plus épais [239]. Selon les figures 4.8a - 4.9, la dégradation ΔI_{D-Lin} du transistor en Off-state n'est pas directement proportionnelle à ΔV_{TH}, mais est plutôt intrinsèquement liée à ΔSS (car $\Delta SS > \Delta V_{TH}$), qui est initialement affecté par $\Delta N^+_{IT}/\Delta N^+_{OT}$ dans l'espacer et par la réduction de la résistance série de drain R_D plutôt qu'à la mobilité ($\Delta R_D > \Delta\mu$). La tendance logarithmique de l'équation (4.1), telle qu'observée sur la figure 4.7, suggère principalement un piégeage de charges positives ΔN^+_{OT} dans l'oxyde de l'espacer.

4.3.2.3 Effet de l'historique des stress entre les modes On-state et Off-state

Les recherches récentes ont mis en lumière l'existence d'un effet d'historique de stress entre l'Off-state et le HCD On-state [159]. L'analyse des variations de ΔI_{D-Lin} après vieillissement a révélé que les dispositifs préalablement soumis à un pré-stress en HCD On-state présentent une recouvrement accrue de ΔI_{D-Lin} lorsqu'ils sont

ensuite stressés en Off-state. Cette observation s'aligne sur les résultats obtenus dans différentes technologies SOI notamment du FinFET [240], [241] ou du planaire [242], [243], où l'Off-state semble amplifier le recouvrement de la dégradation si un pré-stress HCD On-state a eu lieu. À l'inverse, un pré-stress en Off-state ne semble pas influencer la dégradation du courant I_{DS} sous HCD On-state.

Pour approfondir la compréhension de ces mécanismes, des stress alternés entre HCD et l'Off-state ont été appliqués à diverses conditions de tension de grille V_{GS} et de drain V_{DS} pour un temps de stress fixe de 1500s. Les résultats montrent qu'à la figure 4.10, l'ampleur du recouvrement de ΔI_{D-Lin} en Off-state après alternance ne se corrèle pas à la dégradation ΔI_{D-Lin} observée sous HCD On-state, mais est plutôt bien corrélée avec la densité de porteurs en fonction de la tension de stress V_{GS-HCD} et à la population de porteurs à faible énergie (figure 4.11).

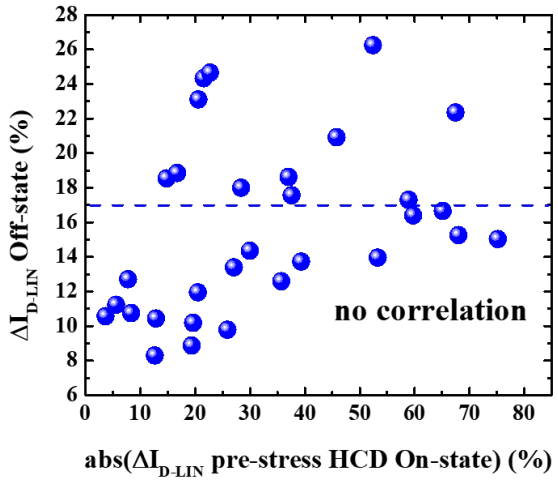


FIGURE 4.10 – La corrélation entre réduction de ΔI_{D-Lin} induite par le pré-stress HCD On-state (modes SVE, EES et MVE) et son amélioration par la contrainte exercée en Off-state a été évaluée après un temps de stress fixé à t_s = 1500s durant chaque phase. Ces données brutes ne présentent aucune corrélation.

Nos résultats suggèrent que l'amélioration de la dérive de ΔI_{D-Lin} pendant le mode Off est proportionnelle aux pièges induits par les électrons chauds pour le NMOS pendant la phase du HCD On-state, selon les propriétés de chargement et de déchargement de ces pièges d'oxyde lents à électrons qui sont depiégées par l'effet d'injection de trous chauds en stress alterné [244]. Afin d'évaluer l'interaction possible de ces mécanismes de dommage et en déduire leurs facteurs d'accélération comme illustré sur la figure 4.11, nous avons utilisé un stress alterné entre HCD On-state et le mode d'Off-state sous diverses conditions de V_{GS-HCD}, V_{DS-HCD} et $V_{DG-Off\ state}$ à un temps de stress fixe t_s = 1500s.

Il est intéressant de noter que la neutralisation de ΔI_{D-Lin} ou le déchargement des pièges d'oxyde lents à électrons induit par l'injection de trous augmente avec la tension V_{GS-HCD} de la phase du pré-stress HCD On-state pour presque toute la gamme de V_{DS-HCD} où un maximum se produit sous le mode MVE, suggérant que

l'importance du piégeage de trous pendant la seconde phase en mode Off-state est corrélée à l'amplitude de V_{GS-HCD} et V_{DS-HCD} du pré-stress de porteurs chauds en inversion.

Un pic d'amélioration de I_{DS} est observé sur la figure 4.11 pour un stress V_{GS-HCD} élevé et V_{DS-HCD} modéré [157], soit un pré-stress HCD MVE avec une dépendance en V_{GS-HCD}^{γ} (ligne noire sur la figure 4.11). En revanche, dans le cas d'un pré-stress SVE avec V_{DS-HCD} élevé et V_{GS-HCD} modéré, l'amélioration de I_{DS} décroit exponentiellement avec V_{DS-HCD} selon $\exp(-\delta.V_{DS-HCD})$ (ligne rouge), car le mode SVE génère davantage de défauts d'interface N_{IT}^{-}, lesquels sont permanents et ne se chargent-déchargent pas comme les défauts d'oxyde N_{OT}^{-}. Cet effet a été confirmé par des mesures et des simulations présentées dans le chapitre précédents et dans [245], [246], qui ont montré que la dégradation en état Off-state est liée à l'augmentation du courant d'ionisation par impact et à la densité de porteurs dans le canal.

Il est également important de noter que cette amélioration de I_{DS} suit une dépendance en $\exp(\lambda.V_{DG-Off})$ (ligne verte en pointillés) lorsqu'il y a un pré-stress HCD On-state, ou simplement une dépendance linéaire en $a.V_{DG-Off}$ (ligne bleue en pointillés) en l'absence de pré-stress comme décrit à l'équation (4.1). Ces constatations seront discutées plus en détail dans la section suivante, mettant en évidence l'interaction complexe des mécanismes de dommage et leur impact sur la fiabilité des transistors NMOS du 28FDSOI.

4.3.3 Caractérisation électrique d'un stress alterné HCD + polarisation GIDL

Pour explorer les interactions entre les modes HCD On-state et Off-state dans un transistor NMOS FDSOI, des séquences de stress DC alternés ont été mises en œuvre, similairement à ce qui a été rapporté dans [247]-[249]. Dans ce cadre expérimental, le stress de porteurs chauds en haute énergie ou SVE a été appliqué à $V_{DS} = 1,9V$ et $V_{GS} = 1,4V$, dans une condition de champ élevé où une seule particule peut entraîner le phénomène de HCD. Le mode MVE, caractérisé par des tensions $V_{DS} = 0,9V$ et $V_{GS} = 2,2V$, fait intervenir des porteurs de basse énergie dans un régime dominé par le courant, où le mécanisme impliquant plusieurs particules peut induire la rupture des liaisons Si–H. En parallèle, la polarisation GIDL en Off-state a été appliqué avec des tensions $V_{DS} = 1,8V$ et $V_{GS} = -1V$, permettant d'étudier les effets spécifiques de ce régime de fonctionnement. Concernant le mode EES où $V_{DS} = V_{GS}$, il a été décidé de ne pas présenter de résultats spécifiques étant donné que l'interaction observée dans ce mode est similaire à celle rencontrée avec le mode SVE. Cette décision permet de concentrer l'analyse sur les différences significatives entre les modes de stress SVE, MVE et l'Off-state.

Comme décrit sur la figure 2.46, le mode SVE est caractérisé par une dégradation significative de la mobilité, engendrée par des défauts d'interface. En revanche, le mode MVE se distingue par une dégradation importante de la tension de seuil V_{TH}, causée par des défauts dans l'oxyde. Ces observations mettent en lumière les mécanismes de dégradations distincts associés à chaque mode de stress et leur impact spécifique sur

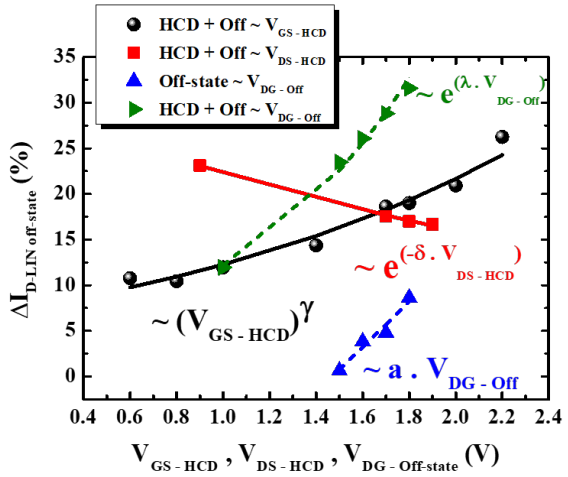


FIGURE 4.11 – L'extraction des facteurs d'accélération liés à l'amélioration de ΔI_{D-Lin} pendant la phase Off-state a été réalisée en tenant compte des tensions de pré-stress HCD en On-state représentées par des lignes pleines, ainsi que de la différence de tension drain-grille $V_{DG-Off\ state}$ durant la phase de stress polarisation GIDL en Off-state représentée par une ligne en pointillés. Les résultats montrent une dépendance en loi de puissance de V_{GS-HCD} associée aux défauts d'oxyde (ligne noire), une décroissance exponentielle avec V_{DS-HCD} en corrélation avec les défauts d'interface (ligne rouge), et une croissance exponentielle avec $V_{DG-Off\ state}$ en relation avec le phénomène de polarisation GIDL (ligne verte). Lorsque le dispositif n'a pas subi de pré-stress HCD, l'amélioration de ΔI_{D-Lin} présente une croissance linéaire avec $V_{DG-Off\ state}$, ce qui est également en lien avec la polarisation GIDL (ligne bleue).

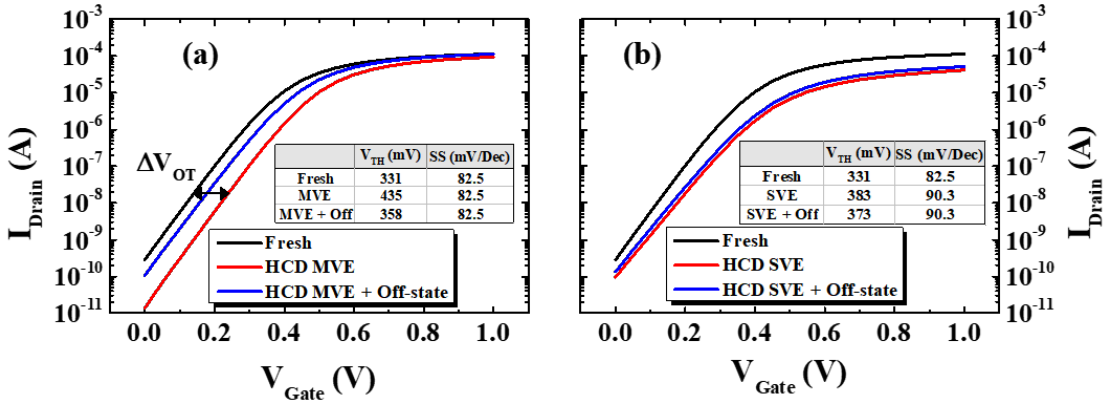


FIGURE 4.12 – Caractéristiques $I_{DS} - V_{GS}$ des NMOS $L_G = 30nm$ avant et après application successive d'un stress HCD et GIDL en Off-state. La polarisation GIDL contribue à la réduction de ΔV_{OT} sans impacter ΔSS. (a) Le stress HCD MVE induit une dégradation de ΔV_{TH} où l'augmentation ΔV_{OT} masque ΔSS. (b) ΔSS reste détectable après un stress SVE et l'action de polarisation GIDL.

les paramètres du transistor NMOS.

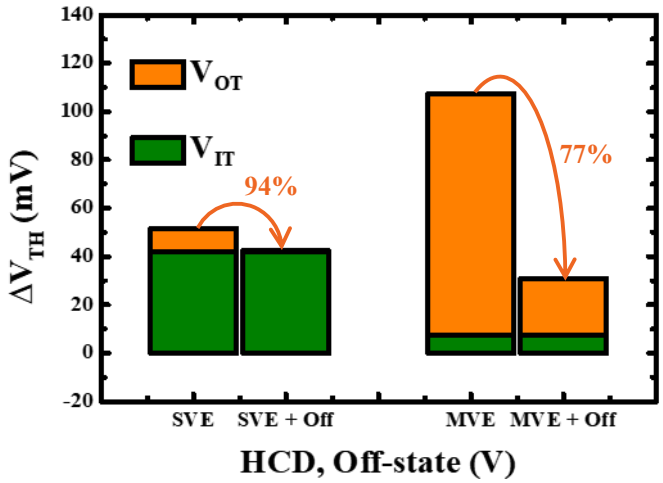


FIGURE 4.13 – Le découplage des contributions de ΔV_{IT} et de ΔV_{OT} après un stress HCD suivi d'une polarisation GIDL en Off-state. On note une prédominance de ΔV_{IT} en SVE et un accroissement significatif de ΔV_{OT} en MVE. La faible quantité de ΔV_{OT} après SVE est quasiment récupérée (94%) suite à l'application de la polarisation GIDL. Tandis qu'après MVE, la récupération est moins importante (77%), bien que supérieure à celle observée en SVE+GIDL.

Les figures 4.12a et 4.12b présentent les caractéristiques $I_{DS} - V_{GS}$ typiques pour un NMOS à l'état neuf (fresh), après un stress HCD de 10Ks et après un stress combiné HCD+GIDL (10Ks chacun). Le stress HCD en mode MVE provoque une dégradation V_{TH} d'environ 114 mV. Cette dégradation est accompagnée d'une modification de la pente de sous-seuil ΔSS qui reste masquée par le décalage ΔV_{OT} en raison des pentes parallèles, ce qui reflète la sévérité du stress et la création conséquente de défauts d'oxyde comme le montre la figure 4.12a, qui s'étendent de la zone grille-drain jusqu'au canal. Après 10000s de stress en mode GIDL, la dégradation de V_{TH} est recouverte à environ 77 mV, ce qui suggère une décharge des pièges d'oxyde N_{OT}^{-}. Le taux de récupération observé est d'environ 77%, comme indiqué sur la figure 4.13. ΔV_{IT} sous le mode MVE est déduit du ΔV_{TH} total en soustrayant le ΔV_{OT}.

En revanche, avec le stress SVE, la dégradation de la pente de sous-seuil ΔSS (éq. (4.2)) est nettement visible, induisant un décalage ΔV_{TH} de 52 mV qui ne peut être réparé même par le stress GIDL, comme illustré sur la figure 4.12b. Puisque la dégradation de ΔSS est principalement due à la génération de nouveaux états d'interface N_{IT}^{-} (éq. (4.4)), le décalage de ΔV_{IT} (éq. (4.5)) résultant de ces piégeage de charge d'interface peut être caractérisé par la différence ΔSS par rapport aux dispositifs à l'état neuf. Après avoir extrait ΔV_{IT}, la dégradation ΔV_{OT} causée par le piégeage d'électrons dans l'oxyde peut être calculée en soustrayant ΔV_{IT} du décalage total ΔV_{TH} à l'équation (4.6).

Nous pouvons inférer la contribution des pièges d'interface ΔD_{IT} (cm^{-2}/eV) en mesurant ΔE_{SS} avec la relation $\Delta C_{IT} = q\Delta D_{IT} = q\Delta N_{IT}/\Delta E_{SS}$, où ΔC_{IT} provient de la

charge des pièges d'interface pendant le balayage de V_{GS} ($\Delta E_{SS} = 0,32eV$). L'équation (1.36) pour le calcul de la pente sous-seuil ΔSS peut être simplifiée comme suit :

$$\Delta SS \approx 2.302 \frac{k_B T}{q} \frac{\Delta C_{IT}}{C_{ox}} \tag{4.2}$$

$$\Delta D_{IT} = \frac{\Delta N_{IT}}{\Delta E_{SS}} = \log(e) \frac{C_{ox}}{q} \frac{q}{k_B T} \Delta SS \tag{4.3}$$

$$\Delta N_{IT} = 16.768 \, \Delta E_{SS} \frac{C_{ox}}{q} \Delta SS \tag{4.4}$$

$$\Delta V_{IT} = \frac{q \, . \, \Delta N_{IT}}{C_{ox}} = 16.768 \, \Delta E_{SS} \, \Delta SS \tag{4.5}$$

$$\Delta V_{TH} = \frac{-\Delta Q_{IT} - \Delta Q_{ox}}{C_{ox}} = \frac{q(\Delta N_{IT} + \Delta N_{OT})}{C_{ox}} = \Delta V_{IT} + \Delta V_{OT} \tag{4.6}$$

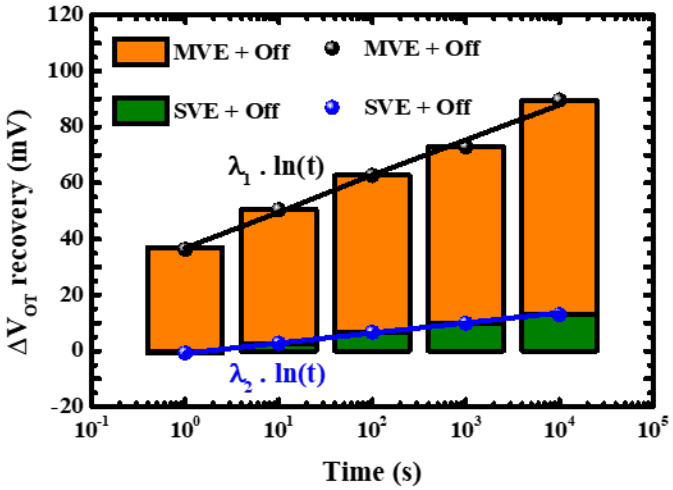


FIGURE 4.14 – Mise en évidence de la dépendance temporelle logarithmique de la variation du recouvrement de ΔV_{OT} après une stress alterné HCD (SVE ou MVE) + GIDL sur un N-FET $L_G = 30nm$.

Il a été observé que la recouvrement des effets de dégradation HCD grâce au stress induit par la polarisation GIDL est principalement due à la décharge des pièges dans l'oxyde, facilitée par le champ électrique. Cependant, cette récupération n'affecte pas la pente de sous-seuil ΔSS, comme le démontrent les figures 4.12a et 4.12b. Les maigres pièges d'oxyde N_{OT}^- formés pendant le stress SVE sont presque entièrement déchargés par la polarisation GIDL, comme illustré sur la figure 4.13, tandis que ceux générés pendant le stress MVE sont récupérés à hauteur de 77%. En outre, la décharge des pièges d'oxyde suit une loi logarithmique, conformément à ce qui est indiqué dans [236] indépendamment du type de stress HCD appliqué. Toutefois, les pièges d'interface N_{IT}^-, quel que soit le type de stress appliqué, ne sont pas affectés par la

polarisation GIDL et ne subissent pas de processus de charge ou de décharge. La dégradation de ΔV_{TH} et sa récupération par la polarisation GIDL sont indépendantes de la température, comme vu sur ΔI_{D-Lin} (figure 4.6) et confirmé dans [240].

4.3.4 Effet de l'auto-échauffement

Pour examiner l'effet de l'auto-échauffement sur la dégradation par porteurs chauds durant des opérations dynamiques de circuit, des tests alternants HCD et Off-state ont été effectuées avec mesure de courants dans les conditions réelles de fonctionnement. Afin de maximiser le courant de sortie lors des phases de stress, une condition de stress MVE couplée à des périodes en Off-state a été imposée aux dispositifs, avec la source et le substrat reliés à la masse. Les expériences ont été menées en utilisant la configuration présentée dans la figure 4.15. Deux méthodes de mesures ont été envisagées pour déterminer le courant de drain I_{Drain}. La première méthode consiste à mesurer directement I_{Drain} en utilisant les capacités intégrées au module B1530. La seconde méthode implique la mesure du courant de source I_{Source} à l'aide d'un oscilloscope avec une impédance d'entrée de 50Ω, ce qui permet d'atteindre une bande passante adéquate pour ensuite en déduire la valeur de I_{Drain}.

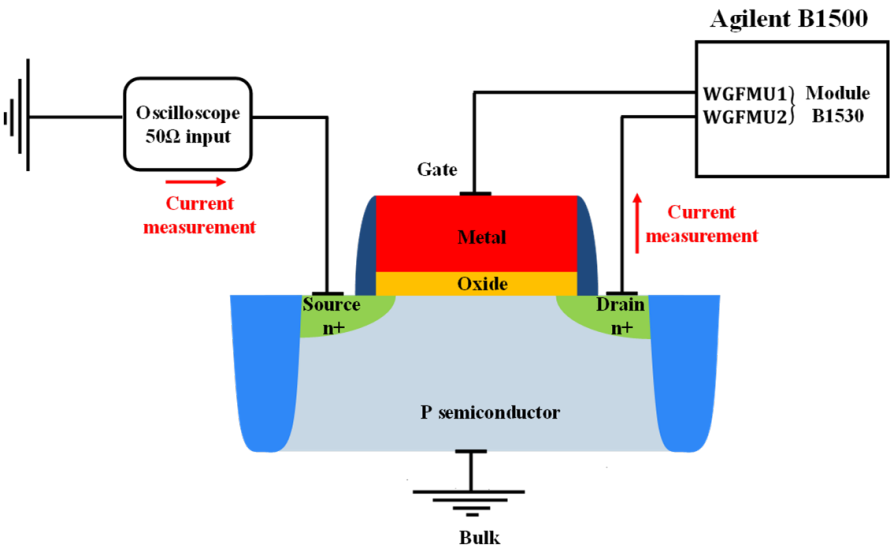


FIGURE 4.15 – Le schéma du système de mesure rapide utilisé dans cette étude comprend l'application d'une impulsion au drain et à la grille via un module B1530. Cette impulsion est suivie par la mesure du courant I_{Drain}. La réponse du courant de source I_{Source} est ensuite capturée par une entrée 50Ω d'un oscilloscope, qui permet de détecter la forme d'onde correspondante (figure 4.16).

Grâce à la rapidité des mesures temporelles illustrées sur la figure 4.16, le processus de génération et de dissipation de la chaleur au sein du canal du transistor est capturé avec précision, permettant ainsi de suivre en temps réel la température transitoire du canal. Cette capacité de mesure fine nous aide à établir une corrélation entre la

température statique $T_{Channel}$ et le courant de drain I_{Drain} pour différentes tensions de grille et de drain. Forts de cette corrélation, il est possible d'extraire les températures transitoires et statiques du canal pour des transistors opérant dans diverses conditions de charge et à différentes vitesses de commutation.

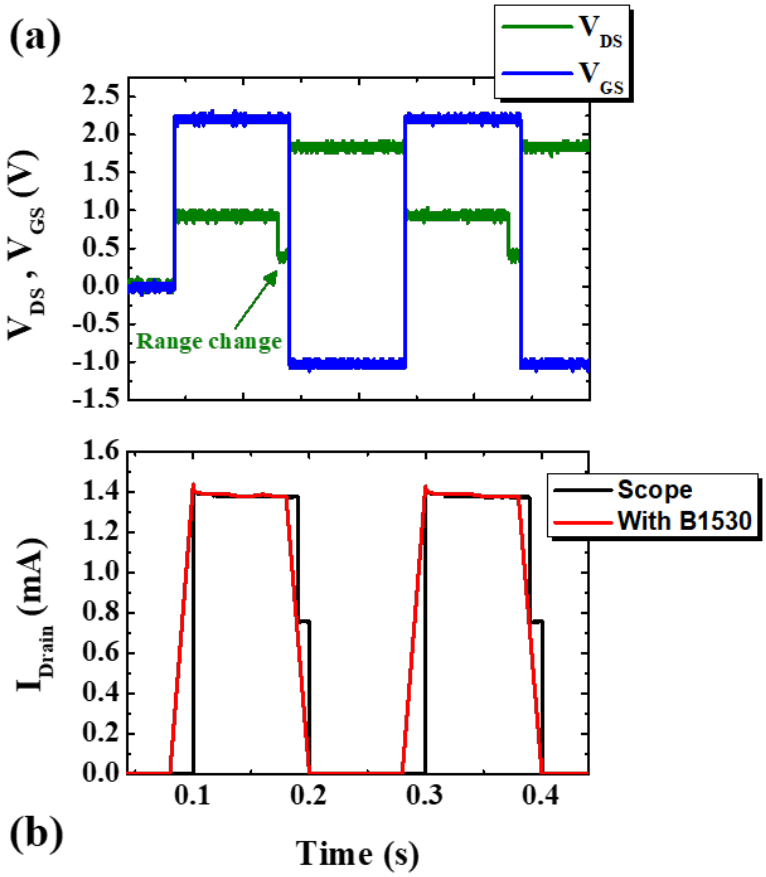


FIGURE 4.16 – (a) Caractéristiques des signaux V_{DS}, V_{GS} appliquées durant un stress alterné HCD MVE + GIDL Off-state sur un N-FET $L_G = 30$nm. Le changement de range pour la mesure de I_{Drain} lors du passage du mode On en Off induit une legère chute de tension sur V_{DS}. (b) La comparaison des courants I_{Drain} et I_{Source}, mesurés respectivement au module B1530 et à l'oscilloscope, révèle que l'oscilloscope offre une précision accrue pendant les phases de commutation, grâce à sa meilleure résolution temporelle.

Durant les périodes transitoires de montée et de descente du courant I_{Drain} (figure 4.16), l'utilisation de l'oscilloscope offre une plus grande précision dans la chaîne de mesure comparativement au module B1530. En effet, le B1530 nécessite de considérer les délais de mesure ainsi que les changements de gamme de courant. Ces derniers peuvent induire une légère chute de tension lors de la transition de I_{On} à I_{Off}, affectant ainsi la précision des mesures lors des phases critiques de commutation du courant. L'évolution temporelle du courant de drain I_{Drain} mesurée avec le B1530 coïncide avec celle enregistrée à l'oscilloscope sur la durée de l'impulsion, permettant ainsi de servir

de référence statique pour I_{On}. La figure 4.17 illustre l'effet des temps de montée et de descente dans une plage allant de T_{Edge} = 10ns à 100ns. Il est clairement observé au B1530 que la vitesse de commutation n'affecte pas I_{Drain}. Cependant, étant donné que la constante thermique est de l'ordre de 10 à 100ns [250], [251], il est nécessaire d'analyser cela avec des systèmes capables de générer des pulses dont la durée ou les temps de transition sont inférieurs ou égaux à 1ns.

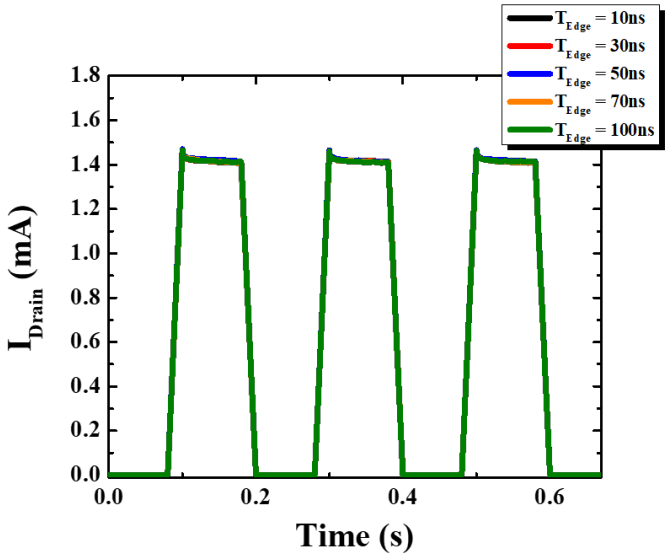


FIGURE 4.17 – La réponse du courant I_{DS} d'un N-FET L_G = 30nm enregistrée à l'aide du B1530 pour divers temps de montée et de descente T_{Edge} variant de 10ns à 100ns, après l'application des conditions de polarisation décrites sur la figure 4.16. Le point d'équilibre statique semble ne pas être influencé.

La mesure de l'augmentation de température ΔT_{Sh} due à l'auto-échauffement repose sur le modèle thermique $R_{Th} \cdot C_{Th}$ pour les transistors, comme décrit dans [252]. Dans l'étude [152], ΔT_{Sh} est calculé en observant la variation de la résistance de la grille en polysilicium R_G à différentes températures du silicium, puis sous différentes conditions (V_{DS},V_{GS}). La corrélation entre ΔT_{Sh} et la dissipation de puissance, qui est induite par le courant de drain I_{Drain}, à la figure 4.18 permet d'extraire la résistance thermique intrinsèque R_{Th} du transistor. Cette donnée est cruciale pour calibrer notre modèle thermique et pour déduire la température du canal $T_{Channel}$, comme cela est établi dans l'équation (4.7).

$$T_{Channel} = T_{Ambient} + R_{TH} \,.\, I_{DS} \,.\, V_{DS} \tag{4.7}$$

Pour calibrer la température du canal, des mesures du courant I_{Drain} ont été réalisées à différentes températures ambiantes, allant de $T_{Ambiant} = -40°C$ à 160°C, comme le montre la figure 4.19a. Lorsque la température locale atteint l'équilibre thermique, c'est-à-dire à un point statique de I_{Drain}, nous déduisons $T_{Channel}$ conformément à l'équation (4.7). Après avoir corrigé la température du canal, nous avons extrait une énergie d'activation quasi nulle (E_a = 0.0117) pour le courant I_{Drain} en équilibre

thermique, comme le montre la figure 4.19b. Les températures de canal déduites à partir des mesures effectuées sont présentées dans le Tableau 4.2. Cela indique que la dégradation du courant de drain est peu affecté par les variations de température comme observé d'ailleurs sur ΔI_{D-Lin} à la figure 4.6.

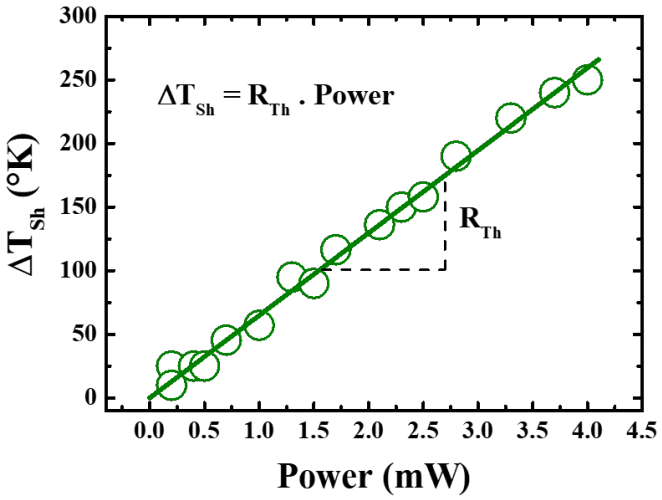


FIGURE 4.18 – Augmentation de la température du canal mesurée ΔT_{Sh} due à l'auto-échauffement en fonction de la puissance dissipée pour extraire la résistance thermique R_{Th} sur un N-FET L_G = 30nm.

Dans les dispositifs FDSOI, l'oxyde enterré BOX, agit comme une barrière thermique en raison de la faible conductivité thermique du SiO_2. Cette caractéristique limite le transfert de chaleur du canal vers le substrat en silicium situé en dessous, contribuant ainsi à une meilleure isolation thermique du dispositif. À l'inverse, les FinFETs, avec leurs structures tridimensionnelles composées d'ailettes (fins) orientées verticalement formant le canal et entourées par la grille, présentent un effet d'auto-échauffement plus prononcé par rapport aux transistors planaires FDSOI [253], [254]. Cet effet peut avoir un impact négatif sur le courant I_{Drain} et peut accélérer la dégradation de la durée de vie des FinFETs. Cette problématique est particulièrement critique pour le HCD, car sous l'effet de cette contrainte, et compte tenu de sa forte dépendance à la température du canal, le courant intense circulant dans le canal peut induire un auto-échauffement significatif [255].

4.3.5 Modélisation du HCD et de l'effet de la polarisation GIDL

Les résultats expérimentaux obtenus grâce à des mesures rapides sur les transistors NMOS 28FDSOI (figures 4.16 à 4.19) ont révélé que ni le HCD ni l'effet de polarisation GIDL ne sont activés en températures. Ces expériences ont montré que certains pièges créés durant le stress par porteurs chauds, en particulier les pièges d'oxydes, peuvent changer d'état. Ils ont la capacité de se décharger lors de l'application de polarisation GIDL, facilité par le champ électrique, ou de se recharger pendant la reprise du stress HCD.

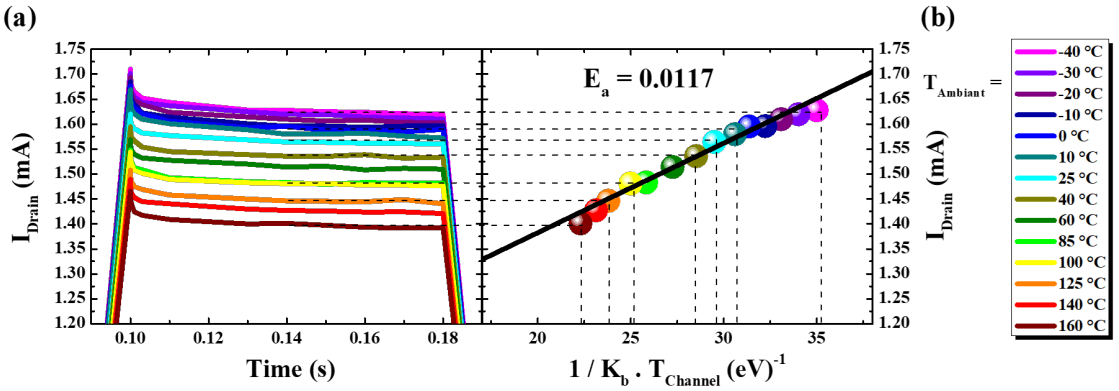


FIGURE 4.19 – Le processus d'obtention de l'énergie d'activation du canal E_a. (a) La réponse du courant I_{DS} à diverses températures ambiantes $T_{Ambiant}$. (b) Le graphique d'Arrhenius est tracé à partir des points d'équilibre statique de I_{DS} mesurés sur NMOS 28FDSOI L_G = 30nm en milieu de pulse en fonction de la température du canal $T_{Channel}$ (équation (4.7)). L'énergie d'activation du canal E_a est très faible. La diminution du courant pour les températures élevées est attribuée à la réduction de la mobilité.

$T_{Ambiant}$ (°C)	V_{Drain} (V)	I_{Drain} (mA)	Power (mW)	ΔT_{Sh} (°K)	$T_{Channel}$ (°K)
-40	0.9	1.627479764	1.464731788	94.98785643	328.1378564
-30	0.9	1.619495536	1.457545982	94.52185694	337.6718569
-20	0.9	1.609832133	1.448848919	93.95785242	347.1078524
-10	0.9	1.595814331	1.436232898	93.13970342	356.2897034
0	0.9	1.59520478	1.435684302	93.104127	366.254127
10	0.9	1.579504428	1.421553985	92.18777593	375.3377759
25	0.9	1.564190607	1.407771546	91.29398475	389.4439848
40	0.9	1.535905525	1.382314973	89.64312597	402.793126
60	0.9	1.513959025	1.362563123	88.3622185	421.5122185
85	0.9	1.481021987	1.332919789	86.43984829	444.5898483
100	0.9	1.482795691	1.334516122	86.54337051	459.6933705
125	0.9	1.446342561	1.301708305	84.4157836	482.5657836
140	0.9	1.427229145	1.28450623	83.30022903	496.450229
160	0.9	1.401080168	1.260972151	81.774044	514.924044

TABLEAU 4.2 – Tableau caractéristique des paramètres thermiques et électriques utilisés pour calculer $T_{Channel}$ et déduire E_a à partir des données relevées de la figure 4.19.

Pour mieux comprendre la dynamique de chargement et de déchargement de ces pièges, il est essentiel d'étudier comment les pièges, caractérisés par des constantes de capture et d'émission spécifiques, peuvent se remplir et se vider en réponse au stress. Afin d'approfondir cette question, des mesures rapides ont été effectuées sur une large gamme de temps de capture et d'émission, couvrant 10 décades, allant de 1µs à 10Ks. Ces mesures permettent d'observer la réaction des pièges à différents régimes temporels et de mieux saisir les mécanismes sous-jacents à la dégradation et à la récupération des performances des transistors.

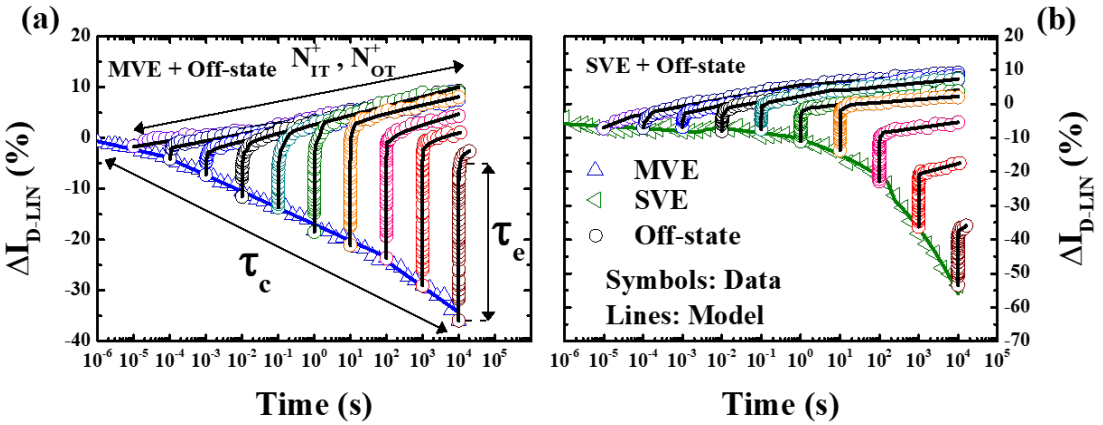


FIGURE 4.20 – Des mesures de ΔI_{D-Lin} (symboles) sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C réalisées en séquences alternées HCD/GIDL sur différentes décades de stress, allant de 1µs à 10Ks, et comparées à la modélisation correspondante (lignes). La phase de dégradation HCD est caractérisée par le temps de capture τ_c. Le processus de récupération induit par l'effet de polarisation GIDL se déroule en deux étapes successives : le déchargement des pièges existants durant τ_e et la création de nouveaux dans la zone d'overlap pour $t_{Off} > \tau_e$. (a) MVE + GIDL Off-state. (b) SVE + GIDL Off-state.

Les figures 4.20 et 4.21 présentent la dégradation causée par les porteurs chauds et le déchargement des pièges d'oxydes via l'effet de polarisation GIDL sur une durée de 10Ks après des stress MVE et SVE. La dégradation du courant ΔI_{D-Lin} par HCD, observée sur les figures 4.20a et 4.20b, correspond précisément au modèle décrit par l'équation (2.94) et dans [43]. Trois dynamiques temporelles distinctes ont été identifiées à partir des données expérimentales : une loi de puissance pour la dégradation HCD, une tendance logarithmique pour le déchargement des pièges d'oxydes, et une autre évolution logarithmique qui se manifeste durant le stress en Off-state, intervenant après le déchargement des N_{OT}^{-} mais cette fois ci dans la zone d'overlap comme déjà illustré à la figure 4.7.

$$\Delta I_{D-Lin}^{HCD} = \left[A \cdot t^{n} \cdot e^{\beta (V_{DS-HCD} - V_{Dsat})} \cdot (V_{GS-HCD} - V_{TH})^{\rho} \right]_{t=0}^{t=\tau_c} \tag{4.8}$$

$$\Delta I_{D-Lin}^{Discharge} = \left[B \cdot V_{GS-HCD}^{\gamma} \cdot e^{-\delta \cdot V_{DS-HCD}} \cdot e^{\lambda \cdot V_{DG-Off}} \cdot \ln\left(1 + \frac{(t-t_0)\tau_e}{\tau_c}\right) \right]_{t=0}^{t=\tau_e} \quad (4.9)$$

$$\Delta I_{D-Lin}^{Overlap} = \left[a \,.\, V_{DG-Off} \,.\, \ln(b.t) + c \right]_{t=\tau_e}^{t=t_{Off}} \quad (4.10)$$

$$\Delta I_{D-Lin}^{HCD+GIDL} = \Delta I_{D-Lin}^{HCD} + \Delta I_{D-Lin}^{Discharge} + \Delta I_{D-Lin}^{Overlap} \quad (4.11)$$

Où γ, δ et λ dans l'équation (4.9) et le tableau 4.3, déjà présentés sur la figure 4.11, sont des facteurs d'accélération pré-stress liés à l'efficacité de la récupération accélérée verticale et latérale. τ_c et τ_e sont les temps de charge/décharge et t_0 = 50ns représente le temps minimum de décharge.

FDSOI 28nm Core NFETs	A	n	β	ρ
HCD	0.04	0.18	-3.5	1.17
FDSOI 28nm Core NFETs	B	γ	δ	λ
GIDL Discharge	1	0.85	0.5	1.23
FDSOI 28nm Core NFETs	a	b	c	
GIDL Overlap	0.29	1.31	1.33	

TABLEAU 4.3 – Tableau récapitulatif des paramètres du modèle HCD et GIDL en séquences alternées.

La dynamique temporelle de la partie récupérable est influencée par le rapport entre le stress appliqué, le temps de récupération, ainsi que les temps de capture et d'émission des pièges définis dans le tableau 4.4. Afin de simplifier le modèle de charge et de décharge, plutôt que d'assigner des temps caractéristiques distincts de charge (τ_c) et de décharge (τ_e) pour les pièges lents et rapides, comme le suggère le modèle RC [140], nous proposons que les temps de charge et de décharge des pièges d'oxyde soient considérés comme cumulatifs. Les équations (4.8) à (4.11) synthétisent l'ensemble des hypothèses considérées dans notre approche de modélisation de ΔI_{D-Lin}, y compris les effets du déchargement des pièges d'oxydes et de la formation de défauts dans la zone d'overlap grille-drain. Le modèle fournit également une description précise de la dégradation de ΔV_{TH-Lin}, comme l'illustrent les figures 4.21a et 4.21b, au cours de la phase de stress HCD et de la polarisation GIDL. Cette affirmation est validée sur un large éventail de données, incluant diverses conditions de stress et fréquences, comme détaillé dans notre publication [157]. Cependant, il convient de noter que la phase de création de défauts dans la zone d'overlap est moins prononcée à haute fréquence, car elle est conditionnée par la relation $t_{Off} > \tau_e$. En effet, si la période $t_{Off} < \tau_e$, on reste principalement dans la phase de déchargement des pièges d'oxydes.

Dans un cycle de séquences DC alternatives entre HCD et polarisation GIDL, comme illustré sur le schéma de la figure 4.22, la dégradation ΔI_{D-Lin} par les séquences HCD

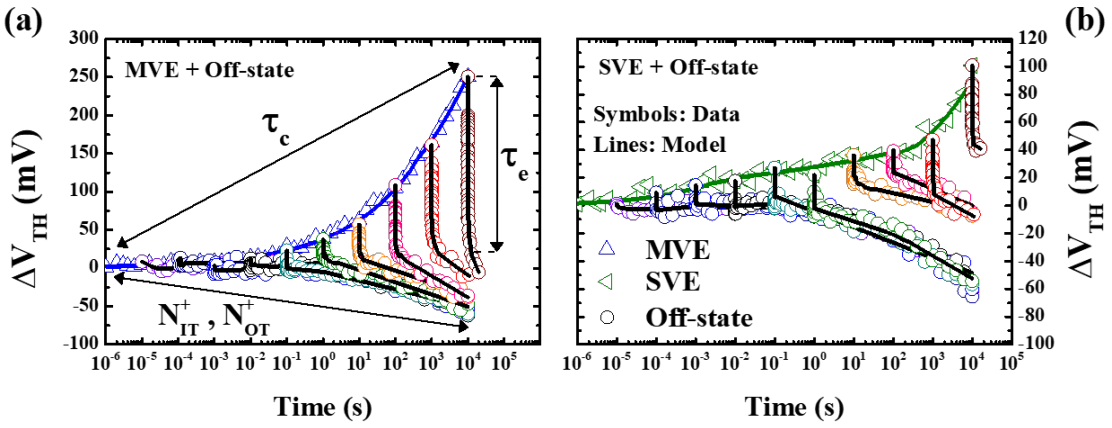


FIGURE 4.21 – Des mesures de ΔV_{TH-Lin} (symboles) effectuées sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C en séquences HCD/GIDL alternées sur diverses décades de stress, de 1µs à 10Ks, sont comparées à la modélisation (lignes) comme à la figure 4.20. La phase de dégradation HCD est définie sur τ_c. La récupération via la polarisation GIDL se décompose en déchargement des pièges pendant τ_e et formation de nouveaux pièges dans la zone d'overlap si $t_{Off} > \tau_e$. (a) MVE + GIDL Off-state. (b) SVE + GIDL Off-state.

est cumulative sur une durée $t_{HCD} = \sum_1^i \tau_{ci}$ par rapport au niveau obtenu en DC (Low-Level). En effet, suite à la décharge des pièges d'oxyde N_{OT} (durant τ_e) induite par la polarisation GIDL, il est nécessaire d'avoir un temps minimum de rechargement $\tau_{Recharging}$ pour suivre la dynamique de dégradation HCD sur τ_{ci} par rapport au niveau DC Low-Level.

t_{HCD} (s)	t_{GIDL} (s)	τ_c (s)	τ_e (s)	ΔI_{D-Lin} MVE (%)	ΔI_{D-Lin} SVE (%)
10^{-5}	10000	10^{-5}	6×10^{-6}	1.93037	7.04309
10^{-4}	10000	10^{-4}	6.8×10^{-5}	3.98024	7.15008
10^{-3}	10000	10^{-3}	3.98×10^{-4}	6.76732	8.04587
10^{-2}	10000	10^{-2}	6.85×10^{-3}	10.45708	6.91434
0.1	10000	0.1	3.9811×10^{-2}	13.95564	9.54008
1	10000	1	0.61189	18.1767	10.54469
10	10000	10	2.51	19.6971	14.18954
100	10000	100	39.81072	23.62953	21.47018
1000	10000	1000	158.48932	28.99228	38.22744
10000	10000	10000	2511.88643	35.93608	53.48324

TABLEAU 4.4 – Les temps de chargement et de déchargement des pièges d'oxyde ont été déterminés à partir des données expérimentales illustrées sur les figures 4.20 et 4.21.

La figure 4.23 dépeint une carte d'évolution des temps de charge/décharge en fonction de l'amplitude de dégradation (tableau 4.4). Les temps d'émission des pièges τ_e, sont indiqués sur l'axe des ordonnées, tandis que les temps de capture τ_c sont

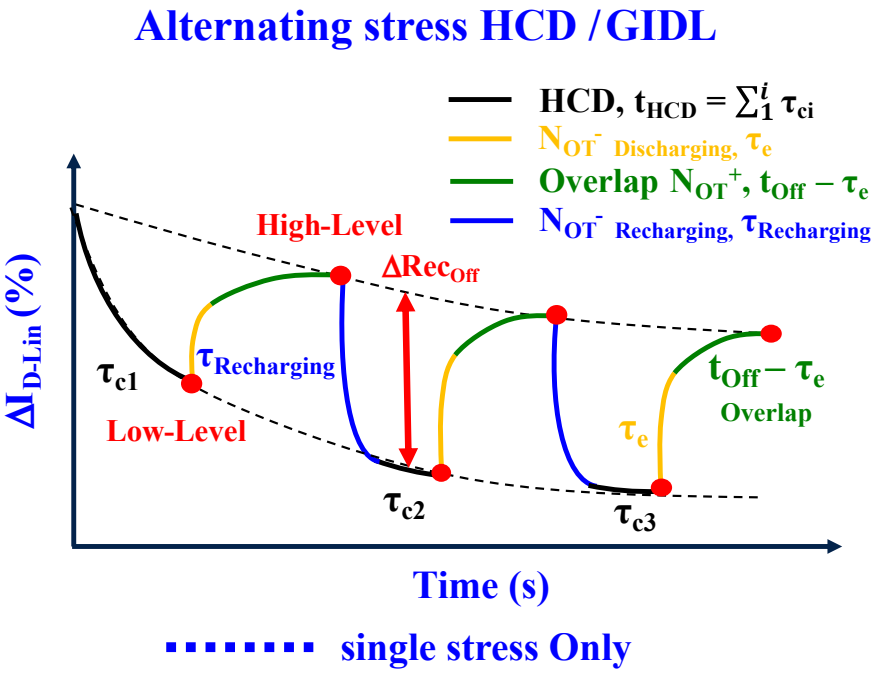


FIGURE 4.22 – Illustration schématique de l'alternance HCD/GIDL montrant la répartition temporelle des différentes dynamiques de dégradation et de récupération de ΔI_{D-Lin} par rapport au niveau DC suite au chargement des N_{OT}^- ($t_{HCD} = \sum_1^i \tau_{ci}$) en mode HCD, au déchargement des N_{OT}^- (durant τ_e et création de N_{OT}^+ dans la zone d'overlap durant $t_{Off} - \tau_e$) en mode polarisation GIDL, et au rechargement des N_{OT}^- (durant $\tau_{Recharging}$) en mode HCD.

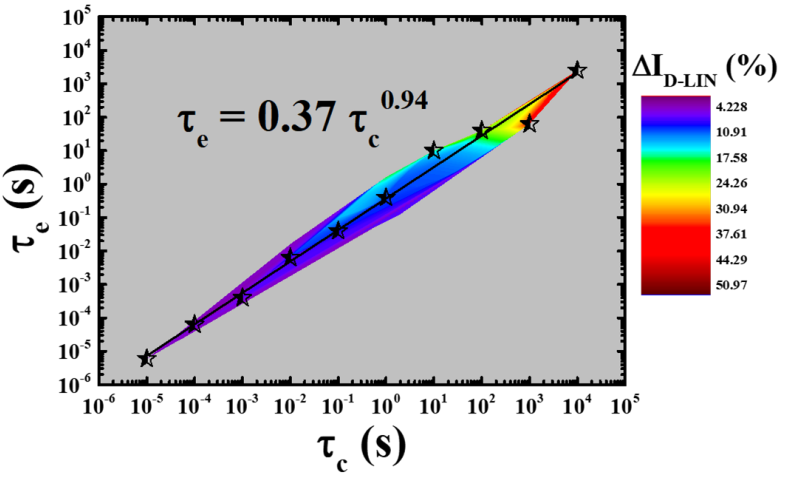


FIGURE 4.23 – La cartographie des temps de capture τ_c et d'émission τ_e des pièges d'oxyde, en fonction de l'amplitude de dégradation, extrait pendant les phases de HCD et de polarisation GIDL. Une corrélation de type loi de puissance a été mise en évidence entre τ_e et τ_c.

représentés sur l'axe des abscisses. Il en résulte que le temps d'émission des pièges est proportionnel au temps de capture suivant une loi de puissance, telle que définie dans l'équation :

$$\tau_e = 0.37\,\tau_c^{0.94} \tag{4.12}$$

Le spectre du SILC a été exploité (figures 4.24a et b) pour identifier les pièges d'oxyde dans [256], [257]. Les résultats révèlent l'existence de deux pics distincts pour les FinFETs au sein de la bande d'énergie du silicium sur la figure 4.24b, tandis qu'un unique pic est observé sur la figure 4.24a pour les dispositifs planaires HKMG FDSOI [258]. La formation d'un nouveau type de pièges d'oxyde dans les FinFETs est probablement liée à l'orientation du réseau cristallin sur les côtés des fins.

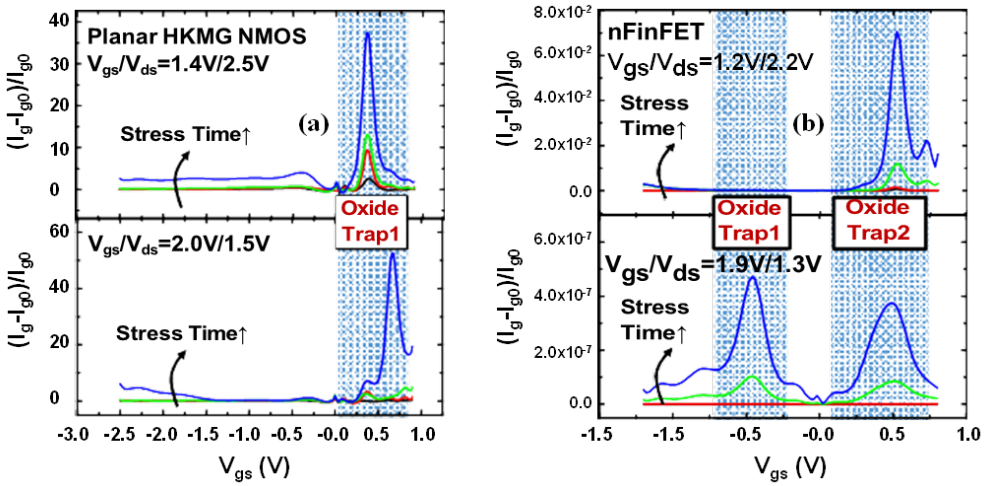


FIGURE 4.24 – (a) Le spectre du SILC pour un NMOS planaire FDSOI révèle un pic caractéristique aussi bien sous les conditions où $V_{GS} < V_{DS}$ que lorsque $V_{GS} > V_{DS}$. La coïncidence des emplacements de ces pics suggère la formation d'un seul type de piège d'oxyde. (b) En revanche, le spectre du SILC pour les nFinFET montrent un pic lorsque $V_{GS} < V_{DS}$ et deux pics distincts sous les conditions $V_{GS} > V_{DS}$. La récurrence des positions de ces pics indique la génération de deux types de pièges d'oxyde au cours du HCD [258].

Comme illustré dans la figure 4.25a, la dégradation HCD pour les FinFETs peut être divisée en trois composantes : les pièges préexistants situés en dessous de la bande de valence E_v, les pièges de type 1 localisés à 0,2 eV en dessous du milieu de la bande interdite du silicium, et les pièges de type 2 se trouvant aux alentours de la bande de conduction E_c. Les pièges préexistants, principalement formés durant le processus de fabrication, ne sont pas affectés par la polarisation GIDL et ne peuvent donc pas être réparés. En revanche, les pièges de type 1 et 2, induits par le HCD, montrent une nette sensibilité à la polarisation GIDL.

Avec une polarisation GIDL modérée de $V_{GD} = 3V$, la réduction de la variation de la densité de pièges ΔD_{OT} pour les types 1 et 2 est de 48% et 9% respectivement, par rapport à celle observée sous HCD seul (figure 4.25a). À une polarisation GIDL plus

élevée de V_{GD} = 4V, ΔD_{OT} pour le piège de type 2 augmente de 34% par rapport à la condition HCD. De plus, la position énergétique des pièges de type 1 tend à se déplacer vers E_c après la réparation, alors que celle des pièges de type 2 reste stable.

Pour une analyse comparative précise, ΔD_{OT} a été intégré entre E_v et E_c pour obtenir ΔN_{OT}, comme présenté sur la figure 4.25b. Lorsque V_{GD} passe de 3 V à 4 V, ΔN_{OT} s'accroît de 46%. Il est observé qu'après l'application d'une polarisation GIDL modérée, la densité des pièges d'oxyde est effectivement diminuée. Cependant, sous des polarisations GIDL élevées, bien que davantage de pièges d'oxyde soient déchargés suite à la réparation, ils tendent à être rechargés durant le cycle de stress HCD suivant, entraînant ainsi une augmentation de la génération des pièges de type 2.

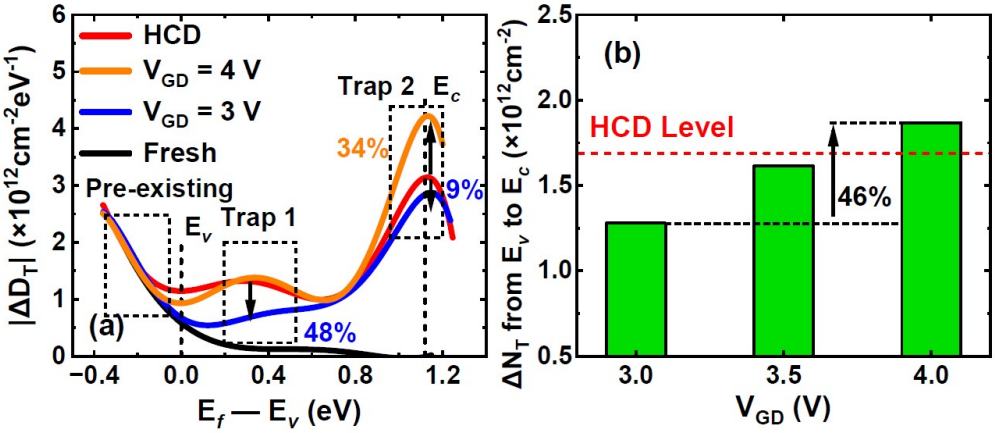


FIGURE 4.25 – (a) Extraction sur pFinFET de la distribution de densité des pièges ΔD_{OT} en fonction des niveaux d'énergie après un stress HCD et HCD+GIDL. La courbe "Fresh" correspond au pièges préexistants induits par le processus de fabrication. (b) Extraction sur pFinFET des états de pièges ΔN_{OT} entre la bande de valence Ev et la bande de conduction Ec après un stress HCD et HCD+GIDL. V_{D-GIDL} est fixée à -2,5V tandis que V_{G-GIDL} varie de 0,5V à 1,5V [241].

Nous avons mené sur nos dispositifs NMOS FDSOI des cycles de stress alternés entre le pattern AC à 3 MHz MVE/GIDL, présenté à la figure 4.16a, et un stress DC MVE afin évaluer la continuité de la dégradation ainsi que le temps de rechargement des pièges. Il a été observé sur la figure 4.26 que suite à l'effet de recouvrement induit par la polarisation GIDL, la tendance de la dégradation DC devient apparente dans la phase successive de HCD MVE et s'aligne étroitement avec le modèle DC, après une période qui n'est pas immédiate. Cette observation suggère la possibilité d'un rechargement des pièges existants ou la création de nouveaux pièges. Les temps de rechargement et de déchargement des pièges d'oxyde extraits sont présentés dans le tableau 4.5. Ces hypothèses, ainsi que l'impact de la fréquence sur ces phénomènes, feront l'objet d'une analyse approfondie dans la section suivante.

La figure 4.27 illustre l'impact des champs électriques durant les stress HCD et polarisation GIDL sur NMOS 28FDSOI. Durant la phase HCD sur la figure 4.27a, les électrons énergétiques du canal, proches de la région de drain, sont capturés

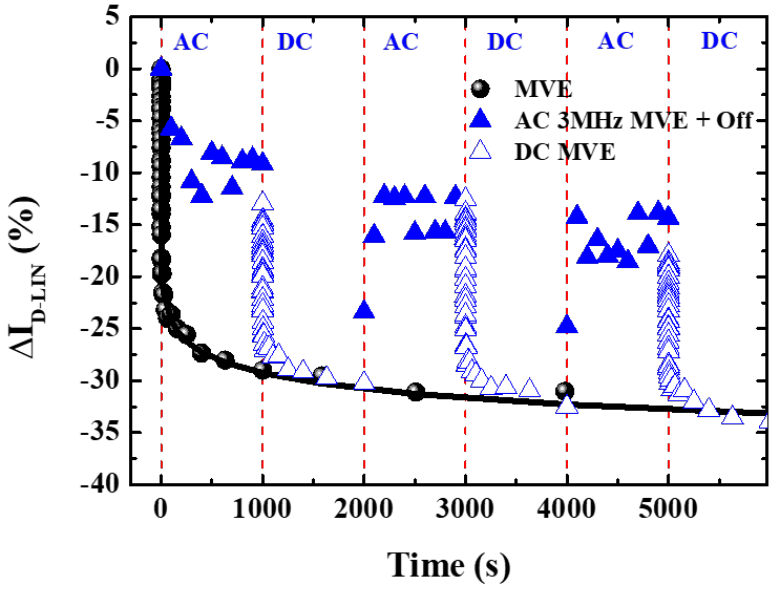


FIGURE 4.26 – Comparaison des séquences alternées AC 3MHz MVE/GIDL (figure 4.16a) et DC MVE avec la condition DC MVE (modèle en ligne) pour évaluer la capacité de continuité de piégeage HCD suite à l'effet de polarisation GIDL sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C. La séquence alternant AC et DC s'aligne sur le modèle DC après une période de rechargement et de formation de nouveaux pièges.

	AC HCD/GIDL	DC HCD	AC HCD/GIDL	DC HCD	AC HCD/GIDL	DC HCD
t_{Stress} (s)	1000	1000	1000	1000	1000	1000
Recharging $\tau_{Recharging}$ (s)		630.957344		630.957344		630.957344
Discharging τ_e (s)			< 100		< 100	

TABLEAU 4.5 – Tableau récapitulatif des temps de rechargement et déchargement des pièges d'oxyde, extraits des données présentées dans la figure 4.26 durant les séquences alternées AC et DC. On observe un temps de rechargement des pièges d'oxyde relativement long, tandis que le temps de déchargement est notablement plus court.

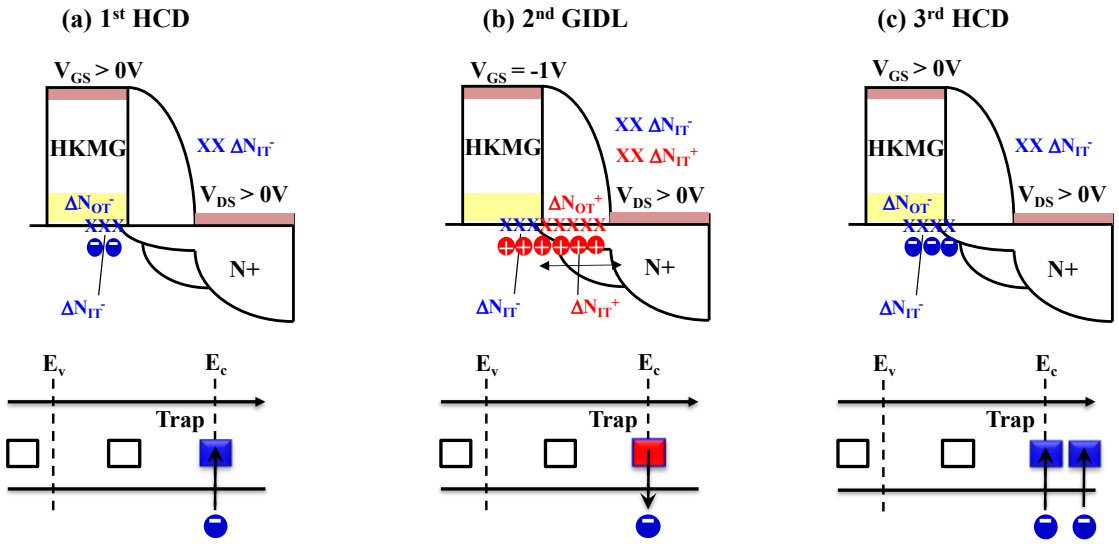


FIGURE 4.27 – Illustration sur NMOS 28FDSOI des séquence de génération de défauts et les diagrammes de niveaux d'énergie durant les étapes successives suivantes : (a) la phase de HCD où l'on observe la génération initiale de défauts, (b) la phase de polarisation GIDL caractérisée par la décharge des pièges, et (c) une nouvelle phase de HCD au cours de laquelle les pièges se rechargent et où il y a formation de défauts supplémentaires.

par les pièges d'oxyde présents dans le diélectrique de grille, ce qui provoque une dégradation. L'application d'une polarisation GIDL sur la figure 4.27b induit un champ électrique intense près de la région de drain et du canal, favorisant ainsi la libération des électrons piégés et contribuant à la récupération des paramètres I_{D-Lin} et V_{TH-Lin}. Lorsque la capacité de déchargement atteint son maximum, les trous peuvent induire la création de défauts dans la zone d'overlap. La phase suivante de HCD sur la figure 4.27c entraîne le rechargement des pièges d'oxyde par des électrons et la génération de nouveaux pièges. En complément, la figure 4.27 présente également les diagrammes des niveaux d'énergie des pièges formés. Il est à noter que seuls les pièges situés autour de la bande de conduction E_c et caractérisés par un niveau d'énergie peu profond, sont impliqués dans les processus de chargement et de déchargement. Les pièges préexistants situés en dessous de la bande de valence E_v et au milieu de la bande interdite du silicium ne présentent pas de dépendance vis-à-vis du HCD et de la polarisation GIDL, car ils sont principalement générés lors du processus de fabrication et ne sont pas susceptibles d'être réparés.

4.4 Effet du HCD en fréquence

4.4.1 Étude du cas HCD avec l'application d'une polarisation GIDL

Pour analyser l'effet de la fréquence sur l'interaction du HCD avec la polarisation GIDL, nous avons d'abord déterminé la fréquence limite en utilisant le B1530, qui génère un signal stable. Ensuite, nous avons comparé les niveaux de dégradation résultant de l'application de différents motifs de stress comportant diverses durées de plateau (correspondant à la moitié de la période sans les temps de montée et descente). Les séquences d'impulsions, représentées sur les figures 4.28a–c, sont constituées de stress successifs en On-state et Off-state à différentes fréquences. Comme l'indique la figure 4.28a, les formes d'onde à basse fréquence (Low Frequency LF) affichent un plateau qui est maintenu stable à chaque niveau de tension jusqu'à 1 MHz, comme on peut le voir sur la figure 4.28b. Pour garantir un signal stable et sans distorsion, il est nécessaire que la durée minimale du plateau de l'impulsion soit supérieure à 50 ns, avec un temps de montée T_{Edge} = 10ns, comme illustré sur la figure 4.28c.

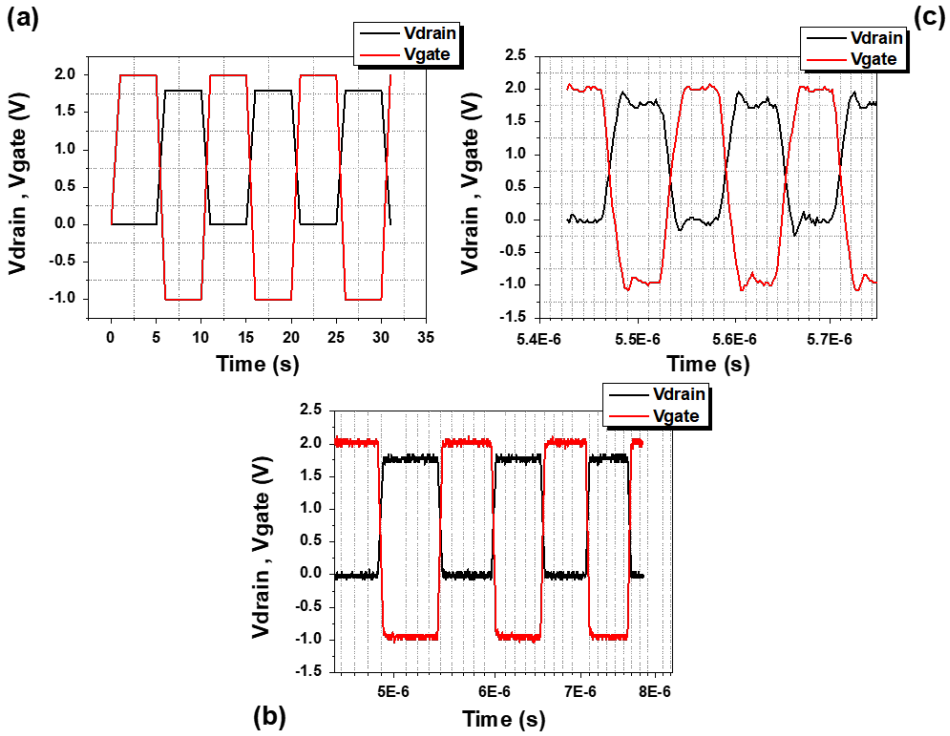


FIGURE 4.28 – Des patterns de stress alternant une phase On-state et une phase Off-state, allant de basses aux hautes fréquences. (a) À basse fréquence F=0,1Hz, les plateaux de tension durent 4s avec un temps de commutation d'une seconde. (b) À F=1MHz, chaque phase de stress est de 500ns avec une commutation de 50ns. (c) À F=8MHz, chaque phase de stress dure 50ns avec une commutation de 10ns. Une durée de 50ns semble insuffisante pour assurer un signal sans distorsion.

Nous avons évalué des patterns de stress avec des durées de plateau de 4s, 5μs, 500ns, 150ns et 50ns, et les avons comparés à des séquences quasi statiques (d'une durée de 1Ks et 10Ks). Les séquences d'impulsions comportent deux configurations : l'une se terminant par une phase en HCD et l'autre par une phase en polarisation GIDL. Les mesures des paramètres du transistor ont été réalisées à intervalles réguliers, suivant la méthodologie de la technique MSM. Lors d'un stress alterné HCD-SVE/GIDL toutes les 1Ks (figure 4.29a), correspondant à une fréquence de 5.10^{-4}Hz, la proportion de déchargement des pièges d'oxyde reste presque constante et n'atteint guère la moitié de la dégradation initiale au fil des cycles alternés. Durant la première phase MVE (figures 4.29b à 4.29d), la dégradation du courant de drain I_{DS} peut être entièrement compensée par les stress successifs en polarisation GIDL, et la variation de ΔI_{D-Lin} peut même devenir positive lorsque le piégeage des trous s'étend jusqu'à la zone d'overlap grille-drain (figure 4.29b). Cependant, il est clair que la capacité de réparation diminue lorsque la tension de drain en HCD-MVE ($V_{DS-HCD-MVE}$) augmente de 0,5 à 1,5V, avec une tension de grille fixée à $V_{GS-HCD-MVE} = 2,2V$.

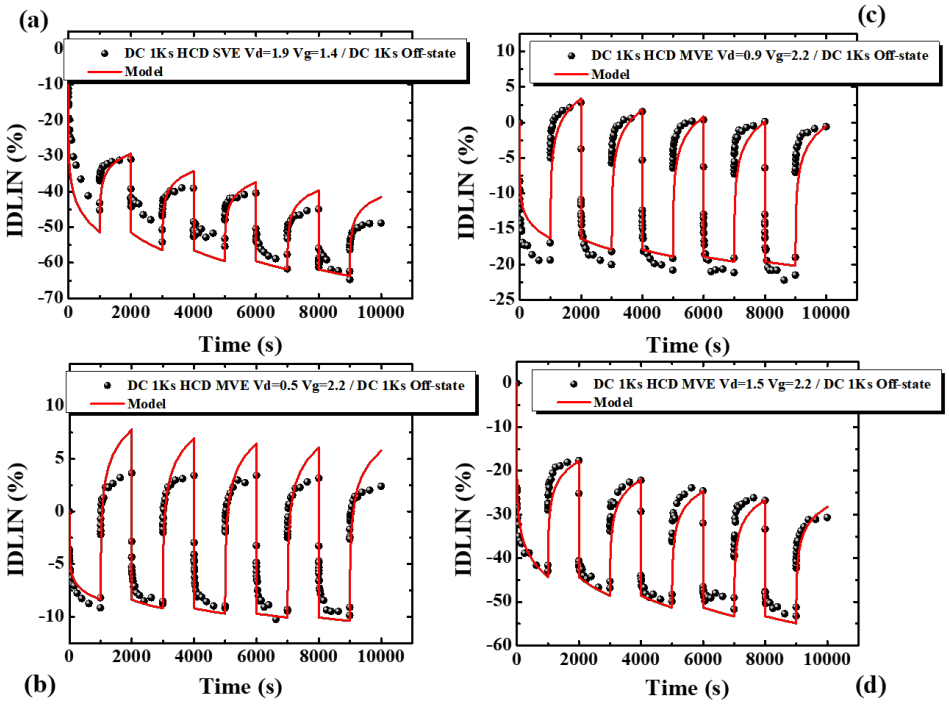


FIGURE 4.29 – Des séquences de stress DC alternées sur $t_s = 10^3$s chacune réalisées sur NMOS 28FDSOI $L_G = 30$nm $T_{Ambiant} = 125°C$ dans une gamme LF et comparées au modèle (lignes rouges). (a) HCD-SVE à $V_{DS} = 1,9V$, $V_{GS} = 1,4V$ alternant avec la polarisation GIDL à $V_{DS} = 1,8V$ et $V_{GS} = -1V$. (b) HCD-MVE à $V_{DS} = 0,5V$, $V_{GS} = 2,2V$ alternant avec la polarisation GIDL à $V_{DS} = 1,8V$ et $V_{GS} = -1V$. (c) HCD-MVE à $V_{DS} = 0,9V$, $V_{GS} = 2,2V$ alternant avec du GIDL identique aux conditions de (b). (d) HCD-MVE à $V_{DS} = 1,5V$, $V_{GS} = 2,2V$ alternant avec du GIDL identique aux conditions de (b).

Comme évoqué dans la section précédente, cela implique bien que le HCD ne soit

pas directement impacté par la phase Off-state précédente, un temps de rechargement minimal est nécessaire pour que les défauts d'oxyde piégés après la polarisation GIDL retrouvent la dynamique de dérive HCD initiale (figure 4.26). Dans [259], l'influence de l'Off-state sur la relaxation a été étudiée, et un modèle de conversion AC-DC a été élaboré pour anticiper la dégradation des paramètres des oscillateurs en anneau ou ring oscillators FDSOI en Off-state, HCD et BTI, en tenant compte de toutes les contributions dans des conditions de fonctionnement nominales.

Nous avons comparé les phases HCD SVE et MVE, extraites des résultats alternants HCD/Off-state présentés sur les figures 4.29a–d, avec les stress en DC dans les mêmes conditions de polarisation, illustré sur les figures 4.30a et 4.30b. Il en ressort que le mode Off n'entraîne pas d'aggravation supplémentaire dans les phases HCD successives, qui demeurent cumulatives et sont en accord avec les résultats obtenus en DC seul. Pour quantifier l'effet de la fréquence sur la dégradation induit par la polarisation GIDL, nous avons introduit un facteur K_f représentant le taux de génération de dommages par unité de fréquence, où F est la fréquence. À très basse fréquence, par exemple pour F = 5.10^{-4}Hz, le rapport est le suivant :

$$\frac{K_f}{F^{\alpha}} = \frac{\Delta I_{D-LIN_{Cumulative}}}{\Delta I_{D-LIN_{DC-HCD}}} \approx 1 \tag{4.13}$$

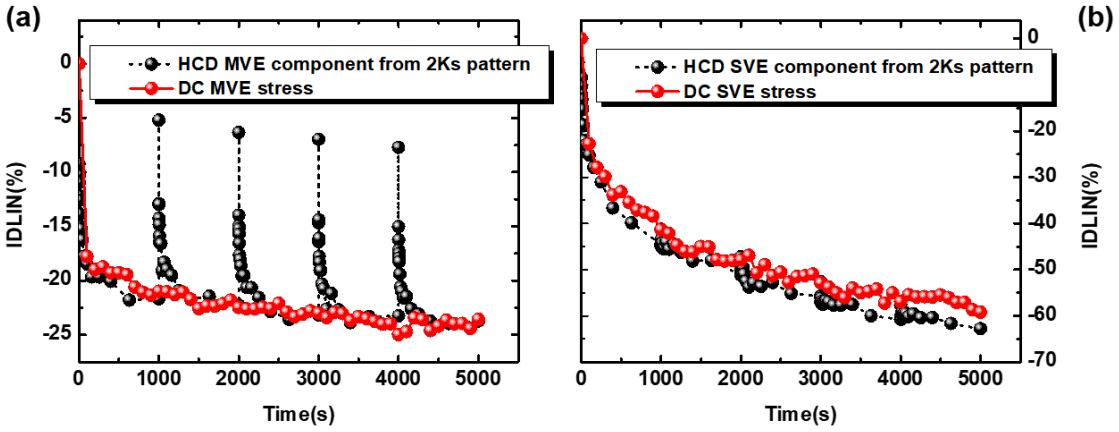


FIGURE 4.30 – ΔI_{D-Lin} cumulatif extrait des phases HCD à partir des séquences DC alternées HCD/GIDL (figure 4.29) et comparé au pur DC HCD. (a) MVE/GIDL par rapport au DC HCD MVE et (b) SVE/GIDL par rapport au DC HCD SVE.

Les mesures en AC à basses fréquences (LF) et à hautes fréquences (High Frequency HF) ont été comparées, comme illustré sur les figures 4.31a et 4.31b, aux mesures en DC alternées HCD/GIDL. La figure 4.31a illustre l'alternance entre le DC MVE (à faible énergie) et l'Off-state, comparée à des impulsions AC MVE/GIDL avec des fréquences F=0,1 et 100KHz, ainsi qu'à l'ordre inverse, c'est-à-dire GIDL/MVE. Lorsque qu'un stress MVE est utilisé, la compensation observée est élargie tout au long des cycles d'alternance. L'amplitude de ΔI_{D-Lin} mesurée à basse fréquence varie selon la configuration du signal. En effet, pour les impulsions AC se terminant sur la phase

Off-state à la fin de la période, nous définissons le niveau de dégradation atteint comme le niveau haut (High Level, HL), en opposition au niveau bas (Low Level, LL), tout en considérant une compensation nette de ΔI_{D-Lin} due à la polarisation GIDL. Sur la figure 4.31b, l'alternance DC SVE à l'Off-state (1Ks) est comparée aux résultats AC SVE/GIDL aux mêmes fréquences (de 0,1 et 100KHz) et dans l'ordre inverse. Il apparaît que la compensation obtenue par le HCD SVE est relativement faible et constante, quelles que soient les conditions de commutation. Lorsque les signaux AC se terminent par le HCD SVE, les défauts permanents prédominent, correspondant au niveau bas (LL). Pour une fréquence F=0,1Hz, le terme de basse fréquence est le suivant :

$$\frac{K_f}{F^{\alpha}} = \frac{\Delta I_{D-LIN_{LL-LF}}}{\Delta I_{D-LIN_{DC-HCD}}} \approx 0,9 \tag{4.14}$$

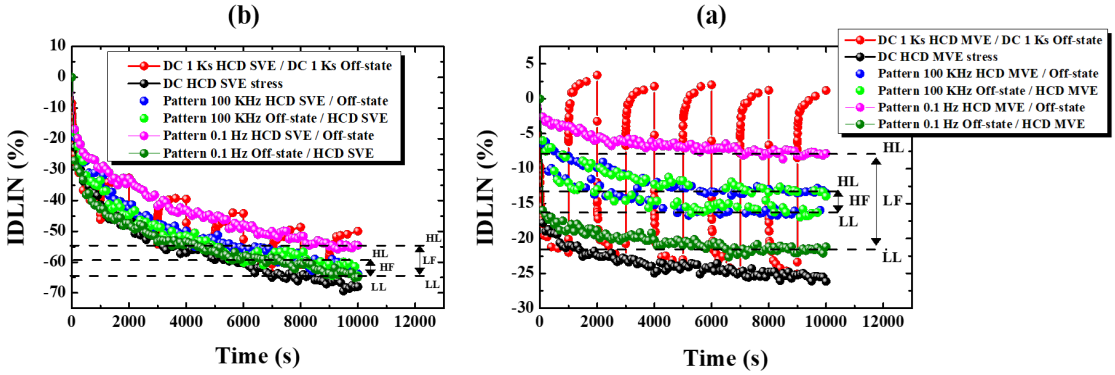


FIGURE 4.31 – Plusieurs séquences AC et DC alternant phases HCD et Off-state (et inversement) sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C, en fonction de la durée des impulsions et du niveau de tension appliqué. (a) Séquences alternant phases HCD-MVE et Off-state. (b) Séquences alternant phases HCD-SVE et Off-state.

À haute fréquence, à partir d'une durée de plateau de 5μs (100 KHz), aucune distinction n'est observée entre les pattern se terminant par une phase d'Off-state ou par une phase de HCD, indiquant qu'un état stable est atteint après plusieurs cycles de déchargement/chargement. Sur les figures 4.32a (MVE/GIDL) et 4.32b (SVE/GIDL), l'écart entre les niveaux LL et HL due au GIDL s'estompe complètement lorsque la durée du plateau de tension d'impulsion passe de 150ns (3MHz) à 50ns (8MHz), suggérant que le temps de déchargement en mode polarisation GIDL doit être supérieur à 100ns. Cependant, le taux de génération de dommages par fréquence aux équations (4.13) à (4.15) reste un facteur important car il permet de déterminer le niveau du LL par rapport à celui observé en DC. Cette observation est cruciale pour comprendre la dynamique temporelle du piégeage des trous chauds, car une durée de t_0 = 50ns ne semble pas suffisante pour permettre le déchargement complet des pièges d'oxyde par des trous chauds. Les figures 4.32a et 4.32b révèlent une différence entre le niveau bas (LL) du pattern à 100KHz et le stress DC, en raison d'un effet de récupération plus marqué induit par le taux de génération de dommages par fréquence. À haute

fréquence, la formule exprimant le taux de génération de défauts prend la forme suivante :

$$\frac{K_f}{F^{\alpha}} = \frac{\Delta I_{D-LIN_{LL-HF}}}{\Delta I_{D-LIN_{DC-HCD}}} \approx 0,7 \tag{4.15}$$

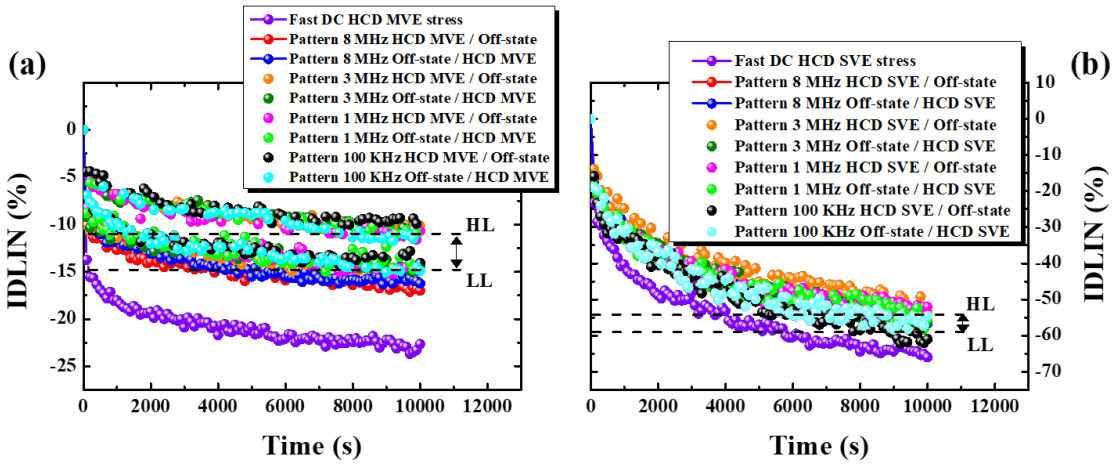


FIGURE 4.32 – Comparaison des séquences en AC HF alternant HCD et Off-state sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C, avec des stress en fast DC: (a) Séquences AC HF alternant HCD-MVE et Off-state, comparées au stress fast DC pur HCD-MVE. (b) Séquences AC HF alternant HCD-SVE et Off-state, comparées au stress fast DC pur HCD-SVE.

En se référant aux équations (4.13) à (4.15), il est à noter que le terme de taux de génération de défauts par fréquence atteint une valeur de saturation de 0,7 lorsque la fréquence s'accroît de F = 5.10^{-4}Hz à 8MHz. Cette observation suggère une diminution de la génération de défauts d'interface ainsi qu'une réduction de la capacité de chargement/déchargement des pièges dans l'oxyde de grille.

Le modèle compact développé dans la section précédente, décrit par les équations (4.8) à (4.11), qui caractérise l'interaction entre le HCD et la polarisation GIDL en tenant compte de la séquence des effets historiques, nous sert de fondement pour déterminer les niveaux bas LL et hauts HL. Le comportement alternatif entre les points LL et HL peut être représenté par l'ensemble d'équations suivant :

$$\Delta I_{D-LIN_{LL}}(t) = \frac{K_f}{F^{\alpha}} \cdot A \cdot \left(\sum t_{HCD}\right)^{n} \cdot e^{\beta \cdot (V_{DS-HCD} - V_{Dsat})} \cdot (V_{GS-HCD} - V_{TH})^{\rho} \tag{4.16}$$

$$\Delta I_{D-LIN_{rec-Off}} = \frac{K_f}{F^{\alpha}} \cdot B \cdot V_{GS-HCD}^{\gamma} \cdot e^{-\delta \cdot V_{DS-HCD}} \cdot e^{\lambda \cdot V_{DG-Off}} \cdot \ln\left(1 + \frac{(t_{Off} - t_0)\tau_e}{\tau_c}\right) \tag{4.17}$$

$$\Delta I_{D-LIN_{HL}}(t) = \Delta I_{D-LIN_{LL}}(t) + \Delta I_{D-LIN_{rec-Off}} \tag{4.18}$$

Selon l'équation (4.16), les dommages LL sont calculés de manière quasi-statique en fonction de l'amplitude de dégradation cumulative ainsi que la fréquence. La réparation induite par la polarisation GIDL, conformément à l'équation (4.17), est estimée en fonction de la fréquence et des constantes de temps associées aux processus de capture et d'émission de charge. Enfin, la composante HL est déterminée de manière quasi-statique à l'aide de l'équation (4.18), en additionnant la réparation due à la polarisation GIDL au dommage cumulatif HCD. À haute fréquence, la phase de création de défauts dans la zone d'overlap n'est pas prise en considération car $t_{Off} < \tau_e$.

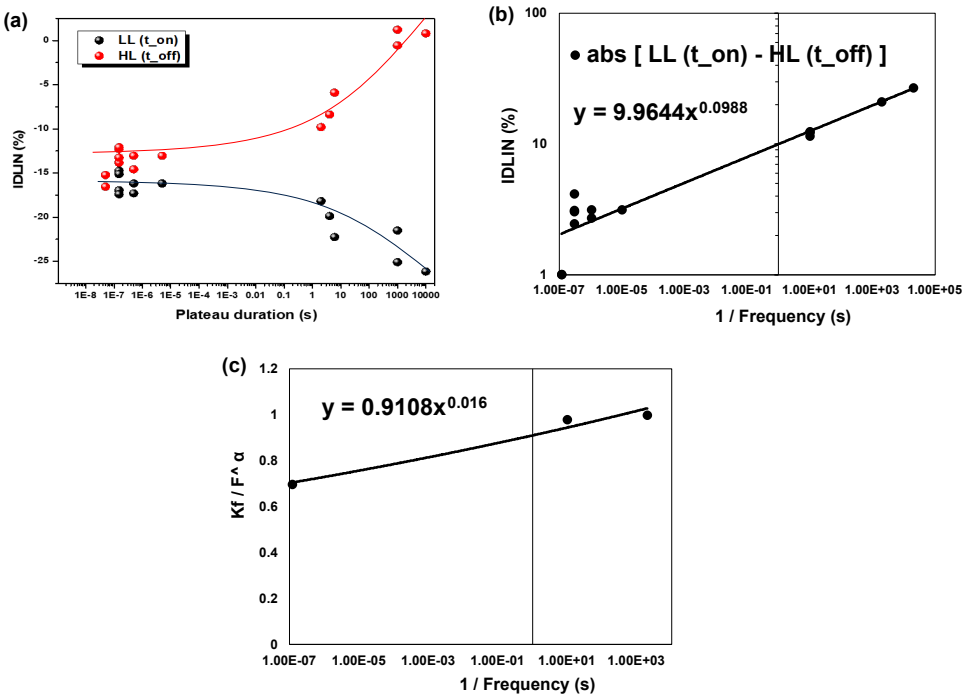


FIGURE 4.33 – L'interaction HCD/GIDL en fonction de la fréquence. (a) La variation de la composante permanente LL de ΔI_{D-Lin} sous HCD comparée à la partie réparée HL par la polarisation GIDL. (b) L'amplitude de la récupération mesurée entre les points LL et HL. (c) La dépendance en fréquence du terme de génération de défauts exprimé par $\frac{K_f}{F^{\alpha}}$ obtenu à partir des équations (4.13) à (4.15).

Les différents exposants présentés dans les équations (4.16) et (4.17) ont été extraits empiriquement à partir des données illustrées sur les figures 4.33a–c, où nous avons quantifié l'interaction entre le HCD et l'Off-state. Ces figures mettent en évidence la dépendance en fréquence pour les niveaux de dégradation LL et HL. La figure 4.33a illustre la dégradation par porteurs chaud ainsi que la contribution relative de la polarisation GIDL. Les figures 4.33b et 4.33c ont été utilisées pour extraire l'exposant de fréquence α en se basant sur les équations (4.13) à (4.15), donnant $\alpha = 0,016$ comme il est indiqué sur la figure 4.33c.

L'analyse des exposants $(\beta, \delta, \gamma, \rho)$ en fonction de l'inverse de la fréquence (1/F) présentée sur la figure 4.34 indique que l'effet de la fréquence est particulièrement

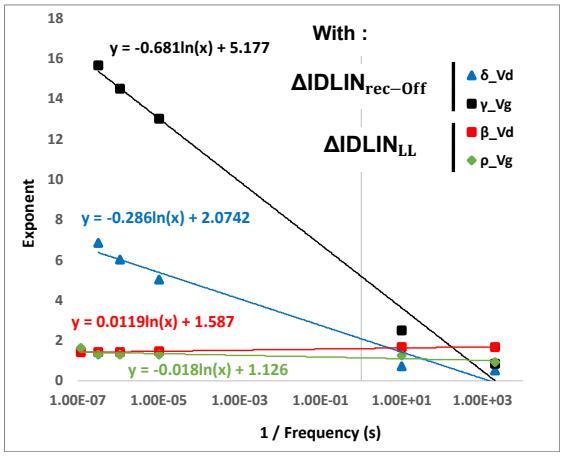


FIGURE 4.34 – Les dépendances en fonction de la fréquence des exposants de l'énergie et la densité des porteurs définis aux équations (4.16) et (4.17) sur la dégradation ΔI_{D-Lin} permanente et cumulative HCD ainsi que la composante réparée.

marqué sur le processus de réparation associé à la polarisation GIDL lorsqu'on est à haute fréquence. On observe également une variation modeste des exposants (β, ρ) en fonction de la fréquence pour le niveau LL HCD. Cette tendance peut être attribuée à la dynamique de déchargement/chargement des pièges d'oxyde qui évolue avec la fréquence.

La figure 4.35 présente une comparaison entre les données expérimentales et le modèle empirique pour différents niveaux de stress en AC, en mettant en parallèle le HCD-MVE et Off-state. Ceci utilise l'ensemble des paramètres définis pour les niveaux de dégradation LL et HL, ainsi que les dégradations correspondantes de ΔI_{D-Lin}. Une bonne corrélation est observée entre la variation de ΔI_{D-Lin} et les prédictions du modèle analytique et empirique, formulées dans les équations (4.16) à (4.18). Ces résultats valident notre méthodologie sur l'ensemble de la gamme de fréquences, de LF à HF, pour les applications RF et mmW.

Finalement, nous avons émulé des formes d'onde RF à 16 dBm (voir figure 4.1) à basse et haute fréquences pour mieux refléter les véritables formes d'onde RF, au lieu des impulsions rectangulaires simplifiées utilisées dans les résultats précédents. Nous avons employé la méthodologie décrite dans [8], [9] pour évaluer la fiabilité des N-FET sous des conditions RF mmW en les comparant aux conditions DC. La figure 4.36 illustre une bonne corrélation entre les patterns de stress RF émulés à 16 dBm et le modèle analytique et empirique (équations (4.16) à (4.18)). Ceci est démontrée à très basse fréquence F=4mHz (figure 4.36.a) et à haute fréquence F=417KHz (figure 4.36.b). Comme indiqué précédemment sur les figures 4.31a, 4.31b et 4.32a, 4.32b, le niveau LL à basse fréquence correspond à la mesure de ΔI_{D-Lin} sur la séquence d'impulsion se terminant par une phase du HCD, tandis que le niveau HL est associé à la séquence d'impulsion se terminant par une phase de polarisation GIDL (figure 4.36.a). À haute fréquence, les points LL et HL sont aussi détectés aux extrémités de ΔI_{D-Lin} mesuré (figure 4.36.b), mais avec une gap significativement réduit entre les deux niveaux par

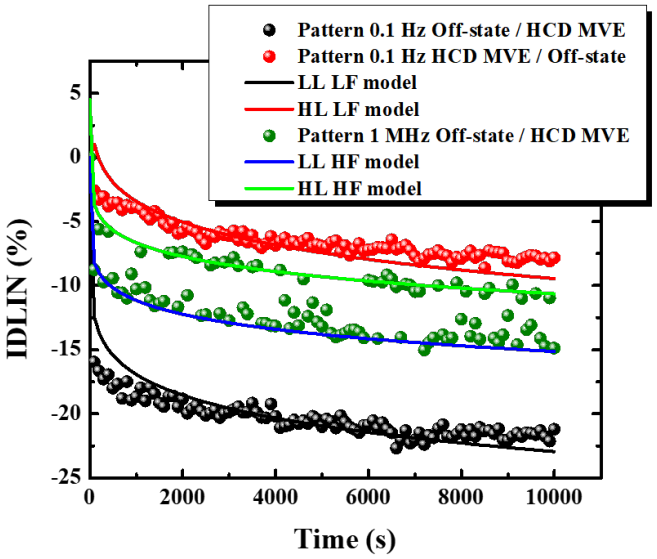


FIGURE 4.35 – La comparaison entre les données expérimentales des séquences de stress par impulsions en AC HCD MVE/Off-state à la modélisation (représentée par les lignes) dans les gammes de basses et hautes fréquences sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C.

rapport à la basse fréquence (figure 4.36.a).

Ces résultats de modélisation obtenus, qui se caractérisent par leur précision, sont pertinents pour divers patterns RF. Ils confirment la validité de notre méthodologie dans l'évaluation de la fiabilité des dispositifs soumis à des applications RF mmW. Cette méthodologie se distingue par sa simplicité comparativement aux tests RF AC classiques, qui sont habituellement réalisés sur des bancs de load-pull et requièrent une configuration complexe, incluant l'utilisation d'un amplificateur de puissance. Notre approche innovante permet d'analyser les interactions HCD/GIDL, deux phénomènes critiques dans les opérations RF sur NMOS, de manière plus directe et moins complexe.

4.4.2 Étude du cas HCD sans l'application d'une polarisation GIDL

L'utilisation du module B1530 se révèle limitée en dessous de 10MHz. Pour appliquer des signaux AC de plusieurs gigahertz (GHz) aux bornes d'un transistor, il est nécessaire de développer une nouvelle configuration expérimentale. Cette configuration fait appel à un générateur de pulses illustré dans la figure 4.37, où un stress AC est appliqué à la grille, et un stress DC est appliqué au drain (voir figure 4.37a). Une variante de cette configuration permet d'appliquer des stress AC simultanément à la grille et au drain (également illustrée sur la figure 4.37b). Dans le cadre de cette thèse, la caractérisation de la fiabilité du transistor a été effectuée en utilisant uniquement la première configuration expérimentale. Celle-ci emploie le SMU et le générateur

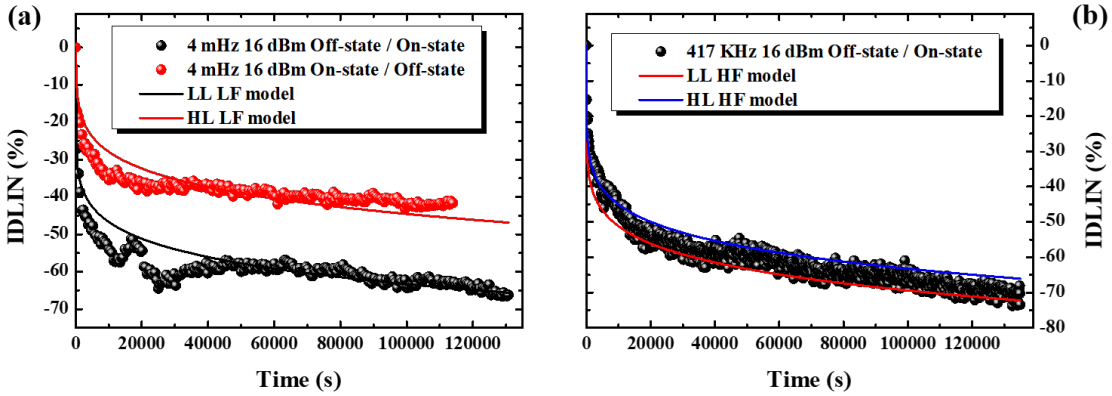


FIGURE 4.36 – Émulation et modélisation de patterns de stress RF réels sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 125°C : (a) dans la gamme des basses fréquences (LF) et (b) dans la gamme des hautes fréquences (HF).

de pulses pour réaliser des mesures I-V pulsées. Cette configuration a été privilégiée car elle ne nécessite pas l'utilisation de commutateurs coaxial (coaxial switch). En conséquence, bien que le second cas de figure, qui utilise des commutateurs pour effectuer des mesures I-V avec le module B1530 [260], soit envisageable, il n'a pas été expérimenté dans cette recherche faute de disponibilité du matériel.

Pour effectuer des stress AC à des fréquences de plusieurs GHz, il est essentiel de concevoir les pads de connexion de la grille et du drain en suivant le schéma ground-signal-ground (GSG), avec la source et le substrat connectés à la masse. Cette configuration permet de minimiser les interférences et les effets de résonance indésirables qui peuvent survenir à ces fréquences élevées. Les quatre pads de masse (GND) sont reliés par des lignes métalliques qui servent de retour de masse et contribuent à l'intégrité du signal, tandis que les pads de signal sont directement connectés aux bornes de grille et de drain du transistor.

Un dispositif de mesure de I-V à impulsions rapides a été mis au point, tel que décrit dans [254]. La tension de grille V_G est générée par un générateur de pulses, et la tension de drain V_D en DC est appliquée via un SMU qui sert aussi à mesurer et caractériser le courant de drain I_{Drain}, comme présenté sur la figure 4.37a. Les formes d'onde des signaux appliqués sont capturées par un oscilloscope numérique à échantillonnage rapide. Les figures 4.38a et 4.38b montrent respectivement les types de largeur d'impulsion utilisés avec un rapport cyclique de 50% pour les phases de stress (figure 4.38a) ainsi que les phases de caractérisations électriques (figure 4.38b) conformément à la technique MSM.

Pour obtenir des valeurs précises de ΔI_{D-Lin} et ΔI_{D-Sat}, une méthode d'extraction rigoureuse est requise. Nous avons expérimentalement examiné l'effet de la vitesse de mesure (de 1 à 100 KHz) sur les phases de caractérisation du courant I_{Drain} pour des transistors NMOS FDSOI. Les résultats indiquent que les vitesses de mesure I-V de 1, 10 et 100 KHz n'influencent pas significativement la caractérisation de I_{Drain} en mode I-V pulsé, qui correspond, comme attendu, à 50% de la valeur du courant mesuré en

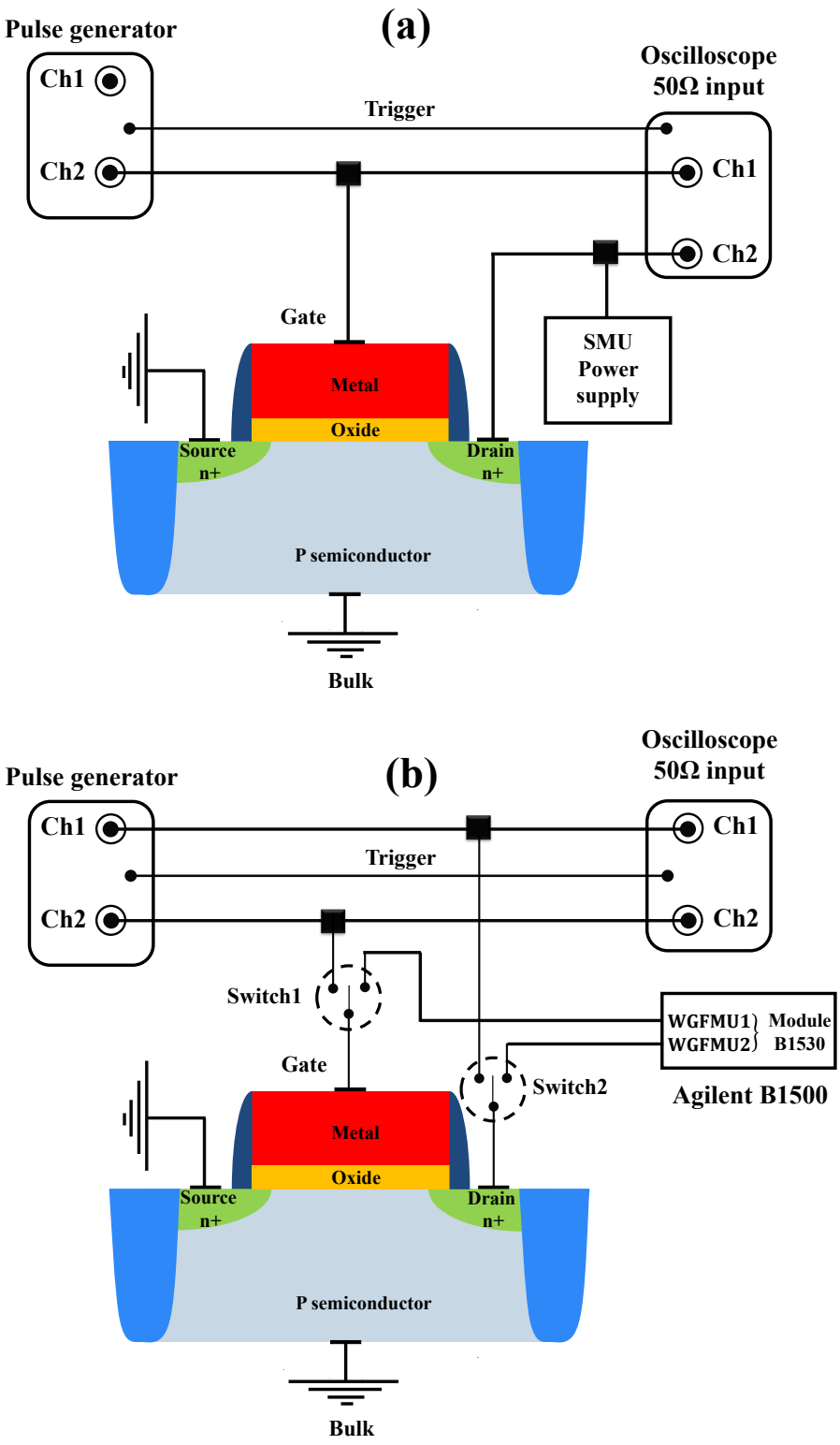


FIGURE 4.37 – Schéma des systèmes de mesures rapides. (a) Configuration utilisée dans notre étude, reposant sur l'emploi d'un générateur d'impulsions appliqué à la grille (signal AC) et d'un SMU connecté au drain (signal DC), pour stress et réaliser des I-V pulsées. (b) Configuration alternative pour stresser simultanément en AC la grille et le drain. Les I-V seront effectuées à l'aide du module B1530, qui opère grâce à des commutateurs coaxiaux.

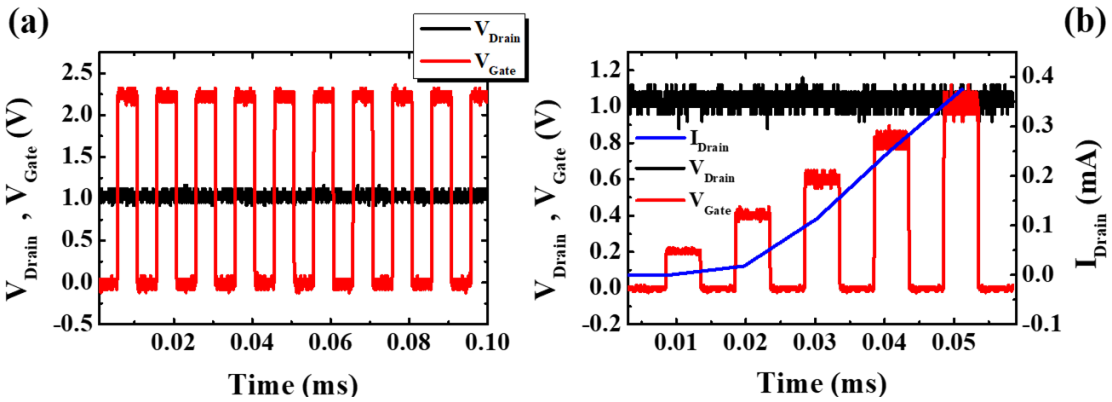


FIGURE 4.38 – Les formes de signaux à haute fréquence de 100 kHz capturées à l'oscilloscope en utilisant la configuration présentée à la figure 4.37a. (a) Profil temporel du signal de stress appliqué à un NMOS 28FDSOI L_G = 30nm. (b) Caractérisation I-V Pulsée.

mode DC conventionnel, comme illustré sur la figure 4.39.

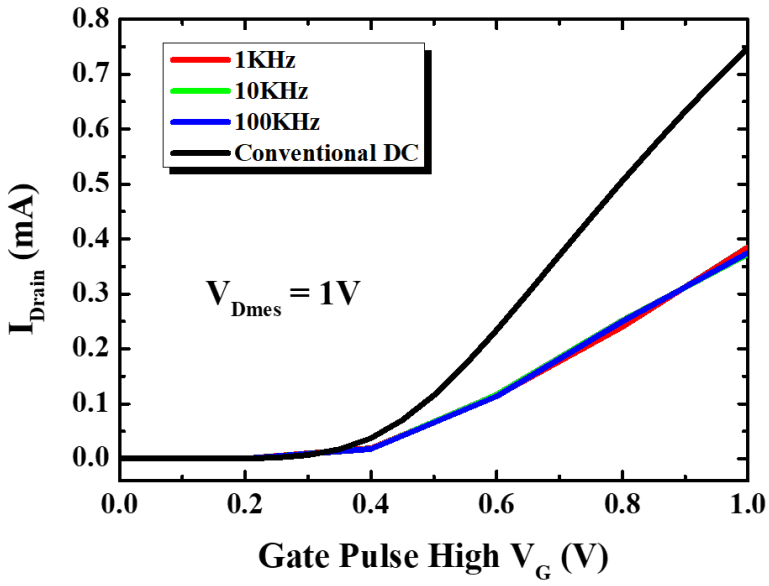


FIGURE 4.39 – Les caractéristiques $I_D - V_G$ mesurées sur NMOS 28FDSOI L_G = 30nm $T_{Ambiant}$ = 25°C à des fréquences variant de 1KHz à 100KHz et comparées à la caractérisation en DC conventionnelle. Il a été observé que les caractéristiques I-V pulsées sont indépendantes de la fréquence et correspondent à environ 50% des valeurs obtenues par la mesure en DC.

L'impact de la température ambiante sur les mesures de caractérisation en mode I-V pulsé du transistor a été minutieusement examiné. La figure 4.40a présente les caractéristiques I-V obtenues à une fréquence de 100 KHz, avec une température ambiante variant de -40°C à 160°C. Dans le cas de telles impulsions nettement éloi-

gnées de la constante thermique (de l'ordre de 10 à 100 ns) [250], [251], l'effet de l'auto-échauffement sur le courant est bien présent. Cela permet de considérer la température du canal du transistor $T_{Channel}$ comme équivalente à la somme de la température ambiante $T_{Ambiant}$ et du ΔT_{SH}, comme indiqué sur l'équation (4.7). Il faut un système de mesure ultra rapide, pour détecter et caractériser l'effet de l'auto-échauffement sur le courant de drain I_{Drain}.

Poursuivant l'étude avec $T_{Ambiant}$ fixée à 25°C, la caractérisation en mode I-V pulsé est approfondie en modifiant la tension de polarisation du drain V_{Drain}, comme le montre la figure 4.40b. Cette approche permet d'observer les variations du courant de saturation I_{D-Sat} dans la région du drain et de fournir une caractérisation précise du courant.

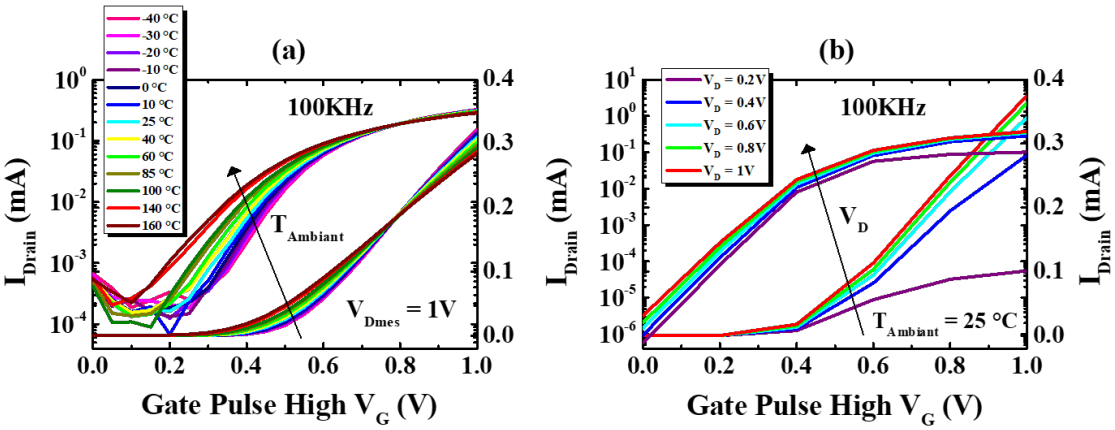


FIGURE 4.40 – Caractéristiques $I_D - V_G$ sur NMOS 28FDSOI $L_G = 30$nm à 100KHz présentées à la fois en échelles logarithmique (à gauche) et linéaire (à droite). (a) Mesures pulsées à $V_{Dmes} = 1$V et à différentes températures ambiantes. (b) Mesures pulsées à $T_{Ambiant}$=25°C et à différents V_{Dmes}.

Sur la figure 4.41, l'influence de la température ambiante $T_{Ambiant}$ et de la tension V_{Drain} sur le courant I_{Drain} est mise en évidence. Pour des tensions de drain allant de 50 mV à 0.2 V, $T_{Ambiant}$ ne semble pas affecter significativement I_{Drain}. Cependant, à température constante, on observe une augmentation du courant due à la vitesse des porteurs. Au-delà de $V_{Drain} = 0.2$V et à température variable, une baisse notable du courant de saturation est attribuable à la réduction de la mobilité des porteurs à des températures élevées. Néanmoins, dans le cadre de notre étude sur les transistors FDSOI, comme il a été démontré dans la section précédente, l'énergie d'activation associée au HCD ou au GIDL est extrêmement faible, même en prenant en compte le SHE. Cette particularité nous permet de minimiser, voire d'ignorer, l'impact de la température dans l'analyse de la fiabilité de ces dispositifs, bien qu'il existe naturellement de l'auto-échauffement dans la gamme de temps que nous avons utilisée.

La figure 4.42 illustre l'évolution de ΔI_{D-Lin} sous l'effet d'un stress AC HCD SVE, avec un rapport cyclique de 50%. Les conditions de stress sont $V_{DS} = 1,9$V et $V_{GS} = 1,4$V durant la moitié de la période, et $V_{DS} = 0$V et $V_{GS} = 0$V pour l'autre moitié. Les données

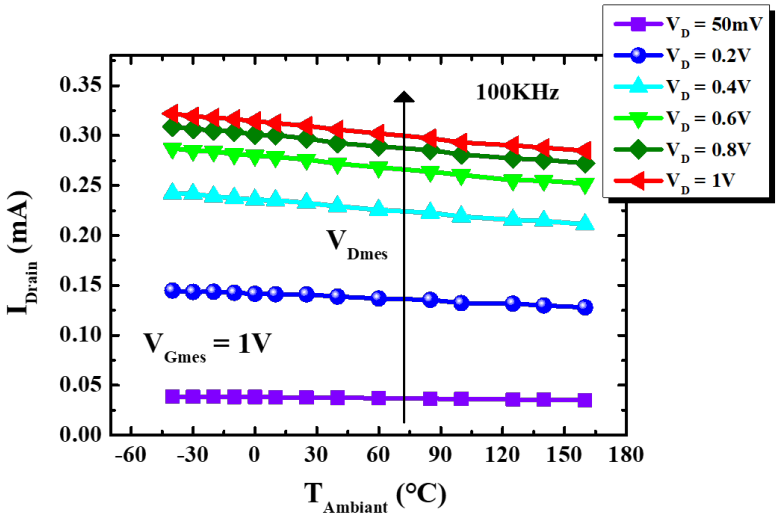


FIGURE 4.41 – Caractérisation à 100KHz du courant I_{Drain} sur NMOS 28FDSOI $L_G = 30nm$ en fonction de la température ambiante, à $V_{Gmes} = 1V$ et à différentes tensions de drain V_{Dmes}. On observe à température constante une augmentation du courant en variant V_{Dmes} (attribuée à la vitesse des porteurs), et à température variable une diminution du courant à partir de $V_{Dmes} = 0.2V$ pour les températures élevées, attribuée à la réduction de la mobilité.

sont présentées en fonction du temps de stress effectif à différentes fréquences. L'analyse révèle que la dégradation en AC de ΔI_{D-Lin} ne dépend pas de la fréquence, une observation qui corrobore les résultats précédemment rapportés pour le BTI, tant en PBTI [261] qu'en NBTI [147]. Dans ces études antérieures, ni la variation de $DeltaV_{TH}$ ni celle de ΔI_{D-Sat} n'étaient influencées par le rapport cyclique. Cette indépendance fréquentielle suggère que les mécanismes de dégradation sous stress HCD peuvent être considérés comme constants par rapport à la fréquence, simplifiant ainsi l'analyse de la fiabilité dans ces conditions de fonctionnement.

Un stress AC HCD de 6000s a été réalisé grâce au système de mesure rapide illustré sur la figure 4.37a. Dans cette configuration, V_D est maintenu à un niveau constant tandis que V_G est pulsé à différentes fréquences (1, 10 ou 100KHz), avec la source et le substrat connectés à la masse. La dégradation a été caractérisée par des mesures $I_D - V_G$ à 100 KHz. La figure 4.43 présente une comparaison des résultats de la dégradation de ΔI_{D-Sat} sous stress AC MVE à différents niveaux de V_{DS} (0,5V; 1V et 1,5V) en regard des conditions de stress DC HCD MVE.

Les résultats de stress AC HCD MVE (figure 4.43), appliqués à diverses fréquences (1, 10 ou 100 KHz), montrent une bonne corrélation avec les conditions de stress DC HCD MVE. Cela indique que l'alternance entre les phases MVE et Off-state sous stress AC, ainsi que les variations de fréquence, n'entraînent pas de différences significatives dans la caractérisation des comportements de fiabilité des transistors NMOS par rapport au stress DC, en opposition aux résultats de l'étude présentée dans [262]. Cette observation, contrairement à l'étude de l'interaction HCD/GIDL présentée

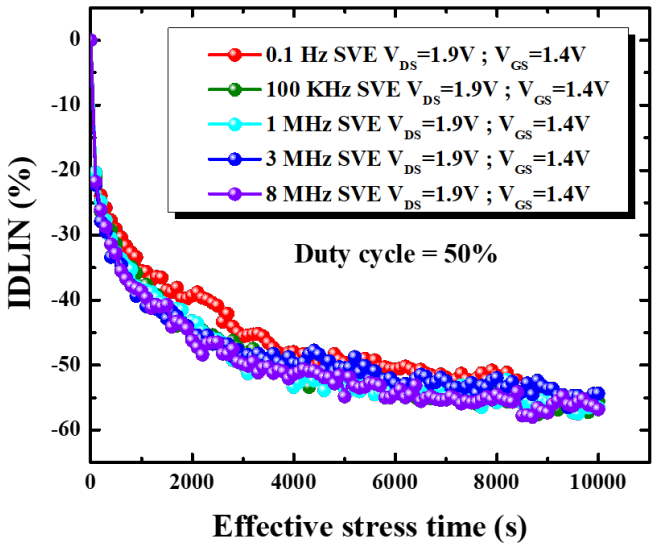


FIGURE 4.42 – Dépendance de la dégradation de ΔI_{D-Lin} induite par HCD-SVE uniquement avec un rapport cyclique de 50% sur NMOS 28FDSOI $L_G = 30nm$ $T_{Ambiant} = 125°C$. Les résultats montrent une absence de dépendance vis-à-vis de la fréquence.

dans la section précédente, suggère que la dégradation HCD reste cumulative et indépendante de l'application du stress en AC.

La figure 4.44 compare la dégradation de ΔI_{D-Sat} induite par le stress AC HCD SVE avec celle provoquée par le stress AC HCD MVE. Il ressort que la dégradation mesurée sous les conditions DC et AC HCD MVE est plus prononcée que celle observée sous les conditions DC et AC HCD SVE, bien que le stress SVE soit intrinsèquement plus dégradant que le MVE. Néanmoins, une bonne corrélation est maintenue entre les mesures DC et AC pour chaque type de stress.

Pour approfondir cette analyse, des mesures de dégradation ont été effectuées dans les régimes linéaire et de saturation sur la figure 4.45, en modes forward et reverse, comme décrit auparavant sur la figure 2.14. Ces mesures révèlent que le mode reverse est plus efficace pour sonder les défauts, qu'ils soient localisés près du drain ou répartis le long du canal, et ce pour les trois types de stress HCD SVE, MVE et Off-state. En Off-state, la dégradation est moins marquée, ce qui permet une localisation aisée des défauts, que ce soit en mode forward ou reverse, en régime linéaire ou saturé.

Concernant les mesures en mode forward, les défauts générés sous stress SVE sont mieux détectés en régime linéaire qu'en saturé, tandis que ceux générés sous stress MVE sont plus perceptibles en régime saturé qu'en linéaire (figure 4.45). Cette distinction peut être attribuée au fait que, pour le SVE, les défauts sont principalement localisés près du drain et que leur détection dépend de la zone de pincement. Pour le MVE, en revanche, les défauts étant distribués sur toute la longueur du canal, une tension de mesure $V_{Dmes} > 50mV$ est nécessaire pour une identification adéquate.

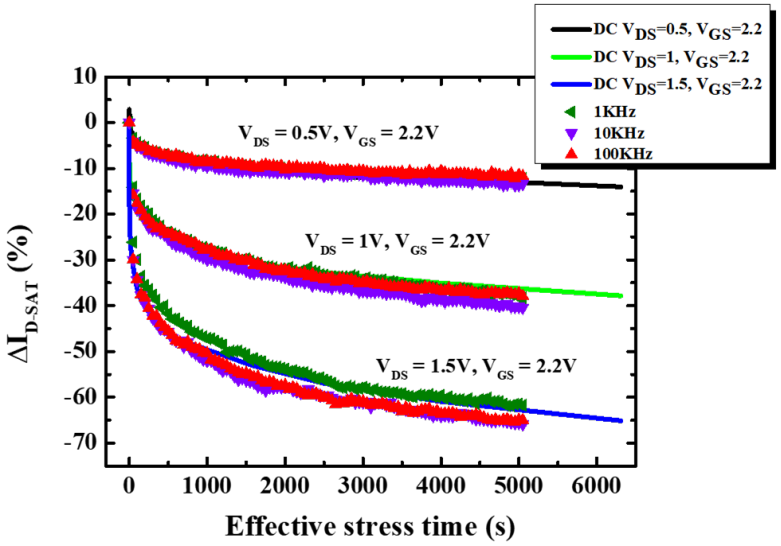


FIGURE 4.43 – Comparaison des dégradations ΔI_{D-Sat} induites par AC HCD MVE à une gamme de fréquences allant de 1KHz à 100KHz, sur NMOS 28FDSOI L_G = 30nm à une température ambiante de 125°C et comparées aux résultats obtenus sous des conditions DC. Les conditions de stress AC ont été définies selon le pattern présenté à la figure 4.38, avec une tension V_G en AC (2.2V/0V) et une tension V_D en DC (variant de 0.5V à 1.5V).

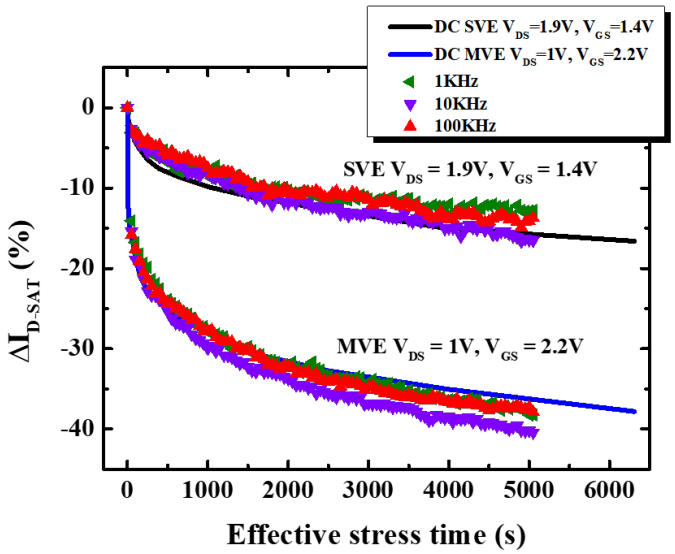


FIGURE 4.44 – Comparaison des dégradations ΔI_{D-Sat} induites par AC HCD MVE et AC HCD SVE sur NMOS 28FDSOI L_G = 30nm à une gamme de fréquences allant de 1KHz à 100KHz comme à la figure 4.43, à une température ambiante de 125°C et comparées aux résultats obtenus sous des conditions DC. ΔI_{D-Sat} résultant du HCD MVE est considérablement plus élevé à celui du HCD SVE.

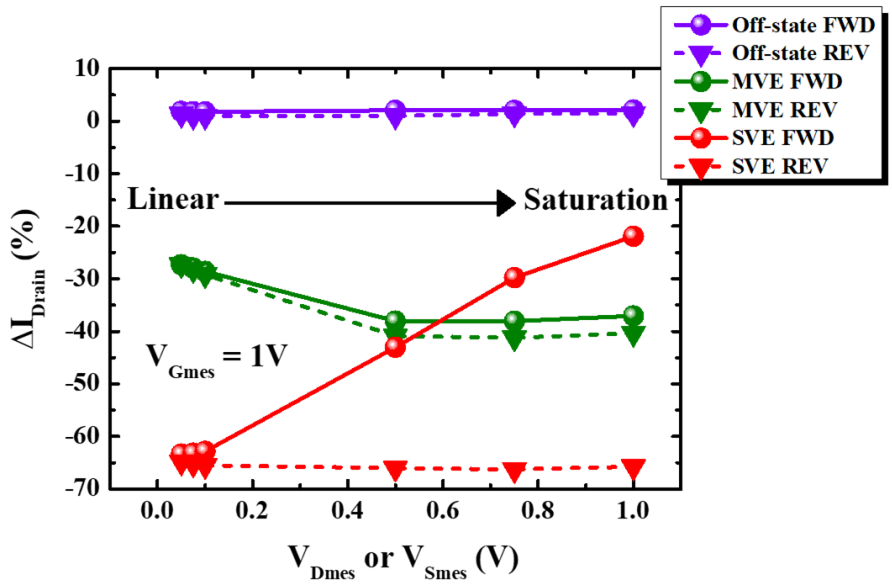


FIGURE 4.45 – Caractérisation en forward et reverse de la dégradation du courant I_{Drain} du régime linéaire à la saturation après application des stress en Off-state, HCD MVE et SVE sur NMOS 28FDSOI $L_G = 30nm$ $T_{Ambiant} = 125°C$. Les résultats révèlent une faible dégradation en Off-state, la présence de défauts localisés près du drain en mode SVE et une dégradation qui s'étendant sur l'ensemble du canal en MVE.

4.5 Conclusion

Dans cette étude, nous avons examiné en profondeur le mécanisme physique et l'efficacité de la récupération du HCD en utilisant le phénomène de polarisation GIDL dans les dispositifs NMOS 28FDSOI. L'analyse s'est appuyée sur le modèle en énergie du HCD. Il a été constaté que la polarisation GIDL peut favoriser une récupération allant jusqu'à 80% de la dégradation des paramètres affectés après un stress MVE. Cependant, cette récupération peut être accompagnée, sur une période prolongée, d'une augmentation significative de la création de pièges d'interface et d'oxyde, due à l'injection de trous dans la zone d'overlap. Ainsi, pour simplifier le modèle de charge et de décharge, nous avons choisi de ne pas distinguer les pièges lents et rapides par l'attribution de différents temps caractéristiques de charge (τ_c) et de décharge (τ_e), comme le suggère le modèle RC de [140]. Nous proposons plutôt que les temps de charge et de décharge pour les pièges d'oxyde soient considérés comme cumulatifs, ce qui permet une approche plus intégrée de la modélisation.

Une condition de polarisation GIDL modérée ($V_{DG} = 2,8V$ avec $V_{DS} = 1,8V$ et $V_{GS} = -1V$) est suggérée pour une récupération optimale du HCD. De plus, La corrélation directe entre le taux de récupération du HCD et la polarisation grille-drain V_{DG} indique que la décharge assistée par le champ électrique vertical est le mécanisme fondamental de cette récupération. L'impact négligeable de la température du canal sur le ratio de récupération démontre en outre que l'effet de récupération ne devrait pas être attribué à un recuit électrothermique induit par le courant GIDL. Ensuite, la validation

de l'efficacité de la récupération du HCD via la polarisation GIDL a été renforcée par des comparaisons avec des cycles de stress HCD/GIDL à long terme. Ces résultats ouvrent la voie à l'application de la récupération par polarisation GIDL au niveau du transistor, avec une conception de circuit périphérique adaptée. Cette approche offre un potentiel considérable pour améliorer la fiabilité à long terme des circuits intégrés, en permettant une réparation au niveau du composant lui-même.

Dans la seconde partie de notre étude, nous avons décrit chaque mode de dégradation individuellement, ainsi que leurs interactions à travers des séquences de stress successives, allant de basses aux hautes fréquences, ce qui est particulièrement pertinent pour les applications RF et mmW. Ces phénomènes ont été modélisés de façon compacte. Les mesures effectuées à basse fréquence ont révélé la possibilité de générer et de neutraliser des défauts sur des périodes allant de 5s à 1000s. En revanche, les mesures à haute fréquence ont permis de mettre en lumière les temps caractéristiques à court terme associés au piégeage et au dépiégeage des charges, indiquant que la récupération des paramètres peut durer plus de 50ns.

Par ailleurs, l'utilisation d'une configuration de stress et de caractérisation pulsés nous a permis d'analyser le comportement du HCD en fréquence, indépendamment des effets de polarisation GIDL. Cette méthode ouvre des perspectives pour des conditions de stress en AC au-delà du GHz. En s'appuyant sur nos données expérimentales, nous avons établi une corrélation stricte entre la largeur des impulsions de stress et de caractérisation. Nos observations suggèrent que l'effet du HCD sous stress AC à haute fréquence est cohérent avec le modèle en DC.

Conclusion générale

Au terme de cette thèse, nous avons exploré en profondeur les mécanismes de fonctionnement, de dégradation et de récupération des transistors MOS, en portant une attention particulière à la technologie FDSOI 28nm. À travers les différents chapitres, nous avons abordé le fonctionnement du transistor MOSFET, les défis liés à la miniaturisation, ainsi que les solutions technologiques avancées visant à améliorer les performances et la fiabilité des dispositifs. Les mécanismes de dégradation tels que le TDDB et le HCD ont été caractérisés et modélisés, offrant une compréhension approfondie des limites opérationnelles et des perspectives d'optimisation.

Les avancées majeures réalisées au cours de cette étude s'articulent autour de deux axes principaux : l'amélioration de la compréhension du mécanisme de claquage d'oxyde lié au phénomène des porteurs chauds, avec la proposition d'un nouveau modèle complet qui en découle, et l'analyse de l'interaction de la dégradation par porteurs chauds en modes inversion et Off-state.

Le premier chapitre a présenté le domaine de la microélectronique et de la fiabilité. Nous avons introduit la structure du transistor MOS conventionnel, ses différents régimes de fonctionnement, ainsi que les principaux paramètres liés aux performances en termes de vitesse et de consommation des technologies CMOS. Malgré toutes les innovations, le MOS conventionnel sur silicium massif reste limité par son architecture. En effet, la réduction de ses dimensions et l'amincissement du diélectrique de grille en SiON ne sont plus compatibles avec le contrôle des effets de canaux courts (SCE) et les effets parasites en forte saturation, tels que l'effet de l'abaissement de barrière de potentiel dans le canal à fort potentiel de drain (DIBL) et le GIDL.

C'est pourquoi, dans la deuxième partie du premier chapitre, nous décrivons les changements technologiques majeurs qui ont permis le développement des différents nœuds CMOS avancés, en passant de la technologie antérieure sur silicium massif "Bulk" (du 130nm au 40nm Low Power) à une technologie 28LP (28nm Low Power). Le remplacement de la grille classique SiON (ou SiO_2) par un empilement High-K grille métallique (HKMG) a permis un meilleur contrôle des effets parasites. L'étude comparative entre le scaling technologique du C40 et du 28FDSOI a été abordée, car elle permet la poursuite de l'intégration selon la loi de Moore, à court terme vers le nœud 22FD, ainsi que les perspectives vers les nœuds 18FDSOI, 10FDSOI et 7FDSOI pour les prochaines générations. Cela souligne l'importance de l'innovation continue pour répondre aux exigences croissantes en termes de performances et d'intégration. L'accent a été mis sur les principales modifications que cela entraîne en termes de caractéristiques électriques et de paramètres fondamentaux, notamment avec l'utilisation de la tension substrat V_{BS}, qui fait de la technologie FDSOI des dispositifs commandés en

double grille. La polarisation du substrat est mise à profit pour obtenir différents niveaux de performances pour les applications basse consommation et haute fréquence.

Avant d'interpréter les dérives de ces paramètres, il est donc essentiel de connaître les propriétés de ces défauts, qu'il s'agisse des défauts d'oxyde (N_{ot}) ou d'interface (N_{it}). Dans le deuxième chapitre, nous avons tout d'abord expliqué les types de défauts présents dans les structures Si/SiO_2 et particulièrement dans les empilements de grille HKMG-IL et SiON du nœud FDSOI. Nous avons également abordé les impacts de ces défauts sur les paramètres électriques du transistor, tels que la variation de la tension de seuil V_{TH}, la baisse de la mobilité mesurée par la transconductance g_m, ainsi que la diminution du courant de drain I_{DS}.

La deuxième partie s'est attachée à présenter les principaux modes de dégradations abruptes et progressives, tels que les mécanismes du TDDB, BTI et HCD, qui limitent les performances des transistors NMOS et PMOS en les rendant défectueux ou en réduisant le courant I_{on} et en augmentant les tensions de seuil V_{TH}. L'objectif a été de souligner les particularités de chaque mode de dégradation en termes de cinétique temporelle, d'activation en température, et d'uniformité ou de localisation, qui conduisent à une variabilité des paramètres dépendante du temps de contrainte dans les transistors NMOS et PMOS. Dans un premier temps, nous avons présenté les différentes phases de dégradation précédant le claquage final d'oxyde et abordé les aspects statistiques adoptés par les chercheurs lors des études du phénomène de claquage d'oxyde. Conjointement à ces aspects statistiques, nous avons présenté les modèles physiques de génération de défauts rapportés dans la littérature, qui sont à l'origine de la formation du chemin de percolation dans les oxydes empilés $SiO_2/High-K$.

Nous avons ensuite introduit les modèles historiques et récents du HCD, BTI et SHE, les plus avancés de la littérature. La modélisation du HCD a évolué au fil des années, passant d'un modèle en champ latéral à un modèle récent en énergie, basé sur les dépendances en courants ou simplifié en modèle en tension. Ce modèle prend en compte la densité et les différents domaines d'énergie des porteurs, qui sont liés aux différents modes de dégradations et de rupture de la liaison Si-H, SVE, EES et MVE, à l'origine de la dégradation permanente dans les transistors NMOS et PMOS. Nous avons également mentionné les anciens modèles qui ont permis de modéliser le NBTI jusqu'à l'apparition, dans les années 2010, des mesures rapides (de l'ordre de la microseconde et non plus de l'ordre de 0.1s). Les modèles plus récents et avancés de la littérature incluent, entre autres, le modèle Defect Centric, le modèle de l'IIT Bombay et la CET Map. Enfin, nous avons présenté la méthode de thermométrie de résistance de grille, qui permet de caractériser le SHE à l'aide de structures dédiées disposant de connexions supplémentaires de chaque côté de la grille.

Le troisième chapitre constitue le cœur de notre travail de thèse sur le claquage d'oxyde en Off-state, puisqu'il n'existe pas de modèle satisfaisant dans la littérature. En l'absence d'un modèle compact permettant la modélisation du TDDB en Off-state dans une perspective industrielle, nous avons réalisé une large étude expérimentale.

Cette étude visait à obtenir les cinétiques temporelles et les dynamiques spécifiques en fonction de la température, de la tension et de la longueur de canal sur des CMOS, en particulier sur des nœuds allant de 130nm à 28nm.

Le claquage du diélectrique en TDDB Off-state a été associé à la rupture des liaisons ≡ Si–O à l'interface, et le mécanisme du BTBT (Band-to-Band Tunneling) a été identifié comme la composante de courant dominante provoquant la génération de porteurs chauds en mode OFF. Nous avons montré, à travers l'étude du SILC, que les générations de porteurs chauds sont clairement distinctes dans les canaux P et N en raison de la différence du seuil d'énergie d'ionisation par impact ($n_e$lectrons > $n_h$oles). Cependant, l'injection de trous chauds (E > 4,7 eV) est plus dommageable que l'injection d'électrons chauds (E > 3,1 eV) en raison de la différence de hauteur de barrière d'énergie, déclenchant plus facilement un claquage franc (HBD) dans les transistors à canal N, tandis que l'injection d'électrons chauds conduit plutôt à un claquage doux (SBD) dans les PMOS. Il est également observé qu'en TDDB Off-state, le claquage franc ou doux du diélectrique (et non de l'espacer) se produit du milieu du canal jusqu'à l'extension de drain.

C'est d'ailleurs pour étudier le rôle potentiel de l'injection de porteurs chauds en Off-state jusqu'à l'événement de claquage que nous avons d'abord modélisé le TDDB en fonction du champ latéral $E_{Lat} \approx \frac{V_{DS}}{L_G}$, donnant la valeur moyenne du champ électrique dans le canal. L'étude révèle que la dépendance de la longueur de grille en TDDB Off-state peut être attribuée à une fraction de la population de porteurs chauds à travers le champ électrique latéral localisé. Cependant, la modélisation simplifiée du TDDB en fonction du champ latéral moyen ne permet pas de rendre compte de manière satisfaisante des effets de V_{DS} et L_G en raison de la forte dépendance en L_G. Nous avons observé que les résultats de TDDB pour différents V_{DS}, L_G et températures sont corrélés avec le courant initial de grille $I_{GS,Off}(t_0)$ selon une dépendance unique, pour le même niveau de courant de fuite de drain $I_{DS,Off}(t_0)$. Cela a permis le développement d'un modèle de fiabilité compact du TDDB en Off-state basé sur une dépendance en loi de puissance des courants de fuite $I_{GS,Off}$ ou $I_{DS,Off}$. De plus, la cohérence du comportement observé dans différentes technologies suggère que cette modélisation compacte de courant peut être extrapolée à d'autres technologies avancées telles que FinFET, GAA (Gate-All-Around), etc., avec une précision raisonnable.

Au dernier chapitre, nous avons réalisé une étude approfondie sur le mécanisme physique et l'efficacité de la récupération du HCD en utilisant le phénomène du GIDL dans les dispositifs NMOS 28FDSOI. Dans un premier temps, nous avons mis en évidence les interactions potentielles entre ces mécanismes de dégradation HCD et GIDL en mode On et mode Off, et vice versa, à l'aide d'une technique de mesure rapide.

La miniaturisation continue des transistors a mis en exergue le HCD comme un enjeu majeur pour la fiabilité des semi-conducteurs. Les recherches approfondies sur les mécanismes de piégeage associés au HCD ont révélé que tant les pièges d'interface que les pièges d'oxyde jouent un rôle dans la dégradation globale du dispositif. L'analyse appuyée sur le modèle en énergie du HCD a montré que la récupération

du HCD par le GIDL est davantage liée à la décharge des pièges d'oxyde assistée par le champ électrique qu'à l'activation thermique, avec un taux de récupération allant jusqu'à 80% de la dégradation totale HCD en mode MVE.

Le modèle compact d'interaction HCD/GIDL élaboré à partir d'analyses détaillées de la distribution spatiale des pièges se distingue des approches antérieures telles que la somme de dérive et la somme des âges, en intégrant la modélisation du recouvrement des pièges dû au stress HCD par l'effet du GIDL. Nous avons également examiné l'effet de l'auto-échauffement sur le HCD dans des transistors NMOS. Malgré la très faible énergie d'activation liée au HCD ou au GIDL, même en tenant compte du SHE, il a été observé que pour caractériser l'auto-échauffement, il est nécessaire d'utiliser un système de mesure ultra rapide, compte tenu de l'ordre de grandeur de la constante thermique.

Ainsi, dans la seconde partie, nous avons mené des expérimentations pour examiner l'influence de la largeur d'impulsion des patterns de stress sur le HCD et les séquences alternées HCD/GIDL dans des dispositifs NMOS. Toutefois, l'analyse des contraintes en AC requiert une approche plus quantitative et systématique. Pour cela, l'utilisation d'une configuration de stress et de caractérisation pulsés nous a permis d'analyser le comportement du HCD en fréquence, indépendamment des effets du GIDL. Cette méthode ouvre des perspectives pour des conditions de stress en AC au-delà du GHz. En nous appuyant sur nos données expérimentales, nous avons établi une corrélation stricte entre la largeur des impulsions de stress et de caractérisation. Nos observations suggèrent que l'effet du HCD sous stress AC à haute fréquence est cohérent avec le modèle en DC.

En synthèse, cette thèse a exploré en profondeur les enjeux de fiabilité et les différents aspects liés à l'évolution des technologies de fabrication de circuits digitaux et mixtes, en mettant en lumière les défis et les avancées significatives dans ce domaine, offrant des pistes pour des développements futurs visant à concilier performance, consommation et durabilité des transistors. En suivant la trame établie par les chapitres précédents, nous pouvons souligner les points clés suivants :

- **Scaling technologique** : De la transition du nœud technologique 40nm au FDSOI 28nm et au-delà, les avancées en termes d'architecture et de miniaturisation ont été examinées, mettant en avant les nouvelles solutions pour poursuivre l'intégration à des échelles toujours plus fines.
- **Applications digitales vers le RF** : Le contexte de notre étude des applications digitales vers le RF, en passant du mode mixte DC-AC vers l'analogique en fonction de la forme des pulses, a mis en évidence les défis et les opportunités offerts par cette évolution pour répondre aux besoins des communications sans fil et des technologies émergentes.
- **Mécanismes de dégradations** : L'étude approfondie des mécanismes de dégradation primordiaux tels que le TDDB, HCD, SHE et BTI, en considérant les pires cas et la durée de vie des composants, a permis de mieux appréhender les contraintes et les limites des technologies actuelles.
- **Interactions en mode On/Off** : L'analyse des interactions potentielles entre ces

mécanismes de dégradation en mode On et mode Off, et vice versa, a souligné l'importance de comprendre ces transitions pour garantir la fiabilité et la durabilité des circuits électroniques.

— **Critères de fiabilité** : La nécessité d'obtenir des critères de fiabilité réalistes, justifiant le passage des stress en mode DC vers les stress alternés puis AC, a été mise en avant comme un élément essentiel pour garantir le bon fonctionnement des dispositifs électroniques dans des conditions variées.

— **Étude en fréquence pour le fonctionnement RF** : L'importance d'étudier en fréquence les mécanismes de dégradation et leurs interactions, en particulier en lien avec les formes AC du fonctionnement RF, a été soulignée comme une étape cruciale pour optimiser les performances et la fiabilité des circuits RF.

Bibliographie

[1] P. M. Asbeck, N. Rostomyan, M. Özen, B. Rabet et J. A. Jayamon, « Power Amplifiers for mm-Wave 5G Applications: Technology Comparisons and CMOS-SOI Demonstration Circuits », *IEEE Transactions on Microwave Theory and Techniques*, t. 67, n° 7, p. 3099-3109, juill. 2019 (cf. p. 20).

[2] T. Oates, in *IEEE International Reliability Physics Symposium (IRPS)*, Tutorial, 2012 (cf. p. 22).

[3] A. Bravaix, « Hot-Carrier to Cold Carrier Issues in nanoscale CMOS nodes: from Energy Driven to Multiple Particle regime », in *IEEE International Reliability Physics Symposium (IRPS)*, Tutorial, 2014 (cf. p. 23).

[4] X. Garros, A. Divay, J. Lacord, A. Serhan, T. Fache, J. Antonijevic, S. Crémer, V. Knopik, A. Giry, I. Charlet, R. Chouk, A.-S. Royet et al., « A cost effective RF-SOI Drain Extended MOS transistor featuring PSAT=19dBm @28GHz & VDD=3V for 5G Power Amplifier application », in *2023 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2023 (cf. p. 23).

[5] X. Garros, V. Knopik, N. Revil, A. Divay, J. Cluzel, J. Lugo, A. Giry, X. Federspiel, G. Bertrand et F. Cacho, « A very Robust and Reliable 2.7 GHz + 31dBm Si RFSOI Transistor for Power Amplifier Solutions », in *2019 IEEE International Electron Devices Meeting (IEDM)*, 2019, p. 25.5.1-25.5.4 (cf. p. 23).

[6] A. Divay, J. Forest, V. Knopik, J. Hai, N. Revil, J. Antonijevic, A. Michard, F. Cacho, E. Vincent et F. Gaillard, « 65nm RFSOI Power Amplifier Transistor Ageing at mm W frequencies, 14 GHz and 28 GHz », in *2021 International Electron Devices Meeting (IEDM)*, 2021, p. 39.3.1-39.3.4 (cf. p. 23).

[7] J. Hai, F. Cacho, A. Divay, E. Lauga-Larroze, J.-D. Arnould et J. Forest, « Comprehensive Analysis of RF Hot-Carrier Reliability Sensitivity and Design Explorations for 28GHz Power Amplifier Applications », in *2022 IEEE International Reliability Physics Symposium (IRPS)*, 2022, 4B.2.1-4B.2.6 (cf. p. 23, 188).

[8] P. Srinivasan, P. Colestock, T. Samuels, S. Moss, F. Guarin et B. Min, « A novel methodology to evaluate RF reliability for SOI CMOS-based Power Amplifier mmWave applications », in *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2020, 4.B.1-1-4.B.1-4 (cf. p. 23, 225).

[9] T. CHEN, C. ZHANG, W. ARFAOUI, A. BELLAOUAR, S. EMBABI et G. BOSSU, « Excellent 22FDX hot-carrier reliability for PA applications », in *Proceedings of the Radio Frequency Integrated Circuits Symposium (RFIC)*, 2019, p. 27-30 (cf. p. 23, 225).

[10] L. NEGRE, « Caractérisation et modélisation de la fiabilité des transistors MOS en Radio Fréquence », thèse de doct., Université de Grenoble, 2011 (cf. p. 23).

[11] L. NEGRE et al., « Reliability Characterization and Modeling Solution to Predict Aging of 40-nm MOSFET DC and RF Performances Induced by RF Stresses », *IEEE Journal of Solid-State Circuits*, t. 47, n° 5, p. 1075-1083, mai 2012 (cf. p. 23).

[12] JEDEC, JOINT ELECTRON DEVICE ENGINEERING COUNCIL, *JEDEC*, https://www.jedec.org, Accessed: 2023-10-01 (cf. p. 24).

[13] S. E. RAUCH et al., « Considerations for Hot Carrier Modeling in CMOS RF Applications », Presented at the 2018 International Integrated Reliability Workshop (IIRW), 2018 (cf. p. 25).

[14] A. BRAVAIX, E. KUSSENER, D. NEY, X. FEDERSPIEL et F. CACHO, « Hot-carrier induced breakdown events from Off to On mode in NEDMOS », in *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2020, 3A4-1-3A4-6 (cf. p. 26, 149, 174, 193).

[15] M. RAFIQ, « Caractérisation et modélisation de la fiabilité des transistors avancés à diélectriques de haute permittivité et à grille métallique », thèse de doct., EEATS, 2008 (cf. p. 41, 56).

[16] S. M. SZE, *Physics of semiconductor devices*. John Wiley et Sons, 1981 (cf. p. 41, 43, 54).

[17] T. SKOTNICKI, « Transistor MOS et sa technologie de fabrication », in *Encyclopédie Techniques de l'ingénieur*. 2000, chap. E 2430 (cf. p. 43).

[18] S. M. SZE, *Semiconductor devices: Physics and Technology*. John Wiley et Sons, 1985 (cf. p. 44).

[19] *HSPICE User's manual Meta-Software*, Meta-Software, Campbell, California, 1993 (cf. p. 44).

[20] M. MIYAZAKI, « A 1.2-GIPS/W microprocessor using speed-adaptive threshold-voltage CMOS with forward bias », thèse de doct., IEEE Journal of Solid-State Circuits, fév. 2002, p. 210-217 (cf. p. 44).

[21] I. C. CHEN, J. Y. CHOI, T. Y. CHAN, T. C. ONG et C. HU, « The effect of channel hot carrier stressing on gate oxide integrity in MOSFET », in *IRPS 1988*, 1988, p. 1-7 (cf. p. 53).

[22] T. Y. CHAN, A. T. WU, P. K. KO et C. HU, « Effects of the gate-to-drain/source overlap on MOSFET characteristics », *IEEE Electron Device Letters*, t. 8, n° 7, p. 326-328, juill. 1987 (cf. p. 53).

[23] T. SKOTNICKI et F. BŒUF, *Introduction à la Physique du transistor MOS*, 2002 (cf. p. 54).

[24] T. SKOTNICKI, J. A. HUTCHBY, T.-J. KING, H. .-. P. WONG et F. BOEUF, « The end of CMOS scaling: toward the introduction of new materials and structural changes to improve MOSFET performance », *IEEE Circuits and Devices Magazine*, t. 21, n° 1, p. 16-26, 2005 (cf. p. 54).

[25] A. BRAVAIX, *Device Reliability*, Course in Master in Microelectronics & Manufacturing Management, ST University, 1.2 Quality Systems & Reliability Part 2, 2006 (cf. p. 54, 55).

[26] X. GARROS, « Caractérisation et modélisation de l'oxyde d'Hafnium comme alternative à la silice pour les futures technologies CMOS submicroniques », thèse de doct., Aix-Marseille 1, 2004 (cf. p. 55).

[27] S. CRISTOLOVEANU et S. S. LI, *Electrical Characterization of Silicon-On-Insulator Materials and Devices*. 1995 (cf. p. 57, 58, 61).

[28] G. K. CELLER et S. CRISTOLOVEANU, « Frontiers of silicon-on-insulator », *Journal of Applied Physics*, t. 93, n° 9, 2003 (cf. p. 57, 58, 61).

[29] A. VANDOOREN et al., « Fully-Depleted SOI Devices With TaSiN Gate, HfO2 Gate Dielectric, and Elevated Source/Drain Extensions », *IEEE Electron Device Letters*, t. 24, n° 5, p. 342-344, 2003 (cf. p. 58).

[30] C. FENOUILLET-BERANGER et al., « Fully-Depleted SOI Technology using High-K and SingleMetal Gate for 32nm Node LSTP Applications featuring 0.179µm2 6T-SRAM bitcell », in *IEEE International Electron Devices Meeting*, 2007, p. 6-9 (cf. p. 58).

[31] S. CRISTOLOVEANU et G. CELLER, *SOI Materials and Devices*. 2008 (cf. p. 58, 59).

[32] S. MARKOV et al., « Drain Current Collapse in Nanoscaled Bulk MOSFETs due to Random Dopant Compensation in the Source/Drain Extensions », *IEEE Transactions on Electron Devices*, t. 58, n° 8, p. 2385-2393, 2011 (cf. p. 60).

[33] D. ANGOT, « Fiabilité et Variabilité Temporelle des Technologies CMOS FDSOI 28-20nm, du Transistor au Circuit Intégré », thèse de doct., 2014 (cf. p. 60, 61).

[34] J.-P. COLINGE, *Physique des dispositifs semi-conducteurs*. DEBOEK, 1996 (cf. p. 61).

[35] T. SKOTNICKI, « Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia », *IEEE Transactions on Electron Devices*, t. 55, n° 1, p. 69-130, 2008 (cf. p. 61).

[36] J. NOEL, « Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques », thèse de doct., 2011 (cf. p. 61).

[37] H. K. LIM et J. G. FOSSUM, « Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's », *IEEE Transactions on Electron Devices*, t. 30, n° 10, p. 1244-1251, 1983 (cf. p. 61).

[38] S. CRISTOLOVEANU, « Monitoring Transistor Degradation », in *Electrical Characterization of Silicon-On-Insulator Materials and Devices*. 1999, p. 337 (cf. p. 61).

[39] G. GHIBAUDO, « New Method for the Extraction of MOSFETs Parameters », *IEEE Electron Device Letters*, t. 24, n° 9, p. 543-545, 1988 (cf. p. 62, 77).

[40] C. MOURRAIN et al., « New method for Parameter Extraction in Deep Submicrometer MOSFET », in *IEEE Proc. Int. Conference on Microelectronic Test Structures*, 2000, p. 181-186 (cf. p. 62).

[41] D. FLEURY et al., « Automatic Extraction methodology for Accurate measurements of Effective Channel length on 65nm MOSFET Technology and below », *IEEE Trans. on Semiconductor Manufacturing*, t. 21, n° 4, p. 504-516, 2008 (cf. p. 62).

[42] C. GUÉRIN, V. HUARD et A. BRAVAIX, « General framework about defect creation at Si/SiO2 interface », *Journal of Applied Physics*, t. 105, p. 114 513, 2009 (cf. p. 66, 108, 109, 147, 191).

[43] W. ARFAOUI et al., « Energy-driven Hot-Carrier model in advanced nodes », in *2014 IEEE International Reliability Physics Symposium*, Waikoloa, HI, USA, 2014, XT.12.1-XT.12.5 (cf. p. 66, 128, 129, 189, 211).

[44] F. J. GRUNTHANER, P. J. GRUNTHANER, R. P. VASQUEZ, B. F. LEWIS, J. MASERJIAN et A. MADHUKAR, « High-Resolution X-Ray Photoelectron Spectroscopy as a Probe of Local Atomic Structure: Application to Amorphous SiO2 and the Si-SiO2 Interface », *Phys. Rev. Lett.*, t. 43, p. 1683, 1979 (cf. p. 67).

[45] A. A. DEMKOV et O. F. SANKEY, « Growth Study and Theoretical Investigation of the Ultrathin Oxide SiO2-Si Heterojunction », *Phys. Rev. Lett.*, t. 83, p. 2038, 1999 (cf. p. 67).

[46] A. BRAVAIX et al., « Hot-carrier damage in ac-stressed deep submicrometer CMOS technologies », in *IEEE International Integrated Reliability Workshop Final Report*, 1999, p. 61-65 (cf. p. 67, 77).

[47] T. DIGILIO, « Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 µm - 2nm », thèse de doct., 2006 (cf. p. 67).

[48] B. BALLAND et G. BARBOTTIN, « Trapping and detrapping kinetics impact on C (V) and I (V) curves », in *Instabilities in silicon devices 2*. 1989, p. 17-18 (cf. p. 68).

[49] D. J. DIMARIA, « The properties of electron and holes trap in thermal SiO2 layers », in *The physics of SiO2 and its interface*, S. T. PANTELIDES, éd. New York : Pergamon, 1979, p. 160 (cf. p. 69).

[50] B. E. DEAL, « Standardized Terminology for Oxide Charges Associated with Thermally Oxidized Silicon », *IEEE Transactions on Electron Devices*, t. 27, p. 606, 1980 (cf. p. 69).

[51] T. R. OLDHAM et F. B. MCLEAN, « Total ionizing dose effects in MOS oxides and devices », *IEEE Transactions on Nuclear Science*, t. 50, n° 3, 2003 (cf. p. 69).

[52] S. BERNARDINI, « Modélisation des structures Metal-Oxyde-Semiconducteur (MOS): Applications aux dispositifs mémoires », thèse de doct., Université Aix-Marseille I, 2004 (cf. p. 70).

[53] Y. NISHI, « Study of Silicon-Silicon Dioxide Structure by Electron Spin Resonance I », *Japanese Journal of Applied Physics*, t. 10, n° 1, p. 52-62, 1971 (cf. p. 70, 71).

[54] P. M. LENAHAN, N. A. BOHNA et J. P. CAMPBELL, « Radiation-Induced Interface Traps in MOS Devices: Capture Cross Section and Density of States of Pb1 Silicon Dangling Bond Centers », *IEEE Transactions on Nuclear Science*, t. 49, p. 2708, 2002 (cf. p. 70-73).

[55] M. DENAIS, « Etude des phénomènes de dégradation de type NBTI dans les transistors MOS submicroniques des filières CMOS avancées », thèse de doct., Université Aix-Marseille I, 2005 (cf. p. 70, 195).

[56] A. STIRLING, A. PASQUARELLO, J.-C. CHARLIER et R. CAR, « Dangling Bond Defects at Si-SiO2 Interfaces: Atomic Structure of the Pb1 Center », *Physical Review Letters*, t. 85, p. 2773, 2000 (cf. p. 71).

[57] J. P. CAMPBELL, P. M. LENAHAN, C. J. COCHRANE, A. T. KRISHNAN et S. KRISHNAN, « Atomic scale defects involved in the negative-bias temperature instability », *IEEE Transactions on Device and Materials Reliability*, p. 540-557, 2007 (cf. p. 71, 73).

[58] A. STESMANS et V. V. AFANAS'EV, « Electrical activity of interfacial paramagnetic defects in thermal (100) Si/SiO2 », *Physical Review*, t. 57, p. 10 030-10 034, 1998 (cf. p. 71).

[59] J. W. MCPHERSON, « Extended mie-gruneisen molecular model for time dependent dielectric breakdown in silica detailing the Cristal roles of Osi=O3 tetragonal bonding, stretched bonds, hole capture, and hydrogen release », *Journal of Applied Physics*, t. 99, 2006 (cf. p. 72).

[60] S. P. KARNA, H. A. KURTZ et W. M. SHEDD, « New fundamental defects in a-SiO2 », *IEEE Transactions on Nuclear Sciences*, t. 46, n° 6, p. 1544-1952, 2000 (cf. p. 72).

[61] S. AGNELLO, « Gamma ray induced processes of point defect conversion in silica », thèse de doct., University of Palerme, 2000, p. 60 (cf. p. 72).

[62] M. COOK et C. T. WHITE, « Hyperfine interactions in cluster models of the Pb defect center », *Physical Review*, t. 38, n° 14, p. 9674-9685, 1988 (cf. p. 72).

[63] D. L. GRISCOM et E. L. FRIEBELE, « Fundamental radiation-induced defect centers in synthetic fused silicas: Atomic chlorine, delocalized E' centers, and a triplet state », *Physical Review*, t. 34, p. 7524-7533, 1986 (cf. p. 73).

[64] C. R. PARTHASARATHY, M. DENAIS, V. HUARD, G. RIBES, D. ROY, C. GUERIN, F. PERRIER, E. VINCENT et A. BRAVAIX, « Designing in reliability in advanced CMOS technologies », *Microelectronics Reliability*, t. 46, n° 9-11, p. 1464-1471, 2006 (cf. p. 74).

[65] N. GOEL, S. MUKHOPADHYAY, N. NANAWARE, S. DE, R. K. PANDEY, K. V. R. M. MURALI et S. MAHAPATRA, « A Comprehensive DC/AC Model for Ultra-Fast NBTI in Deep EOT Scaled HKMG p-MOSFETs », in *IEEE International Reliability Physics Symposium (IRPS)*, 2014, 6A.4.1-6A.4.12 (cf. p. 74, 75).

[66] M. A. ALAM, H. KUFLUOGLU, D. VARGHESE et S. MAHAPATRA, « A comprehensive model for Pmos NBTI degradation: Recent progress », *Microelectronics Reliability*, t. 47, n° 6, p. 853-862, 2007 (cf. p. 76).

[67] S. MAHAPATRA, A. E. ISLAM, S. DEORA, V. D. MAHETA, K. JOSHI, A. JAIN et M. A. ALAM, « A critical re-evaluation of the usefulness of R-D framework in predicting NBTI stress and recovery », in *International Reliability Physics Symposium Proceedings*, 2011, 6A.3.1 (cf. p. 76).

[68] S. MAHAPATRA, N. GOEL, S. DESAI, S. GUPTA, B. JOSE, S. MUKHOPADHYAY, K. JOSHI, A. JAIN, A. E. ISLAM et M. A. ALAM, « A comparative study of different physics-based NBTI models », *IEEE Transactions on Electron Devices*, t. 60, p. 901, 2013 (cf. p. 76).

[69] T. GRASSER, H. REISINGER, P.-J. WAGNER, F. SCHANOVSKY, W. GOES et B. KACZER, « The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability », in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 16-25 (cf. p. 76).

[70] T. GRASSER et al., « The paradigm shift in understanding the bias temperature instability: From reaction–diffusion to switching oxide traps », *IEEE Transactions on Electron Devices*, t. 58, n° 11, p. 3652-3666, 2011 (cf. p. 76).

[71] T. GRASSER, K. ROTT, H. REISINGER, M. WALTL, F. SCHANOVSKY et B. KACZER, « NBTI in Nanoscale MOSFETs—The Ultimate Modeling Benchmark », *IEEE Transactions on Electron Devices*, t. 61, n° 11, p. 3586-3593, 2014 (cf. p. 76).

[72] V. HUARD et al., « Design-in-Reliability Approach for NBTI and Hot-Carrier Degradations in Advanced Nodes », *IEEE Transactions on Device and Materials Reliability*, t. 7, n° 4, p. 558-570, 2007 (cf. p. 76).

[73] D. K. SCHRODER et J. A. BABCOCK, « Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing », *Journal of Applied Physics*, t. 94, n° 1, p. 1-18, 2003 (cf. p. 77).

[74] D. FLEURY, « Contribution à l'étude expérimentale du transport dans les transistors de dimensions deca nanométrique des technologies CMOS sub 45nm », thèse de doct., Institut national polytechnique de Grenoble, 2008 (cf. p. 77).

[75] S. C. SUN et J. PLUMMER, « Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces », *IEEE Transactions on Electron Devices*, t. 27, p. 1497, 1980 (cf. p. 80).

[76] C. GUERIN, V. HUARD, A. BRAVAIX et M. DENAIS, « Impact of Hot Carrier Degradation Modes on I/O nMOSFETS Aging Prediction », in *IEEE International Integrated Reliability Workshop*, 2006, p. 63-67 (cf. p. 80, 81).

[77] G. GROESENEKEN, H. E. MAES, N. BELTRAN et R. F. D. KEERSMAECKER, « A reliable Approach to Charge-Pumping Measurements in MOS transistors », *IEEE Transactions on Electron Devices*, t. 31, p. 42, 1984 (cf. p. 80).

[78] A. BRAVAIX et al., « Impact of the gate-stack change from 40nm node SION to 28nm high-k metal gate on the hot-carrier and bias temperature damage », in *IEEE International Reliability Physics Symposium*, 2013, p. 2D.6.1-2D.6.9 (cf. p. 81).

[79] R. H. FOWLER et L. NORDHEIM, « Electron Emission in Intense Electric Fields », *Proceedings of the Royal Society of London*, t. 119, n° 781, p. 173-181, 1928 (cf. p. 84).

[80] *Procedure for the Wafer-Level Testing of Thin Dielectrics*, JEDEC STANDARD, 2001 (cf. p. 85).

[81] E. S. SNYDER et J. SUEHLEL, « Detecting Breakdown in Ultra-thin Dielectrics Using a Fast Voltage Ramp », in *IEEE International Integrated Reliability Workshop*, 1999, p. 118-123 (cf. p. 85).

[82] A. KERBER et al., « Reliability screening of high-k dielectrics based on voltage ramp stress », *Microelectronics Reliability*, t. 47, n° 4-5, p. 513-517, 2007 (cf. p. 85).

[83] J. SUÑÉ et al., « On the Breakdown Statistics of thin SiO2 Films », in *Conduction and Breakdown in Solid Dielectrics*, 1989 (cf. p. 87).

[84] R. DEGRAEVE, G. GROESENEKEN, R. BELLENS, M. DEPAS et H. MAES, « A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides », in *International Electron Devices Meeting*, 1995, p. 863-866 (cf. p. 88).

[85] R. DEGRAEVE et al., « New insights in the relation between electron trap generation and the statistical properties of oxide breakdown », *IEEE Transactions on Electron Devices*, t. 45, n° 4, p. 904-911, 1998 (cf. p. 88-90).

[86] J. SUNE, « New physics-based analytic approach to the thin-oxide breakdown statistics », *IEEE Electron Device Letters*, t. 22, n° 6, p. 296-298, 2001 (cf. p. 88, 89).

[87] J. H. STATHIS, « Percolation models for gate oxide breakdown », *Journal of Applied Physics*, t. 86, n° 10, p. 5757-5766, 1999 (cf. p. 88, 90).

[88] P. E. NICOLLIAN, A. T. KRISHNAN, C. BOWEN, S. CHAKRAVARTHI, C. A. CHANCELLOR et R. B. KHAMANKAR, « The roles of hydrogen and holes in trap generation and breakdown in ultra-thin SiON dielectrics », in *IEEE International Electron Devices Meeting*, 2005 (cf. p. 89, 163).

[89] J. H. STATHIS, « Physical and predictive models of ultrathin oxide reliability in CMOS devices and circuits », *IEEE Transactions on Device and Materials Reliability*, t. 1, n° 1, p. 43-59, 2001 (cf. p. 89).

[90] M. A. ALAM, J. BUDE, B. WEIR, P. SILVERMAN, A. GHETTI, D. MONROE, K. P. CHEUNG et S. MOCCIO, « An Anode Hole Injection Percolation Model for Oxide Breakdown - The Doom's day Scenario revisited », in *IEEE International Electron Devices Meeting*, 1999, p. 715-720 (cf. p. 90).

[91] D. R. WOLTERS et J. F. VERWEY, « Instabilities in Silicon Devices », in Elsevier Science Publishers B.V. (North-Holland), 1986, chap. 6, p. 332-335 (cf. p. 90).

[92] T. NIGAM, R. DEGRAEVE, G. GROESENEKEN, M. M. HEYNS et H. E. MAES, « Constant current charge-to-breakdown: Still a valid tool to study the reliability of MOS structures », in *International Reliability Physics Symposium Proceedings*, 1998 (cf. p. 90).

[93] G. RIBES, « Caractérisation et fiabilité des oxydes ultra fins et des diélectriques à forte permittivité issues des technologies CMOS 45nm et en deçà », thèse de doct., Institut National Polytechnique de Grenoble, 2005 (cf. p. 91).

[94] A. BEZZA, « Caractérisation et modélisation du phénomène de claquage dans les oxydes de grille à forte permittivité, en vue d'améliorer la durée de vie des circuits issus des technologies 28nm et au-delà », thèse de doct., Grenoble Alpes, 2016 (cf. p. 91).

[95] E. Y. WU et J. SUÑÉ, « Power law voltage acceleration: A key element for ultrathin gate oxide reliability », *Microelectronics Reliability*, t. 45, p. 1809-1834, 2005 (cf. p. 92).

[96] S. TYAGINOV et al., « Physics-Based Hot-Carrier Degradation Models », *Electrochemical Society Transactions*, t. 35, n° 4, 2011 (cf. p. 94, 144, 147).

[97] T. Y. CHAN, P. K. KO et C. HU, « Dependence of channel electric field on device scaling », *IEEE Electron Device Letters*, t. 6, n° 10, p. 551-553, 1985 (cf. p. 94).

[98] J. E. CHUNG, M. C. JENG, G. MAY, P. K. KO et C. HU, « Hot-Electron Currents in Deep-Submicrometer MOSFETS's », in *IEEE International Electron Devices Meeting Technical Digest*, 1988, p. 200 (cf. p. 94).

[99] A. BRAVAIX, C. GUERIN, V. HUARD, D. ROY, J.-M. ROUX et E. VINCENT, « Hot-Carrier Acceleration Factors for Low Power Management in DC-AC stressed 40nm NMOS node at High Temperature », in *IEEE International Reliability Physics Symposium Proceedings*, 2009, p. 531-548 (cf. p. 95).

[100] A. BRAVAIX et al., « Hot-carrier to cold-carrier issues in nanoscale CMOS nodes: From energy driven to multiple particle regime », in *IEEE International Reliability Physics Symposium Tutorial*, 2014 (cf. p. 95).

[101] W. ARFAOUI, « Fiabilité Porteurs Chaud (HCI) des transistors FDSOI 28nm High-K grille métal », thèse de doct., Université d'Aix-Marseille et Sud Toulon-Var, 2015 (cf. p. 96, 101).

[102] E. TAKEDA, N. SUZUKI et T. HAGIWARA, « Device performance degradation due to hot-carrier injection at energies below the Si-SiO2 energy barrier », in *IEEE International Electron Devices Meeting*, 1983, p. 396 (cf. p. 98, 105).

[103] C. HU, « Lucky-electron model of channel hot electron emission », in *IEEE International Electron Devices Meeting*, 1979, p. 25-22 (cf. p. 98).

[104] T. H. NING, P. W. COOE, R. H. DENNARD, C. M. OSBRUN, S. E. SCHUSTER et H.-N. YU, « 1 pm MOSFET VLS'l Technology: Part IV - Hot-Electron Design Constraints », *IEEE Transactions on Electron Devices*, t. 26, p. 346, 1979 (cf. p. 99).

[105] A. BRAVAIX, D. GOGUENHEIM, N. REVIL et E. VINCENT, « Hot-carrier reliability study of second and first impact ionization degradation in 0.15-mm channel-length NMOSFETS », *Microelectronic Engineering*, t. 59, p. 101, 2001 (cf. p. 99).

[106] A. MIHNEA, P. J. RUDECK, C. CHEN, K. D. PRALL et R. GHODSI, « Direct Observation of Secondary Ionization Current in n-Channel MOSFETs », *IEEE Transactions on Electron Devices*, t. 49, p. 2301, 2002 (cf. p. 99).

[107] E. TAKEDA et N. SUZUKI, « An Empirical Model for Device degradation Due to Hot-Carrier Injection », *IEEE Electron Device Letters*, t. 4, p. 111, 1983 (cf. p. 100).

[108] E. TAKEDA, N. SUZUKI et T. HAGIWARA, « Role of Hot-Hole Injection in Hot-Carrier effects and the Small Degraded Channel Region in MOSFET'S », *IEEE Electron Device Letters*, t. 4, p. 329, 1983 (cf. p. 100, 103, 135, 169, 174).

[109] C. HU, S. C. TAM, F.-C. HSU, P.-K. KO, T.-Y. CHAN et K. W. TERRILL, « Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and improvement », *IEEE Transactions on Electron Devices*, t. 32, p. 375, 1985 (cf. p. 100, 102, 103, 105, 135, 169).

[110] S. TAM, P.-K. KO et C. HU, « Lucky-Electron Model of Channel Hot-Electron Injection in MOSFET's », *IEEE Transactions on Electron Devices*, t. 31, p. 1116, 1984 (cf. p. 102, 135, 169).

[111] J. E. CHUNG, M.-C. JENG, J. E. MOON, P.-K. KO et C. HU, « Low-Voltage Hot-Electron Currents and Degradation in Deep-Submicrometer MOSFET's », *IEEE Transactions on Electron Devices*, t. 37, p. 1651, 1990 (cf. p. 102).

[112] J. J. TZOU, C. C. YAO, R. CHEUNG et H. W. K. CHAN, « Hot-Carrier-Induced Degradation in P-Channel LDD MOSFET's », *IEEE Electron Device Letters*, t. 7, p. 5, 1986 (cf. p. 102, 169).

[113] W. MCMAHON, K. MATSUDA, J. LEE, K. HESS et J. LYDING, « The Effect of a Multiple Carrier Model of Interface Trap Generation on Lifetime Extraction for MOSFETs », in *International Conference on Modeling and Simulation of Microsystems*, t. 1, 2002, p. 576 (cf. p. 103).

[114] W. MCMAHON, A. HAGGAG et K. HESS, « Reliability Scaling Issues for Nanoscale Devices », *IEEE Transactions on Nanotechnology*, t. 2, n° 1, p. 33-38, 2003 (cf. p. 103).

[115] S. TYAGINOV et al., « On the importance of electron–electron scattering for hot-carrier degradation », *Japanese Journal of Applied Physics*, 2015 (cf. p. 103).

[116] N. KOIKE et K. TATSUUMA, « A drain avalanche hot carrier lifetime model for n- and p-channel MOSFETs », *IEEE Transactions on Device and Materials Reliability*, t. 4, n° 3, p. 457-466, 2004 (cf. p. 104).

[117] S. TAM, F. C. HSU, C. HU, R. S. MULLER et P. K. KO, « Hot-Electron Currents in Very Short Channel MOSFET's », *IEEE Electron Device Letters*, t. 7, p. 249, 1983 (cf. p. 105).

[118] M. V. FISCHETTI et S. E. LAUX, « Monte Carlo study of sub-band-gap impact ionization in small silicon field-effect transistors », in *IEEE International Electron Devices Meeting*, 1995, p. 305 (cf. p. 105).

[119] P. A. CHILDS et C. C. C. LEUNG, « A one-dimensional solution of the Boltzmann transport equation including electron–electron interactions », *Journal of Applied Physics*, t. 79, p. 222, 1996 (cf. p. 105).

[120] J. D. BUDE, T. IIZUKA et Y. KAMAKURA, « Determination of Threshold Energy for Hot Electron Interface State Generation », in *IEEE International Electron Devices Meeting*, 1996, p. 865 (cf. p. 105).

[121] S. E. RAUCH, F. J. GUARIN et G. LAROSA, « Impact of E–E Scattering to the Hot Carrier Degradation of Deep Submicron NMOSFET's », *IEEE Electron Device Letters*, t. 19, p. 463, 1998 (cf. p. 105, 107, 108, 135).

[122] S. E. RAUCH et G. L. ROSA, « The Energy-Driven Paradigm of NMOSFET Hot-Carrier Effects », *IEEE Transactions on Device and Materials Reliability*, t. 5, p. 701, 2005 (cf. p. 105, 106, 147, 191).

[123] L. V. KELDYSH, « Kinetic theory of impact ionization in semiconductors », *Soviet Physics JETP*, t. 10, p. 509, 1960 (cf. p. 105).

[124] C. GUÉRIN, « Etude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique », thèse de doct., Université d'Aix-Marseille, 2008 (cf. p. 106).

[125] S. E. RAUCH, G. L. ROSA et F. J. GUARIN, « Role of E–E Scattering in the Enhancement of Channel Hot Carrier Degradation of Deep-Submicron NMOSFETs at High VGS Conditions », *IEEE Transactions on Device and Materials Reliability*, t. 1, p. 113, 2001 (cf. p. 107, 124).

[126] C. GUERIN, V. HUARD et A. BRAVAIX, « The energy-driven hot carrier degradation modes of nMOSFETs », *IEEE Transactions on Device and Materials Reliability*, t. 7, p. 225, 2007 (cf. p. 109, 110).

[127] M. RANDRIAMIHAJA, V. HUARD, X. FEDERSPIEL, A. ZAKA, P. PALESTRI, D. RIDEAU, D. ROY et A. BRAVAIX, « Microscopic scale characterization and modeling of transistor degradation under HC stress », *Microelectronics Reliability*, t. 52, p. 2513-2520, 2012 (cf. p. 109).

[128] M. RANDRIAMIHAJA, X. FEDERSPIEL, V. HUARD et A. BRAVAIX, « New Hot-Carrier Degradation Modeling Reconsidering the Role of EES in Ultra-short N-Channel MOSFETs », in *IEEE International Reliability Physics Symposium*, 2013, XT1.1-XT1.4 (cf. p. 109).

[129] B. N. J. PERSSON et P. AVOURIS, « Local bond breaking via STM-induced excitations: the role of temperature », *Surface Science*, t. 390, p. 45, 1997 (cf. p. 109).

[130] B. E. DEAL et al., « Characteristics of the Surface-State charge (QSS) of thermally oxidized silicon », *Solid State Science*, t. 114, n° 3, p. 266-274, 1967 (cf. p. 110).

[131] M. DENAIS, V. HUARD, C. PARTHASARATHY, G. RIBES, F. PERRIER, N. REVIL et A. BRAVAIX, « Interface Trap Generation and Hole Trapping Under NBTI and PBTI in Advanced CMOS Technology With a 2-nm Gate Oxide », *IEEE Transactions on Device and Materials Reliability*, t. 4, p. 715, 2004 (cf. p. 111).

[132] C. NDIAYE, « Etude de la fiabilité de type negative bias temperature instability (NBTI) et par porteurs chauds (HC) dans les filières CMOS 28nm et 14nm FDSOI », thèse de doct., Aix-Marseille University, 2017 (cf. p. 111).

[133] V. HUARD, C. GUERIN, C. PARTHASARTHY, K. ROMANJEK et S. VANBERGUE, « Identification of a new positive bias aging failure mode in n-channel mosfets with plasma-nitrided sio2 oxide », in *IEEE International Reliability Physics Symposium*, 2007, p. 686 (cf. p. 111).

[134] W. ABADEER et W. TONTI, « Bias temperature reliability of N+ and P+ polysilicon gated NMOSFETs and PMOSFETs », in *IEEE International Reliability Physics Symposium*, 1993, p. 147 (cf. p. 111).

[135] E. H. SNOW, A. S. GROVE, B. E. DEAL et C. T. SAH, « Ion transport phenomena in insulating films », *Journal of Applied Physics*, t. 36, p. 1664, 1965 (cf. p. 111).

[136] K. O. JEPPSON et C. M. SVENSSON, « Negative bias stress of MOS devices a high electric fields and degradation of MNOS devices », *Journal of Applied Physics*, t. 48, p. 2004, 1977 (cf. p. 112).

[137] S. OGAWA et N. SHIONO, « Generalized diffusion-reaction model for the low-field charge buildup instability at the Si-SiO2 interface », *Physical Review B*, t. 51, p. 4218, 1995 (cf. p. 112).

[138] M. A. ALAM et S. MAHAPATRA, « A comprehensive model of PMOS NBTI degradation », *Microelectronics Reliability*, t. 45, p. 71, 2005 (cf. p. 112, 113).

[139] S. MAHAPATRA et M. A. ALAM, « A predictive reliability model for PMOS bias temperature degradation », in *IEEE International Electron Devices Meeting*, 2002, p. 505 (cf. p. 112).

[140] A. SUBIRATS, « Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors déca nanométriques et des mémoires SRAM en technologie FDSOI », thèse de doct., Université de Grenoble, 2015 (cf. p. 113, 114, 118, 119, 194, 212, 234).

[141] T. GRASSER, W. GÖS, V. SVERDLOV et B. KACZER, « The Universality of NBTI Relaxation and Its Implications for Modeling and Characterization », in *IEEE International Reliability Physics Symposium*, 2007, p. 268-280 (cf. p. 114).

[142] B. KACZER, T. GRASSER, P. J. ROUSSEL, J. MARTIN-MARTINEZ, R. O'CONNOR, B. J. O'SULLIVAN et G. GROESENEKEN, « Ubiquitous Relaxation in BTI stressing New Evaluation and Insights », in *IEEE International Reliability Physics Symposium*, 2008, p. 20-27 (cf. p. 114).

[143] T. L. T. III, « Relaxation Effects in MOS Devices due to Tunnel Exchange with Near-Interface Oxide Traps », thèse de doct., Massachusetts Institute of Technology, 1992 (cf. p. 115).

[144] M. A. ALAM, « A Critical Examination of the Mechanics of Dynamic NBTI for PMOSFETs », in *IEEE International Electron Devices Meeting*, 2003, p. 345 (cf. p. 115).

[145] J. F. ZHANG, M. H. CHANG et G. GROESENEKEN, « Effects of Measurement Temperature on NBTI », *IEEE Electron Device Letters*, t. 28, p. 298, 2007 (cf. p. 115).

[146] D. NOUGUIER, « Etude statistique et modélisation de la dégradation NBTI pour les technologies CMOS FDSOI et BULK », thèse de doct., Université Grenoble Alpes, 2018 (cf. p. 115, 117).

[147] V. HUARD, C. PARTHASARATHY, N. RALLET, C. GUERIN, M. MAMMASE, D. BARGE et C. OUVRARD, « New characterization and modeling approach for NBTI degradation from transistor to product level », in *IEEE International Electron Devices Meeting*, 2007, p. 797 (cf. p. 116, 231).

[148] H. REISINGER, T. GRASSER, W. GUSTIN et C. SCHLUNDER, « The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress », in *IEEE International Reliability Physics Symposium*, 2010, p. 7 (cf. p. 117, 118).

[149] B. M. TENBROEK, M. S. L. LEE, W. REDMAN-WHITE, J. T. BUNYAN et M. J. UREN, « Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques », *IEEE Transactions on Electron Devices*, t. 43, n° 12, p. 2240-2248, déc. 1996 (cf. p. 121).

[150] P. G. MAUTRY et J. TRAGER, « Self-heating and temperature measurement in sub-μm-MOSFETs », in *Proceedings of ESSDERC*, t. 3, Berlin, Germany : Springer, sept. 1989, p. 675-678 (cf. p. 121).

[151] K. TRIANTOPOULOS, M. CASSÉ, S. BARRAUD, S. HAENDLER, E. VINCENT, M. VINET, F. GAILLARD et G. GHIBAUDO, « Self-Heating Effect in FDSOI Transistors Down to Cryogenic Operation at 4.2 K », *IEEE Transactions on Electron Devices*, t. 66, n° 8, p. 3498-3505, août 2019 (cf. p. 122).

[152] J. M. ROUX, X. FEDERSPIEL, D. ROY et P. ABRAMOWITZ, « Correction of Self-Heating for HCI Lifetime Prediction », in *2007 IEEE International Reliability Physics Symposium Proceedings. 45th Annual*, Phoenix, AZ, USA, 2007, p. 281-287 (cf. p. 122, 123, 208).

[153] R. BISWAS, Y.-P. LI et B. C. PAN, « Enhanced stability of deuterium in silicon », *Applied Physics Letters*, t. 72, p. 3500, 1998 (cf. p. 124).

[154] W. ARFAOUI, X. FEDERSPIEL, P. MORA, M. RAFIK, D. ROY et A. BRAVAIX, « Experimental analysis of defect nature and localization under hot-carrier and bias temperature damage in advanced CMOS nodes », in *2013 IEEE International Integrated Reliability Workshop Final Report*, South Lake Tahoe, CA, USA, 2013, p. 78-83 (cf. p. 125, 126).

[155] D. ANGOT, V. HUARD, X. FEDERSPIEL, F. CACHO et A. BRAVAIX, « Bias temperature instability and hot carrier circuit ageing simulations specificities in UTBB FDSOI 28nm node », in *2013 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, 2013, p. 5D.2.1-5D.2.5 (cf. p. 127).

[156] Y. TAUR et T. H. NING, *Fundamentals of Modern VLSI Devices*. Cambridge University Press, 1998 (cf. p. 128).

[157] T. GARBA-SEYBOU, A. BRAVAIX, X. FEDERSPIEL et F. CACHO, « Modeling hot carrier damage interaction between on and off modes for 28 nm AC RF applications », *Microelectronics Reliability*, t. 126, p. 114 342, 2021 (cf. p. 129, 130, 146, 188, 202, 212).

[158] W. ARFAOUI, X. FEDERSPIEL, A. BRAVAIX, P. MORA, A. CROS et D. ROY, « Application of compact HCI model to prediction of process effect in 28FDSOI technology », in *2014 IEEE International Integrated Reliability Workshop Final Report (IIRW)*, South Lake Tahoe, CA, USA, 2014, p. 69-72 (cf. p. 131, 132, 134).

[159] T. GARBA-SEYBOU, X. FEDERSPIEL, A. BRAVAIX et F. CACHO, « Analysis of the interactions of HCD under “On” and “Off” state modes for 28nm FDSOI AC RF modelling », in *IEEE International Reliability Physics Symposium (IRPS)*, 2021, p. 31-35 (cf. p. 130, 146, 188, 197, 200).

[160] T. .-. SHEN, C. WANG, G. C. ABELN, J. R. TUCKER, J. W. LYDING, P. AVOURIS et R. E. WALKUP, « Atomic-Scale Desorption Through Electronic and Vibrational Excitation Mechanisms », *Science*, t. 268, p. 1590, 1995 (cf. p. 135).

[161] T.-C. CHEN, « Challenges for silicon technology scaling in the nanoscale era », in *ESSCIRC*, 2009, p. 1-7 (cf. p. 138).

[162] S. KUPKE, S. KNEBEL, S. RAHMAN, S. SLESAZECK, T. MIKOLAJICK, R. AGAIBY et M. TRENTZSCH, « Dynamic off-state TDDB of ultra short channel HKMG nFETS and its implications on CMOS logic reliability », in *2014 IEEE International Reliability Physics Symposium*, 2014, 5B.1.1-5B.1.6 (cf. p. 139, 149, 150, 156, 175, 178).

[163] A. KERBER, K. MAITRA, A. MAJUMDAR, M. HARGROVE, R. J. CARTER et E. A. CARTIER, « Characterization of Fast Relaxation During BTI Stress in Conventional and Advanced CMOS Devices With HfO2/TiN Gate Stacks », *IEEE Transactions on Electron Devices*, t. 55, p. 3175-3183, 2008 (cf. p. 139).

[164] E. WU, E. NOWAK et W. LAI, « Off-state mode TDDB reliability for ultra-thin gate oxides: New methodology and the impact of oxide thickness scaling », in *International Reliability Physics Symposium (IRPS)*, 2004 (cf. p. 139).

[165] S. PARK, J. KANG, B. SO et D. BAEK, « Gate oxide integrity by initial gate current », in *2009 IEEE International Integrated Reliability Workshop Final Report*, 2009, p. 113-116 (cf. p. 141, 142).

[166] R. K. CHANANA, K. MCDONALD, M. D. VENTRA et S. T. PANTELIDES, « Fowler-Nordheim hole tunneling in p-SiC/SiO2 structures », *Applied Physics Letters*, t. 77, n° 16, p. 2560-2562, 2000 (cf. p. 141).

[167] M. LENZLINGER et E. H. SNOW, « Fowler-Nordheim tunneling into thermally grown SiO2 », *Journal of Applied Physics*, t. 40, n° 1, p. 278-283, jan. 1969 (cf. p. 141).

[168] T. GARBA-SEYBOU, X. FEDERSPIEL, A. BRAVAIX et F. CACHO, « New Modelling Off-state TDDB for 130nm to 28nm CMOS nodes », in *IEEE International Reliability Physics Symposium (IRPS)*, 2022, 11A.3.1-11A.3.7 (cf. p. 142, 143, 152, 153, 164, 166, 169, 178, 181).

[169] D. ESSENI, J. D. BUDE et L. SELMI, « On Interface and oxide degradation in VLSI MOSFETs - part I: deuterium effect in CHE stress regime », *IEEE Transactions on Electron Devices*, t. 49, n° 2, p. 247-253, 2002 (cf. p. 142).

[170] S. LI, A. BRAVAIX, E. KUSSENER, D. NEY, X. FEDERSPIEL et F. CACHO, « Hot-carrier degradation in P- and N-channel EDMOS for smart power application », *Microelectronics Reliability*, t. 114, p. 113 811, 2020 (cf. p. 143, 174).

[171] D. VARGHESE, H. KUFLUOGLU, V. REDDY, H. SHICHIJO, D. MOSHER, S. KRISHNAN et M. A. ALAM, « OFF-State Degradation in Drain-Extended NMOS Transistors: Interface Damage and Correlation to Dielectric Breakdown », *IEEE Transactions on Electron Devices*, t. 54, n° 10, p. 2669-2678, 2007 (cf. p. 143, 145, 146, 149, 177).

[172] D. VARGHESE, V. REDDY, H. SHICHIJO, D. MOSHER, S. KRISHNAN et M. A. ALAM, « A Comprehensive Analysis of Off-State Stress in Drain Extended PMOS Transistors: Theory and Characterization of Parametric Degradation and Dielectric Failure », in *IEEE International Reliability Physics Symposium (IRPS)*, 2008, p. 566-574 (cf. p. 143, 146, 174).

[173] P. MOENS, G. V. D. BOSCH, C. D. KEUKELEIRE, R. DEGRAEVE, M. TACK et G. GROESENEKEN, « Hot hole degradation effects in lateral nDMOS transistors », *IEEE Transactions on Electron Devices*, t. 51, n° 10, p. 1704-1711, 2004 (cf. p. 143).

[174] D. VARGHESE, H. KUFLUOGLU, V. REDDY, H. SHICHIJO, S. KRISHNAN et M. A. ALAM, « Universality of Off-State Degradation in Drain Extended NMOS Transistors », in *IEEE International Electron Devices Meeting (IEDM)*, 2006, p. 1-4 (cf. p. 144, 147, 148).

[175] T. GARBA-SEYBOU, A. BRAVAIX, X. FEDERSPIEL, J. HAI, C. DIOUF et F. CACHO, « Universal Dielectric Breakdown Modeling Under Off-State TDDB for Ultra-Scaled Device From 130nm to 28nm Nodes and Beyond », *IEEE Transactions on Device and Materials Reliability*, t. 24, n° 2, p. 174-183, juin 2024 (cf. p. 146, 149, 170, 171).

[176] J. D. BUDE, B. E. WEIR et P. J. SILVERMAN, « Explanation of stress-induced damage in thin oxides », in *IEEE International Electron Devices Meeting (IEDM)*, 1998, p. 179-182 (cf. p. 146).

[177] R. DEGRAEVE, B. KACZER et G. GROESENEKEN, « Degradation and breakdown in thin oxide layers: Mechanisms, models, and reliability prediction », *Microelectronics Reliability*, t. 39, n° 10, p. 1445-1460, 1999 (cf. p. 146, 174).

[178] M. A. ALAM, B. WEIR, P. SILVERMAN, J. BUDE, A. GHETTI, Y. MA, M. M. BROWN, D. HWANG et A. HAMAD, « Physics and prospects of sub-2 nm oxides », in *International Symposium on the Physical and Chemical Properties of SiO2 and Si-SiO2 Interface*, 2000, p. 365-376 (cf. p. 146).

[179] X. FEDERSPIEL, M. RAFIK, M. ARABI, A. CROS et F. CACHO, « FDSOI MOSFET gate dielectric breakdown Vd dependency », in *International Integrated Reliability Workshop (IIRW)*, 2018, p. 1-4 (cf. p. 146).

[180] D. VARGHESE, S. MAHAPATRA et M. A. ALAM, « Hole energy dependent interface trap generation in MOSFET Si/SiO2 interface », *IEEE Electron Device Letters*, t. 26, n° 8, p. 572-574, août 2005 (cf. p. 147).

[181] P. E. NICOLLIAN, A. T. KRISHNAN, C. A. CHANCELLOR et R. B. KHAMANKAR, « The Traps that cause Breakdown in Deeply Scaled SiON Dielectrics », in *2006 International Electron Devices Meeting*, San Francisco, CA, USA, 2006, p. 1-4 (cf. p. 154, 163).

[182] E. WU, B. LI, J. H. STATHIS, R. ACHANTA, R. FILIPPI et P. MCLAUGHLIN, « A time-dependent clustering model for non-uniform dielectric breakdown », in *2013 IEEE International Electron Devices Meeting*, Washington, DC, USA, 2013, p. 15.3.1-15.3.4 (cf. p. 154).

[183] M. TOLEDANO-LUQUE, P. PALIWODA, M. NOUR, T. KAUERAUF, B. MIN, G. BOSSU, M. SIDDABATHULA et T. NIGAM, « Off-state TDDB in FinFET Technology and its Implication for Safe Operating Area », in *2021 IEEE International Reliability Physics Symposium (IRPS)*, 2021, p. 1-6 (cf. p. 156, 159, 175, 178).

[184] H. KIM et al., « A systematic study of gate dielectric TDDB in FinFET technology », in *2018 IEEE International Reliability Physics Symposium (IRPS)*, Burlingame, CA, USA, 2018, 4A.4-1-4A.4-4 (cf. p. 157).

[185] D. DIMARIA et J. STATHIS, « Non-Arrhenius temperature dependence of reliability in ultrathin silicon dioxide films », *Applied Physics Letters*, t. 74, n° 12, p. 1752-1754, 1999 (cf. p. 159).

[186] J. S. SUEHLE, E. M. VOGEL, B. WANG et J. B. BERNSTEIN, « Temperature dependence of soft breakdown and wear-out in sub-3 nm SiO2 films », in *IEEE International Reliability Physics Symposium (IRPS)*, 2000, p. 33-39 (cf. p. 159).

[187] E. WU, J. SUÑÉ, C. LAROW et R. DUFRESNE, « Temperature dependence of TDDB voltage acceleration in high-k/SiO2 bilayers and SiO2 gate dielectrics », in *IEEE International Electron Devices Meeting (IEDM)*, 2012, p. 28-5 (cf. p. 161).

[188] J. W. MCPHERSON, J. KIM, A. SHANWARE, H. MOGUL et J. RODRIGUEZ, « Trends in the ultimate breakdown strength of high dielectric-constant materials », *IEEE Transactions on Electron Devices*, t. 50, n° 8, p. 1771-1778, 2003 (cf. p. 162).

[189] G. RIBES et al., « Review on high-k dielectrics reliability issues », *IEEE Transactions on Device and Materials Reliability*, t. 5, n° 1, p. 5-19, mars 2005 (cf. p. 163).

[190] E. Y. WU et al., « Experimental evidence of T/sub BD/ power-law for voltage dependence of oxide breakdown in ultrathin gate oxides », *IEEE Transactions on Electron Devices*, t. 49, n° 12, déc. 2002 (cf. p. 163).

[191] J. MCPHERSON, « Time dependent dielectric breakdown physics–Models revisited », *Microelectronics Reliability*, t. 52, n° 9-10, p. 1753-1760, 2012 (cf. p. 163).

[192] *Sentaurus Process User Guide*, Version P-2019.03, mars 2019 (cf. p. 165).

[193] *Sentaurus Device User Guide*, Version P-2019.03, mars 2019 (cf. p. 165).

[194] A. G. CHYNOWETH, « Ionization Rates for Electrons and Holes in Silicon », *Physical Review*, t. 109, n° 5, p. 1537-1540, 1958 (cf. p. 165).

[195] R. V. OVERSTRAETEN et H. D. MAN, « Measurement of the ionization rates in diffused silicon p-n junctions », *Solid-State Electronics*, t. 13, n° 5, p. 583-608, 1970 (cf. p. 165).

[196] A. BRAVAIX, C. GUÉRIN, D. GOGUENHEIM, V. HUARD, D. ROY, C. BESSET, S. RENARD, Y. M. RANDRIAMIHAJA et E. VINCENT, « Off state incorporation into the 3 energy mode device lifetime modeling for advanced 40nm CMOS node », in *2010 IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 55-64 (cf. p. 166, 191, 200).

[197] P. DEVOGE, H. AZIZA, P. LORENZINI, F. JULIEN, A. MARZAKI, A. MALHERBE, M. MANTELLI, T. CABOUT, J. DELALLEAU, S. HAENDLER, A. REGNIER et S. NIEL, « Hot-carrier evaluation of a zero-cost transistor developed via process optimization in an embedded non-volatile memory CMOS technology », *Microelectronics Reliability*, t. 126, p. 114 265, 2021 (cf. p. 166).

[198] A. O. ADAN, Y. FUKUSHIMA et K. HIGASHI, « The off-state leakage current in ultra-thin SOI MOSFET's », in *Proceedings of the International Conference on Solid State Devices and Materials (SSDM)*, 1998, p. 318-319 (cf. p. 166).

[199] G. .-. LEE, C. .-. KIM, M. .-. YOO et Y. .-. CHOI, « Low-Frequency Noise Characteristics Under the OFF-State Stress », *IEEE Transactions on Electron Devices*, t. 67, n° 10, p. 4366-4371, oct. 2020 (cf. p. 166).

[200] X. ZHAO, A. VARDI et J. A. del ALAMO, « Excess Off-State Current in InGaAs FinFETs », *IEEE Electron Device Letters*, t. 39, n° 4, p. 476-479, avr. 2018 (cf. p. 166).

[201] N. .-. LEE, J. KIM, D. SON, K. KIM et J. E. SEOK, « Comprehensive Study for OFF-State Hot Carrier Degradation of Scaled nMOSFETs in DRAM », in *2019 IEEE International Reliability Physics Symposium (IRPS)*, 2019, p. 1-4 (cf. p. 166).

[202] T. GARBA-SEYBOU, A. BRAVAIX, X. FEDERSPIEL, J. HAI, C. DIOUF et F. CACHO, « Current Driven Modeling and SILC Investigation of Oxide Breakdown under Off-state TDDB in 28nm dedicated to RF applications », in *Proceedings of the International Integrated Reliability Workshop (IIRW)*, 2023, p. 1-6 (cf. p. 166, 168).

[203] A. CATTANEO, S. PINARELLO, J.-E. MUELLER et R. WEIGEL, « Impact of DC and RF non-Conducting Stress on nMOS Reliability », in *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2015, XT.4.1-4.4 (cf. p. 166).

[204] B. A. BUCHANAN, D. J. DIMARIA, C.-A. CHANG et Y. TAUR, « Defect generation in 3.5nm silicon dioxide films », *Applied Physics Letters*, t. 65, p. 1820-1822, 1994 (cf. p. 166).

[205] W. SHOCKLEY, « Problems related to p-n junctions in silicon », *Solid-State Electronics*, t. 2, n° 1, p. 35-67, 1961 (cf. p. 169).

[206] Y. TAUR et T. H. NING, *Fundamentals of Modern VLSI Devices*, 2nd. Cambridge University Press, 2009 (cf. p. 169).

[207] D. VARGHESE, M. NANDAKUMAR, S. TANG, V. REDDY et S. KRISHNAN, « Energy driven modeling of OFF-state and sub-threshold degradation in scaled NMOS transistors », in *2014 IEEE International Reliability Physics Symposium (IRPS)*, 2014, 4A.2.1-4A.2.4 (cf. p. 171).

[208] D. NMINIBAPIEL, K. JOSHI, R. RAMAMURTHY, L. PANTISANO, I. MERIC et S. RAMEY, « Method to evaluate off-state breakdown in scaled Tri-gate technologies », in *2022 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2022, p. 1-6 (cf. p. 171).

[209] K. JOSHI et al., « A detailed comparison of various off-state breakdown methodologies for scaled Tri-gate technologies », in *2023 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, 2023, p. 1-6 (cf. p. 171).

[210] J. MASERJIAN et N. ZAMANI, « Behavior of the Si/SiO2 interface observed by Fowler-Nordheim tunneling », *Journal of Applied Physics*, t. 53, p. 559, 1982 (cf. p. 172).

[211] G. W. YOON, A. B. JOSHI, J. KIM et D.-L. KWONG, « High-field-induced leakage in ultrathin N2O oxides », *IEEE Electron Device Letters*, t. 14, n° 5, p. 231-233, 1993 (cf. p. 172).

[212] E. ROSENBAUM et L. F. REGISTER, « Mechanism of stress-induced leakage current in MOS capacitors », *IEEE Transactions on Electron Devices*, t. 44, n° 2, p. 317-323, fév. 1997 (cf. p. 173).

[213] D. DIMARIA et E. CARTIER, « Mechanism for stress-induced leakage currents in thin silicon dioxide films », *Journal of Applied Physics*, t. 78, n° 6, p. 3883-3894, 1995 (cf. p. 173).

[214] J. H. STATHIS, « Physical and predictive models of ultra-thin oxide reliability in CMOS devices and circuits », in *2001 IEEE International Reliability Physics Symposium Proceedings*, Orlando, FL, USA, 2001 (cf. p. 173).

[215] M. A. ALAM, « SILC as a measure of trap generation and predictor of TBD in ultrathin oxides », *IEEE Transactions on Electron Devices*, t. 49, n° 2, p. 232-238, 2002 (cf. p. 173).

[216] E. WU, E. NOWAK, A. VAYSHENKER, J. MCKENNA, D. HARMON et R. .-. VOLLERTSEN, « New global insight in ultrathin oxide reliability using accurate experimental methodology and comprehensive database », *IEEE Transactions on Device and Materials Reliability*, t. 1, n° 1, p. 69-80, mars 2001 (cf. p. 173).

[217] J. SUNE, « New physics-based analytic approach to the thin-oxide breakdown statistics », *IEEE Electron Device Letters*, t. 22, n° 6, p. 296-298, juin 2001 (cf. p. 174, 177).

[218] J. SUNE, S. TOUS et E. Y. WU, « Analytical Cell-Based Model for the Breakdown Statistics of Multilayer Insulator Stacks », *IEEE Electron Device Letters*, t. 30, n° 12, p. 1359-1361, déc. 2009 (cf. p. 174, 177).

[219] T. GARBA-SEYBOU et al., « Location of Oxide Breakdown Events under Off-state TDDB in 28nm N-MOSFETs dedicated to RF applications », in *2023 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, 2023, p. 1-8 (cf. p. 175, 178, 181, 185, 186).

[220] T. NIGAM, A. KERBER et P. PEUMANS, « Accurate model for time-dependent dielectric breakdown of high-k metal gate stacks », in *2009 IEEE International Reliability Physics Symposium*, 2009, p. 523-530 (cf. p. 175).

[221] D. VARGHESE, H. KUFLUOGLU, V. REDDY, H. SHICHIJO, D. MOSHER, S. KRISHNAN et M. A. ALAM, « Multi-probe Two-Dimensional Mapping of Off-State Degradation in Drain Extended NMOS Transistors: How and Why Interface Damage Predicts Gate Dielectric Breakdown », in *2007 IEEE International Electron Devices Meeting*, Washington, DC, USA, 2007, p. 505-508 (cf. p. 177).

[222] X. FEDERSPIEL, J. JASSE, D. NEY, D. ROY et M. RAFIK, « Middle of the Line Dielectrics Reliability and Percolation Modelling through 65nm to 28nm nodes », in *Proceedings of the International Integrated Reliability Workshop (IIRW)*, 2019, p. 1-4 (cf. p. 178).

[223] R. DEGRAEVE, B. KACZER, A. D. KEERSGIETER et G. GROESENEKEN, « Relation between breakdown mode and location in short-channel nMOSFETs and its impact on reliability specifications », *IEEE Transactions on Device and Materials Reliability*, t. 1, n° 3, p. 163-169, sept. 2001 (cf. p. 180, 184).

[224] B. KACZER, R. DEGRAEVE, A. D. KEERSGIETER, K. V. de MIEROOP, V. SIMONS et G. GROESENEKEN, « Consistent model for short-channel nMOSFET after hard gate oxide breakdown », *IEEE Transactions on Electron Devices*, t. 49, n° 3, p. 507-513, mars 2002 (cf. p. 180, 184).

[225] M. SALIVA, « Circuits dédiés à l'étude des mécanismes de vieillissement dans les technologies CMOS avancées : conception et mesures », thèse de doct., Aix-Marseille University, 2015 (cf. p. 180).

[226] J. HAI et al., « Integrated Test Circuit for Off-State Dynamic Drain Stress Evaluation », in *2023 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, 2023, p. 1-6 (cf. p. 188).

[227] M. J. D. JONG, C. SALM et J. SCHMITZ, « Towards understanding recovery of hot-carrier induced degradation », *Microelectronics Reliability*, t. 89–90, p. 147-151, sept. 2018 (cf. p. 190).

[228] M. J. D. JONG, C. SALM et J. SCHMITZ, « Recovery after hot-carrier injection: Slow versus fast traps », *Microelectronics Reliability*, t. 100–101, sept. 2019, Art. no. 113318 (cf. p. 190).

[229] M. JECH, G. ROTT, H. REISINGER, S. TYAGINOV, G. RZEPA, A. GRILL, D. JABS, C. JUNGEMANN, M. WALTL et T. GRASSER, « Mixed hot-carrier/bias temperature instability degradation regimes in full Vg, Vd bias space: Implications and peculiarities », *IEEE Transactions on Electron Devices*, t. 67, n° 8, p. 3315, 2020 (cf. p. 191).

[230] L. LARCHER, D. SANZOGNI, R. BRAMA, A. MAZZANTI et F. SVELTO, « Oxide Breakdown after RF Stress: Experimental Analysis and Effects on Power Amplifier Operation », in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*, 2006, p. 283-288 (cf. p. 192).

[231] J. S. YUAN et J. MA, « Evaluation of RF-stress Effect on Class-E MOS Power Amplifier Efficiency », *IEEE Transactions on Electron Devices*, t. 55, n° 1, p. 430, 2002 (cf. p. 192).

[232] A. ILLE, W. STADLER, T. POMPL, H. GOSSNER, T. BRODBECK, K. ESMARK, P. RIESS, D. ALVAREZ, K. CHATTY, R. GAUTHIER et A. BRAVAIX, « Reliability aspects of gate oxide under ESD pulse stress », *Microelectronics Reliability*, t. 49, n° 12, p. 1407-1416, 2009 (cf. p. 193).

[233] C. SHEN, M.-F. LI, C. E. FOO, T. YANG, D. M. HUANG, A. YAP, G. S. SAMUDRA et Y.-C. YEO, « Characterization and Physical Origin of Fast Vth Transient in NBTI of pMOSFETs with SiON Dielectric », in *Proceedings of the International Electron Devices Meeting (IEDM)*, 2006, p. 333-336 (cf. p. 194).

[234] V. D. MAHETA, E. N. KUMAR, S. PURAWAT, C. OLSEN, K. AHMED et S. MAHAPATRA, « Development of an ultrafast on-the-fly IDLIN technique to study NBTI in plasma and thermal oxynitride p-MOSFETs », *IEEE Transactions on Electron Devices*, t. 55, p. 2614, 2008 (cf. p. 194).

[235] *Agilent B1530 Waveform Generator Fast Measurement Unit - User's Guide*, Agilent Technologies, juin 2011 (cf. p. 196).

[236] A. BRAVAIX et D. VUILLAUME, « A simple charge-pumping method to measure the logarithmic-time dependence of trapped oxide charge in p-MOSFET's », *Microelectronic Engineering*, t. 19, n° 1–4, p. 469-472, 1992 (cf. p. 197, 205).

[237] M. DENAIS, C. PARTHASARATHY, G. RIBES, Y. REY-TAURIAC, N. REVIL, A. BRAVAIX, V. HUARD et F. PERRIER, « On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's », in *Proceedings of the International Electron Devices Meeting (IEDM)*, 2004, p. 109-112 (cf. p. 197).

[238] B. DOYLE, M. BOURCERIE, C. BERGONZONI, R. BENECHI, A. BRAVAIX, K. R. MISTRY et A. BOUDOU, « The Generation and Characterization of Electron and Hole traps created by Hole injection During Low Gate Voltage Hot-Carrier Stressing of n-MOS Transistors », *IEEE Transactions on Electron Devices*, t. 37, n° 8, p. 1869-1875, 1990 (cf. p. 200).

[239] M. ORLOWSKI, S. W. SUN, P. BLAKEY et R. SUBRAHMANYAN, « The combined effects of band-to-band tunneling and impact ionization in the off regime of an LDD MOSFET », *IEEE Electron Device Letters*, t. 11, n° 12, p. 593-595, déc. 1990 (cf. p. 200).

[240] H. CHANG et al., « Effectiveness of Repairing Hot Carrier Degradation in Si p-FinFETs Using Gate Induced Drain Leakage », *IEEE Electron Device Letters*, t. 44, n° 3, p. 372-375, mars 2023 (cf. p. 201, 206).

[241] H. CHANG, G. WANG, H. YANG, Q. LIU, L. ZHOU, Z. JI, R. YU, Z. WU, H. YIN, A. DU, J. LI, J. LUO, C. ZHAO et W. WANG, « Insight into over Repair of Hot Carrier Degradation by GIDL Current in Si p-FinFETs Using Ultra-Fast Measurement Technique », *Nanomaterials*, t. 13, n° 7, p. 1259, 2023 (cf. p. 201, 216).

[242] G.-B. LEE, C.-K. KIM, T. BANG, M.-S. YOO et Y.-K. CHOI, « Lateral profiling of gate dielectric damage by off-state stress and positive-bias temperature instability », *Microelectronics Reliability*, t. 127, p. 114 383, 2021, ISSN : 0026-2714 (cf. p. 201).

[243] G.-B. LEE, C.-K. KIM, M.-S. YOO, J. HUR et Y.-K. CHOI, « Effect of OFF-State Stress on Gate-Induced Drain Leakage by Interface Traps in Buried-Gate FETs », *IEEE Transactions on Electron Devices*, t. 66, n° 12, p. 5126-5132, 2019 (cf. p. 201).

[244] D. VUILLAUME et A. BRAVAIX, « Charging and discharging properties of electron traps created by hot-carrier injections in gate oxide of n-channel metal oxide semiconductor field effect transistor », *Journal of Applied Physics*, t. 73, n° 5, p. 2559-2563, mars 1993 (cf. p. 201).

[245] A. SPESSOT, M. AOULAICHE, M. CHO, J. FRANCO, T. SCHRAM, R. RITZENTHALER et B. KACZER, « Impact of Off-State Stress on advanced high-K metal gate NMOSFETs », in *Proceedings of the International European Solid-State Device Research Conference (ESSDERC)*, 2014, p. 365-368 (cf. p. 202).

[246] M. CHO, A. SPESSOT, B. KACZER, M. AOULAICHE, R. RITZENTHALER, T. SCHRAM, P. FAZAN, N. HORIGUCHI et D. LINTEN, « Off-State Stress degradation mechanism on advanced p-MOSFETs », in *Proceedings of the International Conference on Integrated Circuit Design and Technology (ICICDT)*, 2015, p. 1-4 (cf. p. 202).

[247] X. FEDERSPIEL, F. CACHO et D. ROY, « Experimental characterization of interactions between HCI, off-state and BTI degradation modes », in *Proceedings of the International Integrated Reliability Workshop (IIRW)*, 2011, p. 133-136 (cf. p. 202).

[248] X. FEDERSPIEL, M. RAFIK, D. ANGOT, F. CACHO et D. ROY, « Interaction between BTI and HCI degradation in High-K devices », in *IEEE International Reliability Physics Symposium (IRPS)*, 2013, XT.9.1-XT.9.4 (cf. p. 202).

[249] F. CACHO, P. MORA, W. ARFAOUI, X. FEDERSPIEL et V. HUARD, « HCI/BTI coupled model: The path for accurate and predictive reliability simulations », in *IEEE International Reliability Physics Symposium*, 2014, p. 5D.4.1-5D.4.5 (cf. p. 202).

[250] C. PRASAD, S. RAMEY et L. JIANG, « Self-heating in advanced CMOS technologies », in *2017 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, 2017, 6A-4.1-6A-4.7 (cf. p. 208, 230).

[251] H. JIANG, L. SHEN, S. SHIN, N. XU, G. DU, B.-Y. NGUYEN, O. FAYNOT, M. ALAM, X. ZHANG et X. Y. LIU, « Unified self-heating effect model for advanced digital and analog technology and thermal-aware lifetime prediction methodology », in *2017 Symposium on VLSI Technology*, Kyoto, Japan, 2017, T136-T137 (cf. p. 208, 230).

[252] W. JIN et al., « Self-Heating Characterization for SOI MOSFET Based on AC Output Conductance », in *IEEE International Electron Devices Meeting (IEDM)*, 1999 (cf. p. 208).

[253] Y. QU et al., « In-Situ Monitoring of Self-Heating Effect in Aggressively Scaled FinFETs and Its Quantitative Impact on Hot Carrier Degradation Under Dynamic Circuit Operation », in *IEEE International Reliability Physics Symposium (IRPS)*, 2020, p. 1-6 (cf. p. 209).

[254] Y. QU, X. LIN, J. LI, R. CHENG, X. YU, Z. ZHENG et Y. ZHAO, « Ultra-fast (< 1 ns) electrical characterization of self-heating effect and its impact on hot carrier injection in 14nm FinFETs », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 39-2 (cf. p. 209, 227).

[255] C. YAN, Y. DING, Y. QU, L. ZHAO et Y. ZHAO, « Universal hot carrier degradation model under DC and AC stresses », in *Proceedings of the IEEE International Reliability Physics Symposium (IRPS)*, mars 2022, 7A.1.1-7A.1.6 (cf. p. 209).

[256] Z. YU, Z. ZHANG, Z. SUN, R. WANG et R. HUANG, « On the Trap Locations in Bulk FinFETs After Hot Carrier Degradation (HCD) », *IEEE Transactions on Electron Devices*, t. 67, n° 7, p. 3005-3009, juill. 2020 (cf. p. 215).

[257] R. WANG et al., « Understanding Hot Carrier Reliability in FinFET Technology from Trap-based Approach », in *IEEE International Electron Devices Meeting (IEDM)*, 2021, p. 31.2.1-31.2.4 (cf. p. 215).

[258] Z. YU, J. ZHANG, R. WANG, S. GUO, C. LIU et R. HUANG, « New insights into the hot carrier degradation (HCD) in FinFET: New observations, unified compact model, and impacts on circuit reliability », in *IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 7.2.1-7.2.4 (cf. p. 215).

[259] J. TROMMER, G. KRAUSE et T. MIKOLAJICK, « Off-state Impact on FDSOI Ring Oscillator Degradation under High Voltage Stress », in *Proceedings of the International Integrated Reliability Workshop (IIRW)*, 2018, p. 1-5 (cf. p. 221).

[260] Y. DING, W. LIU, Y. QU, L. ZHAO et Y. ZHAO, « Degradation Behaviors of 22 nm FDSOI CMOS Inverter Under Gigahertz AC Stress », in *2022 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2022, P50-1-P50-5 (cf. p. 227).

[261] A. BEZZA, M. RAFIK, D. ROY, X. FEDERSPIEL, P. MORA et G. GHIBAUDO, « Frequency dependence of TDDB & PBTI with OTF monitoring methodology in high-k/Metal Gate stacks », in *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2014, G.D.6.1-G.D.6.4 (cf. p. 231).

[262] Y. QU, R. CHENG, W. LIU, J. LI, B.-Y. NGUYEN, O. FAYNOT, N. XU, B. CHEN et Y. ZHAO, « Effect of measurement speed (μs-800ps) on the characterization of reliability behaviors for FDSOI nMOSFETs », in *Proceedings of the IEEE International Reliability Physics Symposium (IRPS)*, mars 2018, 6E.6-1-6E.6-6 (cf. p. 231).