THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National Polytechnique de Toulouse (Toulouse INP)

Discipline ou spécialité :

COMPOSANTS ET SYSTEMES DE GESTION DE L'ENERGIE

Présentée et soutenue par :

M. LOUIS ALEXIS GOMEZ

le mardi 18 juillet 2023

Titre :

Onduleur de Courant Multiniveaux Moyenne Tension pour Applications Photovoltaïques

---

Ecole doctorale :

Génie Electrique, Electronique, Télécommunications (GEETS)

Unité de recherche :

Laboratoire Plasma et Conversion d'Energie (LAPLACE)

Directeur(s) de Thèse :

M. GUILLAUME GATEAU

M. SÉBASTIEN SANCHEZ

Rapporteurs :

M. CHRISTIAN SCHAEFFER, INP DE GRENOBLE

MME XUEFANG LIN-SHI, INSA LYON

Membre(s) du jury :

M. ERIC LABOURE, CENTRALESUPELEC GIF SUR YVETTE, Président

M. GUILLAUME GATEAU, TOULOUSE INP, Membre

M. LUIS GABRIEL ALVES RODRIGUES, INSTITUT BOURGET DU LAC, Invité(e)

M. SÉBASTIEN SANCHEZ, TOULOUSE INP, Membre

Résumé en français

Avec le développement toujours plus rapide des centrales photovoltaïques (PV), les solutions de conversion de type onduleurs triphasés (conversion DC-AC) permettant d'alimenter les réseaux se diversifient. Les contraintes sur l'ensemble de la chaîne de conversion PV restent cependant fortes : adaptation à la production, rendement élevé ($> 99\%$), fiabilité, coûts réduits, etc. Les évolutions actuelles et l'amélioration des rendements amènent à élever les tensions côté DC et AC.

Avec la poursuite de l'essor de semi-conducteurs en carbure de silicium (SiC) et notamment ceux de calibre en tension de $3,3\,kV$ (ou supérieurs), de nouvelles possibilités de conversion sont envisageables. Les tensions usuelles des chaînes PV ($1500\,V_{DC}$) et des réseaux internes aux centrales ($800\,V_{AC}$) seront dépassées dans les prochaines architectures de centrales PV. Au-delà des évolutions des architectures plus conventionnelles basées sur l'association d'un hacheur élévateur (DC-DC) et d'un onduleur de tension (VSI) (DC-AC), il est possible d'utiliser des topologies à un seul étage de conversion telles que l'onduleur de courant (CSI). Certaines études ont déjà porté sur cette architecture du CSI 3 niveaux à simple matrice d'interrupteurs.

Ces travaux de thèse ont pour but d'étudier le CSI pour une nouvelle conversion $1500\,V_{DC}$ - $1400\,V_{AC}$ dite moyenne tension (MV) avec l'utilisation de MOSFETs SiC $3,3\,kV$. Cette topologie de conversion directe, associée à des semi-conducteurs $3,3\,kV$ permet d'augmenter la tension AC interne aux centrales PV, de réduire des coûts et les dimensions de certaines infrastructures telles que le transformateur basse fréquence reliant la centrale PV au réseau $20\,kV$. L'architecture proposée est un CSI multiniveaux, rendant la conception, le dimensionnement ainsi que le contrôle-commande bien plus complexes que les CSI déjà étudiés.

Afin de réduire les pertes par conduction, principal inconvénient de la topologie CSI 3 niveaux, l'onduleur de courant étudié est formé d'une cellule de commutation pilotée en redressement synchrone. Les performances du convertisseur sont évaluées expérimentalement et intégrées à un outil de pré-dimensionnement, prenant en compte les pertes semi-conducteurs et le système de refroidissement.

La seconde spécificité concerne l'entrelacement (ou mise en parallèle) de plusieurs matrices d'interrupteurs afin de proposer un convertisseur multiniveaux (5 et 7 niveaux) modulable, plus performant, nécessitant un filtrage moindre et plus adapté à la conversion de la production PV. L'étude et le dimensionnement des composants passifs en entrée de la chaîne de conversion, point usuellement négatif du CSI 3 niveaux, sont rendus complexes de par leur forte dépendance vis-à-vis de la stratégie de modulation utilisée. Une attention particulière sera donc portée dans le développement et l'optimisation de la stratégie de modulation vectorielle (space vector).

Un démonstrateur est réalisé via la mise en parallèle de blocs de puissance ou Power Building Block (PBB). Ce prototype répond à plusieurs objectifs. Premièrement, il démontre la faisabilité matérielle de cette architecture innovante. Deuxièmement, il valide la stratégie de modulation sélectionnée. Enfin, ces essais expérimentaux ouvrent la réflexion sur un fonctionnement plus adaptatif des CSI multiniveaux, à travers une activation séquentielle des blocs de puissance ou Power Building Block Shedding (PBBS) utilisés dans le cadre de production d'énergie renouvelable, en particulier, les centrales PV.

Résumé en anglais

With the ever more rapid development of photovoltaic (PV) power plants, conversion solutions such as three-phase inverters (DC-AC conversion) to supply grids are becoming more diverse. However, the constraints on the entire PV conversion chain remain strong : adaptation to production, high efficiency ($> 99\%$), reliability, reduced costs, etc. Current developments and improved efficiencies are leading to higher DC and AC voltages.

With the continued development of silicon carbide (SiC) semiconductors, especially for a voltage rating of $3.3\,kV$ (or higher), the new conversion possibilities are to be taken into consideration. The usual voltages of the PV strings ($1500\,V_{DC}$) and the internal grid of the power plants ($800\,V_{AC}$) will be exceeded in the next architectures of PV power plants. In addition to more conventional architectures based on the combination of a step-up chopper (DC-DC) and a Voltage Source Inverter (VSI) (DC-AC), it is possible to use single conversion stage topologies such as the Current Source Inverter (CSI). Some studies have already focused on a three-level CSI architecture.

The aim of this thesis work is to study the CSI for a new $1500\,V_{DC}$ - $1400\,V_{AC}$ conversion called medium voltage (MV) using $3.3\,kV$ SiC MOSFET. This direct conversion topology, associated with $3.3\,kV$ semiconductor devices, allows to increase the internal AC voltage of the PV power plants, to reduce costs and some infrastructures such as the low-frequency transformer connecting the PV power plant to the $20\,kV$ grid. The proposed architecture is a multilevel CSI, making the design, sizing and control much more complex than previously studied CSI.

In order to reduce the conduction losses, the main drawback of the three-level CSI topology, the inverter studied is formed by a switching cell driven in synchronous rectification mode. The performance of the inverter is evaluated experimentally and integrated into a sizing tool, taking into account the semiconductors losses and the cooling system.

The second particularity concerns the interleaving (or paralleling) of several switch matrices in order to propose a multilevel converter (5 and 7 levels) that is modular, more efficient, requiring less filtering and is better adapted to the conversion of PV production. The design of the passive components at the input of the conversion chain, which is usually a negative point of the 3 level CSI, is made complex by their strong dependence on the modulation strategy used. Particular attention is therefore paid to the development and optimization of the space vector modulation strategy.

A demonstrator is created by paralleling power building blocks (PBB). This prototype serve several purposes. Firstly, it demonstrates the hardware feasibility of this innovative architecture. Secondly, it validate the selected modulation strategy. Finally, these experimental tests open the way to more adaptive operation of multilevel CSI, through sequential activation of the power building blocks (PBBS) used in renewable energy production, in particular PV power plants.

Remerciements

Cette partie est dédiée aux remerciements que je tiens à faire à l'ensemble des personnes qui ont été présentes de près ou de loin pendant cette période si particulière pour moi. Ces trois années et demi ont été particulièrement intenses et chacune de ces personnes a contribué à l'aboutissement de ces travaux.

En premier lieu, je veux remercier chaleureusement mon directeur de thèse, Guillaume Gateau, professeur des universités au laboratoire LAPLACE, pour m'avoir soutenu et m'avoir donné confiance pendant ces trois années. Son apport technique et son soutien moral ont été d'une grande aide. Je tenais également à remercier Sébastien Sanchez, enseignant-chercheur à l'Icam, qui a co-dirigé ces travaux et sans qui cette aventure n'aurait pas eu lieu. Bien avant le début de celle-ci, il m'a fait découvrir cette extraordinaire discipline lorsque j'étais à l'Icam. Ses capacités pédagogiques ainsi que ses autres qualités humaines ont été déterminantes pour la réussite de ces travaux. Enfin, je tiens à remercier Luis Alves Rodrigues, ingénieur-chercheur au CEA-INES, pour m'avoir encadré littéralement au quotidien pendant plus de trois ans. Ses conseils se sont avérés précieux et ont fortement contribué à la réussite de ces travaux. Ainsi, je tiens à exprimer ma gratitude envers mes trois encadrants pour leur expertise scientifique et leur patience à toute épreuve.

Je remercie également les membres du jury, qui ont accepté de relire et d'évaluer ma thèse. Ainsi, merci à Éric Labouré, professeur des universités au GEEPS et à CentraleSupélec, qui m'a fait l'honneur de présider ce jury. Je remercie Xuefang Lin-Shi, professeure au laboratoire Ampère et à l'INSA de Lyon et Christian Schaeffer, professeur au G2Elab et à Grenoble INP pour avoir accepté d'être les rapporteurs de ces travaux. J'ai trouvé particulièrement pertinentes les remarques et les questions posées lors de la soutenance.

Ensuite, je tenais à remercier les collègues du CEA-INES. Parmi eux, je voulais adresser un remerciement particulier aux électroniciens du LIRE (anciennement LSPV) : Jérémy Martin, Anthony Bier, Stéphane Catellani, Van Sang Nguyen, Guillaume Piquet-Boisson qui ont tous contribué directement à ces travaux par leur aide technique et leur soutien. Je tenais à remercier également les techniciens du laboratoire, notamment pour leur aide lors du montage de la maquette finale. J'espère que la nouvelle plateforme PUMA 1 vous permettra de vous amuser sur des convertisseurs toujours plus innovants ! Il me faut aussi remercier les autres collègues de l'INES, Eric Pilat et Sylvain Lespinats en particulier, qui m'ont apporté de bons conseils dans leur (vaste) domaine d'expertise comme de par leur grande expérience humaine.

Je voulais aussi remercier le personnel du laboratoire LAPLACE, qui malgré le contexte sanitaire, m'a accueilli quelques fois sur ces trois années. Ainsi, je voulais remercier Philippe Ladoux, Frédéric Richardeau et Nicolas Rouger qui m'ont aidé, lors de nos discussions, à remettre en perspective mes travaux. Au cours de cette période, j'ai pu encadrer des travaux pratiques en électrotechnique et électronique de puissance à l'Icam, je voulais donc remercier Anne Castellan et Didier Flumian pour m'avoir à la fois aidé à réaliser cet encadrement et avoir également été des oreilles attentives, encore une fois que cela soit à la fois sur des sujets techniques ou plus personnels.

Je remercie également les doctorants et stagiaires (et nouveaux docteurs) savoyards et toulousains qui m'ont également beaucoup apporté lors de ces trois années et avec lesquels j'ai pu partager de bons moments. A ce titre, je remercie en particulier Sébastien, Nhût, Francisco, Omar, Antoine, Sammeh, Yara, Paul, Luc, Maxime et Bastien.

Enfin, je tiens à remercier ma famille, en particulier ma mère et mes amis pour leur soutien sans faille. Merci à Charles, Céline, Sophie, Quentin, Benoît, Yvan et Géo pour m'avoir permis de souffler et d'y avoir cru, parfois plus que moi-même. Merci pour les bonnes bières, les bonnes soirées et les week-end au vert. Je tiens à remercier Carla, qui m'a aidé à corriger ce manuscrit malgré l'important travail que cela représente.

Table des matières

1 État de l'art de la conversion photovoltaïque et des onduleurs de courant 25
- 1.1 Contexte de la production d'énergie photovoltaïque . . . 26
- 1.2 Architectures électriques des centrales de production photovoltaïque . . . 28
  - 1.2.1 Architectures centralisées . . . 30
  - 1.2.2 Architectures décentralisées . . . 30
- 1.3 Principaux enjeux de la conversion photovoltaïque . . . 31
- 1.4 État de l'art : les onduleurs photovoltaïques . . . 33
  - 1.4.1 Tensions des onduleurs PV . . . 33
  - 1.4.2 Les semi-conducteurs : éléments-clés des convertisseurs de puissance . . . 34
  - 1.4.3 Les onduleurs de tension . . . 35
  - 1.4.4 Principaux défauts des systèmes de conversion PV . . . 36
- 1.5 État de l'art : les onduleurs de courant triphasés dans la conversion photovoltaïque . . . 37
  - 1.5.1 Principales limites de la topologie CSI . . . 39
- 1.6 Étude d'un onduleur de courant triphasé multiniveaux en moyenne tension . . . 41
  - 1.6.1 L'onduleur de courant triphasé adapté à une chaîne $1,5\ kV_{OC}$ . . . 41
  - 1.6.2 Implications dans la production PV . . . 42
  - 1.6.3 Utilisation d'une architecture multiniveaux parallèle . . . 42
- 1.7 Objectifs des travaux de thèse : l'onduleur de courant moyenne tension triphasé multiniveaux . . . 44

2 Architecture d'onduleur de courant utilisant des MOSFETs $3,3\,kV$ en redressement synchrone 49
- 2.1 Principe de l'architecture . . . 50
  - 2.1.1 Définition de la cellule de commutation . . . 50
  - 2.1.2 Fonctionnement des cellules de commutation en redressement synchrone . . . 54
- 2.2 Caractérisation des commutations du CSI . . . 57
  - 2.2.1 Méthode de mesure expérimentale des pertes dans les semi-conducteurs . . . 59
  - 2.2.2 Protocole expérimental pour la caractérisation des MOSFETs $3,3\,kV$ . . . 60
  - 2.2.3 Instrumentation . . . 61
  - 2.2.4 Conception des drivers . . . 64
  - 2.2.5 Définition de l'agencement des semi-conducteurs . . . 65
  - 2.2.6 Caractérisation des MOSFETs $3,3\,kV$ . . . 67
  - 2.2.7 Caractérisation des diodes de corps . . . 70
  - 2.2.8 Détermination du temps mort pour le redressement synchrone . . . 75
- 2.3 Outil de pré-dimensionnement du CSI . . . 76
  - 2.3.1 Principe, intérêt et limites de l'outil de calcul . . . 76
  - 2.3.2 Détail de l'algorithme . . . 79

2.3.3 Résultats pour un CSI 3 niveaux . . . 83
2.3.4 Résultats pour un CSI 5 et 7 niveaux . . . 86
2.4 Conclusion . . . 89

3 Stratégies de modulation pour onduleurs de courant 3, 5 et 7 niveaux 94
3.1 État de l'art : Modulation Space Vector pour onduleurs . . . 96
3.1.1 Principe de la Modulation Space Vector appliquée à un onduleur de tension . . . 96
3.1.2 Principe de la Modulation Space Vector appliquée à un onduleur de courant . . . 98
3.1.3 Établissement de la stratégie de modulation pour un CSI 3 niveaux . . . 102
3.1.4 Détermination de la valeur de L_{DC} . . . 107
3.2 Modulation Space Vector pour un onduleur de courant 5 niveaux . . . 109
3.2.1 Notions associées à une SVM multiniveaux . . . 110
3.2.2 Cartographie et choix de stratégie pour le CSI 5 niveaux . . . 112
3.2.3 Inductances d'entrée pour le CSI 5 niveaux . . . 120
3.3 Modulation Space Vector pour un onduleur de courant 7 niveaux . . . 123
3.3.1 Spécificités de la modulation 7 niveaux . . . 123
3.3.2 Cartographie et choix de stratégie pour le CSI 7 niveaux . . . 125
3.3.3 Inductances d'entrée pour le CSI 7 niveaux . . . 131
3.4 Conclusions sur les stratégies de modulation . . . 132

4 Conception et essais préliminaires du CSI 5 niveaux 136
4.1 Dimensionnement et réalisation de l'inductance d'entrée L_{DC} . . . 137
4.2 Description du PBB . . . 138
4.2.1 Description du système de refroidissement . . . 138
4.2.2 Description de l'agencement du PBB . . . 140
4.2.3 Filtre de sortie AC . . . 141
4.3 Caractérisation de la dissipation thermique . . . 144
4.3.1 Protocole expérimental des essais de caractérisation de la dissipation thermique 145
4.3.2 Résultats des essais de caractérisation . . . 147
4.4 Essais CSI 5 niveaux . . . 150
4.4.1 Mise en place du banc d'essai . . . 150
4.4.2 Instrumentation et implémentation de la commande . . . 152
4.4.3 Équilibrage du courant dans les inductances d'entrée . . . 152
4.4.4 Étude des formes d'ondes . . . 154
4.5 Conclusion . . . 160

A Validation du modèle de pertes de l'outil de pré-dimensionnement 165

B Impact de l'utilisation de temps morts sur la modulation SVM d'un CSI 3 niveaux 167

C Caractérisation des inductances d'entrée L_{DC} 170

D Définition des régions des modulations 5 et 7 niveaux 172

E Considérations pour les coupleurs 5 niveaux 177

F Liste des états d'interrupteurs pour un CSI 5 niveaux 180

Table des figures

1.1 Évolution du Levelized Cost of Energy (LCOE) moyen et écart type de l'énergie photovoltaïque (Silicium cristallin) entre 2009 et 2020, source : [3]. 26
1.2 Évolution de la capacité de production photovoltaïque mondiale entre 2010 et 2020 [5]. 27
1.3 Évolution du rendement en laboratoire des différentes technologies de cellules photovoltaïques entre 1993 et 2019 [7]. 28
1.4 Exemples des différentes architectures PV : a) Architecture de type module PV (ou micro-onduleurs) b) Architecture de type chaîne PV (ou décentralisée) c) Architecture multi-chaînes et d) Architecture centralisée. 29
1.5 Répartition des architectures de centrales PV par puissance cumulée installée et par nouvelle installation annuelle [6]. 30
1.6 Structure de la conversion pour une application PV [8]. 31
1.7 Caractéristique d'une source photovoltaïque (I-V) pour une gamme de tension de V_{MPP} comprise entre 850 ($V_{MPP_{min}}$) et $\simeq 1450\,V$ ($V_{MPP_{max}}$). 32
1.8 Chaîne de conversion PV $1,5\,kV$ utilisant une mise en cascade d'un hacheur élévateur et d'un onduleur de tension triphasé. 35
1.9 Architectures communes dans la conversion de chaîne de conversion PV : a) Hacheur élévateur + Pont onduleur de tension 3 niveaux triphasé b) Onduleur NPC (Neutral Point Clamped) triphasé c) Hacheur élévateur + Onduleur type-T triphasé [8, 9, 35]. 36
1.10 a) Caractéristique statique d'un interrupteur présent dans un CSI [39], b) Thyristor, c) RB-IGBT et d) MOSFET avec diode série, pouvant réaliser cette caractéristique statique. 37
1.11 Onduleur de courant (CSI) triphasé. 38
1.12 Chaîne de conversion PV $1\,kV$ utilisant un onduleur de courant ayant des interrupteurs $1,7\,kV$. 41
1.13 Proposition d'une chaîne de conversion PV $1,5\,kV$ utilisant un onduleur de courant ayant des interrupteurs $3,3\,kV$. 42
1.14 Proposition d'une chaîne de conversion PV $1,5\,kV$ utilisant un onduleur de courant multiniveaux à n blocs. 43

2.1 Proposition d'une chaîne de conversion PV $1,5\,kV_{OC}$ composée d'un CSI utilisant des interrupteurs $3,3\,kV$. 50
2.2 Onduleur de courant (CSI) triphasé. 51
2.3 Fonction interrupteur a) associant un MOSFET et une diode en série et b) associant deux MOSFETs en anti-série. 51
2.4 Courant d'entrée I_{DC} avec a) redressement synchrone applicable (faible ΔI_{DC}) et b) redressement synchrone inapplicable (forte ΔI_{DC}). 53
2.5 Demi-matrice d'interrupteurs d'un CSI en redressement synchrone connectée en a) sources communes et en b) drains communs. 53

2.6 CSI triphasé utilisant une architecture en redressement synchrone - sources communes. 54
2.7 Étapes d'une commutation entre les interrupteurs K_4 et K_6 du CSI en redressement synchrone : les temps de conduction a) et e), les temps morts DT b) et d) et le temps de chevauchement T_{OL} c). 55
2.8 Histogramme de la commutation entre les interrupteurs K_4 et K_6. 56
2.9 a) Schéma du MOSFET G2R120MT33J et b) agencement des connectiques pour le boîtier TO-263-7. 57
2.10 Schéma du circuit électrique impliqué dans la commutation entre les interrupteurs K_1 et K_3. 58
2.11 a) Schéma électrique de la cellule de commutation du CSI et b) formes d'ondes simplifiées sur les différents temps de la commutation. 59
2.12 a) Schéma du circuit électrique utilisant une cellule de commutation en redressement synchrone et b) formes d'ondes simplifiées d'un DPT, avec V_{GS} en jaune, V_{DC} en bleu, I_{DC} en rouge et $I_{L_{DC}}$ en vert. 61
2.13 Schéma électrique du circuit DPT et des sondes de mesure utilisés. 62
2.14 Banc de caractérisation expérimentale des MOSFETs $3,3\,kV$ par la méthode DPT. . . 63
2.15 a) Plaque chauffante utilisée et b) vision à la caméra infrarouge lors de l'élévation de température à $T_{j_{LS-M}} = 100°C$. 64
2.16 Schéma simplifié des drivers utilisés dans les interrupteurs de la carte de caractérisation. 65
2.17 a) Schéma de l'agencement de la demi-matrice d'interrupteurs et b) photographie de la carte de caractérisation Double-Pulse, tirés de [10]. 67
2.18 Formes d'ondes superposées au blocage (à gauche) et à l'amorçage (à droite) de la tension $V_{DS_{LS-M}}$ (en haut) et du courant $I_{DS_{LS-M}}$ (en bas) à $T_{j_{LS-M}} = 25°C$ et à $I_{DS_{LS-M}} = 22\,A$. 67
2.19 Formes d'ondes superposées à l'amorçage de la tension $V_{DS_{LS-M}}$ (à gauche) et du courant $I_{DS_{LS-M}}$ (à droite) à $V_{DS_{LS-M}} = 1500\,V$ à $I_{DS_{LS-M}} = 16\,A$ et à $T_{j_{LS-M}}$ allant de 25 à $150°C$. 68
2.20 Énergies de commutation à l'amorçage (lignes continues) et au blocage (lignes pointillées) pour $I_{DS_{LS-M}} = 6$, 12 et $22\,A$ et à $T_{j_{LS-M}} = 25°C$. 69
2.21 Énergies de commutation totales à $T_{j_{LS-M}} = 25°C$ (lignes pointillées) et à $T_{j_{LS-M}} = 150°C$ (lignes continues) pour $I_{DS_{LS-M}} = 6$, 12 et $22\,A$. 69
2.22 Schéma de la cellule de commutation modifiée pour la caractérisation du recouvrement inverse de la diode de corps des MOSFETs $3,3\,kV$. 70
2.23 Formes d'ondes superposées au blocage de la tension $V_{DS_{LS-D}}$ (à gauche) et du courant $I_{DS_{LS-D}}$ (à droite) à $T_{j_{LS-D}} = 25°C$ et à $I_{DS_{LS-D}} = 20\,A$. 71
2.24 Formes d'ondes superposées au blocage de la tension $V_{DS_{LS-D}}$ (à gauche) et du courant $I_{DS_{LS-D}}$ (à droite) pour $T_{j_{LS-D}}$ allant de $25°C$ à $150°C$ à $V_{DS_{LS-D}} = 2100\,V$ et à $I_{DS_{LS-D}} = 20\,A$. 72
2.25 Évolution des charges Q_{rr} et Q_{OSS} pour $I_{d_{LS-D}} = 6$, 12 et $20\,A$ et pour $T_{j_{LS-D}} = 25°C$. 72
2.26 Évolution des charges Q_{rr} et Q_{OSS} pour $I_{d_{LS-D}} = 6\,A$ (à gauche) et $20\,A$ (à droite) et pour $T_{j_{LS-D}}$ allant de $25°C$ à $150°C$. 73
2.27 Énergies de commutation lors du recouvrement inverse de la diode de corps pour $I_{d_{LS-D}} = 6$, 12 et $20\,A$ et pour $T_{j_{LS-D}} = 25°C$. 73
2.28 Énergies de commutation lors du recouvrement inverse de la diode de corps pour $I_{d_{LS-D}} = 6\,A$ (à gauche) et et $I_{d_{LS-D}} = 20\,A$ (à droite) pour $T_{j_{LS-D}}$ allant de 25 à $150°C$. 74

2.29 Évolution des pertes par commutation du canal du MOSFET (lignes continues) et de la diode de corps (lignes pointillées) à $T_j = 25°C$ (en bleu) et à $T_j = 150°C$ (en rouge) pour $V_{réseau} = 1400\,V$ et $f_{dec} = 40\,kHz$ pour un MOSFET G2R120MT33J. . . . 74
2.30 Formes d'ondes de la tension de la diode de corps $V_{DS_{LS-D}}$ à $V_{DC} = 2100\,V$ (en haut - cyan), le courant $I_{d_{LS-D}}$ à $20\,A$ (en haut - rouge) et $V_{GS_{HS-M}}$ (en bas - violet) durant le blocage de $LS - D$ à $T_j = 150°C$. 76
2.31 Schéma d'un CSI multiniveaux à n blocs parallèles. 78
2.32 Schéma d'un CSI avec n semi-conducteurs en parallèle par interrupteur, tiré de [30]. . 78
2.33 Modèle de la routine de calcul de l'outil de pré-dimensionnement. 79
2.34 $E_{sw}(I, V, T_j = 25°C)$ (à gauche) et $E_{rec}(I, V, T_j = 25°C)$ (à droite) du MOSFET G2R120MT33J. 80
2.35 $R_{DS_{on}}(I, T_j)$ du MOSFET G2R120MT33J. 81
2.36 Schéma du chemin thermique pour les MOSFETs G2R120MT33J. 82
2.37 Pertes P_{SC} (à gauche) et rendement η_{SC} semi-conducteurs (à droite) calculés pour un CSI 3 niveaux. 84
2.38 Répartition des pertes à $V_{MPP_{min}}$ et $V_{MPP_{max}}$ à P_n en valeur et en pourcentage de P_{SC}. 84
2.39 Températures T_{j,M_x}, T_{j,D_x} (à gauche) et T_{c,M_x}, T_{c,D_x}, T_{PCB,M_x} et T_{HS} (à droite) calculées pour un CSI 3 niveaux. 85
2.40 η_{SC} pour les deux valeurs limites de tension d'entrée $V_{MPP,min}$ et $V_{MPP,max}$ pour le CSI 3 niveaux. 85
2.41 Caractéristique d'une source photovoltaïque (I-V) avec le rendement semi-conducteurs η_{SC} pour un CSI 3 niveaux. 86
2.42 Rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé) pour $V_{MPP,min}$ (en haut) et les températures de jonction associées de M_x (en bleu) et de D_x (en rouge) (en bas). 87
2.43 Rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé) pour $V_{MPP,max}$ (en haut) et les températures de jonction associées de M_x (en bleu) et de D_x (en rouge) (en bas). 88
2.44 Caractéristique d'une source photovoltaïque (I-V) avec le rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé). 89

3.1 Méthodes de modulation pour convertisseurs multiniveaux [1, 5]. 95
3.2 Matrice d'interrupteurs d'un onduleur de tension et notation associée. 97
3.3 Plan complexe $\alpha\beta$ pour la SVM d'un onduleur de tension 3 niveaux. 97
3.4 Matrice d'interrupteurs d'un onduleur de courant associée à la notation choisie. 99
3.5 Plan complexe $\alpha\beta$ pour un onduleur de courant. 101
3.6 Schéma de l'onduleur de courant 3 niveaux connecté à une chaîne PV $1500\,V_{OC}$. 102
3.7 Ondulation du courant de L_{DC} et états de commutation des interrupteurs sur T_{dec} pour le secteur 1 de la modulation 2. 104
3.8 Exemple de SVM pour un CSI 3 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Les secteurs traversés, b) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec}, c) la tension commutée par un interrupteur (avec $V_{réseau} = 1400\,V$) d) état d'interrupteurs de $[A...]$ utilisant respectivement la modulation 1 et e) la modulation 2 et f) courant de sortie de la phase a. 105
3.9 Plan complexe $\alpha\beta$ pour un onduleur de courant 3 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$. 106

3.10 Valeur de L_{DC} pour une ondulation de courant de $2,4\,A$ et $f_{dec} = 40\,kHz$ pour un CSI 3 niveaux. . . . 108
3.11 Évolution de ΔI_{DC} pour une valeur d'inductance L_{DC} de $5,16\,mH$ et $f_{dec} = 40\,kHz$ pour le CSI 3 niveaux. . . . 108
3.12 Schéma d'un onduleur de courant 5 niveaux. . . . 109
3.13 Représentation simplifiée du CSI 5 niveaux lors de l'utilisation de l'état d'interrupteurs n°20. . . . 110
3.14 Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux avec les états d'interrupteurs associés à chaque vecteur, repris depuis [20]. . . . 111
3.15 Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux présentant les régions définies pour a) une première méthode et pour b) une seconde méthode de modulation [20]. . . . 112
3.16 Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$. . . . 113
3.17 Exemple de SVM pour un CSI 5 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge) et L_{P2} (bleu), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a. . . . 119
3.18 Exemple de SVM pour un CSI 5 niveaux ($M = 0,8748$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge) et L_{P2} (bleu), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a. . . . 120
3.19 Évolution sur la plage V_{MPP} de $L_{P,N}$ pour une ondulation de courant de $2,4\,A$ et $f_{dec} = 40\,kHz$ (dans la Région I (rouge), dans la Région II (bleu) et les Régions III - IV (en vert et en noir suivant l'angle de l'ondulation maximale) pour un onduleur de courant 5 niveaux. . . . 122
3.20 Évolution sur la plage V_{MPP} de $\Delta I_{DC_{5n}}$ pour $L_{P,N} = 4,46\,mH$ et $f_{dec} = 40\,kHz$ pour un onduleur de courant 5 niveaux. . . . 123
3.21 Schéma d'un onduleur de courant 7 niveaux. . . . 124
3.22 Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux avec les états d'interrupteurs associés à chaque vecteur. . . . 125
3.23 Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux représentant les régions définies. . . . 126
3.24 Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$. . . . 127
3.25 Exemple de SVM pour un CSI 7 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge), L_{P2} (bleu) et L_{P3} (vert), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a. . . . 129
3.26 Exemple de SVM pour un CSI 7 niveaux ($M = 0,8748$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge), L_{P2} (bleu) et L_{P3} (vert), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a. . . . 131
3.27 Représentation $\alpha\beta$ a) de trois SVM du CSI 3 niveaux en décalage de phase et b) d'une SVM du CSI 7 niveaux. . . . 132

4.1 Photographie de l'inductance L_{DC} de valeur $5,16\,mH$. . . . 138
4.2 Dissipateur Webra W-GTL-100-A. . . . 139

4.3 Carte de commande utilisée pilotant deux grilles de MOSFET. 141
4.4 Assemblage de la pièce de maintien mécanique, de l'ensemble dissipateur-ventilateurs, des cartes de puissance et des drivers formant un PBB. 141
4.5 Schéma du filtre AC de sortie de la topologie CSI. 142
4.6 Caractéristique thermique du dissipateur W-GTL-100-A et des ventilateurs 9GA0312P3K001.144
4.7 $I_d\,(V_f)$ de la diode de corps MOSFET Si IRFS4115-7PPb pour T_j allant de 25 à 125°C.146
4.8 Schéma du circuit électrique des essais thermiques. 146
4.9 Configuration de l'interface thermique. 147
4.10 $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°1 et 2 (à gauche) et image infrarouge de la demi-matrice P lors de l'essai n°2 (à droite). 148
4.11 $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°5 et 6 (à gauche) et image infrarouge de la demi-matrice P lors de l'essai n°6 (à droite). 150
4.12 Schéma du CSI 5 niveaux lors des essais expérimentaux. 151
4.13 Banc d'essai expérimental lors de la validation du PBB n°1. 151
4.14 Mise en parallèle de deux PBB formant les matrices d'interrupteurs du CSI 5 niveaux.152
4.15 Tensions entre phases V_{ab}, V_{bc} et V_{ca} et tension d'entrée $V_{DC} = 50\,V$ pour $M = 0,45$ et pour $T_{OL} = 1\,\mu s$ (en haut) et $T_{OL} = 500\,ns$ (en bas). 154
4.16 Tensions entre phases V_{ab}, V_{bc} et V_{ca} et tension d'entrée $V_{DC} = 200\,V$ pour $M = 0,75$ et pour $T_{OL} = 1\,\mu s$ (en haut) et $T_{OL} = 500\,ns$ (en bas). 155
4.17 Tensions entre phases V_{ab} (en haut) et I_a non filtré (en rouge) et filtré (en jaune) (en bas) pour $V_{DC} = 30\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$. 156
4.18 Tensions entre phases V_{ab} (en haut) et I_a non filtré (en rouge) et filtré (en jaune) (en bas) pour $V_{DC} = 30\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$. 156
4.19 Essai sur charge résistive à $V_{DC} = 200\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$. 157
4.20 Essai sur charge résistive à $V_{DC} = 350\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$. 158
4.21 Essai sur charge résistive à $V_{DC} = 300\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$. 159
4.22 Essai sur charge résistive à $V_{DC} = 1000\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$. 159

A.1 Schéma d'un boitîer TO-247 (vue de coupe) et chemin thermique considéré, tiré de [2].165
A.2 Comparaison entre les pertes calculées (lignes continues) et les pertes simulées (lignes pointillées), tiré de [2]. 166

B.1 Temps d'application sur un secteur du CSI 3 niveaux pour $V_{DC} = 1200\,V$ et $DT = 500\,ns$ (à gauche) et pour $V_{DC} = 1500\,V$ et $DT = 2\,\mu s$ (à droite). 168
B.2 Évolution du pourcentage de temps où le canal du MOSFET D_x est conducteur pour $DT = 500\,ns$. 169

C.1 Évolution de la valeur de L_{DC} en fonction du courant I_{DC} des six inductances d'entrée.171

D.1 Plan complexe $\alpha\beta$ pour le secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux avec le changement de repère p_a et p_b. 173
D.2 Plan complexe $\alpha\beta$ pour le secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux définissant les variables l et l_T. 174
D.3 Plan complexe $\alpha\beta$ pour le Secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux avec le changement de repère d'_a et d'_b. 175

Liste des tableaux

1.1 Liste des dix plus grandes centrales PV du monde en puissance crête installée en 2022. 27
1.2 Propriétés à température ambiante de quatre matériaux utilisés dans les semi-conducteurs, source : [26]. 34

2.1 Caractéristiques du MOSFET SiC $3,3\,kV$ / $120\,m\Omega$ G2R120MT33J de GeneSiC. 57
2.2 Sondes utilisées pour le DPT. 62
2.3 Tableau des paramètres modifiables par l'utilisateur. 77
2.4 Tableau des paramètres sélectionnés. 83
2.5 η_{euro} à $V_{MPP,min}$ et $V_{MPP,max}$ pour le PBBS et pour le CSI 7 niveaux. 89

3.1 Association des secteurs, états d'interrupteurs et vecteurs pour un CSI. 100
3.2 Exemple de stratégie de modulation à cinq segments pour le Secteur 1 pour un CSI 3 niveaux. 102
3.3 Exemple de stratégie de modulation à sept segments pour le Secteur 1 pour un CSI 3 niveaux. 103
3.4 Équivalence des états d'interrupteurs entre les secteurs. 115
3.5 Liste des états d'interrupteurs disponibles pour réaliser la séquence de Région IV du Secteur 1 pour chacun des Vecteurs $0\vec{1}$, $0\vec{7}$ et $0\vec{8}$. 115
3.6 Séquence partiellement sélectionnée régissant la Région IV du Secteur 1 pour l'onduleur de courant 5 niveaux. 116
3.7 Séquence sélectionnée régissant la Région IV du Secteur 1 pour l'onduleur de courant 5 niveaux. 116
3.8 Séquence sélectionnée régissant la Région I du Secteur 1 pour l'onduleur de courant 5 niveaux. 117
3.9 Liste des séquences sélectionnées par secteur et par région pour l'onduleur de courant 5 niveaux. 118
3.10 Caractéristiques de l'ondulation maximale du courant suivant les régions de la modulation SVM CSI 5 niveaux. 121
3.11 Liste des séquences sélectionnées pour les 9 régions du Secteur 1 pour un onduleur de courant 7 niveaux. 128

4.1 Caractéristiques de l'inductance de valeur $5,16\,mH$. 137
4.2 Caractéristiques techniques de l'interface thermique SIL-PAD 2000 de Bergquist. 140
4.3 Valeurs de $R_{th,HS-Amb}$ pour trois valeurs de PWM des ventilateurs 9GA0312P3K001. 145
4.4 Caractéristiques du MOSFET Si $150\,V$ IRFS4115-7PPb d'Infineon. 145
4.5 Résultats des essais thermiques n°1 et 2. 147
4.6 Résultats des essais thermiques n°3 et 4. 148
4.7 $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°3 et 4. 148
4.8 Résultats des essais thermiques n°5 et 6. 149

4.9 Liste des sondes utilisées lors des essais préliminaires sur le CSI 5 niveaux. 152
4.10 Séquence de commutation d'un onduleur de courant 5 niveaux intégrant les coefficients correcteurs. 153
4.11 Séquence de commutation d'un onduleur de courant 5 niveaux intégrant les coefficients correcteurs utilisés lors des essais expérimentaux. 153

D.1 Conditions de comparaison pour déterminer le secteur du vecteur de référence et leurs projections équivalentes. 173
D.2 Conditions de comparaison pour déterminer la région du vecteur de référence et leurs projections équivalentes. 176

E.1 Tableau comparatif des caractéristiques des noyaux entre une inductance utilisée pour l'onduleur de courant 5 niveaux et deux configurations de coupleurs. 179

Abréviations et acronymes

AC courant alternatif (Alternative Current)

CMS composant(s) monté(s) en surface (SMD)

CSI onduleur de courant (Current Source Inverter)

DC courant continu (Direct Current)

GaN Nitrure de Gallium (Gallium Nitride)

IGBT transistor bipolaire à grille isolée (Insulated Gate Bipolar Transistor)

LCOE Levelized Cost of Energy

MOSFET transistors à effet de champ à grille métal-oxyde (Metal-Oxyde-Semiconductor Field Effect Transistors)

MPP Maximum Power Point

PBB Power Building Block

PBBS Power Building Block Shedding

PCB Printed Circuit Board

PV photovoltaïque

PWM Modulation à Largeur d'Impulsion - MLI (Pulse Width Modulation)

RB-IGBT Reverse-Blocking IGBT

Si Silicum (Silicon)

SiC Carbure de Silicium (Silicon Carbide)

SVM modulation du vecteur d'espace (Space Vector Modulation)

THD Taux de Distorsion Harmonique

VSI onduleur de tension (Voltage Source Inverter)

WBG large bande interdite (Wide Band-Gap)

WTHD Taux de Distorsion Harmonique pondéré

Nomenclature

$< I_{DC} >$ Courant d'entrée moyen du CSI

$\alpha_{a,b,c}$ Angle limite d'application du temps mort

$\Delta I_{DC_{max}}$ Ondulation de courant maximale

ΔI_{DC} Ondulation de courant

$\delta_{a,b,c}$ Coefficients correcteurs des temps d'applications

$\delta_{P,N}$ Coefficients correcteurs des demi-matrices d'interrupteurs

Δ_T Intervalle de temps d'application d'une tension aux bornes d'une inductance

$\eta_{euro,PBBS}$ Rendement européen

$\hat{I}_{ph}$ Courant crête dans une phase du réseau

$\hat{V}_{réseau}$ Tension alternative crête efficace entre phases

λ Conductivité thermique

$\omega_{réseau}$ Pulsation du réseau

Φ Flux magnétique

Φ_{AC} Flux magnétique généré par un courant alternatif

Φ_{DC} Flux magnétique généré par un courant continu

Φ_f Flux magnétique de fuite

Φ_{max} Flux magnétique maximal

Φ_{sat} Flux magnétique de saturation

θ angle du vecteur référence pour SVM

φ Angle de la phase du réseau

$\vec{I_x}$ Vecteur SVM CSI

$\vec{V_x}$ Vecteur SVM VSI

a, b, c Phase du réseau

A_{efer} Section du noyau magnétique

B Champ magnétique

B_{AC} Champ magnétique généré par un courant alternatif

B_{DC} Champ magnétique généré par un courant continu

B_{sat} Champ magnétique de saturation

C_{DC} Condensateur d'entrée du CSI

C_{dec} Condensateur de découplage du CSI

C_{OSS} Capacité parasite de sortie de MOSFET

D_{bob} Diamètre du fil d'une bobine

DT Temps mort

E_{OSS} Énergie de la capacité parasite C_{OSS} de MOSFET

E_{rec} Énergie du recouvrement de la diode de corps de MOSFET

E_{sw} Énergie de commutation du canal de MOSFET

f_{dec} Fréquence de découpage

$f_{réseau}$ Fréquence du réseau

$I_{a,b,c}$ Courant dans les phases a,b et c

$I_{d,q}$ Courant de référence dans le repère de Park

I_{DC} Courant continu d'entrée du CSI

I_{DS} Courant Drain-Source de MOSFET

I_d Courant de la diode de corps de MOSFET

I_{eff} Courant efficace

I_{moyen} Courant moyen du CSI

$I_{MPP_{max}}$ Courant maximal de chaîne PV

I_{MPP} Courant de chaîne PV

$I_{rr,max}$ Courant de recouvrement maximal de la diode de corps de MOSFET

$I_{RS,min}$ Courant minimal d'activation du redressement synchrone

I_{SD} Courant Source-Drain de MOSFET

J Densité de courant

k_f Coefficient de foisonnement

k_{sat} Coefficient de sécurité pour la saturation magnétique

$L_{DC_{5n}}$ Inductance d'entrée pour le CSI 5 niveaux

$L_{DC_{7n}}$ Inductance d'entrée pour le CSI 7 niveaux

L_{DC} Inductance d'entrée

L_{P_x,N_x} Inductance P,N pour un CSI multiniveaux

$L_{parasite}$ Inductance parasite dans une maille de commutation

M Profondeur de modulation

M_k, D_k MOSFETs formant l'interrupteur k du CSI

MLT Longueur moyenne d'un tour de bobinage

N Nombre de tours des enroulements

n_b Nombre d'enroulements

p Nombre d'enroulements

P_{cond} Pertes par conduction dans les semi-conducteurs

P_{pas} Pas de la puissance de l'outil de pré-dimensionnement

P_{pas} Pas de puissance (outil de pré-dimensionnement)

P_{SC} Pertes semi-conducteurs

P_{sw} Pertes par commutation

Q_{bip} Charges bipolaires de la diode de corps de MOSFET

Q_{OSS} Charges de la capacité parasite C_{OSS} de la diode de corps de MOSFET

Q_{rr} Charges de recouvrement de la diode de corps de MOSFET

R_{AC} Résistance des bobinages d'une inductance en régime AC

$R_{culasses}$ Réluctance de culasses

$R_{DS_{on}}$ Résistance Drain-Source de MOSFET à l'état passant

R_d Résistance de la diode de corps de MOSFET à l'état passant

R_{feq} Réluctance de fuite équivalente pour un coupleur

R_{fuite} Réluctance de fuite

R_g Résistance de grille de MOSFET

R_{SD} Résistance Source-Drain de MOSFET

$R_{th_{totale}}$ Résistance thermique du chemin entre la jonction et l'ambiant

$Rth_{\alpha-\beta}$ Résistance thermique entre α et β

S_b Fenêtre de bobinage

$T_{a,b,c}$ Temps d'application du vecteur SVM

T_{Amb} Température ambiante

T_c Température de boîtier de MOSFET

T_{dec} Période de commutation

$T_{j,max}$ Température de jonction maximale de MOSFET

T_j Température de jonction de MOSFET

T_{OL} Temps de recouvrement

$V_{a,b,c}$ Tension simple des phases a, b et c

V_{br} Tension de claquage

V_{DC} Tension d'entrée du CSI

V_{DS} Tension Drain-Source d'un MOSFET

V_f Tension de seuil de la diode de corps de MOSFET

V_{GSth} Tension de seuil Grille-Source de MOSFET

V_{GS} Tension Grille-Source de MOSFET

V_{max} Tension maximale (observée par une inductance)

$V_{MPP_{max}}$ Tension maximale MPP

$V_{MPP_{min}}$ Tension minimale MPP

V_{OC} Tension de circuit ouvert

V_{pas} Pas de la tension d'entrée (outil de pré-dimensionnement)

$V_{réseau}$ Tension alternative efficace entre phases

η_{euro} Rendement européen

η Rendement

P_n Puissance nominale

Introduction générale

Le développement de nouvelles sources d'énergie est un des enjeux majeurs du début du siècle. Cette course à l'énergie est principalement due à deux raisons. En premier lieu, les énergies utilisées jusqu'à présent sont massivement de type fossile. Elles représentaient encore 81% de la consommation énergétique mondiale en 2018 [1]. Certaines de ces ressources fossiles sont en cours d'épuisement. Il est donc nécessaire de leur trouver des substituts. En second lieu, l'utilisation de ce type d'énergie a une grande part de responsabilité dans le changement climatique. Ce contexte a donc pour effet de mettre en avant la recherche autour de ces nouvelles sources d'énergie plus propres et plus durables.

Le développement des énergies renouvelables ainsi est privilégié. Malgré la variété de ces nouvelles sources d'énergie, elles imposent de recourir à un réseau électrique afin d'être transmises et consommées. Ce constat est valable pour l'hydro-électricité, l'éolien ou le photovoltaïque (PV) par exemple. Pour la première fois, en 2020, les investissements dans ces énergies ont dépassé ceux des énergies fossiles ce qui représente 500 milliards de dollars. L'énergie photovoltaïque représente à elle seule plus de 50% de ces investissements [1].

En effet, l'énergie photovoltaïque voit son développement grandement accélérée sur tous les continents ces dernières années. Cette évolution est principalement portée par la baisse des coûts des modules PV de 85% en 10 ans [2]. Des recherches sont toujours en cours pour poursuivre l'amélioration du rendement des cellules et modules PV. La production d'énergie photovoltaïque nécessite une installation plus large que les seuls modules. Ainsi, la baisse des coûts concerne également la totalité de la chaîne de production PV. Dans le même temps, le coût des énergies fossiles stagne et celui du nucléaire a augmenté. Cette tendance a permis au PV d'être plus compétitif vis-à-vis des énergies fossiles.

Des centrales de production sont maintenant déployées sur de grandes surfaces, les plus grandes étant capables de produire des centaines de MWh. L'électricité produite par les nombreux modules PV est de type courant continu (DC). Les réseaux de distribution étant de type courant alternatif (AC), il est nécessaire de convertir cette électricité par l'intermédiaire de systèmes d'électronique de puissance (onduleurs). Cette conversion a lieu à l'intérieur des centrales. Elles présentent alors des architectures différentes qui correspondent aux connexions électriques internes entre les modules PV et le système de conversion.

Ces architectures sont regroupées en 3 types majeurs : les architectures modules PV, les architectures décentralisées dites de chaîne ou de multi-chaîne et les architectures centralisées. Les architectures de type modules PV ne sont pas adaptées aux grandes centrales de production. Chacun des modules PV est associé à un convertisseur. Les architectures décentralisées sont réalisées par la mise en série d'un certain nombre de ces modules, formant une chaîne avant leur connexion à l'onduleur. Les architectures centralisées sont composées d'un grand nombre de chaînes mises en

parallèle. Dans ce cas, un champ PV entier est alors connecté à un unique onduleur. La tendance actuelle vise à l'élévation de la tension de ces chaînes, elle est de $1,5\,kV$.

Les onduleurs ont finalement plusieurs rôles à jouer dans cette chaîne de conversion. En premier lieu, ils doivent réaliser la conversion de l'énergie produite, ici de type DC-AC. Ils ont aussi pour tâche de traquer le point de puissance maximale (MPPT) afin d'optimiser la conversion. Ils sont composés de divers composants, en particulier des semi-conducteurs. Le rendement est un critère particulièrement scruté puisqu'il définit la capacité du système à convertir l'énergie en limitant les pertes. En cas de défaillance, ce système empêche la production de se poursuivre, il s'agit donc d'une autre caractéristique importante. L'étude du convertisseur de puissance est ainsi un enjeu important de la production d'énergie renouvelable.

Depuis une dizaine d'années, les semi-conducteurs à large bande interdite (WBG) permettent d'améliorer le rendement des convertisseurs de puissance. Le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN) ont ainsi partiellement remplacés le Silicium (Si) sur certaines applications industrielles. Les nouveaux composants de ce type ouvrent des perspectives pour de nouvelles applications y compris dans la production d'énergie PV.

Un grand nombre de topologies de conversion peuvent être utilisées dans les centrales PV. La majorité des systèmes de conversion sont équipés d'un premier étage DC-DC nommé hacheur réalisant la fonction MPPT et d'un étage DC-AC classiquement un onduleur de tension (VSI). Cependant, cette configuration comporte plusieurs défauts. Elle est formée par l'association de deux étages de conversion, pouvant impliquer un rendement dégradé. La présence de deux étages implique également un plus grand nombre de semi-conducteurs, augmentant ainsi le risque de défaillance. De plus, des condensateurs électrolytiques sont nécessaires à la connexion de ces deux étages. Ce type de composant ayant une durée de vie limitée, cela réduit la fiabilité du système entier. Enfin, le VSI est un abaisseur de tension, demandant donc une plus grande section de câble à puissance donnée. Dans le cadre d'une production à grande échelle, les coûts et les pertes s'en retrouvent augmentés.

L'onduleur de courant (CSI) est une topologie alternative à l'association hacheur + onduleur de tension. Il s'agit d'une architecture élévatrice en tension, ne possédant qu'un seul étage de conversion. Il génère peu de pertes par commutation et ne nécessite pas de condensateur électrolytique. Cependant cette topologie est peu utilisée dans la conversion PV. En effet, nécessitant l'association série de deux semi-conducteurs, elle produit des pertes par conduction plus importantes. La rareté de cette topologie a aussi pour conséquence des composants peu adaptés, en particulier pour les modules de puissance. Enfin, les semi-conducteurs de type MOSFET et diode Schottky SiC en composants discrets disponibles sont de calibres égaux ou inférieurs à $1,7\,kV$. De par la nature de son architecture, le CSI utilisant de tels composants ne peut pas convertir une tension de chaîne PV supérieure à $1\,kV$, qui est une valeur de tension technologiquement dépassée.

De nouveaux semi-conducteurs SiC de calibre $3,3\,kV$ sont disponibles sur le marché depuis peu. Ils permettent ainsi d'adapter l'onduleur de courant à la conversion PV actuelle. Il s'agit du principal objectif mené dans ces travaux de thèse. Un deuxième objectif vise à améliorer cette topologie par plusieurs biais. L'un des plus marquants consiste à développer une architecture multiniveaux parallèle. Ce manuscrit relate ainsi les travaux réalisés pour mener à bien ces objectifs.

Le chapitre 1 constitue une introduction à ces travaux. Il parcourt le contexte de la production d'énergie photovoltaïque et de son évolution récente. Puis, il présente les principaux enjeux des différents types de centrales PV. La suite de ce chapitre se focalise sur les onduleurs PV, avec un état de l'art permettant de comprendre les visées de cette étude. Enfin il s'intéresse à l'onduleur de courant et propose d'évaluer la pertinence d'une architecture CSI multiniveaux pour la conversion PV.

Le chapitre 2 présente l'architecture du CSI. L'accent est particulièrement mis sur la définition de l'interrupteur et du fonctionnement de la cellule de commutation en redressement synchrone. C'est également dans cette partie que les semi-conducteurs sélectionnés sont introduits. Une seconde partie rend compte du développement d'une carte de caractérisation des commutations de ces MOSFETs. La méthode à double impulsion utilisée pour cette caractérisation y est décrite et les résultats y sont discutés. Une troisième partie est consacrée au développement d'un outil de pré-dimensionnement du CSI. Il s'agit d'une routine de calcul permettant d'évaluer les futures performances du CSI multiniveaux dans le cadre de la production PV.

Le chapitre 3 a pour principal objet la stratégie de modulation utilisée pour un CSI multiniveaux. Un état de l'art succinct de la modulation Space Vector (SVM) y est présenté. Par la suite, il détaille la mise en place d'une stratégie de modulation de type SVM pour un CSI 3 niveaux puis pour des architectures multiniveaux. La définition des états d'interrupteurs sélectionnés y est prépondérante ainsi que l'étude de l'impact de cette modulation sur l'ondulation du courant et par corollaire sur le dimensionnement des inductances en entrée du CSI.

Le chapitre 4 est dédié à la conception du CSI, en particulier de l'inductance d'entrée, du système de refroidissement et du filtre de sortie AC. Une seconde partie concerne la caractérisation expérimentale de la dissipation thermique. La dernière section est consacrée aux premiers essais réalisés sur le CSI 5 niveaux.

Bibliographie

[1] *World Energy Outlook 2022.* IEA, 2022.

[2] D. Feldman, V. Ramasamy, R. Fu, A. Ramdas, J. Desai, and R. Margolis, *U.S. Solar Photovoltaic System Cost Benchmark : Q1 2020.* National Renewable Energy Laboratory, 2021.

Chapitre 1

État de l'art de la conversion photovoltaïque et des onduleurs de courant

1.1 Contexte de la production d'énergie photovoltaïque

Depuis plusieurs décennies, de nouvelles sources de production d'énergie sont activement recherchées et développées par l'ensemble des pays du globe. Cet élan résulte de plusieurs motivations. D'une part, la demande mondiale en énergie, toujours croissante, pousse à la fois à l'augmentation de la production des énergies déjà développées (en majorité des énergies fossiles) limitées en quantité, mais également à la recherche de nouveaux types d'énergies, souvent plus durables. D'autre part, les effets du changement climatique étant de plus en plus importants, la stratégie des différents gouvernements vise donc à accélérer la transition énergétique, en diminuant les émissions de gaz à effet de serre et en favorisant les énergies renouvelables [1].

Parmi ces nouvelles sources d'énergies, le photovoltaïque (PV) ne fait pas exception. Son développement se poursuit depuis plusieurs décennies, tant sur le plan de la puissance de production installée que du rendement des cellules photovoltaïques de différentes technologies. Le coût actualisé de l'énergie photovoltaïque - Levelized Cost of Energy (LCOE) de ce mode énergétique a été divisé par 10 entre 2009 et 2020 (Figure 1.1), provoquant des investissements massifs vers cette nouvelle source d'énergie de moins en moins coûteuse. Dans le même intervalle de temps, le LCOE des énergies fossiles a stagné, celui du nucléaire a progressé et celui de l'énergie éolienne a été divisé par cinq [2], poussant un peu plus encore le développement de ces technologies récentes.

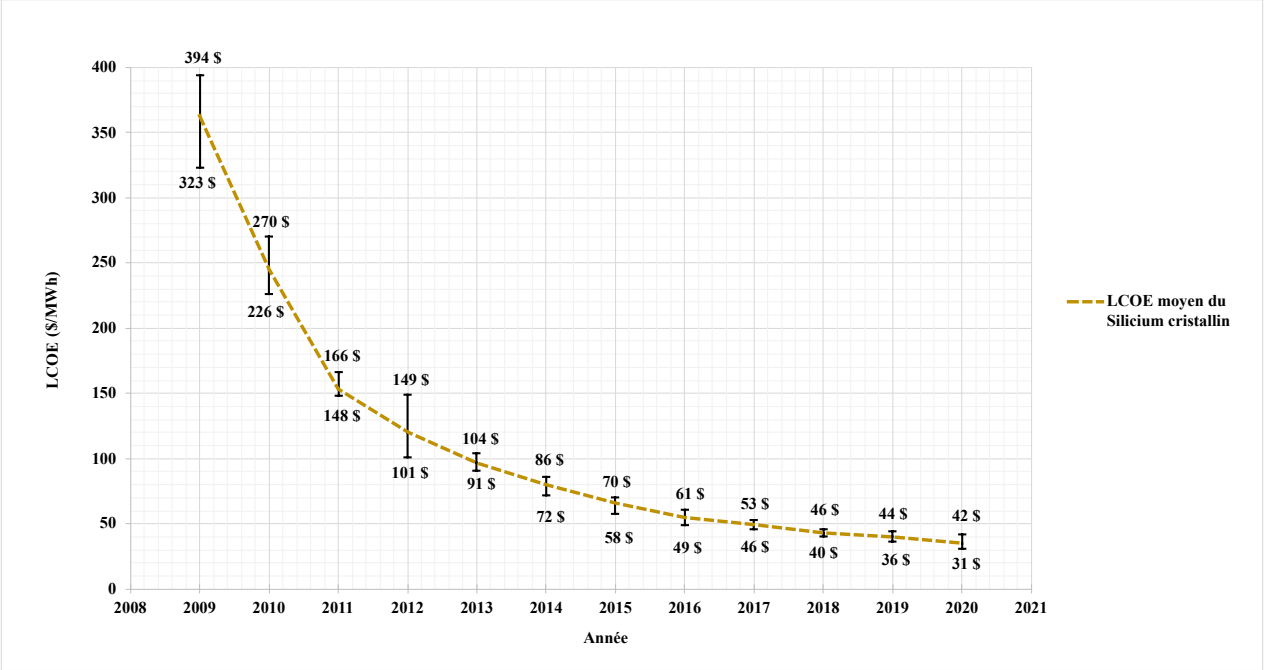

FIGURE 1.1 – Évolution du LCOE moyen et écart type de l'énergie photovoltaïque (Silicium cristallin) entre 2009 et 2020, source : [3].

Cette attractivité économique croissante à contre-courant de l'évolution des coûts des énergies fossiles a eu pour effet de faire bondir la capacité de production solaire photovoltaïque. La Figure 1.2 montre que cette capacité de production photovoltaïque mondiale a été multipliée par vingt en dix ans. De plus, elle croit de plus en plus vite d'année en année. En 2020, elle atteignait 760 GWc, représentant à elle seule plus de 50 % de la puissance nouvellement installée de l'ensemble des

énergies renouvelables, elle était même de 63 % en 2019. Cette augmentation est principalement due à la baisse du coût des modules de 85 % [4]. Le photovoltaïque représente alors 3,3 % de l'énergie consommée à l'échelle mondiale [5, 6], part relativement faible par rapport au potentiel de cette technologie.

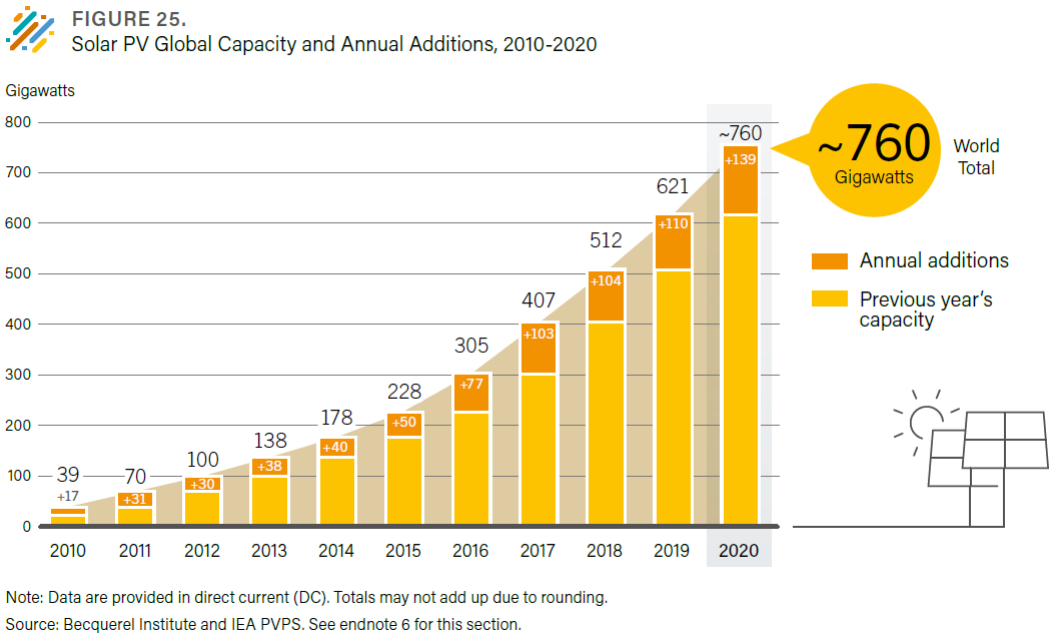

FIGURE 1.2 – Évolution de la capacité de production photovoltaïque mondiale entre 2010 et 2020 [5].

Depuis les premières centrales de production, la tendance est à l'augmentation de la puissance produite par centrale. La Table 1.1 montre les dix plus grandes centrales PV dans le monde en puissance crête installée. Elle illustre que des records sont battus régulièrement, notamment en Chine et en Inde.

Puissance (MWc)	**Lieu**	**Date d'entrée en service**
2245	Bhadlha Solar Park, Inde	2020
2200	Huanghe Hydropower Hainan Solar Park, Chine	2020
2050	Pavagada Solar Park, Inde, Chine	2019
1650	Benban Solar Park, Egypte	2019
1547	Tengger Desert Solar Park, Chine	2016
1177	Noor Abu Dhabi, Emirats Arabes Unis	2019
1013	Mohammed bin Rashid Al Maktoum Solar Park, Emirats Arabes Unis	2020
1000	Kurnool Ultra Mega Solar Park, Inde	2019
1000	Datong Solar Power Top Runner Base, Chine	2016
978	NP Kunta, Inde	2016

TABLE 1.1 – Liste des dix plus grandes centrales PV du monde en puissance crête installée en 2022.

Afin de poursuivre l'accroissement de la capacité de production du photovoltaïque mais aussi de son attractivité économique, différents défis sont à relever. Tout d'abord, l'amélioration du rendement dans les différents systèmes de la chaîne de production est un enjeu majeur. La Figure 1.3 présente la progression du rendement de différentes technologies de cellules entre 1993 et 2019 [7]. Ce graphique montre bien que la progression a lieu quelle que soit la technologie de cellules.

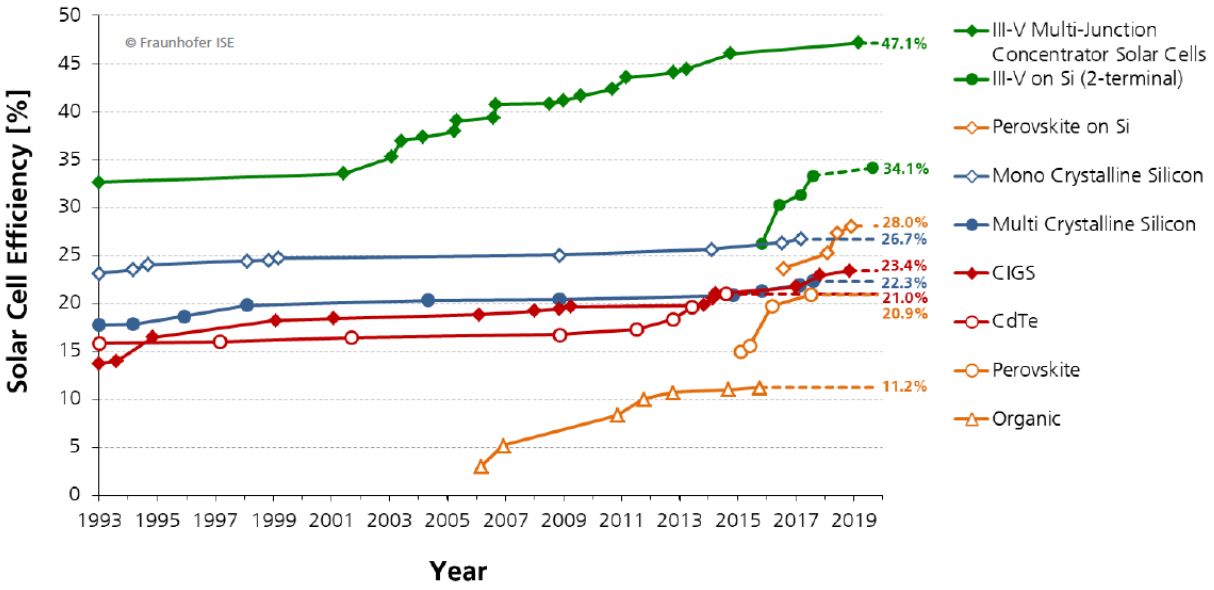

FIGURE 1.3 – Évolution du rendement en laboratoire des différentes technologies de cellules photovoltaïques entre 1993 et 2019 [7].

Malgré leur place centrale et évidente, les cellules PV ne sont pas les seuls éléments constituants de cette chaîne de production d'énergie.

1.2 Architectures électriques des centrales de production photovoltaïque

Une centrale de production PV a besoin d'un système de conversion de l'énergie électrique afin d'acheminer l'électricité produite, de type courant continu (Direct Current) (DC) vers le réseau de distribution de type courant alternatif (Alternative Current) (AC). Les centrales de production PV ont elles-mêmes des architectures différentes. Il s'agit principalement de la manière de réaliser les connexions internes à ces centrales et de quelle manière mutualiser l'énergie ainsi produite. Il existe plusieurs familles d'architectures, elles dépendent de la façon dont sont connectés les modules PV [8].

Les architectures de type module PV sont plus appropriées aux réseaux locaux (off-grid) (Figure 1.4 a)). Elles peuvent aussi être connectées aux réseaux comme chez les particuliers. Les niveaux de tension et de puissance utilisés sont nettement inférieurs à ceux des centrales de production. Les systèmes de conversion sont alors des micro-onduleurs. De taille modeste, chaque onduleur n'est dédié qu'à un seul et unique module PV. Les architectures de type module PV n'étant pas utilisées dans les grandes centrales PV, elles ne seront pas abordées dans la suite de ces travaux. Dans le domaine de la production de forte puissance, il existe surtout deux grandes familles d'architectures :

les architectures centralisées et décentralisées (également appelées distribuées). Les architectures dites décentralisées voient la mise en série d'un certain nombre de modules PV, formant une chaîne PV (Figure 1.4 b)). Cette mise en série permet d'atteindre une plus grande tension de la chaîne PV en entrée du système de conversion. Les architectures décentralisées peuvent pareillement être constituées d'architectures dites multi-chaînes (Figure 1.4 c)). La conversion est divisée, entre un hacheur (DC-DC) propre à chaque chaîne PV et un onduleur (DC-AC) qui convertit l'ensemble des chaînes. La puissance qui y est convertie est le plus souvent comprise entre quelques kW et quelques centaines de kW. Les architectures centralisées voient la mise en parallèle de ces mêmes chaînes PV et peuvent même regrouper un champ entier (Figure 1.4 d)). La puissance convertie est alors de l'ordre de quelques MW. La Figure 1.4 illustre ces quatre principales architectures de centrales PV.

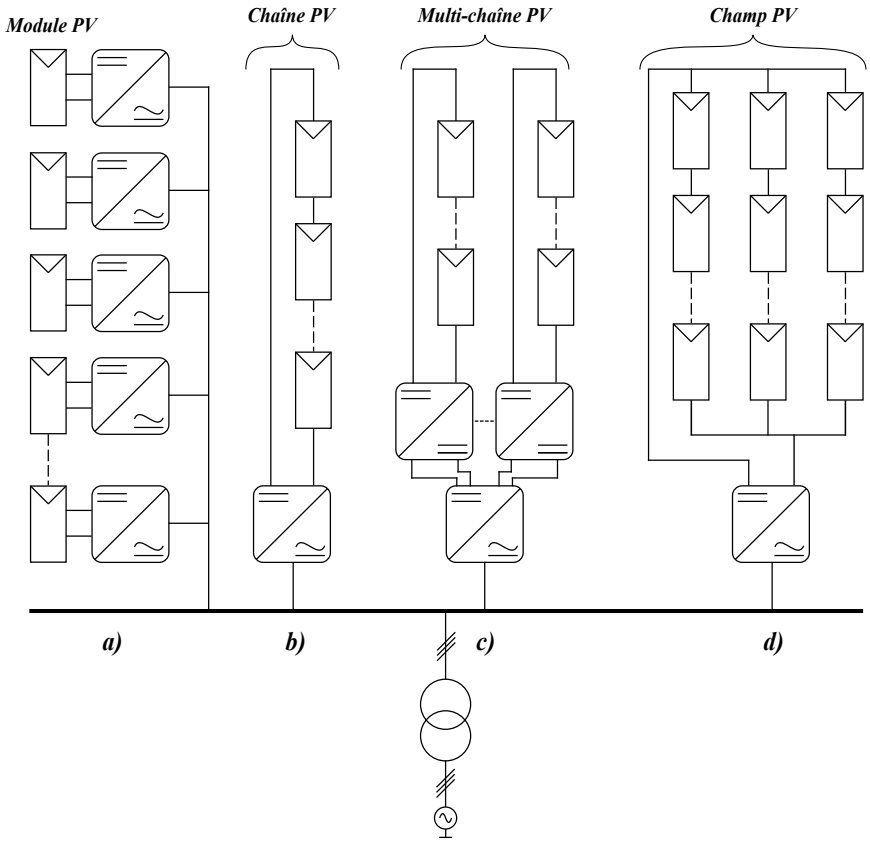

FIGURE 1.4 – Exemples des différentes architectures PV : a) Architecture de type module PV (ou micro-onduleurs) b) Architecture de type chaîne PV (ou décentralisée) c) Architecture multi-chaînes et d) Architecture centralisée.

La Figure 1.5 montre à la fois l'évolution de la répartition de la puissance nouvellement installée chaque année dans le monde et la puissance cumulative pour les deux types d'architectures connectées au réseau (on-grid). On peut y observer que les centrales à architecture centralisée sont passées de 20% des nouvelles installations à 60% en 2020. Cependant, la tendance actuelle est stabilisée et les deux types d'architectures restent très utilisées, comme cela est démontré à travers les courbes de cette même figure. Le marché européen est le seul à utiliser majoritairement les architectures décentralisées [6, 9].

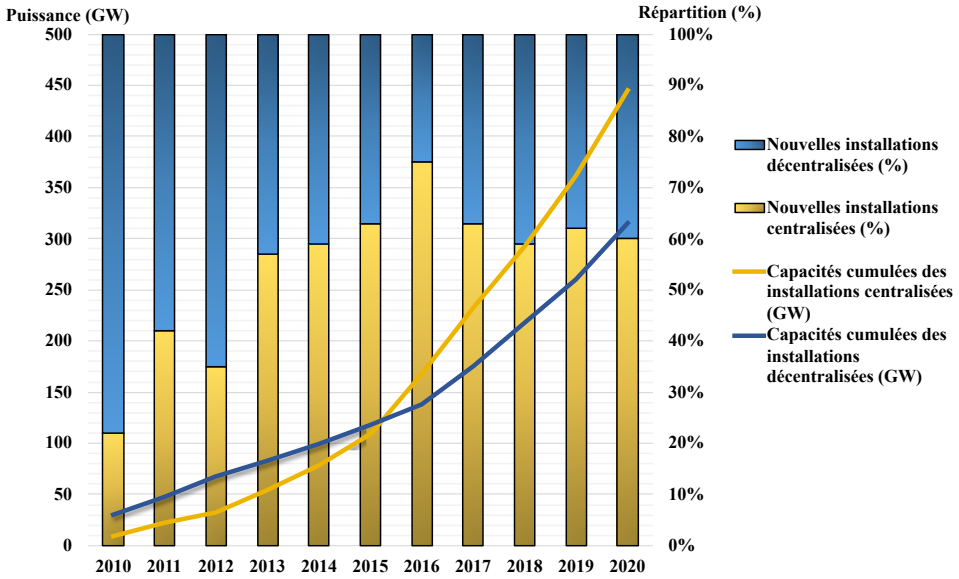

FIGURE 1.5 – Répartition des architectures de centrales PV par puissance cumulée installée et par nouvelle installation annuelle [6].

1.2.1 Architectures centralisées

Les chaînes PV sont dimensionnées pour atteindre une tension maximale, V_{OC}. Pour une grande centrale de production récente, cette tension, en 2023, est le plus souvent établie à $1500\,V$, représentant la limite de la basse tension en régime continu. La mise en parallèle d'un grand nombre de ces chaînes rend possible l'augmentation de la puissance électrique produite. Les principaux avantages des architectures centralisées sont la robustesse et la simplicité de leur topologie interne. Cependant elles présentent des inconvénients qui peuvent s'avérer sévères. Le principal étant l'absence de MPPT (suivi du point maximal de puissance - Maximum Power Point Tracking) pour chaque module PV, puisque le pilotage est réalisé sur l'ensemble du champ PV. Ce suivi global et non individuel de chaque module provoque des pertes dues à la disparité de la production [10]. Si par exemple, le champ PV se retrouve partiellement ombragé par un nuage, le suivi MPP se fait sur le module PV (ou la chaîne PV) ombragé. Les autres modules ne sont donc plus exploités au maximum de leur production [8, 11]. Un autre défaut majeur concerne le système de conversion utilisé qui est composé de condensateurs électrolytiques à la fois volumineux et possédant une durée de vie plus courte que les autres composants [12], réduisant en conséquence celle de l'onduleur tout entier. Ce point sera détaillé dans les sections suivantes. Ce défaut n'est pas spécifique aux systèmes de conversion centralisés mais est plus critique dans cette configuration : une défaillance de ce système entraîne l'arrêt de toute la production de la centrale. La fiabilité est donc un critère très important dans la conception de convertisseurs pour les architectures centralisées.

1.2.2 Architectures décentralisées

Les architectures décentralisées ont le principal avantage de réaliser un suivi MPP sur les quelques modules formant la chaîne PV. Lors d'un ombrage partiel, un moins grand nombre de modules PV sont donc concernés par la baisse de production comparativement aux architectures centralisées [8]. Le défaut majeur de ces topologies repose essentiellement sur la multiplication du nombre d'onduleurs et donc de composants pour atteindre la même puissance convertie par un

seul convertisseur central. Surtout, la mise en parallèle des connexions AC sur l'intégralité de la centrale peut s'avérer à la fois complexe et coûteuse. En effet, comparativement à une architecture centralisée, la quantité de câbles y est très nettement supérieure. La montée progressive des tensions impliquées dans ce type de centrale PV est d'autant plus pertinente.

1.3 Principaux enjeux de la conversion photovoltaïque

Au-delà du type d'architecture utilisée qui implique différents avantages et inconvénients, les enjeux de la conversion photovoltaïque sont bien plus larges. Le principal objectif de ces systèmes est de convertir l'énergie électrique produite, de type DC à une électricité compatible avec le réseau de distribution, de type AC haute tension. La Figure 1.6 schématise les étapes classiques de cette conversion. Le critère de performance retenu dans la conception du système de conversion est le rendement (η).

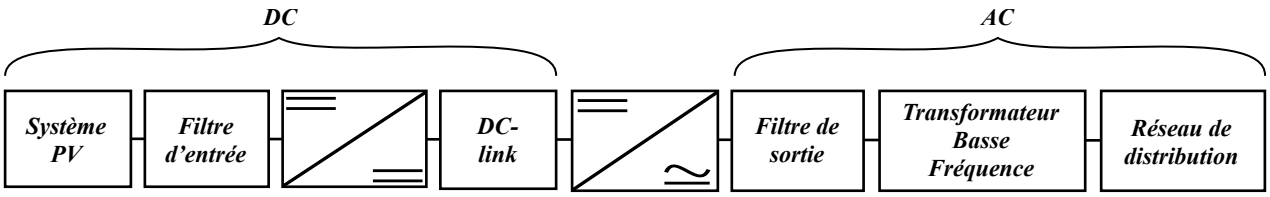

FIGURE 1.6 – Structure de la conversion pour une application PV [8].

Afin d'assurer la sécurité et la continuité du réseau, une isolation galvanique est souvent utilisée dans l'enceinte de la centrale de production. Elle s'effectue, de manière classique en sortie du système de conversion, par l'intermédiaire d'un transformateur basse tension (BT) / moyenne tension (MT) basse fréquence (BF). Cependant, de nouvelles topologies apparaissent, dont certaines intègrent l'isolation galvanique [13] avec des transformateurs moyenne fréquence.

Les pertes sont produites par l'ensemble des éléments du système de conversion. En particulier, les pertes dans les semi-conducteurs P_{SC} et les pertes dans les éléments passifs (inductances et condensateurs) constituent les principales sources de pertes.

La conversion PV a pour caractéristique d'être réalisée sur des plages de fonctionnement, non sur un unique point, dépendant de l'ensoleillement. Les limites sont définies par la tension minimum de démarrage du système de conversion et la tension maximale d'utilisation $V_{MPP_{max}}$. Cette tension n'est pas à confondre avec la tension V_{OC}, qui correspond à la tension en circuit ouvert de la chaîne PV. Aucune puissance ne peut être délivrée à cette valeur. En général, $V_{MPP_{max}}$ est légèrement inférieure de quelques dizaines de Volts à V_{OC}. De même la conversion se fait sur une plage de puissance allant jusqu'à une valeur maximum : la puissance nominale P_n. La Figure 1.7 illustre la caractéristique I-V d'une source PV.

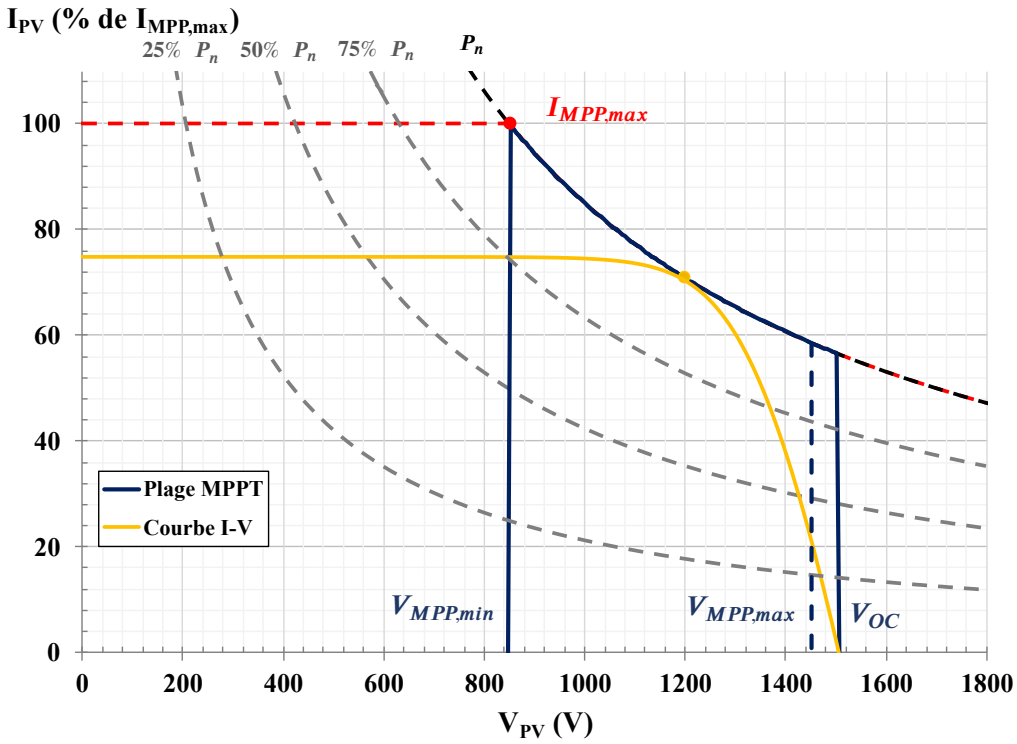

FIGURE 1.7 – Caractéristique d'une source photovoltaïque (I-V) pour une gamme de tension de V_{MPP} comprise entre 850 ($V_{MPP_{min}}$) et $\simeq 1450\,V$ ($V_{MPP_{max}}$).

Le rendement du système de conversion n'est donc pas constant sur la totalité de la plage de fonctionnement qu'il doit couvrir. Pour rendre compte de la réalité de ses performances de conversion, il est pondéré par le profil de la puissance produite. Il varie en fonction de la région où la centrale est installée. En Europe, on utilise le rendement "européen" noté η_{euro} qui est défini par :

$$\eta_{euro} = 3\% \cdot \eta_{5\%} + 6\% \cdot \eta_{10\%} + 13\% \cdot \eta_{20\%} + 10\% \cdot \eta_{30\%} + 48\% \cdot \eta_{50\%} + 20\% \cdot \eta_{100\%} \tag{1.1}$$

La nuance entre rendement et rendement européen est importante car le système de conversion se doit alors d'être performant sur l'intégralité de la plage de fonctionnement. Le rendement crête ne suffit pas à définir l'efficacité de l'onduleur PV. De même, un rendement faible sur quelques points MPP peut fortement dégrader ce rendement européen.

Parmi les enjeux, la qualité du courant de sortie est aussi à considérer. Un des principaux critères est le Taux de Distorsion Harmonique (THD). Toujours dans le contexte de la conversion PV, de nombreuses études ont été menées afin de le réduire, synonyme d'une meilleure qualité du courant injecté sur le réseau [14, 15]. Il est régi par des normes. Afin de les respecter, une fonction de filtrage réalisée par des composants passifs est intégrée à l'onduleur. Un courant très parasité implique un besoin de filtrage important. Cela se traduit généralement par des composants passifs plus coûteux et volumineux.

Le coût est aussi un des enjeux majeurs de la conversion. Le coût de ce système de conversion ne doit pas être en rupture avec le coût global de la chaîne PV. En 2017, le coût propre du système de conversion était de l'ordre de 10 centimes de dollar par Watt [16, 17]. Cela correspond à environ 10% du coût global d'un Watt de production d'énergie PV.

Sur un plan technique, la masse et le volume occupés par le système de conversion est une donnée importante. Ces caractéristiques sont évidemment moins primordiales que dans le dimensionnement de systèmes embarqués. Il n'existe pas de norme de dimensions d'un onduleur centralisé ou de chaîne PV. Cependant, dans un contexte de production d'énergie renouvelable, limiter la quantité de matière utilisée répond à des critères économiques et écologiques.

Afin d'obtenir la meilleure structure de conversion possible, un grand nombre de topologies existent sur le marché. Elles ont différents rapports aux enjeux évoqués précédemment. En particulier, elles sont variablement adaptées aux différentes architectures de centrales. La section suivante a pour but de faire un état de l'art des principales architectures utilisées. Dans la suite de ce rapport, l'architecture considérée est de type chaîne/multi-chaînes sauf mention contraire.

1.4 État de l'art : les onduleurs photovoltaïques

Ce système de conversion DC-AC est un convertisseur d'électronique de puissance continu-alternatif, appelé également onduleur. Il existe une très grande variété d'architectures disponibles sur le marché et dans la littérature, composées d'un ou de deux étages de conversion : DC-AC ou DC-DC + DC-AC. La préférence pour une topologie en particulier dépend d'un grand nombre de critères : qualité du suivi de la production à travers le MPPT, rendements, durée de vie, coûts, disponibilité, simplicité de l'architecture etc.

1.4.1 Tensions des onduleurs PV

Historiquement, les tensions utilisées par les onduleurs PV ont évolué avec celles de la chaîne PV d'une part et celles des réseaux de distribution d'autre part.

A partir des évolutions des technologies, en particulier celles des cellules et des modules, la tension V_{OC} a augmenté [16, 18]. Depuis quelques années, la tension V_{OC} observée par la plupart des onduleurs PV est de $1500\,V$. Son dépassement entraînerait un surcoût dans les protections internes à la centrale. Cependant, la tendance est toujours à l'accroissement de cette tension. En effet, à puissance constante, elle nécessite une plus grande quantité d'isolant mais une plus faible section de cuivre, réduisant à la fois les coûts et les pertes ohmiques dans ces câbles [19]. Des projets de recherches utilisant des chaînes PV en moyenne tension DC sont déjà en cours [20]. Comme évoqué, les difficultés à passer cette limite concernent principalement le manque de normes dans le domaine de la moyenne tension et peut poser des potentielles difficultés techniques sur la capacité d'associations des cellules PV, des modules PV ou même du système de conversion.

L'augmentation des grandeurs électriques concernent pareillement le réseau interne à la centrale. La plupart des onduleurs actuels fonctionnent avec une tension maximale de $V_{réseau} = 800\,V$. Le réseau $V_{réseau} = 690\,V$ est aussi très répandu. C'est cette tension qui est ensuite élevée par un transformateur basse fréquence vers la haute tension (dans notre cas l'exemple considéré sera le réseau $20\,kV$). Les grandeurs AC internes à la centrale de production sont aussi limitées par les normes de la basse tension alternative (norme NF C15-100).

1.4.2 Les semi-conducteurs : éléments-clés des convertisseurs de puissance

Afin de réaliser ces conversions DC-AC, divers composants sont nécessaires, en particulier les semi-conducteurs. Depuis leurs premiers développements, dans les années 1950, ils sont à base de Silicum (Silicon) (Si). De nos jours, le Silicium est encore largement utilisé notamment à travers le transistor bipolaire à grille isolée (Insulated Gate Bipolar Transistor) (IGBT). De par son faible coût et ses relatives bonnes performances, ce matériau a toujours une place prépondérante sur le marché des semi-conducteurs [21].

Depuis une dizaine d'années, plusieurs avancées majeures ont été réalisées dans le domaine des semi-conducteurs. Des matériaux dits à large bande interdite (Wide Band-Gap) (WBG) sont de plus en plus utilisés dans la réalisation des semi-conducteurs [22–25]. Ces matériaux présentent de meilleures propriétés physiques que le Silicium. Leurs propriétés sont comparées dans le tableau ci-dessous Table 1.2.

Property (unit)	**Si**	**4H-SiC**	**GaN**	**Diamond**
Band gap ($E_G\,[eV]$)	$1.1i$	$3.23i$	$3.45d$	$5.45d$
Dielectric constant (ϵ_r)	11.8	9.8	9	5.5
Breakdown Field ($F_B\,[MV/cm]$)	0.3	2	$3-4$	10
Thermal conductivity ($\lambda\,[W/cmK]$)	1.5	5	1.5	22
Sat. Drift velocity e- ($v_s\,[10^7 cm/s]$)	1.0	2.0	2.2	2.7
Sat. Drift velocity h+ ($v_s\,[10^7 cm/s]$)	1.0			1.1
Electrons mobility ($\mu_e\,[cm^2/Vs]$)	1500	1000	1250	1000
Holes mobility ($\mu_h\,[cm^2/Vs]$)	480	100	200	2000
Johnson's FOM (JFM $[10^{23}\Omega \cdot W/s^2]$)	2	405	1103	3064
Keyes' FOM (KFM $[10^7 W/Ks]$)	9	49	16	215
Baliga's FOM (BFM [Si=1])	1	165	635	23017

TABLE 1.2 – Propriétés à température ambiante de quatre matériaux utilisés dans les semi-conducteurs, source : [26].

Le Carbure de Silicium (Silicon Carbide) (SiC) et le Nitrure de Gallium (Gallium Nitride) (GaN) sont des matériaux présents sur le marché depuis quelques années. Les semi-conducteurs de ce type se développent de plus en plus, offrant de nouvelles perspectives pour un grand nombre de topologies et d'applications. D'autres matériaux, tels que le diamant ne présentent pas une maturité suffisante mais restent prometteurs dans leurs propriétés. Le GaN est un matériau plus adapté aux fréquences de commutation élevées (jusqu'à $1\,MHz$) et aux faibles puissances et tensions, jusqu'à $900\,V$ commercialement et $1200\,V$ en laboratoire [27–29].

Dans ces travaux de thèse, seul le cas du SiC sera considéré, plus adapté aux applications de conversion de chaînes PV. Ce matériau présente une résistance à l'état passant $R_{DS_{on}}$ très faible comparativement à celle du Si, rendant les surfaces des puces nettement plus petites et générant moins de pertes par conduction. Concernant les phases de commutation, la plus haute tension de rupture du champ (breakdown field strength Table 1.2) du SiC permet de réduire l'épaisseur de la zone de migration (drift region) et ainsi les pertes par commutation, ce qui améliore aussi les

performances dans ce domaine en comparaison avec du Si [30]. De plus, pour un même calibre en tension de blocage, les semi-conducteurs à grand gap ont des capacités parasites (C_{OSS}, C_{RSS}, C_{ISS}) considérablement réduites, améliorant leurs vitesses de commutation et par conséquent réduisant les pertes générées. Toutes ces propriétés permettent au SiC d'être plus performant que le Silicium, malgré un coût plus élevé.

Ces différents matériaux sont donc utilisés dans la fabrication des différents types de composants semi-conducteurs. Concernant les applications PV, pour des onduleurs de chaînes PV, les transistors à effet de champ à grille métal-oxyde (Metal-Oxyde-Semiconductor Field Effect Transistors) (MOSFET) sont les semi-conducteurs les plus utilisés [8]. Ils ont l'avantage de présenter des vitesses de commutation plus élevées, générant moins de pertes. Les premiers composants avec des calibres en tension supérieurs ou égaux à $3,3\,kV$ commencent à être mis sur le marché. Il s'agit généralement de modules.

1.4.3 Les onduleurs de tension

Concernant la topologie des onduleurs de tension, la grande majorité utilisée dans la production PV est composée de deux étages de conversion : un étage hacheur élévateur de tension (DC-DC) suivi d'un onduleur de tension (Voltage Source Inverter) (VSI) [31, 32]. Ce dernier est un abaisseur de tension triphasé. Ces deux étages de conversion peuvent présenter de nombreuses variantes mais le principe reste similaire [33]. La Figure 1.8 représente cette structure en association avec les tensions usuelles de la conversion.

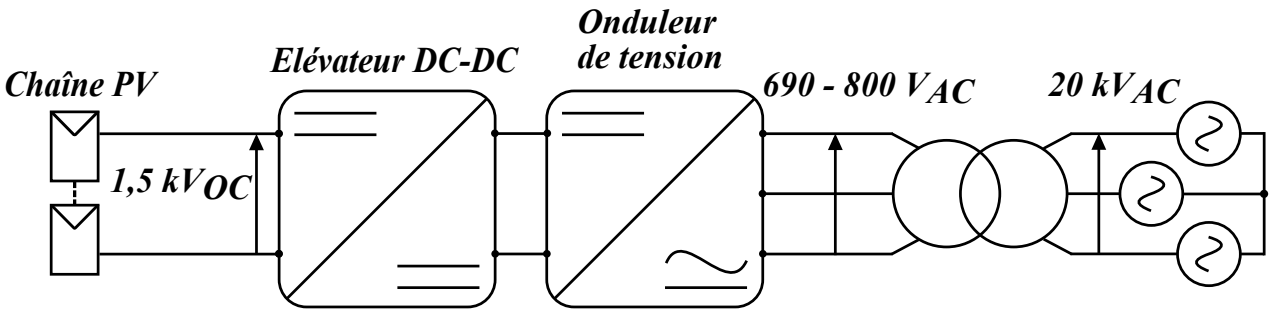

FIGURE 1.8 – Chaîne de conversion PV $1,5\,kV$ utilisant une mise en cascade d'un hacheur élévateur et d'un onduleur de tension triphasé.

Dans le cas d'une topologie à deux étages, le premier étage DC-DC est principalement utilisé pour effectuer le suivi Maximum Power Point (MPP), c'est-à-dire qu'il réalise une régulation de la tension PV pour toujours garantir le point de puissance maximal. Cet ajout permet d'agrandir la plage de tension MPP mais engendre plus de pertes, puisque cet étage possède un rendement propre sur la plage de fonctionnement [34]. L'élévation de tension est aussi nécessaire afin de rendre possible au VSI, abaisseur de tension, de réaliser la conversion vers un réseau basse tension.

La Figure 1.9 donne quelques exemples détaillés d'architectures d'onduleurs de tension triphasés très utilisées dans la conversion PV, avec ou sans étage élévateur.

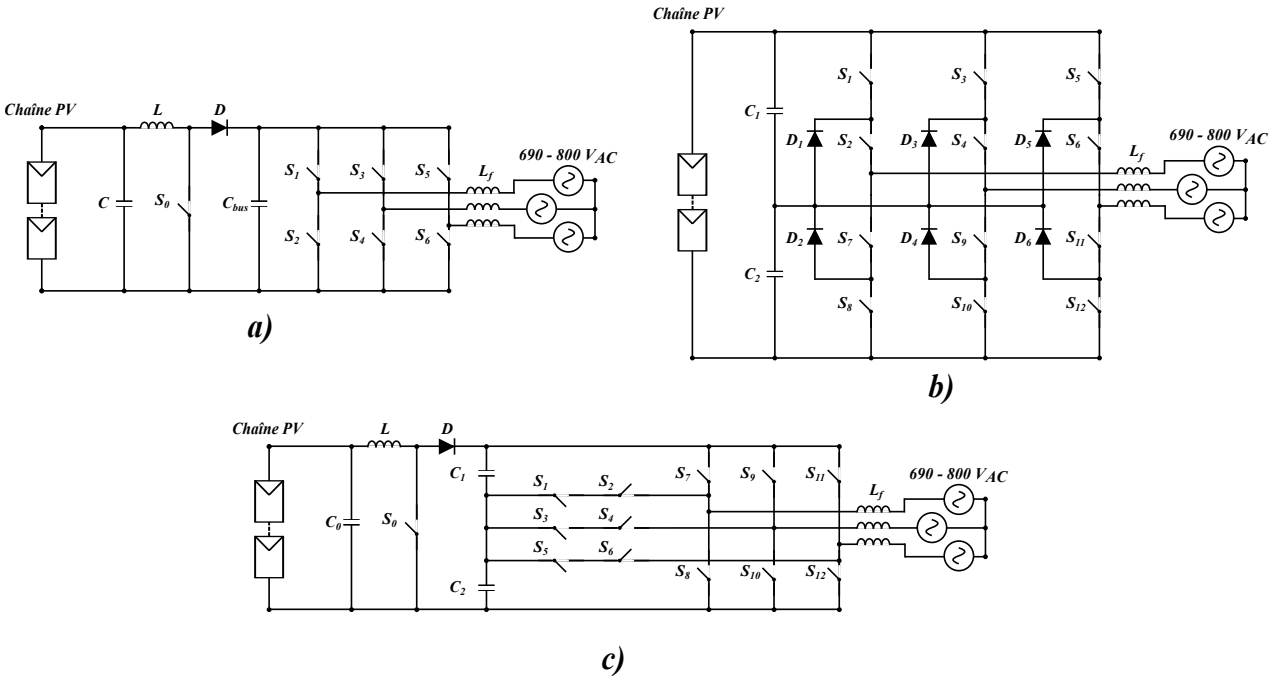

FIGURE 1.9 – Architectures communes dans la conversion de chaîne de conversion PV : a) Hacheur élévateur + Pont onduleur de tension 3 niveaux triphasé b) Onduleur NPC (Neutral Point Clamped) triphasé c) Hacheur élévateur + Onduleur type-T triphasé [8, 9, 35].

1.4.4 Principaux défauts des systèmes de conversion PV

Les onduleurs de tension présentent des défauts qui limitent leurs performances. Ici, il faut différencier les cas avec ou sans hacheur élévateur. Lorsque cet étage est présent, la plage MPP est élargie mais un plus grand nombre de composants sont engagés et les pertes dans cet étage peuvent dégrader le rendement global et ce, de manière plus importante que celui engendré par une architecture à un seul étage de conversion.

Les hacheurs élévateurs + onduleurs de tension sont aussi composés de condensateurs, liant les deux étages de conversion. Ces composants passifs, souvent de type électrolytiques, ont une durée de vie plus courte que les autres composants du système, ce qui résulte en un défaut de fiabilité [36].

Les pertes par commutation générées par ces convertisseurs ont une part importante dans les pertes globales, limitant de ce fait la fréquence de commutation. Cette caractéristique implique une nécessité de filtrage plus importante, et donc des composants passifs plus volumineux et plus coûteux.

Un autre défaut réside dans la conversion elle-même. En particulier, dans le cas d'une conversion de chaîne ou de multi-chaînes PV. De par l'action d'abaissement de tension du VSI, à puissance et densité de courant constantes, la section de câble nécessaire est augmentée. De plus, le nombre de convertisseurs impose des connexions longues distances et ainsi une importante quantité de câbles. À cause de ces deux phénomènes, les pertes dans les câbles AC sont importantes dans ce type de centrales PV.

Afin de réduire ces pertes, la tension de ce réseau interne aux centrales pourrait être rehaussée. Cependant, en considérant cette architecture, il faudrait procéder à l'élévation de la tension d'entrée de l'étage VSI, ce qui modifierait le calibre en tension des semi-conducteurs utilisés dans les deux étages de conversion. De plus, l'étage hacheur élévateur aurait un rapport d'élévation à produire plus important, entraînant de plus grandes pertes.

Cette section a présenté cette famille d'onduleurs de tension (VSI), ses principales caractéristiques ainsi que ses défauts. Il existe une deuxième catégorie d'onduleurs, l'onduleur de courant (Current Source Inverter) (CSI). Cette architecture possède des avantages importants comparativement à l'état actuel des technologies d'onduleurs de tension. La présentation de cette famille sera donc le sujet principal de la prochaine section.

1.5 État de l'art : les onduleurs de courant triphasés dans la conversion photovoltaïque

Les onduleurs de courant représentent la deuxième famille d'architecture dans la conversion DC-AC. Ils ont la particularité de n'être composés que par un unique étage de conversion élévateur [37]. Les interrupteurs utilisés dans les onduleurs de courant sont bi-directionnels en tension et unidirectionnels en courant (Figure 1.10 a)). Cette caractéristique statique peut être réalisée de diverses manières. Historiquement, les premiers composants 3 segments étaient des thyristors Figure 1.10 b), puis avec l'apparition de nouveaux semi-conducteurs, d'autres associations sont devenues possibles. La Figure 1.10 illustre les c) Reverse-Blocking IGBT (RB-IGBT) et d) l'association MOSFET et diode série. Ces deux dernières solutions sont les plus communes dans les onduleurs de courant modernes [38].

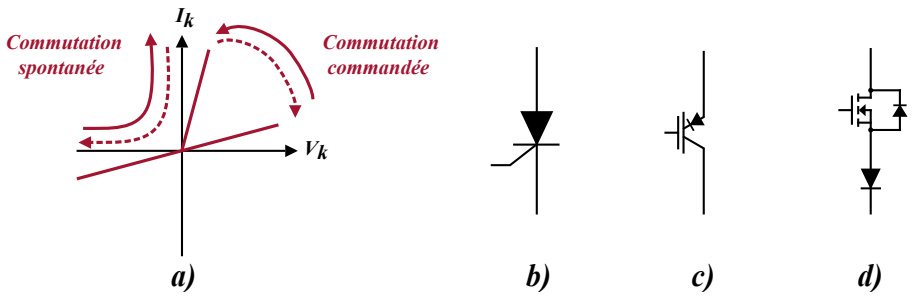

FIGURE 1.10 – a) Caractéristique statique d'un interrupteur présent dans un CSI [39], b) Thyristor, c) RB-IGBT et d) MOSFET avec diode série, pouvant réaliser cette caractéristique statique.

L'utilisation d'IGBTs, composants bipolaires, est peu recommandable dans la plage de puissance concernée par l'application chaîne PV (basse/moyenne tension) [40]. En effet, leur bon comportement à l'état passant n'est pas dissociable de leur mauvais comportement à la commutation. La quantité de pertes importante face à un composant unipolaire et également la lenteur de la commutation font de l'IGBT un piètre semi-conducteur à associer à une architecture d'onduleur de courant de quelques dizaines de kW.

Dans le cas d'une association MOSFET - diode série, cette dernière est préférentiellement une diode de type SiC Schottky. En effet, depuis le développement du Carbure de Silicium, les diodes Schottky supplantent les diodes PIN. Leur structure permet de réduire très fortement les pertes de

recouvrement inverse ayant lieu au blocage de la diode. Elles ne provoquent pas de pertes liées à la commutation, contrairement aux diodes PIN. Ces pertes liées au recouvrement inverse peuvent être vectrices d'un risque de surtension si le blocage est trop rapide [41]. Les diodes SiC Schottky sont actuellement disponibles jusqu'au calibre $1,7\,kV$ et quelques modèles $3,3\,kV$ commencent à être commercialisés. Cet élément est décisif pour expliquer l'intérêt nouveau porté au CSI dans ce type d'application PV.

La structure de base de ce convertisseur est schématisée par la Figure 1.11 : les interrupteurs K_x (x allant de 1 à 6) de la matrice d'interrupteurs ont pour entrée, une source de courant continu, réalisée par une inductance de liaison DC (L_{DC}) et ont pour sortie le réseau triphasé à source de tension. Un filtrage est nécessaire entre les interrupteurs et le réseau basse fréquence, il est de type CL (et non LC comme pour les VSI).

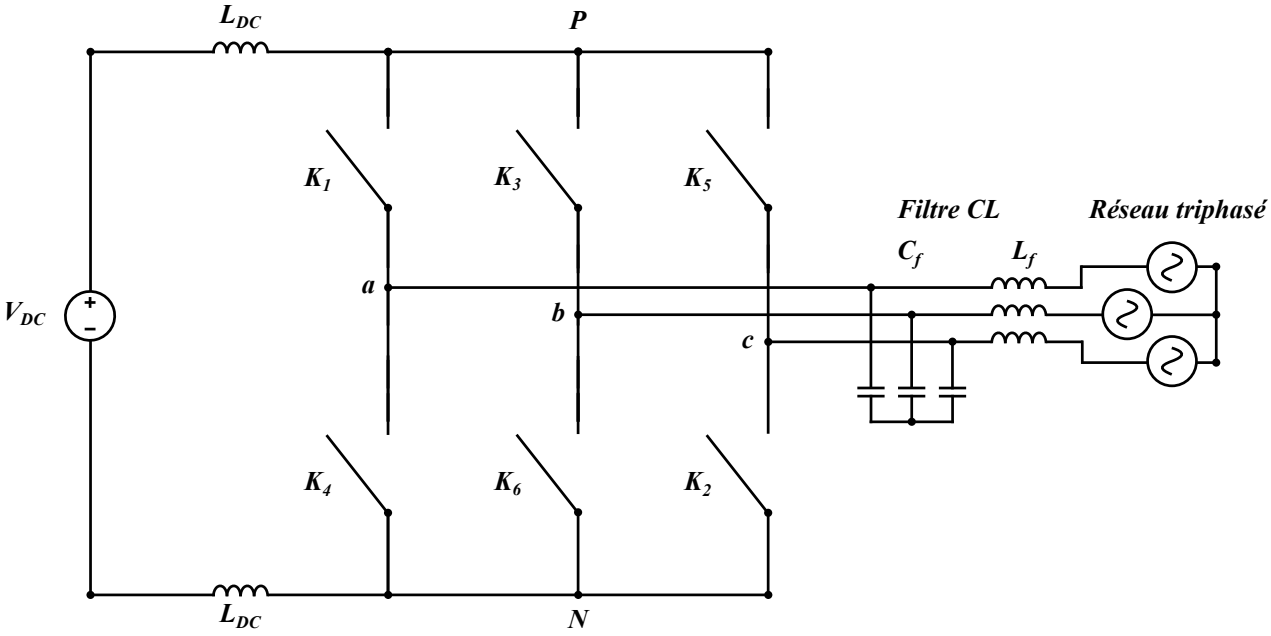

FIGURE 1.11 – Onduleur de courant (CSI) triphasé.

Comme détaillé dans [39], la commande autour de la matrice d'interrupteurs nécessite d'assurer la continuité du courant DC dans la source de courant matérialisée sur le schéma précédent par L_{DC}. Cette condition impose qu'au moins un des interrupteurs ayant pour point commun P, $K_{1,3,5}$ (qui sera nommé High-Side dans la suite du document) et au moins un des interrupteurs ayant pour point commun N, $K_{2,4,6}$ (nommé Low-Side) soit constamment à l'état passant. Cela impose des commutations présentant un temps de chevauchement, impliquant deux interrupteurs à l'état passant ayant le point P ou N communs. La durée de ce temps doit être courte au regard de l'échelle du temps de conduction des composants.

L'équation 1.2 décrit la conversion réalisée par l'onduleur de courant. V_{DC} est la tension d'entrée, $\hat{V}_{réseau}$ correspond à la tension de sortie entre phases crête à crête du CSI ; sont également définis : la profondeur de modulation M et la phase φ. M est compris entre 0 et 1.

$$V_{DC} = \frac{\sqrt{3}}{2} \cdot \hat{V}_{réseau} \cdot M \cdot cos(\varphi) \tag{1.2}$$

La présence d'un seul étage de conversion a pour bénéfice principal la suppression des condensateurs de liaison entre les deux étages nécessaires sur une association hacheur élévateur + VSI (voir Figure 1.8 b)). D'ailleurs, le remplacement dans ce rôle par une inductance représente un possible gain dans la durée de vie de l'onduleur. Le seul désavantage étant simplement la plus faible densité de stockage d'énergie par rapport à celui d'un condensateur.

1.5.1 Principales limites de la topologie CSI

Comme évoqué précédemment, cette topologie reste peu utilisée dans la conversion PV principalement de par les défauts de l'onduleur de courant qui seront analysés dans cette partie.

Limites liées aux interrupteurs

Premièrement, l'association de deux semi-conducteurs en série, notamment IGBT + Diode ou MOSFET + Diode est peu disponible. Le marché des semi-conducteurs étant plus adapté aux onduleurs de tension, les modules de puissance utilisant cette structure interne sont rares [42, 43]. Lors de la conception d'un onduleur de courant, deux choix sont possibles :

- Concevoir et fabriquer des modules de puissance sur mesure [39] en y intégrant l'association série, ce qui représente un coût important et nécessite de mobiliser du temps et des connaissances dédiées. Malgré cela, cette solution permet d'obtenir de bonnes (meilleures) performances et surtout adaptées à l'application.
- En associant des composants discrets ayant le même calibre en tension et le plus proche possible en courant, tout en restant fidèle aux besoins de l'application. Cette solution a pour effet de limiter le temps consacré à cette partie de la conception mais peut augmenter les pertes produites par la matrice d'interrupteurs ainsi formée.

Les performances des semi-conducteurs sont aussi affectées lors de l'utilisation de cette topologie. En effet, l'association série de deux composants ayant chacun une $R_{DS_{on}}$ propre, augmente la résistance globale à l'état passant, autrement dit, les pertes sont élevées lors de la phase de conduction.

Il s'agit d'un des défauts les plus importants de cette topologie. Les pertes par conduction sont en général majoritaires sur les autres types de pertes, pénalisant le rendement global [39]. Les pertes par conduction dépendent donc des composants utilisés pour réaliser la caractéristique statique du CSI. Afin de maintenir le meilleur rendement possible, il faut nécessairement tendre vers l'association ayant la plus faible résistance équivalente. Il sera montré dans le chapitre suivant que l'utilisation de matériaux WBG n'est pas la seule façon d'y parvenir. L'apport de ces nouveaux matériaux WBG, dans le cas du SiC, explique en partie la considération nouvelle pour l'onduleur de courant dans le cadre de certaines applications.

Agencement des composants de puissance pour l'optimisation thermique

Une autre particularité est liée au fonctionnement de l'onduleur. Afin d'obtenir un comportement thermique équivalent et équilibré (dans le cas de composant(s) monté(s) en surface (SMD) (CMS)) et surtout des performances en commutation proches, l'agencement des composants/puces est primordial. Par conséquent, que cela soit dans la conception d'un module [44] ou l'utilisation de composants discrets [45], la géométrie est à considérer. Comme évoqué précédemment, la matrice d'interrupteurs de l'onduleur de courant est composée, mécaniquement, de deux demi-matrices de trois interrupteurs chacune, cette donnée rend la réalisation plus complexe et a, en général, pour

conséquence de faire occuper une plus grande surface à la matrice d'interrupteurs. Cette particularité provoque une augmentation des pertes par commutation. Cette question sera détaillée dans le chapitre suivant, lors de la conception de la matrice d'interrupteurs.

Limite liée aux composants passifs

L'inductance de liaison DC est un autre défaut de la topologie, quelle que soit l'application. Cet élément passif, non présent dans les topologies à source de tension (remplacé par un élément passif capacitif), est en général relativement volumineux. Son volume est notamment lié à la fréquence de commutation (ou de découpage) f_{dec} utilisée pour les semi-conducteurs, la tension appliquée à ses bornes et la valeur maximale de l'intensité la traversant. La nécessité de limiter f_{dec} dans le but de minimiser les pertes par commutation P_{sw} implique une valeur d'inductance plus importante et par corollaire une augmentation importante du volume de ce composant.

Dans le cadre d'une application PV, le critère masse/volume n'est pas très critique. Malgré cela, abaisser le coût global et la quantité de matière utilisée peut s'avérer être important de par la multiplication du nombre d'onduleurs constituant la chaîne PV. Il doit rester en cohérence avec l'objectif premier ; celui de développer une source d'énergie plus durable et moins consommatrice en ressources. De plus, il existe des possibilités pour minimiser ce défaut, elles seront largement parcourues dans la suite de ce manuscrit.

Limites liées à l'application PV

La Figure 1.12 illustre l'onduleur de courant dans un contexte de production PV à l'état de l'art. Lorsque des interrupteurs de calibre $1,7\,kV$ sont utilisés, la tension de la chaîne PV ne correspond pas à celle de l'état de l'art actuel, $1,5\,kV$ mais à une tension de $1\,kV$ [37]. L'équation 1.2 décrivant la conversion réalisée par un CSI permet d'expliquer cela.

Le choix du calibre des semi-conducteurs dépend directement de la tension crête de sortie : $\hat{V}_{réseau}$, ainsi pour un réseau $800\,V_{AC}$, la tension maximale commutée sera de $800\,V \cdot \sqrt{2} \simeq 1130\,V$. L'onduleur de courant étant une topologie élévatrice, avec une tension d'entrée supérieure à $1\,kV$, à fortiori une chaîne $1,5\,kV$, la tension crête minimale de $\hat{V}_{réseau}$ serait définie par :

$$\hat{V}_{réseau} = \frac{2 \cdot V_{DC}}{\sqrt{3}} \tag{1.3}$$

Pour une tension V_{DC} autour de $1,5\,kV_{OC}$, les interrupteurs de calibre $1,7\,kV$ ne sont donc plus adéquats.

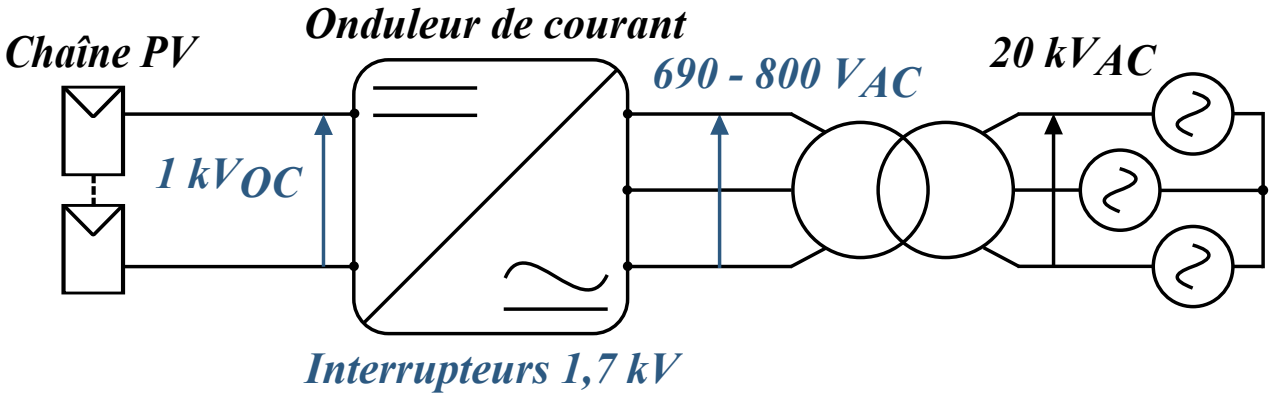

FIGURE 1.12 – Chaîne de conversion PV $1\,kV$ utilisant un onduleur de courant ayant des interrupteurs $1,7\,kV$.

Cette caractéristique est un défaut important du CSI dans le cadre d'une application PV. La nature élévatrice du CSI ne l'autorise pas à suivre la tendance à l'augmentation de la tension de chaîne PV. Dans une certaine mesure, l'onduleur de courant est rendu obsolète par la limite en tension des semi-conducteurs utilisés, ici de calibre $1,7\,kV$. Pour pratiquer une conversion depuis une chaîne PV $1,5\,kV$ par un CSI, il serait possible d'utiliser une architecture à deux étages : hacheur abaisseur (DC-DC) + CSI. Cependant, cette topologie n'apporte pas de bénéfice par rapport à celle de l'état de l'art, hacheur élévateur + VSI. Une autre solution consiste en l'utilisation de nouveaux composants, possédant un plus grand calibre en tension $3,3\,kV$. Leur utilisation aurait plusieurs conséquences sur la chaîne de conversion PV. C'est l'objet de la section suivante.

1.6 Étude d'un onduleur de courant triphasé multiniveaux en moyenne tension

1.6.1 L'onduleur de courant triphasé adapté à une chaîne $1,5\ kV_{OC}$

Avec la mise sur le marché récente de nouveaux composants SiC de calibre $3,3\,kV$, la conversion utilisant un seul étage élévateur devient possible à partir de $V_{OC} = 1,5\,kV$.

La Figure 1.13 représente cette nouvelle chaîne de conversion utilisant des semi-conducteurs de calibre $3,3\,kV$ en lieu et place des $1,7\,kV$. La comparaison avec l'architecture classiquement utilisée présentée par la Figure 1.8 montre que la tension de sortie, alternative, dépasse la limite de la basse tension. Elle indique $1,4\,kV_{AC}$ à titre de tension choisie dans la suite du document.

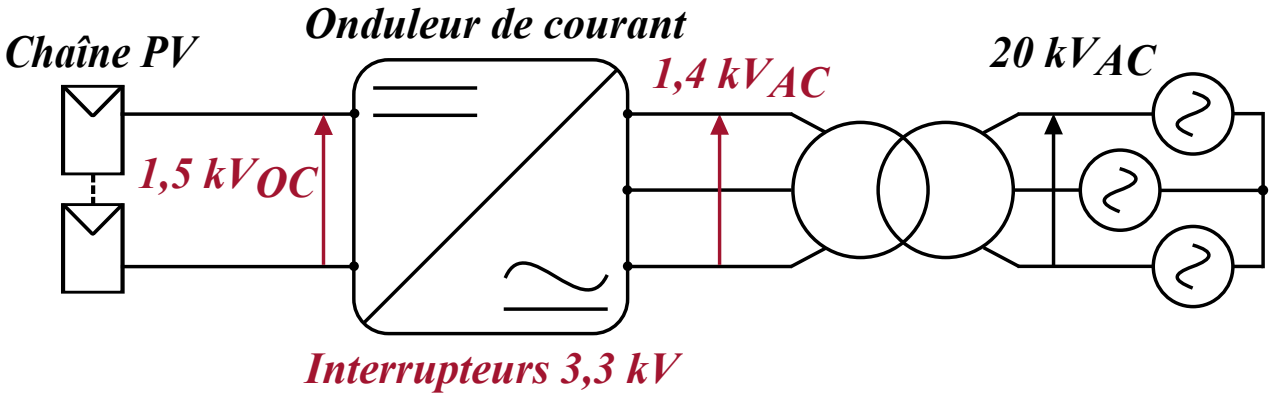

FIGURE 1.13 – Proposition d'une chaîne de conversion PV $1,5\,kV$ utilisant un onduleur de courant ayant des interrupteurs $3,3\,kV$.

Comme dit précédemment, des tensions alternatives supérieures à $1\,kV$ ne sont actuellement pas utilisées dans les centrales de production PV pour des raisons normatives. Ces normes pourraient évoluer dans les prochaines années afin de permettre l'élévation des diverses tensions utilisées dans les centrales PV. Cette tension alternative du réseau interne à la centrale est actuellement limitée, comme dans tout CSI, par le calibre en tension des interrupteurs. Ce simple changement de semi-conducteurs implique donc des avantages certains dans le cadre de la production PV. Cela pourrait rendre l'onduleur de courant de nouveau attractif dans ce contexte applicatif.

1.6.2 Implications dans la production PV

Avec une tension de sortie plus élevée, le rapport de transformation (ici d'élévation) du transformateur basse fréquence serait plus faible, impliquant une potentielle réduction du volume équivalent de celui-ci. Cette réduction dans ses dimensions permet à nouveau de réaliser une économie de matière et d'alléger le coût dans l'architecture de la centrale de production.

1.6.3 Utilisation d'une architecture multiniveaux parallèle

En complément de l'utilisation de composants $3,3\,kV$, une voie possible pour améliorer les performances du CSI, notamment sur l'inductance d'entrée et les pertes par conduction, serait la mise en parallèle de blocs élémentaires. Chaque bloc correspond à la matrice d'interrupteurs d'un onduleur de courant ainsi qu'à l'inductance L_{DC} en entrée. Cette mise en parallèle est ici entendue comme la connexion parallèle de plusieurs matrices de mêmes interrupteurs. Appliquée à un onduleur de courant, les différentes matrices sont connectées à la même chaîne PV en entrée de convertisseur. Les phases alternatives sont aussi connectées en parallèle. La Figure 1.14 schématise la mise en parallèle de n matrices d'interrupteurs.

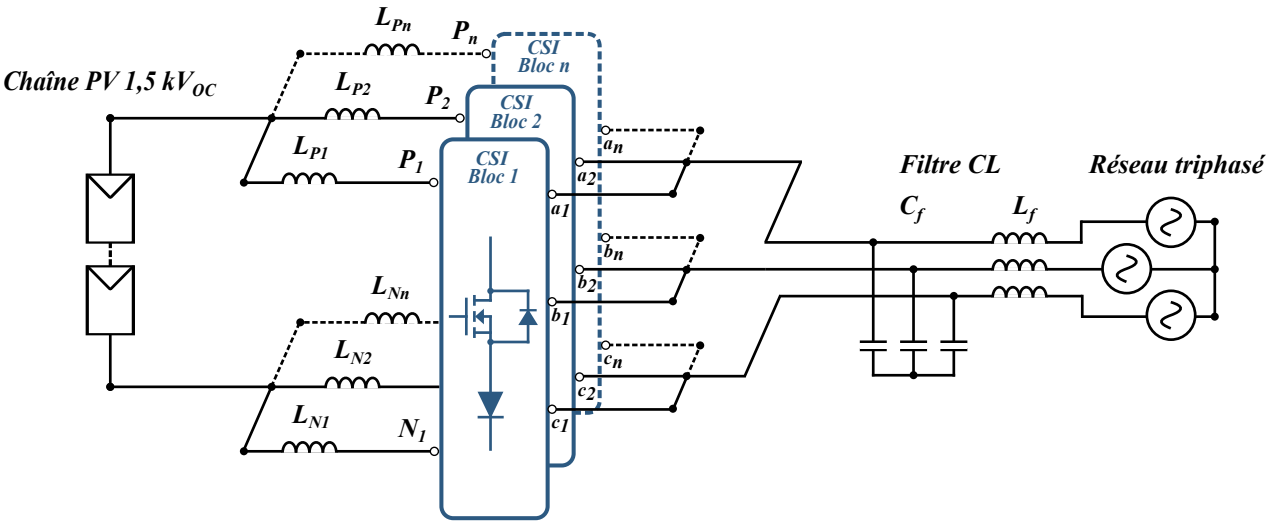

FIGURE 1.14 – Proposition d'une chaîne de conversion PV $1,5\,kV$ utilisant un onduleur de courant multiniveaux à n blocs.

Le principal gain d'une mise en parallèle est la potentielle réduction de l'inductance d'entrée (L_{Pn} et L_{Nn}). Cette inductance doit être présente en amont de chaque matrice d'interrupteurs. Il devient également possible d'utiliser des inductances couplées, c'est-à-dire, le regroupement de n-bobinages sur un même noyau magnétique. Ce couplage peut conduire à la réduction du volume et de la masse équivalents du composant passif. Ce défaut marquant du CSI peut être réduit via une mise en parallèle d'une part, et au couplage d'autre part.

Cette mise en parallèle est également un atout concernant les pertes par conduction. Elle divise le courant entre les différentes matrices d'interrupteurs. Cela a trois conséquences possibles :

- À puissance et composants constants le courant maximal est divisé par n, le nombre de matrices, et ainsi réduit les pertes par conduction, généralement principale source de pertes du CSI. Cette vision de la mise en parallèle ne favorise pas la densité de puissance ni la réduction des coûts, puisque le nombre de composants utilisés est multiplié par n. De même, il possible d'utiliser des semi-conducteurs plus modestes en calibre de courant et par conséquent plus adaptés à la puissance divisée observée par ceux-ci.
- L'aspect thermique est aussi à considérer, la charge thermique est ainsi divisée.
- À fractionner la puissance nominale en n blocs de puissance, améliorant potentiellement le rendement sur l'ensemble de la caractéristique de la chaîne PV. Cette topologie serait ainsi modulaire.

L'utilisation de plusieurs matrices d'interrupteurs a un impact significatif sur le courant de sortie. La qualité du courant de sortie, mesurée via le THD, devrait être améliorée par l'utilisation de cette topologie multiniveaux. Grâce à la mise en place d'une stratégie de modulation adéquate, pour un même filtrage AC, le THD serait réduit. La perspective visée serait de réduire le besoin de filtrage AC pour un même THD, normé sur le réseau où la puissance serait injectée.

1.7 Objectifs des travaux de thèse : l'onduleur de courant moyenne tension triphasé multiniveaux

Plusieurs variantes de convertisseurs CSI ont été étudiées, de la conception jusqu'à l'évaluation expérimentale. Tout d'abord, une topologie proche de l'état de l'art, c'est-à-dire l'onduleur de courant moyenne tension présentant une seule matrice d'interrupteurs, dit également 3 niveaux est présentée. Par la suite, deux architectures multiniveaux (5 et 7 niveaux) sont considérées.

L'objectif de ces travaux de thèse est d'étudier un type d'architecture pertinente afin d'améliorer la conversion PV. Comme rappelé en ouverture, cela comprend, l'augmentation du rendement, la baisse des divers coûts engendrés, ainsi qu'une meilleure durabilité. Cette architecture sera présentée en détails avant de voir ses performances évaluées et enfin discutées. Cette section a pour but de détailler comment se compose ce rapport.

Le chapitre 2 a pour principal sujet le détail de la conception de la matrice d'interrupteur et la caractérisation des commutations. Ce chapitre présente également le développement et les résultats d'un outil de pré-dimensionnement pour onduleur de courant dans le contexte de la production d'énergie photovoltaïque.

Le chapitre 3 se concentre sur les stratégies de modulation envisagées et choisies pour chacune des architectures mises en œuvre (3, 5 et 7 niveaux). Cette partie est aussi dédiée au dimensionnement des inductances d'entrée.

Le chapitre 4 sera dédié au passage en revue des éléments constituants l'onduleur de courant développé. La suite de ce chapitre sera consacré aux essais expérimentaux, essais de caractérisation thermique jusqu'aux essais préliminaires du CSI 5 niveaux.

Enfin, une conclusion résume les principales avancées produites au cours de ces travaux de recherche et propose une réflexion sur les perspectives dégagées par ceux-ci.

Bibliographie

[1] S. Lwasa, K. Seto, X. Bai, H. Blanco, K. Gurney, S. Kilkiş, O. Lucon, J. Murakami, J. Pan, A. Sharifi, and Y. Yamagata, in *IPCC, 2022 : Climate Change 2022 : Mitigation of Climate Change. Contribution of Working Group III to the Sixth Assessment Report of the Intergovernmental Panel on Climate Change*, P. Shukla, J. Skea, R. Slade, A. A. Khourdajie, R. van Diemen, D. McCollum, M. Pathak, S. Some, P. Vyas, R. Fradera, M. Belkacemi, A. Hasija, G. Lisboa, S. Luz, and J. Malley, Eds. Cambridge, UK and New York, NY, USA : Cambridge University Press, 2022.

[2] *Global Market Outlook For Solar Power 2021-2025*. SolarPower Europe, 2021.

[3] Lazard, *Lazard's Levelized Cost of Energy Analysis*, 2020.

[4] D. Feldman, V. Ramasamy, R. Fu, A. Ramdas, J. Desai, and R. Margolis, *U.S. Solar Photovoltaic System Cost Benchmark : Q1 2020*. National Renewable Energy Laboratory, 2021.

[5] *RENEWABLES 2021 GLOBAL STATUS REPORT*. REN21, 2021.

[6] *Trends in PV applications 2020*. International Energy Agency (IEA-PVPS) - Photovotlaic Power Systems Programme, 2020.

[7] *Photovoltaic Report 2019*. Fraunhofer ISE, 2019.

[8] S. Kouro, J. I. Leon, D. Vinnikov, and L. G. Franquelo, "Grid-connected photovoltaic systems : An overview of recent research and emerging pv converter technology," *IEEE Industrial Electronics Magazine*, vol. 9, no. 1, pp. 47–61, 2015.

[9] K. Zeb, W. Uddin, M. Adil Khan, Z. Ali, M. Umair Ali, N. Christofides, and H. Kim, "A comprehensive review on inverter topologies and control strategies for grid connected photovoltaic system," *Renewable and Sustainable Energy Reviews*, vol. 94, pp. 1120–1141, 2018.

[10] B. K. Sara Gallardo-Saavedra, "Simulation, validation and analysis of shading effects on a pv system," *Solar Energy*, vol. 170, pp. 828–839, 2018.

[11] S. Deshpande and N. R. Bhasme, "A review of topologies of inverter for grid connected pv systems," in *2017 Innovations in Power and Advanced Computing Technologies (i-PACT)*, 2017, pp. 1–6.

[12] H. Wang and F. Blaabjerg, "Reliability of capacitors for dc-link applications in power electronic converters—an overview," *IEEE Transactions on Industry Applications*, vol. 50, no. 5, pp. 3569–3578, 2014.

[13] M.-N. Ngô, P. Ladoux, J. Martin, and S. Sanchez, "Silicium-carbide-based isolated dc/dc converter for medium-voltage photovoltaic power plants," *Energies 2022*, vol. 15, no. 3, p. 1038, 2022.

[14] M. Sidrach-de Cardona and J. Carretero, "Analysis of the current total harmonic distortion for different single-phase inverters for grid-connected pv-systems," *Solar Energy Materials and Solar Cells*, vol. 87, pp. 529–540, 2005.

[15] D. Shunmugham Vanaja and A. A. Stonier, "A novel pv fed asymmetric multilevel inverter with reduced thd for a grid-connected system," *International Transactions on Electrical Energy Systems*, vol. 30, 2005.

[16] Y. Xue, K. C. Divya, G. Griepentrog, M. Liviu, S. Suresh, and M. Manjrekar, "Towards next generation photovoltaic inverters," in *2011 IEEE Energy Conversion Congress and Exposition*, 2011, pp. 2467–2474.

[17] *1 Dollar/W photovoltaic systems.* US Department of Energy, Aug. 2010.

[18] A. N. Jiménez and R. Bkayrat, "Utility scale 1500 vdc pv power plant architecture evolution : advantages and challenges," in *Integration of Renewable Energy into High and Medium Voltage Systems Conference and Exhibition*, 2015, pp. 1–11.

[19] E. Gkoutioudi, P. Bakas, and A. Marinopoulos, "Comparison of pv systems with maximum dc voltage 1000v and 1500v," in *2013 IEEE 39th Photovoltaic Specialists Conference (PVSC)*, 2013, pp. 2873–2878.

[20] A. Bier, O. Wiss, and P. Messaoudi, "A 3 kv, 18 kw medium-voltage pv plant demonstrator," 2017.

[21] Y. Seki, T. Hosen, and M. Yamazoe, "The current status and future outlook for power semiconductors," *FUJI Electric Review*, vol. 56, no. 2, pp. 47–50, 2010.

[22] J. Rabkowski, D. Peftitsis, and H.-P. Nee, "Silicon carbide power transistors : A new era in power electronics is initiated," *IEEE Industrial Electronics Magazine*, vol. 6, no. 2, pp. 17–26, 2012.

[23] C. Langpoklakpam, A.-C. Liu, K.-H. Chu, L.-H. Hsu, W.-C. Lee, S.-C. Chen, C.-W. Sun, M.-H. Shih, K.-Y. Lee, and H.-C. Kuo, "Review of silicon carbide processing for power mosfet," *Crystals*, vol. 12, p. 245, 2022.

[24] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás, and J. Rebollo, "A survey of wide bandgap power semiconductor devices," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, 2014.

[25] X. She, A. Q. Huang, O. Lucia, and B. Ozpineci, "Review of silicon carbide power devices and their applications," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193–8205, 2017.

[26] A. Traoré, "High power diamond schottky diode," 12 2014.

[27] E. A. Jones, F. F. Wang, and D. Costinett, "Review of commercial gan power devices and gan-based converter design challenges," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 707–719, 2016.

[28] K. J. Chen, O. Häberlen, A. Lidow, C. l. Tsai, T. Ueda, Y. Uemoto, and Y. Wu, "Gan-on-si power technology : Devices and applications," *IEEE Transactions on Electron Devices*, vol. 64, no. 3, pp. 779–795, 2017.

[29] V. S. Nguyen, A. Bier, H. Es-Seghier, U. Soupremanien, G. Delette, and S. Catellani, "A 20 kw, 3-level flying capacitor 1500 v inverter with characterized gan devices for grid-tie applications," in *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, 2022, pp. P.1–P.11.

[30] B. J. Baliga, "Analytical modeling of igbts : Challenges and solutions," *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 535–543, 2013.

[31] M. N. H. Khan, M. Forouzesh, Y. P. Siwakoti, L. Li, T. Kerekes, and F. Blaabjerg, "Transformerless inverter topologies for single-phase photovoltaic systems : A comparative review," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 805–835, 2020.

[32] P. K. Pathak, A. Kumar Yadav, and P. Tyagi, "Design of three phase grid tied solar photovoltaic system based on three phase vsi," in *2018 8th IEEE India International Conference on Power Electronics (IICPE)*, 2018, pp. 1–6.

[33] V. Singh and A. N. Tiwari, "Study and comparison of various types of converters used for solar pv : A review," in *2018 International Conference on Power Energy, Environment and Intelligent Control (PEEIC)*, 2018, pp. 658–664.

[34] A. I. Bratcu, I. Munteanu, S. Bacha, D. Picault, and B. Raison, "Cascaded dc–dc converter photovoltaic systems : Power optimization issues," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 2, pp. 403–411, 2011.

[35] S. Catellani, A. Bier, J. Martin, L. Gabriel, and F. Barruel, "Characterization of 1.2kv silicon carbide (sic) semiconductors in hard switching mode for three-phase current source inverter (csi) prototyping in solar applications," in *Proceedings of PCIM Europe 2015 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–8.

[36] Y. Song and B. Wang, "Survey on reliability of power electronic systems," *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 591–604, 2013.

[37] L. Gabriel, A. Rodrigues, J.-P. Ferrieux, J. Martin, S. Catellani, and A. Bier, "Design of a three-phase 70 kw current source inverter for photovoltaic applications using a new 1.7 kv full-sic voltage bidirectional power module," in *PCIM Europe 2018 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, pp. 1–8.

[38] C. Klumpner, "A new single-stage current source inverter for photovoltaic and fuel cell applications using reverse blocking igbts," in *2007 IEEE Power Electronics Specialists Conference*, 2007, pp. 1683–1689.

[39] L. G. Alves Rodrigues, "Design and characterization of a three-phase current source inverter using 1.7kv sic power devices for photovoltaic applications," Ph.D. dissertation, 2019, thèse de doctorat dirigée par Ferrieux, Jean-Paul Génie électrique Université Grenoble Alpes (ComUE) 2019.

[40] B. Burger, D. Kranzer, and O. Stalter, "Cost reduction of pv-inverters with sic-dmosfets," in *5th International Conference on Integrated Power Electronics Systems*, 2008, pp. 1–5.

[41] J. Martin, "Caractérisation en commutation douce d'igbt 6, 5 kv pour l'application transformateur moyenne fréquence en traction ferroviaire," Ph.D. dissertation, 2010, energie électrique. Institut National Polytechnique de Toulouse (INPT).

[42] H. Lee, V. Smet, and R. Tummala, "A review of sic power module packaging technologies : Challenges, advances, and emerging issues," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 239–255, 2020.

[43] H. Chen, A. Prasai, and D. Divan, "Stacked modular isolated dynamic current source converters for medium voltage applications," in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014.

[44] L. G. A. Rodrigues, G. Lefèvre, J. Martin, and J.-P. Ferrieux, "Switching cell design optimization of sic-based power modules for current source inverter applications," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.

[45] G. Lefèvre, "Design of a low inductive switching cell dedicated to sic based current source inverter (csi)," in *CIPS 2018 ; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–6.

Chapitre 2

Architecture d'onduleur de courant utilisant des MOSFETs $3,3\,kV$ en redressement synchrone

2.1 Principe de l'architecture

Comme définie dans le chapitre introductif, l'architecture de conversion PV étudiée est une structure à un seul étage, élévatrice en tension, réalisée à l'aide d'un onduleur de courant. La tension d'entrée correspond à celle d'une chaîne PV actuelle de $1,5\,kV_{OC}$ et la tension de sortie est une tension triphasée de $1,4\,kV_{AC}$. La connexion directe pour les applications PV $1,5\,kV_{OC}$ est permise par le développement des nouveaux semi-conducteurs SiC de calibre $3,3\,kV$, notamment en composants discrets.

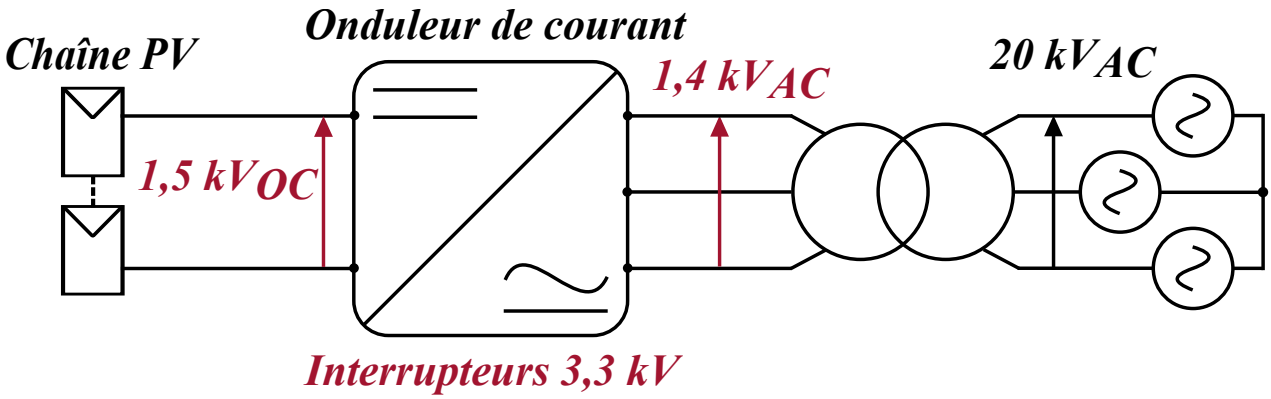

FIGURE 2.1 – Proposition d'une chaîne de conversion PV $1,5\,kV_{OC}$ composée d'un CSI utilisant des interrupteurs $3,3\,kV$.

Ce chapitre détaille le fonctionnement et la conception de la cellule de commutation pour un onduleur de courant moyenne tension (MT). Une première partie présente la notion de cellule de commutation dans un CSI, notamment dans le cas particulier du redressement synchrone. Ensuite, une caractérisation expérimentale des composants semi-conducteurs SiC $3,3\,kV$ est mise en place pour mieux appréhender les performances en commutation lors du fonctionnement du CSI. Enfin, un outil de pré-dimensionnement a été développé afin d'évaluer le rendement du CSI dans le cadre de cette application PV. Pour cela, les résultats de la caractérisation expérimentale seront exploités.

2.1.1 Définition de la cellule de commutation

Le CSI intègre deux demi-matrices d'interrupteurs, elles-mêmes composées de trois interrupteurs. Comme détaillé précédemment, les interrupteurs sont usuellement formés d'une association de deux semi-conducteurs mis en série, permettant la bidirectionnalité en tension. Bien que les thyristors puissent être utilisés [1], l'association la plus commune consiste à l'association en série d'un MOSFET et d'une diode, généralement de type Schottky pour supprimer les pertes par commutation. Cette association est illustrée par la Figure 2.2.

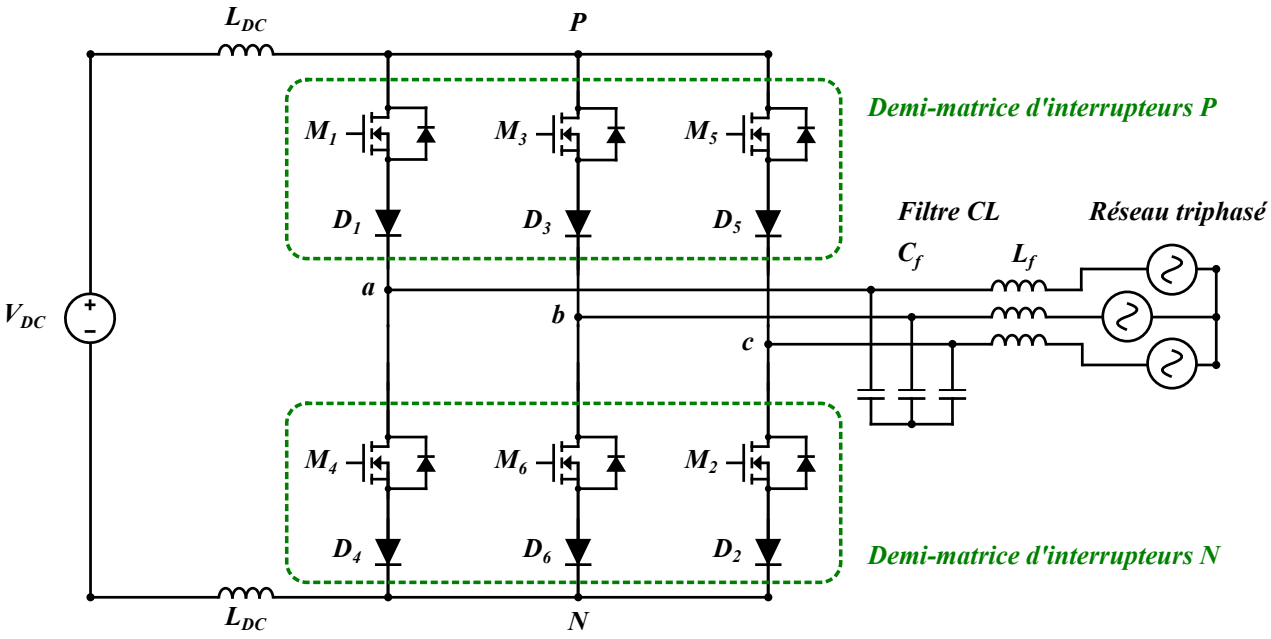

FIGURE 2.2 – Onduleur de courant (CSI) triphasé.

Une autre possibilité consiste à associer deux MOSFETs identiques en anti-série avec pour objectif de fonctionner en redressement synchrone. La Figure 2.3 b) illustre cette configuration. Les composants sont notés selon leur fonction : M_x pour le MOSFET en série et D_x pour la diode ou le MOSFET en anti-série, celui-ci se substituant à la diode avec x allant de 1 à 6. Pour la suite de cette étude, seule la seconde association est considérée.

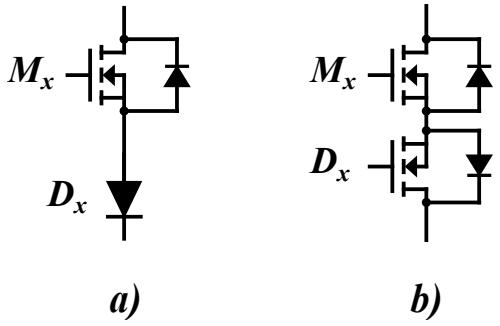

FIGURE 2.3 – Fonction interrupteur a) associant un MOSFET et une diode en série et b) associant deux MOSFETs en anti-série.

Comparativement à l'association MOSFET + diode, la diode série est remplacée par un MOSFET placé en anti-série, dont la caractéristique statique est conservée par la présence de la diode de corps de ce dernier. Dans le cas de l'association MOSFET + diode, les pertes par conduction sont importantes au 3ème quadrant [2]. L'utilisation d'un MOSFET a pour effet de les réduire en comparaison de la configuration précédente (Figure 2.3 a)). L'objectif est d'utiliser le canal du MOSFET en inverse dans le sens Source-Drain (noté SD) pour réduire les pertes par conduction de ce deuxième semi-conducteur nécessaire à l'établissement de l'interrupteur CSI. Les pertes par conduction générées par une diode sont définies par :

$$P_{cond_{Diode}} = V_f \cdot < I_d > + R_d \cdot I_{d_{eff}}^2 \tag{2.1}$$

Dans cette équation, V_f correspond à la tension de seuil de la diode et I_d au courant la traversant. La valeur de V_f diminue avec la montée en température de jonction T_j [3]. La seconde composante des pertes par conduction de la diode correspond à des pertes ohmiques, augmentant avec l'élévation de T_j.

Une fois la diode de corps polarisée, le canal du MOSFET D_x peut être rendu passant afin de répartir le courant à travers le composant. Pour les semi-conducteurs de type MOSFET SiC, la résistance à l'état passant du canal en inverse R_{SDon} est généralement très petite devant la résistance à l'état passant de sa propre diode de corps R_d. Ainsi, le courant efficace réparti entre la diode de corps ($I_{d_{eff}}$) et le canal ($I_{SD_{eff}}$) passe principalement à travers le canal, générant des pertes par conduction dans le MOSFET $P_{cond_{D_x}}$ définies par :

$$P_{cond_{D_x}} = V_f \cdot < I_d > + R_d \cdot I_{d_{eff}}^2 + R_{SDon} \cdot I_{SD_{eff}}^2 \simeq R_{SDon} \cdot I_{eff}^2 \tag{2.2}$$

Dans l'équation 2.2, l'approximation n'est possible que si R_{SDon} est très petite devant R_d et que si la diode est directement polarisée [3]. Cependant ces valeurs de résistance varient en fonction de deux paramètres : la température de jonction du composant T_j et les courants I_{SD} et I_d. La proportion du courant passant par le canal varie selon ces paramètres. Suivant la référence de MOSFET utilisée, cette approximation peut être fausse. Concernant le MOSFET G2R120MT33J, cette répartition est évaluée dans la section suivante, en lien avec le modèle de pertes généré pour l'outil de pré-dimensionnement.

La substitution d'une diode par un MOSFET en anti-série et son utilisation requièrent plusieurs conditions. En particulier, cette modification impose un mode de conduction continue. Par définition, le mode de conduction discontinue voit le courant s'annuler dans les interrupteurs. Dans une architecture permettant le redressement synchrone, l'interrupteur est potentiellement bidirectionnel en courant. Celui-ci est libre de s'inverser via le canal du composant D_x puis via le canal de M_x. Ce phénomène pourrait produire une surtension dans un composant passif et ainsi provoquer une casse.

Afin d'éviter tout risque d'inversion du courant dans les interrupteurs fonctionnant en redressement synchrone, il est nécessaire de définir une valeur minimale de courant $I_{RS,min}$ avant de rendre possible l'utilisation du canal de D_x. Tant que cette valeur n'est pas atteinte, seule la diode de corps est utilisée. Cette valeur minimale du courant dépend du courant d'entrée moyen $< I_{DC} >$ et de l'ondulation de courant ΔI_{DC}. Si une trop forte valeur d'ondulation est permise, l'activation du redressement synchrone est décalée à $< I_{DC} >$ plus élevé de la plage de fonctionnement (Figure 2.4). Ainsi, η_{euro} est dégradé. Une faible $\Delta I_{DC_{max}}$ autorise l'activation du redressement synchrone à plus faible puissance. Il est à noter que l'ondulation maximale $\Delta I_{DC_{max}}$ a également un impact dans le dimensionnement de l'inductance d'entrée L_{DC}.

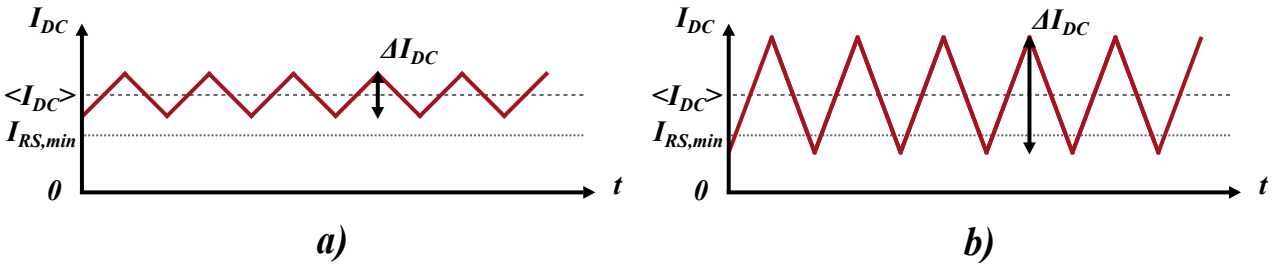

FIGURE 2.4 – Courant d'entrée I_{DC} avec a) redressement synchrone applicable (faible ΔI_{DC}) et b) redressement synchrone inapplicable (forte ΔI_{DC}).

Cependant, l'utilisation d'une cellule de commutation en redressement synchrone présente quelques inconvénients :

- Une commande rapprochée dédiée aux composants D_x est à prévoir, puisqu'ils se substituent à des semi-conducteurs à commutation spontanée.
- Au-delà d'accroître le nombre de composants électroniques utilisés, les pertes auxiliaires dues à ces drivers supplémentaires sont augmentées. Elles sont à pondérer avec la réduction des pertes semi-conducteurs obtenue.
- La gestion des ordres de commande est rendue plus complexe par l'ajout de temps morts (DT). Leur utilisation est détaillée en suivant.
- Cette configuration ajoute des pertes par commutation lors de l'amorçage de la diode de corps du MOSFET D_x, contrairement aux diodes externes Schottky. Un des enjeux principaux du redressement synchrone vise justement à réduire ces pertes via une cellule de commutation la plus performante possible [4, 5].

Dans le but de former l'interrupteur, l'association des deux MOSFETs peut être réalisée de deux manières différentes. Ils peuvent être connectés par leur drains (drains communs) ou par leur sources (sources communes). La Figure 2.5 illustre ces différentes associations sur la demi-matrice High-Side (connectée au point P) du CSI :

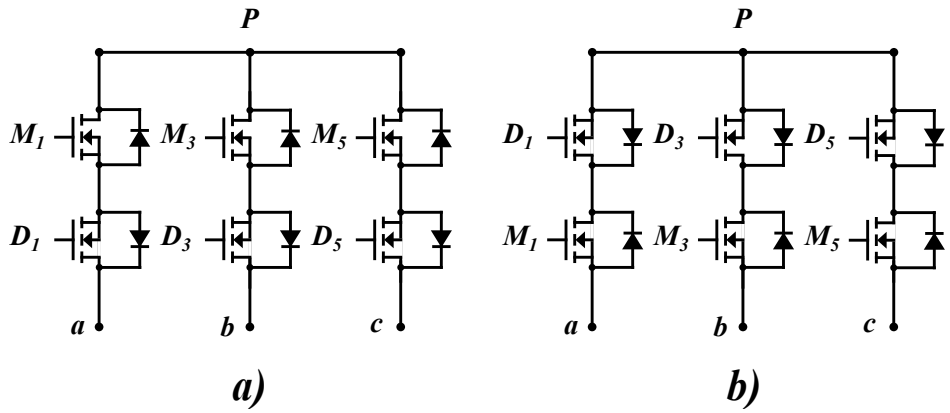

FIGURE 2.5 – Demi-matrice d'interrupteurs d'un CSI en redressement synchrone connectée en a) sources communes et en b) drains communs.

Dans cette étude, la connexion sélectionnée est de type sources communes, ce choix sera expliqué ultérieurement. Les composants M_x sont connectés au point commun P ou N par leur drain et les composants D_x sont, de même, connectés aux phases a, b ou c par leur drain.

La Figure 2.6 illustre cette architecture de CSI utilisant des interrupteurs en redressement synchrone sources communes.

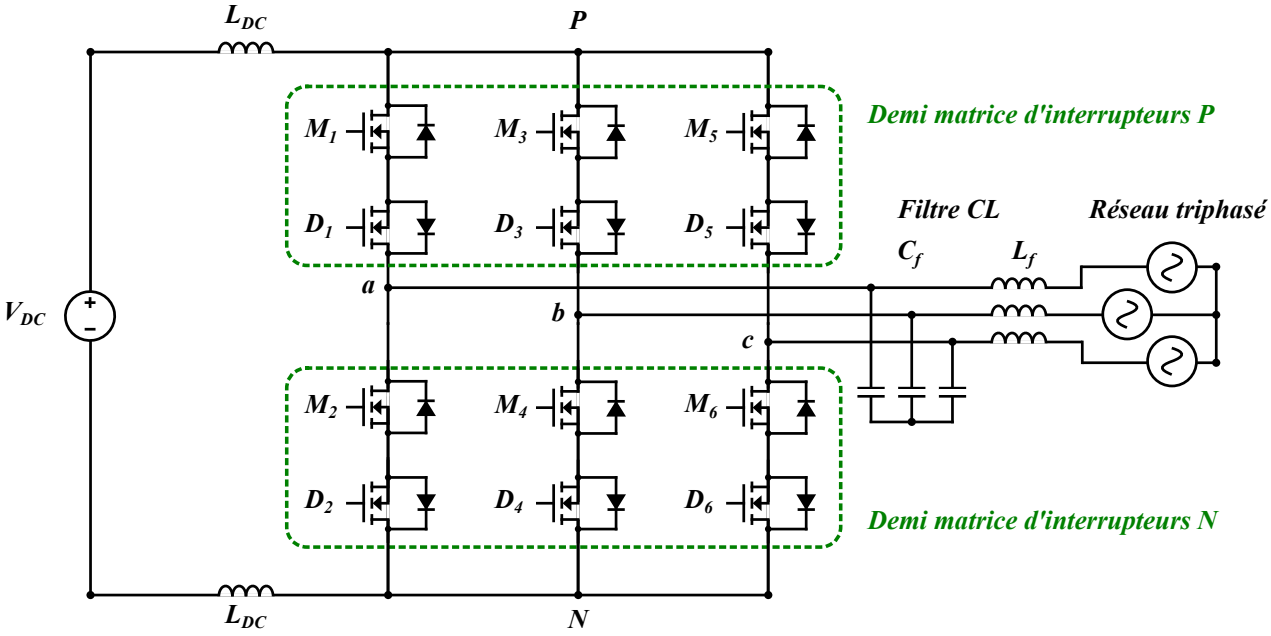

FIGURE 2.6 – CSI triphasé utilisant une architecture en redressement synchrone - sources communes.

2.1.2 Fonctionnement des cellules de commutation en redressement synchrone

Avec les demi-matrices préalablement définies, il est possible de décrire le fonctionnement du CSI en redressement synchrone. Plusieurs contraintes sont à prendre en compte lors d'une commutation entre deux interrupteurs :

- La source du courant I_{DC} ne doit jamais être en circuit ouvert. Les commutations doivent intégrer cette première contrainte, imposant l'activation minimale d'un interrupteur par demi-matrice d'interrupteurs. Dans les commutations, cela se traduit par l'introduction d'un temps de chevauchement (overlapping - T_{OL}). Hormis pendant T_{OL}, de par la topologie, seuls deux interrupteurs sont à l'état passant [6, 7].
- La diode de corps des composants D_x doit commuter avant l'activation du canal du MOSFET. Pour cela, un temps mort (deadtime - DT) est introduit. Il doit être supérieur au temps de commutation propre à la diode. Ce temps doit être appliqué à la fois à l'amorçage mais aussi au blocage de l'interrupteur. Il peut être différent puisqu'au blocage il dépend du temps de blocage nécessaire au canal et non à la diode de corps. Dans le cadre de cette application, il sera défini plus loin dans ce chapitre.

Un exemple de commutation entre deux interrupteurs (K_4 et K_6) est détaillé sur la Figure 2.7 :

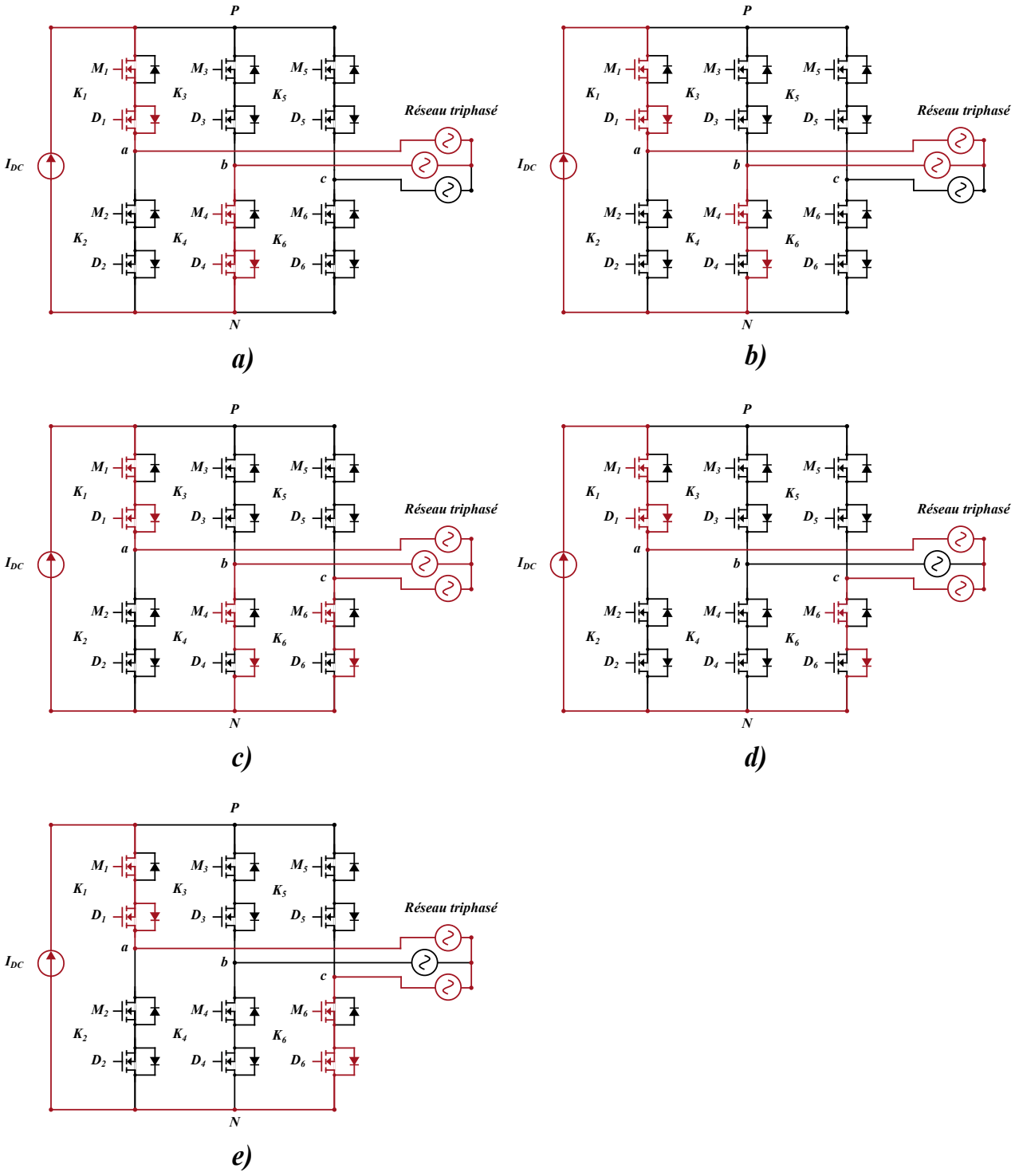

FIGURE 2.7 – Étapes d'une commutation entre les interrupteurs K_4 et K_6 du CSI en redressement synchrone : les temps de conduction a) et e), les temps morts DT b) et d) et le temps de chevauchement T_{OL} c).

- $t \in [T_0 : T_1]$ - Figure 2.7 a) : L'état initial est le suivant : l'interrupteur K_1 (formé par l'association de M_1 et de D_1) est activé pour la demi-matrice P et l'interrupteur K_4 pour la demi-matrice N. Les canaux des deux composants D_1 et D_4 sont activés pour réduire les pertes par conduction. Cette association respecte les conditions précédentes.
- $t \in [T_1 : T_2]$ - Figure 2.7 b) : Temps mort - Le canal du composant D_4 est rendu bloquant. Seule sa diode de corps est encore amorcée.
- $t \in [T_2 : T_3]$ - Figure 2.7 c) : Temps de chevauchement - L'interrupteur K_6 est rendu passant par l'activation de M_6 et de la diode de corps de D_6. Le courant est partagé entre les deux interrupteurs de la demi-matrice P, assurant la continuité du courant dans la source I_{DC}.
- $t \in [T_3 : T_4]$ - Figure 2.7 d) : Temps mort - L'interrupteur K_4 est rendu bloqué par M_4, la diode de corps de D_4 se bloque également.
- $t > T_4$ - Figure 2.7 e) : Temps suivant T_4 - Le canal de D_4 est amorcé. C'est le début d'un nouveau temps dédié à la conduction.

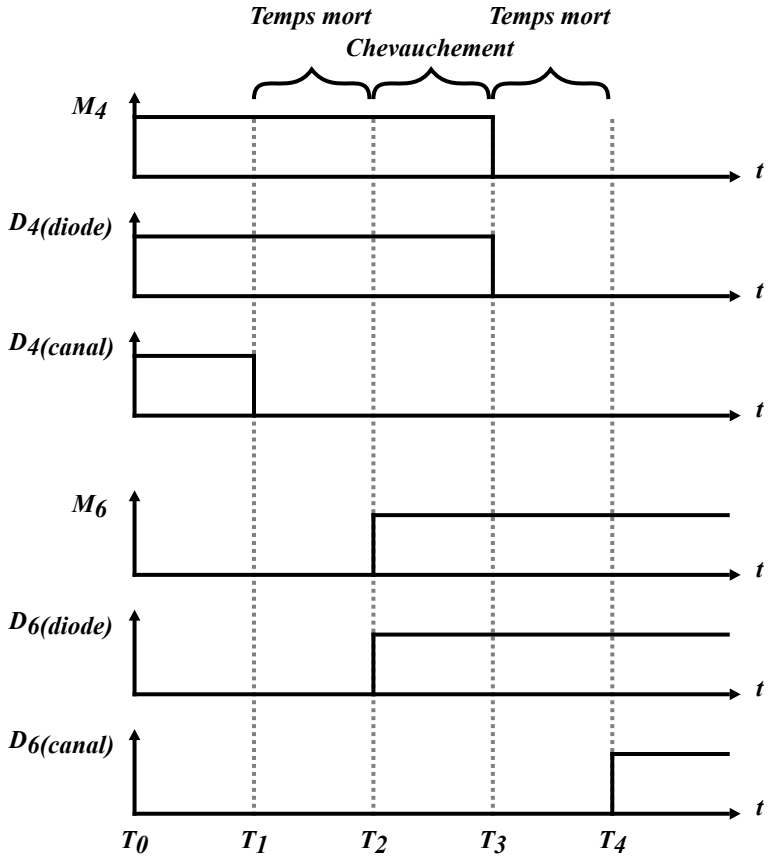

FIGURE 2.8 – Histogramme de la commutation entre les interrupteurs K_4 et K_6.

Il est à noter que ces temps ne peuvent pas s'agencer dans un ordre différent. En effet, les temps morts et le temps de chevauchement sont certes dissociables mais si le canal d'un composant D_x est activé pendant le temps de chevauchement, un court-circuit peut s'opérer sur la source de tension AC en sortie. Ainsi, DT et T_{OL} doivent être réalisés dans l'ordre présenté dans les Figures 2.7 et 2.8.

L'utilisation d'une telle cellule de commutation a pour objectif de réduire les pertes dues aux semi-conducteurs via les pertes par conduction. Il s'agit du défaut principal du CSI [8]. Dans la section suivante, l'objectif est de caractériser cette nouvelle cellule de commutation afin d'évaluer ses performances. Il est aussi nécessaire de déterminer le DT optimal évoqué précédemment.

2.2 Caractérisation des commutations du CSI

De part le niveau de tension commuté par le CSI (autour de $2000\,V$), nous sommes obligés de travailler avec des interrupteurs ayant un calibre en tension de $3,3\,kV$. Comme discuté dans le chapitre 1, les matériaux dit grand-gaps offrent des performances électriques et thermiques bien supérieures au silicium. Pour des calibres en tension de $3,3\,kV$, nous trouvons sur le marché plusieurs modèles de modules de puissance à base de SiC. Cependant, pour notre cas d'étude, il n'existe aucun module de puissance adapté pour le fonctionnement d'un CSI. De ce fait, le MOSFET SiC $3,3\,kV$ / $120\,m\Omega$ G2R120MT33J de GeneSiC [9] en composant discret sera considéré dans la suite de cette étude pour réaliser cet interrupteur. Ses caractéristiques techniques sont résumées dans la Table 2.1.

Paramètres	**Valeur**	**Unité**
V_{br}	3300	V
$R_{DS_{on}}(T_j = 25°C)$	120	$m\Omega$
$I_{DS}(T_c = 100°C)$	24	A
$V_{GS_{on}}$	20	V
$V_{GS_{off}}$	-5	V
$R_{th_{j-c}}$	$0,4$	K/W
$T_{j_{max}}$	175	$°C$

TABLE 2.1 – Caractéristiques du MOSFET SiC $3,3\,kV$ / $120\,m\Omega$ G2R120MT33J de GeneSiC.

Le boîtier CMS de ce MOSFET est un TO-263-7. Comme l'illustre la Figure 2.9, il intègre une connexion Kelvin Source (KS).

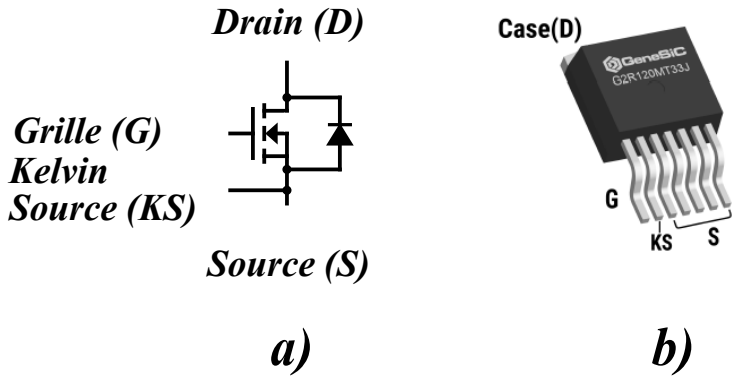

FIGURE 2.9 – a) Schéma du MOSFET G2R120MT33J et b) agencement des connectiques pour le boîtier TO-263-7.

Afin d'évaluer les performances en commutation du CSI utilisant les MOSFETs SiC $3,3\,kV$, l'analyse de la commutation de même qu'une mesure de pertes doivent être étudiées en détail [10].

La commutation dans cette architecture se place à courant d'entrée constant ayant pour valeur I_{DC}. La tension commutée est la tension crête entre phases du réseau, suivant les phases connectées lors de la commutation. De ce fait, la tension commutée évolue de manière sinusoïdale dans le temps avec une amplitude allant de 0 à $\hat{V}_{réseau}$. Ici :

$$\hat{V}_{réseau} = \sqrt{2} \cdot V_{réseau} = \sqrt{2} \cdot 1400 \simeq 1980\,V \tag{2.3}$$

La Figure 2.10 schématise la partie de l'onduleur impliquée lors de la commutation entre deux interrupteurs. L'exemple donné a lieu dans la demi-matrice P entre les interrupteurs K_1 et K_3. Les deux cellules commutent de manières indépendantes, la demi-matrice N n'est pas impliquée. De même, l'interrupteur K_5 est bloqué pendant toute la durée de la commutation considérée, il n'est donc pas représenté. Le courant est de valeur I_{DC} et les interrupteurs étant respectivement connectés aux phases a et b la tension observée lors de la commutation est V_{ab}.

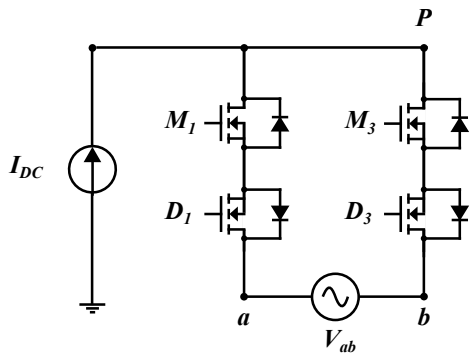

FIGURE 2.10 – Schéma du circuit électrique impliqué dans la commutation entre les interrupteurs K_1 et K_3.

Les quatre semi-conducteurs impliqués sont ceux appartenant aux deux interrupteurs K_1 et K_3. La Figure 2.11 a) montre ces interrupteurs dans une autre disposition. Les formes d'ondes simplifiées sont illustrées par la Figure 2.11 b). La temporalité de la commutation est précisément détaillée dans [8].

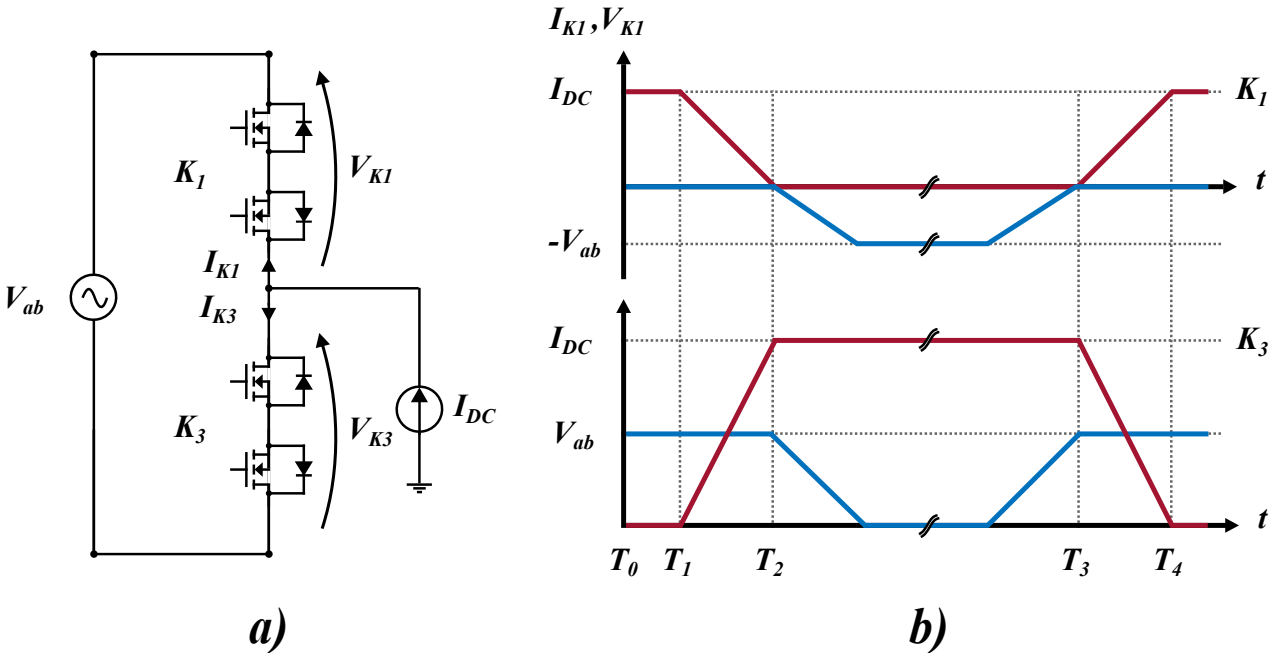

FIGURE 2.11 – a) Schéma électrique de la cellule de commutation du CSI et b) formes d'ondes simplifiées sur les différents temps de la commutation.

De par l'utilisation d'une cellule en redressement synchrone, il est important de noter quels sont les amorçages et blocages générant des pertes par commutation. Comme détaillés précédemment (et via la Figure 2.7), l'amorçage et le blocage des composants M_x commutent avec une tension et un courant non nuls. Ainsi, ces pertes sont à déterminer. La diode de corps des MOSFETs D_x va également générer des pertes lors de son blocage, lors du recouvrement inverse (reverse recovery). La tension et le courant sont les mêmes que ceux observés par M_x. Enfin, la commutation du canal des composants D_x ne génère pas de pertes. En effet, leur diode de corps étant directement polarisée, la tension aux bornes du canal V_{DS} a une valeur proche de V_f, tension de seuil de celle-ci. Cette tension ne valant que quelques volts, la commutation peut être considérée comme étant de type ZVS (commutation au zéro de la tension) [11]. Les pertes générées sont négligeables devant les deux autres évènements de commutation ayant lieu dans la cellule.

2.2.1 Méthode de mesure expérimentale des pertes dans les semi-conducteurs

Afin de caractériser les pertes produites par les semi-conducteurs (conduction et commutation), plusieurs méthodes expérimentales coexistent [12, 13]. Elles sont regroupables en deux familles distinctes : les techniques calorimétriques et électriques.

- Les premières nécessitent de placer les composants caractérisés dans une chambre calorimétrique. Cette chambre peut être ouverte ou fermée [14]. La dissipation produite lors des commutations dans cet environnement provoque l'élévation de la température, permettant d'en déduire les pertes absorbées par le système de refroidissement. Ces techniques sont considérées comme plus précises comparativement aux méthodes électriques. Cependant, la mise en place d'une telle chambre rend le dispositif lourd. De plus, de par la capacité thermique de la chambre calorimétrique, le temps nécessaire à la mesure est important. Les caractérisations

de type électriques présentent l'avantage d'un temps de mesure grandement réduit, de même que les besoins matériels.

- Ici, seules deux méthodes électriques sont présentées. La méthode d'opposition décrite dans [15] utilise une source de puissance et deux systèmes identiques (à caractériser), l'un comme générateur et l'autre comme récepteur pour en déduire les pertes. Elle caractérise à la fois les pertes par commutation et par conduction. La seconde technique est la méthode à Double Impulsion (Double Pulse Test - DPT). Celle-ci ne mesure que les pertes par commutation, rendant possible la séparation entre les deux principaux types de pertes générées par les semi-conducteurs [8, 16–18]. De plus, le très faible temps nécessaire à la mesure permet un très bon contrôle des températures de jonction.

Dans notre cas d'étude, la méthode DPT est choisie. Elle consiste à la fois en la mesure de la tension aux bornes du composant à caractériser (V_{DS} pour un MOSFET) et du courant qui le traverse lors de la commutation. L'intégration du produit de ces deux valeurs correspond à l'énergie dissipée à l'amorçage comme au blocage. Cependant, les principaux défauts et écueils doivent être pris en compte afin d'obtenir une évaluation précise des performances de la cellule de commutation caractérisée [19]. En premier lieu, cette mesure est considérée comme intrusive. Elle nécessite la modification du circuit pour effectuer la mesure de courant. Cela peut ajouter des inductances parasites, et par conséquent fausser les mesures de pertes. Différents instruments de mesure peuvent être utilisés. Le choix peut dépendre de la bande passante de l'instrument de mesure ou par exemple du degré d'intrusivité de celui-ci [18].

2.2.2 Protocole expérimental pour la caractérisation des MOSFETs $3,3\,kV$

La Figure 2.12 a) établit le circuit de commutation modifiée de la Figure 2.11 a) pour cette première caractérisation. Ce circuit est équivalent à celui utilisé pour un onduleur de tension ou un hacheur. La source de courant est remplacée par une inductance notée L_{DC}. La source de tension du réseau V_{ab} est remplacée par une source de tension continue V_{DC}. La durée de la commutation étant très courte comparativement à la fréquence du réseau ($f_{réseau} = 50\,Hz$), elle peut être considérée comme constante sur cette durée. La notation des semi-conducteurs impliqués est modifiée pour la caractérisation.

La Figure 2.12 b) illustre de manière simplifiée le déroulement de la caractérisation dans le composant testé, ici $LS-M$. Le composant $HS-D$ est bloqué. Dans le même interrupteur, $HS-M$ est amorcé à $20\,V$, tension de grille d'amorçage $V_{GS_{on}}$ retenue pour le MOSFET SiC G2R120MT33J. Pour respecter la nature de la commutation, le composant $LS-D$ est bloqué à $-5\,V$ ($V_{GS_{off}}$), le courant passe ainsi par sa diode de corps.

Le test se déroule de la manière suivante :

- $t \in [T_0 : T_1]$ La source de tension V_{DC} est placée à la valeur de la tension à commuter. $LS-M$ est bloqué à $-5\,V$.
- $t \in [T_1 : T_2]$ Le composant $LS-M$ est amorcé à T_1. Le courant dans l'inductance croît selon les grandeurs électriques en jeu et sa valeur d'inductance. Le délai T_1 - T_2 est très important comparativement aux autres intervalles de temps.
- $t \in [T_2 : T_3]$ Le courant dans L_{DC} atteint la valeur cible. Un premier blocage intervient sur $LS-M$.

- $t \in [T_3 : T_4]$ Après un court délai, $LS - M$ est réamorcé, à la valeur de courant proche de la valeur cible I_{DC}.
- $t > T_4$ Un deuxième blocage intervient dans un court délai afin de réaliser un deuxième blocage. Il marque la fin du test.

L'amorçage peut être caractérisé autour du temps T_3 et les pertes produites au blocage peuvent être évaluées sur les temps T_2 ou T_4. La valeur de courant et de tension exacts sont à considérer.

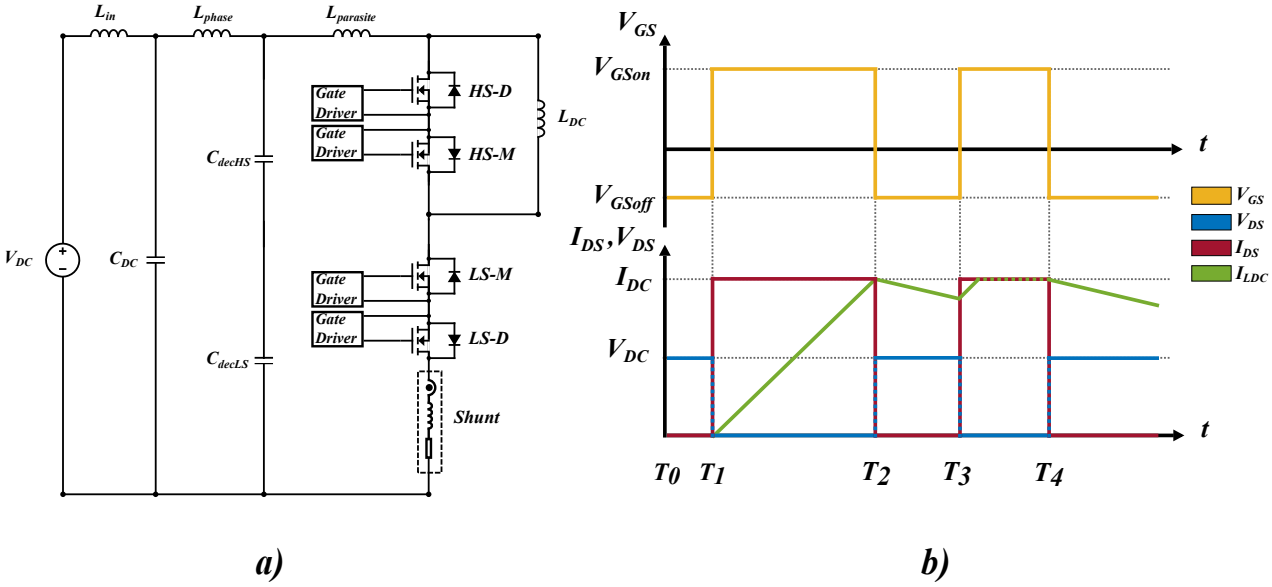

FIGURE 2.12 – a) Schéma du circuit électrique utilisant une cellule de commutation en redressement synchrone et b) formes d'ondes simplifiées d'un DPT, avec V_{GS} en jaune, V_{DC} en bleu, I_{DC} en rouge et $I_{L_{DC}}$ en vert.

2.2.3 Instrumentation

Depuis le développement des semi-conducteurs grand gaps et la courte durée des commutations, il est nécessaire que les sondes utilisées aient des bandes passantes très élevées, de l'ordre de la centaine de MHz. Il est aussi à noter qu'un décalage temporel peut intervenir, notamment par les délais de propagation et un réglage imparfait dans la synchronisation des sondes. Le produit tension-courant intégré se voit être décalé et par conséquent mal estimé. Les énergies déduites de ces mesures ne permettent pas d'obtenir les pertes de recouvrement des diodes [20]. La Table 2.2 liste les sondes utilisées lors de ce DPT.

Sonde	**Modèle**	**Bande passante** (MHz)
Sonde de courant	Teledyne LeCroy CP031A	100
Shunt coaxial	T&M Research SDN-015	1200
Sonde de tension passive	Teledeyne LeCroy PPE $6\,kV$	500
Sonde de tension différentielle	Teledeyne LeCroy HVD3605A $6\,kV$	100
Sonde de tension isolée	Saker XFVP	175

TABLE 2.2 – Sondes utilisées pour le DPT.

Le shunt coaxial mesure le courant traversant le composant caractérisé, $LS-M$. Le courant dans l'inductance est mesuré par une sonde de courant $30\,A$. La tension commutée $V_{DS_{LS-M}}$ est mesurée par une sonde passive de calibre $6\,kV$. Cette sonde ne peut pas mesurer directement la tension $V_{DS_{LS-M}}$ puisque la masse n'est pas connectée ni au drain ni à la source de ce composant. L'utilisation du shunt impose de prendre la référence à une de ses bornes, comme montré sur le schéma de la Figure 2.13. La tension mesurée par la sonde isolée est alors : $V_{DS_{LS-M}} + V_{DS_{LS-D}}$. Le terme $V_{DS_{LS-D}}$ correspond à la chute de tension aux bornes de la diode de corps de $LS-D$. Afin d'obtenir la meilleure valeur de $V_{DS_{LS-M}}$ possible, cette différence est considérée dans l'analyse de données ultérieure. Cependant, l'usage d'une sonde passive à forte bande passante rend la mesure plus précise. Enfin, deux autres tensions sont observées. La tension du bus V_{DC} est surveillée et surtout une sonde isolée $25\,V$ est utilisée pour réaliser la mesure aux bornes de la grille de $LS-M$, $V_{GS_{LS-M}}$.

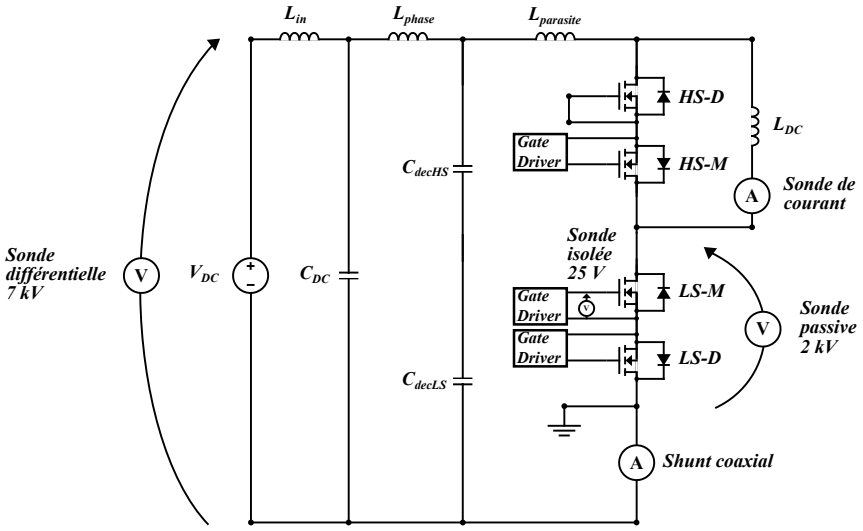

FIGURE 2.13 – Schéma électrique du circuit DPT et des sondes de mesure utilisés.

Pour cette caractérisation, une plage complète de tension doit être évaluée. La tension maximale correspond à la valeur crête $\hat{V}_{réseau}$, autour de $2000\,V$. Une marge est considérée, la plage s'étend de $100\,V$ à $2100\,V$. La plage de courant testée est directement liée à la puissance nominale de l'application. Finalement il a été établi que la valeur de $22\,A$ offrait une marge suffisante suivant les

paramètres à définir dans le reste de la conception de ce CSI. La plage de courant évaluée s'étend de 0 à $22\,A$.

Afin de réduire les pertes par commutation générées, il est possible de réduire la résistance de grille R_g des MOSFETs. Une telle évolution augmente le dV/dt, la vitesse de commutation. Une forte vitesse de commutation augmente les risques de perturbations de la grille de l'interrupteur opposé [21, 22]. C'est pourquoi des tests préliminaires ont été réalisés afin d'évaluer quelle valeur de résistance de grille permettait d'obtenir des pertes réduites sans risquer le court-circuit dans la maille de commutation. De plus, le risque de perturbation s'accentue avec l'augmentation de la tension, du courant et de la température de jonction. La valeur limite est définie par le driver. En effet, celui-ci possède une immunité à cette vitesse de commutation (common-mode transient immunity). Sur le modèle utilisé, elle est de $50\,V/ns$. Afin d'éviter un amorçage nettement plus rapide que cette vitesse, R_g est établie à $8,2\,\Omega$. Il s'agit de la même valeur pour l'amorçage et pour le blocage. La Figure 2.14 illustre l'installation utilisée pour cette caractérisation :

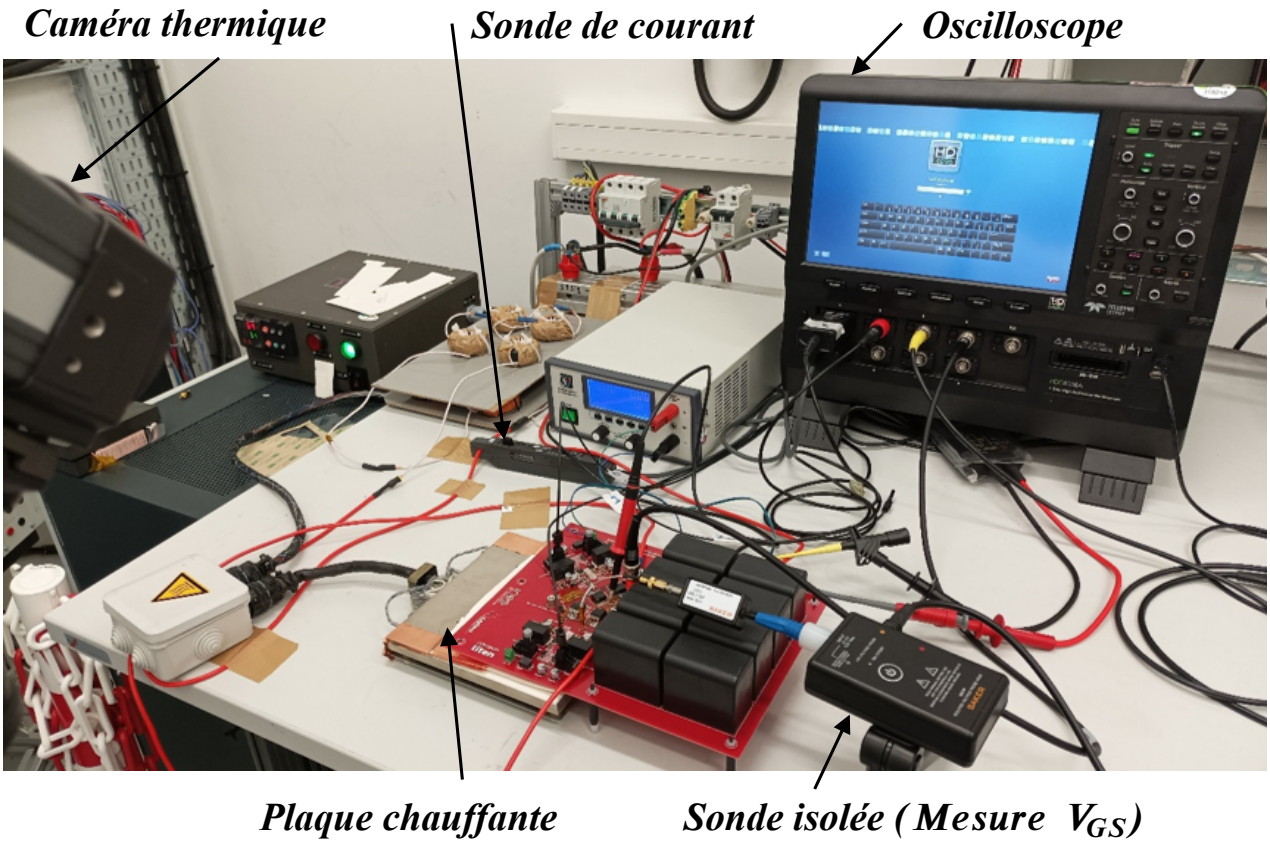

FIGURE 2.14 – Banc de caractérisation expérimentale des MOSFETs $3,3\,kV$ par la méthode DPT.

La suite du protocole consiste à reproduire les essais à différentes valeurs de températures de jonction. Les températures auxquelles sont réalisés ces essais sont $50°C$, $100°C$ et $150°C$. Afin d'obtenir de telles températures à la jonction du composant, une plaque chauffante est ajoutée au dispositif. L'objectif est que cette plaque chauffe uniquement les composants nécessaires, soit les semi-conducteurs. Une pièce d'aluminium ayant la géométrie de la demi-matrice d'interrupteurs est posée sur la plaque chauffante afin de transmettre la chaleur jusqu'aux MOSFETs, à travers le Printed Circuit Board (PCB) (voir Figure 2.15). Cette pièce est isolée électriquement de la carte de

caractérisation par l'utilisation d'une interface thermique. Il s'agit de l'isolant T-Global H482-150-1.5A. Une nappe isolante est appliquée sur le reste de la plaque chauffante, afin de limiter l'élévation de température, notamment sur les essais à $150°C$. Les composants des drivers sont en particulier à préserver de cette élévation en température. Leurs performances sont altérées au-delà de $70°C$ d'après la fiche technique du constructeur.

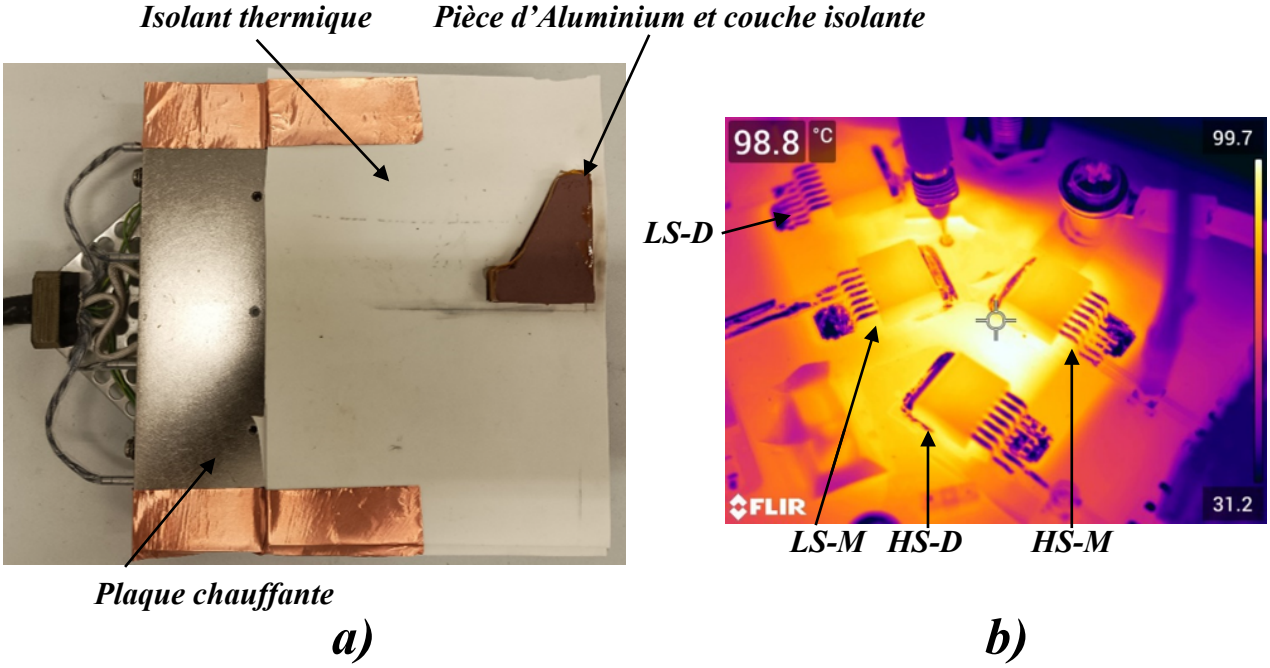

FIGURE 2.15 – a) Plaque chauffante utilisée et b) vision à la caméra infrarouge lors de l'élévation de température à $T_{j_{LS-M}} = 100°C$.

Afin de réaliser ce protocole, une carte de caractérisation doit être mise en place. Pour cela, la disposition de la demi-matrice d'interrupteurs doit être établie ainsi que les drivers pilotant les grilles des MOSFETs. Cette conception est décrite dans la section suivante.

2.2.4 Conception des drivers

Le driver pilotant la grille des MOSFETs est le Silicon Labs SI826BCC-C-ISR. Il s'agit d'un driver isolé, délivrant une tension de $-5\,V$ à $20\,V$. Les deux MOSFETs du même interrupteur sont connectés par leur source. Afin d'éviter des sursauts de tension de la commande de grille et des activations intempestives de celle-ci pendant les commutations, chaque MOSFET possède son propre circuit. Afin d'éviter les risques de phénomène de crosstalk [21, 22] et donc d'amorçage du canal de $HS-D$, sa grille est court-circuitée. Les circuits des drivers sont schématisés par la Figure 2.16 :

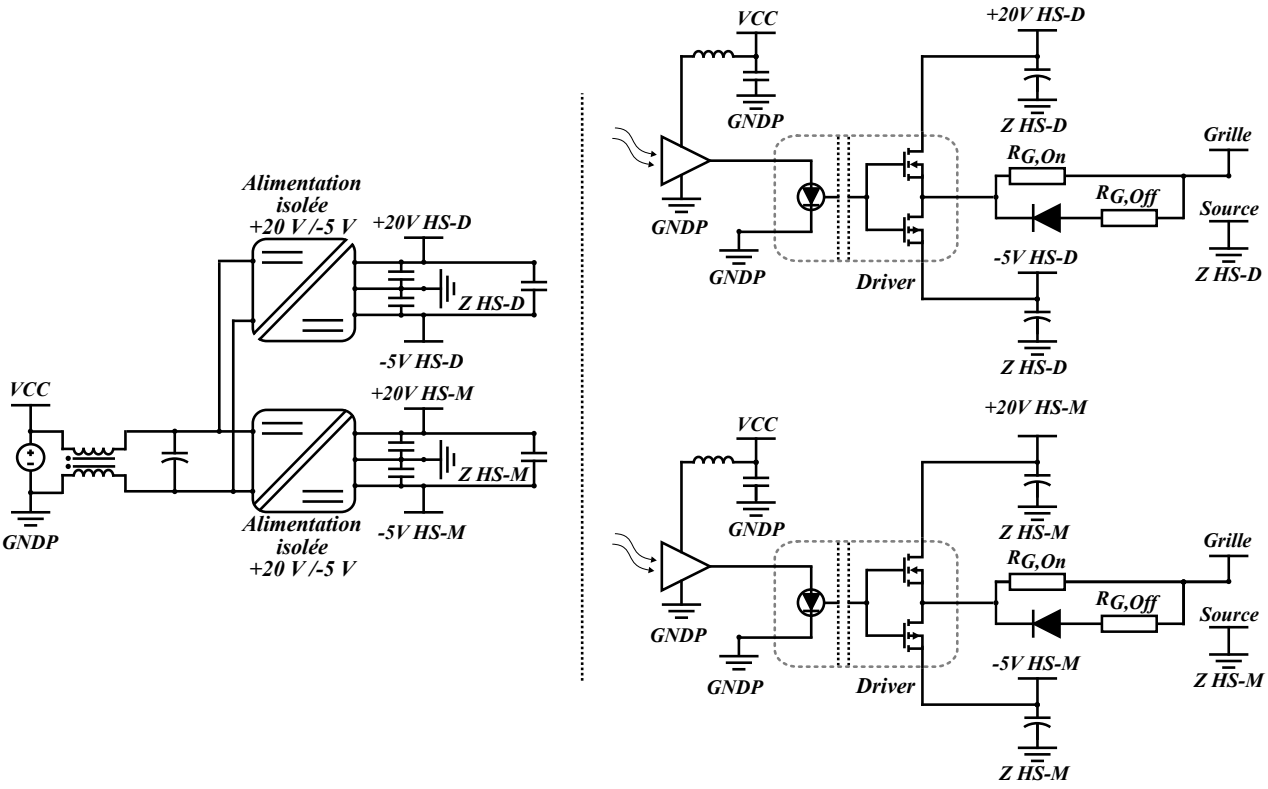

FIGURE 2.16 – Schéma simplifié des drivers utilisés dans les interrupteurs de la carte de caractérisation.

2.2.5 Définition de l'agencement des semi-conducteurs

La disposition de la demi-matrice d'interrupteurs d'un CSI, en particulier avec l'utilisation de boîtiers de type discrets, peut s'avérer complexe. Comme dit précédemment, la demi-matrice d'interrupteurs est composée de six MOSFETs TO-263-7. La géométrie de cette demi-matrice impose d'équilibrer les inductances parasites entre les trois interrupteurs, impliquant une forme non-conventionnelle. Cette contrainte est aussi présente dans la conception de modules pour CSI [23]. Pour notre étude, une forme triangulaire est adoptée pour garantir une symétrie, basée sur [5]. Le noeud commun entre les interrupteurs de la même demi-matrice, correspondant aux points P et N, peut être réalisé de deux manières différentes. La première solution est la mise en commun des drains des semi-conducteurs (par le drain des composants M_x ou par celui des composants D_x - Figure 2.3 b)), tandis que la seconde consiste en la mise en commun des sources de ces mêmes composants (Figure 2.3 a)).

Dans une géométrie triangulaire, cela rend possible l'amélioration de la dissipation sur cette partie du PCB en augmentant la surface de conduction [24]. La dissipation peut être aussi améliorée par l'ajout de vias. Cependant, l'optimisation de la dissipation à travers ces vias peut s'avérer être une étude complexe [25]. De par la forme adoptée, le centre de la demi-matrice correspond ainsi à la plus faible résistance thermique. Il est alors préférable d'associer les drains de ces MOSFETs au centre de cette demi-matrice. L'association sur l'interrupteur est donc fixée en sources communes. De plus, il est préférable de placer le type de composant générant le plus de pertes au centre de la demi-matrice. Ici, cela correspond aux composants M_x. Leur fonction implique des pertes par conduction et par commutation. La fonction des composants D_x devrait imposer moins de pertes

par commutation, où seule la diode de corps commute. La dissipation des MOSFETs M_x est privilégiée afin de limiter la montée en température et d'atteindre la plus forte valeur de puissance possible.

Comparativement à l'application décrite dans [5], la valeur d'inductance parasite notée $L_{parasite}$, voit sa valeur augmentée par le besoin d'isolation entre les MOSFETs de calibre $3,3\,kV$. En effet, les tensions impliquées imposent d'augmenter les distances entre ceux-ci et donc d'augmenter la taille de la maille de commutation. Pour les mêmes raisons, l'empilement sélectionné pour la fabrication du PCB de la carte de caractérisation doit répondre aux contraintes d'isolation. Le PCB réalisé est composé de quatre couches de cuivre, conductrices, d'épaisseur $70\,\mu m$. L'isolant (FR4) entre ces couches a une épaisseur de $190\,\mu m$ pour les couches externes et de $1\,mm$ entre les deux couches internes. L'épaisseur totale est de $1,6\,mm$. La distance minimale imposée entre deux pistes est de $5\,mm$.

Le boîtier des MOSFETs caractérisés étant de type CMS, il est important de minimiser les épaisseurs pour limiter la résistance thermique et favoriser la dissipation. Les performances thermiques ne sont pas centrales dans l'évaluation des commutations mais les caractéristiques du PCB utilisé doivent être fixées au préalable pour les conserver et anticiper les pertes par commutation produites.

Au-delà de la géométrie propre à la demi-matrice d'interrupteurs, des condensateurs de découplage sont ajoutés au sein de celle-ci. Pour des raisons d'équilibrage, chacun des trois interrupteurs est accompagné de ses propres condensateurs de découplage. La carte de caractérisation est équipée de deux ensembles de découplage, notés respectivement C_{decHS} et C_{decLS} pour l'interrupteur High-Side et Low-Side (voir Figure 2.12). Ces composants permettent d'obtenir des caractéristiques en commutation similaires [8].

Afin de stabiliser la tension d'entrée V_{DC}, un banc capacitif C_{DC} est ajouté. La Figure 2.17 a) schématise le circuit de la carte de caractérisation. Elle illustre la forme triangulaire de la demi-matrice d'interrupteurs établie. Les composants M_x ayant leurs drains connectés à la source de courant. Afin de réaliser la mesure de courant, le shunt coaxial est placé dans le noeud de l'interrupteur testé. La carte est par conséquent adaptée à la mise en place d'un tel appareil de mesure. La Figure 2.17 b) montre la carte de caractérisation réalisée.

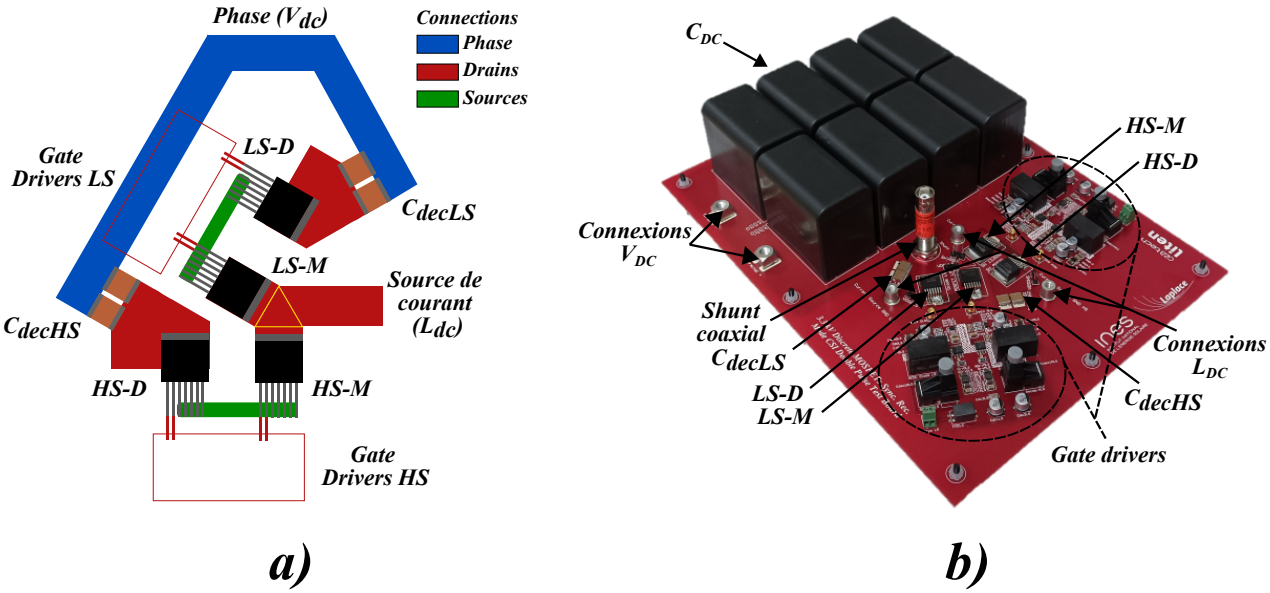

FIGURE 2.17 – a) Schéma de l'agencement de la demi-matrice d'interrupteurs et b) photographie de la carte de caractérisation Double-Pulse, tirés de [10].

2.2.6 Caractérisation des MOSFETs $3,3\,kV$

Une fois la carte de test réalisée, il est possible de caractériser cette cellule de commutation. Les formes d'ondes des commutations réalisées à $T_{jLS-M} = 25°C$ et à $I_{DS_{LS-M}} = 22\,A$ sont présentées ci-dessous :

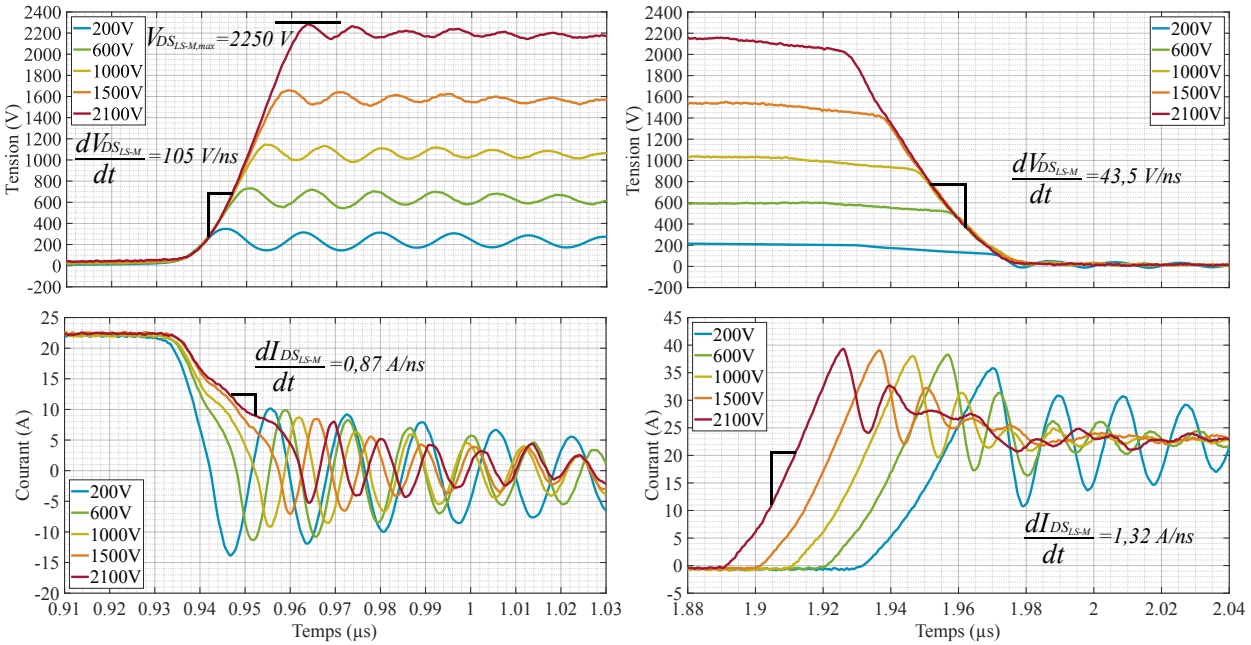

FIGURE 2.18 – Formes d'ondes superposées au blocage (à gauche) et à l'amorçage (à droite) de la tension $V_{DS_{LS-M}}$ (en haut) et du courant $I_{DS_{LS-M}}$ (en bas) à $T_{jLS-M} = 25°C$ et à $I_{DS_{LS-M}} = 22\,A$.

D'après la Figure 2.18, les surtensions au blocage sont très faibles, égales à $150\,V$ pour une commutation à $2100\,V$, soit 8% de surtension. Les oscillations de courant sont nettement réduites à forte tension mais les formes d'ondes présentent une commutation plus lente. A l'amorçage, les commutations à forte tension présentent une surintensité transitoire importante, atteignant $40\,A$ à $2100\,V$. De même qu'au blocage, les oscillations y sont réduites. La Figure 2.19 correspond aux formes d'ondes de ces essais en températures à l'amorçage.

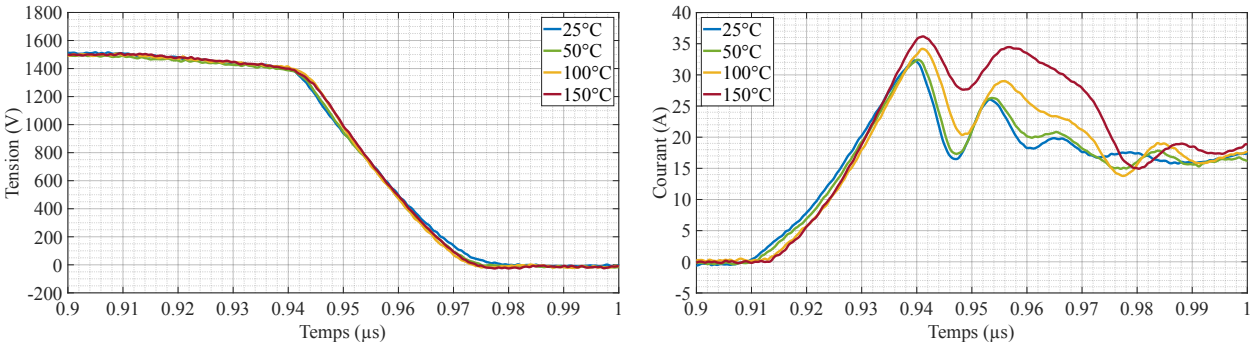

FIGURE 2.19 – Formes d'ondes superposées à l'amorçage de la tension $V_{DS_{LS-M}}$ (à gauche) et du courant $I_{DS_{LS-M}}$ (à droite) à $V_{DS_{LS-M}} = 1500\,V$ à $I_{DS_{LS-M}} = 16\,A$ et à $T_{j_{LS-M}}$ allant de 25 à $150°C$.

L'augmentation de la température de jonction n'affecte que très peu la tension commutée mais a un impact important sur la forme d'onde du courant. La vitesse de commutation dI/dt n'est que peu affectée. Cependant, le courant crête augmente nettement avec l'élévation de la température. Il en est de même pour les oscillations. Ces deux éléments sont à l'origine de l'augmentation des énergies de commutation à forte température.

Ainsi, les énergies de commutation peuvent être calculées. Elles sont considérées comme suit :

- entre $\mathrm{V_{GS_{LS-M}}} = 10\,\% \cdot \Delta\mathrm{V_{GS}}$ et $\mathrm{V_{DS_{LS-M}}} = 10\,\% \cdot \mathrm{V_{DC}}$ à l'amorçage.
- entre $\mathrm{V_{GS_{LS-M}}} = 90\,\% \cdot \Delta\mathrm{V_{GS}}$ et $\mathrm{V_{DS_{LS-M}}} = 90\,\% \cdot \mathrm{V_{DC}}$ au blocage.

La Figure 2.20 résume les pertes calculées pour trois valeurs de courant, 6, 12 et $22\,A$, à température ambiante, $25°C$.

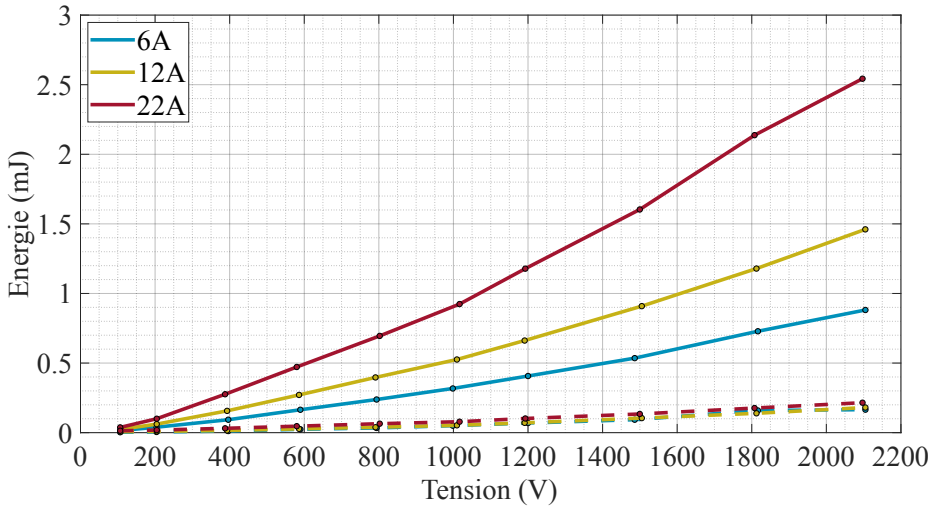

FIGURE 2.20 – Énergies de commutation à l'amorçage (lignes continues) et au blocage (lignes pointillées) pour $I_{DS_{LS-M}} = 6$, 12 et 22 A et à $T_{j_{LS-M}} = 25°C$.

Elle met en évidence que les pertes par commutation sont très largement dues à l'amorçage. De par la géométrie de la demi-matrice d'interrupteurs, la commutation est pénalisée. L'inductance parasite est mesurée via l'impédancemètre Keysight E4990A. Elle est établie à $L_{parasite} = 120\,nH$. Une comparaison avec les données constructeurs montre que les énergies de commutation à l'amorçage sont fortement augmentées. À $1500\,V$, $12\,A$ et à $T_j = 25°C$, E_{on} est $2,8$ fois plus importante que sur la fiche technique fournie par GeneSiC.

Afin de saisir l'impact de la température sur les énergies de commutation, les courbes de la Figure 2.20 sont comparées aux essais réalisés à $150°C$.

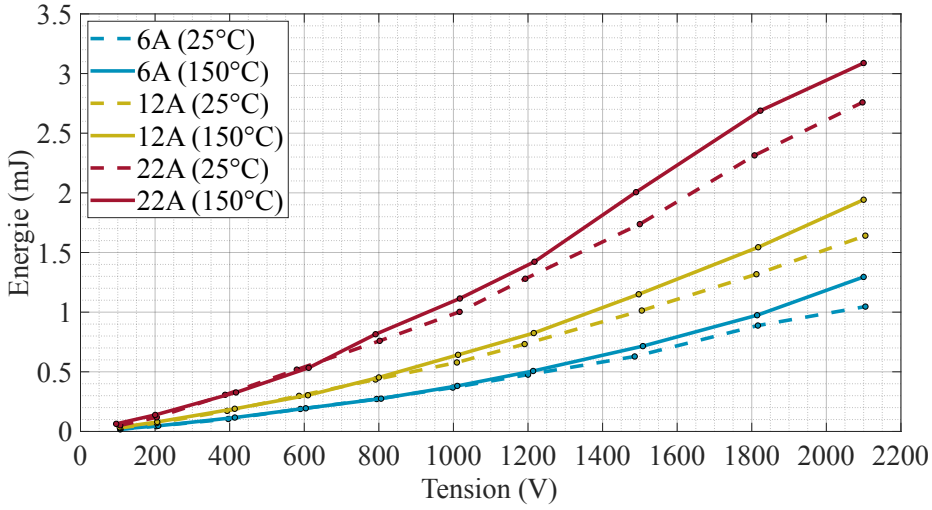

FIGURE 2.21 – Énergies de commutation totales à $T_{j_{LS-M}} = 25°C$ (lignes pointillées) et à $T_{j_{LS-M}} = 150°C$ (lignes continues) pour $I_{DS_{LS-M}} = 6$, 12 et 22 A.

La Figure 2.21 atteste que l'élévation de la température de jonction provoque l'augmentation des énergies de commutation. Celles-ci augmentent de 10 à 20% (selon la tension commutée) entre $T_{j_{LS-M}} = 25°C$ et $150°C$. L'augmentation des pertes par commutation à forte température doit être prise en compte dans la conception du CSI et en particulier dans l'outil de pré-dimensionnement dont le fonctionnement est détaillé dans le suite de ce chapitre.

Dans cette section, le comportement du canal des MOSFETs lors des commutations a été caractérisé. Cependant, cette étude n'est pas suffisante pour évaluer la totalité des commutations ayant lieu dans le CSI fonctionnant en redressement synchrone.

2.2.7 Caractérisation des diodes de corps

Les commutations des diodes de corps des MOSFETs doivent être caractérisées afin de déterminer les pertes produites lors de cet évènement mais également pour confirmer que le courant maximal de recouvrement $I_{rr,max}$ ne dépasse pas les limites du composant lors du blocage de celle-ci. De plus, l'étude de ce comportement est primordiale pour évaluer le temps mort nécessaire au bon fonctionnement du redressement synchrone.

Pour réaliser cette caractérisation, la demi-matrice d'interrupteurs schématisée par la Figure 2.12 est modifiée. En effet, si la configuration précédente est conservée, la diode qui commute serait la diode de corps de $HS - D$. Or, l'ajout d'un emplacement dédié au shunt coaxial près de cet interrupteur augmenterait de manière très importante l'intrusivité de la mesure du courant. Par conséquent, la source de courant L_{DC} est déplacée aux bornes de l'interrupteur LS. Le protocole suivi est le même que dans [26].

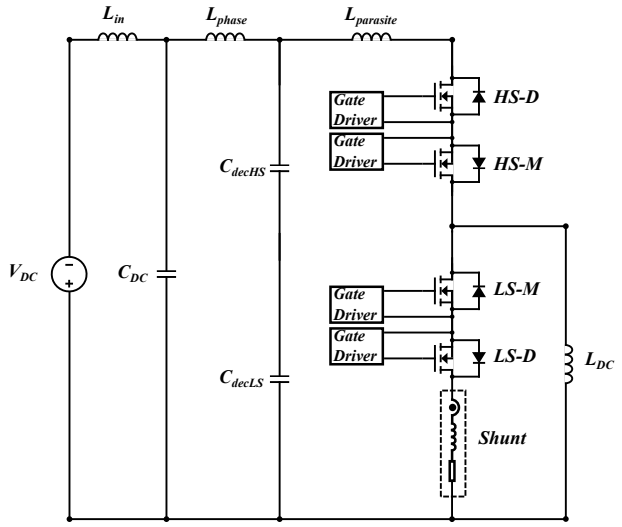

FIGURE 2.22 – Schéma de la cellule de commutation modifiée pour la caractérisation du recouvrement inverse de la diode de corps des MOSFETs $3,3\,kV$.

Lors de cet essai, la diode de corps étudiée est $LS-D$ et la grille du MOSFET est court-circuitée. Les rôles entre interrupteurs sont inversés : $LS - M$ est constamment amorcé à $20\,V$, $HS - D$ est bloqué à $-5\,V$. Le composant $HS - M$ devient le composant commutant de $-5\,V$ à $20\,V$.

La méthode afin de déterminer l'énergie de recouvrement inverse dissipée par la diode de corps est différente de celle utilisée pour le canal du MOSFET. La quantité des pertes générées dépend des charges émises lors du blocage de la diode. Une partie des charges provient de la capacité parasite C_{OSS} du MOSFET. Ces charges Q_{OSS} produisent une énergie E_{OSS} qui n'est pas dissipée dans le boîtier lors du blocage de la diode. L'autre type de charge présent correspond aux charges bipolaires, Q_{bip}. Celles-ci produisent l'énergie de commutation dissipée dans le composant. Ces pertes varient fortement selon les conditions, notamment en fonction du courant et de la température [20]. Les charges sont définies comme suit :

$$Q_{rr} = \int_{t_{rr1}}^{t_{rr2}} I_{d_{LS-D}} dt = Q_{oss} + Q_{bip} \tag{2.4}$$

Il est nécessaire de séparer ces deux types de charges pour ne pas surestimer les pertes produites par le blocage de la diode de corps. Les charges Q_{OSS} peuvent être déterminées lors de l'amorçage de la diode de corps. Le seul paramètre faisant varier la quantité de charge Q_{OSS} est la tension appliquée lors de l'amorçage. Il est possible de déduire E_{OSS} de Q_{rr}, les charges totales.

Déterminer cette énergie peut s'avérer complexe dans le cas de commutations à forte tension et à forte inductance parasite [20]. Le recouvrement s'étend de la chute du courant (t_{rr1}) jusqu'à ce que la tension atteigne 98% de V_{DC} (t_{rr2}). Pour que cette condition soit validée, il est nécessaire que $I_{d_{LS-D}} \simeq 0\,A$. Ces deux conditions sont nécessaires afin d'obtenir des valeurs d'énergies de recouvrement inverse précises. L'énergie dissipée lors recouvrement, E_{rec} peut être définie par l'équation 2.5 :

$$E_{rec} = \int_{t_{rr1}}^{t_{rr2}} V_{DS_{LS-D}} \cdot I_{d_{LS-D}} dt - E_{OSS} \tag{2.5}$$

La Figure 2.23 présente le comportement de la diode de corps de $LS - D$ au blocage pour différentes valeurs de tensions commutées à $T_{j_{LS-D}} = 25°C$ et pour un courant de $I_{d_{LS-D}} = 20\,A$.

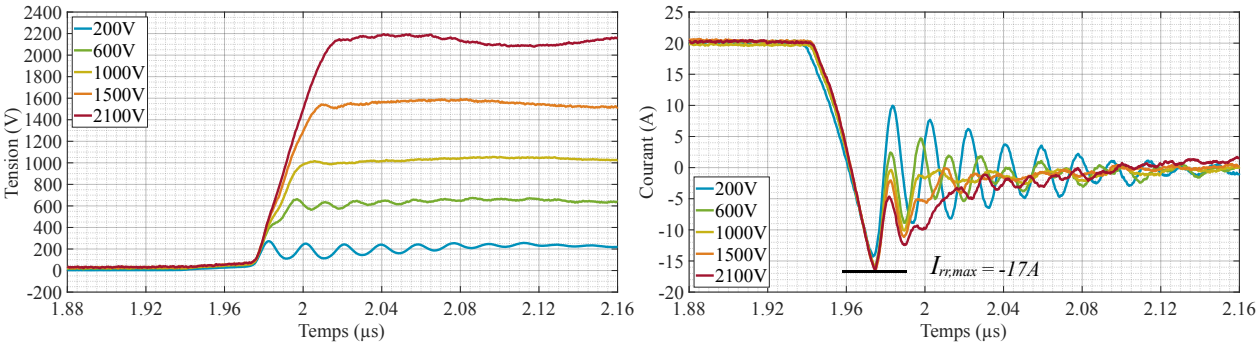

FIGURE 2.23 – Formes d'ondes superposées au blocage de la tension $V_{DS_{LS-D}}$ (à gauche) et du courant $I_{DS_{LS-D}}$ (à droite) à $T_{j_{LS-D}} = 25°C$ et à $I_{DS_{LS-D}} = 20\,A$.

Le courant crête lors du recouvrement inverse $I_{rr,max}$ est de $-17\,A$ pour un courant de $20\,A$ à $T_{j_{LS-D}} = 25°C$. On observe de même que les oscillations lors de ce recouvrement s'atténuent avec l'élévation de la tension. De la même manière que précédemment, des essais en température ont été menés, pour évaluer l'impact de celle-ci sur le comportement de la diode de corps au blocage.

La Figure 2.24 montre que la valeur du courant de recouvrement maximal $I_{rr,max}$, est de $-27\,A$ à $T_{j_{LS-D}} = 150°C$. Les formes d'ondes confirment que le courant dans la diode lors du recouvrement est affecté par l'élévation de température.

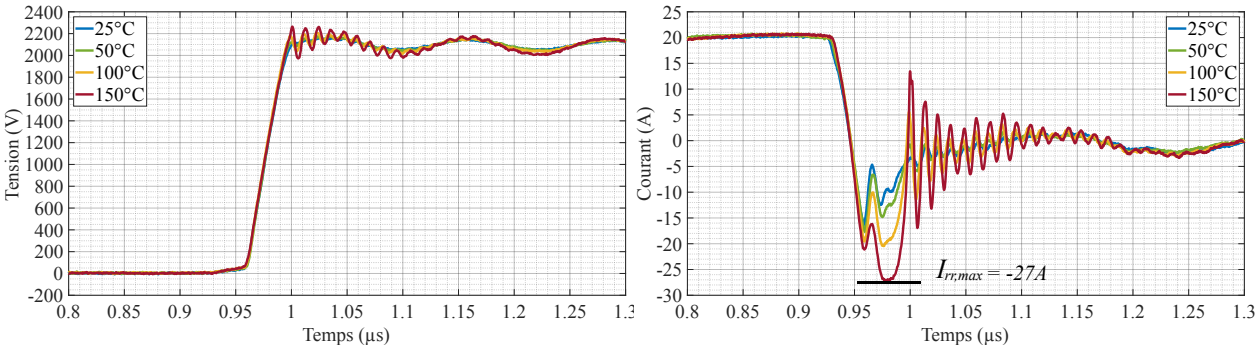

FIGURE 2.24 – Formes d'ondes superposées au blocage de la tension $V_{DS_{LS-D}}$ (à gauche) et du courant $I_{DS_{LS-D}}$ (à droite) pour $T_{j_{LS-D}}$ allant de $25°C$ à $150°C$ à $V_{DS_{LS-D}} = 2100\,V$ et à $I_{DS_{LS-D}} = 20\,A$.

Grâce à l'équation 2.4, on déduit les charges impliquées lors des commutations. La Figure 2.25 présente de manière séparée les contributions respectivement de Q_{rr} et de Q_{OSS} dans les charges de recouvrement inverse. Il est possible de déduire les charges bipolaires Q_{bip}, qui correspondent à la différence entre les deux charges identifiées. Elle illustre également que Q_{bip} augmente avec le courant.

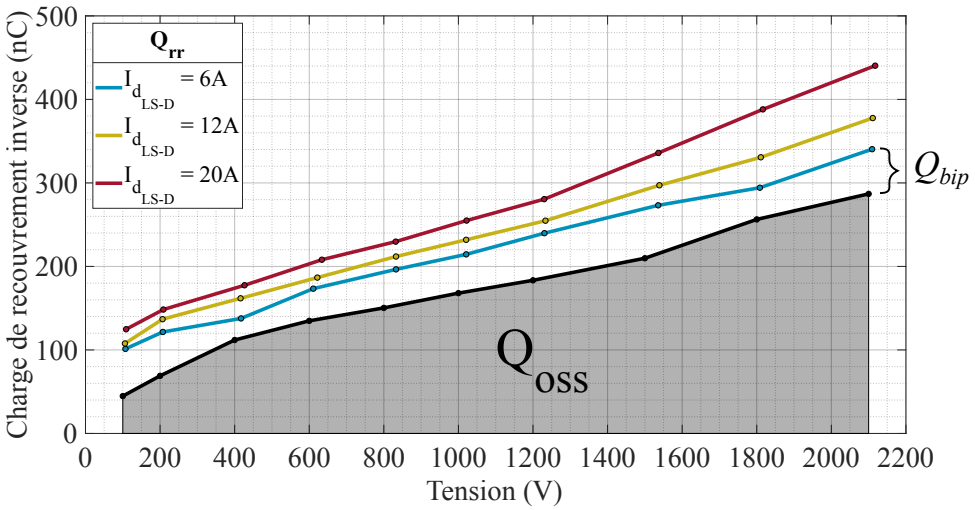

FIGURE 2.25 – Évolution des charges Q_{rr} et Q_{OSS} pour $I_{d_{LS-D}} = 6$, 12 et $20\,A$ et pour $T_{j_{LS-D}} = 25°C$.

La Figure 2.26 montre également l'évolution de ces charges pour deux valeurs de courant, avec quatre valeurs de températures. Elle aide à saisir l'impact de la température sur la quantité de charges totales et sur l'énergie dissipée au blocage.

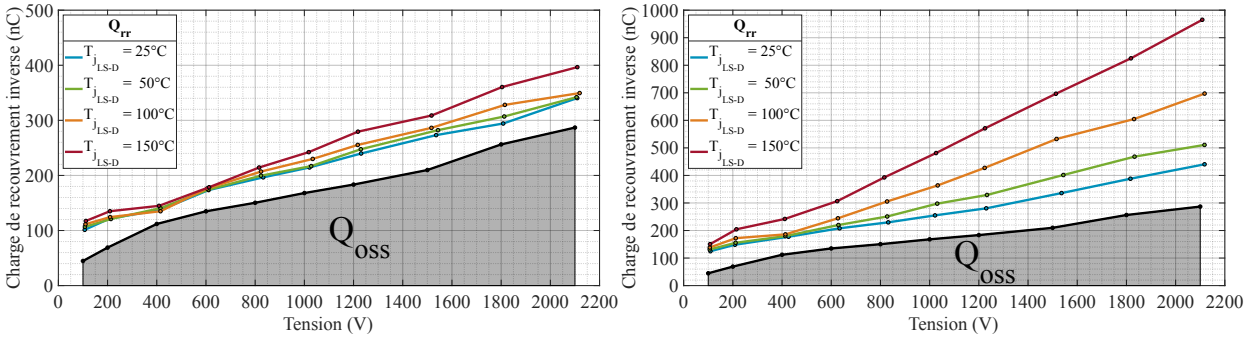

FIGURE 2.26 – Évolution des charges Q_{rr} et Q_{OSS} pour $I_{d_{LS-D}} = 6\,A$ (à gauche) et $20\,A$ (à droite) et pour $T_{j_{LS-D}}$ allant de $25°C$ à $150°C$.

Cette dernière figure confirme que la contribution de Q_{bip} dans la totalité des charges libérées lors du recouvrement inverse devient de plus en plus importante avec l'augmentation du courant et de la température. Elles sont deux fois et demie plus importantes entre $I_{d_{LS-D}} = 6\,A$ et $I_{d_{LS-D}} = 20\,A$ à $V_{DS_{LS-D}} = 2100\,V$ et $T_{j_{LS-D}} = 150°C$. Cette augmentation implique une plus grande quantité d'énergie de recouvrement inverse dans les commutations de cette diode de corps.

Il est possible de déduire les pertes de recouvrement inverse E_{rec} de l'équation 2.5. L'évolution des énergies de commutation lors du recouvrement inverse à $T_{j_{LS-D}} = 25°C$ pour trois valeurs de courant sont dépeintes par la figure ci-dessous.

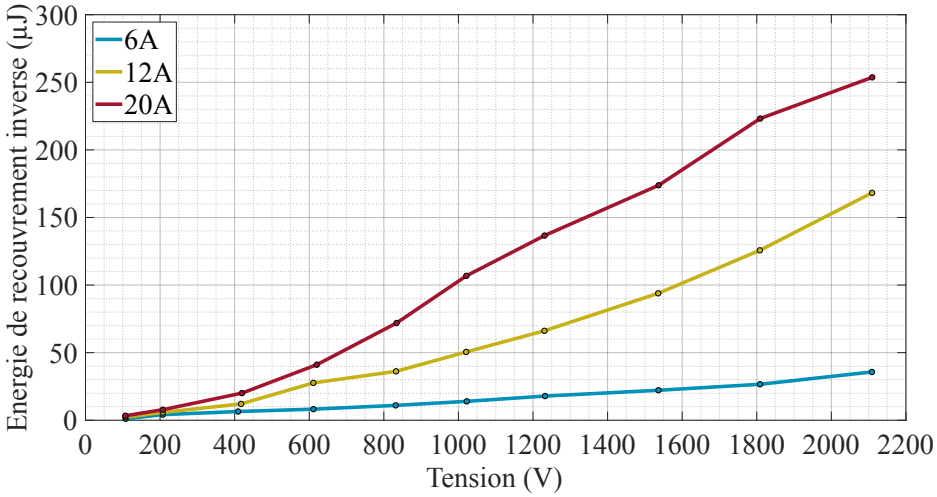

FIGURE 2.27 – Énergies de commutation lors du recouvrement inverse de la diode de corps pour $I_{d_{LS-D}} = 6$, 12 et $20\,A$ et pour $T_{j_{LS-D}} = 25°C$.

On observe que les énergies augmentent de manière très importante avec l'augmentation du courant. Elles sont sept fois plus importantes à $I_{d_{LS-D}} = 22\,A$ qu'à $I_{d_{LS-D}} = 6\,A$ à $T_{j_{LS-D}} = 25°C$ et à $V_{DS_{LS-D}} = 2100\,V$. La figure suivante illustre l'évolution de ces mêmes énergies à différentes températures, pour deux valeurs de courant.

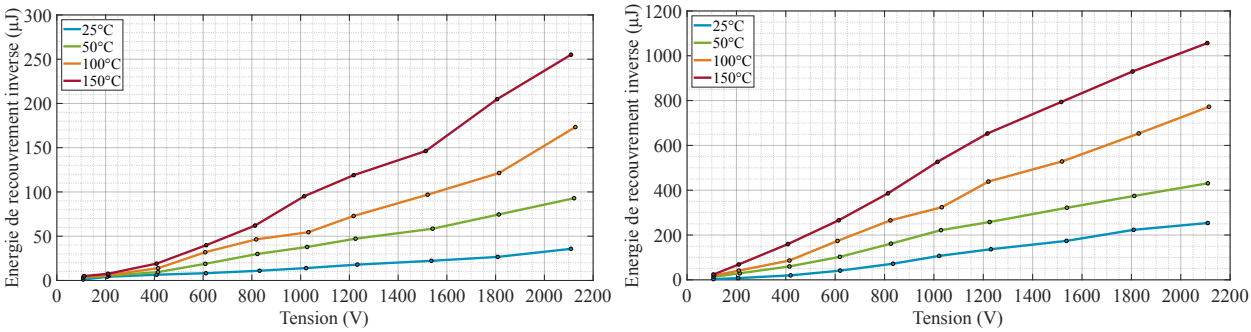

FIGURE 2.28 – Énergies de commutation lors du recouvrement inverse de la diode de corps pour $I_{d_{LS-D}} = 6\,A$ (à gauche) et et $I_{d_{LS-D}} = 20\,A$ (à droite) pour $T_{j_{LS-D}}$ allant de 25 à 150°C.

La Figure 2.28 met en lumière que l'énergie produite à chaque recouvrement augmente de manière importante avec l'élévation de la température. Cette caractéristique pénalise fortement les performances en commutation de l'interrupteur, en particulier proche de la puissance nominale P_n atteinte par l'onduleur. Cette valeur restant à déterminer.

Grâce à la caractérisation des MOSFETs $3,3\,kV$, il est possible d'extrapoler les futures pertes produites par les commutations des MOSFETs et de leur diode de corps. La Figure 2.29 présente l'évolution de ces pertes à une fréquence de découpage fixée, ici $f_{dec} = 40\,kHz$. La tension commutée correspond à celle du réseau évoquée précédemment, $V_{réseau} = 1400\,V$.

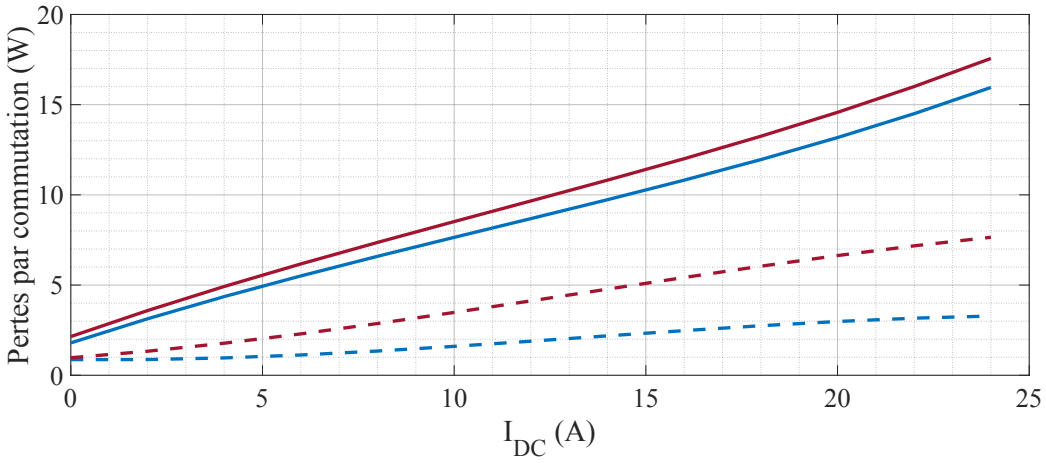

FIGURE 2.29 – Évolution des pertes par commutation du canal du MOSFET (lignes continues) et de la diode de corps (lignes pointillées) à $T_j = 25°C$ (en bleu) et à $T_j = 150°C$ (en rouge) pour $V_{réseau} = 1400\,V$ et $f_{dec} = 40\,kHz$ pour un MOSFET G2R120MT33J.

Il apparaît de la Figure 2.29 que les pertes par commutation du canal du MOSFET sont nettement plus élevées que celles dissipées par les commutations de la diode de corps. Les composants M_x sont ceux dont la fonction impose le plus de pertes lors du fonctionnement de l'onduleur. Les deux critères principaux pour fixer la puissance nominale sont : une température de jonction $T_{j_{max}}$ inférieure à 150°C et le rendement minimal admis, qui ici n'est pas défini. C'est pourquoi une valeur de $T_{j_{max}} \simeq 150°C$ fixe la puissance nominale. Celle-ci dépend de l'efficacité de la résistance thermique.

La dissipation étant différente entre les deux types de fonction, M_x et D_x, elle doit être évaluée pour s'assurer que la $T_{j_{max}}$ sera bien atteinte par les MOSFETs M_x. Cette étude sera proposée dans le chapitre 4.

La Figure 2.29 établit également que l'élévation de la température provoque une augmentation plus importante des pertes dans la diode de corps que dans le canal du MOSFET. À $I_{DC} = 15\,A$, les pertes par commutation sont majorées de plus de 220% pour la diode de corps contre seulement de 10% pour le canal du MOSFET entre une T_j de $25°C$ et de $150°C$. De plus, pour déterminer le courant maximal, les pertes par conduction doivent être considérées. Certains paramètres peuvent être ajustés, une fréquence de commutation f_{dec} diminuée permettrait de réduire les pertes par commutation, autorisant l'augmentation du courant maximal I_{DC}.

2.2.8 Détermination du temps mort pour le redressement synchrone

L'utilisation du redressement synchrone n'est possible qu'une fois la diode de corps directement polarisée. Ce phénomène de polarisation n'étant pas instantané, l'ajout d'un temps mort DT est nécessaire. Dans le cas où ce délai serait trop court, un court-circuit peut se produire. De plus, la commutation de ce canal ne se ferait plus dans des conditions proches du zéro de la tension (ZVS), impliquant la génération de pertes par commutation et dégradant le rendement global du CSI. La détermination de DT est donc primordiale.

Afin d'assurer que DT soit suffisant pour tout point de fonctionnement, un DT_{min} doit être déterminé pour les conditions les plus défavorables, c'est-à-dire pour le temps mort le plus long dans la plage de fonctionnement. De par le comportement de la diode de corps lors de son amorçage, cette valeur varie selon le courant, la tension et la température de jonction. Ces conditions correspondent aux plus fortes valeurs de ces trois variables. Ce temps peut être évalué selon la méthode décrite dans [27]. D'après cet article, l'amorçage du canal du MOSFET pendant la polarisation de la diode de corps rend possible la réduction du courant de recouvrement inverse et la surtension produite, améliorant le comportement de celle-ci lors du blocage en particulier en réduisant les pertes générées. Cet effet est aussi très bien décrit dans [28, 29].

La Figure 2.30 permet de déterminer cette valeur de DT_{min}. Cet essai est réalisé à $I_{d_{LS-D}}$ à $20\,A$, $V_{DC} = 2100\,V$ et avec une température de jonction à $T_j = 150°C$. À cette température, la tension de seuil de la grille du MOSFET opposé $HS - M$, $V_{GSth_{HS-M}}$ vaut environ $2,5\,V$. DT_{min} correspond à la durée entre le début de la chute de cette tension de grille jusqu'à cette valeur seuil.

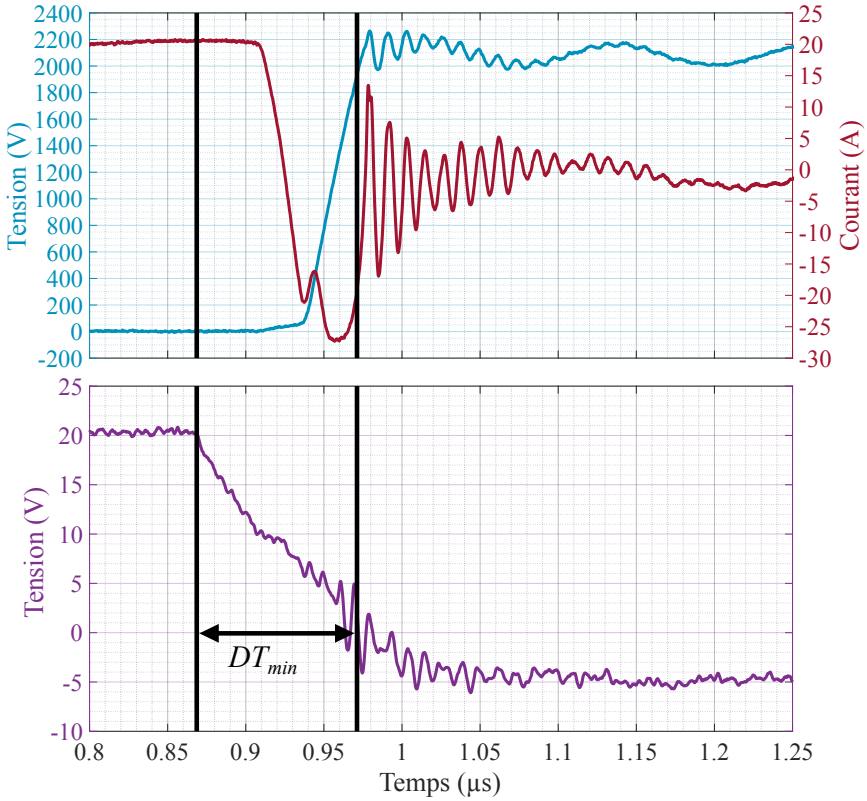

FIGURE 2.30 – Formes d'ondes de la tension de la diode de corps $V_{DS_{LS-D}}$ à $V_{DC} = 2100\,V$ (en haut - cyan), le courant $I_{d_{LS-D}}$ à $20\,A$ (en haut - rouge) et $V_{GS_{HS-M}}$ (en bas - violet) durant le blocage de $LS - D$ à $T_j = 150°C$.

D'après la Figure 2.30, $DT_{min} \simeq 102\,ns$. La réduction de DT_{min} aurait pour conséquence de réduire les pertes par commutation. Cependant, cette réduction entraîne un risque très important de court-circuit. Nous ne nous focaliserons pas sur cette réduction dans la suite de ce manuscrit.

Dans cette section, un protocole expérimental a été établi pour la caractérisation des commutations du canal des MOSFETs et de leur diode de corps au sein de cette cellule de commutation particulière développée pour ce nouvel onduleur de courant moyenne tension. La suite de ce chapitre se concentre sur l'évaluation globale de ce système de conversion dans la perspective d'une application pour la conversion photovoltaïque. Les pertes par commutation ainsi déterminées précédemment sont prises en compte dans cette approche pour le pré-dimensionnement du CSI.

2.3 Outil de pré-dimensionnement du CSI

Cette section retrace les travaux menés pour le développement d'un outil de pré-dimensionnement pour la conception du CSI triphasé multiniveaux parallèle pour application PV [30].

2.3.1 Principe, intérêt et limites de l'outil de calcul

L'outil développé consiste en un modèle de calcul théorique permettant d'évaluer les pertes dans les semi-conducteurs, leurs températures de jonction et le rendement pour l'intégralité de la plage de fonctionnement de l'onduleur. Il est équipé d'une interface graphique autorisant la modification

d'un grand nombre de paramètres du CSI. Il est alors possible d'envisager et de comparer des configurations très différentes. Les niveaux de tension d'entrée et de sortie discutés précédemment peuvent être ajustés, de même que les différentes valeurs de résistance thermique représentant le système de dissipation sélectionné. Les paramètres sont détaillés dans la Table 2.3. Les paramètres P_{pas} et V_{pas} correspondent respectivement au pas de calcul de la puissance et de la tension V_{MPP}.

Paramètres	
$V_{réseau}$	$R_{th,PCB-TIM}$
$V_{MPP_{min}}$ - $V_{MPP_{max}}$	T_{Amb}
V_{pas}	DT
P_n	Redressement synchrone
P_{pas}	MOSFET
f_{dec}	Diode (ou diode de corps)
$R_{th,HS-Amb}$	n (nombre de blocs)
$R_{th,TIM-HS}$	Nombre de MOSFETs en parallèle

TABLE 2.3 – Tableau des paramètres modifiables par l'utilisateur.

Au-delà de l'évaluation des performances du convertisseur pour une application photovoltaïque, il permet d'ouvrir la réflexion sur l'optimisation du fonctionnement d'un CSI multiniveaux dans ce même contexte.

L'outil de pré-dimensionnement tente de retranscrire au mieux les futures performances du CSI. Cependant, plusieurs types de pertes ne sont pas pris en compte. Les pertes des éléments passifs tels que les inductances d'entrée et le filtre de sortie ne sont pas considérées. Pour aller plus loin, les pertes auxiliaires produites par le système de dissipation ou l'alimentation des drivers de commande ne sont pas non plus prises en compte. De par ces éléments, le rendement global des topologies de l'onduleur de courant étudiées ne peut être comparé en l'état avec celui des architectures classiquement utilisées pour la conversion PV.

De manière plus problématique, les résistances thermiques considérées ne prennent pas en compte la complexité des couplages entre les différentes sources de puissances dissipées. L'introduction d'une trop grande erreur dans les estimations faites pourraient imposer une importante réduction de la puissance nominale du convertisseur.

Une autre limite concerne un élément plus subtil et qui ne concerne pas directement la conception du CSI. Le choix dans la stratégie de modulation peut influencer de manière importante l'évolution des pertes semi-conducteurs et en particulier les pertes par commutation. Les trois topologies étudiées et comparées utilisent soit une stratégie égale, soit une stratégie de modulation produisant les mêmes pertes. Or, le chapitre suivant met en évidence que les stratégies employées sont différentes entre les trois architectures du CSI. Les rendements des topologies 5 et 7 niveaux sont donc altérés. La Figure 2.44 évalue leur rendement en utilisant une stratégie de modulation en décalage de phase. Ces raisons expliquent les limites inhérentes à cet outil de pré-dimensionnement. La corrélation entre

les calculs réalisés et les performances réelles peut être évaluée, déterminant la pertinence de celui-ci à assister la conception du CSI dans le cadre d'une application de production photovoltaïque. La Figure 2.31 illustre cette topologie dans le cadre d'une conversion PV $1500\,V_{OC}$ - $1400\,V_{AC}$.

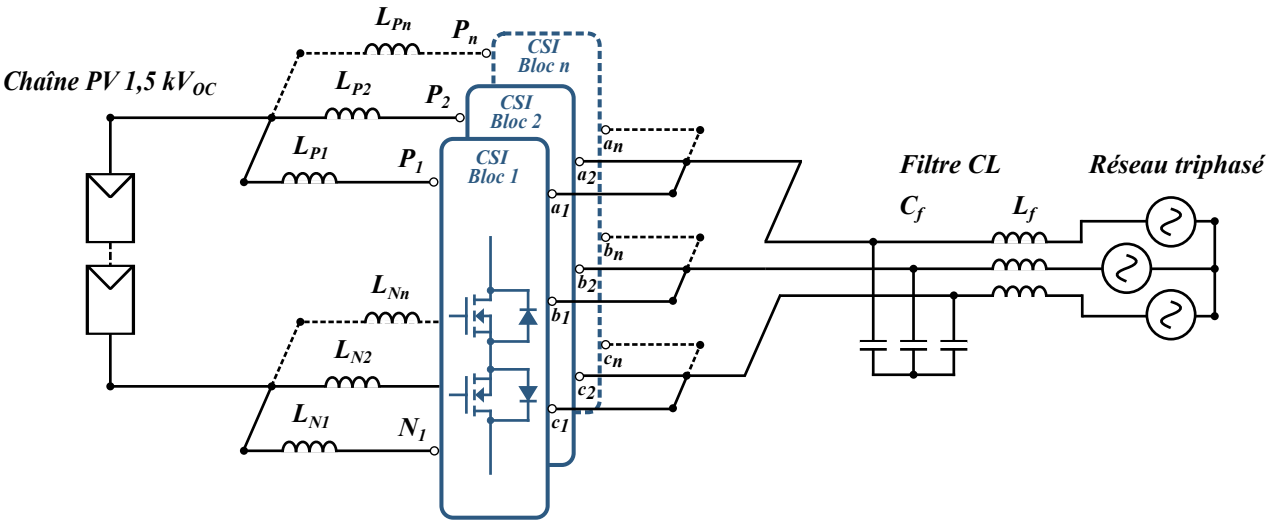

FIGURE 2.31 – Schéma d'un CSI multiniveaux à n blocs parallèles.

En première analyse, l'utilisation d'une architecture multiniveaux à n blocs permet d'augmenter la puissance nominale P_n et la modularité du convertisseur. Avec l'utilisation d'un CSI multiniveaux, le couplage magnétique des inductances d'entrée est également envisageable pour réduire leur volume global [31, 32]. Une autre voie d'amélioration consiste en la mise en parallèle de plusieurs semi-conducteurs dans le même interrupteur, comme l'illustre la Figure 2.32.

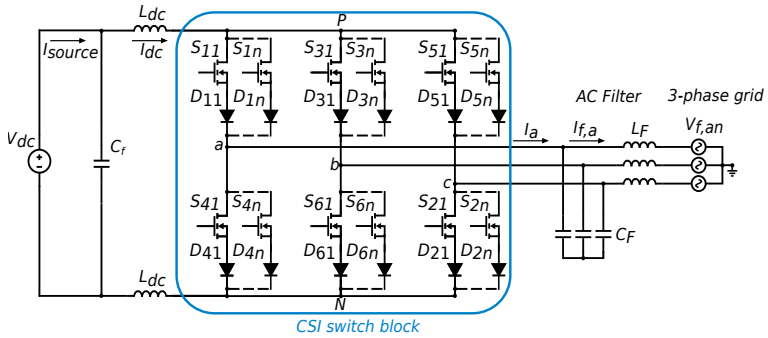

FIGURE 2.32 – Schéma d'un CSI avec n semi-conducteurs en parallèle par interrupteur, tiré de [30].

Cette possibilité est permise par l'outil de pré-dimensionnement mais ne peut pas être pertinente pour l'étude menée dans ces travaux. En effet, la section précédente a mis en lumière la difficulté importante que constitue l'agencement des semi-conducteurs pour la matrice d'interrupteurs du CSI. Cette difficulté première s'accompagne d'autres problématiques telles que la dissipation thermique et la synchronisation des ordres de commande.

C'est pourquoi l'étude de la mise en parallèle de plusieurs interrupteurs ne paraît plus pertinente, en premier lieu, pour cette étude. Pour rappel, la cellule de commutation retenue est formée par des interrupteurs utilisant deux MOSFETs en anti-série, fonctionnant en redressement synchrone. Seul le MOSFET G2R120MT33J sera considéré.

2.3.2 Détail de l'algorithme

L'algorithme développé calcule les caractéristiques de l'onduleur pour chaque point de fonctionnement. Il doit être capable d'évaluer des caractéristiques comme les pertes semi-conducteurs P_{SC}, le rendement semi-conducteurs η_{SC}, les différentes températures ou le rendement européen η_{euro}. Il peut aider à l'optimisation de l'utilisation de n blocs mis en parallèle. La Figure 2.33 illustre la routine de calcul mise en place. Les trois types de pertes sont calculées pour le point de fonctionnement donné, provoquant ainsi l'élévation des différentes températures. Les T_j sont réinjectées pour calculer les nouvelles pertes produites. Si la différence de température entre deux itérations est suffisamment petite, le calcul est arrêté et les données extraites.

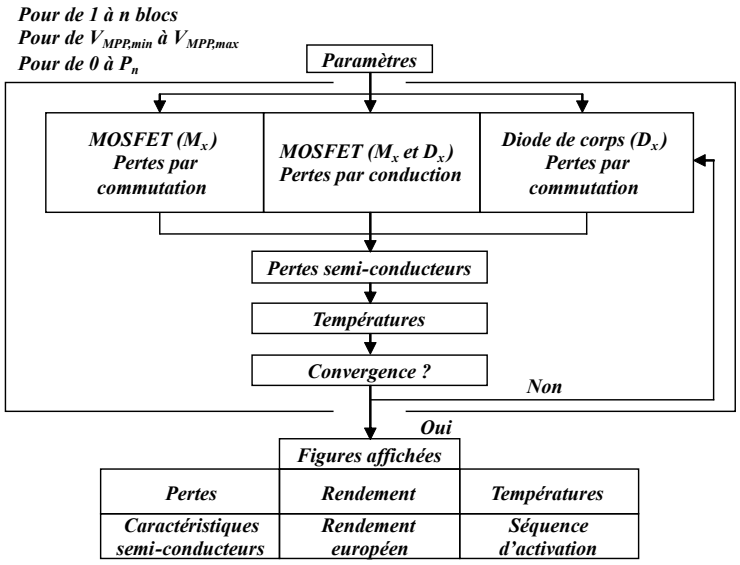

FIGURE 2.33 – Modèle de la routine de calcul de l'outil de pré-dimensionnement.

Pour cela, il évalue les pertes engendrées à partir des caractéristiques des MOSFETs utilisés. Dans ce cas, trois types de pertes semi-conducteurs sont produites :

- Les pertes par commutation du canal du composant M_x produites lors des amorçages et blocages.
- Les pertes par commutation de la diode de corps D_x produites lors du recouvrement inverse.
- Les pertes par conduction des MOSFET M_x et D_x, produites pendant les temps de conduction.

Pertes par commutation

Les énergies de commutation du canal E_{sw} et de la diode de corps du MOSFET $3,3\,kV$ E_{rec} utilisé ont été évaluées précédemment. Il est possible d'en déduire les pertes produites. Pour cela, il faut d'abord trouver une équation régissant les deux types d'énergies sur toute la gamme de tension, de courant et de température de jonction évaluée. Ces équations sont déterminées par

une technique mathématique, dite d'interpolation linéaire. Elles sont écrites sous la forme d'un polynôme à treize termes. Cette équation est notée : $E_{sw}\left(I,V,T_j\right)$ pour les énergies de commutation du canal et $E_{rec}\left(I,V,T_j\right)$ pour les énergies du recouvrement de la diode de corps. L'outil de pré-dimensionnement prévoit de les afficher sur demande de l'utilisateur, comme sur la Figure 2.34. De par la nature des équations, la température T_j est fixée à $25°C$ afin d'afficher des surfaces en trois dimensions.

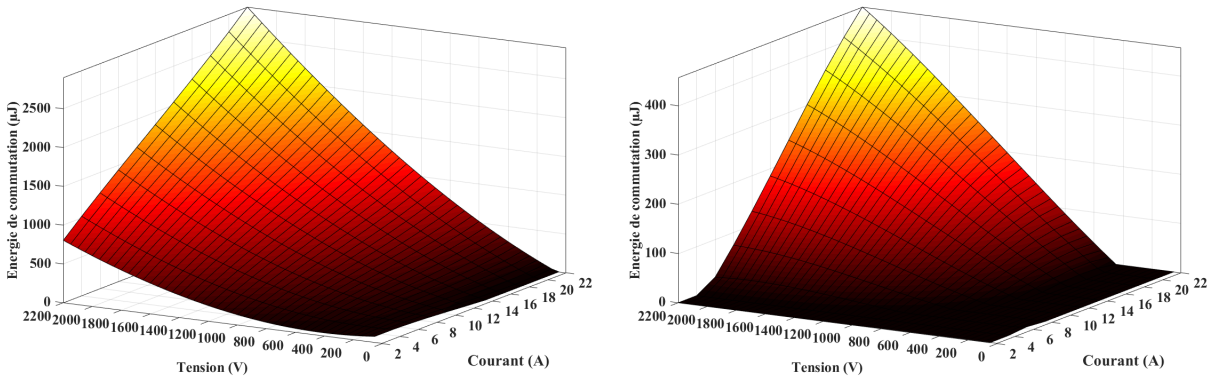

FIGURE 2.34 – $E_{sw}\left(I,V,T_j=25°C\right)$ (à gauche) et $E_{rec}\left(I,V,T_j=25°C\right)$ (à droite) du MOSFET G2R120MT33J.

Les pertes par commutation dans un CSI sont régies par l'équation 2.6. La tension commutée $\hat{V}_{réseau}$ évoluant de manière sinusoïdale, celle-ci doit être considérée sur une période de 2π.

$$P_{sw}\left(I_{DC},V_{réseau},T_j\right)=\frac{f_{dec}}{2\pi}\int_0^{2\pi}E_{sw}\left(I_{DC},\hat{V}_{réseau}\cdot\mid\sin\theta\mid,T_j\right)d\theta \tag{2.6}$$

Pertes par conduction

Les pertes par conduction du canal $P_{cond_{MOSFET}}$ dépendent du courant I_{DC} et de sa résistance à l'état passant $R_{DS_{on}}$ qui varie en fonction du courant la traversant et de sa température de jonction. Le composant G2R120MT33J possède un modèle de simulation aidant à déduire cette caractéristique $R_{DS_{on}}\left(I,T_j\right)$. De même manière que pour les commutations, une équation polynomiale est utilisée pour l'intégrer à l'outil de pré-dimensionnement. Cette caractéristique correspond à la Figure 2.35.

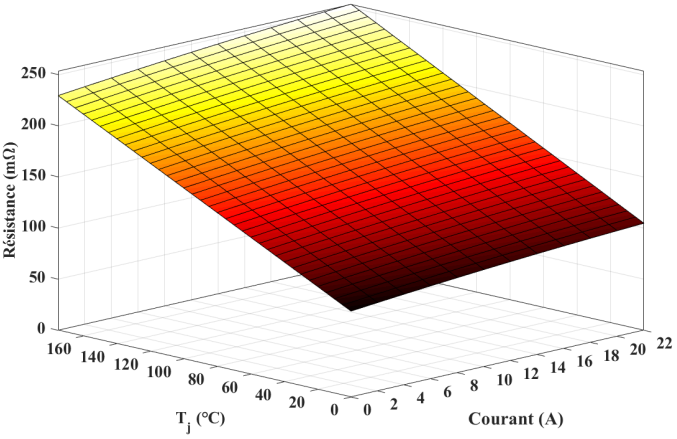

FIGURE 2.35 – $R_{DS_{on}}(I, T_j)$ du MOSFET G2R120MT33J.

Les pertes par conduction dans le canal des MOSFETs peuvent être décrites par :

$$P_{cond_{MOSFET}}(I_{DC}, T_j) = \frac{1}{3} \cdot R_{DS_{on}}(I_{DC}, T_j) \cdot I_{DC}^2 \tag{2.7}$$

La séparation des pertes par conduction entre la diode de corps et le canal dans le composant D_x est prise en compte. Lorsque le canal du MOSFET est rendu passant, la tension aux bornes de la diode de corps ne suffit plus à la maintenir polarisée [9]. Ainsi, dès que le redressement synchrone est activé, l'intégralité du courant est considéré comme passant par le canal. Le maintien de la polarisation directe de la diode de corps dépend de la température de jonction et du courant. Cette caractéristique varie fortement selon le composant étudié [3].

L'utilisation du redressement synchrone impose la mise en place de temps morts, dont la valeur minimale DT_{min} a été définie précédemment. Lors de ces temps, seule la diode de corps de D_x est passante, générant des pertes par conduction rehaussées. Aussi, la durée de ces temps peut être différente de la valeur minimale DT_{min}. Pour obtenir une approche plus fine des performances du CSI, ces temps doivent être intégrés à la routine de calcul de cet outil. La définition de ces temps dépend de la stratégie de modulation utilisée. Le calcul définissant la proportion du temps de conduction seule de la diode de corps pour le CSI 3 niveaux est détaillé dans l'Annexe B.

Les pertes par conduction des diodes de corps ont été définies par l'équation 2.2. Dans le cadre de l'outil de pré-dimensionnement, elle peut être écrite de la manière suivante :

$$P_{cond_{BD}} = \frac{1}{3} \cdot \left(V_f \cdot I_{DC} + R_d \cdot I_{DC}^2\right) \tag{2.8}$$

Chemin thermique

La suite de cette routine prévoit le calcul des différentes températures présentes dans l'environnement des semi-conducteurs. Pour cela, le chemin thermique doit être établi. Il est résumé par la Figure 2.36 en prenant comme hypothèse que le flux thermique est unidirectionnel sous le composant. La puissance dissipée par les semi-conducteurs parcourt le boîtier TO-263-7 depuis la jonction, traversant une première résistance thermique notée $R_{th,j-c}$. Comme discuté dans la section dédiée

à l'établissement de la cellule de commutation, le composant étant de type CMS, deux résistances thermiques liées au PCB $R_{th,c-PCB}$ et $R_{th,PCB-TIM}$ sont présentes dans le chemin thermique. De plus, une interface thermique est nécessaire afin d'isoler électriquement le PCB et le dissipateur. Ainsi, jusqu'à la température ambiante T_{Amb}, le chemin thermique est composé de deux autres résistances thermiques $R_{th,TIM-HS}$ entre l'interface thermique et le dissipateur et $R_{th,HS-Amb}$ entre le dissipateur et l'air ambiant. Le système de dissipation considéré est de type convection forcée.

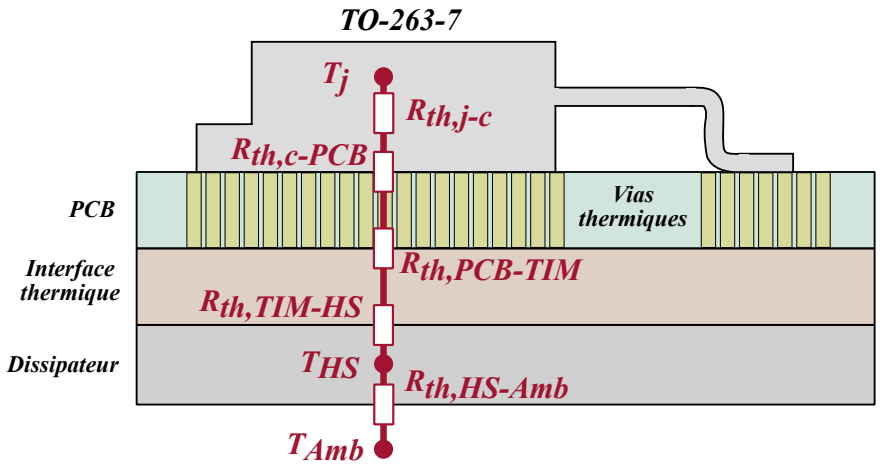

FIGURE 2.36 – Schéma du chemin thermique pour les MOSFETs G2R120MT33J.

Le chemin thermique étant décrit, il est possible d'établir les calculs des différentes températures évoquées dans le paragraphe précédent. Les pertes totales dissipées par les semi-conducteurs du CSI sont définies par P_{SC}.

$$\begin{aligned} T_{HS} &= T_{Amb} + R_{th,HS-Amb} \cdot P_{SC}/2 \\ T_{TIM} &= T_{HS} + R_{th,TIM-HS} \cdot P_{SC}/2 \end{aligned} \tag{2.9}$$

Les deux équations précédentes font état de la séparation des pertes entre les deux demi-matrices d'interrupteurs. Elles sont considérées comme appartenantes à un dissipateur et à une interface thermique différents. Les pertes générées par ces deux cellules sont égales dans ce modèle. Les pertes sont considérées comme générées individuellement par chaque boîtier de semi-conducteurs à partir des équations suivantes :

$$\begin{aligned} T_{PCB,M_x} &= T_{TIM} + R_{th,PCB-TIM} \cdot P_{M_x} & T_{PCB,D_x} &= T_{TIM} + R_{th,PCB-TIM} \cdot P_{D_x} \\ T_{c,M_x} &= T_{PCB,M_x} + R_{th,c-PCB,M_x} \cdot P_{M_x} & T_{c,D_x} &= T_{PCB,D_x} + R_{th,c-PCB,D_x} \cdot P_{D_x} \\ T_{j,M_x} &= T_{c,M_x} + R_{th,j-c} \cdot P_{M_x} & T_{j,D_x} &= T_{c,D_x} + R_{th,j-c} \cdot P_{D_x} \end{aligned} \tag{2.10}$$

Comme montré précédemment, les pertes générées par les composants M_x et D_x sont différentes. De même, la résistance thermique globale est plus faible pour ces premiers grâce à l'association de leur drains. Les températures entre le PCB et la jonction se voient différenciées selon la fonction du composant. Seule une donnée est conservée entre les deux modèles, $R_{th,j-c}$, car M_x et D_x ont le même boîtier.

Des modèles différents pourraient être envisagés. En effet, le couplage thermique entre les boîtiers TO-263-7 n'est pas réellement pris en compte dans les calculs énoncés. Ce phénomène ayant cours lors du dégagement de chaleur, va provoquer l'augmentation des différentes valeurs de résistances thermiques locales, pénalisant la dissipation. Si les résistances thermiques sont minimisées, les températures atteintes sur le démonstrateur peuvent fortement diverger des prévisions. Dans ce cas, la puissance nominale prévisionnelle ne pourra pas être atteinte sans porter atteinte à l'intégrité des semi-conducteurs. Pour éviter ces désagréments, une marge minimale en température peut être envisagée.

L'outil de pré-dimensionnement possède une option proposant de dimensionner le dissipateur à partir de ce critère. La résistance thermique du dissipateur ainsi définie permet d'obtenir une température de jonction maximale de $125°C$. Cette valeur garantit une marge de sécurité avec les $150°C$, température de jonction maximale en fonctionnement conseillée pour les MOSFETs SiC. Cette valeur peut atteindre les $175°C$. Son fonctionnement est détaillé dans [30]. Cette fonction n'est pas utilisée dans les exemples des sections suivantes.

2.3.3 Résultats pour un CSI 3 niveaux

L'outil de pré-dimensionnement présenté précédemment donne une projection du fonctionnement et des futures performances du CSI. Cette section ne s'intéresse qu'aux caractéristiques du CSI 3 niveaux. La section suivante sera dédiée aux implications plus spécifiques des topologies CSI multiniveaux.

Un calcul est lancé avec les paramètres déjà déterminés. Le temps mort DT est fixé à $500\,ns$. La température ambiante T_{Amb}, correspond à $25°C$, condition des essais. $R_{th,HS-Amb}$ correspond à la résistance thermique du dissipateur. Sa valeur est fixée à $0,1\,K/W$. Le dimensionnement de ce dernier aura pour objectif d'obtenir une valeur proche. L'interface thermique SIL-PAD 2000 (Bergquist) a été sélectionnée, fixant la valeur de $R_{th,TIM-HS}$ à $0,57\,K/W$. Les critères de choix de cette interface sont détaillés dans le chapitre 4. La Table 2.4 résume les conditions de calcul.

Paramètres	**Valeur**	**Unité**
$V_{réseau}$	1400	V
$V_{MPP_{min}}$ - $V_{MPP_{max}}$	850 - 1450	V
V_{pas}	50	V
P_n	10 200	W
P_{pas}	100	W
f_{dec}	40	kHz
DT	500	ns
T_{Amb}	25	$°C$
$R_{th,HS-Amb}$	0,1	K/W
$R_{th,TIM-HS}$	0,57	K/W
$R_{th,PCB-TIM}$	5	K/W

TABLE 2.4 – Tableau des paramètres sélectionnés.

La Figure 2.37 présente les pertes dans les semi-conducteurs et le rendement associé obtenus lors de ce calcul. Ces deux figures démontrent que l'activation du redressement synchrone (avec une marge de sécurité supplémentaire) permet de réduire de 96% les pertes par conduction dans la diode de corps des composants D_x à $V_{MPP,max}$. Le rendement est rehaussé aux mêmes points. Ce point d'inflexion est obtenu à plus basse puissance à $V_{MPP_{min}}$ qu'à plus forte valeur de tension d'entrée.

De plus, les courbes tracées en suivant, mettent en évidence que le point de fonctionnement critique se situe au point $(V_{MPP,min}; P_n)$. C'est à ce point que les pertes sont les plus élevées et le rendement le plus faible, il est le point dimensionnant de l'onduleur.

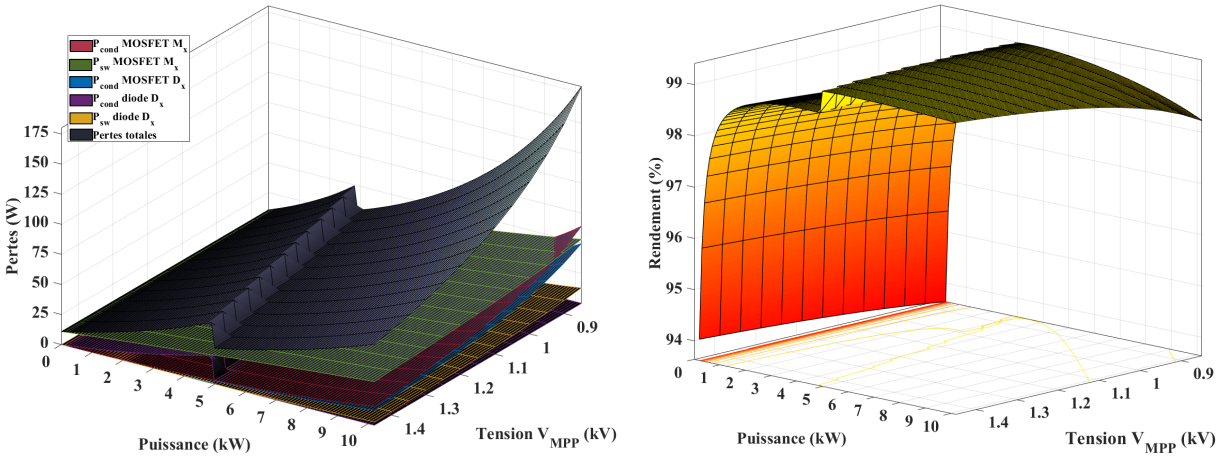

FIGURE 2.37 – Pertes P_{SC} (à gauche) et rendement η_{SC} semi-conducteurs (à droite) calculés pour un CSI 3 niveaux.

D'après la Figure 2.38 P_{sw,M_x} représente près de 54% des pertes semi-conducteurs au point de fonctionnement $(V_{MPP,max}; P_n)$ contre seulement $29,59\%$ à $(V_{MPP,min}; P_n)$. Sur ces deux points de fonctionnement M_x est le type de composant générant le plus de pertes avec respectivement $80,8\%$ et $65,2\%$ de P_{SC}.

Type de pertes	$V_{MPP_{min}}$	$V_{MPP_{max}}$
$P_{SC}\,(W)$	180	67
$P_{cond}\,M_x\,(W)$	64	16
$P_{sw}\,M_x\,(W)$	53	36
$P_{cond,MOSFET}\,D_x\,(W)$	50	12
$P_{cond,Diode}\,D_x\,(W)$	0	0
$P_{sw,Diode}\,D_x\,(W)$	13	3

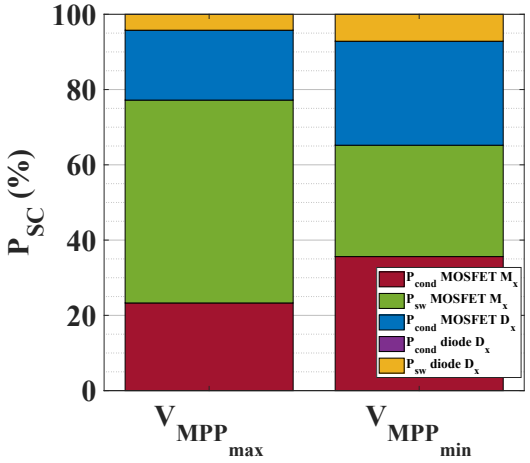

FIGURE 2.38 – Répartition des pertes à $V_{MPP_{min}}$ et $V_{MPP_{max}}$ à P_n en valeur et en pourcentage de P_{SC}.

La Figure 2.39 illustre les différentes valeurs de températures obtenues par la routine de calcul. Elle confirme que M_x est bien le composant ayant la T_j la plus élevée. De même que pour la Figure 2.37, l'activation du redressement synchrone réduit de manière très nette la température des composants D_x.

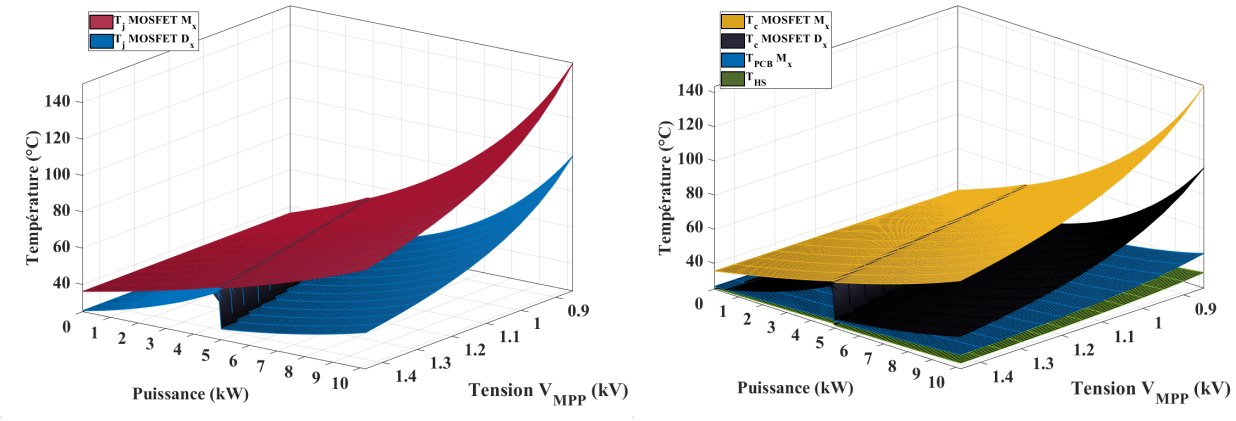

FIGURE 2.39 – Températures T_{j,M_x}, T_{j,D_x} (à gauche) et T_{c,M_x}, T_{c,D_x}, T_{PCB,M_x} et T_{HS} (à droite) calculées pour un CSI 3 niveaux.

La Figure 2.40 donne l'évolution du rendement η_{SC} isolé de la Figure 2.37 pour les deux valeurs $V_{MPP,min}$ et $V_{MPP,max}$. Le rendement à $V_{MPP,max}$ se maintient à forte puissance, jusqu'à P_n tandis que celui observé à $V_{MPP,min}$ décroît fortement jusqu'à P_n de par l'élévation du courant plus importante à ce point de fonctionnement.

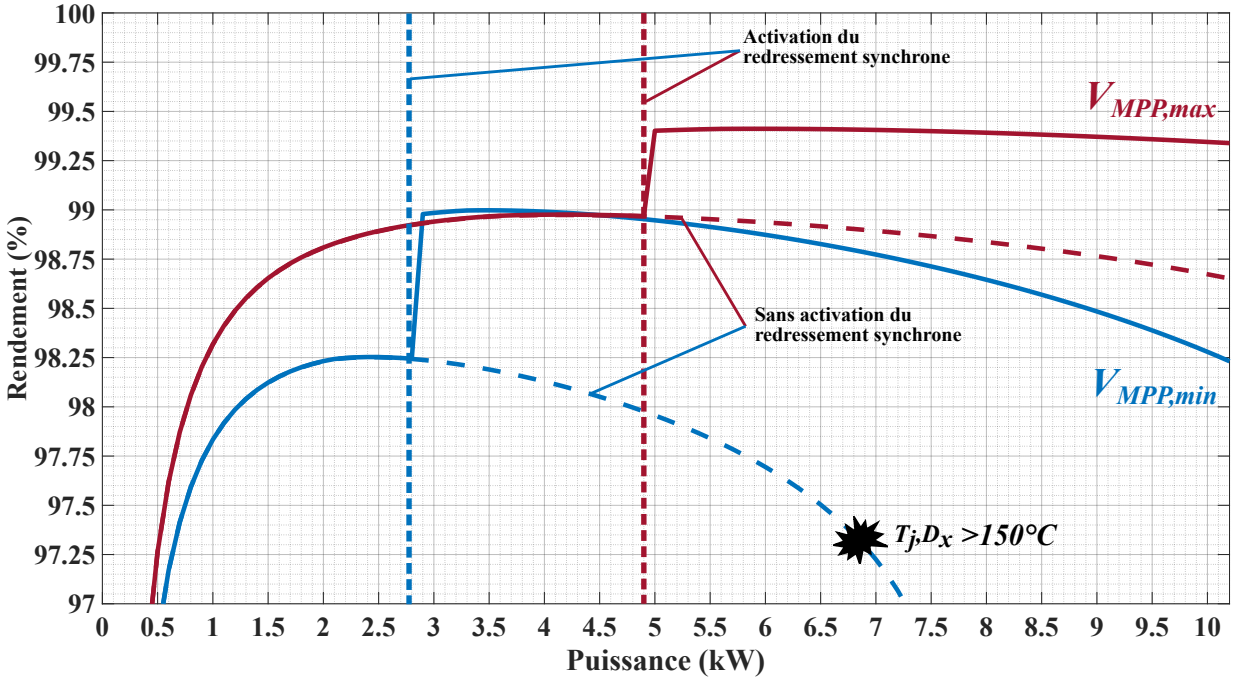

FIGURE 2.40 – η_{SC} pour les deux valeurs limites de tension d'entrée $V_{MPP,min}$ et $V_{MPP,max}$ pour le CSI 3 niveaux.

Lors de l'activation du redressement synchrone, le gain de rendement observé est de $0,75\%$ à $V_{MPP,min}$ et de $0,4\%$ à $V_{MPP,max}$. Le rendement crête se situe autour de $99,4\%$ et le rendement minimum à P_n est égal à $98,19\%$. À puissance nominale et à $V_{MPP,max}$ le gain atteint $0,67\%$. Il est à noter que à $V_{MPP,min}$ et sans redressement synchrone l'onduleur ne peut fonctionner jusqu'à P_n, les températures de jonction des MOSFETs D_x dépassent les limites constructeurs, avec $T_{j,D_x} >> 175°C$. Il est évalué que dans ce cas d'étude T_{j,D_x} atteint $150°C$ autour de $6,8\,kW$. L'utilisation du redressement synchrone étend la plage de puissance de l'onduleur d'un tiers, ici de $6,8$ à $10,2\,kW$.

En replaçant η_{SC} dans le contexte de production PV de la Figure 1.7, il est possible d'obtenir une cartographie de l'évolution du rendement semi-conducteurs sur l'intégralité de la plage de tension V_{MPP} et de courant I_{MPP}, ici comprise entre 850-1450 V et 0-12 A. On y observe également que le redressement synchrone est activé autour de $I_{DC} = 3\,A$, prédéterminé par l'outil de calcul.

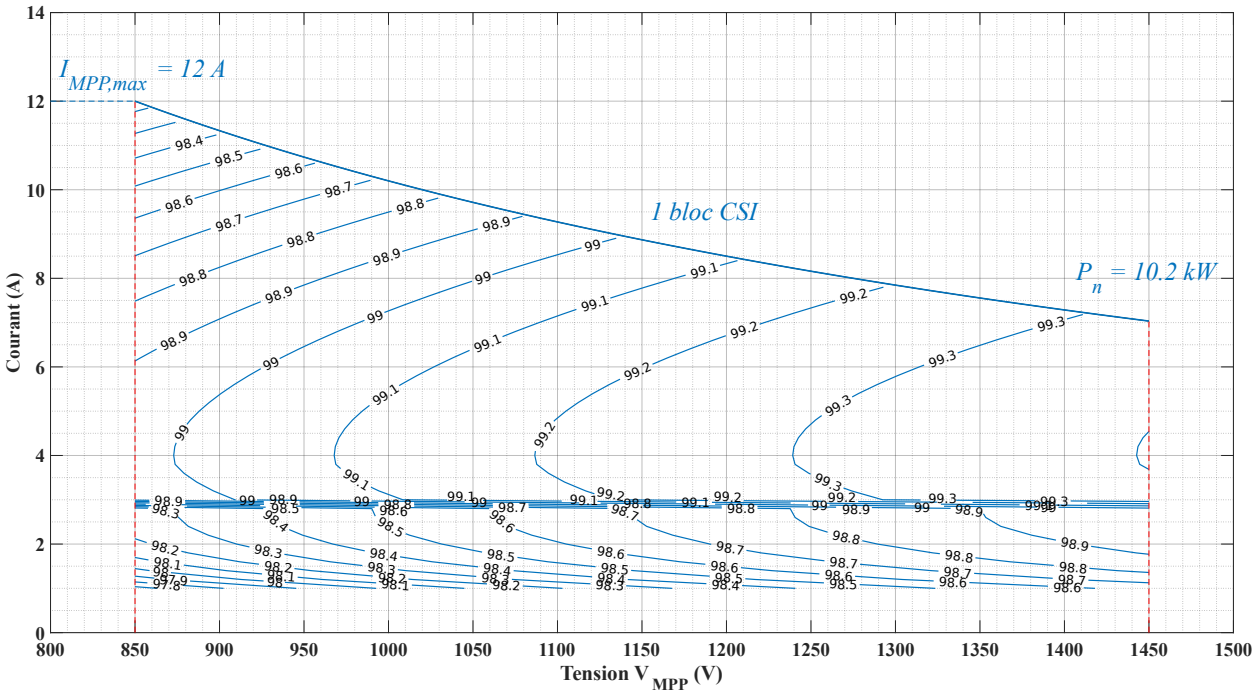

FIGURE 2.41 – Caractéristique d'une source photovoltaïque (I-V) avec le rendement semi-conducteurs η_{SC} pour un CSI 3 niveaux.

La figure précédente sera réutilisée dans la section suivante pour illustrer l'intérêt de l'utilisation d'une architecture de CSI multiniveaux dans le cadre d'une application PV.

2.3.4 Résultats pour un CSI 5 et 7 niveaux

Nous passons à l'étude d'une topologie présentant un, deux et trois blocs de puissance, soit des CSI 3, 5 et 7 niveaux respectivement. La puissance nominale par bloc de puissance est maintenue à $10,2\,kW$ soit $P_n = 30,6\,kW$ pour trois blocs parallélisés. Les autres paramètres présentés dans la Table 2.4 sont conservés.

La Figure 2.42 montre l'évolution de η_{SC} à $V_{MPP,min}$ pour les trois topologies : 3, 5 et 7 niveaux suivant la puissance et de la température de jonction de M_x et D_x.

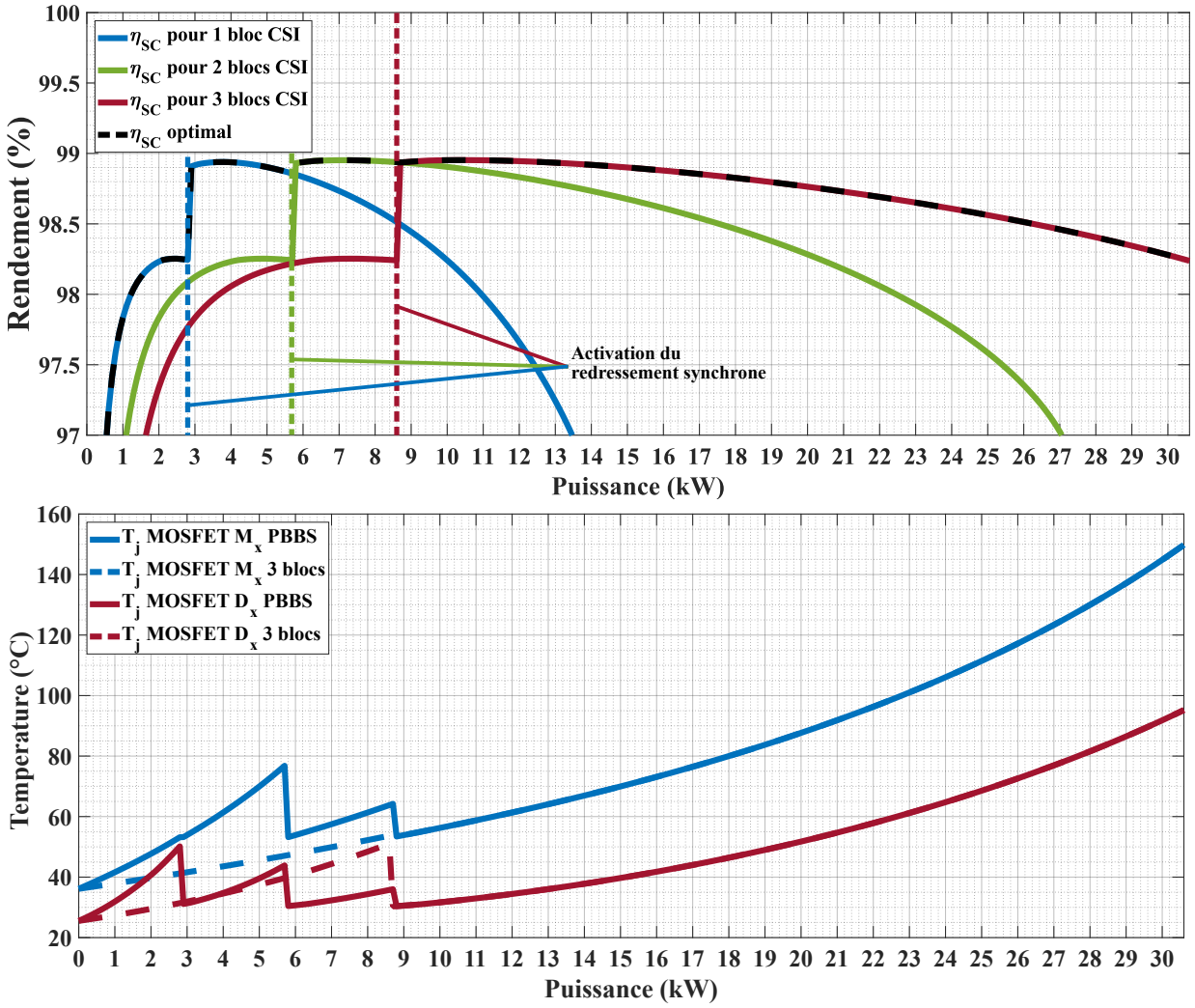

FIGURE 2.42 – Rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé) pour $V_{MPP,min}$ (en haut) et les températures de jonction associées de M_x (en bleu) et de D_x (en rouge) (en bas).

La courbe en pointillé suit le meilleur rendement entre les trois topologies. Elle correspond à une activation séquentielle des blocs de puissance (PBBS). Dans le cas d'une architecture CSI 7 niveaux, la mise en fonctionnement des trois matrices d'interrupteurs en basse puissance produit un rendement dégradé en comparaison d'un CSI 3 niveaux. L'activation du redressement synchrone est retardé pour les CSI 5 et 7 niveaux. Ainsi, il est préférable d'activer ou désactiver l'utilisation de chaque bloc de puissance selon le point de fonctionnement. Ce fonctionnement améliore le rendement européen obtenu.

L'évaluation des différentes T_j est importante. En effet, l'utilisation d'un nombre de blocs de puissance réduit implique une plus grande valeur de courant dans chaque transistor. Elle peut, théoriquement atteindre $150°C$ bien avant d'atteindre P_n. Les trois chutes dans les températures

de la Figure 2.42 correspondent respectivement à l'activation du redressement synchrone puis à l'activation du deuxième puis du troisième bloc de puissance. Le point $(V_{MPP,min}; P_n)$ correspond au point présentant les températures les plus élevées et le rendement le plus faible. La même figure est également tracée à $V_{MPP,max}$.

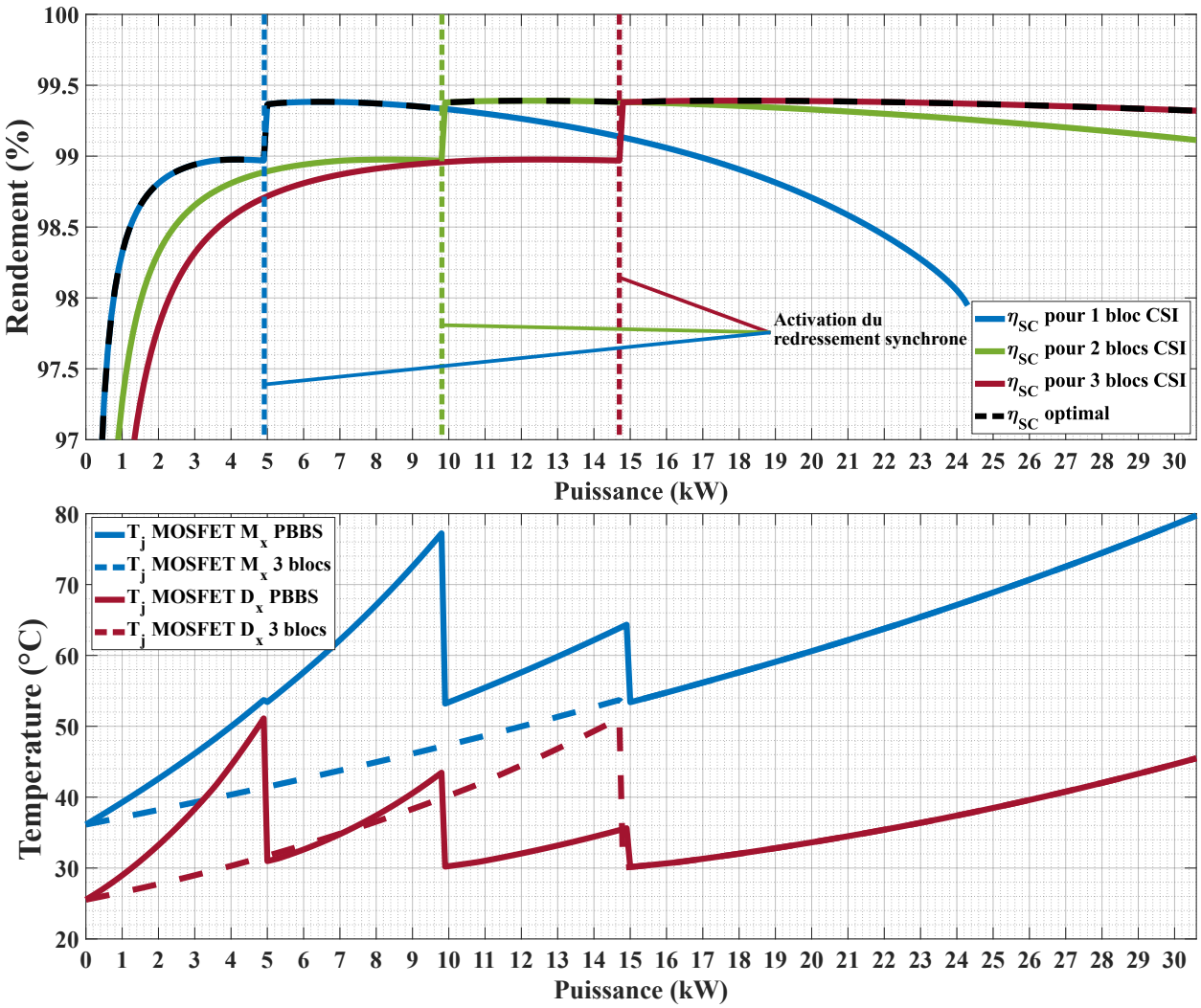

FIGURE 2.43 – Rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé) pour $V_{MPP,max}$ (en haut) et les températures de jonction associées de M_x (en bleu) et de D_x (en rouge) (en bas).

En comparant les Figures 2.42 et 2.43, il est notable que les points d'activation des deuxième et troisième blocs de puissance sont différents. η_{euro} est calculé pour le fonctionnement en PBBS (noté $\eta_{euro,PBBS}$) et pour le CSI 7 niveaux (noté $\eta_{euro,7n}$) pour $V_{MPP,min}$ et $V_{MPP,max}$. Les valeurs sont résumées dans la Table 2.5.

Paramètres	$V_{MPP_{min}}$	$V_{MPP_{max}}$
$\eta_{euro,7n}$	$98,56\%$	$99,13\%$
$\eta_{euro,PBBS}$	$98,75\%$	$99,32\%$

TABLE 2.5 – η_{euro} à $V_{MPP,min}$ et $V_{MPP,max}$ pour le PBBS et pour le CSI 7 niveaux.

Cette table établit que le fonctionnement en PBBS améliore le rendement européen de $0,19\%$ à $V_{MPP,min}$ et à $V_{MPP,max}$ par rapport à un CSI 7 niveaux. Ce type de fonctionnement serait donc bénéfique dans le cadre d'une production PV. Enfin, de même que pour la Figure 2.41, le rendement est tracé sur la totalité de la gamme de V_{MPP}.

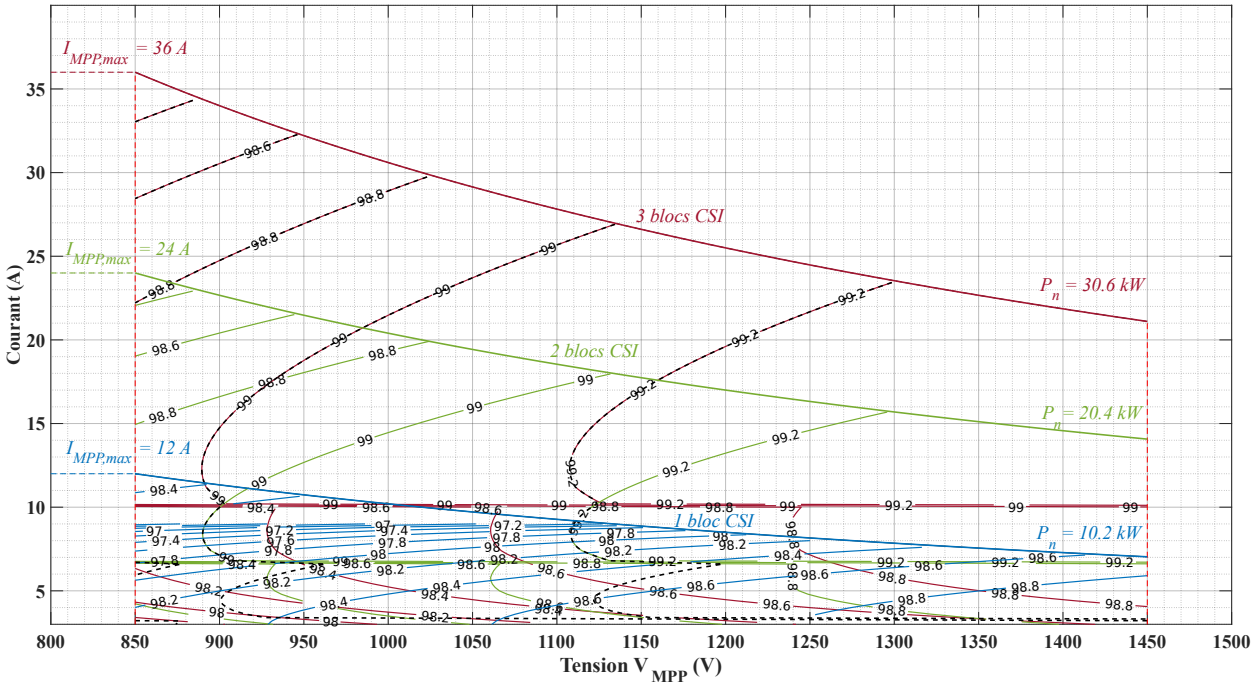

FIGURE 2.44 – Caractéristique d'une source photovoltaïque (I-V) avec le rendement semi-conducteurs η_{SC} pour un CSI 3 (en bleu), 5 (en vert) et 7 niveaux (en rouge) avec le rendement optimal (en pointillé).

Avec la Figure 2.44 tracée, il est désormais possible de faire fonctionner le CSI 7 niveaux en PBBS. Ce fonctionnement spécifique améliore le rendement européen, mais aussi réduit le temps d'utilisation des composants et par conséquent la fatigue et améliorant la durée de vie de l'ensemble du système de conversion.

2.4 Conclusion

Dans ce chapitre, l'interrupteur utilisé dans l'onduleur de courant étudié a été défini. Il est composé de deux MOSFETs SiC $3,3\,kV$ montés en anti-série. Le mode de fonctionnement en redressement synchrone, choisi pour améliorer les performances en conduction de l'onduleur, a été décrit. De plus, les types de pertes impliquées ont été passées en revue. De par la particularité de

l'interrupteur formé, les étapes impliquant la commutation ont été détaillées. Cet interrupteur présente aussi des défis majeurs. En effet, l'agencement peu commun des puces, l'ajout de temps mort et de chevauchement ainsi que la prise en compte nécessaire de l'ondulation du courant d'entrée rendent cette topologie bien plus complexe qu'un CSI plus conventionnel.

À partir de cette description, une carte de caractérisation des commutations a été réalisée, définissant la cellule de commutation spécifique à cette architecture. Elle comprend la conception des drivers pilotant les semi-conducteurs. La méthode électrique à double impulsion (DPT) sélectionnée est décrite. De plus, les énergies de commutation ont été mesurées expérimentalement pour le canal du MOSFET utilisé mais aussi pour sa diode de corps. Cette dernière a demandé une modification du banc de caractérisation initial. La déduction des énergies impliquées lors des commutations a également demandé l'emploi d'une méthode dédiée. L'impact de l'évolution de la température a été évaluée afin d'obtenir l'étude la plus complète possible.

Enfin, un outil de pré-dimensionnement a été développé. Son objectif est d'évaluer le rendement semi-conducteurs pour les trois topologies 3, 5 et 7 niveaux considérées. La routine de calcul laisse la possibilité à l'utilisateur de faire varier beaucoup des paramètres du CSI. Elle détermine à la fois les pertes, en les discriminant par type et les températures (notamment de jonction) atteintes à chaque point de fonctionnement. Dans la dernière partie consacrée à cet outil, il a été montré que l'activation séquentielle des blocs de puissance aurait un bénéfice non négligeable sur les performances d'un CSI multiniveaux.

Bibliographie

[1] E. Sener and G. Ertasgin, "Design of a half-bridge current-source inverter topology for avionic systems," *Aerospace*, vol. 9, no. 354, 2022.

[2] A. Stupar, T. Friedli, J. Minibock, and J. W. Kolar, "Towards a 99% efficient three-phase buck-type pfc rectifier for 400-v dc distribution systems," *IEEE Transactions on Power Electronics*, vol. 27, no. 4, pp. 1732–1744, 2012.

[3] R. Zhang, "Third quadrant operation of 1.2-10 kv sic power mosfets," Ph.D. dissertation, Virginia Tech, 2022.

[4] W. Choi, S. Young, D. Son, S. Shin, and D. Hyun, "Consideration to minimize power losses in synchronous rectification," in *8th International Conference on Power Electronics - ECCE Asia*, 2011, pp. 2899–2905.

[5] G. Lefèvre, "Design of a low inductive switching cell dedicated to sic based current source inverter (csi)," in *CIPS 2018 ; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–6.

[6] G. Séguier and F. Labrique, *Power Electronic Converters : DC-AC Conversion.* Springer, 2012.

[7] M. H. Rashid, *Power electronics handbook 4th edition.* Elsevier, 2018.

[8] L. G. Alves Rodrigues, "Design and characterization of a three-phase current source inverter using 1.7kv sic power devices for photovoltaic applications," Ph.D. dissertation, 2019, thèse de doctorat dirigée par Ferrieux, Jean-Paul Génie électrique Université Grenoble Alpes (ComUE) 2019.

[9] GeneSiC. G2r120mt33j datasheet. [Online]. Available : https://genesicsemi.com/sic-mosfet/G2R120MT33J/G2R120MT33J.pdf

[10] L.-A. Gomez, L. G. Alves Rodrigues, G. Gateau, and S. Sanchez, "Characterization of 3.3 kv discrete sic mosfets in synchronous rectification mode for pv current source inverter applications," in *PCIM Europe 2022 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, pp. 1–10.

[11] B. Andreycak, "Zero voltage switching resonant power conversion," in *Texas Instruments*, 1999.

[12] C. Xiao, G. Chen, and W. G. H. Odendaal, "Overview of power loss measurement techniques in power electronics systems," *IEEE Transactions on Industry Applications*, vol. 43, no. 3, pp. 657–664, 2007.

[13] D. P. U. Tran, "Méthodes calorimétriques dynamiques pour l'estimation des pertes dans les composants semi-conducteurs de puissance," Ph.D. dissertation, 2021, génie électrique Université Grenoble Alpes 2021.

[14] D. Christen, U. Badstuebner, J. Biela, and J. W. Kolar, "Calorimetric power loss measurement for highly efficient converters," in *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, pp. 1438–1445.

[15] F. Forest, J.-J. Huselstein, S. Faucher, M. Elghazouani, P. Ladoux, T. Meynard, F. Richardeau, and C. Turpin, "Use of opposition method in the test of high-power electronic converters," *IEEE Transactions on Industrial Electronics*, vol. 53, no. 2, pp. 530–541, 2006.

[16] Z. Zhang, B. Guo, F. F. Wang, E. A. Jones, L. M. Tolbert, and B. J. Blalock, "Methodology for wide band-gap device dynamic characterization," *IEEE Transactions on Power Electronics*, vol. 32, no. 12, pp. 9307–9318, 2017.

[17] H. Li, Z. Gao, R. Chen, and F. Wang, "Improved double pulse test for accurate dynamic characterization of medium voltage sic devices," *IEEE Transactions on Power Electronics*, vol. 38, no. 2, pp. 1779–1790, 2023.

[18] L. G. Alves Rodrigues, J. Martin, S. Catellani, and J.-P. Ferrieux, "Characterization of 1.7 kv sic mosfet modules for medium/high power current source inverter in photovoltaic applications," in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–8.

[19] J. C. Brandelero, "Conception et réalisation d'un convertisseur multicellulaire dc/dc isolé pour application aéronautique," Mai 2015. [Online]. Available : https://oatao.univ-toulouse.fr/14246/

[20] P. Sochor, A. Huerner, M. Hell, and R. Elpelt, "Understanding the turn-off behavior of sic mosfet body diodes in fast switching applications," in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1–8.

[21] I. Laird and X. Yuan, "Analysing the crosstalk effect of sic mosfets in half-bridge arrangements," in *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2019, pp. 367–374.

[22] J. Yang, G. Feng, L. Huadong, and C. Suhong, "Characterization and detailed analysis of the crosstalk with sic mosfet," in *2018 1st Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)*, 2018, pp. 239–243.

[23] L. G. A. Rodrigues, G. Lefèvre, J. Martin, and J.-P. Ferrieux, "Switching cell design optimization of sic-based power modules for current source inverter applications," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.

[24] *MOSFET & GaN FET Application Handbook A Power Design Engineer's Guide.* Nexperia, 2020.

[25] Y. Shen, H. Wang, F. Blaabjerg, H. Zhao, and T. Long, "Thermal modeling and design optimization of pcb vias and pads," *IEEE Transactions on Power Electronics*, vol. 35, no. 1, pp. 882–900, 2020.

[26] A. Kumar, K. Vechalapu, S. Bhattacharya, V. Veliadis, E. Van Brunt, D. Grider, S. Sabri, and B. Hull, "Effect of capacitive current on reverse recovery of body diode of 10kv sic mosfets and external 10kv sic jbs diodes," in *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2017, pp. 208–212.

[27] R. Horff, A. Maerz, and M.-M. Bakran, "Analysis of reverse-recovery behaviour of sic mosfet body-diode - regarding dead-time," in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–8.

[28] D. Polenov, T. Reiter, R. Baburske, H. Probstle, and J. Lutz, "The influence of turn-off dead time on the reverse-recovery behaviour of synchronous rectifiers in automotive dc/dc-converters," in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–8.

[29] R. Horff, A. März, M. Lechler, and M.-M. Bakran, "Optimised switching of a sic mosfet in a vsi using the body diode and additional schottky barrier diode," in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–11.

[30] L.-A. Gomez, L. G. Alves Rodrigues, G. Gateau, and S. Sanchez, "On the potential of parallel multilevel current source inverter using sic devices for renewable applications," in *2021 22nd IEEE International Conference on Industrial Technology (ICIT)*, vol. 1, 2021, pp. 1377–1382.

[31] T. Meynard, B. Cougo, F. Forest, and E. Labouré, "Parallel multicell converters for high current : Design of intercell transformers," in *2010 IEEE International Conference on Industrial Technology*, 2010, pp. 1359–1364.

[32] S. Sanchez, D. Risaletto, F. Richardeau, and G. Gateau, "Comparison and design of intercell transformer structures in fault-operation for parallel multicell converters," in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2014, pp. 3089–3096.

Chapitre 3

Stratégies de modulation pour onduleurs de courant 3, 5 et 7 niveaux

Dans un premier temps, ce chapitre commence par une rapide introduction sur un état de l'art des stratégies de modulation disponibles pour les topologies multiniveaux. En suivant, il se focalise principalement sur des stratégies de modulation envisagées et utilisées pour le pilotage des convertisseurs CSI 3, 5 et 7 niveaux, en particulier lors des essais expérimentaux. Le chapitre explore également le dimensionnement des inductances pour les différentes topologies. En effet, il sera montré que le choix de la commande a un impact majeur sur les caractéristiques de la source de courant en entrée du convertisseur et donc sur le dimensionnement des inductances d'entrée.

Depuis le développement des convertisseurs statiques, les problématiques liées aux fortes tensions et fortes puissances ont amené à envisager des architectures dites multiniveaux, historiquement justifiées par l'incapacité des semi-conducteurs à être adaptés aux réseaux moyennes voire hautes tensions. En conséquence, de nombreuses topologies multiniveaux ont été décrites, étudiées et développées [1, 2]. Comparativement aux topologies classiques 3 niveaux, elles présentent des formes d'ondes ayant des harmoniques réduites [3, 4]. Elles sont aussi réputées pour avoir de meilleurs rendements à puissance égale car utilisant des composants de plus faibles calibres (tension et/ou courant) plus performants. Malgré l'élévation des niveaux de tension et de puissance pris en charge par ce genre de convertisseur, un plus grand nombre de composants est utilisé, semi-conducteurs comme passifs. Un des points majeurs concerne la complexité accrue dans le contrôle-commande.

Plusieurs types de stratégies de modulation coexistent, ayant chacune ses avantages et inconvénients. La Table 3.1 résume les différentes familles de stratégies.

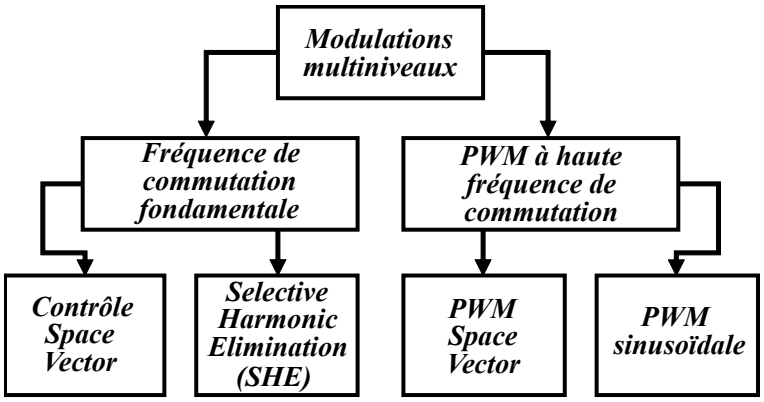

FIGURE 3.1 – Méthodes de modulation pour convertisseurs multiniveaux [1, 5].

La stratégie PWM modulation du vecteur d'espace (Space Vector Modulation) (SVM) ayant été utilisée pour ces travaux, les autres types de modulation ne seront pas abordées dans la suite de ce chapitre. Elle sera d'ailleurs évoquée sous le simple nom de SVM pour Space Vector Modulation.

Ce type de stratégie est utilisable par un grand nombre de convertisseurs multiniveaux. Ses avantages sont une faible ondulation de courant, ainsi qu'une implémentation facilitée [1]. Dans le cadre d'une application multiniveaux, le nombre d'états disponibles permet d'avoir accès à de nombreux degrés de liberté ce qui rend parfois difficile le choix de ces derniers sans imposer des critères (THD, nombre de commutations, symétries...) pour la construction des différentes séquences.

La section suivante vise à détailler le fonctionnement de cette stratégie de modulation pour un onduleur de tension avant d'aborder les implications d'une modulation multiniveaux appliquée à un onduleur de courant.

3.1 État de l'art : Modulation Space Vector pour onduleurs

3.1.1 Principe de la Modulation Space Vector appliquée à un onduleur de tension

Ce type de modulation est propice aux définitions du contrôle commande pour les systèmes triphasés. Tout d'abord, il est défini pour les onduleurs de tension, communément utilisés. Lorsqu'un convertisseur à source de tension génère des tensions alternatives dans un réseau triphasé équilibré (notées a, b et c), il est possible d'écrire :

$$V_a(t) + V_b(t) + V_c(t) = 0 \tag{3.1}$$

En utilisant la transformée de Clarke [6, 7], nous pouvons passer d'une modélisation de ce système triphasé à un système diphasé orthogonal stationnaire en coordonnées α et β :

$$\vec{V} = \alpha + j\beta = \frac{2}{3}\left(V_a \cdot e^{j0} + V_b \cdot e^{\frac{j2\pi}{3}} + V_c \cdot e^{\frac{j4\pi}{3}}\right) \tag{3.2}$$

Il est alors possible de représenter l'état du réseau à chaque instant dans le plan complexe $\alpha\beta$. Les coordonnées correspondent à l'état des tensions triphasées dans le plan $\alpha\beta$. De même que le vecteur de référence, $\vec{V}$, la somme des trois vecteurs de chaque phase.

L'angle θ entre l'axe $V_{\alpha,0}$ et $\vec{V}$ correspond à la phase du réseau. Ce vecteur tourne avec une vitesse angulaire de $\omega_{réseau} = 2\pi f_{réseau}$. $\vec{V}$ faisant le tour du plan complexe à la période du réseau. En France, $f_{réseau}$ est de $50\,Hz$. Ce vecteur de référence a également pour caractéristique sa longueur, M qui est également la profondeur de modulation. Il est possible de la définir selon l'équation suivante :

$$M = \frac{2\sqrt{2} \cdot V_{réseau}}{\sqrt{3} \cdot V_{DC}} \tag{3.3}$$

Les coordonnées α et β correspondent en réalité à des états d'interrupteurs. Ces états sont donc discrets et limités en nombre. Il est alors possible de représenter tous les états d'interrupteurs utilisés par la modulation dans le plan $\alpha\beta$ ce qui forme naturellement un hexagone.

Les états d'interrupteurs sont définis de la façon suivante :

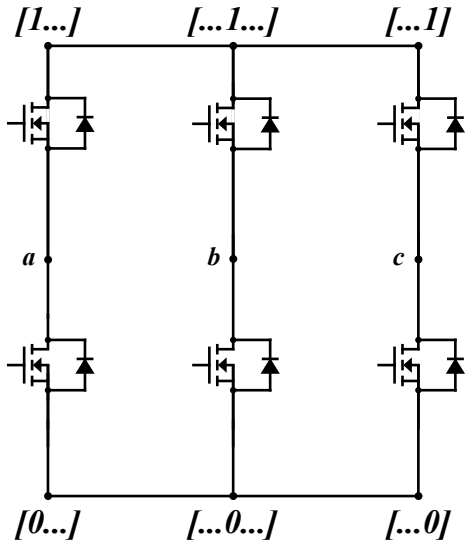

FIGURE 3.2 – Matrice d'interrupteurs d'un onduleur de tension et notation associée.

Les onduleurs de tension sont formés de trois cellules de commutation à deux interrupteurs fonctionnant de manières complémentaires. Il est possible de définir l'interrupteur 1 comme étant celui produisant une tension positive sur la phase à laquelle il est connecté lorsque celui-ci est activé. Son complémentaire est noté 0 lorsqu'il est à l'état passant. L'ordre dans la notation correspond à l'ordre des phases à laquelle les interrupteurs sont connectés. Ceux connectés à la phase a en premier puis ceux connectés aux phases b et c respectivement.

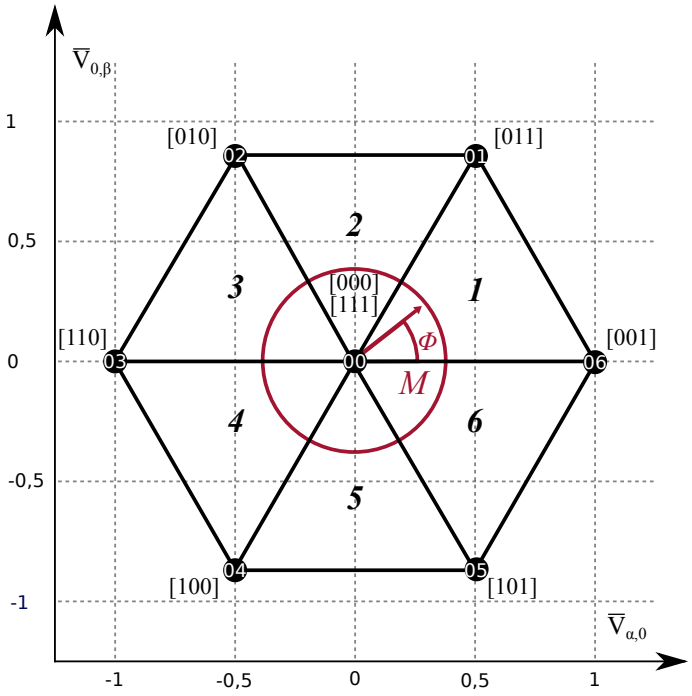

FIGURE 3.3 – Plan complexe $\alpha\beta$ pour la SVM d'un onduleur de tension 3 niveaux.

Les vecteurs sont tous répartis sur les 360 degrés du réseau dans le plan complexe, étant espacés de 60 degrés. Deux états d'interrupteurs sont associés au vecteur nul : les états [000] et [111]. Il y a donc un unique état d'interrupteurs pour réaliser chaque vecteur à travers les états de commutation, excepté pour le vecteur nul où deux états sont autorisés par le fonctionnement de l'onduleur de tension triphasé.

La différence principale entre une stratégie SVM et une stratégie Modulation à Largeur d'Impulsion - MLI (Pulse Width Modulation) (PWM) réside dans le calcul des temps des états actifs et dans l'organisation de la séquence des états d'interrupteurs actifs [8]. Dans le cas de la SVM, cela est fait de manière explicite, ils sont prédéfinis en fonction du secteur traversé.

Le seul degré de liberté de cette modulation (pour une séquence donnée) réside dans le positionnement du vecteur nul dans la séquence. Le choix est préférentiellement défini pour limiter le nombre d'interrupteurs commutant entre deux états des différentes séquences de commutation.

3.1.2 Principe de la Modulation Space Vector appliquée à un onduleur de courant

Un certain nombre de travaux de recherche ont porté sur cette stratégie de modulation associée à un onduleur de courant que cela soit dans les dernières décennies ou plus récemment, cette section s'appuie donc sur ces travaux [8–13]. Certains portent directement sur des convertisseurs de centrales de production PV [14–16].

Historiquement, la plupart de ces études concernait plutôt des applications moteurs en forte puissance et moyenne tension [17]. Elles sont caractérisées par l'utilisation de thyristors, nécessaires à ces niveaux de tension. L'utilisation de ces semi-conducteurs impose des fréquences de découpage f_{dec} inférieures à $1\,kHz$ de par les fortes pertes par commutation générées. Cela a deux conséquences majeures. La première concerne les dimensions des éléments passifs nécessaires au filtrage, souvent très importantes. En second et surtout, le niveau du THD. Les premières harmoniques présentent une amplitude élevée provoquant du battement ainsi que des risques de résonances accrues [18, 19].

Ainsi, la plupart des études spécifiques sur la SVM d'onduleurs de courant se concentrent sur le THD et la réduction de ces premières harmoniques [12, 13].

Les principes de SVM appliqués à un onduleur de courant diffèrent nettement du cas précédent. Lorsqu'un convertisseur à source de courant génère trois courants de phase dans un réseau triphasé équilibré (notées a, b et c), il est possible d'écrire :

$$I_a(t) + I_b(t) + I_c(t) = 0 \tag{3.4}$$

En utilisant la transformée de Clarke, on passe d'une modélisation de ce système triphasé à un système diphasé en coordonnées α et β :

$$\vec{I} = \alpha + j\beta = \frac{2}{3}\left(I_a \cdot e^{j0} + I_b \cdot e^{\frac{j2\pi}{3}} + I_c \cdot e^{\frac{j4\pi}{3}} \right) \tag{3.5}$$

Il est alors possible de représenter l'état du réseau à chaque instant dans le plan complexe $\alpha\beta$. L'angle θ entre l'axe $I_{\alpha,0}$ et $\vec{I}$ correspond à la phase du réseau. $\vec{I}$ fait le tour du plan complexe à la période du réseau. $f_{réseau}$ est toujours de $50\,Hz$. La longueur de $\vec{I}$ correspond à la profondeur de modulation M et peut donc varier dans le temps. La profondeur de modulation peut être écrite avec le courant d'entrée I_{DC} et le courant de phase en sortie I_x :

$$M = \frac{\hat{I}_x}{I_{DC}} \tag{3.6}$$

Les coordonnées correspondent aux états d'interrupteurs rendus possibles par cette topologie. Comme pour l'onduleur de tension, il est alors possible de représenter tous les états d'interrupteurs utilisés par la modulation dans le plan $\alpha\beta$, chacun associé à un vecteur.

Dans la suite, l'équation 1.2 sera principalement utilisée pour définir la profondeur de modulation M et l'associer à la variation de la tension d'entrée V_{MPP}. Cette équation est en effet plus pertinente pour lier la modulation et l'application envisagée.

La notation choisie est la suivante. Les états sont notés entre crochets. Chaque interrupteur est associé à la lettre correspondante à sa phase : A, B ou C. Un seul interrupteur étant passant à la fois dans chaque demi-matrice, seul celui-ci y est écrit. La demi-matrice liée à P est notée en première et celle liée à N est par conséquent notée en seconde. Cette notation reprise de [20] est résumée sur la Figure 3.4. Cette notation sera principalement utilisée pour simplifier la définition des commutations dans les topologies multiniveaux dans la suite de ce chapitre où un plus grand nombre d'interrupteurs est mis en jeu.

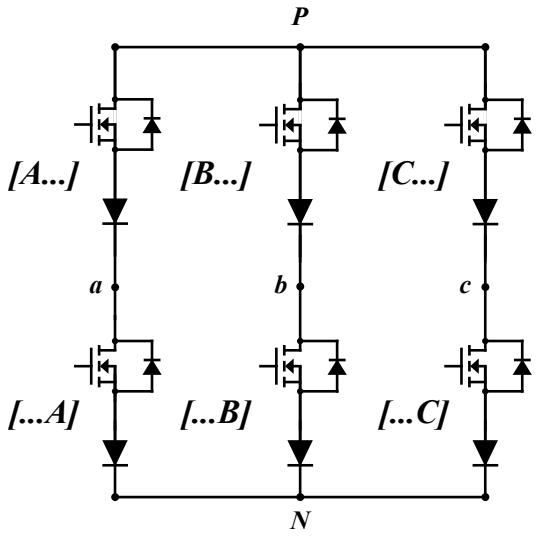

FIGURE 3.4 – Matrice d'interrupteurs d'un onduleur de courant associée à la notation choisie.

Chaque état d'interrupteurs correspond à un vecteur dans le plan complexe. Pour un CSI, il y a donc neuf vecteurs dont trois correspondent au vecteur nul, il s'agit des états de roue libre. La zone entre deux de ces vecteurs dans le plan complexe est appelée secteur. Ils sont notés de 1 à 6. Les coordonnées de ces vecteurs sont calculées de la manière suivante. L'exemple pris est l'état n°01. Il est défini par l'activation des interrupteurs A sur la cellule de commutation de P et C sur la cellule de N. Il est donc noté $[AC]$.

$$\vec{I_{01}} = \frac{2}{3}\left(I_{DC}\cdot e^{j0} + 0\cdot e^{\frac{j2\pi}{3}} - I_{DC}\cdot e^{\frac{j4\pi}{3}}\right)$$
$$\vec{I_{01}} = I_{DC} + i\cdot\frac{\sqrt{3}}{3}I_{DC} \tag{3.7}$$

En normalisant par rapport à I_{DC} les coordonnées de l'état $[AC]$ forment le vecteur $0\vec{1}$ dans le plan $\alpha\beta$. Elles sont $\left[1;\frac{\sqrt{3}}{3}\right]$. Il est donc possible d'associer chaque état d'interrupteurs disponible à un vecteur du plan $\alpha\beta$. La Table 3.1 résume ces associations. Les vecteurs sont donc notés de $0\vec{0}$ à $0\vec{6}$.

Secteurs	***Interrupteurs passants***	***Vecteurs utilisés***
1	[AB],[AC]	$0\vec{6}$, $0\vec{1}$
2	[AC],[BC]	$0\vec{1}$, $0\vec{2}$
3	[BC],[BA]	$0\vec{2}$, $0\vec{3}$
4	[BA],[CA]	$0\vec{3}$, $0\vec{4}$
5	[CA],[CB]	$0\vec{4}$, $0\vec{5}$
6	[CB],[AB]	$0\vec{5}$, $0\vec{6}$

Interrupteurs passants	***Vecteur utilisé***
[AA],[BB],[CC]	$0\vec{0}$

TABLE 3.1 – Association des secteurs, états d'interrupteurs et vecteurs pour un CSI.

La Figure 3.5 ci-dessous correspond à leur représentation dans le plan complexe $\alpha\beta$. Les secteurs sont également notés.

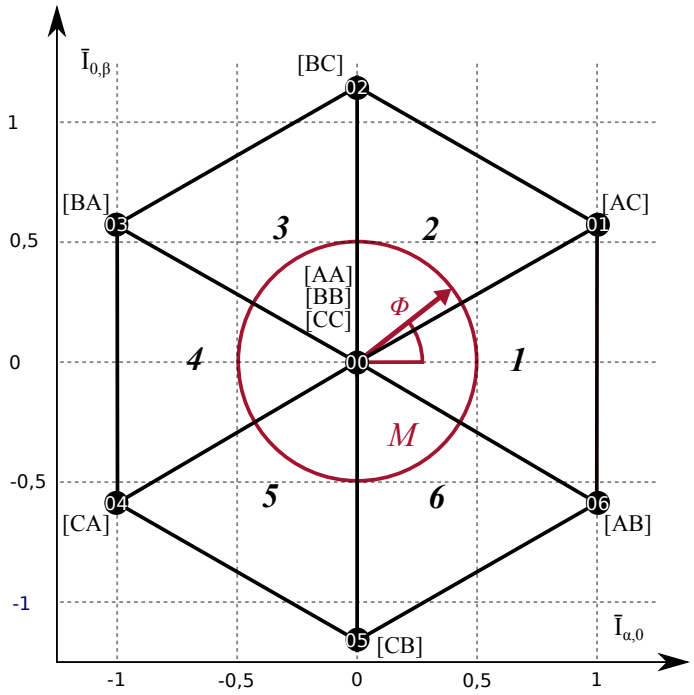

FIGURE 3.5 – Plan complexe $\alpha\beta$ pour un onduleur de courant.

L'objectif de la modulation est de réaliser le vecteur de référence par l'intermédiaire des états d'interrupteurs. Pour cela, sont utilisés les deux vecteurs les plus proches de l'emplacement du vecteur de référence (nommé $\vec{i_a}$, le plus proche de l'angle nul et $\vec{i_b}$) et un vecteur complémentaire (nommé $\vec{i_c}$) toujours associé au vecteur nul. Ainsi, dans un secteur donné, les états d'interrupteurs appliqués sont conservés, seule la durée d'application de chacun est variable. De plus, la somme des temps d'application (T_a , T_b et T_c) doit correspondre à la période de découpage, T_{dec} (équation 3.8), avec : T_a et T_b étant les temps des vecteurs les plus proches de celui de référence et T_c est défini comme le temps d'application du vecteur nul. La répartition de ces temps est ajustée à chaque période de découpage.

$$T_{dec} = T_a + T_b + T_c \tag{3.8}$$

Afin de connaître les temps à chaque période de découpage, trois équations régissent :

$$\left\{ \begin{array}{c} T_a = M \cdot T_{dec} \cdot \sin\left(\frac{\pi}{3} - \theta\right) \\ \\ T_b = M \cdot T_{dec} \cdot \sin(\theta) \\ \\ T_c = T_{dec} - T_a - T_b = T_{dec}\left(1 - M \cdot \cos\left(\frac{\pi}{6} - \theta\right)\right) \end{array} \right\} avec\, \theta \in \left[0 : \frac{\pi}{3}\right] \tag{3.9}$$

Comme le montre l'équation 3.9, il suffit de connaître l'angle du réseau θ et la profondeur de modulation M pour définir les différents temps. Il sera montré plus tard que cela n'est pas suffisant dans le cas d'une modulation multiniveaux (Annexe D).

3.1.3 Établissement de la stratégie de modulation pour un CSI 3 niveaux

La Figure 3.6 ci-dessous expose la topologie de l'onduleur de courant à l'état de l'art. Il est composé d'une unique matrice d'interrupteurs. Comme expliqué dans le chapitre précédent, les interrupteurs envisagés sont des MOSFET SiC placés en anti-série à sources communes dans le but de réaliser une modulation intégrant du redressement synchrone. Ce dernier aspect n'interfère pas avec la stratégie de modulation utilisée, ici seule la caractéristique statique de l'interrupteur importe.

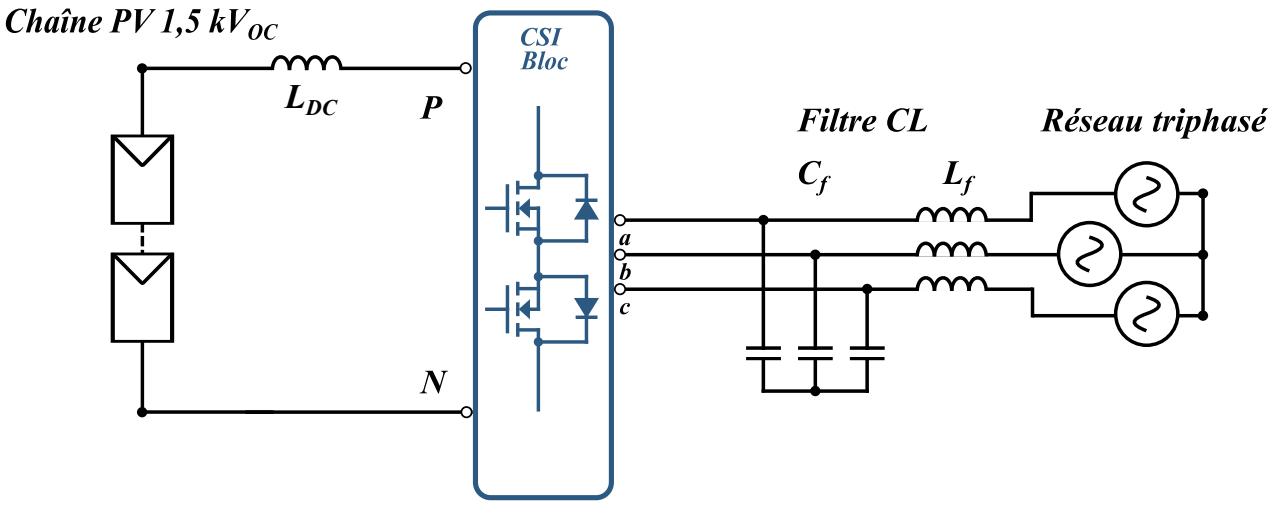

FIGURE 3.6 – Schéma de l'onduleur de courant 3 niveaux connecté à une chaîne PV 1500 V_{OC}.

L'agencement des temps T_a, T_b et T_c dans une période T_{dec} définit la séquence de commutation. Cet agencement varie selon la stratégie employée. Chaque temps dans la séquence est nommé segment. Il existe plusieurs types de modulation possibles, selon l'agencement et la longueur de la séquence déterminée [12, 13].

Pour le type de modulation choisi, le premier et le dernier segment doivent être associés au même temps d'application mais également au même état d'interrupteurs. Il s'agit simplement de réaliser la continuité dans la modulation entre la fin de la séquence n et le début de la séquence $n+1$. Il faut cependant excepter le cas des changements de secteur.

La modulation 1 présentée par la Table 3.2 présente l'avantage de ne nécessiter que cinq commutations par période de découpage. Le temps T_c n'est présent qu'en début et en fin de séquence, l'état est donc le même pour le segment 1 et le segment 5.

Modulation 1	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***
Temps d'application	$T_c/2$	$T_b/2$	T_a	$T_b/2$	$T_c/2$
État d'interrupteurs (Secteur 1)	[AA] ou [CC]	[AC]	[AB]	[AC]	[AA] ou [CC]

TABLE 3.2 – Exemple de stratégie de modulation à cinq segments pour le Secteur 1 pour un CSI 3 niveaux.

La modulation 2 présente plus de segments (Table 3.3), plus courts dans le temps. La présence de trois segments dédiés à T_c permet d'utiliser les différents états d'interrupteurs possibles, ici $[AA]$, $[BB]$ et $[CC]$. Malgré le plus grand nombre de commutations, cette stratégie implique l'obtention d'une meilleure qualité du courant de sortie et de réduire les harmoniques et par conséquent le THD.

Modulation 2	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
État d'interrupteurs (Secteur 1)	[CC]	[AB]	[AC]	[BB]	[AB]	[AC]	[CC]

TABLE 3.3 – Exemple de stratégie de modulation à sept segments pour le Secteur 1 pour un CSI 3 niveaux.

La Figure 3.7 montre l'ondulation de courant dans l'inductance d'entrée L_{DC} et l'évolution des états d'interrupteurs lors de l'utilisation de la modulation 2 pour un CSI 3 niveaux.

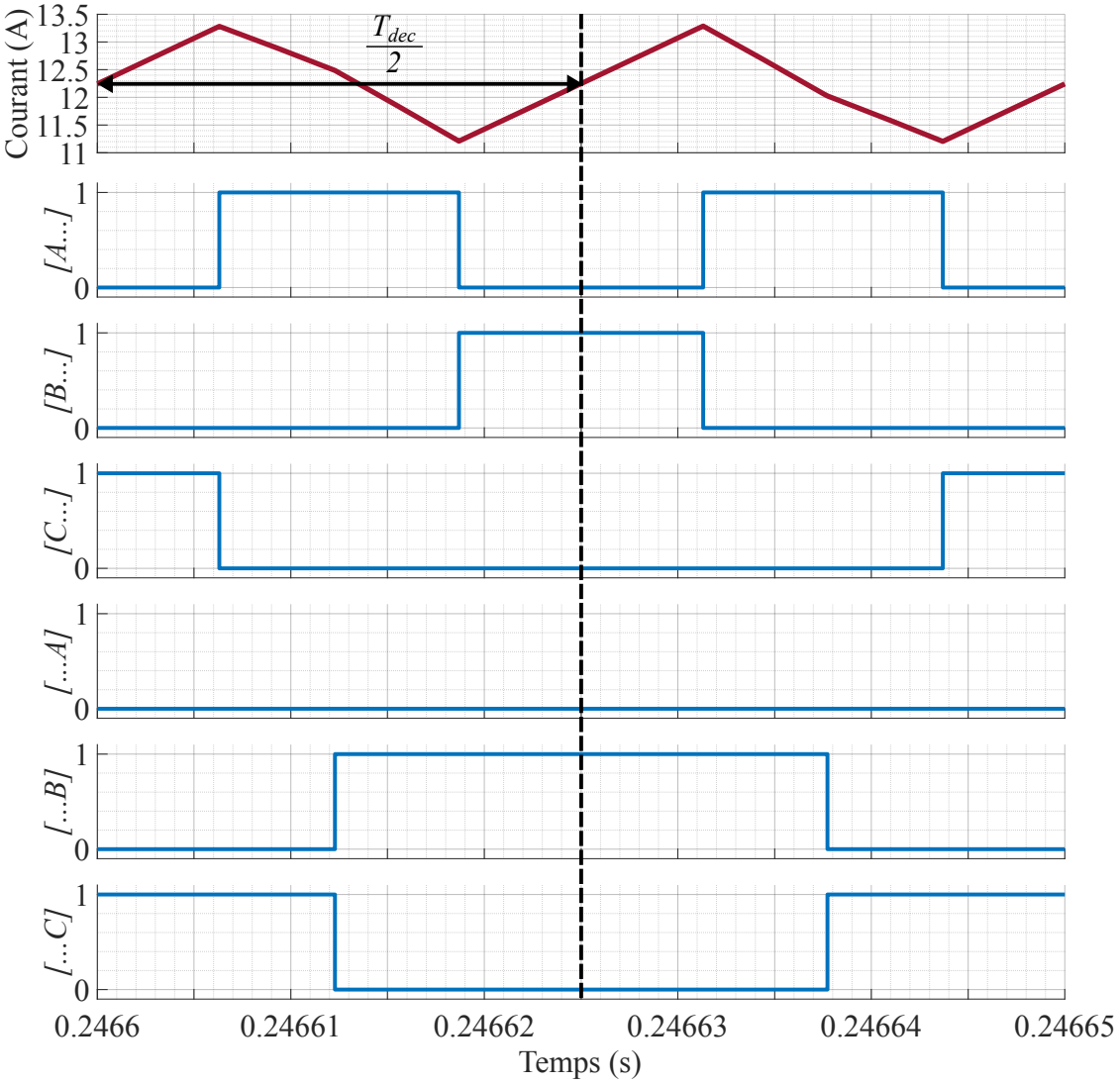

FIGURE 3.7 – Ondulation du courant de L_{DC} et états de commutation des interrupteurs sur T_{dec} pour le secteur 1 de la modulation 2.

La Figure 3.8 montre l'application de ces deux différents types de stratégies lors de simulations pour deux périodes du réseau $T_{réseau}$.

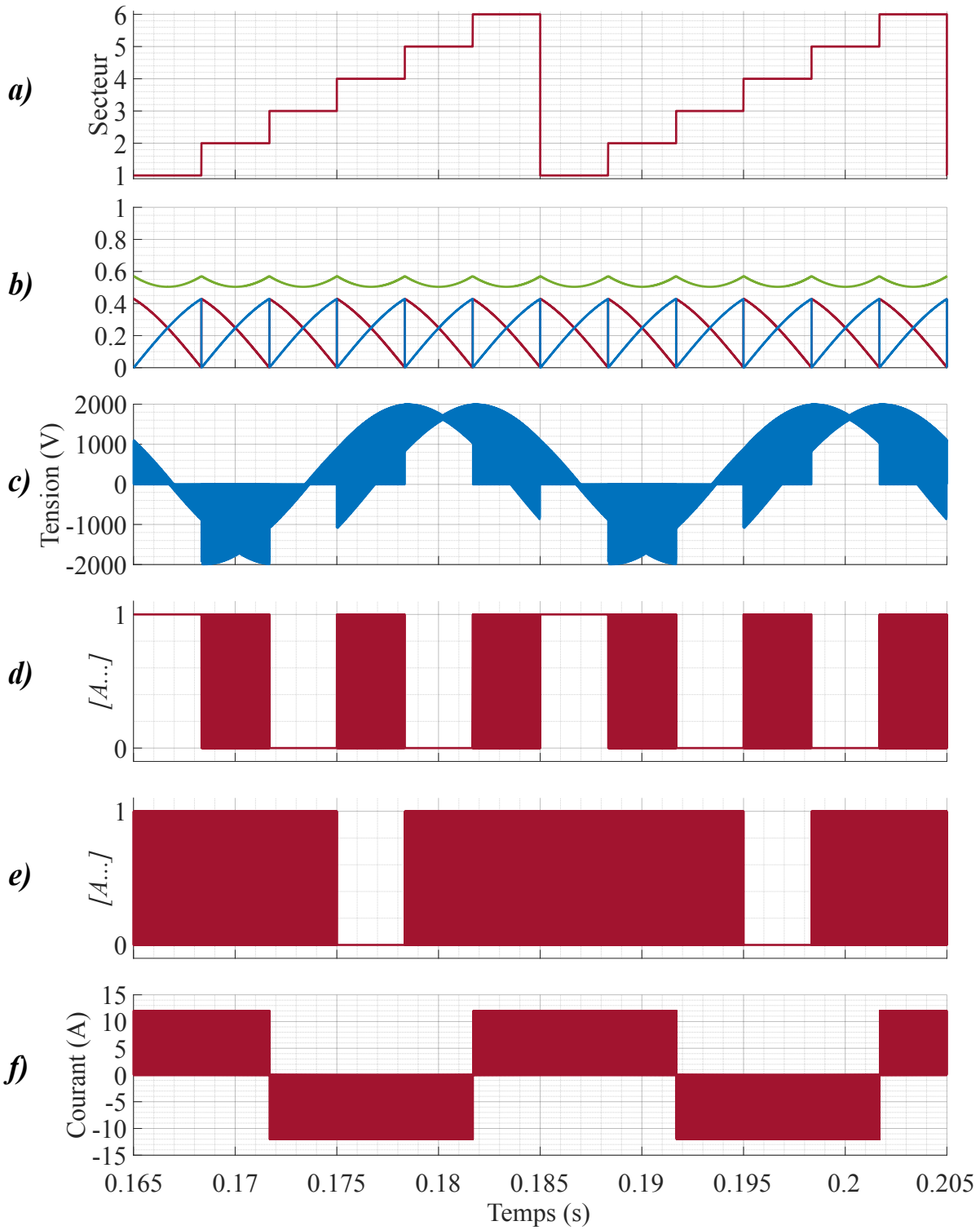

FIGURE 3.8 – Exemple de SVM pour un CSI 3 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Les secteurs traversés, b) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec}, c) la tension commutée par un interrupteur (avec $V_{réseau} = 1400\,V$) d) état d'interrupteurs de $[A...]$ utilisant respectivement la modulation 1 et e) la modulation 2 et f) courant de sortie de la phase a.

Comme vu dans les chapitres précédents, les caractéristiques de la conversion dépendent de la plage de fonctionnement du convertisseur. La plage d'utilisation de la profondeur de modulation M est définie :

$$M = \frac{2 \cdot V_{DC}}{\sqrt{3} \cdot \hat{V}_{réseau}} = \frac{2 \cdot V_{DC}}{\sqrt{6} \cdot V_{réseau}} \tag{3.10}$$

Pour rappel, la tension de sortie entre phases $V_{réseau}$ est établie à $1400\,V$. D'après la plage de la tension d'entrée d'une chaîne PV, la tension minimale est établie à $V_{MPP_{min}} = 850\,V$. Pour la tension maximale, elle est donnée à valeur de V_{OC}, soit $1500\,V$. Cette tension n'est jamais réellement atteinte par la chaîne PV en fonctionnement mais elle assure le dimensionnement du convertisseur jusqu'à cette valeur. M_{min} et M_{max} sont définies comme les valeurs limites de la profondeur de modulation entre $V_{MPP_{min}}$ et V_{OC}, plage dimensionnante. Sont alors obtenues M_{min} et M_{max} :

$$\begin{aligned} M_{min} &= 0,4957 \\ M_{max} &= 0,8748 \end{aligned} \tag{3.11}$$

La Figure 3.9 illustre l'étendue de l'utilisation de la profondeur modulation dans l'application ciblée sur le plan $\alpha\beta$ à P_n. Pour les valeurs de M inférieures, P_n n'est pas atteignable et donc ces points ne peuvent être dimensionnant.

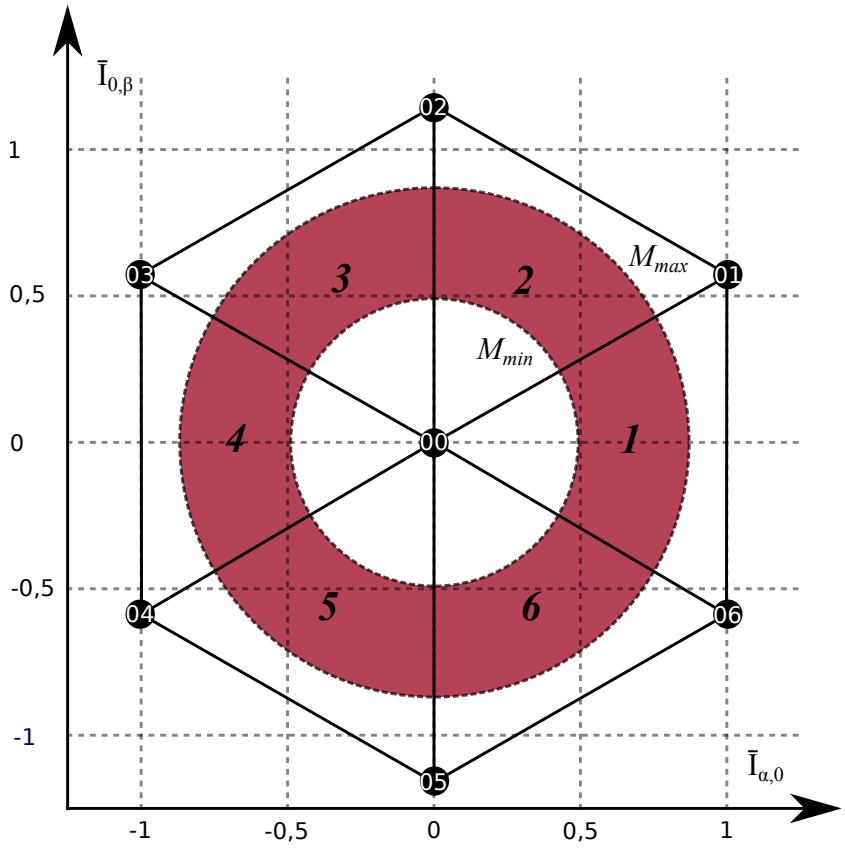

FIGURE 3.9 – Plan complexe $\alpha\beta$ pour un onduleur de courant 3 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$.

3.1.4 Détermination de la valeur de L_{DC}

D'après les caractéristiques vues précédemment et la modulation choisie, il est nécessaire de dimensionner l'inductance en entrée du convertisseur L_{DC}. En effet, pour obtenir un mode de conduction continue, il est primordial de limiter l'ondulation de courant. Ici et pour les autres dimensionnements d'inductances d'entrée des topologies 5 et 7 niveaux, l'ondulation de courant maximum est définie par $\Delta I_{DC_{max}}$ et vaut :

$$\Delta I_{DC_{max}} = 20\% \cdot I_{max} \tag{3.12}$$

Dans le cas du CSI 3 niveaux prévu dans cette étude avec $I_{max} = 12\,A$, on obtient alors $\Delta I_{DC_{max}} = 2,4\,A$.

Afin de pouvoir obtenir les dimensions géométriques du noyau magnétique et les caractéristiques du bobinage, il faut tout d'abord déterminer la valeur de l'inductance L_{DC}. Cette valeur est imposée par l'ondulation de courant prédéterminée au paragraphe précédent. L'équation générale qui régit le rapport entre la valeur de l'inductance L_{DC} et l'ondulation de courant est :

$$\Delta I_{DC} = \frac{V_{L_{DC}} \cdot \Delta T}{L_{DC}} \tag{3.13}$$

Avec $V_{L_{DC}}$, la tension appliquée aux bornes de l'inductance et ΔT le délai pendant lequel cette tension est appliquée. Dans le cas d'un onduleur de courant 3 niveaux cette équation devient :

$$\Delta I_{DC} = \frac{V_{DC} \cdot \left(1 - \dfrac{\sqrt{3} \cdot M}{2}\right)}{L_{DC} \cdot f_{dec}} \tag{3.14}$$

Comme le montre l'équation 3.14, cette valeur dépend du point de fonctionnement, c'est-à-dire de la profondeur de modulation M et de la tension d'entrée V_{DC}. Dans le cas d'étude, la tension de sortie $V_{réseau}$ étant fixe, ces deux valeurs sont liées. Il est nécessaire de dimensionner la valeur maximale de L_{DC} sur la plage de fonctionnement, afin de limiter l'ondulation de courant maximale à $2,4\,A$, à ce point. Elle est obtenue en traçant l'équation précédente :

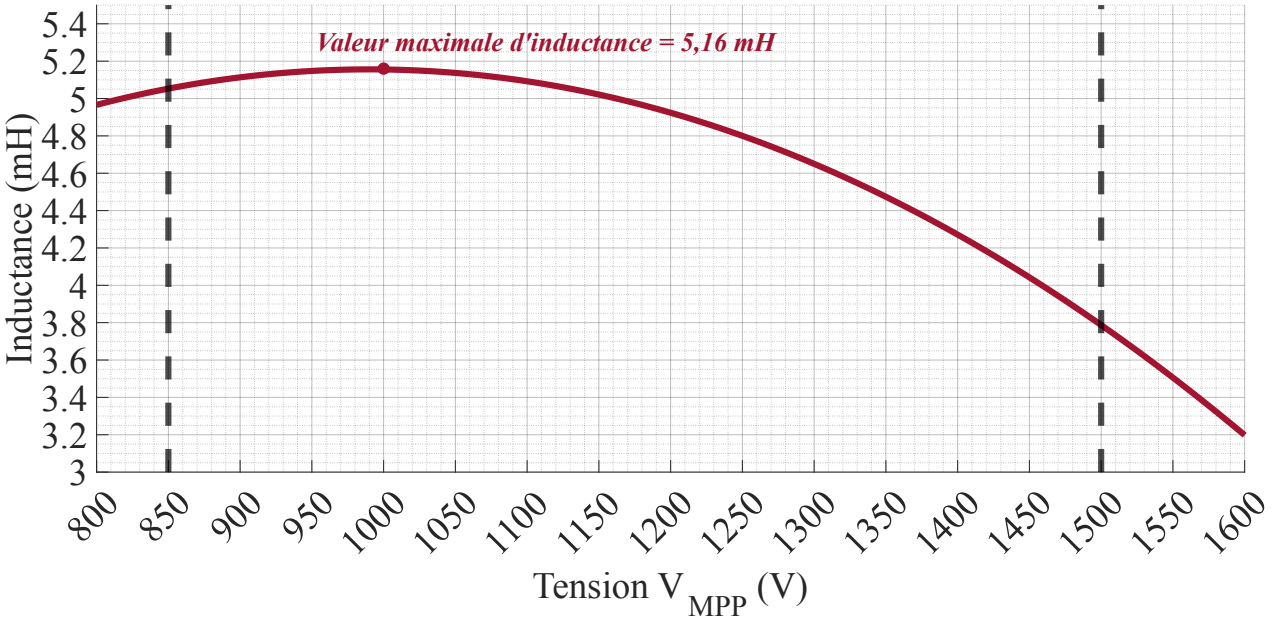

FIGURE 3.10 – Valeur de L_{DC} pour une ondulation de courant de $2,4\,A$ et $f_{dec} = 40\,kHz$ pour un CSI 3 niveaux.

La Figure précédente montre que pour limiter l'ondulation de courant à $2,4\,A$ la valeur d'inductance doit être de $5,16\,mH$. L'ondulation maximale a lieu lorsque la tension d'entrée est de $1000\,V$. Il est intéressant de tracer l'évolution de l'ondulation de courant en fonction de la tension d'entrée V_{MPP} avec la valeur d'inductance fixée. L'ondulation est alors connue pour chaque point de fonctionnement.

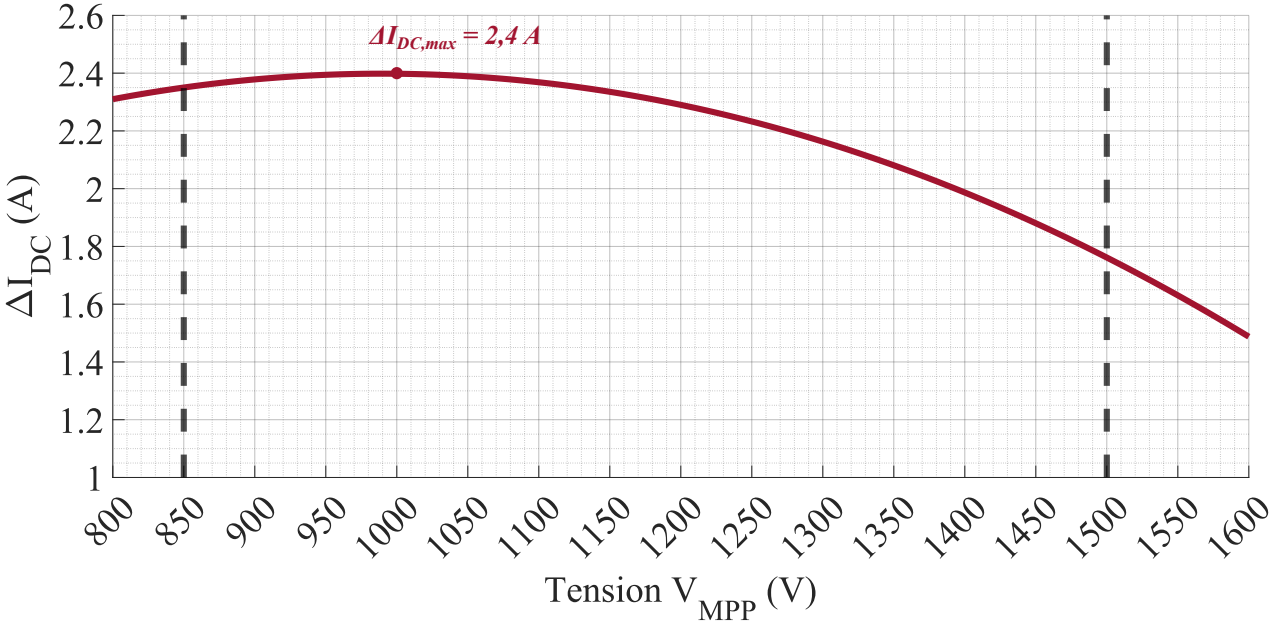

FIGURE 3.11 – Évolution de ΔI_{DC} pour une valeur d'inductance L_{DC} de $5,16\,mH$ et $f_{dec} = 40\,kHz$ pour le CSI 3 niveaux.

Cette donnée peut être importante, si l'on souhaite établir une modulation intégrant un redressement synchrone. Le seuil de courant minimal pour lequel il est déclenché peut ainsi être variable. En effet il peut être activé dès que la continuité de courant est assurée. Ce qui est possible dans le cas d'étude, à V_{MPP} élevé. Ceci aurait pour conséquence d'augmenter le rendement européen, tel que le permet le redressement synchrone en général pour cette topologie. Étendre son utilisation dans la plage de fonctionnement est un des nombreux moyens d'augmenter l'efficacité du système.

3.2 Modulation Space Vector pour un onduleur de courant 5 niveaux

La section suivante s'intéresse à la mise en place d'une modulation pour la topologie onduleur de courant 5 niveaux. La Figure 3.12 ci-dessous schématise la topologie de l'onduleur de courant 5 niveaux. Elle est composée de deux blocs de puissance distincts. Comme pour la topologie 3 niveaux, les interrupteurs envisagés sont des MOSFETs SiC placés en anti-série sources communes.

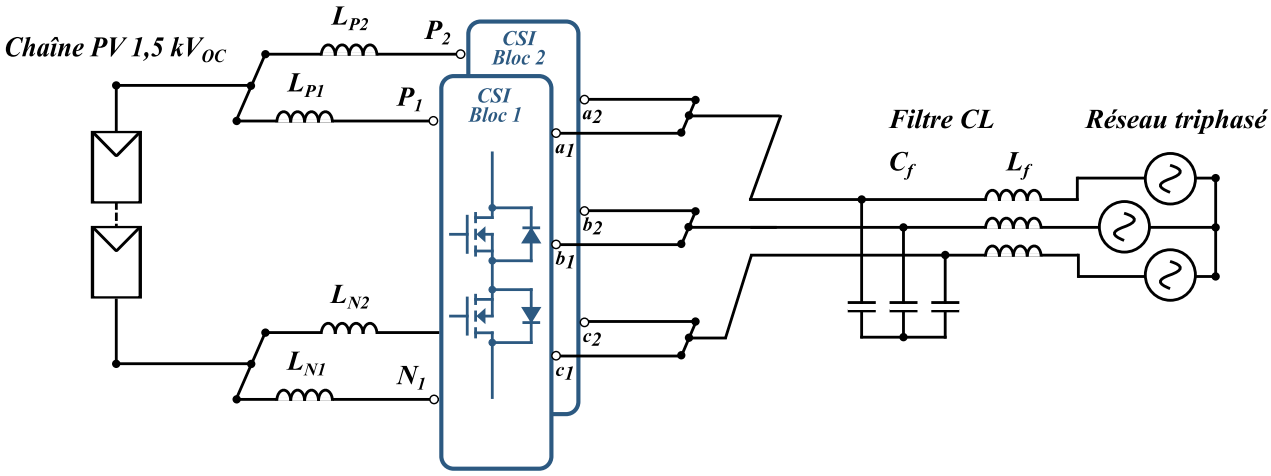

FIGURE 3.12 – Schéma d'un onduleur de courant 5 niveaux.

Comme évoqué en introduction de chapitre, diverses stratégies sont possibles pour les convertisseurs multiniveaux, il en est de même pour les onduleurs de courant [3, 21–23]. Certaines études précédentes utilisent bien la SVM multiniveaux pour CSI [24, 25].

De même que pour l'onduleur de courant 3 niveaux, la plupart des études se concentrent sur l'amélioration de la qualité du courant de sortie pour des applications moteurs [26–29]. C'est pourquoi l'étude du THD et des harmoniques du courant y sont prépondérantes.

Dans ce cas d'étude, la fréquence de découpage utilisée limite les dimensions des éléments passifs, en entrée comme en sortie, et réduit les risques d'apparition de résonance dans le filtre de sortie CL. En revanche, la montée de la tension de blocage des interrupteurs imposée par cette topologie génère des pertes par commutation accrues et des ondulations de courant plus importantes. En effet, de par l'utilisation d'une tension $1400\,V$ en substitution d'une conversion PV conventionnelle (jusqu'à $800\,V$), l'ondulation de courant y est donc augmentée. Ce sont ces deux points qui doivent être particulièrement discutés dans ces études de cas.

3.2.1 Notions associées à une SVM multiniveaux

La stratégie de modulation choisie pour les essais concernant la topologie CSI 5 niveaux est une SVM multiniveaux. Elle permet de considérer l'ensemble des commutations possibles et pour tous les interrupteurs pour la totalité des associations à réaliser. Cette stratégie n'est pas à confondre avec une modulation à décalage de phase (phase-shift). Dans ce cas, il s'agirait d'utiliser une SVM pour chaque matrice d'interrupteurs et de les déphaser de 180 degrés. Malgré sa plus grande simplicité cette modulation ne présente pas les avantages d'une SVM multiniveaux [3] et possède donc un nombre de degré de liberté plus faible. Le principal bénéfice de l'utilisation de la stratégie SVM est de réduire les pertes par commutation et l'ondulation de courant dans les composants passifs.

Dans cette section et pour celle concernant la topologie 7 niveaux, la notation sera la suivante. Comme précédemment, les lettres A, B et C indiquent l'interrupteur à l'état passant dans la cellule de commutation. Ici, il y a, en revanche quatre cellules de commutations. Les cellules P de chaque bloc sont notées avant les cellules N. La notation est donc du type : $[P_{bloc1}, P_{bloc2}, N_{bloc1}, N_{bloc2}]$. Cette configuration offre 81 (3^4) états d'interrupteurs possibles à la topologie 5 niveaux. Pour celle de la topologie 7 niveaux elle est donc composée de six demi-matrices d'interrupteurs. La notation sera $[P_{bloc1}, P_{bloc2}, P_{bloc3}, N_{bloc1}, N_{bloc2}, N_{bloc3}]$. Dans le cas du 7 niveaux, il y aura donc 729 (3^6) états d'interrupteurs possibles. La liste des états de commutation du CSI 5 niveaux est donnée dans l'Annexe F.

En réécrivant l'équation 3.5 pour l'état d'interrupteurs n°20, noté $[ABCB]$:

$$\begin{aligned} \vec{I_{20}} &= \frac{2}{3}\left(\frac{I_{DC}}{2}\cdot e^{j0} + 0\cdot e^{\frac{j2\pi}{3}} - \frac{I_{DC}}{2}\cdot e^{\frac{j4\pi}{3}}\right) \\ \vec{I_{20}} &= \frac{I_{DC}}{2} + i\cdot\frac{\sqrt{3}}{3}\cdot\frac{I_{DC}}{2} \end{aligned} \tag{3.15}$$

Dans cette configuration, il est considéré que le courant d'entrée I_{DC} est équilibré entre les deux blocs de puissance. En normalisant par rapport à I_{DC} les coordonnées du vecteur $0\vec{1}$ dans le plan $\alpha\beta$ sont $\left[\frac{1}{2}; \frac{\sqrt{3}}{6}\right]$. La Figure 3.13 représente de manière simplifiée les connexions entre les sources et les inductances d'entrée lors de l'utilisation de cet état d'interrupteurs.

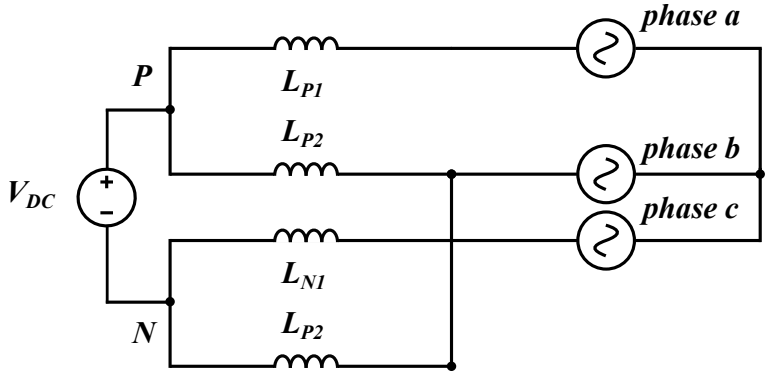

FIGURE 3.13 – Représentation simplifiée du CSI 5 niveaux lors de l'utilisation de l'état d'interrupteurs n°20.

En répétant cette opération pour les 81 états d'interrupteurs, la représentation $\alpha\beta$ est obtenue. Elle est présentée par la Figure 3.14. Les états d'interrupteurs y sont notés (en noir), de même que les niveaux de courant de sortie pour chaque phase (en rouge). La notation de ces niveaux se réfère à celle fréquemment utilisée pour une SVM multiniveaux d'onduleur de tension [30]. Ces niveaux sont notés entre 0 et 4 représentant les niveaux de courant suivant $[-I_{DC}\,;\,-I_{DC}/2\,;\,0\,;\,I_{DC}/2\,;\,I_{DC}]$.

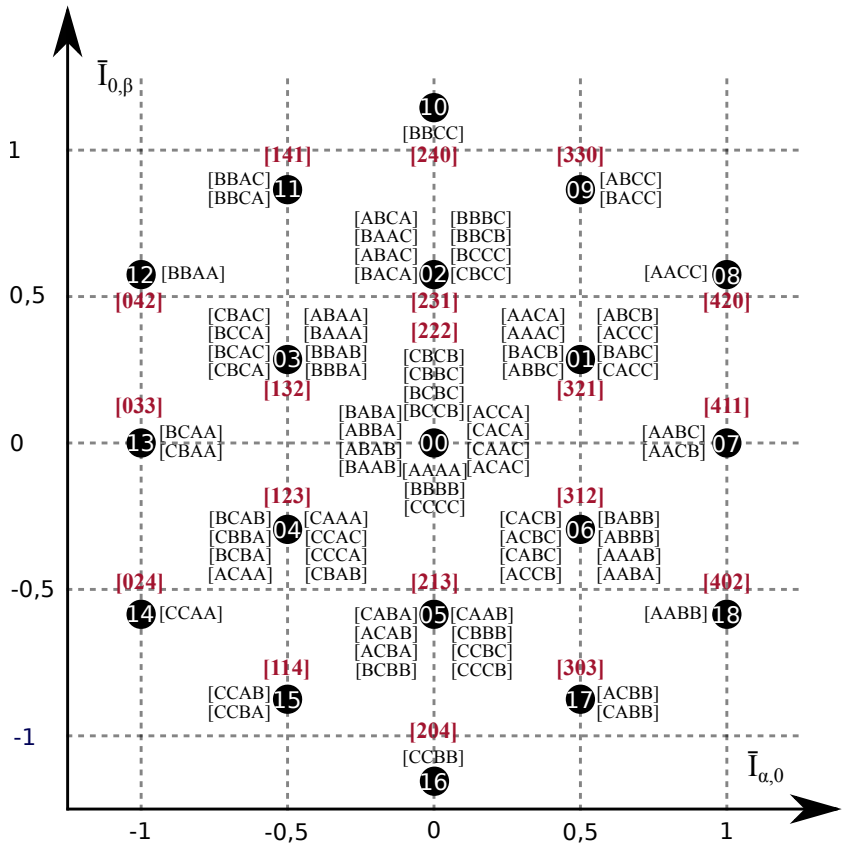

FIGURE 3.14 – Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux avec les états d'interrupteurs associés à chaque vecteur, repris depuis [20].

Dans le cas de cette modulation 5 niveaux, 19 vecteurs différents coexistent. La Figure 3.14 place ces vecteurs dans le plan $\alpha\beta$. Les vecteurs intérieurs, c'est-à-dire allant de $0\vec{1}$ à $0\vec{6}$ réalisent les états des courants de phases intermédiaires et valent $\frac{\pm I_{DC}}{2}$ pour deux des phases. Le troisième courant de phase, quand à lui, est nul.

Elle montre aussi graphiquement qu'il existe plusieurs états d'interrupteurs pour réaliser le même vecteur et ainsi le vecteur de référence. Il est donc possible de sélectionner l'état d'interrupteurs le plus pertinent à chaque commutation, faisant varier les différentes caractéristiques de l'onduleur. Le vecteur $0\vec{0}$ par exemple, peut se réaliser de trois manières différentes. Les courants de sortie lui correspondant sont notés dans la Figure 3.14 et ont pour valeur [222], c'est-à-dire un courant nul pour les trois phases. Il peut être le résultat de l'association des deux interrupteurs connectés à la même phase sur chacun des blocs de puissance, comme avec $[AAAA]$, il s'agit de l'équivalent strict de l'état $[AA]$ pour le CSI 3 niveaux. Cependant, l'état $[ABAB]$ produit le même état de

courant de sortie mais par l'association d'interrupteurs différents sur chacun des blocs de puissance. Une dernière possibilité consiste à produire un courant de sortie non nul à la sortie des phases de chacun des blocs de puissance et d'annuler ce courant par l'association des blocs comme avec les états $[ABBA]$ ou $[BAAB]$.

3.2.2 Cartographie et choix de stratégie pour le CSI 5 niveaux

La notion de secteur ne suffit plus à définir les vecteurs utilisés lors d'une séquence. Il faut y adjoindre celle de région. Les régions correspondent à un maillage plus fin des zones entre les vecteurs. Ce maillage peut varier selon les caractéristiques recherchées. Dans le cadre d'une SVM CSI 5 niveaux, chaque secteur peut être formé de quatre régions. Deux maillages sont proposés en démonstration :

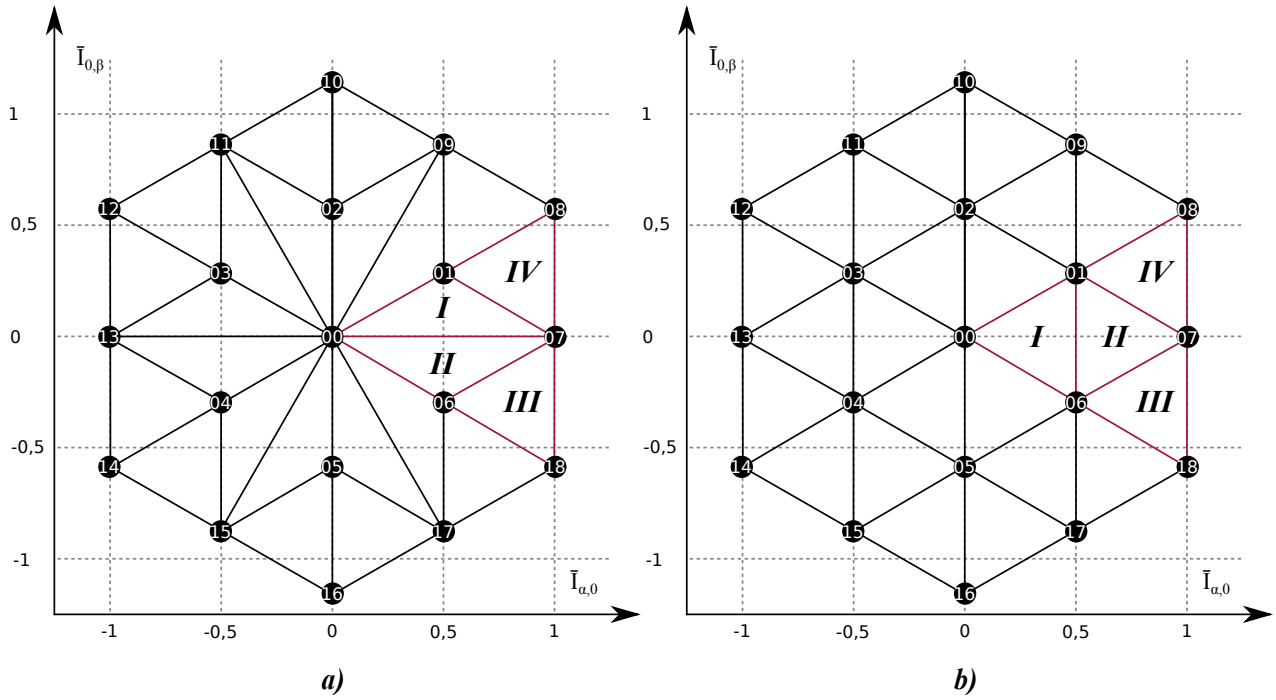

FIGURE 3.15 – Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux présentant les régions définies pour a) une première méthode et pour b) une seconde méthode de modulation [20].

Lorsque le vecteur de référence traverse une région, la séquence de commutation est formée par des états d'interrupteurs réalisant les vecteurs adjacents. Selon le maillage choisi, la séquence peut donc varier. Finalement, une région correspond à une séquence prédéfinie, seuls les temps d'applications varient selon la profondeur de modulation M et θ. S'il traverse la Région I du premier secteur dans le maillage a) de la Figure 3.15 les vecteurs utilisés sont $0\vec{0}$, $0\vec{1}$ et $0\vec{7}$. En utilisant le maillage b) les vecteurs utilisés sont $0\vec{0}$, $0\vec{6}$ et $0\vec{1}$. Pour les Régions III et IV de la Figure 3.15 a) et les Régions II, III et IV de la Figure 3.15 b), le temps T_c ne correspond plus au vecteur nul.

L'inconvénient principal de la modulation représentée en Figure 3.15 a) est un THD plus important. En effet, associer des vecteurs éloignés graphiquement dans une même séquence de commutation génère un courant de ligne présentant plus d'harmoniques et nécessitant un plus grand filtrage,

et augmente le nombre de commutations (à séquence égale). Cet effet s'accentue avec l'augmentation de la valeur de M [10, 13]. Un des seuls avantages de ce partitionnement des régions peut être le plus grand nombre d'états d'interrupteurs utilisables, limitant potentiellement le nombre de commutations globales dans la séquence de commutation. Cette constatation est pertinente pour une valeur de $M > 0,5$.

Dans ce manuscrit, seule la seconde répartition sera étudiée, le CSI envisagé ayant pour caractéristique d'avoir $M_{min} = 0,4957$. La plage de fonctionnement de la modulation se situe dans sa quasi-totalité dans les Régions II, III et IV de la Figure 3.15 b), la rendant plus pertinente. Le rapport entrée-sortie n'est pas modifié par l'addition d'une matrice d'interrupteurs dans l'onduleur de courant initial, on a la conservation de la profondeur de modulation maximale : $M_{max} = 0,8748$. La Figure 3.16 rend compte de l'utilisation des régions de la répartition établie précédemment dans le fonctionnement de l'onduleur de courant 5 niveaux.

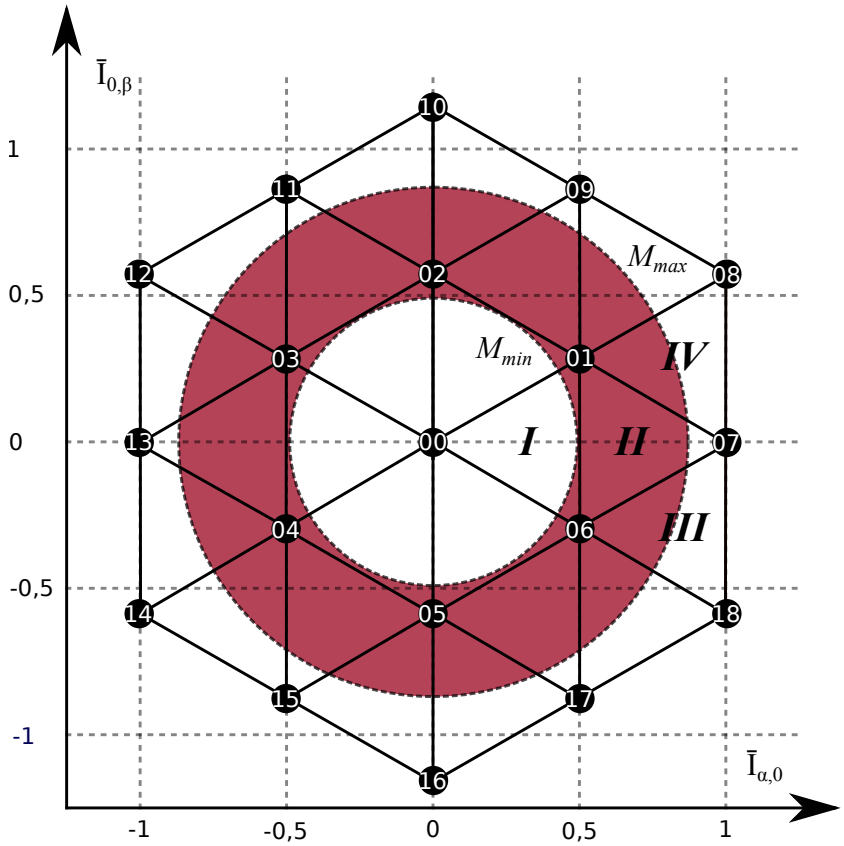

FIGURE 3.16 – Plan complexe $\alpha\beta$ pour un onduleur de courant 5 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$.

Sur cette plage de fonctionnement, l'utilisation de la Région I est limitée, à P_n, à une faible portion de la tension délivrée par la chaîne PV. Les vecteurs (et état d'interrupteurs) sont impliqués de $V_{DC} = 850\,V$ correspondant à $M_{min} = 0,4957$ jusqu'à $M = \frac{1}{\sqrt{3}}$. Cette valeur de M correspond à $V_{DC} = 990\,V$. Ainsi, cette région ne sera impliquée que pour des tensions d'entrées V_{DC} inférieures à $990\,V$. A partir de cette valeur, le vecteur nul, n'est plus employé dans la modulation.

Afin de définir la séquence de commutation, les principaux critères sont définis. Premièrement, comme pour une SVM 3 niveaux, la réalisation du vecteur de référence pour chacun des points de fonctionnement doit être assurée. De par la plage de fonctionnement prévue et visualisée par la Figure 3.16, toutes les régions doivent être étudiées. Deuxièmement, l'objectif est de limiter le nombre de commutations en choisissant des états d'interrupteurs ayant le moins d'interrupteurs différents sur la totalité de la séquence. Enfin le dernier objectif sera lié à la nécessité d'équilibrer la tension aux bornes des inductances d'entrée du CSI. Il s'agit là d'une nouvelle donnée ou contrainte par rapport aux CSI 3 niveaux. Si cet équilibre n'est pas réalisé, les noyaux des inductances vont saturer et une casse va nécessairement se produire. Pour éviter cela il est nécessaire de correctement dimensionner ces composants passifs. En revanche, lors du fonctionnement, les dimensions du noyau étant fixées (de même que toutes les caractéristiques de l'inductance), seul le comportement du courant peut provoquer cette saturation.

Ici seule la composante AC du courant est considérée. Sa composante DC dépendant de la profondeur de modulation M. Cette composante AC dépend de trois éléments distincts : du choix des états d'interrupteurs qui définissent le sens de variation du courant, de la tension appliquée aux bornes de l'inductance, qui définit la pente de l'ondulation de courant et les temps d'applications déterminés par la modulation Space Vector.

Afin d'assurer l'équilibre de l'ondulation de courant, il est nécessaire d'appliquer une tension et sa valeur inverse sur une même durée de temps. Dans ce cas, l'équilibre se fait à l'intérieur de la séquence de commutation. Cet équilibrage se fait entre les segments dédiés aux mêmes temps d'application, ce qui permet d'appliquer deux tensions opposées pendant la même durée de temps. Les segments 1 et 7, dédiés à l'application de T_c, temps complémentaire, s'équilibrent avec le segment 4. De même, les segments dédiés à T_a et à T_b s'équilibrent entre eux.

Lorsque tous les états d'interrupteurs sont définis pour un secteur, il est possible d'écrire ceux des secteurs suivants. Cela est même souhaitable à des fins d'équilibre d'utilisation des semi-conducteurs et de ce fait éviter un vieillissement accéléré de ces derniers.

Cette équivalence entre les secteurs est valable pour toute SVM, sans distinction du nombre de niveaux. Elle n'est simplement pas nécessaire sur une structure utilisant une seule matrice d'interrupteurs puisqu'un unique état est disponible. En revanche, pour les modulations multiniveaux elle assure à la fois un gain de temps et un gain de fiabilité, limitant le risque d'erreur. La transposition des états d'interrupteurs est rendue possible grâce au déphasage de l'état du réseau entre chaque secteur, c'est-à-dire le niveau de tension de chaque phase. Entre un secteur n et le secteur suivant $n+1$, l'équivalence se fait en alternant les interrupteurs. Cette équivalence entre les secteurs est notée comme dans le tableau suivant :

Secteur 1	*Secteur 2*	*Secteur 3*	*Secteur 4*	*Secteur 5*	*Secteur 6*
[A...]	[...C]	[B...]	[...A]	[C...]	[...B]
[...A]	[C...]	[...B]	[A...]	[...C]	[B...]
[B...]	[...A]	[C...]	[...B]	[A...]	[...C]
[...B]	[A...]	[...C]	[B...]	[...A]	[C...]
[C...]	[...B]	[A...]	[...C]	[B...]	[...A]
[...C]	[B...]	[...A]	[C...]	[...B]	[A...]

TABLE 3.4 – Équivalence des états d'interrupteurs entre les secteurs.

Au-delà des critères impérieux parcourus, l'objectif de cette modulation est de limiter le nombre de commutations réalisées par les interrupteurs. Le choix doit se faire parmi les états disponibles pour un même vecteur afin de poursuivre la réalisation du découpage imposé par le réseau. Ce choix est vaste et n'est pas sans conséquence, puisqu'il va définir l'ondulation de courant dans les inductances d'entrée et donc influencer leur dimensionnement ainsi que sur les pertes par commutation. Ces états ont été définis en limitant le nombre de commutations lissées sur les sept segments de chaque séquence et non de proche en proche, à chaque changement d'état. Pour sélectionner ces états, l'exemple est donné par les états de la séquence de la Région *IV* du Secteur 1. Dans cette région, les vecteurs sont $0\vec{1}$, $0\vec{7}$ et $0\vec{8}$. D'après l'Annexe F, les états disponibles sont :

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
16	AACA	01	0,5	0	-0,5
17	AAAC	01	0,5	0	-0,5
18	BACB	01	0,5	0	-0,5
19	ABBC	01	0,5	0	-0,5
20	ABCB	01	0,5	0	-0,5
21	ACCC	01	0,5	0	-0,5
22	BABC	01	0,5	0	-0,5
23	CACC	01	0,5	0	-0,5
64	AABC	07	1	-0,5	-0,5
65	AACB	07	1	-0,5	-0,5
66	AACC	08	1	0	-1

TABLE 3.5 – Liste des états d'interrupteurs disponibles pour réaliser la séquence de Région *IV* du Secteur 1 pour chacun des Vecteurs $0\vec{1}$, $0\vec{7}$ et $0\vec{8}$.

Le Vecteur $0\vec{8}$ n'a qu'un seul état disponible l'état n°66, il n'offre aucun degré de liberté. Le Vecteur $0\vec{7}$ correspond à deux états d'interrupteurs n°64 et n°65. Les deux états sont utilisés dans la séquence afin d'équilibrer les tensions aux bornes des inductances. La Table 3.6 illustre la mise en place de ces états dans la séquence. Les états complémentaires sont associés par couleur.

***Séquence Secteur 1 Région** IV*	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
Vecteur	$0\vec{1}$	$0\vec{7}$	$0\vec{8}$	$0\vec{1}$	$0\vec{7}$	$0\vec{8}$	$0\vec{1}$
Numéro d'état		65	66		64	66	
État		[AACB]	[AACC]		[AABC]	[AACC]	

TABLE 3.6 – Séquence partiellement sélectionnée régissant la Région *IV* du Secteur 1 pour l'onduleur de courant 5 niveaux.

Les états à déterminer sont ceux associés au vecteur $0\vec{1}$. Ce vecteur présente huit états d'interrupteurs. Les segments 1 et 7 partagent le même état d'interrupteurs et celui-ci doit être complémentaire de l'état utilisé dans le segment 4. Utiliser l'état n°17 $[AAAC]$ impose une unique commutation entre les segments 3 et 4 et entre les segments 4 et 5. Pour les segments 1 et 7 l'état complémentaire est le n°16 : $[AACA]$. Cependant, cette séquence impose une forte ondulation de courant sur les inductances L_{N1} et L_{N2}. Dans ce cas, les états n°20 $[ABCB]$ et 22 $[BABC]$ sont sélectionnés respectivement pour les segments 1 et 7 et pour le segment 4. Ces états rendent possible la réduction de l'ondulation de courant maximale sur la Région *IV* comparativement aux états n°16 et 17. En contrepartie, cette modification se fait au détriment du nombre de commutations. En effet, deux commutations supplémentaires interviennent dans cette séquence. La Table 3.7 détaille la séquence pour cette région et le nombre de commutations intervenant dans celle-ci.

***Modulation Secteur 1 Région** IV*	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
Vecteur	$0\vec{1}$	$0\vec{7}$	$0\vec{8}$	$0\vec{1}$	$0\vec{7}$	$0\vec{8}$	$0\vec{1}$
Numéro d'état	20	65	66	22	64	66	20
État	[ABCB]	[AACB]	[AACC]	[BABC]	[AABC]	[AACC]	[ABCB]
Nombre de commutations	+0	+1	+1	+2	+1	+1	+2

TABLE 3.7 – Séquence sélectionnée régissant la Région *IV* du Secteur 1 pour l'onduleur de courant 5 niveaux.

La méthode est appliquée à la séquence de commutation du Secteur 1 - Région *I* et le détail de celle-ci est illustré par la Table 3.8.

Modulation Secteur 1 Région I	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
Vecteur	$0\vec{0}$	$0\vec{6}$	$0\vec{1}$	$0\vec{0}$	$0\vec{6}$	$0\vec{1}$	$0\vec{0}$
Numéro d'état	4	57	20	2	56	22	4
État	[BCBC]	[ACBC]	[ABCB]	[CBCB]	[CACB]	[BABC]	[BCBC]
Nombre de commutations	+0	+1	+3	+1	+1	+3	+1

TABLE 3.8 – Séquence sélectionnée régissant la Région I du Secteur 1 pour l'onduleur de courant 5 niveaux.

Malgré la présence de sept segments sur la séquence, deux de plus que pour la topologie 3 niveaux, les nombreuses possibilités pour réaliser l'état du réseau des vecteurs $0\vec{0}$ (15 états possibles), $0\vec{1}$ (8 états possibles) et $0\vec{6}$ (8 états possibles) permettent de limiter le nombre de commutations entre deux segments. Cependant, sur la totalité de la séquence, le total atteint dix commutations, équivalent à la mise en parallèle de deux matrices d'interrupteurs avec une stratégie de modulation à décalage de phase. Les autres régions sont définies avec la même méthode. La Table 3.9 détaille l'ensemble des commutations établies pour la stratégie de modulation de l'onduleur de courant 5 niveaux. Chaque segment est renseigné par trois informations, le vecteur, le numéro de l'état d'interrupteur correspondant à l'Annexe F et l'état d'interrupteur lui-même.

Séquence		***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application		$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
1	***I***	$0\vec{0}$ - 4 [BCBC]	$0\vec{6}$ - 57 [ACBC]	$0\vec{1}$ - 20 [ABCB]	$0\vec{0}$ - 2 [CBCB]	$0\vec{6}$ - 56 [CACB]	$0\vec{1}$ - 22 [BABC]	$0\vec{0}$ - 4 [BCBC]
	II	$0\vec{7}$ - 65 [AACB]	$0\vec{1}$ - 20 [ABCB]	$0\vec{6}$ - 57 [ACBC]	$0\vec{7}$ - 64 [AABC]	$0\vec{1}$ - 22 [BABC]	$0\vec{6}$ - 56 [CACB]	$0\vec{7}$ - 65 [AACB]
	III	$0\vec{6}$ - 57 [ACBC]	$1\vec{8}$ - 81 [AABB]	$0\vec{7}$ - 65 [AACB]	$0\vec{6}$ - 56 [CACB]	$1\vec{8}$ - 81 [AABB]	$0\vec{7}$ - 64 [AABC]	$0\vec{6}$ - 57 [ACBC]
	IV	$0\vec{1}$ - 20 [ABCB]	$0\vec{7}$ - 65 [AACB]	$0\vec{8}$ - 66 [AACC]	$0\vec{1}$ - 22 [BABC]	$0\vec{7}$ - 64 [AABC]	$0\vec{8}$ - 66 [AACC]	$0\vec{1}$ - 20 [ABCB]
2	***I***	$0\vec{0}$ - 12 [ABAB]	$0\vec{1}$ - 20 [ABCB]	$0\vec{2}$ - 27 [BACA]	$0\vec{0}$ - 10 [BABA]	$0\vec{1}$ - 22 [BABC]	$0\vec{2}$ - 26 [ABAC]	$0\vec{0}$ - 12 [ABAB]
	II	$0\vec{9}$ - 68 [BACC]	$0\vec{2}$ - 27 [BACA]	$0\vec{1}$ - 20 [ABCB]	$0\vec{9}$ - 67 [ABCC]	$0\vec{2}$ - 26 [ABAC]	$0\vec{1}$ - 22 [BABC]	$0\vec{9}$ - 68 [BACC]
	III	$0\vec{1}$ - 20 [ABCB]	$0\vec{8}$ - 66 [AACC]	$0\vec{9}$ - 68 [BACC]	$0\vec{1}$ - 22 [BABC]	$0\vec{8}$ - 66 [AACC]	$0\vec{9}$ - 67 [AACC]	$0\vec{1}$ - 20 [ABCB]
	IV	$0\vec{2}$ - 27 [BACA]	$0\vec{9}$ - 68 [BACC]	$1\vec{0}$ - 69 [BBCC]	$0\vec{2}$ - 26 [ABAC]	$0\vec{9}$ - 67 [ABCC]	$1\vec{0}$ - 69 [BBCC]	$0\vec{2}$ - 27 [BACA]
3	***I***	$0\vec{0}$ - 7 [CACA]	$0\vec{2}$ - 27 [BACA]	$0\vec{3}$ - 34 [BCAC]	$0\vec{0}$ - 9 [ACAC]	$0\vec{2}$ - 26 [ABAC]	$0\vec{3}$ - 35 [CBCA]	$0\vec{0}$ - 7 [CACA]
	II	$1\vec{1}$ - 70 [BBAC]	$0\vec{3}$ - 34 [BCAC]	$0\vec{2}$ - 27 [BACA]	$1\vec{1}$ - 71 [BBCA]	$0\vec{3}$ - 35 [CBCA]	$0\vec{2}$ - 26 [ABAC]	$1\vec{1}$ - 70 [BBAC]
	III	$0\vec{2}$ - 27 [BACA]	$1\vec{0}$ - 69 [BBCC]	$1\vec{1}$ - 70 [BBAC]	$0\vec{2}$ - 26 [ABAC]	$1\vec{0}$ - 69 [BBCC]	$1\vec{1}$ - 71 [BBCA]	$0\vec{2}$ - 27 [BACA]
	IV	$0\vec{3}$ - 34 [BCAC]	$1\vec{1}$ - 70 [BBAC]	$1\vec{2}$ - 72 [BBAA]	$0\vec{3}$ - 35 [CBCA]	$1\vec{1}$ - 71 [BBCA]	$1\vec{2}$ - 72 [BBAA]	$0\vec{3}$ - 34 [BCAC]
4	***I***	$0\vec{0}$ - 4 [BCBC]	$0\vec{2}$ - 27 [BCAC]	$0\vec{4}$ - 44 [CBAB]	$0\vec{0}$ - 2 [CBCB]	$0\vec{2}$ - 26 [CBCA]	$0\vec{4}$ - 42 [BCBA]	$0\vec{0}$ - 4 [BCBC]
	II	$1\vec{3}$ - 74 [CBAA]	$0\vec{4}$ - 44 [CBAB]	$0\vec{3}$ - 34 [BCAC]	$1\vec{3}$ - 73 [BCAA]	$0\vec{4}$ - 42 [BCBA]	$0\vec{3}$ - 35 [CBCA]	$1\vec{3}$ - 74 [CBAA]
	III	$0\vec{3}$ - 34 [BCAC]	$1\vec{2}$ - 72 [BBAA]	$1\vec{3}$ - 74 [CBAA]	$0\vec{3}$ - 35 [CBCA]	$1\vec{2}$ - 72 [BBAA]	$1\vec{3}$ - 73 [BCAA]	$0\vec{3}$ - 34 [BCAC]
	IV	$0\vec{4}$ - 44 [CBAB]	$1\vec{3}$ - 74 [CBAA]	$1\vec{4}$ - 75 [CCAA]	$0\vec{4}$ - 42 [BCBA]	$1\vec{3}$ - 73 [BCAA]	$1\vec{4}$ - 75 [CCAA]	$0\vec{4}$ - 44 [CBAB]
5	***I***	$0\vec{0}$ - 12 [ABAB]	$0\vec{4}$ - 47 [CBAB]	$0\vec{5}$ - 48 [CABA]	$0\vec{0}$ - 10 [BABA]	$0\vec{4}$ - 42 [BCBA]	$0\vec{5}$ - 49 [ACAB]	$0\vec{0}$ - 12 [ABAB]
	II	$1\vec{5}$ - 77 [CCBA]	$0\vec{5}$ - 48 [CABA]	$0\vec{4}$ - 47 [CBAB]	$1\vec{5}$ - 76 [CCAB]	$0\vec{5}$ - 49 [ACAB]	$0\vec{4}$ - 42 [BCBA]	$1\vec{5}$ - 77 [CCBA]
	III	$0\vec{4}$ - 47 [CBAB]	$1\vec{4}$ - 75 [CCAA]	$1\vec{5}$ - 77 [CCBA]	$0\vec{4}$ - 42 [BCBA]	$1\vec{4}$ - 75 [CCAA]	$1\vec{5}$ - 76 [CCAB]	$0\vec{4}$ - 47 [CBAB]
	IV	$0\vec{5}$ - 48 [CABA]	$1\vec{5}$ - 77 [CCBA]	$1\vec{6}$ - 78 [CCBB]	$0\vec{5}$ - 49 [ACAB]	$1\vec{5}$ - 76 [CCAB]	$1\vec{6}$ - 78 [CCBB]	$0\vec{5}$ - 48 [CABA]
6	***I***	$0\vec{0}$ - 7 [CACA]	$0\vec{5}$ - 48 [CABA]	$0\vec{6}$ - 61 [ACBC]	$0\vec{0}$ - 9 [ACAC]	$0\vec{5}$ - 49 [ACAB]	$0\vec{6}$ - 56 [CACB]	$0\vec{0}$ - 7 [CACA]
	II	$1\vec{7}$ - 79 [ACBB]	$0\vec{6}$ - 57 [ACBC]	$0\vec{5}$ - 48 [CABA]	$1\vec{7}$ - 80 [CABB]	$0\vec{6}$ - 56 [CACB]	$0\vec{5}$ - 49 [ACAB]	$1\vec{7}$ - 79 [ACBB]
	III	$0\vec{5}$ - 48 [CABA]	$1\vec{6}$ - 78 [CCBB]	$1\vec{7}$ - 79 [ACBB]	$0\vec{5}$ - 49 [ACAB]	$1\vec{6}$ - 78 [CCBB]	$1\vec{7}$ - 80 [CABB]	$0\vec{5}$ - 48 [CABA]
	IV	$0\vec{6}$ - 57 [ACBC]	$1\vec{7}$ - 79 [ACBB]	$1\vec{8}$ - 81 [AABB]	$0\vec{6}$ - 56 [CACB]	$1\vec{7}$ - 80 [CABB]	$1\vec{8}$ - 81 [AABB]	$0\vec{6}$ - 57 [ACBC]

TABLE 3.9 – Liste des séquences sélectionnées par secteur et par région pour l'onduleur de courant 5 niveaux.

Le nombre de commutations présent dans chaque séquence montre que les régions dites extérieures (ici III et IV) présentent des séquences à huit commutations, soit deux de moins que les régions intérieures (ici I et II). Les formes d'ondes obtenues par l'utilisation de ces séquences sont illustrées par les Figures 3.17 et 3.18 pour M_{min} et M_{max} respectivement.

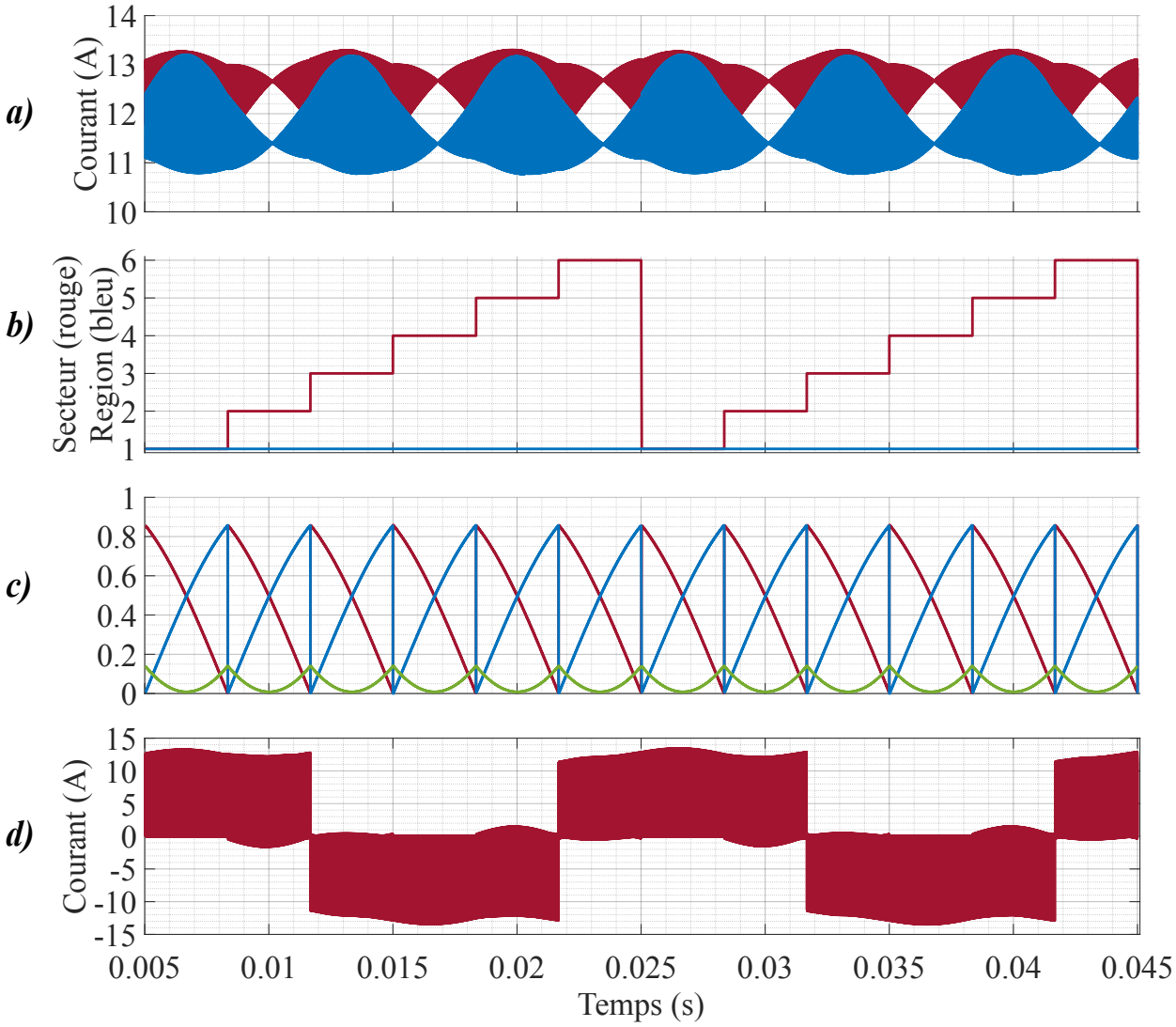

FIGURE 3.17 – Exemple de SVM pour un CSI 5 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge) et L_{P2} (bleu), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a.

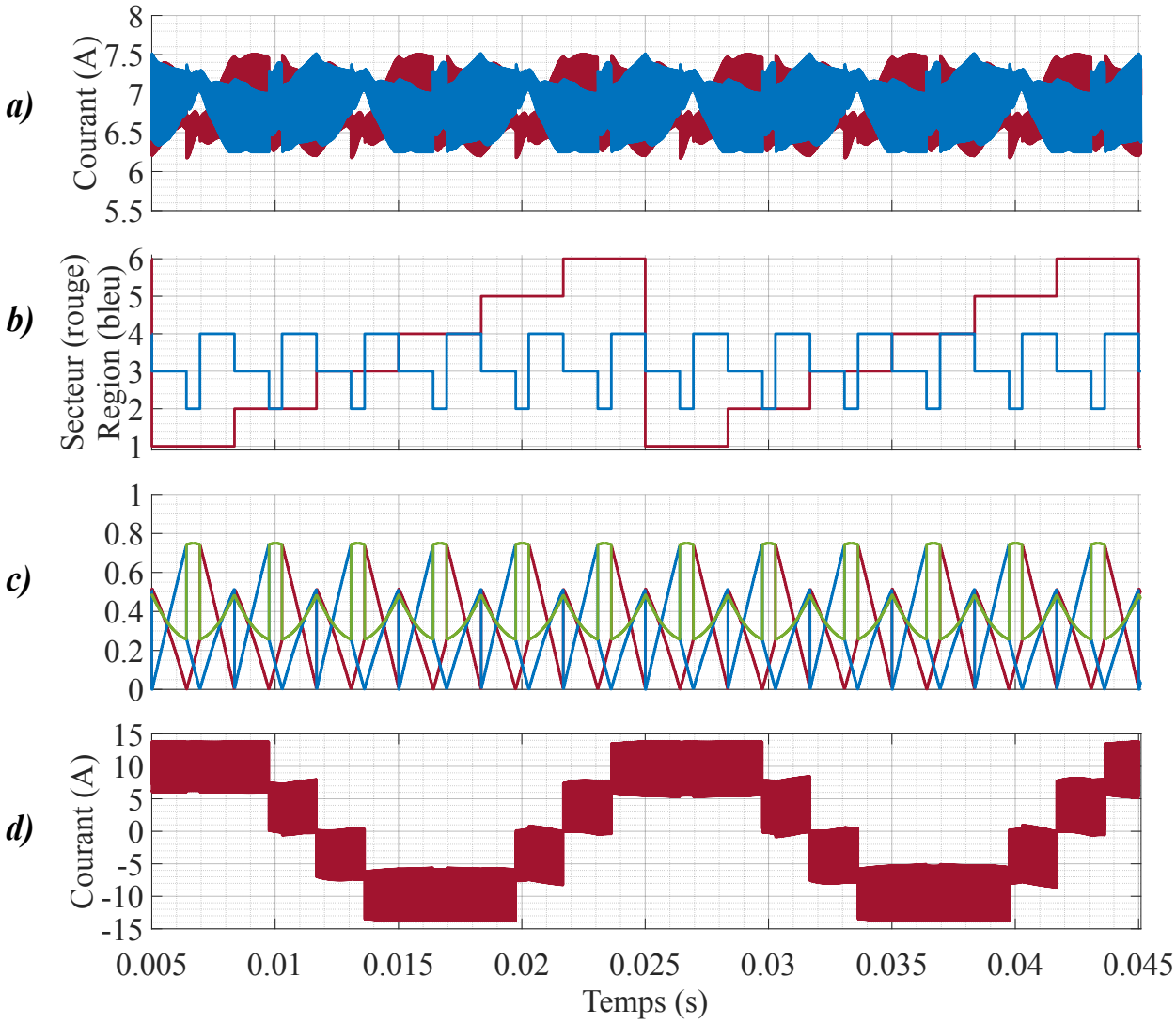

FIGURE 3.18 – Exemple de SVM pour un CSI 5 niveaux ($M = 0,8748$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge) et L_{P2} (bleu), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a.

3.2.3 Inductances d'entrée pour le CSI 5 niveaux

Comme représentée par la Figure 3.12, l'onduleur de courant présentant deux blocs de commutations nécessite la présence de quatre inductances d'entrée. Cette section vise à détailler le dimensionnement de ces éléments.

L'ondulation maximale de courant dans les inductances est conservée par rapport à l'onduleur de courant 3 niveaux à des fins de comparaisons, ainsi $\Delta I_{DC_{max}} = 2,4\,A$.

Afin de réaliser les dimensions des inductances, il est nécessaire de repartir du modèle électrique et d'en extraire la valeur maximale d'ondulation de courant $\Delta I_{DC_{max}}$ établissant la valeur d'inductance $L_{P,N}$. Cette valeur maximale de l'ondulation de courant dépend comme montré précédemment, d'une part de la stratégie de modulation choisie et d'autre part du point de fonctionnement.

A valeur d'inductance constante, les paramètres variables dans ce calcul sont la tension appliquée aux bornes et sa durée d'application. Cette dernière ne correspond pas nécessairement à un unique temps d'application mais à la totalité de la durée de la tension générant la plus forte ondulation de courant sur la plage de fonctionnement de l'onduleur.

La Table 3.10 résume les différents temps de l'ondulation maximale et l'angle auquel elle est produite.

Région	**Segments appliqués pendant l'ondulation maximale**	**Angle θ du point d'ondulation maximale de la Région** $\left(de\,0\,\text{à}\,\frac{\pi}{3}\right)$	**Temps d'application de l'ondulation maximale**
I	$\frac{T_a}{2}+\frac{T_b}{2}+\frac{T_c}{2}$	$\frac{\pi}{6}$ pour $(M<0,5)$ $\arcsin\left(\frac{1}{2M}\right)-\frac{\pi}{3}$ $\left(pour\,0,5<M<\frac{\sqrt{3}}{3}\right)$	$\frac{T_{dec}}{2}$
II	$\frac{T_a}{2}+\frac{T_b}{2}+T_c$ ou $\frac{T_a}{2}+\frac{T_b}{2}$	$\frac{\pi}{6}$	$M\cdot T_{dec}$ ou $T_{dec}(1-M)$
III	$\frac{T_a}{2}+\frac{T_b}{2}+\frac{T_c}{2}$	$\frac{\pi}{3}-\arcsin\left(\frac{1}{2M}\right)$	$\frac{T_{dec}}{2}$
IV	$\frac{T_a}{2}+\frac{T_b}{2}+\frac{T_c}{2}$	$\arcsin\left(\frac{1}{2M}\right)$	$\frac{T_{dec}}{2}$

TABLE 3.10 – Caractéristiques de l'ondulation maximale du courant suivant les régions de la modulation SVM CSI 5 niveaux.

La région produisant l'ondulation de courant maximale pour la plage de fonctionnement doit être déterminée. Afin de limiter le nombre de calculs, cette étape est réalisée par simulation. Il en résulte que la Région *I* produit l'ondulation de courant la plus importante, elle est donc dimensionnante. Elle est régie par l'équation :

$$\Delta I_{DC_{RI}} = \frac{\sqrt{3}\cdot \hat{V}_{réseau}\cdot M}{4\cdot f_{dec}\cdot L_{P,N}} \tag{3.16}$$

L'équation 3.16 n'est valable que pour la Région *I*. La Figure 3.19 montre l'évolution de la valeur d'inductance $L_{P,N}$ pour une ondulation de courant maximale dans chaque région.

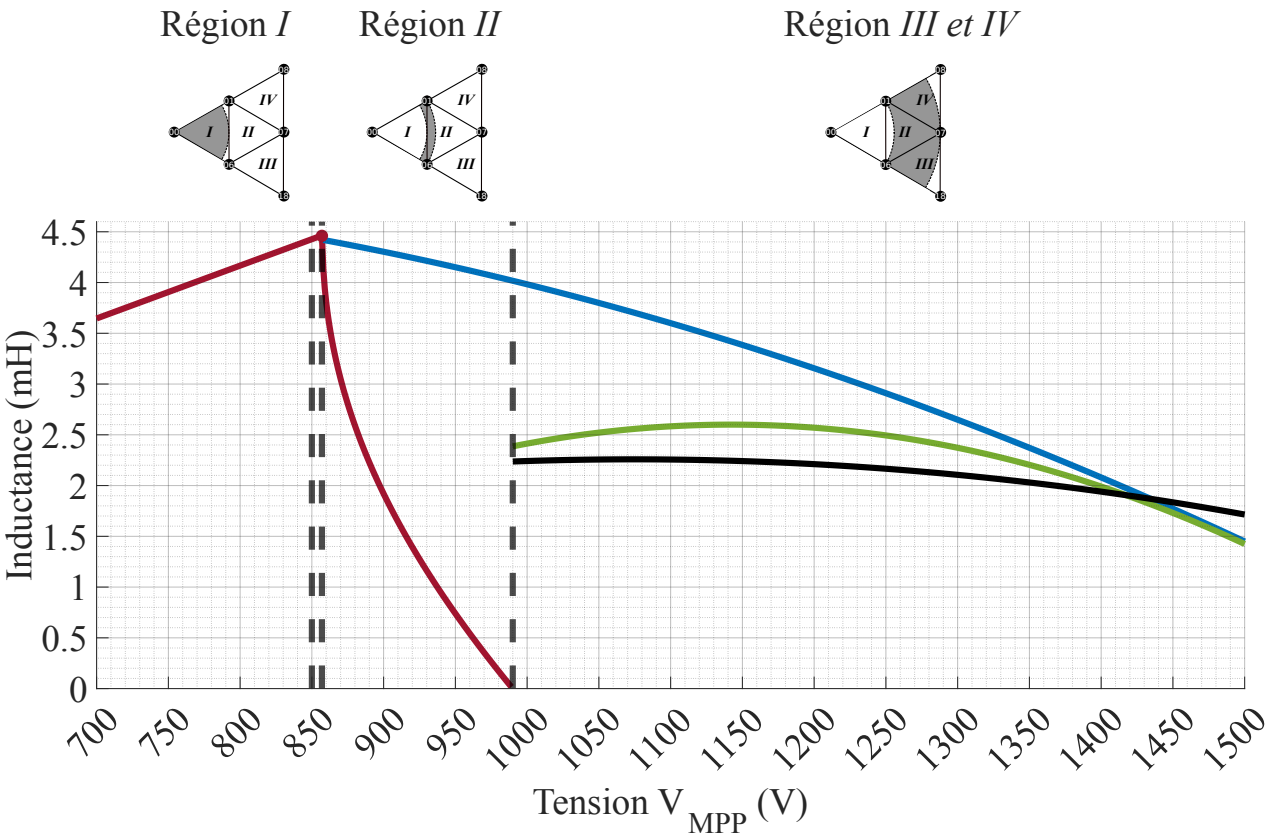

FIGURE 3.19 – Évolution sur la plage V_{MPP} de $L_{P,N}$ pour une ondulation de courant de $2,4\,A$ et $f_{dec} = 40\,kHz$ (dans la Région I (rouge), dans la Région II (bleu) et les Régions III - IV (en vert et en noir suivant l'angle de l'ondulation maximale) pour un onduleur de courant 5 niveaux.

La Figure 3.19 montre une évolution non-linéaire de la valeur d'inductance. Elle est due à la segmentation de la modulation entre les Régions I et II à partir de $M = 0,5$ (soit $V_{MPP} = 857\,V$) jusqu'à $M = \frac{\sqrt{3}}{3}$ (soit $V_{MPP} = 990\,V$) où la Région I n'est plus traversée. La valeur d'inductance nécessaire pour maintenir l'ondulation de courant inférieure à $2,4\,A$ est atteinte à $M = 0,5$. C'est donc cette valeur qui est dimensionnante pour l'étude expérimentale du CSI 5 niveaux.

$$L_{P,N} = 4,46\,mH \tag{3.17}$$

La Figure 3.19 est un exemple de la complexité régissant une modulation de type SVM multi-niveaux. La plage de fonctionnement doit être intégralement étudiée (ou à minima simulée) pour dimensionner les composants passifs. Le point maximal d'ondulation dépend de la plage de fonctionnement de l'application, de la séquence sélectionnée ainsi que de l'enchaînement des états d'interrupteurs utilisés.

Comme pour la topologie à simple matrice d'interrupteurs, la courbe d'évolution de l'ondulation de courant maximale est tracée :

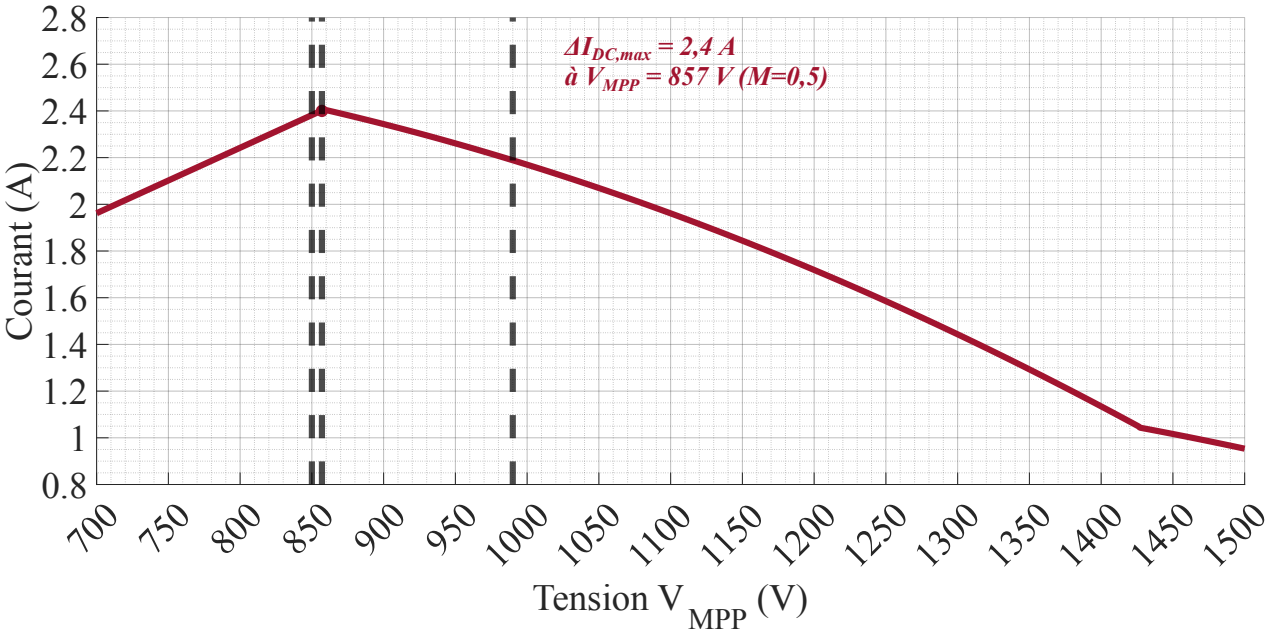

FIGURE 3.20 – Évolution sur la plage V_{MPP} de $\Delta I_{DC_{5n}}$ pour $L_{P,N} = 4,46\,mH$ et $f_{dec} = 40\,kHz$ pour un onduleur de courant 5 niveaux.

De la même manière que pour l'architecture 3 niveaux, il est possible d'activer le redressement synchrone à plus faible valeur de courant d'entrée I_{DC} lorsque l'ondulation produite est inférieure à sa valeur maximale. Dans ce cas d'étude, cela correspond à une valeur de M élevée. Dans un cas où la valeur de $V_{MPP_{min}}$ correspondrait à une valeur de M bien inférieure à $0,5$, cela serait également possible et très pertinent sur une plage de fonctionnement aussi large, afin de réduire les pertes par conduction produites à faible valeur de M.

3.3 Modulation Space Vector pour un onduleur de courant 7 niveaux

Cette section a pour objectif de détailler la mise en place d'une stratégie de modulation pour un onduleur de courant 7 niveaux. La réalisation de cette étude semble à priori être dans la continuité de la section précédente où la SVM pour un onduleur de courant 5 niveaux a été établie. Il sera néanmoins montré ici que l'ajout d'une matrice d'interrupteurs vient apporter d'importantes modifications dans l'établissement de la stratégie de modulation.

3.3.1 Spécificités de la modulation 7 niveaux

La Figure 3.21 représente la topologie onduleur de courant 7 niveaux. Celle-ci est composée de trois blocs de puissance parallélisés. La structure est composée de six inductances en entrée, une pour chaque demi-matrice d'interrupteurs, deux par bloc.

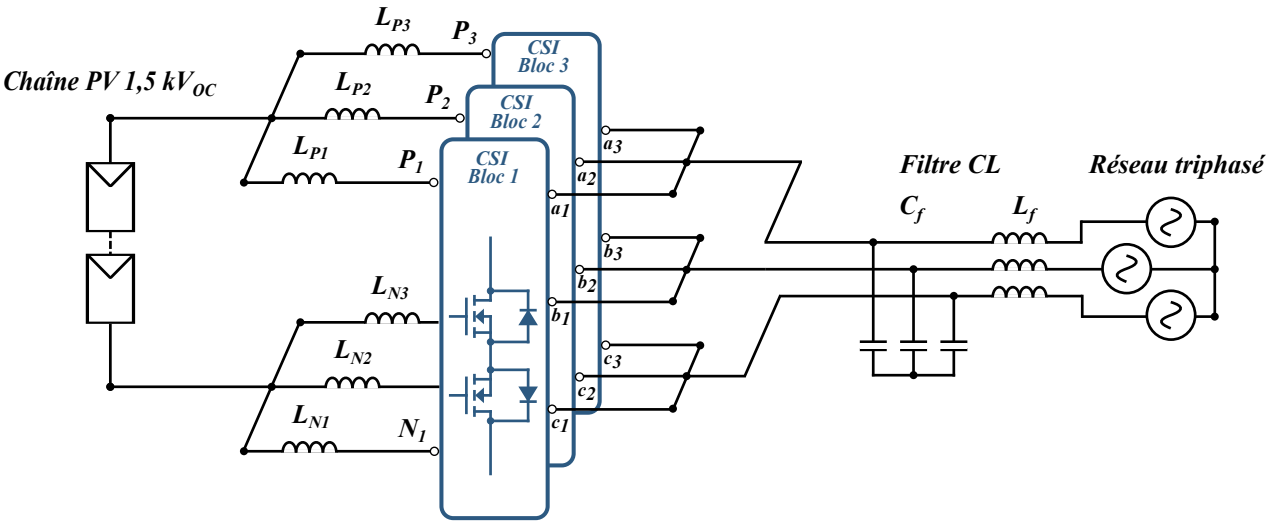

FIGURE 3.21 – Schéma d'un onduleur de courant 7 niveaux.

La stratégie de modulation sélectionnée est une stratégie SVM 7 niveaux. Tous les états d'interrupteurs pour la réalisation de vecteurs sont établis de manière commune et non en décalage de phase. Cette configuration offre 729 états disponibles (3^6). Afin de repérer les vecteurs dans le plan complexe, tous les états sont calculés comme pour les équations 3.7 et 3.15, données en exemple pour le vecteur $0\vec{1}$.

Le nombre de possibilités pour la réalisation de chaque vecteur est très variable. Le vecteur nul a 92 états d'interrupteurs associés, contre un seul état sélectionnable pour les vecteurs les plus éloignés de celui-ci sur le plan complexe $\alpha\beta$ (vecteurs $2\vec{1}$ et $2\vec{4}$ par exemple). Les vecteurs sont notés du 1 au 729, ordonnés par vecteur, puis par ordre alphabétique de la notation des états d'interrupteurs établie précédemment. La Figure 3.22 illustre les emplacements de ces vecteurs sur le plan $\alpha\beta$. La notation en rouge indique le niveau de courant de sortie noté $[I_a\ I_b\ I_c]$. Ce niveau sera codé entre 0 et 6 représentant les niveaux de courant suivant $[-I_{DC}\,;\ -2I_{DC}/3\,;\ I_{DC}/3\,;\ 0\,;\ I_{DC}/3\,;\ 2I_{DC}/3\,;\ I_{DC}]$.

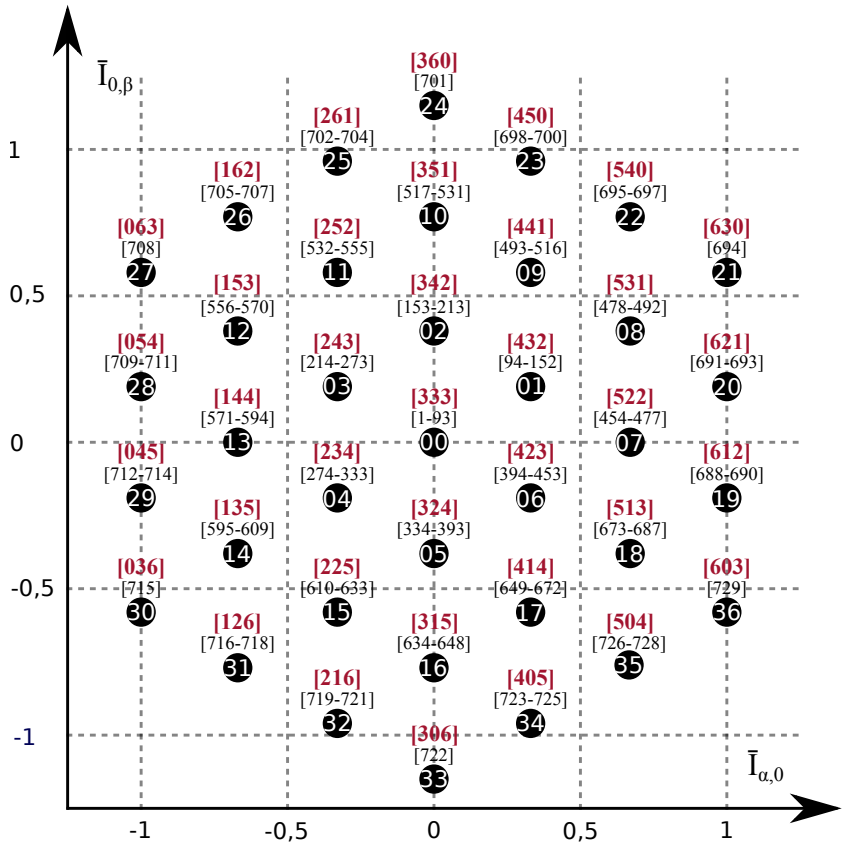

FIGURE 3.22 – Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux avec les états d'interrupteurs associés à chaque vecteur.

Les vecteurs sont au nombre de 36, permettant d'obtenir un maillage encore plus affiné en comparaison de la stratégie précédente 5 niveaux. Les régions sont établies de la même manière que précédemment, toutes les régions couvrent la même surface du plan complexe. Les courants de sortie par phase y sont également notés pour chaque vecteur. Chaque secteur est composé de 9 régions, représentées par la Figure 3.23.

3.3.2 Cartographie et choix de stratégie pour le CSI 7 niveaux

Comme le montre la Figure 3.15, la définition des régions peut être différente pour une stratégie SVM multiniveaux. Le type de maillage sera conservé avec la topologie précédente à des fins de comparaison dans le nombre de commutations réalisées.

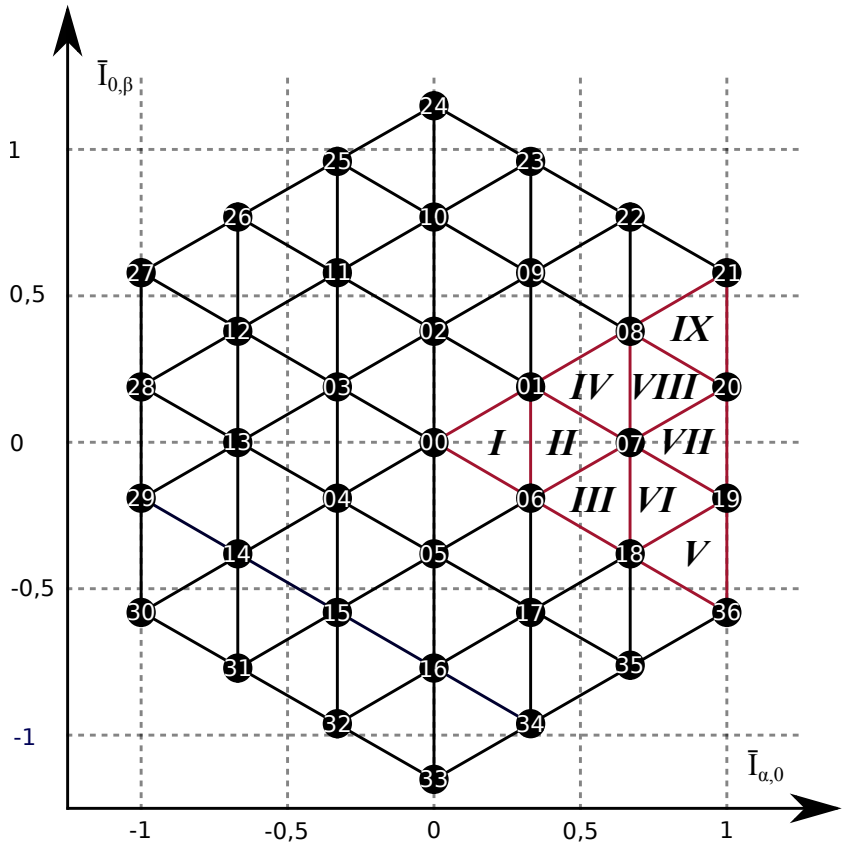

FIGURE 3.23 – Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux représentant les régions définies.

La méthode de calcul localisant le vecteur de référence dans le plan complexe dans cette configuration 7 niveaux est résumée dans l'Annexe D.

En limitant l'étude à l'application prévue, avec, pour rappel, $M_{min} = 0,4957$ et $M_{max} = 0,8748$, il est possible de définir les régions traversées. Cela est illustré par la Figure 3.24.

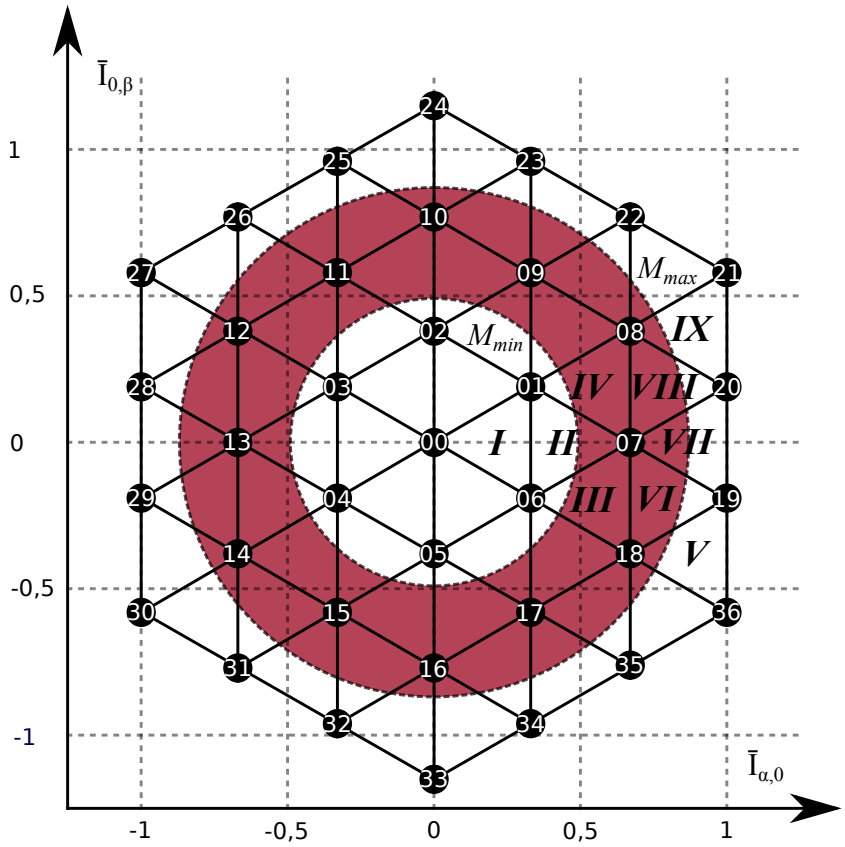

FIGURE 3.24 – Plan complexe $\alpha\beta$ pour un onduleur de courant 7 niveaux ayant pour $M_{min} = 0,4957$ et $M_{max} = 0,8748$.

Contrairement à la modulation 5 niveaux, la Région I n'est pas sollicitée à P_n car M_{min} est supérieure à $\frac{2}{3\sqrt{3}} \simeq 0,3849$. Ainsi, $M_{min} > \frac{1}{3}$ et $M_{min} > \frac{2}{3\sqrt{3}}$ permet d'établir (voir Annexe D) que la Région II et les Régions III et IV sont traversées, respectivement. De plus, $M_{max} > \frac{2}{3}$ ce qui implique les Régions VI, VII et VIII dans la modulation. Enfin pour $M_{max} > \frac{4}{3\sqrt{3}} \simeq 0,7698$, les Régions V et IX sont également traversées.

La Table 3.11 référence les états d'interrupteurs sélectionnés pour les séquences parcourues dans les 9 régions du Secteur 1. A des fins de synthèse, seul ce secteur est détaillé. Comme vu précédemment, à travers la Figure 3.4, les secteurs présentent des équivalences. Par conséquent, il est possible de réécrire la totalité des commutations dans les autres secteurs à partir de cette table. La liste des états d'interrupteurs du CSI 7 niveaux est donnée dans l'Annexe G.

La séquence de commutation doit répondre aux mêmes critères que ceux présentés précédemment. Au-delà de la réalisation du vecteur de référence, les tensions appliquées aux inductances d'entrée doivent être équilibrées dans les séquences. Ensuite, l'objectif est de limiter le nombre de commutations réalisées par chacune de ces séquences.

Les séquences et les commutations sélectionnées sont les suivantes :

Séq.		*Seg. 1*	*Seg. 2*	*Seg. 3*	*Seg. 4*	*Seg. 5*	*Seg. 6*	*Seg. 7*	*Seg. 8*	*Seg. 9*	*Seg. 10*
T. app.		$T_c/6$	$T_a/3$	$T_b/3$	$T_c/3$	$T_a/3$	$T_b/3$	$T_c/3$	$T_a/3$	$T_b/3$	$T_c/6$
1	***I***	$\vec{0}\vec{0}$ - 85 [CBCCBC]	$\vec{0}\vec{6}$ - 446 [CACCBC]	$\vec{0}\vec{1}$ - 131 [BABBCB]	$\vec{0}\vec{0}$ - 60 [BCCBCC]	$\vec{0}\vec{6}$ - 422 [ACCBCC]	$\vec{0}\vec{1}$ - 136 [BBABBC]	$\vec{0}\vec{0}$ - 92 [CCBCCB]	$\vec{0}\vec{6}$ - 453 [CCACCB]	$\vec{0}\vec{1}$ - 113 [ABBCBB]	$\vec{0}\vec{0}$ - 85 [CBCCBC]
	II	$\vec{0}\vec{7}$ - 461 [AABBCB]	$\vec{0}\vec{1}$ - 113 [ABBCBB]	$\vec{0}\vec{6}$ - 422 [ACCBCC]	$\vec{0}\vec{7}$ - 468 [ABACBB]	$\vec{0}\vec{1}$ - 136 [BBABBC]	$\vec{0}\vec{6}$ - 453 [CCACCB]	$\vec{0}\vec{7}$ - 472 [BAABBC]	$\vec{0}\vec{1}$ - 131 [BABBCB]	$\vec{0}\vec{6}$ - 446 [CACCBC]	$\vec{0}\vec{7}$ - 461 [AABBCB]
	III	$\vec{0}\vec{6}$ - 422 [ACCBCC]	$\vec{1}\vec{8}$ - 682 [ACABCB]	$\vec{0}\vec{7}$ - 471 [ACACCB]	$\vec{0}\vec{6}$ - 453 [CCACCB]	$\vec{1}\vec{8}$ - 687 [CAACBB]	$\vec{0}\vec{7}$ - 476 [CAACCB]	$\vec{0}\vec{6}$ - 453 [CCACCB]	$\vec{1}\vec{8}$ - 682 [ACABCB]	$\vec{0}\vec{7}$ - 469 [ACABCC]	$\vec{0}\vec{6}$ - 422 [ACCBCC]
	IV	$\vec{0}\vec{1}$ - 113 [ABBCBB]	$\vec{0}\vec{7}$ - 468 [ABACBB]	$\vec{0}\vec{8}$ - 483 [ABACBC]	$\vec{0}\vec{1}$ - 136 [BBABBC]	$\vec{0}\vec{7}$ - 472 [BAABBC]	$\vec{0}\vec{8}$ - 489 [BAABCC]	$\vec{0}\vec{1}$ - 131 [BABBCB]	$\vec{0}\vec{7}$ - 461 [AABBCB]	$\vec{0}\vec{8}$ - 483 [AABCCB]	$\vec{0}\vec{1}$ - 113 [ABBCBB]
	V	$\vec{1}\vec{8}$ - 682 [ACABCB]	$\vec{3}\vec{6}$ - 729 [AAABBB]	$\vec{1}\vec{9}$ - 690 [AAACBB]	$\vec{1}\vec{8}$ - 687 [CAACBB]	$\vec{3}\vec{6}$ - 729 [AAABBB]	$\vec{1}\vec{9}$ - 688 [AAABBC]	$\vec{1}\vec{8}$ - 677 [AACBBC]	$\vec{3}\vec{6}$ - 729 [AAABBB]	$\vec{1}\vec{9}$ - 689 [AAABCB]	$\vec{1}\vec{8}$ - 682 [ACABCB]
	VI	$\vec{1}\vec{9}$ - 688 [AAABBC]	$\vec{0}\vec{7}$ - 469 [ACABCC]	$\vec{1}\vec{8}$ - 682 [ACABCB]	$\vec{1}\vec{9}$ - 689 [AAABCB]	$\vec{0}\vec{7}$ - 477 [CAACCB]	$\vec{1}\vec{8}$ - 687 [CAACBB]	$\vec{1}\vec{9}$ - 690 [AAACBB]	$\vec{0}\vec{7}$ - 464 [AACCBC]	$\vec{1}\vec{8}$ - 677 [AACBBC]	$\vec{1}\vec{9}$ - 688 [AAABBC]
	VII	$\vec{0}\vec{7}$ - 477 [CAACCB]	$\vec{1}\vec{9}$ - 689 [AAABCB]	$\vec{2}\vec{0}$ - 691 [AAABCC]	$\vec{0}\vec{7}$ - 469 [ACABCC]	$\vec{1}\vec{9}$ - 688 [AAABBC]	$\vec{2}\vec{0}$ - 692 [AAACBC]	$\vec{0}\vec{7}$ - 464 [AACCBC]	$\vec{1}\vec{9}$ - 690 [AAACBB]	$\vec{2}\vec{0}$ - 693 [AAACCB]	$\vec{0}\vec{7}$ - 477 [CAACCB]
	VIII	$\vec{2}\vec{0}$ - 693 [AAACCB]	$\vec{0}\vec{8}$ - 486 [ABACBC]	$\vec{0}\vec{7}$ - 468 [ABACBB]	$\vec{2}\vec{0}$ - 692 [AAACBC]	$\vec{0}\vec{8}$ - 489 [BAABCC]	$\vec{0}\vec{7}$ - 472 [BAABBC]	$\vec{2}\vec{0}$ - 691 [AAABCC]	$\vec{0}\vec{8}$ - 483 [AABCCB]	$\vec{0}\vec{7}$ - 461 [AABBCB]	$\vec{2}\vec{0}$ - 693 [AAACCB]
	IX	$\vec{0}\vec{8}$ - 486 [ABACBC]	$\vec{2}\vec{0}$ - 691 [AAABCC]	$\vec{2}\vec{1}$ - 694 [AAACCC]	$\vec{0}\vec{8}$ - 489 [AABCCB]	$\vec{2}\vec{0}$ - 693 [AAACCB]	$\vec{2}\vec{1}$ - 694 [AAACCC]	$\vec{0}\vec{8}$ - 483 [AABCCB]	$\vec{2}\vec{0}$ - 692 [AAACBC]	$\vec{2}\vec{1}$ - 694 [AAACCC]	$\vec{0}\vec{8}$ - 486 [ABACBC]

TABLE 3.11 – Liste des séquences sélectionnées pour les 9 régions du Secteur 1 pour un onduleur de courant 7 niveaux.

Les séquences sont divisées en 10 segments. De la même manière que précédemment, le premier et dernier segment sont identiques et doivent utiliser les mêmes états d'interrupteurs. Chaque autre segment occupe un tiers des trois temps T_a, T_b et T_c. L'équilibre des tensions se réalise de la même manière que pour la topologie 5 niveaux. Les triplés d'états sélectionnés pour chaque temps doivent annuler la tension moyenne sur la période de découpage T_{dec}. Cette contrainte impose certaines associations dans ces états d'interrupteurs. Le nombre de commutations sur la totalité de la séquence ne peut être réduit à un minimum hypothétique de 9 commutations.

Il est possible de suivre en détail les commutations par la Table 3.11. La Région II implique trente-neuf commutations par période de découpage. Cela correspond donc à treize commutations par matrice d'interrupteurs pour une période T_{dec}. Il s'agit d'un nombre important, plus que dans les deux cas précédents. Les vecteurs de la Région II présentent des états d'interrupteurs avec peu d'interrupteurs communs, forçant un plus grand nombre de commutations entre chaque segment de la séquence.

Le CSI 7 niveaux fonctionnant dans les Régions II, III et IV (avec $M < \frac{4}{3\sqrt{3}}$) génère un courant de sortie uniquement en $+I_{DC}$ et $-I_{DC}$, de manière analogue à l'onduleur 5 niveaux fonctionnant avec un $M < \frac{\sqrt{3}}{3}$. Dans cette plage de fonctionnement, le courant de sortie généré est un courant 5 niveaux, le passage de 2 à 3 blocs de puissances parallélisés pénalise le nombre de commutations (surtout dans la Région II) sans améliorer de manière significative la qualité du courant de sortie. Pour cela, l'utilisation des Régions V à IX est nécessaire, via une profondeur de modulation plus élevée.

Les autres séquences, de la Région III à la Région IX, impliquent douze commutations par T_{dec}. Cela représente quatre commutations réalisées par chacun des blocs de puissance à chaque période. Pour un courant de sortie en 7 niveaux généré, le nombre de commutations réalisées est

réduit. Avec l'augmentation de la valeur de M au travers de l'augmentation de la tension V_{MPP}, les pertes par commutation sont réduites, de même que le THD.

On peut remarquer que le choix des états d'interrupteurs devient très complexe comparativement au CSI 5 niveaux vu précédemment. Dans ce cas, les états sélectionnés pourraient ne pas être optimisés. L'utilisation d'un algorithme testant toutes les possibilités est plus que pertinent, réduisant le temps nécessaire pour déterminer ces séquences tout en optimisant les séquences. L'inconvénient principal d'un tel algorithme réside dans sa conception puisqu'il nécessite de le guider à travers les critères de sélection des états d'interrupteurs. La Figure 3.25 a) illustre les formes d'ondes de courant obtenues en simulation dans chaque inductance L_P du CSI 7 niveaux pour M_{min}.

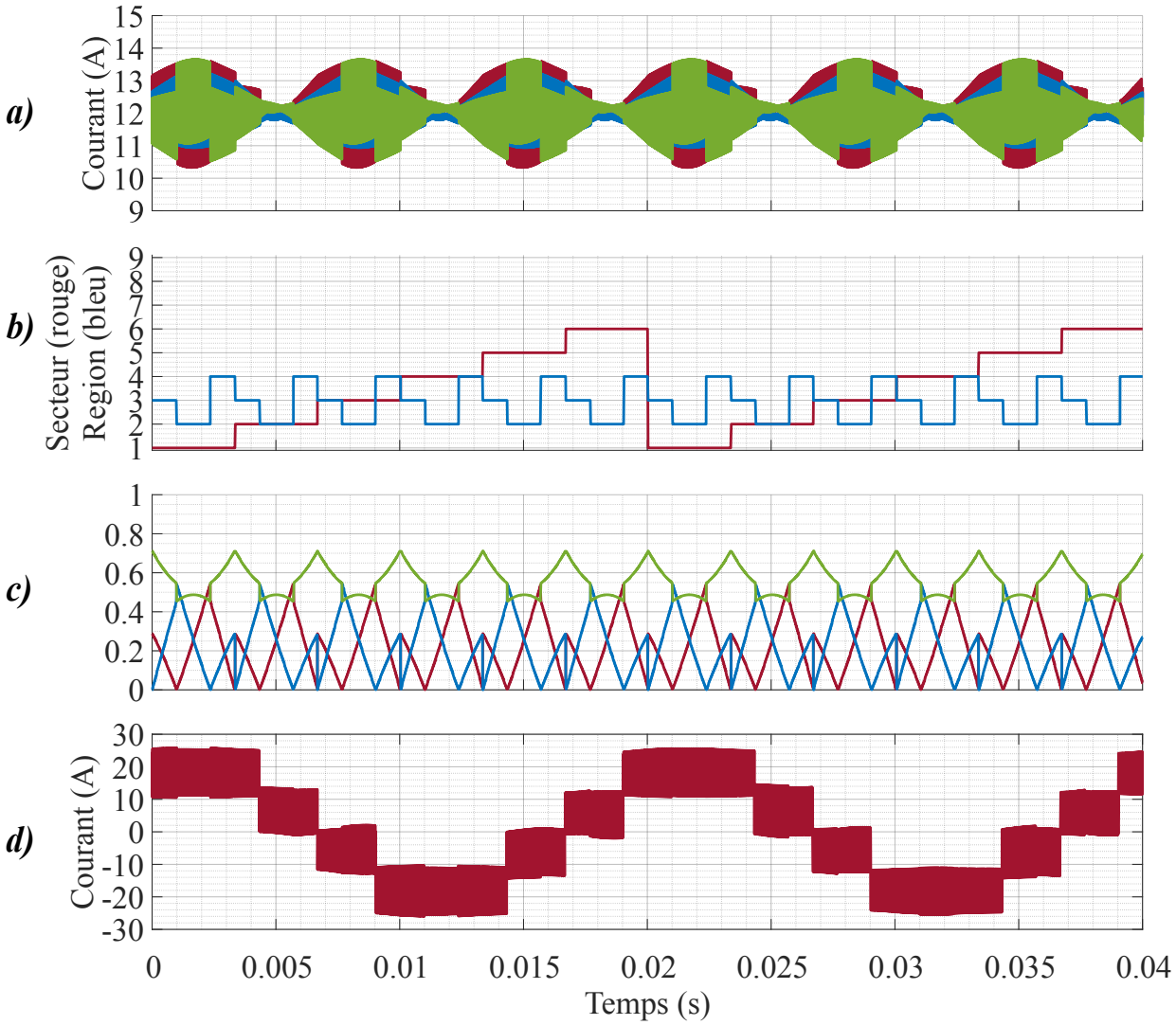

FIGURE 3.25 – Exemple de SVM pour un CSI 7 niveaux ($M = 0,4957$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge), L_{P2} (bleu) et L_{P3} (vert), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a.

Dans la SVM pour le CSI 5 niveaux à M_{min} et à P_n, soit à courant maximal, seule la Région I est traversée (Figure 3.17). Dans ce cas d'application pour l'onduleur 7 niveaux, trois régions sont traversées (Figure 3.25). Selon les états choisis pour débuter et terminer les séquences, les changements de régions peuvent provoquer un décalage dans l'ondulation de courant. En effet, la transition entre deux régions peut impliquer uniquement la croissance du courant. Si cette configuration est maintenue pendant une période de temps jusqu'à deux fois la période d'ondulation prévue, le courant moyen dans la nouvelle région va être surélevé, jusqu'à la moitié de la valeur de l'ondulation crête à crête, ici $1,2\,A$. Avec un courant moyen de $12\,A$ et une ondulation crête à crête de $2,4\,A$, il est possible de faire glisser le courant crête au-delà de l'ondulation de courant prévue dans le dimensionnement des inductances.

A P_n et $V_{MPP_{min}}$, il est donc possible de saturer les inductances si la transition entre les régions n'est pas étudiée. Cependant, il n'est pas possible d'éviter une telle transition sans décalage pour les trois inductances de chaque bloc. Ici, les états d'interrupteurs sélectionnés pour les transitions permettent de limiter l'ondulation de courant à la valeur crête prédéfinie.

La Figure 3.26 présente les formes d'ondes des simulations réalisées pour le CSI 7 niveaux à P_n et à M_{max}. Elle montre que les régions traversées sur ce point de fonctionnement sont bien les Régions V à IX et que le courant de sortie est bien découpé en 7 niveaux distincts. Le phénomène précédent est aussi présent dans les formes d'ondes présentées par cette figure lors des transitions entre les Régions V à IX. Dans ce cas, à puissance nominale, le courant étant inférieur à sa valeur maximale, les transitions entre les régions ne doit être mises en perspective qu'avec la qualité du courant d'entrée. Le nombre de commutations dans les transitions entre les régions est négligeable par rapport à celui à l'intérieur de chacune des séquences.

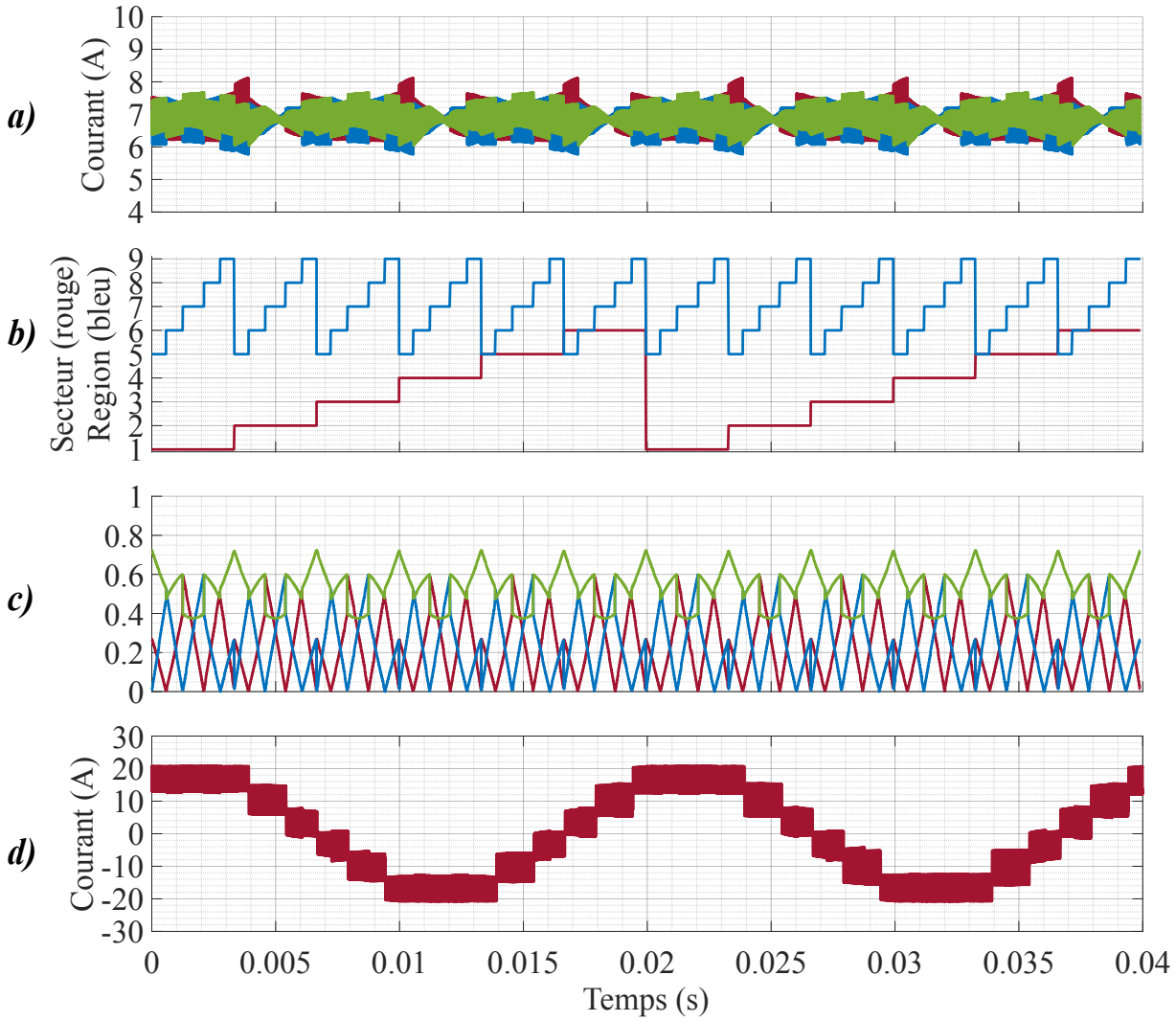

FIGURE 3.26 – Exemple de SVM pour un CSI 7 niveaux ($M = 0,8748$) sur deux périodes $T_{réseau}$. a) Courant dans les inductances L_{P1} (rouge), L_{P2} (bleu) et L_{P3} (vert), b) les secteurs (rouge) et les régions (bleu) traversés, c) temps T_a (rouge), T_b (bleu) et T_c (vert) normalisés sur T_{dec} et d) courant de sortie de la phase a.

3.3.3 Inductances d'entrée pour le CSI 7 niveaux

L'architecture CSI 7 niveaux nécessite six inductances d'entrée. Elles doivent être dimensionnées selon la modulation établie précédemment. L'ondulation de courant maximale dans les inductances est conservée entre les trois topologies étudiées, ainsi $\Delta I_{DC_{max}} = 2,4\,A$.

Pour déterminer le point de fonctionnement produisant l'ondulation de courant maximale, des simulations sont mises en place. Elles permettent d'établir que l'ondulation maximale du courant est obtenue à $V_{MPP_{min}} = 850\,V$. En effet, $\Delta I_{DC_{max}}$ est obtenue à $\frac{\pi}{6}$, lors de l'utilisation de la séquence de la Région II. Avec l'augmentation de M, l'utilisation de cette séquence diminue et

avec elle l'ondulation de courant maximale. Afin d'obtenir l'ondulation de courant prévue, la valeur d'inductance est établie à $L_{P,N} = 4,2\,mH$.

Il est à noter qu'ici, la valeur d'inductance est diminuée par rapport à celle dimensionnée pour l'onduleur 5 niveaux. La baisse de cette valeur est environ de 10%. Cette diminution implique une petite réduction dans les dimensions de l'inductance.

3.4 Conclusions sur les stratégies de modulation

Comme montré tout au long du chapitre, la mise en place d'une stratégie de modulation pour un onduleur de courant multiniveaux s'avère d'une forte complexité. Elle nécessite plusieurs étapes. Tout d'abord, il faut définir les régions puis la séquence de commutation utilisée. Ensuite vient le choix dans les états d'interrupteurs. Leur sélection peut être particulièrement difficile puisqu'elle peut augmenter les pertes par commutation, dégrader le THD et provoquer un surdimensionnement des éléments passifs en entrée du convertisseur. C'est pourquoi, obtenir le meilleur compromis entre ces différents critères dépend principalement de l'application.

D'autres défis concernent l'implémentation de cette commande. Afin d'obtenir la modulation établie, il est nécessaire que les deux ou trois blocs de puissance se répartissent parfaitement le courant d'entrée, pour cela une régulation est nécessaire. La mise en place d'une régulation de ce type peut s'avérer tout aussi complexe que la mise en place initiale de la modulation en elle-même. L'utilisation d'une commande de ce type rend possible, malgré ces différents aspects, dans toutes les configurations, l'amélioration de la qualité du courant de sortie. Aussi, elle offre un grand nombre de possibilités en comparaison d'une modulation SVM 3 niveaux avec déphasage comme schématisée par la Figure 3.27 b).

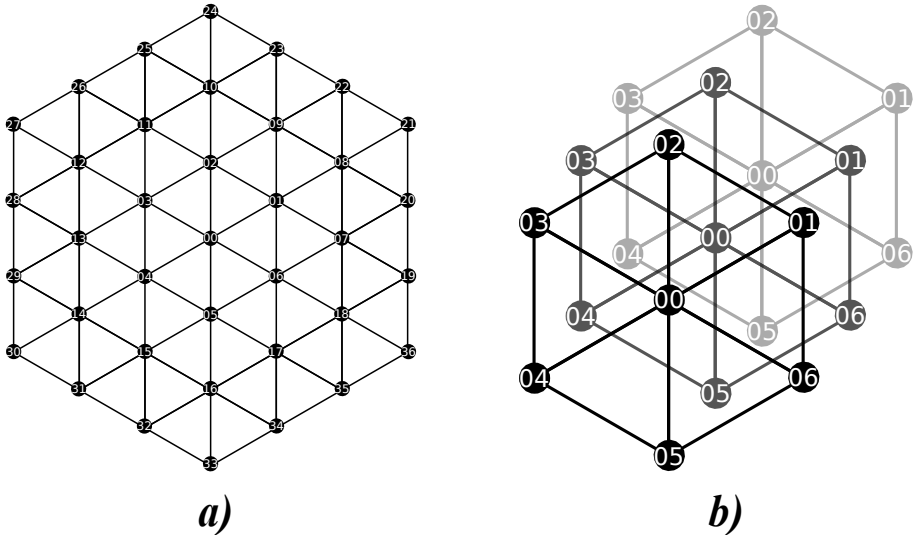

FIGURE 3.27 – Représentation $\alpha\beta$ a) de trois SVM du CSI 3 niveaux en décalage de phase et b) d'une SVM du CSI 7 niveaux.

Le chapitre suivant a pour objectif d'évaluer le fonctionnement et les performances des différentes configurations de l'onduleur de courant. La mise en oeuvre expérimentale des stratégies de modulation établies dans ce chapitre en est un des points majeurs.

Bibliographie

[1] J. Rodriguez, J.-S. Lai, and F. Z. Peng, "Multilevel inverters : a survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724–738, 2002.

[2] J.-S. Lai and F. Z. Peng, "Multilevel converters-a new breed of power converters," *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509–517, 1996.

[3] B. McGrath, D. Holmes, and T. Lipo, "Optimized space vector switching sequences for multilevel inverters," *IEEE Transactions on Power Electronics*, vol. 18, no. 6, pp. 1293–1301, 2003.

[4] J. Rodriguez, L. Moran, J. Pontt, J. Hernandez, L. Silva, C. Silva, and P. Lezana, "High-voltage multilevel converter with regeneration capability," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 839–846, 2002.

[5] N. Celanovic and D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converters," *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 637–641, 2001.

[6] W. C. Duesterhoeft, M. W. Schulz, and E. Clarke, "Determination of instantaneous currents and voltages by means of alpha, beta, and zero components," *Transactions of the American Institute of Electrical Engineers*, vol. 70, no. 2, pp. 1248–1255, 1951.

[7] C. J. O'Rourke, M. M. Qasim, M. R. Overlin, and J. L. Kirtley, "A geometric interpretation of reference frames and transformations : dq0, clarke, and park," *IEEE Transactions on Energy Conversion*, vol. 34, no. 4, pp. 2070–2083, 2019.

[8] D. Zmood and D. Holmes, "A generalised approach to the modulation of current source inverters," in *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, vol. 1, 1998, pp. 739–745 vol.1.

[9] Y. Xiong, Y. Li, X. Yang, Z. Zhang, and K. Wei, "A new three-phase five-level current-source inverter," in *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005.*, vol. 1, 2005, pp. 424–427 Vol. 1.

[10] Q. Wei, B. Wu, D. Xu, and N. R. Zargari, "A natural-sampling-based svm scheme for current source converter with superior low-order harmonics performance," *IEEE Transactions on Power Electronics*, vol. 31, no. 9, pp. 6144–6154, 2016.

[11] D. G. Holmes, "The general relationship between regular-sampled pulse-width-modulation and space vector modulation for hard switched converters," *Conference Record of the 1992 IEEE Industry Applications Society Annual Meeting*, pp. 1002–1009 vol.1, 1992.

[12] Q. Wei, B. Wu, D. D. Xu, and N. R. Zargari, "Optimal space vector sequence investigation based on natural sampling svm for medium-voltage current-source converter," *IEEE Transactions on Power Electronics*, vol. 32, no. 1, pp. 176–185, 2017.

[13] Q. Wei, L. Xing, D. Xu, B. Wu, and N. R. Zargari, "Modulation schemes for medium-voltage pwm current source converter-based drives : An overview," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 2, pp. 1152–1161, 2019.

[14] B. Sahan, A. Notholt-Vergara, A. Engler, and P. Zacharias, "Development of a single-stage three-phase pv module integrated converter," in *2007 European Conference on Power Electronics and Applications*, 2007, pp. 1–11.

[15] B. Sahan, A. N. Vergara, N. Henze, A. Engler, and P. Zacharias, "A single-stage pv module integrated converter based on a low-power current-source inverter," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 7, pp. 2602–2609, 2008.

[16] L. G. Alves Rodrigues, "Design and characterization of a three-phase current source inverter using 1.7kv sic power devices for photovoltaic applications," Ph.D. dissertation, 2019, thèse de doctorat dirigée par Ferrieux, Jean-Paul Génie électrique Université Grenoble Alpes (ComUE) 2019.

[17] O. Anaya-Lara, D. Campos-Gaona, E. Moreno-Goytia, and G. Adam, *Offshore wind energy generation : control, protection, and integration to electrical systems.* John Wiley & Sons, 2014.

[18] Y. Iwaji, T. Sukegawa, T. Okuyama, T. Ikimi, M. Shigyo, and M. Tobise, "A new pwm method to reduce beat phenomenon in large-capacity inverters with low switching frequency," *IEEE Transactions on Industry Applications*, vol. 35, no. 3, pp. 606–612, 1999.

[19] M. F. Naguib and L. A. Lopes, "Harmonics reduction in low switching frequency space vector modulated current source converters," in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 1434–1440.

[20] B. Scortegagna Dupczak, "Inversor cinco niveis em corrente para o acionameneto de motores elétricos," Ph.D. dissertation, 2013, universidad Federal de Santa Catarina, Florianopolis.

[21] B. McGrath and D. Holmes, "Multicarrier pwm strategies for multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 858–867, 2002.

[22] B. P. McGrath and D. G. Holmes, "Natural current balancing of multicell current source converters," *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1239–1246, 2008.

[23] F. Antunes, H. Braga, and I. Barbi, "Application of a generalized current multilevel cell to current-source inverters," *IEEE Transactions on Industrial Electronics*, vol. 46, no. 1, pp. 31–38, 1999.

[24] H. Gao, D. David Xu, B. Wu, and N. R. Zargari, "Space vector modulation for five-level current source converter with optimal vector sequence and dc current balancing control," in *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, 2017, pp. 1563–1568.

[25] Y. L. Familiant, D. G. Holmes, T. A. Lipo, and B. P. McGrath, "A general modulation strategy for a five-level three-phase current source inverter with regulated intermediate dc link currents," in *2007 IEEE Industry Applications Annual Meeting*, 2007, pp. 581–588.

[26] B. P. McGrath and H. d. T. Mouton, "Spectral analysis of multilevel pwm strategies using a one-dimensional fourier series," in *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, 2015, pp. 546–553.

[27] Q. Wei, B. Wu, D. Xu, and N. R. Zargari, "Minimization of filter capacitor for medium-voltage current-source converters based on natural sampling svm," *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 473–481, 2018.

[28] B. S. Dupczak, M. L. Heldwein, A. J. Perin, C. A. Martins, and J. Cros, "Pmsm and 5-level csi based boat electrical propulsion system efficiency analysis," in *2012 IEEE Vehicle Power and Propulsion Conference*, 2012, pp. 538–543.

[29] B. S. Dupczak, M. L. Heldwein, and A. J. Perin, "Space vector modulation strategy applied to interphase transformers-based five-level current source inverters for electric propulsion," in *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, 2011, pp. 1–10.

[30] B. P. McGrath, D. G. Holmes, and T. Meynard, "Reduced pwm harmonic distortion for multilevel inverters operating over a wide modulation range," *IEEE Transactions on Power Electronics*, vol. 21, no. 4, pp. 941–949, 2006.

Chapitre 4

Conception et essais préliminaires du CSI 5 niveaux

Ce chapitre traite des essais menés sur une des trois topologies définies précédemment. Une première section vise à dimensionner et à réaliser l'inductance d'entrée L_{DC}. Ensuite, il traite de la conception des blocs de puissance. Il s'agit de décrire l'agencement de ce bloc ainsi que le filtre de sortie AC qui lui est associé. La section suivante rend compte des essais thermiques menés, l'objectif étant de déterminer la puissance maximale utilisée lors de ces essais. Enfin, la dernière partie du chapitre s'intéresse aux essais menés sur le CSI 5 niveaux et les premières formes d'ondes obtenues.

4.1 Dimensionnement et réalisation de l'inductance d'entrée L_{DC}

Après l'obtention de la valeur de l'inductance L_{DC} au chapitre précédent, il est nécessaire de dimensionner les grandeurs physiques de ce composant passif. Des simulations effectuées permettent de définir le cahier des charges.

Une fois L_{DC} déterminée, les contraintes de ce composant sont les suivantes. Premièrement, l'inductance doit présenter les pertes les plus faibles possibles. Elles sont réparties entre les pertes produites dans le matériau magnétique (noyau) et celles produites par le bobinage. Malgré le faible besoin de compacité dans l'application, cela peut être un critère retenu dans l'évaluation de la pertinence de cette topologie, puisque ce critère influe sur le coût et la quantité de matière utilisée.

Le courant moyen maximal appliqué a été défini précédemment, jusqu'à $12\,A$, produisant une ondulation maximale de $2,4\,A$. La tension maximale observée est de $2\,kV$. Par l'intermédiaire du chapitre 2, il est possible d'établir le dV/dt maximal, $dV/dt = 110\,kV/\mu s$. Le refroidissement par convection naturelle est préféré.

La réalisation a été confiée à CEFEM. Le matériau du noyau magnétique est de l'amorphe. Celui-ci a été choisi pour le bon rapport entre sa section A_{efer} et son champ de saturation B_{sat}. La Table 4.1 détaille les caractéristiques principales de l'inductance réalisée.

Paramètres	***Inductance***
Nombre de tours - N	62
Profondeur de noyau (mm)	51
Hauteur de fer (mm)	106
Largeur de culasse (mm)	26
Longueur de fer (mm)	104
Largeur de noyau (mm)	24
Hauteur de noyau (mm)	54

TABLE 4.1 – Caractéristiques de l'inductance de valeur $5,16\,mH$.

Au tableau précédent, il est nécessaire d'ajouter que les enroulements sont composés par des feuillards en cuivre de $28\,mm$ x $0,15\,mm$. L'enroulement a été réalisé sur deux noyaux mis en série pour des raisons de compacité. La Figure 4.1 est une photographie de l'inductance réalisée.

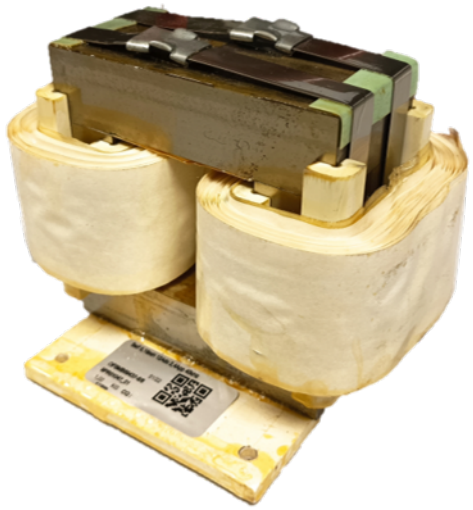

FIGURE 4.1 – Photographie de l'inductance L_{DC} de valeur $5,16\,mH$.

L'inductance est dimensionnée pour la topologie 3 niveaux mais est utilisée pour les essais du CSI 5 niveaux. Comme vu au chapitre précédent, la valeur entre les inductances L_{DC} et $L_{P,N}$ ne varie que peu (de $5,16\,mH$ à $4,46\,mH$ soit environ 13%). L'objectif initial étant de réaliser une comparaison entre les trois topologies, une seule valeur d'inductance, la plus élevée, a été réalisée pour les trois configurations.

4.2 Description du PBB

Cette première section est dédiée à la description des blocs de puissance (PBB). Il est composé d'un système de refroidissement, assemblage de ventilateurs et d'un dissipateur, de cartes de puissance où sont formées les interrupteurs du CSI et des drivers pilotant ces derniers.

4.2.1 Description du système de refroidissement

Un système de refroidissement doit être conçu afin d'évacuer les pertes générées par le fonctionnement des semi-conducteurs. Il doit être dimensionné pour le point de fonctionnement de l'onduleur de courant à puissance maximale. Le système de refroidissement est considéré propre à chaque PBB. Cette caractéristique autorise une plus grande modularité. Il est composé de deux parties, un dissipateur et des ventilateurs permettant de pratiquer de la convection forcée. Afin de limiter les pertes auxiliaires, un système utilisant un refroidissement liquide est écarté.

L'agencement des demi-matrices d'interrupteurs constituant le CSI permet d'envisager un dissipateur double face. Le dissipateur sélectionné est le W-GTL-100-A de Webra. Ses dimensions sont de 180 x 152 x 75 mm. La semelle du dissipateur (baseplate) étant de 180 x 152 mm, elle peut accueillir la totalité du PCB des demi-matrices d'interrupteurs.

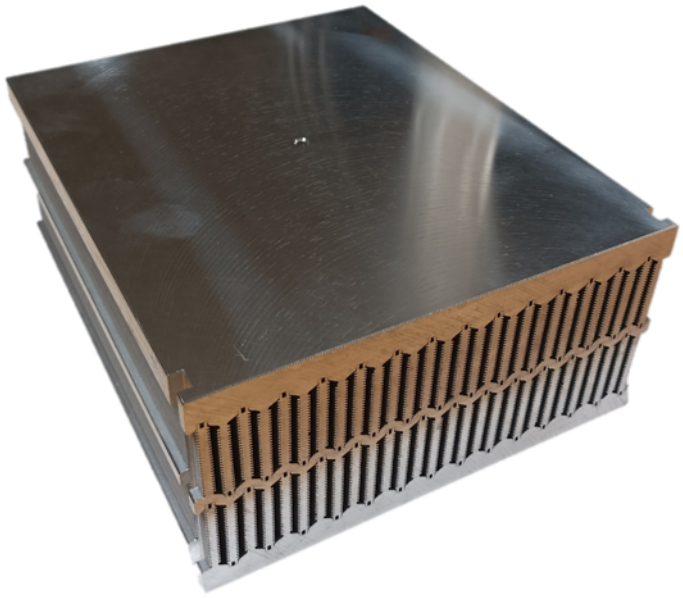

FIGURE 4.2 – Dissipateur Webra W-GTL-100-A.

Afin de réaliser de la convection forcée, des ventilateurs sont ajoutés à ce dissipateur (voir Figure 4.4). Le choix de ce ventilateur est dû à deux critères :

- Le système de ventilation ne doit pas avoir un débit fixe. Il est important de pouvoir ajuster la vitesse de ventilation. Un ventilateur contrôlé par PWM est donc privilégié.
- L'étude du système de dissipation n'étant pas le sujet principal de ces travaux de thèse, le ventilateur ne doit pas nécessairement correspondre à une utilisation optimale. De plus, il doit pouvoir compenser la chute de pression du dissipateur utilisé. Il peut alors être surdimensionné.
- Le facteur de forme entre le dissipateur et le ventilateur doit être le plus proche possible.

Le ventilateur San Ace 38 9GA0312P3K001 est retenu et a pour dimensions 38 x 38 x 28 mm. Pour réaliser le système de ventilation complet, chaque dissipateur est associé à 8 ventilateurs. L'association mécanique entre ces deux ensembles est réalisée par une pièce d'impression 3D. Le matériau choisi est du Polyamide (Nylon) chargé à 30% de verre. Il empêche à la pièce de subir une déformation jusqu'à une température minimum de $80°C$. Cette matière est donc adaptée à une élévation de température de son environnement et en particulier du dissipateur.

Une interface thermique est nécessaire afin d'isoler le PCB de la semelle du dissipateur. Elle doit suivre les critères suivants :

- Une tenue diélectrique suffisante, soit une tension de claquage V_{br} nettement supérieure à $2\,kV$.
- Une résistance thermique la plus faible possible afin de ne pas pénaliser la dissipation des pertes. Cette caractéristique peut à la fois concerner l'épaisseur de l'isolant et sa conductivité thermique λ.
- Avoir une surface suffisamment importante pour couvrir l'ensemble de la surface du PCB émettant les pertes. La surface de dissipation minimale est estimée à 75 x 75 mm.

L'interface sélectionnée est la référence SIL-PAD 2000 de Bergquist. Ses caractéristiques sont résumées dans la Table 4.2.

Paramètres	Valeurs
V_{br}	$> 4000\,V$
R_{th}	$0,57\,°C/W$
Surface	150 x $150\,mm$
λ	$3,5\,W/mK$
Épaisseur	$0,38\,mm$

TABLE 4.2 – Caractéristiques techniques de l'interface thermique SIL-PAD 2000 de Bergquist.

Afin d'assurer la bonne tenue de l'ensemble dissipateur-interface-PCB, une pièce de maintien mécanique est ajoutée. Le rôle de cette pièce est de créer le meilleur contact thermique possible entre ces différents éléments. Un mauvais contact provoque l'augmentation de la résistance thermique globale.

Cette pièce doit respecter plusieurs contraintes :

- Elle doit être isolée électriquement. Ce qui implique l'utilisation d'un matériau isolant.
- Elle ne doit pas se déformer sous l'effet de la chaleur environnante.
- Elle doit rendre solidaire l'ensemble dissipateur-interface-PCB.

La forme choisie est une étoile à trois branches pour être adaptée à la forme de la demi-matrice d'interrupteurs. Le matériau utilisé est du Polyamide (Nylon) chargé à 30% de verre. Cette pièce de maintien est vissée au dissipateur par les branches et au PCB par le centre via le plot central. La Figure 4.4 illustre cet ensemble.

4.2.2 Description de l'agencement du PBB

Après la description du système de dissipation thermique, il est possible de finaliser la constitution du PBB.

Le PBB est constitué par les éléments suivants :

- 2 cartes de puissance : chaque PCB accueille une demi-matrice d'interrupteurs et les condensateurs de découplage associés. Les dimensions de ces cartes sont adaptées au dissipateur utilisé.
- 6 cartes de commande : chacune des cartes de commande pilote les deux MOSFETs formant l'interrupteur du CSI. La forme de cette carte est adaptée aux contraintes de dimensions des cartes de puissance. Elles sont fixées sur celles-ci pour transmettre les signaux de commandes aux grilles des semi-conducteurs.
- 8 ventilateurs San Ace 38 9GA0312P3K001 comme décrit précédemment.
- 1 dissipateur double face W-GTL-100-A isolé électriquement des cartes de puissance par une interface thermique SIL-PAD 2000 sur chaque face.
- 2 pièces de maintien mécanique, une par face, réalisant le contact entre les cartes de puissance et le dissipateur.

- 3 arceaux reliant les phases des deux demi-matrices d'interrupteurs entre elles.

La Figure 4.3 montre le driver final utilisé.

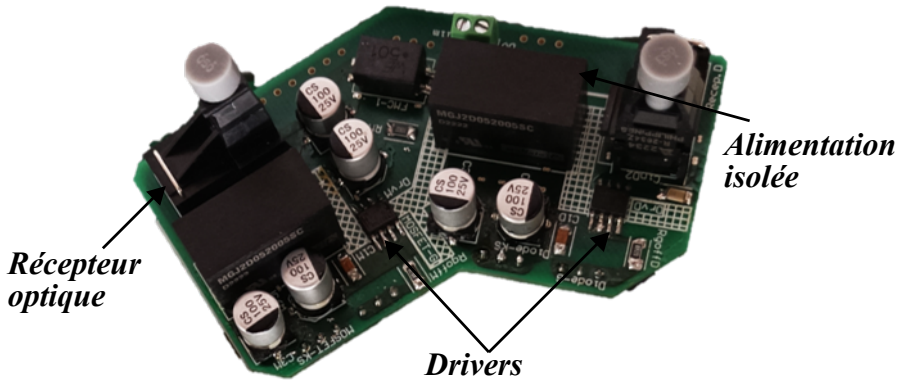

FIGURE 4.3 – Carte de commande utilisée pilotant deux grilles de MOSFET.

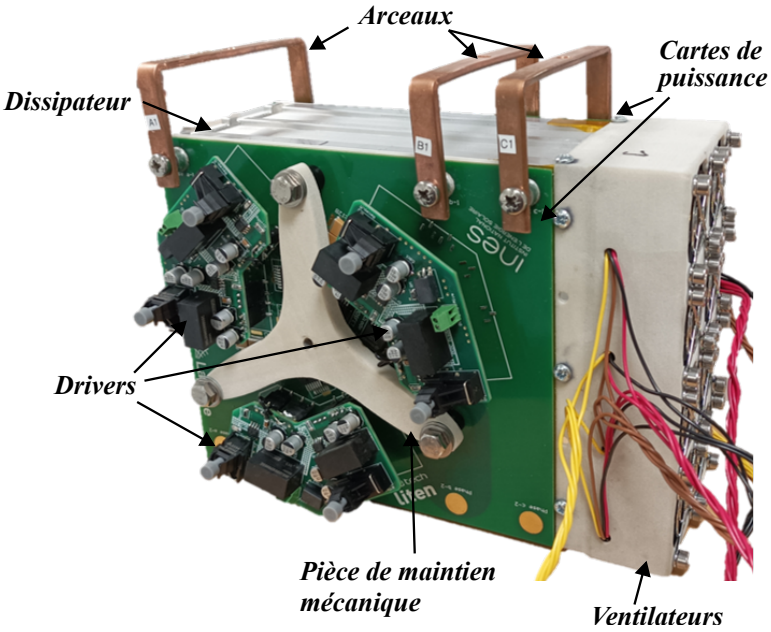

FIGURE 4.4 – Assemblage de la pièce de maintien mécanique, de l'ensemble dissipateur-ventilateurs, des cartes de puissance et des drivers formant un PBB.

4.2.3 Filtre de sortie AC

Comme discuté précédemment, le CSI nécessite un filtrage de sortie de type CL. La Figure 4.5 représente ce système de filtrage passif considéré. Ce filtre doit fonctionner pour les trois topologies considérées, CSI 3, 5 et 7 niveaux. Les trois topologies sont donc prises en compte dans le dimensionnement.

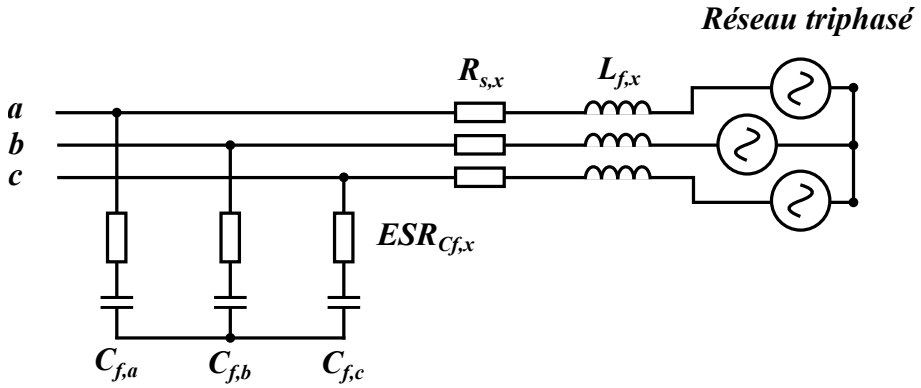

FIGURE 4.5 – Schéma du filtre AC de sortie de la topologie CSI.

Dans le filtrage ainsi défini, les condensateurs peuvent être connectés en étoile ou en triangle, modifiant de manière significative la qualité du courant filtré. Les condensateurs $C_{f,x}$ sont connectés en étoile, de manière à limiter la tension observée aux bornes par ceux-ci. L'inconvénient principal de cette configuration réside dans la valeur de capacité de filtrage, qui est trois fois inférieure à celle d'une configuration en triangle. Une inductance est ajoutée à chaque phase, elles sont notées $L_{f,x}$. Les résistances dues aux composants et à la longueur des connectiques sont considérées dans cette étude. La résistance $R_{s,x}$ est établie à $10\,m\Omega$.

Le filtrage doit permettre d'obtenir un Taux de Distorsion Harmonique pondéré (WTHD) inférieur à 3%. Après calculs [1] et simulations confirmant les valeurs, le couple de l'équation 4.1 permet de respecter cette valeur en tout point de fonctionnement des trois topologies.

$$\begin{aligned} C_{f,x} &= 2,35\,\mu F \\ L_{f,x} &= 250\,\mu H \end{aligned} \tag{4.1}$$

La valeur $C_{f,x}$ est réalisée par l'association série de deux condensateurs de $4,7\,\mu F$. Afin que ces condensateurs tiennent la tension $\hat{V}_{réseau}$, ils sont choisis en calibre $600\,V$. La référence EZPQ6047-5MTA convient à l'application. Leur résistance interne est de $ESR_{C_{f,x}} = 7\,m\Omega$. En rapport avec la section précédente, à $P_{n_{7n}} = 30,6\,kW$, la puissance dissipée par ces condensateurs est d'environ $3\,W$.

Le choix des inductances nécessite quelques étapes supplémentaires. La valeur d'inductance nécessaire au filtrage a été définie précédemment : $L_{f,x} = 250\,\mu H$. Le courant maximal considéré est déterminé à partir de $P_{n_{7n}} = 30,6\,kW$. La valeur de courant crête est ainsi de $\hat{I_{f,x}} = 18,5\,A$. Le choix du noyau magnétique dépend du produit $L_{f,x} \cdot \hat{I_{f,x}}^2$. Le noyau choisi est le 78729 de Magnetics.

Le noyau sélectionné a un facteur d'inductance, noté A_L de $219\,nH/T$. Il est conseillé de soustraire 8 % à cette valeur, tolérance admise lors de la fabrication du noyau. Il est alors possible de calculer le nombre de spires du bobinage :

$$N = \sqrt{\frac{L_{f,x} \cdot 10^3}{A_L}} = 38\,tours \tag{4.2}$$

La réduction de perméabilité du noyau avec la montée du courant doit être prise en compte. D'après le catalogue du constructeur, elle serait de 17 % à courant maximal. En reprenant les calculs précédents, il est nécessaire de réaliser $40\,tours$ de bobinage pour compenser cette perte de perméabilité. La valeur d'inductance calculée atteint ainsi :

$$L_{f,x} = 257,3\,\mu H \tag{4.3}$$

L'inductance de filtrage étant désormais dimensionnée, il est possible de déterminer les pertes à la fois dans le noyau et dans le bobinage. Celui-ci est réalisé à partir d'un fil de diamètre $1,5\,mm$. Les pertes ohmiques dans le bobinage sont donc calculées pour un courant délivré correspondant à la puissance nominale de chaque configuration de l'onduleur de courant, 3, 5 et 7 niveaux respectivement. Elles dépendent de la résistance totale du bobinage DCR et du courant efficace maximal $I_{eff,max}$. La valeur de DCR est évaluée à $32,11\,m\Omega$. La résistance AC des bobinages, notée R_{AC} est négligée dans les calculs suivants.

$$\begin{aligned} P_{bob_{max_{2n}}} &= DCR \cdot I^2_{eff,max_{3n}} = 0,58\,W \\ P_{bob_{max_{5n}}} &= DCR \cdot I^2_{eff,max_{5n}} = 2,32\,W \\ P_{bob_{max_{7n}}} &= DCR \cdot I^2_{eff,max_{7n}} = 5,5\,W \end{aligned} \tag{4.4}$$

Dans le cas du 7 niveaux, l'élévation de température ΔT_{bob} peut être déduite de ce calcul. Elle est estimée à $20,67\,°C$ dans le bobinage grâce à l'équation 4.5 où MLT représente la longueur moyenne de chaque tour de bobinage (donnée ici à $76,9\,mm/tour$) et D_{bob} le diamètre du fil de la bobine ($1,5\,mm$). Cette équation est donnée par le fabricant des noyaux magnétiques [2].

$$\Delta T_{bob} = \left(\frac{P_{bob_{max_{7n}}}}{MLT \cdot N \cdot \pi \cdot D_{bob}} \right)^{0,833} \tag{4.5}$$

Cette faible élévation évite l'ajout d'un système de dissipation aux inductances. Afin de déterminer les pertes dans le noyau P_{noyau}, l'équation simplifiée de Steinmetz [3] est utilisée. Avec a, b et c les coefficients propres au noyau magnétique, B_{max} le champ magnétique maximal et V_{noyau}, le volume du noyau magnétique, est obtenue l'équation suivante :

$$P_{noyau} = a \cdot B^b_{max} \cdot f^c_{réseau} \cdot V_{noyau} \tag{4.6}$$

Comme pour les pertes ohmiques dans le bobinage, les pertes maximales dans le noyau sont évaluées pour les trois topologies étudiées. Entre ces trois calculs, seule la valeur maximale du champ magnétique varie. Elles sont déterminées par calcul et confirmées par simulation.

$$\begin{aligned} B_{max_{3n}} &\simeq 0,2\,T \\ B_{max_{5n}} &\simeq 0,4\,T \\ B_{max_{7n}} &\simeq 0,6\,T \end{aligned} \tag{4.7}$$

Dans ce cas, $V_{noyau} = 29700\,mm^3$. Les pertes maximales dans le noyau peuvent être calculées :

$$\begin{aligned} P_{noyau_{max_{3n}}} &= 17,6\,mW \\ P_{noyau_{max_{5n}}} &= 71,1\,mW \\ P_{noyau_{max_{7n}}} &= 161\,mW \end{aligned} \tag{4.8}$$

Il est possible de déduire de ces calculs que les pertes sont principalement dues au bobinage. Les faibles pertes dans le noyau s'expliquent par la faible fréquence ($50\,Hz$) perçue par l'inductance. Ces calculs seront utilisés en suivant pour séparer les différents types de pertes obtenues dans les essais expérimentaux. Un PCB spécifique est réalisé pour ce filtre AC. Il doit permettre d'y connecter les trois PBB via les arceaux décrits dans la section précédente.

4.3 Caractérisation de la dissipation thermique

Cette section a pour but de décrire les essais expérimentaux réalisés pour caractériser les performances du système de dissipation. Le chemin thermique allant de la jonction des MOSFETs jusqu'à l'air ambiant est composé de plusieurs résistances thermiques intermédiaires. De plus, les couplages thermiques ne sont pas pris en compte dans ce modèle simplifié. Une caractérisation de ce chemin thermique est donc nécessaire pour connaître la capacité de dissipation de ce système.

La caractéristique thermique de l'ensemble est illustrée par la Figure 4.6. Elle comprend l'association de la chute de pression du dissipateur et de sa résistance thermique $R_{th,HS-Amb}$ en fonction du débit d'air. La caractéristique du ventilateur est également tracée pour trois valeurs de PWM, 100%, 50% et 0% renseignées par sa fiche technique. Nous considérons que l'association des ventilateurs produit un débit multiplié par 8.

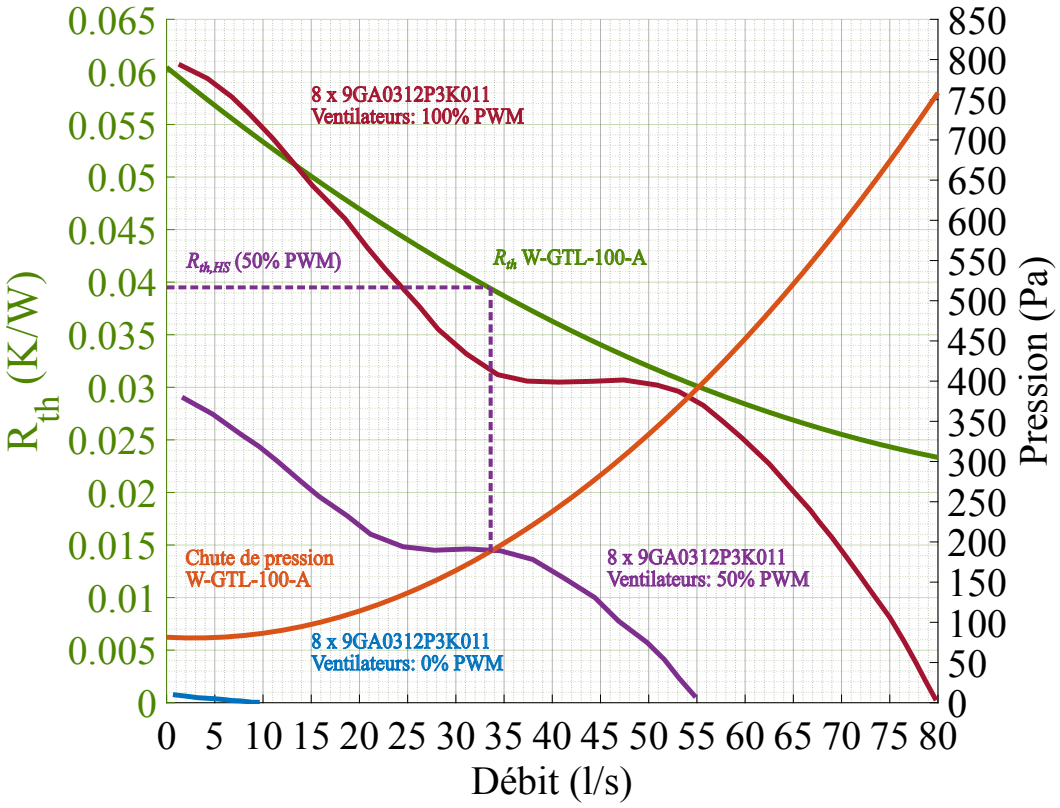

FIGURE 4.6 – Caractéristique thermique du dissipateur W-GTL-100-A et des ventilateurs 9GA0312P3K001.

Les valeurs de $R_{th,HS-Amb}$ pour trois valeurs de PWM des ventilateurs sont résumées dans la Table 4.3 :

8 x 9GA0312P3K001 et W-GTL-100-A	20% PWM	50% PWM	100 % PWM
$R_{th,HS-Amb}(K/W)$	0,05	0,04	0,03

TABLE 4.3 – Valeurs de $R_{th,HS-Amb}$ pour trois valeurs de PWM des ventilateurs 9GA0312P3K001.

4.3.1 Protocole expérimental des essais de caractérisation de la dissipation thermique

Pour caractériser le chemin thermique global, un protocole est mis en place. Les objectifs sont les suivants :

- Déterminer la résistance thermique équivalente globale et ainsi fixer la puissance nominale que peut délivrer chaque PBB.
- Confirmer que la forme de la demi-matrice d'interrupteurs a une répartition des pertes équilibrée.
- Permettre l'ajustement de la vitesse des ventilateurs et des vis de la pièce de maintien mécanique qui influencent la résistance thermique globale.

Le protocole consiste à faire chauffer les semi-conducteurs et de mesurer à la fois la température de jonction des MOSFETs et la température ambiante pour en déduire la résistance du chemin thermique globale $R_{th_{totale}}$. Pour provoquer l'élévation en température, il est possible de faire passer du courant DC à travers les diodes de corps des MOSFETs, dans le sens Source-Drain. Pour cela, les connexions entre les composants M_x et D_x sont modifiées, sans altérer la géométrie initiale de la demi-matrice d'interrupteurs. Le MOSFET G2R120MT33J n'étant pas disponible lors des essais, un substitut est utilisé. Il est nécessaire que le boîtier soit aussi un TO-263-7 et que la résistance thermique $R_{th,j-c}$ soit la même pour le G2R120MT33J que pour le substitut, c'est-à-dire de $0,4\,K/W$. Ainsi, le MOSFET IRFS4115-7PPbF d'Infineon est sélectionné. Ses principales caractéristiques sont résumées par la Table 4.4.

Paramètres	Valeur	Unité
V_{br}	150	V
$R_{DS_{on}}(T_j = 25°C)$	10	$m\Omega$
$I_{DS}(T_c = 100°C)$	74	A
$R_{th_{j-c}}$	0,4	K/W
$T_{j_{max}}$	175	$°C$

TABLE 4.4 – Caractéristiques du MOSFET Si $150\,V$ IRFS4115-7PPb d'Infineon.

Pour connaître T_j avec précision, on utilise un paramètre thermosensible des MOSFETs : la caractéristique $I_d\,(V_f, T_j)$ de la diode de corps. Pour connaître ce paramètre, le composant IRFS4115-7PPb est caractérisé par l'intermédiaire de l'analyseur de composants Keysight B1506A. Celle-ci est faite pour $I_d\,(V_f)$ pour cinq valeurs de T_j allant de 25 à $125°C$, sur plusieurs IRFS4115-7PPb. Les courbes pour ces cinq valeurs sont tracées sur la Figure 4.7.

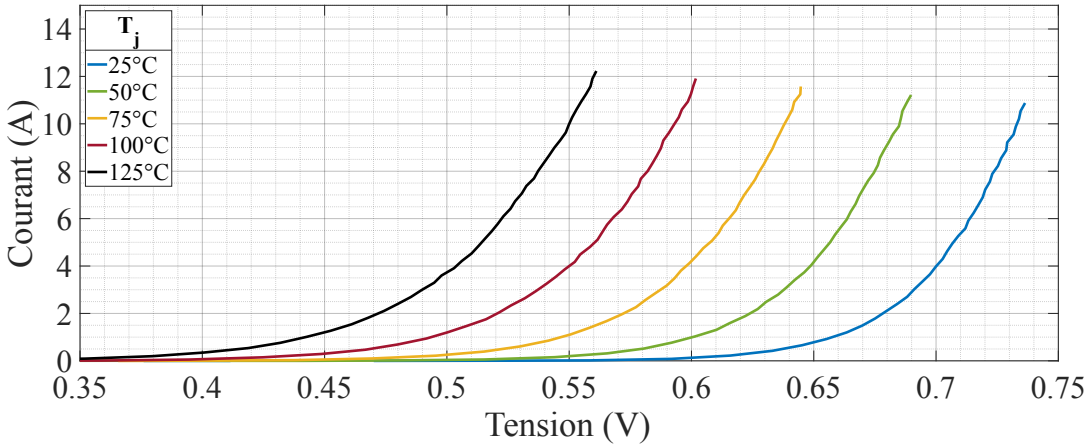

FIGURE 4.7 – $I_d\,(V_f)$ de la diode de corps MOSFET Si IRFS4115-7PPb pour T_j allant de 25 à 125°C.

Les résultats de la figure précédente sont utilisés pour généraliser $I_d\,(V_f, T_j)$ grâce à la méthode d'interpolation linéaire précédente. Le circuit électrique utilisé pendant ces essais thermiques est présenté par la Figure 4.8. Seule la demi-matrice P est caractérisée. Afin d'équilibrer le courant entre les trois interrupteurs, trois sources de courant I_{DC} sont utilisées séparément. Le courant n'est pas équilibré dans la demi-matrice N. Un shunt (3020-01103-0 de Murata Power Solution $500\,A/50\,mV$) est placé dans le circuit de chacun de ces interrupteurs. Il est utile à la mesure de courant I_d. Pour la mesure de V_f, un multimètre est placé entre le drain et la source du composant en test. Cette configuration permet de connaître la $R_{th_{totale}}$ pour les six composants D_x et M_x de la demi-matrice.

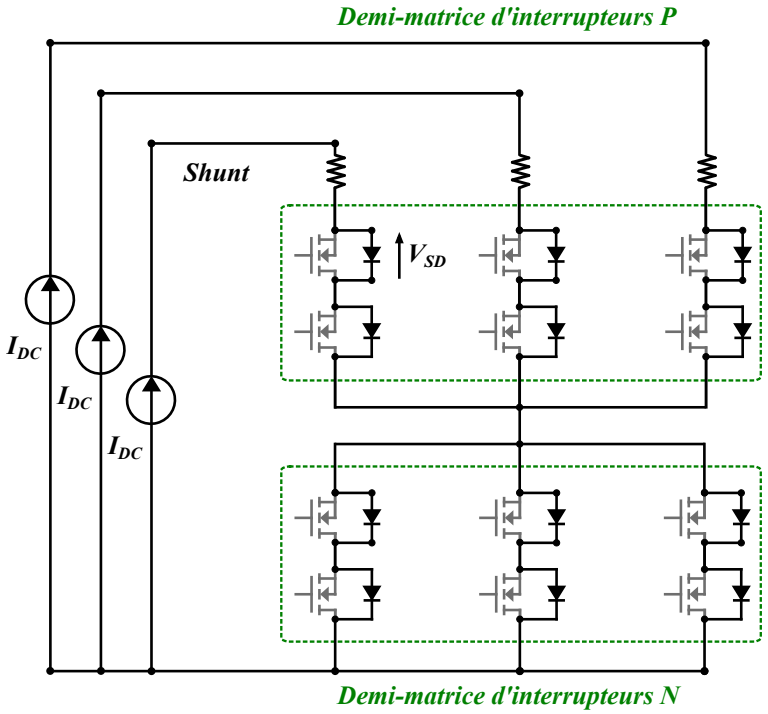

FIGURE 4.8 – Schéma du circuit électrique des essais thermiques.

Les calculs de la puissance dissipée $P_{cond_{Diode}}$ et de la $R_{th_{totale}}$ sont donnés par les équations suivantes :

$$P_{cond_{Diode}} = V_f \cdot I_d \tag{4.9}$$

Pour en déduire la montée en température, il est nécessaire de connaître la température ambiante T_{amb}. Elle est mesurée à l'aide d'un thermocouple. L'équation reliant les températures, les pertes et la résistance thermique $R_{th_{totale}}$ est notée ci-dessous :

$$R_{th_{totale}} = \frac{T_j - T_{amb}}{P_{cond_{Diode}}} \tag{4.10}$$

La configuration du chemin thermique est représentée par la Figure 4.9. L'interface thermique est placée entre le PCB et le dissipateur. Elle est traversée par les vis de la pièce de maintien.

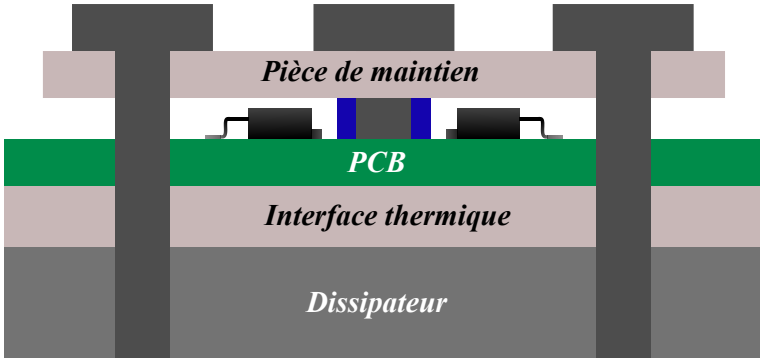

FIGURE 4.9 – Configuration de l'interface thermique.

4.3.2 Résultats des essais de caractérisation

Réglage de la vitesse des ventilateurs

Le premier objectif est d'ajuster la vitesse de rotation des ventilateurs. Deux valeurs de PWM sont testées, 20% et 100% de PWM. Ces valeurs correspondent respectivement à environ 10 000 et 25 000 $tours/min$. Pour ces premiers tests, la configuration de l'interface thermique utilisée est celle présentée par la Figure 4.9 a). Le couple de serrage des vis de maintien est réglé à 5 Nm.

La Table 4.5 synthétise les résultats obtenus lors des essais à 20% de PWM, pour deux valeurs de courant différentes, 14 et 17 A. La Figure 4.10 résume $P_{cond_{Diode}}$ et $R_{th_{totale}}$ déduites lors de ces deux premiers essais.

Essai n°	**Courant de référence** (A)	**Courant Shunt 2** (A)	**Courant Shunt 3** (A)	T_j ($°C$) **MOSFET 2**	T_j ($°C$) **Diode 2**	T_j ($°C$) **MOSFET 3**	T_j ($°C$) **Diode 3**	T_{Amb} ($°C$)
1	14	13,77	13,97	89,27	93,42	88,05	94,98	20,25
2	17	16,7	16,96	111,64	114,52	112,01	117,75	20,63

TABLE 4.5 – Résultats des essais thermiques n°1 et 2.

Essai n°	**DUT**	**Puissance dissipée** (W)	$R_{th,totale}$ (K/W)
1	MOSFET 2	$8,74$	$7,89$
	Diode 2	$8,63$	$8,47$
	MOSFET 3	$8,90$	$7,62$
	Diode 3	$8,74$	$8,56$
2	MOSFET 2	$10,40$	$8,75$
	Diode 2	$10,30$	$9,11$
	MOSFET 3	$10,58$	$8,63$
	Diode 3	$10,23$	$9,49$

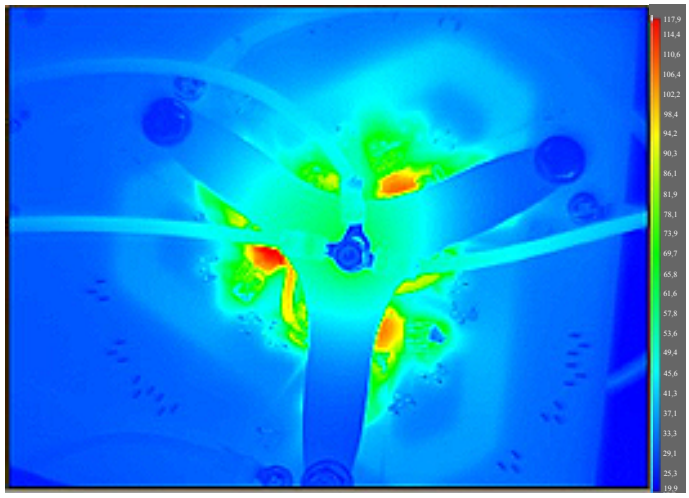

FIGURE 4.10 – $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°1 et 2 (à gauche) et image infrarouge de la demi-matrice P lors de l'essai n°2 (à droite).

Les essais n°3 et 4 voient la PWM être augmentée à la valeur de 100 %. Les résultats sont illustrés par les Tables 4.6 et 4.7.

Essai n°	**Courant de référence** (A)	**Courant Shunt 2** (A)	**Courant Shunt 3** (A)	T_j $(°C)$ **MOSFET 2**	T_j $(°C)$ **Diode 2**	T_j $(°C)$ **MOSFET 3**	T_j $(°C)$ **Diode 3**	T_{Amb} $(°C)$
3	14	$13,78$	$13,97$	$85,21$	$89,26$	$86,05$	$91,59$	$20,81$
4	17	$16,74$	$16,96$	$107,7$	$112,71$	$109,41$	$115,08$	$20,55$

TABLE 4.6 – Résultats des essais thermiques n°3 et 4.

Essai n°	**DUT**	**Puissance dissipée** (W)	$R_{th,totale}$ (K/W)
3	MOSFET 2	$8,84$	$7,29$
	Diode 2	$8,74$	$7,83$
	MOSFET 3	$8,95$	$7,28$
	Diode 3	$8,82$	$8,02$
4	MOSFET 2	$10,72$	$8,12$
	Diode 2	$10,38$	$8,87$
	MOSFET 3	$10,66$	$8,34$
	Diode 3	$10,49$	$9,01$

TABLE 4.7 – $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°3 et 4.

Les deux tables précédentes montrent que l'utilisation d'une plus forte vitesse de rotation des ventilateurs a peu d'influence sur la $R_{th_{totale}}$. Entre l'essai n°2 et 4, la diminution la plus importante est seulement de 7%. Or, élever cette vitesse provoque une augmentation de la consommation de ces composants. Elles est intégrée dans les pertes. Elles sont notées $P_{ventilateurs}$ et sont mesurées pour les deux cas précédents :

$$\begin{aligned} P_{ventilateurs_{20\%}} &\simeq 10,5\,W \\ P_{ventilateurs_{100\%}} &\simeq 60\,W \end{aligned} \tag{4.11}$$

Ainsi, la consommation est multipliée par six entre les deux essais. En reprenant les résultats de la Figure 2.37 et y en intégrant les pertes générées par les ventilateurs avec une PWM de 20%, le rendement est autour de $\eta = 98,10\%$ au point $(V_{MPP_{min}}; I_{MPP_{max}})$. En utilisant les ventilateurs à 100% de PWM, le rendement en intégrant ces pertes descend à $97,84\%$. Il est donc plus efficient d'utiliser les ventilateurs à 20% de PWM. La valeur de PWM optimale théorique n'est pas recherchée plus en détail, 20% de PWM est la valeur sélectionnée pour les essais suivants et ainsi $R_{th,HS-Amb}$ est de $0,1\,K/W$.

Réglage des vis de la pièce de maintien

Les essais suivants visent à régler le couple de serrage des vis de la pièce de maintien afin d'obtenir la résistance thermique la plus faible possible. Après plusieurs itérations, il est déterminé que celle-ci est minimale lorsque le couple de serrage est de $0,9\,Nm$. Les Tables 4.8 et 4.11 montrent les résultats de ces essais notés 5 et 6.

Essai n°	**Courant de référence** (A)	**Courant Shunt 2** (A)	**Courant Shunt 3** (A)	T_j $(°C)$ **MOSFET 2**	T_j $(°C)$ **Diode 2**	T_j $(°C)$ **MOSFET 3**	T_j $(°C)$ **Diode 3**	T_{Amb} $(°C)$
5	14	13,77	13,96	77,11	90,53	77,66	89,97	20,3
6	17	16,73	16,96	100,3	113,56	100,86	114,27	20,4

TABLE 4.8 – Résultats des essais thermiques n°5 et 6.

Essai n°	DUT	Puissance dissipée (W)	$R_{th,totale}$ (K/W)
5	MOSFET 2	9,05	6,27
	Diode 2	8,70	8,07
	MOSFET 3	9,16	6,26
	Diode 3	8,85	7,82
6	MOSFET 2	10,79	7,41
	Diode 2	10,35	9,01
	MOSFET 3	10,92	7,32
	Diode 3	10,52	8,92

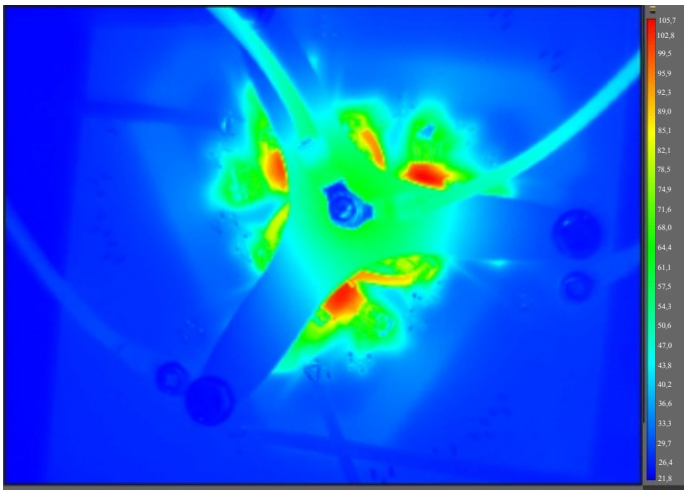

FIGURE 4.11 – $P_{cond_{Diode}}$ et $R_{th_{totale}}$ obtenues lors des essais n°5 et 6 (à gauche) et image infrarouge de la demi-matrice P lors de l'essai n°6 (à droite).

Ces essais montrent que les résistances thermiques des composants D_x, ici Diode 2 et Diode 3, diminuent légèrement entre les essais n°1 et 5 d'une part et n°2 et 6 d'autre part. Par exemple, cet écart n'est que de 6% pour la Diode 3 entre les essais n°2 et 6. Cependant, on observe que cette résistance diminue plus fortement pour les composants M_x. Cet écart est d'environ 15% pour le MOSFET 3 entre les essais n°2 et 6.

Ces données montrent également que le desserrage opéré entre ces essais a réduit les écarts entre les composants ayant la même fonction, égalisant ainsi les $R_{th_{totale}}$.

Ces essais dédiés à la dissipation thermique du PBB ont permis de déterminer la $R_{th_{totale}}$. Cette nouvelle donnée est intégrée dans l'outil de pré-dimensionnement en prévision du fonctionnement des topologies de CSI étudiées.

4.4 Essais CSI 5 niveaux

Cette section est dédiée aux essais expérimentaux de l'onduleur de courant 5 niveaux réalisés au cours de ces travaux de thèse. Ces expérimentations visent à évaluer le bon fonctionnement de l'architecture et de la stratégie de modulation décrites précédemment. Le contrôle-commande est réalisé via une système de contrôle de prototypage rapide (rapid control prototyping) de chez Imperix (B-BOX RCP). Le redressement synchrone n'est pas utilisé ici par manque de temps, limitant de fait la puissance maximale atteignable par l'onduleur.

4.4.1 Mise en place du banc d'essai

Ces essais se sont déroulés en deux étapes. La première a consisté à valider chacun des PBB. La modulation n°2 du CSI 3 niveaux a été utilisée pour la séquence de commutation. Une alimentation EA-PS 10000 4U délivre la tension d'entrée V_{DC}. Un banc capacitif est utilisé pour filtrer le courant de sortie. Les inductances de $5,16\,mH$ sont placées en entrée de chaque demi-matrice d'interrupteurs. Les blocs sont connectés à la carte de filtrage CL. Un transformateur triphasé $1500\,V/400\,V$ de

$50\,kVA$ est placé en sortie du convertisseur permettant ici d'abaisser la tension jusqu'à la charge triphasée $400\,V$ de $8\,kW$. La Figure 4.12 schématise l'installation utilisée pour cette deuxième étape, de manière similaire à la première.

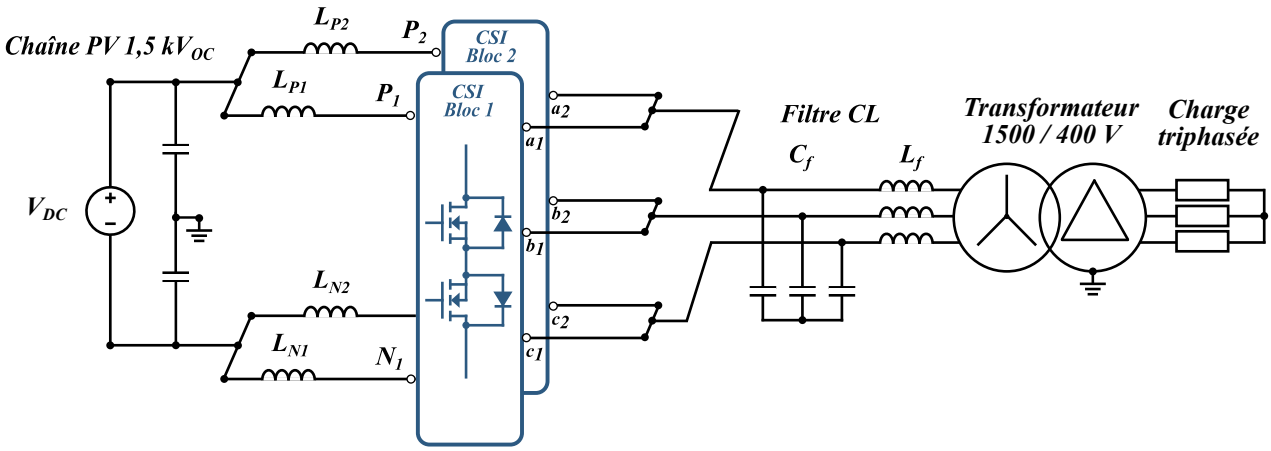

FIGURE 4.12 – Schéma du CSI 5 niveaux lors des essais expérimentaux.

La Figure 4.13 montre le banc d'essai lors de la validation du PBB n°1, en configuration CSI 3 niveaux. Seuls le banc capacitif et la charge triphasée n'y sont pas visibles.

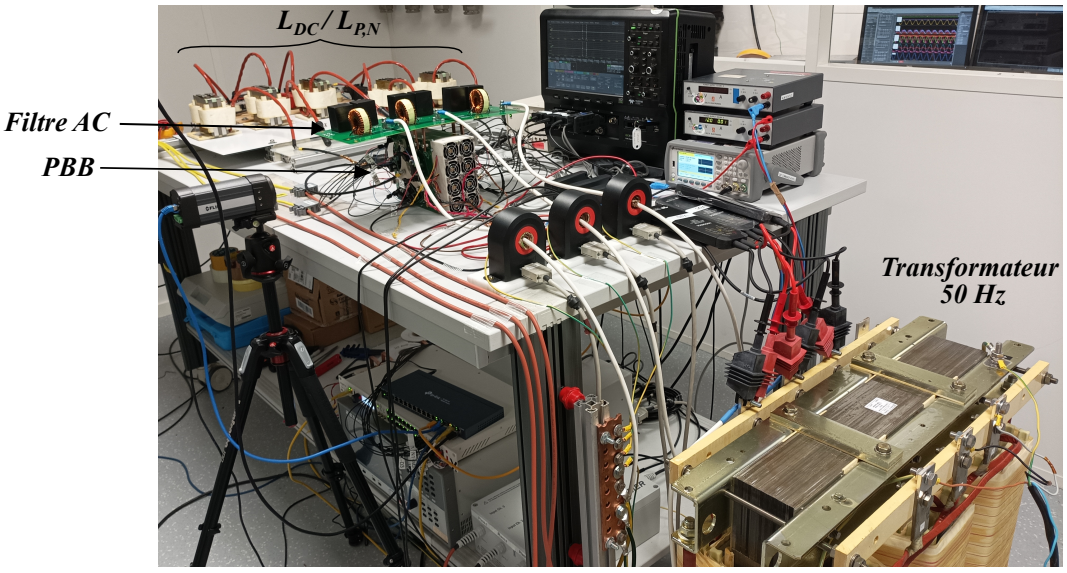

FIGURE 4.13 – Banc d'essai expérimental lors de la validation du PBB n°1.

L'étape suivante a été dédiée à la mise en place de l'architecture 5 niveaux, en y associant les deux blocs de puissance. La mise en parallèle des deux PBB provoque une modification du montage, illustrée par la Figure 4.14.

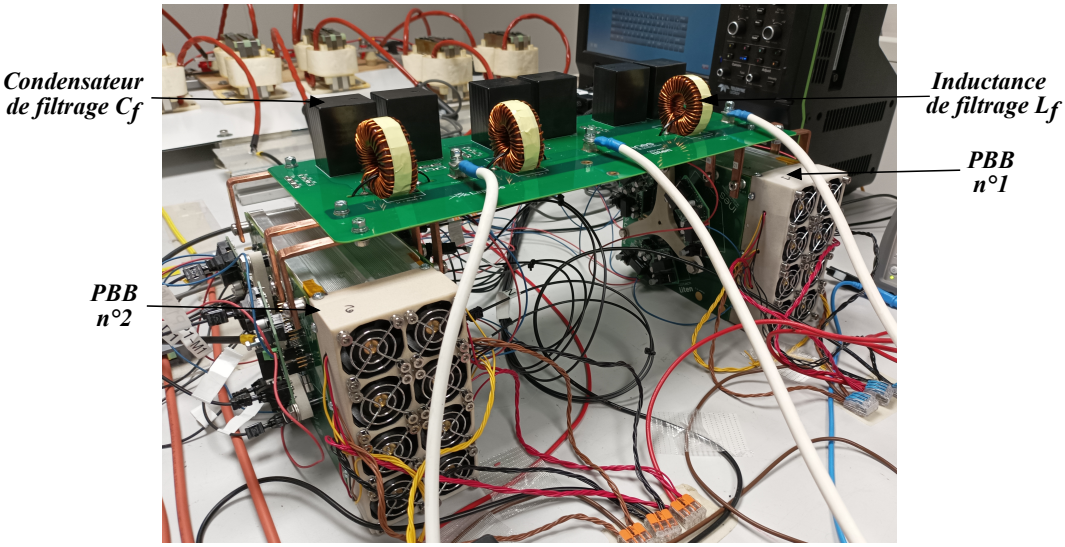

FIGURE 4.14 – Mise en parallèle de deux PBB formant les matrices d'interrupteurs du CSI 5 niveaux.

4.4.2 Instrumentation et implémentation de la commande

Les sondes utilisées durant ces expérimentations sont notées dans la Table 4.9. Les principales grandeurs mesurées sont la tension du bus d'entrée, V_{DC}, les tensions entre phases V_{ab}, V_{bc} et V_{ca}, les courants dans les inductances d'entrée L_{P1} et L_{P2} ainsi que le courant parcourant la phase a.

Sonde	**Modèle**	**Bande passante** (MHz)
Sonde de courant 30 A	Hyoki CT6711	120
Sonde de courant 150 A	Teledyne LeCroy CP150	10
Sonde de tension différentielle	Teledeyne LeCroy HVD3106 1 kV	120
Sonde de tension différentielle	Teledeyne LeCroy HVD3605A 6 kV	100

TABLE 4.9 – Liste des sondes utilisées lors des essais préliminaires sur le CSI 5 niveaux.

4.4.3 Équilibrage du courant dans les inductances d'entrée

De par la présence de deux PBB dans la topologie CSI 5 niveaux, il est nécessaire d'équilibrer le courant d'entrée I_{DC} de chacun des blocs. L'équilibrage est indispensable pour assurer le bon fonctionnement du système de conversion, notamment à puissance nominale où un important déséquilibre pourrait se traduire par plusieurs problématiques :

- La saturation d'une ou plusieurs inductances d'entrée.
- Le dépassement de la température de jonction maximale des semi-conducteurs.
- La dégradation du THD du courant injecté sur le réseau.

Afin de réaliser cet équilibrage, une régulation est mise en place. L'utilisation d'une stratégie de modulation de type SVM impose une méthode spécifique décrite dans [4]. En effet, la régulation se fait par la modification des temps d'application T_a, T_b et T_c à l'intérieur même des séquences. Ces temps sont modifiés par l'ajout de coefficients correcteurs notés δ_a, δ_b et δ_c. Les séquences sont modifiées ainsi :

Séquence	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
Coefficients correcteurs	$\frac{+\delta_c}{2}$	$+\delta_a$	$+\delta_b$	$-\delta_c$	$-\delta_a$	$-\delta_b$	$\frac{+\delta_c}{2}$

TABLE 4.10 – Séquence de commutation d'un onduleur de courant 5 niveaux intégrant les coefficients correcteurs.

La Table 4.10 montre que chaque coefficient se voit ajouté sur un des segments et soustrait sur son segment complémentaire. Cette caractéristique permet ainsi d'assurer que la séquence a toujours pour période T_{dec}.

Pour déterminer les valeurs de ces coefficients correcteurs, la mesure du courant est réalisée sur les quatre inductances L_P et L_N. Cette mesure permet de réguler le courant entre les deux blocs de puissance, sur les deux demi-matrices d'interrupteurs P et N. La différence entre ces courants permet d'obtenir un indice de correction pour chaque demi-matrice δ_P et δ_N. Ces deux coefficients sont alors associés à δ_a, δ_b et δ_c suivant le signe des tensions simples en sortie de convertisseur. Il est donc nécessaire de réaliser une mesure de ces tensions et de connaître le secteur et la région traversée à chaque instant. Cette technique impose aussi de nombreuses mesures et un système correctif plus élaboré. Malheureusement, cet asservissement n'a pas pu être mené à terme lors des essais sur le CSI 5 niveaux.

Au cours des essais menés, seules deux mesures de courant sont faites, sur L_{P2} et L_{N1}. La régulation se fait donc entre ces deux courants. Un correcteur de type proportionnel est utilisé. La sortie de celui-ci donne la valeur δ. Cet indice de correction est ajouté ou retranché selon la région traversée :

Séquence	***Seg. 1***	***Seg. 2***	***Seg. 3***	***Seg. 4***	***Seg. 5***	***Seg. 6***	***Seg. 7***
Temps d'application	$T_c/4$	$T_a/2$	$T_b/2$	$T_c/2$	$T_a/2$	$T_b/2$	$T_c/4$
I	-	$+\delta$	$+\delta$	-	$-\delta$	$-\delta$	-
II	-	$+\delta$	$+\delta$	-	$-\delta$	$-\delta$	-
III	$+\delta$	-	-	$-\delta$	-	-	$+\delta$
IV	$+\delta$	-	-	$-\delta$	-	-	$+\delta$

TABLE 4.11 – Séquence de commutation d'un onduleur de courant 5 niveaux intégrant les coefficients correcteurs utilisés lors des essais expérimentaux.

4.4.4 Étude des formes d'ondes

Variation du temps de chevauchement

Une première série d'essais vise à estimer si le temps de chevauchement T_{OL} défini est suffisant. Cette série d'essais est réalisée à puissance réduite. Le transformateur n'est pas utilisé, il n'est pas nécessaire d'abaisser la tension jusqu'à la charge résistive. Toutes les formes d'ondes présentées en suivant ont subi un filtrage numérique. Le filtre utilisé est une moyenne mobile. La fréquence de découpage est de $f_{dec} = 40\,kHz$.

Les formes d'ondes présentées par la Figure 4.15 correspondent aux tensions entre phases pour deux valeurs de T_{OL}, respectivement $1\,\mu s$ et $500\,ns$ à $V_{DC} = 50\,V$ et $M = 0,45$.

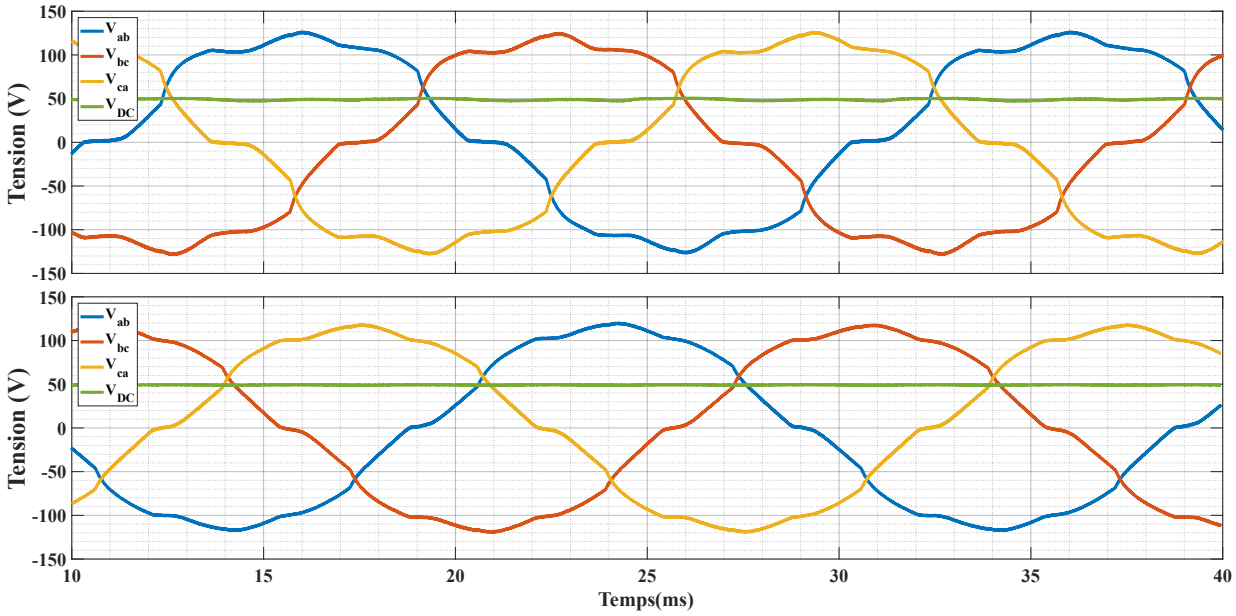

FIGURE 4.15 – Tensions entre phases V_{ab}, V_{bc} et V_{ca} et tension d'entrée $V_{DC} = 50\,V$ pour $M = 0,45$ et pour $T_{OL} = 1\,\mu s$ (en haut) et $T_{OL} = 500\,ns$ (en bas).

La figure précédente montre qu'un temps de chevauchement trop important dégrade la qualité des tensions de sortie, comme c'est le cas dans cet exemple. Le THD est de $48,49\%$ pour un T_{OL} de $500\,ns$ contre $50,66\%$ pour $1\,\mu s$. Deux autres essais sont réalisés dans des conditions similaires, où seule la valeur de M est modifiée, ici $M = 0,75$.

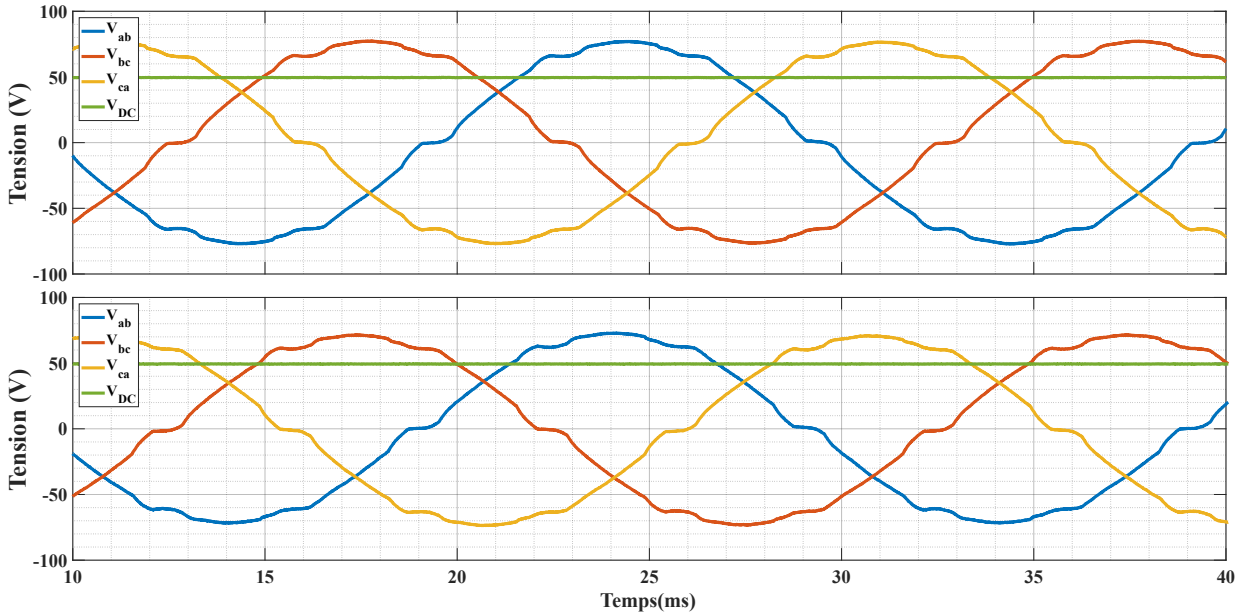

FIGURE 4.16 – Tensions entre phases V_{ab}, V_{bc} et V_{ca} et tension d'entrée $V_{DC} = 200\,V$ pour $M = 0,75$ et pour $T_{OL} = 1\,\mu s$ (en haut) et $T_{OL} = 500\,ns$ (en bas).

Sur ces deux derniers essais, le THD est respectivement de $12,66\%$ pour $T_{OL} = 1\,\mu s$ et de $12,5\%$ pour $T_{OL} = 500\,ns$. Le temps dédié au chevauchement étant plus important à $M = 0,45$ qu'à $M = 0,75$, son augmentation dégrade plus fortement le THD dans le premier cas que dans le second.

Cependant, il est à noter que ces expérimentations ne permettent pas de confirmer qu'un temps de chevauchement de $500\,ns$ est un temps suffisant pour assurer la continuité de la source de courant lors de la commutation entre deux interrupteurs.

Formes d'ondes du courant de ligne non filtré

La série suivante d'essais a pour objectif de vérifier le bon fonctionnement de la modulation. Il s'agit en particulier de vérifier que le courant commuté par les interrupteurs est bien en 3 niveaux à faible valeur et en 5 niveaux à forte valeur de M. Le courant est donc mesuré dans la phase a en amont de la carte de filtrage AC. Les Figures 4.17 et 4.18 illustrent cette série d'essais.

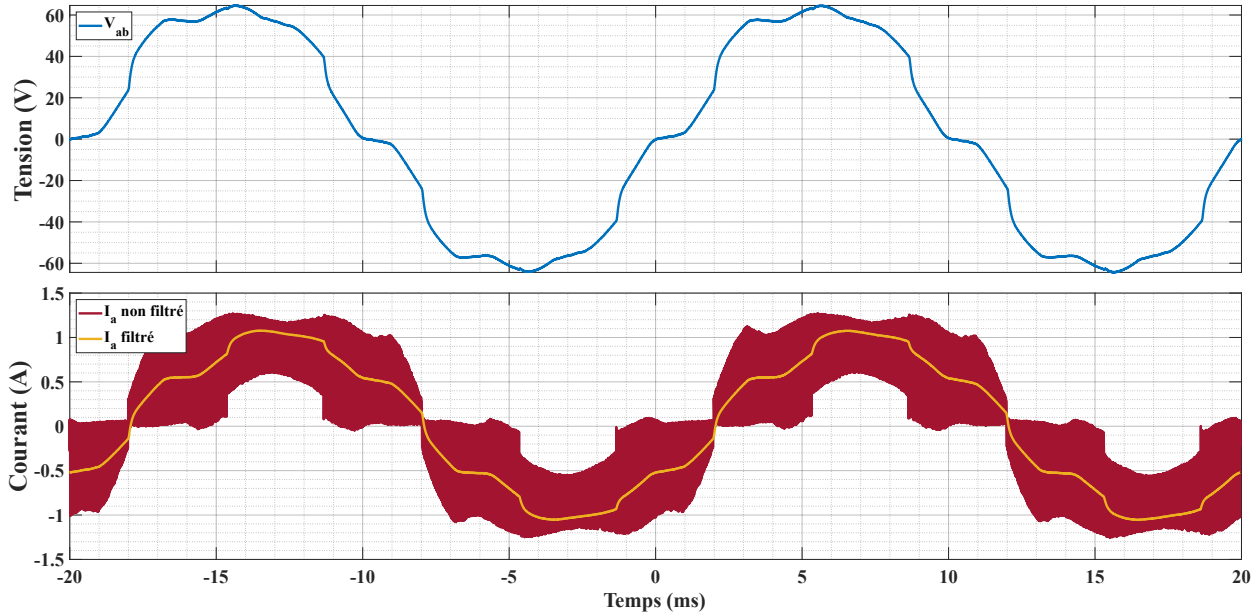

FIGURE 4.17 – Tensions entre phases V_{ab} (en haut) et I_a non filtré (en rouge) et filtré (en jaune) (en bas) pour $V_{DC} = 30\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$.

Les formes d'ondes obtenues mettent en évidence que le courant de ligne non filtré (ici de la phase a) correspond bien à 3 trois niveaux. Après comparaison faite avec la Figure 3.17, la forme de ce courant y est différente car la mesure est effectuée entre les condensateurs de découplage et la carte de filtrage AC. Ce courant de sortie est donc déjà partiellement filtré. Il en est de même pour la figure suivante.

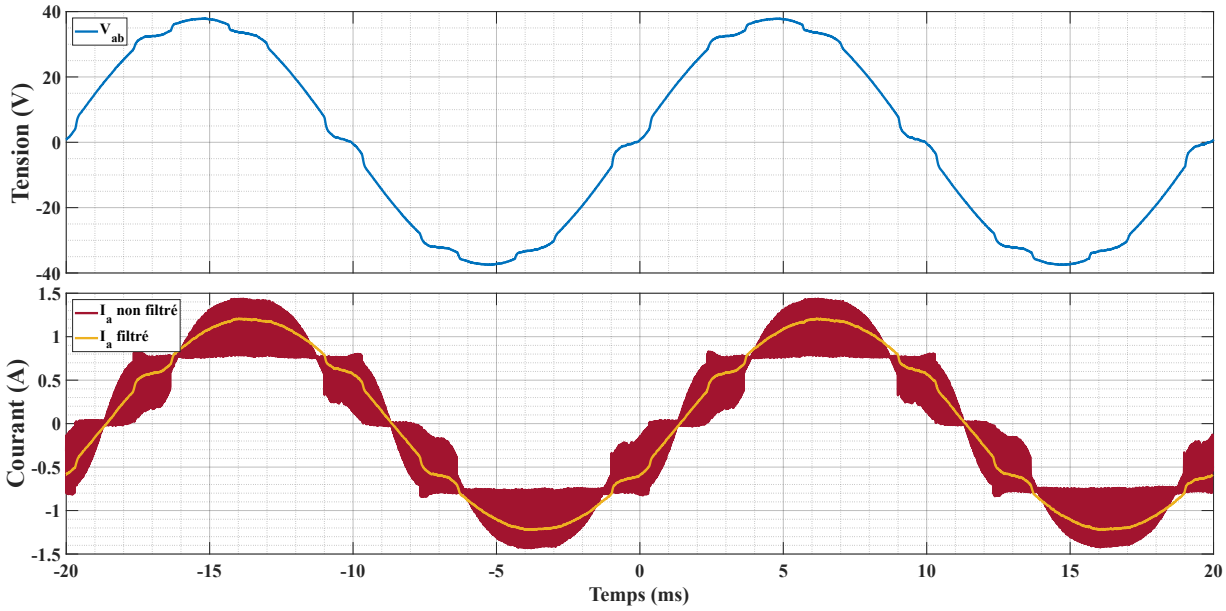

FIGURE 4.18 – Tensions entre phases V_{ab} (en haut) et I_a non filtré (en rouge) et filtré (en jaune) (en bas) pour $V_{DC} = 30\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$.

Cette dernière figure montre que le courant est découpé entre cinq valeurs du courant, de la même manière que lors des simulations et illustré par la Figure 3.18 dans le chapitre précédent. Il est alors possible d'en conclure que la modulation mise en place précédemment est opérationnelle.

Formes d'ondes sur charge résistive

Les deux figures suivantes montrent des essais du CSI 5 niveaux sur charge résistive à deux valeurs de M, sans transformateur intermédiaire. Ils sont utilisés pour évaluer la régulation du courant entre les inductances. Pour cela, les courants de L_{P1} et L_{P2} sont mesurés. La tension commutée par un interrupteur est également mesurée.

La Figure 4.19 représente l'essai à $M = 0,45$. Il atteste que les courants sont équilibrés entre les deux inductances d'entrée.

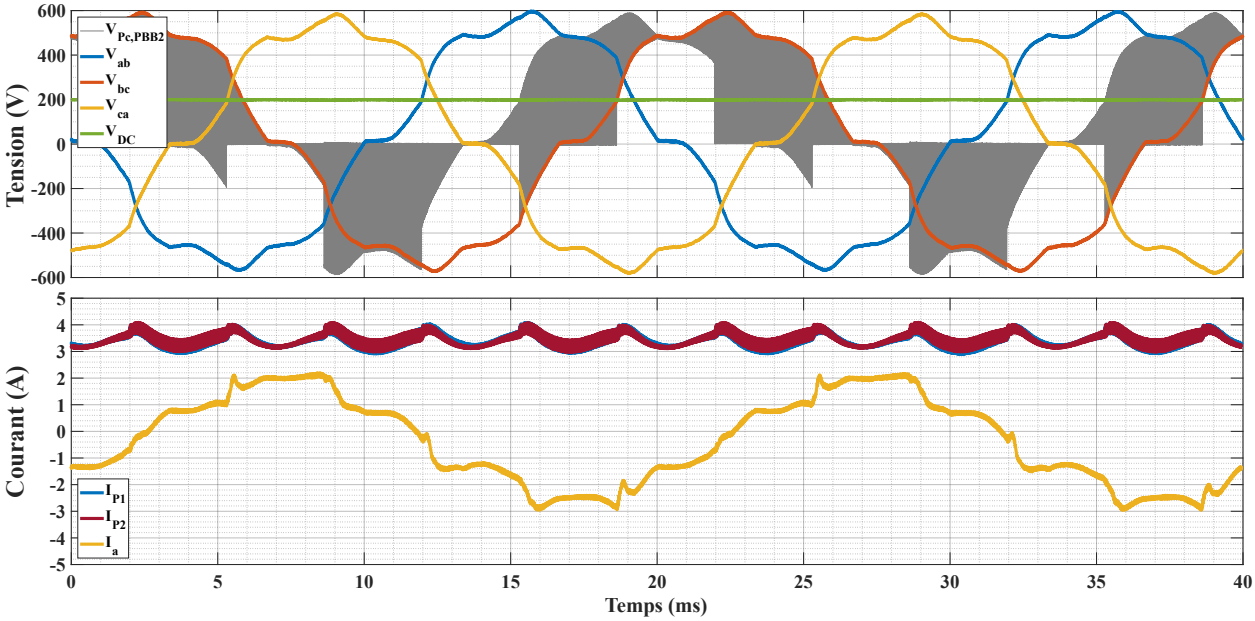

FIGURE 4.19 – Essai sur charge résistive à $V_{DC} = 200\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$.

Sur l'essai suivant, la régulation du courant présente une importante erreur statique, elle peut être expliquée par l'imperfection de la boucle de régulation, comme détaillée dans la section précédente.

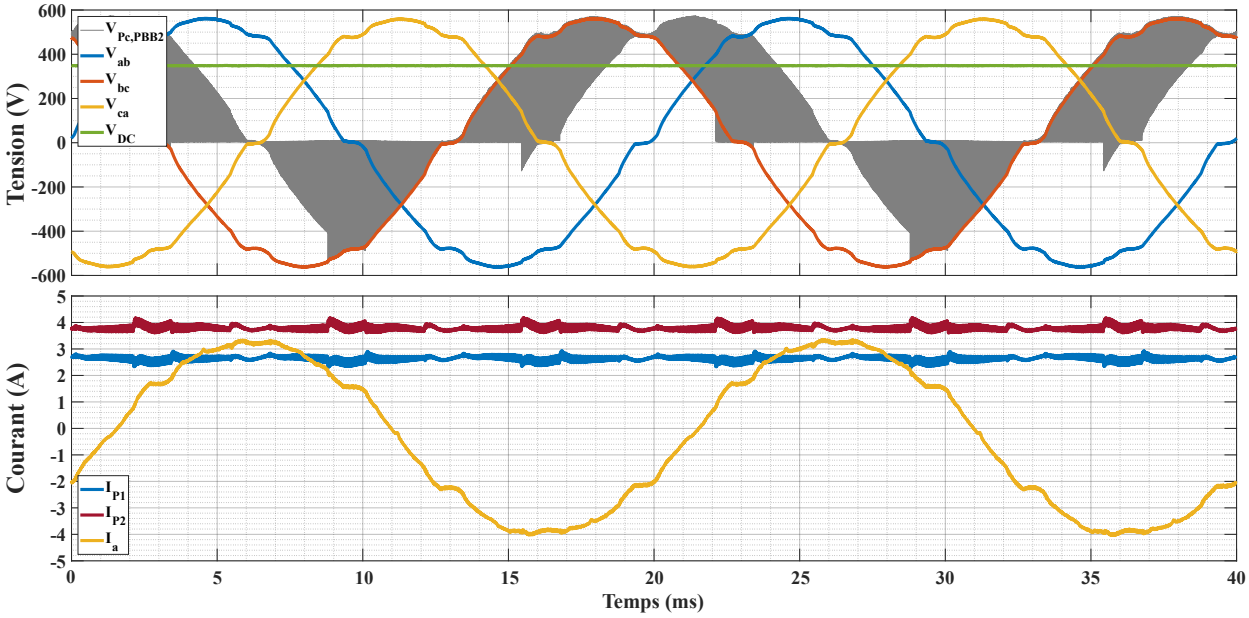

FIGURE 4.20 – Essai sur charge résistive à $V_{DC} = 350\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$.

Formes d'ondes à $V_{réseau}$

Une dernière série d'essais vise à atteindre la tension réseau de $1400\,V$, comme définie dans les chapitres précédents. Il s'agit également comme pour les essais précédents d'évaluer le comportement du courant d'entrée. Dans les deux Figures 4.21 et 4.22, la tension V_{PN} est mesurée sur le PBB n°1.

Le premier essai est réalisé à $M = 0,45$. Pour atteindre une tension efficace de $1400\,V$, la tension d'entrée est de $V_{DC} = 300\,V$. La puissance atteinte est environ de $1370\,W$. Cet essai dénote du précédent, Figure 4.19. Les courants d'entrée ondulent plus fortement dans le second cas.

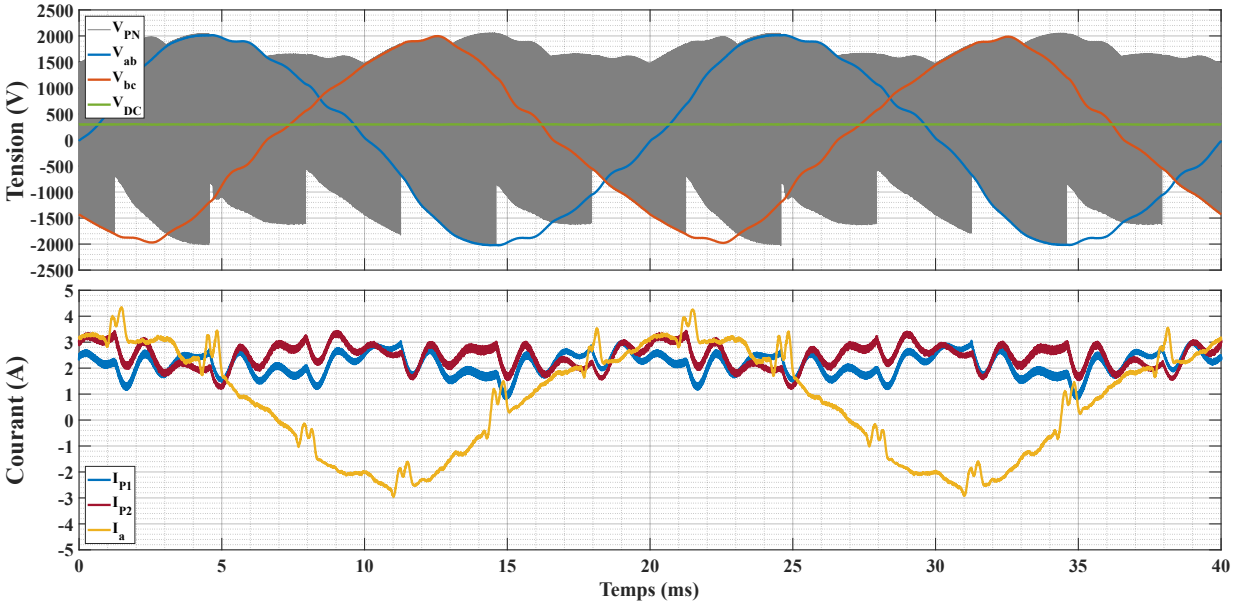

FIGURE 4.21 – Essai sur charge résistive à $V_{DC} = 300\,V$, $M = 0,45$ et $T_{OL} = 1\,\mu s$.

Ce second essai nécessite d'atteindre $V_{DC} = 1000\,V$ pour obtenir la tension efficace de $1400\,V$ en sortie de conversion. La puissance atteinte est de $4180\,W$. On peut observer que le courant d'entrée présente une plus forte ondulation que sur l'essai comparable présenté en Figure 4.20. Cependant, l'erreur statique dans la régulation y semble nettement plus faible.

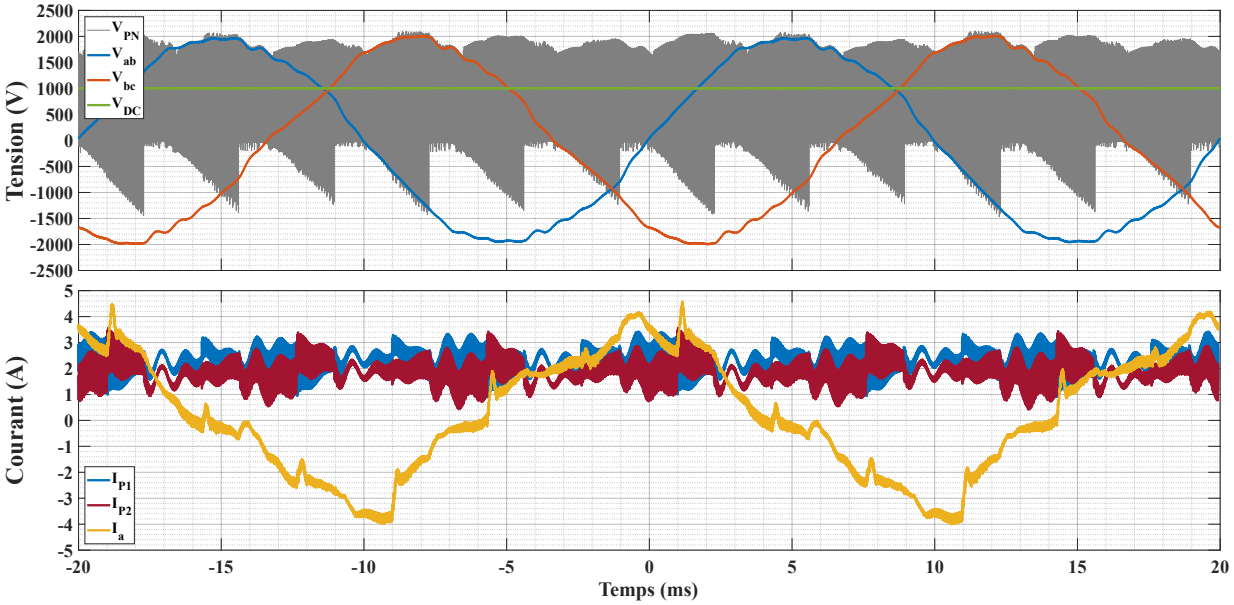

FIGURE 4.22 – Essai sur charge résistive à $V_{DC} = 1000\,V$, $M = 0,75$ et $T_{OL} = 1\,\mu s$.

Les fortes dégradations des formes d'ondes des différents courants de phase observés peuvent être imputés à la faible puissance utilisée lors de ces essais. En effet, le transformateur basse fréquence étant dimensionné pour $50\,kVA$, il peut être considéré comme étant dans un mode de fonctionnement à vide. Or, dans ce cas, les capacités parasites ont un impact plus important sur les formes d'ondes à faible puissance [5].

4.5 Conclusion

Ce chapitre, dédié aux essais expérimentaux, a permis de montrer des premières formes d'ondes sur le fonctionnement de l'onduleur de courant 5 niveaux pour une conversion basse tension - moyenne tension.

Plus largement, le bloc de puissance a été conçu. Il consiste en l'association des divers éléments constituant une matrice d'interrupteurs tels que les drivers permettant de piloter les semiconducteurs. Le dissipateur a également été sélectionné, de type double-face permettant de compacifier le bloc de puissance. Des ventilateurs y sont également associés. Une interface isolante est utilisée afin d'assurer l'isolation électrique. De plus, les inductances d'entrée ont été dimensionnées et réalisées. Il en est de même pour le filtre AC.

Dans une seconde partie, la résistance thermique globale du PBB a été évaluée par une méthode expérimentale. L'utilisation des diodes de corps d'un MOSFET comme paramètre thermo-sensible a permis de faire une mesure précise des températures de jonction. L'objectif étant d'évaluer cette résistance dans différentes configurations. Ces essais de caractérisation thermique ont notamment permis d'ajuster le couple de serrage des vis de la pièce de maintien mécanique et de la vitesse des ventilateurs.

Enfin, une dernière partie est consacrée aux essais préliminaires menés sur le CSI 5 niveaux. La mise en parallèle des blocs de puissance implique une régulation du courant d'entrée entre ces deux blocs. Dans ces essais, cette régulation est simplifiée. Ils ont montré que la stratégie de modulation construite au chapitre 3 est fonctionnelle. De plus, nous avons pu voir que le convertisseur est en capacité de réaliser une conversion basse-moyenne tension.

Bibliographie

[1] S. A. Richter, P. Gaertner, D. Hirschmann, and R. W. De Doncker, "Design of a pwm current source rectifier for high power induction melting applications," in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–9.

[2] Magnetics, "Magnetics 2020 powder cores."

[3] C. Steinmetz, "On the law of hysteresis," *Proceedings of the IEEE*, vol. 72, no. 2, pp. 197–221, 1984.

[4] B. Scortegagna Dupczak, "Inversor cinco niveis em corrente para o acionameneto de motores elétricos," Ph.D. dissertation, 2013, universidad Federal de Santa Catarina, Florianopolis.

[5] V. Rueda, A. Wiesner, R. Diez, and H. Piquet, "Power estimation of a current supplied dbd considering the transformer parasitic elements," *IEEE Transactions on Industry Applications*, vol. 55, no. 6, pp. 6567–6575, 2019.

Conclusion générale

Comme nous l'avons vu en introduction, la raréfaction des énergies fossiles malgré une demande croissante en énergie ainsi qu'une prise de conscience grandissante sur les effets du changement climatique sont à l'origine du développement de nouvelles sources d'énergie durables. Le photovoltaïque, en particulier, se distingue par son attractivité économique. Dans ce contexte, la capacité de production PV mondiale est en très forte croissance. Les différentes problématiques relevant de cette production ont été discutées. Elles concernent les technologies de cellules et de modules PV ou les différents types d'architectures des centrales. L'élévation des tensions internes aux centrales de production se poursuit.

Les onduleurs PV doivent aussi être adaptés face à ces nouvelles contraintes. Les critères de sélection sont multiples. Ils concernent aussi bien le rendement que la durée de vie, le nombre de semi-conducteurs mis en jeu et bien sûr, le coût. Le développement des composants WBG ont permis de suivre ces évolutions en maintenant des rendements élevés. Cependant, les onduleurs présentent des défauts majeurs, notamment une durée de vie limitée en comparaison des autres composantes de l'architecture d'une centrale PV.

Les architectures les plus usuellement présentes pour réaliser cette conversion sont composées de deux étages, un hacheur assurant le MPPT et un onduleur de type VSI (Voltage Source Inverter). Ces technologies sont bien documentées et disponibles. Des innovations sont constamment à l'étude afin de suivre l'élévation en tension des architectures PV.

Dans ce manuscrit, nous avons pu décrire une architecture différente et innovante, l'onduleur de courant composé d'un seul étage de conversion. Malgré sa faible adaptabilité au marché des semi-conducteurs actuel, l'utilisation de semi-conducteurs plus performants, notamment en SiC, le rendent de nouveau compétitif vis-à-vis des architectures conventionnelles. Dans ces travaux, nous nous sommes appliqués à améliorer l'ensemble des inconvénients connus du CSI. Pour y parvenir, plusieurs éléments ont été mis en œuvre.

Tout d'abord, il a été montré que l'utilisation de semi-conducteurs de calibre $3,3\,kV$ permet au CSI d'être de nouveau adapté à la tension des chaînes PV les plus récentes et à venir. Cela a également pour conséquence d'élever la tension de sortie jusqu'au domaine de la moyenne tension alternative, ici $1,4\,kV$.

Ensuite, un interrupteur associant deux MOSFETs en anti-série et fonctionnant en redressement synchrone a été préféré à l'utilisation d'un semi-conducteur à commutation spontanée. Les modifications engendrées par ce choix ont été décrites. Sa principale visée était de réduire les pertes par conduction générées par l'interrupteur. Les demi-matrices d'interrupteurs ainsi formées ont été

élaborées. Les pertes par commutation générées par celui-ci ont été caractérisées via la méthode DPT (Double Pulse Test).

Pour aller plus loin, une architecture multiniveaux a été proposée. La mise en parallèle de plusieurs matrices d'interrupteurs permet de diviser le courant maximal entre un plus grand nombre de semi-conducteurs et aurait pour effet une potentielle réduction des pertes par conduction. Cette architecture réduit également le besoin en filtrage, notamment du filtre AC en sortie de CSI, impliquant une réduction des composants passifs. En complément, une stratégie de modulation de type SVM a été proposée pour un CSI composé de deux ou trois blocs de puissance. Il a été établi qu'une telle stratégie de modulation pourrait être employée afin de réduire le nombre de commutations et par corollaire les pertes semi-conducteurs. De plus, cette étude a montré la forte corrélation entre la stratégie de modulation employée et l'ondulation de courant générée, impactant ainsi le dimensionnement des inductances d'entrée du CSI. Les étapes successives de la mise en place d'une SVM multiniveaux CSI ont été parcourues. Elles ont permis de saisir la complexité de cette élaboration et ce, à chacune de ces étapes.

L'outil de pré-dimensionnement mis en place a montré qu'une activation séquentielle des blocs de puissance (PBBS) dans un contexte de production PV aurait pour effets d'améliorer le rendement européen et de réduire l'utilisation des semi-conducteurs. Ces éléments montrent que malgré une plus grande complexité d'étude et de conception, notamment autour de la stratégie de modulation, l'utilisation d'architectures multiniveaux parallèles est pertinente.

Enfin, au cours du dernier chapitre, un prototype du CSI a pu être proposé. La conception complète y est décrite. Elle comprend le bloc de puissance, les inductances d'entrée et le filtre de sortie. Le dimensionnement de ces deux dernières composantes y est détaillé. Au-delà de la conception du PBB, la caractérisation de la dissipation thermique a pu être réalisée. Cette expérimentation a permis le réglage de plusieurs paramètres liés à la dissipation thermique. Les essais préliminaires menés sur le CSI 5 niveaux ont montré que la stratégie de modulation proposée est fonctionnelle. Ainsi, ce prototype a montré la faisabilité de l'onduleur de courant multiniveaux à réaliser une conversion de la basse tension continue vers la moyenne tension alternative.

Les perspectives apportées par ces travaux de thèse sont multiples :

- Il serait intéressant de réaliser la caractérisation du prototype conçu au cours de ces travaux. En effet, déterminer le rendement sur la plage de fonctionnement de l'onduleur de courant 5 niveaux fournirait plusieurs enseignements. Cela autoriserait la comparaison entre cette topologie proposée et les onduleurs PV présents sur le marché. Nous pourrions alors évaluer la pertinence de l'utilisation du CSI dans les applications PV. Plus spécifiquement, l'influence de l'utilisation du redressement synchrone sur les performances du CSI serait une investigation particulièrement intéressante. Pour compléter cette étude, il est possible de caractériser les trois topologies décrites dans ce manuscrit. De cette manière, il serait envisageable d'en déduire la PBBS optimale. Cette caractérisation expérimentale pourrait aussi confirmer le modèle utilisé pour l'outil de pré-dimensionnement.

- Nous l'avons vu, les stratégies de modulation de type SVM multiniveaux pour CSI sont particulièrement complexes à mettre en œuvre. Le développement d'un algorithme aidant à la sélection des états d'interrupteurs pourrait s'avérer précieux pour tendre vers une généralisa-

tion de la mise en parallèle de n-PBB. Les critères de sélection de ces états peuvent être très variés et basés sur le cahier des charges défini par l'application. Cette caractéristique est une réelle difficulté pour mener à bien cet objectif.

- Les inductances d'entrée du CSI sont un des défauts majeurs de cette topologie. L'utilisation d'une architecture multiniveaux et ainsi de plusieurs inductances parallélisées autorise le couplage de ces inductances. L'emploi de coupleurs en lieu et place d'inductances séparées tend généralement à réduire le volume occupé par les noyaux magnétiques. Une étude dédiée au dimensionnement, à la réalisation et à des expérimentations sur un CSI multiniveaux utilisant des coupleurs permettrait d'estimer les avantages de cette modification.

Annexe A

Validation du modèle de pertes de l'outil de pré-dimensionnement

L'outil de pré-dimensionnement est basé un modèle de pertes qui a été validé avant son utilisation. Cependant, ce modèle a été établi avec un autre MOSFET que le G2R120MT33J caractérisé. L'interrupteur est formé par l'association d'un MOSFET et d'une diode Schottky. Les semi-conducteurs étudiés sont le MOSFET $1,7\,kV$ SiC C2M0045170P et la diode Schottky $1,7\,kV$ SiC C5D25170H de Wolfspeed. Les pertes par commutation n'ont pas pu être évaluées de manière expérimentale. Ces composants ont été sélectionnés car des modèles de simulation sont rendus disponibles par le fabricant. Des simulations SPICE, en plus de la fiche technique de ce composant ont été utilisées pour obtenir des énergies de commutation. Comme précédemment, une équation polynomiale régit ces pertes dans l'algorithme. Ici seules les commutations du canal sont considérées.

Le chemin thermique prédéfini correspond à celui illustré par la Figure A.1. Les boîtiers sont des TO-247 pour les deux composants. Les chemins thermiques considérés sont séparés pour les deux sources de puissance dissipée jusqu'au dissipateur. Les interfaces thermiques sélectionnées sont deux SIL PAD K-10 de Bergquist et leur résistance thermique est évaluée par [1] et vaut $R_{th,c-HS} = 1,22\,K/W$.

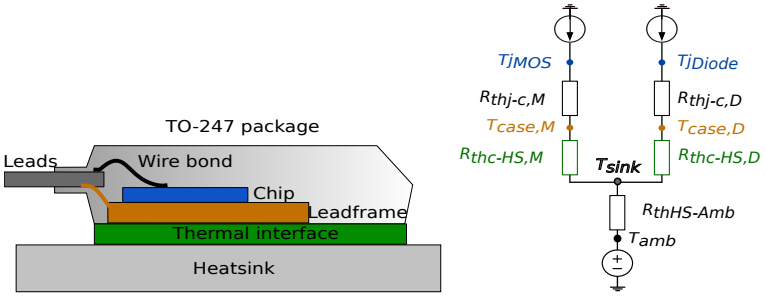

FIGURE A.1 – Schéma d'un boitîer TO-247 (vue de coupe) et chemin thermique considéré, tiré de [2].

Un dissipateur réel est choisi afin d'évaluer au mieux le chemin thermique global, en particulier ici sa propre résistance thermique $R_{th,HS-Amb}$. Une surface minimale autour du boîtier permet de maximiser la dissipation [3]. La surface minimale considérée correspond à une fois et demie la surface totale des boîtiers. Les caractéristiques géométriques du dissipateur sont considérées afin d'obtenir

le meilleur $CSPI$ notant la performance entre dissipation et volume du dissipateur. Le dissipateur pour la validation correspond au LA 29 de Fischerelektronik avec une résistance thermique établie à à $R_{th,HS-Amb} = 0,08\,K/W$ et le $CSPI$ déduit est de $7,67$.

Il est alors possible de comparer le calcul réalisé par la routine de l'outil de pré-dimensionnement et les simulations. La Figure A.2 résume les résultats.

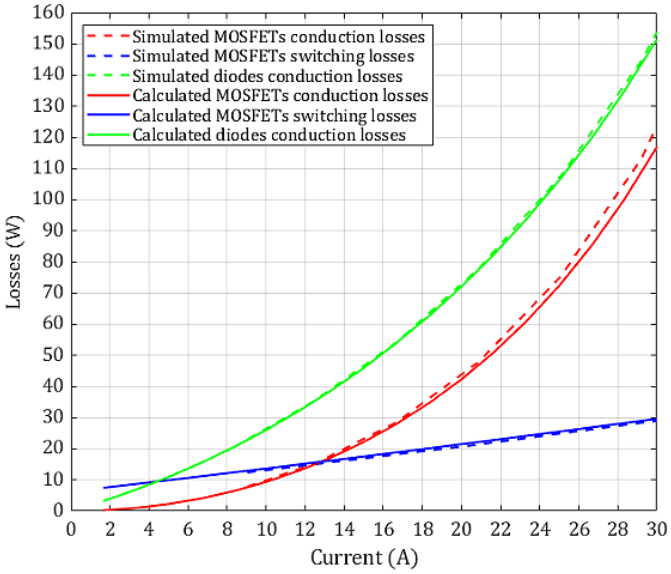

FIGURE A.2 – Comparaison entre les pertes calculées (lignes continues) et les pertes simulées (lignes pointillées), tiré de [2].

Il ressort de la figure précédente que les modèles concordent, notamment pour les pertes par conduction de la diode Schottky et pour les commutations du MOSFET. Les pertes par conduction du MOSFET présentent une différence maximale de 5%. Cela peut être le résultat de l'erreur introduite par l'ajustement de l'équation régissant les pertes par conduction du canal du MOSFET. Malgré cette marge d'erreur, le modèle de pertes est validé.

Annexe B

Impact de l'utilisation de temps morts sur la modulation SVM d'un CSI 3 niveaux

L'utilisation de cellules de commutation en redressement synchrone dans l'onduleur de courant introduit nécessairement l'application de temps morts. Leur fonctionnement a été vu précédemment. Il a également été vu qu'une modulation Space Vector définit de manière explicite les temps d'applications, notés T_a, T_b et T_c. Or, si ces temps deviennent suffisamment courts il n'est plus possible d'appliquer le temps mort suffisant pour assurer la mise en conduction du canal du composant D_x.

Lorsque ce phénomène se produit, seule la diode de corps, présentant une plus forte résistance à l'état passant, est conductrice. Les pertes générées y sont donc plus importantes. Afin d'obtenir une meilleure approche du fonctionnement et des performances de cet onduleur, la proportion de présence de ce phénomène est étudiée en suivant.

Les temps d'applications de la modulation ont été définis par l'équation 3.9. Ainsi, le fonctionnement du redressement synchrone nécessite l'application de deux temps morts DT afin d'assurer l'amorçage puis le blocage du canal du composant D_x. Le temps mort n'est donc plus applicable lorsque :

$$2 \cdot DT = T_{a,b,c} \tag{B.1}$$

A partir de l'équation B.1, il est possible d'écrire :

$$\left\{ \begin{array}{c} 2 \cdot DT = M \cdot T_{dec} \cdot \sin\left(\frac{\pi}{3} - \alpha_a\right) \\ \\ 2 \cdot DT = M \cdot T_{dec} \cdot \sin\left(\alpha_b\right) \\ \\ 2 \cdot DT = T_{dec} - T_a - T_b = T_{dec}\left(1 - M \cdot \cos\left(\frac{\pi}{6} - \alpha_c\right)\right) \end{array} \right\} avec\, \alpha_x \in \left[0 : \frac{\pi}{3}\right] \tag{B.2}$$

Les angles α_x définissent l'angle limite à partir duquel le temps mort n'est plus applicable. Les temps d'application se répétant par secteur, l'étude d'un unique secteur suffit, avec des angles limites de 0 à $\pi/3$. Ainsi, il peut être écrit :

$$\left\{\begin{array}{l} \alpha_a = \dfrac{\pi}{3} - \arcsin\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot DT\cdot f_{dec}}{V_{DC}}\right) \\ \\ \alpha_b = \arcsin\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot DT\cdot f_{dec}}{V_{DC}}\right) \\ \\ \alpha_c = \dfrac{\pi}{6} - \arccos\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot (T_{dec}-2\cdot DT)\cdot f_{dec}}{V_{DC}}\right) \end{array}\right\} avec\ \alpha_x \in \left[0 : \frac{\pi}{3}\right] \tag{B.3}$$

La Figure B.1 illustre comment interviennent ces valeurs d'angles.

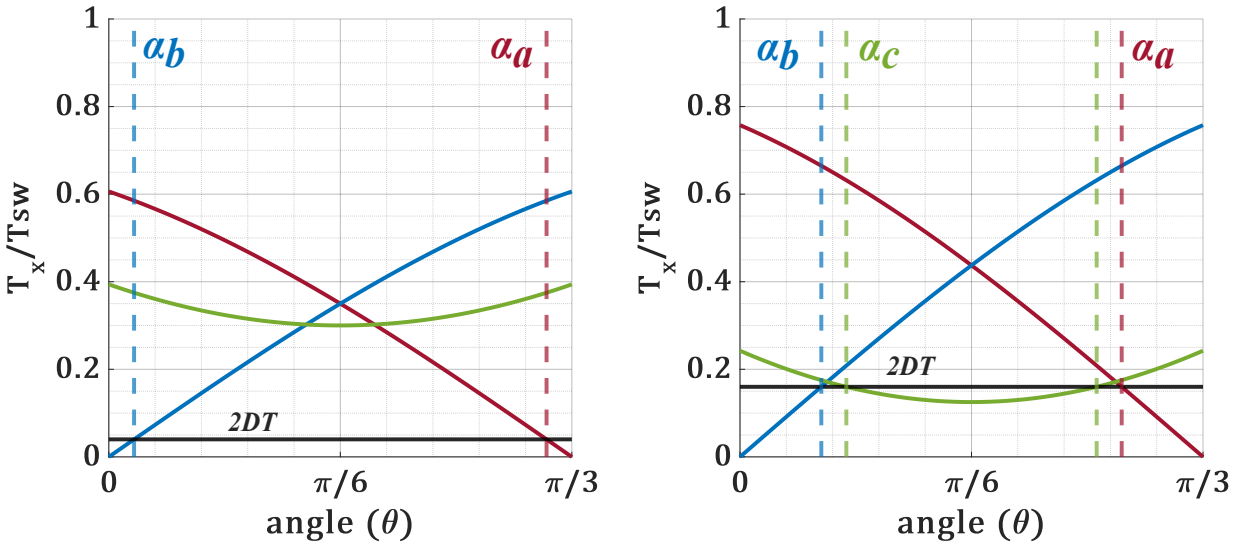

FIGURE B.1 – Temps d'application sur un secteur du CSI 3 niveaux pour $V_{DC} = 1200\,V$ et $DT = 500\,ns$ (à gauche) et pour $V_{DC} = 1500\,V$ et $DT = 2\,\mu s$ (à droite).

La Figure B.1 donne deux exemples. Le premier montre qu'avec un temps mort de $500\,ns$ seuls T_a et T_b voient une partie de leur temps être plus petit que le temps mort. Dans ce même cas, les commutations réalisées au temps T_c peuvent réaliser ce temps mort et tirer profit du redressement synchrone sur la totalité de la modulation. Ce qui n'est plus le cas dans le second exemple illustré, où une forte proportion de l'utilisation de T_c rend la mise en conduction du canal de D_x impossible.

La dernière étape consiste à calculer la proportion de temps où le temps mort n'est plus applicable :

$$\left\{\begin{array}{c} \%DT_a = \dfrac{3\cdot\alpha_a}{\pi} = 1 - \dfrac{\pi}{3}\cdot\arcsin\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot DT\cdot f_{dec}}{V_{DC}}\right) \\ \%DT_b = 1 - \dfrac{3\cdot\alpha_b}{\pi} = 1 - \dfrac{\pi}{3}\cdot\arcsin\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot DT\cdot f_{dec}}{V_{DC}}\right) \\ \%DT_c = \dfrac{2\cdot\alpha_c}{\pi/3} = 1 - \dfrac{\pi}{6}\cdot\arccos\left(\dfrac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot(T_{dec}-2\cdot DT)\cdot f_{dec}}{V_{DC}}\right) \end{array}\right\} \tag{B.4}$$

Le temps total de conduction du canal du MOSFET D_x, comprenant la totalité des trois temps d'application peut être défini comme étant :

$$\%Tcond_{D_x} = 1 - \frac{1}{\pi}\cdot\left(\arcsin\left(\frac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot DT}{V_{DC}\cdot T_{dec}}\right) + \arccos\left(\frac{\sqrt{3}\cdot\hat{V}_{reseau}\cdot(T_{dec}-2\cdot DT)}{V_{DC}\cdot T_{dec}}\right)\right) \tag{B.5}$$

Dans le cas d'un temps mort établi à $DT = 500\,ns$ et selon les caractéristiques de l'application définies précédemment, l'évolution du temps de conduction du canal du MOSFET D_x évolue ainsi :

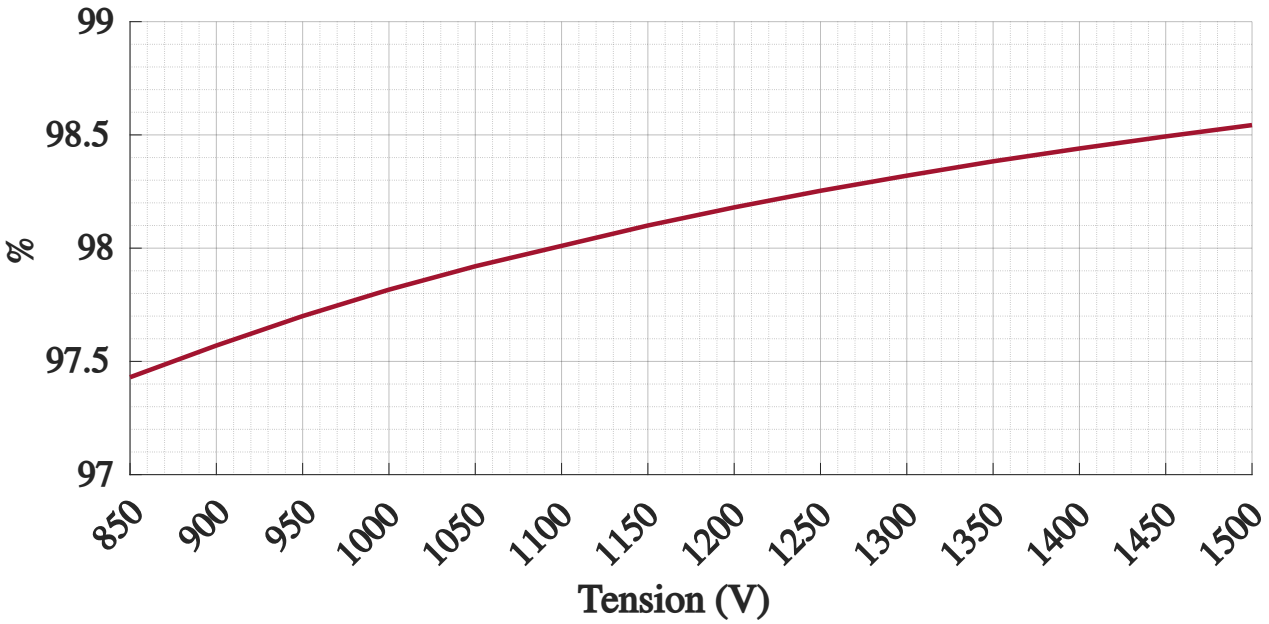

FIGURE B.2 – Évolution du pourcentage de temps où le canal du MOSFET D_x est conducteur pour $DT = 500\,ns$.

Ainsi, pour un onduleur de courant 3 niveaux comme dimensionné tout au long de ces travaux, la proportion du temps d'utilisation du redressement synchrone est au minimum de $97,43\%$. Selon les cas d'études, le temps de conduction seul des diodes de corps pourrait être considéré comme négligeable.

Annexe C

Caractérisation des inductances d'entrée L_{DC}

Dans le but de connaître la valeur d'inductance réelle des six pièces réalisées, celles-ci sont caractérisées. En effet, une tolérance minimale est à observer de par le processus de fabrication qui ne permet pas d'obtenir la valeur exacte définie. De plus, cette valeur varie de manière non linéaire en fonction du courant qui la traverse. Cette caractéristique est une conséquence directe du phénomène d'hystéresis liant la valeur d'inductance et l'excitation produite par le courant. Ainsi, les essais réalisés nécessitent d'extraire cette donnée.

Ces essais ont été réalisés par l'intermédiaire d'un POWER CHOKE TESTER DPG 10 - 1500B de ED-K. L'objectif de ces essais est de vérifier le maintien de la valeur d'inductance jusqu'au courant nominal parcourant individuellement chaque inductance. Les pièces sont toutes caractérisées afin de vérifier l'homogénéité des valeurs, elles sont notées de $L01$ à $L06$. La valeur de résistance totale des enroulements R_{DC} est également évaluée.

La gamme de courant sur laquelle la valeur de L_{DC} est investiguée n'est pas prédéfinie, les noyaux étant soumis à un courant croissant jusqu'à saturation du matériau magnétique. Ce point dépendant des caractéristiques du matériau utilisé ainsi que de la géométrie du noyau.

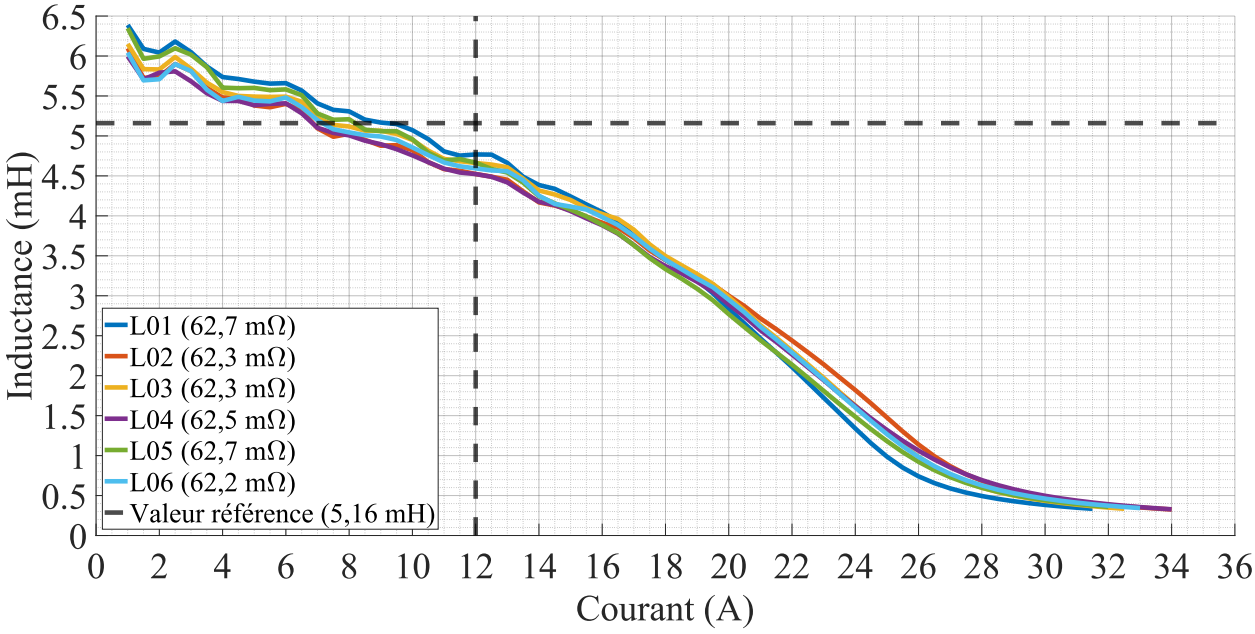

FIGURE C.1 – Évolution de la valeur de L_{DC} en fonction du courant I_{DC} des six inductances d'entrée.

La Figure C.1 montre que la valeur cible de $5,16\,mH$ est atteinte autour de $8\,A$. A courant nominal, la valeur est de $4,76\,mH$ pour la plus élevée ($L01$) et de $4,52\,mH$ pour les inductances ayant la valeur la plus basse ($L02$ et $L04$). Ce qui implique une valeur diminuée respectivement de 8% et de $13,4\%$.

Comme discuté précédemment, les essais concernant les topologies 5 et 7 niveaux sont réalisés avec les mêmes éléments passifs. Les valeurs d'inductances cibles pour maintenir la même ondulation de courant à $2,4\,A$ dans les inductances sont respectivement de $4,46\,mH$ et de $4\,mH$. Ainsi, avec une valeur minimale de $4,52\,mH$ à courant maximal, l'ondulation maximale de $2,4\,A$ est respectée pour ces deux architectures malgré la décote de la valeur d'inductance. La résistance dans les enroulements varie de $62,2$ à $62,7\,m\Omega$. Ainsi les pertes générées dans les enroulements des inductances varient peu d'une pièce à l'autre.

Afin de réaliser des comparaisons pertinentes entre les trois topologies étudiées, notamment sur leurs rendements respectifs, le courant minimal d'activation du redressement synchrone est conservé. Sans cette précaution, la mise en perspective de chacun des η_{euro} serait nécessairement faussée, de par la réduction des pertes par conduction obtenues grâce à l'utilisation de ce mode de pilotage des commutations des interrupteurs.

Annexe D

Définition des régions des modulations 5 et 7 niveaux

Afin de réaliser l'implémentation de la stratégie de modulation dans l'outil de contrôle-commande il est primordial que le système de commande soit capable de connaître la position du vecteur référence sur le plan $\alpha\beta$ à chaque instant. Cette position permet de connaître la séquence et les temps d'application pour reproduire l'état de réseau via les interrupteurs. Pour un onduleur 3 niveaux, deux données suffisent : la profondeur de modulation et la phase du réseau. Dans le cas de l'utilisation d'une approche SVM multiniveaux, ces données ne suffisent plus. Le découpage des secteurs en régions impose de discriminer ces dernières. Cette section s'intéresse donc à la méthode de détermination de la position du vecteur référence pour les deux cas d'études nécessaires. Cela revient en réalité à baliser les régions.

Les secteurs d'une modulation SVM d'un onduleur de courant 5 niveaux sont divisés en quatre régions distinctes. Il s'agit alors de les discriminer. La technique employée a été largement détaillée dans [4], cette section a pour but de résumer et d'éclairer ces résultats. La notation utilisée est la même que dans cette étude. Celle-ci étant focalisée sur l'étude de l'onduleur de courant 5 niveaux, les éléments de cette section traitant de l'onduleur de courant 7 niveaux sont des ajouts extrapolés de celle-ci.

Pour la réaliser, il est préférable d'utiliser des coordonnées dans un système de coordonnées diphasé tournant, aussi appelé *dq* (direct-quadrature). La grandeur utilisée est le courant. En normant le courant de sortie dans ce nouveau repère par rapport au courant d'entrée, sont obtenues I_d et I_q.

Un premier changement de repère est réalisé afin de pouvoir localiser le secteur dans lequel se situe le vecteur de référence. L'angle entre $I_{\alpha,0}$ et ce vecteur est noté θ :

$$\left\{\begin{array}{l} p_a = \dfrac{2\sqrt{3}}{3}\left(-\sin\left(\theta-\dfrac{\pi}{6}\right)\cdot I_q + \cos\left(\theta-\dfrac{\pi}{6}\right)\cdot I_d\right) \\ \\ p_b = \dfrac{2\sqrt{3}}{3}\left(\sin\left(\theta-\dfrac{\pi}{6}\right)\cdot I_q - \cos\left(\theta+\dfrac{\pi}{6}\right)\cdot I_d\right) \end{array}\right\} \tag{D.1}$$

La Figure D.1 illustre ce premier changement de repère pour les deux cas d'étude :

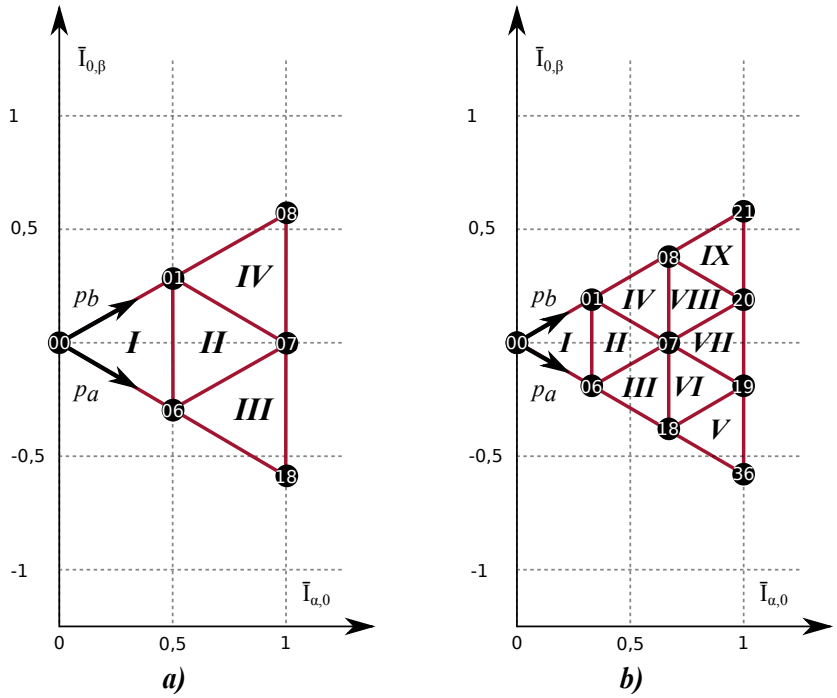

FIGURE D.1 – Plan complexe $\alpha\beta$ pour le secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux avec le changement de repère p_a et p_b.

Le signe de p_a et p_b permet d'associer le vecteur référence à un secteur. Il est ensuite associé à chaque secteur un deuxième changement de repère qui est utilisé pour l'association à chaque région. La Table D.1 résume cette étape, valable pour les deux topologies multiniveaux étudiées.

Conditions	***Secteur***	***Projections équivalentes***
$p_a \geq 0$ et $p_b \geq 0$	1	$p'_a = p_a$ $p'_b = p_b$
$p_a \geq 0$ et $p_b \geq 0$ et $p_a + p_b \geq 0$	2	$p'_a = p_a + p_b$ $p'_b = -p_a$
$p_a < 0$ et $p_b \geq 0$ et $p_a + p_b < 0$	3	$p'_a = p_b$ $p'_b = -p_a - p_b$
$p_a < 0$ et $p_b < 0$	4	$p'_a = -p_a$ $p'_b = -p_b$
$p_a \geq 0$ et $p_b < 0$ et $p_a + p_b < 0$	5	$p'_a = -p_a - p_b$ $p'_b = p_a$
$p_a \geq 0$ et $p_b < 0$ et $p_a + p_b \geq 0$	6	$p'_a = -p_b$ $p'_b = p_a + p_b$

TABLE D.1 – Conditions de comparaison pour déterminer le secteur du vecteur de référence et leurs projections équivalentes.

Pour normaliser le nouveau repère formé par p'_a et p'_b l'échelle de la distance entre régions et non plus à celle de la profondeur de modulation, un changement de repère est nécessaire. Ici, les deux cas, 5 et 7 niveaux sont à différencier. En effet, comme le montre la Figure D.2, les distances séparant deux vecteurs sont différentes.

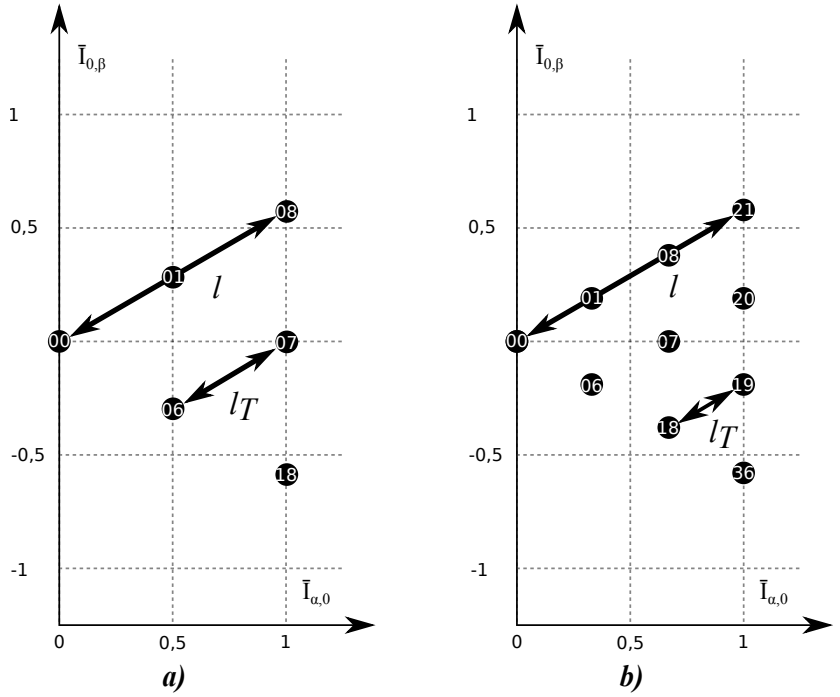

FIGURE D.2 – Plan complexe $\alpha\beta$ pour le secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux définissant les variables l et l_T.

Ainsi, il est possible d'écrire :

$$l = \frac{2\sqrt{3}}{3} \Rightarrow \left\{ \begin{array}{l} l_{T_{5n}} = \dfrac{l}{2} = \dfrac{\sqrt{3}}{3} \\ \\ l_{T_{7n}} = \dfrac{l}{3} = \dfrac{2}{3\sqrt{3}} \end{array} \right\} \tag{D.2}$$

Un changement de variable est réalisé afin de normaliser la distance du vecteur référence, pour le cas du 5 niveaux :

$$\left\{ \begin{array}{l} d'_{a_{5n}} = \dfrac{p'_a}{l_{T_{5n}}} = \sqrt{3} \cdot p'_a \\ \\ d'_{b_{5n}} = \dfrac{p'_b}{l_{T_{5n}}} = \sqrt{3} \cdot p'_a \end{array} \right\} \tag{D.3}$$

Pour le cas du 7 niveaux :

$$\left\{\begin{array}{l} d'_{a7n} = \dfrac{p'_a}{l_{T7n}} = \dfrac{3\sqrt{3}}{2} \cdot p'_a \\ \\ d'_{b7n} = \dfrac{p'_b}{l_{T7n}} = \dfrac{3\sqrt{3}}{2} \cdot p'_b \end{array}\right\} \tag{D.4}$$

Ainsi, les régions sont divisibles selon les valeurs de d'_a et d'_b. La Figure D.3 illustre graphiquement les conditions de séparation de ces régions.

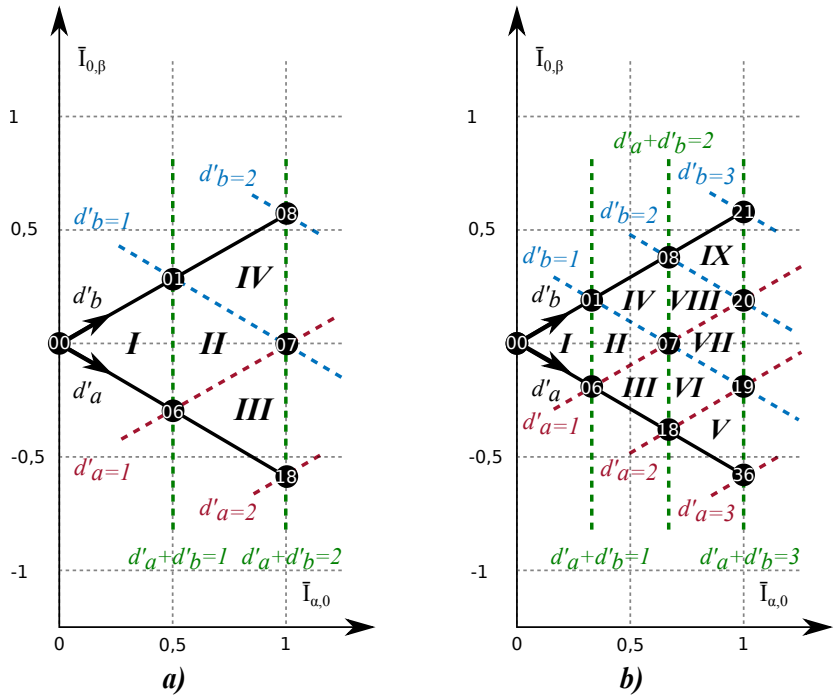

FIGURE D.3 – Plan complexe $\alpha\beta$ pour le Secteur 1 d'un onduleur de courant a) 5 niveaux et b) 7 niveaux avec le changement de repère d'_a et d'_b.

Ces conditions sont résumées dans la Table D.2. Elles sont valables pour les deux cas étudiés, seul le cas du 7 niveaux nécessite d'exposer les régions V à IX. Un dernier changement de variable permet d'associer ces projections avec les temps d'applications. Les nouvelles variables utilisées d_a, d_b et d_c correspondent aux différents pourcentages dédiés à chacun de ces trois temps sur la période de commutation T_{dec}. Elles correspondent également aux ordonnées de la Figure 3.8 b) ainsi que des Figures 3.17, 3.18, 3.25 et 3.26 c).

Conditions	***Régions***	***Projections équivalentes***
$d'_a \leq 1$ et $d'_b \leq 1$ et $d'_a + d'_b \leq 1$	I	$d_a = d'_a$ $d_b = d'_b$
$d'_a \leq 1$ et $d'_b \leq 1$ et $d'_a + d'_b > 1$	II	$d_a = 1 - d'_a$ $d_b = 1 - d'_b$
$d'_a > 1$ et $d'_b \leq 1$ et $1 \leq d'_a + d'_b \leq 2$	III	$d_a = d'_a - 1$ $d_b = d'_b$
$d'_a \leq 1$ et $d'_b > 1$ et $1 \leq d'_a + d'_b \leq 2$	IV	$d_a = d'_a$ $d_b = d'_b - 1$
$d'_a > 2$ et $d'_b \leq 1$	V	$d_a = d'_a - 2$ $d_b = d'_b$
$2 \geq d'_a > 1$ et $d'_b \leq 1$ et $d'_a + d'_b \geq 2$	VI	$d_a = 2 - d'_a$ $d_b = 1 - d'_b$
$2 \geq d'_a > 1$ et $2 \geq d'_b > 1$ et $d'_a + d'_b \geq 2$	VII	$d_a = d'_a - 1$ $d_b = d'_b - 1$
$d'_a \leq 1$ et $2 \geq d'_b > 1$ et $d'_a + d'_b \geq 2$	VIII	$d_a = 1 - d'_a$ $d_b = 2 - d'_b$
$d'_a \leq 1$ et $d'_b > 2$	IX	$d_a = d'_a$ $d_b = d'_b - 2$

TABLE D.2 – Conditions de comparaison pour déterminer la région du vecteur de référence et leurs projections équivalentes.

Il est donc possible de définir les temps d'applications, T_a, T_b et T_c. Premièrement, d_c est défini :

$$d_c = 1 - d_a - d_b \tag{D.5}$$

$$\begin{Bmatrix} T_a = T_{dec} \cdot d_a \\ T_b = T_{dec} \cdot d_b \\ T_c = T_{dec} \cdot d_c \end{Bmatrix} \tag{D.6}$$

Les valeurs des temps d'applications sont ensuite communiquées aux interrupteurs.

Annexe E

Considérations pour les coupleurs 5 niveaux

Cette section vise à rendre compte de la première approche réalisée pour la réalisation de coupleurs à deux enroulements, pour remplacer les inductances d'entrée de la topologie 5 niveaux étudiée dans le chapitre 3. L'objectif de ces travaux est de proposer une amélioration à ces éléments passifs. Les contraintes sont conservées entre le dimensionnement des inductances d'entrée et des coupleurs. Ainsi, deux coupleurs sont nécessaires, un connecté à la demi-matrice P et le second à la demi-matrice N en entrée de l'onduleur multiniveaux.

Une première différence provient du matériau choisi. Les noyaux magnétiques des coupleurs considérés sont uniquement en ferrite ($3C90$ ou $3C94$). Dans le but de pouvoir être réalisés de manière simple et rapide, les noyaux sélectionnés sont uniquement des noyaux pré-existants et non sur-mesure.

La donnée la plus importante est sans nul doute l'inductance de fuite L_f qui correspond à la valeur de l'inductance $L_{DC_{5n}}$, $4,46\,mH$. Cette valeur permet de maintenir l'ondulation de courant maximale à $2,4\,A$. Une routine de calcul a été exploitée pour obtenir une première approximation. De plus, le logiciel de simulation PLECS a servi d'outil de simulation afin de vérifier la corrélation entre l'ondulation et la valeur d'inductance de fuite résultante des données physiques du coupleur obtenues par les itérations de la routine de calcul. Par souci de simplification, les noyaux envisagés pour cette pré-étude sont des associations des formes U ou I. Ces géométries de noyaux sont les plus communes et les plus adaptatives disponibles dans les catalogues de fabricants. La démarche utilisée ainsi que les équations régissant ce dimensionnement sont résumées ci-dessous.

La méthode employée pour le dimensionnement du coupleur consiste à séparer les flux DC (Φ_{DC}) et AC (Φ_{AC}) traversant le noyau magnétique. Ainsi, pour le modèle DC, les courants de chaque enroulement sont considérés égaux et équilibrés, ainsi que le flux de fuite Φ_f considéré équi-réparti dans les réluctances de fuite des deux bobinages. Ces hypothèses impliquent que les réluctances des culasses $R_{culasses}$ soient négligeables devant la réluctance de fuite R_{fuite}. La réluctance de fuite équivalente pour cette application vaut $R_{feq} = \dfrac{R_{fuite}}{2}$. Il est donc possible d'écrire :

$$\Phi_{DC} = \frac{N \cdot I_{DC}}{2\,(2 \cdot R_{feq} + R_{culasses})} \simeq \frac{N \cdot I_{DC}}{p^2 \cdot R_{feq}} \tag{E.1}$$

$$R_{feq} = \frac{N^2}{2 \cdot L_{fuite}} \Rightarrow \Phi_{DC} \simeq \frac{L_{fuite} \cdot I_{DC}}{2 \cdot N} \tag{E.2}$$

En écrivant la relation entre le champ magnétique B_{DC} avec l'équation E.2 définissant le flux DC Φ_{DC}, la section du noyau magnétique A_{efer} peut être dimensionnée :

$$B_{DC} = \frac{\Phi_{DC}}{A_{efer}} \Rightarrow A_{efer} = \frac{L_{fuite} \cdot I_{DC}}{2 \cdot N \cdot B_{DC}} \tag{E.3}$$

Concernant le flux AC Φ_{AC}, il est défini par :

$$\Phi_{AC} = \frac{1}{N} \cdot \int V_{AC}(t)\, dt \tag{E.4}$$

Pour simplifier les calculs concernant le flux AC, seule sa valeur maximale $\Phi_{AC_{max}}$ est considérée car il s'agit de la valeur dimensionnante pour le noyau magnétique. Ainsi :

$$\Phi_{AC_{max}} = \frac{V_{max}}{N \cdot f_{dec}} \tag{E.5}$$

La condition de non-saturation peut être définie comme suit dans l'équation E.6. La somme des deux flux doit être inférieure au flux de saturation Φ_{sat} inhérent à la géométrie et à la nature du noyau magnétique. Un coefficient de sécurité y est adjoint, noté k_{sat}. Le flux DC considéré est aussi le flux maximal, $\Phi_{DC_{max}}$ obtenu lorsque $I_{DC} = I_{DC_{max}}$.

$$\Phi_{DC_{max}} + \Phi_{AC_{max}} \leq k_{sat} \cdot \Phi_{sat} \tag{E.6}$$

Il est également nécessaire d'établir une condition sur la fenêtre de bobinage S_b. Cette condition est établie pour un coupleur monolithique. Elle dépend du nombre d'enroulements présents dans la fenêtre n_b, du coefficient du foisonnement k_f, de la densité de courant J. Dans le cas étudié, elle est définie ainsi :

$$S_b > \frac{n_b \cdot k_f \cdot I_{DC} \cdot N}{J} \tag{E.7}$$

En réécrivant l'équation E.6 avec les champs magnétiques B_{DC} et B_{AC}, il est possible d'écrire l'équation du produit des aires.

$$A_{efer} \cdot S_b > \frac{n_b \cdot k_f \cdot I_{DC}}{J \cdot k_s \cdot B_{sat}} \left(\frac{L_{fuite} \cdot I_{DC}}{2} + \frac{V_{max}}{f_{dec}} \right) \tag{E.8}$$

L'inégalité E.8 permet de définir les dimensions du noyau magnétique. Des facteurs de formes ont été utilisés afin de définir des intervalles pour chaque dimension de noyaux retenus. Finalement, deux configurations ont été retenues :

Paramètres	***Inductance***	***U93/76/30 (x5)*** ***I93/28/30 (x5)***	***U80/65/32 (x10)***
Nombre de tours - N	62	46	56
Profondeur de noyau (mm)	51	150	160
Hauteur de fer (mm)	106	$103,5$	$129,2$
Largeur de culasse (mm)	26	$27,5$	$22,2$
Longueur de fer (mm)	104	93	$79,8$
Largeur de noyau (mm)	24	28	$22,3$
Hauteur de noyau (mm)	54	48	$82,8$
Longueur d'entrefer (mm)	$<< 1$	$2,5$	$3,15$
μ_r	-	2150 (3C90/3C94)	2095 (3C90/3C94)
Masse (kg)	$\approx 2,8$	$5,65$	$5,6$
$\Delta I_{DC_{max}}\,(A)$ simulé	$2,4$	$2,4$	$2,4$
$B_{max}\,(T)$ simulé	$< 0,3$	$0,3$	$0,29$

TABLE E.1 – Tableau comparatif des caractéristiques des noyaux entre une inductance utilisée pour l'onduleur de courant 5 niveaux et deux configurations de coupleurs.

D'après la Table E.1, les dimensions des noyaux de coupleurs sont plus massifs et volumiques. Cependant, il est nécessaire d'associer quatre inductances contre deux coupleurs pour réaliser la même architecture. Ainsi, les trois configurations ont des volumes et masses équivalentes.

Annexe F

Liste des états d'interrupteurs pour un CSI 5 niveaux

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
1	AAAA	00	0	0	0
2	CBCB	00	0	0	0
3	CBBC	00	0	0	0
4	BCBC	00	0	0	0
5	BCCB	00	0	0	0
6	ACCA	00	0	0	0
7	CACA	00	0	0	0
8	CAAC	00	0	0	0
9	ACAC	00	0	0	0
10	BABA	00	0	0	0
11	ABBA	00	0	0	0
12	ABAB	00	0	0	0
13	BAAB	00	0	0	0
14	CCCC	00	0	0	0
15	BBBB	00	0	0	0
16	AACA	01	0,5	0	-0,5
17	AAAC	01	0,5	0	-0,5
18	BACB	01	0,5	0	-0,5
19	ABBC	01	0,5	0	-0,5
20	ABCB	01	0,5	0	-0,5
21	ACCC	01	0,5	0	-0,5
22	BABC	01	0,5	0	-0,5
23	CACC	01	0,5	0	-0,5
24	ABCA	02	0	0,5	-0,5
25	BAAC	02	0	0,5	-0,5
26	ABAC	02	0	0,5	-0,5
27	BACA	02	0	0,5	-0,5
28	BBBC	02	0	0,5	-0,5
29	BBCB	02	0	0,5	-0,5
30	BCCC	02	0	0,5	-0,5
31	CBCC	02	0	0,5	-0,5
32	CBAC	03	-0,5	0,5	0
33	BCCA	03	-0,5	0,5	0
34	BCAC	03	-0,5	0,5	0
35	CBCA	03	-0,5	0,5	0
36	ABAA	03	-0,5	0,5	0
37	BAAA	03	-0,5	0,5	0
38	BBAB	03	-0,5	0,5	0
39	BBBA	03	-0,5	0,5	0
40	BCAB	04	-0,5	0	0,5
41	CBBA	04	-0,5	0	0,5

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
42	BCBA	04	-0,5	0	0,5
43	ACAA	04	-0,5	0	0,5
44	CAAA	04	-0,5	0	0,5
45	CCAC	04	-0,5	0	0,5
46	CCCA	04	-0,5	0	0,5
47	CBAB	04	-0,5	0	0,5
48	CABA	05	0	-0,5	0,5
49	ACAB	05	0	-0,5	0,5
50	ACBA	05	0	-0,5	0,5
51	BCBB	05	0	-0,5	0,5
52	CAAB	05	0	-0,5	0,5
53	CBBB	05	0	-0,5	0,5
54	CCBC	05	0	-0,5	0,5
55	CCCB	05	0	-0,5	0,5
56	CACB	06	0,5	-0,5	0
57	ACBC	06	0,5	-0,5	0
58	CABC	06	0,5	-0,5	0
59	ACCB	06	0,5	-0,5	0
60	BABB	06	0,5	-0,5	0
61	ABBB	06	0,5	-0,5	0
62	AAAB	06	0,5	-0,5	0
63	AABA	06	0,5	-0,5	0
64	AABC	07	1	-0,5	-0,5
65	AACB	07	1	-0,5	-0,5
66	AACC	08	1	0	-1
67	ABCC	09	0,5	0,5	-1
68	BACC	09	0,5	0,5	-1
69	BBCC	10	0	1	-1
70	BBAC	11	-0,5	1	-0,5
71	BBCA	11	-0,5	1	-0,5
72	BBAA	12	-1	1	0
73	BCAA	13	-1	0,5	0,5
74	CBAA	13	-1	0,5	0,5
75	CCAA	14	-1	0	1
76	CCAB	15	-0,5	-0,5	1
77	CCBA	15	-0,5	-0,5	1
78	CCBB	16	0	-1	1
79	ACBB	17	0,5	-1	0,5
80	CABB	17	0,5	-1	0,5
81	AABB	18	1	-1	0

Annexe G

Liste des états d'interrupteurs pour un CSI 7 niveaux

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
1	AAAAAA	00	0	0	0
2	AABAAB	00	0	0	0
3	AABABA	00	0	0	0
4	AABBAA	00	0	0	0
5	AACAAC	00	0	0	0
6	AACACA	00	0	0	0
7	AACCAA	00	0	0	0
8	ABAAAB	00	0	0	0
9	ABAABA	00	0	0	0
10	ABABAA	00	0	0	0
11	ABBABB	00	0	0	0
12	ABBBAB	00	0	0	0
13	ABBBBA	00	0	0	0
14	ABCABC	00	0	0	0
15	ABCACB	00	0	0	0
16	ABCBAC	00	0	0	0
17	ABCBCA	00	0	0	0
18	ABCCAB	00	0	0	0
19	ABCCBA	00	0	0	0
20	ACAAAC	00	0	0	0
21	ACAACA	00	0	0	0
22	ACACAA	00	0	0	0
23	ACBABC	00	0	0	0
24	ACBACB	00	0	0	0
25	ACBBAC	00	0	0	0
26	ACBBCA	00	0	0	0
27	ACBCAB	00	0	0	0
28	ACBCBA	00	0	0	0
29	ACCACC	00	0	0	0
30	ACCCAC	00	0	0	0
31	ACCCCA	00	0	0	0
32	BAAAAB	00	0	0	0
33	BAAABA	00	0	0	0
34	BAABAA	00	0	0	0
35	BABABB	00	0	0	0
36	BABBAB	00	0	0	0
37	BABBBA	00	0	0	0
38	BACABC	00	0	0	0
39	BACACB	00	0	0	0
40	BACBAC	00	0	0	0
41	BACBCA	00	0	0	0

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
42	BACCAB	00	0	0	0
43	BACCBA	00	0	0	0
44	BBAABB	00	0	0	0
45	BBABAB	00	0	0	0
46	BBABBA	00	0	0	0
47	BBBBBB	00	0	0	0
48	BBCBBC	00	0	0	0
49	BBCBCB	00	0	0	0
50	BBCCBB	00	0	0	0
51	BCAABC	00	0	0	0
52	BCAACB	00	0	0	0
53	BCABAC	00	0	0	0
54	BCABCA	00	0	0	0
55	BCACAB	00	0	0	0
56	BCACBA	00	0	0	0
57	BCBBBC	00	0	0	0
58	BCBBCB	00	0	0	0
59	BCBCBB	00	0	0	0
60	BCCBCC	00	0	0	0
61	BCCCBC	00	0	0	0
62	BCCCCB	00	0	0	0
63	CAAAAC	00	0	0	0
64	CAAACA	00	0	0	0
65	CAACAA	00	0	0	0
66	CABABC	00	0	0	0
67	CABACB	00	0	0	0
68	CABBAC	00	0	0	0
69	CABBCA	00	0	0	0
70	CABCAB	00	0	0	0
71	CABCBA	00	0	0	0
72	CACACC	00	0	0	0
73	CACCAC	00	0	0	0
74	CACCCA	00	0	0	0
75	CBAABC	00	0	0	0
76	CBAACB	00	0	0	0
77	CBABAC	00	0	0	0
78	CBABCA	00	0	0	0
79	CBACAB	00	0	0	0
80	CBACBA	00	0	0	0
81	CBBBBC	00	0	0	0
82	CBBBCB	00	0	0	0

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
83	CBBCBB	00	0	0	0
84	CBCBCC	00	0	0	0
85	CBCCBC	00	0	0	0
86	CBCCCB	00	0	0	0
87	CCAACC	00	0	0	0
88	CCACAC	00	0	0	0
89	CCACCA	00	0	0	0
90	CCBBCC	00	0	0	0
91	CCBCBC	00	0	0	0
92	CCBCCB	00	0	0	0
93	CCCCCC	00	0	0	0
94	AAAAAC	01	0,33	0	-0,33
95	AAAACA	01	0,33	0	-0,33
96	AAACAA	01	0,33	0	-0,33
97	AABABC	01	0,33	0	-0,33
98	AABACB	01	0,33	0	-0,33
99	AABBAC	01	0,33	0	-0,33
100	AABBCA	01	0,33	0	-0,33
101	AABCAB	01	0,33	0	-0,33
102	AABCBA	01	0,33	0	-0,33
103	AACACC	01	0,33	0	-0,33
104	AACCAC	01	0,33	0	-0,33
105	AACCCA	01	0,33	0	-0,33
106	ABAABC	01	0,33	0	-0,33
107	ABABAC	01	0,33	0	-0,33
108	ABABCA	01	0,33	0	-0,33
109	ABACAB	01	0,33	0	-0,33
110	ABACBA	01	0,33	0	-0,33
111	ABBBBC	01	0,33	0	-0,33
112	ABBBCB	01	0,33	0	-0,33
113	ABBCBB	01	0,33	0	-0,33
114	ABCBCC	01	0,33	0	-0,33
115	ABCCBC	01	0,33	0	-0,33
116	ABCCCB	01	0,33	0	-0,33
117	ACAACC	01	0,33	0	-0,33
118	ACACAC	01	0,33	0	-0,33
119	ACACCA	01	0,33	0	-0,33
120	ACBBCC	01	0,33	0	-0,33
121	ACBCBC	01	0,33	0	-0,33
122	ACBCCB	01	0,33	0	-0,33
123	ACCCCC	01	0,33	0	-0,33
124	BAAABC	01	0,33	0	-0,33
125	BAAACB	01	0,33	0	-0,33
126	BAABAC	01	0,33	0	-0,33
127	BAABCA	01	0,33	0	-0,33
128	BAACAB	01	0,33	0	-0,33
129	BAACBA	01	0,33	0	-0,33
130	BABBBC	01	0,33	0	-0,33
131	BABBCB	01	0,33	0	-0,33
132	BABCBB	01	0,33	0	-0,33
133	BACBCC	01	0,33	0	-0,33
134	BACCBC	01	0,33	0	-0,33
135	BACCCB	01	0,33	0	-0,33
136	BBABBC	01	0,33	0	-0,33
137	BBABCB	01	0,33	0	-0,33
138	BBACBB	01	0,33	0	-0,33
139	BCABCC	01	0,33	0	-0,33
140	BCACBC	01	0,33	0	-0,33
141	BCACCB	01	0,33	0	-0,33
142	CAAACC	01	0,33	0	-0,33
143	CAACAC	01	0,33	0	-0,33
144	CAACCA	01	0,33	0	-0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
145	CABBCC	01	0,33	0	-0,33
146	CABCBC	01	0,33	0	-0,33
147	CABCCB	01	0,33	0	-0,33
148	CACCCC	01	0,33	0	-0,33
149	CBABCC	01	0,33	0	-0,33
150	CBACBC	01	0,33	0	-0,33
151	CBACCB	01	0,33	0	-0,33
152	CCACCC	01	0,33	0	-0,33
153	AABAAC	02	0	0,33	-0,33
154	AABACA	02	0	0,33	-0,33
155	AABCAA	02	0	0,33	-0,33
156	ABAAAC	02	0	0,33	-0,33
157	ABAACA	02	0	0,33	-0,33
158	ABAACB	02	0	0,33	-0,33
159	ABACAA	02	0	0,33	-0,33
160	ABBABC	02	0	0,33	-0,33
161	ABBACB	02	0	0,33	-0,33
162	ABBBAC	02	0	0,33	-0,33
163	ABBBCA	02	0	0,33	-0,33
164	ABBCAB	02	0	0,33	-0,33
165	ABBCBA	02	0	0,33	-0,33
166	ABCACC	02	0	0,33	-0,33
167	ABCCAC	02	0	0,33	-0,33
168	ABCCCA	02	0	0,33	-0,33
169	ACBACC	02	0	0,33	-0,33
170	ACBCAC	02	0	0,33	-0,33
171	ACBCCA	02	0	0,33	-0,33
172	BAAAAC	02	0	0,33	-0,33
173	BAAACA	02	0	0,33	-0,33
174	BAACAA	02	0	0,33	-0,33
175	BABABC	02	0	0,33	-0,33
176	BABACB	02	0	0,33	-0,33
177	BABBAC	02	0	0,33	-0,33
178	BABBCA	02	0	0,33	-0,33
179	BABCAB	02	0	0,33	-0,33
180	BABCBA	02	0	0,33	-0,33
181	BACACC	02	0	0,33	-0,33
182	BACCAC	02	0	0,33	-0,33
183	BACCCA	02	0	0,33	-0,33
184	BBAABC	02	0	0,33	-0,33
185	BBAACB	02	0	0,33	-0,33
186	BBABAC	02	0	0,33	-0,33
187	BBABCA	02	0	0,33	-0,33
188	BBACAB	02	0	0,33	-0,33
189	BBACBA	02	0	0,33	-0,33
190	BBBBBC	02	0	0,33	-0,33
191	BBBBCB	02	0	0,33	-0,33
192	BBBCBB	02	0	0,33	-0,33
193	BBCBCC	02	0	0,33	-0,33
194	BBCCBC	02	0	0,33	-0,33
195	BBCCCB	02	0	0,33	-0,33
196	BCAACC	02	0	0,33	-0,33
197	BCACAC	02	0	0,33	-0,33
198	BCACCA	02	0	0,33	-0,33
199	BCBBCC	02	0	0,33	-0,33
200	BCBCBC	02	0	0,33	-0,33
201	BCBCCB	02	0	0,33	-0,33
202	BCCCCC	02	0	0,33	-0,33
203	CABACC	02	0	0,33	-0,33
204	CABCAC	02	0	0,33	-0,33
205	CABCCA	02	0	0,33	-0,33
206	CBAACC	02	0	0,33	-0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
207	CBACAC	02	0	0,33	-0,33
208	CBACCA	02	0	0,33	-0,33
209	CBBBCC	02	0	0,33	-0,33
210	CBBCBC	02	0	0,33	-0,33
211	CBBCCB	02	0	0,33	-0,33
212	CBCCCC	02	0	0,33	-0,33
213	CCBCCC	02	0	0,33	-0,33
214	AABAAA	03	-0,33	0,33	0
215	ABAAAA	03	-0,33	0,33	0
216	ABBAAB	03	-0,33	0,33	0
217	ABBABA	03	-0,33	0,33	0
218	ABBBAA	03	-0,33	0,33	0
219	ABCAAC	03	-0,33	0,33	0
220	ABCACA	03	-0,33	0,33	0
221	ABCCAA	03	-0,33	0,33	0
222	ACBAAC	03	-0,33	0,33	0
223	ACBACA	03	-0,33	0,33	0
224	ACBCAA	03	-0,33	0,33	0
225	BAAAAA	03	-0,33	0,33	0
226	BABAAB	03	-0,33	0,33	0
227	BABABA	03	-0,33	0,33	0
228	BABBAA	03	-0,33	0,33	0
229	BACAAC	03	-0,33	0,33	0
230	BACACA	03	-0,33	0,33	0
231	BACCAA	03	-0,33	0,33	0
232	BBAAAB	03	-0,33	0,33	0
233	BBAABA	03	-0,33	0,33	0
234	BBABAA	03	-0,33	0,33	0
235	BBBABB	03	-0,33	0,33	0
236	BBBBAB	03	-0,33	0,33	0
237	BBBBBA	03	-0,33	0,33	0
238	BBCABC	03	-0,33	0,33	0
239	BBCACB	03	-0,33	0,33	0
240	BBCBAC	03	-0,33	0,33	0
241	BBCBCA	03	-0,33	0,33	0
242	BBCCAB	03	-0,33	0,33	0
243	BBCCBA	03	-0,33	0,33	0
244	BCAAAC	03	-0,33	0,33	0
245	BCAACA	03	-0,33	0,33	0
246	BCACAA	03	-0,33	0,33	0
247	BCBABC	03	-0,33	0,33	0
248	BCBACB	03	-0,33	0,33	0
249	BCBBAC	03	-0,33	0,33	0
250	BCBBCA	03	-0,33	0,33	0
251	BCBCAB	03	-0,33	0,33	0
252	BCBCBA	03	-0,33	0,33	0
253	BCCACC	03	-0,33	0,33	0
254	BCCCAC	03	-0,33	0,33	0
255	BCCCCA	03	-0,33	0,33	0
256	CABAAC	03	-0,33	0,33	0
257	CABACA	03	-0,33	0,33	0
258	CABCAA	03	-0,33	0,33	0
259	CBAAAC	03	-0,33	0,33	0
260	CBAACA	03	-0,33	0,33	0
261	CBACAA	03	-0,33	0,33	0
262	CBBABC	03	-0,33	0,33	0
263	CBBACB	03	-0,33	0,33	0
264	CBBBAC	03	-0,33	0,33	0
265	CBBBCA	03	-0,33	0,33	0
266	CBBCAB	03	-0,33	0,33	0
267	CBBCBA	03	-0,33	0,33	0
268	CBCACC	03	-0,33	0,33	0

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
269	CBCCAC	03	-0,33	0,33	0
270	CBCCCA	03	-0,33	0,33	0
271	CCBACC	03	-0,33	0,33	0
272	CCBCAC	03	-0,33	0,33	0
273	CCBCCA	03	-0,33	0,33	0
274	AACAAA	04	-0,33	0	0,33
275	ABCAAB	04	-0,33	0	0,33
276	ABCABA	04	-0,33	0	0,33
277	ABCBAA	04	-0,33	0	0,33
278	ACAAAA	04	-0,33	0	0,33
279	ACBAAB	04	-0,33	0	0,33
280	ACBABA	04	-0,33	0	0,33
281	ACBBAA	04	-0,33	0	0,33
282	ACCAAC	04	-0,33	0	0,33
283	ACCACA	04	-0,33	0	0,33
284	ACCCAA	04	-0,33	0	0,33
285	BACAAB	04	-0,33	0	0,33
286	BACABA	04	-0,33	0	0,33
287	BACBAA	04	-0,33	0	0,33
288	BBCABB	04	-0,33	0	0,33
289	BBCBAB	04	-0,33	0	0,33
290	BBCBBA	04	-0,33	0	0,33
291	BCAAAB	04	-0,33	0	0,33
292	BCAABA	04	-0,33	0	0,33
293	BCABAA	04	-0,33	0	0,33
294	BCBABB	04	-0,33	0	0,33
295	BCBBAB	04	-0,33	0	0,33
296	BCBBBA	04	-0,33	0	0,33
297	BCCABC	04	-0,33	0	0,33
298	BCCACB	04	-0,33	0	0,33
299	BCCBAC	04	-0,33	0	0,33
300	BCCBCA	04	-0,33	0	0,33
301	BCCCAB	04	-0,33	0	0,33
302	BCCCBA	04	-0,33	0	0,33
303	CAAAAA	04	-0,33	0	0,33
304	CABAAB	04	-0,33	0	0,33
305	CABABA	04	-0,33	0	0,33
306	CABBAA	04	-0,33	0	0,33
307	CACAAC	04	-0,33	0	0,33
308	CACACA	04	-0,33	0	0,33
309	CACCAA	04	-0,33	0	0,33
310	CBAAAB	04	-0,33	0	0,33
311	CBAABA	04	-0,33	0	0,33
312	CBABAA	04	-0,33	0	0,33
313	CBBABB	04	-0,33	0	0,33
314	CBBBAB	04	-0,33	0	0,33
315	CBBBBA	04	-0,33	0	0,33
316	CBCABC	04	-0,33	0	0,33
317	CBCACB	04	-0,33	0	0,33
318	CBCBAC	04	-0,33	0	0,33
319	CBCBCA	04	-0,33	0	0,33
320	CBCCAB	04	-0,33	0	0,33
321	CBCCBA	04	-0,33	0	0,33
322	CCAAAC	04	-0,33	0	0,33
323	CCAACA	04	-0,33	0	0,33
324	CCACAA	04	-0,33	0	0,33
325	CCBABC	04	-0,33	0	0,33
326	CCBACB	04	-0,33	0	0,33
327	CCBBAC	04	-0,33	0	0,33
328	CCBBCA	04	-0,33	0	0,33
329	CCBCAB	04	-0,33	0	0,33
330	CCBCBA	04	-0,33	0	0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
331	CCCACC	04	-0,33	0	0,33
332	CCCCAC	04	-0,33	0	0,33
333	CCCCCA	04	-0,33	0	0,33
334	AACAAB	05	0	-0,33	0,33
335	AACABA	05	0	-0,33	0,33
336	AACBAA	05	0	-0,33	0,33
337	ABCABB	05	0	-0,33	0,33
338	ABCBAB	05	0	-0,33	0,33
339	ABCBBA	05	0	-0,33	0,33
340	ACAAAB	05	0	-0,33	0,33
341	ACAABA	05	0	-0,33	0,33
342	ACABAA	05	0	-0,33	0,33
343	ACBABB	05	0	-0,33	0,33
344	ACBBAB	05	0	-0,33	0,33
345	ACBBBA	05	0	-0,33	0,33
346	ACCABC	05	0	-0,33	0,33
347	ACCACB	05	0	-0,33	0,33
348	ACCBAC	05	0	-0,33	0,33
349	ACCBCA	05	0	-0,33	0,33
350	ACCCAB	05	0	-0,33	0,33
351	ACCCBA	05	0	-0,33	0,33
352	BACABB	05	0	-0,33	0,33
353	BACBAB	05	0	-0,33	0,33
354	BACBBA	05	0	-0,33	0,33
355	BBCBBB	05	0	-0,33	0,33
356	BCAABB	05	0	-0,33	0,33
357	BCABAB	05	0	-0,33	0,33
358	BCABBA	05	0	-0,33	0,33
359	BCBBBB	05	0	-0,33	0,33
360	BCCBBC	05	0	-0,33	0,33
361	BCCBCB	05	0	-0,33	0,33
362	BCCCBB	05	0	-0,33	0,33
363	CAAAAB	05	0	-0,33	0,33
364	CAAABA	05	0	-0,33	0,33
365	CAABAA	05	0	-0,33	0,33
366	CABABB	05	0	-0,33	0,33
367	CABBAB	05	0	-0,33	0,33
368	CABBBA	05	0	-0,33	0,33
369	CACABC	05	0	-0,33	0,33
370	CACACB	05	0	-0,33	0,33
371	CACBAC	05	0	-0,33	0,33
372	CACBCA	05	0	-0,33	0,33
373	CACCAB	05	0	-0,33	0,33
374	CACCBA	05	0	-0,33	0,33
375	CBAABB	05	0	-0,33	0,33
376	CBABAB	05	0	-0,33	0,33
377	CBABBA	05	0	-0,33	0,33
378	CBBBBB	05	0	-0,33	0,33
379	CBCBBC	05	0	-0,33	0,33
380	CBCBCB	05	0	-0,33	0,33
381	CBCCBB	05	0	-0,33	0,33
382	CCAABC	05	0	-0,33	0,33
383	CCAACB	05	0	-0,33	0,33
384	CCABAC	05	0	-0,33	0,33
385	CCABCA	05	0	-0,33	0,33
386	CCACAB	05	0	-0,33	0,33
387	CCACBA	05	0	-0,33	0,33
388	CCBBBC	05	0	-0,33	0,33
389	CCBBCB	05	0	-0,33	0,33
390	CCBCBB	05	0	-0,33	0,33
391	CCCBCC	05	0	-0,33	0,33
392	CCCCBC	05	0	-0,33	0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
393	CCCCCB	05	0	-0,33	0,33
394	AAAAAB	06	0,33	-0,33	0
395	AAAABA	06	0,33	-0,33	0
396	AAABAA	06	0,33	-0,33	0
397	AABABB	06	0,33	-0,33	0
398	AABBAB	06	0,33	-0,33	0
399	AABBBA	06	0,33	-0,33	0
400	AACABC	06	0,33	-0,33	0
401	AACACB	06	0,33	-0,33	0
402	AACBAC	06	0,33	-0,33	0
403	AACBCA	06	0,33	-0,33	0
404	AACCAB	06	0,33	-0,33	0
405	AACCBA	06	0,33	-0,33	0
406	ABAABB	06	0,33	-0,33	0
407	ABABAB	06	0,33	-0,33	0
408	ABABBA	06	0,33	-0,33	0
409	ABBBBB	06	0,33	-0,33	0
410	ABCBBC	06	0,33	-0,33	0
411	ABCBCB	06	0,33	-0,33	0
412	ABCCBB	06	0,33	-0,33	0
413	ACAABC	06	0,33	-0,33	0
414	ACAACB	06	0,33	-0,33	0
415	ACABAC	06	0,33	-0,33	0
416	ACABCA	06	0,33	-0,33	0
417	ACACAB	06	0,33	-0,33	0
418	ACACBA	06	0,33	-0,33	0
419	ACBBBC	06	0,33	-0,33	0
420	ACBBCB	06	0,33	-0,33	0
421	ACBCBB	06	0,33	-0,33	0
422	ACCBCC	06	0,33	-0,33	0
423	ACCCBC	06	0,33	-0,33	0
424	ACCCCB	06	0,33	-0,33	0
425	BAAABB	06	0,33	-0,33	0
426	BAABAB	06	0,33	-0,33	0
427	BAABBA	06	0,33	-0,33	0
428	BABBBB	06	0,33	-0,33	0
429	BACBBC	06	0,33	-0,33	0
430	BACBCB	06	0,33	-0,33	0
431	BACCBB	06	0,33	-0,33	0
432	BBABBB	06	0,33	-0,33	0
433	BCABBC	06	0,33	-0,33	0
434	BCABCB	06	0,33	-0,33	0
435	BCACBB	06	0,33	-0,33	0
436	CAAABC	06	0,33	-0,33	0
437	CAAACB	06	0,33	-0,33	0
438	CAABAC	06	0,33	-0,33	0
439	CAABCA	06	0,33	-0,33	0
440	CAACAB	06	0,33	-0,33	0
441	CAACBA	06	0,33	-0,33	0
442	CABBBC	06	0,33	-0,33	0
443	CABBCB	06	0,33	-0,33	0
444	CABCBB	06	0,33	-0,33	0
445	CACBCC	06	0,33	-0,33	0
446	CACCBC	06	0,33	-0,33	0
447	CACCCB	06	0,33	-0,33	0
448	CBABBC	06	0,33	-0,33	0
449	CBABCB	06	0,33	-0,33	0
450	CBACBB	06	0,33	-0,33	0
451	CCABCC	06	0,33	-0,33	0
452	CCACBC	06	0,33	-0,33	0
453	CCACCB	06	0,33	-0,33	0
454	AAAABC	07	0,67	-0,33	-0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
455	AAAACB	07	0,67	-0,33	-0,33
456	AAABAC	07	0,67	-0,33	-0,33
457	AAABCA	07	0,67	-0,33	-0,33
458	AAACAB	07	0,67	-0,33	-0,33
459	AAACBA	07	0,67	-0,33	-0,33
460	AABBBC	07	0,67	-0,33	-0,33
461	AABBCB	07	0,67	-0,33	-0,33
462	AABCBB	07	0,67	-0,33	-0,33
463	AACBCC	07	0,67	-0,33	-0,33
464	AACCBC	07	0,67	-0,33	-0,33
465	AACCCB	07	0,67	-0,33	-0,33
466	ABABBC	07	0,67	-0,33	-0,33
467	ABABCB	07	0,67	-0,33	-0,33
468	ABACBB	07	0,67	-0,33	-0,33
469	ACABCC	07	0,67	-0,33	-0,33
470	ACACBC	07	0,67	-0,33	-0,33
471	ACACCB	07	0,67	-0,33	-0,33
472	BAABBC	07	0,67	-0,33	-0,33
473	BAABCB	07	0,67	-0,33	-0,33
474	BAACBB	07	0,67	-0,33	-0,33
475	CAABCC	07	0,67	-0,33	-0,33
476	CAACBC	07	0,67	-0,33	-0,33
477	CAACCB	07	0,67	-0,33	-0,33
478	AAAACC	08	0,67	0	-0,67
479	AAACAC	08	0,67	0	-0,67
480	AAACCA	08	0,67	0	-0,67
481	AABBCC	08	0,67	0	-0,67
482	AABCBC	08	0,67	0	-0,67
483	AABCCB	08	0,67	0	-0,67
484	AACCCC	08	0,67	0	-0,67
485	ABABCC	08	0,67	0	-0,67
486	ABACBC	08	0,67	0	-0,67
487	ABACCB	08	0,67	0	-0,67
488	ACACCC	08	0,67	0	-0,67
489	BAABCC	08	0,67	0	-0,67
490	BAACBC	08	0,67	0	-0,67
491	BAACCB	08	0,67	0	-0,67
492	CAACCC	08	0,67	0	-0,67
493	AABACC	09	0,33	0,33	-0,67
494	AABCAC	09	0,33	0,33	-0,67
495	AABCCA	09	0,33	0,33	-0,67
496	ABAACC	09	0,33	0,33	-0,67
497	ABACAC	09	0,33	0,33	-0,67
498	ABACCA	09	0,33	0,33	-0,67
499	ABBBCC	09	0,33	0,33	-0,67
500	ABBCBC	09	0,33	0,33	-0,67
501	ABBCCB	09	0,33	0,33	-0,67
502	ABCCCC	09	0,33	0,33	-0,67
503	ACBCCC	09	0,33	0,33	-0,67
504	BAAACC	09	0,33	0,33	-0,67
505	BAACAC	09	0,33	0,33	-0,67
506	BAACCA	09	0,33	0,33	-0,67
507	BABBCC	09	0,33	0,33	-0,67
508	BABCBC	09	0,33	0,33	-0,67
509	BABCCB	09	0,33	0,33	-0,67
510	BACCCC	09	0,33	0,33	-0,67
511	BBABCC	09	0,33	0,33	-0,67
512	BBACBC	09	0,33	0,33	-0,67
513	BBACCB	09	0,33	0,33	-0,67
514	BCACCC	09	0,33	0,33	-0,67
515	CABCCC	09	0,33	0,33	-0,67
516	CBACCC	09	0,33	0,33	-0,67

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
517	ABBACC	10	0	0,67	-0,67
518	ABBCAC	10	0	0,67	-0,67
519	ABBCCA	10	0	0,67	-0,67
520	BABACC	10	0	0,67	-0,67
521	BABCAC	10	0	0,67	-0,67
522	BABCCA	10	0	0,67	-0,67
523	BBAACC	10	0	0,67	-0,67
524	BBACAC	10	0	0,67	-0,67
525	BBACCA	10	0	0,67	-0,67
526	BBBBCC	10	0	0,67	-0,67
527	BBBCBC	10	0	0,67	-0,67
528	BBBCCB	10	0	0,67	-0,67
529	BBCCCC	10	0	0,67	-0,67
530	BCBCCC	10	0	0,67	-0,67
531	CBBCCC	10	0	0,67	-0,67
532	ABBAAC	11	-0,33	0,67	-0,33
533	ABBACA	11	-0,33	0,67	-0,33
534	ABBCAA	11	-0,33	0,67	-0,33
535	BABAAC	11	-0,33	0,67	-0,33
536	BABACA	11	-0,33	0,67	-0,33
537	BABCAA	11	-0,33	0,67	-0,33
538	BBAAAC	11	-0,33	0,67	-0,33
539	BBAACA	11	-0,33	0,67	-0,33
540	BBACAA	11	-0,33	0,67	-0,33
541	BBBABC	11	-0,33	0,67	-0,33
542	BBBACB	11	-0,33	0,67	-0,33
543	BBBBAC	11	-0,33	0,67	-0,33
544	BBBBCA	11	-0,33	0,67	-0,33
545	BBBCAB	11	-0,33	0,67	-0,33
546	BBBCBA	11	-0,33	0,67	-0,33
547	BBCACC	11	-0,33	0,67	-0,33
548	BBCCAC	11	-0,33	0,67	-0,33
549	BBCCCA	11	-0,33	0,67	-0,33
550	BCBACC	11	-0,33	0,67	-0,33
551	BCBCAC	11	-0,33	0,67	-0,33
552	BCBCCA	11	-0,33	0,67	-0,33
553	CBBACC	11	-0,33	0,67	-0,33
554	CBBCAC	11	-0,33	0,67	-0,33
555	CBBCCA	11	-0,33	0,67	-0,33
556	ABBAAA	12	-0,67	0,67	0
557	BABAAA	12	-0,67	0,67	0
558	BBAAAA	12	-0,67	0,67	0
559	BBBAAB	12	-0,67	0,67	0
560	BBBABA	12	-0,67	0,67	0
561	BBBBAA	12	-0,67	0,67	0
562	BBCAAC	12	-0,67	0,67	0
563	BBCACA	12	-0,67	0,67	0
564	BBCCAA	12	-0,67	0,67	0
565	BCBAAC	12	-0,67	0,67	0
566	BCBACA	12	-0,67	0,67	0
567	BCBCAA	12	-0,67	0,67	0
568	CBBAAC	12	-0,67	0,67	0
569	CBBACA	12	-0,67	0,67	0
570	CBBCAA	12	-0,67	0,67	0
571	ABCAAA	13	-0,67	0,33	0,33
572	ACBAAA	13	-0,67	0,33	0,33
573	BACAAA	13	-0,67	0,33	0,33
574	BBCAAB	13	-0,67	0,33	0,33
575	BBCABA	13	-0,67	0,33	0,33
576	BBCBAA	13	-0,67	0,33	0,33
577	BCAAAA	13	-0,67	0,33	0,33
578	BCBAAB	13	-0,67	0,33	0,33

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
579	BCBABA	13	-0,67	0,33	0,33
580	BCBBAA	13	-0,67	0,33	0,33
581	BCCAAC	13	-0,67	0,33	0,33
582	BCCACA	13	-0,67	0,33	0,33
583	BCCCAA	13	-0,67	0,33	0,33
584	CABAAA	13	-0,67	0,33	0,33
585	CBAAAA	13	-0,67	0,33	0,33
586	CBBAAB	13	-0,67	0,33	0,33
587	CBBABA	13	-0,67	0,33	0,33
588	CBBBAA	13	-0,67	0,33	0,33
589	CBCAAC	13	-0,67	0,33	0,33
590	CBCACA	13	-0,67	0,33	0,33
591	CBCCAA	13	-0,67	0,33	0,33
592	CCBAAC	13	-0,67	0,33	0,33
593	CCBACA	13	-0,67	0,33	0,33
594	CCBCAA	13	-0,67	0,33	0,33
595	ACCAAA	14	-0,67	0	0,67
596	BCCAAB	14	-0,67	0	0,67
597	BCCABA	14	-0,67	0	0,67
598	BCCBAA	14	-0,67	0	0,67
599	CACAAA	14	-0,67	0	0,67
600	CBCAAB	14	-0,67	0	0,67
601	CBCABA	14	-0,67	0	0,67
602	CBCBAA	14	-0,67	0	0,67
603	CCAAAA	14	-0,67	0	0,67
604	CCBAAB	14	-0,67	0	0,67
605	CCBABA	14	-0,67	0	0,67
606	CCBBAA	14	-0,67	0	0,67
607	CCCAAC	14	-0,67	0	0,67
608	CCCACA	14	-0,67	0	0,67
609	CCCCAA	14	-0,67	0	0,67
610	ACCAAB	15	-0,33	-0,33	0,67
611	ACCABA	15	-0,33	-0,33	0,67
612	ACCBAA	15	-0,33	-0,33	0,67
613	BCCABB	15	-0,33	-0,33	0,67
614	BCCBAB	15	-0,33	-0,33	0,67
615	BCCBBA	15	-0,33	-0,33	0,67
616	CACAAB	15	-0,33	-0,33	0,67
617	CACABA	15	-0,33	-0,33	0,67
618	CACBAA	15	-0,33	-0,33	0,67
619	CBCABB	15	-0,33	-0,33	0,67
620	CBCBAB	15	-0,33	-0,33	0,67
621	CBCBBA	15	-0,33	-0,33	0,67
622	CCAAAB	15	-0,33	-0,33	0,67
623	CCAABA	15	-0,33	-0,33	0,67
624	CCABAA	15	-0,33	-0,33	0,67
625	CCBABB	15	-0,33	-0,33	0,67
626	CCBBAB	15	-0,33	-0,33	0,67
627	CCBBBA	15	-0,33	-0,33	0,67
628	CCCABC	15	-0,33	-0,33	0,67
629	CCCACB	15	-0,33	-0,33	0,67
630	CCCBAC	15	-0,33	-0,33	0,67
631	CCCBCA	15	-0,33	-0,33	0,67
632	CCCCAB	15	-0,33	-0,33	0,67
633	CCCCBA	15	-0,33	-0,33	0,67
634	ACCABB	16	0	-0,67	0,67
635	ACCBAB	16	0	-0,67	0,67
636	ACCBBA	16	0	-0,67	0,67
637	BCCBBB	16	0	-0,67	0,67
638	CACABB	16	0	-0,67	0,67
639	CACBAB	16	0	-0,67	0,67
640	CACBBA	16	0	-0,67	0,67

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
641	CBCBBB	16	0	-0,67	0,67
642	CCAABB	16	0	-0,67	0,67
643	CCABAB	16	0	-0,67	0,67
644	CCABBA	16	0	-0,67	0,67
645	CCBBBB	16	0	-0,67	0,67
646	CCCBBC	16	0	-0,67	0,67
647	CCCBCB	16	0	-0,67	0,67
648	CCCCBB	16	0	-0,67	0,67
649	AACABB	17	0,33	-0,67	0,33
650	AACBAB	17	0,33	-0,67	0,33
651	AACBBA	17	0,33	-0,67	0,33
652	ABCBBB	17	0,33	-0,67	0,33
653	ACAABB	17	0,33	-0,67	0,33
654	ACABAB	17	0,33	-0,67	0,33
655	ACABBA	17	0,33	-0,67	0,33
656	ACBBBB	17	0,33	-0,67	0,33
657	ACCBBC	17	0,33	-0,67	0,33
658	ACCBCB	17	0,33	-0,67	0,33
659	ACCCBB	17	0,33	-0,67	0,33
660	BACBBB	17	0,33	-0,67	0,33
661	BCABBB	17	0,33	-0,67	0,33
662	CAAABB	17	0,33	-0,67	0,33
663	CAABAB	17	0,33	-0,67	0,33
664	CAABBA	17	0,33	-0,67	0,33
665	CABBBB	17	0,33	-0,67	0,33
666	CACBBC	17	0,33	-0,67	0,33
667	CACBCB	17	0,33	-0,67	0,33
668	CACCBB	17	0,33	-0,67	0,33
669	CBABBB	17	0,33	-0,67	0,33
670	CCABBC	17	0,33	-0,67	0,33
671	CCABCB	17	0,33	-0,67	0,33
672	CCACBB	17	0,33	-0,67	0,33
673	AAAABB	18	0,67	-0,67	0
674	AAABAB	18	0,67	-0,67	0
675	AAABBA	18	0,67	-0,67	0
676	AABBBB	18	0,67	-0,67	0
677	AACBBC	18	0,67	-0,67	0
678	AACBCB	18	0,67	-0,67	0
679	AACCBB	18	0,67	-0,67	0
680	ABABBB	18	0,67	-0,67	0
681	ACABBC	18	0,67	-0,67	0
682	ACABCB	18	0,67	-0,67	0
683	ACACBB	18	0,67	-0,67	0
684	BAABBB	18	0,67	-0,67	0
685	CAABBC	18	0,67	-0,67	0
686	CAABCB	18	0,67	-0,67	0
687	CAACBB	18	0,67	-0,67	0
688	AAABBC	19	1	-0,67	-0,33
689	AAABCB	19	1	-0,67	-0,33
690	AAACBB	19	1	-0,67	-0,33
691	AAABCC	20	1	-0,33	-0,67
692	AAACBC	20	1	-0,33	-0,67
693	AAACCB	20	1	-0,33	-0,67
694	AAACCC	21	1	0	-1
695	AABCCC	22	0,67	0,33	-1
696	ABACCC	22	0,67	0,33	-1
697	BAACCC	22	0,67	0,33	-1
698	ABBCCC	23	0,33	0,67	-1
699	BABCCC	23	0,33	0,67	-1
700	BBACCC	23	0,33	0,67	-1
701	BBBCCC	24	0	1	-1
702	BBBACC	25	-0,33	1	-0,67

N°	Etat d'interrupteurs	Vecteur	Ia,0	Ib,0	Ic,0
703	BBBCAC	25	-0,33	1	-0,67
704	BBBCCA	25	-0,33	1	-0,67
705	BBBAAC	26	-0,67	1	-0,33
706	BBBACA	26	-0,67	1	-0,33
707	BBBCAA	26	-0,67	1	-0,33
708	BBBAAA	27	-1	1	0
709	BBCAAA	28	-1	0,67	0,33
710	BCBAAA	28	-1	0,67	0,33
711	CBBAAA	28	-1	0,67	0,33
712	BCCAAA	29	-1	0,33	0,67
713	CBCAAA	29	-1	0,33	0,67
714	CCBAAA	29	-1	0,33	0,67
715	CCCAAA	30	-1	0	1
716	CCCAAB	31	-0,67	-0,33	1
717	CCCABA	31	-0,67	-0,33	1
718	CCCBAA	31	-0,67	-0,33	1
719	CCCABB	32	-0,33	-0,67	1
720	CCCBAB	32	-0,33	-0,67	1
721	CCCBBA	32	-0,33	-0,67	1
722	CCCBBB	33	0	-1	1
723	ACCBBB	34	0,33	-1	0,67
724	CACBBB	34	0,33	-1	0,67
725	CCABBB	34	0,33	-1	0,67
726	AACBBB	35	0,67	-1	0,33
727	ACABBB	35	0,67	-1	0,33
728	CAABBB	35	0,67	-1	0,33
729	AAABBB	36	1	-1	0

Bibliographie

[1] R. M. Burkart, "Advanced modeling and multi-objective optimization of power electronic converter systems," Ph.D. dissertation, ETH Zurich, 2016.

[2] L.-A. Gomez, L. G. Alves Rodrigues, G. Gateau, and S. Sanchez, "On the potential of parallel multilevel current source inverter using sic devices for renewable applications," in *2021 22nd IEEE International Conference on Industrial Technology (ICIT)*, vol. 1, 2021, pp. 1377–1382.

[3] D. Christen, M. Stojadinovic, and J. Biela, "Energy efficient heat sink design : Natural vs. forced convection cooling," in *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2016, pp. 1–8.

[4] B. Scortegagna Dupczak, "Inversor cinco niveis em corrente para o acionameneto de motores elétricos," Ph.D. dissertation, 2013, universidad Federal de Santa Catarina, Florianopolis.