THÈSE POUR OBTENIR LE GRADE DE DOCTEUR
DE L'UNIVERSITÉ DE MONTPELLIER

En Systèmes Automatiques et Microélectronique

École doctorale Information, Structures, Système

Unité de recherche : Laboratoire d'informatique, de Robotique et de Microélectronique de Montpellier (LIRMM)

Solutions innovantes pour le conditionnement de capteurs résistifs

Présentée par Ibrahim Shankhour
le 9 Décembre 2022

Sous la direction de Pascal Nouet et Frédérick Mailly

Devant le jury composé de

Hélène TAP, Professeure des Universités, INP-ENSEEIHT	Présidente
Luc HEBRARD, Professeur des Universités, Université de Strasbourg	Rapporteur
Wenceslas RAHAJANDRAIBE, Professeur des Universités, Université Aix-Marseille	Rapporteur
Nicolas BERTSCH, Directeur des Opérations, MEMSCAP SA	Examinateur
Laurent LATORRE, Professeur des Universités, Université de Montpellier	Examinateur
Frédérick MAILLY, Maitre de Conférences, Université de Montpellier	Co-encadrant
Pascal NOUET, Professeur des Universités, Université de Montpellier	Directeur de thèse

UNIVERSITÉ
DE MONTPELLIER

Table des matières

Table des matières iii

Table des figures vi

Liste des tableaux x

Remerciements xi

Introduction 1

1 Les capteurs résistifs et leurs interfaces 6
1.1 Le pont de Wheatstone : principe et performances . . . 7
1.1.1 Rapport signal sur bruit d'un pont de Wheatstone . . . 7
1.1.2 Amplification du signal et dégradation du *SNR* . . . 8
1.1.3 Effets des dispersions de fabrication sur un pont de Wheatstone 10
1.1.4 Compensation post-fabrication du pont de Wheatstone . . . 11
1.2 Traitement de signal pour capteur résistif . . . 12
1.2.1 Pont actif à recyclage de courant . . . 13
1.2.2 Amplification du signal . . . 14
1.2.3 Rapport signal sur bruit . . . 16
1.2.4 Calcul du courant de polarisation optimal . . . 17
1.2.4.1 Courant de polarisation optimal pour la solution de l'état de l'art . . . 17
1.2.4.2 Courant de polarisation optimal pour le pont à recyclage de courant . . . 18
1.2.5 Validation . . . 18
1.3 Conclusion . . . 19

2 Conditionnement d'un capteur résistif à sortie analogique 20
2.1 Introduction . . . 20
2.2 Performance et limitations du Pont de Wheatstone . . . 21
2.3 Modèle de capteur . . . 22
2.4 Compensation d'offset . . . 23
2.5 Compensation de la dérive thermique de l'*offset* . . . 27

2.6 Réglage fin automatique de l'*offset* . . . 31
2.6.1 Codage de la machine d'état . . . 32
2.6.2 Conception d'un comparateur à faible offset . . . 34
2.6.3 Architecture finale du réglage fin . . . 35
2.6.4 Mise en œuvre de simulations dépendantes de Monte-Carlo . . . 37
2.7 Réglage du facteur d'échelle . . . 38
2.8 Synthèse . . . 40
2.9 Périphériques supplémentaires du circuit proposé . . . 41
2.9.1 Mise en œuvre de l'interface SPI . . . 43
2.9.2 Mise en œuvre de la banque de fusibles . . . 44
2.10 Conclusion . . . 47

3 Conditionnement d'un capteur résistif à sortie numérique 48
3.1 Introduction . . . 48
3.2 Spécifications de l'étude . . . 49
3.3 Étude de faisabilité . . . 49
3.4 Modulateur ΣΔ du premier ordre . . . 52
3.4.1 Conversion analogique numérique . . . 52
3.4.2 Principe . . . 52
3.4.3 Modèle MATLAB d'un modulateur ΣΔ du 1^{er} ordre . . . 53
3.4.4 Mise en œuvre du modèle MATLAB Simulink . . . 55
3.5 Modulateur ΣΔ du 2^{nd} ordre . . . 57
3.5.1 Modèle MATLAB d'un modulateur ΣΔ du 2^{nd} ordre . . . 58
3.5.2 Règles de dimensionnement des paramètres du second intégrateur 59
3.5.3 Simulation numérique du modèle Matlab . . . 59
3.5.4 Mise en œuvre . . . 61
3.5.5 Simulation électrique du modulateur du 2^{nd} ordre . . . 62
3.6 Conclusion . . . 63

4 Résultats expérimentaux 65
4.1 Introduction . . . 65
4.2 Circuit d'étalonnage post-fabrication des capteurs résistifs . . . 65
4.2.1 Premier démonstrateur . . . 66
4.2.1.1 Réglage grossier de l'*offset* . . . 68
4.2.1.2 L'impact du circuit sur le coefficient de température . . . 69
4.2.1.3 Réglage fin automatique d'*offset* . . . 70
4.2.1.4 Réglage du facteur d'échelle . . . 71
4.2.2 Second démonstrateur . . . 73
4.2.2.1 Résultats . . . 73
4.2.3 Troisième démonstrateur . . . 75
4.2.3.1 Dérive thermique de l'*offset* pour un capteur nu . . . 75
4.2.3.2 Nouvelle proposition d'architecture . . . 76
4.2.3.3 Synthèse . . . 84

4.2.4 Point d'étape sur l'ASIC pour l'ajustement post-fabrication . . . 85
4.3 Modulateur ΣΔ . . . 86
4.3.1 Modulateur ΣΔ du 2^{nd} ordre : présentation du circuit étudié . . 86
4.3.2 Évaluation de performance : densité spectrale de puissance . . . 87
4.3.3 Évaluation de performance : linéarité, offset et pleine échelle . . 88
4.3.4 Analyse de la saturation du modulateur . . . 90
4.3.4.1 Simulation de l'amplificateur de transconductance . . . 90
4.3.4.2 Influence de la valeur du courant de retour . . . 91
4.3.5 Point d'étape sur le modulateur ΣΔ du 2^{nd} ordre ordre . . . 94

Conclusion **95**

A Détermination analytique de I_{amp} et I_{WB} pour un courant total minimum **98**

B Détermination analytique de I_{bAB} pour un SNR donné **99**

C Filtre numérique pour le modulateur ΣΔ **100**

D Régulateur de tension **102**

Bibliographie **107**

Résumé **111**

Abstract **112**

Table des figures

0.1 Le besoin combiné de fonctionnalités numériques et la diversification des dispositifs semi-conducteurs dans un système intégré est traduit par une double tendance dans la feuille de route de L'ITRS : miniaturisation des fonctions numériques (« More Moore ») et diversification fonctionnelle (« More-than-Moore ») [6]. 2
0.2 Le marché dynamique des capteurs de pression [7]. 3

1.1 Disposition en pont de Wheatstone d'un capteur résistif entièrement différentiel (à gauche) ; Implémentation CMOS d'un circuit d'amplification (à droite). 7
1.2 Figure de bruit du préamplificateur en fonction de son courant de polarisation (à gauche) ; Variation relative de la résistance du capteur pour un SNR=1 en fonction de la consommation totale de courant (à droite). . . . 10
1.3 Modèle de compensation d'*offset* sans dégradation de la dérive thermique de l'*offset* : (a) tension d'*offset* initiale négative ; (b) tension d'*offset* initiale positive [9]. 11
1.4 Pont actif à recyclage de courant : implantation CMOS (à gauche) ; modèle petit signal basse-fréquence (à droite). 14
1.5 Modèle petit signal pour l'amplification du signal pour une variation de R2+ (à gauche) ou R1+ (à droite). 15
1.6 Figure de bruit du pont de Wheatstone amplifié et du pont actif à recyclage de courant (à gauche) ; Variation relative de la résistance du capteur correspondant à un SNR de 1 en fonction du courant de polarisation total des deux solutions (à droite). 16

2.1 Pont de Wheatstone 21
2.2 Effet du *mismatch* sur la sortie d'un pont de Wheatstone : (a) *Offset* en mV, (b) taux de rejection de la tension d'alimentation en dB pour un signal d'entrée nul. 23
2.3 (a) Capteur résistif monté en pont de Wheatstone, (b) Capteur intelligent composé du capteur résistif et de l'ASIC. 24
2.4 Architecture proposée pour la compensation d'*offset*. 25
2.5 Exemple d'effet de la température sur l'*offset* après compensation. 27

2.6 Schéma de compensation de l'*offset* avec faible dérive thermique pour un *offset* initial négatif (à gauche) et un *offset* initial positif (à droite). 28
2.7 Architecture améliorée pour compenser l'*offset* sans introduction d'une dérive thermique de l'*offset* avec prise en compte des contraintes d'intégration. 29
2.8 Simulation typique de la dérive thermique de l'*offset* après compensation avec l'architecture améliorée. 31
2.9 Architecture améliorée afin de compenser l'*offset* par un réglage grossier (potentiomètres, A, B, C) et un réglage fin (potentiomètre D) 32
2.10 Organigramme de la machine d'état 33
2.11 (a) Architecture simple utlisée pour réduire l'*offset* d'un amplificateur existant (OP05B), (b) Simulations Monte Carlo de l'*offset* ramené en entrée de l' OP05B (en gris) et de l'*offset* du même amplificateur ramené en entrée d'un préamplificateur optimisé en *offset* et bruit en $1/f$ (en noir). 34
2.12 Architecture finale du réglage fin 35
2.13 Amplificateur *Standard Miller* personnalisé 36
2.14 Simulations de Monte Carlo : *offset* (a) et PSRR (b) d'un pont de Wheatstone non compensé (en gris) et après compensation totale de l'*offset* (en noir). 38
2.15 Architecture complète de l'IP proposé pour l'étalonnage post-fabrication des capteurs résistifs. 39
2.16 Mise en œuvre d'un ajustement du facteur d'échelle : (a) variation de la sensibilité (trait continu) et de la tension de mode commun (trait pointillé) en fonction de R_{gnd} et R_{Vdd}, (b) Simulation Monte Carlo de la sensibilité d'un pont de Wheatstone seul (gris clair), du même pont après la compensation d'offset (gris foncé) et après l'ajustement du facteur d'échelle (en noir). . . 40
2.17 Le capteur intelligent contenant les périphériques de programmation et de mémorisation. 42
2.18 Schéma simplifié du protocole SPI [31]. 43
2.19 Exemple de signaux transmis à l'ASIC selon le protocole SPI 44
2.20 Architecture différentielle du point mémoire OTP proposé. 45
2.21 Simulation typique du fonctionnement d'un fusible. 46

3.1 Schéma électrique de simulation du SNR : Pont de Wheatstone (gauche), Pont actif (droite). 51
3.2 Rapport signal sur bruit en fonction du courant total consommé par le pont de Wheatstone et le pont actif à recyclage de courant. 52
3.3 Schéma électrique du modulateur $\Sigma\Delta$ 1^{er} ordre. 53
3.4 Modèle MATLAB Simulink d'un modulateur $\Sigma\Delta$ du 1^{er} ordre. 54
3.5 Densité spectrale de puissance du train de bits de sortie du modulateur $\Sigma\Delta$ du premier ordre pour f_{clk}= 500KHz (gris clair), f_{clk}= 2,5MHz (gris foncé) et f_{clk}= 5MHz (noir). 56
3.6 Modèle MATLAB Simulink du modulateur $\Sigma\Delta$ du 2^{nd} ordre proposé. . . . 58

3.7 Densité spectrale de puissance du train de bits en sortie du modulateur ΣΔ du 2^{nd} ordre pour $fclk$= 500KHz (gris clair), $fclk$= 2,5MHz (gris foncé) et $fclk$= 5MHz (noir). 61
3.8 Schéma électrique d'un modulateur ΣΔ du 2^{nd} ordre. 62
3.9 Densité spectrale de puissance du train de bits en sortie du modulateur ΣΔ du 2^{nd} ordre issu d'une simulation Matlab (a) et d'une simulation électrique (b). 63

4.1 Premier démonstrateur du circuit d'ajustement électrique post-fabrication de capteurs résistifs : vue *layout* (à gauche) et photographie (à droite). . . 67
4.2 Démonstrateur réalisé avec un circuit intégré d'ajustement intelligent et un capteur de pression piézo-résistif commercial : a) schématique, b) carte du circuit imprimé. 68
4.3 Effet de la procédure de réglage grossier : a) évolution de l'*offset* en fonction du code pour le capteur étudié (*offset* de -8mV), b) *offset* obtenu pour le meilleur réglage du potentiomètre en fonction de la valeur de l'*offset* initial. 69
4.4 Dérive en Température de l'*Offset* (DTO) : pour le capteur nu (ligne pointillée) et après compensation CTO de l'*offset* (ligne continue). 70
4.5 Procédure de compensation automatique de l'*offset* résiduel à la mise sous tension. 71
4.6 Tension de sortie du pont de Wheatstone pour la pleine échelle en fonction du code de réglage du facteur d'échelle. 72
4.7 Vue *layout* du deuxième ASIC. 73
4.8 Évolution de la tension de sortie du pont amplifiée (x2500) lors du balayage des codes du réglage grossier d'offset par le microcontrôleur. 74
4.9 Évolution de la tension de sortie du pont amplifiée (x500) lors du balayage des codes d'ajustement du facteur d'échelle par le microcontrôleur. 74
4.10 Tension d'*offset* en fonction de la température pour 3 capteurs commerciaux non compensés. 75
4.11 Schémas simplifiés de l'architecture initiale (1er et 2ème ASIC) à gauche et de l'architecture modifiée, à droite, pour la prise la compensation des dérives thermiques. 76
4.12 Troisième démonstrateur intégré pour la calibration post fabrication de capteurs résistifs : (a) vue *layout* et photographie, (b) schéma de principe de l'architecture. 78
4.13 Tension de sortie mesurée pour 3 capteurs différents en fonction du code du réglage grossier d'*offset*. 79
4.14 Tension d'*offset* mesurée en sortie du capteur en fonction de la température pour les 16 codes de compensation de la dérive thermique. 80
4.15 Évolution de la tension sur les bornes (Vdd_{Sensor} et GND_{Sensor}) et aux bornes (V_{WB}) du pont de Wheatstone au cours du balayage des 64 codes de programmation par le microcontrôleur. 81

4.16 Résultats expérimentaux sur deux fusibles avec deux durées d'activation de 10μs (haut) et 1μs (bas). 82
4.17 Évolution de la tension de sortie amplifiée du pont de Wheatstone au cours de la procédure de compensation automatique d'un *offset* résiduel négatif (en haut) ou positif (en bas) après réglage grossier. 84
4.18 Tension de sortie du pont de Wheatstone en fonction de la température pour deux capteurs avant et après compensation. 85
4.19 Modulateur $\Sigma\Delta$ du 2^{nd} ordre : a) vue *layout*, b) photographie. 86
4.20 Densité spectrale de puissance du train de bits en sortie du modulateur $\Sigma\Delta$ du 2^{nd} ordre sans signal d'entrée (a) et avec signal d'entrée à 100Hz (b). . 88
4.21 Taux de « 1 » dans le *bitstream* en sortie du modulateur $\Sigma\Delta$ en fonction de la variation des résistances avec F_{clk}=1MHz. 89
4.22 Transconductance de l'OTA-FC et d'un OTA à plage de linéarité élargie par un atténuateur. 90
4.23 Taux de « 1 » dans le *bitstream* en sortie du modulateur $\Sigma\Delta$ en fonction de la variation de résistances pour différents courant de retour avec F_{clk}=1MHz. 92
4.24 Spectre de train de bits de sortie du modulateur $\Sigma\Delta$ du 2^{nd} ordre modifié (plage de fonctionnement étendue de l'OTA) pour différents courants de retour. 93

C.1 Architecture complète de la conversion analogique numérique. 100
C.2 Carte de démonstration contenant un CI $\Sigma\Delta$ du $1^{ère}$ ordre et un micro-contrôleur. 101
C.3 Exemple de sortie du filtre numérique DFSDM. 101

D.1 Régulateur linéaire *LDO* personnalisé. 103
D.2 Simulation Monte Carlo de la tension de sortie du régulateur. 103
D.3 Régulateur linéaire *LDO* personnalisé avec un coefficient de température positif. 104
D.4 La tension du régulateur en fonction de la tension d'alimentation 105
D.5 La tension aux bornes du pont de Wheatstone en fonction de la température 106

Liste des tableaux

1.1 Comparaison des performances du pont à recyclage de courant par rapport à un pont de Wheatstone amplifié. 19

2.1 PSRR et *Offset* obtenus à partir de simulations de MC après ajustement grossier de l'*offset* avec 7 résistances élémentaires. 26
2.2 Paramètres principaux du comparateur entièrement personnalisé 36
2.3 Performance simulée de la solution proposée pour l'étalonnage post-fabrication de capteurs résistifs après ajout des différents modules proposés. 41

3.1 Valeurs des paramètres de l'architecture $\Sigma\Delta$ du second ordre. 60

4.1 Spécifications considérées pour les trois démonstrateurs. 66

Remerciements

Ce manuscrit représente le travail que j'ai effectué durant cinq ans au laboratoire d'Informatique, Robotique et Microélectronique de Montpellier. Ce travail a été financé par la SATT AxLR en première partie, par l'université de Montpellier et par le fond propre du laboratoire LIRMM en deuxième partie. Je tiens donc à remercier les partenaires académiques et industriels impliqués dans ces projets européens, notamment MEMSCAP pour la richesse des échanges techniques et l'opportunité de travailler avec eux à plusieurs reprises.

Je remercie également Monsieur Luc Hébrard, Professeur à l'université de Strasbourg, ainsi que Monsieur Wenceslas Rahajandraibe, Professeur à l'université d'Aix-Marseille, d'avoir accepté d'être les rapporteurs de ce manuscrit.

Je tiens à remercier mon directeur de thèse, Monsieur Pascal Nouet. Je le connais maintenant depuis près de 6 ans. Il a d'abord été pour moi un professeur parmi tant d'autres avant de devenir mon maître de stage en master 2. Ensuite, il m'a donné l'opportunité d'intégrer son équipe de recherche en tant ingénieur maturation puis de m'inscrire à l'école doctorale, ce qui m'a permis de réaliser mon rêve d'avoir un doctorat. Il a énormément contribué à ce que ma thèse se déroule dans d'excellentes conditions scientifiques et dans une bonne ambiance générale. Je lui suis également reconnaissant du temps considérable qu'il m'a accordé, ses qualités pédagogiques et scientifiques, sa bonne humeur inébranlable, même dans certains moments délicats.

Je remercie tout particulièrement Monsieur Frédérick Mailly, Maître de conférences à l'université de Montpellier, d'avoir codirigés cette thèse. Tout au long de ce travail, il a su m'apporter un soutien constant, une disponibilité, une écoute, une confiance. Ses connaissances, ses critiques et ses conseils constructifs m'ont permis de mener à bien ce travail.

Je souhaite remercier Monsieur Laurent Latorre, Professeur à l'université de Montpellier et Monsieur Laurent Deknyff, Responsable technique, de m'avoir aidé à programmer le microcontrôleur STM32 et à réaliser les démonstrateurs.

J'adresse mes sincères et chaleureux remerciements à mes amis et collègues, Jad, Jérémie, Mohan, Kaan, Julien, Thomas et tout le personnel du département MIC, car leur soutien à tous les niveaux a été crucial pour mon bien-être et très essentiel pour le succès de mon travail.

Enfin, je tiens à remercier mes parents et ma conjointe Alice pour leur soutien et leur encouragement qui ont été nécessaires pour cueillir le succès de cette thèse.

Introduction

De nos jours, les microsystèmes, plus connus sous le nom de MEMS (acronyme de l'anglais *Micro-Electro-Mechanical-System*), sont utilisés de plus en plus dans tous les domaines utilisant des capteurs et agrémentent notre vie quotidienne. Ce sont des systèmes miniaturisés, de quelques μm à quelques mm, fabriqués à partir de matériaux très divers tels que des semi-conducteurs, plastiques, céramiques, ferroélectriques, magnétiques et biomatériaux. Les microsystèmes combinent des éléments mécaniques et électriques : membranes, ponts, actionneurs sont combinés dans des structures mécaniques plus ou moins complexes et associés à des transistors, des résistances, des diodes et autres composants électroniques.

En 1959, lors d'une réunion de l'American Physical Society, le physicien Richard Feynman a prononcé la phrase la plus connue dans l'histoire des MEMS : « there is plenty of room at the bottom » [1,2] « il y a beaucoup de place en bas de l'échelle ». Par cette phrase, il souhaitait susciter l'intérêt de nombreux physiciens pour des systèmes de petite dimension que ce soit pour leur miniaturisation mais aussi pour leur observation et leur caractérisation. Il indiquait alors une orientation vers des travaux de recherche permettant le stockage d'information et le calcul à l'aide de systèmes de petite taille et de manière plus générale vers la réduction de taille des systèmes occupant alors des volumes bien supérieurs au mm^3.

Six ans plus tard, en 1965, Gordon Moore constatait que depuis l'invention du transistor bipolaire à la fin des années 1940 et du transistor MOS en 1960, l'amélioration des équipements permettant la fabrication de ces composants avait permis de réduire les dimensions et d'augmenter les rendements de fabrication avec un impact positif sur le nombre de composants intégrés au sein d'un même système miniaturisé. En projetant cette tendance observée, il annonça que le nombre de transistors dans un circuit intégré avait doublé tous les 18 mois et que cette tendance allait se maintenir, énonçant ainsi la bien connue « loi de Moore » [3]. Depuis lors, l'évolution des technologies de fabrication utilisées en Microélectronique a permis une évolution constante de la taille minimale des transistors dont la surface a été divisée par 2 d'une génération à l'autre, passant ainsi d'une surface de 100 μm^2 en 1971 à une centaine de nm^2 aujourd'hui. Cette tendance a ralenti au début du 21ème siècle avec des défis liés à la physique de tels composants et aux densités de puissance dissipée et d'aucuns prédisent la fin de cette évolution [4]. Une longueur de grille minimale de 4 nm pour un transistor MOS pourrait être difficile à franchir selon certaines études scientifiques [5]. Études qu'il convient de prendre pour

ce qu'elles sont, c'est à dire des prévisions basées sur le savoir-faire et les équipements du moment.

En 2010, la célèbre feuille de route de l'ITRS (*International Technology Roadmap for Semiconductor*) a décliné l'évolution selon deux axes pour le futur des technologies microélectroniques [6]. Tout d'abord, le traitement des données et l'optimisation des mémoires continueront sur la voie du "More Moore" (*cf.* Figure 0.1)) ; il s'agit de maintenir l'augmentation des performances par d'autres moyens que la simple mise à l'échelle des dimensions car le traitement numérique est bien adapté à une intégration plus poussée dans une réalisation de système sur puce (SoC). Ensuite, les technologies microélectroniques ont un impact dans d'autres domaines moins traditionnels tels que l'analogique, la RF CMOS, l'alimentation et les capteurs. Cette tendance est caractérisée par une diversification fonctionnelle des dispositifs à base de semi-conducteurs. Ces fonctionnalités non numériques contribuent à la miniaturisation des systèmes électroniques, bien qu'elles n'évoluent pas nécessairement au même rythme que celui du développement des fonctionnalités numériques. Par conséquent, compte tenu de la fonctionnalité ajoutée, cette diversification peut être désignée par le "More-than-Moore" [6].

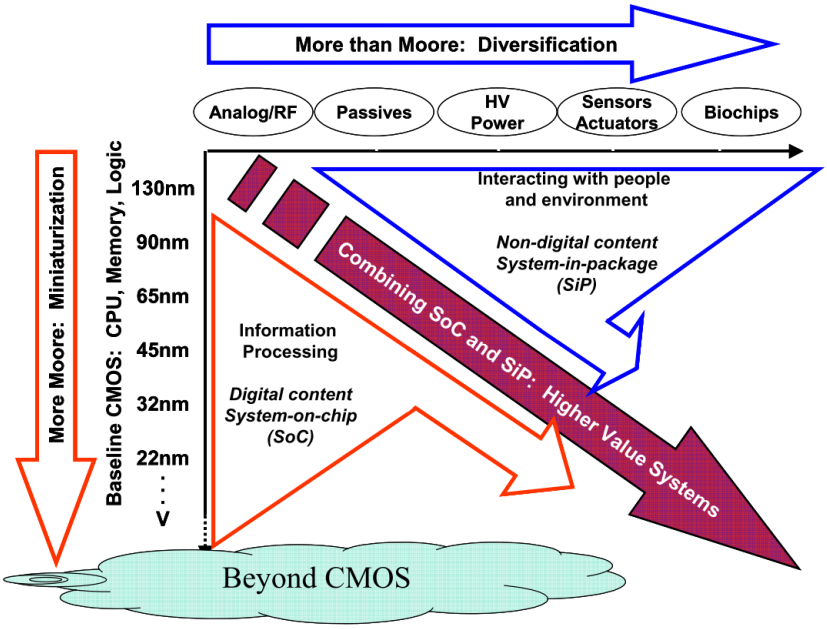


FIGURE 0.1 – Le besoin combiné de fonctionnalités numériques et la diversification des dispositifs semi-conducteurs dans un système intégré est traduit par une double tendance dans la feuille de route de L'ITRS : miniaturisation des fonctions numériques (« More Moore ») et diversification fonctionnelle (« More-than-Moore ») [6].

Cette nouvelle tendance a ainsi permis le développement de micro-capteurs plus compacts et plus performants à base de MEMS. En parallèle, les besoins de miniaturisation, de faible consommation, de réduction des coûts et de fiabilité des capteurs

ont favorisé le développement de capteurs intelligents à base de MEMS alliant un haut niveau de performance et un coût de fabrication faible pour les grands volumes.

Le marché mondial des MEMS devrait ainsi atteindre 35 milliards de dollars d'ici 2024 ; avec un taux de croissance de 11,6% par an de 2017 à 2025 [7] malgré une légère chute en 2020 en raison de l'épidémie COVID-19 et du manque de matières premières. Les MEMS sont ou seront utilisés pour la quasi-totalité des systèmes de mesure et dans tous les domaines d'application. La mesure de pression fait partie des applications qui se sont très vite appuyées sur les technologies microélectroniques notamment car des membranes de petite dimension sont nécessaires pour mesurer les pressions élevées. Malgré sa maturité ce marché promet une croissance régulière avec un taux annuel prévisionnel de 4%, comme illustré par la figure 0.2.

Les capteurs de pression sont utilisés majoritairement dans les domaines de l'automobile, du médical, du contrôle industriel, de la défense et de l'espace même si le marché de l'électronique grand public représente 20 à 25% du total. On peut donc estimer qu'une grande majorité des capteurs de pression sont utilisés dans des applications nécessitant de bonnes performances : large gamme de température, large gamme de pression, précision, résolution... Le principe de fonctionnement d'un capteur de pression met en œuvre, dans la plupart des cas, une membrane déformable et une détection capacitive ou piezo-resistive. Pour la mesure de faibles pressions, l'approche MEMS permet de travailler avec de petites membranes, puisque de petites déformations peuvent être détectées, et de réduire ainsi la taille du système capteur.

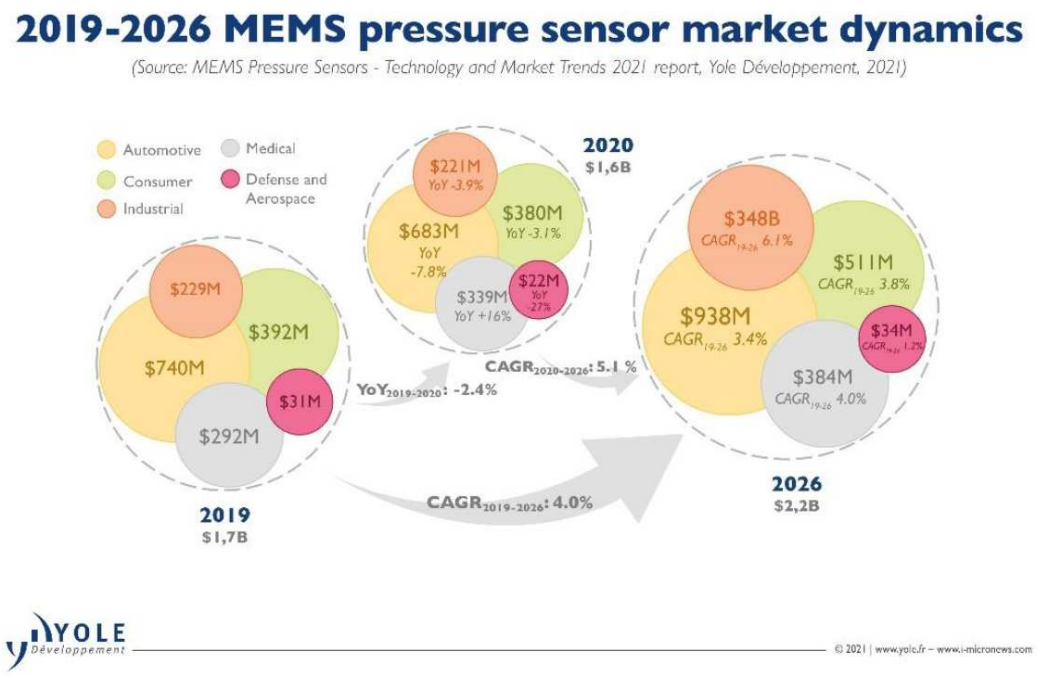


FIGURE 0.2 – Le marché dynamique des capteurs de pression [7].

Le partenaire industriel de cette étude, la société MEMSCAP®, propose toute une famille de capteurs de pression piezo-résistifs pour des applications haut et milieu de gamme avec des contraintes fortes en termes d'*offset*, de linéarité, de consommation, etc.
Notre collaboration a porté sur deux types de capteurs :

- Un capteur physiologique [1] spécialement conçu pour mesurer la pression sanguine intravasculaire dans des applications médicales en général et dans des systèmes d'hémodialyse en particulier. Pour ce capteur, la collaboration a porté sur la compensation de l'*offset* post-fabrication, l'ajustement du facteur d'échelle et la suppression des effets de dérive en température de l'*offset* et du facteur d'échelle. Cette partie a été financée partiellement par la SATT AxLR [2].
- Une gamme de capteurs de pression pour des applications critiques en défense et aéronautique [3], notamment pour la mesure de pression absolue, relative ou différentielle avec des performances élevées en termes de résolution, de linéarité et de stabilité dans le temps. Pour ces capteurs, la collaboration a porté sur une solution compacte et économe en énergie pour le conditionnement du signal et la conversion Analogique-Numérique avec un maintien des performances au plus haut niveau. Cette étude a été financée partiellement par Bpifrance dans le cadre d'un projet labellisé par le programme européen Eurostars [4].

Comme souvent pour les projets de recherche et encore plus souvent pour les projets de transfert technologique, les études sont plus longues que prévues et celles-ci n'auraient pas pu aboutir sans les fonds propres du laboratoire.

Au-delà de ces applications bien identifiées, les solutions proposées sont généralisables à la plupart des capteurs à transduction résistive. Dans la suite de ce manuscrit, nous insisterons donc plutôt sur les principes proposés et les contributions scientifiques que sur les opérations de transfert qui ne sont toujours pas terminées.

1. http://www.memscap.com/products/medical-and-biomedical/pressure-transducers/sp-844
2. https://www.businesswire.com/news/home/20170619005527/fr/
3. www.memscap.com/products/aerospace-and-defense/pressure-sensors
4. www.era-learn.eu/network-information/networks/eurostars-2/eurostars-cut-off-5/step-high-sensors-for-medium-to-high-pressure-ranges-for-high-value-markets

Plan du manuscrit

Le manuscrit est constitué de quatre chapitres et organisé comme suit. Le premier chapitre présente l'essentiel sur le conditionnement des capteurs résistifs en se concentrant sur ce qui sera utile dans la suite du manuscrit. Après avoir rappelé les caractéristiques du pont de Wheatstone, élément de base du conditionnement de capteurs résistifs, les principales techniques de correction d'*offset* seront exposées. Enfin, une étude théorique du rapport signal sur bruit d'un pont de Wheatstone suivi par un amplificateur et d'un pont actif à recyclage de courant, une architecture développée et brevetée par le LIRMM, montrera le potentiel de cette architecture originale en termes d'efficacité énergétique et d'encombrement pour des applications demandeuses en performance.

Nous proposons dans le deuxième chapitre une architecture de circuit intégré compacte et efficace en tant qu'alternative aux résistances à couches minces de précision ajustées au laser pour la compensation de l'*offset* post-fabrication. L'objectif est de conserver le dispositif, tel un pont de Wheatstone à quatre bornes, tout en compensant l'*offset* post-fabrication et en évitant la dégradation ainsi induite des performances en termes de pleine échelle, de non-linéarité, de bruit d'alimentation et de dérive thermique d'*offset*. Les avantages attendus sont un coût réduit grâce à une mise en œuvre 100% électrique et une plus grande durée de vie du système grâce à une possible re-calibration des capteurs haut de gamme à chaque mise sous tension.

Le troisième chapitre présente une architecture $\Sigma\Delta$ à sortie numérique 1-bit utilisée pour le conditionnement d'un capteur résistif. Elle est basée sur le pont actif à recyclage de courant dont le principe a été rappelé dans le premier chapitre. Une étude théorique a été appliquée à un cahier des charges exigeant en termes de SNR et à un capteur réaliste et représentatif des besoins du partenaire industriel. Deux modèles Matlab de modulateurs $\Sigma\Delta$ du 1^{er} et du 2^{nd} ordre ont été proposés et simulés afin de définir les paramètres nécessaires des différents blocs. Une implantation CMOS d'un modulateur $\Sigma\Delta$ du 2^{nd} ordre est présentée et des simulations électriques sont comparées aux simulations Matlab.

Le dernier chapitre de ce manuscrit expose les résultats expérimentaux obtenus sur les démonstrateurs réalisés en technologie 0,35μm du fondeur AMS. Dans une première partie, les performances de deux circuits fabriqués pour un capteur à sortie analogique sont détaillées et comparées aux résultats théoriques et à ceux obtenus en simulation. Ensuite, un troisième circuit qui répond à des spécifications supplémentaires concernant la dérive thermique de l'*offset* a été proposé, simulé et fabriqué. Par la suite, une deuxième partie se consacre à l'étude expérimentale d'un dernier circuit qui contient un modulateur $\Sigma\Delta$ du 2^{nd} ordre. Ainsi, les performances attendues sont validées et des améliorations et des perspectives sont présentées.

Chapitre 1

Les capteurs résistifs et leurs interfaces

Les interfaces de capteur permettent de transformer une grandeur physique en une grandeur électrique exploitable par des éléments périphériques. Les fonctions réalisées au sein de l'interface électronique peuvent être analogiques, mixtes et numériques. Aujourd'hui, le besoin de capteurs performants, faible offset et faible consommation à moindre coût fait l'objet de nombreuses études. Notre étude propose des solutions innovantes pour le conditionnement de capteurs résistifs et plus particulièrement pour les capteurs résistifs de la société MEMSCAP®, notamment un capteur médical et un capteur avionique. La résistance nominale R_0 de ces capteurs est égale à 5kΩ, la bande passante BW considérée est de 1kHz et le signal maximal correspond à des variations de l'ordre de 0,5% de R_0 pour un pont complet.

Qui dit capteur résistif, dit généralement pont de Wheatstone, architecture classique pour le conditionnement de capteurs résistifs. Ce simple conditionneur est en effet très efficace en l'absence de *mismatch* entre les résistances composant le pont. Cependant, la fabrication des capteurs MEMS engendre un *mismatch* important qui induit un offset et impacte directement le taux de rejection d'alimentation ($PSRR$) du capteur.

Nous présentons dans ce chapitre les performances et les limitations du pont de Wheatstone, telles que l'offset, le bruit et la dégradation du $PSRR$. Ensuite, les principales solutions et techniques de l'état de l'art de correction d'offset seront exposées. Enfin, nous réalisons une étude comparative théorique du rapport signal sur bruit d'un pont de Wheatstone suivi par un amplificateur et d'un pont actif à recyclage de courant, une architecture développée et brevetée par le LIRMM. Les éléments présentés dans ce chapitre servent de base pour les chapitres qui suivent.

1.1 Le pont de Wheatstone : principe et performances

La solution de l'état de l'art pour le conditionnement des capteurs résistifs est basée sur le pont de Wheatstone depuis des décennies. Un agencement possible est illustré sur la figure 1.1 (à gauche). Il permet un Rapport Signal sur Bruit (SNR) le plus élevé possible, une bonne réjection des bruits d'alimentation en l'absence d'*offset* et une très bonne linéarité pour les capteurs entièrement différentiels. Les équations principales peuvent être facilement établies comme suit, pour le signal de sortie du pont :

$$V_{o_WB} = V_{o+} - V_{o-} = \frac{\alpha \Delta R}{4R_0} V_{\text{bridge}} = \frac{\alpha}{4} \Delta R I_{WB} \tag{1.1}$$

Où α, R_0, ΔR, V_{bridge} et I_{WB} sont respectivement le nombre de résistances du pont variant avec la grandeur physique d'entrée (égal à 1, 2 ou 4), la valeur nominale de la résistance, la variation de résistance de chaque élément sensible, la tension d'alimentation aux bornes du pont et le courant de polarisation total du pont. Par souci de simplicité, nous considérerons dans la suite un capteur entièrement différentiel à quatre éléments sensibles, soit α=4.

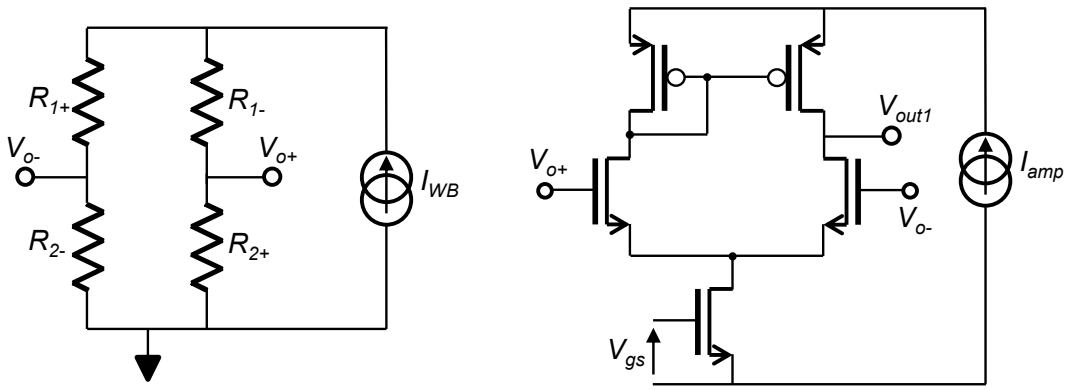


FIGURE 1.1 – Disposition en pont de Wheatstone d'un capteur résistif entièrement différentiel (à gauche) ; Implémentation CMOS d'un circuit d'amplification (à droite).

1.1.1 Rapport signal sur bruit d'un pont de Wheatstone

Le bruit thermique des résistances conduit à un bruit de sortie, en $V/\sqrt{Hz}$, qui s'écrit :

$$V_{n_WB} = \sqrt{4kTR_0} \tag{1.2}$$

Où k=1.38×10^{-23} *(J/K) et T(K)* sont respectivement la constante de Boltzmann et la température de fonctionnement. À partir des deux équations précédentes, le *SNR*

peut alors être établi comme suit :

$$SNR = \frac{\Delta R}{R_0} \frac{\sqrt{R_0} I_{WB}}{\sqrt{4kT}\sqrt{BW}} \tag{1.3}$$

Où BW est la bande passante du capteur.

Généralement, la variation relative de la résistance sensible du capteur ne dépend pas de sa valeur nominale ; il ressort alors de l'équation ci-dessus que le SNR augmente linéairement avec la consommation de courant et la racine carrée de la résistance nominale. Pour un capteur donné et une application donnée, un courant de polarisation minimum, I_{WB0}, peut alors être déterminé en fonction de la résolution souhaitée. Notamment, le courant correspondant à la plus petite variation de résistance mesurable, $\Delta R_{@SNR=1}$ (correspondant à un SNR unitaire) est donné par : @

$$I_{WB0} = \frac{\sqrt{4kTR_0}\sqrt{BW}}{\Delta R_{@SNR=1}} \tag{1.4}$$

1.1.2 Amplification du signal et dégradation du *SNR*

Le courant de polarisation obtenu précédemment peut conduire à un signal de faible amplitude en sortie du pont ce qui nécessite son amplification avant la conversion analogique-numérique. Par souci de simplicité, nous considérons ici un simple amplificateur en boucle ouverte basé sur un étage CMOS à entrée différentielle et à sortie référencée illustré sur la figure 1.1 (à droite). En supposant la même valeur de conductance de sortie g_{ds} pour les deux types de transistors de sortie, le gain en tension, issu d'une analyse petit-signal, est alors égal à $\frac{g_{mn}}{2g_{ds}}$, où g_{mn} est la transconductance des transistors NMOS formant la paire différentielle. La tension de sortie totale s'écrit alors :

$$v_{\text{out 1}} = \Delta R I_{WB} \frac{g_{mn}}{2g_{ds}} \tag{1.5}$$

Cependant, l'amplification réduira le SNR en raison du bruit intrinsèque du préamplificateur. À ce stade, nous considérons que le bruit $1/f$ peut être négligé en raison des grandes dimensions des transistors. Le bruit ramené en entrée de l'amplificateur se réduit alors au bruit thermique et peut être facilement établi comme :

$$V_{n_in} = \sqrt{\frac{8kT\gamma}{g_{mn}} + \frac{8kT\gamma}{g_{mp}} \left(\frac{g_{mp}}{g_{mn}}\right)^2} = \sqrt{8kT\gamma \frac{V_{\text{effn}}}{I_{amp}} \left(1 + \frac{V_{\text{effn}}}{V_{\text{effp}}}\right)} = \sqrt{4kTR_{\text{noise}}} \tag{1.6}$$

Où γ est le facteur d'excès de bruit thermique, V_{effn} et V_{effp} sont les tensions grille-source effectives, c'est-à-dire après suppression de la tension de seuil, des transistors NMOS dans la paire différentielle et des transistors PMOS formant le miroir de courant de la charge active respectivement. R_{noise}=$2\gamma \frac{V_{effn}}{I_{amp}} \left(1+\frac{V_{effn}}{V_{effp}}\right)$ est alors un

paramètre de bruit, homogène à une résistance, qui représente le bruit thermique de l'amplificateur. Pour une valeur donnée de $\Delta R_{@SNR=1}$, il est alors possible de considérer une contribution égale du pont et de l'amplificateur au bruit total ramené en sortie du pont. Cette hypothèse conduit à :

$$V_{n_WB}^2 = V_{n_in}^2 \Leftrightarrow R_0 = R_{\text{noise}} \Leftrightarrow I_{amp0} = 2\gamma \frac{V_{effn}}{R_0}\left(1 + \frac{V_{effn}}{V_{effp}}\right) \tag{1.7}$$

Où I_{amp0} est le courant de polarisation du préamplificateur amenant une contribution égale du pont et de l'amplificateur au bruit total. D'après l'équation ci-dessus, il est évident que, pour une faible consommation d'énergie, V_{effn} doit être aussi faible que possible, e.g. 100mV pour un fonctionnement à forte inversion, et V_{effp} doit être supérieur, e.g. 400mV. Des valeurs plus élevées de V_{effp} seraient intéressantes pour réduire la contribution en bruit des transistors PMOS mais au prix d'une dynamique de sortie plus faible. D'après l'équation (1.7), le courant de polarisation de l'amplificateur différentiel peut alors être obtenu en fonction de la seule résistance nominale du capteur :

$$I_{amp0} = \frac{0.25\gamma}{R_0} \tag{1.8}$$

Ce courant correspond alors à un Facteur de Bruit de l'amplificateur (NF_{dB}) de 3dB calculé à partir de :

$$NF_{dB} = 10\log\left(\frac{R_{\text{noise}} + R_0}{R_0}\right) = 10\log\left(\frac{\frac{0.25\gamma}{I_{amp0}} + R_0}{R_0}\right) \tag{1.9}$$

Ceci est illustré sur la figure 1.2 rapportant, sur le côté gauche, l'évolution de la figure de bruit de l'amplificateur avec son courant de polarisation I_{amp} pour différents courants de polarisation du pont de Wheatstone, I_{WB}, variant sur une échelle d'un à huit fois I_{WB0}. Toutes les données issues de simulations sont parfaitement superposées démontrant ainsi que la figure de bruit NF du préamplificateur ne dépend que de son courant de polarisation et de la valeur de la résistance du capteur. À partir de ces résultats, nous pouvons également estimer que le modèle (1.9) correspond aux résultats de simulation avec γ=5/4 plutôt que γ=2/3 pour la technologie considérée. Le courant de polarisation ainsi obtenu pour l'amplificateur est dérivé de (1.8) tel que :

$$I_{amp0} = \frac{5}{16R_0} \tag{1.10}$$

Pour être acceptable, le facteur de bruit de l'amplificateur doit être compensé par une augmentation du *SNR* du pont d'au moins 3dB. Pour cela, le courant de polarisation du pont doit être augmenté jusqu'à $2I_{WB0}$. L'augmentation du courant de polarisation de l'amplificateur différentiel réduirait NF_{dB} mais il convient de noter que doubler ce courant réduira la figure de bruit d'à peine plus de 1dB tandis que le doublement du courant de polarisation du pont augmentera le *SNR* de 6dB. Il est alors plus économe en énergie d'augmenter le courant de polarisation du pont. Ceci est illustré sur la figure 1.2

(droite) ci-dessous. Dans le cas d'une résistance nominale du capteur de 5kΩ l'équation (1.10) conduit à un courant de 62,5μA pour une figure de bruit de 3dB de l'amplificateur et l'évolution du minimum de variation de résistance détectable, en ppm, défini pour un SNR égal à 1 en fonction de la consommation totale, c'est-à-dire la somme de I_{WB} et I_{amp}. La déclaration précédente selon laquelle il vaut la peine d'augmenter le courant de polarisation du pont I_{WB} est vérifiée. Pour une spécification donnée de ΔR@SNR = 1, il est démontré qu'il est inutile d'augmenter le courant de polarisation de l'amplificateur au-delà de ce qui est obtenu en utilisant l'équation (1.10). Les conditions de simulation seront détaillées plus loin dans ce chapitre.

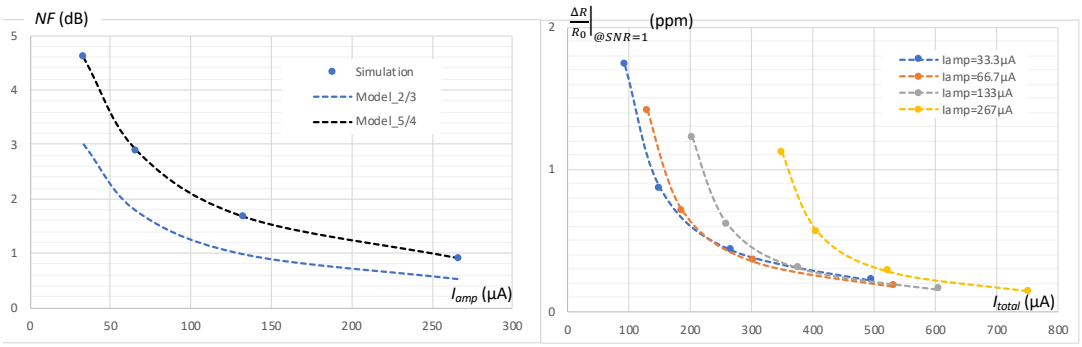


FIGURE 1.2 – Figure de bruit du préamplificateur en fonction de son courant de polarisation (à gauche) ; Variation relative de la résistance du capteur pour un SNR=1 en fonction de la consommation totale de courant (à droite).

Nous avons ensuite déterminé la variation du changement de résistance relative minimum mesurable $\Delta R_{@SNR=1}$ pour différentes combinaisons de courants de polarisation de WB et préamplificateur. Ce minimum est défini par un SNR égal à 1 et les résultats sont rapportés sur le côté droit de la figure 1.2 en fonction de la consommation totale de courant, c'est-à-dire la somme de I_{WB} et I_{amp}. La déclaration précédente selon laquelle il vaut la peine d'augmenter le courant de polarisation du pont I_{WB} est vérifiée. Pour une spécification donnée de $\Delta R_{@SNR=1}$, il est alors évident que le courant de polarisation total demandé sera plus faible pour un courant de polarisation modéré dans l'amplificateur.

1.1.3 Effets des dispersions de fabrication sur un pont de Wheatstone

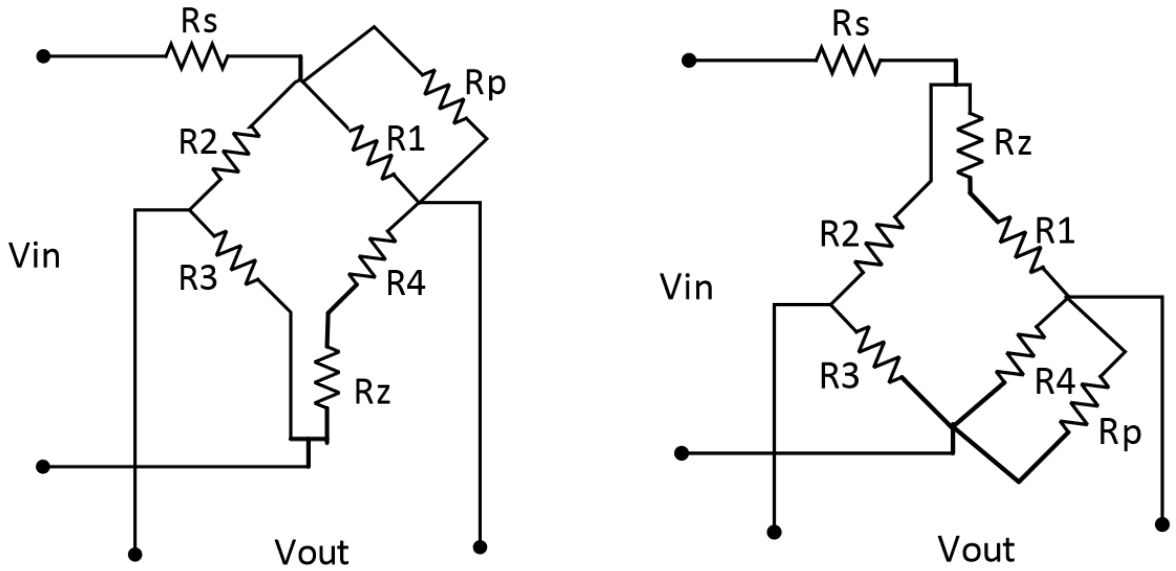
La structure la plus communément utilisée pour le conditionnement du capteur résistif est le pont de Wheatstone. Ses avantages sont : une rejection du bruit d'alimentation PSRR au niveau de la sortie différentielle du pont, infinie pour un capteur parfaitement équilibré, une sortie différentielle nulle en l'absence de signal et une robustesse parfaite contre les effets thermiques. Cependant, il est difficile de garantir l'équilibre du pont de

Wheatstone compte-tenu des dispersions du procédé de fabrication et de la topologie particulière du capteur. Ces dispersions viennent de la forme du capteur qui contraint à placer les résistances de références sur le substrat de silicium alors que les résistances de détections sont placées sur la membrane. À cela, s'ajoutent les phénomènes de relaxation des contraintes résiduelles liées à la gravure du substrat et les effets thermiques [8].

Le déséquilibre produit d'une part une tension d'offset qu'il est possible d'isoler par des techniques simples de filtrage. D'autre part, il entraîne une dégradation du taux de réjection du bruit d'alimentation. Ce bruit d'alimentation peut alors limiter la résolution du capteur, particulièrement dans les environnements SoC où les commutations de l'électronique digitale polluent de façon significative les tensions d'alimentation.

1.1.4 Compensation post-fabrication du pont de Wheatstone

La solution principale entièrement passive pour compenser l'offset d'un capteur résistif est décrite dans la littérature [9]. Elle est basée sur des résistances discrètes à connecter en parallèle et en série dans une seule branche du capteur afin de compenser l'offset comme illustré par la figure 1.3.



(a) (b)

FIGURE 1.3 – Modèle de compensation d'*offset* sans dégradation de la dérive thermique de l'*offset* : (a) tension d'*offset* initiale négative ; (b) tension d'*offset* initiale positive [9].

R_p et R_z ont le même faible coefficient de température afin de ne pas changer la dérive thermique du capteur qui est généralement nulle. L'ajout de R_s en série avec le pont permet d'ajuster le facteur d'échelle du capteur. Un algorithme de calcul basé sur des équations est généralement utilisé afin de définir les valeurs de R_p, R_z et R_s.

Sur la base du principe ci-dessus, la solution largement utilisée par l'industrie, pour compenser l'*offset* et ajuster le facteur d'échelle d'un capteur résistif à sortie analogique, consiste à utiliser un ensemble de résistances, ajustées grâce à l'ablation LASER, connectées en série et en parallèle avec les résistances du pont de Wheatstone [10–14]. Cela exige une procédure coûteuse et individuelle pour mesurer l'*offset* et le facteur d'échelle de chaque capteur avant de calculer la valeur appropriée des résistances de compensation. Une procédure impliquant de nombreux cycles de mesure d'*offset* et de sensibilité suivie d'un ajustement au LASER des résistances de compensation est donc nécessaire. Finalement, chaque produit se présente sous la forme d'un capteur et d'une matrice de résistances dont les valeurs sont ajustées. Le tout étant, le plus souvent, encapsulé dans le même boîtier, le principal avantage de cette solution est que le capteur ainsi obtenu se présente, vu de l'extérieur, comme un simple pont de Wheatstone.

Une solution active a été proposée par [15] pour l'amélioration de PSRR et la compensation d'*offset*, basée sur une contre réaction analogique et nécessitant des composants électroniques supplémentaires tels qu'un amplificateur LNA, des capacités de couplage, un filtre passe haut. L'étude montre une amélioration de PSRR de 35dB au prix d'un bruit électronique ajouté.

Pour toutes ces techniques, une attention particulière doit être portée au coefficient thermique de l'*offset* (CTO) qui peut apparaître en raison du capteur lui-même ou des différents coefficients de température de résistance (CTR) entre les capteurs et les éléments utilisés pour l'ajustement.

1.2 Traitement de signal pour capteur résistif

Pour pouvoir convertir la sortie analogique du capteur en signal numérique, un amplificateur d'instrumentation LNA est exigé. La contribution du bruit de cet amplificateur doit respecter les contraintes de SNR précédemment présenté (voir section 1.1.2). Cet amplificateur est suivi d'un convertisseur analogique-numérique (ADC). Ces composants induisent chacun un bruit et une consommation supplémentaire et occupent une surface très importante.

D'autres solutions de l'état de l'art consistent à utiliser un conditionneur plus complexe pour convertir la grandeur physique dans le domaine numérique ou en une grandeur temporelle (fréquence ou PWM) [16–18]. Une fois le signal dans le domaine temporel ou numérique, les coefficients de calibration peuvent être stockés dans des tables de consultation, *"Lookup Table"*, pour permettre une compensation éventuelle de l'*offset* résiduel, de l'erreur de facteur d'échelle ou de la dérive thermique de ces deux paramètres. Cette solution conduit à un système de capteur numérique et, même s'il est efficace, il présente deux inconvénients :

- Le capteur intelligent ne peut pas être utilisé en lieu et place d'un capteur passif sans changer profondément l'équipement car il n'est plus compatible en termes de nombre d'entrées-sorties, consommation ou de signal de sortie... La solution que

nous proposerons dans le prochain chapitre permet de rendre le capteur intelligent tout en conservant la compatibilité avec un pont de Wheatstone.

- Les systèmes ainsi obtenus sont gourmands en énergie et l'architecture peut occuper un volume relativement important si l'on compare à un pont de Wheatstone. La solution que nous proposons dans le $3^{ème}$ chapitre permet d'atteindre un excellent niveau de performance tout en conservant une solution compacte et sobre énergétiquement.

La proposition ci-après est basée sur le pont actif à recyclage de courant proposé par le LIRMM il y a plus de 10 ans.

1.2.1 Pont actif à recyclage de courant

Le pont actif à recyclage de courant est une alternative au pont de Wheatstone, économe en énergie, pour le conditionnement de capteurs résistifs. Elle a été proposée [19, 20] et brevetée [21] par le LIRMM il y a une dizaine d'années. Dans l'architecture proposée, le même courant de polarisation est utilisé pour l'amplificateur et la résistance du capteur. Par rapport à la solution de l'état de l'art présentée précédemment, de nombreux avantages sont attendus et parmi eux une meilleure efficacité énergétique, un signal de sortie plus important et un mode de fonctionnement à auto-polarisation très robuste aux variations de processus de fabrication et facile à mettre en œuvre. Ce dernier avantage est évident lorsque l'on regarde l'implantation CMOS illustrée par la figure 1.4 (gauche). En effet, les deux transistors MOS connectés en diode dans la branche gauche garantissent une polarisation autonome de ces transistors dans le régime de saturation. Par conséquent, les deux transistors de la branche de droite sont également saturés en raison de la symétrie de conception en l'absence de signal, c'est à dire lorsque les quatre résistances sont identiques. Un modèle petit signal peut alors être dérivé comme illustré sur le côté droit de la figure 1.4. De ce modèle, nous pouvons déduire les caractéristiques du montage.

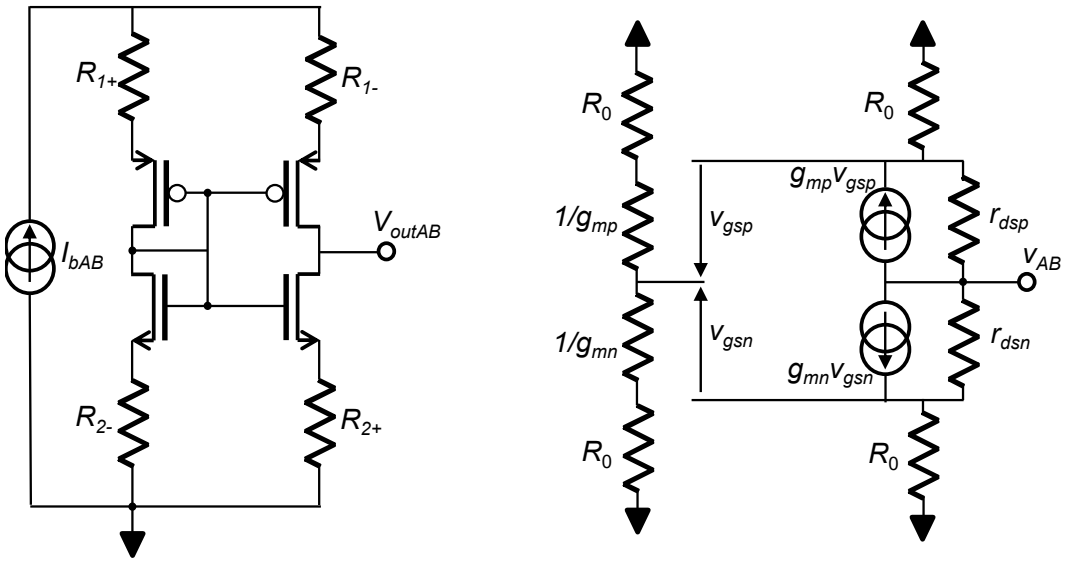


FIGURE 1.4 – Pont actif à recyclage de courant : implantation CMOS (à gauche) ; modèle petit signal basse-fréquence (à droite).

1.2.2 Amplification du signal

Par rapport à l'amplificateur à base d'une paire différentielle (figure 1.1 droite), les transistors du pont actif bénéficient d'une dégénérescence de source grâce à la résistance du capteur connectée entre les sources des transistors et la masse petit signal. Du schéma petit signal, il peut être déduit facilement :

$$r_{\text{outi}} = R_0 + r_{dsi} + g_{mi} r_{dsi} R_0 \tag{1.11}$$

Cette équation permet de calculer r_{outn} et r_{outp} correspondant respectivement à la résistance de sortie par rapport à la masse et V_{dd}. La résistance de sortie du pont actif est alors équivalente à la résistance de ces deux éléments connectés en parallèle. Il est alors possible de déterminer le gain en tension du pont actif à partir d'une analyse petit signal. Sur la figure 1.5 ci-dessous, le modèle petit signal du circuit est décliné pour une tension d'entrée, $v_{in} = \Delta R I_{bAB}/2$ en raison d'une variation de R_{2+} (à gauche) ou R_{1+} (à droite). Dans le premier cas, les équations suivantes peuvent être dérivées :

$$\begin{aligned} v_{AB} = r_{\text{outp}}\,\text{i}; v_{gsn} =& R_0\text{i} - v_{\text{in}}\,; v_{\text{in}} = (R_0 + r_{\text{outp}} + r_{dsn})\,\text{i} + g_{mn} r_{dsn} v_{gsn} \\ \Rightarrow& \frac{v_{AB}}{v_{\text{in}}} = \frac{r_{\text{outp}}}{r_{\text{outp}} + r_{\text{outn}}}\,(1 + g_{mn} r_{dsn}) \end{aligned} \tag{1.12}$$

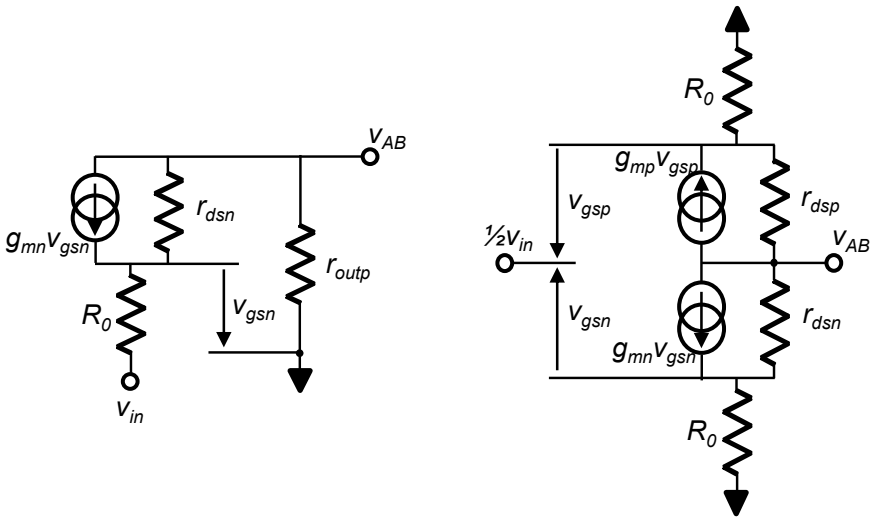


FIGURE 1.5 – Modèle petit signal pour l'amplification du signal pour une variation de R2+ (à gauche) ou R1+ (à droite).

Une conception optimale nécessite une symétrie parfaite du circuit et donc le dimensionnement des transistors MOS permettra d'obtenir le même g_m et le même g_{ds} pour les deux types de transistor. En faisant l'hypothèse réaliste $g_m \gg g_{ds}$, le gain en tension précédemment obtenu peut alors être réduit à $g_m\ /(2.g_{ds})$.

Dans le cas d'une variation de la résistance R_{1+}, l'étude du modèle petit signal (Figure 1.5 droite) donne :

$$\begin{aligned} v_{gsn} = \frac{v_{in}}{2} - R_0 \mathrm{i};\, v_{gsp} = & \frac{v_{in}}{2} + R_0 \mathrm{i};\, (2R_0 + 2r_{ds})\,\mathrm{i} + g_m r_{ds} v_{gsp} - g_m r_{ds} v_{gsn} = 0 \\ & \Longrightarrow i = 0 \Rightarrow \frac{v_{AB}}{v_{in}} = \frac{g_m}{2g_{ds}} \end{aligned} \tag{1.13}$$

Grâce à la symétrie de conception, le même gain s'applique aux signaux générés par un changement des deux résistances avec une sensibilité positive. Les mêmes résultats, avec un signe négatif, pourraient être établis pour les deux résistances avec une sensibilité négative et, en utilisant le théorème de superposition, il vient alors :

$$v_{AB} = 4\frac{g_m}{2g_{ds}}\Delta R\frac{I_{bAB}}{2} = \frac{g_m}{g_{ds}}\Delta R I_{bAB} = \frac{g_m}{2g_{ds}} v_{in} = A_v v_{in} \tag{1.14}$$

Le signal de sortie ainsi obtenu est alors le double de celui du pont de Wheatstone amplifié, à partir de l'équation (1.5), si le même courant de polarisation est utilisé, c'est-à-dire $I_{WB} = I_{bAB}$, et si des valeurs identiques sont possibles pour g_m et g_{ds}.

1.2.3 Rapport signal sur bruit

Le bruit thermique des résistances est amplifié du même facteur que le signal. Ce bruit thermique se combine avec le bruit thermique ramené en entrée des transistors MOS. Grâce à la symétrie du circuit, tous les transistors MOS auront la même tension effective de grille et ainsi, une contribution égale des résistances et des transistors au bruit total ramené sur une résistance est obtenue par :

$$R_0 = \frac{\gamma}{g_m} = \frac{\gamma V_{\text{eff}}}{2I_{\text{dsat}}} \Longrightarrow I_{bAB} = 2I_{\text{dsat}} = \frac{\gamma V_{\text{eff}}}{R_0} \tag{1.15}$$

Par rapport à l'équation (1.8), ce résultat démontre que pour une contribution égale au bruit total ramené en entrée, le courant requis est divisé par 2.5, si V_{eff} =100mV, par rapport au courant de polarisation de l'amplificateur différentiel externe utilisé pour la solution présentée en début de chapitre. Ce courant correspond alors à un facteur de bruit (NF_{dB}) de 3 dB pour l'amplificateur à recyclage de courant par rapport au bruit du pont de Wheatstone. Ce facteur de bruit est calculé comme suit :

$$NF_{dB} = 10\log\left(\frac{\frac{\gamma V_{\text{eff}}}{I_b AB} + R_0}{R_0}\right) \tag{1.16}$$

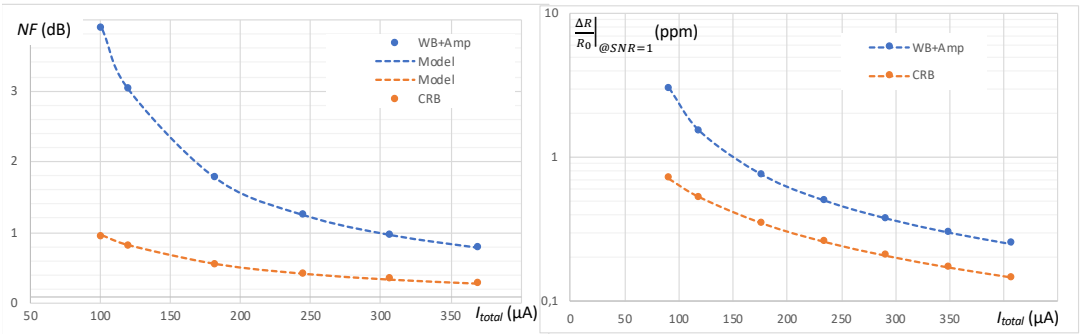


FIGURE 1.6 – Figure de bruit du pont de Wheatstone amplifié et du pont actif à recyclage de courant (à gauche) ; Variation relative de la résistance du capteur correspondant à un *SNR* de 1 en fonction du courant de polarisation total des deux solutions (à droite).

Sur la Figure 1.6, le pont actif à recyclage de courant est comparé au pont de Wheatstone amplifié présenté en début de chapitre pour un même courant de polarisation total. Sur le côté gauche, il est démontré que le recyclage du courant permet de réduire significativement le Facteur de Bruit de l'amplificateur. Il est également démontré que les modèles de figure de bruit précédemment établis (1.9) et (1.16) correspondent aux simulations lorsque γ est pris égal 5/4. Sur la partie droite, on vérifie également qu'une forte réduction de la consommation de courant est obtenue avec un pont actif

pour une spécification donnée en termes de minimum de variation de résistance mesurable pour un SNR de 1. À partir de ces résultats préliminaires, nous pouvons calculer un courant de polarisation optimal à partir des spécifications en utilisant les équations établies ci-dessous.

1.2.4 Calcul du courant de polarisation optimal

Pour une application donnée, les spécifications consisteront au moins en une bande passante du capteur, BW, une valeur nominale de la résistance du capteur, R_0, et une variation minimale mesurable de la variation de résistance, $\Delta R_{@SNR=1}$. Les équations établies précédemment, basées sur l'hypothèse d'une contribution égale des transistors et des résistances au bruit thermique total, peuvent ne pas conduire à la valeur minimale du courant total. Le courant de polarisation optimal est alors la valeur minimale qui satisfait aux spécifications.

1.2.4.1 Courant de polarisation optimal pour la solution de l'état de l'art

Les équations précédemment établies, basées sur l'hypothèse d'une contribution égale au bruit total, ne se sont pas avérées conduire à la valeur minimale du courant total. Cependant, nous pouvons tirer plusieurs règles de conception :

- I_{WB} *doit être supérieur à* I_{WB0} *établi dans l'équation* (1.4).
- I_{WB}/I_{WB0} *doit être suffisamment élevé pour compenser la figure de bruit de l'amplificateur établie dans l'équation* (1.9).

On peut alors écrire que pour une application et des spécifications données, il existe une infinité de courants possibles qui sont solutions de l'équation suivante :

$$\frac{I_{WB}}{I_{WB0}} = \sqrt{\frac{\frac{0.25\gamma}{I_{amp}} + R_0}{R_0}} \Rightarrow I_{WB} + I_{amp} = I_{WB0}\sqrt{1 + \frac{0.25\gamma}{R_0 I_{amp}}} + I_{amp} \tag{1.17}$$

À partir de cette équation, nous avons maintenant une expression du courant total en fonction du SNR souhaité, représenté par I_{WB0}, et du courant de polarisation de l'amplificateur. Il faut alors exprimer la dérivée du courant total afin de déterminer son minimum :

$$\begin{aligned} \frac{d\left(I_{WB} + I_{amp}\right)}{dI_{amp}} =& 1 - \frac{0.125\gamma}{R_0 I_{amp}^2}\sqrt{\frac{R_0 I_{amp}}{0.25\gamma + R_0 I_{amp}}} I_{WB0} = 0 \\ &\Rightarrow I_{amp}^4 + \frac{0.25\gamma}{R_0} I_{amp}^3 - \left(\frac{0.25\gamma}{2R_0}\right)^2 I_{WB0}^2 = 0 \end{aligned} \tag{1.18}$$

Cette équation possède une solution physiquement réaliste unique, c'est-à-dire une solution réelle et positive. Celle-ci est calculée en annexe A. Il est alors possible de calculer les deux courants de polarisation I_{WB} et I_{amp} permettant d'atteindre le SNR requis avec un courant total minimum.

1.2.4.2 Courant de polarisation optimal pour le pont à recyclage de courant

Pour le pont à recyclage de courant, la détermination du minimum de courant de polarisation, pour une application donnée, est un peu plus simple. En effet, comme le même courant est utilisé pour polariser l'amplificateur et la résistance du capteur, le SNR du pont actif peut être calculé en ajoutant la contribution au bruit thermique des résistances du capteur et des transistors. À partir de l'expression de la figure de bruit (1.16), il vient :

$$SNR = \frac{\Delta R}{\sqrt{4kT \times BW}} \frac{I_{bAB}}{\sqrt{R_0 + \frac{\gamma V_{\text{eff}}}{I_{bAB}}}} \tag{1.19}$$

Il est alors possible d'identifier I_{WB0} dans cette équation puis de déterminer le courant de polarisation correspondant à un SNR unité. On obtient alors :

$$1 = \frac{I_{bAB}}{I_{WB0}} \sqrt{\frac{R_0 I_{bAB}}{R_0 I_{bAB} + \gamma V_{eff}}} \Longrightarrow I_{bAB}^3 = I_{WB0}^2 I_{bAB} + \frac{\gamma V_{eff}}{R_0} I_{WB0}^2 \tag{1.20}$$

La résolution de cette équation est détaillée en annexe B. À partir de cette annexe, il est alors possible de calculer le courant de polarisation minimum du pont à recyclage de courant afin d'obtenir le SNR requis.

1.2.5 Validation

Nous sommes maintenant en mesure de calculer les courants de polarisation requis pour le pont de Wheatstone amplifié et pour le pont à recyclage de courant. L'étude de cas considérée est celle utilisée pour illustrer l'étude théorique ci-dessus : $R_0 = 5k\Omega$, $BW = 1kHz$ et $\Delta R_{@SNR=1}$=$5m\Omega$. À partir des contraintes en courant, les transistors ont été dimensionnés de façon à négliger l'impact de leur bruit en $1/f$. En raison de la large bande passante, des dimensions raisonnables sont suffisantes dans la technologie utilisée pour la validation (AMS 0,35 μm). Le tableau ci-dessous résume les résultats de simulation et valide ce qui était attendu. Le signal de sortie du pont à recyclage de courant est deux fois plus élevé pour une consommation de courant totale divisée par un facteur similaire pour une même variation de résistance mesurable. Malgré une surface de grille totale plus élevée pour le pont à recyclage de courant, la figure de mérite proposée (1.21) est 3 fois plus élevée.

$$\left(F.o.M. = \frac{V_{\text{out}}\ (mV)}{I_{\text{total}}\ (\mu A) \cdot \Delta R_{@\,\text{SNR=1}}(m\Omega) \cdot S_{\text{gate}}\ (\text{mm}^2)} \right) \tag{1.21}$$

TABLEAU 1.1 – Comparaison des performances du pont à recyclage de courant par rapport à un pont de Wheatstone amplifié.

	I_{WB} (µA)	I_{amp} (µA)	I_{total} (µA)	$\Delta R_{@SNR=1}$ ($m\Omega$)	V_{out} (mV)	S_{gate} (mm^2)	$F.o.M.$
Pont + Amplificateur	98,5	32,5	131	5,40	0,672	0,655	1,452
Pont à recyclage de courant			68,8	4,83	1,31	0,879	4,482

1.3 Conclusion

Dans ce premier chapitre, nous avons présenté les principales interfaces utilisées classiquement pour le conditionnement de capteurs résistifs en général et de capteurs micro-usinés (MEMS) en particulier. Après avoir établi la limitation des performances dues à l'*offset* introduit durant la fabrication des MEMS, nous avons présenté les techniques permettant la compensation de cet *offset* et notamment la technique industrielle pour les capteurs résistifs milieu et haut de gamme qui consiste à utiliser des résistances dont les valeurs sont ajustées par usinage LASER (Laser *trimming*). Cette solution a démontré son efficacité mais elle est coûteuse car très lente à mettre en œuvre par rapport à une technique 100% électrique. L'alternative que nous proposons sera présentée dans le prochain chapitre.

Dans la seconde partie, nous avons présenté une étude théorique qui compare une architecture classique composée d'un pont de Wheatstone et un amplificateur avec le pont actif à recyclage de courant qui est une architecture brevetée par le LIRMM. Cette étude montre que le pont actif à recyclage de courant est plus performant en termes de consommation et de signal de sortie pour un même rapport signal sur bruit. De plus, comme nous le verrons dans le troisième chapitre, elle permet d'obtenir une architecture extrêmement compacte pour le conditionnement de capteur qui permettra de proposer une solution à sortie numérique directe pouvant être encapsulée dans le même boîtier que le capteur.

Chapitre 2

Conditionnement d'un capteur résistif à sortie analogique

2.1 Introduction

Un capteur dit *smart* se compose d'une électronique *intelligente* et d'un transducteur. D'un côté, la partie électronique *intelligente* est un circuit intégré impliquant des signaux mixtes, analogiques et numériques. De l'autre côté, le transducteur traite le mesurande physique (la pression, la température, la force, etc.) et le transforme en signal électrique, c'est donc le lien entre le domaine électrique et les autres domaines physiques tels que par exemple, la thermique ou la mécanique.

Dans ce chapitre, nous proposons une solution intelligente de calibration de capteur résistif conditionné grâce à un pont de Wheatstone comme une alternative innovante et rentable au *Laser trimming*. La solution proposée est basée sur des potentiomètres numériques [22–24] en lieu et place d'une matrice de résistances ajustées par ablation laser. Un circuit intégré (IC) contrôle alors numériquement l'*offset*, le facteur d'échelle et la dérive en température du capteur résistif. Ce circuit sera intégré dans le même boîtier que la puce capteur formant ainsi un capteur intelligent sans aucune modification de la connectivité externe du pont de Wheatstone. L'enjeu est ici de remplacer un capteur résistif avec calibration laser et de respecter les contraintes d'intégration dans l'équipement telles que les valeurs de résistance, la consommation électrique, la programmation et la non-volatilité.

Ce chapitre est organisé comme suit : tout d'abord, nous présenterons les limitations de performances introduites par l'incertitude sur les valeurs de résistances d'un capteur. Ensuite, nous proposerons une architecture alternative à l'ajustement laser. Nous aborderons le problème de l'effet de la dérive en température de l'*offset* résiduel. Une solution présentée dans la littérature [9] pour annuler cette dérive d'*offset* induite par la température sera étudiée et une implantation sous forme de potentiomètres numériques sera présentée. La deuxième partie de ce chapitre sera dédiée à la présentation de l'architecture embarquée pour la compensation de l'*offset* résiduel à chaque mise sous tension (section 2.6) et pour l'ajustement du facteur d'échelle (section 2.7). La preuve

de concept sera obtenue grâce à de nombreuses simulations de Monte Carlo (section 2.8). Finalement, les éléments permettant la programmation et la non-volatilité seront présentés en 2.9.

2.2 Performance et limitations du Pont de Wheatstone

Le pont de Wheatstone est le conditionneur le plus couramment utilisé pour les capteurs résistifs. Les résistances de capteurs sont généralement organisées comme illustré sur la figure 2.1 où les bornes V_{b1} et V_{b2} sont connectées à la tension d'alimentation V_{dd}, alors que V_{gnd1} et V_{gnd2} sont connectées à la masse (gnd). Selon l'architecture du capteur, une à quatre résistances sont sensibles à l'entrée physique, tandis que les autres sont des résistances de référence de valeurs fixes. Quelques exemples non exhaustifs :

— *Capteurs avec un seul élément sensible :*
$R_{1-} = R_{2-} = R_{2+} = R_0$ *and* $R_{1+} = R_0 + \Delta R$

— *Capteurs différentiels :*
$R_{1-} = R_{2+} = R_0$, $R_{1+} = R_0 + \Delta R$ *and* $R_{2-} = R_0 - \Delta R$

— *Pont complet :*
$R_{2+} = R_{1+} = R_0 + \Delta R$ *and* $R_{1-} = R_{2-} = R_0 - \Delta R$

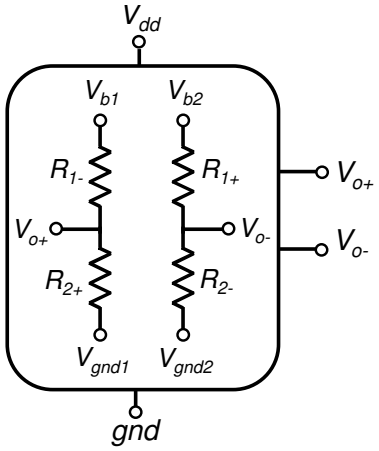


FIGURE 2.1 – Pont de Wheatstone

Où R_0 et ΔR sont respectivement la valeur nominale des résistances et la variation des résistances induite par la grandeur physique à mesurer. La tension différentielle petit signal en sortie du pont et le rapport signal sur bruit sont alors respectivement :

$$V_{out} = V_{o+} - V_{o-} = \alpha \frac{V_{dd}}{4} \frac{\Delta R}{R_0} \tag{2.1}$$

$$SNR = \frac{V_{dd}}{4}\frac{\Delta R}{R_0}\frac{1}{\sqrt{4kTR_0}\sqrt{BW}} \tag{2.2}$$

Avec

- α, le nombre de résistances sensibles dans le pont (1, 2 ou 4 dans la plupart des cas)
- k=1.380649×10^{-23}, la constante de Boltzmann (J/K)
- T, la température (K)
- BW, la bande passante du capteur (Hz).

À partir de ces deux équations, les avantages du pont de Wheatstone peuvent être observés. Parmi les plus importants à mentionner, la tension de sortie différentielle est égale à zéro lorsque le signal physique est nul, assurant ainsi un bon taux de réjection du bruit d'alimentation (Power Supply Rejection Ratio, PSRR) et une résolution élevée uniquement limitée par le rapport signal sur bruit du pont. De plus, si les quatre résistances du pont présentent le même comportement en température, les effets de température sont annulés. Cependant, les désappariements *(mismatch)* introduits par la fabrication sur les valeurs de résistances conduisent à un pont déséquilibré en l'absence de signal d'entrée. Ce décalage de zéro, par rapport au cas idéal, est couramment appelé *offset* et il est à l'origine d'une dégradation de performance : réduction de sensibilité, saturation de la chaine de lecture ou réduction du PSRR par exemple. L'effet cumulé du *mismatch* des quatre résistances du capteur peut être représenté par une seule résistance ΔR_{Offset} en série dans une des branches du pont, ce qui signifie que la tension d'*offset* V_{Offset} peut être déduite de l'équation (2.3) dans le cas d'un capteur avec un seul élément sensible (α=1) pour obtenir l'équation suivante :

$$V_{Offset} = \frac{V_{dd}}{4}\frac{\Delta R_{Offset}}{R_0} \tag{2.3}$$

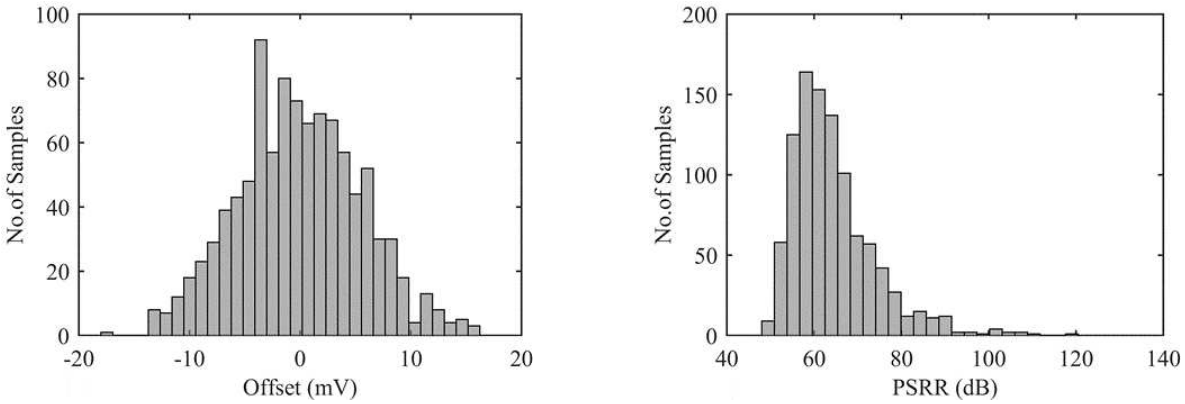
Dans le cas de capteurs peu sensibles ou pour les faibles valeurs du signal physique à mesurer, cet *offset* est susceptible de masquer le signal [25] ou de saturer la chaine de lecture et d'amplification dans le cas de coefficients d'amplification élevés. Si l'*offset* reste quasiment stable durant la durée de vie du capteur malgré de légères variations dues à son vieillissement, la compensation d'*offset* de chaque capteur est donc une routine individuelle qui peut être accomplie après la fabrication du capteur chez le fabricant. Ainsi, une procédure de calibration post fabrication est souvent nécessaire pour les capteurs haut de gamme. Ceci est classiquement mis en œuvre en utilisant une banque de résistances ajustées au laser et placées en série ou en parallèle avec les résistances du pont.

2.3 Modèle de capteur

Pour mettre en évidence les limitations d'un pont de Wheatstone, nous commençons par étudier l'impact des variations du procédé de fabrication *(mismatch)* sur l'*offset* et

le PSRR. Pour cela, il est nécessaire de modéliser l'*offset* d'un capteur physique dans un logiciel de simulation électrique tel que Cadence® Virtuoso®. Cela permettra d'étudier, par la suite, la faisabilité de l'intégration du capteur avec un circuit programmable de calibration. Ce modèle peut être conçu de deux façons : la première consiste à choisir 4 résistances idéales de la libraire *AnalogLib*, dont les valeurs subissent une distribution gaussienne, avec un écart type σ qui décrira la variabilité du procédé de fabrication. La deuxième consiste à choisir des résistances issues de la technologie CMOS 0.35μm d'AMS (Austria Microsystems), par exemple des résistances R_{polyh} qui ont un σ de 0.23%.

Pour ce deuxième modèle avec quatre résistances nominales R_0 de 5$k\Omega$ et une tension d'alimentation de 5V. La figure 2.2a illustre l'*offset* obtenu à l'aide de 1000 simulations Monte-Carlo (MC). L'*offset* maximum est de ±18mV. Cette valeur est équivalente à un signal d'entrée (c'est-à-dire à une variation relative de résistance) de 0,36% pour un pont complet ou 1,44% pour un pont avec un seul élément sensible. Cet *offset* induit une forte dégradation du PSRR dans toute la bande passante du capteur comme illustré sur la 2.2b. Nous observons ainsi un PSRR minimum de 48 dB alors qu'il est théoriquement infini pour un pont parfaitement équilibré. De même, il a été également vérifié que plus l'*offset* est grand, plus le PSRR est faible [26].



(a) (b)

FIGURE 2.2 – Effet du *mismatch* sur la sortie d'un pont de Wheatstone : (a) *Offset* en mV, (b) taux de rejection de la tension d'alimentation en dB pour un signal d'entrée nul.

2.4 Compensation d'offset

Nous avons donc conçu un ASIC pour compenser les limitations du pont de Wheatstone présentées dans la section précédente. Cet ASIC compense l'*offset* et améliore ainsi le PSRR. De plus, il permet d'ajuster la sensibilité du capteur afin de l'adapter aux spécifications de l'application.
La solution proposée consiste à connecter les résistances du capteur à un ASIC de

calibration tel qu'illustré par la figure 2.3. La puce CMOS et la puce capteur seront regroupées dans un seul boitier avec quatre entrées/sorties (à savoir V_{o+}, V_{o-}, V_{dd} et gnd) comme pour un pont de Wheatstone passif. Les entrées de contrôle et de programmation de l'ASIC ne seront utilisées que pendant la phase de calibration post-fabrication. Tout comme le laser *trimming*, cette solution nécessite une action après fabrication, notamment afin de définir les valeurs des mots binaires de contrôle permettant d'avoir l'offset le plus faible et le facteur d'échelle souhaité. Une fois la meilleure configuration déterminée, les mots de contrôle seront stockés dans une mémoire non volatile de l'ASIC basée sur des fusibles de type OTP (*One Time Programmable*). La procédure pourra être effectuée sous contrôle d'un testeur électrique industriel avec un gain de coût de production non négligeable par rapport à l'ajustement Laser.

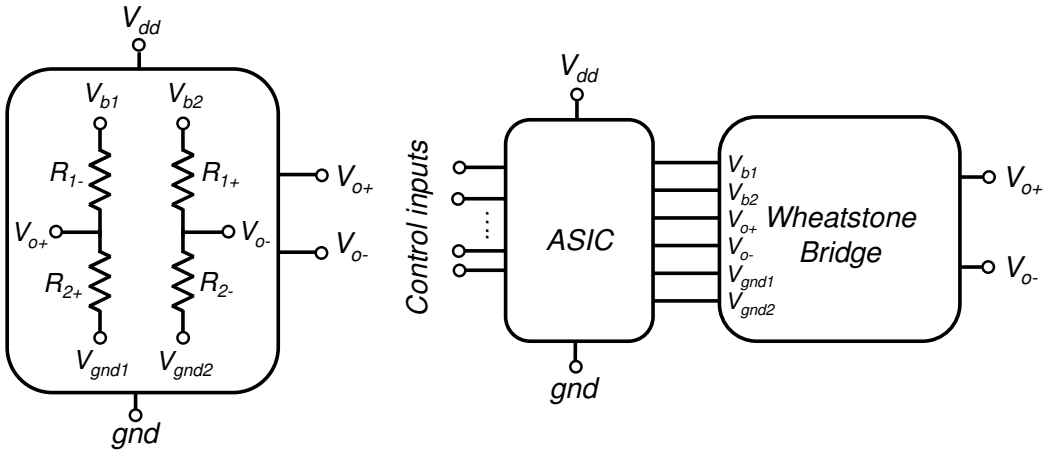


FIGURE 2.3 – (a) Capteur résistif monté en pont de Wheatstone, (b) Capteur intelligent composé du capteur résistif et de l'ASIC.

La compensation d'offset dans cette architecture se déroule en deux phases. La première est un réglage grossier dont le but est de compenser 90% de l'offset maximal. La seconde est un réglage fin autonome qui permet de compenser l'offset résiduel à chaque mise sous tension du circuit. Ceci garantit une longue durée de vie du capteur en compensant les légères variations d'offset dues au vieillissement.

En plus de la compensation d'offset, un réglage du facteur d'échelle est possible, pour adapter la pleine échelle et la sensibilité du capteur aux spécifications de l'application et pour réduire la dispersion.

Le principe utilisé pour compenser l'*offset* consiste à connecter un potentiomètre numérique entre V_{dd} et les deux bornes du pont de Wheatstone ($cf.$ figure 2.4). À titre d'exemple, si l'*offset* maximum à compenser équivaut à 1.5% de R_0, et si cette résistance est discrétisée en 7 éléments (n = 7), alors chaque résistance élémentaire R_{os} entre les deux bornes du pont de Wheatstone est égale à environ 0.21% de R_0. Il existe alors différentes manières de contrôler les n + 1 interrupteurs (de C_0 à C_n) pour compenser l'*offset* post-fabrication. La procédure d'étalonnage présentée ci-après réduit l'impact de la résistance de l'état passant des transistors MOS et facile à mettre en œuvre :

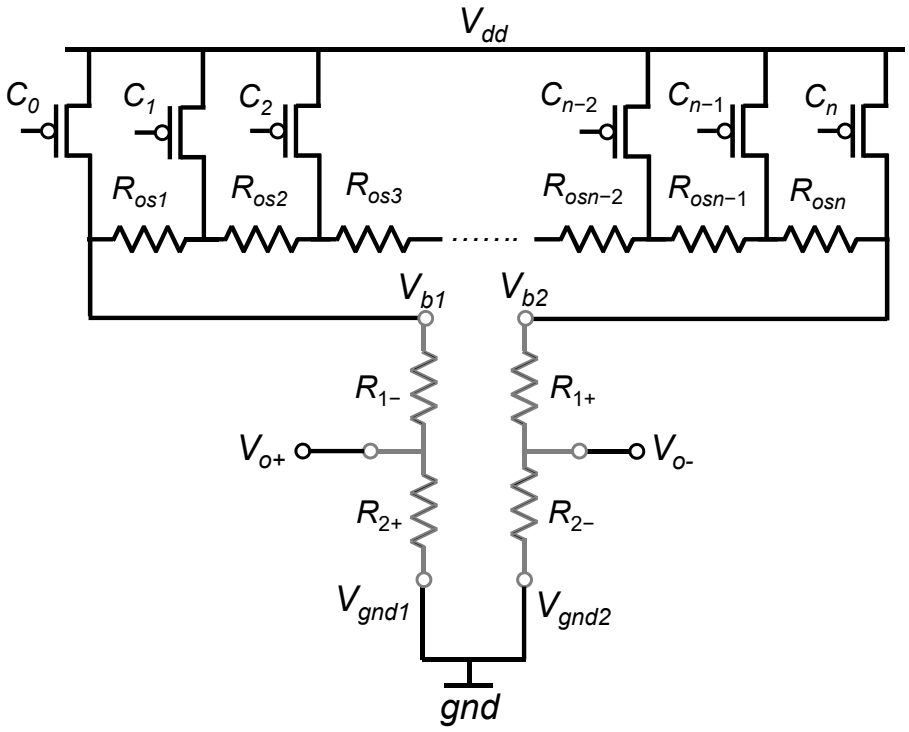


FIGURE 2.4 – Architecture proposée pour la compensation d'*offset*.

— Initialement, les transistors contrôlés par C_0 et C_n sont fermés afin de propager V_{dd} à V_{b1} et V_{b2}. La sortie différentielle V_{out} =V_{o+}-V_{o-} est alors mesurée. Selon le signe de l'*offset* mesuré, des résistances sont ajoutées successivement dans la branche gauche du pont de Wheatstone lorsque la tension V_{out} est positive. Au contraire, des résistances sont ajoutées dans la branche droite quand V_{out} est négative.

— La procédure d'ouverture et de fermeture des interrupteurs est simple. Tout d'abord, le transistor commandé par C_0 (resp. C_n) est ouvert si V_{out} est positive (resp. négative) pour ajouter R_{os1} (resp. R_{osn}) en série avec R_{1-} (resp. R_{1+}). Si le signe de V_{out} ne change pas à cette étape, l'interrupteur fermé est décalé de la gauche vers la droite (resp. de la droite vers la gauche) jusqu'à ce que le signe de V_{out} change : le code de configuration qui donne l'*offset* le plus petit peut alors être choisi entre le premier avant et le premier après le changement de signe.

La configuration retenue est alors la configuration qui compense le mieux l'*offset* post-fabrication. Le nombre total de configurations est évidemment égal à 2n+1. L'*offset* maximum est alors réduit d'un facteur approximativement égal à 2n, où n est le nombre de résistances de compensation R_{os}. Ces configurations sont codées sur un mot binaire et un décodeur est utilisé pour optimiser le nombre d'entrées nécessaires. Le nombre de bits nécessaires en fonction du nombre de résistances utilisées est : N=$\log_2$(n+1). Dans l'exemple ci-dessus, n est égal à 7, le nombre d'interrupteurs est de 8 donc 4 bits sont nécessaires pour encoder les 16 configurations possibles.

À ce stade, des simulations de Monte Carlo ont été effectuées afin de vérifier l'amélioration qui peut être obtenue en termes d'*offset* et de PSRR par rapport à un pont de Wheatstone soumis à des variations de processus de fabrication (figure 2.2). Les résultats reportés dans le tableau 2.1 montrent une réduction de l'*offset* maximum observé d'un facteur d'environ 12 et une réduction de son écart type de 5,7mV à 766μV. La petite perte d'efficacité par rapport au résultat attendu (une amélioration égale à 2n=14 était attendue dans les deux cas) peut s'expliquer par la prise en compte, lors de ces simulations, de l'effet des variations de processus technologique au sein de l'ASIC qui affectent notamment les résistances R_{os} et les résistances à l'état passant des transistors de sélection. Le PSRR est également amélioré et passe, dans le pire des cas, de 48dB à 70,5dB. Il est à noter que le PSRR reste stable en fréquence sur une large bande de fréquences. Évidemment, l'augmentation du nombre de résistances élémentaires peut augmenter le gain de performances.

TABLEAU 2.1 – PSRR et *Offset* obtenus à partir de simulations de MC après ajustement grossier de l'*offset* avec 7 résistances élémentaires.

	Min	Max	Moyenne	Ecart-type
Offset (mV)	-1,5	1,35	0,08	0,766
PSSR (dB)	70,5	118	n.a.	n.a.

Malgré ces améliorations, une dérive thermique de l'*offset* est observée après compensation. L'origine de cette dérive vient de coefficients de température des résistances (TCR) différents pour les résistances de l'ASIC et pour celles du capteur. Ce problème est illustré sur un exemple qui correspond au pire cas parmi 1000 simulations de Monte-Carlo (figure 2.5). La dérive thermique de l'*offset*, après compensation d'*offset* réalisée à température ambiante, s'élève à environ 6.5mV sur une plage de température de -20°C à 80°C.

Afin de limiter les effets négatifs induits par la compensation d'*offset*, une possibilité consisterait à utiliser, au sein de l'ASIC, des résistances ayant le même TCR que celui des résistances du capteur. Cependant, même si cette solution est fonctionnelle dans une simulation typique, il est peu probable qu'elle soit utilisable dans la pratique car deux processus de fabrication différents sont généralement utilisés pour le capteur et le circuit d'étalonnage. Nous avons donc exploré une solution plus robuste aux variations de processus de fabrication.

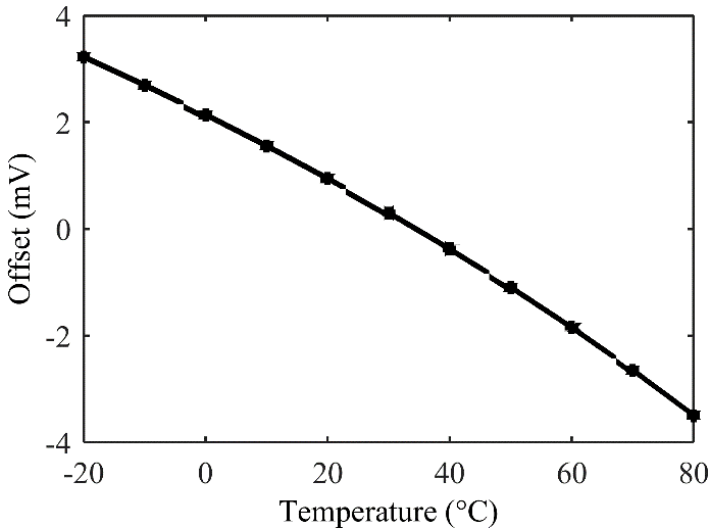


FIGURE 2.5 – Exemple d'effet de la température sur l'*offset* après compensation.

2.5 Compensation de la dérive thermique de l'*offset*

L'architecture proposée précédemment a démontré son efficacité en termes de réduction d'*offset* et d'augmentation du PSRR. Elle introduit cependant une sensibilité à la température de l'*offset* après compensation. L'état de l'art [9] propose cependant une modification d'architecture pour compenser l'*offset* en réduisant au maximum la dérive thermique. Il s'agit d'introduire deux résistances, une en parallèle R_p et une en série R_s ($cf.$ Figure 2.6), afin de compenser l'*offset* du pont de Wheatstone sans dégrader sa dérive thermique. R_s et R_p sont fabriquées à l'aide du même procédé et ont donc le même TCR. De plus, ce coefficient doit être le plus faible possible afin de réduire les effets de second ordre de la température. En fonction du signe de l'*offset*, R_s et R_p sont ajoutés dans la branche droite si V_{o+} est inférieur à V_{o-} (*offset* négatif) ou dans celle de gauche du pont si l'*offset* est positif, comme illustré sur la figure 2.6.

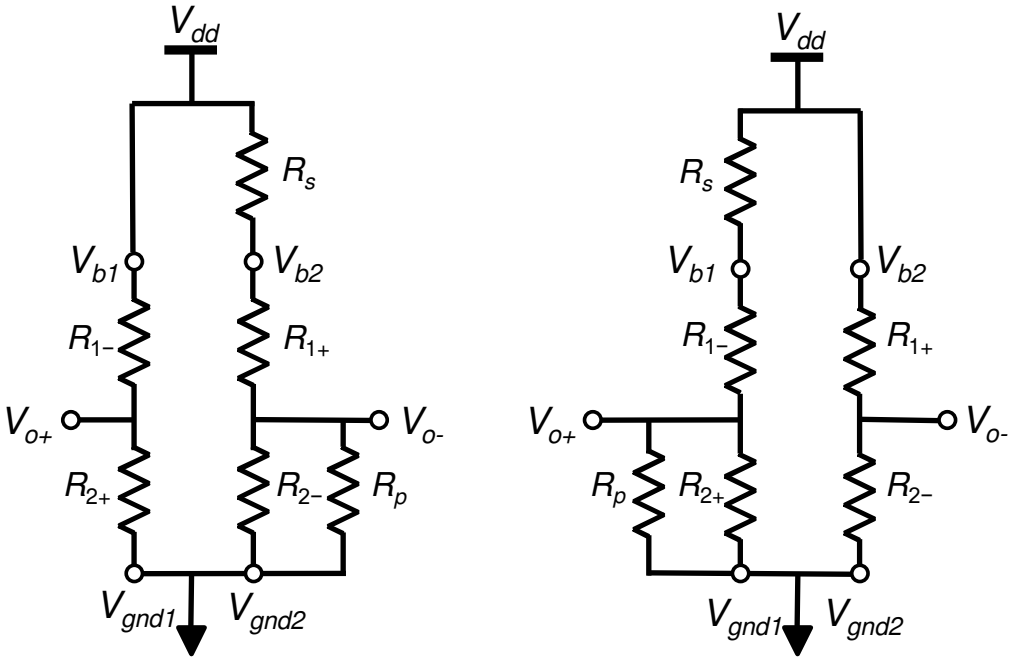


FIGURE 2.6 – Schéma de compensation de l'*offset* avec faible dérive thermique pour un *offset* initial négatif (à gauche) et un *offset* initial positif (à droite).

L'étude théorique du demi-pont modifié (e.g. branche de droite) [9], donne une sensibilité thermique minimale à la sortie du pont V_{out} si :

$$R_s R_p = R_{1+} R_{2-} \approx R_0^2 \tag{2.4}$$

La valeur R_s nécessaire pour compenser la moitié de l'*offset* initial peut être facilement calculée à partir de l'équation (2.1) donnant l'effet d'une variation de résistance sur la tension de sortie du pont de Wheatstone :

$$R_s = (2V_{offset} R_0)/V_{dd} \tag{2.5}$$

La valeur de R_p est ensuite calculée à partir de l'équation (2.4) et compense la moitié restante de l'*offset* initial. Cette technique présente cependant deux limites principales. Premièrement, la relation entre R_s et R_p est non linéaire. Par conséquent, si R_s est un potentiomètre numérique linéaire, R_p ne peut pas être contrôlée linéairement. Deuxièmement, pour un capteur avec un petit *offset*, la valeur requise de R_s pour compenser la moitié d'*offset* est très petite (par exemple, R_s=R_{os} soit quelques Ω), et donc une valeur très grande de R_p doit être utilisée (R_p=R_0^2/R_{os} soit plusieurs $M\Omega$). Une résistance aussi importante peut être difficile à intégrer dans un circuit intégré CMOS.

Pour surmonter ces deux limitations, nous proposons une modification de la solution de l'état de l'art [9], basée sur une analyse théorique qui mène à l'ajout d'une résistance fixe en série avec chaque branche du pont de Wheatstone. Ces résistances doivent être petites par rapport à la résistance nominale du pont, R_0, mais grandes par

rapport aux résistances élémentaires, R_{os}, utilisées pour compenser l'*offset*. Un exemple de l'architecture modifiée avec 4 bits de contrôle est illustré sur la figure 2.7 où une paire de résistances égales à $100R_{os}$ est ajoutée au potentiomètre numérique, entre V_{b2} et R_{os7} et entre V_{b1} et R_{os1}. La suite de cette section se concentre sur l'analyse théorique de notre proposition puis sur l'analyse de ses performances à partir de simulations de Monte Carlo.

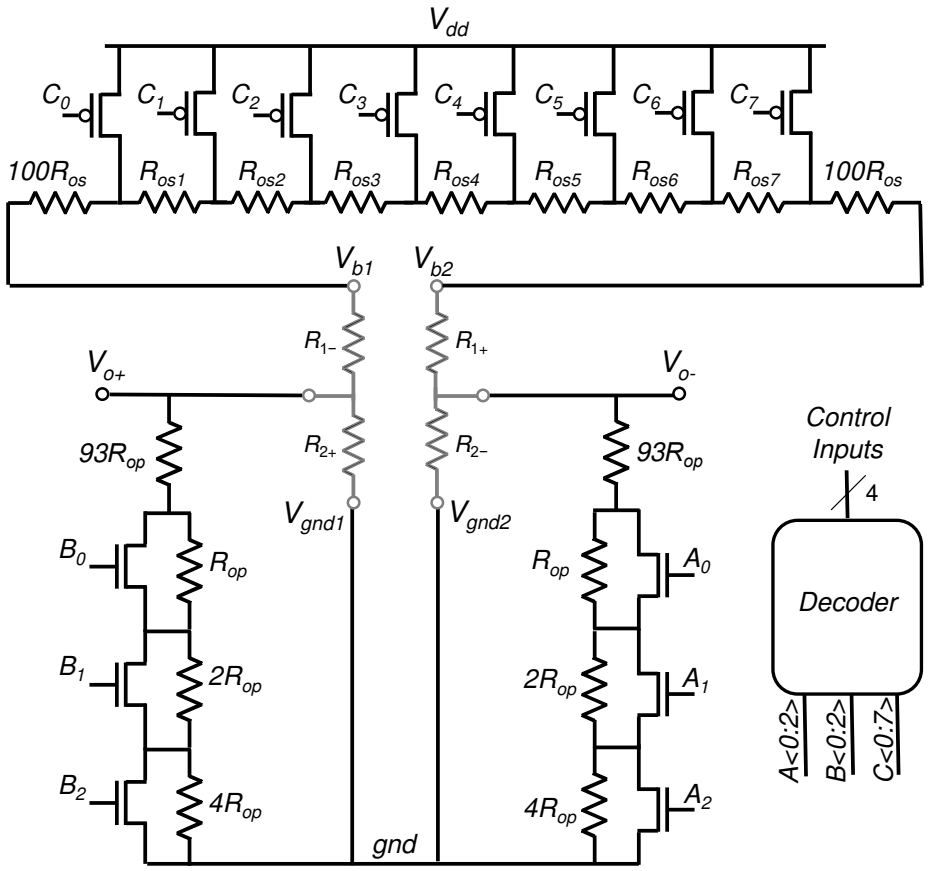


FIGURE 2.7 – Architecture améliorée pour compenser l'*offset* sans introduction d'une dérive thermique de l'*offset* avec prise en compte des contraintes d'intégration.

Supposons que des résistances soit ajoutées en série dans les deux branches du pont de Wheatstone dont les valeurs sont de la forme :

$$R_s = 100R_{os} + kR_{os} \tag{2.6}$$

Où k est un entier allant de 0 à n, n étant le nombre de R_{os} élémentaires implémentées dans le potentiomètre numérique. En utilisant les équations (2.4) et (2.6), R_p peut alors être approximé par le premier terme d'une série de Taylor :

$$R_p = \frac{R_0^2}{100R_{os} + kR_{os}} = \frac{R_0^2}{100R_{os}\left(1 + \frac{k}{100}\right)} \approx \frac{R_0^2}{100R_{os}}(1 - \frac{k}{100}) \tag{2.7}$$

En posant $R_{op} = \frac{R_0^2}{10000 R_{os}}$, la valeur de R_p est alors donnée par :

$$R_p \approx 100 R_{op} - k R_{op} \tag{2.8}$$

Par conséquent, notre proposition, par rapport à celle décrite dans la littérature [9] introduit deux avantages prépondérants en vue de l'intégration de la solution au sein d'un ASIC :

— La valeur maximale de R_p, obtenue pour $k = 0$, est réduite de deux ordres de grandeur. Ceci est d'un intérêt évidant pour l'intégration sur silicium.

— Les deux résistances R_s et R_p sont désormais contrôlées de manière linéaire et corrélée comme en atteste les équations (2.6) et (2.8) ci-dessus.

L'implantation matérielle illustrée par la figure 2.7, se fait à l'aide de trois potentiomètres numériques A, B et C contrôlés par le même mot binaire. La procédure est la suivante :

— Initialement, tous les transistors des potentiomètres A et B sont ouverts (R_p=$100R_{op}$ dans les branches de gauche et droite) et tous les transistors du potentiomètre C sont fermés (R_s=$100R_{os}$ dans les branches de gauche et droite). On détermine alors le signe de l'*offset* initial.

— Dans le cas d'un offset positif (respectivement négatif), C_0 (resp. C_7) est ouvert et la résistance R_{os1}(resp. R_{os1}) est ajoutée en série avec V_{b1} (resp. V_{b2}). Dans le même temps, B_0 (resp. C_0) est ouvert afin de réduire de R_{op} la résistance du potentiomètre B (resp. A) ; cette procédure est répétée jusqu'à ce que le signe de l'*offset* change.

Dans l'exemple de la figure 2.7, les résistances R_p sont réalisées sous la forme de deux potentiomètres numériques linéaires en parallèle avec R_{2-} et R_{2+} et peuvent être ajustées linéairement de $100R_{op}$ à $93R_{op}$. Les trois potentiomètres A, B et C sont contrôlés par le même mot numérique de 4 bits qui encode les 15 configurations possibles.

Cette architecture permet la compensation d'*offset* avec une réduction significative de la dérive en température de l'*offset* résiduel. Les simulations de Monte-Carlo de l'architecture modifiée démontrent les mêmes avantages concernant la compensation d'*offset* et l'amélioration du PSRR que l'architecture initiale (*cf.* tableau 2.1). La figure 2.8 montre l'amélioration obtenue pour la dérive thermique de l'*offset* post-compensation : une dérive de $100\mu V$ sur une plage de température de -20°C à 80°C dans le cas typique. Les simulations de MC ont montré une dérive thermique maximale divisée par un facteur à peu près égal à 10 avec une distribution log-normale. Les résultats complets des simulations Monte Carlo seront présentés dans le tableau 2.3 de la section 2.8. Notons que l'ajout de résistances en série et en parallèle aux résistances du capteur diminue son facteur d'échelle d'environ 10% en moyenne. Ceci ne sera pas un obstacle si le capteur a une sensibilité initiale supérieure à celle requise par l'application.

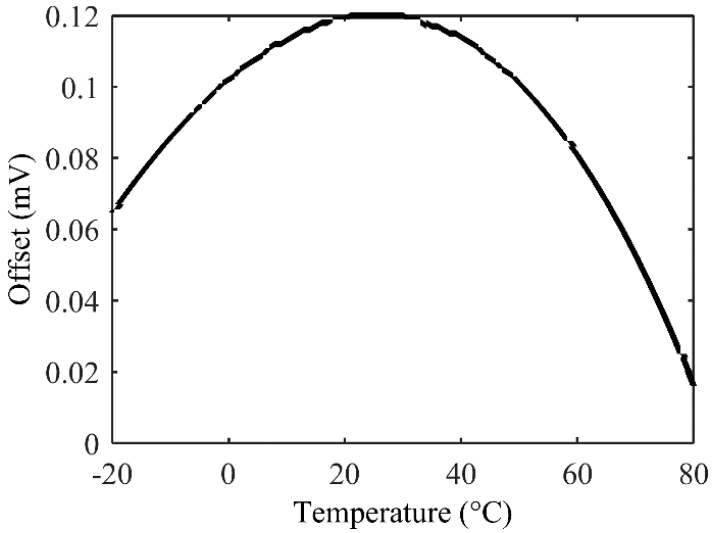


FIGURE 2.8 – Simulation typique de la dérive thermique de l'*offset* après compensation avec l'architecture améliorée.

2.6 Réglage fin automatique de l'*offset*

L'application sous-jacente à ces travaux implique une stérilisation du capteur de pression après chaque utilisation. Cette désinfection provoque un vieillissement de sa membrane métallique et entraîne une variation de l'*offset*. Nous avons donc prévu une procédure de compensation automatique d'*offset* destinée à ajuster finement l'*offset* à chaque mise sous tension du circuit. La procédure de mise à zéro automatique démarre donc à chaque mise sous tension du circuit et nécessite un mesurande d'entrée connu (nul ou une valeur spécifique définie par l'application). Cette compensation est basée sur un potentiomètre numérique similaire au potentiomètre C et connecté entre les bornes V_{gnd1} et V_{gnd2}. La procédure proposée implique une machine à états finis (FSM) contrôlée par le signe de la sortie différentielle du capteur. Cette machine parcourt les états possibles et s'arrête lorsque le signe d'*offset* change.

La figure 2.9 illustre ce potentiomètre numérique supplémentaire. Il est composé de n résistances, R_{F1} à R_{Fn}, et $n+1$ interrupteurs de commande $(D_0 \ldots D_n)$. Il est à noter que la valeur de chaque résistance élémentaire R_{Fi} élémentaire est faible par rapport à R_{os} ; typiquement la somme des résistances R_{Fi} est égal à une résistance R_{os}, soit R_{os}=nR_{Fi}. Par conséquent, l'impact de cette nouvelle résistance en série sur la dérive d'*offset* induite par la température est négligeable. La procédure automatique repose sur un comparateur intégré pour déterminer le signe de l'*offset* (positif ou négatif). Ainsi, un comparateur avec un très faible *offset* et une faible dérive thermique est nécessaire. À noter que l'amélioration théorique de l'*offset* n'est alors que de n (vs. $2n$ pour le réglage grossier, section 2.4), en raison de la surcompensation systématique de la procédure automatique dont l'arrêt est commandé par le changement de signe. En effet, le choix du meilleur code nécessiterait un CAN intégré pour déterminer le code

correspondant à l'*offset* minimum, ce qui conduirait également à une complexification de la FSM [27].

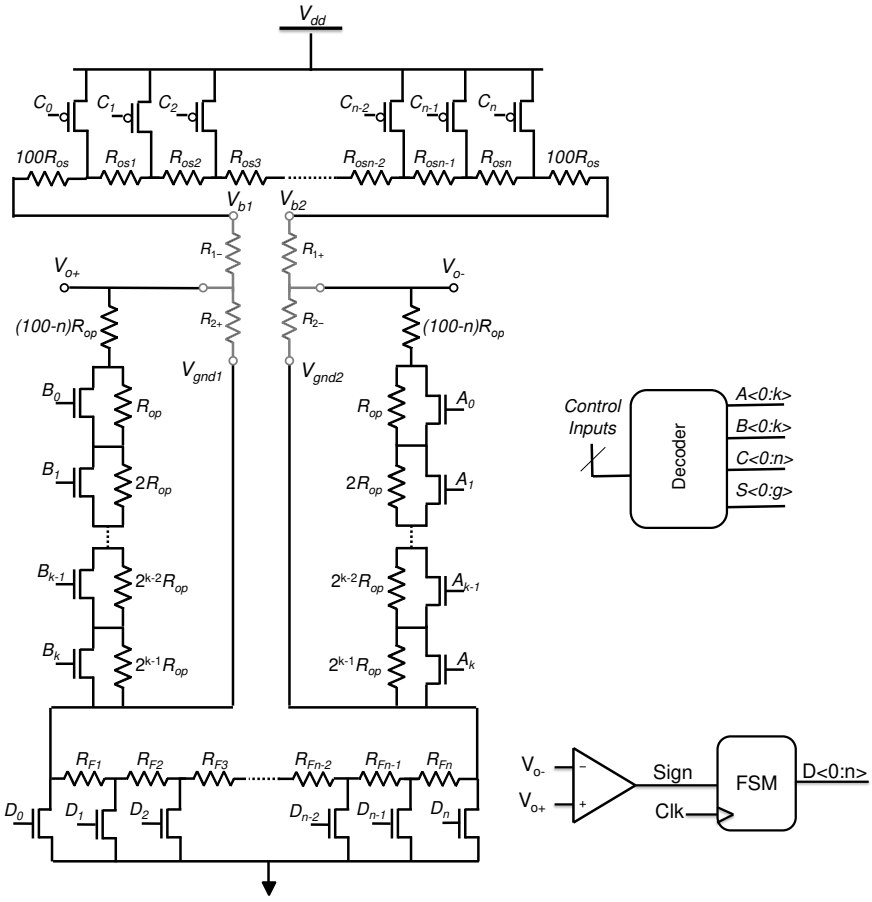


FIGURE 2.9 – Architecture améliorée afin de compenser l'*offset* par un réglage grossier (potentiomètres, A, B, C) et un réglage fin (potentiomètre D)

2.6.1 Codage de la machine d'état

Le synthétiseur Cadence® Encounter® RTL Compiler permet de synthétiser les fonctions décrites en Verilog et VHDL jusqu'à l'obtention du layout. En plus du décodeur de la section 2.4 utilisé pour le réglage grossier, la machine d'état nécessaire au réglage fin de l'*offset* a aussi été implémentée en utilisant cet outil. La figure 2.10 présente l'organigramme de la machine d'état. L'état initial consiste à fermer les interrupteurs D_0 et D_n, à la mise sous tension du circuit. Ensuite, afin d'attendre la propagation du signe de l'*offset* initial à la sortie du comparateur, un compteur 4 bits est lancé et compte 16 périodes d'horloge. La sortie du comparateur est ensuite échantillonnée à la fréquence F_{clk} permettant de stocker le signe d'*offset*. Selon le signe d'*offset* stocké deux cas sont possibles :

1. Si l'*offset* est positif, un décalage de D_n a D_{n-1} est effectué permettant de rajouter R_{Fn} avec la branche droite du pont de Wheatstone (Figure 2.9), si la sortie du comparateur change à cet état la machine s'arrête, sinon le décalage se répète jusqu'au changement de signe de l'*offset*.
2. Si l'*offset* est négatif, un décalage de D_0 a D_1 est effectué et la suite de l'algorithme est similaire.

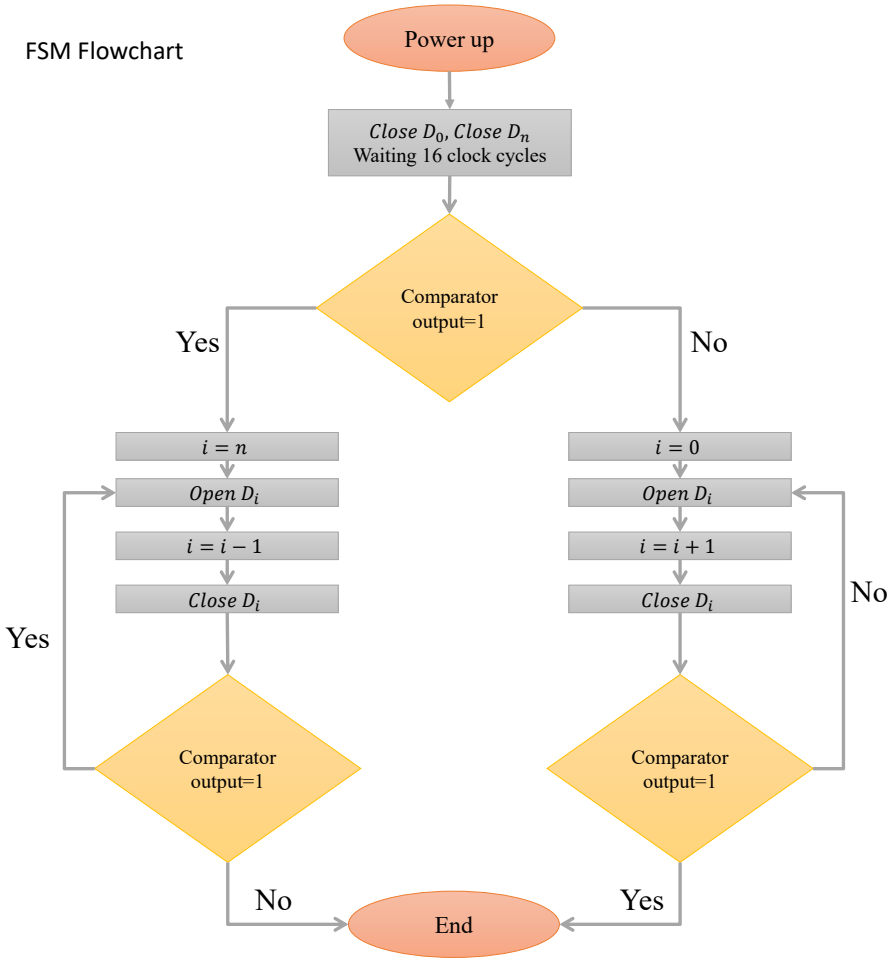


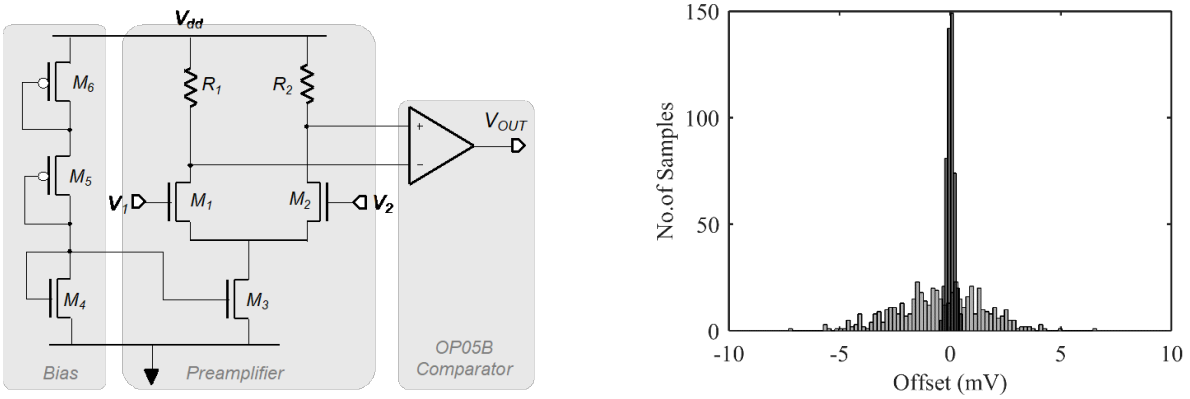
FIGURE 2.10 – Organigramme de la machine d'état

Pour conclure, l'amélioration totale de l'*offset* est donc de l'ordre de $2n^2$ avec cette architecture. Ainsi, pour un potentiomètre C avec 7 résistances élémentaires R_{os} et un potentiomètre D avec 7 résistances élémentaires R_F, l'*offset* maximal est théoriquement réduit d'un facteur 98. Pour l'exemple de la section 2.4, l'*offset* résiduel après un réglage grossier est de l'ordre de $\pm$1,55mV (tableau 2.1) ; un *offset* final maximum égal à $\pm 220\mu$V doit donc normalement être obtenu en utilisant 7 résistances R_F (contrôlées par 4 bits) et un comparateur idéal. En fait, en plus du nombre de résistances

utilisées pour le réglage fin et de leurs valeurs, l'*offset* final dépend aussi de l'*offset* du comparateur utilisé. Ainsi, un comparateur faible *offset* est indispensable.

2.6.2 Conception d'un comparateur à faible offset

En utilisant comme comparateur un amplificateur opérationnel standard de type *Miller*, nommé OP05B, issu de la bibliothèque d'IP analogique de la technologie (AMS CMOS $0,35\mu m$), la procédure de compensation automatique de l'*offset* conduit à un *offset* final maximal important, y compris après le réglage fin. Cela est dû à l'*offset* de l'amplificateur qui est beaucoup plus grand que l'*offset* résiduel ciblé (environ $500\mu V$). En effet, d'après sa fiche technique, l'*offset* de cet amplificateur est garanti entre $\pm 10mV$. Ceci a été vérifié par 500 simulations en Monte-Carlo et est illustré sur la figure 2.11b en gris.



(a) (b)

FIGURE 2.11 – (a) Architecture simple utlisée pour réduire l'*offset* d'un amplificateur existant (OP05B), (b) Simulations Monte Carlo de l'*offset* ramené en entrée de l' OP05B (en gris) et de l'*offset* du même amplificateur ramené en entrée d'un préamplificateur optimisé en *offset* et bruit en $1/f$ (en noir).

Pour répondre à ce problème, nous avons, dans un premier temps, ajouté un étage de gain différentiel jouant le rôle de préamplificateur en amont de l'OP05B, comme illustré sur la figure 2.11a. Il est basé sur une paire différentielle de transistors NMOS $M1$ et $M2$ (W=1mm et L=10μm) et d'une paire de résistances, $R1$ et $R2$, égales à $615k\Omega$. Le courant de polarisation de ce préamplificateur est fixé par $M3$ en copiant le courant fourni de la branche constituée de $M4$, $M5$ et $M6$. L'*offset* de l'OP05B ramené en entrée du préamplificateur est ainsi divisé par le gain du préamplificateur et cet *offset* résiduel est ajouté à l'*offset* propre du préamplificateur. Pour limiter cet *offset* propre du préamplificateur et le bruit en $1/f$, une solution simple basée sur de grandes dimensions de transistors a été privilégiée pour conserver la symétrie de la paire différentielle. Une alternative plus compacte serait d'envisager des architectures bien connues [28] telles que la stabilisation par chopper, le double échantillonnage corrélé ou l'auto-zéro.

Un ensemble de 500 simulations de Monte Carlo est ensuite utilisé pour comparer l'*offset* ramené à l'entrée de l'OP05B seul et l'*offset* ramené en entrée de l'architecture proposée comme comparateur à faible *offset*. Avec un gain de préamplification typique de 25, un *offset* ramené à l'entrée de $\pm 300 \mu V$ est observé (*cf.* Figure 2.11b en noir), soit une réduction d'un facteur 20 environ. Ce niveau de performance est suffisant pour une première preuve de concept, même si des développements ultérieurs présenteront la conception d'un comparateur spécifique à faible *offset*, évitant l'utilisation d'un amplificateur opérationnel standard et limitant ainsi la surface de silicium et la consommation électrique tout en améliorant encore l'*offset* résiduel.

2.6.3 Architecture finale du réglage fin

En plus de la machine d'état et du comparateur, deux blocs supplémentaires sont indispensables pour le déroulement de la procédure : une réinitialisation à la mise sous tension à l'aide d'un bloc *Power On Reset* et un générateur d'horloge à 1kHz. Cette fréquence d'horloge a été choisie afin d'éviter une interférence avec le temps de commutation du comparateur. La figure 2.12 illustre l'architecture complète obtenue pour le module de réglage fin. La réinitialisation des bascules issues de la machine d'état se fait à chaque mise sous tension si l'entrée primaire C1 est à « 0 ». Ceci permet de désactiver le lancement de la machine d'état pendant la procédure du réglage grossier à l'usine.

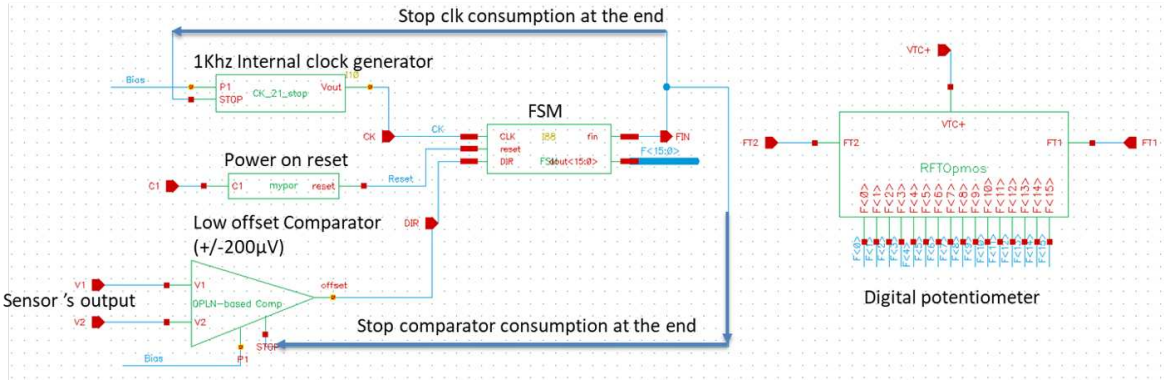


FIGURE 2.12 – Architecture finale du réglage fin

La procédure de réglage fin a évolué au cours de ce travail de thèse. Parmi les améliorations, l'ajout dans la machine d'état d'une sortie 'FIN' changeant d'état à la fin de la procédure, permet de couper l'alimentation du comparateur et du générateur d'horloge et donc de réduire significativement la consommation et les risques d'interaction avec le fonctionnement du pont de Wheatstone. Le comparateur lui-même a été remplacé par un amplificateur *Standard Miller* entièrement personnalisé pour affiner encore la plage d'*offset*, réduire la surface silicium et élargir la plage du mode commun d'entrée, tout en améliorant la consommation. La figure 2.13 illustre l'architecture utilisée pour ce comparateur.

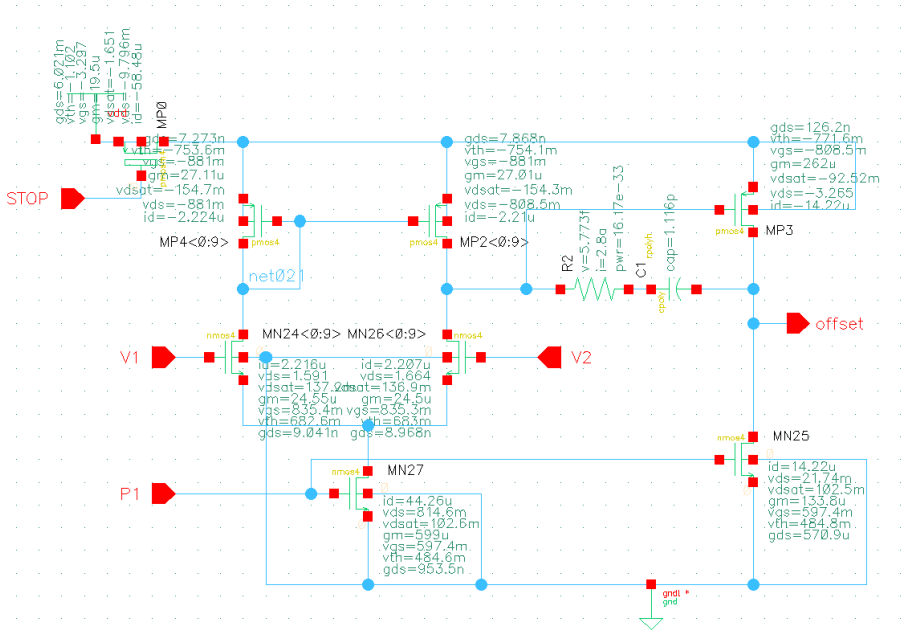


FIGURE 2.13 – Amplificateur *Standard Miller* personnalisé

Des simulations Monte Carlo ont été effectuées pour valider l'offset du comparateur et le temps de propagation. Le tableau 2.2 présente les paramètres principaux de cet amplificateur.

TABLEAU 2.2 – Paramètres principaux du comparateur entièrement personnalisé

Test	Paramètre	Min	Max	Mean	Std-dev
DC	*Offset* (μV)	-232	212	-0.4	72.83
AC	Gain (dB)	111.2	114	112.7	0.5
AC	Marge de phase (°)	92.63	98.79	95.61	1.152
Transient	ST rise (ms)	0.66	1.15	0.91	0.1
Transient	ST fall (ms)	0.65	1.18	0.92	0.1

D'après ces paramètres, nous déduisons l'*offset* qui est de l'ordre de $\pm 200\mu$V soit un gain de 30% par rapport à la solution initiale présentée dans la section 2.6.2. De plus, le temps de propagation (en montant et en descendant) s'élève à 1.15ms, ce qui fixe la fréquence du générateur d'horloge à moins de 1KHz. Nous avons donc divisé

la fréquence d'horloge par 4 grâce à un diviseur de fréquence digitale inclus dans la machine d'état.

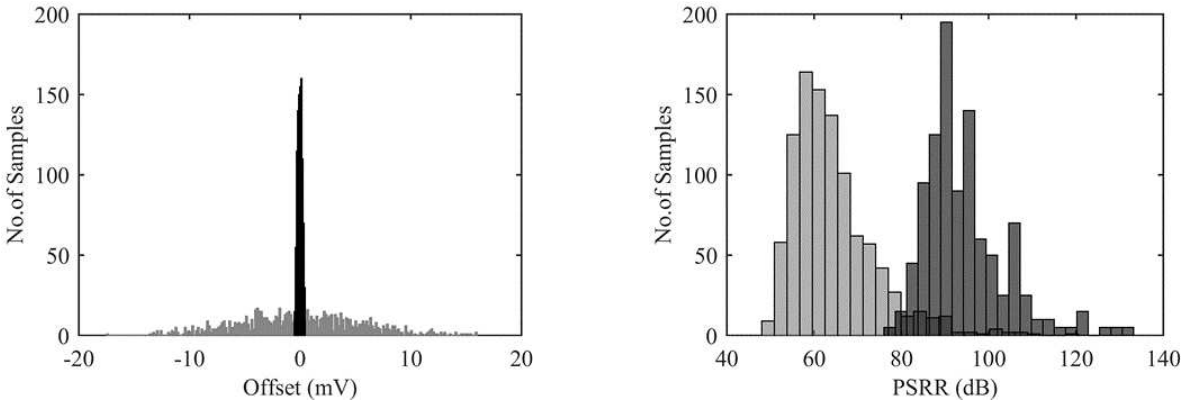
2.6.4 Mise en œuvre de simulations dépendantes de Monte-Carlo

Comme décrit dans la section 2.4, la procédure de compensation d'*offset* se fait en deux étapes ; la première est le réglage grossier de l'*offset*, la deuxième concerne le réglage fin. Cette dernière dépend de l'*offset* résiduel obtenu après la première. Des simulations successives dépendantes ont donc été mises en place en utilisant l'outil Cadence® Virtuoso® ADE XL ou le nouvel outil ADE Assembler. La procédure de simulation se déroule en 3 étapes :

1. Mesure de l'*offset* du capteur avec une simulation DC.
2. Recherche du meilleur code de compensation. Pour cela, un bloc "Veriloga" 4 bits génère tous les codes possibles à l'entrée du décodeur qui contrôle les potentiomètres A, B, et C. L'avantage d'un bloc décrit en "Veriloga" est d'éviter de faire une longue simulation transitoire en la remplaçant par des simulations de point de polarisation DC beaucoup plus rapides. Le code correspondant à l'*offset* le plus proche de zéro est transmis à l'étape suivante.
3. Simulation transitoire du réglage fin. Pour cela, le code obtenu lors de la simulation précédente est utilisé pour le réglage grossier et une simulation transitoire de 1s est effectuée pour évaluer le comportement du module de réglage fin. La valeur finale de l'*offset* résiduel est évaluée à la fin de cette simulation.

En répétant cette procédure sur un ensemble de 1000 simulations Monte Carlo, nous avons obtenu un *offset* final maximum de de $\pm 500\mu$V et un PSRR minimum de 78dB. Cette valeur correspond aux effets cumulés de l'*offset* maximal du comparateur (tableau 2.1) et du pas de discrétisation du réglage fin induit par la commutation d'une résistance R_F. L'apport par rapport à un pont de Wheatstone non compensé est illustré à la figure 2.2. Une amélioration significative par rapport à l'architecture sans réglage fin (tableau 2.1) est obtenue puisque l'*offset* dans le pire cas est divisé par 3 et le PSRR minimum est augmenté de 8dB.

De la même façon, en utilisant le comparateur à faible *offset* présenté dans la section 2.6.2 et la machine d'état de la section 2.6.1, un *offset* final maximum de $\pm 500\mu V$ a été obtenu (cf. Figure 2.14a). Cette valeur correspond à l'*offset* maximal du comparateur plus le pas de discrétisation de réglage fin induit par la commutation d'une résistance R_F. De plus, le PSRR minimum est augmenté jusqu'à 78dB, comme illustré sur la 2.14b. Une amélioration significative par rapport à l'architecture sans réglage fin (tableau 2.1) est ainsi obtenue puisque l'*offset* est divisé par 3 et le PSRR minimum est augmenté de 8dB.



(a) (b)

FIGURE 2.14 – Simulations de Monte Carlo : *offset* (a) et PSRR (b) d'un pont de Wheatstone non compensé (en gris) et après compensation totale de l'*offset* (en noir).

Enfin, il est à noter que la conception doit prêter une attention particulière à la monotonie des potentiomètres linéaires. Ceci est particulièrement vrai pour le potentiomètre de réglage fin qui fait intervenir de très petites résistances élémentaires, R_{Fi}, Cette valeur doit être supérieure au *mismatch* maximal possible entre la résistance de l'état passant de deux interrupteurs consécutifs, D_i et D_{i+1}. Ce *mismatch* ΔR_{on} a été caractérisé à l'aide de simulations Monte Carlo pour différentes largeurs de transistors de longueur minimale et il est dans le pire cas de $164m\Omega$ pour des transistors de commutation avec W=$50\mu m$.

2.7 Réglage du facteur d'échelle

Dans le domaine de l'instrumentation, le facteur d'échelle d'un capteur est aussi appelé sensibilité. Dans la plupart des cas, ce facteur d'échelle doit être ajusté à une valeur précise pour une adaptation optimale à la chaîne de mesure. Cette section est dédiée à la normalisation du facteur d'échelle d'un capteur résistif.

Selon l'équation (2.1), la tension de sortie d'un capteur donné dépend de la tension d'alimentation, V_{dd}, de la résistance nominale du pont, R_0, et des variations de résistance, ΔR. Étant donné que $\Delta R/R_0$, pour une amplitude de mesurande donnée, est généralement défini par la géométrie du capteur et est indépendant de R_0, la sensibilité du pont de Wheatstone ne peut être ajustée linéairement qu'en modifiant la tension d'alimentation. En général, selon l'application, une valeur du facteur d'échelle est exigée. Ainsi, si la valeur post-fabrication du facteur d'échelle est supérieure à cette spécification, une réduction du facteur d'échelle peut être obtenue à l'aide de deux potentiomètres, R_{gnd} et R_{Vdd}, comme illustré sur la Figure 2.15.

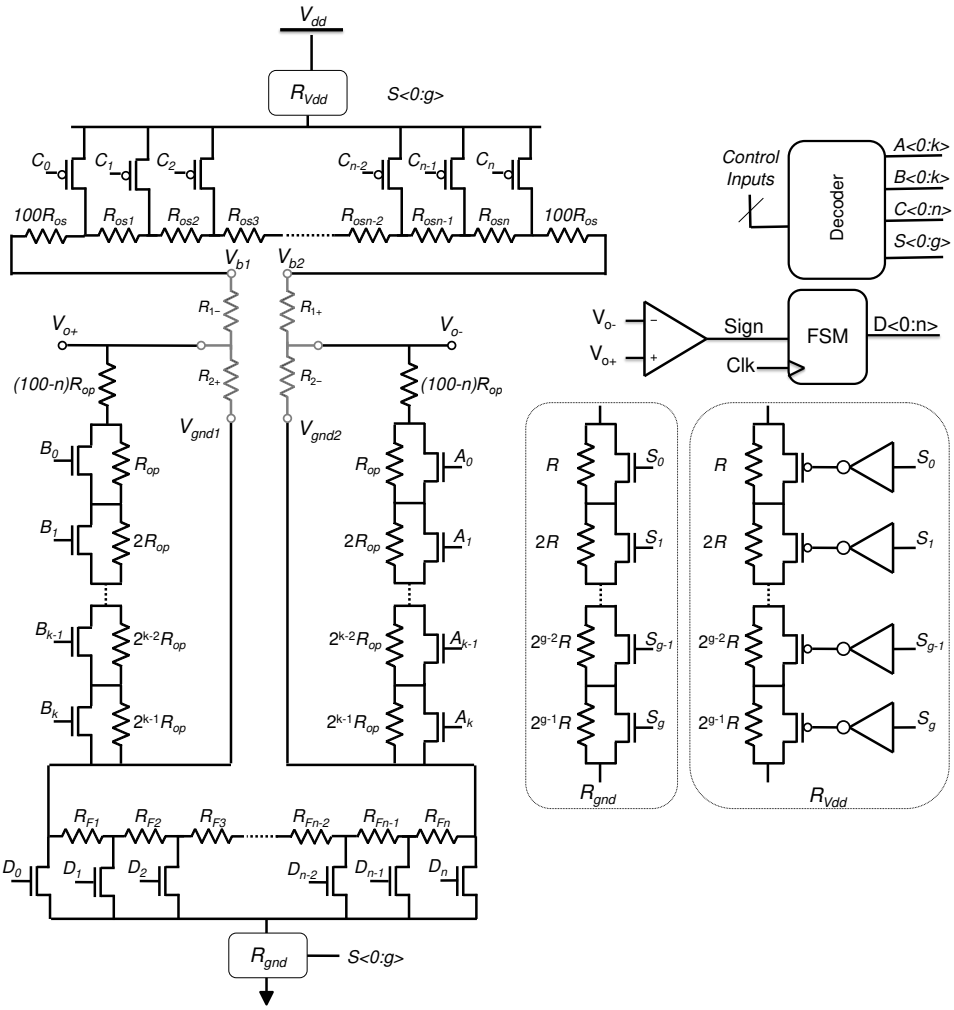
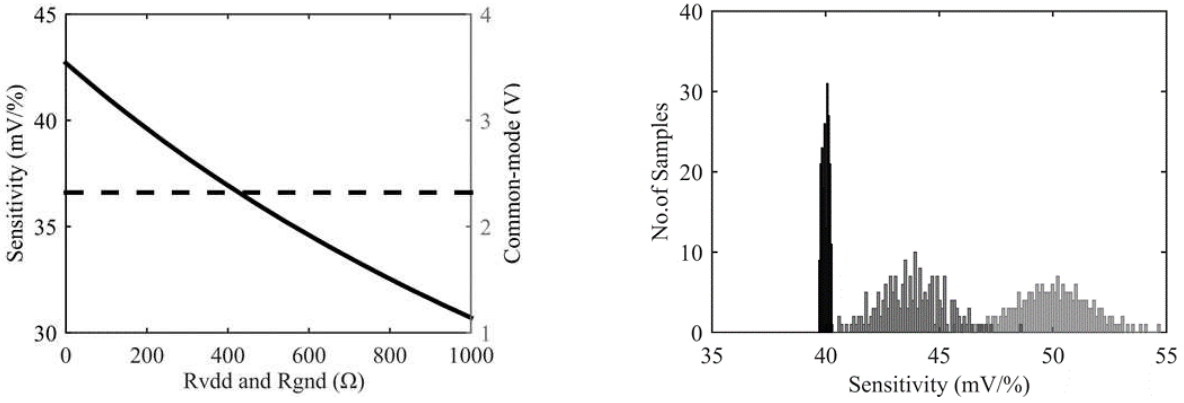


FIGURE 2.15 – Architecture complète de l'IP proposé pour l'étalonnage post-fabrication des capteurs résistifs.

D'après l'équation (2.1), une sensibilité de 50mV/% est obtenue pour une configuration en pont complet et une tension d'alimentation de 5V. Après la compensation d'*offset* complète (c'est-à-dire après réglage grossier et fin), la valeur moyenne de cette sensibilité est réduite d'environ 10% (soit environ 45mV/%) en raison de la présence des résistances de compensation ajoutées en série et en parallèle avec les résistances du capteur. Pour émuler l'impact du processus de fabrication sur la sensibilité, une distribution gaussienne avec un écart maximal d'environ 10% du facteur d'échelle a été modélisée. Un écart type de 3.33% de la valeur moyenne est ainsi obtenu pour le facteur d'échelle. Pour réduire cette dispersion, toute valeur du facteur d'échelle, inférieure au minimum de la distribution Monte Carlo, peut être ciblée. A titre d'exemple, une cible de sensibilité de 40mV/% est choisie. Pour atteindre cet objectif, les deux valeurs de R_{gnd} et R_{Vdd} sont augmentées symétriquement de 0 à 930Ω en utilisant cinq bits de configuration et des pas élémentaires de 30Ω.

Ces deux potentiomètres linéaires s'ajoutent à l'architecture de compensation d'*offset* et sont illustrés par la figure 2.15. Un exemple est présenté sur la figure 2.16a pour laquelle la cible de sensibilité est atteinte pour une valeur des 2 résistance de 180Ω. On peut noter que la tension de mode commun est constante pendant cette procédure. Normalement, cette valeur est $V_{dd}/2$, mais elle est légèrement diminuée par le réglage grossier de l'*offset* en raison des résistances ajoutées entre V_{dd} et V_{b1}, V_{b2} et des potentiomètres numériques A et B ajoutés en parallèle de R_{2+} et R_{2-} (Figure 2.15). Il est à noter qu'un contrôle précis du mode commun peut être ajouté au prix d'un contrôle indépendant de R_{gnd} et R_{Vdd}.



(a) (b)

FIGURE 2.16 – Mise en œuvre d'un ajustement du facteur d'échelle : (a) variation de la sensibilité (trait continu) et de la tension de mode commun (trait pointillé) en fonction de R_{gnd} et R_{Vdd}, (b) Simulation Monte Carlo de la sensibilité d'un pont de Wheatstone seul (gris clair), du même pont après la compensation d'offset (gris foncé) et après l'ajustement du facteur d'échelle (en noir).

Les résultats des simulations de Monte-Carlo enchaînées après la procédure de compensation de l'*offset* (section 2.6.4), sont présentés sur la figure 2.16b. Ils confirment l'efficacité de l'architecture proposée : le facteur d'échelle visé de 40mV/% est atteint et les variations relatives de sensibilité sont réduites d'un facteur 10 (1% contre 10% dans le pire des cas). Comme pour les procédures d'étalonnage décrites précédemment, l'incertitude résiduelle du facteur d'échelle peut être encore plus réduite en augmentant le nombre de bits de contrôle de R_{gnd} et R_{Vdd}.

2.8 Synthèse

Le tableau 2.3 résume les résultats significatifs de ce chapitre. La première étape a consisté à insérer le bloc de réglage grossier d'*offset* (Coarse Tuning Offset, CTO, potentiomètre C) qui permet une réduction significative de l'*offset* et une amélioration du PSRR. Le prix à payer est alors une dérive de l'*offset* avec la température pouvant

atteindre 6,5mV pour une variation de température de 100 °C. Cette dérive a été considérablement réduite, d'un ordre de grandeur, après l'ajout d'un module de réduction de la dérive thermique (Thermal Drift Reduction, TDR, potentiomètres A et B) contrôlé par les mêmes bits de configuration que le CTO. Un module automatique est ensuite utilisé pour le réglage fin de l'*offset* (Fine Tuning *offset*, FTO). Une machine d'états intégrée est utilisée à la mise sous tension pour effectuer une procédure d'auto-zéro afin de réduire l'*offset* du pont de Wheatstone seul d'un facteur supérieur à 30. De plus, le $PSSR$ est alors augmenté jusqu'à un minimum de 78 dB, représentant ainsi une amélioration de 30 dB par rapport à un pont de Wheatstone seul. Enfin, un module d'ajustement du facteur d'échelle (Scale Factor Adjustment, SFA) a été ajouté à l'architecture pour réduire la dispersion du facteur d'échelle d'un ordre de grandeur. Ce module permet également de réduire légèrement la dérive d'*offset* en température grâce à la diminution de la tension d'alimentation effective du pont de Wheatstone.

Tableau 2.3 – Performance simulée de la solution proposée pour l'étalonnage post-fabrication de capteurs résistifs après ajout des différents modules proposés.

Performance / modules insérés	Pont seul	CTO (4bits)	TDR (4bits)	FTO (4bits)	SFA (5bits)
offset (σ mV)	5,65	0,766	0,766	0,179	0,179
PSSR (min, dB)	48	70	70	78	78
Dérive thermique de l'*offset* (max, mV)	0	6,5	0,68	0,7	0,56
Facteur d'échelle (Vout @ 1%, mV)	50,0	48,6	43,7	43,0	40,0
Écart type du facteur d'échelle (σ,%)	3,3	3,3	3,3	3,3	0,3

2.9 Périphériques supplémentaires du circuit proposé

En plus des modules déjà intégrés dans le circuit, des périphériques supplémentaires ont été ajoutés afin d'atteindre l'objectif final : l'obtention d'un capteur compensé à quatre terminaux avec une sortie analogique avec un comportement similaire à celui d'un pont de Wheatstone. La programmation de l'ASIC est mise en œuvre à l'aide d'un

périphérique SPI (*Serial Peripheral Interface*) [29], un bus synchrone qui permet au circuit de recevoir en série les entrées de contrôle, issues d'un microcontrôleur. Ce périphérique facilite les communications entre le circuit et le microcontrôleur et permet une programmation aisée des bits de contrôle interne à l'ASIC. Le deuxième périphérique ajouté est une unité de stockage dont le rôle consiste à mémoriser de façon permanente la configuration de l'ASIC associé à un capteur. Cette unité est basée sur des fusibles [30] choisis notamment pour leur facilité d'intégration et leur faible coût.

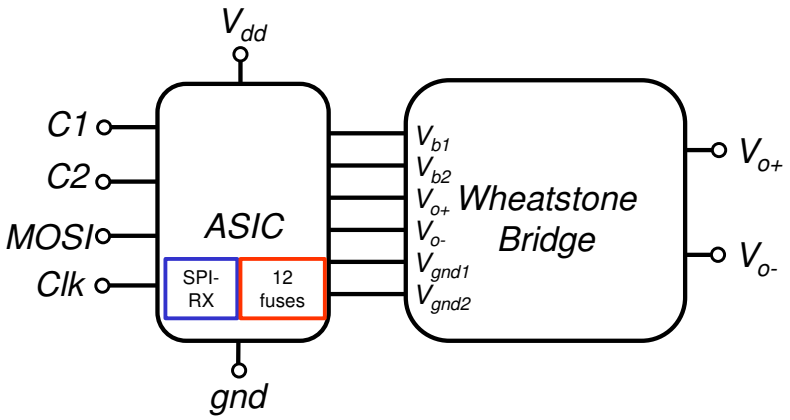


FIGURE 2.17 – Le capteur intelligent contenant les périphériques de programmation et de mémorisation.

La procédure d'étalonnage nécessite dans un premier temps de trouver le code optimal pour un ASIC relié à un capteur puis de mémoriser ce code dans l'ASIC de manière non-volatile. Pour cela, on a utilisé deux entrées de contrôle $C1$ et $C2$ comme illustré par la figure 2.17. Ces deux bits pilotent quatre modes de fonctionnement :

1. Le mode **Programmation** : $C1$ et $C2$ sont à '1', les sorties des fusibles ne sont pas utilisées et la machine d'état interne ne démarre pas. Il est alors possible d'utiliser le bus SPI pour programmer l'ASIC et déterminer la meilleure configuration pour l'ensemble ASIC+capteur.
2. Le mode **Mémorisation** : $C1$='1' et $C2$='0', après avoir programmé l'ASIC, le front descendant sur l'entrée de contrôle $C2$ va entraîner l'activation des fusibles de façon à stocker dans la banque de fusible la programmation effectuée au préalable.
3. Le mode **Client sans réglage fin de l'*offset***, $C1$='0' et $C2$='1', lors de la mise sous-tension, la configuration de l'ASIC est lue directement depuis la banque de fusibles.
4. Le mode **Client**, $C1$='0' et $C2$='0', lors de la mise sous-tension, la configuration de l'ASIC est lue directement depuis la banque de fusibles et la machine d'état démarre afin d'effectuer un réglage fin automatique de l'*offset* résiduel.

Il est à noter que ces entrées ne sont utilisées que durant la procédure d'étalonnage effectuée par le fabricant. Pour l'utilisation finale, les entrées de contrôle sont soudées

à la masse dans le boîtier et l'ensemble ASIC+capteur se comporte comme un pont de Wheatstone à 4 connexions. Les deux sections suivantes sont consacrées à la description de la mise en œuvre de ce SPI et des fusibles.

2.9.1 Mise en œuvre de l'interface SPI

Le bus SPI a été développé par Motorola dans les années 1980 [31]. Il permet l'établissement d'une communication série synchrone et full duplex entre deux terminaux, un maître et un esclave (Master-Slave). Généralement, le maître est un microcontrôleur et l'esclave est intégré dans le circuit intégré. Chacun possède un registre à décalage 8 ,16, ou 32 bits, comme illustré sur la figure 2.18.

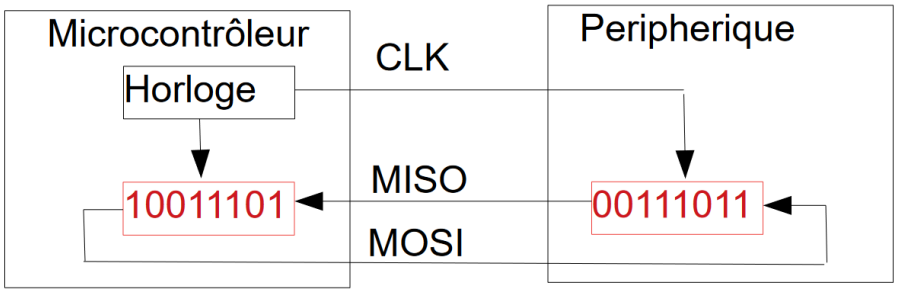


FIGURE 2.18 – Schéma simplifié du protocole SPI [31].

Ce protocole de connexion utilise quatre fils de connexion comme suit :

— MOSI : sortie du maître, entrée de l'esclave.

— MISO : entrée du maître, sortie de l'esclave.

— CLK : les deux terminaux partagent la même horloge envoyée par le maître.

— CS : Pour sélectionner l'esclave avec lequel le maître souhaite communiquer.

L'entrée CS est 1 bit dans notre cas car il n'y a qu'un seul esclave. Une unité SPI-esclave a donc été conçue à partir de son code VHDL et synthétisée grâce à l'outil Cadence® Encounter®. Ce bloc contient un registre à décalage de 16 bits. Un simple exemple présenté la figure 2.19 illustre la réception série via MOSI d'un mot digital "signal <0 :15>" de 16 bits au niveau haut par le bloc SPI. L'entrée MOSI est alors au niveau haut en permanence et les registres internes commutent à Vdd au rythme d'une sortie par front montant de l'horloge. Une sortie "Ready" est positionnée à '1' quand le registre interne est chargé, soit après 16 périodes d'horloge. Elle pourra être utilisée comme un signal d'interruption lors de la communication avec le MCU.

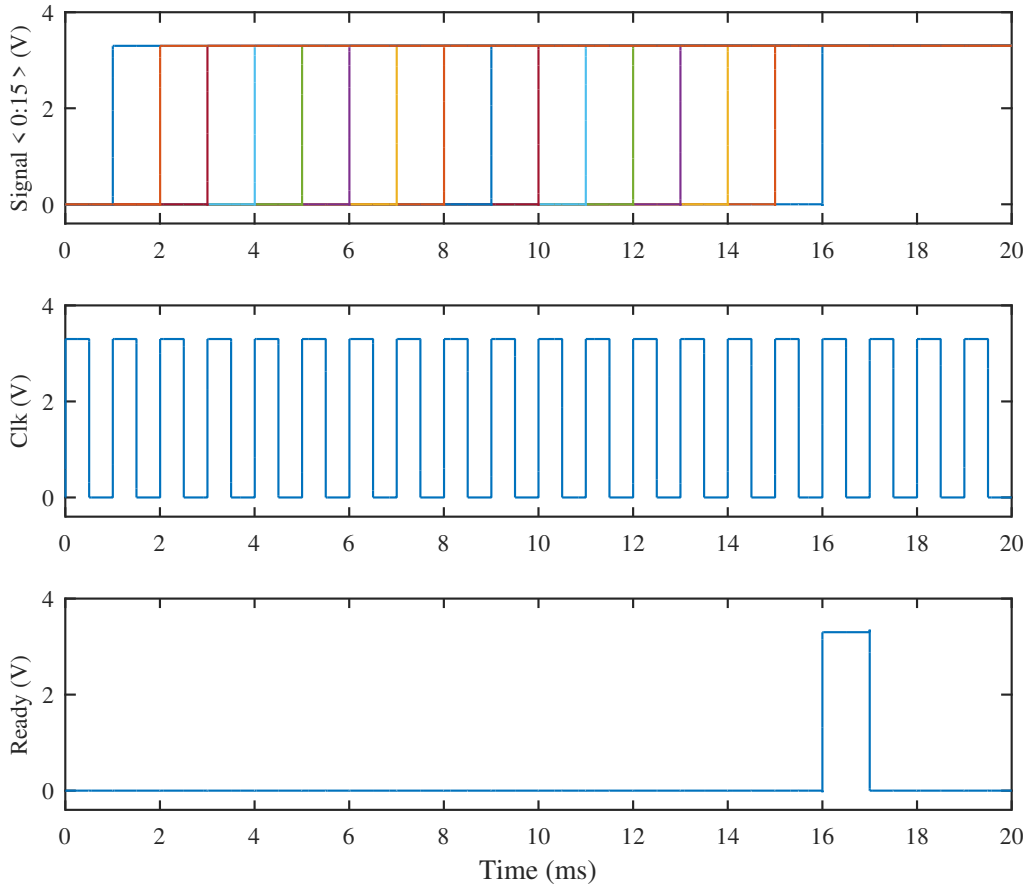


FIGURE 2.19 – Exemple de signaux transmis à l'ASIC selon le protocole SPI

2.9.2 Mise en œuvre de la banque de fusibles

Afin de mémoriser la programmation optimale d'un couple ASIC+capteur, nous avons besoin d'une mémoire non volatile (NVM) [32, 33]. L'OTP (One-time programmable) est un type de mémoire non volatile (NVM) qui, comme son nom l'indique, ne peut être programmée qu'une fois. Son avantage est sa faible surface, son coût et sa comptabilité avec le processus CMOS, sans nécessité de traitement supplémentaire après fabrication.

Dans un premier temps, nous avons opté pour les fusibles électriques « eFuse » existants dans la technologie CMOS. Quelques fusibles à base de métal ou de polysilicium ont aussi été conçus. Il s'agit de détruire une piste de métal ou de polysilicium par échauffement et électromigration, en utilisant une densité de courant beaucoup plus élevée que le maximum autorisé par le fondeur. Les résultats préliminaires obtenus sur ces fusibles ont montré qu'ils passent bien d'un état de faible à haute impédance après programmation. Cependant, le temps nécessaire pour *brûler* un fusible varie de l'un à l'autre de 20ms à plus d'une seconde, ce qui rend la programmation difficile. Ceci

s'explique par le fait que certains atteignent des valeurs de quelques kΩ en quelques ms, puis augmentent lentement jusqu' à l'état haute impédance. En résumé, le fusible passe par un état intermédiaire de dégradation avant d'arriver à son état final (grillé).

Dans un deuxième temps, ce problème de temps de programmation a été résolu en utilisant une architecture de comparateur de résistances. Ce comparateur, illustré à la figure 2.20, est basé sur un amplificateur auto-polarisé proposé par le laboratoire [34]. Les transistors T_3 et T_4 montés en « diode » (grilles et drains sont connectés) servent de référence de tension pour les transistors T_1 et T_2. La résistance R_{Ref} sert aussi de référence pour la résistance R_{Fuse}, Ainsi, R_{Ref} doit être supérieure à R_{Fuse} et compense également l'*offset* due aux désappariements (*mismatch*) induits lors de la fabrication et qui affectent les transistors et les résistances. Pour déterminer la marge nécessaire, des simulations MC ont été réalisées et la valeur de R_{Ref} choisie est supérieure à la valeur maximum permettant d'avoir V_F proche de V_{CC} quand l'entrée de programmation V_{IN} est nulle.

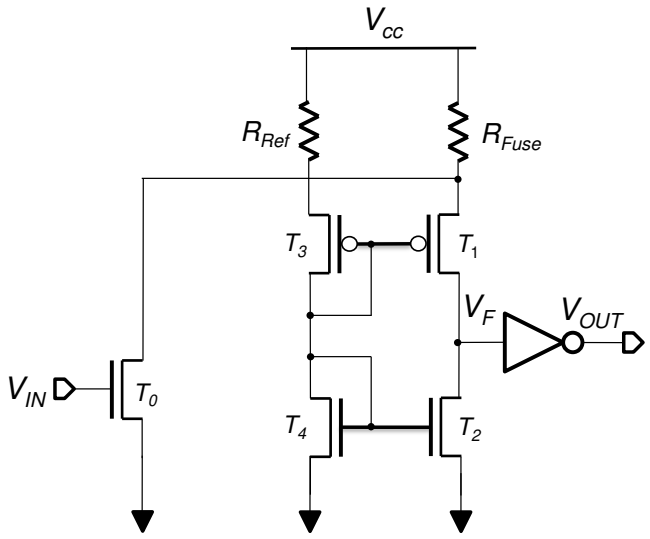


FIGURE 2.20 – Architecture différentielle du point mémoire OTP proposé.

À titre d'exemple, le courant de polarisation de ce montage est de 5μA, la résistance R_{Ref} est de 700Ω, La résistance R_{Fuse} est de 58Ω avec une longueur minimale de 0.35μm, la tension V_{CC} est de 5V qui permet un courant de programmation élevé. Pour des raisons de compatibilité avec les autres blocs digitaux du circuit, la tension de sortie V_{OUT} se limite dans une plage [0, 3.3] V. Une simulation typique illustrée dans la figure 2.21, représente le fonctionnement du circuit. Le fonctionnement du circuit se traduit en deux étapes.

1. Quand l'entrée V_{IN} est nulle, V_F =5V et donc V_{OUT}=0 ($cf.$ Figure 2.21).
2. Lorsque l'entrée V_{IN} passe à 5V, le transistor T_0 est passant, permettant de polariser R_{Fuse}, sous une tension proche de 5V et de faire passer un courant élevé

48mA soit plus de deux ordres de grandeur au-dessus du courant autorisé dans cette technologie. Les modèles de dégradation n'étant pas disponibles, il n'est pas possible de connaître l'état de R_{Fuse} après ce stress sans étude expérimentale.

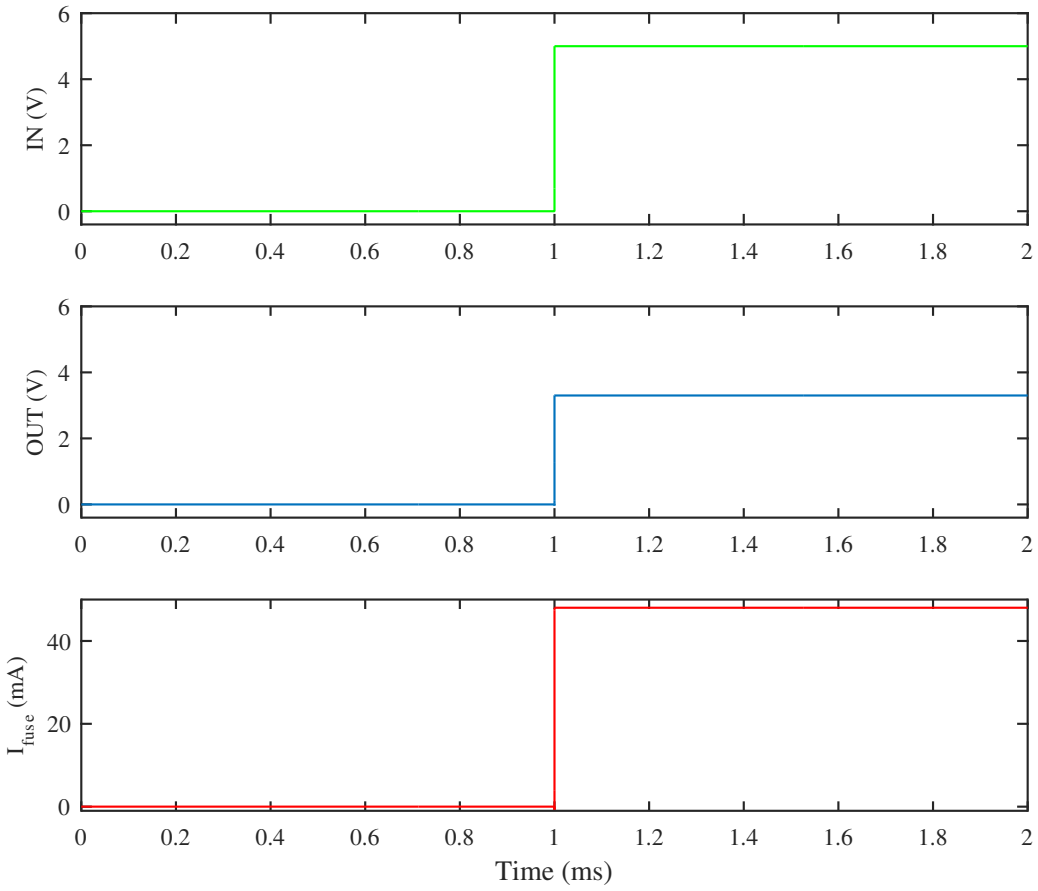


FIGURE 2.21 – Simulation typique du fonctionnement d'un fusible.

Enfin, ce montage permet d'éviter le problème du temps de programmation variable car il suffit que l'impédance du fusible passe au-dessus de l'impédance de référence pour que la sortie bascule à l'état V_{dd} et donc mémorise l'état '1'.

2.10 Conclusion

Dans ce chapitre, nous avons proposé une architecture entièrement électrique pour la calibration post-fabrication de capteurs résistifs. Elle permet de compenser facilement l'impact des variations de "process" sur un capteur résistif grâce à un CI compact. La solution proposée est générique et peut s'appliquer à tous les capteurs résistifs à six bornes indépendantes (c'est-à-dire avec des bornes *gnd* et V_{dd} indépendantes pour chaque branche). Une fois que la puce est connectée au capteur, potentiellement dans un seul boîtier, le capteur intelligent obtenu ressemble toujours à un pont de Wheatstone à quatre bornes. Il est alors possible d'ajuster l'*offset* de sortie et la sensibilité à l'aide d'entrées de commande numériques accessibles uniquement pendant l'étalonnage. De plus, un réglage fin d'*offset* peut être lancé automatiquement à chaque mise sous tension ou sur demande externe en fonction de l'application. L'*offset* final dépend de l'*offset* du comparateur utilisé lors du réglage fin et du pas de discrétisation.

Des simulations électriques basées sur des simulations intensives de Monte Carlo ont démontré les principaux avantages de la solution proposée : fonctionnement entièrement électrique, réduction significative de l'*offset*, augmentation du PSRR et réglage précis de la sensibilité.

Enfin, nous avons inclut une interface série périphérique (SPI) pour contrôler l'étalonnage post-fabrication avec un nombre étendu de bits. Ce SPI est utilisé pour contrôler l'état de la logique interne. Après la phase de programmation, un dispositif de type OTP [30]], un fusible programmable une fois est utilisé pour mémoriser la configuration du CI adapté à un capteur donné. Des mémoires non volatiles [32], y compris issues de technologies émergentes telles que la RAM magnétique [33], pourraient être utilisées alternativement pour fournir un fonctionnement réversible et un étalonnage sur le terrain.

Il reste maintenant à valider ces résultats de simulation par le test des prototypes qui ont été fabriqués. Le chapitre 4 présente donc les résultats expérimentaux obtenus sur trois circuits réalisés en technologie 0,35μm.

Chapitre 3

Conditionnement d'un capteur résistif à sortie numérique

3.1 Introduction

Depuis que les capteurs résistifs existent, le pont de Wheatstone est le conditionneur le plus utilisé pour convertir les variations de résistances induites par diverses grandeurs physiques ou chimiques en grandeurs électriques. Cette architecture simple introduit cependant quelques problèmes majeurs telles que la consommation importante qui dépend de la sensibilité souhaitée et de la valeur des résistances. Aujourd'hui, le besoin de détecter de petites variations de résistance, d'avoir une grande plage de mesure et une sortie numérique est devenu nécessaire avec le développement des systèmes intelligents. Dans ce chapitre, nous allons étudier la conception d'un circuit de conditionnement de capteurs résistifs avec une sortie numérique.

L'architecture classique pour le conditionnement et la conversion analogique numérique d'un capteur résistif se compose d'un pont de Wheatstone suivi d'un amplificateur et d'un convertisseur analogique-numérique (ADC) qui induisent chacun un bruit et une consommation supplémentaires (voir section 1.1). Le but de cette étude est de remplacer ce système par un modulateur sigma delta ($\Sigma\Delta$) compact. Dans un convertisseur $\Sigma\Delta$, le signal est suréchantillonné à une fréquence bien supérieure à la fréquence de Nyquist [35, 36]. Le suréchantillonnage associé à une ou plusieurs boucles de contre-réaction permet de mettre en forme le bruit de quantification afin que l'essentiel du bruit de quantification soit rejeté en haute fréquence, au-delà de la bande passante du capteur.

L'architecture proposée est basée sur une architecture originale de conditionnement du capteur, qui regroupe au sein d'un même étage les quatre résistances d'un pont de Wheatstone est un préamplificateur afin d'obtenir un pont « actif » ou autrement dit un pont à recyclage de courant (voir section 1.2.1). Elle a été brevetée [21] par l'équipe Conception et Test de Microsystèmes du LIRMM. Cette architecture représente une alternative faible consommation au traditionnel pont de Wheatstone associé à un étage d'amplificateur faible bruit (LNA) [20].

Le modulateur ΣΔ basé sur un pont actif a fait l'objet de plusieurs études au sein du LIRMM concernant le développement de capteurs intégrés. On peut mentionner tout d'abord l'étude [37] réalisée par Souha Hacine au cours de sa thèse de doctorat, qui a permis d'obtenir un capteur de température avec une sortie numérique 1-bit et une faible consommation grâce à une architecture ΣΔ du 1^{er} ordre. Un capteur capacitif à sortie numérique a été aussi développé avec une architecture similaire au cours de la thèse de Patcharee Kongpark [38]. Cependant, pour des capteurs peu sensibles ou lorsqu'une grande résolution est souhaitée, l'optimisation de la consommation, de la surface ou encore du rapport signal sur bruit (SNR) nécessite des études complémentaires. En effet, un capteur peu sensible requiert une forte consommation et donc une surface importante pour atteindre un SNR élevé dans l'application. Pour répondre à ces exigences, nous proposerons, après avoir étudié la performance d'un modulateur du 1^{er} ordre, une architecture ΣΔ du 2^{nd} ordre qui permet d'atteindre une meilleure résolution avec des fréquences d'échantillonage plus faibles que pour un 1^{er} ordre. L'utilisation d'un second étage intégrateur permettra également de réduire les non-linéarités.

3.2 Spécifications de l'étude

Le but de cette étude est de concevoir un modulateur ΣΔ pour un capteur résistif à quatre éléments sensibles. Dans cette application, qui nous a été confiée par notre partenaire industriel, la valeur R_0 des résistances nominales du capteur est fixée à 5kΩ. La pleine échelle du capteur correspond à une variation maximale de chaque résistance d'un pont de Wheatstone de ±0.5% soit un ΔR de ±25Ω, correspondant à une pleine échelle de ±100Ω si la totalité du signal était ramenée sur une seule résistance. La résolution attendue doit permettre de détecter des variations de l'ordre de 0.01% de la pleine échelle sur une bande passante de 1kHz. Un SNR supérieur à 80dB sera donc nécessaire.

3.3 Étude de faisabilité

L'architecture de conditionnement la plus utilisée pour les capteurs résistifs est le pont de Wheatstone. Ses principaux inconvénients sont la consommation et, en présence de dispersion sur la valeur nominale des résistances, l'apparition d'un offset qui dégrade les performances notamment en termes de réjection du bruit d'alimentation (Power Supply Rejection Ratio, $PSRR$). Dans cette étude, nous calculons, dans un premier temps, le courant nécessaire du pont de Wheatstone pour répondre aux spécifications du projet et plus particulièrement la valeur du SNR souhaité. Le bruit blanc en sortie d'un pont de Wheatstone est équivalent au bruit blanc d'une seule résistance (1.2) intégré sur la largeur de la bande passante du capteur et le signal de sortie peut s'exprimer facilement en fonction du nombre de résistances sensibles, α, et du courant total consommé par le pont, I_{WB} (1.1). Le SNR du pont de Wheatstone est donc proportionnel au courant consommé et inversement proportionnel à la racine carrée du produit de la résistance

nominale par la bande passante du signal (1.3). On rappelle ici, après réécriture, cette équation donnant le SNR d'un pont de Wheatstone en fonction du courant total I_{WB}, de la bande passante BW, de la valeur nominale des résistances R_0, du signal pleine échelle ΔR pour chaque résistance sensible et du nombre de résistance sensible α (compris entre 1 et 4) :

$$SNR_{WB} = \frac{\alpha \frac{I_{WB}}{4} \Delta R}{\sqrt{4kTR_0BW}} \tag{3.1}$$

À ce stade, nous pouvons donc calculer le courant total nécessaire pour atteindre le SNR souhaité. Pour un SNR de 10000, nous obtenons, d'après (3.1), un courant total minimum de 115μA pour R_0=5$k\Omega$, BW=1kHz, α=4 et ΔR=25Ω. Il est important de noter que le signal de sortie du pont de Wheatstone devra être amplifié avant d'être converti dans le domaine numérique. Le pont de Wheatstone devra donc être alimenté avec un courant supérieur afin de tenir compte de la figure de bruit de ces éléments additionnels.

Concernant le pont à recyclage de courant, nous avons rappelé dans le premier chapitre que le signal, le bruit ramené en entrée des transistors et le bruit thermique des résistances sont amplifiés par le même coefficient. La conception du pont à recyclage de courant devra donc prendre en compte les deux composantes du bruit des transistors. Le bruit en $1/f$ des transistors peut avoir un impact très fort pour les capteurs qui ont une très faible bande passante. L'utilisation de techniques permettant de supprimer le bruit en $1/f$ et l'offset est, dans ce cas, compatible avec le pont à recyclage de courant [39]. Dans notre cas d'étude, le capteur a une bande passante relativement élevée. Lorsque celle-ci est supérieure à quelques centaines de Hertz, il suffira d'utiliser des surfaces de grille suffisamment grandes pour que la fréquence de coin soit inférieure d'un ordre de grandeur au moins par rapport à la bande passante. Le coût en surface pour les quatre transistors sera largement compensé par la compacité de la solution à base de pont actif en comparaison de la solution « état de l'art » composée du pont de Wheatstone, d'un amplificateur analogique puis d'un convertisseur de type ADC.

En supposant que l'on peut négliger l'impact du bruit en $1/f$ sur le SNR, on peut déterminer le courant nécessaire pour que les contributions en bruit thermique d'une résistance du capteur et d'un transistor soient identiques (1.15). En supposant que les transistors sont polarisés en limite du régime de forte inversion (V_{eff}=V_{gs}-V_t=100mV), un courant total de 25μA est calculé pour R_0=5$k\Omega$ avec γ=1,25. On peut donc conclure que pour un capteur avec un niveau de SNR élevé et des résistances supérieures au $k\Omega$, le bruit blanc des transistors aura un impact faible sur le rapport signal sur bruit du pont à recyclage de courant.

Afin de vérifier les assertions ci-dessus, une étude comparative du rapport signal sur bruit obtenu avec chacune des architectures a été effectuée pour différentes valeurs de courant (figure 3.1). Pour chaque courant, le signal est ramené sur une seule résistance avec un ΔR de 100Ω correspondant à la pleine échelle.

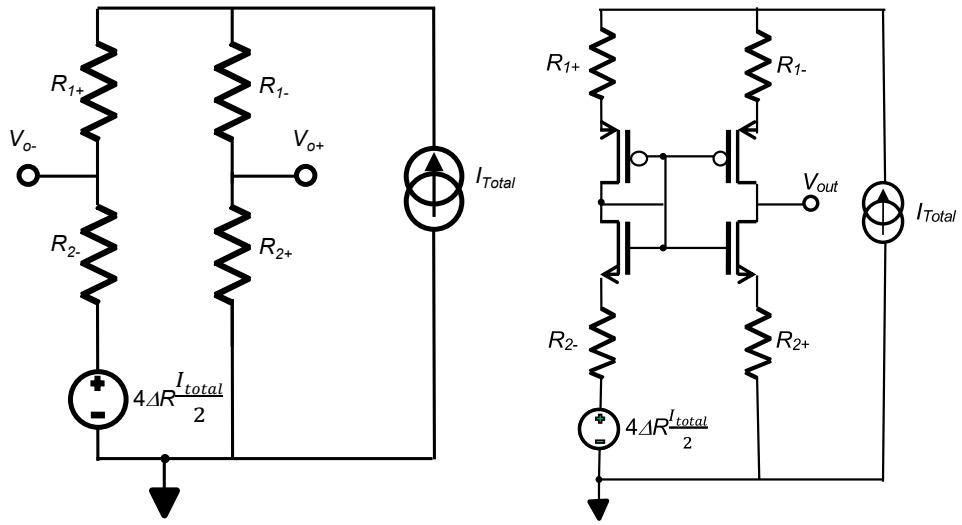


FIGURE 3.1 – Schéma électrique de simulation du SNR : Pont de Wheatstone (gauche), Pont actif (droite).

Pour chaque valeur de courant total, dans la gamme 28μA à 310μA, nous avons calculé les dimensions des transistors de façon à remplir les contraintes précédemment mentionnées pour le pont actif à recyclage de courant :

— Calcul du W/L des transistors pour V_{eff} =100mV $\longrightarrow$ g_m maximum et identique pour les 4 transistors.

— Ajustement de la longueur des transistors pour obtenir une surface de grille suffisante (bruit en $1/f$ négligeable) et une résistance de sortie r_{ds} identique pour le transistor P et le transistor N.

Nous avons ensuite déterminé le signal et le bruit obtenus en sortie de chaque montage à l'aide de simulations petit-signal (ac pour le signal et noise pour le bruit). Les résultats en matière de SNR (figure 3.2) permettent de vérifier l'étude précédente. Pour un courant total minimum, les contributions en bruit des transistors et des résistances sont équivalentes ce qui entraîne une réduction de SNR de l'ordre de 3dB. On vérifie aussi que lorsque le courant total augmente, le SNR augmente et l'écart entre les deux architectures se réduit jusqu'à atteindre 80dB autour de 115 µA puis dépasser cet objectif pour des courants plus élevés avec une pente de 6dB/octave. Le SNR est bien proportionnel au courant total de polarisation.

A l'issue de cette étude préliminaire, nous avons décidé de prendre une marge de conception d'un facteur trois sur le courant, soit un peu plus de 9dB pour le SNR afin d'anticiper les dégradations de performance liées, par exemple, aux variations de processus de fabrication même si l'utilisation de transistors de grandes dimensions donne à l'architecture une grande robustesse vis à vis de ces variations. Dans la suite de ce chapitre, le courant I_{bias} qui représente le courant de polarisation d'une branche sera égal à 173μA.

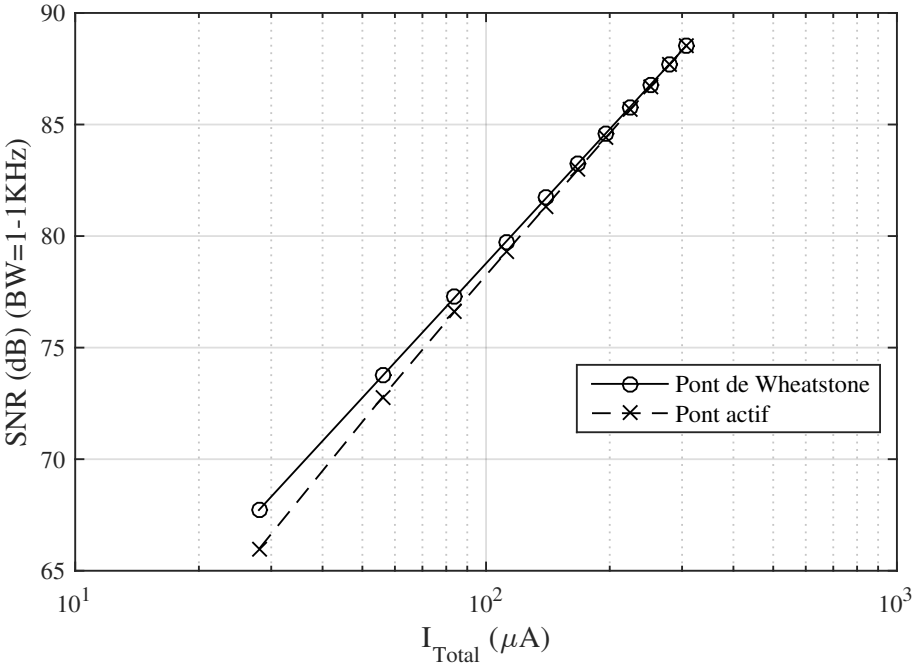


FIGURE 3.2 – Rapport signal sur bruit en fonction du courant total consommé par le pont de Wheatstone et le pont actif à recyclage de courant.

3.4 Modulateur $\Sigma\Delta$ du premier ordre

3.4.1 Conversion analogique numérique

Un convertisseur $\Sigma\Delta$ est composé de deux étages. Le premier est le modulateur qui utilise les principes de suréchantillonnage et de mise en forme du bruit de quantification pour obtenir un train de bit numérique (sortie 1-bit) à une fréquence d'échantillonnage bien supérieure à la fréquence de Nyquist [35,36]. Le second est un filtre de décimation qui reçoit le train de bit et supprime l'essentiel du bruit de quantification situé en dehors de la bande passante du capteur. On ne traitera dans cette thèse que le modulateur, le filtre de décimation est quant à lui décrit en annexe (C) .

3.4.2 Principe

Dans le modulateur $\Sigma\Delta$ du 1^{er} ordre proposé, les variations de résistances du capteur sont amplifiées par un pont actif et quantifiées par un quantificateur (ADC) 1 bit, qui est une bascule utilisée en comparateur synchrone comme illustré sur la figure 3.3. La sortie de cette bascule est ensuite convertie en un signal analogique avec un DAC 1

bit réalisé à l'aide d'une résistance de contre-réaction, R_{fb}, et de deux interrupteurs. Ce signal est soustrait de l'entrée et l'erreur de quantification ainsi obtenue est intégrée par un étage intégrateur simplement réalisé par une capacité C_{int} et la résistance de sortie élevée du pont actif. Ainsi, la sortie de cet intégrateur représente la moyenne de l'erreur de quantification et la contre-réaction opérée par le DAC tend à annuler la moyenne de cette erreur tout en rejetant le bruit de quantification du modulateur en haute fréquence par un effet passe-haut sur le bruit. Le codage du signal analogique est effectué comme suit en sortie du quantificateur : un « 1 » indique qu'une dérive positive s'est produite depuis le dernier échantillon, et un « 0 », une dérive négative.

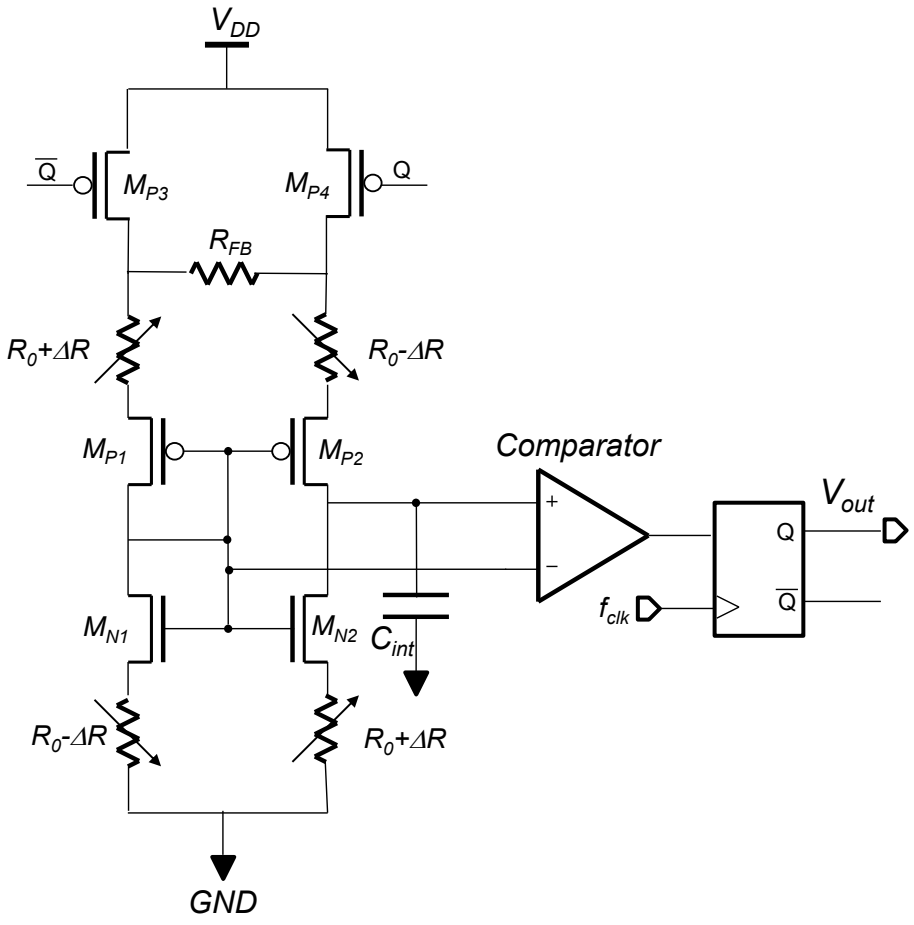


FIGURE 3.3 – Schéma électrique du modulateur $\Sigma\Delta$ 1^{er} ordre.

3.4.3 Modèle MATLAB d'un modulateur $\Sigma\Delta$ du 1^{er} ordre

Un modèle MATLAB Simulink est le meilleur choix pour étudier ce modulateur car il permet au concepteur de gagner un temps précieux par rapport à une simulation électrique. Le modulateur $\Sigma\Delta$ du premier ordre est modélisé par des blocs MATLAB

Simulink qui représentent les différentes parties du circuit CMOS présenté précédemment sur la figure 3.3.

La figure 3.4 illustre ce modèle. Tout d'abord, l'entrée du système est la somme des variations de résistance ΔR provoquées par le mesurande. Cette somme est ensuite multipliée par le courant de polarisation dans une branche du pont actif, I_{bias} représenté par un bloc de gain, afin d'obtenir la variation de tension induite par le mesurande ramenée au niveau d'une des résistances du capteur. Ensuite, un bloc de bruit blanc est utilisé pour superposer le bruit électronique des résistances du capteur à ce signal. On suppose donc ici que le dimensionnement des transistors est tel que leur bruit peut être négligé sur l'ensemble de la bande passante du capteur. Dans le cas contraire, il suffit d'ajouter le bruit ramené en entrée des quatre transistors du pont actif à celui des résistances en incluant si nécessaire le bruit en $1/f$. La fonction de transfert du pont actif va ensuite amplifier la tension générée au niveau d'une des résistances du capteur. Celle-ci est constituée d'un coefficient d'amplification (en V/V), qui correspond au gain statique du pont actif A_{v1}, et d'un pôle formé par la résistance de sortie élevée du pont actif et par la capacité de charge C_{int}. La fréquence de coupure du filtre passe-bas ainsi obtenu, si elle est plus faible que la bande passante du capteur, donnera un comportement pseudo-intégrateur nécessaire au fonctionnement du modulateur. Le signal analogique obtenu après amplification et filtrage passe-bas est alors discrétisé à l'aide d'un relais, utilisé comme quantificateur 1 bit, qui modélise à la fois le comparateur et la bascule D synchrone. Enfin, la boucle de rétroaction utilise le bit de sortie de la bascule D ($\pm$1) pour piloter un CNA 1 bit $\pm R_{fb}$, réalisé grâce à un bloc de gain. Ce retour résistif est ainsi soustrait au signal d'entrée pour compenser ses variations. C'est donc la valeur de R_{fb} qui fixe la pleine échelle théorique du modulateur.

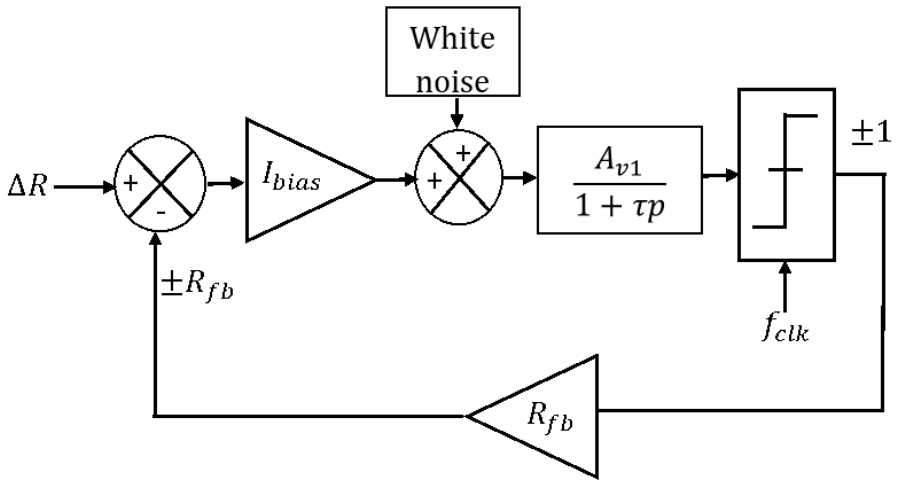


FIGURE 3.4 – Modèle MATLAB Simulink d'un modulateur $\Sigma\Delta$ du 1^{er} ordre.

3.4.4 Mise en œuvre du modèle MATLAB Simulink

Dans l'exemple d'application étudié, l'objectif est d'atteindre une résolution de 0,01% de la pleine échelle qui est fixée à 100Ω. Afin d'atteindre cette spécification, nous avons précédemment choisi, un courant de polarisation de 173μA par branche afin d'obtenir un SNR de 89 dB, soit une marge confortable par rapport à la spécification.

Afin de paramétrer notre modèle de simulation, nous avons tout d'abord évalué le bruit blanc équivalent aux quatre résistances ramené sur une d'entre elle. Chaque résistance ayant une contribution en bruit identique, il suffit d'effectuer la somme de leur puissance de bruit soit $3{,}42.10^{-16}\ V^2/Hz$ pour des résistances de 5kΩ. La résistance R_{fb} représente la pleine échelle du capteur, soit 100Ω. Le bruit de cette résistance et, comme celui des transistors, négligé. Le gain A_{v1} est évalué à 1300, d'après l'équation (1.14), en considérant un g_m de 3.4mA/V et un r_{ds} de 760kΩ pour chacun des quatre transistors. La résistance de sortie du pont actif à recyclage de courant est calculée à partir des résistances r_{outn} et r_{outp} (1.11), identiques par conception, après avoir négligé R_0 devant r_{ds} :

$$r_{out} = \frac{r_{ds}\left(1 + g_m R_0\right)}{2} = 6,84M\Omega \tag{3.2}$$

Une capacité de 23pF sera donc placée en sortie du pont actif afin de fixer la fréquence de coupure de l'intégrateur identique à la bande passante du capteur soit 1kHz. Une fréquence de coupure plus basse n'amènerait pas d'amélioration de bruit dans la bande passante car le signal et le bruit de l'étage d'entrée sont filtrés par la même fréquence de coupure et le bruit ramené en entrée est dominé par le bruit blanc si la fréquence d'horloge est suffisamment élevée. Cette dernière sera donc choisie supérieure à 500kHz.

Pour les simulations Matlab, le signal d'entrée est un signal sinusoïdal de fréquence 100Hz et d'amplitude 50Ω correspondant à la moitié de la pleine échelle. Afin d'avoir une bonne résolution lors de l'étude spectrale de la sortie du modulateur, une simulation de 10 secondes de fonctionnement est généralement utilisée. Le train de bits de sortie est ensuite analysé par transformée de Fourier, en utilisant un moyennage des densités spectrales de puissance sur 10 points pour obtenir finalement une résolution fréquentielle d'un hertz.

Le plancher de bruit attendu pour le modulateur, N_{level}, est calculé en divisant la puissance de bruit blanc équivalente aux quatre résistances par la puissance maximale du signal correspondant à la pleine échelle :

$$N_{level}\left(FS^2/Hz\right) = \frac{v_{noise}^2}{\left(I_{bias}R_{fb}\right)^2} = 1,14.10^{-12} \tag{3.3}$$

La figure 3.5 présente l'analyse spectrale du train de bits de sortie pour différentes fréquences de sur-échantillonnage. Le spectre montre un pic principal à 100Hz correspondant au signal d'entrée. Comme attendu pour un modulateur du 1^{er} ordre, le bruit de quantification est rejeté dans les hautes fréquences et mis en forme avec une pente de 20dB/décade. La ligne noire horizontale représente le plancher de bruit intrinsèque

du système, calculé à partir de l'équation (3.3). On peut donc calculer la résolution maximale du capteur, en %/FS, en multipliant cette densité spectrale de puissance de bruit du capteur par la bande passante du capteur, ici 1kHz, puis en effectuant la racine carrée du résultat. On obtient alors 0,00338% de la pleine échelle soit une marge d'un facteur 2,96 (9,43dB) par rapport aux spécifications de l'application étudiée.

Un rapide coup d'œil aux trois densités spectrales de puissance montre que pour une fréquence d'échantillonnage de 500 kHz (courbe grise la plus claire) la densité spectrale de puissance ne suit pas le plancher théorique. Pour les fréquences d'échantillonnages supérieures (2,5MHz en gris foncé et 5MHz en noir), la résolution intrinsèque maximale du capteur semble alors atteinte.

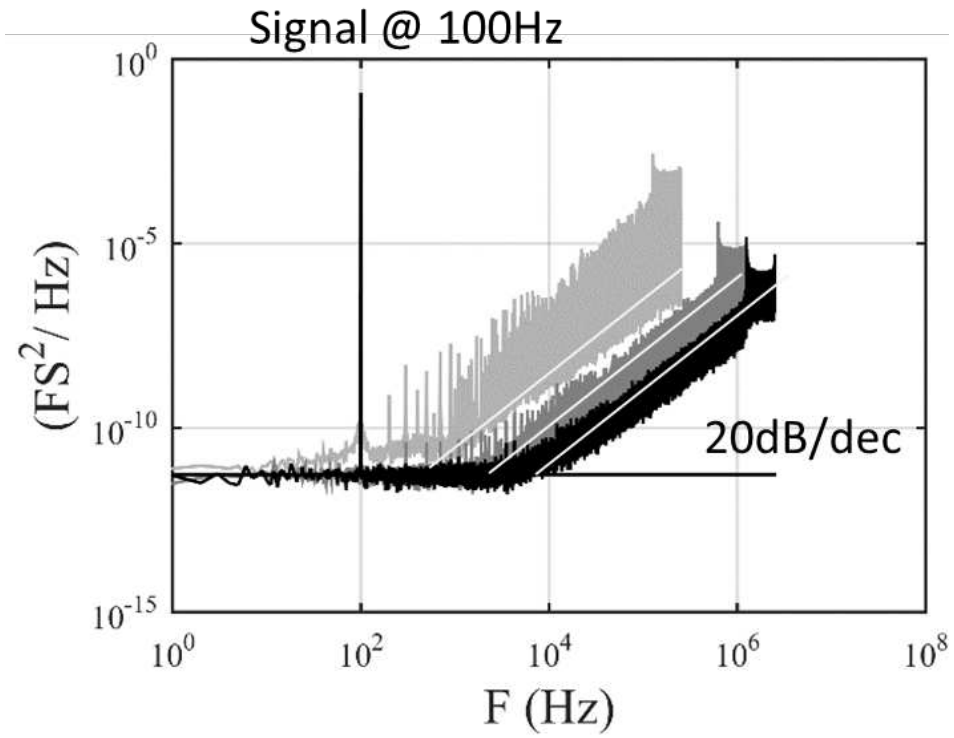


FIGURE 3.5 – Densité spectrale de puissance du train de bits de sortie du modulateur ΣΔ du premier ordre pour f_{clk}= 500KHz (gris clair), f_{clk}= 2,5MHz (gris foncé) et f_{clk}= 5MHz (noir).

Pour quantifier la résolution associée à une densité spectrale de puissance, nous calculons à l'aide d'un script Matlab la puissance totale dans la bande passante soit entre 1Hz et 1kHz dans notre cas. Le pas en fréquence étant de 1Hz, il suffit de faire la somme de toutes les densités spectrales de puissance issues de la transformée de Fourier. Il faut ensuite retrancher à cette somme la puissance correspondant au signal soit la densité de puissance obtenue par transformation de Fourier pour la fréquence de 100Hz. En effectuant la racine carrée du résultat, on obtient alors le bruit total dans la bande

passante en proportion de la pleine échelle. L'expression de la résolution (en %/FS) est alors obtenue, pour un SNR de 1, par l'expression suivante :

$$Res = \sqrt{(\sum_{i=1}^{1000} DSP_i) - DSP_{100}} \tag{3.4}$$

Ou DSP[1 :1000] est le tableau contenant les 1000 densités spectrales de puissance obtenues entre 1Hz et 1kHz.

On peut alors calculer la résolution obtenue pour chacune des fréquences d'échantillonnage testée et chacune des densités spectrales de puissance tracée à la figure 3.5. Une résolution de 0,015% de la pleine échelle est ainsi obtenue pour une fréquence d'échantillonnage de 500kHz et une résolution de 0,004% pour des fréquences de 2.5MHz et 5MHz. On retrouve ainsi, de manière quantitative les observations qualitatives mentionnées ci-dessus. La résolution attendue ne sera donc pas obtenue pour une fréquence d'échantillonnage de 500kHz.

Pour conclure cette étude, nous avons observé plusieurs limitations bien connues pour les modulateurs $\Sigma\Delta$ du 1^{er} ordre. Tout d'abord, la distorsion harmonique, plus visible pour F_{clk}=500kHz qui entraîne des pics de puissance pour les fréquences multiples du signal d'entrée. De plus, la fréquence de coin, définie par l'intersection entre le plancher de bruit dû au bruit thermique des résistances et la pente de +20dB/décade qui, dans le cas d'un plancher de bruit très bas, est située dans la bande passante du capteur au moins pour les plus faibles fréquences d'horloge, ce qui a pour effet de diminuer la résolution. Enfin, la non-linéarité du modulateur généralement attribuée au gain DC de l'intégrateur qui n'est pas infini n'a pas été illustrée dans cette étude mais donne naissance à des bandes mortes bien connues qui limitent la résolution d'un modulateur $\Sigma\Delta$ du 1^{er} ordre. Afin de limiter la fréquence d'échantillonnage, d'améliorer la réjection du bruit en haute fréquence et de résoudre les problèmes de distorsion et de non-linéarité, nous nous sommes donc intéressés à un modulateur $\Sigma\Delta$ du 2^{nd} ordre.

3.5 Modulateur $\Sigma\Delta$ du 2^{nd} ordre

Un modulateur $\Sigma\Delta$ du 2^{nd} ordre permet une amélioration des performances grâce au rejet du bruit de quantification avec une pente plus élevée (+40dB/décade), l'élimination des bandes mortes, l'amélioration de la linéarité et le déplacement de la fréquence de coin vers les hautes fréquences. Comme son nom l'indique, le modulateur $\Sigma\Delta$ du 2^{nd} ordre contient deux intégrateurs ou deux filtres passe-bas du 1^{er} ordre en cascade. Dans notre cas, nous allons conserver le premier étage composé d'un pont actif et d'un condensateur et un retour sous forme d'une résistance permettant de définir la pleine échelle du modulateur. Le deuxième étage intégrateur sera constitué d'un amplificateur de transconductance de gain g_{m2} et de résistance de sortie très élevée r_{out2}. La fréquence de coupure du filtre passe-bas sera fixée par un deuxième condensateur C_{int2} connecté en sortie de l'amplificateur de transconductance et le retour se fera à l'aide d'une source de courant bipolaire. La réalisation CMOS sera décrite plus tard dans ce chapitre après

avoir validé les paramètres de conception nécessaires aux performances à l'aide d'un modèle MATLAB et d'une simulation de haut niveau.

3.5.1 Modèle MATLAB d'un modulateur ΣΔ du 2^{nd} ordre

Dans le modèle Simulink (figure 3.6), on identifie tout d'abord le 1^{er} étage intégrateur, identique au précédent et son retour sous forme d'une résistance commutée. La sortie du premier intégrateur est utilisée comme entrée d'un amplificateur de transconductance qui permettra la conversion tension-courant avec un gain g_{m2}. Le retour se fera sous forme d'un courant bipolaire I_{fb} ce qui simplifiera grandement la sommation grâce à la loi des nœuds. La somme des deux courants, direct et retour, sera ensuite convertie en tension par la résistance de sortie de l'amplificateur de transconductance r_{out2} et la fréquence de coupure du pseudo-intégrateur sera définie par $1/(2\pi r_{out2} C_{int2})$.

Il est important de noter que si les résistances du capteur ne constituent pas la principale source de bruit, il sera possible de ramener le bruit de l'électronique, blanc ou en $1/f$, sur l'entrée c'est à dire sur une résistance du capteur. Compte tenu du gain élevé du 1^{er} étage, supérieur à 1000, la contribution en bruit des éléments du second pourra être négligée dans la plupart des cas. Enfin, un relais est utilisé comme précédemment pour modéliser l'ensemble comparateur et quantificateur 1 bit qui sera réalisé par une bascule D synchrone.

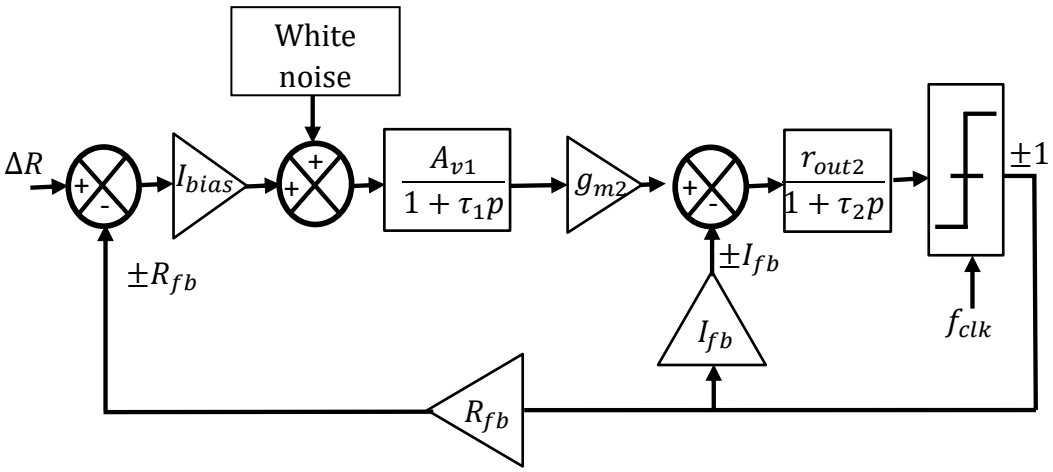


FIGURE 3.6 – Modèle MATLAB Simulink du modulateur ΣΔ du 2^{nd} ordre proposé.

3.5.2 Règles de dimensionnement des paramètres du second intégrateur

Afin de respecter les spécifications de l'exemple étudié, les paramètres du premier étage, notamment le dimensionnement des transistors et le courant de polarisation, ont été conservés et les paramètres du second étage ont été définis de manière à minimiser la surface et la consommation d'énergie. Le deuxième étage de gain, un amplificateur de transconductance, sera conçu avec un faible courant de polarisation, donc une faible valeur de g_{m2}, et une très grande résistance de sortie r_{out2}. Ainsi, le deuxième filtre passe-bas sera assimilable à un intégrateur pur pour une capacité C_{int2} de valeur raisonnable.

Il reste à déterminer la valeur du courant de contre-réaction I_{fb}. Celui-ci doit être du même ordre de grandeur que le courant 'signal' en sortie de l'amplificateur de transconductance. En effet, s'il était plus petit, le deuxième intégrateur n'aurait qu'un effet négligeable et on tendrait vers le comportement d'un modulateur du premier ordre. A l'inverse, si le courant de retour est trop grand, c'est le premier intégrateur et donc le signal qui n'aura aucun effet sur la sortie. Sa valeur doit donc être adaptée au courant petit signal i2 en sortie de l'amplificateur de transconductance qui est obtenu lors de la commutation de la résistance de retour R_{fb}. L'amplitude maximale de ce courant peut être déduite simplement du modèle MATLAB :

$$i_2 = R_{fb} I_{bias} A_{v1} g_{m2} \tag{3.5}$$

En prenant en compte l'effet intégrateur du 1^{er} étage et en supposant une commutation à t=0 de la résistance R_{fb}, la variation du courant en fonction du temps est donnée par la réponse d'un circuit passe-bas :

$$i_2(t) = 2 R_{fb} I_{bias} A_{v1} g_{m2} \left(1 - e^{\frac{-t}{\tau_1}}\right) \tag{3.6}$$

Où τ_1 est la constante de temps du premier intégrateur qui est égale à $r_{out1} * C_{int1}$. La période d'horloge du modulateur T_{clk} étant beaucoup plus petite que τ_1, un développement limité au 1^{er} ordre de $i_2(t)$ permet de montrer que la commutation périodique de la résistance R_{fb} induit un courant en dent de scie dont la valeur crête à crête permettra de déduire l'amplitude cible du courant de retour :

$$i_2 = 2 R_{fb} I_{bias} A_{v1} g_{m2} \frac{T_{clk}}{\tau_1} \approx I_{fb} \tag{3.7}$$

3.5.3 Simulation numérique du modèle Matlab

Pour les simulations, nous avons appliqué en entrée du modèle un signal sinusoïdal de fréquence f_{sig} et d'amplitude demi pleine échelle, soit 50Ω. Afin de mettre en forme correctement le bruit de quantification en dehors de la bande passante du capteur, les fréquences de coupure des deux filtres passe-bas doivent être placées dans la bande passante.

Le tableau 3.1 résume les valeurs utilisées pour la simulation de ce modèle ; on retrouve tout d'abord les paramètres du 1^{er} étage tels que définis précédemment. Pour le 2^{nd} étage de gain, on se contentera d'un g_{m2} de quelques μA/V ce qui permet de réduire la consommation et d'augmenter la résistance de sortie. Notons que le gain des deux étages intégrateurs n'est pas un critère primordial pour le bon fonctionnement du modulateur si le quantificateur chargé de discrétiser le signal à un gain suffisamment élevé. Il suffira donc de respecter les contraintes de bruit du premier étage, de fréquence de coupure des deux intégrateurs et de courant de contre-réaction. Pour le second étage intégrateur une fréquence de coupure de quelques Hertz sera obtenue pour une capacité de 10 pF grâce au choix d'un OTA à très forte résistance de sortie.

Le modèle est simulé pendant 10s et la fréquence de suréchantillonnage f_{clk} est fixée à 500 kHz, 2,5MHz puis 5MHz. Le courant de contre-réaction du 2^{nd} étage intégrateur est calculé à partir de l'équation (3.7) ; il est de l'ordre de 2μA pour une fréquence d'échantillonnage de 500kHz et de l'ordre de 400nA et 200nA pour des fréquences de 2.5MHz et 5MHz respectivement.

TABLEAU 3.1 – Valeurs des paramètres de l'architecture $\Sigma\Delta$ du second ordre.

Paramètre	I_{bias} (μA)	A_{v1}	r_{out1} ($M\Omega$)	C_{int1} (pF)	g_{m2} (A/V)
Valeur	**173**	**1300**	**6,84**	**23**	**6.10^{-6}**
Paramètre	r_{out2} (GΩ)	C_{int2} (pF)	R_{fb} (Ω)	V^2_{noise} (V^2/Hz)	BW (Hz)
Valeur	**3**	**10**	**100**	**$3,42.10^{-16}$**	**1000**

La figure 3.7 présente l'analyse spectrale du train de bits de sortie pour les différentes fréquences d'échantillonnage. La densité spectrale de puissance montre un pic principal à 100Hz correspondant au signal d'entrée, le bruit de quantification est rejeté dans les hautes fréquences avec une pente de 40dB/décade comme attendu pour un modulateur à deux étages intégrateurs. Le plancher de bruit intrinsèque du système (ligne noire horizontale), calculé à partir de l'équation (3.3), est également reporté. Ce plancher de bruit est ici atteint pour les 3 fréquences d'échantillonnage testées. La résolution obtenue est de l'ordre de 0.0037% et un SNR de 88dB est atteint. Ces résultats valident l'approche théorique de dimensionnement et permettent de satisfaire le cahier des charges de notre application.

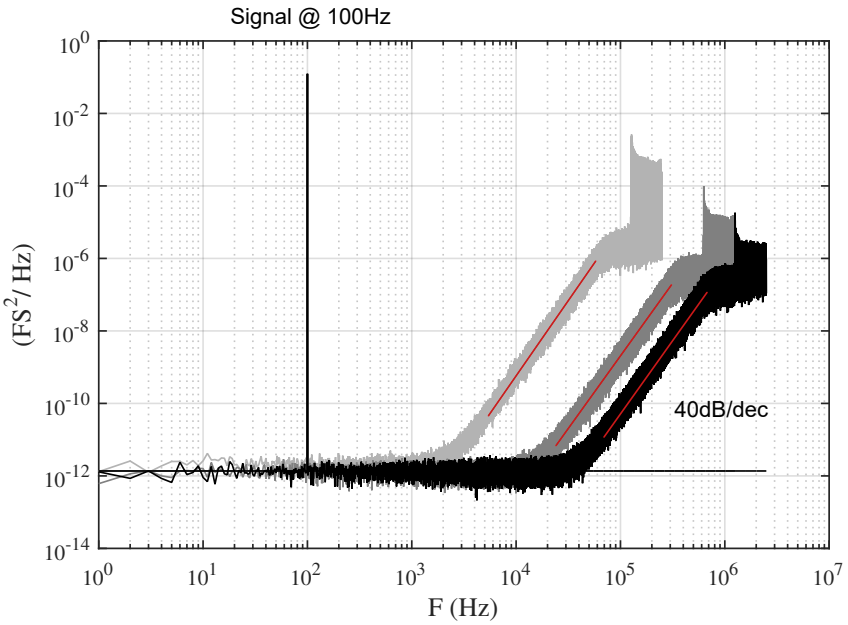


FIGURE 3.7 – Densité spectrale de puissance du train de bits en sortie du modulateur ΣΔ du 2^{nd} ordre pour $fclk$= 500KHz (gris clair), $fclk$= 2,5MHz (gris foncé) et $fclk$= 5MHz (noir).

En comparaison avec le ΣΔ du premier ordre, une amélioration considérable des performances est constatée. Pour les mêmes fréquences d'horloge, le modulateur du 2^{nd} ordre élimine complètement la distorsion harmonique dans et hors de la bande passante du capteur et la fréquence de coin est repoussée en dehors de la bande passante du capteur ce qui permet d'échantillonner à une fréquence plus basse que pour le premier ordre. Pour conclure, la mise en forme du bruit de quantification à +40dB/dec, l'élimination des bandes mortes (généralement observées avec les modulateurs du 1^{er} ordre) et l'absence de distorsion harmonique sont des avantages significatifs du modulateur ΣΔ du second ordre.

3.5.4 Mise en œuvre

Précédemment, les simulations du modèle Matlab ont permis de vérifier les paramètres requis pour atteindre les spécifications du cahier des charges. Dans cette section, un circuit CMOS est donc décrit, en accord avec les paramètres utilisés lors de la simulation Matlab.

La figure 3.8 présente le schéma électrique possible d'un ΣΔ du second ordre. Le premier étage de ce circuit est identique à l'intégrateur utilisé pour le modulateur du 1^{er} ordre : un pont actif différentiel connecté à une capacité C_{int1}. Comme pour le modulateur du 1^{er} ordre, le premier retour est réalisé par une résistance R_{fb} qui est ajoutée dans l'une ou l'autre des branches du pont actif selon l'état logique de la sortie de la bascule.

Le deuxième étage est constitué d'un amplificateur opérationnel de transconductance à charge cascode repliée (folded cascode OTA) dont la bande passante est limitée par une capacité C_{int2}. La charge cascode repliée garantit une impédance de sortie élevée, par rapport à un OTA simple ou un OTA Miller, ce qui minimise la valeur de capacité C_{int2} nécessaire pour obtenir une fréquence de coupure de quelques Hertz. L'architecture choisie permet une conversion de l'entrée différentielle vers une sortie référencée à la masse [40, 41]. Le retour sur le 2^{nd} intégrateur est réalisé par un courant $\pm I_{fb}$ qui vient charger ou décharger la capacité C_{int2}. Les transistors *MP7* et *MN10* sont les transistors de sortie de deux miroirs de courant dont les transistors « montés » en diode, non représentés sur le schéma, sont situés dans une même branche et sont donc polarisés, par construction, par le même courant de référence. On obtient ainsi un courant bipolaire $\pm I_{fb}$ dont la symétrie est garantie.

Un comparateur différentiel est placé entre la sortie du deuxième intégrateur et l'entrée de la bascule D utilisée en quantificateur 1 bit. Ceci a pour effet d'augmenter la marge de bruit de la bascule et de rendre le fonctionnement du modulateur moins dépendant du gain DC des deux étages intégrateurs. La comparaison de la tension de sortie de l'OTA avec le nœud interne V_{b3} de la charge cascode repliée permet d'éliminer les effets de dérive thermique et d'offset et de fournir un signal de SNR très élevé à l'entrée de la bascule.

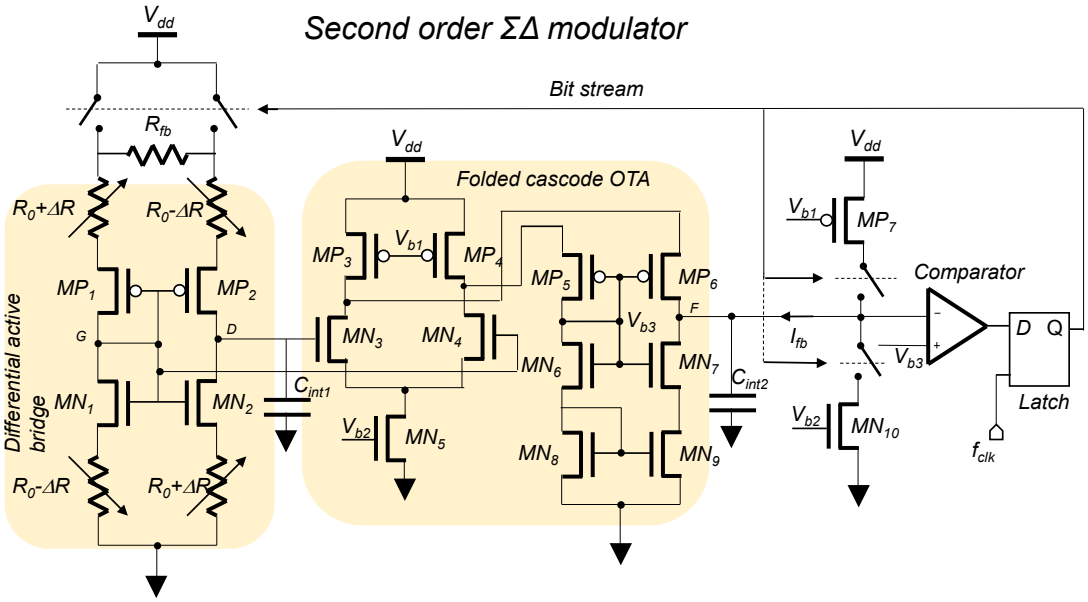


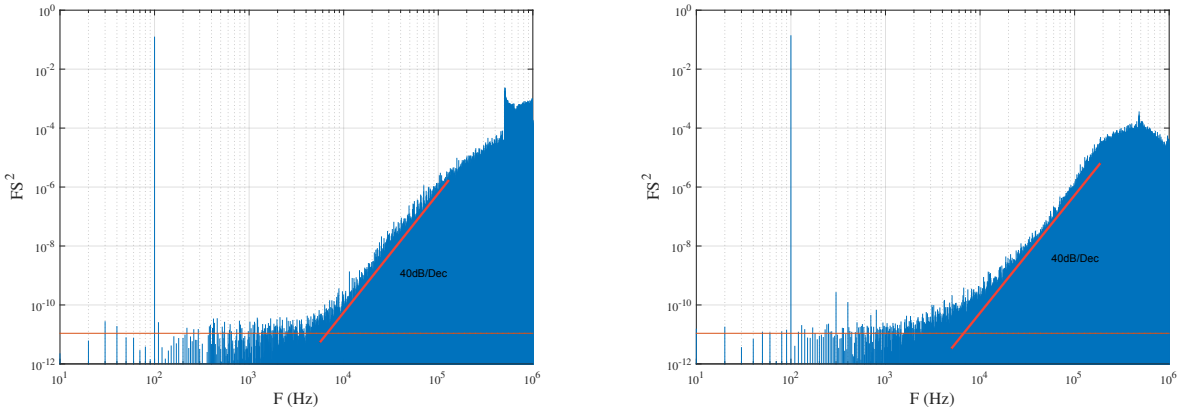
FIGURE 3.8 – Schéma électrique d'un modulateur ΣΔ du 2^{nd} ordre.

3.5.5 Simulation électrique du modulateur du 2^{nd} ordre

Afin de vérifier les performances électriques du circuit et de les comparer à celles du modèle Matlab, une simulation électrique transitoire est réalisé pour une entrée sinusoïdale correspondant à la moitié de la pleine échelle, soit une variation $4\Delta R$ =50Ω.

Pour émuler ces variations de résistances lors d'une simulation transitoire avec prise en compte du bruit des composants, 4 sources de tension sinusoïdale sont insérées en série avec chacune des résistances du capteur. L'amplitude de ces générateurs est fixée à ΔRI_{bias}=12,5Ω.173μA= 2,16mV et les générateurs d'une diagonale sont définis en opposition de phase par rapport à l'autre diagonale. La fréquence du signal est fixée à 100Hz. Les dimensions des transistors de chaque bloc sont ajustées de telle sorte que les paramètres de ce circuit correspondent à ceux du tableau 3.1.

La figure 3.9 présente l'analyse spectrale du train de bits pour une simulation Matlab (figure 3.9a) et pour une simulation électrique avec Cadence Virtuoso (figure 3.9b). Pour cette comparaison, la fréquence d'horloge est fixée à 2MHz et le temps de simulation est de 100ms ce qui permet de simuler 10 périodes de signal. Nous obtenons des résultats assez similaires pour les deux simulations avec un SNR, calculé à partir de la formule (3.4), d'environ 88dB.



(a) (b)

FIGURE 3.9 – Densité spectrale de puissance du train de bits en sortie du modulateur ΣΔ du 2^{nd} ordre issu d'une simulation Matlab (a) et d'une simulation électrique (b).

3.6 Conclusion

Dans ce chapitre nous avons montré que l'intégration des résistances du capteur dans un pont à recyclage de courant, afin de réaliser un modulateur ΣΔ, pouvait permettre d'obtenir un convertisseur analogique numérique compact et performant comme alternative crédible au système plus classique composé d'un pont de Wheatstone, d'un amplificateur faible bruit et d'un convertisseur analogique numérique.

Une étude théorique a été appliquée à un cahier des charges exigeant en termes de SNR et à un capteur réaliste et représentatif des besoins du partenaire industriel. Pour atteindre l'objectif de résolution, nous avons établi une approche théorique simple permettant de déterminer le courant de polarisation minimum pour le premier étage. La consommation globale du modulateur ΣΔ reste très intéressante en comparaison d'une chaîne de conditionnement classique puisque le premier étage, équivalent à un pont de

Wheatstone et un amplificateur, ne consomme pas plus que le pont de Wheatstone qui permettrait le même niveau de SNR. De plus, la consommation globale du modulateur est essentiellement due à la consommation du 1^{er} étage.

Deux modèles Matlab de modulateurs $\Sigma\Delta$ du 1^{er} et du 2^{nd} ordre ont été proposés et simulés. Ces modèles ont permis de définir l'architecture complète d'un modulateur $\Sigma\Delta$ du 2^{nd} ordre et de définir les spécifications des différents blocs afin d'atteindre la résolution souhaitée. Finalement, les avantages d'un $\Sigma\Delta$ du 2^{nd} ordre, tels que la rejection du bruit de quantification avec une pente de +40dB/Décade, l'élimination de la distorsion harmonique et la suppression des bandes mortes nous ont amené à privilégier cette architecture pour atteindre le haut niveau de performance souhaité. Les résultats expérimentaux obtenus sur un circuit de validation seront présentés dans le prochain chapitre.

Chapitre 4

Résultats expérimentaux

4.1 Introduction

Dans ce chapitre nous présentons les résultats expérimentaux obtenus sur trois circuits fabriqués avec une technologie CMOS standard (AMS 0.35μm). Le premier circuit contient deux architectures : un circuit d'ajustement intelligent post-fabrication de capteurs résistifs présenté dans le chapitre 2 et un modulateur $\Sigma\Delta$ du premier ordre (chapitre 3). Le second circuit comprend une évolution du circuit d'ajustement post-fabrication, comprenant une interface série pour périphérique (SPI) afin de contrôler l'étalonnage post-fabrication et des fusibles pour stocker les configurations choisies lors de la calibration. Deux modulateurs $\Sigma\Delta$ du 1^{er} et du 2^{nd} ordre ont aussi été intégrés dans ce circuit. Au final, un troisième circuit intègre des évolutions de ces deux projets : une nouvelle architecture d'étalonnage post-fabrication afin de répondre à de nouvelles spécifications et un modulateur $\Sigma\Delta$ du 2^{nd} ordre avec une résolution élevée. Ce chapitre est donc organisé comme suit. D'abord, nous montrons les résultats expérimentaux obtenus sur les 3 circuits d'étalonnage post-fabrication. Ensuite, les résultats expérimentaux obtenus avec le dernier circuit $\Sigma\Delta$ du 2^{nd} ordre sont détaillés et des pistes d'amélioration des performances sont proposées.

4.2 Circuit d'étalonnage post-fabrication des capteurs résistifs

Cette section est dédiée aux résultats expérimentaux de l'architecture d'ajustement intelligent post-fabrication de capteurs résistifs présenté dans le chapitre 2. Deux démonstrateurs étaient prévus au début du projet. Le premier afin de valider la fonctionnalité avec des entrées de contrôle et le deuxième afin d'intégrer la programmation série par bus SPI et les fusibles pour figer la configuration. Un troisième démonstrateur a dû être réalisé afin de répondre à de nouvelles spécifications fournies par le partenaire industriel en cours d'étude. Les spécifications sont résumées dans le tableau 4.1.

L'architecture de principe, présentée dans le chapitre 2, **a dû être légèrement** modifiée afin de prendre en compte les spécifications et les contraintes de conception et de la technologie AMS 0.35μm. L'une de ces modifications est de remplacer la résistance R_{Vdd} (figure 2.15) par un régulateur de tension 5V/3.3V (voir annexe D). Cette modification diminue la sensibilité d'un tiers mais cela ne pose pas de problème puisque, d'après le tableau 4.1, la sensibilité doit être ajustée à un tiers environ de sa valeur initiale. Le réglage de la sensibilité se fera donc uniquement par la résistance R_{gnd} dans les versions 1 et 2 du circuit.

De plus, de nouvelles spécifications concernant la sensibilité de l'*offset* et du facteur d'échelle à la température ont été ajoutées suite aux résultats des tests effectués par MEMSCAP® sur le premier démonstrateur. Ainsi, un troisième démonstrateur a été conçu pour prendre en compte ces nouvelles spécifications grâce à l'ajout d'une compensation de la dérive thermique de la sensibilité et de l'*offset* grâce à un régulateur de tension avec un coefficient de température positif qui compense la perte de sensibilité et une partie de la dérive négative de l'*offset* avec la température.

TABLEAU 4.1 – Spécifications considérées pour les trois démonstrateurs.

Spécifications			
	ASIC n°1	ASIC n°2	ASIC n°3
V_{dd} Plage de T°C	DC : 5 V	DC : 5 V	DC : 4 à 6 V 15°C à 40°C
Offset	Valeur initiale : ± 30mV Objectif : ±1250µV (réglage grossier) /±500µV (réglage fin)		
Facteur d'échelle (pour 300mmHg)	Valeur initiale : 4500 µV/V (± 10%) Objectif : 1500 µV/V (± 3%)		
Dérive thermique de l'*offset*	Non adressée	Non adressée	Valeur initiale 0 à -165μV/ $^?$C Obj. : ±6,25 μV/ $^?$C
Dérive thermique de la sensibilité ou du facteur d'échelle	Non adressée	Non adressée	Valeur initiale -4,4%/ $^?$C Obj. : < 0,15%/ $^?$C

4.2.1 Premier démonstrateur

Un premier démonstrateur a été fabriqué dans une technologie 0.35μm d'AMS (Figure 4.1). Pour les potentiomètres numériques, différentes couches de polysilicium ont été utilisées en fonction des résistances élémentaires nécessaires et en tenant compte des

coefficients de température requis. Les paramètres de conception utilisés pour ce circuit font référence à la Figure 2.15 présentée dans le chapitre 2. Dans ce premier démonstrateur, nous avons décidé de remplacer la résistance R_{Vdd} par un convertisseur DC-DC qui permet d'alimenter le capteur intelligent en 3,3V à partir de l'alimentation spécifiée de 5V afin de limiter les contraintes sur les blocs numériques tels que la machine d'état. Ce premier régulateur est décrit en annexe (Figure D.1). Les autres paramètres sont alors :

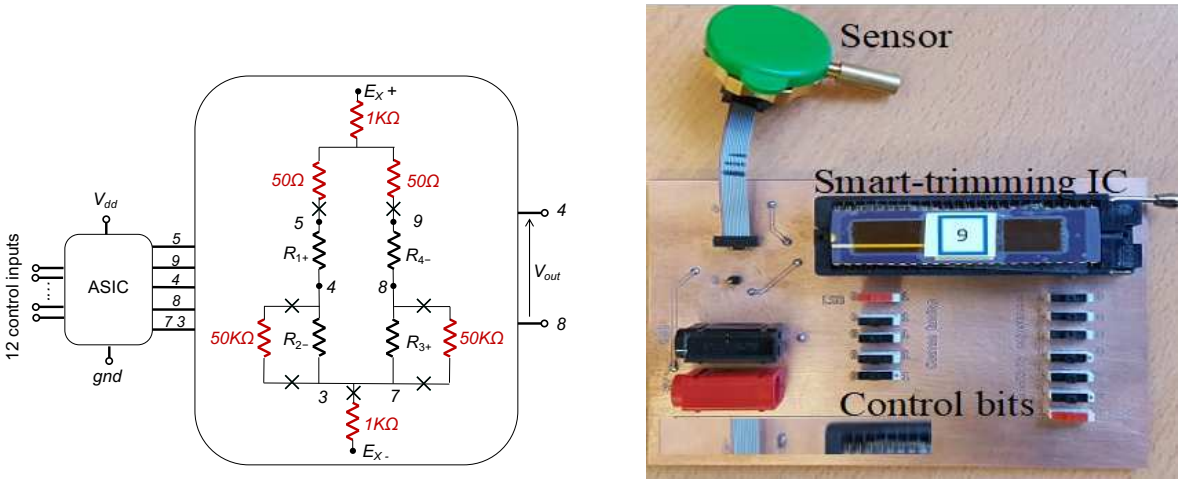
- Résistance nominale des éléments du capteur : R_0=5kΩ.
- Le potentiomètre de réglage d'*offset* série, C, est constitué d'une résistance en rpoly2 (50Ω/sq.) avec 15 résistances élémentaires R_{os}=5Ω et de deux résistances en rpolyh (1kΩ/sq.) de valeur $100R_{os}$=500Ω.
- Les potentiomètres parallèles de réglage d'*offset*, A et B, sont ajustables de 41kΩ à 50kΩ en 15 pas identiques d'après les équations établies dans la section 2.5. Pour annuler l'effet du coefficient de température des résistances du potentiomètre C, la résistance de 41kΩ est réalisée en rpolyh et les 4 résistances de 600, 1200, 2400 et 4800Ω sont réalisées en rpoly2.
- Un potentiomètre linéaire 7 bits (R_{gnd}) avec une résistance maximale d'environ 7,5kΩ 5kΩ est ajoutée en série avec le pont de Wheatstone pour ajuster la sensibilité.
- Une machine à états finis (FSM) interne à 32 états est utilisée pour contrôler l'*offset* résiduel à la mise sous tension du circuit grâce à un potentiomètre linéaire, D, constitué de 15 résistances de 1Ω (rpoly1, 8Ω/sq).



FIGURE 4.1 – Premier démonstrateur du circuit d'ajustement électrique post-fabrication de capteurs résistifs : vue *layout* (à gauche) et photographie (à droite).

La surface silicium occupée par la partie active du circuit est inférieure à 500x500μm^2 et la majeure partie de la surface de ce premier démonstrateur est ainsi occupée par les 12 entrées de contrôle, 5 pour le réglage grossier de l'*offset* et 7 pour le réglage de la sensibilité.

Afin de valider la fonctionalité de l'architecture proposée, un capteur de pression commercial piezo-résistif a été mis à disposition par notre partenaire [1]. Il contient dans le même boîtier un capteur et une matrice de résistances ajustables par Laser. Le circuit électrique interne (Figure 4.2a) est composé des quatre résistances du capteur (R_{1+}, R_{4-}, R_{2-} et R_{3+}) et des résistances ajustables par LASER représentées en rouge sur le schéma (les valeurs indiquées sont les valeurs initiales, avant ajustement au laser). Le réseau de résistances ajustables a été déconnecté et une micro-nappe a permis de relier les bornes de la puce capteur au circuit intégré d'ajustement intelligent comme illustré sur la figure 4.2b. Les broches 3 et 7 du capteur étant reliées sur la puce capteur, la procédure de réglage fin automatique ne pourra pas être testée avec le capteur sur ce premier démonstrateur.



(a) (b)

FIGURE 4.2 – Démonstrateur réalisé avec un circuit intégré d'ajustement intelligent et un capteur de pression piézo-résistif commercial : a) schématique, b) carte du circuit imprimé.

4.2.1.1 Réglage grossier de l'*offset*

Comme illustré par la figure 4.2b, 5 bits de contrôle du réglage grossier d'*offset* sont utilisés et le bit de poids faible est représenté par un interrupteur rouge. Dans un premier temps, l'*offset* du capteur nu utilisé est mesuré à température ambiante. Il s'élève à -8 mV environ. Le capteur est ensuite connecté à la carte électronique et

1. http://www.memscap.com/products/medical-and-biomedical/pressure-transducers/sp-844

l'*offset* est mesuré pour chaque code de 00000 à 11111. La figure 4.3a illustre l'évolution de cet *offset* en fonction du code CTO (pour « Coarse Tuning *Offset* ») appliqué. Pour le code 00000, correspondant à un impact nul du circuit sur l'*offset*, l'*offset* du capteur nu est obtenu. Des pas de réglage d'environ 2mV sont obtenus ; ce pas est compatible avec la spécification à atteindre sur l'*offset* après réglage grossier, soit 1,25mV d'après le tableau 4.1. Dans cet exemple, le minimum d'*offset* en sortie du pont de Wheatstone est atteint pour le code 00100 et sa valeur est de -450μV.

Pour vérifier toute la plage de fonctionnement du CTO, un potentiomètre linéaire est tout d'abord connecté en série avec une branche du pont de Wheatstone afin d'émuler des capteurs avec un *offset* initial allant de -40mV à -8mV pour le code 00000. Ensuite, en mettant le potentiomètre linéaire dans l'autre branche, un *offset* initial entre -8mV et +40mV est émulé. Pour chaque position du potentiomètre, l'*offset* initial est mesuré avec le code 00000 et l'*offset* résiduel après compensation avec le meilleur code est reporté en fonction de l'*offset* initial sur la Figure 4.3b. Ces résultats expérimentaux démontrent la capacité attendue de l'architecture proposée de compenser l'*offset* dans la plage spécifiée de ±30mV et à le réduire d'un facteur pouvant aller allant jusqu'à 2n=30, soit ±1mV après compensation.

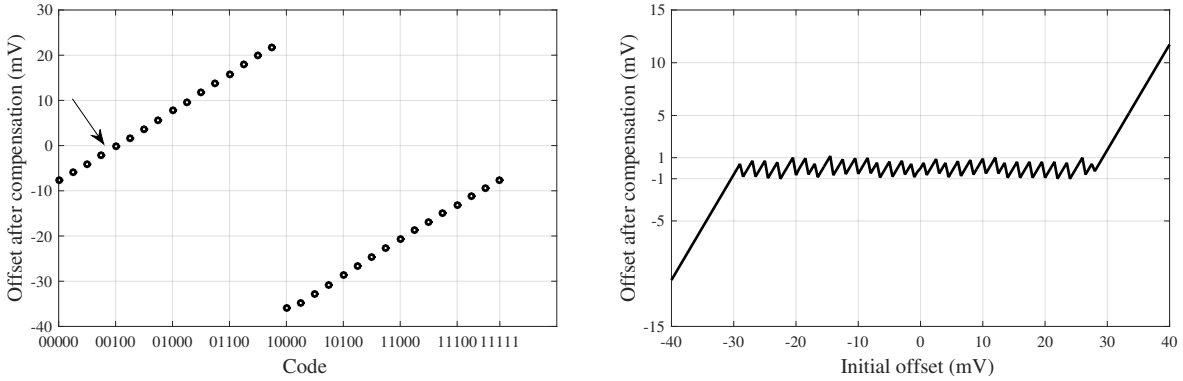


FIGURE 4.3 – Effet de la procédure de réglage grossier : a) évolution de l'*offset* en fonction du code pour le capteur étudié (*offset* de -8mV), b) *offset* obtenu pour le meilleur réglage du potentiomètre en fonction de la valeur de l'*offset* initial.

4.2.1.2 L'impact du circuit sur le coefficient de température

L'impact du circuit sur la Dérive Thermique de l'*Offset* (DTO) a été caractérisé (4.4). Pour le capteur nu étudié, une dérive de température de -106$\mu V/\circ$C est tout d'abord caractérisée (ligne pointillée). Un pont de Wheatstone nu n'étant pas supposé avoir une dérive thermique d'*offset*, cette dérive est probablement due à une dilatation, sous l'effet de l'augmentation de la température, de la membrane métallique utilisée comme corps d'épreuve. Après avoir connecté le capteur au circuit intégré, les résultats expérimentaux (ligne continue sur la figure 4.4) démontrent une légère amélioration

de la DTO avec une pente de -75$\mu V/\circ$C. Cette légère diminution est expliquée par la réduction de la tension aux bornes du pont de Wheatstone (entre 5, 9 d'une part et 3, 7 d'autre part) due à l'insertion de résistances en série entre l'alimentation et le capteur nu lorsque celui-ci est connecté à l'ASIC. Ce résultat confirme donc les attentes théoriques et prouve que le réglage grossier d'*offset* proposé ne dégrade pas la dérive thermique de l'*offset*.

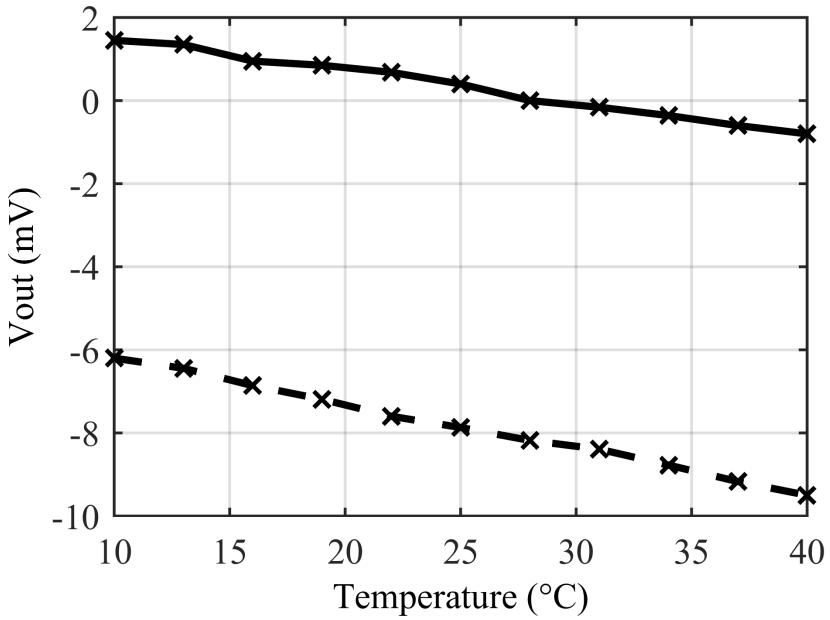


FIGURE 4.4 – Dérive en Température de l'*Offset* (DTO) : pour le capteur nu (ligne pointillée) et après compensation CTO de l'*offset* (ligne continue).

4.2.1.3 Réglage fin automatique d'*offset*

Comme mentionné précédemment, la procédure automatique de l'*offset* ne peut pas être validée sur ce premier démonstrateur car les broches 3 et 7 du capteur sont connectées entre elles. Un pont de Wheatstone basé sur quatre résistances identiques de 4,7$k\Omega$ est donc utilisé afin de vérifier le fonctionnement de la structure automatique de réglage fin de l'*offset* telle que décrite à la section 2.6 et de caractériser le pas de réglage en tension, la fréquence de fonctionnement (horloge interne) et l'*offset* du comparateur intégré. Un amplificateur externe de gain 100, basé sur un amplificateur d'instrumentation INA 103 à faible niveau de bruit, permet de mesurer la tension de sortie dans de bonnes conditions. La figure 4.5 illustre un exemple de procédure de zéro automatique à la mise sous tension. À t=0, le « capteur » intelligent est alimenté et la tension de sortie du pont de Wheatstone permet de déterminer l'*offset* initial évalué à +700μV en raison d'une dispersion entre les quatre résistances discrètes constitutives du pont.

La machine d'états finis (FSM) démarre après un temps d'attente fixé pour permettre le démarrage du circuit et décrémente la tension de sortie par pas d'environ

150μV jusqu'à ce que le signe de l'*offset* change. Notons que le premier pas a une amplitude double en raison d'un défaut de conception mineur du potentiomètre de réglage fin (potentiomètre D sur la Figure 2.15) sur la première version de l'ASIC.

La fréquence de l'horloge interne est déduite de la durée de chaque pas : la période est ainsi égale à environ 4ms, soit une fréquence d'environ 260Hz. Pour cette caractérisation, l'*offset* résiduel après réglage fin est de -58μV. Il convient de noter que l'*offset* final obtenu est une combinaison de l'*offset* du comparateur interne $\pm$300μV (Figure 2.11b) et du pas de réglage fin soit 150μV d'une part et de l'*offset* de l'amplificateur d'instrumentation utilisé ($\pm$42μV).

Dans le pire des cas, l'*offset* résiduel a été estimé à $\pm$400μV, soit une valeur inférieure à la spécification de $\pm$500μV à atteindre sur l'*offset* final. Une étude complémentaire de la procédure automatique de réglage fin de l'*offset* résiduel sera présentée plus loin dans ce chapitre, lors de la présentation des résultats expérimentaux obtenus avec le 3ème démonstrateur (section 4.2.3.2).

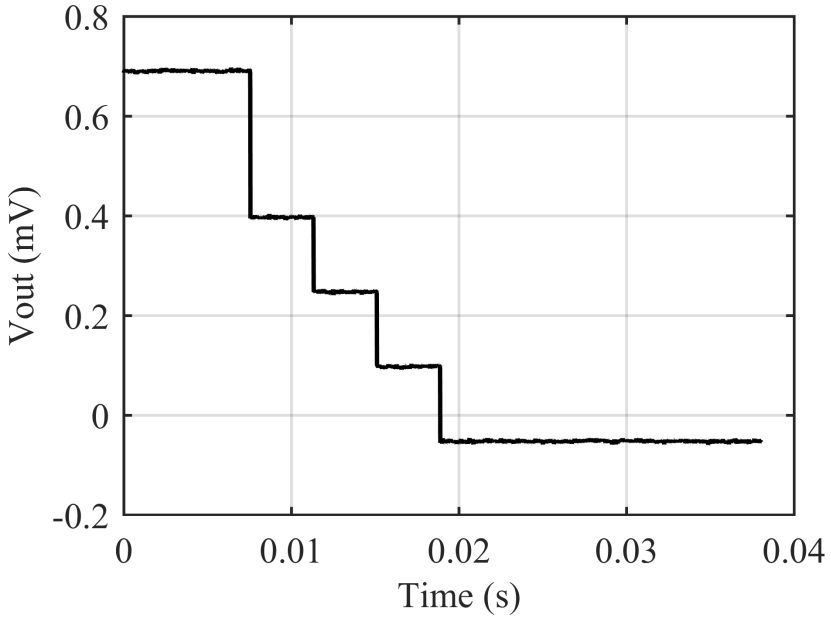


FIGURE 4.5 – Procédure de compensation automatique de l'*offset* résiduel à la mise sous tension.

4.2.1.4 Réglage du facteur d'échelle

Pour pouvoir tester la fonctionnalité du réglage du facteur d'échelle, une pression calibrée devrait normalement être appliquée au capteur. Le LIRMM ne disposant pas de l'équipement nécessaire, l'effet de la pression est émulé par une résistance connectée en série dans une branche du capteur. La valeur de cette résistance est fixée par la tension de sortie obtenue à la pression correspondant à la pleine échelle. D'après le tableau 4.1, le signal de sortie pour une pleine échelle de 300mmHg est donné à 22.5mV

pour un pont de Wheatstone alimenté sous 5V. Rappelons que la tension de sortie d'un pont de Wheatstone avec un élément sensible est donnée par :

$$V_{out} \approx \frac{V_{dd}}{4} \frac{\Delta R_o}{R_0} \tag{4.1}$$

Soit une résistance à connecter en série avec une des branches de 90Ω. Une fois le capteur connecté au circuit, le signal de sortie est mesuré à 13,6mV ce qui correspond à l'effet cumulé de la réduction de tension aux bornes du capteur Vdd=3.3V (imposée par le convertisseur DC-DC, figure D.1) et des potentiomètres de compensation d'offset qui réduisent légèrement la sensibilité.

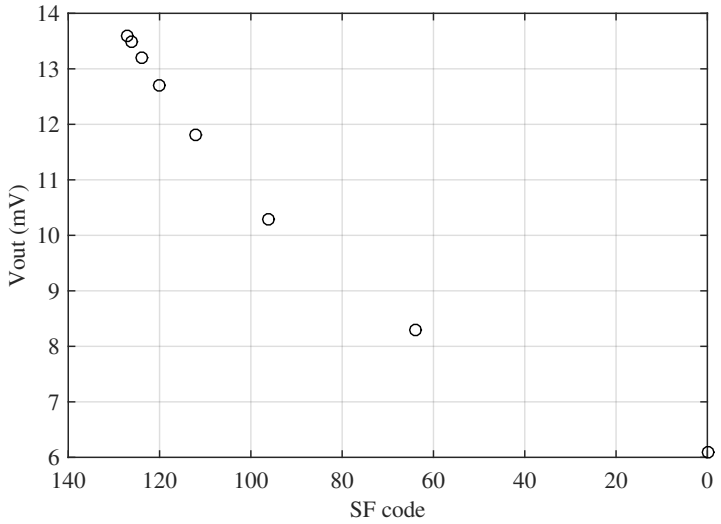


FIGURE 4.6 – Tension de sortie du pont de Wheatstone pour la pleine échelle en fonction du code de réglage du facteur d'échelle.

L'ajustement du facteur d'échelle est ensuite contrôlé par le potentiomètre Rgnd (figure 2.15) piloté par 7 bits de contrôle. La résistance est ainsi incrémentée de 0 et 7620Ω en 128 pas de 60Ω environ. La figure 4.6 illustre les résultats expérimentaux obtenus avec une étendue de réglage de la pleine échelle entre 13.6mV (60% de la valeur initiale sous 5V) à 6mV (27% de la valeur initiale sous 5V) avec 128 valeurs possibles, soit un pas moyen de 60μV. Ce pas moyen de 60μV correspond à environ 1% de la valeur cible de la pleine échelle pour une pression de 300mmHg (7.5mV pour une alimentation de 5V). L'objectif de ±3% est donc atteint.

Pour conclure, cette fonctionnalité est particulièrement intéressante pour les applications nécessitant des facteurs d'échelle précis et calibrés, alors que la technologie de fabrication implique des dispersions avec un écart type de l'ordre de 10%. Au final, la forte réduction de l'écart-type du facteur d'échelle se fait au prix d'une valeur moyenne plus faible.

4.2.2 Second démonstrateur

Un deuxième ASIC a été conçu en conservant les blocs fonctionnels du premier et en ajoutant les fonctionnalités de programmation par bus série (protocole SPI), afin de positionner les 12 bits de contrôle pour les potentiomètres numérique avec quatre entrées seulement et des points mémoire à base de fusibles pour mémoriser la meilleure configuration à l'issue de la procédure d'ajustement. Rappelons que l'objectif est d'obtenir, après programmation de l'ASIC, un capteur intelligent avec des Entrées/Sorties identiques à celles d'un capteur nu de type pont de Wheatstone à savoir les 4 terminaux (V_{dd}, gnd, V_{o+} et V_{o-}). La figure 4.7 illustre la vue *layout* du circuit fabriqué avec la technologie 0.35μm d'AMS dans laquelle les blocs principaux du réglage grossier, de la machine d'état (FSM), du SPI, et des mémoires à fusibles sont identifiés.

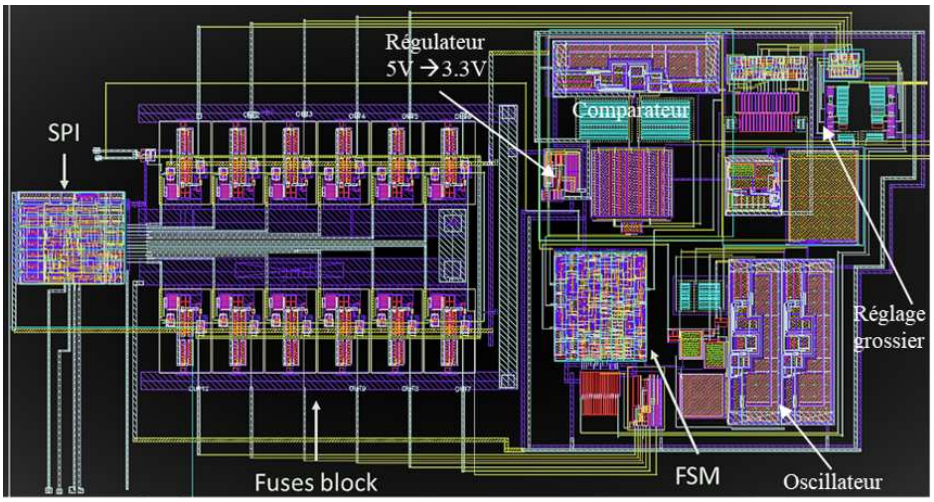


FIGURE 4.7 – Vue *layout* du deuxième ASIC.

4.2.2.1 Résultats

Les résultats obtenus avec ce second démonstrateur sont identiques au premier puisque les fonctions principales sont inchangées. La nouvelle carte de test comprend le circuit, 4 résistances identiques de 4.7kΩ, un microcontrôleur STM32 qui génère les codes pour le réglage grossier et le réglage du facteur d'échelle, et enfin un amplificateur d'instrumentation INA103 pour amplifier la tension de sortie du pont de Wheatstone et l'observer à l'oscilloscope. Les figuresLes figures 4.8 et 4.9 montrent respectivement la tension de sortie amplifiée lors du balayage des codes possibles pour le réglage grossier de l'*offset* d'une part et pour l'ajustement du facteur d'échelle d'autre part. Ces résultats démontrent le bon fonctionnement du bus SPI. La sortie étant visible en temps réel, un bruit de commutation apparaît durant le chargement d'un nouveau code. Ceci n'est pas gênant puisque le micro-contrôleur reste le maître durant cette phase de programmation et peut ainsi déterminer à quel moment contrôler la valeur de la tension de sortie.

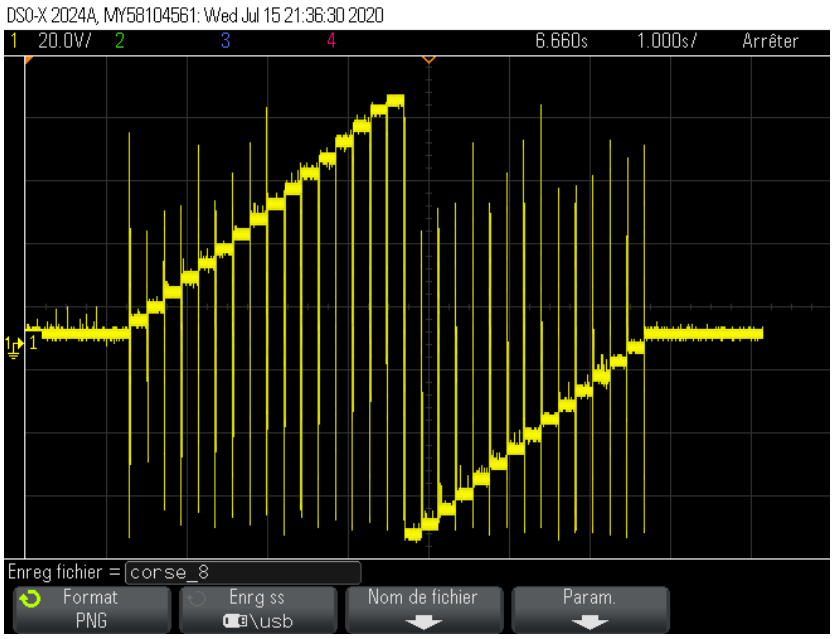


FIGURE 4.8 – Évolution de la tension de sortie du pont amplifiée (x2500) lors du balayage des codes du réglage grossier d'offset par le microcontrôleur.

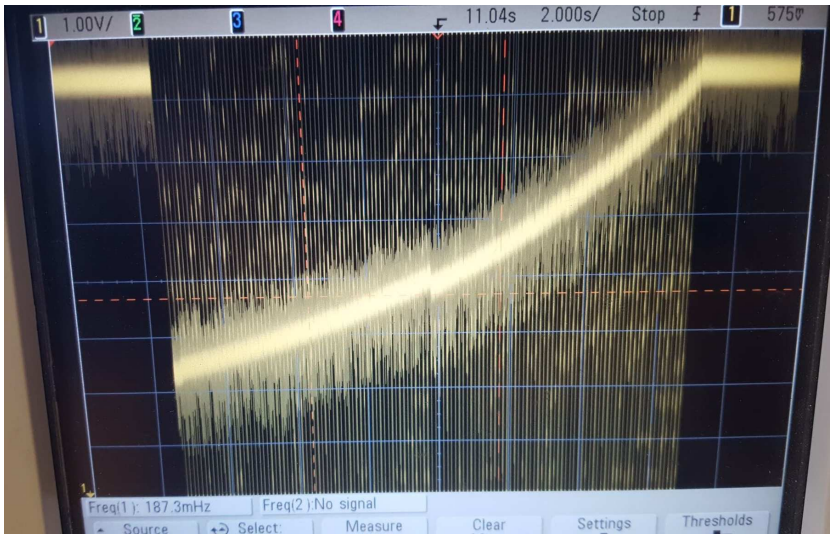


FIGURE 4.9 – Évolution de la tension de sortie du pont amplifiée (x500) lors du balayage des codes d'ajustement du facteur d'échelle par le microcontrôleur.

Les résultats obtenus sur les mémoires à fusible sont moins concluants. En effet, les marges de conception n'ont pas été suffisantes et la sortie initiale des points mémoires (Figure 2.20) est parfois affectée par l'*offset*. Ce phénomène sera pris en compte dans la 3ème version de l'ASIC. Il doit être noté que cette 3ème version n'était pas prévue

initialement mais durant les tests de la première version par notre partenaire, des spécifications nouvelles, en termes de dérive thermique de l'*offset* et du signal, nous ont été communiquées.

4.2.3 Troisième démonstrateur

Dans les deux premiers démonstrateurs, l'ASIC permet de compenser l'*offset* et d'ajuster le facteur d'échelle sans aucun effet sur la dérive en température de ces deux paramètres. Ceci est illustré par la figure 4.4 dans le cas de l'*offset*. Ces dérives thermiques sont principalement explicables par l'effet de la température sur la membrane métallique et dans une moindre mesure sur le boîtier qui est lui aussi métallique. Le but de ce troisième circuit est donc de rendre la compensation d'*offset* et l'ajustement du facteur d'échelle insensibles à la température.

4.2.3.1 Dérive thermique de l'*offset* pour un capteur nu

Afin de proposer une solution, l'*offset* de 3 capteurs de pression piezo-résistifs commerciaux a été caractérisé après avoir déconnecté la matrice de résistances ajustables au laser. La tension d'alimentation utilisée est de 5V. La figure 4.10 montre l'évolution de l'*offset* avec la température sur une plage de 15 à 40 °C. Les *offsets* mesurés à température ambiante pour ces 3 capteurs sont respectivement de -5.35mV, 17mV et -3.2mV, en accord avec la spécification initiale du circuit concernant la plage offsets ajustables, soit ±30mV sous 5V d'alimentation.

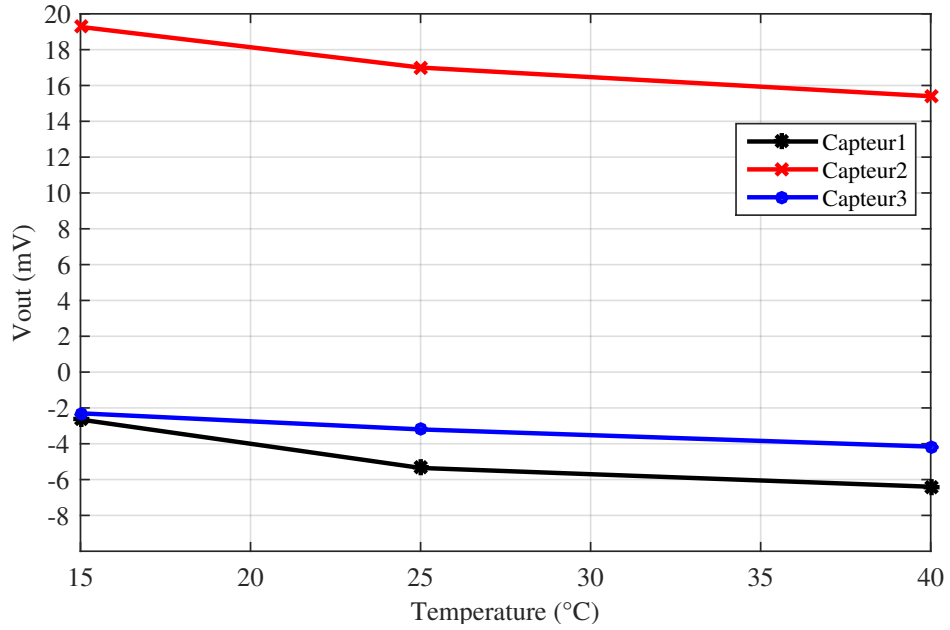


FIGURE 4.10 – Tension d'*offset* en fonction de la température pour 3 capteurs commerciaux non compensés.

La DTO, pour ces trois capteurs, est respectivement de -107μV/°C, -151μV/°C et de - 74μV/°C (*cf.*Figure 4.10). En se basant sur ces caractérisations et des données statistiques fournies par le partenaire industriel, la plage de DTO initiale à considérer est fixée à [0 ; -165]μV/°C. Après compensation d'*offset*, cette plage doit être ramenée à ±6,25μV/°C pour l'application visée, ce qui constitue une nouvelle spécification du cahier des charges.

4.2.3.2 Nouvelle proposition d'architecture

La prise en compte de cette nouvelle spécification m'a conduit à un changement partiel de l'architecture présentée dans le chapitre 2. La figure 4.11 présente ainsi des vues simplifiées de l'architecture proposée précédemment (à gauche) et de la nouvelle architecture (à droite).

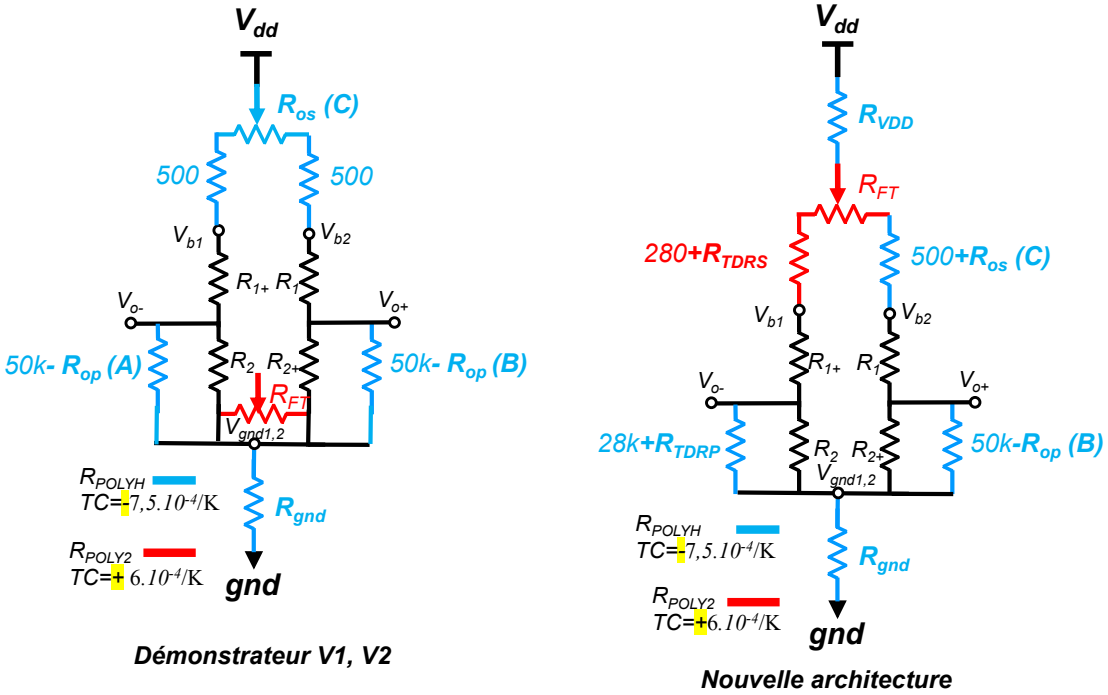


FIGURE 4.11 – Schémas simplifiés de l'architecture initiale (1er et 2ème ASIC) à gauche et de l'architecture modifiée, à droite, pour la prise la compensation des dérives thermiques.

La nouvelle architecture est aussi basée sur des potentiomètres numériques. Rappelons que le réglage grossier d'*offset* se faisait par des potentiomètres A et B ajoutés en parallèle et un potentiomètre C ajouté en série et reliant les branches droite et gauche du pont de Wheatstone (*cf.* section 2.5). Ces potentiomètres avaient tous le même coefficient de température afin de ne pas modifier la DTO du capteur à l'exception du réglage fin de l'*offset* dont l'effet était négligeable de par la faible valeur des résistances.

Pour prendre en compte les problèmes de dérive thermique, des coefficients de température différents vont maintenant être utilisés. Dans la nouvelle architecture illustrée sur la figure 4.11 (à droite), le réglage grossier d'*offset* se fait uniquement sur la branche de droite du pont en utilisant les potentiomètres $R_{os}(C)$ et $R_{op}(B)$, qui permettent d'abaisser le potentiel de la sortie V_{o+} grâce à 16 pas possibles de réglage (4 bits). Ce réglage grossier ne pouvant compenser qu'un *offset* initial positif, un décalage systématique de la plage d'*offset* initial de ±30mV à [0 ; 60mV] est obtenu grâce à des valeurs initiales des potentiomètres de la branche de gauche, de 280Ω et 28kΩ respectivement, inférieures aux valeurs initiales des potentiomètres de la branche de droite, soit 500Ω et 50kΩ.

Les valeurs initiales des résistances de la branche de gauche du pont sont modifiées par deux potentiomètres R_{TDRS} et R_{TDRP} connectés respectivement en série et en parallèle avec les résistances du capteur. Ces potentiomètres ont des coefficients de température de 1^{er} ordre de signes opposés ; R_{TDRS} est constitué de résistances R_{POLY2} (TC=6.10^{-4}/K) et R_{TDRP} de résistances R_{POLYH} (TC=-7,5.10^{-4}/K). Cette architecture permet de modifier la DTO du capteur indépendamment de son *offset* car les deux potentiomètres augmentent de manière corrélée sans modifier la tension V_{o-}. Le nombre de configurations possibles est aussi de 16 (4 bits) et chaque configuration change le DTO du capteur de $5\mu V/°C$ environ.

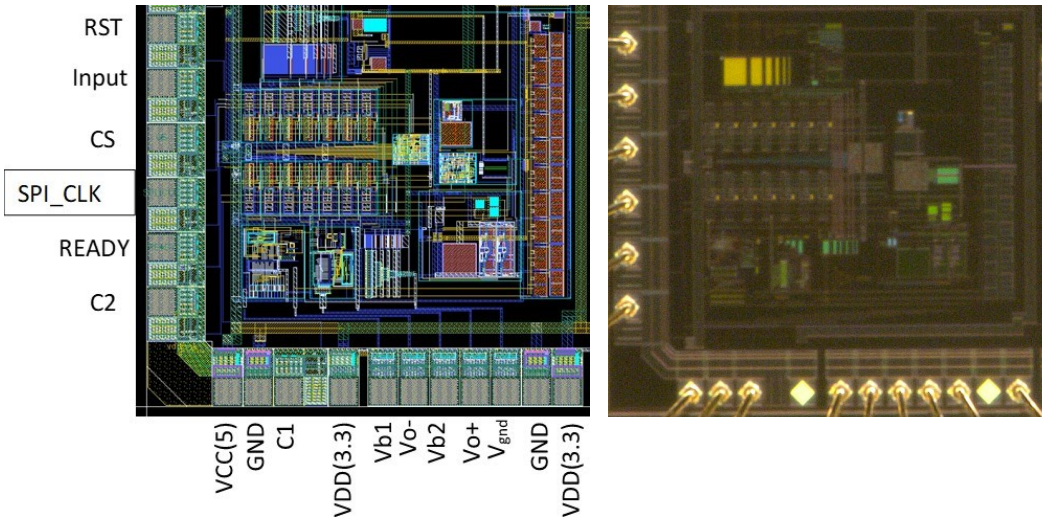
Pour compenser le coefficient de température négatif du facteur d'échelle du capteur, le régulateur de tension a été modifié pour avoir un coefficient de température positif (Figure D.3). Le facteur d'échelle et l'*offset* ayant tous deux des coefficients de température négatifs, le régulateur réduit aussi en partie la dérive thermique de l'*offset*.

D'autre part, le potentiomètre de réglage fin automatique de l'*offset*, R_{FT}, reste identique à celui de la $1^{ère}$ version de l'architecture mais a été déplacé pour s'adapter à un capteur pour lequel les *gnd* de chacune des deux branches seraient reliés ensemble. Cette nouvelle architecture n'a donc besoin que de 5 sorties au niveau du capteur (V_{b1}, V_{b2}, V_{o+}, V_{o-} et *gnd*) contre 6 pour la précédente .

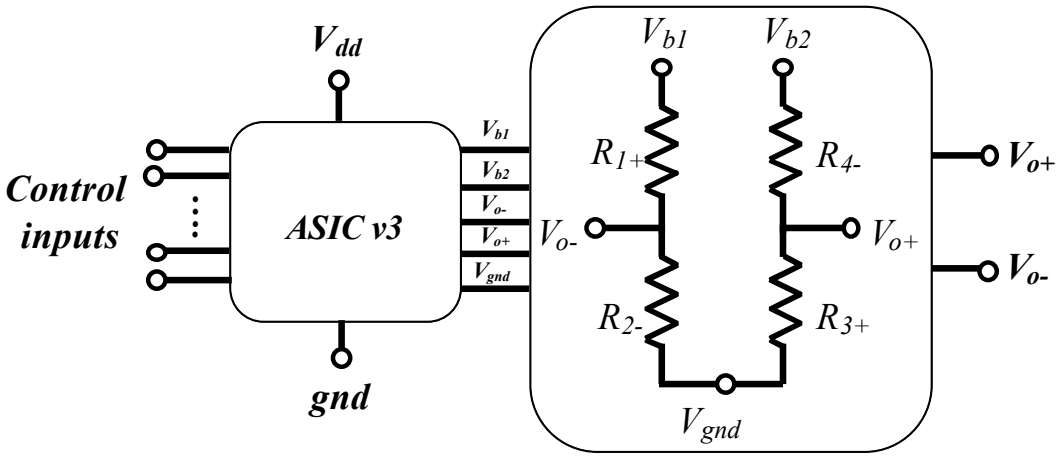
Enfin, l'ajustement du facteur d'échelle sera réalisé par deux potentiomètres R_{VDD} et R_{gnd} commandés simultanément afin d'obtenir une variation de 60% à 20% en 64 pas. L'intégration de R_{VDD} dans cette version est nécessaire, d'un côté, pour protéger le circuit de la tension d'alimentation supérieure à 5V définie dans le tableau 4.1, et de l'autre côté, pour garder le mode commun en sortie du capteur autour de $V_{dd}/2$ avec une tolérance de ±20%.

La figure 4.12b illustre l'intégration du capteur et de l'ASIC v3 fabriqué avec la technologie CMOS standard (AMS 0.35μm). Rappelons que la puce capteur et l'ASIC sont destinés a être dans le même boitier avec 4 broches (V_{dd}, *gnd*, V_{o+} et V_{o-}) pour l'utilisation finale (comme pour un simple pont de Wheatstone). Les broches de contrôle permettant le fonctionnement du contrôleur SPI interne (RST, $INPUT$, CS, $SPI-CLK$, $READY$) seront connectées à un microcontrôleur pendant la phase de programmation en usine. La figure 4.12a présente la vue layout et la photographie du circuit. Quatre modes de fonctionnement ont été définis à l'aide de deux entrées de contrôle, C1 et C2 , comme suit :

1. Mode 1 : Calibration de l'*offset*, de sa dérive thermique et du facteur d'échelle grâce à un microcontrôleur connecté au circuit via l'interface SPI.
2. Mode 2 : Programmation des configurations choisies dans les mémoires à fusibles.
3. Mode 3 : Activation de la machine d'état qui effectue le réglage fin d'*offset* à chaque mise sous tension.
4. Mode 4 : Désactivation de la machine d'état (optionnel).



(a)



(b)

FIGURE 4.12 – Troisième démonstrateur intégré pour la calibration post fabrication de capteurs résistifs : (a) vue *layout* et photographie, (b) schéma de principe de l'architecture.

Réglage grossier de l'*offset*

La première expérience consiste à vérifier le fonctionnement du réglage grossier de l'*offset* dont le but est de ramener l'*offset* initial de ±30mV sous 5V d'alimentation à ±1.25mV (après compensation d'*offset* et ajustement de la sensibilité) en testant les 16 pas de configuration possible. Ce test a été effectué sur les trois capteurs caractérisés dans la section 4.2.3.1.

Durant cette procédure, les codes contrôlant la dérive en température de l'*offset* et le réglage de la pleine échelle sont initialisés à mi-course. Ensuite, les 16 configurations possibles pour la compensation d'*offset* sont balayées en mesurant la tension de sortie du capteur à chaque configuration. La figure 4.13 illustre cette tension en fonction du code pour 3 capteurs. Le pas de réglage est d'environ 2.7mV par code, proche de la valeur attendue. Ce pas est un peu élevé pour garantir un *offset* de ±1.25mV mais l'*offset* va encore baisser lors du réglage du facteur d'échelle. Dans cet exemple, l'*offset* résiduel, inférieur à ±1.25mV, est atteint pour le code 7 pour les capteurs 1 et 3, avec des valeurs de -230μV et 460μV respectivement, et le code 9 convient pour le capteur 2 qui présente alors un *offset* résiduel de 1mV.

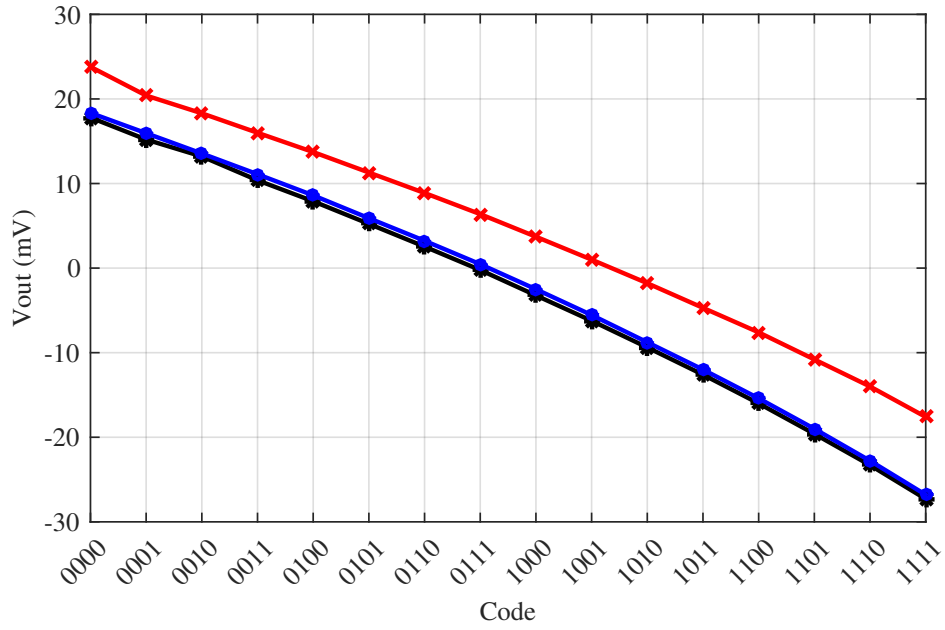
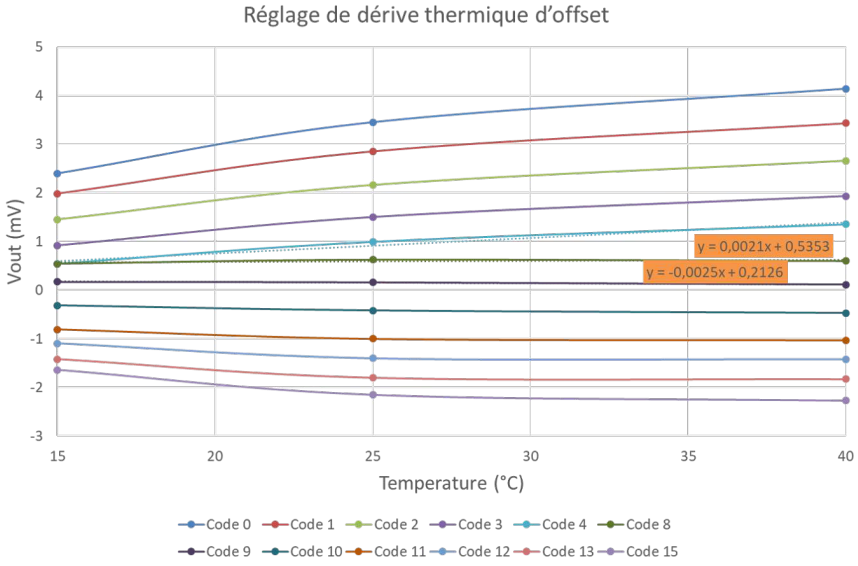


FIGURE 4.13 – Tension de sortie mesurée pour 3 capteurs différents en fonction du code du réglage grossier d'*offset*.

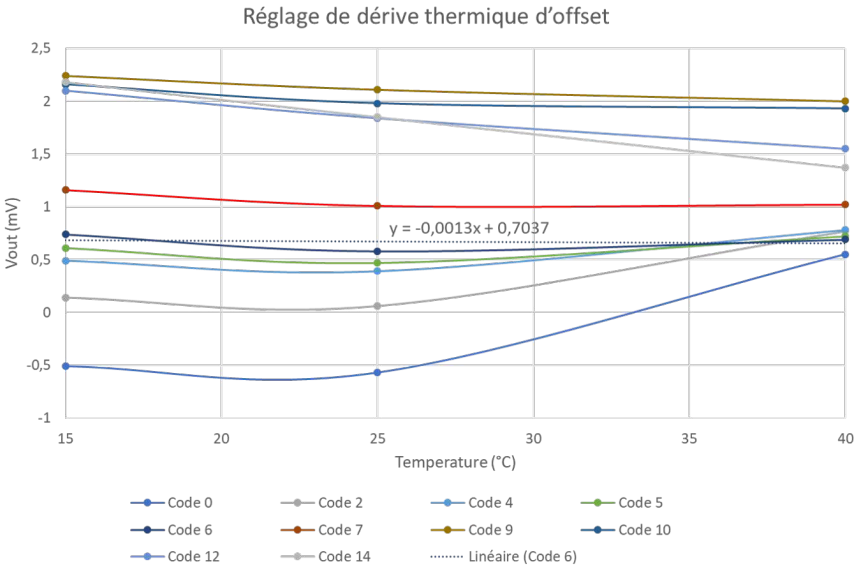
Réglage de dérive thermique d'*offset*

Après avoir choisi le code minimisant l'*offset* de chaque capteur, le réglage de sa dérive thermique avec 4 bits de configuration (soit 16 configurations) requière l'utilisation

d'une étuve afin de mesurer la dérive thermique pour chaque configuration. Pour chacune, l'*offset* est mesuré à 15°C, 25°C et 40°C. Pour cette procédure, seuls les résultats obtenus avec les capteurs 1 et 2 sont présentés car le troisième a été endommagé au cours des tests.



(a)



(b)

FIGURE 4.14 – Tension d'*offset* mesurée en sortie du capteur en fonction de la température pour les 16 codes de compensation de la dérive thermique.

La figure 4.14a présente l'évolution de l'*offset* du capteur 1 avec la température pour chaque code utilisé. Une modification de la DTO d'environ 5μV/°C est obtenu à

chaque changement de code. Le code 8 correspond à la dérive thermique la plus faible, soit 2.1μV/°C. Pour le capteur 2, le code 6 est retenu. Il correspond à une DTO de -1.3μV/°C tel qu'illustré sur la figure 4.14b.

Réglage du facteur d'échelle

Le réglage du facteur d'échelle dépend essentiellement de la tension d'alimentation (équation (4.1)). La figure 4.15 présente la tension d'alimentation du pont, réglable par la résistance R_{Vdd}, la tension aux bornes de R_{gnd} et la différence, c'est à dire la tension réellement appliquée aux bornes du pont de Wheatstone pour les 64 configurations (6 bits de réglage) balayées par le microcontrôleur à raison d'un changement toutes les 2 secondes. Ainsi, la tension aux bornes du pont V_{WB} peut être ajustée entre 2.5V et 1.1V, soit une diminution du facteur d'échelle de 50% à 22% par rapport à sa valeur sous 5V d'alimentation.

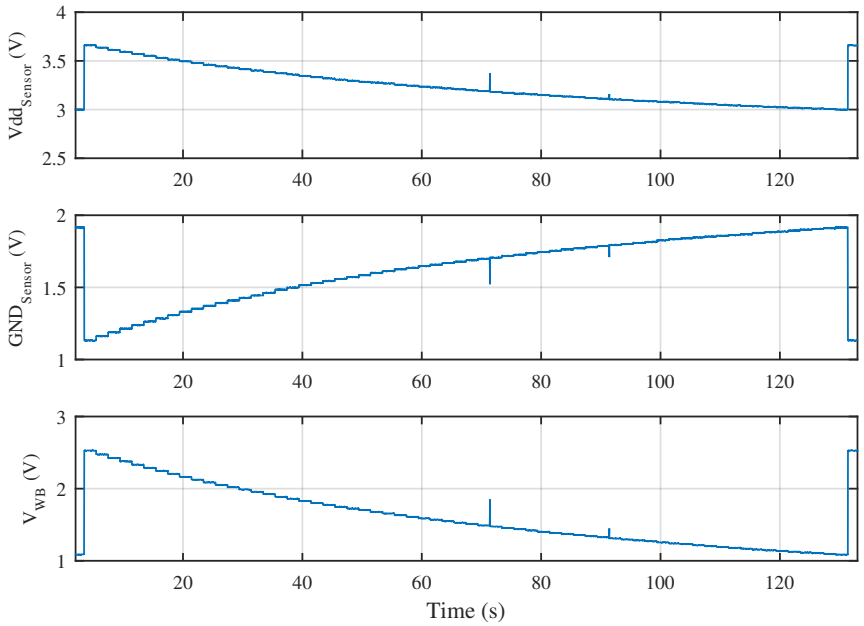


FIGURE 4.15 – Évolution de la tension sur les bornes (Vdd_{Sensor} et GND_{Sensor}) et aux bornes (V_{WB}) du pont de Wheatstone au cours du balayage des 64 codes de programmation par le microcontrôleur.

Programmation des configurations dans les mémoires à fusibles

Les configurations sélectionnées lors de la procédure de calibration seront mémorisées une fois le mode Mémorisation activé, soit $C1C2$="10" (voir section 2.9). Le circuit contient 14 points mémoire contrôlés par des fusibles, chacun correspondant à un des 14 bits de configurations de l'ASIC (4 bits pour la compensation d'*offset*, 4 bits pour la compensation de la dérive thermique d'*offset* et 6 bits pour l'ajustement de la pleine échelle). Compte tenu du courant nécessaire pour griller un fusible, la procédure d'activation est séquentielle afin de griller les fusibles un après l'autre. Deux points mémoires totalement indépendant de l'architecture ont également été embarqués dans le circuit de test pour permettre des tests de caractérisation. Les points mémoires sont conformes au schéma proposé dans le $2^{ème}$ chapitre (figure 2.20) même si le rapport R_{Ref} sur R_{Fuse} a été augmenté pour qu'aucune sortie ne soit au niveau logique haut après fabrication à cause des dispersions de process.

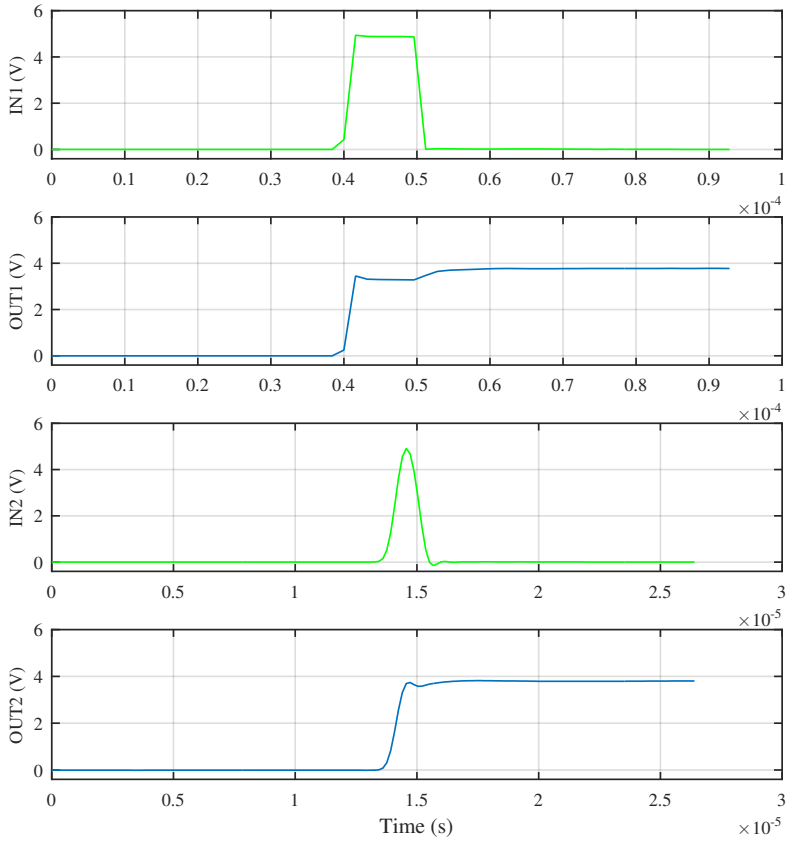


FIGURE 4.16 – Résultats expérimentaux sur deux fusibles avec deux durées d'activation de 10μs (haut) et 1μs (bas).

La figure 4.16 illustre les résultats expérimentaux obtenus avec deux points-mémoires de caractérisation. Pour le premier, un pulse de 10μs de large et d'amplitude 5V est appliqué sur l'entrée de contrôle du 1^{er} point-mémoire. La sortie du point mémoire est modifiée dès le début de l'activation et reste à l'état haut (soit 3.8V qui est la tension fournie par le régulateur embarqué) une fois l'activation terminée. Pour le $2^{ème}$ fusible, la durée du pulse est réduite à 1μs sans que l'activation du fusible ne soit remise en question. Les fusibles pourront être activés séquentiellement sans que le temps nécessaire ne soit pénalisant. Il est aussi possible, grâce au bus SPI de vérifier que l'activation d'un bit a bien fonctionné afin d'augmenter la fiabilité du système.

Réglage fin automatique de l'*offset*

La dernière fonctionnalité du circuit concerne le réglage fin automatique de l'*offset*. Ce mode est activé lorsque $C1C2$="00". Dans ce mode, la machine d'état (FSM) démarre à chaque mise sous tension. Cette dernière parcourt alors les codes possibles de façon croissante ou décroissante (en fonction du signe de l'*offset* initial) et s'arrête quand le signe du comparateur change. Dans cette $3^{ème}$ version de l'ASIC, quelques modifications ont été apportées par rapport aux versions 1 et 2 (4.2.1.3) .

Le démarrage de la FSM est retardé par rapport à la mise sous tension par l'intermédiaire d'un compteur 4 bits qui permet de retarder le démarrage de 16 périodes de l'horloge interne. Ce délai permet de respecter le temps de démarrage du comparateur estimé à quelques ms.

Un système de mise en pause a été intégré afin de couper l'alimentation de certains blocs spécifiques au réglage fin lorsque la machine d'état s'arrête. Ces blocs fonctionnels sont l'oscillateur et le comparateur dont la consommation est faible mais pas négligeable.

La figure 4.17 présente l'évolution de la tension de sortie du pont de Wheatstone (amplifié par un gain de 100) lors de la procédure de compensation automatique pour un *offset* résiduel, après le réglage grossier, négatif ou positif.

Pour un *offset* résiduel négatif (oscillogramme du haut), nous remarquons que la tension de sortie du pont de Wheatstone, en fin de procédure de réglage fin, n'a pas atteint 0 (environ -100μV) alors que pour un *offset* résiduel positif (oscillogramme du bas), la procédure s'arrête pour une tension de sortie de l'ordre de -500μV. Pour rappel, ces tensions finales sont affectées par une combinaison de l'*offset* du comparateur interne ($\pm$220μV sur tableau 2.2) et de l'*offset* de l'amplificateur externe utilisé pour les tests ($\pm$300μV pour un INA103 avec un gain de 100) ainsi que par le pas de discrétisation de la correction (environ 200μV). On peut donc estimer que la différence des deux tensions de sortie (soit 400μV) est due au cumul de deux erreurs de discrétisation et que l'*offset* cumulé du comparateur et de l'amplificateur externe correspond à la moyenne des deux tensions de sortie (soit -300μV). Par manque de temps, d'une part, et parce que la spécification, $\pm$500μV, a été atteinte nous n'avons pas poussé plus loin l'analyse.

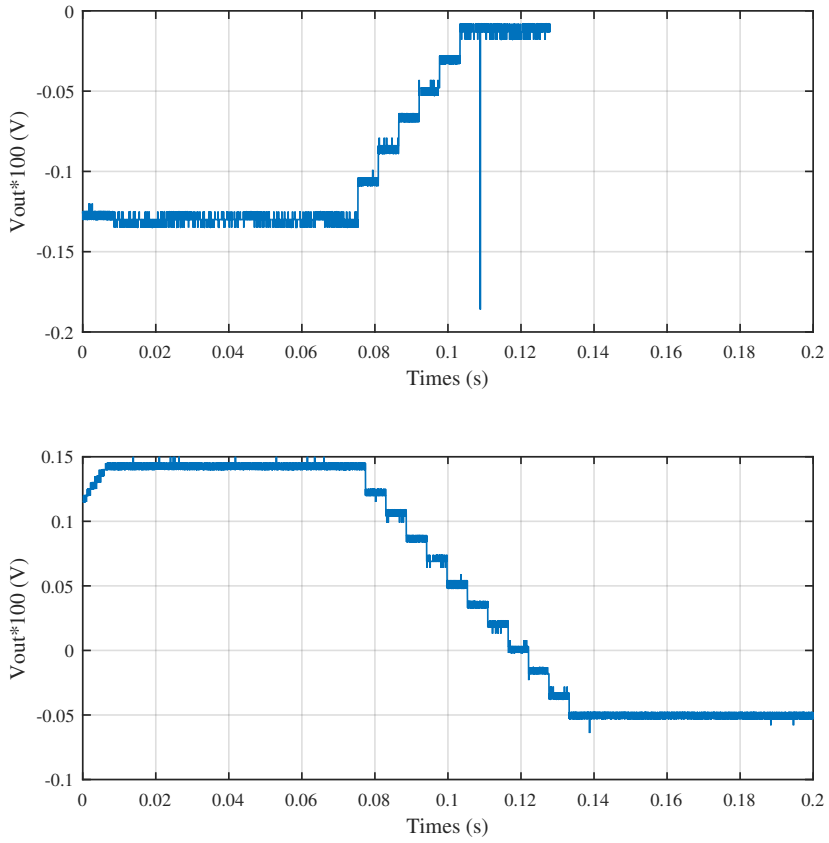
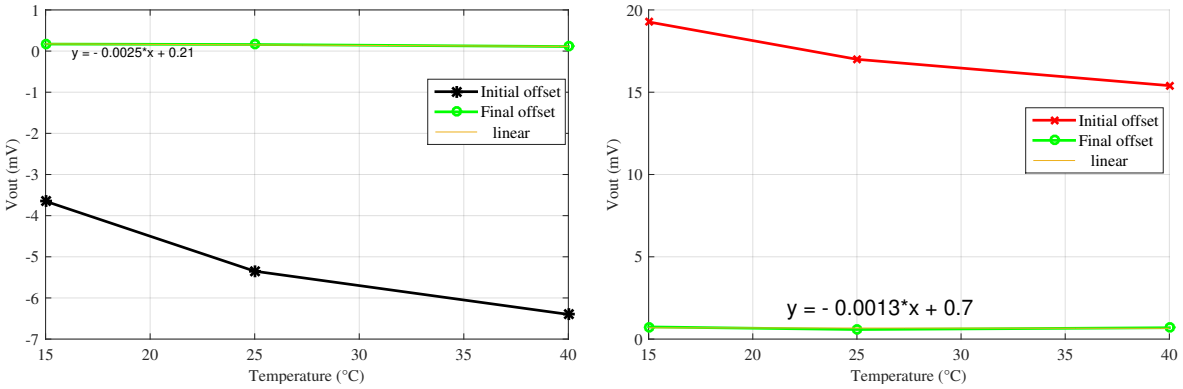


FIGURE 4.17 – Évolution de la tension de sortie amplifiée du pont de Wheatstone au cours de la procédure de compensation automatique d'un *offset* résiduel négatif (en haut) ou positif (en bas) après réglage grossier.

4.2.3.3 Synthèse

L'ensemble de la section 4.2.3 présente les résultats obtenus avec la version évoluée de l'architecture des sections 4.2.1 et 4.2.2. En plus de la compensation d'*offset* et de l'ajustement du facteur d'échelle, elle permet de compenser la dérive en température de l'*offset* causé par la dilatation/contraction de la membrane métallique. La figure 4.18 résume les résultats expérimentaux obtenus pour l'*offset* de deux capteurs commerciaux (voir section 4.2.3.1) en fonction de la température. La figure 4.18a présente l'*offset* initial négatif du premier capteur nu (en noir) et l'*offset* final du capteur compensé par l'ASIC (en vert). Alors que la figure 4.18b présente l'*offset* initial positif du deuxième capteur nu (en noir) et l'*offset* final du capteur compensé par l'ASIC (en vert). Dans les 2 cas, la DTO finale est très inférieure à la valeur ciblée.



(a) (b)

FIGURE 4.18 – Tension de sortie du pont de Wheatstone en fonction de la température pour deux capteurs avant et après compensation.

4.2.4 Point d'étape sur l'ASIC pour l'ajustement post-fabrication

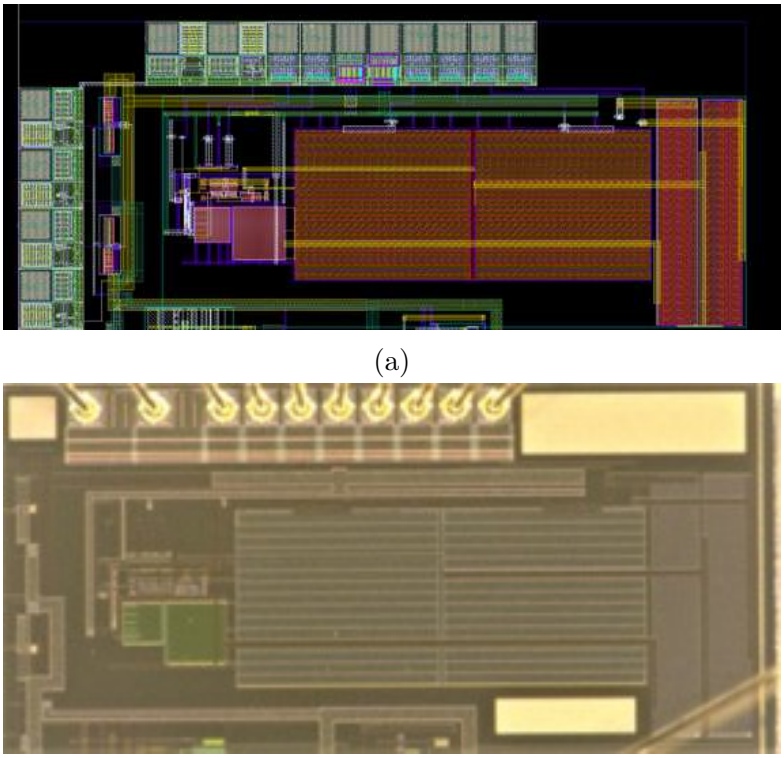
Nous avons présenté une partie significative des résultats expérimentaux de l'étalonnage post-fabrication d'un capteur résistif à sortie analogique. Ces résultats expérimentaux ont été obtenus lors du test de trois circuits fabriqués avec la technologie CMOS standard (AMS 0.35μm) durant cette thèse et l'étude préliminaire (18 mois) conduite sous statut d'ingénieur entre septembre 2017 et le printemps 2019. L'objectif initial consistait à compenser l'*offset* et à ajuster le facteur d'échelle d'un capteur résistif sans changer son coefficient de température à l'aide d'un ASIC autonome après programmation par fusible. Les éléments nécessaires ont été conçus, fabriqués et validés au travers des deux premiers démonstrateurs : une architecture de compensation programmable, une programmation par bus série SPI et des fusibles afin de figer la configuration de l'ASIC par rapport aux défauts de « son » capteur. La troisième version de l'ASIC a permis de $3^{ème}$ circuit proposé permet d'annuler les coefficients de température du capteur afin de répondre à de nouvelles spécifications qui sont intervenues durant le projet.

4.3 Modulateur ΣΔ

Cette section est dédiée aux résultats expérimentaux obtenus sur les modulateurs ΣΔ. Nous avons conçu 3 circuits ΣΔ en technologie CMOS standard (AMS 0.35μm). Le premier et le second sont respectivement des modulateurs du 1^{er} et du 2^{nd} ordre avec une faible consommation. Ces deux circuits ont permis de valider le fonctionnement du ΣΔ. Cependant, ils ne sont adaptés qu'à des applications nécessitant une faible consommation et dont le signal d'entrée est élevé. En effet, nous avons établi dans le premier chapitre que le rapport signal sur bruit dépend principalement du courant de polarisation de l'étage d'entrée (1.19). Dans cette section, nous nous limiterons donc aux résultats expérimentaux obtenus avec le troisième circuit, qui est un 2^{nd} ordre dont les performances et le dimensionnement des différents blocs ont été dictés par l'application présentée au chapitre 3.

4.3.1 Modulateur ΣΔ du 2^{nd} ordre : présentation du circuit étudié

Un démonstrateur ΣΔ du 2^{nd} ordre a été conçu pour répondre au cahier des charges de la section 3.2. La figure 4.19 présente la vue *layout* et une photographie du circuit fabriqué dans la technologie 0.35μm d'AMS.



(a)

(b)

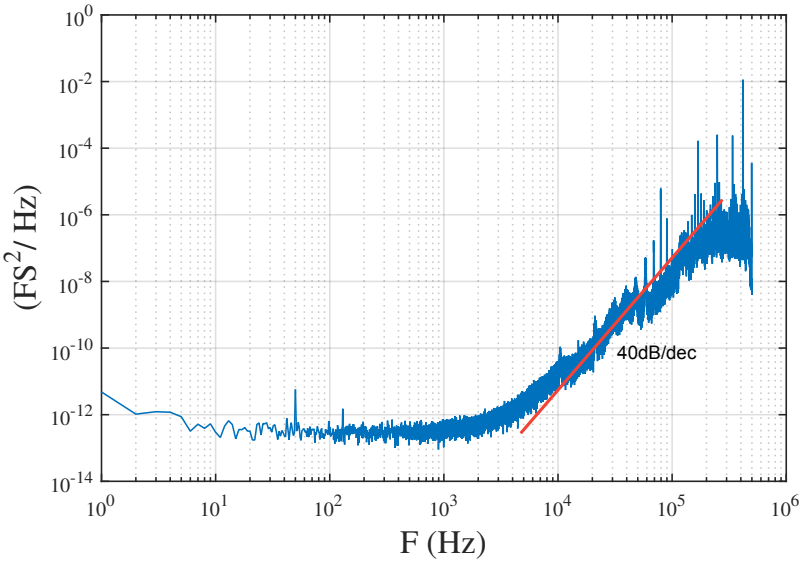
FIGURE 4.19 – Modulateur ΣΔ du 2^{nd} ordre : a) vue *layout*, b) photographie.

La surface occupée par la zone active sur l'ASIC est inférieure à 1800x700 μm^2. La majeure partie de cette surface est occupée par les quatre transistors du pont actif à recyclage de courant constituant l'étage d'entrée du modulateur (Figure 3.8). Ce choix de conception permet de négliger l'effet du bruit en *1/f* de ces transistors par rapport au bruit thermique des résistances du capteur et de ces transistors. Pour rappel, en négligeant le bruit en *1/f*, le SNR de l'étage d'entrée peut s'exprimer simplement en fonction de la valeur de la résistance R_0 et du courant de polarisation I_{bAB} (1.19) pour une application donnée et spécifiée par le signal pleine échelle ΔR et la bande passante BW.

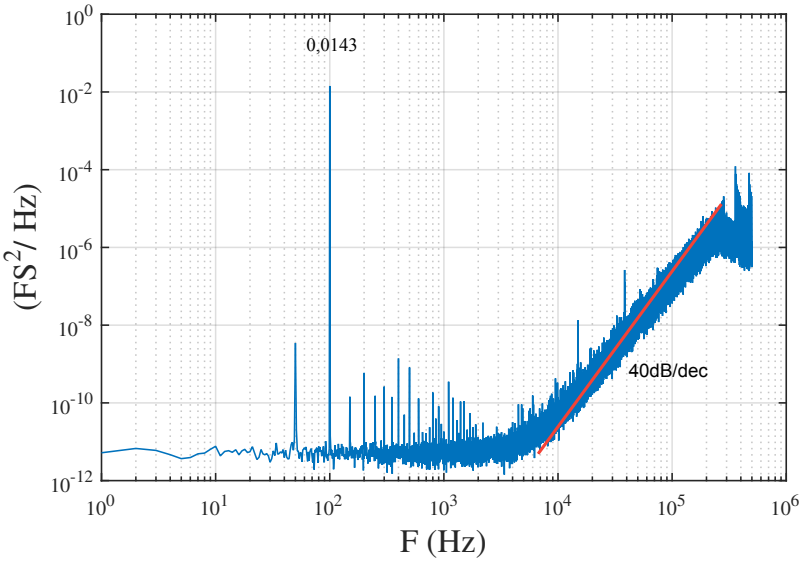
4.3.2 Évaluation de performance : densité spectrale de puissance

Un premier test du modulateur est effectué pour valider ses performances. Dans un premier temps, il est connecté à quatre résistances identiques de 4,7kΩ comme illustré par figure 3.8. Le circuit est alimenté par une batterie lithium de 3.6V pour éviter les perturbations à 50Hz et leurs harmoniques générés par une alimentation classique. La fréquence d'échantillonnage F_{clk} est fixée à 1MHz et le train de bits de sortie est enregistré pendant 10 secondes à l'aide d'un enregistreur logique de marque Saleae. Une analyse spectrale du train des bits de sortie est présentée sur la figure 4.20a. Un plancher du bruit de l'ordre de 10^{-12} FS^2/Hz est observé et le bruit de quantification est rejeté dans les hautes fréquences avec une pente de 40dB/décade obtenue grâce à l'effet cumulé des 2 intégrateurs. La résolution calculée sur une bande passante de 1kHz est de l'ordre de 0.004% de la plein échelle (soit 0,004% de 100 Ω dans cet exemple) ce qui correspond bien à la résolution attendue de 0,0037% soit 25000 points de mesure sur la pleine échelle. On retrouve donc bien la marge de conception de 2,5 environ attendue vis à vis du cahier des charges initial, soit 0,01% de 100Ω.

La figure 4.20b présente l'analyse spectrale du train de bits avec un signal d'entrée qui émule la pression. L'amplitude de ce signal est de l'ordre de la moitié de la pleine échelle, soit une tension de 8,5mV pour un courant de 170μA par branche. Le générateur de fréquences utilisé en salle de test ne pouvant fournir une amplitude aussi faible, un diviseur de tension est utilisé pour générer ce signal en série avec un branche du pont actif. Un filtre sélectif a aussi été utilisé pour éliminer le bruit de ce générateur. Malgré ces précautions, la densité spectrale de puissance de bruit met en évidence un bruit à 50Hz et un plancher de bruit dégradé par rapport au fonctionnement du modulateur sans signal d'entrée. En tenant compte de ces perturbations, la résolution calculée sur une bande passante de 1kHz est dégradée d'un facteur 2,5 mais reste de l'ordre de 0.01% de la pleine échelle ce qui nous permet d'affirmer que l'objectif sera atteint si le modulateur est connecté à un capteur et pas à une source de tension bruitée.



(a)



(b)

FIGURE 4.20 – Densité spectrale de puissance du train de bits en sortie du modulateur ΣΔ du 2^{nd} ordre sans signal d'entrée (a) et avec signal d'entrée à 100Hz (b).

4.3.3 Évaluation de performance : linéarité, offset et pleine échelle

Un deuxième test a été conduit pour vérifier la linéarité du modulateur en reportant le taux de « 1 » dans le *bitstream* en fonction de la variation de résistance du capteur

et donc de la variation de pression DC. Pour ce faire, une résistance variable (0 à 100Ω) est connectée en série avec la branche de droite puis avec la branche de gauche entre la résistance du bas et la masse afin de générer une variation de résistance totale de -100Ω à +100Ω pour le capteur (voir figure 3.8). Pour chaque valeur de résistance vérifiée à l'aide d'un multimètre, la valeur moyenne du *bitstream* de sortie est calculée à partir d'un enregistrement. La figure 4.21 présente les résultats expérimentaux obtenus ainsi que la caractéristique de transfert quasi-idéale (issue d'un modèle Matlab linéarisé) et la simulation du schéma électrique (Cadence). La valeur moyenne, normalisée à la tension d'alimentation, est équivalente au pourcentage de « 1 » dans le *bitstream* de sortie du modulateur. On remarque ensuite que les mesures expérimentales et les simulations électriques sont en phase avec le comportement idéal pour environ la moitié de la pleine échelle (-50Ω à +50Ω).

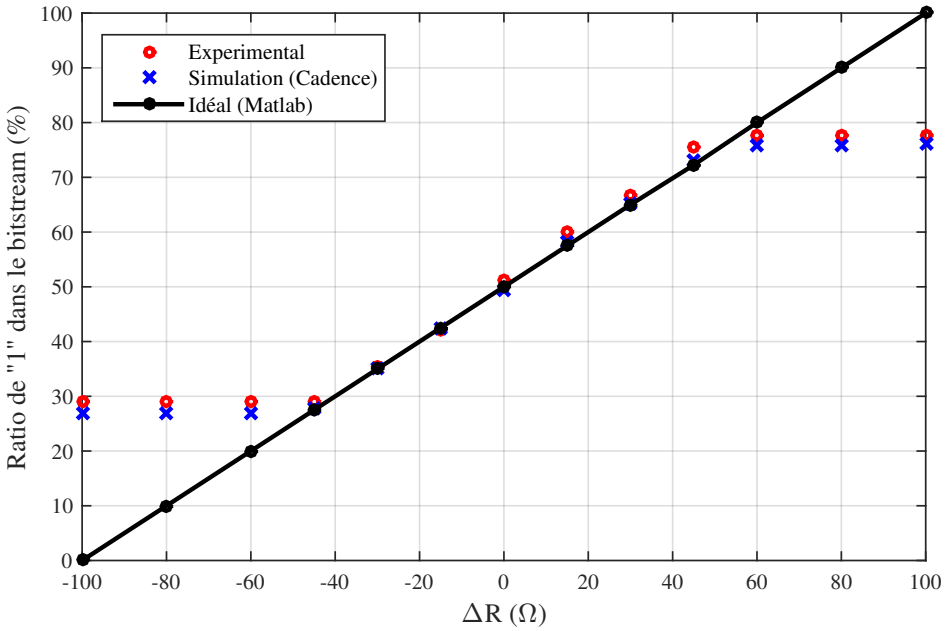


FIGURE 4.21 – Taux de « 1 » dans le *bitstream* en sortie du modulateur ΣΔ en fonction de la variation des résistances avec F_{clk}=1MHz.

Cependant, la saturation du modulateur est clairement mise en évidence lorsque l'entrée est supérieure à 50Ω (au-delà de 75% de « 1 ») ou inférieure a -50Ω (en-deçà de 25% de « 1 »). Ce phénomène est également observé en simulation ce qui signifie que le modulateur ne fonctionne correctement que pour la moitié de la pleine échelle voulue. Une solution permettant d'atteindre une bonne linéarité jusqu'à 100Ω serait probablement de doubler la résistance de retour R_{fb} au prix d'une résolution divisée par deux (soit 0.008% au lieu de 0.004% de 100Ω), mais qui respecte toujours le cahier des charges compte tenu de la marge de conception prise au départ. Cette solution pratique n'exclue pas de comprendre pourquoi le modulateur ne fonctionne que sur la moitié de sa pleine échelle, c'est ce que nous allons faire dans la section suivante.

4.3.4 Analyse de la saturation du modulateur

La saturation du modulateur est en fait une non-linéarité observée à fort signal. On s'aperçoit que la sortie ne dépend plus du signal et si l'on reprend le raisonnement qui nous a conduit au dimensionnement du courant de retour, on peut estimer que le courant de retour, lorsque le signal est grand, est trop important par rapport au courant sortant de l'amplificateur de transconductance (FC-OTA) et la sortie ne dépend alors plus du signal. Nous allons valider ce raisonnement à l'aide de simulations électriques.

4.3.4.1 Simulation de l'amplificateur de transconductance

La transconductance g_{m2} de l'OTA Folded Cascode (Figure 3.8) a tout d'abord été étudiée. La figure 4.22 illustre en rouge la transconductance g_{m2} en fonction de la tension différentielle d'entrée. Cette transconductance décroît très rapidement avec l'amplitude de la tension différentielle d'entrée pour être proche de 0 au-delà de ± 200mV. Ceci explique que le modulateur ne soit plus sensible aux signaux de trop grande amplitude puisque le courant de sortie du bloc g_{m2} tendra vers 0. Un modèle Matlab, prenant en compte la variation de g_{m2} avec l'amplitude du signal d'entrée a permis de vérifier cette hypothèse. Pour résoudre ce problème, il est donc nécessaire d'élargir la plage de linéarité de l'OTA.

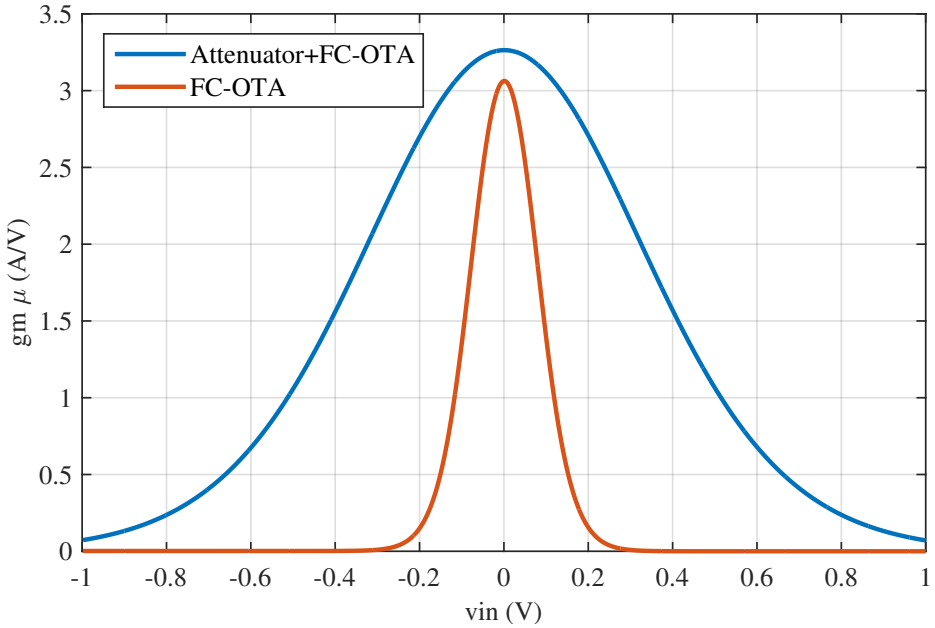


FIGURE 4.22 – Transconductance de l'OTA-FC et d'un OTA à plage de linéarité élargie par un atténuateur.

Pour cela, plusieurs techniques ont été proposées dans la littérature, telles que : un couplage croisé linéarisé d'un CMOS OTA [42], une polarisation adaptative [43], une

dégénérescence de la source en utilisant des résistances ou des transistors MOS [44, 45] et une atténuation du signal [46].

Pour un premier essai conduisant à une validation rapide, la technique d'atténuation a été choisie. Il s'agit de placer un atténuateur à l'entrée du FC-OTA afin de diminuer l'amplitude des signaux en entrée de l'OTA et d'augmenter la transconductance de l'OTA afin de conserver une valeur comparable de g_{m2}. Ceci permet d'élargir la plage de fonctionnement d'entrée comme illustré sur la figure 4.22 en bleu, où le gain de l'atténuateur est de 0.2 conduisant ainsi à une plage d'entrée 5 fois plus grande que la plage.

Cette légère modification de g_{m2} nécessite donc une modification du courant de retour sur le 2^{nd} étage afin de respecter l'égalité entre courant de sortie et courant de retour ($cf.$ équation (3.7)). L'étude des performances du modulateur en fonction de ce courant est l'objet de la section suivante.

4.3.4.2 Influence de la valeur du courant de retour

L'amplitude du courant de retour devant être du même ordre de grandeur que le courant de sortie de l'OTA, il convient donc de l'ajuster en vérifiant :

- la linéarité du modulateur sur la totalité de la pleine échelle.
- si le courant est trop fort, le modulateur sature et ne dépend plus de l'entrée.
- la densité spectrale de puissance du *bitstream* qui doit correspondre à un modulateur du 2^{nd} ordre.
- plancher de bruit au plus bas dans la bande passante, peu ou pas d'harmoniques du signal d'entrée et mise en forme du bruit de quantification à +40dB/décade au-delà de la bande passante. Si le courant de retour est trop faible, le modulateur ne sature pas mais se comporte comme un modulateur du 1^{er} ordre.

La figure 4.23 illustre le ratio de «1» dans le *bitstream* en sortie du modulateur pour différents courants de retour proches de la valeur de I_{fb} obtenu par l'équation (3.7), soit 0.85μA. Comparé à la figure 4.21, une linéarité sur la totalité de la plage d'entrée est maintenant obtenue pour les courants les plus faibles. Pour des courants de retour supérieur ou égaux à 2μA le modulateur sature bien avant d'atteindre la pleine échelle.

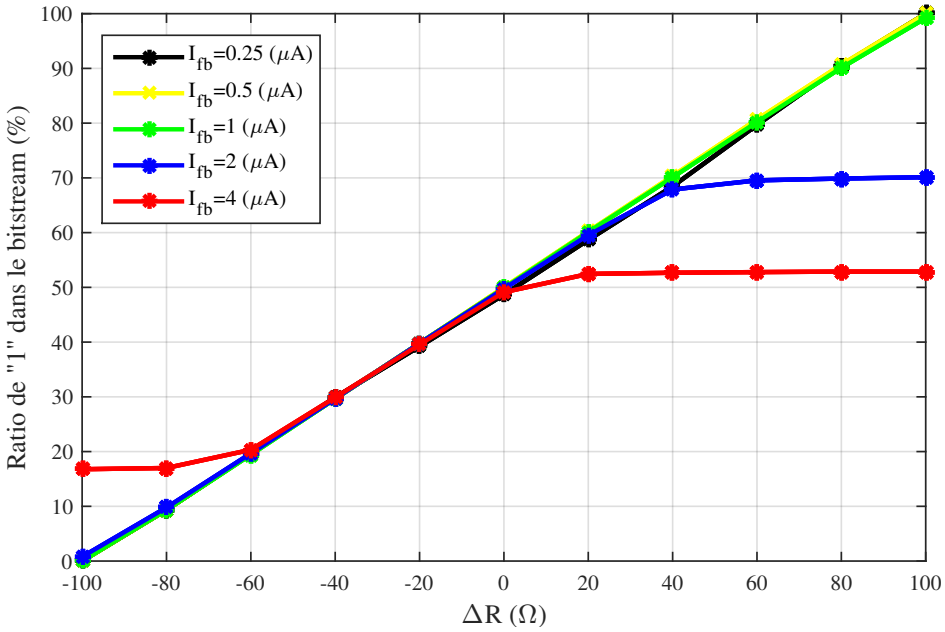


FIGURE 4.23 – Taux de « 1 » dans le *bitstream* en sortie du modulateur ΣΔ en fonction de la variation de résistances pour différents courant de retour avec F_{clk}=1MHz.

Une analyse spectrale permet de caractériser plus précisément le fonctionnement du modulateur en fonction de la valeur du courant de retour de son 2^{nd} étage. La figure 4.24 illustre la densité spectrale de puissance obtenue, en simulation, pour l'OTA modifié, différents courants de retour et une entrée sinusoïdale à 100Hz d'amplitude demi pleine échelle, soit une puissance de $0{,}125FS^2$.

On retrouve tout d'abord les effets de la saturation observée précédemment lorsque le courant de retour est trop fort. Pour les courants supérieurs ou égaux à 2μA (Figures 4.24g et 4.24h) la densité spectrale de puissance du signal diminue sensiblement, des harmoniques du signal apparaissent et la mise en forme du bruit à haute fréquence est moins efficace. Ce phénomène, bien que moins marqué est aussi visible pour des courants de retour de 1,5μA et de 1,75μA (Figures 4.24e et 4.24f).

Pour le courant de retour le plus faible (Figure 4.24a), la puissance liée au signal d'entrée est élevée mais le plancher de bruit est significativement plus élevé qu'attendu. Le modulateur se comporte comme un modulateur du 1^{er} ordre avec une perte sensible de SNR puisque la mise en forme du bruit n'est plus efficace.

Enfin, pour les courants intermédiaires (0,5μA ; 1μA et 1,25μA), on obtient une allure satisfaisante avec une mise en forme du bruit à haute fréquence même si pour 1,25μA (Figure 4.24d), on peut voir apparaître un début d'apparition de pics de puissance correspondants aux harmoniques du signal.En considérant une bande passante du signal de 1kHz, le SNR maximum est obtenu pour I_{fb}=1.25μA avec une valeur de 90,45dB soit 30000 points de la pleine échelle.

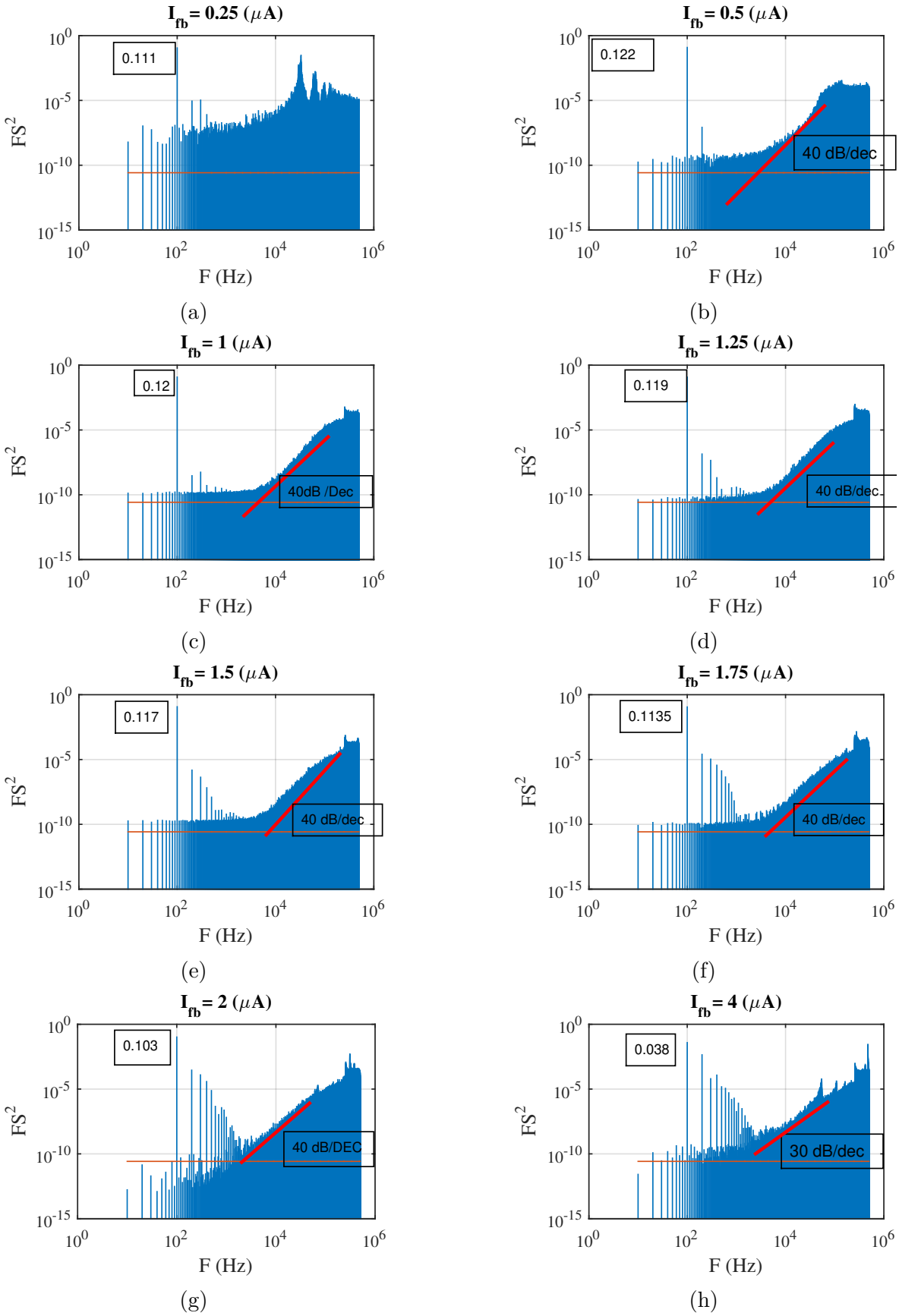


FIGURE 4.24 – Spectre de train de bits de sortie du modulateur ΣΔ du 2^{nd} ordre modifié (plage de fonctionnement étendue de l'OTA) pour différents courants de retour.

4.3.5 Point d'étape sur le modulateur ΣΔ du 2^{nd} ordre ordre

Dans cette deuxième partie du chapitre 4, nous avons présenté les résultats expérimentaux obtenus sur un modulateur ΣΔ du $2^{ème}$ ordre. Ce modulateur a été fabriqué avec une technologie CMOS standard (AMS 0.35μm). La résolution obtenue sur une bande passante de 1KHz est de l'ordre de 0.004% pour une pleine échelle de 100Ω, soit un SNR de l'ordre de 25000 ou 87dB. Au cours de ces caractérisations, un problème de saturation lié à la non-linéarité de la transconductance du l'OTA à charge cascode repliée a été mis en évidence. Étant donné la marge de conception qui avait été prise, il suffit de doubler la valeur de la résistance de retour soit de la pleine échelle pour obtenir une résolution de 0,008% sur une pleine échelle de 100Ω. On peut donc affirmer que l'objectif fixé a été atteint. On pourrait aussi réduire la fréquence d'horloge afin d'augmenter le courant de sortie de l'OTA-FC comme prévu par l'équation (3.7). Pour vérifier cette solution, des tests complémentaires sont programmés.

Après analyse de ce problème, un élargissement de la plage de fonctionnement d'entrée de l'OTA a été proposé et l'impact de la valeur du courant de retour I_{fb} sur la mise en forme du spectre, la résolution et la plage de linéarité du modulateur a été évalué.

Afin d'obtenir le meilleur rapport entre SNR et consommation, il serait nécessaire de modifier le modèle Matlab afin de prendre en compte la non-linéarité de l'OTA utilisé dans le $2^{ème}$ étage intégrateur et d'étudier l'effet du courant de retour sur le SNR et la linéarité à l'aide de simulations de haut niveau. Ensuite, il importe de réaliser une étude étendue sur la linéarisation de l'OTA. Enfin, il semble utile de prévoir d'intégrer une banque de sources du courant commandées numériquement pour pouvoir ajuster le courant de retour en fonction des dispersions du procédé de fabrication. En effet, la dernière section a montré que les performances, en termes de résolution et de plage de fonctionnement, du modulateur sont très sensibles à ce paramètre.

Conclusion

Comme indiqué dans l'introduction, ce travail de thèse s'est déroulé dans le cadre de deux projets dont le but est de proposer des solutions innovantes pour le conditionnement de capteurs résistifs avec l'objectif de conserver le niveau de performance tout en réduisant la consommation, l'encombrement et/ou les coûts de fabrication. Pour ces deux projets, le cahier des charges ainsi que les spécifications ont été fournies par notre partenaire industriel MEMSCAP®.

Le premier projet porte sur une architecture innovante, entièrement électrique et intelligente de calibration de capteur comme une alternative économique au Laser *trimming*, qui est la solution actuelle de calibration pour ce type de capteur. L'objectif est de concevoir un circuit intégré, intégré dans le même boîtier que la puce capteur formant ainsi un capteur intelligent sans aucune modification de la connectivité externe par rapport à un pont de Wheatstone. Le but est de compenser l'offset induit par les variations de processus de fabrication sur un capteur résistif et d'ajuster le facteur d'échelle, pour qu'il soit compatible avec les chaînes de lecture. En remplaçant la procédure itérative d'ajustement par faisceau LASER par une procédure 100% électrique, le coût de fabrication de tels capteurs haut et milieu de gamme pourrait être réduit sensiblement.

Le deuxième projet se place dans la continuité de plusieurs sujets de thèse soutenus au sein du laboratoire LIRMM concernant le conditionnement de capteurs résistifs à l'aide d'un pont actif amplifié à recyclage de courant, une architecture développée et brevetée en 2010 par le laboratoire. L'objectif est de réaliser un modulateur $\Sigma\Delta$ et d'obtenir un convertisseur analogique numérique compact et performant comme alternative efficace au système plus classique composé d'un pont de Wheatstone, d'un amplificateur faible bruit et d'un convertisseur analogique numérique. Ici, les gains attendus concernant la consommation totale du système, son coût de fabrication et son encombrement.

Le premier chapitre présente un état de l'art sur le conditionnement de capteurs résistif, notamment le LASER *trimming*, et les solutions qui transforment la grandeur physique vers un signal fréquentiel, PWM, ou signal numérique. Ensuite, nous présentons une étude théorique qui fixe les paramètres nécessaires du projet $\Sigma\Delta$. Elle compare l'architecture classique composée d'un pont de Wheatstone et un amplificateur avec le pont actif à recyclage de courant. D'après cette étude, le pont actif à recyclage de courant est une solution économique et performante par rapport à la solution classique en

termes de consommation et de rapport signal sur bruit.

Dans le second chapitre, nous avons proposé une architecture électronique pour la calibration post-fabrication de capteurs résistifs. Elle est basée sur des potentiomètres numériques et elle est compatible avec tout type de capteur résistif avec 6 broches de connections. L'objectif principal est de compenser l'offset en ne dégradant pas sa dérive thermique. Pour cela, une procédure manuelle de réglage grossier de l'offset est mise en place, permettant de compenser l'offset à l'aide d'entrées de commande numériques accessibles uniquement pendant l'étalonnage. De plus, un réglage fin de l'offset peut être lancé automatiquement à chaque mise sous tension ou sur demande externe en fonction de l'application. La dernière fonctionnalité concerne le réglage du facteur d'échelle : il s'agit d'ajuster la tension la tension de polarisation aux bornes du capteur la valeur nécessaire pour obtenir la sensibilité souhaitée, à l'aide de deux potentiomètres commandés aussi par un mot binaire. Des simulations électriques basées sur des simulations intensives de Monte Carlo ont démontré les principaux avantages de la solution proposée sur un exemple : fonctionnement entièrement électrique, réduction significative de l'offset par un facteur 30, amélioration du PSRR de 30dB, réglage précis de la sensibilité avec 0.3% d'écart type. Une fois que les bonnes configurations pour le réglage grossier et le réglage du facteur d'échelle ont été choisies, un stockage de type OTP [30], des fusibles programmables une fois pour mémoriser la configuration est possible. Un bus au standard SPI a été implanté pour une communication facile et rapide entre le testeur industriel et la puce pendant la phase de calibration et de programmation.

Une architecture $\Sigma\Delta$ de conditionnement à sortie numérique 1bit pour capteur résistif a ensuite été présentée dans le chapitre 3 : une solution compacte et économe en énergie pour le conditionnement de capteurs résistifs en tant qu'alternative efficace au système classique composé d'un pont de Wheatstone, d'un amplificateur à faible niveau de bruit d'entrée, d'un convertisseur analogique-numérique, et d'un microcontrôleur. En utilisant un pont actif à recyclage de courant, le but est de convertir le signal d'entrée (variation d'une ou plusieurs résistances) en un signal numérique à l'aide d'un convertisseur suréchantillonné. Afin d'atteindre la résolution souhaitée de 0.01%, soit 10000 points de mesure, une étude théorique de faisabilité a été conduite. De plus, deux modèles Matlab de modulateurs $\Sigma\Delta$ du 1^{er} et du 2^{nd} ordre ont été proposés et simulés. Enfin, une implantation CMOS est présentée et des simulations électriques ont validé la cible attendue.

Enfin, les résultats expérimentaux obtenus sur les démonstrateurs silicium réalisés en technologie $0{,}35\mu m$ du fondeur AMS sont exposés dans le dernier chapitre. La première partie de ce chapitre présente les résultats expérimentaux de l'architecture de calibration post fabrication présentée dans le chapitre 2. Les deux premiers démonstrateurs ont permis la preuve de concept tandis que le dernier a permis de prendre en compte d'autres spécifications liées à la dérive thermique des performances. Les résultats permettent de prévoir un offset final inférieur à $\pm 500\mu$V, un ajustement du facteur d'échelle avec 3% maximum d'incertitude et une faible dérive thermique de l'offset et du facteur d'échelle. Un stockage de la configuration dans une mémoire non volatile

programmée une fois de type OTP a aussi été validé. La deuxième partie expose les résultats expérimentaux obtenus pour un modulateur $\Sigma\Delta$ du 2^{nd} ordre répondant aux spécifications du partenaire industriel soit 0,01% de résolution sur une pleine échelle de 100Ω soit 2% de la valeur nominale des résistances du capteur. Des pistes d'amélioration pour des applications encore plus exigeantes ont été identifiées et le bon appariement entre l'OTA constitutif du 2^{nd} intégrateur et le courant de retour pourrait permettre, à lui seul, un gain sur le nombre de bit de résolution sans aucune consommation supplémentaire. Finalement, des résolutions de l'ordre du ppm par rapport à la valeur des résistances pourraient être atteintes avec des consommations très faibles. Selon les résultats de vérification, la fabrication d'un dernier circuit peut être envisagée. Pour celui-là, des améliorations sur l'architecture $\Sigma\Delta$ du 2^{nd} ordre seront privilégiées, telles que la linéarisation du g_m de l'OTA-FC, le réglage du courant de retour.

D'autres perspectives, moins académiques, concernent la livraison des derniers démonstrateurs à MEMSCAP® pour des tests et des validations. A l'issu de ces tests en environnement industriel, la société pourra évaluer l'intérêt de l'intégration, ou pas, de nos solutions à leur gamme de produit.

Annexe A

Détermination analytique de I_{amp} et I_{WB} pour un courant total minimum

L'équation 1.18 est d'abord réarrangée ainsi :

$$I_{amp}^4 + \mathrm{a} I_{amp}^3 - \left(\frac{\mathrm{ac}}{2}\right)^2 = 0 \text{ avec a} = \frac{0.25\gamma}{R_0} \text{ et c} = I_{WB0} \tag{A.1}$$

Un solveur formel est ensuite utilisé pour trouver la solution positive et réelle pour I_{amp} :

$I_{amp} = -\frac{1}{4}\sqrt{-\frac{8a^2c^2}{\sqrt[3]{3}A} + a^2 + \frac{2A}{3^{2/3}}} + \frac{1}{2}\sqrt{\frac{2a^2c^2}{\sqrt[3]{3}A} + \frac{a^2}{2} + \frac{a^3}{2\sqrt{-\frac{8a^2c^2}{\sqrt[3]{3}A} + a^2 + \frac{2A}{3^{2/3}}}} - \frac{A}{2\ 3^{2/3}}} - \frac{a}{4}$ with $A = \sqrt[3]{\sqrt{81a^8c^4 + 192a^6c^6} - 9a^4c^2}$

Il est alors possible de déterminer I_{WB} à partir de l'équation 1.17

$$I_{WB} = \mathrm{c}\sqrt{1 + \frac{\mathrm{a}}{I_{amp}}} : \tag{A.2}$$

Annexe B

Détermination analytique de I_{bAB} pour un SNR donné

Un réarrangement de l'équation 1.20 conduit à :

$$I_{bAB}^3 + pI_{bAB} + q = 0 \quad \text{avec } p = -I_{WB0}^2 \text{ et } q = -\frac{\gamma V_{eff}}{R_0} I_{WB0}^2 \tag{B.1}$$

Cette équation doit être résolue à l'aide de la formule de Cardan en fonction du signe de $\Delta = q^2 + \frac{4p^3}{27}$:

1. Si $\Delta > 0$, il existe une solution réelle et positive : $I_{bAB} = \sqrt[3]{\frac{-q+\sqrt{\Delta}}{2}} + \sqrt[3]{\frac{-q-\sqrt{\Delta}}{2}}$
2. Si $\Delta < 0$, il existe une solution réelle et positive : $I_{bAB} = 2\sqrt{\frac{-p}{3}} \cos\left(\frac{1}{3} \arccos\left(\frac{-q}{2}\sqrt{\frac{27}{-p^3}}\right)\right)$

Ces expressions peuvent sembler un peu compliquées, mais elles peuvent être facilement implantées dans un outil de conception pour calculer le courant requis à partir d'un ensemble de spécifications.

Annexe C

Filtre numérique pour le modulateur ΣΔ

Le bruit de quantification est mis en forme par le modulateur ΣΔ, et se concentre principalement aux fréquences supérieures à la bande passante du capteur. Un filtrage numérique passe-bas peut être appliqué sur la sortie du modulateur par un filtre de décimation. L'objectif du filtre de décimation est double. Premièrement, il agit comme un filtre anti repliement vis à vis de la fréquence d'échantillonnage finale, SR. Deuxièmement, il filtre le bruit haute fréquence produit par le processus de mise en forme du modulateur ΣΔ qui agit comme un passe-haut sur le bruit. Dans notre application la décimation se fait en dehors de la puce. Nous avons choisi un filtre nommé « DFSDM » (filtre numérique pour modulateurs ΣΔ) qui est un périphérique embarqué disponible dans une sélection de microcontrôleurs STM32 [47]. La figure C.1 illustre la connexion du filtre de décimation au modulateur ΣΔ et sa fonction de transfert.

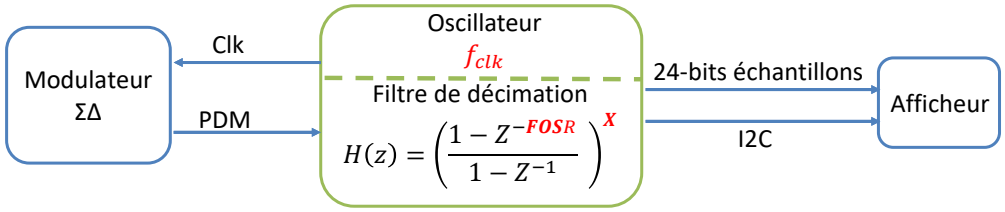


FIGURE C.1 – Architecture complète de la conversion analogique numérique.

Où FOSR est le taux de suréchantillonnage, F_{clk} est la fréquence d'échantillonnage, et X est la constante permettant de définir la dynamique de sortie. Les équations liées à la décimation sont ainsi :

$$SR = \frac{f_{clk}}{FOSR} \tag{C.1}$$

$$BW = \frac{SR}{2} \tag{C.2}$$

$$PE = \pm FOSR^X \tag{C.3}$$

Au final, le filtre de décimation convertit les signaux modulés par densité d'impulsion PDM, à des signaux modulés par impulsions codées PCM. De plus, il ramène la fréquence de sortie à la fréquence de Nyquist, soit 2 fois la bande passante du capteur.

La figure C.2 présente une carte de démonstration issue du projet ΣΔ. Elle est composée d'un capteur de pression commercial "1 bar", d'un circuit intégré du modulateur ΣΔ du $1^{ère}$ ordre, d'un micro-contrôleur "STM32L476RG" embarquant le filtre DFSDM et d'un afficheur I2C standard.

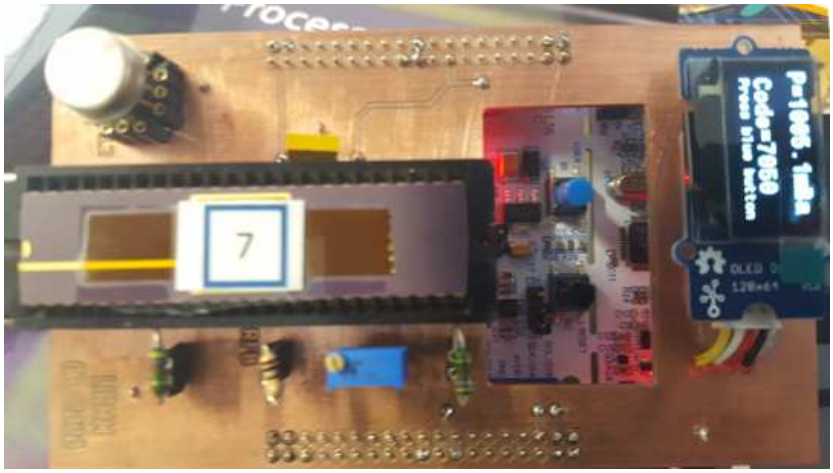


FIGURE C.2 – Carte de démonstration contenant un CI ΣΔ du $1^{ère}$ ordre et un micro-contrôleur.

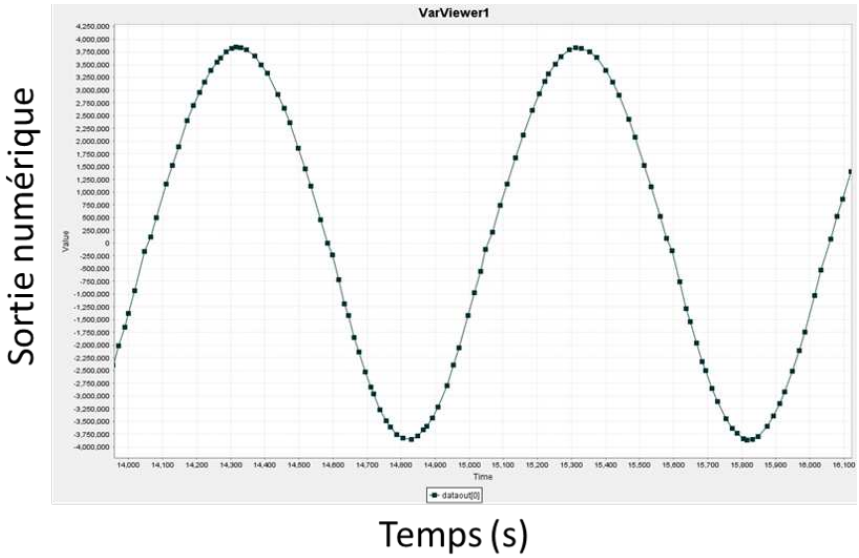


FIGURE C.3 – Exemple de sortie du filtre numérique DFSDM.

Annexe D

Régulateur de tension

Les régulateurs de tension sont largement utilisés dans les systèmes électroniques et plus particulièrement dans les circuits intégrés car les tensions d'alimentation des circuits intégrés sont propres à chaque technologie employée pour la fabrication. Cette partie est dédiée à la conception d'un régulateur linéaire *LDO « Low drop output »* [48, 49] qui abaisse et régule la tension d'alimentation de 5V à 3.3 V. Ce régulateur remplace dans l'architecture proposée le potentiomètre R_{Vdd} ; le réglage du facteur d'échelle se fait donc uniquement par le potentiomètre R_{gnd}. Avec ce régulateur, la sensibilité initiale du capteur baisse de 34% par rapport à une alimentation sous 5V ; il convient donc à l'application puisque le cahier des charges rend nécessaire d'ajuster la sensibilité du capteur en-dessous de 34% de sa valeur initiale.

La figure D.1 illustre l'architecture utilisée pour ce régulateur. Ses composants principaux sont un étage amplificateur différentiel, un étage de polarisation de tension basée sur un empilement de transistors « montés » en diode et un étage de sortie permettant d'ajuster la tension de sortie (V3.3) identique à la tension du nœud P2 sur une large gamme de charges de sortie. En effet, la tension de sortie du régulateur est appliquée sur une des entrées de l'amplificateur différentiel et une référence de tension stable, P2, est appliquée à la seconde. Si la tension de sortie augmente (diminue) par rapport à la tension de référence, la tension de grille du transistor $MP2$ est ajustée pour maintenir la tension de sortie constante. La référence de tension P1 sert à polariser le transistor $MN2$ qui permet la polarisation en courant de la paire différentielle.

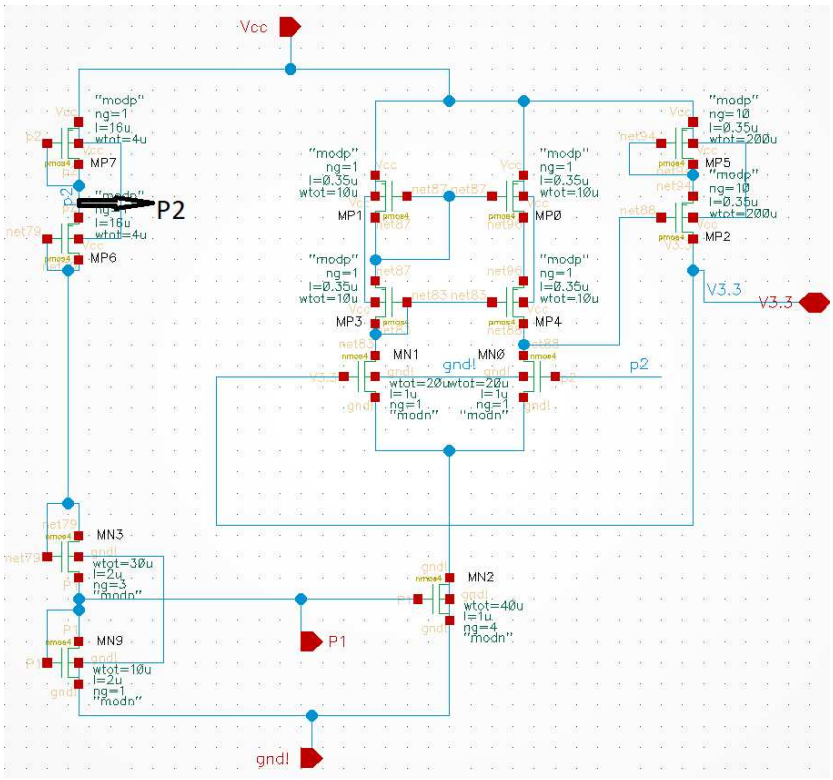


FIGURE D.1 – Régulateur linéaire *LDO* personnalisé.

200 simulations de Monte Carlo ont été réalisées (figure D.2) pour vérifier la tension de sortie du régulateur avec les variations *Process et mismatch* de la technologie utilisée pour une tension d'entrée de 5V. La valeur moyenne est de 3.32 V avec un écart type de 58mV.

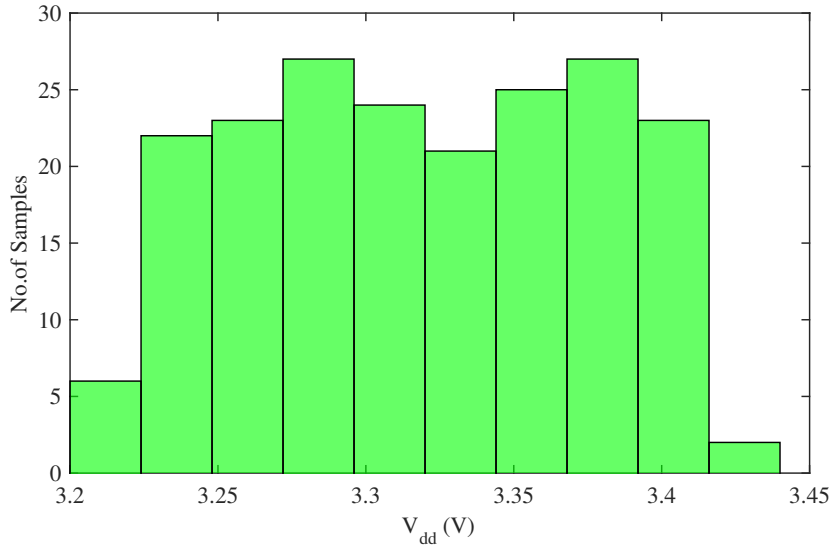


FIGURE D.2 – Simulation Monte Carlo de la tension de sortie du régulateur.

Dans la troisième version du circuit de calibration post-fabrication, des contraintes sur la tension d'alimentation, variant entre 4 et 6V DC, sur le mode commun de sortie ainsi que sur la dérive thermique de l'offset et de la sensibilité du capteur ont été prises en compte (voir tableau 4.1). Cela a amené une modification de l'architecture du régulateur. La figure D.3 illustre cette nouvelle architecture.

Le capteur, représenté par la résistance équivalente du Pont de Wheatstone R_{bridge}, est maintenant alimenté directement par l'alimentation externe V_{dd} avec deux résistances programmables entre 2kΩ et 10kΩ, R_{Vdd} et R_{gnd}, positionnées en série avec le capteur. Les deux résistances étant contrôlées par le même code binaire, ceci garantit un mode commun de sortie proche de $V_{dd}/2$. La tension à la borne positive du capteur, V_{bridge}, est utilisée comme référence de tension pour réguler la tension d'alimentation interne du circuit intégré (V3.3) de manière similaire à ce qui avait été fait dans le premier régulateur. La compensation de la dérive thermique du facteur d'échelle et dans une moindre mesure de l'*offset* est obtenue en utilisant des résistances ayant un coefficient de température négatif pour R_{Vdd} et R_{gnd}. De cette façon, lorsque la température augmente, la tension aux bornes du capteur (représenté par R_{bridge}) augmente elle aussi de manière à atténuer la dérive thermique négative intrinsèque au capteur.

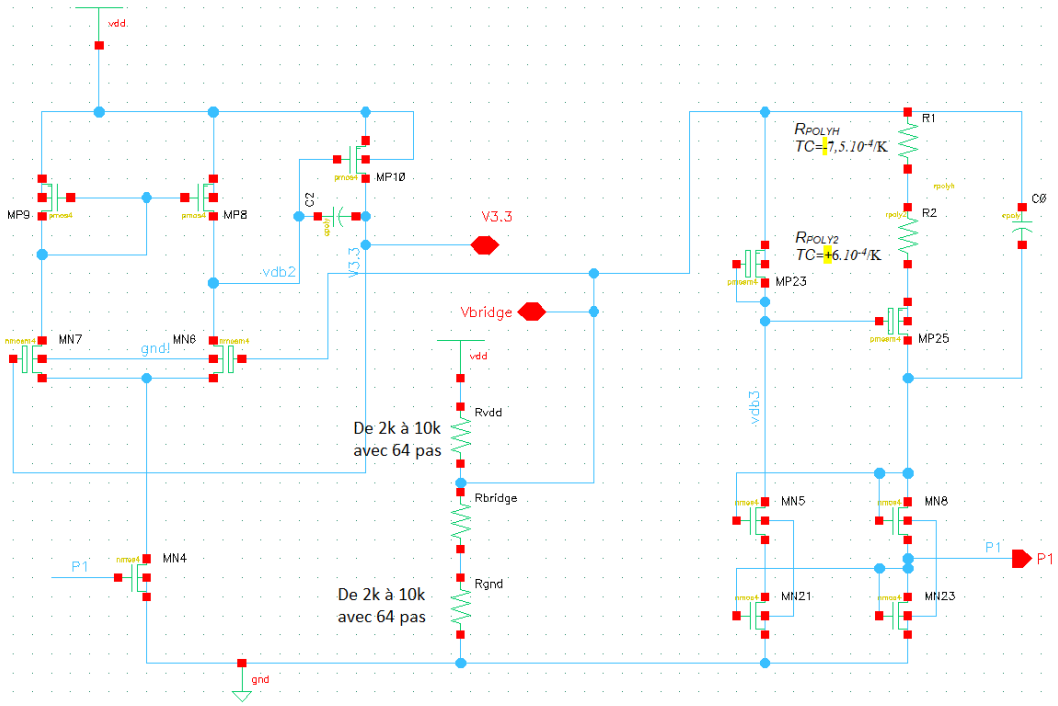


FIGURE D.3 – Régulateur linéaire *LDO* personnalisé avec un coefficient de température positif.

Par rapport à la structure de polarisation utilisée précédemment, nous avons utilisé une structure permettant d'avoir une polarisation quasi-stable avec la tension V_{dd} qui est souvent appelée gm-constant (voir côté droit du schéma). Les résistances R1 et

R2 ont des coefficients de température de signes opposés afin de compenser l'effet de variation de la tension V_{bridge} avec la température.

La figure D.4 illustre l'évolution obtenue de la tension de sortie du régulateur, V3.3, en fonction de la tension d'alimentation pour les valeurs minimales de R_{Vdd} et R_{gnd} et des valeurs de 6kΩ (milieu de la plage de variation). Une linéarité est obtenue avec la tension d'alimentation externe ce qui permet de respecter la mise à l'échelle de la sensibilité, en V/V/mmHg, même en cas de changement de tension d'alimentation. Selon la figure D.4, pour les tensions d'alimentation supérieure à 5V, il est préférable de charger les bits d'entrée de réglage du facteur échelle à la valeur moyenne dès la mise sous tension pour éviter des tensions d'alimentation trop élevées sur les blocs numériques tels que la machine d'état.

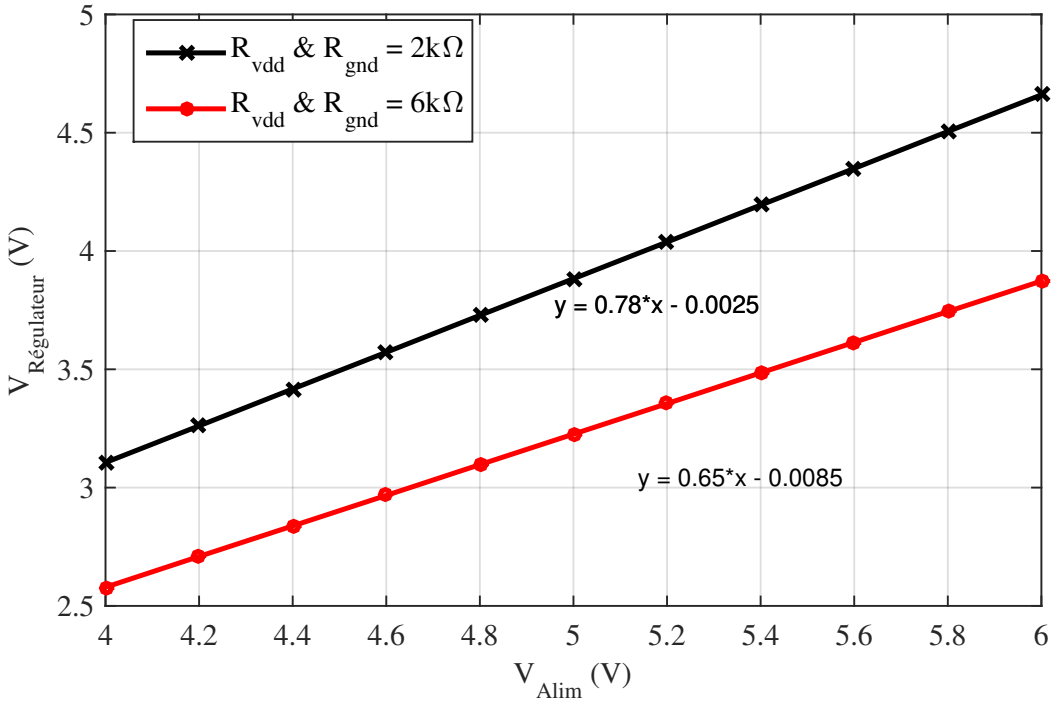


FIGURE D.4 – La tension du régulateur en fonction de la tension d'alimentation

Une simulation thermique de la tension aux bornes du pont (Rbridge) est illustrée sur la figure D.5. Cette figure montre que la tension du pont varie linéairement avec la température avec un coefficient de $+77\mu V/°C$. Ce coefficient positif contribue à la compensation de la perte de sensibilité du capteur avec la température (*cf.* section 4.2.3).

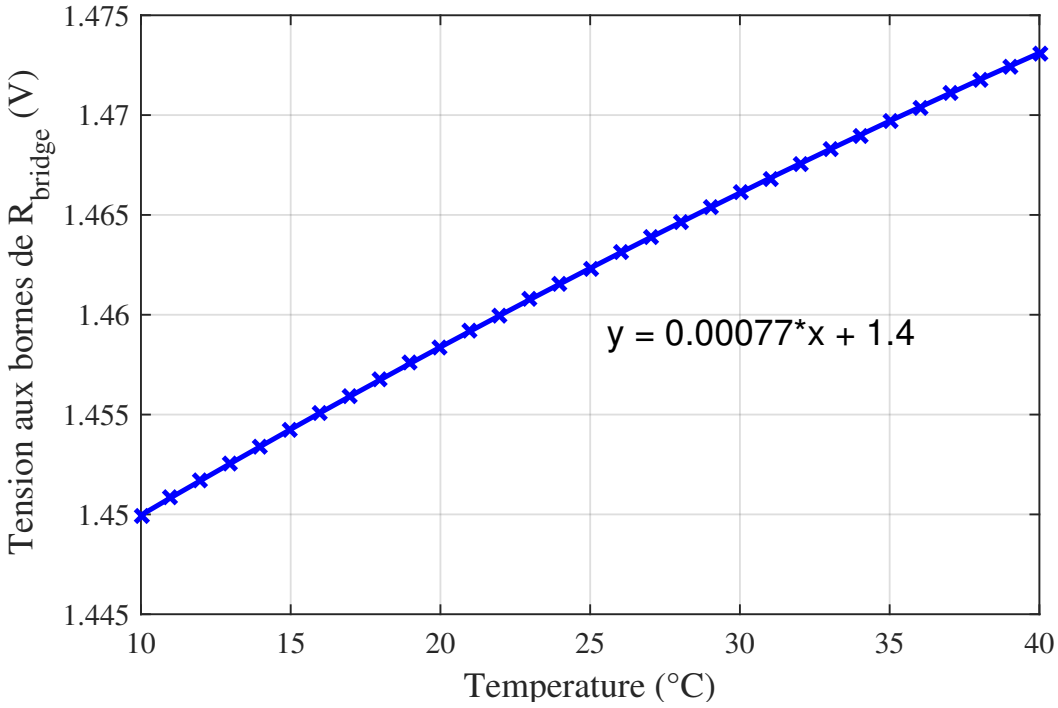


FIGURE D.5 – La tension aux bornes du pont de Wheatstone en fonction de la température

Enfin, 200 simulations MC ont été effectuées afin de vérifier la précision de l'abaissement de tension de 5V à 3,3V ; les résultats sont très similaires à ceux du premier régulateur présenté en figure D.2.

Bibliographie

[1] R. P. Feynman, "There's plenty of room at the bottom [data storage]," *Journal of Microelectromechanical Systems*, vol. 1, no. 1, pp. 60–66, 1992.

[2] G. J., *Le génial Professeur Feynman*. Edition Odile Jacob, 1994.

[3] G. E. Moore, "Cramming more components onto integrated circuits, reprinted from electronics, volume 38, number 8, april 19, 1965, pp.114 ff.," *IEEE Solid-State Circuits Society Newsletter*, vol. 11, no. 3, pp. 33–35, 2006.

[4] H. Wong and H. Iwai, "The road to miniaturization," *Physics World*, vol. 18, pp. 40–44, 09 2005.

[5] S. C. f. M. E. (SCME), "Learning module : History of mems," May 2017.

[6] W. Arden, M. Brillouët, P. Cogez, M. Graef, B. Huizing, and R. Mahnkopf, "" more-than-moore " white paper," 2010.

[7] "http://www.yole.fr ."

[8] E. M. Boujamaa, Y. Soulie, F. Mailly, L. Latorre, and P. Nouet, "Réjection du bruit d'alimentation du pont de Wheatstone : application aux MEMS piézorésistifs," in *TAISA'07 : 8ème colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications*, (Lyon, France), p. Session 4A : Capteurs, Oct. 2007.

[9] Z. Yao, T. Liang, P. Jia, Y. Hong, L. Qi, C. Lei, B. Zhang, W. Li, D. Zhang, and J. Xiong, "Passive resistor temperature compensation for a high-temperature piezoresistive pressure sensor," *Sensors*, vol. 16, no. 7, 2016.

[10] J. Bryzek, R. Mayer, and P. Barth, "Disposable blood pressure sensors with digital on-chop laser trimming," in *IEEE Technical Digest on Solid-State Sensor and Actuator Workshop*, pp. 121–122, 1988.

[11] R. Singh, Y. Audet, Y. Gagnon, Y. Savaria, Boulais, and M. Meunier, "A laser-trimmed rail-to-rail precision cmos operational amplifier," *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 58, no. 2, pp. 75–79, 2011.

[12] M. Birkett and R. Penlington, "Laser trimming of cualmo thin-film resistors : Effect of laser processing parameters," *Journal of Electronic Materials*, vol. 41, 08 2012.

[13] P. Sandborn and P. A. Sandborn, "A random trimming approach for obtaining high-precision embedded resistors," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 1, pp. 76–81, 2008.

[14] M. Lebioda, R. Pawlak, W. Szymański, W. Kaczorowski, and A. Jeziorna, "Laser patterning a graphene layer on a ceramic substrate for sensor applications," *Sensors*, vol. 20, no. 7, 2020.

[15] E. M. Boujamaa, F. Mailly, L. Latorre, and P. Nouet, "Improvement of Power Supply Rejection Ratio in Wheatstone-bridge based piezoresistive MEMS," *Analog Integrated Circuits and Signal Processing*, vol. 71, no. 1, pp. 1–9, 2012.

[16] K. C. Koay and P. K. Chan, "A low energy-noise 65nm cmos switched-capacitor resistive-bridge sensor interface," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 64, no. 4, pp. 799–810, 2017.

[17] P. Ramanathan Nagarajan, B. George, and V. J. Kumar, "A linearizing digitizer for wheatstone bridge based signal conditioning of resistive sensors," *IEEE Sensors Journal*, vol. 17, no. 6, pp. 1696–1705, 2017.

[18] M. Ahmed, F. Boussaid, and A. Bermak, "An ultra low-power capacitively-coupled chopper instrumentation amplifier for wheatstone-bridge readout circuits," in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–4, 2017.

[19] E. M. Boujamaa, B. Alandry, S. Hacine, L. Latorre, F. Mailly, and P. Nouet, "A low power interface circuit for resistive sensors with digital offset compensation," in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, pp. 3092–3095, 2010.

[20] E. M. Boujamaa, N. Dumas, L. Latorre, F. Mailly, and P. Nouet, "The active bridge : An alternative to the wheatstone bridge for efficient conditioning of resistive mems sensors," in *2009 Symposium on Design, Test, Integration Packaging of MEMS/MOEMS*, pp. 265–268, 2009.

[21] E. M. Boujamaa, P. Nouet, F. Mailly, and L. Latorre, "Circuit for amplifying a signal representing a variation in resistance of a variable resistance and corresponding sensor ," July 2013.

[22] I. M. Pandiev, "Analysis and behavioral modeling of monolithic digital potentiometers," *IEEE Transactions on Industry Applications*, vol. 54, no. 1, pp. 416–425, 2018.

[23] E. M. Boujamaa, B. Alandry, S. Hacine, L. Latorre, F. Mailly, and P. Nouet, "A low power interface circuit for resistive sensors with digital offset compensation," in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, pp. 3092–3095, 2010.

[24] M. Leinonen, J. Juuti, and H. Jantunen, "Interface circuit for resistive sensors utilizing digital potentiometers," *Sensors and Actuators A : Physical*, vol. 138, no. 1, pp. 97–104, 2007.

[25] "Handling sensor bridge offset." Accessed : 2010-09-30.

[26] E. M. Boujamaa, Y. Soulie, F. Mailly, L. Latorre, and P. Nouet, "Rejection of power supply noise in wheatstone bridges : Application to piezoresistive mems," in *2008 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, pp. 96–99, 2008.

[27] I. Shankhour, J. Mohdad, F. Mailly, and P. Nouet, "Post-fabrication soft trimming of resistive sensors," in *2018 Symposium on Design, Test, Integration Packaging of MEMS and MOEMS (DTIP)*, pp. 1–4, 2018.

[28] C. Enz and G. Temes, "Circuit techniques for reducing the effects of op-amp imperfections : autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, 1996.

[29] S. Mahapatra and S. Panda, "Spi interface for sram in 0.6µm cmos," 09 2019.

[30] J. L. Craig Downing, "Using antifuse 1t-otp for analog trimming and calibration."

[31] "http://genelaix.free.fr/IMG/pdf/7_spi.pdf ."

[32] S. Park, K. Choi, N. Kim, J. Kim, Y. Kwon, K. Ko, I. Cho, and K. Yoo, "Single-poly embedded nvm solution for analog trimming and code storage applications," in *2015 IEEE International Memory Workshop (IMW)*, pp. 1–4, 2015.

[33] R. Alhalabi, G. Di Pendina, I. Prejbeanu, and E. Nowak, "High speed and high-area efficiency non-volatile look-up table design based on magnetic tunnel junction," in *2017 17th Non-Volatile Memory Technology Symposium (NVMTS)*, pp. 1–4, 2017.

[34] S. Hassine, *Application du pont actif différentiel à la mesure de la température faible consommation sur CMOS*. PhD thesis, 2013. Thèse de doctorat dirigée par Latorre, Laurent et Nouet, Pascal Systèmes automatiques et microélectroniques Montpellier 2 2013.

[35] Q. Xu, S. Gupta, A. Azam, Z. Bai, and J. S. Walling, "A hybrid $\delta\sigma$/nyquist rate switched capacitor power amplifier in 65nm cmos," in *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 290–293, 2018.

[36] A. AlMarashli, J. Anders, J. Becker, and M. Ortmanns, "A 107 db sfdr, 80 ks/s nyquist-rate sar adc using a hybrid capacitive and incremental $\sigma\delta$ dac," in *2017 Symposium on VLSI Circuits*, pp. C240–C241, 2017.

[37] S. Hacine, T. El Khach, F. Mailly, L. Latorre, and P. Nouet, "A micro-power high-resolution $\sigma\delta$ cmos temperature sensor," in *SENSORS, 2011 IEEE*, pp. 1530–1533, 2011.

[38] P. Kongpark, F. Mailly, L. Latorre, and P. Nouet, "An ultra-low-power front-end for differential capacitive sensors," in *2015 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, pp. 1–4, 2015.

[39] B. Alandry, *Intégration de systèmes multi-capteurs CMOS-MEMS : application à une centrale d'attitude*. PhD thesis, 2010. Thèse de doctorat dirigée par Nouet, Pascal Génie électrique, électronique, photonique et systèmes Montpellier 2 2010.

[40] J. Raman, P. Rombouts, and L. Weyten, "Folded-cascode amplifier with efficient feedforward gain-boosting," *Electronics Letters*, vol. 46, pp. 1425–1426, 10 2010.

[41] L. Sing, N. Ahmad, M. Mohamad Isa, and F. Musa, "Design and analysis of folded cascode operational amplifier using 0.13 µm cmos technology," vol. 2203, p. 020041, 01 2020.

[42] J. Chen, E. Sanchez-Sinencio, and J. Silva-Martinez, "Frequency-dependent harmonic-distortion analysis of a linearized cross-coupled cmos ota and its application to ota-c filters," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 53, no. 3, pp. 499–510, 2006.

[43] H. B. Gabbouj, N. Hassen, and K. Besbes, "Low voltage high gain linear class ab cmos ota with dc level input stage," *International Journal of Electrical and Computer Engineering*, vol. 5, no. 8, pp. 1027 – 1033, 2011.

[44] F. A. P. Barúqui and A. Petraglia, "Linearly tunable cmos ota with constant dynamic range using source-degenerated current mirrors," *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 53, pp. 797–801, 2006.

[45] K. Garradhi, N. Hassen, and K. Besbes, "Low-voltage and low-power ota using source-degeneration technique and its application in gm-c filter," in *2016 11th International Design & Test Symposium (IDT)*, pp. 221–226, 2016.

[46] K. Garradhi, N. Hassen, and K. Besbes, "Low voltage low power analog circuit design ota using signal attenuation technique in universal filter application," in *2015 IEEE 12th International Multi-Conference on Systems, Signals & Devices (SSD15)*, pp. 1–7, 2015.

[47] "https://www.st.com/content/st_com/en/search.html#q=DFSDM-t=resources-page=1 ."

[48] X. Ming, J.-J. Kuang, X.-c. Gong, Z. Lin, J. Xiong, Y. Qin, Z. Wang, and B. Zhang, "A fast-transient capacitorless ldo with dual paths active-frequency compensation scheme," *IEEE Transactions on Power Electronics*, vol. 37, no. 9, pp. 10332–10347, 2022.

[49] J. Pérez-Bailón, A. Márquez, B. Calvo, and N. Medrano, "A power efficient ldo regulator for portable cmos soc measurement systems," in *2017 IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*, pp. 1–6, 2017.

Publications personnelles

Revues scientifiques à comité de lecture

[1] Shankhour, I. ; Mohdad, J. ; Mailly, F. ; Nouet, P. Fully Electrical Post-Fabrication Trimming of Resistive Sensors. Sensors 2022, 22, 767. https://doi.org/10.3390/s22030767

Conférences internationales

[2] I. Shankhour, J. Mohdad, F. Mailly and P. Nouet, "Post-fabrication soft trimming of resistive sensors," *2018 Symposium on Design, Test, Integration & Packaging of MEMS and MOEMS (DTIP), 2018, pp. 1-4,* doi : 10.1109/DTIP.2018.8394221.

Résumé

Les capteurs de pression sont utilisés dans de nombreuses applications pour les domaines tels que l'automobile, l'industrie, la défense, l'aéronautique, le spatial et d'autres environnements difficiles. Si l'on met de côté les capteurs à détection capacitive, ce sont essentiellement des capteurs à détection résistive constitués de jauges de contraintes destinées à détecter la déformation d'une membrane. On parle alors de capteurs piézorésistifs qui couvrent une large gamme de pressions pouvant atteindre plusieurs centaines de bars. La tâche devient difficile pour les mesures d'un niveau de pression inférieur à 5 bars avec des capteurs plus gros en taille et largement plus coûteux. Au cours des dernières décennies, les besoins de miniaturisation, de faible consommation, de réduction des coûts et de fiabilité ont favorisé le développement de capteurs intelligents à base de MEMS alliant un haut niveau de performance et un coût de fabrication faible pour les grands volumes. C'est dans ce cadre que se positionne l'objectif de cette thèse : proposer deux solutions innovantes pour le conditionnement de capteurs résistifs en général avec des applications identifiées pour des capteurs de pression.

La première solution proposée est une alternative à l'ajustement, par ablation LASER, d'une matrice de résistances destinée à compenser l'*offset* post fabrication, à ajuster le facteur d'échelle et à limiter les dérives en température d'un pont de Wheatstone. Pour cela, nous avons proposé une architecture de circuit intégré compacte et efficace qui pourra être encapsulée dans le même boitier que le capteur tout en conservant la compatibilité avec un capteur passif à base de pont de Wheatstone en termes de fonctionnement ainsi que de nombre et de type d'entrées-sorties. Les avantages attendus sont un coût réduit grâce à la mise en œuvre uniquement électrique et un allongement de la durée de vie du capteur grâce à une compensation d'*offset* à chaque mise sous tension ou à la demande durant toute la durée de vie de capteurs haut de gamme.

La deuxième solution repose sur la conception d'un modulateur Sigma Delta ($\Sigma\Delta$) du second ordre sur la base d'une architecture de pont de Wheatstone à amplificateur intégré et à recyclage de courant, brevetée par le LIRMM. Elle permet d'obtenir un signal de sortie numérique avec une consommation et un encombrement bien plus faible que pour une architecture classique composée d'un capteur passif, d'une chaine d'amplification du signal et d'un convertisseur analogique-numérique tout en conservant un niveau de performance équivalent. Le démonstrateur réalisé permet de convertir un signal analogique de l'ordre de 20mV, issu d'un capteur, en numérique, avec une résolution de 0.008%, soit plus de 10000 points de mesures (>13 bits).

Abstract

Pressure sensors are used in many applications in fields such as automotive, industry, defense, aeronautics, space and other harsh environments. If we put aside the capacitive detection sensors, they are essentially resistive sensors consisting of strain gauges for the purpose of detecting membrane deformation. These are piezo-resistive sensors that cover a wide range of pressures of several hundred bars. Whoever, the task becomes difficult for measuring pressure levels below 5 bars with larger and much more expensive sensors. Over the past decades, the needs for miniaturization, low power consumption, cost reduction and reliability have favored the development of smart sensors based on MEMS combining a high level of performance and a low manufacturing cost for large volumes. It is in this context that the objective of this thesis is positioned : to propose two innovative solutions for the conditioning of resistive sensors in general with applications identified for pressure sensors.

The first solution proposed is an alternative of the adjustment, by LASER ablation, of a matrix of resistors intended to compensate for the post-manufacturing offset, to adjust the scale factor and to limit the temperature drifts of a Wheatstone bridge. To achieve this, we have proposed a compact and efficient integrated circuit architecture that can be encapsulated in the same box as the sensor while maintaining compatibility with a passive sensor based on a Wheatstone bridge in terms of operation as well as number and input-output type. The expected advantages are a reduced cost thanks to the purely electrical implementation and an extension of the lifetime of the sensor thanks to an offset compensation at each power-up or on demand throughout the lifetime of high sensors of range.

The second solution is based on the design of a second-order Sigma Delta ($\Sigma\Delta$) modulator based on a Wheatstone bridge architecture with integrated amplifier and current recycling, patented by the LIRMM. It makes it possible to obtain a digital output signal with much lower consumption and size than for a conventional architecture composed of a passive sensor, a signal amplification chain and an analog-digital converter while maintaining an equivalent level of performance. The demonstrator produced converts an analog signal of around 20mV, coming from a sensor, into digital, with a resolution of 0.008%, i.e., more than 10,000 measurement points (>13 bits).