

THÈSE DE DOCTORAT

Soutenue à Aix-Marseille Université

Soutenance délocalisée à MINATEC - Grenoble

le 24 Novembre 2022 par

Terry FRANÇOIS

Caractérisation électrique et analyse de mémoires non-volatiles embarquées à base de matériaux ferroélectriques

Discipline

Sciences pour l'Ingénieur

Spécialité

Micro et Nanoélectronique

École doctorale

ED 353 Sciences pour l'Ingénieur : Mécanique, Physique, Micro et Nanoélectronique

Laboratoire/Partenaires de recherche

Institut Matériaux Microélectronique Nanosciences de Provence IM2NP

Commissariat à l'Énergie Atomique et aux Énergies Alternatives, Laboratoire d'électronique et de technologie de l'information CEA-LETI

Composition du jury

Christophe MULLER PR, CNRS Hauts-de-France	Président du jury
Catherine DUBOURDIEU PR, Helmholtz Zentrum Berlin	Rapporteur
Damien DELERUYELLE PR, INSA Lyon	Rapporteur
Marc BOCQUET PR, Aix-Marseille Université	Directeur de thèse
Jean COIGNUS Dr. Ing., CEA LETI	Encadrant
Philippe CHIQUET MCF, Aix-Marseille Université	Encadrant
Laurent GRENOUILLET Dr. Ing., CEA LETI	Invité
Simon JEANNOT Dr. Ing., STMicroelectronics	Invité

Affidavit

Je soussigné, Terry FRANÇOIS, déclare par la présente que le travail présenté dans ce manuscrit est mon propre travail, réalisé sous la direction scientifique de Marc BOCQUET, dans le respect des principes d'honnêteté, d'intégrité et de responsabilité inhérents à la mission de recherche. Les travaux de recherche et la rédaction de ce manuscrit ont été réalisés dans le respect à la fois de la charte nationale de déontologie des métiers de la recherche et de la charte d'Aix-Marseille Université relative à la lutte contre le plagiat.

Ce travail n'a pas été précédemment soumis en France ou à l'étranger dans une version identique ou similaire à un organisme examinateur.

Fait à Grenoble le 10 Septembre 2022



Cette œuvre est mise à disposition selon les termes de la [Licence Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 4.0 International](https://creativecommons.org/licenses/by-nc-nd/4.0/).

Résumé

Les matériaux ferroélectriques présentent un regain d'intérêt, depuis quelques années, pour de multiples applications en microélectronique, en particulier pour les dispositifs de mémoire non-volatile à faible consommation énergétique. Alors que plusieurs matériaux (PZT, SBT...) ont été largement étudiés au cours des dernières décennies, leurs limites de dimensions et leur faible compatibilité avec les procédés industriels CMOS ont limité leur montée en puissance. Depuis les années 2000, les diélectriques à base d'hafnium sont couramment utilisés pour les applications CMOS en raison de leur forte permittivité. Ils font maintenant partie des lignes de fabrication conventionnelles pour les plateformes de nœuds 28nm et au-delà. En 2011, il a été découvert que ce matériau, sous une certaine configuration cristalline, présente un comportement ferroélectrique. Cela ouvre la voie vers des dispositifs de mémoire de faibles dimensions et compatibles CMOS, tels que les FeRAM ou les FeFET. Le CEA-LETI étudie actuellement de nouveaux matériaux ferroélectriques à base d'oxyde d'hafnium pour des applications mémoire non-volatile. Plus spécifiquement, il est nécessaire d'évaluer leur comportement ferroélectrique au travers de mesures électriques dédiées, et notamment d'extraire la polarisation ferroélectrique rémanente, l'image de la fenêtre mémoire pour un produit mémoire, le champ coercitif, la vitesse de commutation ou encore l'endurance des dispositifs mémoire. Aussi, à travers l'analyse de leurs performances ferroélectriques, deux matériaux, le $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ et le HfO_2 dopé silicium, sont optimisés. Plusieurs techniques de dopage sont comparées dans le cas du HfO_2 dopé silicium, par implantation ionique ou directement durant le dépôt ALD. En outre, il est démontré que ces deux matériaux conservent leurs propriétés ferroélectriques dans le cadre d'une intégration complète dans le Back-End-Of-Line d'une technologie CMOS au nœud technologique 130nm. Ces dispositifs sont ensuite utilisés dans un circuit mémoire de 16kbit, basé sur une architecture FeRAM 1T-1C. Un système de mesure dédié à la caractérisation de ce circuit est mis en place et permet la mesure des distributions d'états mémoire à l'échelle de la matrice. Nous démontrons alors que les deux distributions sont suffisamment séparées pour définir une fenêtre mémoire de fonctionnement garantissant l'absence d'erreurs de lecture à l'échelle de la 16kbit. Pour finir, en faisant varier la surface des condensateurs et les tensions de programmation, nous pouvons extrapoler la fenêtre mémoire dans le cas de l'intégration de cette architecture 1T-1C à des nœuds plus agressifs, suivant la tendance de densification des circuits de l'industrie de la microélectronique actuelle.

Mots clés : Mémoire, Ferroélectrique, Caractérisation électrique, oxyde d'hafnium, HfO_2

Abstract

Ferroelectric materials are recently showing, since 2011, a novel appeal for micro-electronic applications, especially for non-volatile memory devices. While several materials (PZT, SBT...) have been widely studied in the past decades, their poor scalability and poor compatibility with industrial CMOS processes have limited their rise. Since 2000's, Hafnium-based dielectrics are commonly used for CMOS applications because of their high permittivity. They are now part of conventional process routes for 28nm node platforms and beyond. In 2011, it has been shown that, under specific crystal configuration, Hafnium-based dielectrics exhibit a ferroelectric behavior. This opens the way towards highly scalable and CMOS-compatible memory devices, such as FeRAM or FeFET. CEA-LETI is currently investigating novel Hafnium-based ferroelectric materials for non-volatile memory applications. More specifically, one need to evaluate their ferroelectric behavior through dedicated electrical characterization techniques, and in particular, to extract the remanent polarization, which is the direct picture of the memory window for a memory product, the coercive field, the programming speed and the endurance. Moreover, through the analysis of their ferroelectric performances, two materials, $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ and silicon-doped HfO_2 , are optimized. Furthermore, it is demonstrated that both materials remain ferroelectric after complete integration in the Back-End-Of-Line of a 130nm CMOS technology, with compatible thermal budget. These devices are then integrated in a 16kbit memory array, based on 1T-1C FeRAM architecture. A setup dedicated to this circuit's characterization is developed and allows the measurement of binary state distributions of the bitcells. Both distributions are demonstrated fully separated, defining an operating memory window which guarantees no bitfails at the 16kbit scale. Finally, by measuring several capacitor surfaces at various programming voltages, one can extrapolate the expected memory window of this kind of 1T-1C architecture in more advanced nodes, following the ongoing trend of densification of industrial microelectronic circuits.

Keywords: Memory, Ferroelectric, Electrical Characterization, hafnium oxide, HfO_2

Table des matières

Table des matières	9
1 Introduction générale et contexte industriel des mémoires ferroélectriques	13
1.1 L'industrie des composants mémoire au cœur de la microélectronique de demain	14
1.1.1 Principales technologies commercialisées	15
1.1.1.1 Les mémoires volatiles SRAM et DRAM	16
1.1.1.2 Les mémoires non-volatiles Flash NOR et Flash NAND	17
1.1.1.3 Les limitations des mémoires conventionnelles	19
1.1.2 Les mémoires non-volatiles émergentes	21
1.1.2.1 La mémoire MRAM tirant profit du magnétisme de la matière	21
1.1.2.2 La mémoire PCRAM profitant du changement de phase cristalline	23
1.1.2.3 La mémoire OxRAM basée sur le claquage diélectrique d'un oxyde	24
1.2 Les mémoires ferroélectriques, de Schrödinger à l'oxyde d'hafnium	26
1.2.1 Historique de la ferroélectricité	26
1.2.2 De la théorie à l'industrialisation : le PZT	28
1.2.3 Découverte de la ferroélectricité de l'oxyde d'hafnium	30
1.2.4 Applications mémoires du HfO ₂ ferroélectrique	32
1.3 Théorie de la ferroélectricité de l'oxyde d'hafnium et méthodes de caractérisation	35
1.3.1 Définition de la polarisation ferroélectrique	36
1.3.2 La ferroélectricité méta-stable de l'oxyde d'hafnium et ses dynamiques	40
1.3.2.1 Influence du procédé de fabrication sur l'apparition de la phase orthorhombique	40
1.3.2.2 Évolution de la polarisation de l'oxyde d'hafnium	42
1.3.3 Techniques et méthodologie de caractérisation électrique de la ferroélectricité	44
1.3.3.1 Méthodes de mesure électrique du comportement ferroélectrique	44
1.3.3.2 Montage et méthodologie de caractérisation électrique	47
1.4 Objectifs de la thèse	50

2	Caractérisation des matériaux ferroélectriques HfO_2 dopé silicium et $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	53
2.1	Ferroélectricité et performances du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	54
2.1.1	Procédé de fabrication du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	55
2.1.2	Évaluation de la compatibilité BEOL du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	56
2.1.2.1	Influence du budget thermique	56
2.1.2.2	Simulation ab-initio de la cristallisation du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	57
2.1.3	Performances mémoire du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	58
2.1.3.1	Méthode de caractérisation de l'efficacité de retournement	58
2.1.3.2	Efficacité de retournement du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	59
2.1.3.3	Optimisation de l'endurance et claquage diélectrique	60
2.1.3.4	Rétention de l'information	62
2.2	Le HfO_2 dopé silicium et ses méthodes de dopage	63
2.2.1	Dopage par implantation ionique	64
2.2.1.1	Procédé de fabrication	64
2.2.1.2	Extraction du pourcentage de dopant	65
2.2.1.3	Pourcentage optimum de silicium par implantation ionique	66
2.2.2	Comparaison de l'implantation ionique avec le dopage in-situ lors du dépôt ALD	69
2.2.2.1	Procédé de fabrication des échantillons dopés lors du dépôt ALD	69
2.2.2.2	Extraction du pourcentage de dopant par méthode ToF-SIMS	70
2.2.2.3	Pourcentage optimal de dopant Silicium	72
2.2.2.4	Impact du type de dopage sur la fiabilité en endurance	73
2.2.3	Caractérisation des performances mémoire en fonction de la technique de dopage	74
2.2.3.1	Efficacité de retournement en fonction de la méthode de dopage	74
2.2.3.2	Évolution de la polarisation P_{SW} en fonction du nombre de cycles	75
2.2.3.3	Claquage diélectrique en fonction du pulse d'endurance	77
2.3	L'oxyde d'hafnium dopé silicium vers l'intégration Back-End-Of-Line	79
2.3.1	Les possibilités de recuits standards	79
2.3.1.1	L'oxyde d'hafnium non dopé	79
2.3.1.2	L'oxyde d'hafnium dopé silicium sans recuit de cristallisation	80
2.3.1.3	Recuit compatible BEOL à 500°C et implantation ionique	81
2.3.2	Le recuit Laser pour renforcer la cristallisation de la phase ferroélectrique	82
2.3.2.1	Profils de température dans l'empilement	82
2.3.2.2	Caractérisation GIXRD et In-Plane	84
2.3.2.3	Caractérisation des performances ferroélectriques obtenues après recuit laser	85

3 Intégration Back-End-Of-Line des matériaux à base d'oxyde d'hafnium 91

3.1	Enjeux expérimentaux de la mesure de condensateurs submicrométriques . . .	93
3.1.1	Structures de test Single 1C et Matrice 1C	93
3.1.2	Adaptation de la méthodologie de mesure aux condensateurs submicrométriques	94
3.2	Caractérisation des matériaux après intégration BEOL	96
3.2.1	Procédé de fabrication et vérifications structurales préliminaires . . .	97
3.2.1.1	Procédé de fabrication des condensateurs intégrés en BEOL	97
3.2.1.2	Caractérisation morphologique de l'empilement	98
3.2.1.3	Cristallisation de la phase orthorhombique	98
3.2.2	Propriétés ferroélectriques des condensateurs submicrométriques . . .	100
3.2.2.1	Problématiques du matériau $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	100
3.2.2.2	Variabilité de la polarisation et du champ coercitif du HSO	102
3.2.2.3	Influence de la surface du condensateur de HSO	103
3.2.2.4	Évaluation des performances en endurance des condensateurs submicrométriques	104
3.2.2.5	Efficacité de retournement des domaines ferroélectriques . . .	106
3.3	Caractérisation avancée et influence de l'espacement des condensateurs de la structure Matrice 1C	107
3.3.1	Cohérence des métriques en fonction de la surface	108
3.3.2	Influence de l'espacement des condensateurs dans la Matrice 1C . . .	110
3.3.2.1	Performances ferroélectriques	110
3.3.2.2	Extraction et reconstruction des pics de retournement ferroélectrique	112
3.3.2.3	Analyse de l'évolution des pics ferroélectriques en fonction de l'espacement des condensateurs	113
4	Matrice mémoire 1T-1C à base de matériaux ferroélectriques	119
4.1	Introduction	120
4.2	Description et principe de fonctionnement du circuit 16kbit	120
4.2.1	Présentation générale du circuit	121
4.2.2	Programmation et lecture d'une cellule 1T-1C	121
4.2.2.1	Programmation d'un point mémoire 1T-1C ferroélectrique	122
4.2.2.2	Lecture d'un point mémoire 1T-1C par un Sense Amplifier	123
4.2.2.3	Expression des tensions V_{BL}^0 et V_{BL}^1 dans une structure 1T-1C	124
4.3	Description du système de mesure et des échantillons	126
4.3.1	Mise en place du système de pilotage analogique et logique	126
4.3.2	Description des échantillons	127
4.3.2.1	Procédé de fabrication des dispositifs	128
4.3.2.2	Caractérisation des propriétés ferroélectriques des dispositifs 1T-1C unitaires	129
4.4	Mise en place et vérification de la fonctionnalité du circuit	130
4.4.1	Chronogrammes de lecture et d'écriture par les entrées logiques en mode Externe	131
4.4.1.1	Programmation parallèle sur toute une ligne WL/SL	131

4.4.1.2	Programmation unitaire : différence et utilité	132
4.4.2	Contrôle des éléments périphériques du circuit	133
4.4.2.1	Les Scan Chains	134
4.4.2.2	Les suiveurs de tension, ou Source Followers	135
4.4.2.3	Le Pulse Generator	136
4.5	Caractérisation des matrices 1T-1C de $0.36\mu\text{m}^2$ de surface de point mémoire	138
4.5.1	Mesure des distributions d'états mémoires	139
4.5.2	Fonctionnement à tension de référence V_{REF} fixe	140
4.5.3	Stabilité dans le temps de l'information programmée	141
4.5.3.1	Rétention de l'information accélérée en température à l'échelle de la matrice 16kbit	142
4.5.3.2	Résistance au test de Reflow Soldering, ou brasage	143
4.5.4	Évaluation de la rapidité des dispositifs FeRAM	145
4.5.5	Endurance des bitcells en environnement matriciel	149
4.6	Vers des nœuds technologiques plus avancés	152
4.6.1	Influence de la tension d'opération pour un point mémoire de $0.36\mu\text{m}^2$	153
4.6.2	Variation de la surface du point mémoire	154
4.6.3	Correction du gradient de C_{BL} induit par le circuit	156
4.6.4	Projection de la fenêtre mémoire et de la consommation	158
Conclusions et perspectives		163
Abréviations		169
Bibliographie		171

Chapitre 1

Introduction générale et contexte industriel des mémoires ferroélectriques

Table des matières du Chapitre 1

1.1	L'industrie des composants mémoire au cœur de la microélectronique de demain	14
1.1.1	Principales technologies commercialisées	15
1.1.2	Les mémoires non-volatiles émergentes	21
1.2	Les mémoires ferroélectriques, de Schrödinger à l'oxyde d'hafnium	26
1.2.1	Historique de la ferroélectricité	26
1.2.2	De la théorie à l'industrialisation : le PZT	28
1.2.3	Découverte de la ferroélectricité de l'oxyde d'hafnium	30
1.2.4	Applications mémoires du HfO ₂ ferroélectrique	32
1.3	Théorie de la ferroélectricité de l'oxyde d'hafnium et méthodes de caractérisation	35
1.3.1	Définition de la polarisation ferroélectrique	36
1.3.2	La ferroélectricité méta-stable de l'oxyde d'hafnium et ses dynamiques	40
1.3.3	Techniques et méthodologie de caractérisation électrique de la ferroélectricité	44
1.4	Objectifs de la thèse	50

Introduction

Depuis l'invention du transistor par Bardeen, Brattain et Shockley en 1947 [1] l'informatique et la microélectronique ont connu un essor exponentiel. Les circuits électroniques sont présents au quotidien dans la vie d'une grande partie de la population mondiale, que ce soit dans le milieu professionnel ou privé. L'avènement de l'Internet of Things (IoT), prônant l'interconnectivité des dispositifs électroniques, est annonciateur d'une continuité dans la croissance du secteur de la microélectronique, le particulier comme le professionnel étant de plus en plus amenés à constamment utiliser des appareils électroniques.

Cette demande croissante, tant en quantité qu'en performance des dispositifs électroniques, induit une forte dynamique d'innovation au sein des industries de la microélectronique. Le transistor de Bardeen, Brattain et Shockley n'a alors plus rien à voir avec les transistors qui équipent nos téléphones portables ou nos ordinateurs. Ce composant élémentaire représente un bon indicateur d'évolution et d'innovation de l'industrie de la microélectronique. En 1965, Gordon E. Moore prédit le doublement annuel de la complexité des circuits pour les dix années suivantes [2]. En 1975, Moore modifia son énoncé en précisant que c'est le nombre de transistors sur une puce qui double tous les deux ans [3]. Depuis, cet énoncé qui prit rapidement le nom de Loi de Moore, s'est avéré valide jusque récemment, où les progrès technologiques ont permis l'obtention de transistors d'échelle nanométrique, proche des limites physiques de dimensionnement. On parle depuis de More Moore lorsque l'on continue de diminuer la taille du composant alors que la tendance de la loi de Moore originelle n'est plus suivie. Pour explorer d'autres possibilités, on parle également de More Than Moore, proposant un changement de paradigme où l'amélioration des performances pour un besoin qui n'est pas dépendant de la taille de la puce électronique mais où la puce électronique est réfléchie en amont et optimisée grâce notamment aux matériaux, à la conception ou encore à de nouvelles architectures spécifiques [4].

L'industrie de la microélectronique représente en 2021 un marché de plus de 400 milliards de dollars et atteindra plus de 650 milliards en 2028 [5,6]. Ce marché se décompose en plusieurs domaines parmi lesquelles l'électronique de puissance, l'opto-électronique, les télé-communications ou encore le secteur des mémoires. C'est dans l'écosystème de ce dernier secteur que s'inscrivent les travaux de cette thèse. Il représente à lui seul de 20 à 30% du marché de la microélectronique, soit entre 100 et 130 milliards de dollars en 2021 [7,8]. Ce domaine spécifique est lui aussi en pleine croissance, et devrait engendrer près de 200 milliards de dollars en 2028.

1.1 L'industrie des composants mémoire au cœur de la microélectronique de demain

Le secteur des mémoires est un fer de lance de l'industrie de la microélectronique en plein essor. L'innovation technologique a permis d'améliorer les performances des mémoires dites conventionnelles, *i.e.* les mémoires commercialisées en masse depuis plus de trente ans, au cœur de la grande majorité des dispositifs électroniques. Cette section portera dans un premier temps sur la description de ces technologies et de leur fonction-

nement physique. Cependant, comme nous l'avons explicité avec le principe More Than Moore, il s'avère de nos jours nécessaire de réfléchir à une optimisation ne portant pas que sur le dimensionnement des dispositifs standards, et d'ainsi développer de nouvelles technologies mémoire. La seconde partie de cette section portera alors sur les technologies mémoire dites émergentes répondant à cette attente.

1.1.1 Principales technologies commercialisées

On distingue principalement deux types de mémoires : les mémoires volatiles et non-volatiles, ou non-volatile memory NVM. Une mémoire volatile conserve l'information binaire tant que le circuit est alimenté. Une mémoire non-volatile conserve quant à elle l'information même lorsque le circuit n'est plus sous tension. Si une mémoire non-volatile est préférable pour stocker sur le long terme une information, celle-ci ne consommant pas d'énergie en continu, les applications des mémoires volatiles et non-volatiles dépendent des performances recherchées. Parmi ces performances on peut retrouver la rapidité de programmation ou de lecture, l'endurance, mais aussi la consommation énergétique, le dimensionnement ou le coût de production. La figure 1.1 présente une grande partie des technologies mémoire commercialisées et émergentes. Parmi celles-ci, nous allons tout d'abord décrire les technologies commercialisées de mémoire volatile et non-volatile, *i.e.* SRAM, DRAM et Flash, pour mettre en évidence leurs limites et la nécessité croissante de tendre vers de nouvelles mémoires émergentes.

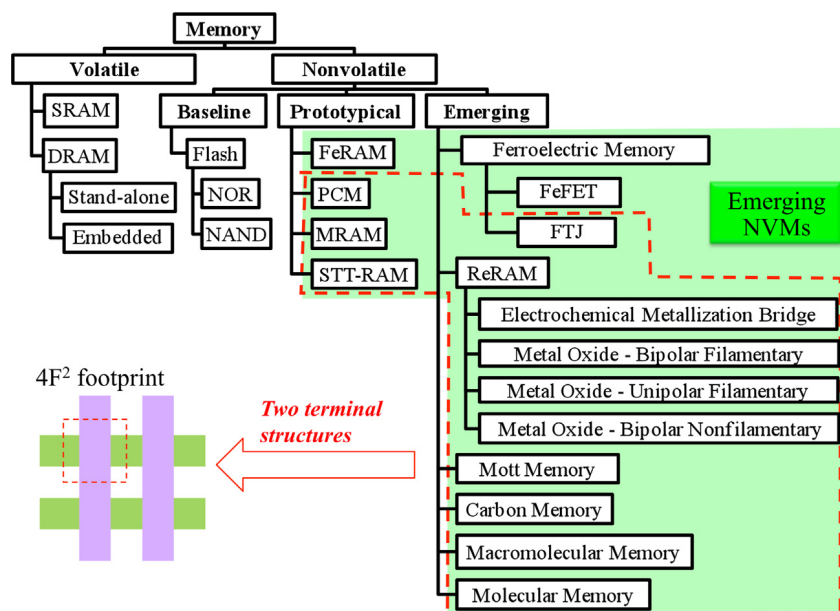


FIGURE 1.1 – Taxonomie des mémoires émergentes (sur fond vert) et conventionnelles (sans fond). Les technologies encadrées en pointillés rouge présentent l'intérêt d'avoir une structure basique à deux terminaux permettant une intégration très dense [9].

1.1.1.1 Les mémoires volatiles SRAM et DRAM

La Dynamic Random Access Memory DRAM fut brevetée en 1968 par Robert H. Dennard [10] et commercialisée en 1970 par Intel, sous le nom de Intel 1103. Cette mémoire repose sur une architecture très simple d'un condensateur et d'un transistor, soit ce que l'on nomme couramment une cellule 1T-1C. Dans cette structure, le condensateur permet de stocker l'information binaire, *i.e.* un bit 0 ou 1, tandis que le transistor permet l'accès spécifique à un condensateur dans une architecture matricielle. La figure 1.2 présente l'architecture 1T-1C d'une mémoire DRAM, où les lignes de la matrice sont la Bit Line BL, la Source Line SL et la ligne du transistor, la Word Line WL.

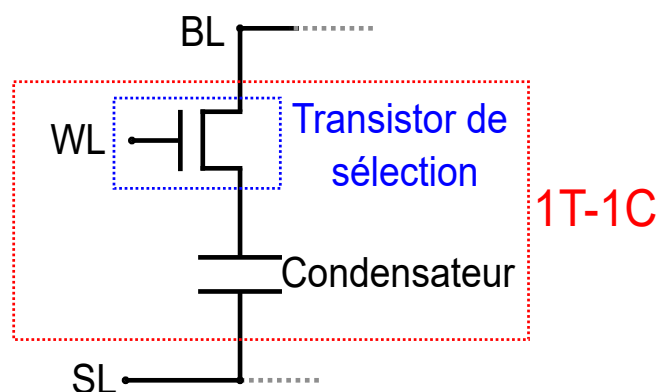


FIGURE 1.2 – Schéma de l'architecture 1T-1C d'une mémoire DRAM où un condensateur permet de stocker une charge représentant l'information binaire et un transistor permet la sélection d'une cellule dans un environnement matriciel.

L'information est programmée en appliquant une tension aux bornes du condensateur, en ayant rendu passant le transistor de sélection, induisant une charge sur ses électrodes. Lors de la lecture, cette charge est évacuée dans le circuit et l'information binaire est mesurée grâce à un dispositif de mesure appelé Sense Amplifier SA. La rétention de l'information de la DRAM est limitée par le fait que la charge accumulée aux bornes du condensateur fuie progressivement au travers du transistor d'accès. Ce type de mémoire nécessite alors un rafraîchissement fréquent de l'information, par exemple de 64ms à température inférieure à 85°C et 32ms au dessus pour une DRAM DDR3, d'après les standards du Joint Electron Device Engineering Council, ou JEDEC [11], ce qui sous-entend que le circuit doit être constamment alimenté, d'où sa définition de mémoire volatile.

La Static Random Access Memory, ou SRAM, fut brevetée quelques années avant la DRAM, en 1963 par Robert H. Horman [12] et arriva sur le marché des mémoires en 1965 grâce à la puce mémoire SP95 d'IBM. Cette mémoire est basée sur une architecture plus complexe que celle de la DRAM, généralement un ensemble de 6 transistors, *i.e.* une cellule 6T représentée à la figure 1.3. Les transistors M5 et M6 sont les transistors d'accès. Une SRAM repose sur l'utilisation d'un circuit logique à bascule (flip-flop) où M1, M2, M3 et M4 constituent deux inverseurs tête bêche qui permettent de stocker l'information logique.

Contrairement à la DRAM, l'état logique d'une SRAM est conservé dans le temps et ne se perd que lorsque la tension d'alimentation est coupée. Si l'architecture 6T est moins

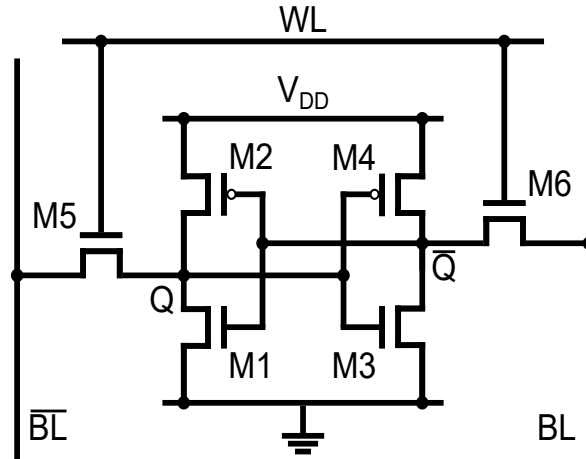


FIGURE 1.3 – Schéma de l'architecture 6T d'une mémoire SRAM.

dense que la structure 1T-1C, elle est cependant plus rapide à commuter et consomme moins d'énergie, la rendant particulièrement efficace en tant que mémoire cache pour un processeur. La DRAM est cependant moins coûteuse, ce qui la maintient compétitive par rapport à la SRAM. On retrouve à travers ces deux technologies la hiérarchie mémoire des architectures de type Von Neumann : les mémoires rapides et coûteuses en contact direct de l'unité de calcul, alors que les mémoires denses mais au temps de latence plus important seront chargées du stockage central.

1.1.1.2 Les mémoires non-volatiles Flash NOR et Flash NAND

La SRAM et la DRAM étant des mémoires volatiles, elles ne sont pas pertinentes pour du stockage d'information sur la longue durée. En revanche, il existe des NVM parmi lesquelles les mémoires Flash NOR et NAND, qui sont aujourd'hui les plus utilisées. Le concept de mémoire Flash fut inventé en 1980 par Fujio Masuoka [13] qui travaillait chez Toshiba, puis se distingua entre la Flash NOR en 1984 [14] et Flash NAND en 1987 [15].

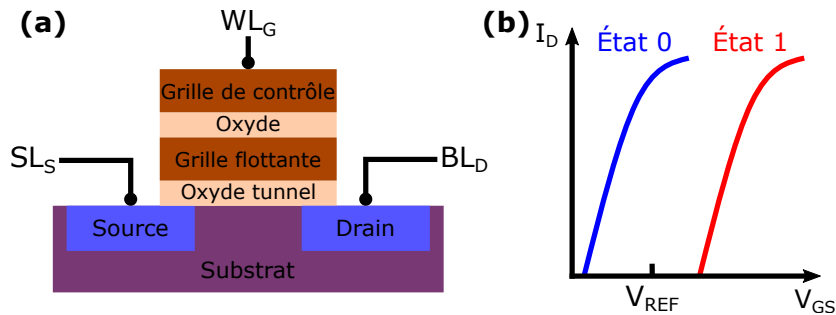


FIGURE 1.4 – (a) Schéma de la structure d'une mémoire Flash basée sur un MOSFET et (b) courant de drain I_D en fonction de la tension de grille V_{GS} pour les deux états d'une mémoire Flash.

Les Flash NAND furent les premières à être commercialisées en 1987 par Toshiba puis les Flash NOR arrivèrent sur le marché une année plus tard, en 1988 grâce à Intel. De nos jours, ces mémoires représentent plus de 90% du marché des NVM [16].

Une mémoire Flash repose sur l'utilisation d'une structure Metal–Oxide–Semiconductor Field-Effect transistor, ou MOSFET. Un MOSFET voit son courant Source-Drain modulé par la tension appliquée à sa grille de contrôle. Dans un MOSFET, Source et Drain sont dopés de la même façon tandis que le substrat est dopé par le porteur opposé, *e.g.* P si Source et Drain sont dopés N. Lorsque la différence de potentiel DDP entre la grille et le substrat augmente, les porteurs majoritaires sont repoussés de l'interface grille/substrat, créant progressivement une zone d'inversion à cette interface que l'on nomme canal de conduction, ce qui induit un courant non nul entre la Source et le Drain à V_{DS} non nul.

Le transistor mémoire possède une grille flottante supplémentaire à la grille de contrôle, comme présenté à la figure 1.4 (a). Cette grille flottante est comprise entre deux oxydes, où l'oxyde à l'interface avec le substrat permet le passage de charges dans la grille flottante par effet tunnel, d'où son nom : oxyde tunnel. L'état mémoire est programmé en injectant des charges dans cette grille flottante, charges qui sont alors piégées entre ces deux oxydes. Cela modifie la tension de seuil V_T , *i.e.* la DDP minimale entre Source et Grille pour créer le canal de conduction du MOSFET.

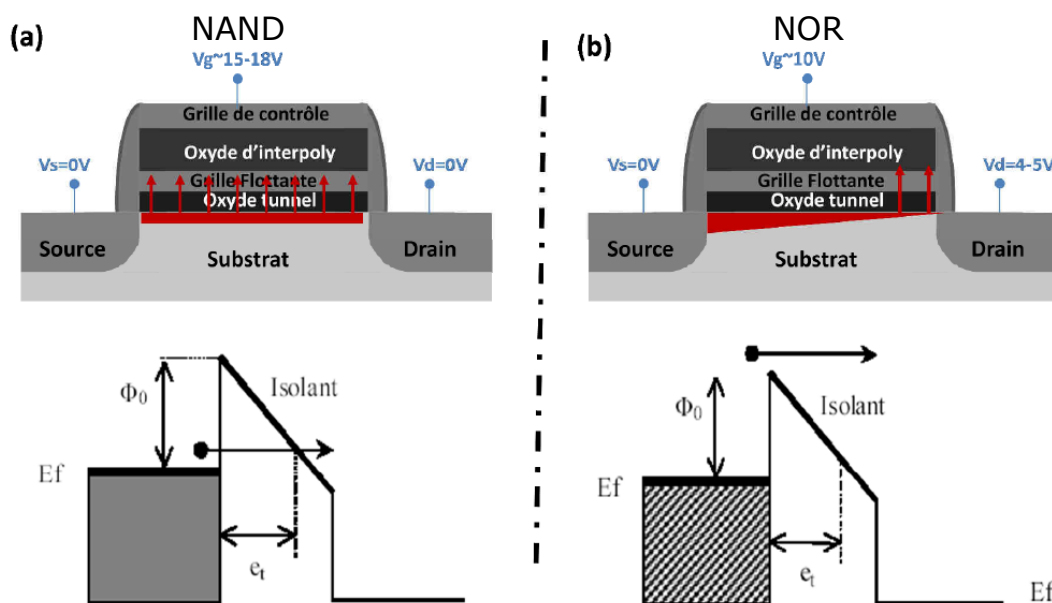


FIGURE 1.5 – Mécanismes d'écriture des transistors mémoire et structure de bandes, en (a) pour une Flash NAND par effet tunnel Fowler-Nordheim et en (b) pour une Flash NOR par injection de porteurs chauds. Les flèches rouges représentent les zones où les électrons peuvent transiter à travers l'oxyde tunnel [17].

Deux caractéristiques $I_D(V_{GS})$ décrivent ainsi les états mémoire : l'état 0 correspond à l'absence d'électrons dans la grille flottante et l'état 1, à la présence d'électrons augmentant le V_T de la structure MOSFET, comme schématisé à la figure 1.4 (b). Pour effectuer une lecture, on mesure le courant I_D entre le drain et la source en appliquant une tension V_{GS} permettant de discriminer les deux états mémoire : un courant faible correspond à l'état 1 tandis qu'un courant élevé correspond à un état 0.

Les mémoires Flash NOR et NAND reposent toutes deux sur ce type de transistors mémoire. Cependant, on les distingue par leur architecture matricielle et surtout par le

mécanisme utilisé pour injecter des électrons dans la grille flottante. La mémoire Flash NAND repose sur l'effet tunnel Fowler-Nordheim. Une forte tension est appliquée sur la grille de contrôle tout en conservant Drain et Source à la masse, ce qui va courber la barrière de potentiel de l'oxyde tunnel et permettre aux électrons de le traverser pour s'accumuler dans la grille flottante. Ce mécanisme ainsi que la structure de bandes correspondante sont représentés à la figure 1.5 (a) [17].

Dans l'architecture NOR, la Grille et le Drain sont polarisés pour permettre le mécanisme nommé injection par porteurs chauds. Les électrons sont dans un premier temps accélérés de la Source vers le Drain dans le canal de conduction du transistor. À l'approche du Drain, certains d'entre eux auront acquis suffisamment d'énergie pour passer au dessus de la barrière de l'oxyde tunnel, le potentiel positif de la grille de contrôle finissant par les attirer vers la grille flottante, voir figure 1.5 (b) [17]. Ce type d'injection présente l'avantage d'être plus rapide mais est plus énergivore car il est nécessaire de générer un courant de Drain, contrairement à la programmation Fowler-Nordheim.

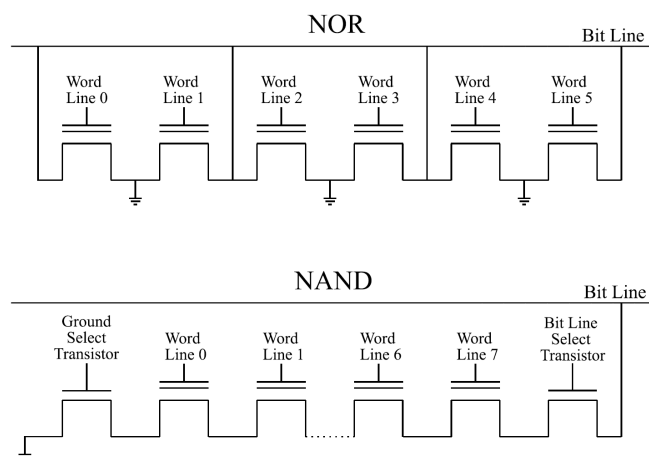


FIGURE 1.6 – Architecture matricielle d'une mémoire Flash NOR en haut, et Flash NAND en bas, permettant respectivement un adressage aléatoire et séquentiel [18].

Dans l'architecture matricielle d'une Flash NOR, l'un des côtés, Drain ou Source, du MOSFET est polarisé à la masse constamment, comme présenté à la figure 1.6 [18]. De cette façon, il est possible d'adresser une cellule unitaire qui permet un accès aléatoire rapide particulièrement adapté au stockage de programmes et à leur exécution dans les applications embarquées. L'architecture NAND est quant à elle basée sur la mise en série des MOSFET, permettant une plus grande densité de points mémoire. Cette architecture est également très avantageuse pour programmer un bloc complet, mais l'accès aléatoire n'est pas utilisé sur ce type d'architecture car trop long et énergivore. On lui préfère un accès séquentiel par bloc parfaitement adapté aux applications de stockage de masse, *i.e.* clés USB, SSD, etc.

1.1.1.3 Les limitations des mémoires conventionnelles

Ces quatre technologies représentent la grande majorité du marché des mémoires et les industriels continuent de rivaliser d'ingéniosité pour accroître les performances de

ces dispositifs. Cependant, certaines limitations tendent à diriger les recherches récentes vers de nouveaux types de mémoires. Parmi ces limitations, on peut facilement citer la volatilité de l'information pour les mémoires SRAM ou DRAM. Notons que cette volatilité trouve tout de même son intérêt dans certaines applications, *e.g.* avec la DRAM où il est pratique de supprimer naturellement les informations stockées sans opérations spécifiques. La mémoire SRAM, de par son design est peu dense tout comme la DRAM qui présente une latence très importante.

Les mémoires Flash sont quant à elles des NVM, mais présentent d'autres limitations. Tout d'abord, les tensions à appliquer sur la grille de contrôle ou les Drains/Sources sont importantes, de 10 à 25V [19, 20], comme représenté à la figure 1.5. Le circuit étant alimenté à des tensions plus faibles, il est nécessaire d'utiliser des convertisseurs à pompe de charge qui, en plus d'augmenter la consommation énergétique du circuit, prennent une place non négligeable sur la puce et sont difficilement miniaturisables. Outre ce premier challenge lorsque l'on souhaite densifier une mémoire Flash, une seconde difficulté apparaît avec la diminution de l'épaisseur des couches diélectriques au sein du MOSFET, nécessaire pour le pilotage à basse tension et donc une réduction de la consommation énergétique. On peut notamment citer la difficulté à maintenir le couplage entre la grille de contrôle et la grille flottante [21]. Cette diminution des épaisseurs des couches diélectriques s'accompagne également de soucis de rétention de l'information en dessous des 10nm, cette couche étant trop fine pour jouer correctement son rôle d'isolant et empêcher la perte de charge par courant de fuite. Par ailleurs, en réduisant la taille de la grille flottante, le nombre d'électrons stockés diminue également, ce qui augmente la dispersion du temps de programmation et de la fenêtre mémoire [22]. En outre, les technologies Flash atteignent très difficilement le million de cycles d'endurance [23] ce qui, comparé à d'autres technologies mémoire émergentes, est très faible.

Pour finir, actuellement les systèmes informatiques souffrent d'une séparation forte entre unité de calcul et mémoires. Or, dès lors que la quantité de données à manipuler devient importante, cette segmentation, permettant une optimisation extrême de chacune des parties, se révèle désastreuse aussi bien en terme de performance que de consommation énergétique. On parle généralement du Von Neumann Bottleneck, proposé en 1977 par J. Backus [24], pour décrire le fait que la vitesse d'exécution n'est pas limitée par la vitesse de calcul du processeur ni par celle de la lecture de la mémoire de stockage, mais bien par la connexion physique entre ces deux entités. Pour y pallier, il est de plus en plus proposé de mettre en place des architectures dites Logic in Memory ou encore In Memory Computing, visant à réaliser une partie du calcul directement en mémoire, limitant ainsi les transferts d'informations. Pour ce faire, il est donc nécessaire d'utiliser une mémoire à la fois rapide comme les SRAM, mais également non-volatile, à faible consommation énergétique, de faible dimension et peu coûteuse. De plus, les mémoires conventionnelles sont intégrées aux étapes de fabrication du Front-End-Of-Line FEOL, c'est-à-dire les premiers niveaux de fabrication, avant les interconnexions métalliques. Dans cette optique de rapprochement entre mémoire de stockage et processeur, l'intégration du point mémoire au niveau du Back-End-Of-Line BEOL est préférable et permet une plus grande versatilité d'architectures. Certaines mémoires non-volatiles émergentes répondent à ce critère, et notamment la mémoire ferroélectrique FeRAM, objet de ce manuscrit.

1.1.2 Les mémoires non-volatiles émergentes

On comprend ainsi que les mémoires conventionnelles ont de plus en plus de difficultés à répondre aux besoins des nouvelles technologies. C'est pourquoi de nouvelles NVM, parmi lesquelles les mémoires ferroélectriques, voient le jour et font progressivement partie de l'écosystème de l'industrie des mémoires. Avant d'introduire les mémoires ferroélectriques, cette section va présenter d'autres mémoires émergentes, intégrées au niveau du BEOL comme la FeRAM, dans le but d'apporter un point de comparaison avec des technologies de la même catégorie, à des niveaux de maturité plus similaires. Parmi les technologies émergentes représentées à la figure 1.1, nous allons tout d'abord décrire les mémoires magnétiques MRAM, puis les mémoires à changement de phase PCRAM et pour finir, les mémoires résistives OxRAM.

1.1.2.1 La mémoire MRAM tirant profit du magnétisme de la matière

Suite à la découverte de la magnétorésistance géante en 1988, le magnétisme des matériaux ainsi que les propriétés du spin de l'électron sont appliqués au domaine des mémoires. C'est grâce à l'équipe française d'Albert Fert [25] et allemande de Peter Grünberg [26] que la modulation de la résistance électrique d'un système Fe/Cr en fonction du champ magnétique appliqué a été mise en évidence. Les mémoires MRAM reposent ainsi sur l'utilisation du magnétisme de la matière, et plus précisément sur l'effet de Magnétorésistance à effet Tunnel. Il existe plusieurs types de magnétisme, à savoir ferromagnétisme, ferrimagnétisme et antiferromagnétisme qui diffèrent de par l'orientation des domaines magnétiques dans le matériau. Pour simplifier, nous n'allons évoquer que le ferromagnétisme, où tous les domaines magnétiques sont orientés selon le même axe.

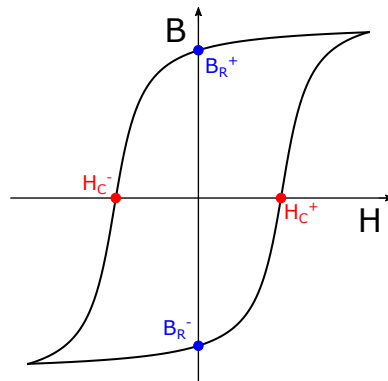


FIGURE 1.7 – Cycle d'hystérésis d'un matériau ferromagnétique.

Un matériau ferromagnétique possède un champ d'induction magnétique B non nul en l'absence de champ extérieur. On parle alors de champ d'induction magnétique rémanent B_R , qui peut ainsi être positif B_R^+ ou négatif B_R^- en fonction de l'orientation des domaines magnétiques. Il est possible de réorienter ces domaines en appliquant un champ magnétique d'excitation externe H . Pour ce faire, il faut fournir suffisamment d'énergie aux domaines pour franchir une barrière de potentiel, limite que l'on nomme le champ coercitif H_C permettant la commutation des domaines ferromagnétiques. On peut alors représenter à la figure 1.7 le cycle d'hystérésis du matériau ferromagnétique, où les différentes

métriques sont reportées. Une mémoire MRAM va quant à elle utiliser deux matériaux ferromagnétiques séparés par un isolant fin qui fait office d'oxyde tunnel. L'un des matériaux est un ferromagnétique dur, *i.e.* la valeur de son champ magnétique coercitif est importante et il sera difficile de changer son aimantation, tandis que l'autre matériaux est un ferromagnétique doux, dont le champ magnétique coercitif est faible. C'est ce second matériau qui permettra la programmation des états mémoire en modifiant son orientation de B_R . La figure 1.8 [27] représente ainsi l'architecture basique d'une MRAM, soit une Jonction Magnétique Tunnel.

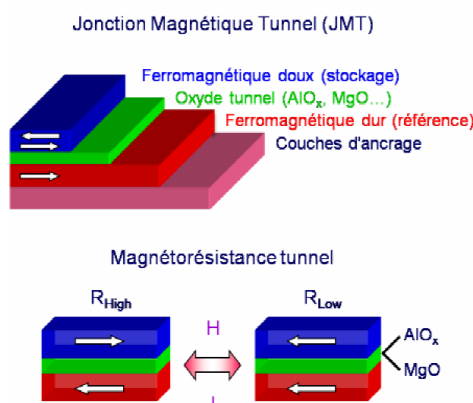


FIGURE 1.8 – Schéma d'une jonction magnétique tunnel constituée d'un oxyde tunnel placé entre deux couches ferromagnétiques dont les aimantations sont soit parallèles (résistance faible) soit antiparallèles (résistance forte) [27].

Dans cette structure, la résistance de l'empilement va dépendre de l'orientation magnétique des couches ferromagnétiques. Comme explicité à la figure 1.8, la résistance électrique va être plus importante si l'orientation des domaines ferromagnétiques est antiparallèle tandis qu'elle sera plus faible si l'orientation est commune, ou parallèle. De plus, il suffira de programmer le ferromagnétique doux pour stocker l'information logique, ce qui ne modifiera pas l'orientation du ferromagnétique dur. On distingue la STT MRAM, pour Spin-transfer torque MRAM, de la SOT MRAM, pour Spin-orbite torque MRAM, par la méthode de programmation de l'information. La programmation d'une STT MRAM s'opère en appliquant un courant à travers l'empilement. Ce courant est polarisé en spin, c'est-à-dire qu'une seule orientation de spin est conservée, et va ré-orienter les domaines ferromagnétiques grâce à l'effet de transfert de spin, ou Spin-Transfer Torque. Dans le cas d'une SOT MRAM, le courant de programmation est parallèle à la couche ferromagnétique de stockage, dans une couche de métal. Le passage de ce courant de charge induit un courant de spin par effet Hall dans le métal, courant de spin ayant une certaine orientation qui va permettre la programmation de l'état souhaité. Les mémoires magnétiques ont montré de très bonnes performances, avec des temps d'écriture et de lecture de l'ordre de la dizaine de nanosecondes, une faible consommation énergétique, une très bonne rétention de l'information à 10 ans et une endurance qui se dit souvent infinie, de 10^{12} à 10^{15} cycles [28, 29]. Cependant, ces performances proviennent de compromis avec le courant de programmation. Il est possible d'obtenir une grande endurance en appliquant un courant

de programmation faible mais cela sera au détriment de la rétention de l'information. À l'inverse, un fort courant de programmation assure une bonne rétention de l'information mais dégrade l'empilement et donc diminue l'endurance. On parle ainsi de versatilité de la mémoire, *i.e.* ces caractéristiques peuvent être ajustées en fonction de l'application visée.

1.1.2.2 La mémoire PCRAM profitant du changement de phase cristalline

Le concept de mémoire à changement de phase PCRAM fut introduit en 1968 par Stanford R. Ovshinsky [30] après avoir observé une transition de phase, réversible, de certains alliages. L'état amorphe s'avère fortement résistif tandis que l'état cristallin l'est faiblement, ce qui est propice à la distinction de deux états mémoire. Charles H. Sie démontra par la suite, en 1969, la faisabilité d'une telle mémoire en introduisant un matériau dit chalcogénure dans une matrice de diodes [31, 32].

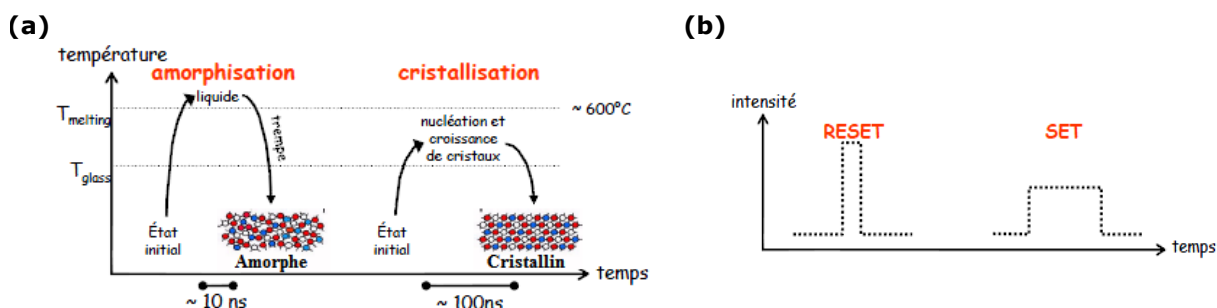


FIGURE 1.9 – (a) Schéma des conditions thermiques des transitions de phase d'une PCRAM et (b) pulses électriques à appliquer lors des opérations de Set et de Reset [33].

Dans une PCRAM, un matériau chalcogénure, *i.e.* un dianion comprenant un élément de la famille des chalcogènes tel que le $\text{Ge}_2\text{Sb}_2\text{Te}_5$ noté GST qui est l'un des matériaux de référence, est soumis à un pulse de tension ou de courant. Celui-ci va permettre l'élévation de température induisant la cristallisation ou l'amorphisation du matériau. L'amorphisation, que l'on nomme état Reset, nécessite un pulse de tension de forte amplitude, permettant au matériau de dépasser sa température de fusion, puis est suivi d'une redescente rapide induisant la trempe du matériau ce qui le place dans un état amorphe. L'état cristallisé, ou Set, s'obtient avec un pulse de tension de moindre amplitude, mais plus long, qui permet d'obtenir une transition vitreuse du matériau et ainsi une phase cristallisée. Ces deux mécanismes sont résumés dans la figure 1.9 [33].

La lecture de l'état mémoire est alors basée sur la mesure de la résistance de l'empilement, où plusieurs ordres de grandeur de résistance peuvent séparer l'état amorphe de l'état cristallin. La résistance en fonction de la température d'une PCRAM est présentée à la figure 1.10 [34], où cinq décades séparent les deux états et où une transition nette entre phase amorphe et cristalline est observée autour de 200°C . La PCRAM a déjà rejoint le marché industriel chez Samsung, IBM, Micron ou encore STMicroelectronics et ce notamment grâce au dimensionnement agressif qui est possible avec cette technologie, la perspective d'intégration jusqu'au nœud 5nm PCRAM ayant été démontrée [35]. On peut également noter les performances en endurance, jusqu'à 10^{12} cycles, ainsi que la résistance aux radiations parmi les points forts de la PCRAM. D'un autre côté, la PCRAM nécessite

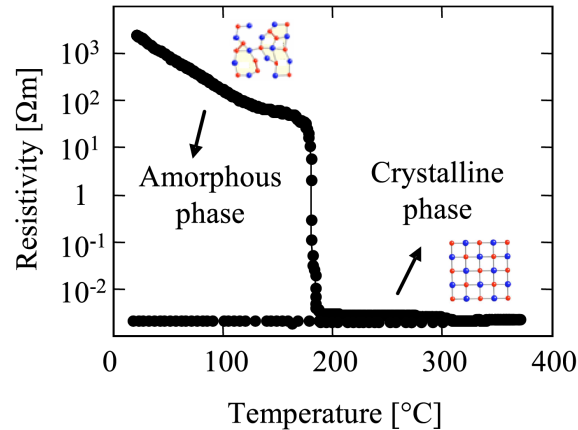


FIGURE 1.10 – Résistance en fonction de la température d’une PCRAM où les deux phases du matériau possèdent une résistance bien distincte [34].

un fort courant de programmation pour atteindre les températures de transition de phase, augmentant drastiquement la consommation énergétique de la puce, et l’étape de SET est relativement longue, de l’ordre de la centaine de nanosecondes. Pour finir, la stabilité thermique à haute température du matériau à changement de phase est également critique dans un écosystème industriel où les composants doivent supporter des températures de fonctionnement de plus de 150°C, voir même 250°C pour certaines étapes de fabrication des puces [34].

1.1.2.3 La mémoire OxRAM basée sur le claquage diélectrique d’un oxyde

La mémoire OxRAM fait partie d’une famille de mémoires plus importante : les Resistive RAM, ou RRAM, qui furent tout d’abord introduites en 1964 par P. H. Nielsen [36]. Sur la base de travaux de 1954 [37] portant sur la migration d’atomes d’argent au travers d’un matériau poreux, un effet mémoire basé sur la formation d’un filament conducteur créé par l’application d’une DDP entre la Top Electrode TE et la Bottom Electrode BE dans une structure Métal/Isolant/Métal (MIM), plus précisément Au/SiO/Au, fut proposé. Ces dispositifs, tout comme la PCRAM et la MRAM, sont ainsi des mémoires à commutation de résistance, *i.e.* les deux états logiques sont définis par deux valeurs de résistance d’un même empilement. Ce mécanisme, lorsqu’il est contrôlé, est réversible. Cependant, avec l’essor des mémoires Flash dans les années 70, les RRAM furent mises de côté jusqu’au début des années 2000. En 2004, Samsung démontra l’utilité d’oxydes métalliques de transition tel que le Ta₂O₅, le NiO ou le HfO₂ pour réaliser des dispositifs mémoire résistifs [38].

L’utilisation de ces oxydes métalliques de transition définit le sous groupe des OxRAM, où le filament conducteur est créé par la migration et l’accumulation localisée de lacunes en oxygène. En pratique, l’une des électrodes doit contenir un matériau oxydable, *e.g.* du Tantale Ta ou du Titane Ti, pour fournir ces lacunes en oxygène à l’oxyde métallique de transition. Le mécanisme utilisé pour obtenir un effet mémoire est schématisé à la figure 1.11. Contrairement aux MRAM et PCRAM présentées précédemment, l’OxRAM possède une opération supplémentaire nommé forming, représenté par les schémas a) et

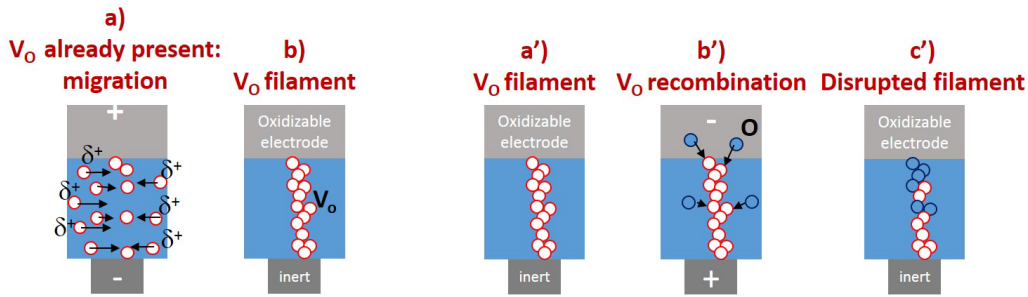


FIGURE 1.11 – Principe physique du fonctionnement mémoire d’une OxRAM, où **a)** et **b)** présentent l’étape de forming du dispositif. **a’), b’)** et **c’)** sont respectivement l’état de SET, la recombinaison des lacunes en oxygène pour passer de l’état SET à RESET et l’état de RESET [39].

b). En effet, lors de la première utilisation de la cellule mémoire OxRAM, les lacunes en oxygène sont réparties de façon homogène et aléatoire dans le matériau et celui-ci est alors très isolant. L’étape de forming consiste à appliquer une forte DDP aux bornes de l’isolant (figure 1.11 **a)**), pour provoquer la création du premier filament conducteur (figure 1.11 **b)**). Cette étape n’est nécessaire qu’une seule fois dans la vie du dispositif mémoire et requiert également la présence d’un transistor en série avec la résistance MIM pour contrôler le courant lors du forming et éviter le claquage diélectrique total du matériau ou encore la destruction des circuits périphériques.

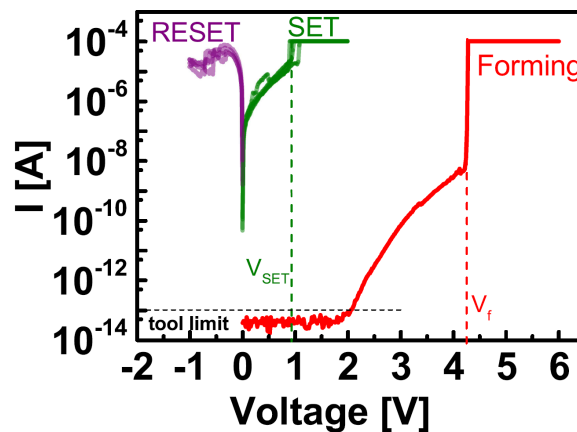


FIGURE 1.12 – Mesure du courant en fonction de la tension appliquée sur une OxRAM dans l’état Reset, Set et lors du forming au sein d’une structure 1T-1C [39].

Le cycle de vie standard de l’OxRAM commence ensuite et le filament conducteur (figure 1.11 **a’)**) peut se résorber par l’application d’une DDP opposée (figure 1.11 **b’)**) favorisant la recombinaison des lacunes en oxygène du filament. Lors de cette étape nommée Reset, la tension nécessaire est faible, comme représenté à la figure 1.12, pour ne permettre la recombinaison que de quelques lacunes en oxygène. Cela est suffisant pour obtenir une différence de résistance de plusieurs décades et permet, lors de l’étape inverse nommée Set, *i.e.* lorsque l’on reforme le filament conducteur, l’utilisation d’une tension

bien plus faible que la tension de forming V_f . Pour finir, la lecture de l'état mémoire consiste en une mesure de la résistance du matériau et est non-destructive tant que la tension de lecture est inférieure à la tension permettant la formation ou la destruction du filament conducteur. Ce type de mémoire présente des temps d'opérations aussi courts que la MRAM. De la même façon cependant, l'énergie de programmation et de lecture est importante étant donné la nature même de ces opérations, reposant respectivement sur la migration de charges dans le diélectrique ou sur le courant à travers l'empilement. L'endurance de ces dispositifs atteint difficilement le million de cycles et la variabilité des états, en particulier l'état RESET, est importante du fait de la variation du filament conducteur [40].

1.2 Les mémoires ferroélectriques, de Schrödinger à l'oxyde d'hafnium

Les concepts de mémoires sont multiples et profitent de mécanismes physiques très diversifiés. Nous avons vu qu'il est complexe d'obtenir une mémoire universelle dont toutes les performances sont optimales. Nous introduirons dans cette section le concept de ferroélectricité, de sa découverte au début du XX^e siècle jusqu'à l'industrialisation de mémoires à base de matériaux conventionnels, *i.e.* différent de l'oxyde d'hafnium. Ces mémoires sont particulièrement commercialisées pour des marchés de niche tels que les applications à très faible consommation pour les dispositifs portatifs. Par la suite, nous présenterons le matériau au cœur de ce manuscrit, l'oxyde d'hafnium, et en particulier la découverte de ses propriétés ferroélectriques, qui en font un bon candidat pour de nouvelles mémoires ferroélectriques. L'utilisation de ce matériau a pour but d'agrandir le champ des applications des mémoires ferroélectriques, voir même de concurrencer les mémoires Flash. Pour finir, une brève description des principes de fonctionnement de trois mémoires utilisant les propriétés ferroélectriques d'un matériau sera apportée, et notamment le concept des FeRAM sur lequel repose ce manuscrit.

1.2.1 Historique de la ferroélectricité

Le phénomène de ferroélectricité fut pour la première fois observé expérimentalement en 1920 par J. Valasek sur du tartrate double de sodium et potassium, communément appelé Sel de Seignette [41]. Ce phénomène avait au préalable été prédit par E. Schrödinger en 1912 [42] par analogie avec le ferromagnétisme reporté peu de temps avant, en 1907, par P. L. Weiss [43]. Ainsi, le champ d'induction magnétique B et le champ d'excitation magnétique H du domaine magnétique sont représentés respectivement par la polarisation P et le champ E du domaine électrique. Le matériau possède alors une polarisation électrique rémanente, notée P_R ou $2.P_R$, et un champ électrique coercitif, noté E_C qui font écho respectivement à B_R et H_C pour le ferromagnétisme. Les figures 1.13 sont les premiers cycles d'hystérésis ferroélectriques Polarisation P - Champ électrique E , communément dénommés P - E , mesurés sur du sel de Seignette $\text{KNaC}_4\text{H}_4\text{O}_6 \cdot 4\text{H}_2\text{O}$ à **(a)** 23°C et **(b)** 0°C.

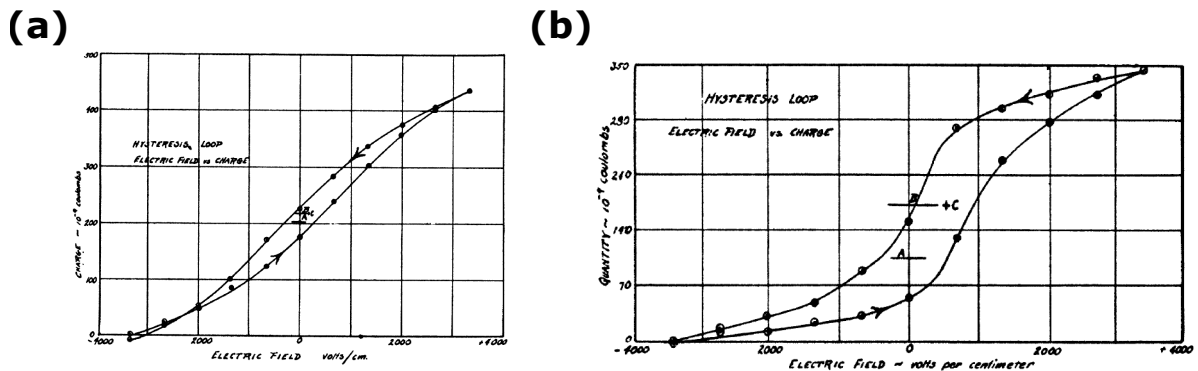


FIGURE 1.13 – Premiers cycles d’hystérésis P-E mesurés sur du sel de Seignette à (a) 23°C et (b) 0°C [41].

Le sel de Seignette resta pendant quelques années le seul ferroélectrique connu, puis G. Busch et P. Scherrer démontrèrent le caractère ferroélectrique du sel KH_2PO_4 en 1935 [44]. Par la suite, ils firent le lien entre ce phénomène et la présence de dipôles au sein du cristal, dus au mouvement des atomes d’hydrogène dans une liaison O-H-O [45]. Ce fut ensuite en 1941 que l’un des ferroélectriques les plus connus fut découvert par H. Thurnauer et J. Deaderick : le Titanate de Baryum BaTiO_3 [46]. Cette céramique s’avère être la première structure perovskite, *i.e.* une structure cristalline cubique commune à beaucoup d’oxydes de formule générale ABO_3 , entièrement fabriquée, et était dans un premier temps remarquée pour sa grande constante diélectrique de 1100. Cette particularité motiva la poursuite de la recherche sur ce matériau, et ses propriétés ferroélectriques furent mises en évidence en 1946 [47]. Ainsi, la ferroélectricité n’était plus uniquement en lien avec la présence de liaisons hydrogènes. Les structures perovskites, dont un exemple est représenté à la figure 1.14 (a) pour le cas du BaTiO_3 [48], furent et restent de premier intérêt pour l’étude du phénomène de la ferroélectricité.

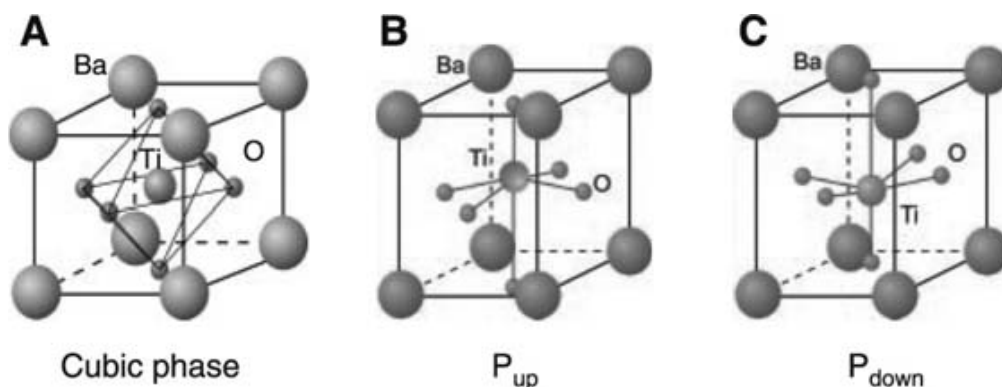


FIGURE 1.14 – (a) structure perovskite du BaTiO_3 en phase cubique et (b) et (c) les deux mailles cristallines des états de polarisation électrique rémanente correspondants [48].

C’est sur ce type de structure que repose l’une des théories de la ferroélectricité la plus complète, le modèle de Landau-Devonshire-Ginzburg, qui résulte d’approches thermodynamiques macroscopiques [49]. Mais si le BaTiO_3 est un matériau déterminant dans l’histoire des matériaux ferroélectriques, c’est un de ses cousins de la même famille des

perovskites qui fut et demeure primordial pour l'industrie des dispositifs mémoire ferroélectriques. Le titanate de plomb $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, communément appelé PZT, fut ainsi découvert au début des années 50 par E. Sawaguchi [50, 51]. Comparé au BaTiO_3 , le PZT est ferroélectrique sur une plus grande gamme de température, gamme mise en évidence par son diagramme de phase à la figure 1.15, mais s'avère également plus résistant aux contraintes mécaniques et est moins coûteux que le titanate de baryum, en faisant un remplaçant de premier choix pour des applications industrielles. C'est justement à cette même période, en 1952, que le concept d'une mémoire se basant sur la propriété ferroélectrique d'un matériau a été proposé à l'issue de la thèse de A. Buck [52] et que l'industrie des mémoires ferroélectriques naquit.

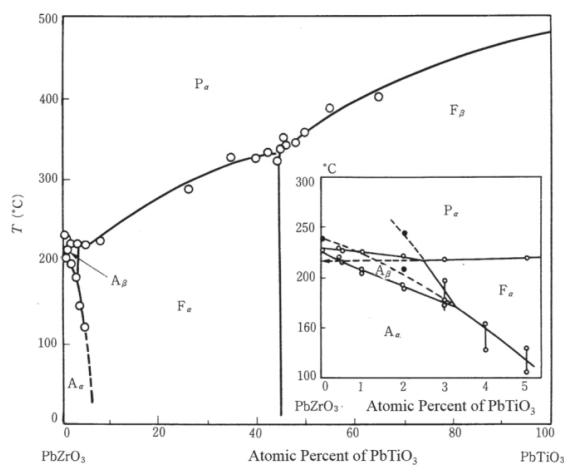


FIGURE 1.15 – Diagramme de phase du titanate-zirconate de plomb PZT [50].

1.2.2 De la théorie à l'industrialisation : le PZT

Dans sa thèse de 1952 pour le Massachusetts Institute of Technology, A. Buck proposa l'utilisation d'un condensateur à base de titanate de baryum pour stocker l'information binaire en utilisant les propriétés ferroélectriques de ce matériau [52]. Il définit les deux états mémoire grâce à la bipolarité de la polarisation rémanente. L'état 1 correspond à la polarisation rémanente positive tandis que l'état 0 correspond à la polarisation rémanente négative, *i.e.* programmé respectivement par une tension positive et négative. La lecture de l'état mémoire est alors réalisée par un pulse de tension négatif. Ce pulse de lecture provoquera le retournement des domaines ferroélectriques de polarité opposée, c'est-à-dire uniquement dans le cas d'un condensateur programmé à l'état 1, ce qui aura par ailleurs pour effet de détruire l'état 1 programmé. Ainsi, la discrimination entre état 0 et 1 découle du retournement, ou non, des domaines ferroélectriques. A. Buck se propose d'observer ce basculement grâce au courant transitoire qu'il induit aux bornes du condensateur, courant sur lequel nous reviendrons au chapitre 1 section 1.3. Il conclut sa thèse en proposant une architecture très simple, et donc peu coûteuse, de matrice mémoire dont le schéma est donné à la figure 1.16 (a). Malheureusement, bien que tout le principe de fonctionnement de la matrice fut expliqué et qu'un premier essai expérimental fut réalisé, comme le montre la photographie 1.16 (b), les performances du BaTiO_3 dans

l'environnement matriciel furent inférieures à celles du matériau bulk testé en amont et ne permirent pas le fonctionnement de la matrice mémoire.

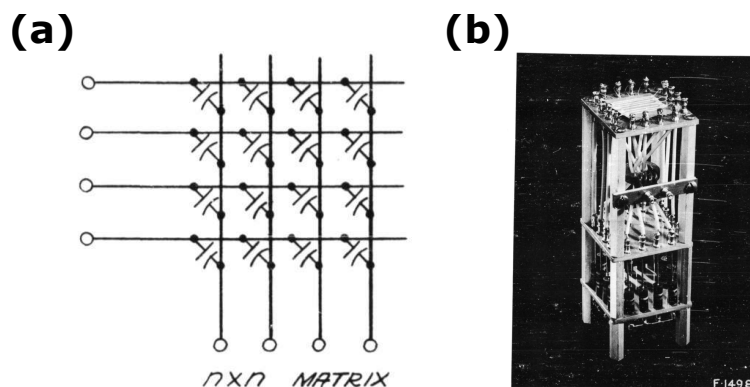


FIGURE 1.16 – (a) Schéma de la matrice mémoire à base de condensateurs ferroélectriques et (b) photographie du premier essai d'une matrice mémoire ferroélectrique 8x8 sur la base de l'architecture (a) [52].

Cette architecture fut la première à utiliser les propriétés de la ferroélectricité pour stocker une information binaire et A. Buck mit d'ores et déjà en évidence l'une des limitations possibles de ces mémoires : le caractère destructif de la lecture. En effet, si un condensateur à l'état 1 voit ses domaines basculer lors de la lecture, ce condensateur est donc reprogrammé à l'état 0 pendant cette lecture. Pour conserver l'intégrité de l'information, il faut prévoir un système de réécriture, ou write-back WB. Mais à cette époque, la principale limitation était la fabrication d'une céramique suffisamment fine pour permettre l'application d'un champ électrique supérieur au champ coercitif du matériau, de l'ordre du kV/cm.

En 1995, S. Thakoor et A. Thakoor présentèrent une mémoire utilisant un condensateur ferroélectrique à base de PZT de 150 à 200nm d'épaisseur [53]. Cette mémoire reposait sur le fait que le signe de la réponse photoélectrique du matériau dépend de l'orientation de la polarisation ferroélectrique. La lecture de l'état mémoire par photo-excitation s'avère non destructive tant que l'énergie du faisceau est inférieure à la largeur de la bande interdite du matériau. Un an plus tard, Samsung Electronics commercialisa la première mémoire ferroélectrique 4Mb de type FeRAM à base de PZT, concept sur lequel nous reviendrons à la section 1.2.4, et qui s'avéra le plus utilisé par la suite dans l'industrie. Ce fut ensuite Hyundai Electronics qui se positionna en 1998 sur le marché des mémoires ferroélectriques FeRAM.

De nos jours, plusieurs industriels ont développé des FeRAM essentiellement à base de PZT tels que Infineon, Cypress, Fujitsu, IBM, Samsung ou encore Texas Instruments. Si cette technologie arriva à maturité industrielle dans les années 90, le reste du monde de la microélectronique continua également de progresser tant et si bien que les limites de la FeRAM conventionnelle furent rapidement atteintes. Dans un premier temps, l'utilisation de matériaux perovskites de fabrication complexe n'est pas en adéquation avec la volonté de simplifier au maximum les procédés de fabrication pour en réduire leur coût. Le PZT, bien qu'étant un matériau ferroélectrique de premier ordre, nécessite l'utilisation de plomb ce qui est également un problème lors de la fabrication, ce matériau étant contaminant

pour une ligne de production standard. Pour finir, pour conserver un bon couplage capacitif, l'épaisseur de ces matériaux ferroélectriques, possédant une permittivité électrique ϵ_r très élevée, était typiquement de l'ordre de 70nm. Ces trois limitations ne permirent pas de dépasser le nœud technologique de 130nm [54, 55] atteint au début des années 2000. À l'heure où l'on parle de nœud technologique inférieur à 10nm, une technologie bloquée un ordre de grandeur au dessus est loin d'être compétitive et n'a survécu que grâce à des applications de niche. Il est ainsi compréhensible que la découverte du phénomène de ferroélectricité au sein d'un matériau ne présentant pas ces limitations soit vue comme un renouveau pour les mémoires ferroélectriques.

1.2.3 Découverte de la ferroélectricité de l'oxyde d'hafnium

Au début des années 2000, l'oxyde d'hafnium HfO_2 commence à remplacer l'oxyde de silicium SiO_2 comme isolant dans la grille des MOSFET, grâce à sa permittivité élevée et sa stabilité sur silicium. Ce matériau présente donc une bonne compatibilité avec l'intégration CMOS, à l'inverse des matériaux type PZT. La phase amorphe du HfO_2 est tout d'abord étudiée dans le cadre de ces dispositifs MOSFET [56] de par une permittivité plus faible que les phases cristallines. Il fallut attendre 2007 pour que les phases cristallines soient étudiées plus en détail. C'est en effet au sein de l'entreprise Qimonda que le doctorant T. Böske étudiait le HfO_2 comme isolant d'un condensateur DRAM et cherchait à optimiser ses performances en introduisant un dopant, en l'occurrence du Silicium. Il remarqua un pic particulier lors de la mesure de capacité, sous certaines conditions de dopage et de recuit thermique. En 2011, un article [57] rend publique cette découverte et montre ce pic de capacité attribué à l'existence de la ferroélectricité au sein du matériau, repris à la figure 1.17 (b), pour certaines conditions de fabrication dont la présence de l'électrode supérieure lors du recuit.

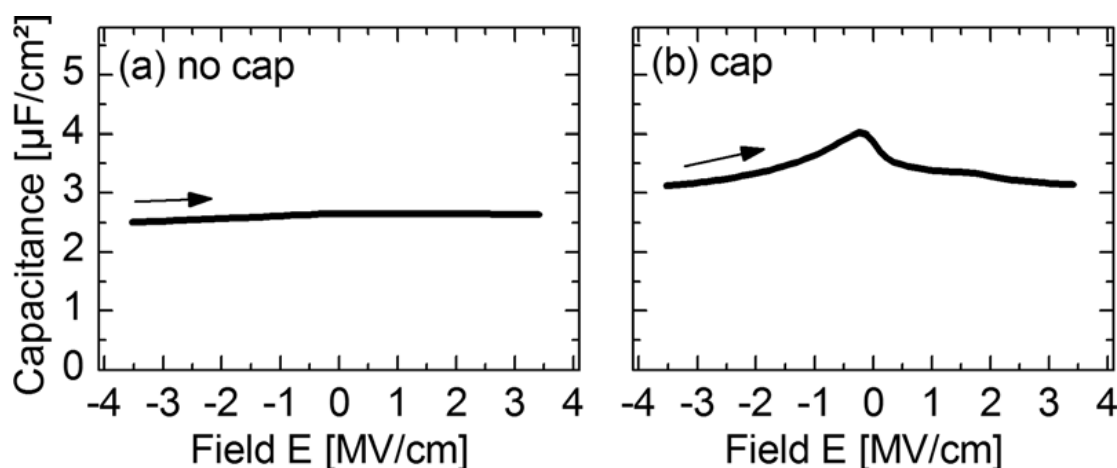


FIGURE 1.17 – Mesure de la capacité d'un condensateur de 8.5nm de HfO_2 dopé par 3% de silicium où le recuit thermique est fait (a) avant dépôt de la Top Electrode et (b) après dépôt de la Top Electrode permettant la croissance de phase ferroélectrique mis en évidence par le pic de capacité [57].

Cette première figure met en évidence le rôle primordial de l'électrode, et plus pré-

cisément de la contrainte mécanique que celle-ci induit lors du recuit, sur laquelle nous reviendrons plus en détail à la section 1.3.2. Un second paramètre important est mis en évidence dans la figure 1.18. En effet, la concentration en dopant Silicium permet de faire apparaître la ferroélectricité au sein du matériau. On observe alors que le dopage à 3.1% est optimal dans ce cas, un dopage plus faible diminuant la polarisation ferroélectrique tandis qu'un dopage plus important tend à mettre en évidence de l'anti-ferroélectricité caractérisée par la présence d'une double boucle dans la courbe d'hystérésis, *e.g.* pour 4.3% de Silicium. On comprend donc que plusieurs phases cristallines peuvent coexister au sein d'un matériau HfO_2 en fonction de son procédé de fabrication.

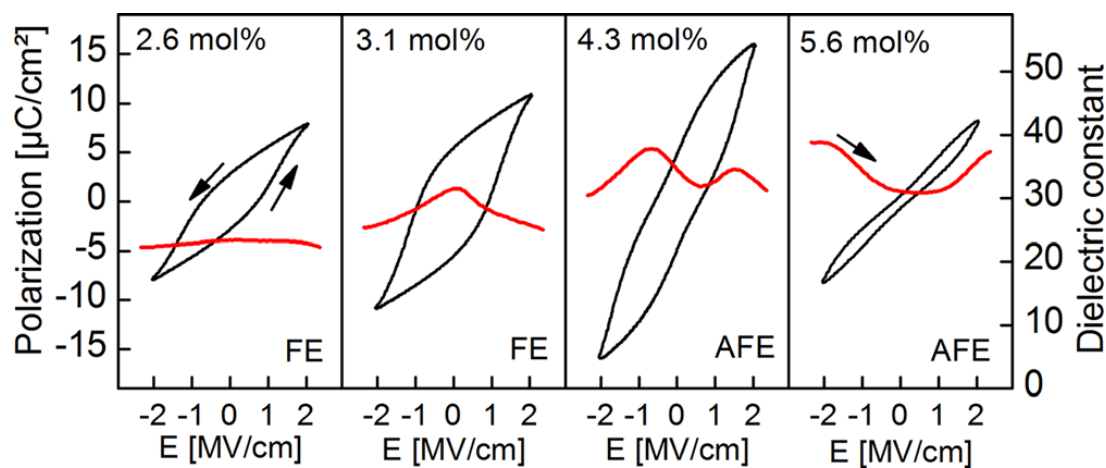


FIGURE 1.18 – Cycle d'hystérésis, *i.e.* polarisation électrique en fonction du champ électrique appliqué, en noir, et constante diélectrique, en rouge, de condensateurs de 8.5nm de HfO_2 , recuits après dépôt de la Top Electrode, en fonction du pourcentage de dopant silicium [57].

En analysant les phases cristallines par diffraction des rayons X en incidence rasante, ou Grazing-Incidence X-Ray Diffraction GIXRD, la figure 1.19 (a) révèle la coexistence de plusieurs de ces phases. L'échantillon dont le recuit a été effectué avant dépôt de la TE est composé de phases monoclinique et tétragonale, phases centro-symétriques ne pouvant être à l'origine de la ferroélectricité, ce que nous verrons plus en détail dans la section 1.3.1 de ce chapitre. Notons cependant que c'est une phase tétragonale qui est suggérée comme vecteur d'anti-ferroélectricité. Lorsque le recuit est opéré après dépôt de la TE, ce qui conduit à la présence du comportement ferroélectrique, les phases monoclinique et tétragonale ne sont pas ou peu présentes. Le spectre de diffraction correspond alors à une phase cristalline orthorhombique. À l'époque de cette publication, deux phases orthorhombiques sont clairement identifiées pour le HfO_2 , à savoir les groupes d'espaces $Pbca$ et $Pbcm$, mais s'avèrent centro-symétriques également, ce qui n'explique pas la ferroélectricité du HfO_2 . Cependant, une autre phase orthorhombique rare et méta-stable a été obtenue sur un oxyde de zirconium ZrO_2 stabilisé par du magnésium, la phase orthorhombique de groupe d'espace $Pbc2_1$ qui est non centro-symétrique et peut donc être ferroélectrique [58–60].

Si l'origine cristalline de la ferroélectricité au sein du HfO_2 est démontrée, les conditions de fabrication pour obtenir la phase cristalline ferroélectrique sont plus incertaines.

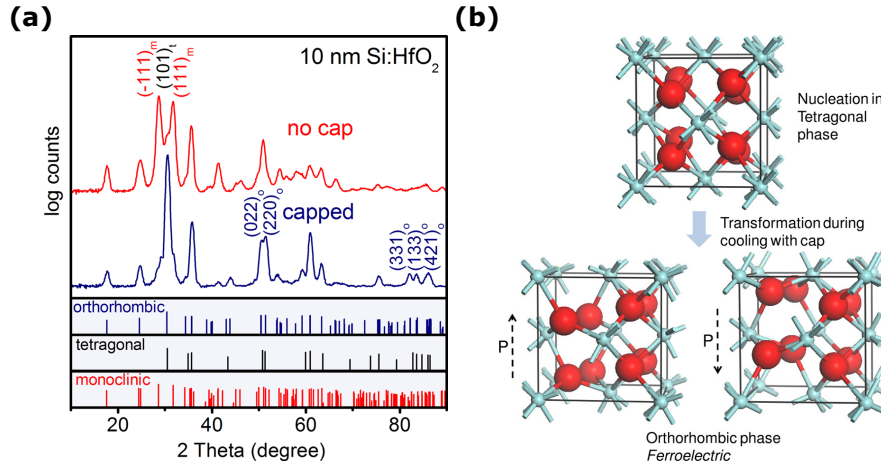


FIGURE 1.19 – (a) Spectre de diffraction des Rayons X en incidence rasante (GIXRD) de deux échantillons identiques mis à part la présence ou non de Top Electrode pendant le recuit et (b) schéma de la maille cristalline tétragonale en haut et des deux mailles cristallines orthorhombiques en bas, correspondant aux deux orientations de polarisation ferroélectrique [57].

Nous avons vu à la figure 1.17 et 1.18 que le dopage ou la présence d'électrode pendant le recuit favorise l'apparition de cette phase Pbc2₁. Nous verrons plus en détail par la suite, à la section 1.3.2 du chapitre 1, que d'autres dopants peuvent être utilisés, d'autres électrodes, mais également l'épaisseur du diélectrique en lui-même. T. Böschke proposa dans un premier temps, pour donner des pistes de compréhension quant à la formation de la phase orthorhombique, un mécanisme similaire au cas du ZrO₂ [58–60]. Ainsi, cette phase émerge lors du refroidissement suite à la transition de phase de tétragonale vers orthorhombique, qui est rendue possible grâce au stress mécanique induit par la présence de l'électrode supérieure. Cette transition est schématisée à la figure 1.19 (b), où les mailles cristallines des deux états de polarisation sont représentées.

1.2.4 Applications mémoires du HfO₂ ferroélectrique

Comme précédemment indiqué, le HfO₂ s'est progressivement substitué au SiO₂ dans l'industrie de la microélectronique moderne en tant qu'oxyde de grille. Ainsi, étant donné la part importante du secteur des mémoires dans celle-ci, la découverte de la phase orthorhombique ferroélectrique du HfO₂ représente le point de départ du renouveau des mémoires ferroélectriques. Nous avons évoqué à la section 1.2.2 l'un des types de mémoire ferroélectrique possible, à savoir la mémoire FeRAM qui s'avère être d'une part historiquement le premier proposé mais également l'objet principal de ce manuscrit. Cependant, avant de donner plus de détails sur les FeRAM, nous allons décrire succinctement deux autres types de mémoires ferroélectriques pour mieux appréhender le contexte dans lequel s'inscrit la FeRAM à base de HfO₂ au sein des mémoires ferroélectriques au sens large.

Nous pouvons décrire dans un premier temps le principe des mémoires Ferroelectric Tunnel Junction, ou FTJ. La structure élémentaire de ce dispositif peut être un empilement Métal/Ferroélectrique/Métal MFM ou inclure une fine couche d'isolant, *e.g.* de

l' Al_2O_3 , entre le HfO_2 et l'une des électrodes ; on parle alors de structure MFIM représentée à la figure 1.20 (a). Dans une FTJ, les états mémoire sont définis par le courant tunnel à travers le matériau ferroélectrique, ou le couple ferroélectrique/isolant. La valeur de ce courant tunnel est alors modulée par l'orientation des dipôles ferroélectriques. En effet, la figure 1.20 (b) [61] décrit l'impact de cette orientation sur le diagramme de bandes de l'empilement MFIM : la polarisation a un rôle de levier et va faciliter ou entraver le passage des électrons par effet tunnel en courbant la bande de conduction du matériau ferroélectrique. Notons que la présence de l'isolant supplémentaire a pour but d'augmenter la différence entre l'état faiblement résistif et l'état hautement résistif, qu'on note respectivement Low Resistive State LRS et High Resistive State HRS et qui définissent par ailleurs les deux états mémoire d'une structure FTJ.

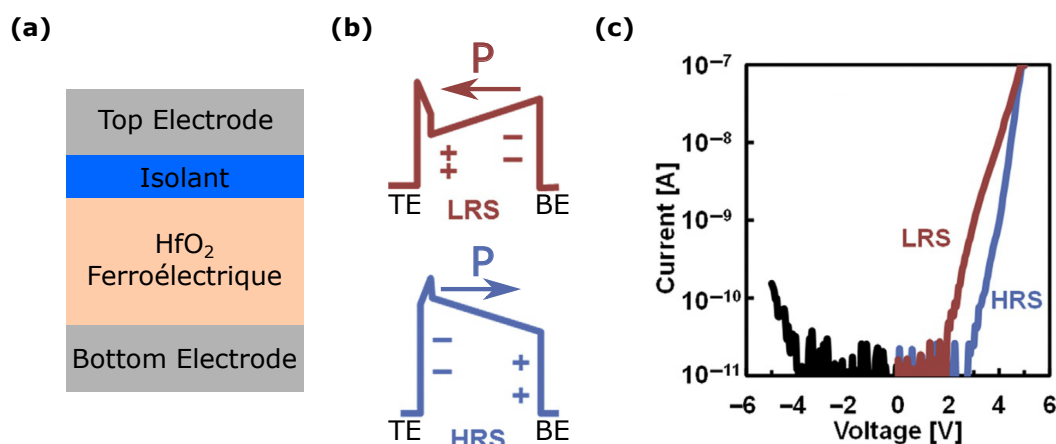


FIGURE 1.20 – (a) Empilement élémentaire d'une mémoire FTJ à base d'oxyde d'hafnium ferroélectrique, (b) diagramme de bandes des états mémoire en fonction de l'orientation de la polarisation ferroélectrique et (c) le courant mesuré en fonction de la tension appliquée à travers cette structure en fonction des deux états LRS et HRS [61].

Cette différence de structure de bandes est caractérisée lors de la mesure du courant à travers l'empilement en fonction de la tension appliquée (figure 1.20 (c) [61]), où les états de polarisation ont été programmés au préalable. On remarque que les deux courbes se rejoignent à 5V : en effet, si le LRS est au préalable programmé par un pulse positif, le HRS est programmé par un pulse négatif. Ainsi, lorsque la tension de lecture dépasse la valeur du champ coercitif, les dipôles se retournent et le HRS devient LRS, ce qui permet par ailleurs d'obtenir une hystérésis lors d'une mesure du HRS en aller-retour. Cependant, la lecture d'une FTJ se veut non-destructive, ce qui est possible en mesurant le courant à une tension inférieure à la tension coercitive, *e.g.* à 3V. À cette tension, un rapport de résistance d'un facteur 10 entre LRS et HRS est obtenu sans pour autant induire le retournement des domaines ferroélectriques.

Le second type de mémoire repose sur l'utilisation d'un transistor à effet de champ où l'oxyde de grille s'avère être un matériau ferroélectrique. La structure de ce Ferroelectric Field-Effect Transistor, ou FeFET, est donnée à la figure 1.21 (a) dans le cas d'un oxyde d'hafnium dopé Silicium. La programmation d'un état mémoire se fait en polarisant la grille tout en conservant le substrat à la masse. Pour programmer l'état P_R^+ , V_G doit être supérieure à la tension coercitive V_C^+ tandis que pour programmer l'état P_R^- , V_G doit

être inférieure à V_C^- . La figure 1.21 (b), qui résume cette programmation, montre que l'orientation des dipôles ferroélectriques induit l'accumulation ou la déplétion d'électrons dans le canal du transistor à effet de champ modifiant la tension de seuil du transistor. La figure 1.21 (c) présente la caractéristique $I_D(V_G)$ du FeFET dans les deux états de polarisation ainsi que les deux valeurs de tension de seuil $V_{T,L}$ et $V_{T,H}$. La lecture de l'état mémoire, similaire à celle d'une mémoire Flash, consiste à mesurer le courant entre le Drain et la Source du FeFET. La lecture est alors effectuée à une tension V_G faible, inférieure à V_C , comprise entre $V_{T,L}$ et $V_{T,H}$.

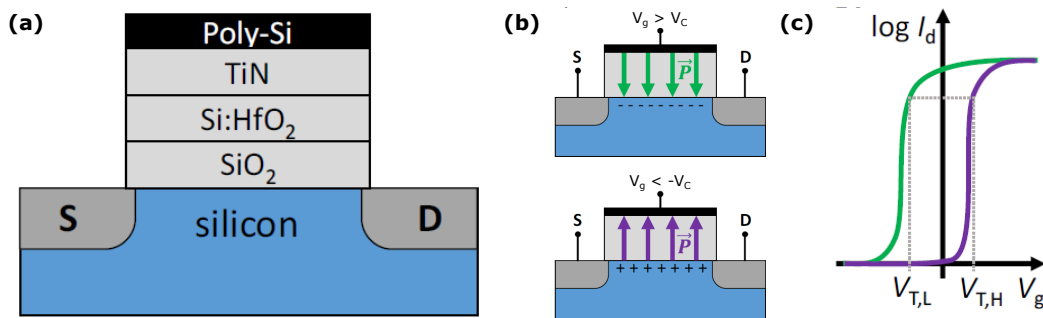


FIGURE 1.21 – (a) Structure élémentaire d'un dispositif mémoire FeFET comprenant du HfO₂ dopé Silicium comme matériau ferroélectrique, (b) influence de l'orientation des dipôles ferroélectriques sur les porteurs du canal du FeFET et (c) caractéristique $I_D(V_G)$ des deux états mémoire [62].

Si ces deux principes de mémoire présentent chacun leurs avantages, ils ne sont pour autant pas dénués d'inconvénients qui limitent leur avancement vers une maturité industrielle élevée. En effet, les FTJ possèdent un champ de dépolarisation important dû à la présence d'un oxyde à l'interface avec une électrode. Ce champ réduit drastiquement la polarisation effective du matériau [61] ce qui diminue par là même le Tunneling Electroresistance (TER), *i.e.* le ratio entre le courant lu pour l'état LRS et le courant lu pour l'état HRS. De plus, le courant tunnel est très faible et est donc difficile à mesurer. Une solution serait de diminuer l'épaisseur du matériau HfO₂, mais cela sera au détriment de la phase ferroélectrique, voir la section 1.3.2 concernant l'influence de l'épaisseur. Le problème majeur des FTJ concerne l'injection de charges dans le diélectrique. Ces charges stabilisent les domaines ferroélectriques en s'opposant au champ dépolarisant, mais ce mécanisme est peu stable et dégrade la fiabilité du diélectrique [63]. Pour finir, le champ électrique à appliquer à la structure est important du fait de la valeur du champ coercitif du HfO₂ et s'avère proche du champ de claquage du matériau diélectrique [62]. Le matériau HfO₂ mais aussi l'isolant à l'interface HfO₂/Métal pouvant présenter un claquage diélectrique, l'endurance d'une FTJ dépasse difficilement les 10⁵ cycles. À l'heure actuelle, la recherche sur les FTJ à base d'oxyde d'hafnium se limite à des structures de larges dimensions, de plusieurs milliers de μm^2 , et commence seulement à tendre vers des dispositifs intégrés.

Les mémoires FeFET à base d'oxyde d'hafnium ont quant à elles atteint un niveau de maturité sensiblement plus avancé. En effet, M. Trentzsch présenta en 2016 la première matrice mémoire de 64kbit intégrée dans la technologie CMOS de 28nm de GlobalFoundries [64]. L'année suivante, S. Dünkel démontra une matrice FeFET de 32Mbit intégrée au nœud 22nm sur une technologie Fully Depleted Silicon On Insulator (FDSOI) [65].

Ces travaux motivèrent la création de Ferroelectric Memory Company en 2016 avec le support de GlobalFoundries, entreprise visant à commercialiser un produit FeFET à base d'oxyde d'hafnium. Mais plusieurs verrous technologiques restent à lever. Par exemple, le piégeage/dépiégeage d'électrons dans le HfO_2 a un effet néfaste sur le décalage de la caractéristique $I_D(V_G)$ et donc diminue, voir rend nul, la fenêtre mémoire. Cette injection de charge ayant lieu à chaque cycle de programmation de la cellule, l'endurance de ces technologies atteint difficilement les 10^6 cycles [64, 65]. D'un point de vue général, cet empilement présente les mêmes problématiques que les FTJ présentées précédemment.

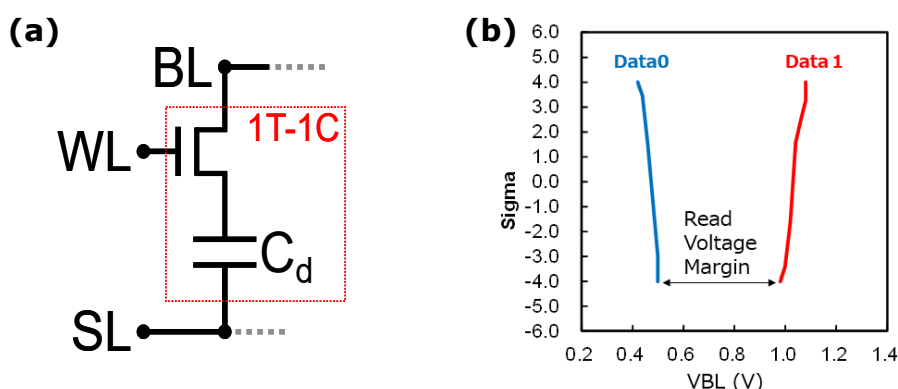


FIGURE 1.22 – (a) Schéma de la structure 1T-1C d'une FeRAM et (b) distributions des états mémoire obtenues sur une matrice de 64kbit [66].

La FeRAM n'est donc pas la seule mémoire ferroélectrique possible et présentera, tout comme les FTJ et FeFET, des avantages et des inconvénients qui seront mis en lumière au fur et à mesure de ce manuscrit. Le principe de fonctionnement d'une FeRAM a été brièvement introduit à la section 1.2.1 et repose sur le retournement des domaines ferroélectriques. Là où les FeFET et FTJ permettent de déterminer l'orientation de la polarisation sans pour autant modifier celle-ci, la lecture d'une FeRAM repose justement sur le fait de retourner, ou non, ces domaines pendant cette opération. Comme dit précédemment, c'est ce qui fait de cette lecture une opération destructive. Étant donné que l'on cherche à caractériser une charge sur un condensateur, on comprend que l'architecture d'une FeRAM soit similaire à celle d'une DRAM et que la structure élémentaire soit une cellule 1T-1C, représentée à la figure 1.22 (a). De la même façon, la lecture au sein d'un circuit nécessitera un Sense Amplifier SA pour déterminer l'état mémoire de la cellule 1T-1C. La figure 1.22 (b) représente alors la distribution des états mémoire pour l'ensemble d'une matrice FeRAM de 64kbit [66]. Le principe de fonctionnement de la matrice FeRAM sera détaillé au chapitre 4.

1.3 Théorie de la ferroélectricité de l'oxyde d'hafnium et méthodes de caractérisation

Les sections précédentes ont introduit de manière concrète les propriétés intéressantes du phénomène de ferroélectricité pour la réalisation de mémoires. La polarisation rémanente et le champ coercitif, qui sont représentés de manière très visuelle sur une courbe

d'hystérésis $P(E)$, sont les métriques liées au fonctionnement des trois types de dispositifs mémoire ferroélectriques. Cette section s'intéresse alors à décrire plus en détail l'origine physique et cristallographique de ces paramètres, dans le but d'avoir une base suffisante pour la compréhension du reste du manuscrit. En particulier, nous commençons par revenir sur la notion de phase cristalline introduite à la section 1.2.1, et notamment sur le concept de phase non centro-symétrique. L'origine de la polarisation ferroélectrique d'un point de vue de la maille cristalline est présentée. Ensuite, nous décrivons le cas particulier de l'apparition de la phase ferroélectrique au sein de l'oxyde d'hafnium, et plus précisément l'influence des dopants et du recuit de cristallisation. La suite de cette section porte sur les dynamiques de la polarisation rémanente et du champ coercitif en cours d'endurance, mais aussi de la variation de ces variables d'état au cours du temps. Pour finir, les différentes méthodologies de caractérisation électrique du comportement ferroélectrique sont introduites ainsi que le montage et la méthodologie de référence utilisée dans la suite du manuscrit.

1.3.1 Définition de la polarisation ferroélectrique

Nous avons précédemment évoqué que la ferroélectricité au sein de l'oxyde d'hafnium, mais aussi dans le cas du BaTiO_3 ou du PZT, est engendrée par la présence d'une phase cristalline particulière, faisant partie d'un groupe spécifique, les phases non centro-symétriques. En effet, les géométries des cristaux sont classifiées en fonction de la symétrie de leur structure atomique, ce qui est schématisé à la figure 1.23. En premier lieu, on compte 11 structures centro-symétriques apolaires, *e.g.* tétragonale $4/mmm$ ou hexagonal $6/m$, et 21 structures non centro-symétriques, *e.g.* monoclinique $2=m$ et cubique 432 . Les structures apolaires présentent une réaction d'ordre deux à l'application d'un champ électrique et ne peuvent donc être responsables du phénomène de ferroélectricité. Parmi les phases non centro-symétriques, 20 sont piézoélectriques. La piézoélectricité se caractérise par l'apparition d'une polarisation électrique lorsque le cristal est soumis à une contrainte mécanique. Sur ces 20 géométries piézoélectriques, 10 sont pyroélectriques.

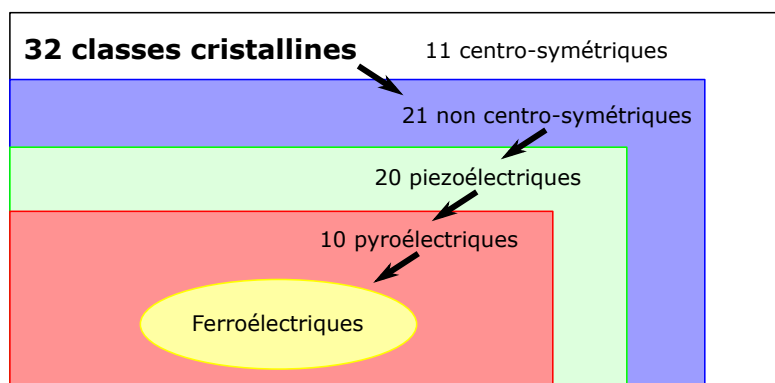


FIGURE 1.23 – Classification des géométries de cristaux selon leurs symétries, ou classes cristallines.

Là où un matériau piézoélectrique réagit à une contrainte mécanique, un matériau pyroélectrique voit sa polarisation électrique modulée par la température. Ce type de

matériau est dit polaire, c'est-à-dire qu'il possède une polarisation électrique non nulle en l'absence de champ électrique, *i.e.* polarisation rémanente ou spontanée, ce qui s'avère être la définition classique d'un matériau ferroélectrique. Les matériaux ferroélectriques sont alors un cas particulier des matériaux pyroélectriques où l'orientation de la polarisation est réversible grâce à l'application d'un champ électrique extérieur.

Nous avons vu à la figure 1.19 (b) la maille cristalline orthorhombique de groupe d'espace $Pbc2_1$ [57]. Ce groupe d'espace faisant partie des structures pyroélectriques, il peut également engendrer le phénomène de ferroélectricité. Au sein de cette maille, la figure 1.19 (b) nous montre que ce sont les atomes d'oxygène positionnés aux sites tétraédriques de la maille qui possèdent deux configurations distinctes qui induisent un moment dipolaire orienté, une polarisation ferroélectrique. On peut alors représenter la maille cristalline en vue du dessus à la figure 1.24. Dans cet exemple, un champ électrique externe a été appliqué et a favorisé une configuration spécifique. Ici, les cations se sont majoritairement déplacés pour occuper le site tétraédrique de droite. Notons qu'il est possible que certains cations ne changent pas de configuration, lorsque leur champ coercitif est supérieur au champ externe appliqué, ou qu'un autre champ interne parasite s'oppose à ce champ externe. De plus, il est important de préciser que c'est le matériau qui est polarisé électriquement mais que cela ne se traduit pas par une tension rémanente mesurable, les charges aux électrodes compensant cette polarisation interne. C'est donc la variation, plus précisément la commutation de la polarisation, qui induit une variation de courant aux bornes du condensateur.

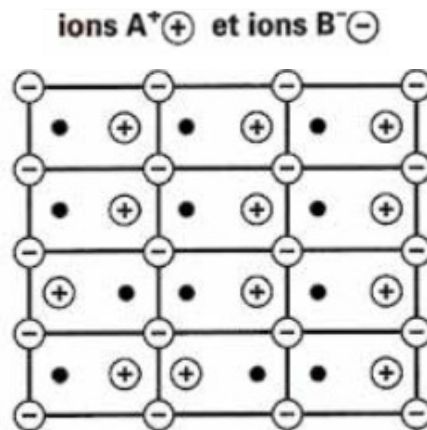


FIGURE 1.24 – Schéma de la position des ions dans un cristal ferroélectrique après application d'un champ électrique [67]. Les points noirs représentent la seconde position possible des cations, induisant une polarisation de signe opposé.

La modélisation du comportement ferroélectrique a été réalisée au cours des années selon plusieurs approches. Les théories modernes de la polarisation résultent d'approches microscopiques de la ferroélectricité, permettant de définir des quantas de polarisation. Resta et Vanderbilt résumant la vision de la polarisation selon cette théorie telle que : « [...] the polarization is closely related to a Berry phase of the Bloch wavefunctions as the wavevector is carried across the Brillouin zone, or equivalently, to the centers of charge of Wannier functions constructed from the Bloch wavefunctions » [68]. On peut également

évoquer le modèle basé sur l'idée de Preisach [69], développé pour les matériaux magnétiques, où le matériau est un réseau de domaines indépendants, d'une valeur absolue fixe, que l'on nomme hystérons. Ceux-ci possèdent une distribution de champ de retournement, qui est ici une gaussienne, selon le modèle adapté aux matériaux ferroélectriques de Miller [70, 71]. La dépendance temporelle du champ électrique est ensuite introduite [72] et permet d'obtenir un modèle cohérent avec le comportement ferroélectrique. Celui-ci dépend de plusieurs paramètres matériaux (épaisseur de la couche, surface du condensateur, constante diélectrique...), ferroélectriques (polarisation à saturation, champ coercitif...) et temporels (constante de temps du champ électrique et de la polarisation), mais reproduit la variation de polarisation au cours d'un pulse de tension, *i.e.* permet de reconstruire le cycle d'hystérésis.

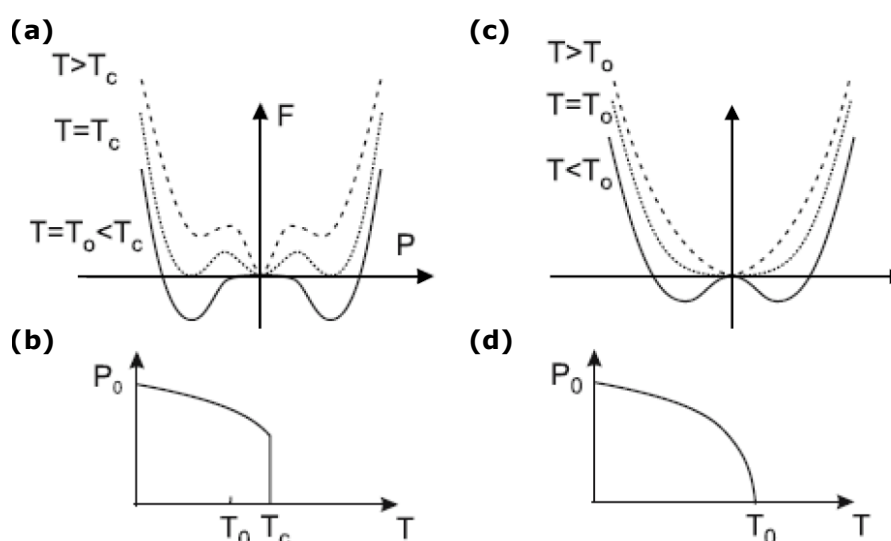


FIGURE 1.25 – Énergie libre en fonction de la polarisation et polarisation en fonction de la température pour (a)-(b) une transition du premier ordre et (c)-(d) du second ordre [68].

Cependant, c'est un troisième modèle qui est couramment utilisé pour décrire le comportement ferroélectrique, celui-ci étant bien plus simple que le modèle quantique et permettant une représentation en énergie de l'orientation de la polarisation. On parle alors des théories de Landau et Landau-Devonshire qui résultent d'approches thermodynamiques macroscopiques. La théorie de Landau est une approche phénoménologique décrivant l'équilibre d'un cristal au voisinage d'une transition de phase. Basée sur des considérations de symétries, elle introduit un paramètre d'ordre caractéristique d'une transition, qui est nul lorsque la symétrie du système est importante et converge vers une valeur finie lorsque la symétrie diminue. La théorie de Landau-Devonshire applique la théorie de Landau aux ferroélectriques, en prenant pour paramètre d'ordre la polarisation P . On approxime l'énergie libre d'Helmholtz F en un polynôme d'ordre six de la variable polarisation P , avec E le champ électrique :

$$F = \frac{1}{2}aP^2 + \frac{1}{4}bP^4 + \frac{1}{6}cP^6 - EP \quad (1.1)$$

Où a , b et c sont les coefficients d'expansion de Landau. On exprime alors l'état d'équilibre de F :

$$\frac{\partial F}{\partial P} = 0 \rightarrow E = aP + bP^3 + cP^5 \quad (1.2)$$

Au regard de l'équation 1.2, à une constante ε_0 près et sans polarisation spontanée, on peut exprimer la susceptibilité χ telle que :

$$\chi = \frac{P}{E} \approx \frac{1}{a} \quad (1.3)$$

De plus, la théorie de Landau-Devonshire considère le coefficient a comme dépendant de la température et donc, pour $T \approx T_0$ où T_0 est la température pour laquelle a change de signe, proche de la température de Curie T_C , on a :

$$a = a_0(T - T_0) = \frac{1}{\chi} \rightarrow F = \frac{1}{2}a_0(T - T_0)P^2 + \frac{1}{4}bP^4 + \frac{1}{6}cP^6 - EP \quad (1.4)$$

On déduit de l'équation 1.4 que l'on peut extraire le coefficient a par une mesure de susceptibilité à température donnée ($T > T_0$). Pour tous les ferroélectriques connus, $a > 0$ et $c > 0$ [68]. On peut ensuite considérer le cas de b . En champ électrique nul et en considérant les termes d'ordres supérieurs à trois négligeables, on peut déterminer b après mesure de la polarisation spontanée P_0 . Ces approximations sont valables pour $b > 0$:

$$E = 0 \approx a_0(T - T_0)P_0 + bP_0^3 \rightarrow b = \frac{a_0}{P_0^2}(T_0 - T) \quad (1.5)$$

Le signe de ce paramètre b déterminera alors la nature de la transition paraélectrique-ferroélectrique. Dans le cas où $b > 0$, on observera expérimentalement une diminution continue de la polarisation spontanée P_0 quand la température augmente, jusqu'à atteindre une valeur nulle à T_0 : on parle alors de transition du second ordre. Dans le cas opposé, $b < 0$, les termes d'ordres supérieurs ne sont plus négligeables. On en déduit que pour $T > T_0$ la polarisation spontanée n'est pas nulle et continuera de décroître jusqu'à T_C , température à laquelle on observera une discontinuité brutale de P_0 . On parle alors de transition du premier ordre. La figure 1.25 résume la polarisation spontanée en fonction de la température ainsi que l'énergie libre en fonction de la polarisation pour différentes valeurs de T , pour les deux types de transitions. Dans les deux cas, la présence d'un minimum d'énergie positif ($+P_R$) et d'un minimum d'énergie négatif ($-P_R$) séparés par une barrière, définit bien l'existence de deux états distincts.

En l'absence de champ électrique externe, la population de ces deux puits de potentiel est équiprobable. En revanche, un champ électrique externe peut favoriser la population d'un des deux puits. La figure 1.26 présente un cas idéalisé de $P(E)$, ainsi que l'allure des profils d'énergie libre de la théorie de Landau-Devonshire aux différentes valeurs de champ électrique. L'ovale gris symbolise les moments dipolaires et permet de visualiser la position énergétique des moments dipolaires au cours du cycle d'hystérésis. On observe alors que lorsque le champ électrique dépasse une valeur seuil, *i.e.* le champ coercitif, la barrière de potentiel est nulle, les domaines du puits défavorisé changent d'orientation, se retournent, pour peupler le seul puits de potentiel qui subsiste. Cette représentation, tirée

de la théorie de Landau-Devonshire, est certainement la plus visuelle pour comprendre le principe de polarisation ferroélectrique dans un matériau.

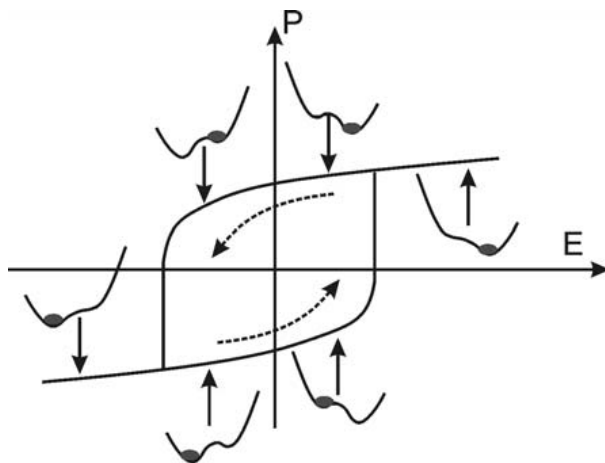


FIGURE 1.26 – Cycles d'hystérésis $P(E)$ idéal et représentation symbolique des courbes de l'énergie libre en fonction du champ électrique externe. Les flèches indiquent le sens de parcours du cycle [68].

1.3.2 La ferroélectricité méta-stable de l'oxyde d'hafnium et ses dynamiques

1.3.2.1 Influence du procédé de fabrication sur l'apparition de la phase orthorhombique

Nous avons succinctement introduit, à la section 1.2.3, l'histoire de l'oxyde d'hafnium ferroélectrique et sa découverte par T. Böschke [57]. Celui-ci a mis en avant la phase orthorhombique de groupe d'espace $Pbc2_1$ qui, par ailleurs, est également noté $Pba2_1$. Depuis 2011, bien des travaux ont porté sur cette phase cristalline.

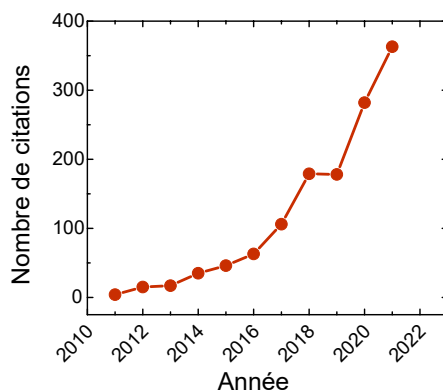


FIGURE 1.27 – Nombre de citations annuels du premier papier portant sur l'oxyde d'hafnium ferroélectrique [57] jusque 2021.

La figure 1.27 illustre l'évolution de l'intérêt de la communauté scientifique pour l'oxyde d'hafnium ferroélectrique, en représentant le nombre de citations de [57] extrait de Google Scholar, jusqu'à 2021. Jusqu'à présent, l'oxyde d'hafnium ferroélectrique continue d'être au centre de l'attention et d'attirer de plus en plus de nouveaux acteurs. Beaucoup de ces études portent sur l'optimisation du procédé de fabrication pour stabiliser la phase cristalline ferroélectrique. En effet, l'apparition de la phase orthorhombique au sein du HfO_2 est encore mal comprise. Cette phase méta-stable peut émerger de différentes façons en modifiant les paramètres du procédé de fabrication. Le paramètre le plus couramment étudié est sans aucun doute l'influence d'un dopant dans l'oxyde d'hafnium [73–76]. Ce dopant peut être du silicium comme pour [57], ou encore de l'aluminium, du lanthane, du strontium et même du cobalt, nickel ou germanium. Parmi les autres paramètres déterminants, on retrouve la nature des électrodes [77,78], le débit d'oxygène introduit dans la chambre de dépôt [79,80] ou encore l'épaisseur du diélectrique [81,82].

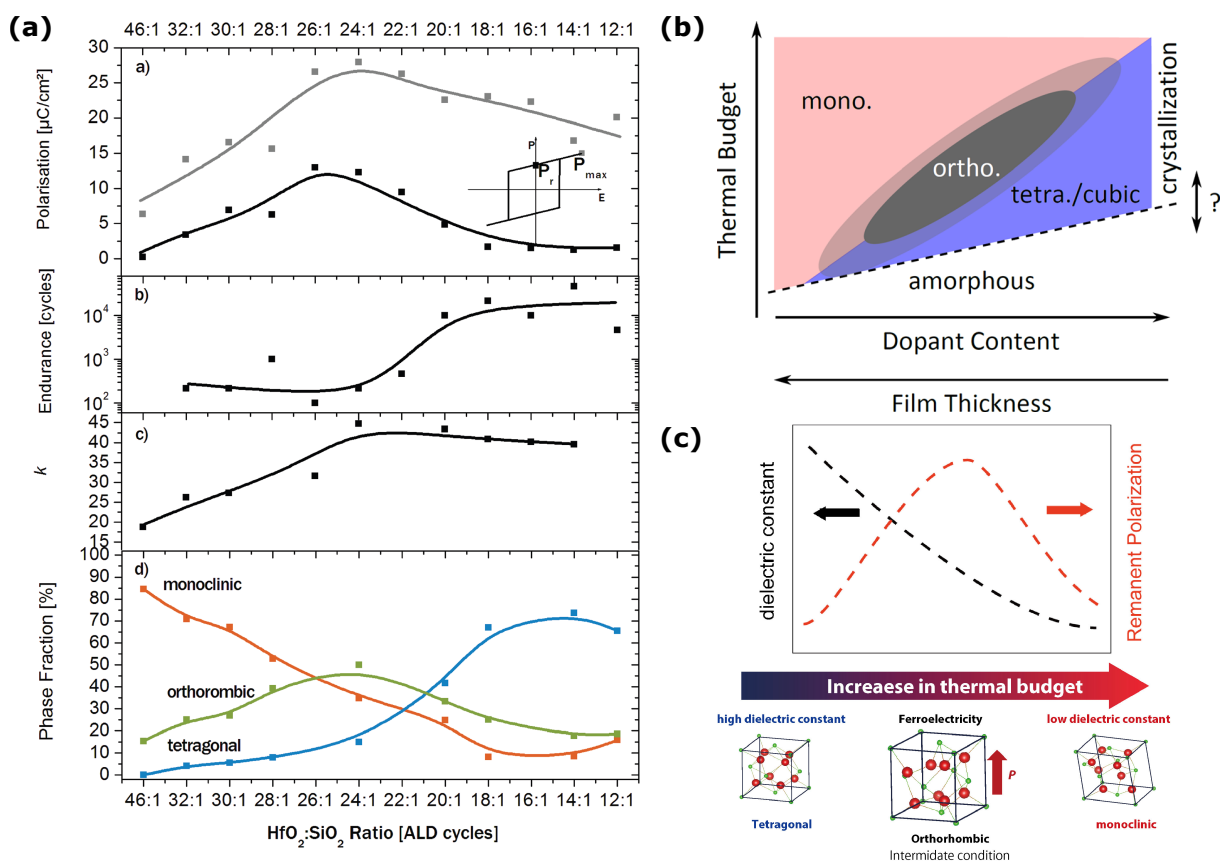


FIGURE 1.28 – (a) Polarisation, endurance, permittivité et proportion de phases d'une couche de 36nm de HfO_2 en fonction de son dopage en silicium [83]. (b) Modèle qualitatif des transitions de phases du HfO_2 en fonction du procédé de fabrication [78] et (c) relation entre structure cristalline, propriétés diélectriques, ferroélectriques, et budget thermique de cristallisation [84].

On pourra se référer au chapitre quatre de la thèse de J. Bouaziz pour un état de l'art très complet concernant les études réalisées pour l'optimisation du HfO_2 ferroélectrique [85]. Il existe ainsi de multiples manières d'obtenir une couche d'oxyde d'hafnium

ferroélectrique, ce qui ne peut faire l'objet d'un travail unique. Ainsi, nous nous concentrons sur l'influence du pourcentage de dopant et l'impact du recuit de cristallisation dans les chapitres suivants, et ce au travers de méthodes de caractérisation électrique avancées, dans l'objectif de développer un circuit mémoire FeRAM à base de HfO_2 .

En effet, ces deux paramètres sont liés et influent fortement sur les performances ferroélectriques. Une étude réalisée par C. Richter [83], figure 1.28 (a), démontre que la concentration en silicium influe directement sur la polarisation rémanente mesurée avant cyclage électrique. Cependant, cela induit également des variations de fiabilité, ou d'endurance du dispositif, ou encore de comportement diélectrique au travers d'une variation de permittivité électrique, modulée par la concentration des différentes phases du HfO_2 . On comprend alors que la couche ferroélectrique à mettre au point n'est pas spécialement celle possédant le maximum de polarisation rémanente, mais plutôt celle présentant le meilleur compromis pour l'application mémoire visée. De plus, les figures 1.28 (b) [78] et (c) [84] mettent respectivement en exergue l'influence du recuit de cristallisation en fonction du dopant et son impact sur la polarisation rémanente. Nous avons évoqué qu'un dispositif FeRAM peut être fabriqué au niveau du BEOL, niveau limitant les températures de recuit. Il est ainsi primordial de coupler l'optimisation des performances du matériau avec l'étude de l'influence du recuit de cristallisation.

1.3.2.2 Évolution de la polarisation de l'oxyde d'hafnium

Jusqu'à présent, nous avons évoqué plusieurs étapes lors de la fabrication du dispositif pour faire varier la proportion de phase orthorhombique, et donc, par extension, la polarisation ferroélectrique du matériau. Il s'avère cependant que le procédé de fabrication en lui-même n'est pas le seul élément pouvant moduler la polarisation du condensateur ferroélectrique. En effet, cette valeur varie en fonction du stress électrique subi par le condensateur. La figure 1.29 (a) représente l'évolution de la polarisation rémanente, ici normalisée, d'un échantillon de HfO_2 dopé strontium en fonction du nombre de cycles, c'est-à-dire l'application d'un signal électrique alternatif d'amplitude supérieure au champ coercitif du matériau ferroélectrique, représentant des cycles de commutation ou basculement entre les deux états de polarisation. On observe très clairement deux dynamiques d'évolution de la polarisation rémanente :

- Dans un premier temps, la polarisation rémanente augmente. Cette phase est communément appelée réveil ferroélectrique, ou wake-up.
- Après avoir atteint un maximum de polarisation, la polarisation décroît : on parle de fatigue ferroélectrique.

Le phénomène de wake-up est très couramment observé pour le HfO_2 ferroélectrique, bien qu'il soit possible de le moduler voir même de le supprimer [88], ce qui est préférable pour conserver une fenêtre mémoire stable au cours de la vie d'un dispositif. Il est également possible que la phase de fatigue ne soit pas présente, dans le cas par exemple où le claquage diélectrique lui est précurseur [87], *i.e.* la présence d'un filament conducteur qui engendre la destruction du condensateur. La figure 1.29 (a) présente également, en encart, l'évolution de la $P(E)$ en fonction du nombre de cycles. On remarque alors qu'en plus de la polarisation rémanente, le champ coercitif varie en fonction du nombre de cycles : on parle alors de phénomène d'imprint. Certains auteurs s'intéressent au phénomène d'im-

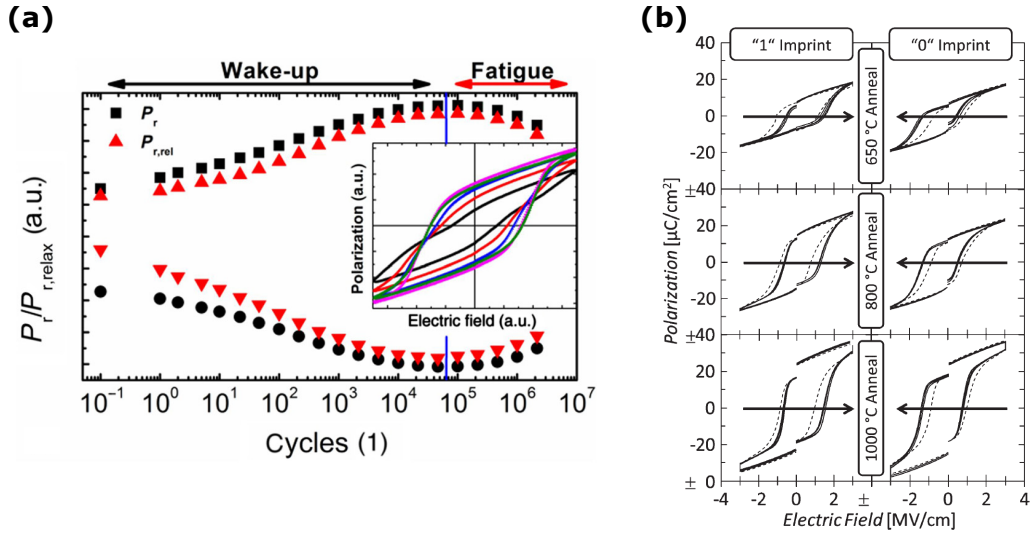


FIGURE 1.29 – (a) Polarisation rémanente en fonction du nombre de cycles électriques d’un échantillon d’oxyde d’hafnium dopé strontium [86] et (b) dérive de la $P(E)$ de trois condensateurs, dont le recuit de cristallisation varie, en fonction du temps passé à 125°C [87]. Les lignes continues représentent la $P(E)$ initiale tandis que les lignes pointillées correspondent à différents temps de recuit, jusqu’à 1000 heures.

print en fonction de l’endurance [89], mais on désigne par le même nom la variation du champ coercitif en fonction du temps, dynamique bien plus problématique dans le cas d’une NVM. La figure 1.29 (b) présente la variation de la position de la $P(E)$ en fonction du temps passé dans un four à 125°C , jusqu’à 1000h d’attente. Trois condensateurs sont mesurés, pour lesquels le recuit de cristallisation a été opéré de 650°C jusqu’à 1000°C . Les cycles d’hystérésis se décalent horizontalement au cours du temps (en lignes pointillées) depuis leur position initiale (en ligne continue), et la direction est dictée par l’état mémoire 1 ou 0 précédemment programmé. Si la $P(E)$ dérive suffisamment, une partie des domaines ferroélectriques peut alors se retourner, se traduisant par une perte de polarisation rémanente et à terme, une perte de l’état mémoire programmé : la rétention de l’information, ou Data Retention, n’est plus assurée.

De la même façon que le meilleur procédé de fabrication du HfO_2 ferroélectrique fait débat, l’origine de ces dynamiques est très discutée. Les figures 1.30 (a) et (b), tirées de [90] et [91] respectivement, résument les principales hypothèses avancées dans la littérature. Sur la figure 1.30 (a), on observe la présence de deux interfaces aux électrodes : IF et PE-IF. IF correspond à la présence de TiO_xN_y tandis que PE-IF est une phase non ferroélectrique du HfO_2 , par exemple la phase monoclinique. Sous l’effet du cyclage électrique, l’épaisseur de ces phases peut varier, induisant une variation locale de champ électrique. De plus, une transition de phase peut avoir lieu, la phase non ferroélectrique PE-IF devenant orthorhombique et donc ferroélectrique. En plus des interfaces et des transitions de phases, la littérature tend à s’accorder sur le rôle primordial de la distribution des charges, et en particulier des lacunes en oxygènes. Celles-ci peuvent être présentes initialement aux interfaces, induisant un champ électrique local sur les domaines ferroélectriques adjacents, ce qui augmente leur champ coercitif. Ces domaines ne peuvent alors

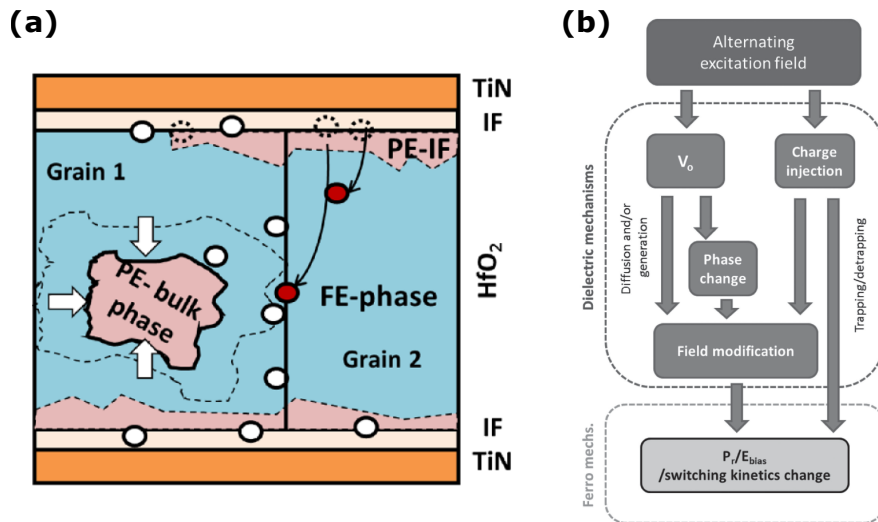


FIGURE 1.30 – (a) Modèle [90] et (b) diagramme [91] résumant les modifications, au sein du HfO_2 , apportées par le cyclage électrique.

pas se retourner, on parle de domain pinning [92]. Lors du cyclage électrique, les lacunes se redistribuent de façon homogène et libèrent ces domaines, induisant une augmentation de la polarisation rémanente, ainsi qu'une variation du champ coercitif. À terme, de nouvelles lacunes sont générées et bloquent de nouveaux les domaines, expliquant le phénomène de fatigue [91]. Tous ces phénomènes sont dépendants du procédé de fabrication et sont également à prendre en compte lors de sa réflexion.

1.3.3 Techniques et méthodologie de caractérisation électrique de la ferroélectricité

S'il est certain que la fabrication d'un matériau ferroélectrique à base de HfO_2 est complexe, de par les multiples paramètres pouvant induire des variations de comportement ferroélectrique ou encore de fiabilité, la mesure des métriques de la ferroélectricité n'est pas non plus élémentaire. Cette section introduit les spécificités de la caractérisation électrique d'un condensateur ferroélectrique et décrit plusieurs méthodes reposant sur la mesure d'un courant lors de l'application d'un signal de tension spécifique. Nous définirons alors le principe de la méthode Positive Up Negative Down (PUND) et décrirons le montage utilisé pour l'appliquer sur un condensateur ferroélectrique. Nous présenterons l'influence des paramètres de la mesure PUND et déterminerons la séquence de mesure finale mise en œuvre dans la majeure partie de ce manuscrit.

1.3.3.1 Méthodes de mesure électrique du comportement ferroélectrique

La méthode la plus utilisée pour caractériser électriquement un matériau ferroélectrique est d'appliquer un signal de tension sur l'une des électrodes et de mesurer la réponse en courant. Cette mesure est comparable à la caractérisation d'un circuit RC [93], où le courant mesuré est la somme d'un courant de fuite à travers la résistance R , noté I_L ,

et d'un courant aux bornes du condensateur. Ce second courant se compose du courant diélectrique I_ϵ et du courant ferroélectrique I_{FE} , résultante du retournement des domaines ferroélectriques, qui est donc un courant d'ordre dynamique à l'inverse du courant de fuite et du courant diélectrique, courants statiques. Le courant total $I_{\text{Condensateur}}$ peut ainsi s'écrire :

$$I_{\text{Condensateur}} = I_L + I_\epsilon + I_{FE} \quad (1.6)$$

On obtient ensuite la charge aux bornes du condensateur en intégrant au cours du temps le courant mesuré. Si les contributions diélectriques et le courant de fuite du condensateur sont négligeables, ou, comme nous le verrons, corrigés, la charge est alors directement la polarisation ferroélectrique, en coulomb. Notons que dans le cas d'un condensateur, on s'intéresse à la densité de charge surfacique aux bornes du condensateur de surface S , valeur qui est également notée P par abus de langage, en C/m^2 .

$$P[C/m^2] = \frac{1}{S} \int I_{FE}(t)dt \approx \frac{1}{S} \int I_{\text{Condensateur}}(t)dt \quad (1.7)$$

Il apparaît alors relativement aisé de mesurer la polarisation ferroélectrique d'un matériau, et de reconstituer l'hystérésis $P(E)$ de celui-ci. La subtilité réside cependant dans l'approximation réalisée concernant le courant diélectrique et le courant provenant des fuites du condensateur. On peut notamment citer un papier très célèbre de J. F. Scott de 2008 [94], ironiquement intitulé «Ferroelectrics go bananas». L'auteur démontre qu'en réalisant l'intégrale du courant $I_{\text{Condensateur}}$ présentée à l'équation 1.7 et en considérant injustement les fuites du dispositifs ainsi que la contribution diélectrique comme négligeable, il est possible d'obtenir une $P(E)$ très similaire à celle d'un matériau ferroélectrique alors que celui-ci est très loin de l'être. Pour ce faire, il mesure la réponse électrique d'une peau de banane entre deux électrodes d'argent, *cf.* la figure 1.31 (a). Ce condensateur, bien loin d'être ferroélectrique, présente tout de même une $P(E)$ en forme de cigare, proche de celle d'un véritable ferroélectrique, *e.g.* du $Ba_2NaNb_5O_{15}$ de la figure 1.31 (b).

J. F. Scott rappelle dans ce papier que la charge diélectrique d'un condensateur, intégrée au cours du temps, suffit à simuler une $P(E)$ ferroélectrique et ainsi confondre une peau de banane avec un matériau ferroélectrique. En effet, lors d'une mesure $I(V)$, les trois courants mesurés peuvent être décomposés selon la figure 1.31 (c), tirée de [95]. Le courant ferroélectrique I_{FE} correspond à un pic de courant, centré sur une valeur de tension correspondant au champ coercitif moyen de la distribution des champs coercitifs des domaines du matériau. Le courant de fuite dépend de la valeur de la tension appliquée tandis que le courant diélectrique est, dans le cas d'un pulse triangulaire, constant selon l'équation $I_\epsilon = i_c = C \frac{dV}{dt}$, son signe dépendant du signe de la pente du signal triangulaire de tension. Il est cependant possible de s'affranchir de ces composantes non ferroélectriques et de n'extraire que le courant correspondant au retournement des domaines ferroélectriques I_{FE} . I. Fina présente, dans son papier de 2011 [93], trois méthodes de caractérisation électrique basées sur des mesures $I(V)$ aux bornes de condensateurs ferroélectriques. La première, la méthode Dynamic Hysteresis Mode (DHM) présentée à la figure 1.32, correspond à celle utilisée dans le cas de la mesure de la peau de banane : un premier pulse d'initialisation est appliqué pour orienter les domaines ferroélectriques, puis un second, de signe opposé, mesure le retournement de ces mêmes domaines. La mesure

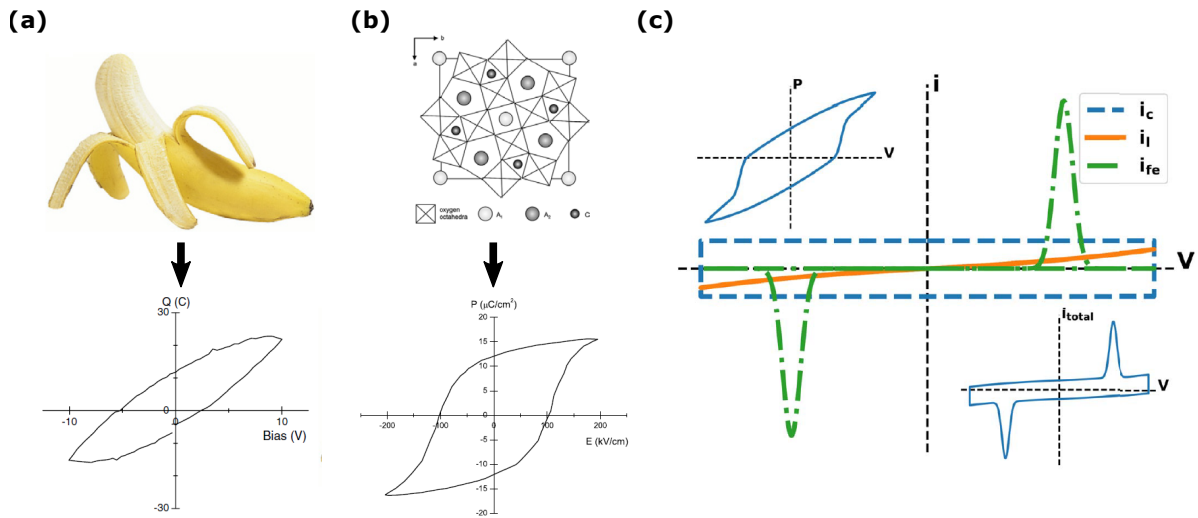


FIGURE 1.31 – $P(E)$ d'un matériau (a) non ferroélectrique, une peau de banane, et (b), ferroélectrique, *e.g.* du $Ba_2NaNb_5O_{15}$ [94]. (c) Décomposition des courants mesurés lors d'une mesure $I(V)$ aux bornes d'un condensateur ferroélectrique, avec en encart le courant réel mesuré ainsi que la $P(E)$ correspondante [95].

est réalisée à fréquence fixe, et le courant mesuré est la somme des contributions des trois courants. On observe alors, à la figure 1.32 (b) que si les deux courants non ferroélectriques ne sont pas négligeables, par exemple lorsque le courant de fuite est important à 1kHz, une $P(E)$ en forme de cigare est obtenue et la valeur de polarisation rémanente extraite est faussée, tout comme le champ coercitif.

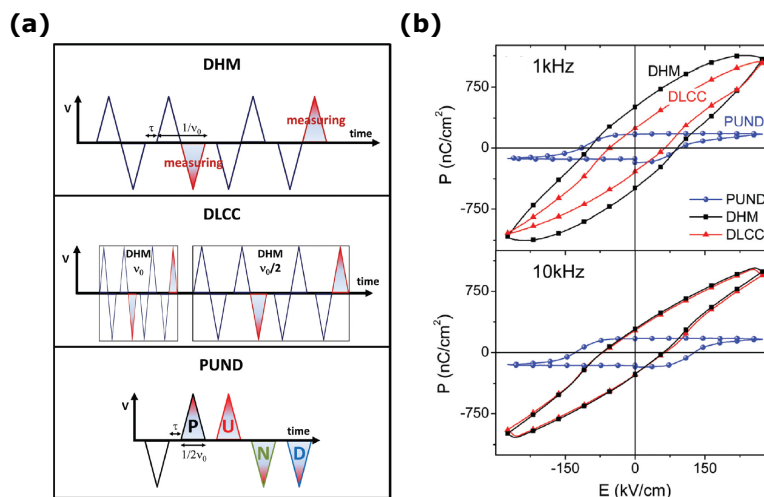


FIGURE 1.32 – (a) Principe de fonctionnement des méthodes de caractérisation électrique DHM, DLCC et PUND pour les matériaux ferroélectriques et (b) courbes d'hystérésis obtenues, sur du $YMnO_3$, selon la méthode à 1kHz et 10kHz de fréquence de signal triangulaire [93].

La seconde méthode Dielectric Leakage Current Compensation (DLCC), *cf.* figure 1.32 (a), se base sur l'hypothèse que le courant de fuite est indépendant de la fréquence

tandis que le courant diélectrique et le courant ferroélectrique ont tous deux une réponse linéaire en fréquence. En réalisant deux mesures à des fréquences distinctes, il est alors possible de soustraire le courant de fuite I_L . On observe alors clairement à la figure 1.32 (b) que la polarisation rémanente est plus faible à faible fréquence que dans le cas de la méthode DHM, mais aussi que la fréquence de mesure n'influe pas sur le résultat. Pour finir, la méthode Positive Up Negative Down (PUND) permet de corriger conjointement le courant diélectrique et le courant des fuites, et ainsi d'extraire uniquement le courant ferroélectrique I_{FE} . Cette méthode tire profit du caractère non-volatile de l'orientation des domaines ferroélectriques, et son schéma est représenté à la figure 1.32 (a). Dans un premier temps, un premier pulse initialise les domaines ferroélectriques et les oriente, ici en polarisation négative. Ensuite, le premier pulse, nommé P, renverse ces domaines et mesure les trois contributions. Un second pulse, nommé U, de même signe que le pulse précédent P, est ensuite appliqué. Les domaines ferroélectriques ayant été orientés positivement par le pulse P, le pulse U ne renverse aucun domaine, ne mesure aucune contribution ferroélectrique, ainsi seulement les contributions du courant de fuite et du courant diélectrique sont mesurées. En soustrayant le courant du signal U à celui du signal P, on isole ainsi le courant ferroélectrique I_{FE} .

$$I_{FE} = I_P - I_U = (I_{FE} + I_L + I_\epsilon) - (I_L + I_\epsilon) \quad (1.8)$$

Pour compléter la partie négative de l'hystérésis $P(E)$, la même soustraction est réalisée entre le signal N et D, avec le précédent signal U comme initialisation pour le signal N. Si la figure 1.32 (b) démontre que cette méthode entraîne une plus faible valeur de polarisation rémanente que la méthode DHM ou DLLC, il n'en reste pas moins qu'elle n'est la résultante que du comportement ferroélectrique et s'avère ainsi la méthode la plus pertinente lors de la caractérisation de ce type de matériaux. C'est pour cette même raison que la méthode PUND sera utilisée comme méthode de référence dans la suite de ce manuscrit.

1.3.3.2 Montage et méthodologie de caractérisation électrique

Pour extraire la polarisation rémanente $2.P_R$ et le champ coercitif E_C , la méthode Positive Up Negative Down PUND, expliquée à la section précédente, est ainsi favorisée. Dans le cadre de cette thèse, cette mesure sera réalisée grâce à un instrument de mesure de tension et de courant nommé analyseur Keysight B1500. Une première pointe de mesure est reliée à un module Keysight B1530 waveform generator/fast measurement unit (WGFMU) qui permet d'appliquer une rampe de tension rapide, à une fréquence de plusieurs centaines de kHz maximum. Une seconde pointe est quant à elle en contact avec la seconde électrode et est reliée à un second Keysight B1530 WGFMU. Celui-ci va conserver l'électrode à la masse, tout en mesurant le courant induit par la rampe de tension appliquée à la première électrode. Ce montage est utilisé dans la totalité du chapitre 2 et 3, ainsi que dans la caractérisation préliminaire du chapitre 4.

Si la tension de mesure est fixée à 4V dans la grande majorité de ce manuscrit, ce qui est suffisant pour renverser les domaines d'un matériau de 10nm d'épaisseur dont le champ coercitif est proche de 2MV/cm, la fréquence de mesure est à optimiser. En effet, le courant à mesurer dépend de la surface du condensateur, mais également de la rampe

de tension $\frac{dV}{dt}$. Un condensateur ferroélectrique de HfO_2 de $10\,000\mu\text{m}^2$ est alors mesuré pour référence par méthode PUND dans le but de déterminer les meilleurs paramètres de mesure. On définit f_{PUND} la fréquence du signal PUND qui correspond à deux signaux triangulaires du signal PUND, de la même façon qu'un signal bipolaire standard. Ainsi, pour $f_{\text{PUND}} = 10\text{kHz}$, la rampe de montée de 0 à la tension maximum du signal P est de $25\mu\text{s}$. La figure 1.33 regroupe les mesures PUND obtenues grâce à trois jeux de paramètres.

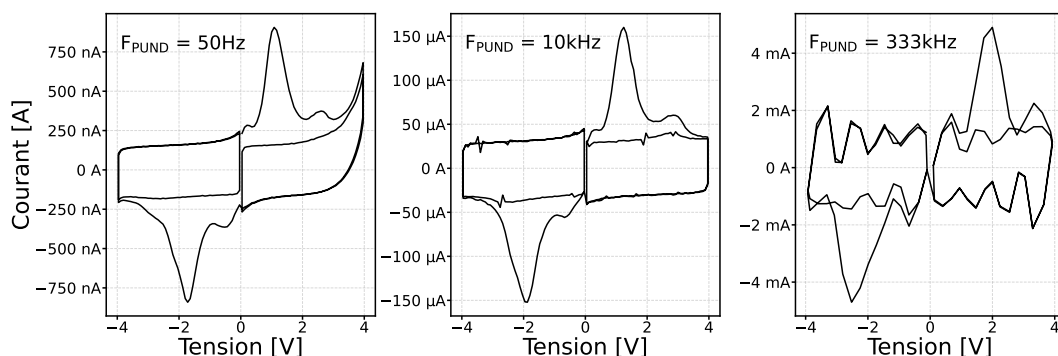


FIGURE 1.33 – Mesure PUND d'un échantillon ferroélectrique de référence à fréquence variable.

Les signaux PUND ont été mesurés avec une fréquence allant de 50Hz à 333kHz. Lorsque la fréquence est élevée, à 333kHz, le signal est clairement déformé et bruité, cela étant dû aux limitations de l'appareil en lui même. En parallèle, à 50Hz, on observe du côté positif du signal une forte augmentation du courant mesuré. Cela est dû au courant de fuite qui s'avère être très important. Lorsque la fréquence du signal est particulièrement basse, la méthode PUND ne permet pas de corriger entièrement le courant de fuite. En effet, lorsque la fréquence est faible, un grand nombre de charges sont piégées dans le condensateur lors du premier pulse P et induisent une modification du courant de fuite lors du signal U. Lors de la soustraction des deux signaux, on observe un pic de courant à tension élevée, qui n'est qu'un artefact de mesure mais entraîne une erreur significative sur la polarisation ferroélectrique. Un intermédiaire est ainsi trouvé avec une fréquence de 10kHz, où le signal acquis est de bonne résolution et corrige efficacement les courants non ferroélectriques.

Nous avons vu à la section 1.3.2.2 que la polarisation rémanente d'un matériau ferroélectrique évolue en fonction du conditionnement électrique réalisé, c'est-à-dire au cours du cyclage électrique du dispositif. Ainsi, il est primordial d'évaluer les performances ferroélectriques en fonction du nombre de cycles électriques appliqués. La séquence de mesure complète est présentée à la figure 1.34 et se découpe en deux parties. La partie principale est celle où la mesure PUND est réalisée, ce qui permettra la quantification des performances du dispositif. Dans la seconde partie de la séquence, pendant le cyclage, le courant n'est pas mesuré et la fréquence de cyclage est plus élevée, *i.e.* 100kHz, permettant d'atteindre un nombre de cycles final plus important pour un temps de mesure donné. La tension V_{Cycle} est généralement de 4V, mais n'est pas fixe dans toute la suite de ce manuscrit. Notons qu'un délai de $50\mu\text{s}$ est systématiquement appliqué entre chaque signal de mesure, en adéquation avec les mesures PUND réalisées dans la littérature de l'oxyde d'hafnium ferroélectrique.

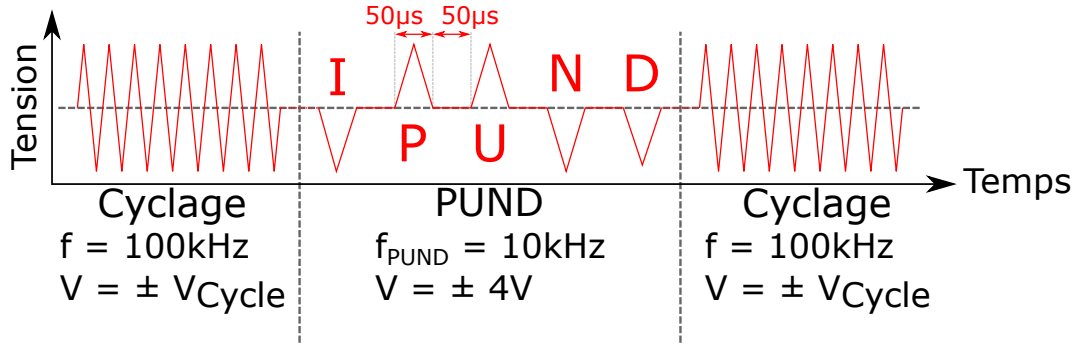


FIGURE 1.34 – Séquence d’évaluation des métriques ferroélectriques en cours de cyclage électrique. Le signal PUND est mesuré plusieurs fois par décade.

Pour illustrer les métriques obtenues grâce à cette séquence, un exemple est donné à la figure 1.35. La figure 1.35 (a) présente le courant ferroélectrique, *i.e.* la soustraction du signal P et U ainsi que celle du signal N et D, au cours du cyclage électrique dans le cas d’un condensateur ferroélectrique. En intégrant le courant en fonction du temps grâce à l’équation en rouge, on obtient la polarisation ferroélectrique en fonction du champ électrique appliqué, soit l’hystérésis P(E) de la figure 1.35 (b). De cette hystérésis, on extrait la polarisation rémanente positive et négative, *i.e.* les valeurs de polarisation à champ électrique nul. La différence entre ces deux valeurs définit la métrique $2.P_R$, *cf.* la figure 1.35 (c). Le champ coercitif, seconde métrique extraite, est la moyenne des deux valeurs $-E_C$ et $+E_C$ mesurées à polarisation nulle, représentée à la figure 1.35 (d). Cette méthodologie est systématiquement utilisée lors de la mesure d’un signal PUND.

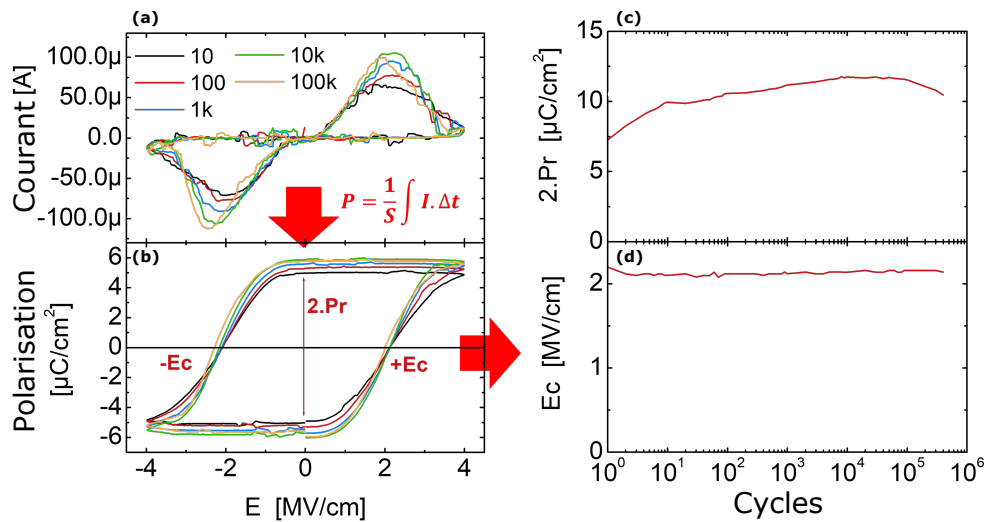


FIGURE 1.35 – (a) Courant ferroélectrique obtenu lors d’une mesure PUND sur un condensateur ferroélectrique de $10\,000\mu\text{m}^2$ de surface, en fonction du nombre de cycles. La mesure correspond à la séquence présentée à la figure 1.34. (b) P(E) obtenue par intégration du courant ferroélectrique et (c-d) les métriques $2.P_R$ et E_C qui en sont extraites.

1.4 Objectifs de la thèse

Cette thèse a pour objectif majeur d'étendre l'état de l'art des mémoires FeRAM à base de HfO_2 au travers de trois axes de recherche principaux :

- Analyse et optimisation des matériaux ferroélectriques à base de HfO_2 pour application mémoire
- Intégration dans un procédé BEOL du HfO_2 ferroélectrique et dimensionnement des condensateurs
- Caractérisation des performances de ces condensateurs ferroélectriques au sein d'un environnement matriciel / circuit

Au commencement de cette thèse, la recherche sur ce matériau n'en était qu'à ses prémices, utilisant des technologies de faible maturité et structures de test élémentaires. Les travaux réalisés dans le cadre de cette thèse ont ainsi vocation à éveiller l'intérêt des acteurs majeurs des technologies mémoire en mettant en avant les performances du HfO_2 ferroélectrique à des niveaux de maturité plus élevés, en prenant en compte les enjeux de la production industrielle et en s'intéressant à des circuits mémoire opérationnels.

Cette thèse porte sur les matériaux HSO et HZO. En effet, nous avons analysé en détail deux des principaux composés ferroélectriques à base d'oxyde d'hafnium : le HSO, fabriqué directement au CEA-LETI, et le HZO, qui est le fruit de la collaboration avec NaMLab gGmbH au sein du projet européen 3 ϵ FERRO. Ces chapitres comprennent les résultats principaux de la caractérisation électrique de ces matériaux.

Le chapitre 2 porte dans un premier temps sur la caractérisation de ces deux matériaux sur de larges structures, *i.e.* des condensateurs typiquement de $10\,000\mu\text{m}^2$ de surface. Ces structures, de par leur simplicité, leur faible coût ainsi que leur rapidité de fabrication, permettent l'optimisation des procédés de fabrication grâce à l'utilisation de multiples variantes technologiques. Nous analysons alors, dans le cas du HSO, l'influence du dopant silicium mais également l'impact de la méthode de dopage en comparant les résultats obtenus par implantation ionique et Atomic Layer Deposition ALD. Une première étude est réalisée avec des températures compatibles BEOL sur des dispositifs de larges surfaces. En effet, le second défi de cette thèse est l'intégration de ce matériau dans un procédé Back-End-Of-Line BEOL, où les températures utilisables sont limitées et peuvent être préjudiciables vis-à-vis de la cristallisation de la phase ferroélectrique. Pour finir, des échantillons dont le recuit est effectué par impulsion laser, permettant une haute température de surface compatible avec l'intégration BEOL, sont analysés dans le but d'optimiser les performances ferroélectriques.

Ensuite, les matériaux ferroélectriques sont intégrés en BEOL sur une technologie CMOS au nœud 130nm. Le chapitre 3 porte sur la caractérisation de condensateurs intégrés dans un procédé avancé et permettant l'accès à des surfaces unitaires inférieures à $1\mu\text{m}^2$. Un protocole de mesure spécifique est mis en place pour analyser les faibles courants mesurés sur ce type de surface. Les performances ferroélectriques sont caractérisées sur ces dispositifs, ce qui permet d'observer l'impact du procédé d'intégration lui-même mais également les modifications apportées par la réduction d'échelle. Les variables de la ferroélectricité, *i.e.* polarisation rémanente et champ coercitif, sont mesurées ainsi que les

performances mémoire telles que l'endurance et la cinétique de programmation. Des structures spécifiques composées de condensateurs submicrométriques en parallèle permettent l'analyse de l'influence de l'espacement entre les condensateurs sur le comportement ferroélectrique.

Le chapitre 4 conclut ce manuscrit en présentant les résultats obtenus sur des matrices mémoire FeRAM de 16kbit. Les condensateurs caractérisés au chapitre 3 sont ainsi introduits au sein d'une matrice, sous la forme de cellules mémoire 1T-1C, et permettent de donner une vision, d'une part, réaliste des performances du matériau au travers d'un environnement proche de l'industriel, et d'autre part, statistique grâce aux 16 384 condensateurs mesurés dans chaque matrice. L'ajout d'un circuit logique autour des condensateurs ferroélectriques permet une mesure logique directe de l'état mémoire stocké dans celui-ci, *i.e.* la valeur binaire 0 ou 1 de l'état mémoire. Il est ainsi nécessaire de présenter en détail le fonctionnement d'une cellule 1T-1C FeRAM dont la lecture est permise grâce à un Sense Amplifier. Ce circuit, comportant en même temps des entrées analogiques et logiques, nécessite la mise en place d'un nouveau système de mesure complet. Après avoir détaillé le système de mesure et présenté ses avantages et limitations, un premier niveau de caractérisation porte sur la vérification des systèmes périphériques du circuit. Ainsi, le bon fonctionnement du système d'adressage ou encore des générateurs de pulses internes est vérifié avant même de mesurer un dispositif ferroélectrique. Ce chapitre porte ensuite sur la caractérisation de matrices mémoire possédant des condensateurs de $0.36\mu\text{m}^2$ de surface. Bien que la lecture par un Sense Amplifier SA ne permette pas une mesure analogique de la fenêtre mémoire, une stratégie alternative est utilisée permettant l'analyse fine du comportement de la mémoire FeRAM. Nous pouvons alors caractériser, à l'échelle de la matrice 16kbit, les distributions des états mémoire, la rétention de l'information programmée, l'endurance du point mémoire mais aussi la vitesse d'opération. Ce manuscrit se termine sur l'étude de dispositifs de surface inférieure, jusqu'à $0.16\mu\text{m}^2$ de surface de condensateur, ainsi qu'à des tensions d'opérations inférieures pour explorer les limitations actuelles de la technologie et conclure quant aux optimisations possibles à l'avenir pour continuer à rapprocher du marché industriel la technologie FeRAM à base d'oxyde d'hafnium. Pour finir, une conclusion générale est donnée et les perspectives de ce travail sont mises en avant.

Cette thèse a été financée dans le cadre du projet européen 3εFERRO en collaboration avec huit partenaires dont le CEA-LETI, STMicroelectronics, NaMLab gGmbH ou encore l'école Centrale de Lyon.

Chapitre 2

Caractérisation des matériaux ferroélectriques HfO_2 dopé silicium et $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Table des matières du Chapitre 2

2.1	Ferroélectricité et performances du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	54
2.1.1	Procédé de fabrication du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	55
2.1.2	Évaluation de la compatibilité BEOL du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	56
2.1.3	Performances mémoire du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$	58
2.2	Le HfO_2 dopé silicium et ses méthodes de dopage	63
2.2.1	Dopage par implantation ionique	64
2.2.2	Comparaison de l'implantation ionique avec le dopage in-situ lors du dépôt ALD	69
2.2.3	Caractérisation des performances mémoire en fonction de la technique de dopage	74
2.3	L'oxyde d'hafnium dopé silicium vers l'intégration Back-End-Of-Line	79
2.3.1	Les possibilités de recuits standards	79
2.3.2	Le recuit Laser pour renforcer la cristallisation de la phase ferroélectrique	82

Introduction

L'obtention de phase orthorhombique ferroélectrique dans le cas de l'oxyde d'hafnium s'avère être une combinaison de plusieurs paramètres du procédé de fabrication. Plusieurs leviers peuvent être utilisés, parmi lesquels le dopage et le recuit de cristallisation. Ce chapitre porte ainsi sur l'élaboration de matériaux ferroélectriques à base de HfO_2 en influant sur ces deux paramètres. Dans un premier temps, l'alliage $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (HZO), très étudié dans la littérature, est caractérisé pour définir un point de référence. Les condensateurs à base de HZO ont été réalisés dans le but d'évaluer les possibilités d'intégration de ce matériau dans un procédé BEOL. Ce faisant, une étude de l'influence de la température de recuit est réalisée, celle-ci étant volontairement inférieure à 550°C pour être compatible BEOL, *i.e.* la fabrication des condensateurs au niveau BEOL ne doit pas dégrader les composants élémentaires tels que les transistors du niveau FEOL. Également, l'endurance et la vitesse de programmation sont étudiées, ainsi que la rétention de l'information du matériau HZO au moyen de séquences de mesure adaptées aux spécificités du comportement ferroélectrique. Pour finir, une simulation ab-initio du HZO permet de comprendre la cristallisation de la phase orthorhombique lors de recuits compatibles BEOL.

Dans un second temps, nous proposons l'utilisation du silicium pour doper l'oxyde d'hafnium, matériau nommé HSO dans la suite de ce manuscrit, et nous réalisons une première analyse de l'influence du pourcentage de silicium sur l'apparition de la phase orthorhombique. Ce dopage est tout d'abord réalisé par implantation ionique, et optimisé pour accroître au maximum la polarisation ferroélectrique. Au travers de caractérisations électriques, nous comparons ensuite cette méthode de dopage à la méthode de dopage par ALD. Pour finir, les performances mémoire de ces matériaux sont extraites. Ainsi, l'endurance et la vitesse de programmation des condensateurs ainsi fabriqués sont évaluées.

Pour finir, nous réalisons une étude de recuits compatibles BEOL sur le HfO_2 dopé silicium par implantation ionique permettant d'assurer une bonne ferroélectricité. Après avoir caractérisé plusieurs variantes de référence, le HfO_2 dopé silicium recuit à 500°C est mesuré. De plus, s'il est possible d'obtenir une phase ferroélectrique avec un recuit si faible en température, une seconde alternative est proposée grâce au recuit par pulse laser. Des simulations thermiques sont réalisées pour déterminer les températures atteintes dans l'empilement, puis ce type de matériau est analysé morphologiquement et électriquement pour évaluer les avantages et inconvénients de cette technique dans le cas d'une intégration BEOL.

2.1 Ferroélectricité et performances du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Dans la littérature, la phase ferroélectrique est souvent obtenue par dopage, et plus précisément, dans la majorité des cas, par l'utilisation d'un alliage de zirconium (Zr) et d'oxyde d'hafnium (HfO_2). Il a été démontré que le maximum de polarisation rémanente est obtenu dans un alliage de HfO_2 et de ZrO_2 à proportion égale, soit du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ [73,96,97]. Ce matériau, systématiquement fabriqué dans ces proportions dans la suite de ce manuscrit, sera noté HZO pour simplifier.

Cette section se propose ainsi d'évaluer les performances ferroélectriques du HZO et sa

possibilité d'intégration en BEOL. Dans un premier temps, le procédé de fabrication est explicité. Nous verrons alors s'il est possible de cristalliser la phase orthorhombique ferroélectrique pour du HZO grâce à des températures de recuit compatibles avec l'intégration BEOL, *i.e.* moins de 550°C. Nous nous appuyons alors sur une simulation ab-initio pour approfondir la compréhension de la formation des phases du HZO, en particulier de la phase orthorhombique. Ensuite, les performances en termes de rétention d'information, d'efficacité de programmation et d'endurance sont caractérisées au moyen de séquences spécifiques détaillées au préalable.

2.1.1 Procédé de fabrication du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Le matériau HZO est généralement fabriqué par ALD en alternant des couches des précurseurs permettant le dépôt de HfO_2 et de ZrO_2 . Cependant, le CEA-LETI ne possédait pas, au moment de cette thèse, la chambre de dépôt permettant la réalisation de cet alliage. C'est donc dans le cadre du projet 3 ϵ FERRO que ces échantillons ont été réalisés. C'est un des partenaires de ce projet, NaMLab gGmbH, qui s'est chargé du dépôt de la couche de HZO. La base même de chaque plaque est réalisée au CEA-LETI, jusqu'au dépôt de la BE de 100nm de TiN par PVD. Le dépôt du HZO est ensuite réalisé par ALD à NaMLab gGmbH en alternant dans les mêmes proportions des cycles des précurseurs apportant le Hf et le Zr, jusqu'à une épaisseur visée de 10nm. Avant d'expédier les plaques au CEA-LETI pour finaliser la fabrication, une fine couche de 10nm de TiN a été déposée pour protéger le HZO de l'oxydation.

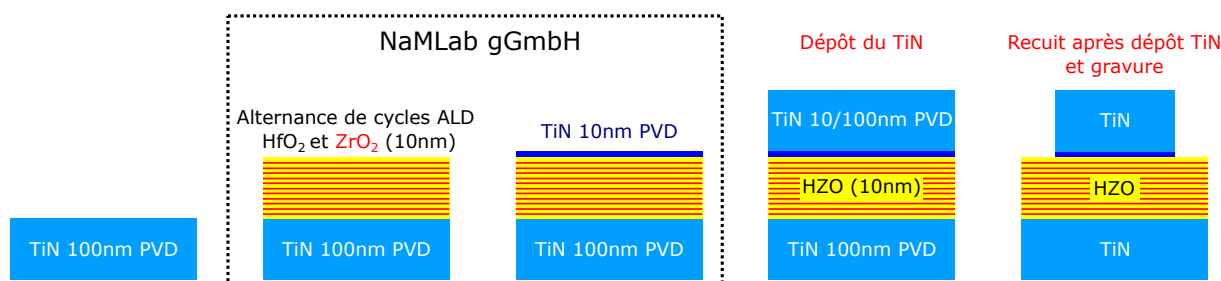


FIGURE 2.1 – Procédé de fabrication des condensateurs de 100 μm de diamètre à base de HZO. Les étapes réalisées par NaMLab gGmbH sont signalées par l'encadré en pointillés.

La fin du procédé a été réalisée au CEA-LETI, en commençant par le dépôt d'une couche de 100nm de TiN pour compléter la TE. Pour finir, les condensateurs ont été gravés par lithographie avec arrêt sur le HfO_2 . La structure gravée est un condensateur circulaire de 100 μm de diamètre. Enfin, les plaques ont été recuites pour permettre la cristallisation avec des températures compatibles avec une intégration BEOL, c'est-à-dire proche de 500°C maximum. La figure 2.1 résume les étapes de fabrication des condensateurs à base de HZO. Deux plaques ont également été fabriquées sans étape de lithographie, pour pouvoir réaliser des mesures GIXRD et donner une première vision de la cristallisation du HZO. Cette méthode nécessitant une large surface d'interaction avec le faisceau incident, elle ne peut être réalisée sur les condensateurs gravés.

La figure 2.2 représente les spectres GIXRD obtenus sur une plaque recuite à 450°C pendant 80s et une plaque de référence non recuite, pour l'empilement MFM TiN / HZO

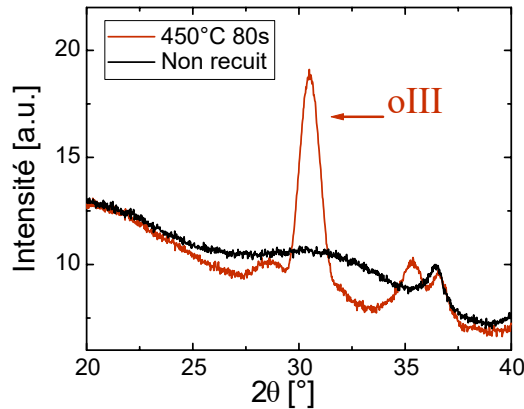


FIGURE 2.2 – Spectres GIXRD obtenus pour un empilement TiN/HZO/TiN pleine plaque avec recuit à 450°C pendant 80s et sans recuit.

/ TiN. Sans recuit, peu de pics sont visibles, ce qui tend à démontrer la faible cristallisation du HZO. En revanche, après recuit à 450°C pendant 80s, un pic proche de 30° en 2θ est clairement visible, pic qui est attribué à la présence de la phase cristalline orthorhombique oIII, responsable de la ferroélectricité du matériau HfO_2 [57, 83]. Ce recuit est ainsi suffisant pour permettre la cristallisation de l’oxyde d’hafnium pour cette plaque, cependant celle-ci est sensiblement différente des plaques mesurables électriquement, il sera donc nécessaire de confirmer électriquement la présence de ferroélectricité pour un recuit à faible température, compatible BEOL, sur les plaques gravées.

2.1.2 Évaluation de la compatibilité BEOL du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Les condensateurs de 10 000 μm de diamètre sont des structures de test idéales pour la caractérisation électrique des performances ferroélectriques du HZO. Celles-ci sont mesurées en utilisant un signal PUND avec des paramètres similaires à ceux décrits dans la section 1.3.3.2. Plusieurs variantes technologiques sont fabriquées et, dans un premier temps, nous nous intéressons à l’influence du recuit de cristallisation.

2.1.2.1 Influence du budget thermique

Le recuit de cristallisation devant être compatible avec une intégration BEOL, les températures choisies doivent être plus faibles que 550°C. Trois plaques sont recuites pendant 600s à 520°C, 500°C et 450°C. Le budget thermique d’une quatrième plaque correspond à un recuit plus court de 200s à 350°C. Pour chaque condition de recuit, la polarisation ferroélectrique est évaluée sur dix condensateurs, répartis sur les plaques de manière homogène, au moyen de la séquence présentée à la figure 1.34, soit dix fois par décade grâce au même signal PUND. La figure 2.3 (a) représente la polarisation rémanente $2.P_R$ extraite au cours d’un cyclage triangulaire à 4V/100kHz pour les quatre conditions de recuit.

Cette figure démontre dans un premier temps que la phase cristalline orthorhombique, responsable du phénomène de ferroélectricité au sein du matériau HfO_2 , est bien présente

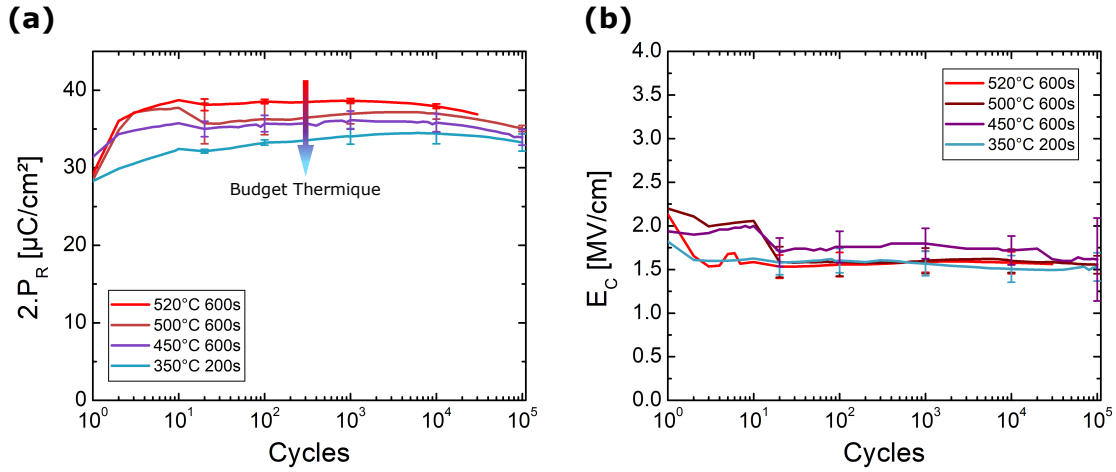


FIGURE 2.3 – (a) Polarisation rémanente $2.P_R$ et (b) champ coercitif E_C au cours d'un cyclage triangulaire à $4V/100kHz$ pour les quatre conditions de recuit du HZO. Dix condensateurs sont mesurés par méthode PUND et la valeur moyenne ainsi que l'écart type des deux métriques est représentée.

pour des budgets thermiques très faibles, jusqu'à $350^\circ C$ pendant 200s, ce qui est compatible avec une intégration BEOL. Les conclusions de la mesure GIXRD de la figure 2.2 sont donc confirmées par la mesure électrique. En parallèle, le matériau mis au point à ces températures doit présenter de bonnes performances ferroélectriques et mémoire. On constate ainsi que la polarisation rémanente est supérieure à $30\mu C/cm^2$ même pour le recuit à $350^\circ C$ pendant 200s. Cette valeur de polarisation rémanente est similaire à l'état de l'art du HZO ferroélectrique [86]. Un budget thermique plus important induit également une augmentation de la polarisation rémanente au détriment de la fiabilité du composant. En effet, dans le cas du recuit à $520^\circ C$ pendant 600s, quatre condensateurs sur les dix mesurés présentent un claquage diélectrique total avant 10^5 cycles. Pour finir, la figure 2.3 (b) présente le champ coercitif mesuré sur ces dispositifs pour toutes les conditions de recuit en fonction du nombre de cycles. On remarque une diminution de toutes les valeurs de champ coercitif après quelques cycles, en accord avec le phénomène d'imprint, puis les valeurs sont comprises entre $1.5MV/cm$ et $1.75MV/cm$, promettant des tensions d'opérations inférieures à $2V$ pour un dispositif FeRAM. Aucune tendance en fonction du recuit n'est visible, contrairement à la polarisation rémanente.

2.1.2.2 Simulation ab-initio de la cristallisation du $Hf_{0.5}Zr_{0.5}O_2$

Pour comprendre la cristallisation du HZO, et en particulier de la phase orthorhombique ferroélectrique, une simulation ab-initio du matériau est réalisée. Celle-ci revient à simuler directement la maille cristalline, atome par atome, et leurs interactions. Une maille de HZO est simulée ab-initio jusqu'à une épaisseur de 10nm, et la stabilité des phases, ainsi que leur orientation, sont calculées grâce au logiciel Siesta par la théorie de la fonctionnelle de la densité (ou DFT pour Density Functional Theory) avec l'approximation du gradient généralisé (GGA). L'énergie ΔU est représentée à la figure 2.4 en fonction de l'épaisseur du HZO pour différentes phases cristallines. Cette valeur repré-

sente la différence en énergie interne, par unité de surface, entre une phase donnée et la phase monoclinique m-HZO(-111), phase de référence qui s'avère être la plus stable pour 10nm de HZO.

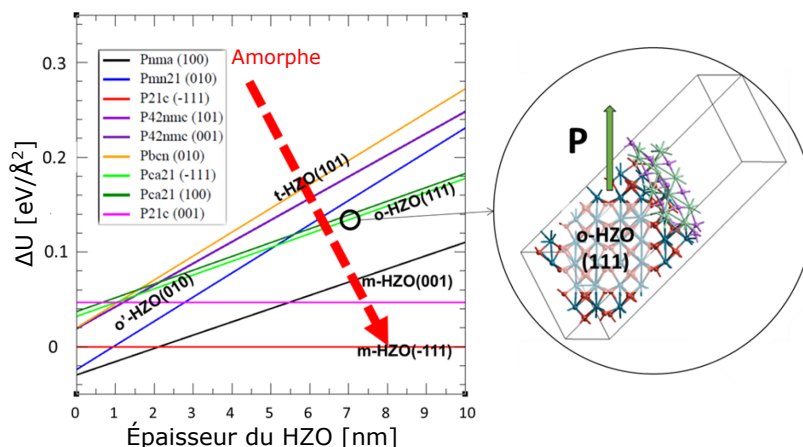


FIGURE 2.4 – Simulation ab-initio par DFT GGA grâce au logiciel Siesta de l'énergie ΔU pour différentes phases cristallines du HZO, de 1nm à 10nm d'épaisseur. L'encart représente la maille cristalline orthorhombique ferroélectrique o(111) du HZO.

Si la phase monoclinique m-HZO(-111) est la plus stable, on remarque notamment que la phase tétragonale P42nmc d'orientation (101) et la phase ferroélectrique Pca21 (-111) sont toutes deux métastables et leur énergie ΔU varie en fonction de l'épaisseur. La flèche rouge indique comment l'augmentation du budget thermique lors du recuit influence la réorganisation du système. Ainsi, le système passe d'amorphe, *i.e.* système en désordre à haute énergie, jusqu'à monoclinique, faible en énergie, mais en passant par les phases tétragonale et orthorhombique d'énergie intermédiaire. Ainsi, commencer la cristallisation, par un recuit de cristallisation, d'un matériau HZO en phase amorphe et non en phase monoclinique est essentiel pour obtenir la phase orthorhombique [98]. Cette tendance explique le fait que nous obtenions un matériau ferroélectrique bien que les températures de recuit soient faibles.

2.1.3 Performances mémoire du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

2.1.3.1 Méthode de caractérisation de l'efficacité de retournement

Jusqu'à présent, un signal PUND utilisant des signaux triangulaires était utilisé pour mesurer la polarisation ferroélectrique au cours d'un cyclage réalisé par des signaux triangulaires, dans une logique de caractérisation du matériau et conformément aux protocoles communément utilisés dans la littérature. Nous cherchons maintenant à nous affranchir de ces signaux triangulaires pour nous tourner vers des pulses carrés, généralement utilisés dans les circuits logiques d'un dispositif mémoire. Il est alors possible de mettre en place une méthodologie permettant la mesure de l'efficacité de programmation d'un pulse carré, qu'on peut également considérer comme l'efficacité de retournement des domaines ferroélectriques. Les pulses carrés que nous utilisons comprennent une rampe de montée

et de descente en tension rapides, où $t_{\text{rise/fall}} = 100\text{ns}$. Étant donné la surface importante du condensateur, et le fait que le courant de déplacement est proportionnel à $\frac{dV}{dt}$, il n'est pas directement possible de mesurer le courant de déplacement, trop important, pendant la rampe de montée, d'observer le retournement des domaines ferroélectriques et donc de mesurer la polarisation ferroélectrique programmée par un pulse carré. Une méthode alternative, basée sur des pulses triangulaires similaires au signal PUND, est représentée à la figure 2.5.

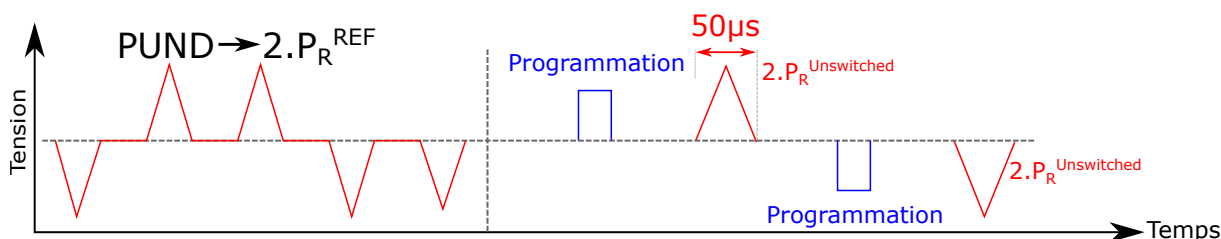


FIGURE 2.5 – Séquence de mesure de l'efficacité de retournement des domaines ferroélectriques suite à un pulse carré de tension.

Dans un premier temps, nous réalisons une mesure PUND similaire à celles précédemment réalisées. Ce PUND a pour objectif de donner une valeur de polarisation de référence $2.P_R^{\text{REF}}$. Celle-ci est considérée comme le maximum de polarisation rémanente que le pulse carré peut retourner. Le signal D du PUND permet d'orienter négativement les domaines ferroélectriques. Par la suite, le pulse de tension carré positif sert de programmation des domaines ferroélectriques, et n'est pas mesuré en raison de la rampe de tension très courte. Le signal de lecture est similaire au signal P du signal PUND et va permettre de mesurer la quantité de domaines ferroélectriques qui n'ont pas été renversés par le pulse carré de programmation, ou $2.P_R^{\text{Unswitched}}$. Notons que ce signal peut également servir à orienter positivement les domaines pour évaluer l'efficacité d'un pulse carré négatif, la méthodologie étant alors symétrique. Les rampes de tension étant identiques entre le signal PUND de référence et le signal de lecture, à savoir 4V d'amplitude et 25µs de temps de montée, la polarisation obtenue par le signal PUND et celle mesurée par le signal de lecture peuvent être considérées identiques dans le cas où le pulse de programmation ne retourne aucun domaine, *i.e.* une efficacité de 0% du pulse carré. En connaissant la polarisation de référence et cette polarisation restante, on peut calculer la polarisation effective du pulse carré que l'on nomme $2.P_{\text{SW}}$, représentant également la quantité de polarisation effectivement renversée lors d'un cyclage par un pulse carré. Cette séquence permet ainsi de définir l'efficacité de retournement d'un pulse carré :

$$\text{Efficacité de retournement [\%]} = \frac{2.P_{\text{SW}}}{2.P_R^{\text{REF}}} \times 100 = \frac{2.P_R^{\text{REF}} - 2.P_R^{\text{Unswitched}}}{2.P_R^{\text{REF}}} \times 100 \quad (2.1)$$

2.1.3.2 Efficacité de retournement du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Le matériau HZO s'avérant prometteur pour une intégration BEOL à des températures inférieures à 550°C, on se propose d'évaluer les performances mémoire du HZO, à savoir l'efficacité de retournement des domaines ferroélectriques lors de la programmation par

un pulse carré. Les condensateurs de 100 μ m de diamètre dont le recuit est opéré à 450°C pendant 600s sont utilisés pour ces mesures. Dans un premier temps, l'efficacité de programmation est mesurée, en utilisant la méthodologie précédemment décrite. L'amplitude du pulse de programmation carré varie de 1V jusqu'à 4V, avec un temps $t_{\text{rise/fall}} = 100\text{ns}$ et la largeur du plateau du pulse varie de 10 μ s jusqu'à 30ns. Le condensateur est également pré-cyclé à 10^4 cycles (4V/100kHz). Notons que si ce test n'est pas réalisé de manière statistique, il est tout de même reproduit sur quelques condensateurs pour s'assurer de la reproductibilité du résultat.

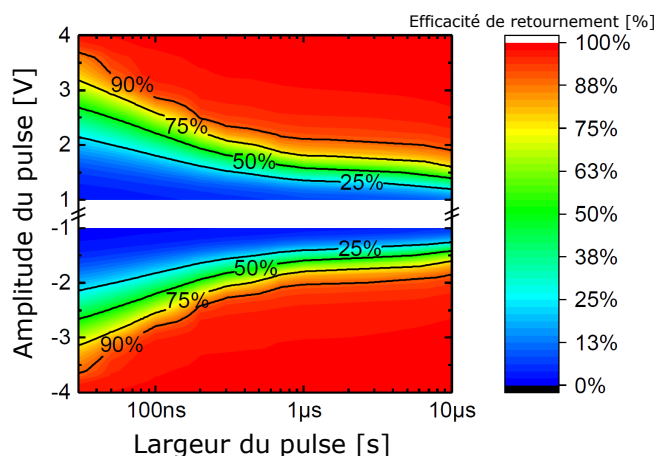


FIGURE 2.6 – Efficacité de programmation d'un pulse carré en fonction de son amplitude et de la largeur du plateau ($t_{\text{rise/fall}} = 100\text{ns}$) dans le cas de 10nm de HZO dont le recuit est effectué à 450°C pendant 600s.

Le résultat de cette caractérisation est présenté à la figure 2.6 et démontre une efficacité de retournement très importante, *i.e.* de plus de 90%, pour une largeur de plateau de 30ns à 4V et ce qu'importe la polarité du pulse de programmation. Cette figure démontre que l'efficacité de programmation est un compromis entre tension et largeur du pulse. À 2V par exemple, l'efficacité de retournement des domaines ferroélectriques sera de plus en plus importante lorsque la largeur du pulse augmente. On note ainsi que l'application visée peut conditionner la vitesse de programmation. En effet, si une faible polarisation rémanente est suffisante pour une application, alors le pulse de programmation peut être court ou de plus faible amplitude. À l'inverse, une application nécessitant une forte polarisation rémanente induit des limitations quant aux conditions du pulse de programmation.

2.1.3.3 Optimisation de l'endurance et claquage diélectrique

Nous avons mis en évidence la différence qu'apporte l'utilisation d'un pulse carré, et surtout le compromis entre amplitude et largeur de pulse. Si une différence en efficacité de retournement existe, on peut anticiper que les valeurs de polarisation dépendent également de ce pulse carré, et notamment lorsque celui-ci est utilisé comme pulse de cyclage sur un dispositif vierge n'ayant pas été cyclé au préalable par 10^4 cycles comme pour la figure précédente. Nous pouvons ainsi optimiser les performances du HZO en modifiant le signal d'endurance, et ainsi observer le compromis qui existe entre polarisation effective

maximum et fin de vie du dispositif. Pour ce test, nous utilisons trois pulses carrés dont la largeur de plateau est fixée à $1\mu\text{s}$, mais dont l'amplitude est de 2V, 3V et 4V. Un quatrième pulse à 3V d'amplitude mais dont la largeur de pulse est de 100ns, cohérent avec les signaux utilisés dans des dispositifs mémoire, complète cette analyse. Pour chaque type de signal, nous caractérisons dix condensateurs circulaires de $100\mu\text{m}$ de diamètre sur la plaque ayant subi un recuit à 450°C pendant 600s. Nous mesurons ici $2.P_{\text{SW}}$ quatre fois par décades, pour avoir une vision réaliste de la polarisation effective programmée par le pulse carré, en utilisant la méthodologie présentée à la figure 2.5. La mesure est réalisée jusqu'à la fin de vie des dispositifs, que ce soit par claquage diélectrique ou potentiellement lorsque la valeur de $2.P_{\text{SW}}$ est nulle. Notons que ces deux conditions définissent la durée de vie du dispositif, que nous nommons CBD pour Cycle-To-Breakdown.

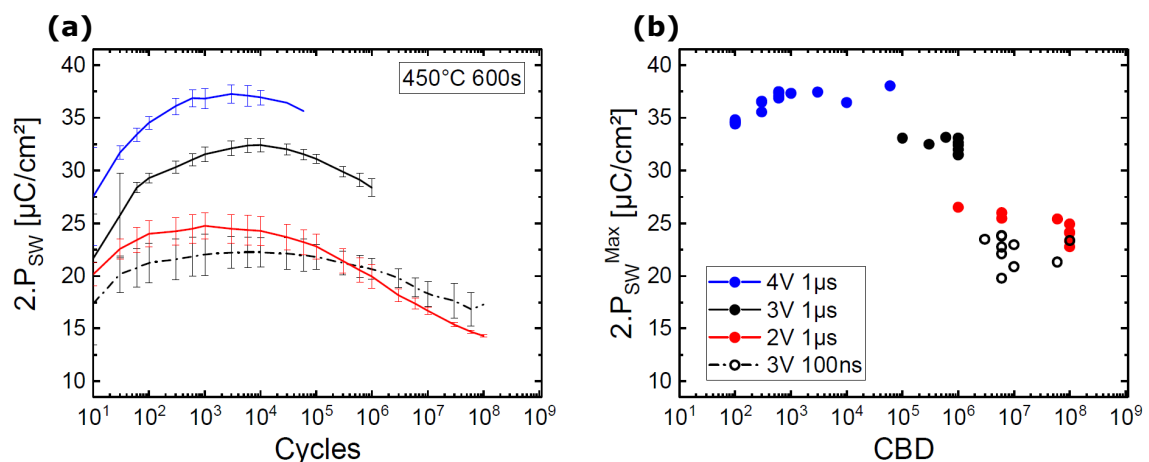


FIGURE 2.7 – (a) Polarisation effective $2.P_{\text{SW}}$ du matériau HZO au cours d'un cyclage réalisé par différents pulses carrés. Dix condensateurs circulaires de $100\mu\text{m}$ de diamètre sont caractérisés pour chaque condition de mesure. (b) Polarisation effective maximum pour chaque condition d'endurance en fonction de sa durée de fonctionnement CBD. Le temps de montée des pulses carré est fixe $t_{\text{rise/fall}}=100\text{ns}$.

La figure 2.7 (a) présente la polarisation effective $2.P_{\text{SW}}$ en fonction du nombre de cycles d'endurance, pour quatre couples de conditions amplitude/largeur de pulse. La polarisation est plus élevée lorsque l'amplitude du pulse carré augmente, ou lorsque la largeur du plateau augmente. En modulant l'amplitude des pulses d'endurance de 4V à 2V, il est possible d'améliorer l'endurance de trois ordres de grandeurs, jusqu'à 10^8 cycles. En contrepartie, la polarisation $2.P_{\text{SW}}$ ne diminue que d'un facteur deux, et n'atteint pas une valeur nulle de polarisation, les performances en endurance étant dans ces cas limitées par le claquage diélectrique. On constate également que des performances très similaires peuvent être obtenues pour deux couples amplitude/largeur de pulse différents, à savoir pour les couples 2V/ $1\mu\text{s}$ et 3V/100ns. Pour ces couples, la polarisation effective est similaire, que ce soit en valeur mais également en variation au cours de l'endurance. Ainsi, les deux couples induisent un effet de wake-up, mais également un phénomène de fatigue, et le claquage diélectrique des dispositifs est dans les deux cas proche de 10^8 cycles. On représente également la polarisation effective maximum atteinte au cours du cyclage de chaque dispositif en fonction de sa durée de fonctionnement CBD à la figure 2.7

(b), pour les quatre conditions d'endurance. Cette figure met d'autant plus en évidence la similitude entre les couples 2V/1 μ s et 3V/100ns. En outre, on observe un compromis entre polarisation maximum et claquage diélectrique, qui a déjà été observé précédemment [83]. Ce phénomène peut être dû à une réaction d'interface entre l'électrode de TiN et le HfO₂, induisant diffusion de Ti et de N dans le HfO₂ et formation d'interface Ti-O(-N) [83]. Il est cependant difficile de déterminer si le CBD est influencé par la polarisation, la tension, ou encore le temps de stress électrique. Une analyse similaire sur du HfO₂ dopé silicium donnera certains éléments de réponse complémentaires dans la suite de ce manuscrit. On peut cependant noter qu'une ingénierie fine du conditionnement électrique permet l'obtention d'une large gamme de performances, signifiant qu'un même matériau peut être utilisé pour différentes applications nécessitant des performances spécifiques.

2.1.3.4 Rétention de l'information

En plus de ces deux caractéristiques primordiales, l'endurance et la rapidité de programmation, l'un des défis majeurs d'un dispositif NVM est de conserver dans le temps l'information programmée. La rétention de l'information est évaluée en caractérisant la dérive de la fenêtre mémoire après un certain temps d'attente à haute température, dans le but d'accélérer les phénomènes induisant la perte de l'information. Dans le cas d'une OxRAM par exemple, une température plus élevée facilite le déplacement des lacunes en oxygène, qui vont à terme se distribuer de façon homogène dans le matériau, rompant ainsi le filament conducteur [39].

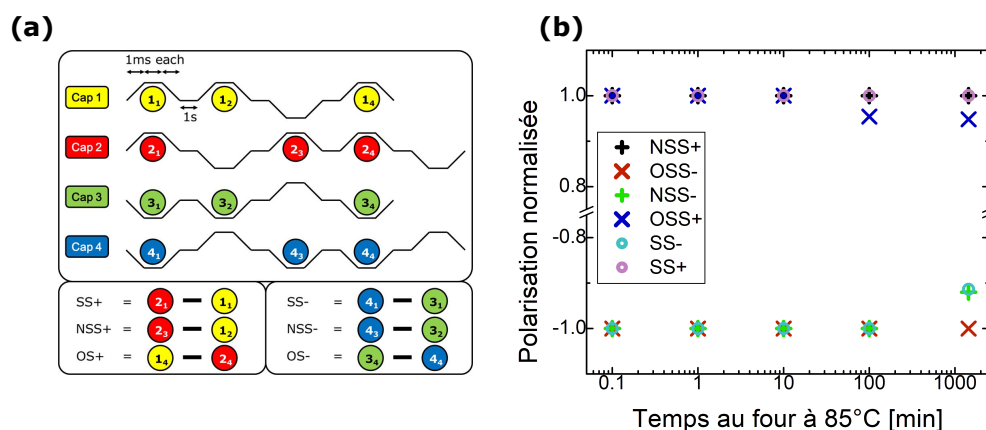


FIGURE 2.8 – (a) Séquence de mesure standard de la rétention de l'information dans le cas d'une mémoire ferroélectrique [87]. Le recuit au four est effectué à la fin de la séquence, l'état programmé correspondant au dernier pulse appliqué. (b) résultats de ce test à 85°C dans le cas de condensateurs de 100 μ m de diamètre à base de HZO, jusqu'à une journée de temps d'attente.

Dans le cas de la ferroélectricité, l'information est programmée grâce à l'orientation des dipôles dans le matériau, mais l'état de moindre énergie, l'état d'équilibre, est équiproportionnel en termes d'orientation dans le cas d'un empilement parfait et symétrique. Une partie des domaines va donc avoir tendance à se retourner, on parle alors de back-switching. Par ailleurs, étant donné la nature destructive de la lecture d'une FeRAM,

une méthodologie particulière doit être mise en place, l'état mémoire étant détruit après chaque temps d'attente.

L'évaluation de la rétention de l'information dans le cas d'une mémoire ferroélectrique est généralement effectuée selon la méthode présentée à la figure 2.8 (a) [87]. Quatre condensateurs équivalents sont utilisés et une logique similaire au signal PUND est employée. En fonction de l'état programmé avant le temps d'attente au four, la lecture suivante permettra d'obtenir différents retournements ferroélectriques similaires au signal PUND. On évalue alors la polarisation, par exemple, positive que l'on peut obtenir après un temps d'attente en ayant programmé le condensateur dans un état positif également (Same State SS) ou dans l'état opposé (Opposite State OS). On peut ainsi prendre en compte toutes les dérives possibles de la fenêtre mémoire. Cette mesure est effectuée sur des condensateurs de 100 μm de diamètre, sur une plaque similaire à celle testée précédemment. L'amplitude des signaux est de 3V et la mesure électrique est réalisée à température ambiante, les condensateurs étant placés au four à 85°C entre chaque mesure, et ce jusqu'à un temps d'attente d'une journée, soit 1440 minutes. La figure 2.8 (b) présente les résultats de ce test pour les six types de rétention d'information évalués avec la méthodologie proposée [87]. On observe ainsi que l'information est parfaitement conservée jusqu'à 100 minutes d'attente pour toutes les rétentions mesurées. À partir de 100 minutes, le dispositif perd une partie de l'information programmée, *i.e.* la polarisation décroît de 10% maximum après une journée à 85°C.

2.2 Le HfO₂ dopé silicium et ses méthodes de dopage

La première partie de ce chapitre 2 a porté sur l'étude de condensateurs utilisant l'alliage d'oxyde d'hafnium et de zirconium, HZO, comme matériau ferroélectrique. Si ce matériau est un bon point de référence, démontrant une compatibilité BEOL ainsi que des performances mémoire prometteuses, il n'est pas entièrement fabriqué au CEA-LETI. Ce faisant, il s'avère difficile de contrôler l'entièreté du procédé de fabrication, mais aussi de fabriquer une gamme de variantes technologiques étendue pour optimiser le matériau. Nous avons vu à la section 1.3.2 que le silicium est l'un des dopants couramment utilisés dans la littérature, en plus d'être celui originellement employé par T. Böscke lors de la découverte de la phase orthorhombique ferroélectrique du HfO₂ [57]. Il est possible de fabriquer, au CEA-LETI, de multiples échantillons à base de HfO₂ dopé silicium, ou HSO. Cette section présente dans un premier temps la méthode de dopage par implantation ionique, ses avantages et inconvénients, et se propose de déterminer le pourcentage de silicium optimal pour une application mémoire. Ensuite, ces échantillons sont comparés à d'autres condensateurs à base d'oxyde d'hafnium dopé silicium, mais où le dopage est réalisé durant la phase de déposition par Atomic Layer Deposition ALD, méthode de dopage couramment utilisée dans la littérature du HfO₂ ferroélectrique [73, 96, 97, 99]. Cette section se conclut sur l'extraction des performances mémoire telles que l'efficacité de retournement des domaines ou l'endurance du dispositif, de la même façon que pour le HZO, ainsi que l'étude de l'impact des conditions d'opérations, *i.e.* la forme optimale du pulse.

2.2.1 Dopage par implantation ionique

Nous avons évoqué au chapitre précédent la possibilité de voir émerger la phase orthorhombique ferroélectrique au sein du HfO_2 suite à un dopage particulier. Le dopage de l'oxyde d'hafnium est généralement réalisé par Atomic Layer Deposition ALD, en alternant des cycles de précurseurs, *e.g.* HfCl_4 et SiCl_4 , ou encore par co-pulvérisation [100]. L'ALD est avantageux car il permet un contrôle très précis (de l'ordre de la couche atomique) de l'épaisseur de la couche déposée. En parallèle, l'implantation ionique est très modulable du fait des multiples paramètres modifiables (dose d'implantation, énergie d'implantation, courant, nombre de passes. . .) [101]. Cependant, nous verrons que les ratios de dopage par ALD sont de l'ordre de 20 à 30 couches de HfCl_4 pour une couche de SiCl_4 . Si ces ratios sont possibles dans le cas de 10nm d'épaisseur, ils s'avèrent impossibles dans le cas d'une couche ultra-fine de deux ou trois nanomètres par exemple. L'implantation ionique n'étant pas soumise à ces limitations, cette technique peut être considérée comme une bonne alternative. De plus, le dopage par implantation ionique est une technique disponible au CEA-LETI tandis que celui par ALD ne l'est pas au moment de la réalisation des échantillons de cette thèse.

Pour ces raisons, ce manuscrit repose essentiellement sur la caractérisation d'oxyde d'hafnium dopé silicium par implantation ionique (HSO). Des résultats préliminaires démontrent la faisabilité d'un matériau ferroélectrique HfO_2 dopé silicium par implantation ionique en 2017 et 2018 grâce aux travaux de S. Migita [102, 103]. La nouveauté de l'utilisation de cette technique pour ce type de dopage couplée à ses performances en fait une technologie très prometteuse. C'est pourquoi les sections suivantes sont consacrées à l'optimisation du dopage par implantation ionique dans le but d'obtenir les meilleures performances ferroélectriques ainsi qu'une bonne fiabilité des condensateurs.

2.2.1.1 Procédé de fabrication

La technique d'implantation ionique consiste à accélérer des ions pour bombarder une cible, ici la couche de HfO_2 à doper, ce qui modifie les propriétés physiques ou cristallines de la cible. Dans notre cas, l'objectif est de modifier la structure cristalline du HfO_2 en permutant l'un des atomes de la maille avec l'ion silicium implanté. Dans cette technique, on parle de dose et d'énergie d'implantation pour définir respectivement la quantité d'ions implantée et l'énergie acquise par ceux-ci lors de l'accélération. Ces deux paramètres influent sur le profil de dopage final dans la couche. Si la majeure partie des échantillons de cette section a subi une implantation ionique unique, que nous qualifierons de simple, certains échantillons ont été dopés par deux implantations successives à des énergies différentes, méthode que nous qualifierons d'implantation double.

La structure de test privilégiée est un empilement Métal/Ferroélectrique/Métal MFM. La figure 2.9 décrit le procédé de fabrication des échantillons dopés par implantation ionique. Dans un premier temps, 10nm de Nitrure de Titane (TiN) ont été déposés par Physical Vapor Deposition PVD pour constituer la Bottom Electrode BE, puis 10nm de HfO_2 ont été déposés par ALD. Ensuite, l'oxyde d'hafnium a été dopé par implantation ionique avec une dose et une énergie fixe, soit en implantation simple, soit en implantation double pour obtenir un matériau HSO. Pour finir, la Top Electrode TE de 10nm de TiN a été déposée également par PVD, et le condensateur MFM subit un recuit après

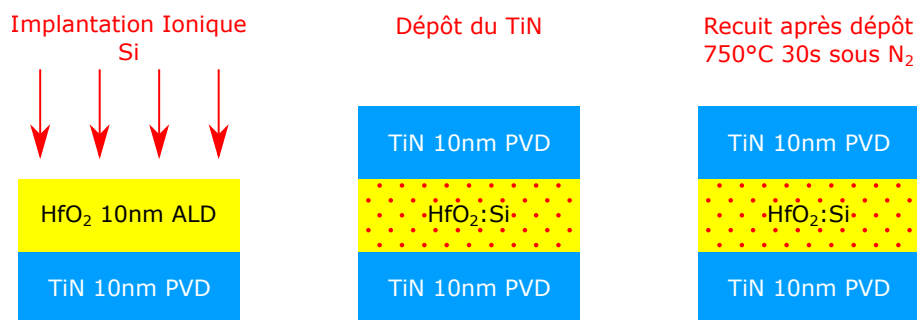


FIGURE 2.9 – Procédé de fabrication des condensateurs MFM où le dopage est réalisé par implantation ionique de silicium.

dépôt à 750°C pendant 30s sous atmosphère de N₂ ayant pour but la cristallisation de l'oxyde d'hafnium ainsi que l'activation du silicium implanté. Sur ces plaques, le procédé de fabrication permet d'obtenir une multitude de condensateurs carrés d'une largeur de 100µm, soit 10 000µm² de surface, qui sont utilisés comme structure de test pour la caractérisation électrique. Comme précédemment, la surface du condensateur est définie par la surface de la Top Electrode. Plusieurs plaques sont fabriquées pour explorer l'influence du pourcentage de silicium et optimiser le procédé pour des applications mémoire. Le tableau 2.1 regroupe les différentes conditions d'implantation ionique utilisées dans cette étude. Le pourcentage de silicium inscrit dans ce tableau est extrait par simulation dans la section suivante.

TABLE 2.1 – Tableau récapitulatif des variantes technologique fabriquées en modifiant les conditions d'implantation ionique du silicium dans 10nm de HfO₂. Le pourcentage de dopant silicium est obtenu par simulation Monte-Carlo.

Condition d'implantation	Dose [at/cm ²] et énergie [keV]	Pourcentage de Silicium (simulation Monte-Carlo)
Référence		0%
Simple	2.6×10^{14} - 4keV	0.77%
	3.0×10^{14} - 4keV	0.89%
	3.4×10^{14} - 4keV	1.01%
	5.0×10^{14} - 4keV	1.48%
	5.0×10^{14} - 3keV	1.54%
	3.5×10^{15} - 4keV	10.36%
Double	1.0×10^{14} - 1keV puis 3.0×10^{14} - 7keV	1.01%
	7.2×10^{14} - 1keV puis 3.0×10^{14} - 7keV	2.81%
	8.5×10^{14} - 1keV puis 3.0×10^{14} - 7keV	3.17%

2.2.1.2 Extraction du pourcentage de dopant

La première étape dans l'optimisation du procédé de fabrication est de déterminer avec précision la concentration de silicium implantée dans l'oxyde d'hafnium. En effet, la méthode d'implantation ionique ne fournit pas directement une métrique simple pour quantifier la concentration de silicium dans la couche, il est donc nécessaire de la simuler, grâce à la dose et l'énergie d'implantation, ou de la mesurer expérimentalement. S. Migita

calcula une concentration de 1.7% pour une dose de 5×10^{14} at/cm² et une énergie de 3keV dans une couche de 10nm d'épaisseur [102,103]. Dans notre cas, nous utilisons l'expérience acquise lors de précédents travaux pour évaluer la concentration de silicium par simulation Monte-Carlo [104].

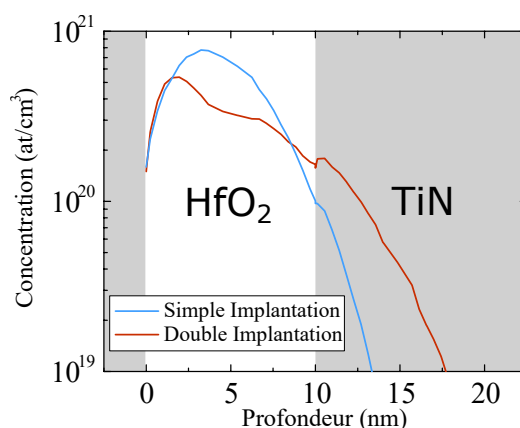


FIGURE 2.10 – Profils d'implantation obtenus par simulation Monte-Carlo dans le cas d'une implantation simple (3.4×10^{14} at/cm² à 3keV) et d'une implantation double (1.0×10^{14} at/cm² à 1keV puis 3.0×10^{14} at/cm² à 7keV).

La figure 2.10 correspond aux profils d'implantation avant recuit obtenus par simulation Monte-Carlo dans le cas d'une implantation simple avec une dose de 3.4×10^{14} at/cm² et une énergie de 3keV ainsi que dans le cas d'une implantation double, où un premier dopage est réalisé avec une dose de 1.0×10^{14} at/cm² pour une énergie de 1keV suivi d'un second dopage avec une dose de 3.0×10^{14} at/cm² pour une énergie de 7keV. Une énergie de 3keV permet de positionner le maximum de la dose implantée à 4nm de profondeur [102,103]. L'implantation double présente, comme attendu, un profil plus homogène dans la couche, mais il reste à déterminer si cela impacte les performances du matériau. On remarque sur cette implantation double que l'énergie de 1keV permet de doper à une profondeur de 2nm tandis qu'une énergie de 7keV va plus en profondeur, à environ 7.5nm.

Les différents profils d'implantation, similaires à la figure 2.10, sont simulés par Monte-Carlo et l'on en déduit le pourcentage de silicium en les intégrant le long des 10nm d'épaisseur du HfO₂, ceux-ci étant listés dans le tableau 2.1. De plus amples détails quant à cette intégration sont donnés dans [104]. On obtient alors des concentrations allant de 0.77% jusqu'à 3.17%. Deux cas extrêmes sont également fabriqués, une plaque de référence n'étant pas dopée ainsi qu'une plaque fortement dopée à plus de 10% de Si. Notons que dans le cas du dopage à 5.0×10^{14} at/cm² à 3keV, nous obtenons une concentration de 1.54%, ce qui est très proche du 1.7% de silicium obtenu par S. Migita [102,103] pour les mêmes conditions d'implantation.

2.2.1.3 Pourcentage optimum de silicium par implantation ionique

Chaque plaque comporte un grand nombre de condensateurs identiques, ce qui permet, pour chaque variante technologique, d'évaluer les performances ferroélectriques d'un

point de vue statistique et d'ainsi observer la variabilité de la polarisation rémanente. La figure 2.11 représente ainsi la valeur $2.P_R$ au fur et à mesure du cyclage électrique, correspondant à la séquence présentée au chapitre précédent à la figure 1.34, pour un ensemble de quinze condensateurs par variante technologique. La tension V_{Cycle} est de 4V et le test est réalisé jusqu'à 10^6 cycles. Les points après claquage diélectrique ne sont pas représentés, c'est pourquoi aucune courbe n'atteint le maximum de 10^6 cycles. Trois conditions d'implantation sont représentées ici, uniquement des implantations simples de 0.77% de Si jusqu'à 1.01% de Si. On observe alors, pour chaque variante, un comportement similaire entre les condensateurs, avec une augmentation de la polarisation au cours du cyclage, ce qui est attribué à l'effet de wake-up. Les valeurs de polarisation, entre chaque condensateur d'une variante technologique, sont proches et du même ordre de grandeur. Cela est d'autant plus mis en avant par l'encart qui représente les distributions cumulées des valeurs de $2.P_R$ pour chaque variante à 10^4 cycles. Ce nombre de cycles est choisi arbitrairement mais prend en compte le phénomène de wake-up ainsi que celui de fatigue, et permet ainsi d'être suffisamment avancé dans la vie du dispositif sans pour autant atteindre sa fin de vie. On remarque que la variabilité est similaire entre les trois dopages, mais surtout que le pourcentage de silicium influence la valeur de polarisation rémanente, $2\mu\text{C}/\text{cm}^2$ séparant clairement la couche de HfO_2 dopée à 0.77% de Si de celle dopée à 1.01% Si.

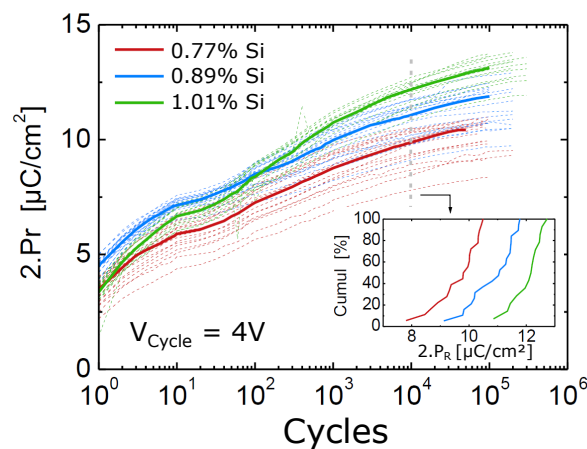


FIGURE 2.11 – Polarisation rémanente extraite au cours du cyclage électrique pour trois variantes technologique d'implantation de silicium. Chaque ligne en pointillés représente un condensateur unique tandis que les lignes pleines sont les médianes pour chaque implantation. L'encart représente les distributions normales de $2.P_R$ après 10^4 cycles.

L'encart de la figure 2.11 montre qu'il est possible de comparer les valeurs de polarisation à 10^4 cycles. Ainsi, pour l'ensemble des conditions d'implantation ionique du tableau 2.1, la polarisation $2.P_R$ est extraite à 10^4 cycles et la médiane est représentée à la figure 2.12 (a) en fonction du pourcentage de silicium incorporé dans la couche d'oxyde d'hafnium. On observe tout d'abord que la plaque de référence n'ayant pas été dopée n'est pas ferroélectrique, la polarisation rémanente même après 10^4 cycles est nulle. Certains travaux ont déjà démontré la présence de phase orthorhombique ferroélectrique dans des couches de HfO_2 non dopées [80, 105, 106] en modulant d'autres paramètres du procédé

de fabrication tels que la température de recuit ou l'épaisseur du matériau. Le procédé de fabrication de la plaque de référence, dans notre cas, ne permet donc pas la formation de phase orthorhombique ferroélectrique, ou en trop faible proportion pour être caractérisée électriquement.

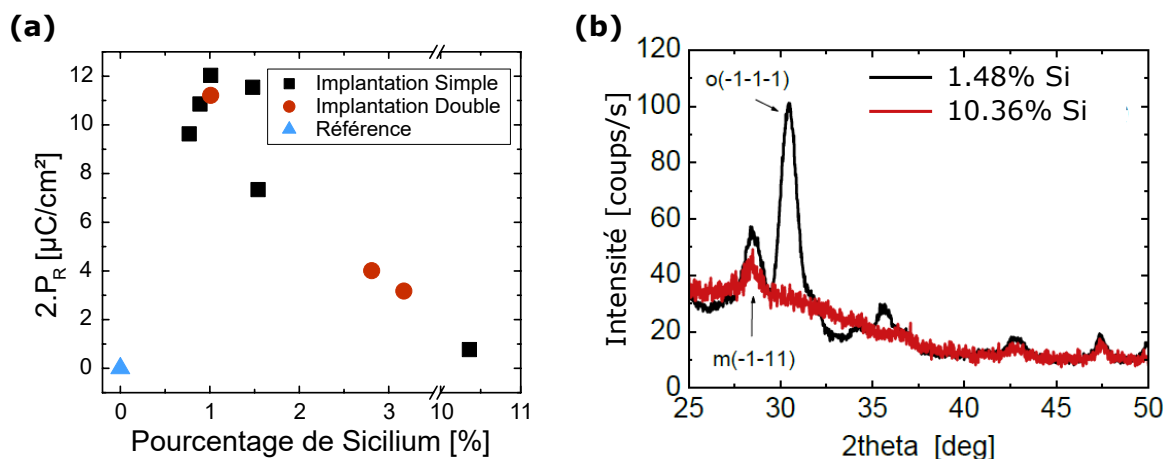


FIGURE 2.12 – (a) Polarisation rémanente $2.P_R$ médiane mesurée par signal PUND, après 10^4 cycles, en fonction du pourcentage de silicium implanté dans la couche d'oxyde d'hafnium. (b) Mesure GIXRD de la plaque ferroélectrique dopée à 1.48% de silicium et de celle dopée à 10.36% de Si, non ferroélectrique.

Lorsque le pourcentage de silicium implanté augmente, la cristallisation de la phase orthorhombique est favorisée et induit l'apparition d'un comportement ferroélectrique. Dès 0.77% de Si, la valeur $2.P_R$ est supérieure à $9\mu\text{C}/\text{cm}^2$. La polarisation augmente avec le pourcentage de silicium jusqu'à atteindre une valeur maximum à 1.2% de silicium implanté avant de décroître. On observe également que la polarisation obtenue pour l'implantation double est similaire à celle de l'implantation simple pour des concentrations de silicium comparables. On en déduit que le type d'implantation n'influe pas, dans notre cas, sur la croissance de phase orthorhombique mais que la quantité de silicium implantée est le facteur déterminant. Pour finir, la plaque fortement dopée n'est quasiment pas ferroélectrique, avec une valeur $2.P_R = 1\mu\text{C}/\text{cm}^2$. Cela signifie qu'une quantité très faible de phase orthorhombique est présente dans la couche.

La mesure GIXRD de la figure 2.12 (b) confirme la mesure électrique en comparant deux échantillons d'oxyde d'hafnium dopés par implantation ionique à 1.48% et 10.36%. En accord avec les résultats électriques, le dopage par implantation ionique à 1.48% induit la présence du pic à 30° en 2θ qui est caractéristique de la phase orthorhombique O(111) ferroélectrique [73]. Un second pic à 28° est attribué à la phase monoclinique, démontrant le caractère polycristallin du matériau HfO_2 fabriqué. De plus, la figure 2.4 démontre, dans le cas du HZO, que la cristallisation de la phase monoclinique indique une température trop élevée pour favoriser la phase orthorhombique. Les deux structures étant relativement proches, l'utilisation d'une température plus faible pourrait favoriser l'apparition de phase orthorhombique, ce qui est positif pour l'intégration en BEOL du HfO_2 dopé silicium. L'échantillon dopé à 10.36% ne présente pas de pic proche de 30° en 2θ , à peine un léger épaulement, ce qui tend à confirmer la présence d'une très faible proportion de phase

orthorhombique, n'induisant qu'une faible polarisation rémanente. Si cette phase n'est pas favorisée, le HfO_2 est cependant bien cristallisé et non pas amorphe, comme le confirme le pic de la phase monoclinique.

2.2.2 Comparaison de l'implantation ionique avec le dopage in-situ lors du dépôt ALD

Cette première étude permet d'étendre les travaux de S. Migita [102, 103] dans le but d'optimiser le dopage de silicium par implantation ionique dans une couche de HfO_2 et démontre que le pourcentage optimum est proche de 1.2%, soit une implantation de $4 \times 10^{14} \text{at/cm}^2$ pour une énergie de 4keV [107]. Si nous avons évoqué les avantages de la technique d'implantation ionique en introduction, il n'en reste pas moins que celle-ci est peu utilisée dans la littérature. Le dopage durant le dépôt ALD étant majoritairement utilisé, cette section propose une étude comparative des deux techniques de dopage. De nouvelles plaques ont été fabriquées, où le condensateur ferroélectrique comprend 10nm d'oxyde d'hafnium dopé silicium durant le dépôt ALD. Ces plaques sont réalisées dans le cadre d'un partenariat industriel avec STMicroelectronics et font office de point de comparaison pour la technique d'implantation ionique.

2.2.2.1 Procédé de fabrication des échantillons dopés lors du dépôt ALD

Pour effectuer cette comparaison, les plaques dopées par implantation ionique simple sont favorisées. Les mesures électriques sont réalisées sur les plaques dopées à 0.77%, 0.89% et 1.01% listées dans le tableau 2.1. En parallèle, quatre plaques dopées durant le dépôt ALD ont été fabriquées. L'ALD consiste à déposer de fines couches de matériau en exposant successivement la surface à déposer à au moins deux précurseurs gazeux. Cette technique permet un contrôle très précis de l'épaisseur du matériau, allant jusqu'à la mono-couche atomique. Pour réaliser le dopage durant le dépôt ALD des 10nm de HfO_2 , on alterne des cycles de dépôt entre de l'oxyde d'hafnium et du silicium, ou plus précisément du dioxyde de silicium SiO_2 .

Cette technique est schématisée à la figure 2.13. Mis à part la fabrication de la couche ferroélectrique, le condensateur ainsi fabriqué est en tout point identique à ceux caractérisés à la section précédente, obtenus par implantation ionique. Ainsi, les épaisseurs et les méthodes de dépôt des électrodes sont communes, tout comme le recuit de cristallisation après dépôt. La littérature démontre qu'un ratio de l'ordre de 22:1 à 28:1, *i.e.* un cycle de dépôt de SiO_2 pour 22 à 28 de HfO_2 , favorise l'apparition de la phase orthorhombique ferroélectrique dans le cas d'un dopage silicium par ALD [83, 108]. Notons que seuls quelques cycles de SiO_2 sont nécessaires pour doper 10nm à ces concentrations. Ainsi, les ratios utilisés sont 22:1, 24:1, 26:1 et 30:1. On convertit généralement ces ratios en pourcentage de silicium dans la couche de HfO_2 à l'aide la formule $\% \text{Si} = \frac{[\text{SiO}_2]}{[\text{SiO}_2] + [\text{HfO}_2]}$ où $[\text{SiO}_2]$ et $[\text{HfO}_2]$ sont respectivement les nombres de cycles ALD de SiO_2 et de HfO_2 . Pour réaliser une étude pertinente, il semble difficile de comparer des plaques dopées par implantation ionique dont le pourcentage en silicium est obtenu par simulation et des plaques dopées par ALD dont le pourcentage en silicium est obtenu par calcul direct, ce calcul étant d'autant plus très approximatif comparé aux simulations utilisées pour le dopage par Si.

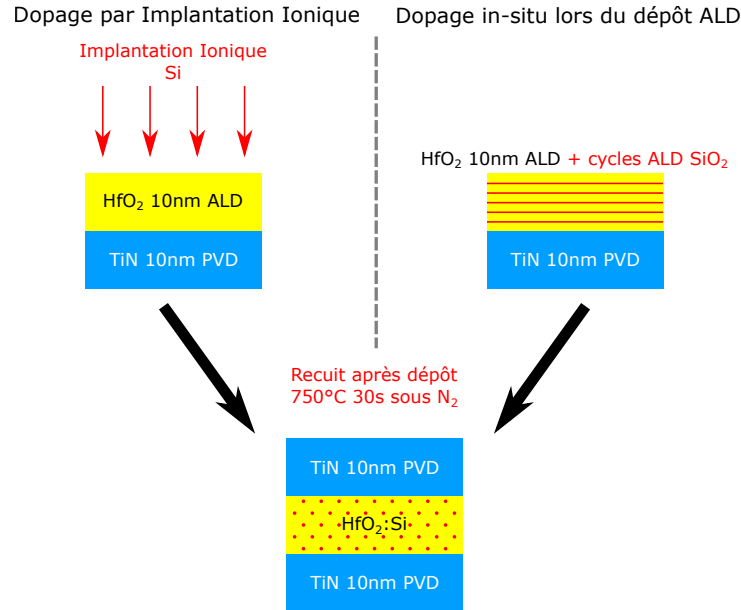


FIGURE 2.13 – Schéma du dopage de silicium par implantation ionique et du dopage in-situ lors du dépôt par Atomic Layer Deposition.

Il est alors possible de trouver une métrique du pourcentage de silicium commune grâce à la technique de Time-of-Flight Secondary Ion Mass Spectrometry ToF-SIMS permettant la quantification expérimentale du silicium incorporé dans les couches de 10nm de HfO₂ qu'importe la technique de dopage.

2.2.2.2 Extraction du pourcentage de dopant par méthode ToF-SIMS

La mesure ToF-SIMS permet l'analyse de surface d'un matériau. Elle consiste à bombarder la surface de l'échantillon à analyser avec un faisceau d'ions pour vaporiser et ioniser celui-ci. Ces ions secondaires sont alors accélérés vers un spectromètre de masse qui permet de mesurer la composition de l'échantillon. Cette technique permet ainsi de déterminer la composition chimique sur l'ensemble de l'empilement, et ainsi d'obtenir la mesure expérimentale du profil de silicium dans les 10nm de HfO₂. Trois plaques dopées pendant le dépôt ALD sont ainsi caractérisées, de ratio 30:1, 24:1 et 20:1 ainsi que trois plaques dopées par implantation ionique. L'une de ces plaques correspond à une dose de la section précédente, à savoir $3.4 \times 10^{14} \text{at/cm}^2$ à 4keV d'énergie, tandis que deux plaques supplémentaires ont été dopées avec une énergie de 4keV et des doses de $6.8 \times 10^{14} \text{at/cm}^2$ et $10 \times 10^{14} \text{at/cm}^2$.

Les profils de concentration de silicium dans l'épaisseur du HfO₂ sont présentés à la figure 2.14 (a) pour le dopage durant le dépôt ALD et (b) pour le dopage par implantation ionique. Pour chaque méthode de dopage, on observe une augmentation de la concentration de silicium cohérente avec l'augmentation de cycles ALD de SiO₂ ou l'augmentation de dose. Le profil de silicium dans le cas de l'implantation ionique est similaire au profil obtenu par simulation Monte-Carlo, avec un maximum de silicium proche du centre de la couche de HfO₂. Les cycles de SiO₂ déposés par ALD sont également visibles sur les trois profils de la figure 2.14 (a), en particulier pour le ratio de 30:1 où quatre cycles

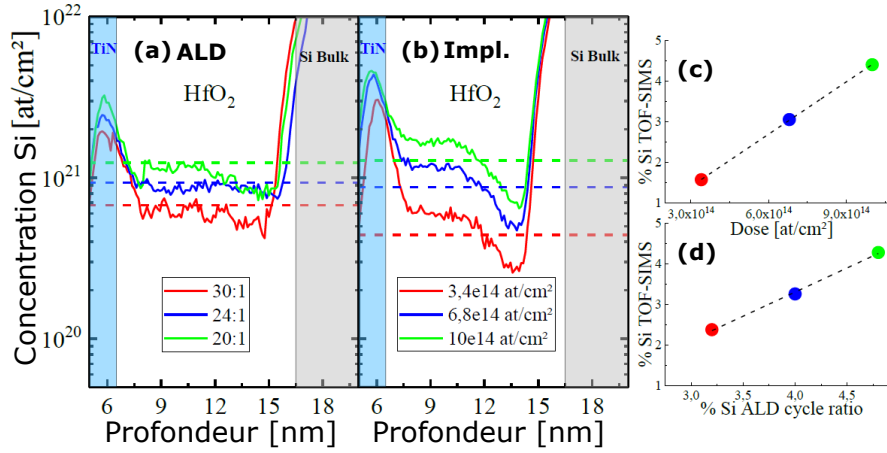


FIGURE 2.14 – Profil ToF-SIMS du silicium incorporé par (a) ALD et (b) implantation ionique. Les lignes pointillées représentent les valeurs moyennes de concentration de Si et sont retranscrites en %Si en (c) pour la méthode d’implantation ionique et en (d) pour l’ALD. Sur ces deux figures, les lignes pointillées sont les régressions linéaires du %Si en fonction de la condition de dopage correspondante.

sont clairement identifiables. Les valeurs moyennes de concentration en Si sont obtenues par intégration des profils au sein des 10nm de HfO₂ et sont représentées dans un premier temps en pointillées sur les figures 2.14 (a) et (b). De ces valeurs, le pourcentage de silicium incorporé peut être calculé pour l’ensemble de l’empilement.

TABLE 2.2 – Tableau récapitulatif des pourcentages de silicium dans l’oxyde d’hafnium, pour les deux techniques de dopage, mesurés expérimentalement par technique ToF-SIMS.

Technique d’implantation	Condition	Caractérisation	%Si
Non dopé	∅	Électrique	0%
Implantation Ionique	$2.6 \times 10^{14} \text{ at/cm}^2$	Électrique	1.21%
	$3.0 \times 10^{14} \text{ at/cm}^2$	Électrique	1.39%
	$3.4 \times 10^{14} \text{ at/cm}^2$	Électrique + Matériau	1.57%
	$6.8 \times 10^{14} \text{ at/cm}^2$	Matériau	3.05%
	$10 \times 10^{14} \text{ at/cm}^2$	Matériau	4.40%
ALD	30 :1	Électrique + Matériau	2.38%
	26 :1	Électrique	2.93%
	24 :1	Électrique + Matériau	3.26%
	20 :1	Électrique + Matériau	4.28%

Les figures 2.14 (c) et (d) présentent finalement le %Si obtenu expérimentalement grâce à la méthode ToF-SIMS en fonction des conditions de dopage, *i.e.* dose d’implantation ou ratio ALD, pour l’implantation ionique et l’ALD respectivement. On obtient ainsi un comportement linéaire dans les deux cas, la dose ou le ratio de cycle ALD étant proportionnel au %Si mesuré, permettant de déterminer le %Si des plaques restantes. Ces valeurs sont résumées dans le tableau 2.2. On constate un écart de 0.5%, en faveur de l’extraction par ToF-SIMS, comparé aux résultats du tableau 2.1 obtenues par simulation

Monte-Carlo. Dans la suite de ce chapitre, nous utiliserons les pourcentages extraits grâce à cette méthode pour les deux techniques de dopage.

2.2.2.3 Pourcentage optimal de dopant Silicium

Une métrique commune du pourcentage de dopant ayant été déterminée, il est dorénavant possible de comparer les deux techniques de dopage du point de vue du comportement ferroélectrique. Les condensateurs de $10\,000\mu\text{m}^2$ de surface sont caractérisés électriquement selon la même méthodologie que la section précédente, représentée à la figure 1.34. Au moins quinze condensateurs de chaque plaque sont mesurés. Les valeurs médianes de $2.P_R$ et E_C au cours du cyclage électrique jusqu'à 10^5 cycles sont représentées sur la figure 2.15 (a) et (b) respectivement. Comme précédemment, la tension de cycle V_{Cycle} est de 4V. On observe clairement l'augmentation de la polarisation ferroélectrique au cours du cyclage, attribuée au phénomène de wake-up, que ce soit dans le cas d'un dopage par implantation ionique ou par ALD. La polarisation $2.P_R$ est comprise entre $3\mu\text{C}/\text{cm}^2$ et $9\mu\text{C}/\text{cm}^2$ à l'état vierge et atteint $10\mu\text{C}/\text{cm}^2$ à $17\mu\text{C}/\text{cm}^2$ après 10^4 cycles. De plus, le champ coercitif E_C tend à décroître pour tous les échantillons mesurés, de $2\text{MV}/\text{cm}$ à l'état vierge jusqu'à $1.6\text{MV}/\text{cm}$ à 10^4 cycles, voir même moins de $1.5\text{MV}/\text{cm}$ pour le dopage à 4.28% Si par ALD.

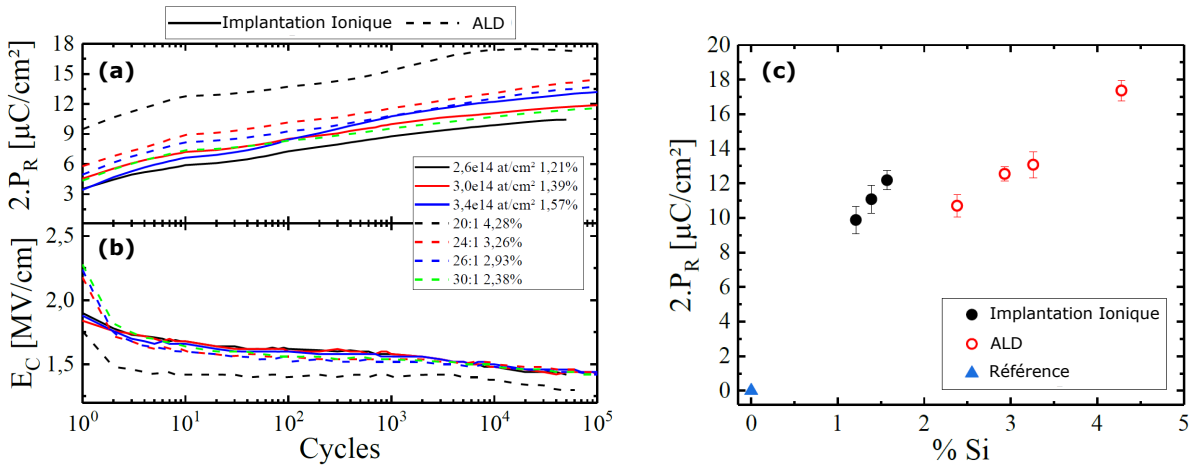


FIGURE 2.15 – (a) Polarisation $2.P_R$ et (b) champ coercitif E_C en fonction du cycle pour les deux techniques de dopage. La valeur médiane de 15 condensateurs est représentée. Les valeurs de polarisation à 10^4 cycles sont représentées en (c) en fonction du pourcentage de silicium mesuré par ToF-SIMS.

On remarque également que les dynamiques sont très similaires pour les deux types de dopage, la polarisation rémanente ainsi que le champ coercitif évoluant de la même façon, avec une pente très proche pour les deux métriques. Pour comparer l'influence du silicium sur l'apparition de phase ferroélectrique, la polarisation rémanente est représentée après 10^4 cycles en fonction du %Si à la figure 2.15 (c). On observe que la polarisation ferroélectrique atteinte après dopage durant le dépôt ALD est comparable à celle obtenue par implantation ionique pour les pourcentages de 2% Si à 3.5% Si en ALD. On observe

ainsi une différence de près de 1% Si entre le dopage durant le dépôt ALD et l'implantation ionique à polarisation ferroélectrique fixe. Il est possible que l'énergie apportée par le processus d'implantation ionique favorise la cristallisation de phase orthorhombique ferroélectrique en complément du dopage par silicium en lui-même, diminuant ainsi la quantité de silicium nécessaire. Le dopage durant le dépôt ALD permet d'atteindre une polarisation de $17\mu\text{C}/\text{cm}^2$, ce qui n'a pas été obtenu par implantation ionique. Notons que pour obtenir ce dopage, six couches de silicium sont nécessaires pour 10nm d'oxyde d'hafnium. Diminuer l'épaisseur du matériau, dans le but par exemple de diminuer la tension d'opération et donc la consommation énergétique de la mémoire en conservant ce ratio, s'avèrera donc problématique ce qui n'est pas le cas du dopage par implantation ionique. Il est démontré qu'il est possible d'obtenir des niveaux de polarisation ferroélectrique du même ordre de grandeur pour ces deux techniques de dopage, pour des ratios ALD communément utilisés dans la littérature [83, 108]. La technique d'implantation ionique est alors une alternative envisageable pour la fabrication de mémoires ferroélectriques.

2.2.2.4 Impact du type de dopage sur la fiabilité en endurance

L'implantation ionique représente ainsi une bonne alternative au dopage durant le dépôt ALD en termes de polarisation. Cependant, l'implantation ionique est génératrice de défauts dans un matériau, ceux-ci pouvant être néfastes pour la fiabilité du composant. Le test précédent a été réalisé jusqu'à 10^6 cycles, ces cycles étant, pour rappel, des signaux triangulaires à $V_{\text{Cycle}} = 4\text{V}$ et une fréquence de 100kHz. La majorité des condensateurs a subi un claquage diélectrique total, que l'on nomme Hard Breakdown (HBD), avant ces 10^6 cycles.

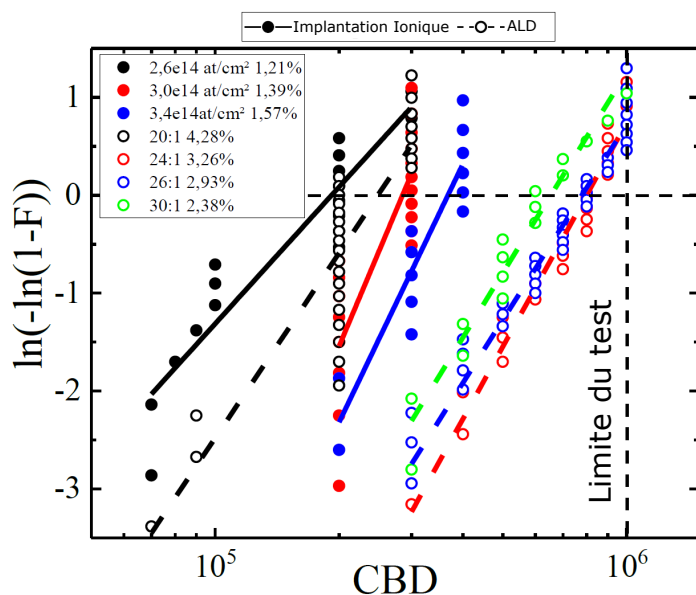


FIGURE 2.16 – Distributions cumulées selon une loi de Weibull du CBD de tous les condensateurs mesurés pour les deux types de dopage.

Dans ce cas, ce claquage est le facteur limitant l'endurance des condensateurs et on peut extraire le CBD grâce aux mesures PUND réalisées. En effet, le courant mesuré est

alors constamment égal au courant maximum mesurable sur le calibre choisi, le condensateur ne remplissant plus son rôle mais faisant maintenant office de simple fil conducteur.

La figure 2.16 est la distribution du CBD des condensateurs pour les deux types de dopage de silicium. On observe clairement que les condensateurs dopés par implantation ionique ont une fiabilité dégradée par rapport à ceux dopés durant le dépôt ALD. En particulier, il est important de comparer le dopage à 1.39% Si par implantation ionique et le dopage à 2.38% Si par ALD, ces deux conditions de dopage étant très proches en termes de polarisation ferroélectrique d'après la figure 2.15 (c). Si les trois conditions de dopage durant le dépôt ALD en dessous de 3.5% Si démontrent une meilleure résistance au cyclage électrique, l'implantation ionique n'induit pas une perte de plusieurs ordres de grandeur de CBD. À polarisation égale, on obtient un facteur deux entre le dopage à 1.39% Si par implantation ionique et le dopage à 2.38% Si par ALD. Toutefois l'implantation ionique a des effets néfastes sur la fiabilité du composant, en augmentant la quantité de défauts induits par le procédé de fabrication, mais cela n'est pas déterminant ni bloquant pour l'utilisation de HSO dopé par implantation ionique dans le cas d'une application mémoire. Notons également qu'à 4.28% Si dopé par ALD, *i.e.* les condensateurs présentant le maximum de polarisation rémanente, le CBD est dégradé par rapport aux trois autres dopages par ALD.

2.2.3 Caractérisation des performances mémoire en fonction de la technique de dopage

Les précédentes sections mettent en évidence que le dopage par implantation ionique est une alternative au dopage durant le dépôt ALD pour réaliser un matériau ferroélectrique HfO_2 dopé silicium. Jusqu'à présent, l'analyse s'est essentiellement portée sur la polarisation rémanente et le champ coercitif en utilisant des signaux électriques dont le but est de donner une vue d'ensemble du matériau HfO_2 . Un produit mémoire sera en réalité soumis à des signaux carrés, et non triangulaires, à des fréquences plus élevées ainsi qu'à des tensions, si possible, plus faibles. Cette section s'intéresse ainsi à l'ingénierie des signaux électriques pour une application mémoire. Dans un premier temps, l'efficacité de programmation d'un pulse carré est évaluée en fonction des paramètres de ce pulse. Pour finir, l'endurance des condensateurs est mesurée en fonction du pulse carré utilisé pour mettre en évidence le compromis entre CBD et polarisation ferroélectrique.

2.2.3.1 Efficacité de retournement en fonction de la méthode de dopage

L'efficacité de retournement est mesurée pour les deux types de dopage selon la méthodologie présentée à la figure 2.5. La plaque dopée à 1.39% Si par implantation ionique et celle dopée à 2.38% Si durant le dépôt ALD étant les plus proches en termes de polarisation ferroélectrique, elles sont systématiquement comparées par la suite. La figure 2.17 présente l'efficacité de retournement en pourcentage, calculée selon l'équation 2.1, en fonction des paramètres du pulse carré pour les deux types de dopage. Notons que les condensateurs sont pré-conditionnés à 10^4 cycles, de la même façon que pour les mesures de la figure 2.15 (c). Dans un premier temps, le pulse de 30ns de plateau démontre une bonne efficacité, supérieure à 50%, pour les deux dopages tant que la tension est

supérieure à 3V. Cette mesure démontre ainsi qu'un condensateur ferroélectrique à base de HfO_2 dopé silicium, qu'importe le type de dopage, peut être utilisé comme dispositif mémoire, où la vitesse de commutation est un facteur déterminant.

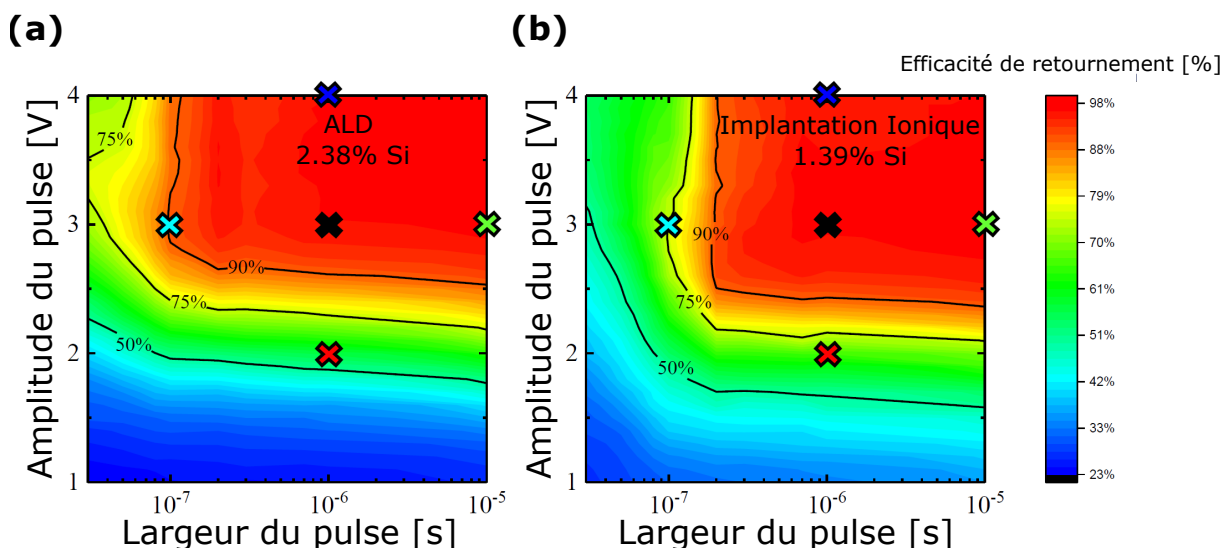


FIGURE 2.17 – Efficacité de retournement d'un pulse carré en fonction de son amplitude et de la largeur du plateau dans le cas de HfO_2 dopé (a) par ALD à 2.38% de silicium et (b) par implantation ionique à 1.39% de silicium. Les croix de couleur indiquent les conditions de pulse choisies dans la section 2.2.3.2.

On observe également une meilleure efficacité pour les pulses les plus courts dans le cas du dopage durant le dépôt ALD. Notons que ce phénomène est reproductible, plusieurs condensateurs ayant été mesurés pour les deux types de dopage. En contrepartie, l'implantation ionique se révèle plus efficace lorsque la tension est inférieure à 2V. Un compromis identique au HZO entre largeur et amplitude du pulse est mis en évidence. Pour finir, cette figure démontre la possibilité d'utiliser la propriété ferroélectrique du HfO_2 dopé silicium dans le cadre d'une mémoire multi-niveaux. Il est intéressant de noter que les paramètres du pulse de programmation induisent une variation d'efficacité de retournement, *i.e.* une variation de polarisation rémanente programmée, rendant possible la programmation de plus d'états que les deux états binaires standards, ce qui était également le cas pour le HZO.

2.2.3.2 Évolution de la polarisation P_{SW} en fonction du nombre de cycles

Nous souhaitons ensuite caractériser la valeur $2.P_{SW}$ en fonction de l'endurance lors de l'utilisation d'un pulse carré. Cinq couples amplitude/largeur de pulse sont sélectionnés, et sont représentés par les croix de couleurs à la figure 2.17. Ces couples sont choisis de façon à comparer des pulses permettant d'obtenir une efficacité de retournement similaire, *i.e.* les pulses dans la zone rouge à près de 100% d'efficacité, mais aussi à faible efficacité de retournement. La méthodologie d'extraction de $2.P_{SW}$ est appliquée quatre fois par décade au cours d'un cyclage par des pulses de tension carrés selon les cinq conditions précédemment présentées. La valeur de $2.P_{SW}$ mesurée sur des condensateurs de $10\,000\mu\text{m}^2$

de surface est représentée à la figure 2.18 pour le dopage (a) par implantation ionique et (b) lors du dépôt ALD.

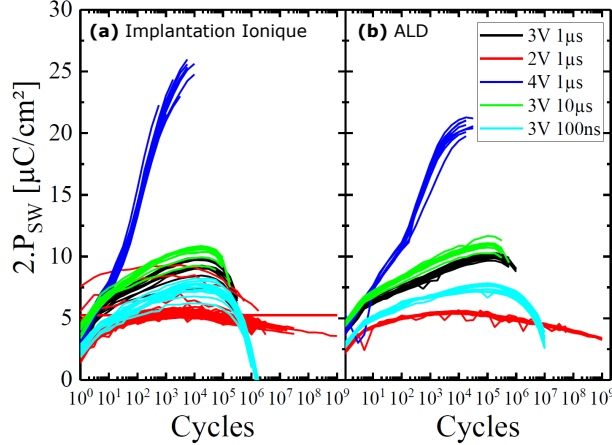


FIGURE 2.18 – Évolution de $2.P_{SW}$ au cours d'un cyclage réalisé par des pulses carrés pour (a) un condensateur dopé par implantation ionique à 1.39% Si et (b) lors du dépôt ALD à 2.38% Si. Dix condensateurs sont caractérisés pour chaque condition de mesure.

On observe dans un premier temps que la polarisation $2.P_{SW}$ est influencée de façon similaire par les conditions de cyclage pour les deux types de dopage. Les tendances sont identiques, que ce soit en terme de polarisation mais aussi en termes de CBD. En effet, ces mesures sont réalisées jusqu'au claquage du diélectrique, et l'on observe clairement que le CBD varie en fonction du pulse utilisé. Ainsi dans les deux cas, le CBD diminue drastiquement en utilisant une tension de 4V avec une largeur de pulse de 1µs tandis qu'il est grandement augmenté, atteignant plus de 10^7 cycles, lorsque la tension est de 2V pour 1µs de largeur de pulse. Notons cependant que dans le cas d'un dopage réalisé par implantation ionique et d'un pulse de tension de 3V et 100ns de largeur, la polarisation $2.P_{SW}$ atteint une valeur nulle à 10^6 cycles. Ainsi, pour cette condition, l'endurance du dispositif n'est pas limitée par le claquage diélectrique mais par la perte du comportement ferroélectrique.

On constate que la polarisation est doublée, dans le cas d'un pulse carré de 4V d'amplitude et 1µs de largeur, par rapport au test standard de la figure 2.15 alors que les deux tests sont réalisés à 4V d'amplitude. Les deux signaux sont relativement différents dans leur forme, ainsi nous réalisons une nouvelle mesure pour mettre en évidence le rôle de la rampe de tension et du temps de montée, *i.e.* le temps pour passer de 0V à la tension maximale, nommé $t_{rise/fall}$. Un pulse carré est utilisé, dont l'amplitude est systématiquement 3V et la largeur du plateau est fixée à 1µs, ainsi seul $t_{rise/fall}$ varie. Des condensateurs de la plaque dopée lors du dépôt ALD à 3.26% sont utilisés, et deux condensateurs sont mesurés pour chaque condition. La figure 2.19 représente la polarisation $2.P_R$ mesurée par méthode PUND standard (4V/10kHz) en fonction du nombre de cycle pour différents $t_{rise/fall}$ du signal de cyclage carré.

On constate alors clairement que la polarisation est plus importante lorsque le temps de montée est court. Notons que le premier cycle mesuré démontre une faible variabilité des performances ferroélectriques, ce premier cycle étant dans tous les cas mesuré par un signal

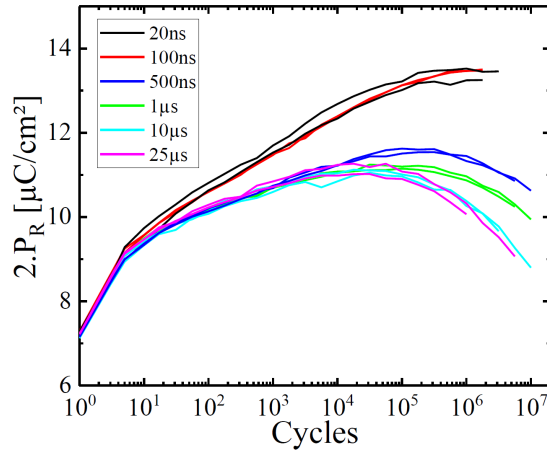


FIGURE 2.19 – Impact du temps $t_{\text{rise/fall}}$ du signal de cyclage sur la polarisation $2.P_R$, à largeur de plateau de $1\mu\text{s}$ et amplitude de $3V$ fixe. La polarisation est mesurée quatre fois par décades grâce à un signal PUND à $4V$ d’amplitude et 10kHz de fréquence.

PUND sans pré-conditionnement. On remarque également deux familles, lorsque $t_{\text{rise/fall}} > 500\text{ns}$ et $t_{\text{rise/fall}} < 100\text{ns}$. S’il est relativement difficile d’expliquer ce lien entre polarisation et temps de montée, il est important de le considérer dans le cas d’une architecture mémoire, et d’anticiper les variations de polarisation attendues lors de l’utilisation d’une structure plus complexe n’utilisant que des pulses carrés. En outre, même avec cette faible statistique, on constate que la valeur de CBD est également impactée. Celle-ci décroît avec le temps de montée, ce qui est contre intuitif. En effet, on s’attend à plus dégrader le condensateur avec un temps de montée de $25\mu\text{s}$, celui-ci étant soumis, lors de chaque pulse, à un stress électrique bien plus long que dans le cas d’un $t_{\text{rise/fall}} = 20\text{ns}$.

2.2.3.3 Claquage diélectrique en fonction du pulse d’endurance

Sur la figure 2.18, il semble apparaître un lien entre P_{SW} et CBD décollé des conditions de cyclage. Nous pouvons analyser ce phénomène grâce aux données de cette même figure. À minima dix condensateurs ont été mesurés jusqu’à leur claquage diélectrique, ou jusqu’à ce que la polarisation $2.P_{\text{SW}}$ soit nulle. Dans un premier temps, la figure 2.20 (a) représente les distributions du claquage diélectrique CBD en fonction des conditions de cyclage pour des condensateurs dopés par implantation ionique à 1.39% Si et lors du dépôt ALD à 2.38% Si. La limite du test est fixée à 10^9 cycles pour conserver un temps de test raisonnable et n’est atteinte que par quelques condensateurs.

La figure 2.20 (a) démontre que la fin de vie du dispositif est plus précoce dans le cas du dopage par l’implantation ionique que dans le cas du dopage par ALD, et ce pour toutes les conditions de cyclage électrique. Bien que ces deux échantillons présentent une polarisation initiale similaire, la polarisation maximale observée est différente. Il est donc possible que la dépendance entre CBD et condition de dopage (ou condition d’endurance) ne soit qu’une conséquence d’une corrélation cachée entre CBD et polarisation maximale. La figure 2.20 (b) présente ainsi la polarisation $2.P_{\text{SW}}^{\text{max}}$, *i.e.* la polarisation effective maximum mesurée au cours du cyclage, en fonction du CBD de chaque dispositif.

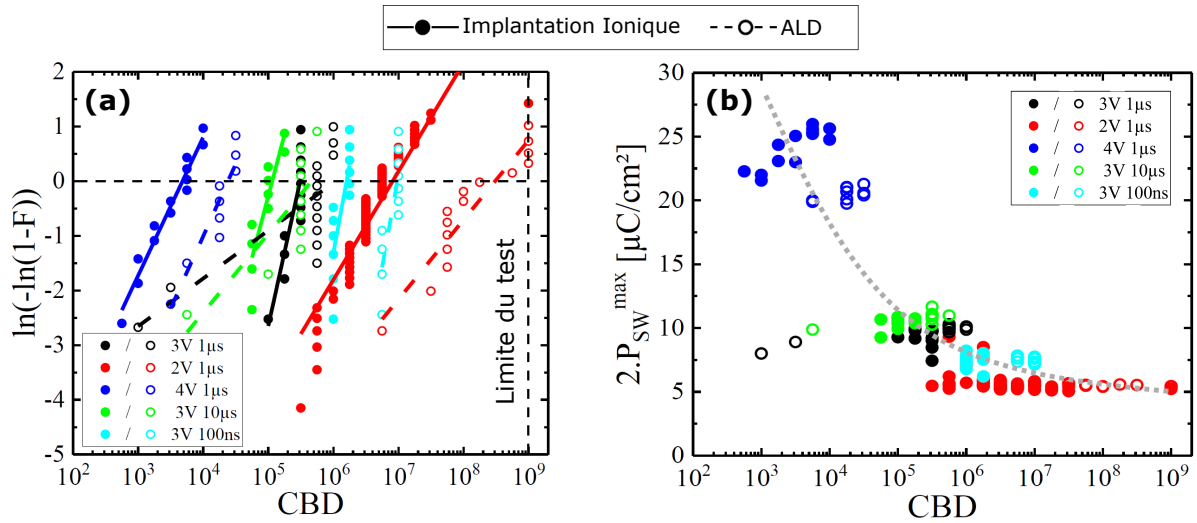


FIGURE 2.20 – (a) Distributions cumulées selon une loi de Weibull de CBD en fonction des paramètres du signal de cyclage pour des condensateurs dopés par implantation ionique à 1.39% Si et par ALD à 2.38% Si et (b) la polarisation effective maximum mesurée pendant ce cyclage en fonction du CBD de chaque dispositif, où la courbe en pointillés représente la tendance globale.

On remarque ainsi une tendance suivie par les deux types de dopage, mise en évidence par la courbe en pointillés, démontrant que plus la valeur de polarisation maximale effective augmente, plus l'endurance du dispositif diminue. Cette figure indique ainsi que le développement d'une couche HfO_2 ferroélectrique pour une application mémoire ne passe pas que par la recherche d'une polarisation la plus élevée possible, une polarisation plus faible pouvant être bénéfique en terme d'endurance. L'optimisation des performances nécessite aussi de l'ingénierie quant aux signaux électriques employés, ceux-ci influençant grandement les performances du matériaux. Par ailleurs, ce résultat est obtenu pour deux plaques présentant la même polarisation, bien que n'étant pas dopées grâce à la même technique. La figure 2.16 présentait le CBD de différents dopages. Elle démontre qu'un matériau fortement ferroélectrique ne sera pas systématiquement moins endurant qu'un matériau moins ferroélectrique, mais augmenter, par ingénierie électrique, la polarisation d'un matériau donné dégradera sa fiabilité. La figure 2.20 (b) ne met pas en évidence un lien net entre endurance et technique de dopage. On remarque cependant que la polarisation est différente en fonction de la technique de dopage, ainsi que son évolution au cours des cycles ou encore au niveau de la cinétique de retournement des domaines. Ces divergences peuvent s'expliquer par une différence d'uniformité de la cristallinité du HSO, *cf.* les profils de dopage de la figure 2.14, ce qui peut induire la présence de couches non ferroélectriques, sans doute aux interfaces.

2.3 L'oxyde d'hafnium dopé silicium vers l'intégration Back-End-Of-Line

Le matériau HZO a démontré de bonnes performances ferroélectriques mais a aussi permis d'avoir une première vision de la compatibilité avec une intégration BEOL de l'oxyde d'hafnium. Cette section se propose alors d'étudier les possibilités d'intégration du HSO dans un procédé BEOL, c'est-à-dire l'influence de la température sur les propriétés ferroélectriques de ce matériau. Dans un premier temps, nous nous intéressons à des matériaux non dopés, ou encore dopés silicium mais sans recuit, pour définir des points de référence. Ensuite, nous analysons une plaque dont l'oxyde d'hafnium est dopé silicium et recuit à 500°C, *i.e.* compatible avec une intégration BEOL. Pour finir, nous nous intéressons également à une alternative pour le recuit, à savoir l'utilisation de pulses laser. Celui-ci permet d'atteindre des températures très importantes en surface de l'empilement en préservant les niveaux inférieurs, et donc les niveaux de transistors lors d'une intégration BEOL. Nous en explicitons les caractéristiques et étudions son impact à l'échelle d'une plaque. Ces variantes technologiques se veulent faire le lien avec le chapitre suivant, portant sur l'intégration BEOL au nœud 130nm de condensateurs à base de HfO_2 , et notamment de HSO.

2.3.1 Les possibilités de recuits standards

2.3.1.1 L'oxyde d'hafnium non dopé

Nous avons évoqué que certaines conditions de fabrication permettent l'obtention de la phase ferroélectrique dans des couches de HfO_2 non dopées [80, 105, 106]. En effet, la cristallisation de la phase métastable orthorhombique provient de la combinaison de plusieurs facteurs. Pour établir une première référence, et ainsi mettre en évidence le rôle primordial du dopage par silicium, nous caractérisons du HfO_2 non dopé mais recuit à plusieurs températures. Trois plaques ont été fabriquées selon le procédé précédemment décrit. La première plaque n'a pas subi de recuit spécifique de cristallisation, la seconde a vu un recuit à 500°C 600s, *i.e.* recuit compatible avec une intégration BEOL, et la troisième plaque a été recuite de la même façon que les premières plaques dopées silicium, à 750°C pendant 30s. Les condensateurs circulaires de 100µm de diamètre sont mesurés dix fois par décades par méthode PUND à 4V/10kHz pendant un cyclage de 4V/100kHz. Dix condensateurs sont mesurés sur chaque plaque. En l'absence de recuit, le condensateur n'est pas ferroélectrique, le courant mesuré ne démontre aucun pic de retournement des domaines. La figure 2.21 représente alors le courant ferroélectrique, obtenu après correction PUND, en fonction de la tension appliquée, pour les deux autres conditions de recuit.

Pour ces deux températures de recuit, les mesures I(V) montrent cependant la présence d'un pic ferroélectrique bien distinct après correction PUND, et ce malgré le faible niveau de courant mesuré. Ce faisant, l'hystérésis ferroélectrique P(E) peut être représentée, et la polarisation rémanente extraite. La troisième colonne de la figure 2.21 représente cette polarisation rémanente $2.P_R$, mesurée dix fois par décades, et ce jusqu'à 10^4 cycles, pour ces deux conditions de recuit.

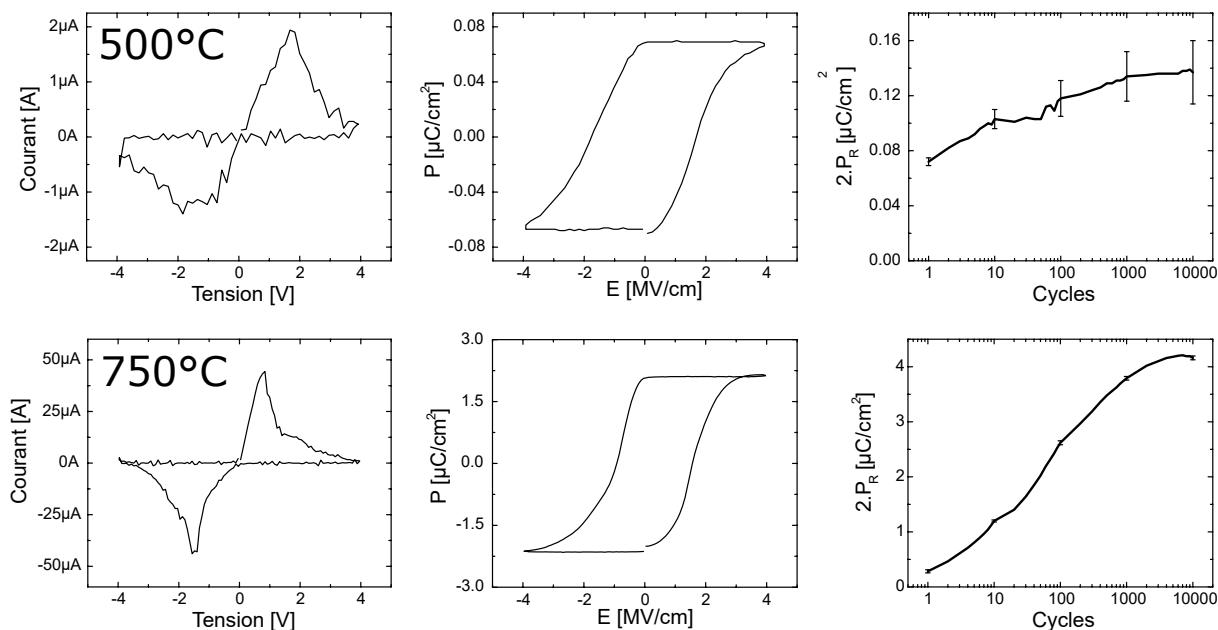


FIGURE 2.21 – Mesure I(V) du courant ferroélectrique extrait par méthode PUND et et P(E) correspondante pour un condensateur recuit à 500°C 600s et 750°C 30s. Ces mesures sont effectuées après 10^4 cycles (4V/10kHz). La troisième colonne correspond à la polarisation rémanente en fonction du nombre de cycles. La moyenne sur les dix condensateurs est représentée.

Les valeurs de polarisation rémanente sont très faibles dans les deux cas, mais non nulles, démontrant qu'un matériau HfO_2 non dopé et recuit à 500°C peut être composé d'une faible proportion de phase orthorhombique ferroélectrique. Cela est très prometteur pour obtenir un matériau HSO recuit à 500°C et possédant une bonne polarisation rémanente. En complément, le recuit à 750°C pendant 30s permet d'obtenir une polarisation rémanente de $4\mu\text{C}/\text{cm}^2$ à 10^4 cycles. On en déduit que pour un matériau HfO_2 non dopé, la cristallisation de la phase orthorhombique est d'autant plus favorisée que le budget thermique du recuit de cristallisation augmente. Cependant, il faut préciser que ce recuit peut également endommager le condensateur. En effet, pour les besoins de cette thèse, plusieurs plaques ont été recuites à 1000°C par Rapid thermal anneal (RTA) pendant 1s. Dans tous ces cas, les condensateurs ainsi fabriqués se sont révélés non fonctionnels et en court-circuit pour tous les matériaux considérés.

2.3.1.2 L'oxyde d'hafnium dopé silicium sans recuit de cristallisation

Pour étudier un second point de référence, on s'intéresse ensuite à un matériau HfO_2 sans recuit de cristallisation. La température maximale vue par l'oxyde d'hafnium après son dépôt correspond alors à la température lors du dépôt du TiN, soit 350°C. Cet oxyde est dopé silicium par implantation ionique à une dose de $3.0 \times 10^{14}\text{at}/\text{cm}^2$ pour une énergie de 4keV. Pour rappel, après un recuit à 750°C 600s, ce matériau possédait une polarisation rémanente de $11\mu\text{C}/\text{cm}^2$. Ces nouveaux condensateurs fabriqués sont caractérisés de la

même façon que les trois plaques précédentes. Le courant ferroélectrique mesuré après 10^4 cycles est représenté à la figure 2.22 (a) et le cycle d'hystérésis correspondant, à la figure 2.22 (b). Ainsi, comparé au cas d'une plaque non recuite et non dopée, ces condensateurs sont ferroélectriques.

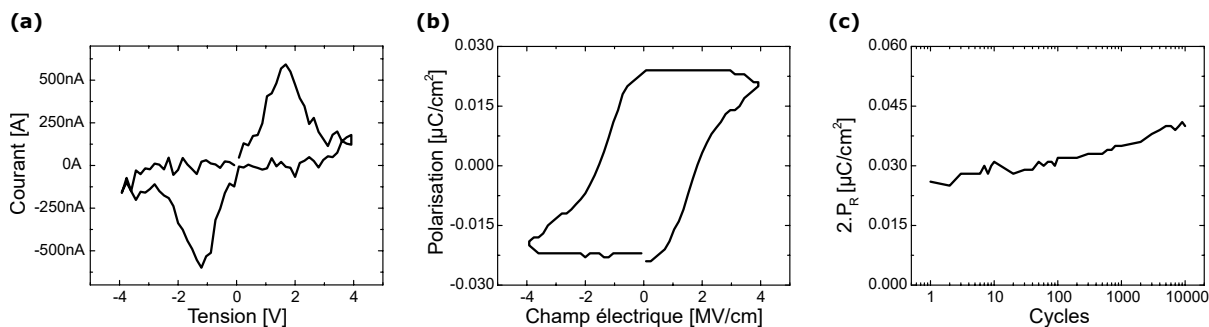


FIGURE 2.22 – (a) Courant ferroélectrique en fonction de la tension et (b) polarisation en fonction du champ électrique pour un matériau HSO n'ayant pas subi de recuit de cristallisation. Ces mesures sont réalisées après 10^4 cycles à 4V/100kHz. La figure (c) est la polarisation rémanente correspondante en fonction du nombre de cycles.

Cela confirme ainsi que le dopage par implantation ionique favorise l'apparition de la phase orthorhombique dans un matériau. En revanche, en l'absence de recuit de cristallisation, les valeurs de polarisation rémanente de la figure 2.22 (c) sont très faibles. D'après ces deux expériences, la phase ferroélectrique est cristallisée lors d'un recuit à 500°C sans dopage, ainsi que lors d'un dopage sans recuit. Il est donc nécessaire de caractériser un matériau HSO dopé par implantation ionique et recuit à 500°C 600s et de quantifier la présence de phase orthorhombique.

2.3.1.3 Recuit compatible BEOL à 500°C et implantation ionique

Une plaque de HfO₂ dopé par implantation ionique a été fabriquée, à une dose de 3.0×10^{14} at/cm² pour une énergie de 4keV, soit 1% de silicium, et dont le recuit est opéré, après dépôt du TiN et gravure des condensateurs, à 500°C pendant 600s. La même séquence de mesure est appliquée, en utilisant la méthodologie PUND (4V/10kHz) sur dix condensateurs. La polarisation rémanente $2.P_R$ est représentée jusqu'à 10^4 cycles sur la figure 2.23 (c).

La polarisation rémanente s'avère proche de celle mesurée à la section 2.2.1.3, cf. la figure 2.12, dans le cas d'un recuit à 750°C. Le fait que la polarisation rémanente ne soit pas plus faible lors d'un recuit à 500°C peut s'expliquer par les différences de procédé de fabrication entre cette nouvelle plaque et celles de la figure 2.12. D'une part, le TiN des électrodes est ici de 100nm contre 10nm précédemment, mais également le recuit de cristallisation est effectué après gravure, ce qui n'est pas le cas pour les premières plaques (figure 2.9). Ces différences peuvent également expliquer la différence entre la plaque non dopée recuite à 750°C (figure 2.21) qui est ici ferroélectrique alors que ce n'était pas le cas de la plaque de référence de même dopage et recuit de la figure 2.12. Il est également à considérer que la phase ferroélectrique est une phase intermédiaire, ainsi il n'est pas impossible d'obtenir une ferroélectricité similaire pour un budget thermique

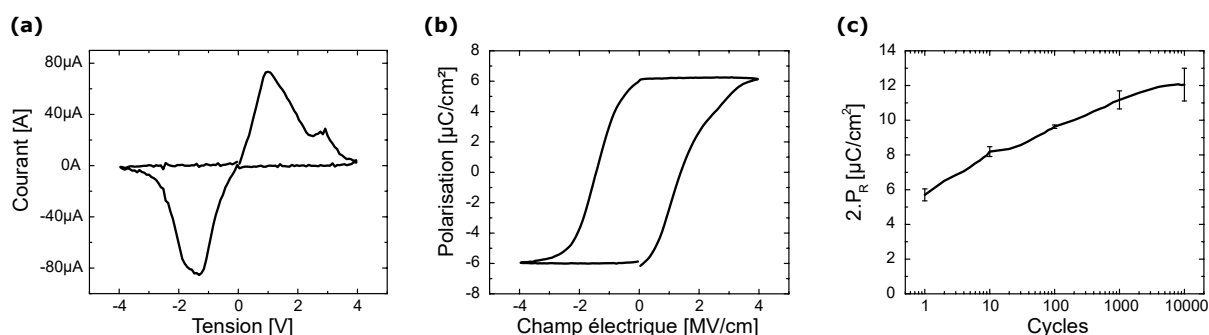


FIGURE 2.23 – (a) Courant ferroélectrique en fonction de la tension et (b) polarisation en fonction du champ électrique appliqué pour un matériau HSO dopé par implantation ionique à une dose de 3.0×10^{14} at/cm² et une énergie de 4keV. Le recuit de cristallisation est fait à 500°C pendant 600s. Ces mesures sont réalisées après 10^4 cycles à 4V/100kHz. La figure (c) est la polarisation rémanente correspondante en fonction du nombre de cycles.

faible (500°C) et un fort (750°C) si la température optimum est entre ces deux valeurs. Il n'en reste pas moins qu'il est démontré qu'une polarisation rémanente non négligeable est obtenue dans le cas d'un recuit à 500°C. Ainsi, la possibilité d'obtenir un condensateur ferroélectrique à base de HSO dont le procédé de fabrication est compatible avec une intégration BEOL est démontrée.

2.3.2 Le recuit Laser pour renforcer la cristallisation de la phase ferroélectrique

Bien que le HSO dopé par implantation ionique soit une alternative au HZO dans le cas d'une intégration en BEOL, les valeurs de polarisation rémanente du HSO que nous avons mesurées jusqu'à présent sont inférieures au cas du HZO, d'environ un facteur trois. La piste du pourcentage de silicium ainsi que celle du recuit standard pour favoriser la formation de phase orthorhombique a été explorée. Si le pourcentage optimum de silicium est défini proche de 1%, nous avons démontré qu'augmenter la température de recuit accroît la proportion de phase orthorhombique. Cependant, une trop forte température lors d'un recuit standard, ou en RTA, détériore les niveaux CMOS situés en FEOL. Nous étudions dans cette section une alternative revenant à utiliser un pulse laser UV excimer 308nm de 160ns pour atteindre des températures importantes dans la couche de HfO₂, et ainsi favoriser la cristallisation de la phase ferroélectrique, tout en conservant une température faible en profondeur. Dans un premier temps, le profil de température est simulé dans l'empilement en fonction de la densité d'énergie du laser. L'intérêt de cette technique pour induire l'apparition de la phase orthorhombique est ensuite analysé grâce aux mesures GIXRD et In-plane sur du HfO₂ pleine plaque, puis à l'échelle de condensateurs caractérisés électriquement.

2.3.2.1 Profils de température dans l'empilement

Le principal objectif de cette technique est d'atteindre une forte température en surface, *i.e.* dans le HfO₂, tout en conservant les niveaux inférieurs à des températures faibles

pour ne pas les dégrader. Dans notre cas, en utilisant un procédé de fabrication simple qui nous permet d'avoir une première vision de l'intérêt de cette technique, cela correspond au substrat de Si et à une couche de 200nm de SiO₂, mais dans le cas d'un dispositif mémoire, il faudrait prendre en compte les lignes métalliques et transistors du FEOL. Ainsi, nous souhaitons ici conserver les niveaux inférieurs à la Bottom Electrode en dessous de leur point de fusion. En effet, le Si et le SiO₂ ont une température de fusion de 1410°C et 1710°C respectivement, alors que la température de fusion de l'oxyde d'hafnium et du TiN est supérieure à 2500°C. L'avantage d'un pulse laser est sa durée, ici de 160ns, ce qui permet d'éviter l'échauffement thermique en profondeur et donc de conserver les couches inférieures en dessous de leur température de fusion, qui sont bien plus faibles que celles du condensateur en lui-même. Une simulation 1D est réalisée pour établir la limite en densité d'énergie.

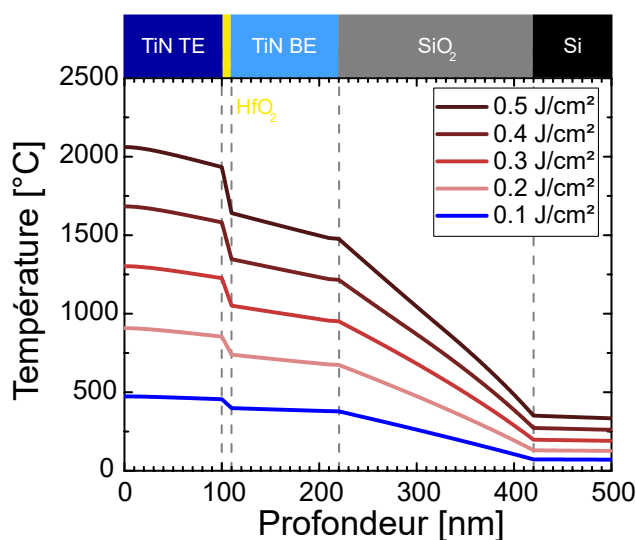


FIGURE 2.24 – Profil de température en profondeur représentant la température maximum atteinte pendant le pulse laser, dont la densité énergétique varie de 0.1J/cm² à 0.5J/cm².

L'empilement simulé est identique à celui de la section précédente, à savoir des électrodes de 100nm, du HfO₂ de 10nm, puis une couche de 300nm de SiO₂ pour ensuite atteindre le substrat de Si. Cette simulation est réalisée pour plusieurs densités énergétiques, jusqu'à 0.5J/cm², et le profil en profondeur est représenté à la figure 2.24, la valeur maximum atteinte en profondeur étant extraite. Le but de cette technique est d'obtenir une température maximum pour le HfO₂ tout en conservant l'intégrité des couches. Ce faisant, la figure 2.24 démontre qu'une densité d'énergie laser de 0.5J/cm² est la limite de cette technique pour cet empilement, l'interface TiN/SiO₂ atteignant 1600°C, température très proche mais inférieure de la température de fusion de ce dernier. Pour cette densité d'énergie, la température du HfO₂ atteint plus de 2000°C. Notons qu'en pratique, lorsque cet empilement subit un pulse laser de densité d'énergie supérieure, des craquelures observables au microscope apparaissent, attribuées à la dégradation des couches inférieures.

2.3.2.2 Caractérisation GIXRD et In-Plane

Une plaque a été fabriquée, comprenant 10nm de HfO_2 dopé silicium à 1% par implantation ionique. Après dépôt des 100nm de TiN de la TE, certaines zones de cette plaque se voient recuites par pulse laser. Ces zones mesurent $15 \times 15\text{mm}^2$, et le laser UV excimer 308nm de 160ns est utilisé. L'instrument utilisé peut illuminer une zone plusieurs fois, ainsi les zones reçoivent un, dix ou cent pulses laser successifs, pour évaluer l'effet cumulatif de cette méthode. La figure 2.25 (a) est le spectre GIXRD comparant une zone illuminée une fois et une zone illuminée cent fois, la densité énergétique du laser étant fixé à $0.4\text{J}/\text{cm}^2$. Un pic est clairement visible proche de 30° après cent pulses laser, confirmant la présence, d'un point de vue morphologique, de phase orthorhombique ferroélectrique dans le matériau. À l'inverse, seul un léger épaulement est discernable si un seul pulse laser est utilisé. On en déduit directement que la phase orthorhombique cristallise de manière significative après cent pulses laser à $0.4\text{J}/\text{cm}^2$, mais est absente ou en très faible proportion si un seul pulse a été appliqué, indiquant un phénomène cumulatif pour ce type de recuit.

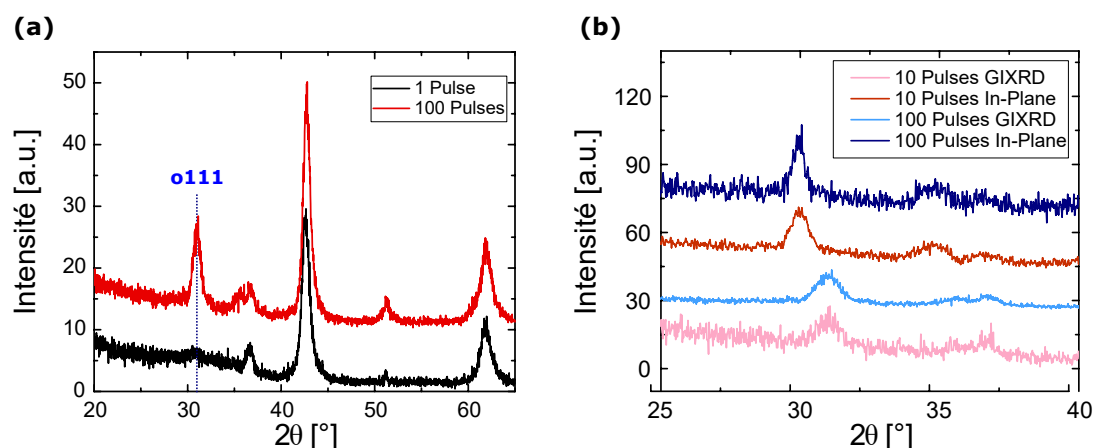


FIGURE 2.25 – (a) Spectres GIXRD d'un empilement 100nm TiN/10nm HSO (1%)/100nm TiN après insolation par un ou cent pulses laser de $0.4\text{J}/\text{cm}^2$ de densité énergétique et (b) spectres GIXRD et In-plane, axes proche de 30° , de cet empilement après dix ou cent pulse laser de même densité énergétique.

Pour compléter l'étude de ce phénomène cumulatif, certaines zones ont été insolées dix fois, et leur spectre GIXRD révèle également la cristallisation de la phase orthorhombique, cf. la figure 2.25 (b). Sur les zones après dix et cent pulses laser, le spectre In-plane XRD est également mesuré. En incidence rasante, les cristallites sont caractérisés en profondeur, tandis qu'en configuration In-plane, c'est la surface qui est caractérisée. La combinaison de mesure en incidence rasante et In-plane permet d'obtenir des informations concernant les dimensions des cristallites, évaluées selon la formule de Scherrer [109]. Suite aux mesures de la figure 2.25 (b), l'épaisseur des cristallites est calculée et vaut 8.3nm et 8.6nm dans le cas de dix et cent pulses laser, respectivement. Les cristallites font ainsi une épaisseur proche de l'épaisseur totale de la couche de HfO_2 dans les deux cas. En revanche, la dimension In-plane, en surface, est différente. Ceux-ci ont un diamètre de 11.7nm après dix pulses laser, et de 24.0nm après cent pulses laser. Ainsi, le cristallite de

phase orthorhombique continue de croître dans le plan grâce aux pulses laser, ce qui peut indiquer une proportion croissante de cette phase par effet cumulatif. Cette hypothèse n'est pas directement vérifiable par ces mesures XRD, il est ainsi nécessaire de caractériser électriquement ces matériaux. En effet, les cristallites sont certes plus gros, mais il faut quantifier la ferroélectricité de ces cristallites.

2.3.2.3 Caractérisation des performances ferroélectriques obtenues après recuit laser

Une plaque identique à celle utilisée pour la caractérisation en XRD est fabriquée, comprenant 10nm de HfO_2 dopé silicium à 1% par implantation ionique. Après l'insolation laser, le matériau est gravé avec arrêt sur le TiN de la BE pour obtenir des condensateurs circulaires de 100 μm de diamètre. L'utilisation de substrats de silicium de 200mm permet d'insoler 19 zones avec des conditions différentes, *i.e.* 19 couples densité énergétique/nombre de pulses laser. La caractérisation électrique a été réalisée sur toute la plaque, mesurant ici 400 condensateurs, ce qui permet de reconstituer une cartographie de la polarisation. La mesure électrique a pour but d'identifier l'influence du pulse laser sur la cristallisation de la phase orthorhombique. Ainsi, contrairement au reste de ce chapitre, la mesure PUND est réalisée à 5V/10kHz cinq fois par décades, jusqu'à 10^5 cycles de 5V d'amplitude, pour une fréquence de 100kHz. L'utilisation d'une amplitude plus importante a pour objectif d'accélérer le wake-up ferroélectrique et ainsi d'accroître la polarisation rémanente dans le cas des recuits n'induisant qu'une très faible proportion de phase ferroélectrique.

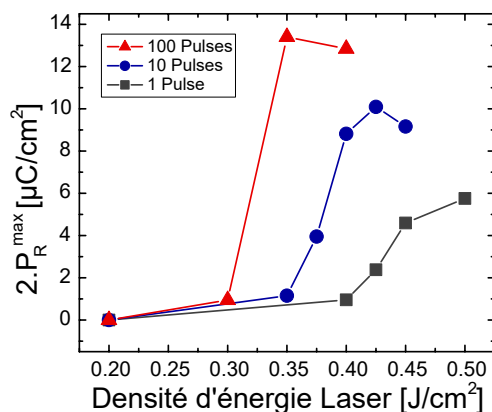


FIGURE 2.26 – Polarisation rémanente maximum obtenue au cours du cyclage électrique en fonction de la densité d'énergie laser utilisée pour effectuer le recuit laser et du nombre de pulses laser.

La figure 2.26 représente la polarisation maximum obtenue au cours du cyclage électrique en fonction de la densité d'énergie laser utilisée et du nombre de pulses laser. Le masque de lithographie utilisé pour graver les condensateurs permet de fabriquer plusieurs milliers de dispositifs. Ainsi, la superposition a posteriori avec la carte d'insolation laser a permis de regrouper six à douze condensateurs par condition de recuit. La valeur $2.P_R^{\text{max}}$

est ainsi une valeur médiane. Cette figure démontre directement l'influence de la densité d'énergie sur la formation de la phase orthorhombique ferroélectrique lors de l'utilisation d'un seul pulse. Ainsi, plus cette densité augmente, *i.e.* plus la température du HfO_2 atteinte pendant le pulse laser augmente, plus la polarisation augmente jusqu'à atteindre $2.P_R^{\text{max}} = 5.75\mu\text{C}/\text{cm}^2$. On observe également que la polarisation est très faible, mais non nulle, lors de l'utilisation d'un seul pulse de $0.4\text{J}/\text{cm}^2$ d'énergie, ce qui corrèle avec le faible épaulement observé pour ces conditions de recuit à la figure 2.25 (a). L'effet cumulatif induit par dix ou cent pulses laser successifs est clairement démontré, la polarisation rémanente atteignant un maximum de $2.P_R^{\text{max}} = 13.5\mu\text{C}/\text{cm}^2$ dans le cas de cent pulses à une densité énergétique de $0.35\text{J}/\text{cm}^2$ tandis qu'elle est de $1\mu\text{C}/\text{cm}^2$ avec dix pulses. On observe cependant que la polarisation décroît pour des énergies trop élevées en utilisant dix ou cent pulses laser. Cet effet cumulatif a donc ses limites pour favoriser la cristallisation de la phase orthorhombique. Il est possible que la phase monoclinique soit, à force de multiples pulses laser, favorisée, ce qui fait écho à la simulation ab-initio de la figure 2.4. Il est également possible qu'une autre dégradation, autre que celle du Si ou SiO_2 intervienne.

Étant donné les différences importantes entre les recuits standards et ce recuit laser, nous souhaitons étudier l'effet du dopage lorsque le recuit est effectué par pulse laser. Pour effectuer cette analyse, des plaques supplémentaires sont fabriquées en variant le pourcentage de silicium, de 0% à 2% de silicium, le procédé étant toutes choses égales par ailleurs. Ces plaques sont caractérisées électriquement selon la même méthodologie que pour la figure 2.26. La figure 2.27 (a) représente la polarisation rémanente maximum en fonction de la densité d'énergie du pulse laser pour ces différentes plaques, uniquement dans le cas de cent pulses laser.

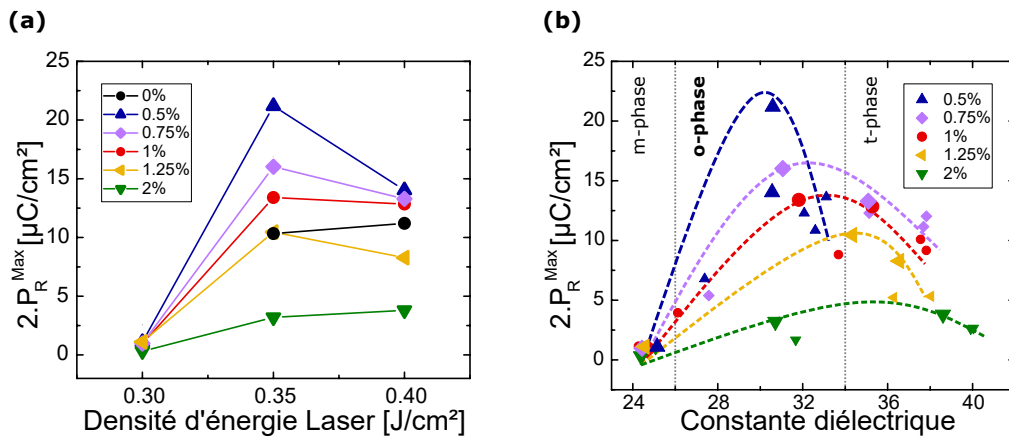


FIGURE 2.27 – (a) Polarisation maximum mesurée par méthode PUND (5V/10kHz) au cours d'un cyclage électrique (5V/100kHz), sur des condensateurs de $100\mu\text{m}$ de diamètre dont le HfO_2 est dopé silicium par implantation ionique à différents pourcentages, en fonction de la densité énergétique des cent pulses laser. Cette même polarisation est représentée en (b) en fonction de la valeur de constante diélectrique mesurée lors des signaux PUND. Les gros symboles correspondent à cent pulses laser et les petits, à dix pulses laser, la tendance globale étant ensuite représentée en pointillées pour les différents dopages.

On constate dans un premier temps que le dopage optimum n'est pas entre 1% et 1.25% de silicium comme pour un recuit à 750°C 600s, mais s'avère plus proche de 0.5%. À ce dopage, une densité énergétique de 0.35J/cm² permet d'obtenir une valeur importante de polarisation rémanente de 22μC/cm². La technique de recuit utilisée peut ainsi influencer significativement la proportion de silicium nécessaire à la croissance de phase orthorhombique. Cependant, tout comme pour les résultats de la figure 2.23, cela peut provenir des différences de procédé de fabrication entre ces plaques et celles utilisées pour déterminer le pourcentage optimum après recuit standard à 750°, *i.e.* la figure 2.12 **(a)**. La figure 2.27 **(a)** appuie également le précédent constat concernant la baisse de phase ferroélectrique lorsque la densité énergétique dépasse un seuil. En effet, mis à part pour la plaque non dopée et celle dopée à 2% de silicium, la polarisation rémanente maximum décroît systématiquement au dessus de 0.35J/cm² lorsque l'insolation est de cent pulses successifs. Cela sous-entend qu'une autre phase non ferroélectrique est favorisée dans ces conditions.

Enfin, on se propose d'analyser les phases cristallines du HfO₂ par le prisme de la constante diélectrique. Lors de la mesure du signal PUND, les signaux U et D ne contiennent pas de composante ferroélectrique et permettent ainsi de calculer la valeur de la constante diélectrique depuis la valeur moyenne du courant pendant une rampe de tension du signal U ou D. La figure 2.12 **(b)** représente alors la polarisation rémanente maximum en fonction de la constante diélectrique correspondante. On constate ainsi que pour tous les pourcentages de dopage, le maximum de polarisation correspond à une constante diélectrique proche de 30. Il s'avère que la phase orthorhombique du HfO₂ a une constante diélectrique de l'ordre de 30, tandis que la phase monoclinique est plus proche de 20 et que la phase tétragonale est proche de 40 [73]. Cette figure démontre ainsi clairement que l'augmentation de polarisation rémanente corrèle avec l'augmentation de la proportion de phase orthorhombique.

Conclusions du chapitre 2

Le chapitre 2 a présenté la caractérisation de condensateurs de grande surface, de plusieurs milliers de μm^2 . Ce type de condensateur peut être fabriqué et caractérisé de façon simple et rapide, ce qui a permis l'optimisation de l'oxyde d'hafnium, ayant pour but son intégration dans un procédé BEOL. Dans un premier temps, le HZO, matériau de référence dans la littérature du HfO_2 ferroélectrique, est étudié. Les plaques réalisées dans le cadre du projet $3\epsilon\text{FERRO}$ sont caractérisées et s'avèrent ferroélectriques même à des températures de recuit de 350°C , tout en conservant une forte polarisation rémanente supérieure à $30\mu\text{C}/\text{cm}^2$, démontrant la compatibilité du HZO avec une intégration BEOL. Ce résultat est également confirmé par simulation ab-initio, celle-ci démontrant également la nécessité de réaliser le recuit de cristallisation après dépôt de la Top Electrode. Les performances mémoire sont ensuite évaluées. Une méthode pour caractériser l'efficacité de programmation d'un pulse carré, cohérent avec les signaux des circuits mémoire logique, est explicitée et utilisée. Le matériau démontre alors une excellente efficacité de programmation, de plus de 90% même à 30ns de largeur de plateau de pulse de tension. Un compromis entre claquage diélectrique et polarisation rémanente maximum en fonction du conditionnement électrique est mis en évidence. Il est également possible d'atteindre 10^8 cycles d'endurance tout en conservant une polarisation rémanente supérieure à $15\mu\text{C}/\text{cm}^2$. Pour finir, la rétention de l'information du HZO est évaluée, grâce à une méthodologie adaptée au caractère destructif de la lecture de la polarisation rémanente, et s'avère prometteuse, avec seulement 10% de perte de polarisation rémanente après une journée au four à 85°C .

Si le HZO présente un grand intérêt pour une application mémoire FeRAM, celui-ci n'a pas été déposé au CEA-LETI, mais par le partenaire NaMLab GmbH dans le cadre du projet $3\epsilon\text{FERRO}$. Ainsi, seules quelques plaques de ce matériau ont été caractérisées au cours de cette thèse. Dans le but de multiplier les variantes technologiques et d'approfondir l'étude du matériau HfO_2 ferroélectrique, nous avons alors eu recours à de l'oxyde d'hafnium dopé silicium. Ainsi, la suite de ce chapitre a porté sur l'optimisation du procédé d'implantation ionique de silicium pour favoriser la formation de phase orthorhombique dans le HfO_2 . Plusieurs variantes technologiques ont été réalisées en faisant varier la dose et l'énergie d'implantation, et les pourcentages de dopant extraits par simulation Monte-Carlo. Grâce à la séquence de mesure utilisant la méthodologie PUND, nous avons démontré qu'un pourcentage proche de 1.2% favorise au mieux l'apparition de la phase orthorhombique ferroélectrique et permet d'atteindre des valeurs de polarisation rémanente supérieures à $12\mu\text{C}/\text{cm}^2$ après 10^4 cycles à $4\text{V}/100\text{kHz}$.

Le dopage par implantation ionique, technique novatrice au commencement de cette thèse, a été ensuite comparé à un type de dopage plus conventionnel, le dopage durant le dépôt ALD, toujours en utilisant le silicium comme dopant. Pour pouvoir se baser sur une métrique commune pertinente, le pourcentage de silicium dans la couche de HfO_2 a été extrait grâce à des mesures ToF-SIMS, permettant en outre d'observer le profil de dopant dans la couche. Le dopage par implantation ionique s'est révélé alors comparable au dopage par ALD en terme de polarisation rémanente, mais à des pourcentages de dopant significativement plus faibles, ce qui peut s'expliquer par l'énergie supplémentaire apportée par la technique d'implantation ionique. Il est alors démontré qu'un pulse de 30ns de largeur

de plateau est suffisant pour programmer au moins 50% des domaines ferroélectriques, quelque soit le type de dopage. Cette vitesse de programmation est prometteuse pour l'utilisation du HSO dans le cadre d'une application mémoire, ces dispositifs devant être programmés le plus rapidement possible. Sur la base de cette méthodologie de mesure, la polarisation effective $2.P_{SW}$ a été mesurée pour différents pulses d'endurance carrés. Le comportement ferroélectrique s'est avéré ainsi grandement impacté par les signaux d'endurance utilisés. En outre, un compromis entre polarisation maximum et claquage diélectrique a été mis en évidence, similaire au cas du HZO. En revanche, ce compromis ne définit pas une loi universelle. Pour un matériau donné, ces mesures mettent en avant l'importance de l'ingénierie des signaux électriques utilisés dans le cas d'un matériau ferroélectrique. Ainsi, les performances mémoire du HfO_2 peuvent être adaptées en fonction de l'application visée.

La fin de ce chapitre porte uniquement sur le HSO dopé par implantation ionique, et s'est proposée d'étudier les possibilités d'intégration en BEOL de ce matériau en effectuant un recuit standard, mais aussi grâce à un recuit laser. Tout d'abord, un matériau HfO_2 non dopé s'est avéré ferroélectrique à partir d'un recuit à $500^\circ C$. De plus, l'implantation ionique seule, sans recuit de cristallisation, favorise également la croissance de la phase orthorhombique. Bien que dans ces deux cas, la polarisation rémanente n'a pas atteint $1\mu C/cm^2$. Il a ensuite été démontré que le HSO dopé par implantation ionique et recuit à $500^\circ C$ présente une proportion non négligeable de phase orthorhombique. Cette plaque est alors fabriquée, et démontre une polarisation allant de $6\mu C/cm^2$ à l'état vierge jusqu'à $12\mu C/cm^2$ après 10^4 cycles. Pour finir, un recuit par pulse laser a été proposé pour atteindre des températures très élevées dans le HfO_2 sans pour autant dégrader le reste de l'empilement. D'un point de vue morphologique, cette technique semble efficace et un effet cumulatif a été mis en évidence, *i.e.* les cristallites de phase orthorhombiques croissant sous l'influence de pulses laser successifs. Cette observation est confirmée par mesure électrique, mais une dégradation des performances ferroélectriques apparaît également lors de l'utilisation de pulses successifs de trop forte énergie. Ces deux effets sont confirmés sur plusieurs variantes technologiques dont le pourcentage de dopant silicium varie. Il a ainsi été démontré que le pourcentage optimum de silicium implanté est proche de 0.5% dans le cas de cette technique spécifique de recuit. Enfin, le lien entre polarisation rémanente et constante diélectrique a été démontré, la polarisation étant maximum lorsque la constante diélectrique est proche de 30, ce qui correspond à la valeur pour la phase orthorhombique du HfO_2 . Notons cependant que les densités d'énergie utilisées pour cette étude tiennent compte des limitations de cet empilement, et que l'utilisation d'un pulse laser dans le cas d'un dispositif intégré en BEOL nécessitera une nouvelle analyse des températures limites.

Il est donc possible d'obtenir un matériau ferroélectrique, que ce soit du HSO ou du HZO, en n'excédant pas $550^\circ C$ lors d'un recuit standard. Ce faisant, le chapitre suivant se propose de réaliser des condensateurs ferroélectriques à base de ces deux matériaux dans le cas d'une intégration BEOL, au dessus d'un niveau CMOS au nœud technologique 130nm, comprenant transistors et lignes métalliques. Les dispositifs ainsi fabriqués sont ainsi d'une surface bien plus petite, atteignant des dimensions submicrométriques, induisant de nouveaux défis lors de la caractérisation électrique.

Chapitre 3

Intégration Back-End-Of-Line des matériaux à base d'oxyde d'hafnium

Table des matières du Chapitre 3

3.1	Enjeux expérimentaux de la mesure de condensateurs submicrométriques . . .	93
3.1.1	Structures de test Single 1C et Matrice 1C	93
3.1.2	Adaptation de la méthodologie de mesure aux condensateurs submicrométriques	94
3.2	Caractérisation des matériaux après intégration BEOL	96
3.2.1	Procédé de fabrication et vérifications structurales préliminaires . . .	97
3.2.2	Propriétés ferroélectriques des condensateurs submicrométriques . . .	100
3.3	Caractérisation avancée et influence de l'espacement des condensateurs de la structure Matrice 1C	107
3.3.1	Cohérence des métriques en fonction de la surface	108
3.3.2	Influence de l'espacement des condensateurs dans la Matrice 1C . . .	110

Introduction

L'oxyde d'hafnium HfO_2 , qu'il soit dopé silicium (HSO) ou alliage avec du zirconium $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (HZO), démontre un caractère ferroélectrique avec un recuit de cristallisation inférieur à 550°C . Ainsi, la phase orthorhombique peut cristalliser à des températures compatibles avec une intégration en BEOL, nécessaire à la réalisation des circuits mémoire FeRAM de cette thèse. Le chapitre précédent porte sur la caractérisation de condensateurs de plusieurs milliers de μm^2 de surface. Ces condensateurs se sont avérés être des structures de test adaptées à la caractérisation électrique, la surface utilisée étant en adéquation avec les limitations des appareils de mesure, permettant la mesure de proportions infimes de phase orthorhombique, jusqu'à moins de $0.1\mu\text{C}/\text{cm}^2$. De plus, le procédé de fabrication pour réaliser ce type de dispositifs est simple, ne nécessitant que quelques étapes, ce qui a permis d'analyser de nombreuses variantes technologiques, et d'ainsi optimiser au mieux les matériaux, tout en recherchant constamment des alternatives en terme de procédé de fabrication.

Ce chapitre hérite de ces résultats et tend à se rapprocher de l'environnement d'un circuit mémoire FeRAM. Pour ce faire, il est important de prendre deux facteurs en compte. Dans un premier temps, la surface du condensateur doit être diminuée, jusqu'à atteindre des dimensions submicrométriques. En effet, les composants mémoire actuels sont intégrés dans des nœuds technologiques de la dizaine ou centaine de nanomètres. Ce faisant, les condensateurs des matrices mémoires se veulent également de faibles dimensions, suivant la logique de densification des composants. Ainsi, ce chapitre 3 porte sur la caractérisation de condensateurs dont le diamètre n'excède pas 600nm et diminue jusqu'à 300nm pour les structures de plus faible dimension. En pratique, nous mesurons ainsi l'équivalent, en termes de surface, du condensateur d'une bitcell 1T-1C FeRAM. Si le système de mesure s'avère particulièrement efficace pour les condensateurs de $10\,000\mu\text{m}^2$, il est poussé proche de ses limites dans ce chapitre. C'est pourquoi nous décrivons dans un premier temps les structures de dimensions submicrométriques disponibles ainsi que la méthodologie de mesure adaptée aux faibles courants à mesurer.

En plus de fabriquer des dispositifs de faible dimension en conservant des températures compatibles avec l'intégration BEOL, ceux-ci sont directement fabriqués au-dessus d'une intégration FEOL d'un nœud technologique 130nm , comprenant un niveau de transistors et des lignes métalliques. Leur intégrité est contrôlée, de même que la cristallinité du matériau HfO_2 par le prisme de la mesure XRD ainsi que par microscopie, mais aussi la stabilité des transistors après le recuit de cristallisation du BEOL. Fort de ces vérifications structurales, les performances ferroélectrique sont caractérisées électriquement sur des dispositifs unitaires, Single 1C, que ce soit les métriques ferroélectriques $2.P_R$ et E_C ou les performances mémoire d'endurance et de vitesse de programmation. Une seconde structure comprenant des dispositifs unitaires connectés en parallèle, Matrice 1C, permet une analyse plus poussée du comportement des condensateurs submicrométriques grâce à une surface effective plus importante et donc un courant de plus haute amplitude. Nous étudions pour finir le comportement ferroélectrique au travers d'une méthodologie de reconstitution des pics ferroélectriques, permettant par la même occasion de définir les limites de l'utilité du signal PUND.

3.1 Enjeux expérimentaux de la mesure de condensateurs submicrométriques

Le CEA-LETI développe depuis plusieurs années un véhicule de test dédié aux mémoires (PCRAM, OxRAM, FeRAM), nommé Memory Advanced Demonstrator MAD. Celui-ci fait l'objet de mises à jour annuelles dans le but d'ajouter de nouvelles structures, de corriger les existantes ou bien de supprimer celles obsolètes. Dans ce chapitre, les plaques utilisées font partie de la seconde version de ce véhicule de test sur plaque de 200mm (MAD200 V2), tandis que la troisième version sera utilisée dans le chapitre 4 (MAD200 V3). Si la version deux ne comprend pas la matrice mémoire 16kbit caractérisée au chapitre suivant, les deux versions ont en commun la présence de condensateurs unitaires (Single 1C) et de condensateurs en parallèle (Matrice 1C). Cette section décrit succinctement ces structures, et détaille les modifications à apporter à la méthodologie de test basée sur le signal PUND pour les caractériser efficacement.

3.1.1 Structures de test Single 1C et Matrice 1C

Les plaques fabriquées comptent près de cinquante puces, chaque puce incluant les deux types de structures. La structure la plus simple, la Single 1C, qui s'avère être un simple condensateur circulaire, est présente sur cinq barrettes comprenant chacune douze dispositifs. Ces dispositifs varient en termes de surface, allant de condensateurs circulaires de 300nm de diamètre jusqu'à 600nm de diamètre. Ainsi, les surfaces explorées sont comprises entre $0.07\mu\text{m}^2$ et $0.28\mu\text{m}^2$.

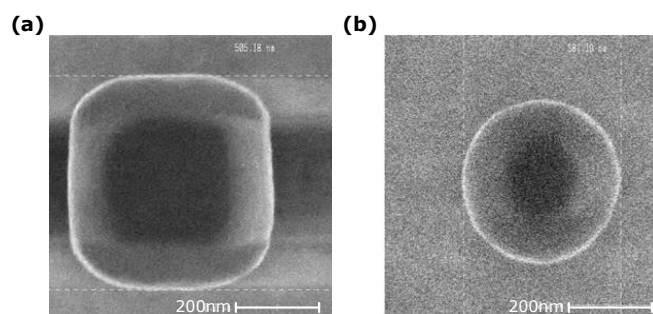


FIGURE 3.1 – Images par Scanning Electron Microscopy SEM d'un condensateur Single 1C **(a)** carré de 500nm de largeur et **(b)** circulaire de 400nm de diamètre. Les images sont acquises après dépôt et gravure de la Top Electrode mais avant encapsulation et finalisation du procédé de fabrication.

Les figures 3.1 sont des images obtenues par Scanning Electron Microscopy SEM de deux condensateurs, l'un carré de 500nm de largeur **(a)** et l'autre circulaire de 400nm de diamètre **(b)**. Il est important de préciser que la surface des condensateurs a été régulièrement mesurée par SEM pour garantir une extraction réaliste des propriétés ferroélectriques, celles-ci étant normalisées par la surface. En effet, si pour des condensateurs ferroélectriques de $10\,000\mu\text{m}^2$, une variation de quelques nanomètres en diamètre n'est pas critique, cela le devient dans le cas de ces condensateurs de moins de $1\mu\text{m}$ de diamètre. En outre, le procédé de lithographie utilisé ne garantit pas une erreur constante sur les

surfaces des condensateurs, que ce soit pour les différentes surfaces d'une même barrette, mais aussi plaque à plaque. Lorsqu'une analyse quantitative est réalisée, *e.g.* lorsque la polarisation doit être comparée entre plusieurs surfaces de condensateurs, une attention particulière est donnée à l'utilisation de la surface effective du condensateur.

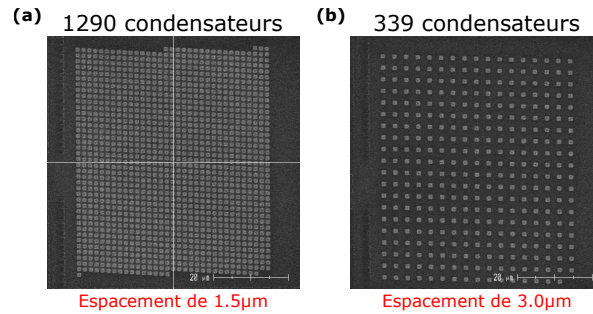


FIGURE 3.2 – Images par Scanning Electron Microscopy SEM d'une structure Matrice 1C comprenant (a) 1290 condensateurs en parallèle espacés de $1.5\mu\text{m}$ et (b) 339 condensateurs en parallèle espacés de $3.0\mu\text{m}$. Les images sont acquises après dépôt de la Top Electrode mais avant encapsulation et finalisation du procédé de fabrication.

Pour finir, la structure nommée Matrice 1C est représentée à la figure 3.2. Une Matrice 1C est un ensemble de (a) 1290 ou (b) 339 condensateurs électriquement connectés en parallèle. Toutes les TE sont reliées entre elles, de même pour les BE de leur côté, ce qui en pratique définit la Matrice 1C comme un condensateur unique, dont la surface effective est la somme de la surface unitaire de tous les dispositifs, tout comme le courant de déplacement mesuré. Cette structure très particulière n'a que peu d'intérêt applicatif, à l'inverse des Single 1C, mais s'avère un compromis parfait entre les dispositifs de grande surface et les Single 1C. En effet, nous mesurons en pratique des dispositifs unitaires Single 1C de surfaces et d'intégration identiques à ceux de la figure 3.1, mais la Matrice 1C permet de démultiplier le courant de déplacement induit par un seul dispositif unitaire. Le niveau de courant ainsi atteint permet de conserver une méthodologie de mesure similaire à celle du chapitre 2, à l'inverse des Single 1C, pour lesquelles nous présentons la méthodologie modifiée dans la section suivante.

3.1.2 Adaptation de la méthodologie de mesure aux condensateurs submicrométriques

En se basant sur les mesures du chapitre 2, telle que la calibration de la figure 1.33 ou l'exemple de la figure 1.35, nous pouvons considérer que l'amplitude du pic ferroélectrique d'un condensateur de $10\,000\mu\text{m}^2$ de surface est, pour l'exemple, de $100\mu\text{A}$. Cela est valable dans le cas d'un signal PUND standard de $4\text{V}/10\text{kHz}$. La plus grande surface de Single 1C, de $0.36\mu\text{m}^2$, est donc plus de 27 000 fois plus petite que ces condensateurs. On peut ainsi anticiper que lors d'une caractérisation identique, le pic ferroélectrique d'un condensateur de $0.36\mu\text{m}^2$ de surface sera de l'ordre de 4nA . L'appareil de mesure que nous utilisons, le Keysight B1500 avec module B1530 pour les mesures dynamiques, possède différentes gammes de mesure du courant. Nous avons essentiellement utilisé au chapitre 2 le calibre 1mA , et parfois le calibre $100\mu\text{A}$ (figure 2.22). La résolution de l'appareil étant de 0.2% du

calibre utilisé, ces deux calibres sont inadaptés à un courant de l'ordre du nA. Le calibre le plus faible cependant, de $1\mu\text{A}$, permet d'atteindre une résolution effective de 2nA. Il ne semble donc pas impossible de mesurer ces niveaux de courant avec ce système de mesure.

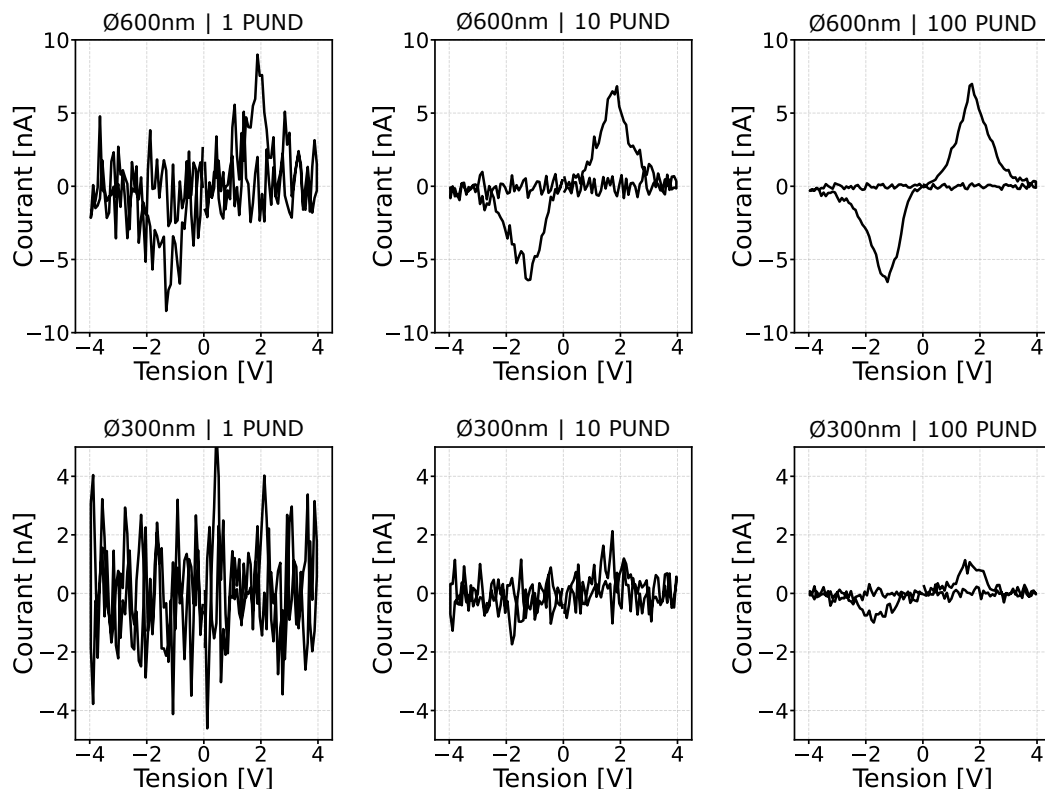


FIGURE 3.3 – Courbes $I(V)$ mesurées, par méthodologie PUND, sur des condensateurs de 600nm et 300nm de diamètre, après 10^5 cycles 4V/100kHz. La première colonne est un signal PUND standard, tandis que les deuxième et troisième colonnes sont des $I(V)$ moyennées dix et cent fois respectivement.

La première colonne de la figure 3.3 présente ainsi la courbe $I(V)$ obtenue après correction PUND (4V/10kHz) grâce à un seul signal, sur une plaque ferroélectrique de référence. La première ligne correspond à un condensateur circulaire de 600nm de diamètre tandis que la seconde ligne est un condensateur de 300nm de diamètre, *i.e.* les deux extrêmes en termes de surface disponible. On observe directement que les courants mesurés sont bien de l'ordre du nA. Cependant, il est impossible de discerner un pic ferroélectrique dans le cas du condensateur de 300nm de diamètre. En revanche, un pic semble émerger dans le cas du condensateur de 600nm de diamètre, ce qui incite à ajuster les paramètres et la méthodologie de mesure. D'après la documentation technique, il est possible d'améliorer encore la résolution en augmentant le temps d'intégration, au détriment du nombre de points. Pour conserver un nombre de point important et donc une bonne résolution en tension, nous effectuons plutôt plusieurs mesures PUND successives que nous moyennons ensuite.

La deuxième et la troisième colonne de la figure 3.3 correspondent aux courants ferroélectriques moyennés respectivement sur dix et cent signaux PUND successifs. On observe directement les pics ferroélectriques pour le condensateur de 600nm de diamètre avec dix

PUND, tandis qu'il est nécessaire de moyenner cent fois pour le condensateur de 300nm de diamètre pour clairement les distinguer. Il n'en reste pas moins qu'il est possible de caractériser électriquement des condensateurs Single 1C de dimensions submicrométriques grâce à la méthodologie PUND. Dans la suite de ce chapitre, lorsqu'une mesure en cours d'endurance est réalisée sur une structure Single 1C, les dix premiers cycles sont des mesures PUND et correspondent ensuite au premier point représenté, à 10^1 cycles. Ensuite, 90 signaux de cyclage sont appliqués, puis dix nouveaux signaux PUND sont mesurés et moyennés, pour obtenir le point 10^2 cycles. Enfin, tous les points à 10^x cycles suivants correspondent à une moyenne de cent signaux PUND.

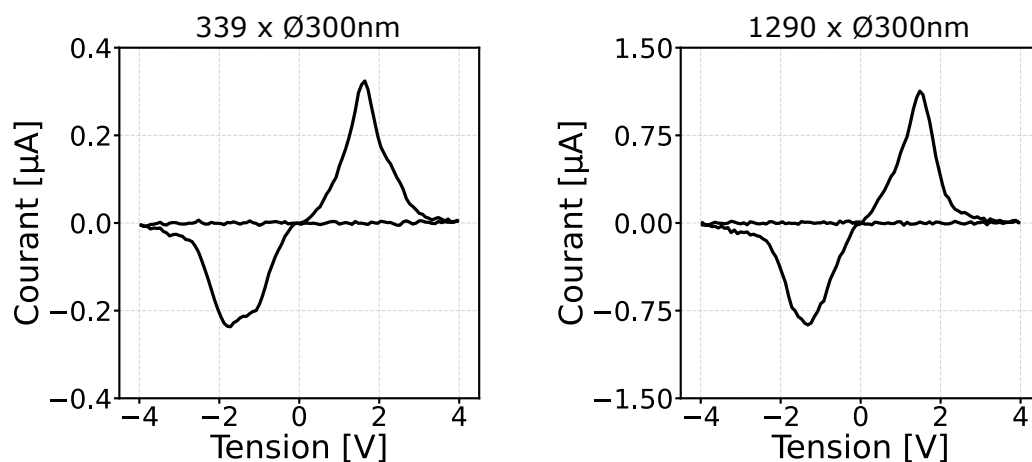


FIGURE 3.4 – Courbes $I(V)$ mesurées par signal PUND unique (4V/10kHz) sur des structures Matrice 1C de 339 et 1290 condensateurs de 300nm de diamètre, après 10^5 cycles 4V/100kHz.

Si le niveau de courant d'un condensateur submicrométrique est de l'ordre du nA, une structure comprenant 339 ou 1290 de ces condensateurs en parallèle induit un courant de l'ordre du μA . Ce niveau de courant étant directement cohérent avec le calibre de l'appareil de mesure de $1\mu\text{A}$ ou $10\mu\text{A}$, il n'est pas nécessaire de moyenner plusieurs mesures PUND. La figure 3.4 représente les courants ferroélectriques mesurés pour les deux types de Matrice 1C, et ce pour le plus petit condensateur de 300nm de diamètre. Ce type de structure sera privilégié dans la section 3.3.

3.2 Caractérisation des matériaux après intégration BEOL

Lors du chapitre 2, nous avons analysé les performances de deux matériaux à base d'oxyde d'hafnium, le HSO et le HZO, et démontré la présence de phase ferroélectrique en utilisant des températures de recuit de cristallisation compatibles avec l'intégration BEOL. Ce chapitre s'inscrit dans la continuité de ces travaux, et propose ainsi de caractériser le HSO et le HZO après intégrés en BEOL sur un véhicule de test au nœud technologique 130nm. La première partie de cette section détaille ainsi cette intégration, commune aux deux matériaux, et vérifie l'intégrité des couches à l'aide d'images acquises par différentes

techniques de microscopie. Les phases cristallines sont ensuite caractérisées par XRD puis les métriques de la ferroélectricité des condensateurs en structure Single 1C sont évaluées. Après avoir évalué la polarisation et le champ coercitif des deux matériaux, nous étudions l'influence de la surface du condensateur. Pour finir, les performances mémoire des dispositifs Single 1C submicrométriques sont extraites de la même façon que pour le chapitre 2, *i.e.* l'efficacité de retournement et la fiabilité en endurance.

3.2.1 Procédé de fabrication et vérifications structurales préliminaires

3.2.1.1 Procédé de fabrication des condensateurs intégrés en BEOL

Les dispositifs mémoire sont fabriqués au niveau BEOL par le CEA-LETI en se basant sur des plaques 200mm de nœud technologique 130nm dont les niveaux FEOL sont réalisés en amont par STMicroelectronics. En pratique, STMicroelectronics réalise les premières interconnexions métalliques en cuivre du BEOL jusqu'au niveau Métal 4 selon le véhicule de test MAD. Ensuite, l'empilement MFM est commencé par le CEA-LETI. La Bottom Electrode BE est déposée par Physical Vapor Deposition PVD à 350°C et planarisée par Chemical Mechanical Polishing CMP pour diminuer la rugosité de la surface de TiN jusqu'à 0.18nm RMS. Les 10nm d'oxyde d'hafnium sont ensuite déposés selon deux procédés. Pour obtenir du $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ par ALD, les précurseurs utilisés sont le TEMA-Hf (tetrakis-ethylmethylamino hafnium) et le $\text{ZrCp}(\text{NMe}_2)_3$, pour le HfO_2 et le ZrO_2 respectivement, avec O_3 comme source d'oxygène, dépôt réalisé par NaMLab gGmbH dans le cadre du projet 3εFERRO. L'oxyde d'hafnium dopé silicium est obtenu en réalisant une implantation ionique de silicium, sur 10nm de HfO_2 déposés au préalable par ALD, à une dose de $3.0 \times 10^{14} \text{at/cm}^2$ pour une énergie de 4keV, ce qui correspond à 1% de Si. Notons que le HSO est entièrement fabriqué au CEA-LETI.

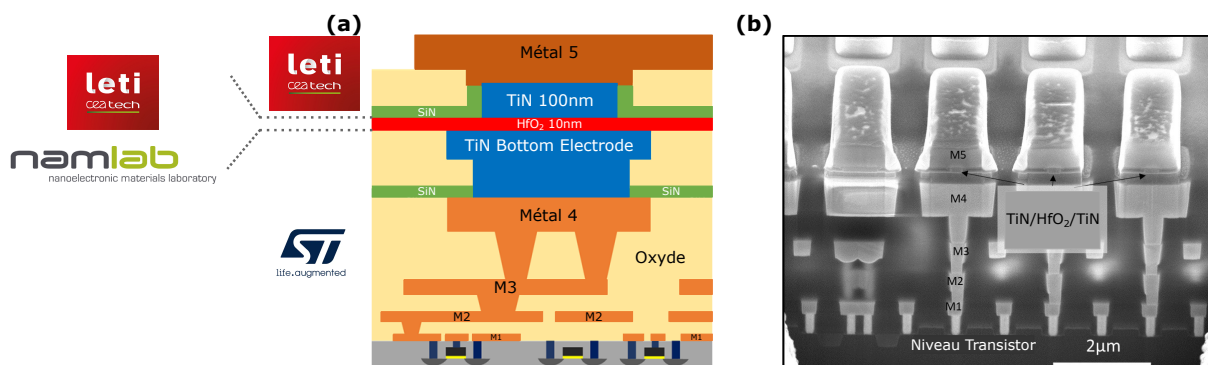


FIGURE 3.5 – (a) Schéma de l'empilement fabriqué et (b) vue en coupe correspondante obtenue par SEM.

La Top Electrode TE de 100nm de TiN est déposée par PVD à 350°C puis gravée pour définir les condensateurs de 300nm à 600nm de diamètre. Pour finir, l'empilement MFM fabriqué est encapsulé par du SiN et du SiO₂ déposés à 400°C, qui sont ensuite planarisés par CMP, avant d'effectuer la reprise de contact avec le TiN et de déposer le Métal 5 à 450°C. La figure 3.5 (a) résume le procédé de fabrication, où le condensateur

ferroélectrique est compris entre le Métal 4 et le Métal 5 tandis que (b) est la vue en coupe, obtenue par Focused Ion Beam FIB SEM, mettant en évidence le condensateur ferroélectrique.

3.2.1.2 Caractérisation morphologique de l'empilement

Les images obtenues par SEM ne permettent qu'une vérification morphologique limitée de l'empilement, ne confirmant en soit que le fait que les étapes de fabrication sont toutes accomplies, et de contrôler les dimensions des différentes couches ainsi que la surface des condensateur définie lors de la lithographie. Pour compléter cette première vérification, la figure 3.6 présente les images obtenues par Energy Dispersive X-ray EDX pour chacun des deux matériaux. Cette technique repose sur l'excitation des atomes de l'échantillon grâce à des rayons X. En retournant dans leur état non-excité, chaque espèce atomique produit un spectre qui lui est propre. Il est ainsi possible de remonter à la composition chimique de l'échantillon observé. Sur les deux figures, les électrodes de TiN et l'encapsulation en SiN sont clairement visibles. La couche de matériau à base de HfO_2 est également mise en évidence. Notons que cette couche n'est pas gravée lors de la fabrication, la surface électrique du condensateur est ainsi définie par la surface de la Top Electrode. Nous n'observons pas de diffusion d'un composé chimique, confirmant ainsi l'intégrité des couches déposées.

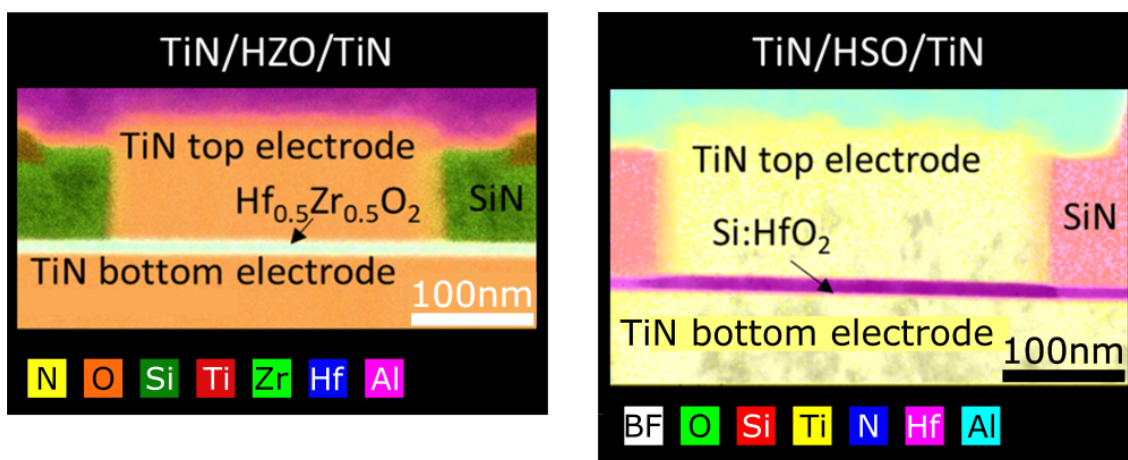


FIGURE 3.6 – Images EDX de l'empilement fabriqué pour les deux matériaux à base de HfO_2 , mettant en évidence la couche ferroélectrique et les autres matériaux déposés.

3.2.1.3 Cristallisation de la phase orthorhombique

Si la couche de HfO_2 est intègre, ainsi que la structure complète en elle-même, il n'est cependant pas assuré que le matériau soit correctement cristallisé. En effet, bien que le chapitre précédent démontre que l'oxyde d'hafnium, que ce soit dans le cas du HSO ou du HZO, cristallise à des températures inférieures à 550°C , le procédé de fabrication reste différent, avec par exemple la présence des niveaux métalliques sous la BE. Avant d'effectuer des mesures électriques, une image de la couche de HfO_2 est obtenue par High-Resolution Transmission Electron Microscopy. La figure 3.7 démontre alors que l'oxyde

d'hafnium est bien cristallisé dans le cas d'un procédé de fabrication n'excédant pas 450°C après le dépôt, ce qui est valable pour les deux matériaux. En outre, les cristallites ont une dimension verticale comparable à l'épaisseur totale du matériau, *i.e.* 10nm, ainsi qu'une dimension dans le plan d'environ 20nm.

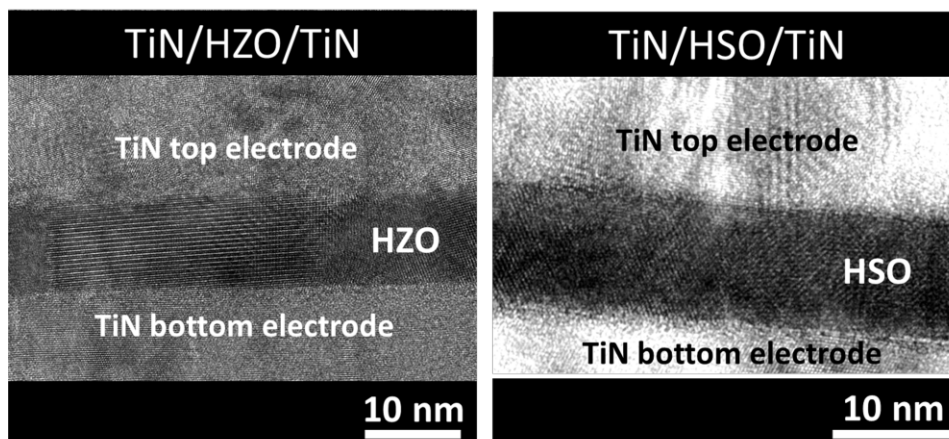


FIGURE 3.7 – Images HRTEM de l'oxyde d'hafnium pour les deux matériaux, démontrant la cristallisation de celui-ci à faible budget thermique.

Les couches d'oxydes sont également analysées par mesure XRD dans le but de déterminer la nature de cette phase cristallisée. La figure 3.8 présente les mesures GIXRD et In-plane des deux matériaux. Un pic proche de 30° est mesuré dans les deux cas, que ce soit en GIXRD ou en In-plane, pic qui est attribué à la présence de phase orthorhombique ferroélectrique [57], confirmant la nature ferroélectrique de l'empilement même avec un faible budget thermique, en accord avec le chapitre précédent. Par ailleurs, les dimensions des cristallites sont calculées selon le même procédé que dans la section 2.3.2.2. La dimension verticale est ainsi de 8.6nm et celle dans le plan, 17.2nm, confirmant les observations réalisées par HRTEM.

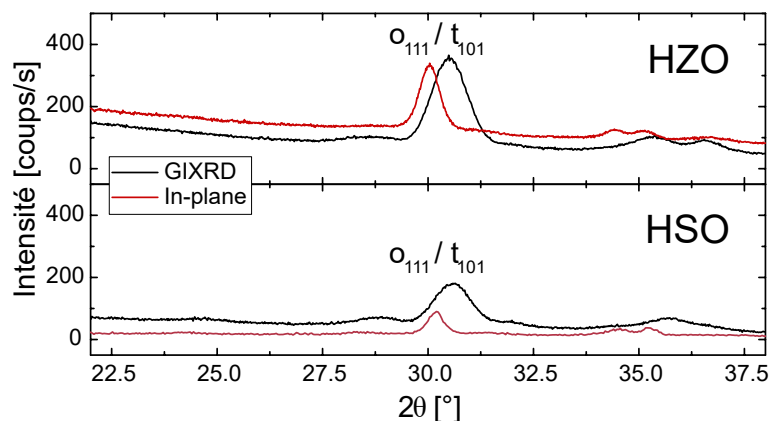


FIGURE 3.8 – Caractérisation GIXRD et In-plane des deux matériaux démontrant la présence de phase orthorhombique grâce au pic à 30°.

En considérant que les cristallites ont une épaisseur identique à celle de la couche de HfO_2 , et qu'ils sont cylindriques avec un diamètre de 17.2nm, nous pouvons déterminer le nombre de cristallites par condensateur. Un condensateur de 600nm de diamètre comprend ainsi environ 1200 cristallites, tandis qu'un condensateur de 300nm de diamètre en contient environ 300. Le matériau étant polycristallin, seule une certaine proportion de ces cristallites est ferroélectrique. On peut ainsi anticiper que le nombre de cristallites ferroélectriques est suffisant pour observer une distribution de champ coercitifs. En effet, la distribution des champs coercitifs provient de la multitude de domaines ferroélectriques, regroupant plusieurs cristallites.

3.2.2 Propriétés ferroélectriques des condensateurs submicrométriques

Conformément aux résultats du chapitre 2, les deux matériaux à base de HfO_2 sont cristallisés lors d'un recuit à 450°C. Si les mesures XRD mettent en évidence la présence de phase orthorhombique ferroélectrique au sein du HfO_2 , celle-ci reste à être quantifiée par caractérisation électrique. Cette section porte ainsi sur la caractérisation de dispositifs Single 1C de surface submicrométrique. Dans un premier temps, nous évoquerons les problématiques de variabilité rencontrées sur les plaques comprenant du HZO, puis nous nous intéresserons au matériau HSO, celui-ci s'avérant plus stable. Étant donné la grande quantité de condensateurs présents sur chaque plaque, nous donnerons un premier aperçu statistique des métriques ferroélectriques, puis nous analyserons l'influence de la surface du condensateur sur ces métriques. Enfin, de la même façon que pour le chapitre précédent, nous concluons l'analyse de ces dispositifs en nous intéressant à des paramètres primordiaux pour une application mémoire, *i.e.* en caractérisant l'efficacité de programmation et l'endurance des condensateurs submicrométriques.

3.2.2.1 Problématiques du matériau $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$

Le matériau HZO a démontré de meilleures performances que le HfO_2 dopé silicium, que ce soit en termes de polarisation ferroélectrique, d'endurance et même d'efficacité de programmation. Il serait alors naturel de vouloir analyser ce matériau en particulier dans le cas de la fabrication de condensateurs submicrométriques compatibles avec une intégration BEOL complète, dans l'optique de réaliser des dispositifs mémoire. Ainsi, nous évaluons les performances ferroélectriques de dispositifs Single 1C de 600nm de diamètre, en mesurant un condensateur par puce de la plaque, soit plus de cinquante puces. La caractérisation électrique est réalisée selon la méthodologie détaillée à la section 2.2.1.2, en moyennant dix ou cent signaux PUND (4V/10kHz) en fonction du nombre de cycles, ces derniers étant des signaux triangulaires de 4V d'amplitude à une fréquence de 100kHz. Étant donné la moyenne réalisée sur les signaux de mesure, un seul point par décade est mesuré, jusqu'à 10^5 cycles.

La figure 3.9 (a) représente la polarisation rémanente extraite de cette mesure pour l'ensemble des dispositifs. On observe en premier lieu que ces dispositifs sont bien ferroélectriques et ce dans une gamme de polarisation rémanente du même ordre de grandeur que pour les dispositifs de plusieurs milliers de μm^2 . En effet, cela est mis en évidence

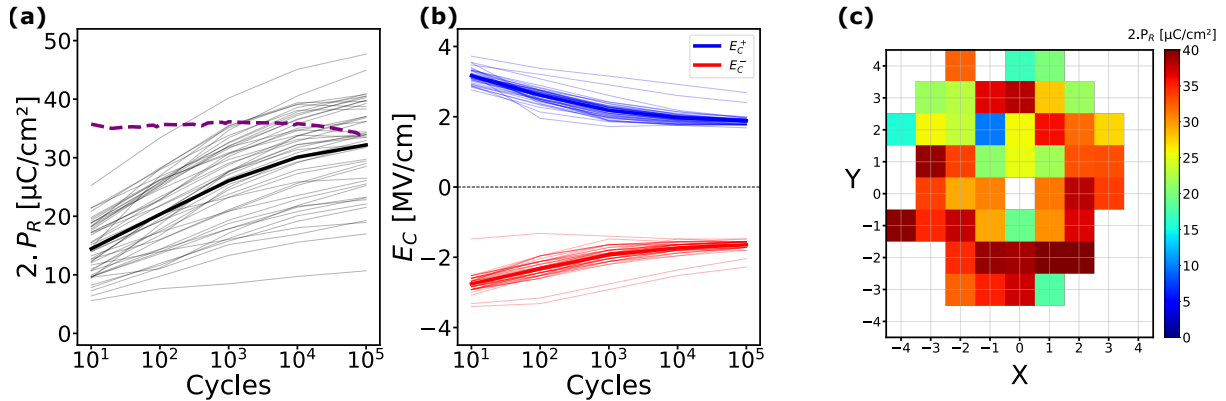


FIGURE 3.9 – (a) Polarisation rémanente et (b) champ coercitif de dispositifs Single 1C de 600nm de diamètre, à base de HZO, en fonction du nombre de cycles, mesurés à l’échelle de la plaque de 200mm. Tous les dispositifs mesurés sont représentés, le trait épais correspondant à la valeur moyenne et la ligne violette de (a) correspond au HZO recuit à 450°C du chapitre précédent. (c) Localisation sur la plaque de la polarisation rémanente, extraite de la figure (a) à 10^4 cycles.

avec la courbe en violet, *i.e.* la polarisation rémanente extraite au chapitre précédent dans le cas d’un recuit de cristallisation de 450°C pour du HZO. Notons que les deux types de dispositifs sont sensiblement différents, que ce soit en terme de procédé de fabrication ou de conditionnement électrique, ce qui peut expliquer les différences observées notamment à l’état vierge. On observe aussi une forte variation des valeurs de $2.P_R$ sur les dispositifs Single 1C, que ce soit pour l’état vierge à 10^1 mais également après 10^4 ou 10^5 cycles. Ainsi, si toutes les courbes suivent la même tendance en cours de cyclage, *i.e.* le même effet de wake-up, un facteur quatre voire cinq peut séparer deux condensateurs de la même plaque. Cette variabilité est peu présente concernant les champs coercitifs à la figure 3.9 (b), ce qui signifie que les contraintes électrostatiques sont similaires pour tous les condensateurs et que la proportion de phase ferroélectrique seule diffère. De plus, on peut aussi en déduire que l’épaisseur du HZO est uniforme à l’échelle de la plaque.

Si la variabilité au sein d’une plaque n’est pas un phénomène rare, une signature géographique peut souvent être mise en évidence. La figure 3.9 (c) représente alors la polarisation rémanente à 10^4 cycles en fonction de la position, sur la plaque, du condensateur mesuré. On peut discerner une couronne où la polarisation est significativement plus importante qu’au centre et que sur les puces du bord de la plaque. Si les contraintes électrostatiques et l’épaisseur du HZO est uniforme, *cf.* la figure 3.9 (b), il est possible que l’épaisseur des électrodes modifie les contraintes mécaniques lors du recuit, et donc la cristallisation de la phase ferroélectrique. De même, on peut supposer que le recuit de cristallisation lui-même n’est pas uniforme. Selon ces deux hypothèses, la proportion de phase orthorhombique peut varier à l’échelle de la plaque sans pour autant induire de variations électrostatiques sur les mesures réalisées ou de variation d’épaisseur du HZO.

En pratique, toutes les plaques possédant du HZO ont démontré de fortes variations de ferroélectricité, et ce même entre deux plaques jumelles. Plusieurs dispositifs Single 1C sont régulièrement en état de claquage diélectrique dès la première mesure électrique, tel que la puce $[X = 0, Y = 0]$ de la figure 3.9 (c). La suite de ce chapitre portera

ainsi essentiellement sur la caractérisation du HSO qui, nous le verrons, ne présente pas ces soucis de variabilité à l'échelle de la plaque. Le HZO ne sera utilisé que lorsqu'une mesure qualitative est réalisée et que la valeur absolue de polarisation rémanente n'est pas déterminante.

3.2.2.2 Variabilité de la polarisation et du champ coercitif du HSO

Une plaque comprenant du HfO₂ dopé silicium à 1% par implantation ionique est mesurée selon la même méthodologie de mesure, jusqu'à 10⁶ cycles (4V/100kHz). Des condensateurs de 600nm de diamètre sont également caractérisés à l'échelle de la plaque, *i.e.* 40 puces ici, et trois de ces dispositifs sont mesurés par puce, soit 120 condensateurs au total. Nous pouvons représenter l'évolution en fonction du nombre de cycles de la polarisation rémanente et du champ coercitif à la figure 3.10 (a) et (b), respectivement, pour différents nombres de cycles, afin d'analyser la variabilité du comportement ferroélectrique dans le cas du HSO.

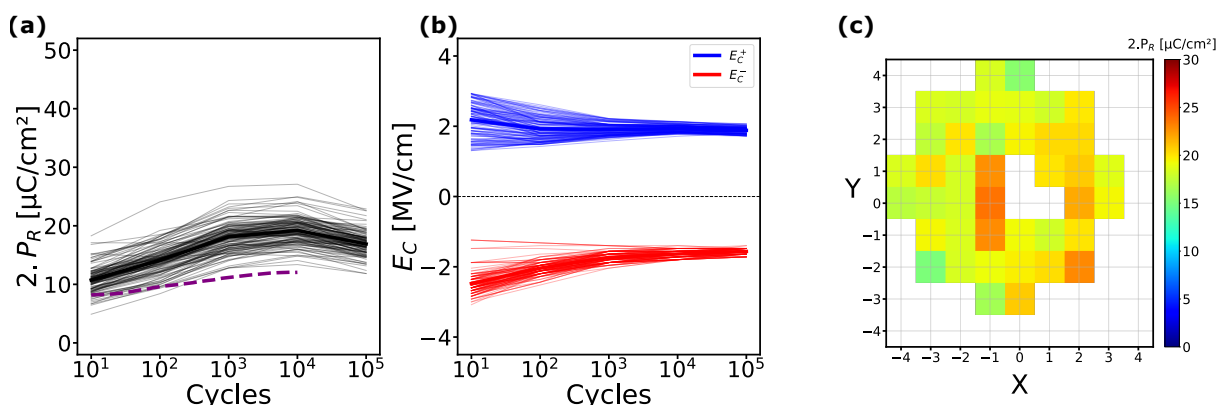


FIGURE 3.10 – (a) Polarisation rémanente et (b) champ coercitif de 120 dispositifs Single 1C de 600nm de diamètre, à base de HSO, en fonction du nombre de cycles, mesurés à l'échelle de la plaque de 200mm. Tous les dispositifs mesurés sont représentés, le trait épais correspondant à la valeur moyenne et la ligne violette de (a) correspond au HSO recuit à 500°C du chapitre précédent. (c) Localisation sur la plaque de la polarisation rémanente, extraite de la figure (a) à 10^4 cycles.

La figure 3.10 (a) démontre que la polarisation rémanente moyenne est comprise entre $13\mu\text{C}/\text{cm}^2$ et $17\mu\text{C}/\text{cm}^2$ en fonction du nombre de cycles, valeurs dans la gamme attendue pour le HSO, démontrant, comme pour le HZO, la compatibilité du procédé de fabrication avec l'intégration BEOL. L'intégration réalisée dans le cas des condensateurs de 600nm de diamètre a été favorable au comportement ferroélectrique, la polarisation rémanente étant systématiquement plus importante après 10^2 cycles par rapport au HSO dopé à 1% et recuit à 500°C de la figure 2.23. On remarque en revanche que la polarisation rémanente durant les quelques premiers cycles est très similaire, et donc que c'est le phénomène de wake-up qui est exacerbé dans le cas de l'intégration en BEOL. Il est donc possible que ces condensateurs de 600nm de diamètre possèdent des interfaces non ferroélectriques plus épaisses, ou que la concentration en lacunes en oxygène soit significativement différente pour permettre le depinning de plus de domaines, *cf.* la section 1.3.2.2 du chapitre 1. La

polarisation rémanente augmente jusqu'à 10^4 cycles avant de diminuer, en accord avec la succession de la phase de wake-up avec celle de fatigue. La mesure statistique réalisée ici permet clairement de mettre en évidence que ces deux phénomènes sont reproductibles sur l'ensemble des dispositifs. Comparé à la figure 3.9 (a) la variabilité à l'échelle de la plaque est inférieure à celle observée dans le cas du HZO. On remarque pour finir que très peu de dispositifs ont un comportement significativement différent du comportement moyen, *i.e.* peu de comportements extrinsèques. Les valeurs du champ coercitif de la figure 3.10 (b) démontrent également une faible variabilité et les valeurs sont inférieures à 2MV/cm après 10^2 cycles. On observe également que si la valeur négative E_C^- moyenne est très stable au cours du cyclage électrique, son opposée E_C^+ diminue progressivement. Cela peut indiquer la présence d'un oxyde sur une des deux interfaces avec les électrodes, ou d'une interface nommée dead layer qui peut être une couche de HfO_2 non ferroélectrique [90, 91, 110].

3.2.2.3 Influence de la surface du condensateur de HSO

La variabilité à l'échelle de la plaque de 200mm est faible, démontrant ainsi une bonne homogénéité de la polarisation ferroélectrique. Cela implique une faible, voir inexistante, variation d'épaisseur du HSO et une proportion de phase orthorhombique constante. Le comportement ferroélectrique est conservé lors de la réduction d'échelle de $10\,000\mu\text{m}^2$ jusqu'à $0.36\mu\text{m}^2$, et nous pouvons étudier la variation des performances en fonction du diamètre des condensateurs de 300nm à 600nm, disponibles sur chaque puce. Cela a pour objectif de raffiner l'analyse mais également de mesurer des condensateurs toujours plus petit, encore plus favorable à la densification des technologies mémoires. Dix diamètres différents de condensateurs circulaires sont mesurés une fois par décade à l'aide d'un signal PUND moyenné (4V/10kHz) au cours d'un cyclage jusqu'à 10^5 cycles (4V/100kHz). Pour chaque diamètre, trois puces sont mesurées au centre, au milieu et au bord de la plaque, portant le nombre total de dispositifs caractérisés à trente.

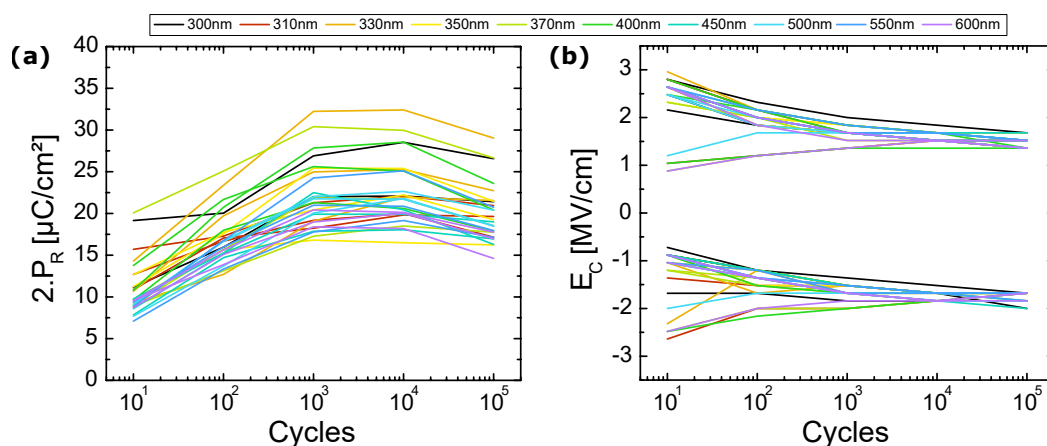


FIGURE 3.11 – (a) Polarisation rémanente et (b) champ coercitif en fonction du nombre de cycles de dispositifs Single 1C dont le diamètre varie. Trois condensateurs sont mesurés pour chaque diamètre, répartis sur l'ensemble de la plaque.

La figure 3.11 (a) démontre que tous les dispositifs, qu'importe leur surface, sont ferroélectriques, avec une polarisation rémanente comprise entre $7\mu\text{C}/\text{cm}^2$ et $30\mu\text{C}/\text{cm}^2$

en fonction du nombre de cycles. Également, chaque dispositif présente une phase de wake-up et une phase de fatigue, la transition s’effectuant entre 10^3 et 10^4 cycles. En parallèle, le champ coercitif représenté à la figure 3.11 (b) est variable à l’état vierge, mais aucune tendance en fonction de la surface du dispositif n’est mise en évidence. Les valeurs convergent au fur et à mesure, pour être finalement comprises entre 2MV/cm et 1MV/cm en valeur absolue. Cette différence aléatoire, de nature électrostatique, pourrait être attribuée à la position initiale des lacunes en oxygène, plus proche de l’une ou de l’autre des électrodes [110].

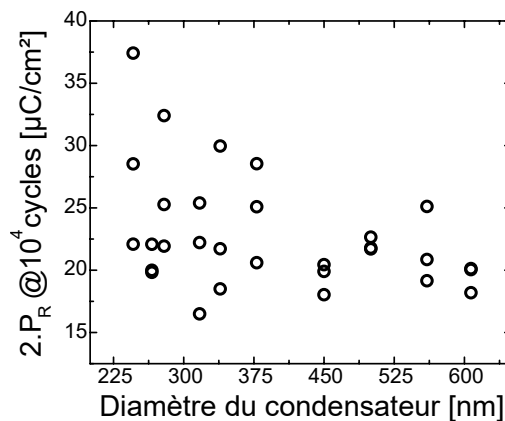


FIGURE 3.12 – Polarisation rémanente à 10^4 cycles en fonction du diamètre des condensateurs. Trois Single 1C sont mesurés par diamètre.

Nous représentons ensuite à la figure 3.12 la polarisation rémanente après 10^4 cycles en fonction du diamètre du condensateur, trois condensateurs étant mesurés par diamètre. Bien que la statistique soit faible, une tendance est mise en évidence, où la polarisation augmente lorsque le diamètre, la surface du condensateur, diminue. Cependant, on observe également que la variabilité sur les diamètres est bien plus importante pour les Single 1C de faible diamètre. En pratique, l’écart relatif entre le diamètre dessiné, *i.e.* le diamètre visé lors de la lithographie, et le diamètre effectif mesuré par TEM est proche de 20% pour le plus petit diamètre, puis diminue jusqu’à atteindre moins de 2% en dessous de 450nm de diamètre. C’est justement à partir de 450nm de diamètre que les valeurs de polarisation rémanente sont proches et que leur dispersion, bien que mesuré sur seulement trois dispositifs, est plus faible et similaire pour tous les diamètres supérieurs à 450nm. On en déduit que la variabilité de la polarisation rémanente est à attribuer au contrôle de la surface du condensateur lors de l’étape de lithographie, le diamètre des Single 1C étant plus dispersé en-dessous de 450nm. Pour minimiser cet effet, les mesures suivantes portant sur des Single 1C sont systématiquement réalisées sur des dispositifs de plus de 450nm de diamètre.

3.2.2.4 Évaluation des performances en endurance des condensateurs submicrométriques

La fabrication de ces condensateurs ferroélectriques permet d’obtenir une proportion de phase orthorhombique suffisante pour considérer ces dispositifs pour une application

mémoire. Ce faisant, nous pouvons nous intéresser dans un premier temps à l'endurance de ces dispositifs. Un premier test d'endurance a été réalisé sur les condensateurs à base de HZO. Pour ce faire, nous mesurons des dispositifs Single 1C de 600nm de diamètre. Le signal d'endurance est un pulse carré de 4V d'amplitude, de temps de montée $t_{\text{rise/fall}} = 100\text{ns}$ et de largeur de plateau de 100ns également, soit 600ns pour un cycle, *i.e.* une fréquence de 1.7MHz. Pour conserver ce test dans des limites de temps raisonnables par rapport à la disponibilité des instruments du laboratoire, nous pouvons aller jusqu'à 10^{11} cycles, soit 17h pour un dispositif. Ce faisant, deux condensateurs sont caractérisés, ceux-ci étant sur la même puce pour présenter des valeurs de polarisation similaires. Étant donné que le signal d'endurance est un pulse carré, nous utilisons la méthodologie adaptée à l'extraction de la valeur $2.P_{\text{SW}}$ présentée à la figure 2.5, à une amplitude de 4V et une fréquence de 10kHz. Ce signal est répété cinq fois pour effectuer une moyenne des signaux, nécessaire dans le cas des dispositifs Single 1C.

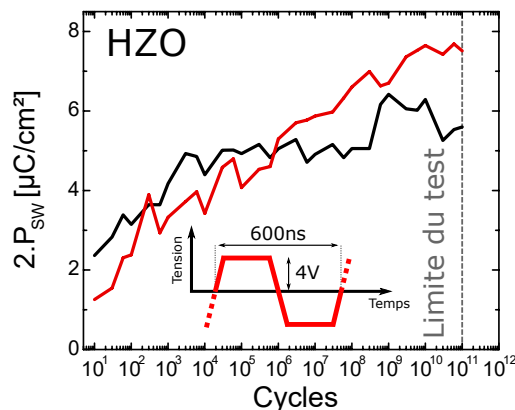


FIGURE 3.13 – Polarisation $2.P_{\text{SW}}$ évaluée sur deux Single 1C de 600nm de diamètre à base de HZO en fonction du nombre de cycles jusqu'à 10^{11} cycles, représentant la limite expérimentale. La méthodologie d'extraction de $2.P_{\text{SW}}$ est répétée cinq fois par point pour moyenner le courant mesuré, nécessaire à la mesure de Single 1C. L'encart représente le signal d'endurance utilisé.

La figure 3.13 représente la polarisation effective $2.P_{\text{SW}}$ extraite et démontre que les deux Single 1C à base de HZO sont ferroélectriques jusqu'à 10^{11} cycles, le dispositif n'étant pas limité par une diminution de $2.P_{\text{SW}}$. Nous pouvons alors augmenter la tension du pulse d'endurance pour tendre plus rapidement vers la fin de vie des dispositifs. Un signal triangulaire de 100kHz de fréquence est utilisé, et au moins cinq condensateurs sont mesurés pour chaque amplitude. Les deux matériaux, HZO et HSO, sont caractérisés sur des dispositifs Single 1C de 600nm de diamètre, ainsi que sur les dispositifs de $100\mu\text{m}$ du chapitre 2.

La valeur moyenne de CBD sur a minima cinq condensateurs est représentée à la figure 3.14 en fonction de l'amplitude du signal d'endurance. Pour tous les dispositifs Single 1C mesurés, la limite de fonctionnement s'avère être un claquage diélectrique total, la polarisation rémanente n'atteignant dans aucun cas une valeur nulle, strictement supérieure à $5\mu\text{C}/\text{cm}^2$. Cette mesure démontre bien qu'un dispositif Single 1C de 600nm de diamètre,

soumis à un cyclage d'amplitude de 4V, *i.e.* 4MV/cm, atteint plus de 10^{11} cycles pour le HZO, ce qui est cohérent avec la figure 3.13. Une tendance est clairement mise en évidence, à savoir que diminuer la tension du signal d'endurance améliore le CBD, *i.e.* la probabilité de formation d'un filament conducteur, diminue. En accord avec le chapitre 2, *i.e.* les condensateurs de 100 μ m de cette figure, les dispositifs Single 1C comprenant du HfO₂ dopé silicium par implantation ionique sont plus susceptibles de claquer que ceux à base de HZO, ce qui va de nouveau dans le sens d'un plus grand nombre de défauts induits par l'implantation ionique de silicium.

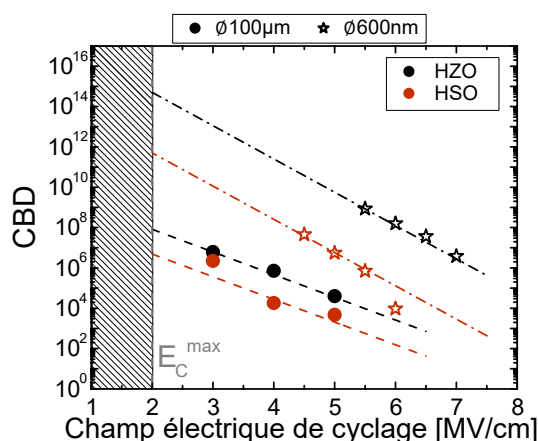


FIGURE 3.14 – CBD en fonction du champ électrique du signal de cyclage pour des condensateurs de 100 μ m et de 600nm de diamètre, pour les deux matériaux HZO et HSO.

En revanche, l'endurance du HSO est tout de même très importante, atteignant par extrapolation jusqu'à 10^{11} cycles pour un champ électrique de cyclage de 2MV/cm, cette valeur de champ représentant le minimum pour assurer le retournement des domaines ferroélectriques. Notons par ailleurs que le signal de cyclage est ici un pulse triangulaire à une fréquence de 100kHz. L'endurance de tous les dispositifs peut ainsi être optimisée en augmentant la fréquence, ou encore en utilisant des pulses carrés plus courts, similaires aux signaux utilisés dans un produit final. Pour finir, on remarque que l'endurance des dispositifs de 600nm de diamètre est systématiquement plus importante que celle des condensateurs de 100 μ m de diamètre. On peut expliquer ce phénomène par la réduction du nombre total de défauts susceptibles d'initier le claquage diélectrique lorsque la surface est diminuée de 7850 μ m² à 0.28 μ m² [111].

3.2.2.5 Efficacité de retournement des domaines ferroélectriques

Suite à la mesure de la figure 3.13 obtenue en mesurant la polarisation $2.P_{SW}$, il est possible de mesurer l'efficacité de programmation en adaptant la méthodologie de la figure 2.5. Dans un premier temps, un condensateur de 600nm de diamètre est cyclé jusqu'à 10^4 cycles par un signal triangulaire de 4V d'amplitude et 100kHz de fréquence. La polarisation rémanente est alors de 18 μ C/cm² pour le condensateur à base de HSO et de 33 μ C/cm² pour celui à base de HZO. La séquence de la figure 2.5 est modifiée pour moyenner les courants mesurés : les PUND de référence et de vérification sont répétés cinq fois ; et la séquence de programmation et lecture est répétée dix fois.

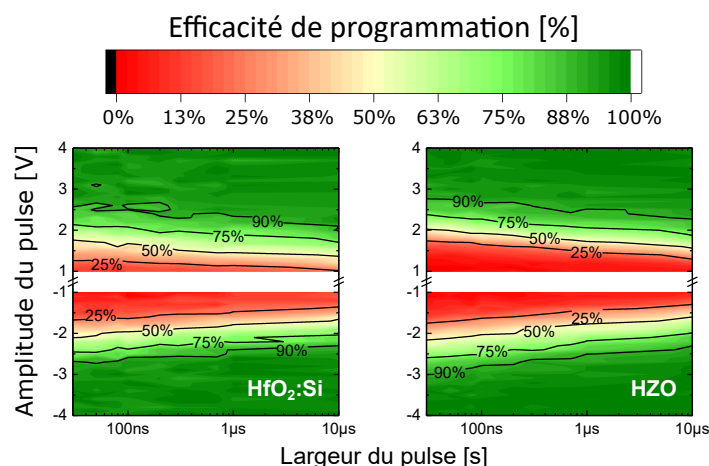


FIGURE 3.15 – Efficacité de programmation d’un pulse carré en fonction de son amplitude et de sa largeur de plateau, à $t_{\text{rise/fall}}$ fixe de 100ns. Des dispositifs Single 1C de 600nm de diamètre sont mesurés pour, à gauche, du HSO et, à droite, du HZO.

La figure 3.15 résume les résultats obtenus pour le HSO et le HZO. Cette figure démontre que la programmation est efficace à plus de 90% avec un pulse de 30ns de largeur de plateau pour une amplitude de 3V, qu’importe la polarité du pulse. On remarque également que le compromis entre largeur du plateau et amplitude du pulse est bien moins marqué pour ces dispositifs intégrés de faible dimension que pour ceux du chapitre précédent (figure 2.17 et 2.6). Dans le cas des dispositifs de large dimension, cet effet peut être attribué à un effet RC étant donné que la BE est connectée depuis la périphérie du condensateur, *i.e.* il n’y a pas de plot de contact pour la BE et la pointe de mesure est posée directement sur le TiN présent sur toute la plaque, alors que la BE des Single 1C est connectée par les lignes métalliques à un plot de contact. Étant donné l’efficacité de programmation importante d’un pulse de 3V d’amplitude et de 30ns de largeur de plateau, celui-ci pourrait être utilisé en fonctionnement nominal dans le cas d’un circuit mémoire.

3.3 Caractérisation avancée et influence de l’espacement des condensateurs de la structure Matrice 1C

Les dispositifs Single 1C sont ferroélectriques et démontrent de bonnes performances, prometteuses pour une application mémoire. La caractérisation électrique de ces dispositifs de faible dimension s’avère cependant particulière : la nécessité de moyenner les signaux PUND étant pertinente pour extraire les métriques de base de la ferroélectricité, mais plus limitée pour analyser finement le comportement des Single 1C. La figure 3.4 présente des Matrice 1C disposant d’une surface équivalente suffisante pour induire un courant similaire à celui mesuré dans le cas de condensateur de grande dimension. Ce faisant, un seul signal PUND est suffisant pour réaliser une mesure, et celui-ci est plus précis et résolu que ceux effectués sur Single 1C. Ainsi, la section suivante porte sur la compréhension et

l'analyse approfondie des dispositifs Matrice 1C. Dans un premier temps, nous vérifions l'intégrité des Matrices 1C au travers de la cohérence de leur courant diélectrique. Les Matrices 1C comprennent soit 339 condensateurs, soit 1290 sur une même surface de puce totale ce qui modifie l'espacement entre chaque dispositif. L'influence de l'espacement des condensateurs est clairement à considérer dans le cas d'une matrice mémoire, où il faut anticiper la variation des performances ferroélectriques en fonction de la densité attendue dans le circuit. Nous verrons que cet espacement impacte la mesure lors d'un PUND standard à 4V, et que ces deux structures présentent un comportement ferroélectrique différent, que nous analysons en détail grâce à une méthodologie d'extraction de pics ferroélectriques.

3.3.1 Cohérence des métriques en fonction de la surface

Dans un premier temps, nous nous intéressons aux dispositifs Matrice 1C. Nous souhaitons dans un premier temps nous assurer de la cohérence des surfaces, pour vérifier que tous les 339 ou 1290 dispositifs unitaires de ces structures sont bien électriquement connectés. Sur chaque puce des plaques fabriquées, deux structures de Matrice 1C, comprenant 339 ou 1290 condensateurs, soit un espacement de $3.0\mu\text{m}$ et $1.5\mu\text{m}$ respectivement, sont mesurées. Six surfaces de condensateurs unitaires, de 245nm à 567nm de diamètre, sont comprises pour chaque structure, soit un total de douze surfaces effectives, allant de $17\mu\text{m}^2$ jusqu'à $328\mu\text{m}^2$.

Les plaques fabriquées comprennent plus de cinquante puces. Plusieurs structures Matrice 1C sont caractérisées à l'aide d'un signal PUND standard, à $4\text{V}/10\text{kHz}$, au cours d'un cyclage réalisé à $4\text{V}/100\text{kHz}$, jusqu'à 10^5 cycles. Nous verrons à la section 3.3.2.1 les performances ferroélectriques de ces dispositifs, mais nous nous intéressons dans un premier temps à la cohérence de ces structures. Pour ce faire, nous utilisons les signaux N et D du PUND pour déterminer le courant diélectrique, et ainsi la valeur de capacité des structures. Ce courant diélectrique est moyenné sur les signaux U et D, puis sur l'ensemble des dispositifs de même surface effective de la plaque.

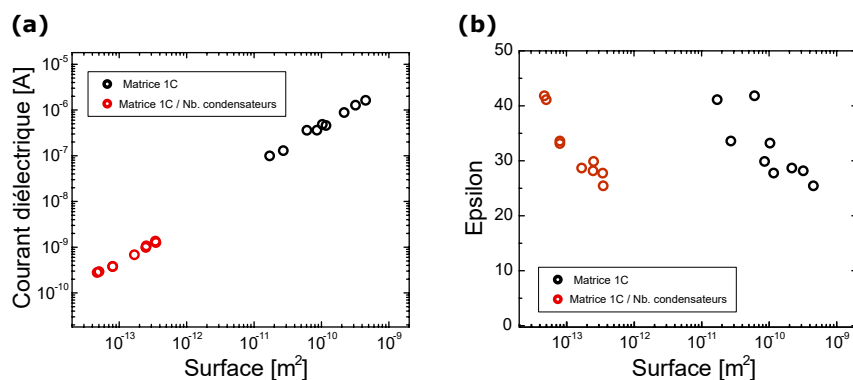


FIGURE 3.16 – (a) Moyenne du courant diélectrique des Matrices 1C, ainsi que la valeur par dispositif unitaire de cette même structure, en fonction de la surface et (b) valeur de la permittivité diélectrique correspondante.

La figure 3.16 (a) représente alors la valeur moyenne de courant diélectrique en fonction de la surface effective du dispositif Matrice 1C en noir. Le courant diélectrique est ainsi proportionnel à la surface effective. En outre, des condensateurs de diamètres similaires sont présents pour chacune des deux structures de Matrice 1C. Ainsi, en divisant le courant mesuré par le nombre de dispositifs unitaires, *i.e.* 339 ou 1290, on obtient le courant diélectrique attendu pour un condensateur unitaire (Single 1C) de diamètre donné. On observe ainsi que certains points rouges, qui ont été mesurés sur les deux structures, se superposent, ce qui démontre que le type de structure n'intervient pas sur le comportement purement diélectrique des condensateurs. En considérant $I = C \times \frac{dV}{dt}$, I étant le courant diélectrique mesuré, avec $dV = 4V$ et $dt = 25\mu s$ les paramètres du signal U et D , on peut calculer la permittivité diélectrique des condensateurs, représentée à la figure 3.16 (b). La valeur théorique de la permittivité varie entre 25 et 45 en fonction des proportions des différentes phases de l'oxyde d'hafnium. Lorsque la phase orthorhombique est significativement présente, cette valeur est proche de 30. On observe alors une très bonne cohérence entre la valeur théorique de permittivité et celles obtenues par mesure PUND, pour toutes les surfaces, ce qui démontre l'intégrité des deux structures. Notons par ailleurs que la valeur moyenne d'épsilon, toutes surfaces confondues, est de 32.

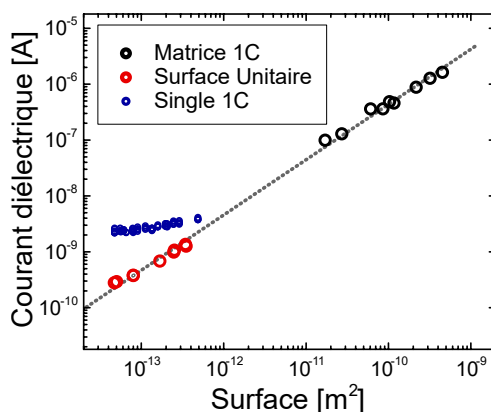


FIGURE 3.17 – Moyenne du courant diélectrique des Matrices 1C, ainsi que la valeur par dispositif unitaire de cette même structure et pour les Single 1C, en fonction de la surface. La courbe en pointillés est un guide pour les yeux basé sur les résultats des Matrices 1C.

Étant donné que nous avons caractérisé des dispositifs Single 1C selon le même protocole de mesure, nous pouvons extraire de la même façon le courant diélectrique des Single 1C. La figure 3.17 reprend la figure 3.16 (a) avec près de cinquante Single 1C de toutes les surfaces. On remarque ainsi que les dispositifs Single 1C ne sont pas cohérents avec les niveaux de courant diélectrique attendus. Un décalage systématique de près de 2nA est observé, et attribué à la présence d'une capacité parasite de 12.5fF, celle-ci étant négligeable dans le cas de la mesure des Matrices 1C. Cette capacité parasite peut provenir de la reprise de contact du condensateur, des lignes métalliques, du contact entre la pointe du micro-manipulateur et le plot métallique ou directement de l'appareil de mesure électrique utilisé. En conclusion, les valeurs de courant diélectrique, permettant d'extraire la permittivité diélectrique, sont cohérentes dans le cas des structures Matrice 1C, mais

sont impactées par la présence d'une capacité parasite du système de mesure. Cependant, la mesure PUND a la particularité de supprimer également les capacités parasite lors de la mesure [93], ainsi les valeurs de $2.P_R$ et de E_C mesurées sur les structures Single 1C sont exploitables.

3.3.2 Influence de l'espacement des condensateurs dans la Matrice 1C

3.3.2.1 Performances ferroélectriques

La surface effective des dispositifs Matrice 1C étant cohérente, celle-ci peut être utilisée pour calculer la polarisation sur la base des mesures PUND réalisées. La figure 3.18 représente alors la polarisation rémanente (a) et le champ coercitif (b) en fonction du nombre de cycles. Nous nous intéressons ici aux extrêmes en termes de surface, soit des Matrice 1C dont le diamètre des condensateurs est de 300nm ou de 600nm. Les courbes représentées sont les moyennes sur l'ensemble de la plaque comptant ainsi près de cinquante dispositifs. Notons que deux plaques parfaitement identiques sont mesurées, expliquant que deux courbes soient représentées pour chaque Matrice 1C.

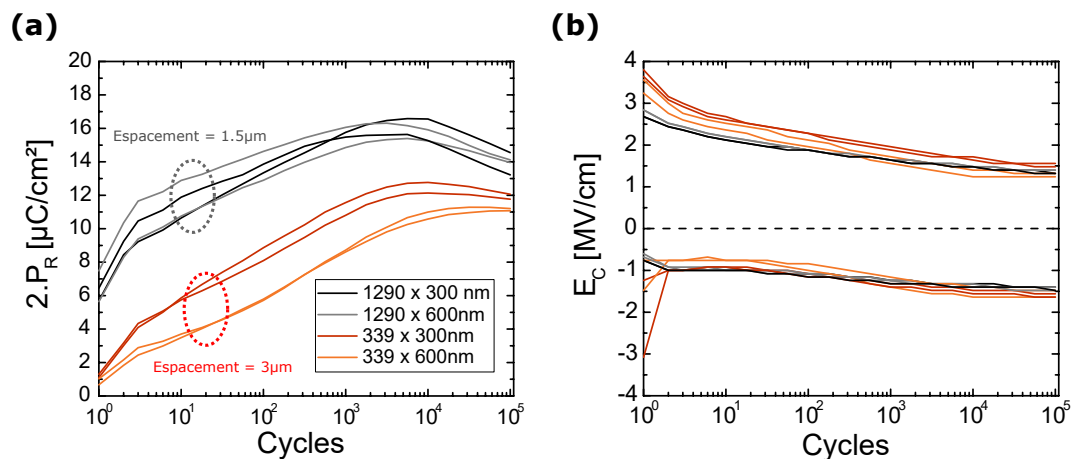


FIGURE 3.18 – (a) Polarisation rémanente et (b) champ coercitif moyen, de près de cinquante dispositifs Matrice 1C sur deux plaques identiques, en fonction du nombre de cycles.

Tout d'abord, la figure 3.18 démontre que les deux plaques présentent le même comportement ferroélectrique, que ce soit en termes de polarisation rémanente ou de champ coercitif. Notons par ailleurs que la même observation a été faite sur les dispositifs Single 1C, ceux-ci présentant les mêmes valeurs sur les deux plaques fabriquées. Si ce constat permet de valider le procédé de fabrication, *i.e.* sa reproductibilité, il permet également d'affirmer le caractère intrinsèque des résultats observés. En effet, si les deux plaques sont similaires, on remarque cependant deux groupes bien distincts sur la figure 3.18 (a), groupes qui correspondent aux Matrice 1C de 1.5 μm (1290 condensateurs) et de 3.0 μm (339 condensateurs) d'espacement. On remarque ainsi que la polarisation rémanente maximum des Matrices 1C de 3.0 μm d'espacement est plus faible que celle des Matrices 1C

de $1.5\mu\text{m}$ d'espacement. De plus, la polarisation rémanente initiale est surtout particulièrement impactée par la structure de test, passant de $6\mu\text{C}/\text{cm}^2$ pour $1.5\mu\text{m}$ d'espacement à une polarisation rémanente quasiment nulle pour la seconde structure. Pour finir, bien que le maximum de polarisation rémanente soit atteint dans les deux cas vers 10^4 cycles, l'évolution au cours du wake-up est différente.

Le champ coercitif (figure 3.18 (b)) s'avère très similaire pour tous les dispositifs mesurés. Étant donné la cohérence des champs coercitifs, notre première hypothèse est que la structure de test la plus dense favorise la formation de phase orthorhombique. Ainsi, cette phase est présente dans les deux structures mais en plus forte proportion pour la structure de 1290 condensateurs, ce qui explique la polarisation rémanente plus importante mais aussi la similarité des champs coercitifs. Cependant, il est difficile d'identifier la différence entre les deux structures qui favorisent la formation de phase orthorhombique en fonction de l'espacement des condensateurs. Ce faisant, nous proposons d'étudier plus en détail les résultats de la mesure PUND. La figure 3.19 représente la mesure PUND ($4\text{V}/10\text{kHz}$) complète pour les Matrices 1C dont les condensateurs sont proches de 600nm de diamètre, à l'état vierge et après 10^4 cycles ($4\text{V}/100\text{kHz}$). La densité de courant est représentée, soit le courant divisé par la surface effective des structures.

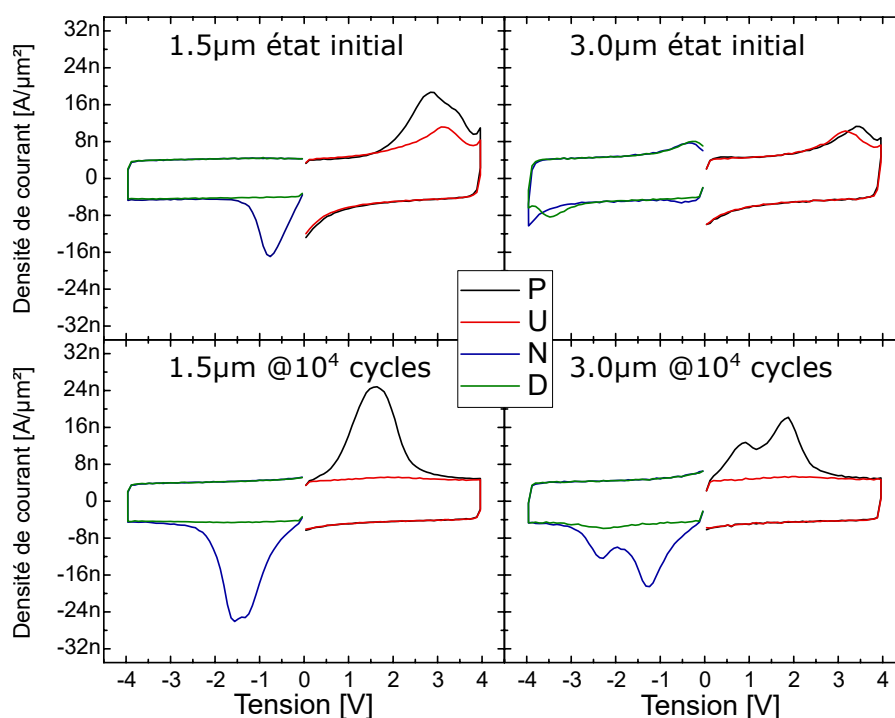


FIGURE 3.19 – Densité de courant en fonction de la tension appliquée dans le cas des deux structures Matrice 1C dont les condensateurs sont proches de 600nm de diamètre, en haut pour le premier cycle et en bas après 10^4 cycles.

À l'état vierge, on observe que dans le cas d'un espacement de $3.0\mu\text{m}$, le signal P en noir du PUND ne programme que quelques domaines ferroélectriques à 4V . Ces mêmes domaines ont tendance à basculer de nouveau lors du retour du balayage P et U, ce qui

correspond au phénomène nommé back-switching. Ceci est visible proche de 0V dans la partie négative des signaux P et U, avec une densité de courant plus importante, et est exacerbé sur le dispositif de 1.5 μm d'espacement. Dans ce cas, on voit clairement que le début du retournement intervient du côté du signal P et U ce qui signifie que le champ coercitif négatif de ces domaines est proche de 0V. On remarque aussi, à l'état vierge, la présence d'un second épaulement à -4V pour 3.0 μm d'espacement, qui est mesuré dans le signal N et D, cet épaulement étant alors supprimé lors de la correction PUND. Ainsi ces observations sont à l'origine de la polarisation rémanente quasiment nulle observée dans l'état vierge des structures à 3 μm , bien que l'une proportion de phase ferroélectrique soit présente.

Ce même épaulement se retrouve après 10^4 cycles, induisant la présence d'un double pic ferroélectrique pour 3.0 μm d'espacement. Dans le cas de 1.5 μm d'espacement, un très léger double pic est discernable dans le signal N, mais l'ensemble présente essentiellement un pic unique. Ces différents points tendent à mettre en avant les limitations de l'analyse réalisée suite à une mesure PUND. En effet, il est possible que la correction PUND supprime le comportement ferroélectrique d'un matériau dans le cas d'un cycle d'hystérésis fortement non centrée sur zero. De plus, les deux structures présentent les mêmes valeurs de champs coercitifs extraits suite à une mesure par méthode PUND, que ce soit en valeur absolue ou en termes d'évolution au cours du cyclage. Cette analyse masque alors que l'une des structures possède deux pics ferroélectriques bien distincts par rapport à l'autre structure qui n'en possède qu'un. Le fait d'intégrer le courant pour reconstruire le cycle d'hystérésis $P(E)$, depuis lequel est extrait $2.P_R$ et E_C , peut induire des erreurs lors de l'analyse du comportement ferroélectrique. Sur la base de ces mesures, nous ne pouvons conclure quant à la proportion de phase ferroélectrique dans les deux structures, nous proposons ainsi une nouvelle méthode d'analyse des résultats obtenus par mesure PUND.

3.3.2.2 Extraction et reconstruction des pics de retournement ferroélectrique

Dans un premier temps, à l'état vierge les domaines ferroélectriques de la Matrice 1C de 3.0 μm d'espacement possèdent un champ coercitif positif proche, voir supérieur, à 4V. L'instrument B1530 est limité à une amplitude de 10V, ce qui nous permet de réaliser une nouvelle série de mesure des deux structures Matrice 1C en augmentant la tension du signal PUND et celle du signal de cyclage à $\pm 5V$. Dans le cas de l'application d'un signal triangulaire, le courant diélectrique est constant. Il est alors possible de l'extraire des mesures U et D, dans des plages de tensions ne comprenant aucun back-switching (zones proche de 5V ou 0V). Cette valeur du courant diélectrique est ensuite retranchée au courant des séquences P et N. On obtient ainsi la densité de courant, sans courant de déplacement, dans lequel les phénomènes de back-switching seront toujours visibles. Sur la base de ce second courant, nous avons développé une procédure d'extraction des pics ferroélectriques permettant de suivre la variation d'amplitude, de position et de largeur de chaque pic présent sur la mesure $I(V)$. Cette procédure est utilisée pour un dispositif de référence de chaque structure. En se basant sur les valeurs extraites, on peut alors modéliser chaque pic indépendamment.

La figure 3.20 représente la mesure expérimentale en pointillées gris, sur laquelle les pics

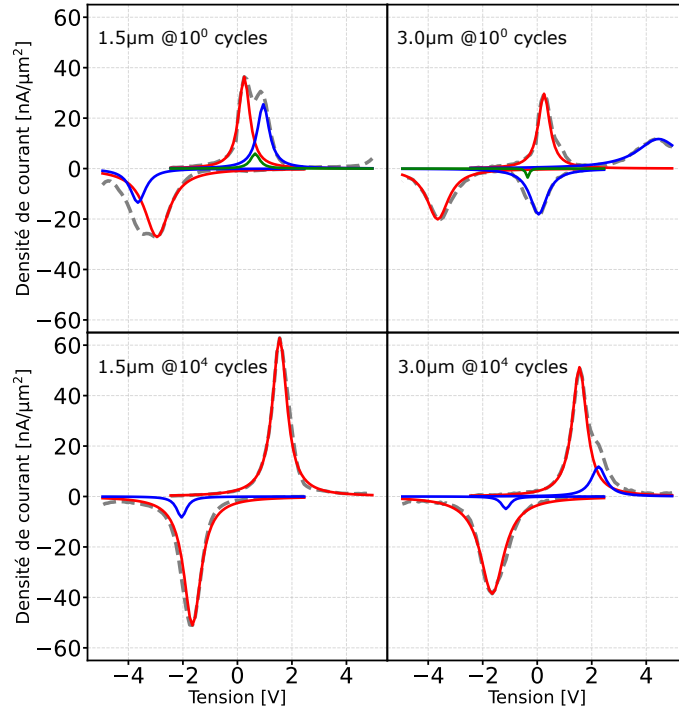


FIGURE 3.20 – Pics ferroélectriques modélisés par des distributions Lorentziennes basées sur l’extraction des paramètres expérimentaux de chaque pic, dans le cas des deux structures Matrice 1C dont les condensateurs sont de 600nm de diamètre, en haut pour le premier cycle et en bas après 10^4 cycles. La courbe en pointillées est la mesure expérimentale corrigée du courant diélectrique.

ferroélectriques sont modélisés en couleurs. Pour ce faire, une distribution Lorentzienne est considérée, qui correspond parfaitement au signal mesuré, ce qui n’est pas le cas d’autres distributions, par exemple avec une distribution Gaussienne. Notons que la littérature tend également à considérer une distribution Lorentzienne dans le cas de la ferroélectricité [112–114]. La méthodologie mise en place permet ainsi de modéliser le comportement de chaque pic ferroélectrique, et d’ainsi suivre son évolution au fur et à mesure du cyclage.

3.3.2.3 Analyse de l’évolution des pics ferroélectriques en fonction de l’espacement des condensateurs

En se basant sur les pics extraits, nous pouvons reconstituer une $P(E)$ par l’intégration de ceux-ci. Cette intégrale peut être réalisée sur une gamme de tension plus importante que celle de la mesure expérimentale pour extraire la polarisation potentielle, qui considère l’entièreté du pic lorentzien. Ce point s’avère primordial pour déterminer l’influence de l’espacement entre les dispositifs sur la proportion de phase orthorhombique. De ces $P(E)$, nous pouvons extraire la valeur d’intégrale des pics, qui peut s’apparenter à une valeur de polarisation rémanente.

La figure 3.21 démontre alors que l’intégrale des pics ne dépend pas de la structure de test, *i.e.* est indépendante de l’espacement entre les condensateurs. En effet, contrairement à la figure 3.18 (a) basée sur l’analyse standard du signal PUND, on observe que la pola-

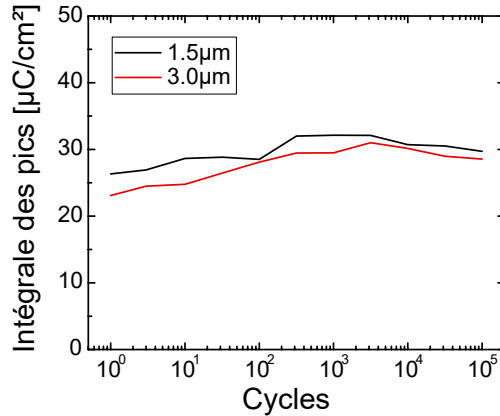


FIGURE 3.21 – Valeur de polarisation rémanente, ou intégrale des pics ferroélectriques, pour les deux structures en fonction du nombre de cycles.

risation maximum est similaire, tout comme son évolution au cours du nombre de cycles. De plus, la polarisation initiale en fonction de l'espacement est bien plus proche ici. Étant donné que cette figure ne concerne qu'un seul dispositif de chaque structure, cette faible différence peut facilement être attribuée à une variabilité. Ainsi, alors que la correction PUND standard tend à démontrer une différence significative quant à la proportion de phase ferroélectrique en fonction de l'espacement des dispositifs dans les structures Matrice 1C, une analyse fine des mesures de courant s'oppose à cette hypothèse. Il est donc impératif de porter un regard systématique aux mesures $I(V)$ lors de la caractérisation de matériaux ferroélectriques et de ne pas se baser sur la seule correction PUND qui, bien qu'efficace, masque certains comportements d'une part lors de la soustraction des signaux, d'autre part lors de l'intégrale permettant d'obtenir les valeurs de polarisation rémanente.

S'il est possible d'affirmer raisonnablement que la proportion de phase ferroélectrique est similaire, si ce n'est identique, pour les deux structures, il n'en reste pas moins que l'espacement entre les condensateurs impacte le comportement ferroélectrique, *i.e.* un ou deux pics ferroélectriques, leur position ou encore leur amplitude. L'origine de cette différence est alors à chercher dans les caractéristiques électrostatiques de l'empilement, la présence de charge, par exemple, pouvant modifier le champ coercitif de domaines ferroélectriques. La figure 3.22 représente la position des différents pics ferroélectriques en fonction du nombre de cycles, pour les champs coercitifs positifs. Le premier pic en rouge est le pic principal, contribuant majoritairement à la polarisation, *i.e.* son intégrale est la plus importante, que ce soit pour 1.5µm ou 3.0µm. Sa position et son évolution est très similaire dans les deux cas, ce qui porte à croire que ce pic est soumis aux mêmes contraintes électrostatiques.

En revanche, le second pic ferroélectrique est clairement éloigné en position du premier pic dans le cas de 3.0µm d'espacement, alors qu'il se confond avec le premier pour 1.5µm d'espacement. Celui-ci est donc induit par un environnement électrostatique très différent en fonction de l'espacement des dispositifs, constituant une deuxième famille de domaines ferroélectriques. Pour finir, un troisième pic est observable pour 3.0µm d'espacement, alors

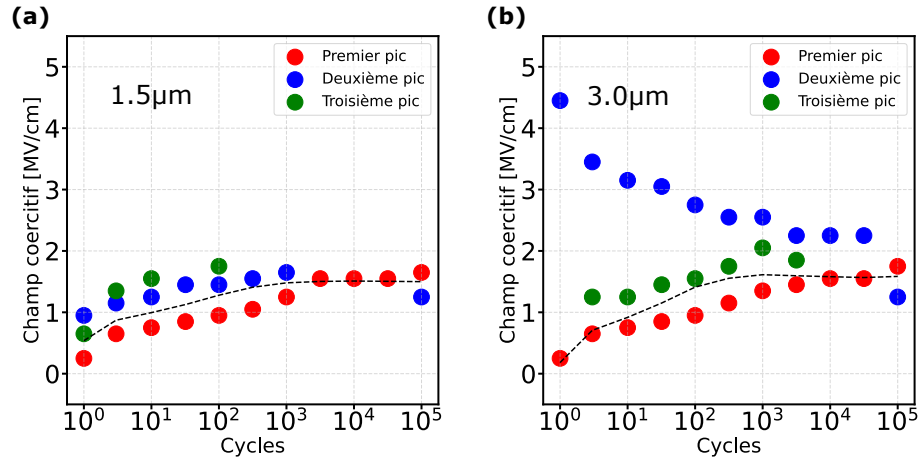


FIGURE 3.22 – Position en champ coercitif des différents pics ferroélectriques pour les deux structures. Les pointillés représentent le champ coercitif extrait directement par méthode PUND.

qu'il peut être considéré comme négligeable pour $1.5\mu\text{m}$ d'espacement. Dans le cas de $3\mu\text{m}$ d'espacement, ce troisième pic pourrait s'apparenter à un cas intermédiaire entre les deux premiers pics, une interface entre les deux premières familles de domaines ferroélectriques. Il existe plusieurs phénomènes pouvant induire un environnement électrostatique influant le champ coercitif des domaines, parmi lesquelles la présence de défauts dans le matériau [91, 115], la présence de lacunes en oxygène [91] ou encore d'interfaces diélectriques aux électrodes [90], voir la section 1.3.2.2. Dans notre cas, nous émettons l'hypothèse que ces modifications des pics deux et trois en fonction de l'espacement sont dues à la présence de charges, potentiellement apportées par un plasma lors de la fabrication du dispositif, la quantité totale de charges piégées dans le condensateur variant en fonction de l'espacement des condensateurs. Pour vérifier cette hypothèse, il serait nécessaire de faire varier le plasma en question, ainsi que de moduler l'espacement entre les condensateurs dans le but d'optimiser ce procédé, *i.e.* induire un champ électrique interne regroupant au maximum les pics ferroélectriques, et ce de façon symétrique.

Conclusions du chapitre 3

Le chapitre 3 porte sur la caractérisation de condensateurs submicrométriques, fabriqués grâce à un procédé compatible BEOL en utilisant une température maximum de 450°C. Ces dispositifs sont intégrés entre le Métal 4 et le Métal 5 au nœud technologique 130nm, au dessus des niveaux FEOL comprenant transistors et lignes métalliques. Nous avons dans un premier temps décrit les structures de tests, Single 1C et Matrice 1C, comprenant des condensateurs de 300nm à 600nm de diamètre qui peuvent être mesurés en adaptant le méthodologie PUND pour prendre en compte les faibles niveaux de courant. Il s'avère alors nécessaire de moyennner plusieurs signaux PUND, dix à cent fois, pour obtenir un courant ferroélectrique de bonne résolution utilisable pour déterminer la polarisation des dispositifs, même pour 300nm de diamètre.

Nous avons détaillé ensuite le procédé de fabrication complet. Des images obtenues par SEM et EDX démontrent l'intégrité des condensateurs submicrométriques, que ce soit l'épaisseur de l'oxyde d'hafnium ou la définition de la surface du dispositif par la Top Electrode. Des images obtenues par HRTEM permettent de contrôler la cristallisation du HfO_2 après recuit à 450°C, et la taille des cristallites est mesurée. Ceux-ci ont une épaisseur de 10nm et un diamètre proche de 20nm, soit un facteur de forme de 2 :1. Ces observations sont ensuite confirmées par mesure GIXRD et In-plane, qui démontrent également que le matériau polycristallin contient une proportion de phase orthorhombique, responsable du comportement ferroélectrique de l'oxyde d'hafnium.

Les condensateurs Single 1C sont caractérisés, et ces mesures mettent en évidence une forte variabilité des performances ferroélectriques du matériau HZO à l'échelle de la plaque, la polarisation pouvant varier d'un facteur cinq. Une signature en couronne est observée, ainsi qu'une faible variabilité des champs coercitifs, indiquant que la variabilité de la polarisation n'est pas due à une variation d'épaisseur du diélectrique, mais par exemple à une inhomogénéité du recuit de cristallisation. Ce faisant, le HZO n'a que peu été utilisé dans la suite de ce chapitre, ainsi que dans le chapitre suivant. L'oxyde d'hafnium dopé silicium par implantation ionique, HSO, présente quant à lui une faible variabilité à l'échelle de la plaque, mesurée sur plus de 120 dispositifs, avec des valeurs de polarisation rémanente comprises entre $10\mu\text{C}/\text{cm}^2$ et $25\mu\text{C}/\text{cm}^2$ en fonction du nombre de cycles, et un champ coercitif proche de $2\text{MV}/\text{cm}$. Étant donné la cohérence des valeurs sur un échantillon statistique, le HSO est utilisé pour mesurer l'influence de la surface du condensateur sur le comportement ferroélectrique. En mesurant dix diamètres différents, allant de 300nm jusqu'à 600nm, nous démontrons que le comportement ferroélectrique ne dépend pas de la surface des condensateurs. En revanche, la lithographie définissant cette surface s'avère plus précise lorsque le diamètre est supérieur à 450nm, justifiant l'utilisation de condensateurs Single 1C de plus de 450nm de diamètre dans la suite de ce chapitre. L'endurance des condensateurs submicrométriques se révèle particulièrement élevée, mesurée jusqu'à 10^{11} cycles sur du HZO à $4\text{V}/1.7\text{MHz}$ et extrapolée jusqu'à 10^{15} et 10^{12} à $2\text{V}/100\text{kHz}$ pour le HZO et le HSO respectivement. Les condensateurs de faible dimension démontrent une endurance bien supérieure à ceux de plusieurs milliers de μm^2 , ce qui peut s'expliquer par la diminution du nombre de défauts avec la réduction de surface, mais les différences de procédé de fabrication doivent également être prises en compte. Pour finir, la vitesse de programmation est évaluée sur des dispositifs Single 1C de

600nm de diamètre. Cette mesure étant relative et non quantitative, le HZO est également caractérisé. Les deux matériaux démontrent une très bonne efficacité de programmation avec plus de 90% d'efficacité pour une amplitude de 3V et une largeur de plateau de 30ns. Ces dispositifs sont ainsi plus rapides à programmer que les condensateurs du chapitre 2 de $10\,000\mu\text{m}^2$, ce qui est mis en lien avec la présence de RC parasite. Notons que l'utilisation de pulses carrés de 3V et 10ns de plateau serait bénéfique pour l'endurance des condensateurs.

La suite de ce chapitre porte alors sur la caractérisation des structures Matrice 1C. Dans un premier temps, nous démontrons, par l'analyse du courant diélectrique, que les structures sont cohérentes en terme de courant et permittivité diélectrique. En revanche, les Singles 1C présentent une capacité parasite de 12.5fF, attribuée aux connections métalliques, au contact avec le plot de mesure ou au système de mesure. La polarisation rémanente des deux structures Matrice 1C, possédant 1290 ou 339 condensateurs, s'avère complètement différente, bien que le champ coercitif soit similaire. En effet, la polarisation rémanente, extraite par méthode PUND, dans l'état vierge est quasiment nulle pour la structure dont l'espacement est de $3.0\mu\text{m}$ tandis qu'elle est de $6\mu\text{C}/\text{cm}^2$ pour des condensateurs espacés de $1.5\mu\text{m}$. De même, la valeur maximale est inférieure pour les condensateurs les moins denses. Étant donné que les deux structures sont présentes sur la même plaque et ont donc été fabriquées selon le même procédé, il serait possible d'en conclure que la densification des condensateurs a un effet positif sur la cristallisation de phase ferroélectrique. Après analyse des $I(V)$ obtenues par mesure PUND standard (4V,10kHz), nous observons que ce constat s'apparente à un artefact de l'analyse de la mesure PUND en elle-même. Certains phénomènes, comme la présence de double pics ferroélectriques, sont gommés par la correction PUND, et plus précisément par l'intégrale du courant dont sont extraits $2.P_R$ et E_C . Nous réalisons alors une nouvelle mesure PUND à 5V, et développons un procédé d'extraction des paramètres des pics ferroélectriques pour ensuite modéliser ces pics par des distributions Lorentziennes. Ce faisant, l'intégrale de ces pics s'avère très similaire pour les deux structures, témoignant d'une proportion de phase ferroélectrique identique qu'importe l'espacement. Cette technique d'analyse s'avère plus pertinente que la méthode PUND pour l'analyse fine du comportement ferroélectrique. En suivant l'évolution de la position en champ coercitif des pics, nous mettons en évidence deux familles principales de domaines ferroélectriques, la première étant commune aux deux structures, la seconde présentant un comportement complètement différent, attribué à une différence d'environnement électrostatique. Cette modification de l'environnement électrostatique pourrait être attribuée à la présence de charges électriques introduites lors de la gravure plasma des dispositifs, modifiant la quantité de charges piégées en fonction de l'espacement entre les condensateurs ferroélectriques.

Chapitre 4

Matrice mémoire 1T-1C à base de matériaux ferroélectriques

Table des matières du Chapitre 4

4.1	Introduction	120
4.2	Description et principe de fonctionnement du circuit 16kbit	120
4.2.1	Présentation générale du circuit	121
4.2.2	Programmation et lecture d'une cellule 1T-1C	121
4.3	Description du système de mesure et des échantillons	126
4.3.1	Mise en place du système de pilotage analogique et logique	126
4.3.2	Description des échantillons	127
4.4	Mise en place et vérification de la fonctionnalité du circuit	130
4.4.1	Chronogrammes de lecture et d'écriture par les entrées logiques en mode Externe	131
4.4.2	Contrôle des éléments périphériques du circuit	133
4.5	Caractérisation des matrices 1T-1C de $0.36\mu\text{m}^2$ de surface de point mémoire	138
4.5.1	Mesure des distributions d'états mémoires	139
4.5.2	Fonctionnement à tension de référence V_{REF} fixe	140
4.5.3	Stabilité dans le temps de l'information programmée	141
4.5.4	Évaluation de la rapidité des dispositifs FeRAM	145
4.5.5	Endurance des bitcells en environnement matriciel	149
4.6	Vers des nœuds technologiques plus avancés	152
4.6.1	Influence de la tension d'opération pour un point mémoire de $0.36\mu\text{m}^2$	153
4.6.2	Variation de la surface du point mémoire	154
4.6.3	Correction du gradient de C_{BL} induit par le circuit	156
4.6.4	Projection de la fenêtre mémoire et de la consommation	158

4.1 Introduction

Les chapitres 2 et 3 ont permis d'analyser en détail la ferroélectricité des matériaux à base de HfO_2 . L'oxyde d'hafnium dopé silicium par implantation ionique a démontré un comportement ferroélectrique comparable au HZO, que ce soit sur des condensateurs de grandes dimensions ou après intégration, sur des surfaces sub-micrométriques. Il a donc été possible de caractériser ces dispositifs pour en obtenir les propriétés du matériau, mais aussi les performances mémoire. Cependant, même si l'intégration en BEOL est un premier pas vers une technologie mémoire ferroélectrique à base de HfO_2 industrielle, ces chapitres se sont consacrés uniquement à des dispositifs élémentaires, *i.e.* de simples condensateurs ou des structures élémentaires 1T-1C, sans circuit de pilotage ni intégrés au sein d'une matrice mémoire.

Ce chapitre porte sur la caractérisation d'un circuit mémoire dédié à la FeRAM. Il est basé sur une architecture 1T-1C et permet d'adresser une matrice de 128 lignes et 128 colonnes, soit 16384 points mémoire, *i.e.* une matrice 16kbit. Dans un premier temps, le principe de fonctionnement de ce circuit est décrit de façon générale, puis l'utilisation spécifique du phénomène de ferroélectricité en son sein est abordée. En se basant sur le schéma électrique de la structure 1T-1C, nous établissons les deux équations régissant les métriques à caractériser en fonction de l'état mémoire programmé. Ces métriques sont mesurables grâce à l'amplificateur de détection du circuit, ou Sense Amplifier SA, dont nous explicitons le rôle. Par la suite, une description complète du système de mesure et du circuit périphérique est donnée.

Le bon fonctionnement du circuit périphérique est vérifié avant de passer aux mesures sur des matrices comprenant des condensateurs ferroélectriques de $0.36\mu\text{m}^2$ de surface. Cette surface de condensateur fait l'objet d'une étude complète de fonctionnalité et de performance, depuis les distributions d'états mémoires jusqu'au test d'endurance à l'échelle de la matrice, ainsi que des mesures de rétention d'information à 125°C . La dernière partie de ce chapitre a pour but d'observer les limites du circuit actuel en étudiant l'impact de la surface du condensateur mais aussi de la tension d'opération dans le but de se projeter vers des nœuds technologiques plus avancés que le nœud 130nm.

4.2 Description et principe de fonctionnement du circuit 16kbit

Dans cette section, une présentation générale du circuit et de ses composants est donnée. Après avoir introduit le circuit et les différents blocs qui le composent, nous présentons le principe de la programmation d'une cellule 1T-1C FeRAM mais également la lecture qui se base sur l'utilisation d'un SA. Nous pouvons alors faire le lien entre les métriques précédemment introduites, *i.e.* la polarisation ferroélectrique et le champ coercitif, et la valeur concrète qui sera caractérisée au cours de ce chapitre, la tension de Bitline V_{BL} que nous exprimons mathématiquement en nous basant sur le schéma électrique du point mémoire 1T-1C.

4.2.1 Présentation générale du circuit

Le circuit 16kbit est composé de plusieurs blocs de contrôle permettant de gérer la sélection, la programmation et la lecture des points mémoires 1T-1C, ou bitcells, mais aussi la largeur des pulses de tension. La figure 4.1 (a) est une vue layout du circuit où sont indiqués ces blocs. La matrice est composée de 128 lignes horizontales World Line WL et Source Line SL, et de 128 lignes verticales Bit Line BL. Une bitcell se trouve à chaque intersection d'une BL et d'un couple WL/SL, ce qui est explicité sur le schéma de la matrice à la figure 4.1 (b).

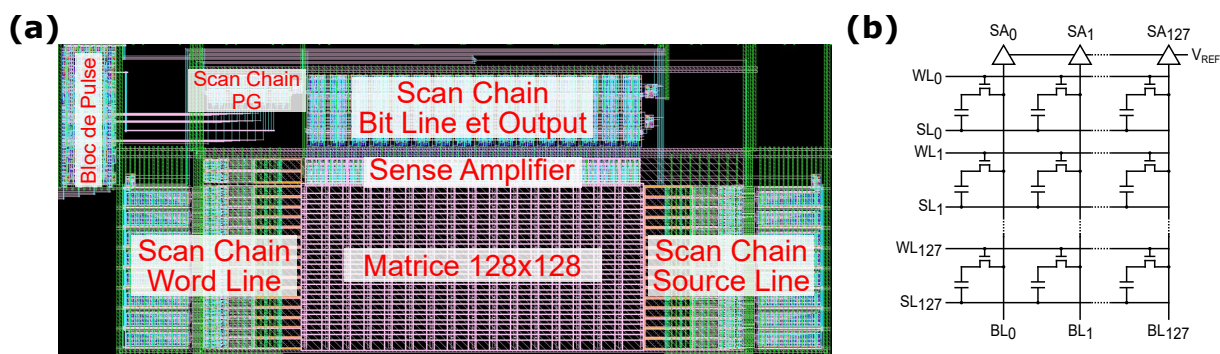


FIGURE 4.1 – (a) Vue layout de l'environnement matriciel avec le positionnement des blocs de contrôle et (b) schéma de la matrice 16kbit où WL et SL sont les lignes parallèles horizontales et les BL sont les lignes verticales. La tension de référence V_{REF} est commune à tous les Sense Amplifiers.

La sélection de ces différentes lignes s'effectue au moyen de trois registres à décalage, ou Scan Chain SC, permettant de limiter le nombre de plots de contact pour l'adressage, cf. section 4.4.2.1. Un amplificateur de détection, ou Sense Amplifier SA, est présent au bout de chaque BL et permet la lecture du point mémoire. Une quatrième SC est utilisée pour extraire vers l'extérieur du circuit la valeur logique des SA. Pour finir, un bloc de pulse est présent pour contrôler les pulses de tension appliqués à la cellule mémoire. Nous verrons qu'il est possible d'utiliser plusieurs types de pulses de tension, en utilisant les quatre générateurs de pulses internes au circuit, nommés Pulse Generator PG, une partie de ces PG ou encore d'appliquer ces pulses de façon externe, sans PG. Une cinquième et dernière SC est ainsi responsable de l'activation des PG mais également de la gestion de la largeur des pulses ou du délai entre chaque pulse. Le circuit comprend également une possibilité de réécriture après lecture, ou Write-Back WB, pour prendre en compte la nature destructive de la lecture d'une FeRAM.

4.2.2 Programmation et lecture d'une cellule 1T-1C

Cette section présente les spécificités de la programmation et de la lecture d'une bitcell 1T-1C FeRAM. Nous définissons dans un premier temps la programmation des états mémoire en fonction du signe des pulses de tension, c'est-à-dire la ligne d'origine de celui-ci, à savoir BL ou SL. Ensuite, nous présentons la lecture d'une bitcell FeRAM et notamment l'utilisation des SA pour extraire une valeur logique de l'état mémoire. Pour

finir, nous exprimons mathématiquement la valeur à caractériser en se basant sur le circuit électrique simple de la bitcell.

4.2.2.1 Programmation d'un point mémoire 1T-1C ferroélectrique

La structure du point mémoire dans la matrice 16kbit est dite 1T-1C, *i.e.* un transistor en série avec un condensateur, et est représentée par l'encadré rouge de la figure 4.2 (a) où C_d est le condensateur ferroélectrique. La SL correspond au côté Top Electrode TE du condensateur tandis que la BL correspond au côté Bottom Electrode BE.

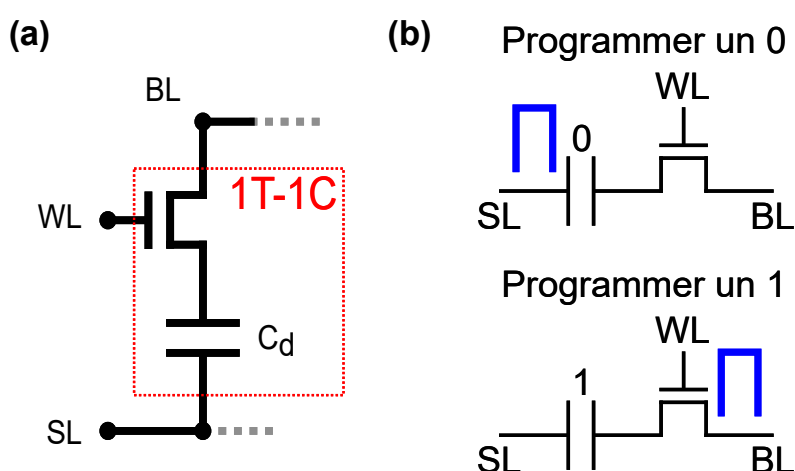


FIGURE 4.2 – (a) Schéma de l'architecture de la matrice 16kbit basée sur une structure 1T-1C et (b) représentation des pulses de tension à appliquer pour écrire un état 0 ou 1.

La programmation du point mémoire FeRAM se base sur l'orientation de la polarisation rémanente dans le matériau. Il est nécessaire d'orienter tous les domaines dans un sens pour programmer un état, et dans le sens opposé pour programmer l'autre état. Les tensions de programmation doivent ainsi être supérieures à la tension coercitive V_C . La programmation par un pulse de tension est schématisée à la figure 4.2 (b) :

- L'état dit 0 est programmé lorsqu'un pulse de tension positive $V_{SL} > V_C$ est appliqué sur la SL.
- Le circuit ne permettant pas les tensions négatives, l'état 1 n'est pas programmé par un pulse négatif sur la SL, mais par un pulse positif $V_{BL} > V_C$ sur la BL.

Ainsi, contrairement aux chapitres précédents où une seule et même électrode était systématiquement à la masse, les deux électrodes du condensateur sont pulsées alternativement avec des tensions positives. De plus, il est nécessaire d'appliquer une tension sur la grille du transistor pendant ces pulses de programmation. L'ouverture de ce transistor, dit d'accès car il permet l'écriture/lecture du point mémoire, est contrôlée par la ligne WL.

4.2.2.2 Lecture d'un point mémoire 1T-1C par un Sense Amplifier

La lecture de la cellule s'effectue de la même façon que la programmation d'un état 0, qu'importe l'état actuel du point mémoire, en appliquant une tension $V_{SL} > V_C$ sur la ligne SL. Nous avons évoqué au chapitre 1 plusieurs notions importantes lors de la lecture d'une FeRAM. Le principe même de lecture repose, tout comme pour les DRAM, sur la caractérisation d'une charge aux bornes du condensateur. Pour une FeRAM, la valeur de cette charge dépendra du retournement, ou non, des domaines ferroélectriques lors du pulse de tension de lecture. Cela définit également la nature destructive de l'opération de lecture. Si une cellule est programmée au préalable à l'état 0 par application d'un pulse sur la ligne SL, la lecture subséquente de celle-ci par application d'un pulse sur la ligne SL également n'induit pas de retournement des domaines ferroélectriques. Cela fait écho à l'enchaînement PU du signal PUND, le U correspondant à la lecture du point mémoire, soit un courant ou une charge de nature purement diélectrique que l'on note Q_d . À l'inverse, une programmation à l'état 1 par application d'un pulse sur la BL engendre le retournement des domaines ferroélectriques lors du pulse de lecture consécutif et donc une charge ferroélectrique supplémentaire notée Q_{FE} . La charge Q_{FE} provient de la polarisation rémanente totale retournée, soit la métrique $2.P_R$ des chapitres précédents. Pour résumer, la charge à caractériser dans une FeRAM est égale la charge diélectrique Q_d si la bitcell est à l'état 0 et la somme de Q_d et Q_{FE} si la bitcell est à l'état 1 avant la lecture.

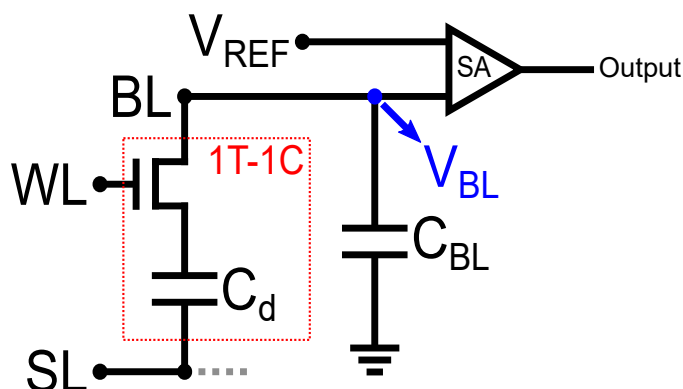


FIGURE 4.3 – Schéma de l'architecture 1T-1C et de son circuit de lecture, le Sense Amplifier.

Contrairement aux mesures PUND abordées aux chapitres 2 et 3, la mesure analogique de la charge aux bornes du condensateur ne peut se faire par la mesure directe du courant de déplacement. La lecture est réalisée, à l'instar d'une mémoire DRAM, grâce à un Voltage Sense Amplifier SA présent au bout de chaque ligne BL, comme représenté sur la figure 4.1 (b) et 4.3. Le SA possède deux entrées et permet de comparer une tension externe de référence V_{REF} à une tension interne au circuit, ici V_{BL} . La sortie (Output) du SA est une valeur logique :

- L'Output est 0 si $V_{REF} > V_{BL}$
- L'Output est 1 si $V_{REF} < V_{BL}$

Dans l'architecture 1T-1C, V_{BL} , qui est en définitive la métrique caractérisée par le SA, est une tension à un nœud du circuit laissé flottant pendant la lecture dont la valeur

dépend du partage capacitif entre le condensateur ferroélectrique C_d et le "condensateur" C_{BL} , qui est une représentation de la capacité diélectrique de la ligne BL. Nous démontrons à la section suivante que la tension V_{BL} est proportionnelle à la charge aux bornes du condensateur et donc que la tension pour l'état 1 V_{BL}^1 est supérieure à la tension V_{BL}^0 de l'état 0.

Pour résumer, le pulse de lecture induit une charge Q_d ou $Q_d + Q_{FE}$ aux bornes du condensateur ferroélectrique C_d provoquant l'élévation de la tension V_{BL} . Le Sense Amplifier compare cette tension à sa tension de référence externe V_{REF} , qui doit être judicieusement choisie telle que $V_{BL}^0 < V_{REF} < V_{BL}^1$, et on extrait l'Output logique 0 ou 1 décrivant l'état dans lequel la bitcell a été préalablement programmée.

4.2.2.3 Expression des tensions V_{BL}^0 et V_{BL}^1 dans une structure 1T-1C

On se base sur le circuit de la figure 4.3 pour approximer les valeurs de tensions V_{BL} dans le but d'anticiper la fenêtre mémoire du dispositif. On fait l'hypothèse qu'il n'existe pas d'autres capacités parasites que celle représentées figure 4.3 et que la contribution du transistor de sélection est négligée. Lors d'une opération de lecture, la charge totale aux bornes du condensateur ferroélectrique, charge que l'on note Q_{tot} , dépend de l'état de programmation préalable de la bitcell. L'état 0 ne comprend que la charge de nature diélectrique Q_d tandis que l'état 1 est la somme de cette charge diélectrique et de la contribution ferroélectrique Q_{FE} . La partie des équations ne concernant que l'état 1, *i.e.* la partie ferroélectrique, est notée systématiquement en seconde partie de l'équation.

$$Q_{tot} = Q_d + Q_{FE} \quad (4.1)$$

On exprime une charge Q comme le produit de la capacité C et de la tension V aux bornes du condensateur. Ainsi, $Q_{tot} = C_d \times V_d + Q_{FE}$ où V_d est la tension aux bornes du condensateur. Par ailleurs, il y a conservation du courant $i(t)$ dans le circuit et celui-ci s'exprime comme la variation d'une charge en un point, *e.g.* Q_{tot} , en fonction du temps ou encore comme la variation de la charge au point flottant Q_{BL} . On obtient alors l'équation suivante :

$$C_{BL} \times \frac{dV_{BL}(t)}{dt} = C_d \times \frac{dV_d(t)}{dt} + \frac{dQ_{FE}}{dt} \quad (4.2)$$

En appliquant la loi des mailles, on exprime V_d uniquement en fonction des tensions V_{SL} et V_{BL} :

$$\frac{dV_{BL}(t)}{dt} = \frac{C_d}{C_d + C_{BL}} \frac{dV_{SL}(t)}{dt} + \frac{1}{C_d + C_{BL}} \frac{dQ_{FE}}{dt} \quad (4.3)$$

En pratique, nous cherchons à déterminer la valeur de la charge à la fin du pulse de lecture, lorsque la tension du pulse est maximum avant de mettre V_{SL} à la masse, temps que nous notons t_{sense} . Pour ce faire, il faut intégrer dans le temps l'équation 4.3 de $t = 0$ à $t = t_{sense}$. On pose comme hypothèse que les tensions V_{BL} et V_{SL} sont initialement nulles, ce qui sous-entend qu'aucune charge n'est présente dans le circuit avant la lecture.

$$V_{BL}(t_{\text{sense}}) = \frac{C_d}{C_d + C_{BL}} V_{SL}(t_{\text{sense}}) + \frac{\int_0^{t_{\text{sense}}} dQ_{FE}}{C_d + C_{BL}} \quad (4.4)$$

Pour conclure, on note pour simplifier, $V_{SL}(t_{\text{sense}}) = V_{SL}$ et $V_{BL}(t_{\text{sense}}) = V_{BL}$. De plus, l'intégrale de dQ_{FE} au cours du temps correspond directement à la charge ferroélectrique retournée lors de la lecture, soit $2 \cdot P_{RS}$. On peut alors exprimer les tensions V_{BL}^0 et V_{BL}^1 par l'équation 4.5 :

$$\begin{array}{c} \text{Etat 0} \qquad \qquad \qquad \text{Etat 1} \\ \hline V_{BL}^0 = \frac{C_d}{C_d + C_{BL}} \times V_{SL} \qquad V_{BL}^1 = \frac{C_d}{C_d + C_{BL}} \times V_{SL} + \frac{2 \cdot P_{RS}}{C_d + C_{BL}} \end{array} \quad (4.5)$$

Ces expressions dépendent de paramètres physiques connus ou fixés par le design. La capacité du condensateur ferroélectrique s'exprime telle que $C_d = \frac{\epsilon_0 \epsilon_r S}{d}$, où ϵ_0 est la permittivité du vide, ϵ_r la permittivité relative du HfO_2 ferroélectrique, S la surface du condensateur, et d l'épaisseur du diélectrique. Nous simulons le cas de l'un des circuits de ce manuscrit, en utilisant $\epsilon_r = 30$, $S = 0.36 \mu\text{m}^2$ et $d = 10\text{nm}$. L'amplitude du pulse de lecture est fixée à $V_{SL} = 4.8\text{V}$ conformément à la tension d'alimentation du circuit qui sera utilisée par la suite. La dernière inconnue est la capacité C_{BL} . Celle-ci dépend du design mais également, d'un point de vue global, du nœud technologique du circuit. Nous verrons à la fin de ce manuscrit qu'il est possible d'extraire cette valeur des mesures expérimentales, *cf.* section 4.6.4, mais nous pouvons pour le moment nous baser sur les travaux récents de J. Okuno qui proposent $C_{BL} = 250\text{fF}$ au nœud technologique 130nm [66, 116].

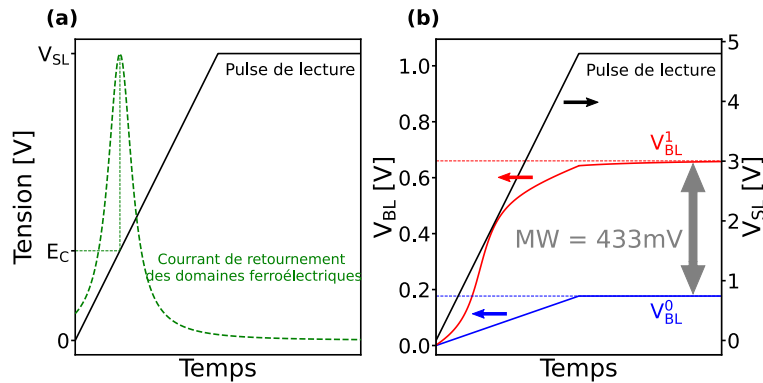


FIGURE 4.4 – (a) Représentation du pulse de lecture et du courant de retournement des domaines ferroélectriques. (b) Évolution temporelle de V_{BL} pour les deux états mémoire pendant le pulse de lecture V_{SL} .

Pour représenter le retournement des domaines ferroélectriques lors de la lecture de l'état 1, nous modélisons à la figure 4.4 (a) le pic de courant ferroélectrique par une lorentzienne centrée à 1.5V du pulse de lecture, *i.e.* la tension coercitive. Les paramètres de cette lorentzienne sont choisis pour que son intégrale corresponde à une valeur de

polarisation de $2.P_R = 35\mu\text{C}/\text{cm}^2$, valeur arbitraire cohérente avec la suite du chapitre. Ces paramètres permettent d'obtenir les tensions V_{BL} pour les deux états mémoires et d'en extraire la fenêtre mémoire, ce qui est représenté à la figure 4.4 (b). Dans ce cas, V_{BL}^1 et V_{BL}^0 sont respectivement égaux à 660mV et 180mV, la fenêtre mémoire étant donc de 480mv. D'un point de vue pratique, n'importe quelle tension V_{REF} comprise entre V_{BL}^1 et V_{BL}^0 discriminera l'état de programmation 0 de l'état 1 d'une bitcell. Pour finir, cette fenêtre mémoire MW, *i.e.* la différence entre V_{BL}^1 et V_{BL}^0 , peut directement se calculer par l'équation 4.6 suivante :

$$MW = V_{BL}^1 - V_{BL}^0 = \frac{2.P_R S}{C_d + C_{BL}} \quad (4.6)$$

4.3 Description du système de mesure et des échantillons

Cette section présente le système de mesure utilisé pour caractériser la matrice 16kbit ainsi que le contrôle du circuit. De par son originalité, un nouveau protocole a été entièrement développé et notamment le programme informatique pour contrôler les instruments de mesure et les faire communiquer entre eux. Ensuite, les échantillons sont présentés : le matériau et ses propriétés ferroélectriques sont caractérisés sur des dispositifs similaires au chapitre 3, des structure 1T-1C unitaires, pour analyser la valeur $2.P_R$ liée à la fenêtre mémoire et E_C définissant la tension d'opération à utiliser.

4.3.1 Mise en place du système de pilotage analogique et logique

Les différents blocs de contrôle du circuit, introduits précédemment par la figure 4.1, sont essentiellement contrôlés par des signaux logiques. Les tensions analogiques des pulses appliqués aux structures 1T-1C sont gérées par des alimentations statiques externes. Le système de mesure, schématisé à la figure 4.5 (a), est ainsi la combinaison d'une carte Arduino MEGA 2560 et de plusieurs sorties d'un analyseur Keysight B1500 pour piloter respectivement les parties logiques et analogiques du circuit.

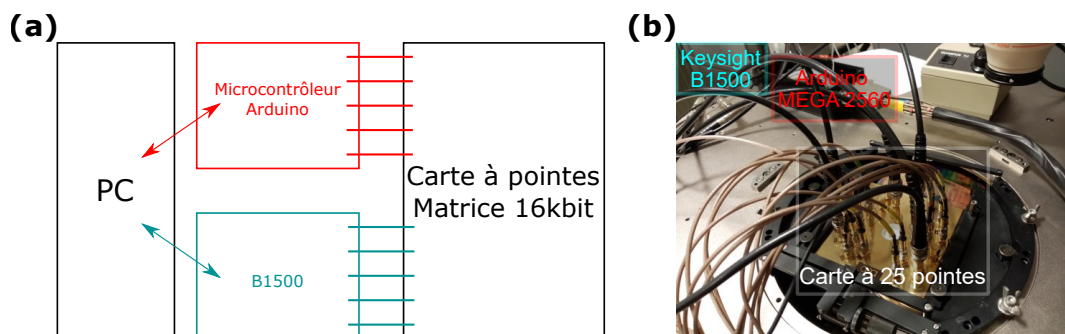


FIGURE 4.5 – (a) Schéma du montage couplant Arduino MEGA 2560 et analyseur Keysight B1500 et (b) photographie du système de mesure.

Un programme en Python permet de piloter l'Arduino, qui possède son propre langage de programmation similaire au C++, et le B1500 qui est piloté par une librairie en Python également. La communication entre les deux instruments est effectuée par le PC, il n'y a pas de lien direct entre Arduino et B1500. Une photographie du montage est présentée à la figure 4.5 (b).

TABLE 4.1 – Désignation des 25 plots de contact pour le pilotage des deux matrices 16kbit.

Design 1 : Avec Source Followers		Design 2 : Sans Source Followers	
Nom	Type	Nom	Type
PG_Width	ANALOG IN	PG_Delay_SL	ANALOG IN
PG_Delay		PG_Delay_SA	
SF WL	ANALOG OUT	PG_Delay_WB	
SF SL		PG_Width_WB	
SF GND	ANALOG IN	PG_Width_SL	
SF BL <0>	ANALOG OUT	PG_Width_SA	
SF BL <127>		PG_Width_WL	

Communs aux 2 designs			
Nom	Type	Nom	Type
WB	DIGITAL IN	VDD	ANALOG IN
SA		V_WL	
SL		V_SA/BL	
WL		V_SL	
PRE		CLOCK	DIGITAL IN
BL	SC_IN	DIGITAL OUT	
SET_PARALLEL	SC_OUT		
VREF	ANALOG IN	SC_SEL <0>	DIGITAL IN
GND		SC_SEL <1>	

Le tableau 4.1 décrit la liste des 25 plots de contact. Deux circuits sont implémentés, le premier comprenant des suiveurs de tension, ou Source Followers SF, le second design n'en possédant pas. En pratique, seuls les 7 premiers plots de contact diffèrent entre ces deux designs. Le fonctionnement des SF est détaillé dans la section 4.4.2.2 et ils sont principalement utilisés dans ce manuscrit à des fins de débogage. Le second design, qui a donc 5 plots libres, permet un contrôle plus précis des Pulse Generator PG, qui sont décrits à la section 4.4.2.3, que ce soit sur la longueur de pulses (PG_Width) ou sur les délais entre chaque pulses (PG_Delay).

4.3.2 Description des échantillons

Les sections suivantes présentent le procédé de fabrication ainsi que les performances du matériau ferroélectrique. Nous présentons dans un premier temps le procédé de fabrication des dispositifs puis, à l'aide de structures 1T-1C unitaires présentes sur la plaque, la polarisation ferroélectrique $2.P_R$ ainsi que le champ coercitif E_C sont extraits par mesure PUND sur un condensateur de $0.16\mu\text{m}^2$ de surface.

4.3.2.1 Procédé de fabrication des dispositifs

Le procédé de fabrication de la plaque comportant les matrices 16kbit FeRAM est similaire à celui du chapitre 3 et se base également sur le véhicule de test MAD 200mm. Une nouvelle version de ce véhicule de test comprend ainsi le design des matrices 16kbit pour application FeRAM qui sont caractérisées dans ce chapitre. La plaque compte une cinquantaine de puces et les deux designs évoqués à la section précédente, *i.e.* avec ou sans SF, sont présents sur chacune d'elles. Également, pour les deux designs, 3 surfaces de condensateurs ferroélectriques sont prévues : $0.36\mu\text{m}^2$, $0.24\mu\text{m}^2$ et $0.16\mu\text{m}^2$. Au total, chaque puce de la plaque comprend donc 6 matrices 16kbit différentes. Ce masque inclut également le même type de dispositif que pour le chapitre 3, *i.e.* des Single 1C et des Matrices de 1C, mais aussi des structures 1T-1C unitaires. Celles-ci présentent la particularité d'être dans un environnement matriciel 8x8, c'est-à-dire que le dispositif 1T-1C unitaire est entouré d'autres structures 1T-1C non connectées électriquement, appelées dummies.

L'empilement MAD jusqu'au métal 4 est commun avec le chapitre 3, et donc repose sur un niveau de transistor au nœud technologique 130nm. Ensuite, la BE de TiN est déposée par Physical Vapor Deposition PVD et planarisée. 10nm de HfO_2 sont déposés par Atomic Layer Deposition ALD et ensuite dopés par implantation ionique de Silicium Si avec une dose de $3.10^{14}\text{at}/\text{cm}^2$ à une énergie de 4keV dans le but d'obtenir une concentration moyenne de 1% de Si dans la couche, conformément aux meilleures variantes technologiques des chapitres 2 et 3 sur ce matériau. La TE de TiN est également déposée par PVD puis gravée avec arrêt sur le HfO_2 , définissant la surface des condensateurs. Pour finir, le condensateur est encapsulé par du dioxyde de silicium SiO_2 et du nitrure de silicium SiN avant planarisation et reprise de contact via le Métal 5.

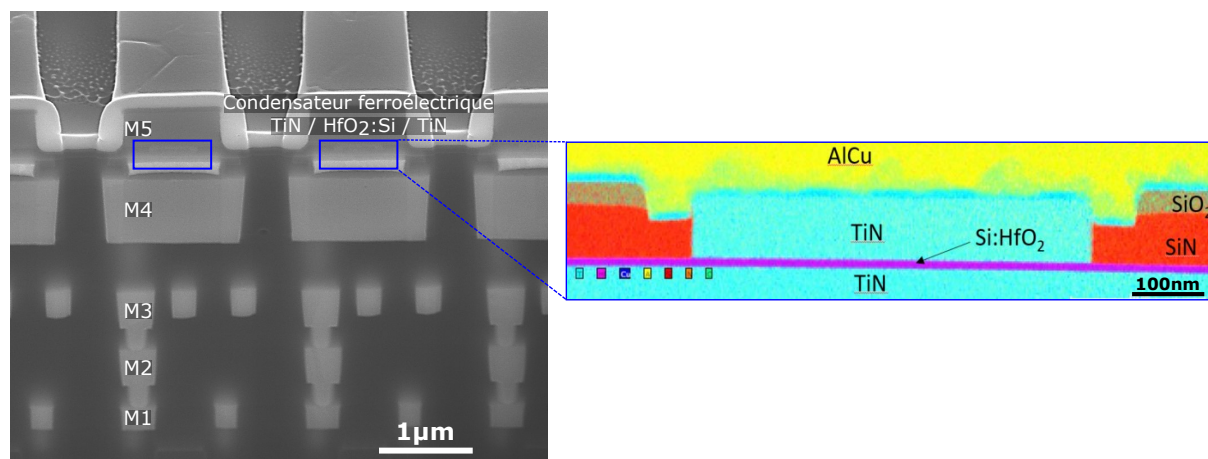


FIGURE 4.6 – À gauche, vue en coupe obtenue par microscopie électronique à balayage (SEM) présentant l'intégration complète des condensateurs ferroélectriques entre le Métal 4 et le Métal 5 du BEOL et, à droite, mesure de spectroscopie de rayons X à dispersion d'énergie (EDX) montrant l'intégrité des couches après intégration.

L'image obtenue par microscope électronique à balayage, ou Scanning Electron Microscope SEM, sur la partie gauche de la figure 4.6 est une vue en coupe de l'intégration du condensateur ferroélectrique, localisant celui-ci entre le métal 4 M4 du BEOL et la

reprise de contact au métal 5 M5. La vue en coupe de la partie droite de la figure 4.6 est obtenue par spectroscopie de rayons X à dispersion d'énergie, ou Energy dispersive X-ray EDX. On y observe la bonne intégrité des différentes couches déposées et des épaisseurs cohérentes avec celles visées.

4.3.2.2 Caractérisation des propriétés ferroélectriques des dispositifs 1T-1C unitaires

Les dispositifs unitaires 1T-1C de cette plaque sont morphologiquement plus proches de l'environnement matriciel 16kbit, *i.e.* la structure idéale pour donner un aperçu des performances ferroélectriques du HfO_2 , notamment de la polarisation $2.P_R$ directement liée à la fenêtre mémoire, *cf.* équation 4.6. La structure 1T-1C unitaire caractérisée comprend un condensateur de $0.16\mu\text{m}^2$ et un transistor NMOS de largeur $W = 660\text{nm}$. Notons que ce transistor est légèrement différent de celui de la matrice 16kbit, *i.e.* un transistor NMOS de largeur $W = 500\text{nm}$, celui-ci n'étant pas disponible sur structure de test unitaire. La tension de grille du transistor $V_g = 4.8\text{V}$ est appliquée en continu. De la même façon qu'au chapitre 3, les mesures PUND sont répétées et moyennées pour tenir compte du faible niveau de courant mesuré sur des condensateurs de cette surface.

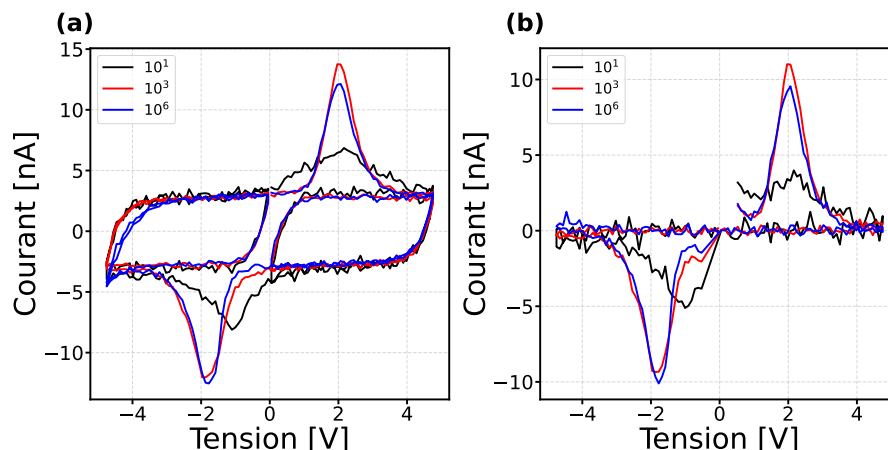


FIGURE 4.7 – (a) I-V obtenue par méthode PUND sur une structure 1T-1C de $0.16\mu\text{m}^2$ de surface de condensateur et (b) son courant de retournement ferroélectrique après correction PUND. Le condensateur a été cyclé jusque 10^6 cycles par un pulse carré de $4.8\text{V}/2\mu\text{s}$ pour imiter les signaux utilisés dans le circuit 16kbit.

La figure 4.7 présente le courant en fonction de la tension lors de la mesure PUND à différents cycles, la figure (a) étant la mesure des signaux P, U, N et D et la (b) le courant après correction PUND. La puce utilisée est la même que pour la section 4.5.1 suivante pour prendre en compte une variabilité spatiale possible au sein de la plaque. Le cyclage est effectué par un pulse carré de 4.8V et $2\mu\text{s}$ de largeur jusqu'à 10^6 cycles, dans le but d'imiter les pulses utilisés par la suite dans la matrice 16kbit, tandis que la mesure PUND est faite à 4.8V de tension et 10kHz de fréquence. On constate une augmentation du courant de fuite à 4.8V sur la figure 4.7 (a) côté tension négatives, ce qui est annonciateur d'un claquage diélectrique. On peut donc anticiper qu'à cette tension de programmation

et de lecture, qui s'avère être la tension maximale du circuit mais également celle que nous avons le plus utilisé par la suite, l'endurance du point mémoire dans la matrice 16kbit sera de l'ordre de 10^7 cycles au mieux. La polarisation rémanente est ensuite extraite depuis les courant corrigés par méthode PUND.

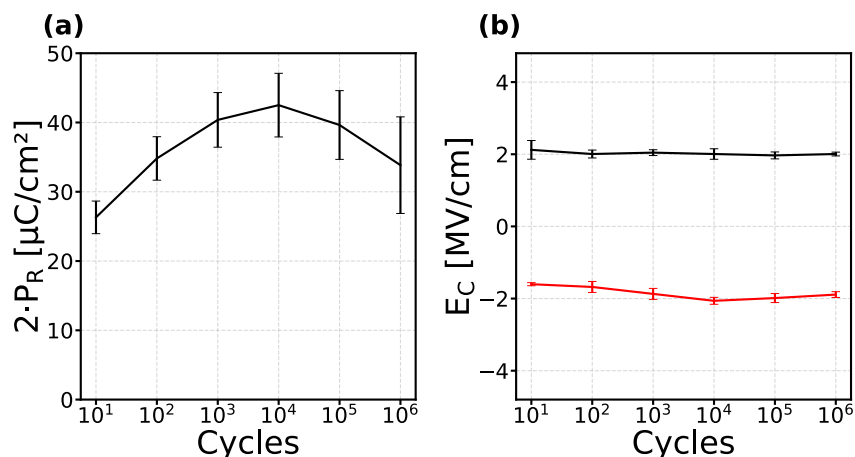


FIGURE 4.8 – (a) Polarisation rémanente et (b) champs coercitifs extraits de la mesure PUND en cours de cyclage pour une structure 1T-1C de $0.16\mu\text{m}^2$ de surface de condensateur.

Les valeurs de $2 \cdot P_R$ et E_C sont évaluées à la figure 4.8 pour un échantillon de cinq puces. Ces puces sont également celles utilisées dans le reste du chapitre lors des mesures sur matrice 16kbit. Les valeurs médianes sont représentées ainsi que les écart-types. On observe très clairement le phénomène de wake-up sur la figure 4.8 (a) mais également celui de fatigue à partir de 10^4 cycles. Dans la suite du chapitre, les mesures sur matrice 16kbit sont effectuées, la majeure partie du temps, après 1000 cycles de wake-up à $4.8\text{V}/2\mu\text{s}$ pour considérer des propriétés ferroélectriques stables. La polarisation rémanente est importante, de l'ordre de $2 \cdot P_R = 40\mu\text{C}/\text{cm}^2$, ce qui est de bon augure pour maximiser la fenêtre mémoire dans la matrice 16kbit. La figure 4.8 (b) démontre que le champ coercitif est de l'ordre de $2\text{MV}/\text{cm}$ tout au long du cyclage, et s'avère très symétrique après 1000 cycles. La valeur de $2\text{MV}/\text{cm}$, soit 2V pour 10nm de HfO_2 , représente ainsi la tension d'opération minimum à utiliser dans le circuit 16kbit pour s'assurer du retournement d'une partie significative des domaines ferroélectriques.

4.4 Mise en place et vérification de la fonctionnalité du circuit

Ayant introduit le système de mesure dans la section précédente, nous allons détailler les opérations de programmation et de lecture telles qu'elles sont effectivement appliquées par l'Arduino et l'analyseur Keysight. Nous nous intéressons ici au mode de pilotage Externe uniquement, c'est-à-dire sans utiliser la fonctionnalité des PG. Nous abordons dans un premier temps les opérations parallèles qui permettent d'écrire ou de lire toute une WL/SL avec un seul pulse de tension. Ce type d'opération est majoritaire dans ce

chapitre, mais nous expliquerons par la suite la méthodologie de la programmation unitaire nécessaire à la programmation d'un motif. Dans un second temps, nous procédons à un contrôle des éléments périphériques du circuit, ce qui permet également de détailler leur fonctionnement et d'en comprendre les avantages et inconvénients. Le but de cette section est d'introduire les limites des instruments et du design, pour la programmation et la lecture, qui définissent les limites de la caractérisation en elle-même.

4.4.1 Chronogrammes de lecture et d'écriture par les entrées logiques en mode Externe

4.4.1.1 Programmation parallèle sur toute une ligne WL/SL

Il est possible d'utiliser la matrice 16kbit selon plusieurs modes d'opération différents, c'est-à-dire que certains pulses de tensions, *e.g.* sur la ligne WL, peuvent être appliqués à la bitcell par différents éléments du circuit. Cette section ainsi que la première partie des résultats de ce chapitre tirent profit du mode dit Externe. Dans ce mode, la largeur de pulses ainsi que le délai entre chaque pulse sont contrôlés par la carte Arduino. Les chronogrammes suivants, qui sont l'image de ce que la carte Arduino fournit à la matrice, coïncident donc avec le train de pulses qui est appliqué à la bitcell. Nous verrons à la section 4.4.2.3 que deux autres modes sont possibles, le semi-automatique et automatique, utilisant les PG internes du circuit.

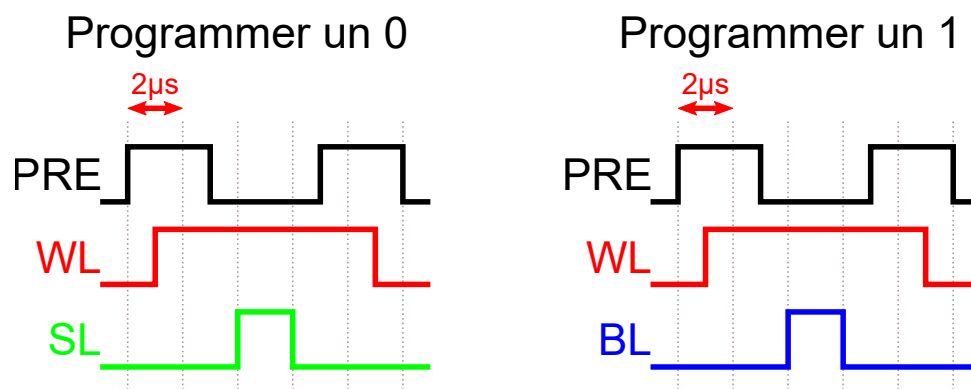


FIGURE 4.9 – Chronogrammes de programmation effectifs à appliquer à la cellule 1T-1C via les entrées logiques du circuit.

L'opération d'écriture de la figure 4.2 est représentée à la figure 4.9 en utilisant le mode Externe. Le signal PRE permet de mettre la BL à la masse et ainsi d'évacuer d'éventuelles charges résiduelles aux bornes du condensateur, c'est pourquoi il est activé avant et après l'écriture de la cellule. Le signal WL permet quant à lui l'ouverture ou la fermeture du transistor d'accès de la cellule sélectionnée, il est donc activé pendant l'opération d'écriture, mais aussi de lecture comme nous le verrons par la suite. La largeur ainsi que les délais des signaux envoyés vers le circuit, qui sont uniquement gérés par la carte Arduino en mode Externe. Notons que la carte Arduino possède un incrément de temps contrôlé minimum de 1µs, ce qui définit l'intervalle de temps minimum entre l'activation de deux signaux.

L'opération de lecture est quant à elle plus complexe et est représentée à la figure 4.10. Dans un premier temps, le signal SET_PARALLEL est activé ce qui sélectionne les 128 BL. En effet, la lecture des 128 SA est réalisée par une seule opération permettant la lecture d'une WL complète. De la même façon que pour une programmation, le signal PRE force le potentiel V_{BL} à la masse qui est par la suite laissé flottant pendant le pulse de lecture SL pour permettre le partage des charges dans la structure 1T-1C. Les SA sont activés par le signal SA et la tension V_{BL} est comparée à la tension V_{REF} , entraînant la commutation des 128 SA en état logique 0 ou 1. Les valeurs des 128 SA sont copiées dans la SC Output lors du signal CLOCK.

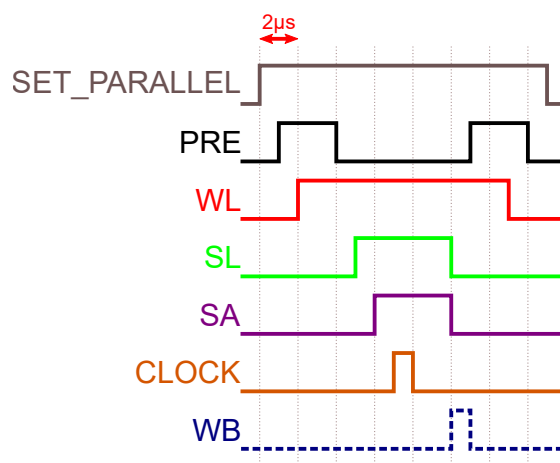


FIGURE 4.10 – Chronogramme de lecture effectif à appliquer à la cellule 1T-1C via les entrées logiques du circuit.

Suite à toute cette opération de lecture, la SC Output est sélectionnée et les 128 valeurs stockées sont lues grâce au plot SC_OUT en appliquant 128 signaux d'horloges sur la CLOCK, le plot SC_OUT prenant la valeur logique du dernier bit de la SC actuellement sélectionnée. Étant donné la nature destructive de l'opération de lecture, il est possible d'activer le plot WB, représenté en pointillés sur la figure 4.10, pour effectuer une opération de Write-Back en fonction de l'état de commutation du SA : si le SA a commuté en état 1, un pulse sur la BL sera délivré lors de l'activation de WB, sinon le SA est à l'état 0 et la tension V_{BL} est forcée à la masse lors de l'activation de WB.

4.4.1.2 Programmation unitaire : différence et utilité

La méthode de programmation présentée à la figure 4.9 est similaire à la méthode de lecture, dans le sens où un potentiel est appliqué en SL alors que la BL est flottante. Ce mode de lecture, et par extension de programmation, est adapté aux opérations parallèles, *i.e.* lorsqu'une ligne complète, à savoir une SL/WL, est adressée. En effet, le pulse sur la SL est envoyé sur les 128 bitcells et permet la programmation de l'état 0 sur toutes ces bitcells bien qu'une seule ligne BL soit sélectionnée car toutes les lignes BL sont laissées flottantes et pré-chargées à 0V par le signal PRE. Ainsi, ce type de programmation ne permet pas l'adressage bitcell par bitcell dans le cas spécifique de la programmation de l'état 0 par un pulse en SL.

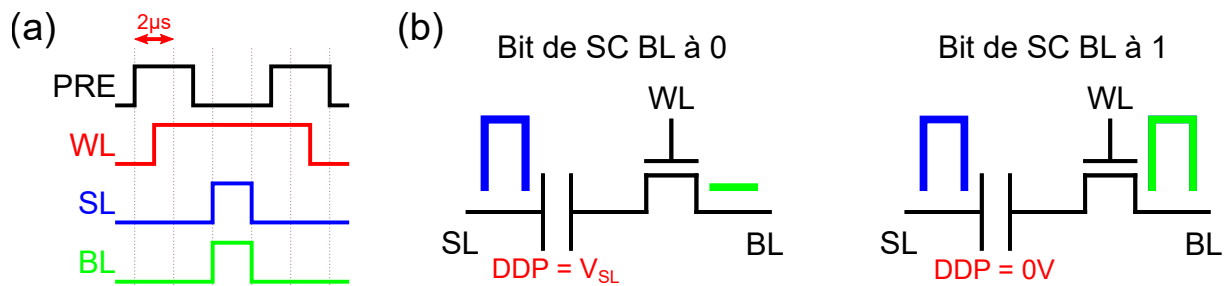


FIGURE 4.11 – (a) Chronogramme à appliquer pour la programmation d’un état 0 sur une bitcell indépendante dans la matrice et (b) stratégie de complétion des SC BL pour appliquer une DDP nulle aux bornes des condensateurs que l’on ne souhaite pas re-programmer.

Pour empêcher la programmation non voulue à l’état 0 des 127 autres bitcells, il est nécessaire d’appliquer un potentiel synchronisé de même valeur sur ces 127 BL pour que la différence de potentiel DDP aux bornes des condensateurs soit nulle. Ainsi, comme présenté en figure 4.11 (a), le signal de BL doit être activé pendant le pulse de programmation de l’état 0 venant de la SL et la tension de BL fournie par le plot V_BL doit être égale à celle de la ligne SL fournie par le plot V_SL . De plus, la SC BL doit être complétée comme décrit sur la figure 4.11 (b) :

- Pour la ou les cellules que l’on souhaite programmer, le bit de la SC BL correspondant est à 0. Ainsi, même lors de l’activation du plot BL, le potentiel en BL reste flottant et la DDP aux bornes du condensateur est égale à la tension de la ligne SL, soit V_SL .
- Pour la ou les cellules que l’on ne souhaite pas modifier, le bit de la SC BL correspondant est à 1. Ainsi, lors de l’activation du plot BL, le potentiel sur la ligne BL s’élève et compense le potentiel sur la ligne SL pour que la DDP aux bornes du condensateur soit nulle.

La programmation de l’état 1 pour une bitcell indépendante peut se faire sans modification du chronogramme de la figure 4.9 étant donné que le pulse n’est envoyé que sur une seule BL s’il n’y a qu’un seul 1 dans la SC correspondante. Dans la suite de ce chapitre, seule la section 4.5.2 utilise ce type de programmation unitaire pour programmer un motif dans la matrice 16kbit. Toutes les autres mesures privilégient la programmation en parallèle, qui est moins complexe mais surtout moins chronophage.

4.4.2 Contrôle des éléments périphériques du circuit

Après avoir décrit en pratique le fonctionnement du circuit pour les opérations de programmation et de lecture, les éléments périphériques, *i.e.* les Source Followers, les Pulse Generators et les Scan Chains, sont décrits plus en détail. Le pilotage de ces blocs est dans un premier temps explicité puis nous procéderons à plusieurs vérifications. Cette étape est nécessaire du fait de la complexité du circuit, ainsi que de son caractère innovant pour le laboratoire, mais également car ce design repose avant tout sur ses systèmes

périphériques, le condensateur ferroélectrique n'étant que le dernier élément de la chaîne de fonctionnement.

4.4.2.1 Les Scan Chains

La sélection des différentes lignes, *i.e.* l'adressage de la matrice, s'effectue au moyen de Scan Chains SC, ou registre à décalage. Les SC sont contrôlées par une horloge et une valeur logique qui correspondent respectivement au plot CLOCK et SC_IN du tableau 4.1. Cinq SC sont multiplexées et accessibles via un décodeur géré par les plots SC_SEL<0> et SC_SEL<1>. Le tableau 4.2 regroupe les valeurs d'accès de chaque SC ainsi que leur longueur respective. La matrice comprenant 128 lignes et 128 colonnes, les SC de SL, WL et BL ont par définition une longueur de 128 bits. La valeur logique de SC_IN est propagée le long de la SC sélectionnée à chaque front montant de l'horloge CLOCK.

WL et SL sont parallèles, comme sur le schéma de la figure 4.1 (b), et leur SC respective est accessible via une combinaison commune. La sélection d'une ligne spécifique s'effectue en insérant un 1, *i.e.* l'entrée digitale SC_IN est en valeur haute, puis en complétant la SC par des 0, *i.e.* l'entrée digitale SC_IN est en valeur basse. Il est également possible d'activer plusieurs WL/SL simultanément. La SC BL fonctionne de la même façon, mais est accessible via une seconde combinaison de SC_SEL<0> et SC_SEL<1>.

TABLE 4.2 – Sélection et longueurs des Scan Chains.

Scan Chain	SC_SEL<1>	SC_SEL<0>	Longueur
Output	0	0	128
Sélection WL/SL	0	1	
Sélection BL	1	0	
Contrôle PG	1	1	32

La SC Output est un buffer permettant de copier la valeur digitale de sortie des 128 SA lors d'une lecture pour ensuite l'extraire via le plot SC_OUT. La SC des PG permet l'activation et le contrôle de pulses allant de la microseconde jusqu'aux centaines de picosecondes. Nous reviendrons plus en détails sur le contrôle des PG et sur les modes de fonctionnement de ce circuit dans la section 4.4.2.3.

Un premier contrôle concernant la longueur des SC est réalisé. Pour ce faire, une valeur digitale est insérée à une position connue, soit 128 signaux d'horloge sur le plot CLOCK dont l'un avec SC_IN en valeur haute, puis la SC est vidée par 128 coups d'horloge et son contenu est observé par oscilloscope via le plot SC_OUT. Cette opération permet de vérifier la longueur des quatre SC mais aussi confirme que la sélection de la SC est fonctionnelle, une seule combinaison permettant d'obtenir une SC d'une longueur de 32 bits.

Ensuite, nous vérifions l'indépendance des trois SC d'une longueur de 128. Un 1 est inséré à des positions différentes dans les trois SC puis celles-ci sont vidées successivement. Les trois bits étant ainsi observés en sortie par SC_OUT à la position attendue, on en déduit que les trois SC d'une longueur de 128 bits sont indépendantes et que l'information d'une première SC est bien conservée après sélection et remplissage d'une seconde SC.

Notons cependant que ce contrôle ne valide pas le fonctionnement effectif des SC dans le circuit mais plutôt le fonctionnement du bloc SC en lui-même, *i.e.* il faudra par exemple vérifier que la modification de la SC PG modifie la largeur d'un pulse.

4.4.2.2 Les suiveurs de tension, ou Source Followers

Les Source Followers SF intégrés à l'une des deux versions du circuit 16kbit permettent d'observer certains signaux pour vérifier les largeurs de pulse réellement appliquées mais aussi certaines amplitudes, la synchronisation ou encore l'adressage spécifique de certaines lignes. Quatre SF sont accessibles dans le design 1, la figure 4.12 schématisant leur position. Les SF WL et SL permettent d'observer la largeur des pulses correspondants, mais leur amplitude est systématiquement égale à la tension d'alimentation du circuit $V_{DD} = 4.8V$. La modification de la tension du pulse, et donc par exemple de la tension de programmation appliquée à la bitcell, s'effectue à l'intérieur du circuit après les SF WL et SL. L'amplitude du pulse est alors ajustée à la tension analogique V_{WL} , $V_{SA/BL}$ ou encore V_{SL} du tableau 4.1, *i.e.* V_X sur la figure 4.12, en fonction de la ligne sur laquelle est envoyé celui-ci. Notons également que les SF WL et SL se situent avant l'adressage, un signal peut donc être visible qu'importe la ligne sélectionnée. Les deux SF de BL sont quant à eux positionnés au plus proche de la cellule 1T-1C, permettant une mesure directe de l'amplitude V_{BL} ainsi qu'une vérification partielle de l'adressage. En effet, ces SF ne sont présents que sur les BL $\langle 0 \rangle$ et $\langle 127 \rangle$, ainsi tout pulse sur une autre BL n'est pas observable.

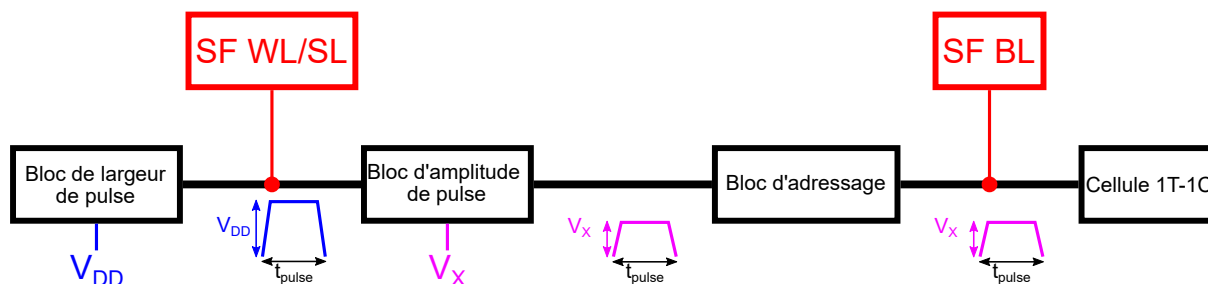


FIGURE 4.12 – Schéma de la position des différents Source Followers et des paramètres de pulses de tension observables.

Grâce à ces SF, plusieurs contrôles de fonctionnalités sont possibles. La figure 4.13 est une mesure par oscilloscope des trois SF WL, SL et BL $\langle 0 \rangle$ lors d'une opération de lecture avec Write-Back sur une matrice 16kbit. Le chronogramme correspondant à l'opération effectuée par l'Arduino est représenté en dessous pour visualiser la position du pulse SA et WB dans les deux cas. La tension de BL s'élève comme attendu pendant le pulse de SL grâce au partage de charges avec C_{BL} , ce qui confirme qu'une tension provenant de la ligne SL est bien appliquée au condensateur. Cette élévation de tension sur la ligne BL est variable en fonction de la tension d'alimentation du plot V_{SL} confirmant que l'adaptation de tension est fonctionnelle. Si l'activation et le fonctionnement du SA n'est pas directement visible par les SF, le pulse de Write-Back l'est au travers du SF BL. Ainsi, une lecture est réalisée à deux V_{REF} extrêmes, *i.e.* 0V ou 4.8V, pour obligatoirement commuter le SA en état 1 ou 0 respectivement. En effet, le partage de charges entre C_{BL}

et le condensateur ferroélectrique engendre une élévation de la tension V_{BL} qu'importe l'état de programmation de la cellule, *i.e.* la tension V_{BL} n'est jamais nulle. Si la tension de référence V_{REF} est nulle, l'état lu sera systématiquement l'état 1. À l'inverse, pour que la tension V_{BL} soit égale à V_{SL} , C_{BL} doit être négligeable devant C_d d'après l'équation 4.5. En considérant les paramètres de la figure 4.4 et les trois surfaces de condensateurs disponibles, C_d est compris entre 4fF et 10fF, ce qui est inférieur à $C_{BL} = 250$ fF. Ainsi, V_{BL} ne peut pas être égale à V_{SL} et pour une lecture à $V_{REF} = 4.8$ V, l'état lu sera systématiquement l'état 0.

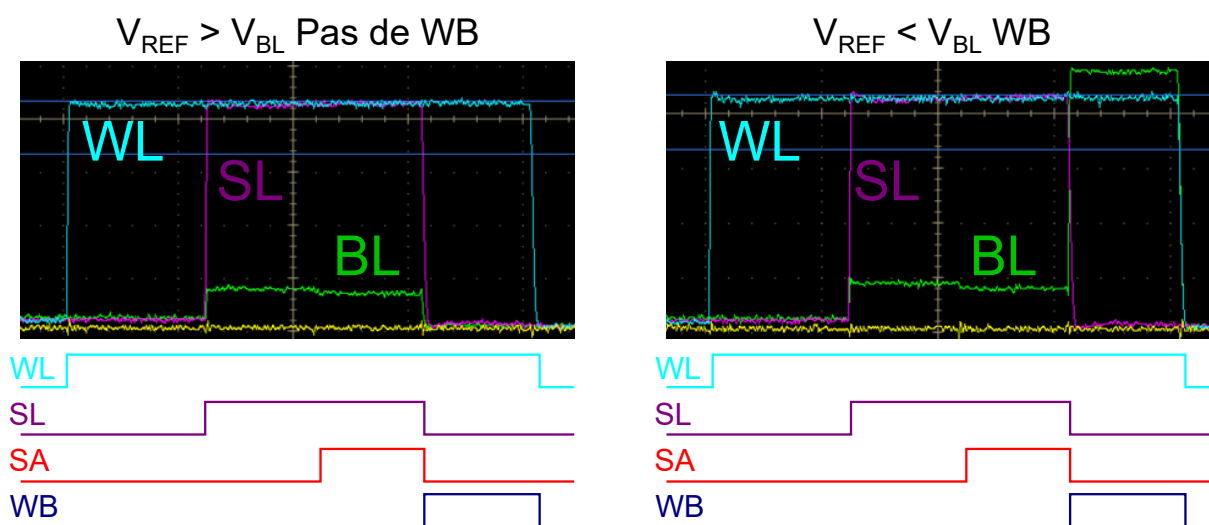


FIGURE 4.13 – Mesure par oscilloscope d'une opération de lecture avec Write-Back sur la BL $\langle 0 \rangle$ en fonction de la tension de référence V_{REF} , et chronogramme des pulses appliqués au circuit par la carte Arduino.

Sur la mesure de gauche de la figure 4.13, l'état 0 est lu. Celui-ci ne nécessite pas de WB, c'est pourquoi la tension V_{BL} est forcée à la masse lors de l'application du signal de WB. À l'inverse, sur la mesure de droite, le SA a commuté en état 1 et le pulse de lecture a détruit l'état 1 de la cellule. Ainsi, lors de l'activation du signal de WB, la tension de BL est forcée à la valeur fournie par le plot $V_{SA/BL}$ et permet de réécrire un état 1.

Pour compléter, les valeurs logiques des SA sont extraites de la SC Output grâce au plot SC_OUT. Celles-ci sont cohérentes avec la figure 4.13. Pour finir, si une opération d'écriture de l'état 1, *i.e.* un pulse sur la ligne BL, est réalisée lorsqu'une autre BL que la $\langle 0 \rangle$ ou $\langle 127 \rangle$ est sélectionnée, aucun signal de BL n'est observé ce qui confirme l'adressage de la BL, a minima la séparation entre la BL $\langle 0 \rangle$, $\langle 127 \rangle$ et toute autre BL. Ces différentes étapes valident le fonctionnement du WB, du SA ainsi que de la variation de tension via les alimentations, même si la valeur exacte de ces alimentations pour les WL/SL n'est pas directement mesurable.

4.4.2.3 Le Pulse Generator

Les circuits comprennent quatre PG permettant d'appliquer des signaux sur les entrées WL, SL, SA et WB. Ils sont pilotés grâce aux tensions d'alimentation PG_Width et

PG_Delay, cf. tableau 4.1, et par le biais de la SC PG. Le rôle des 32 bits de cette SC est schématisée à la figure 4.14.

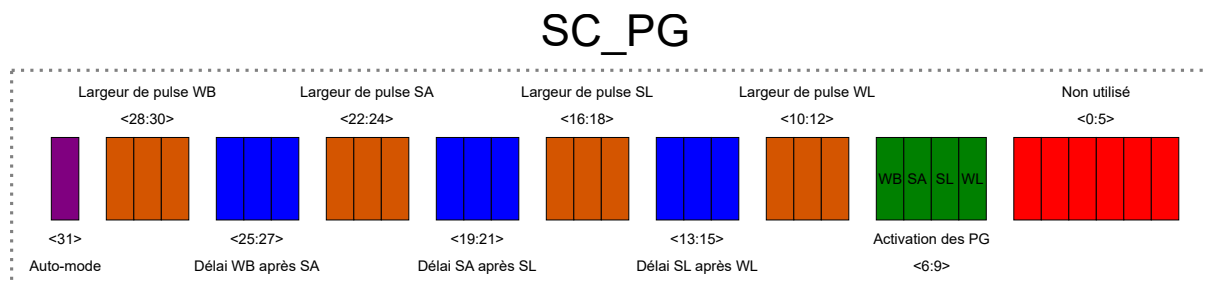


FIGURE 4.14 – Assignation des 32 bits de la Scan Chain PG permettant le pilotage des différents Pulse Generator.

Trois modes de pilotage sont possibles :

- Le mode Externe n'utilise pas les Pulse Generators. Les digits <6 :9> sont tous à 0 et la largeur des pulses est contrôlée par la carte Arduino. C'est le mode de pilotage utilisé par exemple pour la figure 4.13.
- Le mode semi-automatique permet le pilotage indépendant de chaque Pulse Generator, le délai entre les pulses étant géré directement via la carte Arduino. Ce mode est actif lorsque certains digits <6 :9> sont à 1 mais que le digit <31> est à 0. Le pulse du Pulse Generator sera déclenché par un front montant sur le plot correspondant. La largeur du signal de déclenchement sur le plot ne correspond donc pas à la largeur effective du pulse envoyé sur la WL. Cette largeur effective est contrôlée par l'association de la valeur des trois digits correspondants, *e.g.* <10 :12> pour la WL, et par la valeur de tension de PG_Width correspondante.
- Le mode automatique, actif lorsque les digits <6 :9> et <31> sont à 1, permet le déclenchement successif des Pulse Generators grâce à un seul front montant sur le plot WL. L'ordre de déclenchement est identique à la figure 4.10, le WB étant déclenché après le SA. La largeur des pulses ainsi que les délais sont contrôlés de la même façon que pour le mode semi-automatique.

Le design 2, sans SF, permet donc une plus grande flexibilité sur les tensions PG_Width et PG_Delay, chaque amplitude et délai pouvant être modulé indépendamment, tandis que le design 1, avec SF, regroupe les délais et les largeurs en deux plots. Pour valider le fonctionnement préalable des PG, on peut mesurer la largeur des pulses grâce aux SF. La figure 4.15 compare les largeurs des pulses en mode semi-automatique et automatique simulées et mesurées au moyen des Source Followers et d'un oscilloscope, *e.g.* pour le pulse de WL, en fonction des digits de contrôle et de la tension PG_Width correspondante. La largeur des pulses effective est cohérente avec la simulation et permettra de délivrer des pulses jusqu'à 520ps de largeur. Il est préférable d'opérer à des tensions PG_Width supérieures à 1V pour éviter qu'une faible variation pendant la mesure n'impacte dramatiquement la largeur du pulse. Le mode automatique ne sera pas utilisé dans la suite de ce chapitre. En effet, ce mode est pertinent pour effectuer une opération de lecture très rapide cependant il est complexe de synchroniser le pulse du SA délivré automatiquement

par un PG et le signal d'horloge permettant de copier les SA dans la SC Output, signal délivré par la carte Arduino.

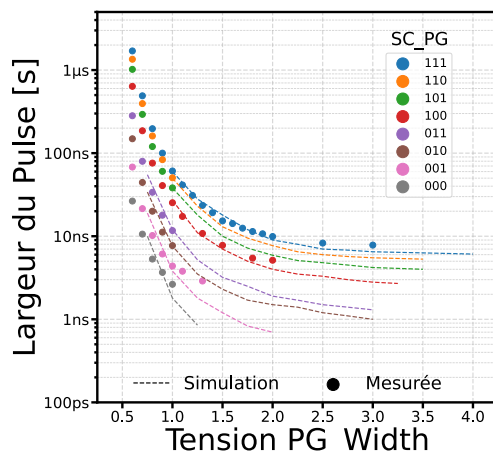


FIGURE 4.15 – Largeur effective des pulses délivrés par les Pulse Generators internes du circuit en fonction de la tension d'alimentation PG_Width et des digits de contrôle de la Scan Chain PG.

4.5 Caractérisation des matrices 1T-1C de $0.36\mu\text{m}^2$ de surface de point mémoire

Après avoir introduit le principe des mémoires FeRAM en architecture 1T-1C et les spécificités du circuit, cette section présente les résultats de caractérisation électrique obtenus sur les matrices 16kbit dont la surface de condensateur est la plus grande, *i.e.* $0.36\mu\text{m}^2$. Dans un premier temps, nous évaluons la fenêtre mémoire et analysons les distributions d'états de ces matrices. Cela permet de mettre en évidence la gamme de tension de référence V_{REF} utilisable pour discriminer les deux états. Nous programmons alors deux motifs complexes pour observer le taux de bitfail, le terme bitfail qualifiant un point mémoire qui a été programmé dans un état 0 par exemple, mais lu dans l'autre état, soit l'état 1 dans cet exemple. La suite de cette section porte sur plusieurs performances mémoire primordiales. La capacité de rétention de l'information de cette technologie et sa compatibilité avec un procédé d'assemblage industriel nommé Surface-mount Technology SMT sont mesurés. Ces mesures sont effectuées grâce au mode de pilotage Externe puis, pour finir nous utilisons les PG, et donc le mode semi-automatique, pour évaluer la cinétique de programmation des points mémoire pour les deux états mais également leur endurance en environnement matriciel. Les PG permettent d'appliquer des pulses d'une largeur inférieure à la microseconde, ce qui n'est pas possible en mode Externe, et ainsi de reproduire des conditions de programmation similaires à un produit industriel.

4.5.1 Mesure des distributions d'états mémoires

La lecture par un SA ne permet pas d'obtenir de valeur analogique directe similaire à une mesure PUND, *i.e.* via une seule lecture, de la tension V_{BL} . Il est cependant possible d'effectuer plusieurs lectures successives en incrémentant la valeur de V_{REF} et d'ainsi reconstituer les distributions des deux états mémoires. En effet, tant que $V_{REF} < V_{BL}$, la valeur logique du SA est 1. En incrémentant V_{REF} , la première valeur pour laquelle le SA est à 0 correspond à une mesure analogique indirecte de V_{BL} . Cette méthodologie est valable pour caractériser les deux états.

Dans un premier temps, toutes les tensions d'alimentation sont fixées à 4.8V, *i.e.* la tension nominale du circuit. Après chaque lecture à un certain V_{REF} , un même état est reprogrammé manuellement. Le mode Externe étant utilisé, les points mémoire sont programmés par des pulses de 2 μ s et l'intervalle entre le début du pulse de lecture sur SL et le déclenchement du signal sur le plot CLOCK permettant de lire l'état des SA est de 2 μ s également. La matrice est précyclée avant cette opération pour s'assurer que la ferroélectricité est stable au fur et à mesure des lectures ainsi 1000 cycles de wake-up à 4.8V/2 μ s sont effectués avant la première lecture.

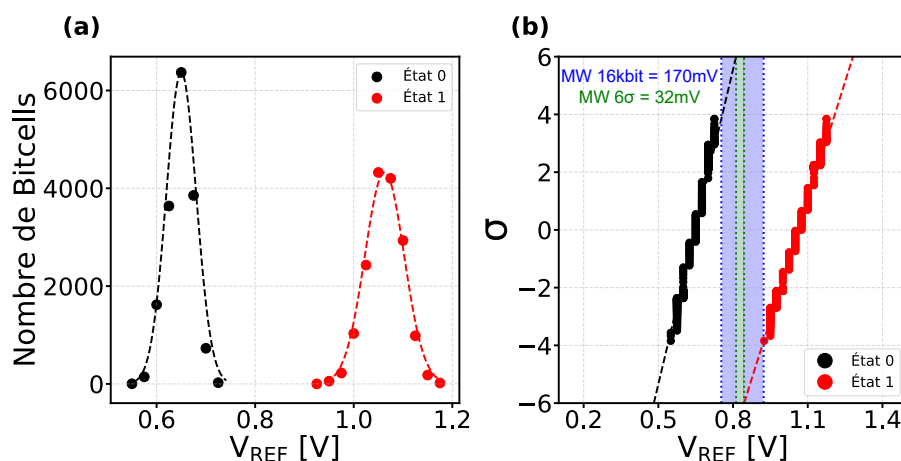


FIGURE 4.16 – (a) Nombre de bitcells dont l'Output du SA passe de 1 à 0 à un V_{REF} donné, avec en pointillé la simulation d'une loi normale. (b) Distributions de ces états représentées en sigma et régression linéaire correspondante en pointillés.

La figure 4.16 (a) représente, pour les deux états, le nombre total de bitcells dont l'Output du SA vient de passer de 1 à 0 à un V_{REF} donné. La variance de la distribution de l'état 1 est supérieure à celle de la distribution de l'état 0, ce qui s'explique par la variation dans la matrice d'une part de la charge diélectrique Q_d , mais aussi de la charge ferroélectrique Q_{FE} . La figure 4.16 (b) est la distribution cumulée des états représentée en écart-type σ , centrée sur la valeur médiane 0σ , *i.e.* 50% de la matrice 16kbit. Cette mesure repose sur l'incrément progressive de V_{REF} . Pour conserver un temps de test raisonnable ainsi qu'un nombre de pulses relativement négligeable devant les 1000 cycles de wake-up, le pas de V_{REF} est fixé à 25mV soit 80 mesures, 40 par états mémoire, et donc moins de 200 pulses pour l'intégralité du test. Ce pas de 25mV explique également l'aspect discontinu des distributions. Cette représentation met en évidence la fenêtre mémoire pratique, c'est-à-dire l'écart entre le V_{REF} le plus élevé de l'état 0 et le plus faible de

l'état 1. Dans ce cas, la fenêtre mémoire est complètement ouverte à l'échelle de la 16kbit, *i.e.* MW 16kbit, et ne présente aucun bitfail. Les figures 4.16 (a) et (b) démontrent que les deux distributions suivent des lois normales, simulées en pointillés sur la figure (b). On peut alors effectuer une régression linéaire sur la figure 4.16 (b) et extraire une MW 16kbit de 170mV, *i.e.* l'écart entre la valeur $+3.842\sigma$ de l'état 0 et -3.842σ de l'état 1. 3.842σ correspond à 1 cellule sur 16384, soit la limite expérimentale de la matrice 16kbit. De plus, le comportement normal des distributions permet d'extrapoler avec confiance une MW à 6σ de 32mV, soit une fenêtre mémoire toujours ouverte pour une matrice de 1Gbit. Cette extrapolation indique une fermeture de la fenêtre mémoire à $+6.5\sigma$, soit une matrice de 25Gbit.

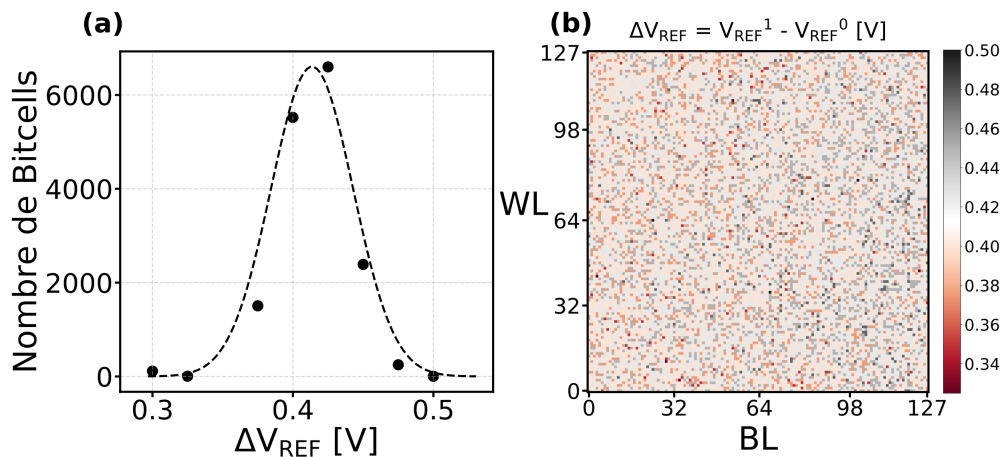


FIGURE 4.17 – (a) Représentation du nombre de cellules mémoires par ΔV_{REF} correspondant à la matrice de la figure 4.16 et (b) leur localisation spatiale au sein de la matrice.

La fenêtre mémoire pratique est un indicateur statistique de l'ensemble de la matrice qui met en évidence la gamme de V_{REF} utilisable pour une application mémoire, *i.e.* permettant de distinguer les deux états mémoires sans le moindre bitfail. Cependant la valeur physique est la différence entre V_{BL}^1 et V_{BL}^0 pour chaque cellule indépendante, notée ΔV_{REF} . La figure 4.17 (a) démontre que la variable ΔV_{REF} suit également une loi normale. Celle-ci est centrée en $\Delta V_{\text{REF}} = 413\text{mV}$, valeur similaire à la fenêtre mémoire $\Delta V_{\text{REF}} = 480\text{mV}$ calculée grâce aux équations 4.5 permettant de simuler la figure 4.4 (b). De plus, la figure 4.17 (b) illustre le fait que ΔV_{REF} est homogène au sein de la matrice, ce qui démontre l'uniformité des propriétés ferroélectriques au sein de la matrice 16kbit. Qu'importe la position en WL ou BL, les condensateurs ferroélectriques des structures 1T-1C sont morphologiquement similaires, *i.e.* pour ce qui est des surfaces, des phases cristallines ou encore de l'épaisseur du HfO_2 .

4.5.2 Fonctionnement à tension de référence V_{REF} fixe

La méthodologie précédente apporte beaucoup d'informations quant à la fenêtre mémoire et les distributions d'états permettent de définir un V_{REF} fixe d'opération, ce qui reste le mode de lecture nominal de ce circuit. Le centre de la fenêtre mémoire de 170mV de la figure 4.9 étant $V_{\text{REF}} = 0.85\text{V}$, cette tension est définie comme la tension V_{REF}

de référence pour ce type de matrice 16kbit, *i.e.* dont la surface des condensateurs est $0.36\mu\text{m}^2$ à la tension d'opération 4.8V.

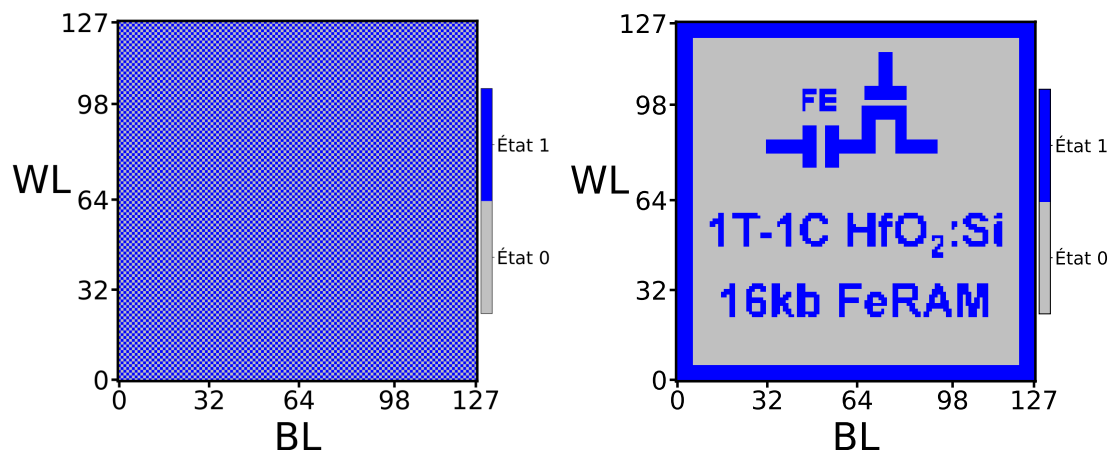


FIGURE 4.18 – Résultat d’une opération de lecture de la matrice 16kbit à $V_{\text{REF}} = 0.85\text{V}$ fixe après programmation unitaire d’un motif.

Un motif d’états 0 et 1 est programmé bitcell par bitcell sur la matrice correspondant à la distribution de la figure 4.16, en utilisant de la même façon des pulses de $2\mu\text{s}$ à 4.8V et la méthodologie de programmation unitaire décrite à la section 4.4.1.2. Cela permet ainsi de programmer une à une chaque bitcell de la matrice. La lecture subséquente est réalisée à $V_{\text{REF}} = 0.85\text{V}$ fixe, également à $2\mu\text{s}/4.8\text{V}$. La lecture étant destructive, le motif programmé ne serait pas correctement reconstruit après les lectures si l’adressage n’était pas entièrement fonctionnel. Deux motifs sont testés par programmation unitaire, le premier étant un damier de 0 et de 1 et le second un motif plus visuel. La figure 4.18 présente le résultat de la lecture de la matrice 16kbit à $V_{\text{REF}} = 0.85\text{V}$. Les deux motifs lus correspondent parfaitement aux motifs programmés. Ainsi, on observe que l’adressage dans la matrice est parfaitement fonctionnel. En effet, le motif programmé ne pourrait pas être parfaitement reconstruit grâce aux lectures si l’adressage présentait un problème, *e.g.* que la sélection de la ligne WL soit dysfonctionnelle du fait de la nature destructive de chaque opération de lecture. De plus, les deux motifs ne présentent aucune erreur de lecture, c’est-à-dire que toutes les bitcells ayant été programmées dans un état sont lues dans cet état par la suite, soit un taux de bitfail de 0% à 4σ . Cette caractéristique est primordiale, si ce n’est obligatoire, pour une application mémoire. Pour finir, cela confirme la pertinence du choix de $V_{\text{REF}} = 0.85\text{V}$ pour cette matrice et qui sera régulièrement utilisé comme référence dans la suite de ce chapitre.

4.5.3 Stabilité dans le temps de l’information programmée

La stabilité dans le temps de l’information programmée, nommée Data Retention, est un paramètre primordial pour une technologie NVM. Ce type de mémoire nécessite une rétention de l’information à 10 ans et ce, en fonction de l’application visée, à des températures supérieures à la température ambiante. Cette section s’intéresse à cette performance primordiale dans le cas d’une matrice 16kbit, mesurée grâce à une méthodologie adaptée

qui est tout d’abord détaillée. En effet, il est nécessaire de prendre en compte la nature destructive de l’opération de lecture. Notons aussi que la fabrication d’un produit mémoire dans le milieu industriel peut nécessiter une étape d’assemblage de deux pièces par brasage, aussi nommé Surface-mount technology (SMT). Ce procédé nécessite une forte température, qui pourrait dégrader l’information préalablement stockée dans la mémoire, *e.g.* le BIOS.

4.5.3.1 Rétention de l’information accélérée en température à l’échelle de la matrice 16kbit

La mesure de la Data Retention à l’échelle de la matrice 16kbit peut être vue de deux façons, une méthode permettant d’obtenir des informations en fonctionnement nominal et la seconde quantifiant l’évolution de la MW. L’utilisation d’une valeur de V_{REF} unique permet de mesurer la matrice complète de façon binaire, *i.e.* on ne peut que qualitativement caractériser la stabilité d’un état. On mesure ainsi si la bitcell programmée est toujours lue au même état, mais on ne quantifie pas la variation de polarisation, ou de fenêtre mémoire, lors de cette mesure. Il serait donc nécessaire de mesurer des distributions, similairement à la figure 4.16. Cependant, étant donné la nature destructive de l’opération de lecture, le temps de recuit est à appliquer entre chaque programmation et lecture, pour toutes les valeurs V_{REF} scannées. Cette méthodologie n’est donc pas applicable dans le cas où les temps de recuit peuvent être de l’ordre de la journée.

Nous proposons alors de mesurer simultanément l’impact de la Data Retention sur la fonctionnalité du produit mémoire, mais également de chercher à caractériser l’évolution précise de la fenêtre mémoire, *i.e.* l’évolution des distributions d’états dans le temps. Une méthodologie originale est développée permettant d’obtenir des informations sur la dérive potentielle des distributions tout en conservant un temps de test raisonnable. Ainsi, huit valeurs de V_{REF} sont utilisées sur une seule 16kbit, quatre pour caractériser l’état 0 et quatre pour l’état 1. Ces valeurs de V_{REF} sont choisies suite à la mesure des distributions d’états comme pour la figure 4.16. La valeur $V_{\text{REF}} = 0.85\text{V}$ centrale est utilisée pour les deux états, et trois autres valeurs de V_{REF} ciblent les deux distributions, *i.e.* proches de $\pm 2\sigma$ et 0σ . Les tensions utilisées sont représentées sur la figure 4.19 (a). Chaque valeur de V_{REF} est appliquée sur 16 WL, soit 2048 bitcells par V_{REF} . La figure 4.19 (a) n’est qu’une représentation schématique, les WL de chaque V_{REF} étant en réalité mélangées dans la matrice pour s’affranchir de la variabilité à l’échelle de la 16kbit.

Après avoir pré-cyclé la matrice avec 1000 cycles à $4.8\text{V}/\mu\text{s}$, les états 0 et 1 sont programmés à $4.8\text{V}/\mu\text{s}$. Une première lecture permet d’obtenir l’état initial en rouge de la figure 4.19 à $t = 0\text{s}$. Après avoir re-programmé les états, la puce est mise au four pour 10^3s à 125°C . La lecture à $t = 10^3\text{s}$ est faite à température ambiante, puis re-programmé une dernière fois pour obtenir les points à $t = 10^4\text{s}$. Ainsi, nous repartons systématiquement de $t = 0\text{s}$ avant d’attendre $t = 10^3\text{s}$ et $t = 10^4\text{s}$.

Le $V_{\text{REF}} = 0.85\text{V}$ central permet de discriminer parfaitement l’état 0 et l’état 1 peu importe le temps de recuit, ce qui explique qu’aucun point n’est représenté pour ce V_{REF} . Également, ce V_{REF} pourrait être sensible aux queues de distributions si certaines cellules dérivent beaucoup plus que d’autres au cours du temps, ce qui n’est pas le cas indiquant une dérive lente des cellules. On peut conclure que cette technologie démontre une très

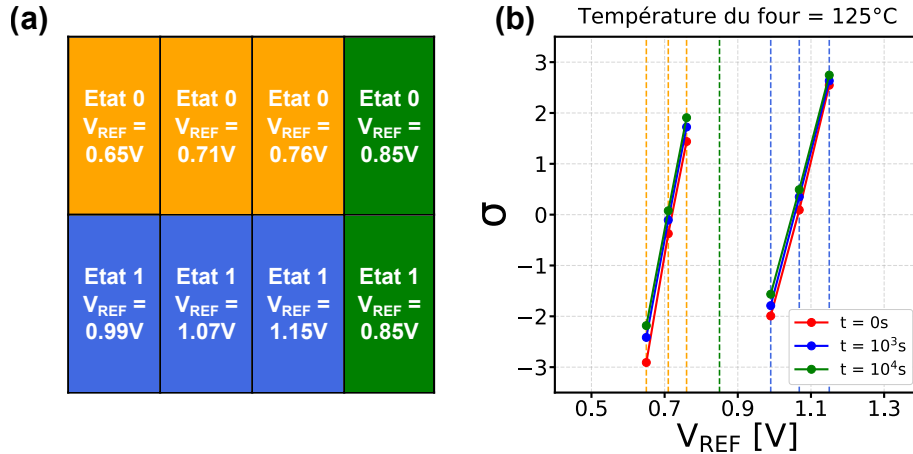


FIGURE 4.19 – (a) Représentations des valeurs de V_{REF} choisies pour évaluer la Data Retention. En pratique, les 16 WL mesurées par V_{REF} sont mélangées pour s’affranchir de la variabilité à l’échelle de la 16kbit. (b) Reconstitution des distributions d’états d’une matrice 16kbit de $0.36\mu m^2$ de surface de condensateur, jusque 10^4 secondes à $125^\circ C$.

bonne rétention de l’information jusqu’à $t = 10^4s$ à $125^\circ C$ pour ce cas optimal de programmation et lecture. Les trois autres valeurs de V_{REF} ciblant le cœur des distributions démontrent une légère dérive des distributions au cours du temps. Ainsi, les deux états dévient vers la gauche, vers des V_{REF} plus faibles. Étant donné que la lecture est réalisée sur la SL, *i.e.* la TE, par un pulse positif après un pulse de programmation sur la BL, soit la BE, la Data Retention de l’état 1 correspond à la valeur analogique Opposite State OS^+ décrite à la figure 2.8 (a) [87]. Ainsi, cette variation pour l’état 1 peut être comprise comme une diminution de charges ferroélectriques lors de la lecture, suite au retournement au cours du temps d’une partie des domaines programmés à l’état 1.

L’état 0 dérive cependant dans le sens contraire à une diminution de charges ferroélectriques. En effet, si une certaine proportion de domaines de l’état 0 s’est retournée au cours du temps, la lecture de l’état 0 suivante devrait induire le retournement de ces domaines. Une partie de la charge ferroélectrique est retournée bien que ce soit l’état 0 qui soit programmé, la tension V_{BL} est plus élevée qu’à $t = 0s$, et la distribution devrait dériver vers la droite. Si l’on considère l’équation 4.5 pour l’état 0, cette dérive pourrait être attribuée à une variation de la capacité diélectrique C_d . Une seconde hypothèse serait l’influence de capacités parasites dans le circuit, qui ne sont pas prises en compte dans le modèle simplifié permettant d’obtenir les équations 4.5. Il est également possible que des défauts (charges piégés, niveau d’énergie disponible dans la bande interdite induisant des fuites) soient guéris pendant ces temps de relaxation, ce qui aurait tendance à impacter les deux courbes simultanément. Des mesures complémentaires seraient nécessaires pour approfondir la compréhension de la dérive des distributions d’états de cette matrice FeRAM au cours du temps.

4.5.3.2 Résistance au test de Reflow Soldering, ou brasage

La Data Retention à $125^\circ C$ jusqu’à $t = 10^4s$ ayant donné des résultats encourageants, un second test en température est effectué pour simuler le procédé de SMT. Ce procédé

revient à créer une liaison métallurgique entre les métaux de plusieurs pièces, à l'aide d'un métal d'apport ou pâte à souder, en induisant la migration des atomes au niveau du plan de contact via une forte température, sans pour autant atteindre le point de fusion de ces deux métaux. Un profil de température spécifique est à appliquer, nommé reflow soldering thermal profile. Celui-ci applique un stress thermique important, avec des températures supérieures à 200°C , sur le point mémoire. Il est donc important de contrôler l'intégrité du circuit et du condensateur après ce type de stress thermique pour s'assurer qu'une étape de SMT est possible pour cette technologie et n'endommage pas l'information programmée. L'assemblage par SMT est une opération qui n'évalue pas la stabilité temporelle, car elle ne dure que quelques minutes. Cependant, la température maximale est plus importante que 125°C , jusqu'à 260°C pour le profil de température utilisé. Ce profil est représenté en figure 4.20 et se décompose en deux zones principales.

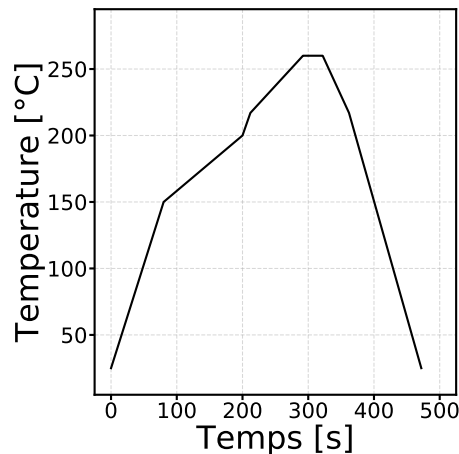


FIGURE 4.20 – Profil de température utilisé pour l'évaluation de la résistance au solder reflow.

Une première montée en température jusque 200s représente la préchauffe du composant et permet d'augmenter progressivement la température des deux métaux et de la pâte à souder. Cette étape évacue également les solvants volatiles de la pâte à souder. La deuxième partie correspond au soudage par refusion, ou reflow soldering, et permet la fusion puis refusion de la pâte à souder, qui permet le contact entre les deux parties après solidification lors du refroidissement. Le profil utilisé est similaire au profil proposé par la Joint Electron Device Engineering Council (JEDEC), organisme de normalisation des technologies et techniques pour l'industrie du semi-conducteur [117].

Une matrice 16kbit de $0.36\mu\text{m}^2$ de surface de condensateur est utilisée pour ce test. Après 1000 cycles de wake-up à $4.8\text{V}/2\mu\text{s}$, les distributions d'états montrent que la tension de référence $V_{\text{REF}} = 0.85\text{V}$ est également au centre des deux distributions pour cette matrice. Un motif d'états 0 et 1 a été programmé grâce à des pulses de $4.8\text{V}/2\mu\text{s}$. Une WL sur deux est programmée en utilisant la programmation parallèle à l'état 1 et l'autre à l'état 0 ce qui permet de s'affranchir des variations de performances à l'échelle de la 16kbit. En effet, il n'est pas à exclure que certaines zones de la matrice soient plus sensibles au retournement et donc à la perte de l'information. Après avoir programmé la matrice, celle-ci est soumise au profil de température présenté à la figure 4.20 par le biais d'un

conditionneur de température (aussi appelé Thermo Stream) permettant une élévation de température homogène, contrôlée et rapide. La 16kbit a dans un premier temps subi une fois le profil de température de reflow soldering.

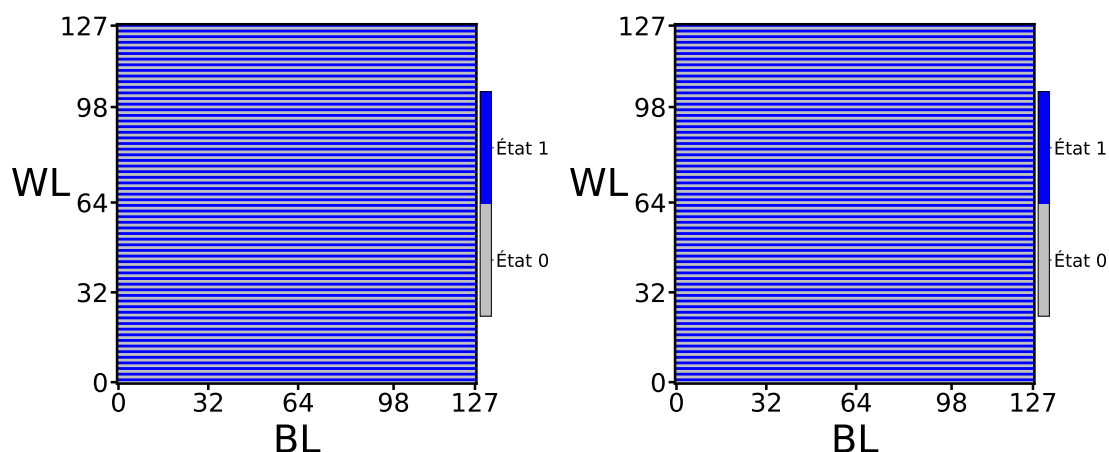


FIGURE 4.21 – À gauche, motif programmé sur la matrice avant le stress en température correspondant à une opération de reflow soldering. Ce même motif est lu de nouveau, à droite, à $V_{REF} = 0.85V$ après un puis trois stress en température successifs.

La lecture à $V_{REF} = 0.85V$ ne montrant aucune erreur, le motif est programmé de nouveau et la matrice est soumise à trois stress en température successifs. Même après ces trois stress, l'information programmée est parfaitement conservée pour tous les points mémoire de la 16kbit, comme présenté à la figure 4.21. Cette mesure démontre ainsi la compatibilité de la technologie FeRAM avec les procédés standards de SMT, nécessaires à l'industrialisation d'un produit mémoire.

4.5.4 Évaluation de la rapidité des dispositifs FeRAM

Les précédentes mesures présentent plusieurs points communs. Elles ont été effectuées en utilisant le mode de pilotage Externe, uniquement avec des pulses de $4.8V/2\mu s$. Or, le circuit comprend d'une part des générateurs de pulses permettant d'adresser des largeurs de pulse bien plus faibles, mais d'autre part les tensions V_{SL} ou V_{BL} peuvent être inférieures à $4.8V$ et donc un pulse de plus faible amplitude pour programmer ou lire la cellule est possible. Cette section s'intéresse à l'évaluation de l'efficacité de programmation d'un pulse grâce aux PG. Pour ce faire, le mode de pilotage semi-automatique est préconisé. L'objectif est de ne contrôler qu'un seul pulse de tension avec les PGs pour conserver un chronogramme proche du mode Externe. Le circuit comprend un PG SL qui permet la programmation de l'état 0 en utilisant le même chronogramme que précédemment, *cf.* chronogramme de gauche de la figure 4.22. Cependant, il n'a pas été embarqué de PG pour la ligne BL. Pour effectuer la programmation de l'état 1, il est toutefois possible d'utiliser le PG WB, qui en définitive correspond bien à un pulse sur la BL, en adaptant le chronogramme correspondant.

Ce nouveau chronogramme est représenté à la figure 4.22. L'utilisation de ce PG pour la programmation d'un état représente un contournement de son but premier qui est d'être

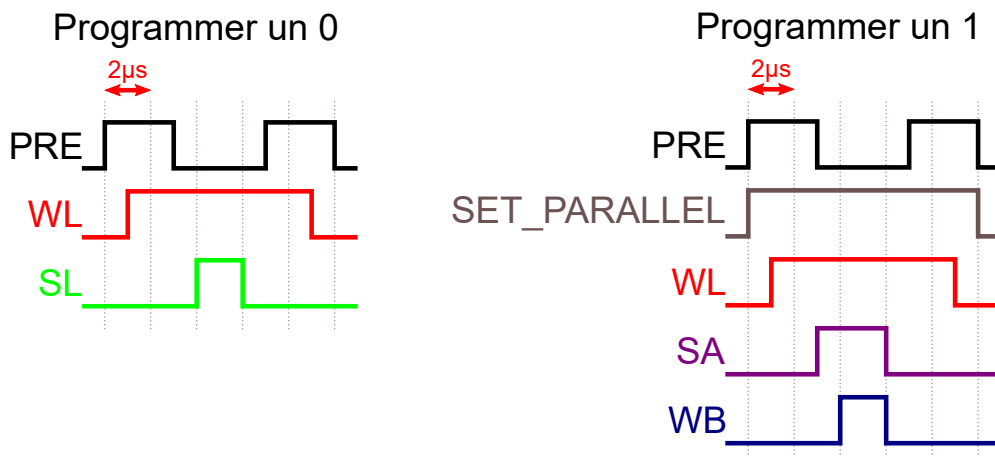


FIGURE 4.22 – Chronogramme, à gauche, de programmation de l'état 0 par PG identique au mode Externe, et à droite, la modification de celui utilisé pour la programmation de l'état 1 permettant l'utilisation du pulse generator de Write-Back pour appliquer un pulse de tension sur la BL. Ces chronogrammes représentent les signaux envoyés par la carte Arduino.

utilisé uniquement dans le cas d'une lecture. C'est pourquoi, pour que le PG WB délivre un pulse de tension, plusieurs conditions sont nécessaires :

- Le bit $\langle 9 \rangle$ de la SC PG est mis à 1 ce qui active le PG WB.
- Le PG WB étant originellement destiné aux opérations de lecture, il n'est fonctionnel que si SET_PARALLELEL est actif pendant toute la programmation. Notons que l'activation de SET_PARALLELEL induit qu'il n'est pas possible de programmer un état 1 par un pulse de PG de façon unitaire étant donné que ce plot débraye la SC BL et active toutes les lignes BL.
- L'activation de SA vient comparer la tension V_{BL} à la tension de référence du SA. En ayant au préalable forcé V_{REF} à la masse, le SA commute à l'état 1, condition nécessaire pour que la tension du pulse de WB soit V_{SA}/BL .

Sous ces conditions, un pulse provenant du PG WB est déclenché grâce au front montant lors de l'activation du signal WB. Ce pulse a une amplitude égale à V_{SA}/BL et une largeur de pulse définie par la tension PG_Width et les bits de contrôle de la SC PG. Notons que les deux chronogrammes de la figure 4.22 représentent les signaux délivrés par la carte Arduino. Les signaux de SL et de WB font $2\mu s$ sur ces schémas, mais ce sera bien un pulse délivré par le PG qui sera appliqué au condensateur.

En se basant sur les valeurs de simulation de la largeur des pulses PG de la figure 4.15, une liste de 16 largeurs de pulses est sélectionnée et les combinaisons PG_Width/bits de la SC PG correspondantes sont regroupées dans le tableau 4.3. L'efficacité de programmation peut ainsi être évaluée sur cinq décades de temps, depuis un pulse de $1.7\mu s$ similaire à la programmation en mode Externe, jusqu'à un pulse de $520ps$. Les tensions de programmation choisies sont $4.8V$, $4.0V$, $3.5V$, $3.0V$ et $2.5V$. Toutes ces tensions sont supérieures à la tension coercitive du matériau et sont donc suffisantes pour provoquer le retournement des domaines ferroélectriques. La lecture est quant à elle effectuée de la même façon que

TABLE 4.3 – Largeur des pulses en fonction des trois bits de la Scan Chain de contrôle du pulse generator et de la valeur de PG_Width correspondante.

SC bits	PG_Width [V]	Largeur de pulse	SC bits	PG_Width [V]	Largeur de pulse
111	0.6	1.7 μ s	111	1.5	15ns
	0.7	490ns			13ns
	0.8	197ns			10ns
	0.9	100ns			7ns
	1	61ns			3.1ns
	1.1	41ns			2.1ns
	1.2	31ns			1.1ns
	1.4	19.2ns	000		520ps

dans le cas des mesures précédentes, *i.e.* en utilisant un pulse de 4.8V/2 μ s, pour conserver une métrique de lecture constante. Également, l'état de départ est programmé par un pulse de 4.8V/2 μ s, *e.g.* pour évaluer l'efficacité de programmation par PG de l'état 0, l'état 1 de départ est d'abord programmé et vice versa. La matrice de 0.36 μ m² de surface de condensateur est pré-cyclée via 1000 cycles de 4.8V/2 μ s. Pour chaque état, trois V_{REF} sont mesurés en plus du $V_{REF} = 0.85V$ de référence dans le but de caractériser l'impact du choix de V_{REF} . Ces trois tensions supplémentaires sont choisies différemment en fonction de l'état caractérisé.

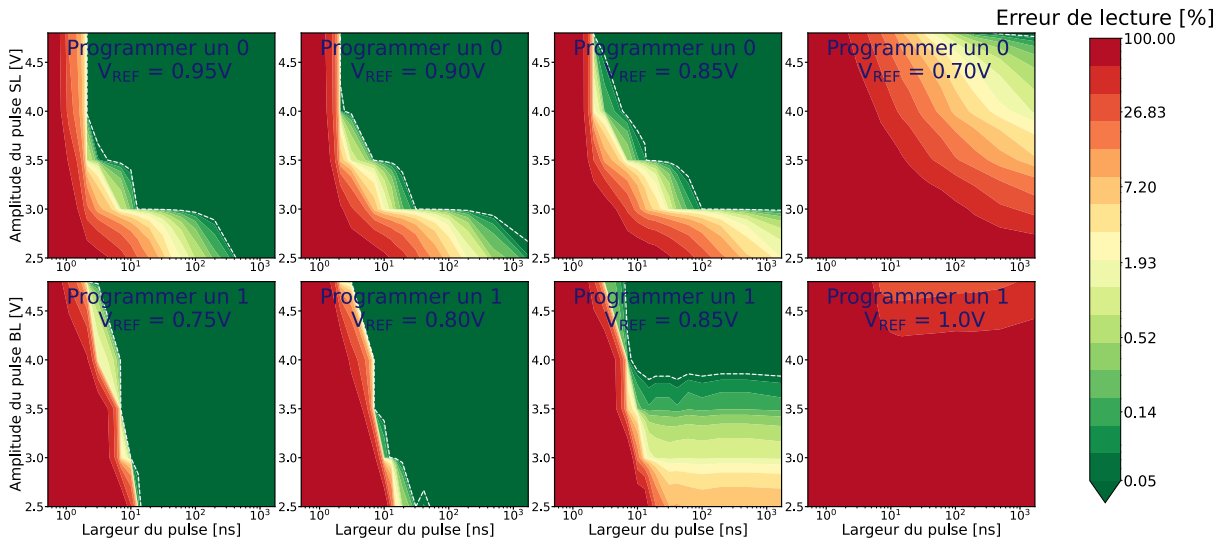


FIGURE 4.23 – Efficacité de programmation de l'état 0 sur la première ligne, et de l'état 1 sur la seconde, en fonction de la tension et de la largeur du pulse généré par les pulse generators internes au circuit. Quatre V_{REF} différents sont utilisés pour les deux états.

La figure 4.23 présente l'efficacité des différents pulses pour la programmation d'un état 0 et d'un état 1. Cette efficacité est définie comme le pourcentage de bitcells dont la lecture n'est pas correcte, *i.e.* dont l'état lu ne correspond pas à l'état programmé. Dans un premier temps, la mesure à la valeur de référence $V_{REF} = 0.85V$ démontre une très bonne efficacité de programmation, jusqu'à 4.0V pour une largeur de 10ns. Comme pour la section 3.2.2.5 du chapitre 3, le lien entre tension de programmation et largeur de pulse

est clairement mis en évidence : il est possible de programmer la cellule à des tensions plus faibles au détriment d'une largeur de pulse plus importante. À cette tension de référence commune, normalement choisie pour être le point intermédiaire entre la distribution de l'état 0 et de l'état 1, on remarque un profil bien différent entre les 2 programmations : l'état 1 est moins facilement programmé. Ce phénomène peut s'expliquer par le choix de la tension de référence. Si la valeur $V_{\text{REF}} = 0.85\text{V}$ n'est pas parfaitement centrée, la programmation d'un état est favorisée par rapport à l'autre. En outre, les autres V_{REF} n'étant pas communs aux deux états, il n'est pas possible d'observer clairement l'inversion de cette tendance. La tension de référence permettant d'obtenir deux efficacités de programmation symétriques est potentiellement plus faible, entre 0.85V et 0.70V , ce qui dégraderait l'efficacité de programmation de l'état 0 mais améliorerait celle de l'état 1.

Les trois V_{REF} supplémentaires ont été choisis en fonction de l'état à programmer. Deux de ces V_{REF} favorisent la programmation en se rapprochant de la distribution de départ, tandis que le troisième V_{REF} s'éloigne de la distribution de départ, et se rapproche de la distribution à saturation de l'état à programmer, *i.e.* distribution mesurée à $4.8\text{V}/2\mu\text{s}$. Ainsi, on favorise la programmation de l'état 1 lorsque l'on diminue la valeur de V_{REF} car la tension de référence se rapproche de la distribution de l'état 0 de départ, et une faible quantité de charge ferroélectrique est nécessaire pour obtenir une lecture correcte. Il est donc nécessaire de réaliser ce type de caractérisation à V_{REF} fixe pour caractériser les deux états via une référence commune, sinon il est par exemple possible de dire que l'état 1 peut être programmé par un pulse d'environ 10ns à 3.0V en prenant $V_{\text{REF}} = 0.75\text{V}$, mais il est alors certain que l'état 0 ne sera pas programmable dans les mêmes conditions au regard de la figure à $V_{\text{REF}} = 0.70\text{V}$ de l'état 0.

On remarque également qu'aucun pulse de 520ps n'a permis une seule lecture correcte, qu'importe l'état programmé, la tension de programmation ou le V_{REF} utilisé, même dans les cas les plus favorables. D'un autre côté, le second pulse le plus court, *i.e.* 1.1ns , a permis une lecture correcte de l'état dans plus d'une condition, sans utiliser les tensions de référence les plus favorables ou même à des tensions inférieures à 4.8V . Même si cette observation ne permet pas d'affirmer qu'aucun domaine ferroélectrique n'a été retourné en utilisant un pulse de 520ps , cela corrèle avec l'analyse de X. Lyu [99]. En utilisant un dispositif et un montage spécialement conçu pour mesurer les vitesses de retournement des domaines ferroélectriques, ils ont démontré un temps minimum de retournement de 925ps en utilisant des pulses de $6\text{MV}/\text{cm}$. Il est donc possible que le pulse de 520ps ne soit en aucun cas fonctionnel car celui-ci ne permet pas le retournement des domaines ferroélectriques. D'autres travaux, par J. Okuno, s'intéressent à la cinétique de programmation au sein d'une architecture matricielle 64kbit [66] ou 32kbit [116] similaire à celle de ce manuscrit. Ils obtiennent une efficacité de retournement sans bitfail avec des pulses de 14ns à 2.5V [66] et 16ns à 2.0V [116], ce qui est proche des résultats que nous avons obtenu pour les pulses de 10ns à 4V . Cependant, très peu de détails sont donnés quant à la méthodologie de mesure utilisée, ainsi il n'est pas précisé si cette mesure correspond aux deux états de programmation, mais surtout ils n'indiquent pas de tension V_{REF} spécifique, ce qui, comme nous venons de le voir, est primordial pour être pertinent dans ce type de caractérisation avec ce circuit.

4.5.5 Endurance des bitcells en environnement matriciel

La mesure précédente a démontré qu'un pulse de 10ns à 4.0V programme la matrice à 100%, sans aucun bitfail, tant que la tension de référence du SA est $V_{REF} = 0.85V$ et que la lecture est effectuée avec un pulse de $4.8V/2\mu s$. Cependant, cette mesure a été réalisée après 1000 cycles à $4.8V/2\mu s$ pour stabiliser les performances ferroélectriques du matériau. Cette section a pour vocation de caractériser l'endurance des bitcells de toute une matrice 16kbit, du tout premier cycle jusque, si possible, la fin de vie de la bitcell ferroélectrique. Les 1000 cycles de la mesure précédente ayant accru les performances ferroélectriques du matériau, *i.e.* par effet de wake-up, il est préférable de prendre une marge de sécurité par rapport au pulse de $4.0V/10ns$ pour anticiper la plus faible polarisation ferroélectrique et ainsi minimiser la quantité de bitfail mesurée. Ainsi, un pulse de programmation/d'endurance de $4.0V/41ns$ est préféré.

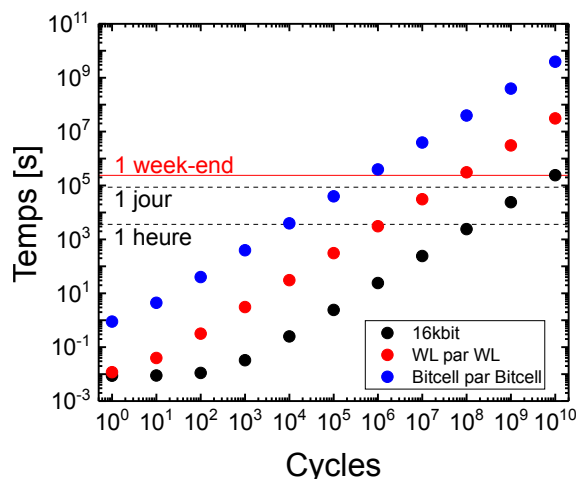


FIGURE 4.24 – Estimation du temps de cyclage de la matrice 16kbit en fonction de la méthode utilisée.

Le test d'endurance de la 16kbit peut être réalisé de trois façons différentes : en programmant la matrice bitcell par bitcell grâce à la programmation unitaire, WL par WL en utilisant la programmation parallèle qui a été principalement utilisée jusqu'à présent ou encore en programmant toute la 16kbit grâce à un seul pulse en sélectionnant toutes les WL et BL. La première méthode est bien entendu la plus chronophage, tandis que le cyclage de toute la matrice en simultanée l'est bien moins. Le temps de test en fonction de l'approche est représenté à la figure 4.24, en considérant un signal d'horloge de $30\mu s$ de période et un cycle comprenant programmation de l'état 0 puis de l'état 1 d'une longueur de $24\mu s$ au total. Cette estimation ne comprend pas le temps de lecture ni le temps de communication et de réaction de l'analyseur Keysight B1500. En effet, la tension de cyclage peut être différente de la tension de lecture, mais surtout il est nécessaire de vider la SC PG si le pulse de lecture se veut similaire aux précédentes mesures, *i.e.* $4.8V/2\mu s$ sans utiliser de générateur de pulse. Ces deux éléments nécessitent plusieurs aller-retours entre les deux instruments du circuit, ce qui augmente le temps de test. La limite temporelle

maximum est fixée à l'équivalent d'un week-end, soit 66h, et est une conséquence de la disponibilité des bancs de test au laboratoire.

Pour conserver une bonne cohérence avec les mesures précédentes, mais surtout sachant que la lecture ne s'effectue que WL par WL, c'est ce même type de cyclage en parallèle WL par WL qui est utilisé. Ce type de test nécessitera au moins 9h pour soumettre la matrice à 10^7 cycles. La lecture est effectuée trois fois par décade, à V_{REF} fixe pour chaque état plutôt que par le biais d'une mesure des distributions pour éviter le cyclage supplémentaire inhérent à cette procédure. De la même façon que pour la figure 4.23, la matrice est segmentée lors de la lecture pour utiliser quatre V_{REF} différents.

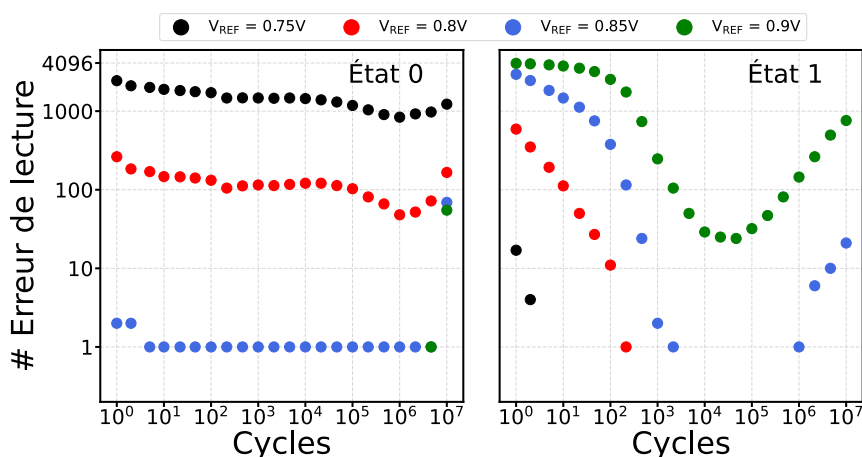


FIGURE 4.25 – Nombre d’erreurs de lecture pour les deux états en cours d’endurance via un pulse de programmation de 4.0V/41ns. Les quatre V_{REF} utilisés permettent d’observer les variations des deux états au cours du cyclage.

Le nombre d’erreurs lors de la lecture d’un état, *i.e.* l’état lu d’une bitcell ne correspond pas à l’état programmé, est représenté en fonction du nombre de cycles pour les deux états et les quatre V_{REF} utilisés à la figure 4.25. L’utilisation de plusieurs valeurs de V_{REF} est nécessaire pour anticiper les variations de polarisation ferroélectrique, *i.e.* de fenêtre mémoire, ce qui se répercute directement sur le nombre d’erreurs, et donc pour pouvoir observer le comportement de la matrice tant au premier cycle qu’au dernier. Dans un premier temps, on observe de nouveau le rôle primordial qu’a le choix de V_{REF} sur la mesure : en utilisant $V_{REF} = 0.9V$, il n’y a pas d’erreur de lecture jusqu’à 7.10^6 cycles pour l’état 0 comparé aux V_{REF} inférieurs. Cependant, cela dégrade fortement la lecture de l’état 1. Ces courbes d’endurance ne sont donc pas que l’image du matériau lui même, mais aussi des conditions de mesure. Il est de nouveau difficile de comparer ces résultats à la littérature, d’autant plus que celle-ci est très pauvre. J. Okuno a mesuré l’endurance d’une matrice 4kbit de surface de condensateur de $0.20\mu m^2$ jusqu’à 10^{10} cycles à 3.5V/100ns [116]. Cette mesure a également été accélérée en température à 85°C. Leurs résultats expérimentaux présentés à la figure 8 (a) de [116] sont peu décrits, mais il semble que l’endurance expérimentale obtenue soit de l’ordre de 10^7 à 10^8 cycles.

Sur les quatre courbes de l’état 1, et particulièrement sur celle à $V_{REF} = 0.9V$, le cyclage permet de grandement diminuer le nombre d’erreurs de lecture, *i.e.* augmente la fenêtre mémoire. Le wake-up ferroélectrique peut expliquer cette diminution jusque

$10^4/10^5$ cycles. En effet, la figure 4.8 démontrait une augmentation de 60% de la polarisation rémanente de l'état vierge jusqu'à 10^4 cycles, puis une diminution de $2.P_R$ de 20% jusque 10^6 cycles. Même si le schéma de cyclage est différent entre ces deux mesures, et donc que les valeurs de polarisation dans la matrice ne sont pas identiques à la mesure sur 1T-1C unitaire, on peut tout de même s'attendre à une variation de $2.P_R$ lors de ce test d'endurance. Ainsi, une augmentation de $2.P_R$ se traduit par une augmentation des charges ferroélectriques, une augmentation de la tension V_{BL}^1 et ainsi une diminution des erreurs de lecture de l'état 1, la distribution correspondante dérivant progressivement vers des V_{REF} plus élevés. De la même façon, l'augmentation d'erreurs de lecture entre 10^5 et 10^7 peut s'expliquer par le phénomène de fatigue ferroélectrique et la diminution de charges ferroélectriques.

L'état 0 présente quant à lui une dynamique de variation au cours du cyclage beaucoup plus faible, *i.e.* la distribution d'états 0 dérive moins. La diminution des erreurs de lecture jusqu'à 10^6 cycles peut s'expliquer par une faible variation de la constante diélectrique du matériau. La transition de phase tétragonale vers orthorhombique/monoclinique tend à diminuer la capacité C_d , étant donné les valeurs de constantes diélectriques de ces phases, ce qui augmente la tension V_{BL}^1 d'après l'équation 4.5 et n'est donc pas cohérent avec la tendance observée. À l'inverse, la transition de phase monoclinique vers orthorhombique/tétragonale ou orthorhombique vers tétragonale induit une augmentation de la capacité C_d , cohérent avec la variation de l'état 0 en cours d'endurance. Une seconde hypothèse est la présence de back-switching après programmation de l'état 0, qui tend à diminuer au cours du cyclage. Après programmation de l'état 0 via un pulse sur la SL, une faible proportion de domaines ferroélectriques retourne à l'état 1 et leurs charges ferroélectriques s'ajouteront lors de la lecture suivante.

Si l'augmentation d'erreurs de lecture de l'état 1 après 10^6 cycles est explicable par la fatigue ferroélectrique, cette augmentation pour l'état 0 ne trouve pas d'explication dans le comportement ferroélectrique du matériau. En outre, dans le chapitre 3, il a été observé que le facteur limitant de l'endurance de nos condensateurs intégrés en BEOL n'est pas la fatigue ferroélectrique mais le claquage diélectrique, constat également possible pour les condensateurs de la matrice 16kbit. Il est alors nécessaire de comprendre ce qu'un claquage diélectrique signifie dans le cas d'une distribution d'états. Dans le but de comprendre l'augmentation d'erreurs de lecture de l'état 0 après 10^6 cycles, les distributions d'états sont mesurées après les 10^7 cycles d'endurance.

La figure 4.26 (a) montre ainsi que la grande majorité des bitcells, jusqu'à 2σ , est toujours fonctionnelle avec une fenêtre mémoire non nulle. Notons que cette MW n'est pas comparable à celle de la figure 4.16 étant donné les différences de conditionnement électrique, 1000 cycles à 4.8V/2µs pour la figure 4.16 et 10^7 à 4.0V/41ns pour la figure 4.26 (a). 75 bitcells, soit 0,46% de la matrice, ont une MW nulle et sont représentées dans le cercle rouge. Sur cette distribution, le V_{REF} maximum mesuré est 2.5V.

Dans le cas d'un claquage de l'oxyde, aussi qualité de Hard Breakdown (HBD), correspondant à un court circuit, le potentiel de SL sera directement recopié sur la BL durant l'opération de lecture. Une seconde zone avec une MW quasiment nulle est représentée par le cercle bleu et correspond à 147 bitcells, soit 0.90% de la matrice. Les bitcells sont considérées dans ce groupe lorsque leur tension V_{BL}^0 est supérieure à une limite arbitraire de 0.95V, ce qui correspond aux bitcells qui ne suivent plus la loi normale. Si la fenêtre

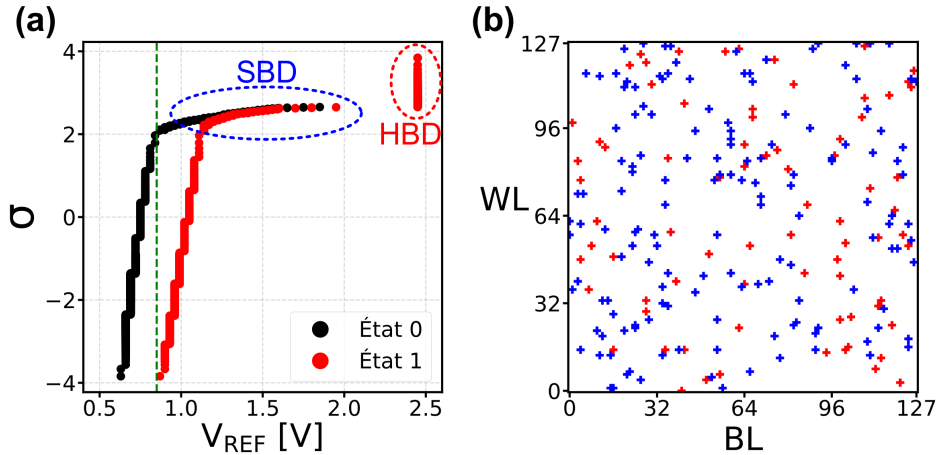


FIGURE 4.26 – (a) Distributions des états après 10^7 cycles d'endurance à 4.0V/41ns mesurées par des pulses de lecture de 4.8V/2 μ s et (b) localisation des bitcells présentant un claquage diélectrique de type Soft Breakdown en bleu et Hard Breakdown en rouge.

mémoire de ces bitcells n'avait fait que diminuer, l'hypothèse d'un état de fatigue avancé était possible. Cependant, le fait que la distribution de l'état 0 dérive fortement vers des tensions supérieures porte à croire que le condensateur lui même est altéré, comme dans le cas précédent du HDB, et que cette fermeture n'est pas que l'image du comportement ferroélectrique. Dans le cas où le condensateur n'a pas atteint un claquage diélectrique complet, ou Soft Breakdown (SBD), le courant de fuite est suffisamment important pour dégrader ou écranter le comportement ferroélectrique.

La figure 4.26 (b) donne la localisation au sein de la matrice de ces deux cas de claquage. Aucune zone de prédilection pour le claquage diélectrique, que ce soit SBD ou HBD, n'est observée. Du point de vue du condensateur, cela démontre une très bonne homogénéité du matériau dans la 16kbit en terme d'épaisseur du diélectrique. De plus, le mode de programmation en parallèle sous-entend que le pulse est envoyé simultanément à toute la WL. Ce pulse, *e.g.* sur la SL, doit parcourir une ligne plus ou moins grande en fonction de la position de la bitcell, ce qui pourrait faire varier la tension V_{SL} par effet capacitif. Cette variation de tension rapportée au nombre de cycles et à la statistique permise par la 16kbit pourrait engendrer un dégradé vertical ou horizontal du claquage, si cette chute de tension est suivie par les BL ou SL respectivement. On en déduit que les pulses de programmation, de facto de lecture, sont homogènes à l'échelle de la matrice.

4.6 Vers des nœuds technologiques plus avancés

Les précédentes mesures démontrent de bonnes fonctionnalités et performances de la part de la matrice 16kbit FeRAM HSO. La fenêtre mémoire importante permet d'atteindre les zero bitfail à l'échelle de la matrice 16kbit, elle dérive peu à 125°C, résiste au stress en température de type brasage SMT, démontre une rapidité d'écriture de l'ordre de la dizaine de ns et présente une endurance jusqu'à 10^7 cycles. Ces mesures ont été effectuées à l'aide de méthodologies originales adaptées aux besoins du circuit ayant pour but de donner une vision complète de la technologie. Elles se sont portées dans un premier temps

sur les matrices comprenant des condensateurs de $0.36\mu\text{m}^2$ de surface et l'opération de lecture est restée constante, à 4.8V de tension V_{SL} . Cette section se propose d'étudier l'influence de la diminution de la tension d'opération, *i.e.* d'écriture et de lecture, ainsi que l'influence de la diminution de la surface du condensateur. Cela permettra de mettre en évidence les limites actuelles du circuit au nœud technologique 130nm mais aussi de proposer des pistes d'amélioration de la technologie pour des nœuds technologiques plus avancés, *i.e.* vers des surfaces de condensateur plus petites et des tensions d'opérations plus faibles.

4.6.1 Influence de la tension d'opération pour un point mémoire de $0.36\mu\text{m}^2$

Une matrice de $0.36\mu\text{m}^2$ de surface de condensateur est dans un premier temps pré-cyclée par 1000 cycles à $4.8\text{V}/2\mu\text{s}$, toujours dans le but de stabiliser les performances ferroélectriques du dispositif. Ensuite, plusieurs distributions d'états sont reconstituées à différentes tensions d'opérations globales, *i.e.* tension de programmation et de lecture, au contraire de la figure 4.23 où une tension de lecture de 4.8V est conservée. La tension minimum explorée est fixée à 2.5V pour rester supérieure au champ coercitif du matériau de $2\text{MV}/\text{cm}$ mesuré sur dispositif élémentaire 1T-1C à la figure 4.8.

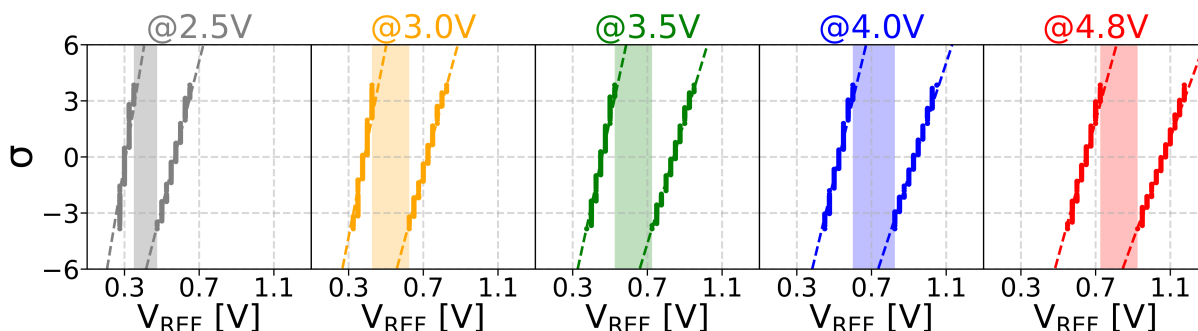


FIGURE 4.27 – Distributions des états 0 et 1 pour une matrice de $0.36\mu\text{m}^2$ de surface de condensateur mesurées à cinq tensions d'opérations. Les zones de couleur mettent en évidence la fenêtre mémoire à l'échelle de la 16kbit .

La figure 4.27 démontre que la fenêtre mémoire reste ouverte à l'échelle de la 16kbit même à 2.5V de tension d'opération globale. Toutes les distributions suivent des lois normales, ce qui permet d'effectuer une régression linéaire en pointillés. On observe également qu'il n'y a pas de détérioration drastique des pentes de ces distributions. Les distributions dérivent vers des tensions plus faibles en accord avec les équations 4.5 où la partie diélectrique dépend de la tension de lecture V_{SL} . La fenêtre mémoire à 2.5V est significativement plus faible que celle des autres tensions, bien que cette tension d'opération soit supérieure à la tension coercitive. La figure 4.28 (a) est un cycle d'hystérésis mesuré par un signal PUND à 10kHz pour les mêmes valeurs de tensions d'opération sur un dispositif 1T-1C unitaire de $0.16\mu\text{m}^2$ de surface de condensateur, surface disponible la plus proche de celle de la matrice 16kbit . Ces mesures sont acquises après 1000 cycles de wake-up à $4.8\text{V}/2\mu\text{s}$ pour être dans la même condition de pré-cyclage que les distributions de la figure 4.27. La

polarisation rémanente dépend ici de la tension maximale du PUND bien que ces tensions soient supérieures au champ coercitif du matériau. Cela s’explique par le fait que le champ coercitif représente la valeur médiane de la fonction de répartition des champs coercitifs de tous les domaines. Ainsi, la polarisation rémanente n’est pas maximale à cette tension, mais continuera d’augmenter pour des tensions supérieures jusqu’à saturation. Il est ainsi préférable, pour maximiser la polarisation rémanente, d’opérer des champs électriques de $2E_C$. Cela était déjà conseillé lors du fonctionnement pratique des mémoires conventionnelles à base de PZT pour prendre en compte la distribution des champs coercitifs mais également pour anticiper la présence d’interfaces non-ferroélectriques écrantant le champ électrique appliqué [118–120].

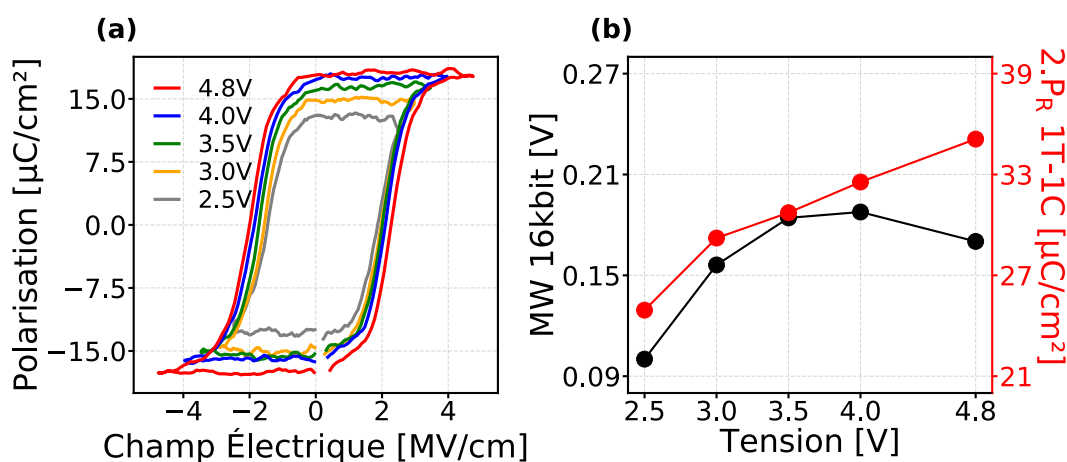


FIGURE 4.28 – (a) Cycles d’hystérésis d’une structure unitaire 1T-1C de $0.16\mu\text{m}^2$ mesurés après 1000 cycles de wake-up à $4.8\text{V}/2\mu\text{s}$ par un signal PUND à 10kHz aux cinq tensions présentées en figure 4.27. (b) Fenêtres mémoire extraites de la figure 4.27 comparées à la polarisation rémanente mesurée sur dispositif 1T-1C unitaire.

La figure 4.28 (b) compare alors les valeurs de polarisation rémanente de la figure (a) avec la fenêtre mémoire à l’échelle de la 16kbit obtenue à la figure 4.27. Ces deux métriques évoluent de concert jusque 4.0V , mais on observe une divergence pour le point à 4.8V , où la fenêtre mémoire n’augmente plus sur la matrice 16kbit. Celle-ci a même tendance à diminuer à 4.8V de tension d’opération, ce qui ne s’explique pas par la saturation de la polarisation rémanente. Un mécanisme, sans lien avec la ferroélectricité du matériau mais plutôt lié au circuit en lui-même, est proposé à la section 4.6.3 pour comprendre cette différence entre le dispositif unitaire et la matrice 16kbit.

4.6.2 Variation de la surface du point mémoire

Chaque puce de la plaque comprend la matrice dont les condensateurs font $0.36\mu\text{m}^2$ de surface, que ce soit avec ou sans Source Followers, mais aussi ces même circuits avec deux surfaces de condensateur différentes. Il est ainsi possible d’évaluer, sur une même puce et donc en négligeant une possible variabilité à l’échelle de la plaque, l’impact de la variation de surface sur le fonctionnement de la matrice FeRAM. Trois surfaces de condensateurs sont caractérisées : $0.36\mu\text{m}^2$, $0.24\mu\text{m}^2$ et $0.16\mu\text{m}^2$. Dans un premier temps, les distributions

d'états sont reconstituées de la même façon que pour la figure 4.16. Après avoir effectué 1000 cycles de wake-up ferroélectrique à $4.8\text{V}/2\mu\text{s}$, la méthodologie par incrément de V_{REF} est appliquée à $4.8\text{V}/2\mu\text{s}$.

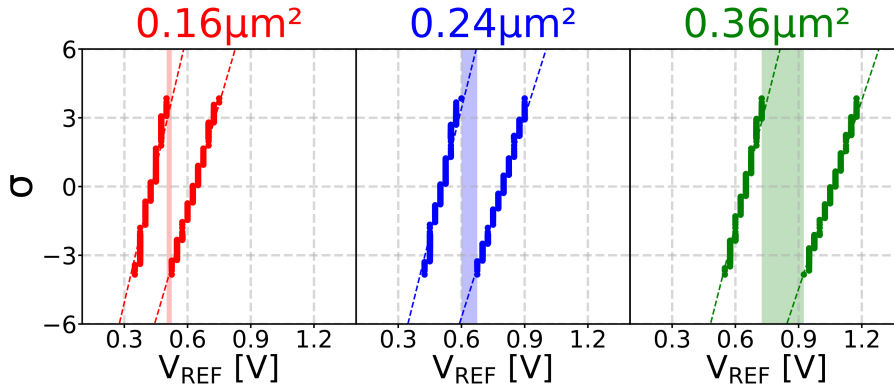


FIGURE 4.29 – Reconstruction des distributions d'états pour les trois surfaces de condensateur d'une même puce après 1000 cycles de wake-up à $4.8\text{V}/2\mu\text{s}$. Les opérations d'écriture et de lecture sont également des pulses de $4.8\text{V}/2\mu\text{s}$. Les zones de couleur mettent en évidence la fenêtre mémoire à l'échelle de la 16kbit.

La figure 4.29 met en évidence la réduction de la fenêtre mémoire avec la diminution de la surface du condensateur. À circuit constant, *i.e.* à C_{BL} fixe, la diminution des charges ferroélectriques tend à atténuer la fenêtre mémoire comme définit par l'équation 4.6. De plus, la capacité diélectrique C_d diminuant avec la surface, les deux distributions dérivent vers des tensions plus faibles, *cf.* équation 4.5. Sur la figure 4.29, la fenêtre mémoire expérimentale est complètement ouverte même pour la surface la plus faible de $0.16\mu\text{m}^2$. Dans ce cas, à la tension d'opération de 4.8V , la MW expérimentale est de 25mV , soit la valeur d'incrément de V_{REF} . Expérimentalement, il est donc possible d'utiliser, pour ces conditions d'opérations, un unique V_{REF} discriminant les deux états. Pour ne pas être limité par la discrétisation des distributions, les valeurs de MW reportées dans la suite de ce chapitre se basent sur les régressions linéaires de chaque distribution, toutes les distributions suivant une loi normale.

Les distributions d'états des deux surfaces complémentaires ont ensuite été mesurées aux mêmes tensions d'opérations que pour la figure 4.27. La figure 4.30 représente la fenêtre mémoire extrapolée par régression linéaire des distributions. Pour ces deux surfaces, on observe clairement l'augmentation de la fenêtre mémoire avec l'augmentation initiale des tensions d'opérations. Cependant, un maximum est atteint, *i.e.* à 4.0V , 3.5V et 3.0V pour les surfaces $0.36\mu\text{m}^2$, $0.24\mu\text{m}^2$ et $0.16\mu\text{m}^2$ respectivement, puis la MW à tension d'opération plus élevée diminue. Ce phénomène est commun aux trois surfaces et ne corrèle pas avec la réponse ferroélectrique aux différentes tensions d'opérations présentée à la figure 4.28 (b). De plus, pour la surface de $0.16\mu\text{m}^2$, la fenêtre mémoire obtenue via régression linéaire est alors nulle voir négative en fonction de la tension d'opération, ce qui ne permet pas d'utiliser cette surface de condensateur dans une matrice de façon nominale, avec un seul V_{REF} pour distinguer les états de toutes les bitcells. Ces phénomènes ne s'expliquent pas au travers du comportement ferroélectrique du matériau. Il est

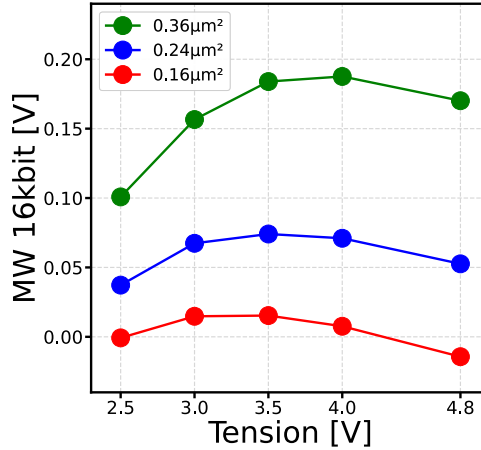


FIGURE 4.30 – Fenêtre mémoire en fonction de la surface du condensateur du point mémoire et de la tension d’opération. La valeur représentée est extrapolée depuis les régressions linéaires des distributions expérimentales discrètes pour ne pas être impacté par la résolution de 25mV de V_{REF} .

cependant possible que ce soit le résultat d’un artéfact de mesure du circuit lui même, hypothèse que nous nous proposons d’étudier dans la section suivante.

4.6.3 Correction du gradient de C_{BL} induit par le circuit

La figure 4.17 présentait la variation spatiale de ΔV_{REF} et démontrait une très bonne homogénéité de la fenêtre mémoire. Cette valeur n’est représentative que du comportement ferroélectrique du matériau, ce qui pourrait masquer les variations spatiales de certains paramètres de V_{BL}^0 ou V_{BL}^1 pris indépendamment. La figure 4.31 (a) présente alors la répartition spatiale de l’état 0, *i.e.* V_{BL}^0 , pour une matrice de $0.36\mu\text{m}^2$ de surface de condensateur mesurée à $4.8\text{V}/2\mu\text{s}$. On observe alors clairement un gradient de V_{BL}^0 le long des BL. Cet effet est présent pour les trois surfaces, à toutes les tensions d’opérations utilisées dans la section 4.6.2.

Au regard de l’équation 4.5 décrivant V_{BL}^0 , plusieurs hypothèses sont possibles. La première est que la tension du pulse de lecture V_{SL} se dégrade par effet capacitif en fonction de la distance entre l’origine du pulse et la BL. En considérant la tension maximum $V_{\text{BL}}^0 = 0.72\text{V}$ de la figure 4.31 (a), correspondant à un pulse effectif de 4.8V , et $V_{\text{BL}}^0 = 0.56\text{V}$ la tension minimum mesurée, correspondant à une chute de tension maximale sur la BL la plus éloignée de la source, on obtient un écart relatif de 22%. Cet écart correspond à une chute de potentiel de 1.06V d’après l’équation 4.5. Outre le fait que cette chute de potentiel dans une ligne métallique est considérable dans un circuit de cette dimension, il est indéniable qu’elle aurait eu un impact notable sur l’endurance de la matrice et sur la localisation des condensateurs en Soft et Hard Breakdown, *cf.* figure 4.26. De plus, nous avons observé à la figure 4.28 que la quantité de domaines ferroélectriques retournés, *i.e.* $2.P_{\text{R}}$, décroît lorsque la tension d’opération diminue. On devrait alors observer un gradient sur la valeur ΔV_{REF} de la figure 4.17, ce qui n’est pas le cas. Au regard de ces observations, on en déduit que l’hypothèse d’une chute de tension le long des lignes n’est

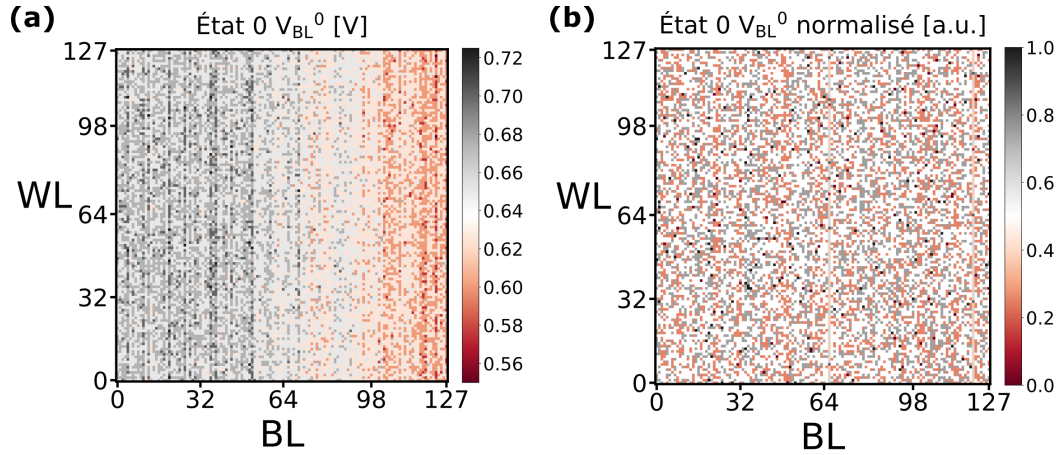


FIGURE 4.31 – (a) Bitmap de V_{BL}^0 présentant un gradient horizontal pour le cas d'une matrice de $0.36\mu\text{m}^2$ de surface de condensateur mesurée à $4.8\text{V}/2\mu\text{s}$. (b) Bitmap équivalente après correction mathématique permettant de supprimer le gradient horizontal.

pas valable.

La seconde hypothèse repose sur la variation de la capacité diélectrique du condensateur, *i.e.* variation de la constante diélectrique, de la surface ou de l'épaisseur du HfO_2 . De la même manière, la variation d'épaisseur serait visible sur la mesure de l'endurance étant donné le nombre important de condensateurs mesurés. Il n'est pas impossible d'avoir une variation de surface ou de phase cristalline à l'échelle de la plaque, *e.g.* un effet centre-bord induit lors du dépôt du HfO_2 ou une non uniformité du recuit conduisant à une variation spatiale de phase orthorhombique. Cependant, le gradient de la figure 4.31 (a) est présent dans toutes les matrices testées, toujours selon la même direction, qu'importe leur localisation sur la plaque. On en déduit que cet effet ne peut provenir des condensateurs en eux-mêmes, mais est lié au circuit.

La dernière hypothèse liée au circuit se base sur le dernier paramètre de l'équation 4.5 : C_{BL} . Cette valeur représente la capacité de la ligne métallique de la BL. On se propose de corriger mathématiquement ce gradient dans le but d'obtenir les performances réelles du point mémoire, *i.e.* indépendamment du circuit. En se basant sur les caractérisations de la figure 4.30, la valeur médiane par WL est soustraite aux 128 valeurs de V_{BL} , et ce WL par WL. Cela permet de corriger le gradient horizontal comme présenté en figure 4.31 (b).

Cette méthode est appliquée pour les trois surfaces aux différentes tensions d'opération et la MW extrapolée est reportée sur la figure 4.32 au côté des données expérimentales précédentes. On constate alors que les MW à tensions élevées augmentent pour les trois surfaces et tendent à saturer, ce qui est plus en accord avec le comportement ferroélectrique présenté à la figure 4.28. Notons cependant que cette correction mathématique n'est pas suffisante pour expliquer d'une part la baisse de MW à 4.8V pour la surface de $0.16\mu\text{m}^2$ et d'autre part la diminution de cette fenêtre mémoire à tension faible pour les surfaces de $0.36\mu\text{m}^2$ et $0.24\mu\text{m}^2$. Le comportement ferroélectrique mesuré sur dispositif unitaire à la figure 4.28 n'est donc pas fidèlement reproduit au sein de la matrice 16kbit. Des caractérisations complémentaires ainsi que des simulations du design seraient nécessaires

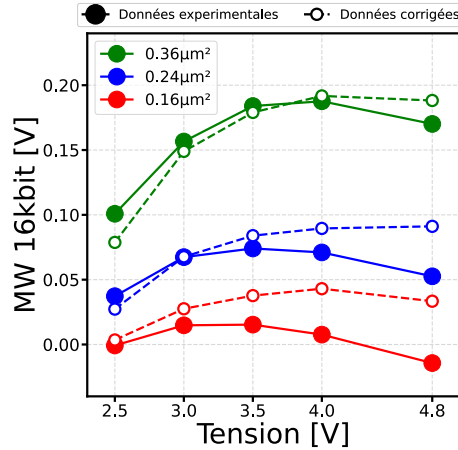


FIGURE 4.32 – Fenêtre mémoire en fonction de la surface du condensateur du point mémoire et de la tension d’opération avec et sans correction du gradient horizontal. La valeur représentée est extrapolée depuis les régressions linéaires des distributions expérimentales discrètes.

pour correctement expliquer ce phénomène.

4.6.4 Projection de la fenêtre mémoire et de la consommation

Les sections précédentes mettent en avant l’importance du circuit lui-même vis-à-vis du fonctionnement d’une matrice FeRAM. Il n’est pas suffisant d’intégrer un condensateur ferroélectrique très performant, il faut que le paramètre C_{BL} soit judicieusement contrôlé. Mais si aucune extraction post-layout n’a été effectuée pour extraire par simulation la valeur de la capacité C_{BL} , il est toutefois possible d’extrapoler sa valeur de l’ordre de quelques centaines de fF. De plus, il reste possible, au moyen de quelques hypothèses, d’extraire cette valeur clef depuis les mesures expérimentales. Nous considérons alors une couche de HfO_2 de 10nm d’épaisseur et de constante diélectrique $\epsilon_r = 30$. La polarisation rémanente est fixée à $2 \cdot P_R = 35 \mu C/cm^2$ d’après les valeurs de la figure 4.8 après 1000 cycles de wake-up à 4.8V/2µs pour la puce considérée.

La figure 4.33 donne alors la MW en fonction de la surface du condensateur et de la valeur de C_{BL} . En y représentant les résultats expérimentaux pour les trois surfaces mesurées à 4.8V, on en déduit que le C_{BL} expérimental est de 280fF, en accord avec l’ordre de grandeur proposé par le laboratoire design. Cette valeur est cohérente avec le 250fF utilisé précédemment et proposé par J. Okuno [66, 116] au même nœud technologique 130nm.

Cette figure présente aussi l’intérêt de projeter les performances de la technologie FeRAM vers des nœuds technologiques plus avancés et/ou des surfaces de condensateur ferroélectrique plus faibles. Les isolignes de MW démontrent que l’on peut conserver une fenêtre mémoire constante tout en réduisant la surface du condensateur en diminuant de concert la capacité de la BL. Cela est d’autant plus pertinent qu’accéder à des nœuds technologiques plus avancés permet de diminuer C_{BL} et s’accompagne généralement d’une volonté de diminuer également la taille du point mémoire, et donc la surface du conden-

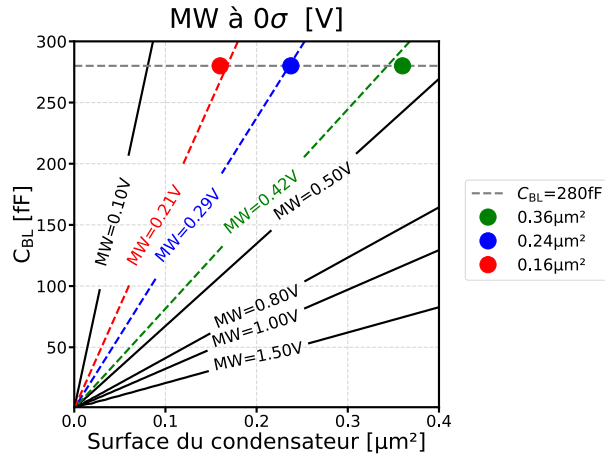


FIGURE 4.33 – Simulation, selon l'équation 4.6, de la fenêtre mémoire en fonction de la surface du condensateur et de C_{BL} en considérant 10nm de HfO_2 de constante diélectrique $\epsilon_r = 30$ et $2.P_R = 35\mu C/cm^2$. Les valeurs expérimentales sont représentées par les points de couleur et permettent d'extraire C_{BL} pour ce circuit.

sateur. J. Okuno propose par exemple un C_{BL} de 120fF au nœud 40nm [66, 116], ce qui permet d'après la figure 4.33 de conserver une fenêtre mémoire de 420mV, comme pour le condensateur de $0.36\mu m^2$ au nœud 130nm, mais pour un condensateur de $0.15\mu m^2$. La technologie FeRAM n'est donc pas directement limitée par le dimensionnement du composant actif, *i.e.* du condensateur ferroélectrique, et s'avère prometteuse pour de futures intégrations à nœuds technologiques agressifs.

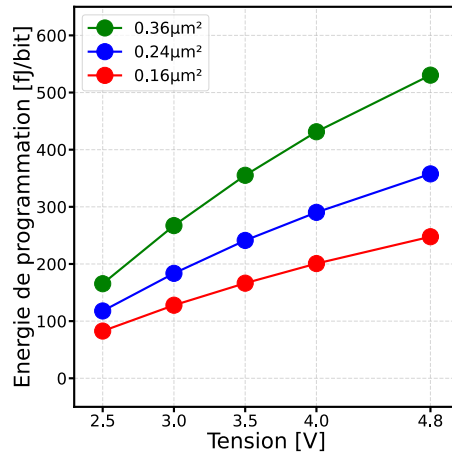


FIGURE 4.34 – Énergie de programmation d'un bit en fonction de la tension de programmation pour les trois surfaces considérées.

Un autre avantage de la technologie FeRAM est que l'opération de lecture n'est pas basée sur une mesure de résistance, c'est-à-dire qu'aucun courant ne traverse le condensateur et donc que la consommation énergétique est faible, au contraire des technologies Flash, OxRAM ou PCRAM. En ayant déterminé la valeur de C_{BL} , on peut calculer l'énergie nécessaire à la programmation du condensateur ferroélectrique telle que

$E = 2 \cdot P_R \cdot S \cdot V_{\text{prog}} = \Delta V_{\text{REF},0\sigma} \cdot (C_d + C_{\text{BL}}) \cdot V_{\text{prog}}$. En considérant les mêmes hypothèses que pour la figure 4.33 précédente, l'énergie de programmation par bit mémoire est représentée à la figure 4.34 en fonction des tensions de programmation et pour les trois surfaces considérées. L'énergie est alors, pour toutes les surfaces, de l'ordre de la centaine de fJ/bit et atteint au maximum 530fJ/bit pour le cas du condensateur possédant la plus grande surface et soumis à un pulse de programmation de 4.8V. L'énergie nécessaire à la programmation atteint même 83fJ/bit pour un condensateur de $0.16\mu\text{m}^2$ de surface à 2.5V, ce qui est inférieur de plusieurs ordres de grandeur à l'énergie nécessaire pour une Flash (200pJ/bit), une OxRAM (100pJ/bit) ou une PCRAM (300pJ/bit), valeurs tirées du benchmark réalisé dans le cadre du projet 3εFERRO. De plus, cette énergie, dans le cas des FeRAM, va aller décroissante avec les nœuds technologiques plus avancés. Pour finir, nous pouvons évoquer la possibilité de réaliser une intégration en 3D du condensateur ferroélectrique. On peut notamment citer les travaux de P. Polakowski qui obtient une polarisation rémanente de $2 \cdot P_R = 150\mu\text{C}/\text{cm}^2$ dans le cas d'un condensateur 3D [121]. Cette structure permet d'augmenter drastiquement la polarisation ferroélectrique et ainsi d'accroître grandement la fenêtre mémoire. Également, un design 2T2C permet une lecture différentielle supprimant la tension de référence dans le circuit de lecture du SA, rendant l'architecture bien plus robuste au wake-up et à la fatigue [122].

Conclusions du chapitre 4

Le chapitre 4 a présenté les résultats obtenus sur des matrices 16kbit 1T-1C FeRAM à base de HfO_2 dopé silicium par implantation ionique. Le fonctionnement de ce type de point mémoire, reposant sur le retournement ou non des domaines ferroélectriques, a été explicité dans le cas d'un environnement matriciel spécifique aux FeRAM. L'opération de lecture induit une élévation de la tension V_{BL} qui peut prendre deux valeurs en fonction de l'état programmé. Le circuit utilisé dans ce manuscrit met à profit un Sense Amplifier pour distinguer ces deux états en fonction de la valeur de sa tension de référence V_{REF} .

La description détaillée du circuit et du système de mesure a mis en avant les problématiques de la caractérisation de la matrice. Un ensemble complexe de 25 plots de contacts et de plusieurs blocs internes au circuit ont été pilotés pour permettre d'écrire et de lire les points mémoire de la matrice 16kbit. Pour ce faire, le fonctionnement des différents blocs, *i.e.* Scan Chain, Source Followers et Pulse Generators, a été au préalable vérifié.

En appliquant une méthodologie originale, les distributions des états ont été mesurées et analysées. Les distributions suivent une loi normale et la fenêtre mémoire est suffisante pour obtenir une lecture sans aucune erreur à l'échelle d'une matrice 16kbit de $0.36\mu\text{m}^2$ de surface de condensateur soumise à des pulses de $4.8\text{V}/2\mu\text{s}$. Ces distributions établissent $V_{\text{REF}} = 0.85\text{V}$ comme tension de référence à utiliser de façon nominale pour cette surface de condensateur et ces conditions d'opérations, ce qui permet de caractériser la tenue en température et la rétention de l'information des points mémoire. Ainsi, les distributions d'états dérivent de façon négligeable jusqu'à 10^4s à 125°C et aucune erreur de lecture n'est obtenue après trois stress en température simulant un reflow soldering, démontrant la compatibilité de la technologie avec le procédé industriel de SMT.

Les pulses generators internes au circuit ont permis de caractériser la cinétique de programmation de cette mémoire, et démontrent qu'un pulse de 10ns à 4.0V est capable de programmer la matrice dans les deux états mémoire sans aucun bitfail. Cependant, tous les pulses de 520ps s'avèrent inefficaces, même dans les conditions de lecture les plus avantageuses, ce qui pourrait représenter une véritable limite pour la technologie FeRAM. Suite à la caractérisation de la cinétique de programmation, un pulse de 41ns à 4.0V a été utilisé pour cycler une nouvelle matrice 16kbit complète jusque 10^7 cycles. En réalisant la mesure à plusieurs V_{REF} , le phénomène de wake-up et de fatigue ferroélectrique est clairement mis en évidence au sein de la matrice. Au vu de l'endurance de l'état 0, les points mémoire ont été fonctionnels jusqu'à 10^6 cycles, après quoi une faible proportion a commencé à subir un claquage diélectrique partiel (SBD) ou complet (HBD). Les distributions d'états après endurance ont confirmé ce point, tout en démontrant que le claquage diélectrique ne s'opère pas dans une zone spécifique de la matrice mais est uniformément réparti.

Par la suite, l'influence de la tension d'opération et de la surface du condensateur a été évaluée, permettant de mettre en évidence un comportement de la matrice 16kbit divergeant d'un comportement ferroélectrique. En effet, la polarisation rémanente augmente progressivement, jusqu'à atteindre saturation, lors de l'augmentation de l'amplitude du pulse de tension. Cela devrait se traduire de la même façon au sein de la matrice pour la fenêtre mémoire. La diminution de la fenêtre mémoire à tension élevée qui a été observée

s'est vue en partie expliquée par la présence d'un gradient vertical le long des BL. Ce gradient, proposé en lien avec un gradient de C_{BL} , a été mathématiquement pris en compte pour mettre en évidence la fenêtre mémoire intrinsèque de la matrice.

Enfin, la fenêtre mémoire a été simulée en fonction de C_{BL} et de la surface du condensateur ferroélectrique. La capacité de la BL de 280fF a pu être extraite et s'avère cohérente avec la littérature pour le nœud technologique 130nm. Cette valeur est calculée en considérant la valeur à 0σ de la fenêtre mémoire et représente donc la valeur médiane dans le circuit, sans prendre en compte le gradient observé. L'énergie nécessaire à la programmation d'un état est calculée et ne dépasse pas les 600fJ/bit. Celle-ci descend même jusqu'à 83fJ/bit pour la plus petite surface considérée. Ces deux métriques, la fenêtre mémoire et la consommation énergétique, sont en partie liées au nœud technologique considéré. Un nœud plus agressif permettra à l'avenir la diminution de C_{BL} , ce qui ne fera qu'augmenter la fenêtre mémoire ou encore permettra l'utilisation de condensateurs ferroélectriques de plus faible dimensions, ce qui diminuera l'énergie de programmation. Dans les deux cas, cela s'accompagnera d'une diminution de la consommation énergétique.

Conclusions et perspectives

Les matériaux ferroélectriques conventionnels, comme le PZT ou le BaTiO₃, sont limités au nœud technologique 130nm pour des applications mémoire depuis le début des années 2000. Cette limitation est due à l'épaisseur du diélectrique ou encore leur faible compatibilité avec les procédés CMOS. À cette même période, l'oxyde d'hafnium commence à être intégré dans l'oxyde de grille des MOSFET, démontrant ainsi une bonne compatibilité avec les procédés de fabrication ce qui permet la poursuite de la miniaturisation de la technologie CMOS. En 2011, la découverte de la propriété ferroélectrique de l'oxyde d'hafnium est annonciatrice du renouveau des mémoires ferroélectriques. De nombreux groupes de recherche ont travaillé sur les procédés de fabrication permettant l'obtention de la phase orthorhombique de l'oxyde d'hafnium responsable de la ferroélectricité ainsi que sur les métriques de la ferroélectricité : polarisation rémanente et champ coercitif.

Dans ce contexte, cette thèse a comme premier objectif d'optimiser un matériau à base de HfO₂ pour des applications de mémoires ferroélectriques puis de tendre vers un niveau de maturité supérieur, jusqu'à un circuit mémoire en environnement matriciel. Dans cette optique, les performances ferroélectriques de deux matériaux sont analysées : le Hf_{0.5}Zr_{0.5}O₂, fabriqué par NaMLab gGmbH dans le cadre d'une collaboration au sein du projet européen 3εFERRO, et le HfO₂ dopé silicium, réalisé au CEA-LETI. Des condensateurs de 10 000µm² sont fabriqués et caractérisés électriquement. Ces structures, peu coûteuses et rapides à fabriquer, permettent d'évaluer l'impact de différentes variantes technologiques. Il est alors démontré que le Hf_{0.5}Zr_{0.5}O₂ possède des propriétés ferroélectriques pour des budgets thermiques compris entre 350°C et 550°C. Ces températures s'avèrent compatibles avec l'intégration en BEOL, *i.e.* elles sont suffisamment faibles pour ne pas endommager les niveaux FEOL et ne pas dégrader les performances des transistors. De plus, ce matériau présente une excellente efficacité de programmation, un pulse de tension de 30ns de plateau permettant le retournement de 90% des domaines ferroélectriques. Également, une endurance de plus de 10⁸ cycles est mesurée, sans être au détriment de la polarisation rémanente.

Une analyse similaire est ensuite réalisée sur le HfO₂ dopé silicium dans le but d'évaluer sa compatibilité avec l'intégration BEOL. Ce matériau peut être fabriqué suivant plusieurs procédés. Nous nous sommes concentrés spécifiquement sur le dopage in-situ lors du dépôt ALD et sur le dopage par implantation ionique de silicium. Cette seconde technique n'a démontré que récemment son intérêt pour la réalisation de HfO₂ ferroélectrique. Il est démontré que le dopage optimal est de 1.2% dans le cas de l'implantation ionique, alors qu'il est significativement plus important lors d'un dopage in-situ lors du dépôt ALD, ce qui peut s'expliquer par l'énergie apportée par cette technique de dopage

en elle-même. Ces deux techniques de dopage démontrent par la suite des performances similaires, que ce soit en termes de polarisation ferroélectrique mais également en termes d'endurance ou en rapidité de programmation. En caractérisant ces dispositifs avec des pulses de tension d'amplitudes et de durées variables, il est également mis en évidence le rôle des conditions électriques. Le comportement ferroélectrique, la vitesse de programmation et la fiabilité du diélectrique sont étroitement liés aux signaux de programmation. Un compromis doit être systématiquement à trouvé entre polarisation rémanente, *i.e.* fenêtre mémoire, et endurance. La forme du signal est déterminante, *e.g.* un pulse carré favorisant l'augmentation de la polarisation rémanente, mais cela au détriment de l'endurance. Au même titre, l'augmentation de l'amplitude du pulse de tension a un impact positif sur ce même paramètre ferroélectrique, ainsi que sur l'efficacité de commutation, tout en dégradant la fiabilité du dispositif.

Le chapitre 2 se conclut sur la démonstration de la compatibilité du HfO_2 dopé silicium avec l'intégration BEOL en réalisant un condensateur ferroélectrique dopé silicium et recuit à une température de 500°C . Pour remplacer ce recuit de cristallisation, l'intérêt de la technique de recuit par pulse laser est vérifié. Cette technique présente l'avantage d'induire une haute température en surface du composant tout en conservant les niveaux inférieurs à basse température, permettant ainsi de ne pas modifier le budget thermique de FEOL. Il est alors possible d'atteindre, au niveau de l'oxyde d'hafnium, des températures de plus de 1000°C sans dégrader les niveaux inférieurs, ce qui est favorable à la formation de la phase orthorhombique. L'efficacité du recuit laser pour favoriser la cristallisation de la phase ferroélectrique de l'oxyde d'hafnium est alors démontrée, ainsi qu'un effet cumulatif de ces impulsions. En outre, le pourcentage optimal de silicium incorporé par implantation ionique décroît à 0.5% lors de l'utilisation de cette technique de recuit contre 1.2% lors d'un recuit standard à 750°C . Si cette technique de recuit s'avère prometteuse et représente une alternative technologique, il faut encore consolider ces résultats dans le cadre d'une intégration complète avec un cœur CMOS.

Le chapitre 3 s'intéresse à la caractérisation de condensateurs à base de HfO_2 intégrés, pour la première fois, entre le Métal 4 et le Métal 5 des niveaux BEOL d'un nœud technologique 130nm. Cette étape représente une montée en maturité de la technologie, une co-intégration avec des transistors en FEOL et une miniaturisation importante du point mémoire permettant d'aller vers la fabrication d'une matrice mémoire complète. En effet, les condensateurs de $10\,000\mu\text{m}^2$ du chapitre 2 ne sauraient être intégrés dans une matrice mémoire. Ainsi, le chapitre 3 se concentre sur des condensateurs de 600nm à 300nm de diamètre. Ces structures de faibles dimensions s'avèrent tout autant ferroélectriques, bien que leur caractérisation électrique représente un plus grand défi du fait des faibles niveaux de courant mis en jeu. Le $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ démontre une meilleure fiabilité que le HfO_2 dopé silicium, avec une extrapolation à 10^{15} et 10^{12} cycles (2V/100kHz) respectivement.

Toutefois, la grande variabilité puce à puce des dispositifs $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ au sein d'une même plaque rend délicate les études plus avancées sur ce matériau. La suite du manuscrit se focalise alors sur le HfO_2 dopé silicium. L'influence de l'espacement entre condensateurs ferroélectriques à base de ce matériau est ensuite étudiée à travers deux structures comprenant des condensateurs en parallèle, espacés soit de $1.5\mu\text{m}$, soit de $3.0\mu\text{m}$. Cette structure simule de ce fait un environnement matriciel plus ou moins dense. Il est apparu durant cette étude que la correction de type PUND présente des artefacts d'analyses pouvant

gommer certains signaux de nature ferroélectrique. Une nouvelle méthodologie d'analyse est alors mise en place. Elle est basée sur l'extraction des paramètres des pics ferroélectriques et leur modélisation par des distributions Lorentziennes, et démontre que l'espacement des condensateurs n'influe pas sur la polarisation rémanente, *i.e.* sur la proportion de phase orthorhombique. En revanche, ces deux structures présentent un environnement électrostatique significativement différent, ce qui modifie le champ de retournement de certaines familles de domaines ferroélectriques. Cet environnement électrostatique peut être attribué à la présence de charges introduites lors de la gravure plasma.

Si le chapitre 3 présente une première montée en maturité, le chapitre 4 en est une seconde et représente l'objectif final de ce travail de thèse, à savoir la caractérisation d'une matrice mémoire ferroélectrique FeRAM, basée sur une architecture 1T-1C. Des condensateurs à base de HfO_2 dopé silicium, similaires en surface et en procédé de fabrication à ceux du chapitre 3, sont fabriqués au sein d'un circuit 16kbit. Celui-ci comprend un Sense Amplifier pour la lecture de l'état mémoire, des Scan Chains pour l'adressage et le pilotage logique, un circuit de Write-Back permettant de prendre en compte la nature destructive de l'opération de lecture d'une FeRAM mais aussi des Pulse Generators pour évaluer la rapidité de programmation des cellules mémoire. Pour la première fois, une matrice mémoire FeRAM est fabriquée en BEOL en utilisant de l'oxyde d'hafnium ferroélectrique. Dans un premier temps, la fonctionnalité de l'ensemble de ces circuits périphériques est vérifiée. La nature destructive de l'opération de lecture d'une mémoire FeRAM ainsi que l'utilisation d'un Sense Amplifier, dont la sortie est une donnée logique, rend impossible la mesure analogique directe de la fenêtre mémoire.

Il est alors mis en place une stratégie alternative indirecte pour reconstituer les distributions des états. Il est démontré que celles-ci suivent une loi normale et qu'il est possible de déterminer une valeur de référence unique du Sense Amplifier permettant une lecture sans aucune erreur à l'échelle de la matrice 16kbit de $0.36\mu\text{m}^2$ de surface de condensateur. De plus, les distributions des circuits comprenant des condensateurs de $0.24\mu\text{m}^2$ et $0.16\mu\text{m}^2$ de surface présentent une fenêtre mémoire non nulle, *i.e.* les distributions d'états sont totalement séparées à l'échelle de la matrice 16kbit. Sur la base de cette méthodologie, les performances de cette technologie sont analysées. Pour la première fois, l'endurance de condensateurs à base de HfO_2 est évaluée au sein d'un circuit mémoire et atteint 10^6 cycles à l'échelle de la matrice 16kbit, avant d'observer les premiers signes de la dégradation diélectrique des condensateurs. La rétention de l'information est mesurée jusqu'à 10^4s à 125°C , au moyen d'une méthodologie reconstituant partiellement les distributions d'états ce qui permet de démontrer la stabilité dans le temps des états programmés, ces distributions ne dérivant que faiblement. Après 10^4s à 125°C , une unique tension de référence du Sense Amplifier permet toujours de discriminer entièrement les deux états. Il est aussi démontré, pour la première fois, que les états programmés sont résilients à un reflow soldering, stress thermique important apparaissant lors de la mise en boîtier des puces sur les circuits imprimés. Au moyen des Pulse Generators internes du circuit, l'efficacité de programmation de la matrice par un pulse de tension carré est caractérisée pour les deux états mémoire. Un pulse de 10ns à une amplitude de 4V démontre une efficacité totale pour programmer la matrice à une tension de référence fixe du Sense Amplifier, pour les deux états. Cette vitesse est cohérente avec la littérature, où des pulses de 12ns ou 16ns sont utilisés. La tension de programmation est plus faible dans leur cas. Il n'est

cependant pas spécifié de tension de référence fixe pour le Sense Amplifier ni si la lecture concerne les deux états, informations nécessaires à la comparaison des résultats, comme il est démontré dans ce chapitre 4.

Pour finir, les paramètres principaux de la mémoire FeRAM permettant de maximiser la fenêtre mémoire sont simulés dans le but de projeter et d'anticiper les performances des futurs circuits. En effet, cette métrique dépend d'une part du condensateur, à savoir sa surface et sa polarisation rémanente, et d'autre part du nœud technologique auquel est réalisé le circuit, *i.e.* de la capacité de la BL. Cela met en évidence que l'optimisation d'un circuit FeRAM est loin d'être basée uniquement sur l'augmentation de la polarisation rémanente de ses condensateurs. La miniaturisation du condensateur doit s'accompagner du choix d'un nœud plus agressif, ce qui, à terme, est en accord avec la logique de densification des circuits mémoire. De la même façon, l'énergie nécessaire à la programmation d'un point mémoire est calculée. Celle-ci est alors inférieure à 100fJ/bit dans le cas d'un point mémoire comprenant un condensateur ferroélectrique de $0.16\mu\text{m}^2$ de surface pour une tension de programmation de 2.5V. Si cette énergie est d'ores et déjà de plusieurs ordres de grandeurs inférieure à celles des mémoires Flash ou d'autres mémoires non volatiles émergentes, elle peut encore diminuer grâce à la réduction de l'épaisseur de l'oxyde d'hafnium. En effet, si une faible surface de condensateur est primordiale pour la densité d'intégration, l'utilisation d'un matériau HfO_2 d'épaisseur inférieure à 10nm s'accompagne de la diminution des tensions d'opérations, donc de l'énergie de programmation du point mémoire. Si la fabrication de, par exemple, 5nm de HfO_2 n'est pas un défi en soit, c'est l'obtention de la phase cristalline orthorhombique à cette échelle qui l'est. En effet, celle-ci nécessite des températures de cristallisation plus importantes, non compatibles avec l'intégration en BEOL. Dans ce contexte, la technique de recuit laser se positionne comme une alternative technologique aux recuits standards, permettant d'atteindre des températures importantes en surface, tant que les couches inférieures ne sont pas dégradées.

Ce manuscrit de thèse porte donc sur la mise au point d'un circuit FeRAM à base de HfO_2 , depuis l'optimisation du procédé de fabrication de l'oxyde d'hafnium ferroélectrique, en particulier du HfO_2 dopé silicium par implantation ionique, jusqu'à l'obtention des distributions des états mémoire d'une matrice 16kbit. Cependant, bien des recherches restent à entreprendre pour aboutir, dans les prochaines années, à un produit industriel. Tout d'abord, force est de constater que l'optimisation des performances de l'oxyde d'hafnium ferroélectrique est loin d'être aboutie. En effet, lors du passage de condensateurs de $10\,000\mu\text{m}^2$ à ceux de dimensions submicrométriques, une augmentation de la polarisation ferroélectrique est observée. Ce constat est alors encourageant pour la fabrication suivante du circuit mémoire. Il reste cependant à comprendre l'origine de cette augmentation de phase orthorhombique lors de l'intégration dans le véhicule de test MAD du CEA-LETI pour mieux exploiter ce phénomène. Il apparaît comme primordial d'analyser systématiquement différentes variantes technologiques, en termes de recuit, de pourcentage de dopant ou encore d'épaisseur, lors de la mise en place d'une nouvelle intégration, d'une nouvelle technologie. Une meilleure compréhension de l'influence du stress mécanique, paramètre peu étudié dans la littérature de l'oxyde d'hafnium ferroélectrique, est nécessaire pour comparer plus justement des intégrations différentes et pour améliorer les performances des matériaux.

Parmi les alternatives de procédé de fabrication qui ont été présentées, le recuit laser présente un fort potentiel. Il est nécessaire d'évaluer son intérêt dans le cas d'une intégration complète, par exemple dans le cas de l'intégration MAD du CEA-LETI. Dans le cas d'une intégration encore plus agressive que le nœud 130nm de la technologie MAD, *e.g.* au nœud 22nm FDSOI, le point mémoire serait de plus en plus dense, la surface du condensateur diminuant ainsi et la valeur absolue de la charge ferroélectrique allant de pair. Nous avons alors vu que la solution, dans le cas d'une architecture 1T-1C, serait de correctement dimensionner la BL pour que sa capacité soit cohérente avec la charge ferroélectrique. Une alternative serait de réaliser un condensateur 3D, ce qui permet de conserver une forte densité surfacique de point mémoire tout en augmentant la valeur absolue de la charge ferroélectrique, en fonction du facteur de forme utilisé.

Les effets de wake-up et de fatigue, généralement liés à la présence de lacunes en oxygène, peuvent être limitants, la position du centre des distributions variant en fonction de la polarisation mais également en fonction du comportement diélectrique, *i.e.* de la variation de la proportion de phase en fonction du nombre de cycles. Nous avons vu que les variations de charge lors de la gravure plasma induisent une forte modification de l'environnement électrostatique. Un meilleur contrôle de ce phénomène peut être bénéfique à l'oxyde d'hafnium ferroélectrique en modifiant le champ coercitif effectif du matériau. Il est également possible de mettre en place des structures 2T-2C, où une cellule fait office de référence, ou encore d'effectuer un pré-conditionnement électrique au début de la vie du dispositif pour s'affranchir de la phase de wake-up. De la même façon, l'endurance reste à améliorer pour faire le lien avec les matériaux conventionnels, qui atteignent les 10^{15} cycles, *e.g.* pour un produit mémoire industrialisé par Infineon utilisant du PZT. Ce paramètre reste fortement dépendant des signaux électriques utilisés mais également de la présence des lacunes en oxygène. Si elles s'avèrent nécessaires à la formation de la phase orthorhombique, elles dégradent également la fiabilité du diélectrique.

L'avenir des mémoires ferroélectriques à base d'oxyde d'hafnium dépend autant de la stabilisation des métriques ferroélectriques que de la mise en place de circuits dédiés, pouvant répondre aux limitations des matériaux. Il est certain que les prochaines années seront déterminantes pour cette technologie. D'une part, les acteurs académiques progressent quant à la compréhension de la phase orthorhombique ferroélectrique, concernant sa formation et sa stabilisation. Ainsi, un matériau ferroélectrique à base d'oxyde d'hafnium couplant parfaitement ferroélectricité stable et fiabilité diélectrique pourra être fabriqué. D'autre part, les acteurs industriels, comme Sony ou Intel, commencent à intégrer ce matériau dans des circuits mémoire, démontrant ainsi des performances, que ce soit fenêtre mémoire, endurance ou rétention de l'information, à l'échelle de matrices et non plus de dispositifs unitaires. S'il reste différents défis à relever, il est indéniable que cette technologie se rapproche du monde industriel et de la commercialisation.

Abréviations

ALD = Atomic Layer Deposition
BE = Bottom Electrode
BEOL = Back-End-Of-Line
BL = Bit Line
CBD = Cycle-To-Breakdown
 C_{BL} = Capacité de la Bit Line
DDP = Différence de potentiel
DRAM = Dynamic Random Access Memory
 E_C = Champ coercitif
EDX = Energy dispersive X-ray
FeFET = Ferroelectric Field-Effect Transistor
FEOL = Front-End-Of-Line
FeRAM = Ferroelectric Random-Access Memory
FTJ = Ferroelectric Tunnel Junction
GIXRD = Grazing-Incidence X-Ray Diffraction
HSO = Oxyde d'hafnium dopé silicium
HZO = Alliage d'oxyde d'hafnium et de zirconium, *i.e.* $Hf_{0.5}Zr_{0.5}O_2$
MAD = Memory Advanced Demonstrator
MFM = Métal/Ferroélectrique/Métal
MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor
MRAM = Magnetic Random Access Memory
MW = Memory Window
NVM = Non-Volatile Memory
OxRAM = Metal Oxide Resistive Random Access Memory
PCRAM = Phase Change Random Access Memory
 $P_R, 2.P_R$ = Polarisation électrique rémanente
RRAM = Resistive Random Access Memory
SA = Sense Amplifier
SC = Scan Chain
SEM = Scanning Electron Microscope
SF = Source Follower
SL = Source Line
SMT = Surface-mount Technology
SRAM = Static Random Access Memory
TE = Top Electrode
PG = Pulse Generator

PUND = Positive Up Negative Down

PVD = Physical Vapor Depositon

V_{BL} = Tension de la BL

V_{REF} = Tension de référence du SA

WB = Write-Back

WL = Word Line

Bibliographie

- [1] J. Bardeen and W. H. Brattain, “The transistor, a semi-conductor triode,” *Physical Review*, vol. 74, no. 2, p. 230, 1948.
- [2] G. E. Moore, “Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp. 114 ff.,” *IEEE solid-state circuits society newsletter*, vol. 20, no. 3, pp. 33–35, 2006.
- [3] G. E. Moore, “Progress in digital integrated electronics [Technical literature, copyright 1975 IEEE. reprinted, with permission. technical digest. international electron devices meeting, IEEE, 1975, pp. 11-13.],” *IEEE Solid-State Circuits Society Newsletter*, vol. 20, no. 3, 2006.
- [4] W. Arden, M. Brillouët, P. Coge, M. Graef, B. Huizing, and R. Mahnkopf, “More-than-Moore White Paper,” *International Technology Roadmap for Semiconductors*, p. 31, 2005.
- [5] “Semiconductor market size, share & COVID-19 impact analysis, by components (Memory Devices, Logic Devices, Analog IC, MPU, Discrete Power Devices, MCU, Sensors and Others), by application (Networking & Communications, Data Processing, Industrial, Consumer Electronics, Automotive, Government) and Regional Forecast, 2021-2028.,” tech. rep., Fortune Business Insights, 2021.
- [6] “Microelectronics Market, by Software & Algorithm (Behavioral and Proactive), by Product (Lighting Control, Security and Access Control, Entertainment Control, HVAC Control, and Other Controls), by Vertical (Aerospace and Defense, Medical, Construction, Automotive, and Others), and by Region (North America, Europe, Asia Pacific, Latin America, Middle East, and Africa) - Size, Share, Outlook, and Opportunity Analysis, 2021 - 2028,” tech. rep., Coherent Market Insights, 2021.
- [7] “Semiconductor Memory Market Size, By Type (Static Random-access Memory (SRAM), Magneto-resistive Random-access Memory (MRAM), Dynamic Random-access Memory (DRAM), Flash Memory), By Application (Aerospace & Defense, Automotive, Consumer Electronics, Industrial, Medical, Telecommunications), COVID-19 Impact Analysis, Regional Outlook, Growth Potential, Price Trends, Competitive Market Share & Forecast, 2021 – 2027,” tech. rep., Global Market Insights, 2021.
- [8] “Status of the Memory Industry 2021,” tech. rep., Yole Développement, 2021.
- [9] A. Chen, “A review of emerging non-volatile memory (NVM) technologies and applications,” *Solid-State Electronics*, vol. 125, pp. 25–38, Nov. 2016.

- [10] R. H. Dennard, “Field-effect transistor memory,” June 1968.
- [11] “JEDEC DDR3 SDRAM Specification,” 2012.
- [12] R. H. Norman, “Solid state switching and memory apparatus,” Feb. 1971.
- [13] F. Masuoka and H. Iizuka, “Semiconductor memory device and method for manufacturing the same,” July 1985.
- [14] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro, and S. Tanaka, “A new flash E2PROM cell using triple polysilicon technology,” in *1984 International Electron Devices Meeting*, pp. 464–467, Dec. 1984.
- [15] F. Masuoka, M. Momodomi, Y. Iwata, and R. Shirota, “New ultra high density EPROM and flash EEPROM with NAND structure cell,” in *1987 International Electron Devices Meeting*, pp. 552–555, Dec. 1987.
- [16] “International Technology Roadmap For Semiconductors 2.0,” 2015.
- [17] G. Gay, *Nanocristaux pour les mémoires flash : multicouches, métalliques et organisés*. Thèse de doctorat, Université de Grenoble, 2012.
- [18] T. Windbacher, *Engineering gate stacks for field-effect transistors*. Thèse de doctorat, 2010.
- [19] M. Pesic, *Gate Stack Engineering for Emerging Polarization based Non-volatile Memories*. BoD – Books on Demand, July 2017. Google-Books-ID : QjQtDwAAQBAJ.
- [20] S. F. Müller, *Development of HfO₂-Based Ferroelectric Memories for Future CMOS Technology Nodes*. BoD – Books on Demand, Apr. 2016. Google-Books-ID : ZCT8CwAAQBAJ.
- [21] K. Kim, “Technology for sub-50nm DRAM and NAND flash manufacturing,” in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, pp. 323–326, Dec. 2005.
- [22] G. Molas, B. De Salvo, G. Ghibaudo, D. Mariolle, A. Toffoli, N. Buffet, R. Puglisi, S. Lombardo, and S. Deleonibus, “Single electron effects and structural effects in ultrascaled silicon nanocrystal floating-gate memories,” *IEEE Transactions on Nanotechnology*, vol. 3, pp. 42–48, Mar. 2004.
- [23] “International Roadmap for Devices and Systems, More Moore,” 2016.
- [24] J. Backus, “Can programming be liberated from the von Neumann style? a functional style and its algebra of programs,” *Commun. ACM*, vol. 21, pp. 613–641, Aug. 1978.
- [25] M. N. Baibich, J. M. Broto, A. Fert, F. N. Van Dau, F. Petroff, P. Etienne, G. Creuzet, A. Friederich, and J. Chazelas, “Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices,” *Phys. Rev. Lett.*, vol. 61, pp. 2472–2475, Nov. 1988.
- [26] G. Binasch, P. Grünberg, F. Saurenbach, and W. Zinn, “Enhanced magnetoresistance in layered magnetic structures with antiferromagnetic interlayer exchange,” *Phys. Rev. B*, vol. 39, pp. 4828–4830, Mar. 1989.

- [27] L. Courtade, *Développement, mécanismes de programmation et fiabilité de mémoires non volatiles à commutation de résistance MRAM et OxRRAM*. Thèse de doctorat, Université du Sud Toulon – Var, 2010.
- [28] K. C. Chun, H. Zhao, J. D. Harms, T.-H. Kim, J.-P. Wang, and C. H. Kim, “A Scaling Roadmap and Performance Evaluation of In-Plane and Perpendicular MTJ Based STT-MRAMs for High-Density Cache Memory,” *IEEE Journal of Solid-State Circuits*, vol. 48, pp. 598–610, Feb. 2013.
- [29] H.-C. Yu, K.-C. Lin, K.-F. Lin, C.-Y. Huang, Y.-D. Chih, T.-C. Ong, J. Chang, S. Natarajan, and L. C. Tran, “Cycling endurance optimization scheme for 1Mb STT-MRAM in 40nm technology,” in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 224–225, Feb. 2013.
- [30] S. R. Ovshinsky, “Reversible Electrical Switching Phenomena in Disordered Structures,” *Phys. Rev. Lett.*, vol. 21, pp. 1450–1453, Nov. 1968.
- [31] C. H. Sie, *Memory Cell using Bistable Resistivity in Amorphous As-Te-Ge FILM*. Thèse de doctorat, Iowa State University, 1969.
- [32] A. Pohm, C. Sie, R. Uttecht, V. Kao, and O. Agrawal, “Chalcogenide glass bistable resistivity (Ovonic) memories,” *IEEE Transactions on Magnetism*, vol. 6, pp. 592–592, Sept. 1970.
- [33] S. Souiki-Figuigui, *Etude de la fiabilité de mémoires PCRAM : analyse et optimisation de la stabilité des états programmés*. Thèse de doctorat, Université de Grenoble, 2015.
- [34] G. Navarro, *Reliability analysis of embedded Phase-Change Memories based on innovative materials*. Thèse de doctorat, 2014.
- [35] R. G. D. Jeyasingh, M. A. Caldwell, D. J. Milliron, and H.-S. P. Wong, “First demonstration of phase change memory device using solution processed GeTe nanoparticles,” in *2011 Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, pp. 99–102, Sept. 2011.
- [36] P. Nielsen and N. Bashara, “The reversible voltage-induced initial resistance in the negative resistance sandwich structure,” *IEEE Transactions on Electron Devices*, vol. 11, pp. 243–244, May 1964.
- [37] G. T. Kohraan and J. M. A. de Bruyne, “The migration of silver through and on the surface of insulating materials,” in *1954 Conference On Electrical Insulation*, pp. 55–56, Oct. 1954.
- [38] I. Baek, M. Lee, S. Seo, M. Lee, D. Seo, D.-S. Suh, J. Park, S. Park, H. Kim, I. Yoo, U.-I. Chung, and J. Moon, “Highly scalable nonvolatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses,” in *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.*, pp. 587–590, Dec. 2004.

- [39] C. Nail, *Investigation of hybrid CBRAM/OxRAM non-volatile memories for low consumption and high reliability*. Thèse de doctorat, Université Grenoble Alpes, Jan. 2018.
- [40] D. Garbin, *A variability study of PCM and OxRAM technologies for use as synapses in neuromorphic systems*. Thèse de doctorat, 2016.
- [41] J. Valasek, “Piezo-Electric and Allied Phenomena in Rochelle Salt,” *Phys. Rev.*, vol. 17, pp. 475–481, Apr. 1921.
- [42] E. Schrödinger, “Studien über Kinetik der Dielektrika, den Schmelzpunkt, Pyro- und Piezoelektrizität,” *Akademie der Wissenschaften in Wien*, 1912.
- [43] P. Weiss, “L’hypothèse du champ moléculaire et la propriété ferromagnétique,” *Journal de Physique Théorique et Appliquée*, vol. 6, no. 1, pp. 661–690, 1907.
- [44] G. Busch and P. Scherrer, “Eine neue seignette-elektrische Substanz,” *Naturwissenschaften*, vol. 23, pp. 737–737, Oct. 1935.
- [45] G. Busch, *Neue Seignette-Elektrika*. Thèse de doctorat, 1938.
- [46] T. Hans and D. James, “Insulating material,” Oct. 1947.
- [47] A. von Hippel, R. G. Breckenridge, F. G. Chesley, and L. Tisza, “High dielectric constant ceramics,” *Ind. Eng. Chem.*, vol. 38, pp. 1097–1109, Nov. 1946.
- [48] K. M. Rabe, M. Dawber, C. Lichtensteiger, C. H. Ahn, and J.-M. Triscone, “Modern Physics of Ferroelectrics : Essential Background,” in *Physics of Ferroelectrics*, vol. 105, pp. 1–30, Berlin, Heidelberg : Springer Berlin Heidelberg, 2007.
- [49] A. Devonshire, “XCVI. Theory of barium titanate,” *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science*, vol. 40, pp. 1040–1063, Oct. 1949.
- [50] E. Sawaguchi, G. Shirane, and Y. Takagi, “Phase Transition in Lead Zirconate,” *J. Phys. Soc. Jpn.*, vol. 6, pp. 333–339, Sept. 1951.
- [51] E. Sawaguchi, “Ferroelectricity versus Antiferroelectricity in the Solid Solutions of PbZrO₃ and PbTiO₃,” *J. Phys. Soc. Jpn.*, vol. 8, pp. 615–629, Sept. 1953.
- [52] D. A. Buck, *Ferroelectrics for Digital Information Storage and Switching*. Defense Technical Information Center, 1952. Google-Books-ID : ya0MHQAACAAJ.
- [53] S. Thakoor and A. P. Thakoor, “Optically addressed ferroelectric memory with nondestructive readout,” *Appl. Opt.*, vol. 34, p. 3136, June 1995.
- [54] T. Mikolajick, S. Slesazeck, M. H. Park, and U. Schroeder, “Ferroelectric hafnium oxide for ferroelectric random-access memories and ferroelectric field-effect transistors,” *MRS Bulletin*, vol. 43, pp. 340–346, May 2018.
- [55] H. McAdams, R. Acklin, T. Blake, X.-H. Du, J. Eliason, J. Fong, W. Kraus, D. Liu, S. Madan, T. Moise, S. Natarajan, N. Qian, Y. Qiu, K. Remack, J. Rodriguez, J. Roscher, A. Seshadri, and S. Summerfelt, “A 64-Mb embedded FRAM utilizing a 130-nm 5LM Cu/FSG logic process,” *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 667–677, Apr. 2004.

- [56] M. T. Bohr, R. S. Chau, T. Ghani, and K. Mistry, “The High-k Solution,” *IEEE Spectrum*, vol. 44, pp. 29–35, Oct. 2007.
- [57] T. S. Böske, J. Müller, D. Bräuhaus, U. Schröder, and U. Böttger, “Ferroelectricity in hafnium oxide thin films,” *Applied Physics Letters*, vol. 99, p. 102903, Sept. 2011.
- [58] D. B. Marshall, M. R. Jarnes, and J. R. Porter, “Structural and Mechanical Property Changes in Toughened Magnesia-Partially-Stabilized Zirconia at Low Temperatures,” *Journal of the American Ceramic Society*, vol. 72, no. 2, pp. 218–227, 1989.
- [59] E. H. Kisi and C. J. Howard, “Crystal Structures of Zirconia Phases and their Inter-Relation,” *Key Engineering Materials*, vol. 153-154, pp. 1–36, 1998.
- [60] E. H. Kisi, “Influence of Hydrostatic Pressure on the $t \rightarrow o$ Transformation in Mg-PSZ Studied by In Situ Neutron Diffraction,” *Journal of the American Ceramic Society*, vol. 81, no. 3, pp. 741–745, 1998.
- [61] S. Fujii and M. Saitoh, “Ferroelectric Tunnel Junction,” in *Ferroelectricity in Doped Hafnium Oxide : Materials, Properties and Devices*, pp. 437–449, Elsevier, 2019.
- [62] E. T. Breyer, H. Mulaosmanovic, T. Mikolajick, and S. Slesazek, “Reconfigurable NAND/NOR logic gates in 28 nm HKMG and 22 nm FD-SOI FeFET technology,” in *Electron Devices Meeting (IEDM), 2017 IEEE International*, pp. 28–5, IEEE, 2017.
- [63] R. Fontanini, J. Barbot, M. Segatto, S. Lancaster, Q. Duong, F. Driussi, L. Grenouillet, L. Triozon, J. Coignus, T. Mikolajick, S. Slesazek, and D. Esseni, “Interplay between charge trapping and polarization switching in BEOL-compatible bilayer Ferroelectric Tunnel Junctions,” *IEEE Journal of the Electron Devices Society*, pp. 1–1, 2022.
- [64] M. Trentzsch, S. Flachowsky, R. Richter, J. Paul, B. Reimer, D. Utess, S. Jansen, H. Mulaosmanovic, S. Müller, and S. Slesazek, “A 28nm HKMG super low power embedded NVM technology based on ferroelectric FETs,” in *Electron Devices Meeting (IEDM), 2016 IEEE International*, pp. 11–5, IEEE, 2016.
- [65] S. Dünkel, M. Trentzsch, R. Richter, P. Moll, C. Fuchs, O. Gehring, M. Majer, S. Wittek, B. Müller, and T. Melde, “A FeFET based super-low-power ultra-fast embedded NVM technology for 22nm FDSOI and beyond,” in *Electron Devices Meeting (IEDM), 2017 IEEE International*, pp. 19–7, IEEE, 2017.
- [66] J. Okuno, T. Kunihiro, K. Konishi, H. Maemura, Y. Shuto, F. Sugaya, M. Materano, T. Ali, K. Kuehnel, K. Seidel, U. Schroeder, T. Mikolajick, M. Tsukamoto, and T. Umebayashi, “SoC Compatible 1T1C FeRAM Memory Array Based on Ferroelectric $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$,” in *2020 IEEE Symposium on VLSI Technology*, (Honolulu, HI, USA), pp. 1–2, IEEE, June 2020.
- [67] G. Godefroy, *Ferroélectricité*. Ed. Techniques Ingénieur, 1996.

- [68] K. M. Rabe, C. H. Ahn, and J.-M. Triscone, eds., *Physics of ferroelectrics : a modern perspective*. No. v. 105 in Topics in applied physics, Berlin ; New York : Springer, 2007.
- [69] F. Preisach, “Über die magnetische Nachwirkung,” *Z. Physik*, vol. 94, pp. 277–302, May 1935.
- [70] S. L. Miller, R. D. Nasby, J. R. Schwank, M. S. Rodgers, and P. V. Dressendorfer, “Device modeling of ferroelectric capacitors,” *Journal of Applied Physics*, vol. 68, pp. 6463–6471, Dec. 1990.
- [71] S. L. Miller, J. R. Schwank, R. D. Nasby, and M. S. Rodgers, “Modeling ferroelectric capacitor switching with asymmetric nonperiodic input signals and arbitrary initial conditions,” *Journal of Applied Physics*, vol. 70, pp. 2849–2860, Sept. 1991.
- [72] C. Kuhn, H. Honigschmid, O. Kowarik, E. Gondro, and K. Hoffmann, “A dynamic ferroelectric capacitance model for circuit simulators,” in *ISAF 2000. Proceedings of the 2000 12th IEEE International Symposium on Applications of Ferroelectrics (IEEE Cat. No.00CH37076)*, vol. 2, pp. 695–698 vol. 2, July 2000.
- [73] M. H. Park, Y. H. Lee, H. J. Kim, Y. J. Kim, T. Moon, K. D. Kim, J. Müller, A. Kersch, U. Schroeder, T. Mikolajick, and C. S. Hwang, “Ferroelectricity and Antiferroelectricity of Doped Thin HfO₂-Based Films,” *Advanced Materials*, vol. 27, pp. 1811–1831, Mar. 2015.
- [74] U. Schroeder, E. Yurchuk, J. Müller, D. Martin, T. Schenk, P. Polakowski, C. Adelman, M. I. Popovici, S. V. Kalinin, and T. Mikolajick, “Impact of different dopants on the switching properties of ferroelectric hafniumoxide,” *Japanese Journal of Applied Physics*, vol. 53, p. 08LE02, Aug. 2014.
- [75] M. H. Park, T. Schenk, C. M. Fancher, E. D. Grimley, C. Zhou, C. Richter, J. M. LeBeau, J. L. Jones, T. Mikolajick, and U. Schroeder, “A comprehensive study on the structural evolution of HfO₂ thin films doped with various dopants,” *Journal of Materials Chemistry C*, vol. 5, no. 19, pp. 4677–4690, 2017.
- [76] U. Schroeder, C. Richter, M. H. Park, T. Schenk, M. Pešić, M. Hoffmann, F. P. G. Fengler, D. Pohl, B. Rellinghaus, C. Zhou, C.-C. Chung, J. L. Jones, and T. Mikolajick, “Lanthanum-Doped Hafnium Oxide : A Robust Ferroelectric Material,” *Inorganic Chemistry*, vol. 57, pp. 2752–2765, Mar. 2018.
- [77] R. Cao, Y. Wang, S. Zhao, Y. Yang, X. Zhao, W. Wang, X. Zhang, H. Lv, Q. Liu, and M. Liu, “Effects of Capping Electrode on Ferroelectric Properties of Hf_{0.5}Zr_{0.5}O₂ Thin Films,” *IEEE Electron Device Letters*, vol. 39, pp. 1207–1210, Aug. 2018.
- [78] M. Hoffmann, U. Schroeder, T. Schenk, T. Shimizu, H. Funakubo, O. Sakata, D. Pohl, M. Drescher, C. Adelman, R. Materlik, A. Kersch, and T. Mikolajick, “Stabilizing the ferroelectric phase in doped hafnium oxide,” *Journal of Applied Physics*, vol. 118, p. 072006, Aug. 2015.
- [79] Y. H. Lee, H. J. Kim, T. Moon, K. D. Kim, S. D. Hyun, H. W. Park, Y. B. Lee, M. H. Park, and C. S. Hwang, “Preparation and characterization of ferroelectric

- Hf_{0.5}Zr_{0.5}O₂ thin films grown by reactive sputtering,” *Nanotechnology*, vol. 28, p. 305703, July 2017.
- [80] T. Mittmann, M. Materano, P. D. Lomenzo, M. H. Park, I. Stolichnov, M. Cavalieri, C. Zhou, C. Chung, J. L. Jones, T. Szyjka, M. Müller, A. Kersch, T. Mikolajick, and U. Schroeder, “Origin of Ferroelectric Phase in Undoped HfO₂ Films Deposited by Sputtering,” *Advanced Materials Interfaces*, p. 1900042, Apr. 2019.
- [81] S. J. Kim, J. Mohan, J. Lee, J. S. Lee, A. T. Lucero, C. D. Young, L. Colombo, S. R. Summerfelt, T. San, and J. Kim, “Effect of film thickness on the ferroelectric and dielectric properties of low-temperature (400 °C) Hf_{0.5}Zr_{0.5}O₂ films,” *Applied Physics Letters*, vol. 112, p. 172902, Apr. 2018.
- [82] E. Yurchuk, J. Müller, S. Knebel, J. Sundqvist, A. P. Graham, T. Melde, U. Schröder, and T. Mikolajick, “Impact of layer thickness on the ferroelectric behaviour of silicon doped hafnium oxide thin films,” *Thin Solid Films*, vol. 533, pp. 88–92, Apr. 2013.
- [83] C. Richter, T. Schenk, M. H. Park, F. A. Tschardt, E. D. Grimley, J. M. LeBeau, C. Zhou, C. M. Fancher, J. L. Jones, T. Mikolajick, and U. Schroeder, “Si Doped Hafnium Oxide-A “Fragile” Ferroelectric System,” *Advanced Electronic Materials*, vol. 3, p. 1700131, Oct. 2017. Number : 10.
- [84] T. Shimizu, “Ferroelectricity in HfO₂ and related ferroelectrics,” *Journal of the Ceramic Society of Japan*, vol. 126, pp. 667–674, Sept. 2018.
- [85] J. Bouaziz, *Mémoires ferroélectriques non-volatiles à base de (Hf,Zr)O₂ pour la nanoélectronique basse consommation*. Thèse de doctorat, Lyon, July 2020.
- [86] M. H. Park, Y. H. Lee, T. Mikolajick, U. Schroeder, and C. S. Hwang, “Review and perspective on ferroelectric HfO₂-based thin films for memory applications,” *MRS Communications*, vol. 8, pp. 795–808, Sept. 2018.
- [87] S. Mueller, J. Muller, U. Schroeder, and T. Mikolajick, “Reliability Characteristics of Ferroelectric HfO₂ Thin Films for Memory Applications,” *IEEE Transactions on Device and Materials Reliability*, vol. 13, pp. 93–97, Mar. 2013.
- [88] M. G. Kozodaev, A. G. Chernikova, E. V. Korostylev, M. H. Park, R. R. Khakimov, C. S. Hwang, and A. M. Markeev, “Mitigating wakeup effect and improving endurance of ferroelectric HfO₂-ZrO₂ thin films by careful La-doping,” *Journal of Applied Physics*, vol. 125, p. 034101, Jan. 2019.
- [89] F. P. G. Fengler, M. Hoffmann, S. Slesazek, T. Mikolajick, and U. Schroeder, “On the relationship between field cycling and imprint in ferroelectric Hf_{0.5}Zr_{0.5}O₂,” *Journal of Applied Physics*, vol. 123, p. 204101, May 2018.
- [90] U. Schroeder, M. Pešić, T. Schenk, H. Mulaosmanovic, S. Slesazek, J. Ocker, C. Richter, E. Yurchuk, K. Khullar, and J. Müller, “Impact of field cycling on HfO₂ based non-volatile memory devices,” in *Solid-State Device Research Conference (ESSDERC), 2016 46th European*, pp. 364–368, IEEE, 2016.

- [91] M. Pešić, F. P. G. Fengler, L. Larcher, A. Padovani, T. Schenk, E. D. Grimley, X. Sang, J. M. LeBeau, S. Slesazek, U. Schroeder, and T. Mikolajick, “Physical Mechanisms behind the Field-Cycling Behavior of HfO₂-Based Ferroelectric Capacitors,” *Advanced Functional Materials*, vol. 26, pp. 4601–4612, July 2016.
- [92] F. P. G. Fengler, M. Pešić, S. Starschich, T. Schneller, C. Künneth, U. Böttger, H. Mulaosmanovic, T. Schenk, M. H. Park, R. Nigon, P. Mural, T. Mikolajick, and U. Schroeder, “Domain Pinning : Comparison of Hafnia and PZT Based Ferroelectrics,” *Advanced Electronic Materials*, vol. 3, p. 1600505, Apr. 2017.
- [93] I. Fina, L. Fàbrega, E. Langenberg, X. Martí, F. Sánchez, M. Varela, and J. Fontcuberta, “Nonferroelectric contributions to the hysteresis cycles in manganite thin films : A comparative study of measurement techniques,” *Journal of Applied Physics*, vol. 109, p. 074105, Apr. 2011.
- [94] J. F. Scott, “Ferroelectrics go bananas,” *Journal of Physics : Condensed Matter*, vol. 20, p. 021001, Jan. 2008.
- [95] J. D. Anderson, J. Merkel, D. Macmahon, and S. K. Kurinec, “Evaluation of Si:HfO₂ Ferroelectric Properties in MFM and MFIS Structures,” *IEEE Journal of the Electron Devices Society*, vol. 6, pp. 525–534, 2018.
- [96] M. H. Park, H. J. Kim, Y. J. Kim, Y. H. Lee, T. Moon, K. D. Kim, S. D. Hyun, F. Fengler, U. Schroeder, and C. S. Hwang, “Effect of Zr Content on the Wake-Up Effect in Hf_{1-x}Zr_xO₂ Films,” *ACS Applied Materials & Interfaces*, vol. 8, pp. 15466–15475, June 2016.
- [97] T. Mittmann, F. P. Fengler, C. Richter, M. H. Park, T. Mikolajick, and U. Schroeder, “Optimizing process conditions for improved Hf_{1-x}Zr_xO₂ ferroelectric capacitor performance,” *Microelectronic Engineering*, vol. 178, pp. 48–51, June 2017.
- [98] J. Bouaziz, P. Rojo Romeo, N. Baboux, and B. Vilquin, “Characterization of ferroelectric hafnium/zirconium oxide solid solutions deposited by reactive magnetron sputtering,” *Journal of Vacuum Science & Technology B*, vol. 37, p. 021203, Mar. 2019.
- [99] X. Lyu, M. Si, P. R. Shrestha, K. P. Cheung, and P. D. Ye, “First Direct Measurement of Sub-Nanosecond Polarization Switching in Ferroelectric Hafnium Zirconium Oxide,” in *2019 IEEE International Electron Devices Meeting (IEDM)*, pp. 15.2.1–15.2.4, Dec. 2019.
- [100] L. Xu, T. Nishimura, S. Shibayama, T. Yajima, S. Migita, and A. Toriumi, “Kinetic pathway of the ferroelectric phase formation in doped HfO₂ films,” *Journal of Applied Physics*, vol. 122, p. 124104, Sept. 2017.
- [101] M. Sugitani, “Ion implantation technology and ion sources,” *Review of Scientific Instruments*, vol. 85, p. 02C315, Feb. 2014.
- [102] S. Migita, H. Ota, H. Yamada, K. Shibuya, A. Sawa, T. Matsukawa, and A. Toriumi, “Synthesis of Si-doped HfO₂ Ferroelectric Thin Films using Silicon Ion Implantation,” in *Semiconductor Interface Specialists Conference SISC*, IEEE, 2017.

- [103] S. Migita, H. Ota, H. Yamada, K. Shibuya, A. Sawa, T. Matsukawa, and A. Toriumi, "Ion Implantation Synthesis of Si-doped HfO₂ Ferroelectric Thin Films," in *2018 IEEE 2nd Electron Devices Technology and Manufacturing Conference (EDTM)*, pp. 44–46, IEEE, 2018.
- [104] M. Barlas, B. Traoré, L. Grenouillet, S. Bernasconi, P. Blaise, M. Alayan, B. Sklenard, E. Jalaguier, P. Rodriguez, and F. Mazen, "Impact of Si/Al implantation on the forming voltage and pre-forming conduction modes in HfO₂ based OxRAM cells," in *Solid-State Device Research Conference (ESSDERC), 2016 46th European*, pp. 168–171, IEEE, 2016.
- [105] M. G. Kim and S.-i. Ohmi, "Ferroelectric properties of undoped HfO₂ directly deposited on Si substrates by RF magnetron sputtering," *Japanese Journal of Applied Physics*, vol. 57, p. 11UF09, Nov. 2018.
- [106] S.-N. Choi, S.-E. Moon, and S.-M. Yoon, "Film thickness-dependent ferroelectric polarization switching dynamics of undoped HfO₂ thin films prepared by atomic layer deposition," *Ceramics International*, vol. 45, pp. 22642–22648, Dec. 2019.
- [107] T. Francois, J. Coignus, L. Grenouillet, M. Barlas, B. Bessif, N. Vaxelaire, H. Boutry, M. Coig, E. Vilain, N. Rambal, J.-M. Pedini, Y. Morand, F. Mazen, E. Nowak, and F. Gaillard, "Evaluation of Ferroelectricity in Si-implanted HfO₂ along Cycling," in *2018 International Conference on Solid State Devices and Materials (SSDM)*, (Tokyo, Japan), July 2018.
- [108] S. Mueller, J. Muller, R. Hoffmann, E. Yurchuk, T. Schlosser, R. Boschke, J. Paul, M. Goldbach, T. Herrmann, A. Zaka, U. Schroder, and T. Mikolajick, "From MFM Capacitors Toward Ferroelectric Transistors : Endurance and Disturb Characteristics of HfO₂-Based FeFET Devices," *IEEE Transactions on Electron Devices*, vol. 60, pp. 4199–4205, Dec. 2013.
- [109] P. Scherrer, "Bestimmung der Größe und der inneren Struktur von Kolloidteilchen mittels Röntgenstrahlen [Determination of the size and internal structure of colloidal particles using X-rays]," *Nachr. Ges. Wiss. Goettingen.*, 1918.
- [110] C. Liu, F. Liu, Q. Luo, P. Huang, X. X. Xu, H. B. Lv, Y. D. Zhao, X. Y. Liu, and J. F. Kang, "Role of Oxygen Vacancies in Electric Field Cycling Behaviors of Ferroelectric Hafnium Oxide," in *2018 IEEE International Electron Devices Meeting (IEDM)*, pp. 16.4.1–16.4.4, Dec. 2018.
- [111] J. Sune, "New physics-based analytic approach to the thin-oxide breakdown statistics," *IEEE Electron Device Letters*, vol. 22, pp. 296–298, June 2001.
- [112] J. H. Van Vleck, "The Dipolar Broadening of Magnetic Resonance Lines in Crystals," *Phys. Rev.*, vol. 74, pp. 1168–1183, Nov. 1948.
- [113] J. Y. Jo, H. S. Han, J.-G. Yoon, T. K. Song, S.-H. Kim, and T. W. Noh, "Domain Switching Kinetics in Disordered Ferroelectric Thin Films," *Phys. Rev. Lett.*, vol. 99, p. 267602, Dec. 2007.

- [114] L. Wang, J. Yu, Y. Wang, G. Peng, F. Liu, and J. Gao, “Modeling ferroelectric capacitors based on the dipole switching theory,” *Journal of Applied Physics*, vol. 101, p. 104505, May 2007.
- [115] T. Schenk, U. Schroeder, M. Pešić, M. Popovici, Y. V. Pershin, and T. Mikolajick, “Electric Field Cycling Behavior of Ferroelectric Hafnium Oxide,” *ACS Applied Materials & Interfaces*, vol. 6, pp. 19744–19751, Nov. 2014.
- [116] J. Okuno, T. Kunihiro, K. Konishi, H. Maemura, Y. Shuto, F. Sugaya, M. Materano, T. Ali, M. Lederer, K. Kuehnel, K. Seidel, U. Schroeder, T. Mikolajick, M. Tsukamoto, and T. Umabayashi, “High-Endurance and Low-Voltage operation of 1T1C FeRAM Arrays for Nonvolatile Memory Application,” in *2021 IEEE International Memory Workshop (IMW)*, (Dresden, Germany), pp. 1–3, IEEE, May 2021.
- [117] “Joint IPC/JEDECstandard for handling, packing, shipping, and use of moisture/reflow sensitive surface-mount devices,” 2018.
- [118] J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh, and W. F. Oliver, “Switching kinetics of lead zirconate titanate submicron thin-film memories,” *Journal of Applied Physics*, vol. 64, pp. 787–792, July 1988.
- [119] M. Grossmann, O. Lohse, D. Bolten, U. Boettger, and R. Waser, “The interface screening model as origin of imprint in PZT thin films. II. Numerical simulation and verification,” *Journal of Applied Physics*, vol. 92, pp. 2688–2696, Sept. 2002.
- [120] R. Meyer, R. Waser, K. Prume, T. Schmitz, and S. Tiedke, “Dynamic leakage current compensation in ferroelectric thin-film capacitor structures,” *Applied Physics Letters*, vol. 86, p. 142907, Apr. 2005.
- [121] P. Polakowski, S. Riedel, W. Weinreich, M. Rudolf, J. Sundqvist, K. Seidel, and J. Muller, “Ferroelectric deep trench capacitors based on Al:HfO₂ for 3D nonvolatile memory applications,” in *2014 IEEE 6th International Memory Workshop (IMW)*, pp. 1–4, May 2014.
- [122] J. T. Rickes and R. Waser, “Advanced circuit design of gigabit density ferroelectric random access memories,” *Publikationsserver der RWTH Aachen University*, 2002.
- [123] S. C. Chang, N. Haratipour, S. Shivaraman, C. Neumann, S. Atanasov, J. Peck, N. Kabir, I. C. Tung, H. Liu, B. Krist, A. Oni, S. Sung, B. Doyle, G. Allen, C. Engel, A. Roy, T. Hoff, H. Li, F. Hamzaoglu, R. Bristol, M. Radosavljevic, B. Turkot, M. Metz, I. Young, J. Kavalieros, and U. Avci, “FeRAM using Anti-ferroelectric Capacitors for High-speed and High-density Embedded Memory,” in *2021 IEEE International Electron Devices Meeting (IEDM)*, pp. 33.2.1–33.2.4, Dec. 2021.

Liste de publications et participation aux conférences

Liste des publications réalisées dans le cadre du projet de thèse :

1. R. Alcalá, M. Materano, P.D. Lomenzo, L. Grenouillet, **T. François**, J. Coignus, N. Vaxelaire, C. Carabasse, S. Chevalliez, F. Andrieu, T. Mikolajick, U. Schroeder, "BEOL Integrated Ferroelectric HfO₂ based Capacitors for FeRAM : Extrapolation of Reliability Performance to Use Conditions," in *IEEE Journal of the Electron Devices Society*, Early Access, August 2022, doi : 10.1109/JEDS.2022.3198138.
2. **T. François**, J. Coignus, A. Makosiej, B. Giraud, C. Carabasse, J. Barbot, S. Martin, N. Castellani, T. Magis, H. Grampeix, S. Van Duijn, C. Mounet, P. Chiquet, U. Schroeder, S. Slesazek, T. Mikolajick, E. Nowak, M. Bocquet, N. Barrett, F. Andrieu, L. Grenouillet, "High-Performance Operation and Solder Reflow Compatibility in BEOL-Integrated 16-kb HfO₂ : Si-Based 1T-1C FeRAM Arrays", in *IEEE Transactions on Electron Devices*, vol. 69, no. 4, pp. 2108-2114, April 2022, doi : 10.1109/TED.2021.3138360.
3. **T. François**, L. Grenouillet, J. Coignus, N. Vaxelaire, C. Carabasse, F. Aussenac, S. Chevalliez, S. Slesazek, C. Richter, P. Chiquet, M. Bocquet, U. Schroeder, T. Mikolajick, F. Gaillard, E. Nowak, "Impact of area scaling on the ferroelectric properties of back-end of line compatible Hf_{0.5}Zr_{0.5}O₂ and Si :HfO₂-based MFM capacitors", in *Applied Physics Letters*, vol. 118, no. 6, Art. no. 6, February 2021, doi : 10.1063/5.0035650.
4. S. Belahcen, **T. François**, L. Grenouillet, A. Bsiesy, J. Coignus, M. Bonvalot, "TiN / Gd :HfO₂ / TiN capacitors grown by PEALD showing high endurance ferroelectric switching", in *Applied Physics Letters*, vol. 117, no. 25, pp. 252903, December 2020, doi : 10.1063/5.0035706.

Participation aux conférences et écoles d'été au cours de la période de thèse :

1. R. Alcalá, M. Materano, P.D. Lomenzo, L. Grenouillet, **T. François**, J. Coignus, N. Vaxelaire, C. Carabasse, S. Chevalliez, F. Andrieu, T. Mikolajick, U. Schroeder, "BEOL Integrated Ferroelectric HfO₂ based Capacitors for FeRAM : Extrapolation of Reliability Performance to Use Conditions", in *2022 6th IEEE Electron Devices*

- Technology & Manufacturing Conference (EDTM)*, Oita, Japan, pp. 67-69, March 2022, doi : 10.1109/EDTM53872.2022.9798048.
2. **T. François**, J. Coignus, A. Makosiej, B. Giraud, C. Carabasse, J. Barbot, S. Martin, N. Castellani, T. Magis, H. Grampeix, S. Van Duijn, C. Mounet, P. Chiquet, U. Schroeder, S. Slesazek, T. Mikolajick, E. Nowak, M. Bocquet, N. Barrett, F. Andrieu, L. Grenouillet, "16kbit HfO₂ :Si-based 1T-1C FeRAM Arrays Demonstrating High Performance Operation and Solder Reflow Compatibility", in *2021 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, pp. 33.1.1-33.1.4, December 2021, doi : 10.1109/IEDM19574.2021.9720640.
 3. L. Grenouillet, **T. François**, J. Coignus, S. Kerdilès, N. Vaxelaire, C. Carabasse, F. Mehmood, S. Chevalliez, C. Pellissier, F. Triozon, F. Mazen, G. Rodriguez, T. Magis, V. Havel, S. Slesazek, F. Gaillard, U. Schroeder, E. Nowak, "Nanosecond Laser Anneal (NLA) for Si-Implanted HfO₂ Ferroelectric Memories Integrated in Back-End of Line (BEOL)", in *2020 IEEE Symposium on VLSI Technology*, Honolulu, HI, USA, pp. 1–2, June 2020, doi : 10.1109/VLSITechnology18217.2020.9265061.
 4. L. Grenouillet, **T. François**, J. Coignus, N. Vaxelaire, C. Carabasse, F. Triozon, C. Richter, U. Schroeder, E. Nowak, "Performance assessment of BEOL-integrated HfO₂-based ferroelectric capacitors for FeRAM memory arrays", in *2020 IEEE Silicon Nanoelectronics Workshop (SNW)*, Honolulu, HI, USA, pp. 5-6, June 2020, doi : 10.1109/SNW50361.2020.9131648.
 5. **T. François**, C. Pellissier, S. Slesazek, V. Havel, C. Richter, A. Makosiej, B. Giraud, E. T. Breyer, M. Materano, P. Chiquet, M. Bocquet, L. Grenouillet, E. Nowak, U. Schroeder, F. Gaillard, J. Coignus, P. Blaise, C. Carabasse, N. Vaxelaire, T. Magis, F. Aussenac, and V. Loup, "Demonstration of BEOL-compatible ferroelectric Hf_{0.5}Zr_{0.5}O₂ scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications", in *2019 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, pp. 15.7.1–15.7.4, December 2019, doi : 10.1109/IEDM19573.2019.8993485.
 6. **T. François**, J. Coignus, P. Chiquet, M. Bocquet, "Electrical characterization and analysis of Energy Efficient Embedded Non-volatile Memory based on Ferroelectric materials", in *International School of Oxide Electronics 2019*, Cargèse, France, June 2019.
 7. **T. François**, J. Coignus, L. Grenouillet, J.P. Barnes, N. Vaxelaire, J. Ferrand, I. Bottala-Gambetta, M. Gros-Jean, S. Jeannot, P. Boivin, P. Chiquet, M. Bocquet, E. Nowak, F. Gaillard, "Ferroelectric HfO₂ for Memory Applications : Impact of Si Doping Technique and Bias Pulse Engineering on Switching Performance", in *2019 IEEE 11th International Memory Workshop (IMW)*, Monterey, CA, USA, pp. 1-4, May 2019, doi : 10.1109/IMW.2019.8739664.
 8. **T. François**, J. Coignus, L. Grenouillet, M. Barlas, B. Bessif, N. Vaxelaire, H. Boutry, M. Coig, E. Vilain, N. Rambal, J.-M. Pedini, Y. Morand, F. Mazen, E. Nowak, F. Gaillard, "Evaluation of Ferroelectricity in Si-implanted HfO₂ along Cycling", in *2018 International Conference on Solid State Devices and Materials (SSDM)*, Tokyo, Japan, pp. 203-204, September 2018, doi : 10.7567/SSDM.2018.C-6-02.

Brevets déposés au cours de la période de thèse :

1. L. Grenouillet, C. Charpin-Nicolle, J. Coignus, **T. François**, S. Kerdiles, patent number US 20200194442 : "Method for fabricating a ferroelectric memory and method for co-fabrication of a ferroelectric memory and of a resistive memory.", June 2020, <https://uspto.report/patent/grant/11,145,663>.