

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :
Amirouche OUMAZIZ
le 18 octobre 2021

Titre :
Conception et réalisation de protections intégrées sur puce silicium et développement de nouvelles cellules de commutation monolithiques pour convertisseur de puissance

---

École doctorale et discipline ou spécialité :

ED GEET : Génie Electrique

Unité de recherche :
LAPLACE & LAAS-CNRS

Directeur/trice(s) de Thèse :
Frédéric RICHARDEAU, Directeur de recherche CNRS, LAPLACE
Abdelhakim BOURENNANE, Maitre de conférences HDR UT3-Paul Sabatier, LAAS-CNRS

Jury :
Mme Nathalie BATUT, Maitre de conférences HDR, Univ. Tours, Greman, Rapporteure,
M. Zoubir KHATIR, Directeur de recherche, SATIE-IFSTTAR, Rapporteur
Dominique PLANSON, Professeur des Universités, AMPERE, Examinateur, Président
Frédéric RICHARDEAU, Directeur de recherche, LAPLAC, Directeur de thèse
Abdelhakim BOURENNANE, Maitre de conférences, LAAS-CNRS, co-Directeur de thèse
Emmanuel SARRAUTE, Maitre de conférences, Univ. Jean Jaures, LAPLACE, co-Encadrant
Ayad GHANNAM, Fondateur 3Dis Technologies, membre invité

à mes parents,
à mes frères et sœurs,
à tamtsbb,

Remerciements

Les travaux de recherche présentés dans ce manuscrit ont été réalisés au sein du groupe Intégration des Systèmes de Conversion d'Énergie (ISGE) du Laboratoire d'Analyse et d'Architectures des Systèmes (LAAS) en collaboration avec le groupe Convertisseurs Statiques (CS) du Laboratoire Plasma et Conversion d'Énergie (LAPLACE).

Je remercie tous les membres de mon jury de thèse : M. Dominique Planson en tant qu'examinateur et président du jury, Mme Nathalie Batut et M. Zoubir Khatir en tant que rapporteurs du manuscrit. Je remercie également M. Ayad Ghannam, membre invité et fondateur de la société 3Dis Technologies, qui nous a accompagné durant cette thèse dans nos réflexions et réalisations. Je vous remercie d'avoir étudié mon manuscrit et pour les échanges très intéressants lors de la soutenance.

Je tiens à adresser mes plus sincères remerciements à mes deux directeurs de thèse, Frédéric Richardeau et Abdelhakim Bourennane. Je vous remercie de m'avoir donné l'opportunité de travailler sur un sujet aussi passionnant et de m'avoir accompagné et orienté tout au long de cette thèse avec vos conseils, idées, réflexions, sans compter vos heures et durant des conditions de crise sanitaires exceptionnelles.

Je remercie également Emmanuel Sarraute en tant que co-encadrant, pour m'avoir apporté son aide sur la modélisation Comsol™ et son accompagnement durant nos réflexions sur la faisabilité de nos composants avec son recul et son expérience.

Merci à l'ensemble du personnel du service TEAM du LAAS qui ont participé au projet : Laurent, Adrian, Samuel et en particulier Eric Imbernon qui m'a formé à la salle blanche, avec son dynamisme et sa bonne humeur. Je remercie également toutes les personnes du LAPLACE (3DPhi) qui ont participé au projet : Céline Combettes, Vincent Bley.

Je remercie également les équipes ISGE et CS pour m'avoir accueilli en leurs sein et permis d'effectuer cette thèse dans de bonnes conditions. Merci aux membres permanents que j'ai côtoyés avec plaisir durant toutes ces années de thèse.

Je remercie également Gaëtan Toulon qui m'a apporté son aide sur Sentaurus™ lors de mes simulations. Tu étais toujours présent pour répondre à mes questions (lorsque les simulations divergent !) avec des explications pertinentes à chaque fois.

Merci à mes collègues de bureau LAAS et LAPLACE : François, Fabien, Yazan, Lucien pour les bons moments échangés et ceux qui viendront encore ! Bon courage à Lucien et François pour la suite de vos travaux et vos soutenances

Aux occupants du C112, je vous remercie pour chacun des moments passés ensemble et tous les rires et gourmandises partagés : Botayna, Camille, Milène, Olivia, Wang, Christophe, Jensheer, Sakeb, Florian, Ayoub, Lotfi.

Je tiens également à remercier tous les amis stagiaires, doctorants, post-docs et permanents que j'ai rencontré au laboratoires LAAS et LAPLACE : Karine, Frédéric, David, Sonia, Vincent, Nicolas, Jean-Marc, Sébastien, Alassane, Audrey, Alessandro, Ralph, Chaima, Danny, Clara, Antoine, Lionel.

Pour finir, je remercie toute ma famille pour m'avoir encouragé durant mes études, en particulier mes frères Ahcène et Sofiane pour leurs soutient, écoute et présence.

Table des matières

1 INTRODUCTION 21

2 PRINCIPE ET FONCTIONNEMENT D'UN FUSIBLE 21

2.1 Description des constituants 21

2.2 Régimes de fonctionnement 22

2.2.1 Régime de pré-arc 22

2.2.2 Régime d'arc 22

3 GRANDEURS CARACTERISTIQUES 23

3.1 Notion d'I^2T 23

3.2 Tension assignée 25

3.3 Tension de rétablissement 25

3.4 Puissance dissipée 26

3.5 Courants caractéristiques 26

3.5.1 Courant I1 (Pouvoir de coupure d'un fusible) 26

3.5.2 Courant I2 26

3.5.3 Courant I3 (courant minimal de coupure) 26

4 TYPES DE FUSIBLES 26

4.1 Fusibles à cartouche (Cartridge Fuse) 27

4.2 Fusibles réarmables (Resettable Fuses) 28

4.3 Fusibles automobiles (Automotive Fuses) 28

4.4 Fusibles à déclencheur/indicateur (Striker Fuses) 29

4.5 Fusibles pour semi-conducteurs (Semiconductor Fuses) 29

5 EXEMPLES DE SIMULATIONS SUR LES FUSIBLES ET LEURS UTILISATIONS POUR LA PROTECTION DES CONVERTISSEURS DE PUISSANCE 32

5.1 Exemples de simulations sur les fusibles déployés dans la protection de composants semi-conducteurs de puissance 32

5.2 Utilisation des fusibles dans la protection de convertisseurs de puissance 37

6 L'INTEGRATION EN ELECTRONIQUE DE PUISSANCE 38

6.1 L'intégration hybride 39

6.1.1 Solutions d'intégration hybrides 41

6.2 L'intégration monolithique 43

6.3 Approches d'intégration de cellules de commutation 49

7 CONTEXTE DES TRAVAUX DE THESE 50

8 CONCLUSION DU CHAPITRE 1 52

9 REFERENCES BIBLIOGRAPHIQUES 53

Chapitre 2 : Conception, dimensionnement et réalisation de structures fusibles "Stand-alone" sur substrat silicium

1 INTRODUCTION 61

2 DIMENSIONNEMENT DES FUSIBLES « STAND-ALONE » 61

2.1 Cahier des charges retenu pour le prototypage des fusibles 61

2.2 Présentation du fusible 62

2.3 Approche de dimensionnement des fusibles 64

2.4 Dimensionnement et simulation des fusibles 67

2.4.1 Intérêt de l'époxy et l'impact de son épaisseur sur le fonctionnement du fusible 67

2.4.2 Impact du substrat sur le comportement thermique du fusible 70

2.4.3 Dimensionnement des variantes des fusibles 72

2.4.4 Comparaison des fusibles 76

3 CONCEPTION DES MASQUES 78

4 REALISATION TECHNOLOGIQUE DES FUSIBLES 80

5 VALIDATION EXPERIMENTALE DES FUSIBLES 81

5.1 Circuit de test des fusibles 81

5.2 Caractérisation statique des fusibles 82

5.3 Résultats des tests de claquage et discussion 84

5.3.1 Sans passivation sur « single-fuse » 84

5.3.2 Avec passivation sur « single-fuse » 86

5.3.3 Test de claquage sur bras « dual-fuse » 87
5.4 Nouvelle passivation des fusibles 89
5.5 Résultats des tests de claquage après passivation au gel silicone 90
5.5.1 Caractéristiques statiques des fusibles après passivation 90
5.5.2 Résultats des tests de claquage après passivation 91
5.6 Comparaison des valeurs d'I²Tp théoriques et expérimentales 93
6 CONCLUSION DU CHAPITRE 2 94
7 REFERENCES BIBLIOGRAPHIQUES 96
Chapitre 3 : Conception, intégration et réalisation de fusibles sur puces diodes silicium
1 INTRODUCTION 99
2 PRESENTATION ET DIMENSIONNEMENT DU COMPOSANT DIODE-FUSE 99
2.1 Présentation de l'approche d'intégration diode et fusible de manière monolithique 100
2.2 Cahier des charges 101
3 DIMENSIONNEMENT ET VALIDATION DE L'APPROCHE D'INTEGRATION 102
3.1 Dimensionnement et validation de l'approche d'intégration diode et fusible sur Sentaurus™ 102
3.1.1 Fusible continu et diode bloquée 102
3.1.2 Fusible rompu et diode passante 104
3.1.3 Fusible rompu et diode bloquée 107
3.2 Dimensionnement du fusible sur Comsol™ 109
3.3 Dimensionnement des fils de bondings 111
4 REALISATION DES COMPOSANTS 112
4.1 Dessin des masques 112
4.2 Réalisation des diodes et caractérisations 115
4.3 Réalisation des fusibles et caractérisation 120
5 CARACTERISATION ET VALIDATION EXPERIMENTALE 123
5.1 Dessin des PCB et préparation des composants pour les tests de claquage 123
5.2 Passivation des composants par gel silicone 124
5.3 Caractérisation statique 126

5.4 Résultats des tests de claquage....126

6 CONCLUSION DU CHAPITRE 3....131

7 REFERENCES BIBLIOGRAPHIQUES....132

Chapitre 4 : Concept d'intégration monolithique asymétrique de bras de convertisseur de puissance composés d'un IGBT (P/N) et d'un VDMOS (N/P)

1 INTRODUCTION....135

2 INTEGRATION MONOLITHIQUE DE CELLULES DE COMMUTATION : RAPPELS DES TRAVAUX ANTERIEURS....135

2.1 Approche d'intégration Bi-Puce....136

2.2 Approche d'intégration mono-puce....136

2.3 Approche d'intégration tri-Puce....137

2.4 Approche d'intégration à substrats complémentaires....137

3 PRINCIPE DE L'INTEGRATION MONOLITHIQUE ASYMETRIQUE DE BRAS DE CONVERTISSEUR COMPOSE D'UN IGBT ET D'UN VDMOS (VERSION N ET P)....138

3.1 Structure monolithique 1 : P-IGBT et N-VDMOS....138

3.2 Structure monolithique 2 : N-IGBT et P-VDMOS....139

4 STRUCTURES DE CONVERTISSEURS VISEES PAR L'INTEGRATION ASYMETRIQUE DE TYPE IGBT ET VDMOS....140

5 APPROCHE DE DIMENSIONNEMENT D'UN BRAS MONOLITHIQUE....141

6 DIMENSIONNEMENT DES INTERRUPTEURS DU BRAS DE CONVERTISSEUR SOUS SENTAURUS....142

6.1 Présentation de l'outil de simulation Sentaurus™ TCAD....142

6.2 Caractéristiques statiques des composants : V_{BR}, V_{th}, V_{on}....143

6.3 Dimensionnement électrothermique des composants....145

7 SIMULATION DU BRAS COMPOSE D'UN P-IGBT ET D'UN N-VDMOS EN DISCRET....147

7.1 Commutation du P-IGBT....148

7.2 Commutation du N-VDMOS....150

8 SIMULATION DU BRAS P-IGBT ET N-VDMOS EN VERSION MONOLITHIQUE....153

8.1 Tenue en tension de la structure....154

8.2 Commutation du P-IGBT....154

8.3 Commutation du N-VDMOS 157
8.4 Extension de la validation du fonctionnement à 300 V 160
8.4.1 Caractéristiques des composants : V_{BR}, V_{th} et V_{on} 160
8.4.2 Commutation du P-IGBT 161
8.4.3 Commutation du N-VDMOS 164
9 STRUCTURE AMELIOREE CONTRE LES COURTS-CIRCUITS 166
9.1 Association P-IGBT et P-MOS à canal préformé 166
9.1.1 Mise en évidence du phénomène de latch-up dans une structure P-IGBT 166
9.1.2 Principe de fonctionnement 168
9.1.3 Simulation du P-MOS à canal préformé 168
9.1.4 Intégration P-IGBT et P-MOS à canal préformé en discret 169
9.1.5 Intégration monolithique de P-IGBT et P-MOS à canal préformé 170
9.2 Simulation électrothermique de la puce intégrant un P-IGBT et P-MOS à canal préformé 171
9.3 Simulation de la puce intégrant un P-IGBT et P-MOS à canal préformé à l'état passant 173
10 ASSOCIATION MONOLITHIQUE DU PIGBT-PMOS ET DU NVDMOS 174
10.1 Commutation du P-IGBT 175
10.2 Commutation du N-VDMOS 176
11 CONCLUSION DU CHAPITRE 4 178
12 REFERENCES BIBLIOGRAPHIQUES 179
CONCLUSION GENERALE 180

INTRODUCTION GENERALE

L'électronique de puissance intervient dans la conversion et le contrôle de l'énergie dans de nombreux domaines de génie électrique au quotidien (véhicules, ferroviaire, aviation…). A travers le temps, des efforts importants ont été fournis afin de développer des systèmes performants et capables d'assurer cette conversion d'énergie avec des rendements élevés. Ces dispositifs, appelés convertisseurs statiques, permettent le transfert de l'énergie électrique entre une source et une charge, en adaptant la fréquence nominale, la tension et le courant exigés par la charge afin de minimiser les pertes et préserver un haut rendement.

Ces convertisseurs sont le résultat de l'association de composants semi-conducteurs (IGBTs, MOSFETs, Diodes, etc…) et composants passifs (condensateurs, inductances). Toutefois, la demande croissante pour des applications de fortes puissances, notamment avec l'avènement des composants de puissance à grand gap (Wide Bandwidth Gap : WBG), s'est accompagné de l'apparition de plusieurs champs de contraintes et limitations technologiques. La méthode d'intégration (en discret) de ces composants et la technologie utilisée pour relier les puces de puissance (*wire-bondings*), sont la plupart des facteurs limitants les performances de ces convertisseurs à forte puissance et fréquence de commutation élevée.

Considérant l'état de l'art, une fois les puces de puissance dimensionnées et réalisées, elles sont assemblées pour former des cellules de commutation et par association des briques de conversion. Pour réaliser cette opération, les puces sont brasées ou frittées (sur leur face arrière) sur un substrat, de type DBC (Direct Bond Copper), SMI (Substrat Métallique Isolé) ou PCB (Printed Copper Board). Le substrat sur lequel sont reportées les puces est constitué (dans le cas d'un DBC) d'une couche isolante d'alumine ou de nitrure (Al_2O_3, AIN), prise en sandwich entre deux feuillards de cuivre. Le substrat est ensuite brasé sur une semelle cuivre ou AlSiC, qui est à son tour reportée sur un dissipateur (radiateur) afin d'évacuer les calories dissipées durant le fonctionnement des modules. Le substrat contribue également au maintien mécanique des puces de puissance en plus de ses fonctions primaires d'isolation électrique et de conduction thermique.

A l'aide de fils de *bonding* (*wire-bondings*) ou de rubbans (copper clip), les puces sont interconnectées entre elles pour former les cellules de commutation et connecter ces dernières à l'extérieur pour assurer le fonctionnement. Les fils d'interconnexions (*wire-bondings*) entre les puces et les broches externes du boitier sont l'une des causes principales des limitations de fonctionnement des modules de puissance. Ces connexions sont le siège de contraintes thermomécaniques conduisant à une dégradation de la qualité du contact électrique avec la puce. La dissymétrie résiduelle des interconnexions crée des déséquilibres statiques et dynamiques dans les phases de commutation et amène à ralentir les commutations et à réduire la fréquence de découpage. L'effet inductif est source de surtension au blocage, ce qui accroit les pertes et réduit la marge de sécurité.

L'utilisation de ce type de substrats (comme le DBC), contenant une couche diélectrique au milieu, recouverte par deux couches de cuivre sur les deux faces, participe à la formation de capacités parasites entre la face avant du substrat sur lequel les puces et la face arrière, qui repose sur une semelle et un dissipateur. Un courant de mode commun se crée et circule vers la terre ou le plan de référence, source d'émission EMI (Electromagnetic Interference). La valeur de ce courant dépend de la variation de tension dv/dt perçue par le point milieu de la cellule de commutation active. Pour réduire l'impact de ce courant non désiré, il faudrait réduire la surface occupée par les puces et minimiser la surface d'émission par un filtre de mode commun placé au plus près de la cellule de commutation.

L'échauffement des puces conduisant à la diminution des performances et rendements des modules de puissance est également un facteur limitant de la montée en fréquence. La plupart des modules de puissance

évacuent les calories dissipées uniquement à travers leurs faces arrière, qui repose sur un radiateur. Il existe des solutions permettant une dissipation de la chaleur sur les deux faces, mais les techniques ne sont pas toujours applicables à tous les modules.

Les modules de puissance sont aujourd'hui déployés dans quasiment toutes les applications de conversion de l'énergie et sont exploités au quotidien. Les attentes en termes de fiabilité et de sûreté de fonctionnement de ces applications sont donc très élevées. Afin de répondre à ces attentes, les convertisseurs de puissance ont été améliorés. Des architectures dites à tolérance de pannes sont imaginées et créées, capables d'isoler un défaut sur un composant ou sur un bras défaillant. Ces topologies sont plus ou moins complexes, suivant l'application. Il existe plusieurs topologies de convertisseurs à tolérances de pannes, suivant le nombre de niveaux de tension de sortie (deux ou multi-niveaux). Pour les modules à deux niveaux de tension, on retrouve des solutions qui proposent de rajouter un bras auxiliaire afin de compenser la défaillance d'un bras principal. Cette solution et très simple à mettre en œuvre, mais nécessite toutefois le rajout de composants (typiquement diodes, thyristors, fusibles) afin de connecter le bras secours. Une autre alternative de secours consiste à faire fonctionner les convertisseurs sur un nombre réduit de composants, en déconnectant ceux qui sont défaillant dans un bras. Les convertisseurs dits multi-niveaux sont quant-eux plus évolués et possèdent des configurations qui leurs permettent d'isoler plus naturellement le défaut et de continuer à opérer sans forcément avoir recours à un bras secours, bien que cela existe. Les fusibles sont des composants très sollicités dans la configuration des solutions de redondance des convertisseurs dits à tolérances de pannes. Ce sont des composants simples et peu onéreux, qui permettent dans un convertisseur d'isoler un bras défaillant de manière symétrique et ainsi isoler le défaut en évitant sa propagation. Le dimensionnement de ces fusibles est donc très important. Il faut en effet prendre en compte la nature des formes d'ondes traitées (continues ou alternatives), connaitre le courant maximal que le circuit doit supporter en cas de défaut, choisir un calibre en courant qui soit suffisamment élevé pour éviter un déclenchement non voulu suite aux variations du courant, mais qui soit en dessous du courant destructeur des composants en amont.

La mise en œuvre de convertisseurs à tolérance de pannes a été traitées jusqu'à présent par l'ajout de composants externes tels que des fusibles. Dans tous ces travaux précédents, aucune étude ne s'est intéressée à l'intégration des fusibles de protection de ces convertisseurs de puissance à tolérance de pannes, de manière monolithique, au plus près du composant. Cette intégration pourrait en effet présenter des avantages. Intégrés sur les composants de puissance, ces fusibles pourraient isoler et sécuriser rapidement et localement le composant défaillant et éviter sa propagation aux composants du même module voire de la même puce. Éviter d'externaliser les fusibles permet aussi de réduite la surface des mailles de commutation et l'encombrement des briques de conversion, également les coûts. En contrepartie, les fusibles ne sont plus aussi facilement remplaçables qu'en discret mais cette propriété apparait mineure lorsqu'il s'agit d'application critique où la capacité de sécurité instantanée et de continuité de service sont de premier ordre par rapport à la capacité de maintenabilité ou de réparabilité.

Par ailleurs, les travaux antérieurs en intégration fonctionnelle dans le domaine de la micro-électronique de puissance se sont focalisés sur les fonctions actives principales : interrupteurs et cellules de commutation, capteurs. Les éléments de protection rapprochée comme les fusibles, fonction passive essentielle, n'ont curieusement pas été considérées jusqu'à maintenant dans cette démarche d'intégration ultime. Les enjeux sont pourtant ceux de l'intégration monolithique, à savoir : miniaturisation, mutualisation des matériaux et des géométries, simplification des fonctions, réduction des coûts par une fabrication collective, apport d'une forte valeur ajoutée fonctionnelle et économique potentielle (concept de safe-smart-power-device …).

Le travail présenté dans cette thèse se situe dans le contexte que nous venons de décrire et dans la suite des travaux d'intégration fonctionnelle monolithique sur puce silicium de puissance, menés depuis une vingtaine d'années en collaboration entre les laboratoires LAAS-CNRS et LAPLACE.

Les travaux de recherches menés dans le groupe ISGE (LAAS : Laboratoire d'Analyses et d'Architectures des Systèmes) ont conduit au développement d'une filière technologique dite "flexible" permettant de réaliser des composants et des fonctions de puissance de plus en plus complexes simultanément avec le même procédé technologique. Ceci, a ouvert la voie à une collaboration avec le groupe CS (Convertisseurs Statiques) du laboratoire Laplace (Laboratoire Plasma et Conversion d'Énergie) pour développer de nouvelles fonctionnalités de commutation de puissance intégrables directement sur la puce. Dans le cadre de cette collaboration, des travaux antérieurs basés sur ce mode d'intégration fonctionnelle ont vu le jour. Ces travaux de collaboration ont débuté par la thèse de Marie Breil en 1997 sur l'étude de l'association MOS-Thyristor auto-amorçable et blocable donnant lieu au premier thyristor-dual monolithique. Dans cette première thèse, le principe de l'intégration fonctionnelle consiste à associer des briques « fonctionnelles » intégrées, ou cellules élémentaires semi-conductrices, pour obtenir la fonctionnalité complète. Ce mode d'intégration a été par la suite utilisé dans le cadre de la thèse de Florence Capy en 2009 au développement d'un thyristor dual disjoncteur qui est un interrupteur monolithique réversible en courant à auto-commutation. Cette fonction est synthétisée à partir d'un thyristor classique (ou d'un IGBT) en le dotant de fonctions annexes permettant la gestion de l'auto-amorçage et de l'auto-blocage. De nouvelles architectures d'intégration monolithique de cellules de commutation, bi-puce et mono-puce utilisant des interrupteurs RC-IGBT ont été développées dans le cadre de la thèse d'A. El khadiry. Ces approches reposent principalement sur le rajout d'un mur P^+ afin d'assurer l'isolation des composants d'une même puce. Un prolongement de cette approche d'intégration bi-puces a été étudiée durant la thèse d'A. Lalé, dans une architectures tri-puces. La particularité de cette approche réside dans la répartition sur deux puces des composants IGBT et diode de la partie *low-side* des composants.

Le mémoire est organisé comme suit :

Dans le premier chapitre, nous dressons un état de l'art sur les fusibles, avec les différentes grandeurs caractéristiques et les généralités associées. Puis, à travers quelques exemples de circuits de convertisseurs à tolérance de pannes, nous mettons en évidence l'intérêt et le rôle des fusibles dans la reconfiguration de ces circuits pour continuer à opérer, sans avoir à arrêter le système. Dans un second temps, nous exposons les problématiques liées à l'intégration en électronique de puissance, en détaillant les différents points énumérés dans les précédents paragraphes, ainsi que les éventuelles solutions trouvées dans la littérature et adoptées par les industriels pour contourner ou améliorer les problématiques initiales. On terminera par une présentation du besoin technologique en termes de fusibles dans ces travaux de thèse.

Le deuxième chapitre est dédié au dimensionnement, simulation et réalisation des fusibles seuls sur un substrat silicium. Dans la première partie du chapitre nous présentons l'approche adoptée et la méthode de dimensionnement des composants. Un premier dimensionnement électrique et géométrique est réalisé sous Excel, sur un modèle de fusible mono-constriction 1D. Une fois les premiers paramètres géométriques obtenus, ceux-ci sont injectés dans un modèle 3D sous Comsol™, pour ajuster de manière plus fine, sur le plan thermique également, les sections des constrictions et l'optimisation de la surface occupée par les pads. La seconde partie du chapitre est consacrée aux résultats des tests expérimentaux, avec des explications sur la méthode de passivation des puces fusibles à l'aide de gel silicone pour améliorer le pouvoir de coupure des fusibles.

Dans le troisième chapitre, nous nous intéressons à l'intégration des fusibles étudiés dans le chapitre 2, dans une approche d'intégration sur des diodes verticales de puissance en silicium. Le chapitre débutera par une

présentation de l'approche et le dimensionnement des deux composants. Des simulations TCAD sur Sentaurus™ ont été menées afin de dimensionner la diode silicium ainsi que l'étude des différentes configurations dans lesquelles la diode et le fusible peuvent se retrouver. Les simulations permettent donc de valider la bonne interaction des composants et vérifier l'absence de courants de fuites importants. Des simulations Comsol™ ont permis également de dimensionner et optimiser les fusibles intégrés sur ces diodes, d'un point de vue thermique et géométrique.

Le quatrième et dernier chapitre est consacré à la présentation des simulations TCAD Sentaurus™ d'un bras de convertisseur intégré de manière totalement monolithique en utilisant des composants IGBT et VDMOS. La première partie du chapitre est consacrée à la présentation de l'approche d'intégration et à la méthode de dimensionnement d'un bras de convertisseur composé d'un P-IGBT et un N-VDMOS avec un rapport cyclique de 80 %. La seconde partie du chapitre est dédiée aux résultats des simulations du bras pour des temps de commutations courts (100 ns) et la proposition d'une amélioration de la structure initiale par l'intégration d'un transistor P-MOS latéral qui servira à dépolariser la tension de grille de l'IGBT durant l'apparition d'un court-circuit et ainsi empêchera le composant d'adopter un comportement thyristor, synonyme du phénomène de *latch-up*.

Chapitre 1 :

Utilisation des fusibles dans la protection de cellules de commutation et analyse de leur intégration en électronique de puissance

1 INTRODUCTION

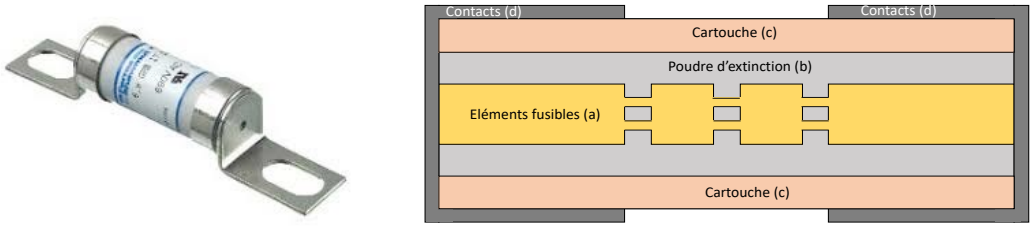
Les fusibles sont des composants simples et à faible coût dont la fonction est de protéger à la fois les circuits dans lesquels ils sont placés, ainsi que les utilisateurs de ces derniers. On les retrouve quasiment dans tous les circuits électriques, de la basse tension (carte électronique) à la haute tension (réseaux de distribution). Les fusibles permettent en fonctionnement normal, le passage du courant nominal, sans échauffement important, pouvant induire un disfonctionnement du circuit. Lorsque le courant traversant le fusible atteint une valeur excessive du fait d'un défaut. Le fort niveau de courant crée un échauffement dans la partie sensible du fusible, qui se met à fondre et se vaporise. Simultanément, un arc électrique se forme permettant d'absorber l'énergie électrique emmagasinée dans le circuit. La forte différence de potentiel générée par cette arc électrique permet de s'opposer au courant électrique initial et de l'annuler complétement. L'ouverture du circuit parcouru par un courant de défaut (court-circuit) s'effectue par fusion, puis vaporisation d'une partie du fusible (constrictions), subissant la contrainte électrothermique la plus élevée. Après l'annulation du courant de défaut, le fusible doit être capable de supporter la tension imposée à ses bornes tout en présentant un courant de fuite très faible.

Dans ce chapitre, nous allons décrire dans un premier temps les principaux éléments d'un fusible, avec la présentation de quelques types de fusibles standards de manière très succincte, les régimes de fonctionnement ainsi que les différentes grandeurs électriques associées. Puis, on abordera l'utilisation de ces fusibles dans des architectures de convertisseurs statiques, afin de les sécuriser en cas de défaut (court-circuit) et permettre la reconfiguration du circuit, à travers des fonctions de redondances (topologies à tolérance de pannes) pour continuer à assurer le fonctionnement du convertisseur. La dernière partie du chapitre décrira les solutions actuelles d'intégration en électronique de puissance, ainsi que le positionnement de notre approche d'intégration de fusibles sur puce silicium pour développer des convertisseurs intégrés plus sécurisés et plus performants.

2 PRINCIPE ET FONCTIONNEMENT D'UN FUSIBLE

2.1 Description des constituants

Les caractéristiques et le fonctionnement des fusibles sont définis par des normes bien précises administrées par la CEI (Commission Électrotechnique Internationale). Tous les constituants d'un fusible doivent avoir un rôle bien particulier. Les fusibles dits moyenne tension sont composés de 4 éléments principaux. La Figure 1 présente une illustration d'un fusible cartouche de type *fuselink*. L'élément fusible (a) est généralement un ruban métallique, d'une certaine épaisseur (quelques dizaines à une centaine de micromètres généralement), souvent réalisé à base d'argent, cuivre ou aluminium pour éviter l'oxydation et la corrosion, comportant des constrictions (rétrécissement), disposées en série/parallèle, en fonction du calibre en courant et tension du fusible. La disposition de plusieurs constrictions en série permet de créer plusieurs arcs électriques dont les tensions s'additionnent et s'opposent au courant qui leur donne naissance. Cette mise en série autorise des constrictions elles-mêmes plus courtes, gage d'une meilleure efficacité de chaque constriction élémentaire, sur le plan thermique et en termes de pouvoir de coupure.



(a) (b)

Figure 1 : Représentation d'un fusible type *fuselink* BS88 Mersen 690 V/12-100 A [1] (a) et vue en coupe schématisée (b).

La matière de remplissage (poudre d'extinction (b)) de ces composants est le second élément le plus important d'un fusible. On utilise principalement de la silice (grains de quartz), qui permet l'absorption de l'énergie générée durant la phase d'arc par vitrification. Si la poudre de quartz est bien compressée, la capacité d'absorption est augmentée [2]. Cependant la compression de la poudre ne doit pas être trop forte afin de permettre l'évacuation des gaz formés par les vapeurs métalliques lors de la fusion de l'élément fusible. Telle une éponge, la densité et la porosité de ce milieu granulaire est fondamentale pour évacuer et passiver les particules vaporisées en fusion. Après vitrification le milieu inter-électrode forme une fulgurite, qui possède une grande rigidité diélectrique, nécessaire pour éviter tout réamorçage de l'arc électrique.

La cartouche (c) protectrice isolante, sert à encapsuler l'ensemble élément fusible et sable de silice. Elle est réalisée en céramique ou en fibre de verre. Lors du claquage, une pression importante est libérée. La cartouche doit être suffisamment solide pour résister à ces contraintes mécaniques importantes et absorber les chocs. Elle doit également posséder une rigidité diélectrique suffisante pour garantir la tenue en tension entre les électrodes du fusible.

Afin de minimiser les résistances de contacts, sources d'échauffement, les contacts (d) métalliques (électrodes) présents à chacune des extrémités du fusible, sont réalisés à l'aide de métaux tel que l'étain, l'argent ou même le nickel. Ce dernier est très apprécié pour certaines de ces propriétés, notamment sa stabilité chimique anticorrosion [3]. Toutefois, pour les applications à fort calibre en courant et non exposées aux contraintes climatiques extérieures, l'argent reste le métal le plus privilégié.

2.2 Régimes de fonctionnement

2.2.1 Régime de pré-arc

Lorsqu'un défaut de type court-circuit survient dans un circuit protégé par un fusible, le courant à travers ce dernier commence à augmenter et un arc électrique se forme entre les pads (électrodes) jusqu'à l'annulation de ce courant de défaut. Le régime de pré-arc (Figure 2) d'un fusible est défini comme étant le moment où le courant de défaut est initié à travers le fusible, jusqu'à l'apparition d'un arc électrique dans le fusible [2], [4].

2.2.2 Régime d'arc

Le régime d'arc (Figure 2) représente l'intervalle de temps entre l'apparition de l'arc électrique et son extinction (annulation complète du courant). La fin de ce régime (phase) doit s'accompagner impérativement d'une annulation complète et permanente du courant, avec présentation d'une résistance d'isolation la plus élevée possible, synonyme d'un courant de fuite négligeable [2], [4].

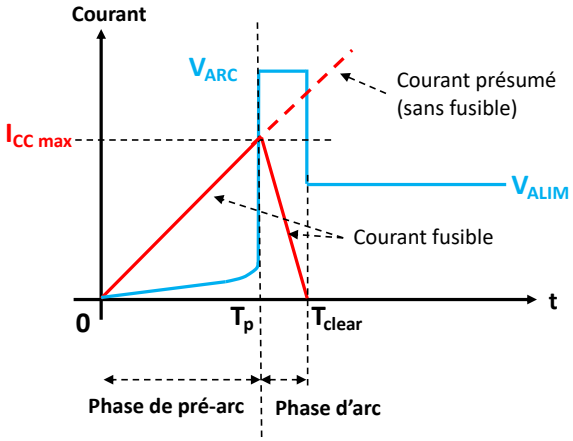


Figure 2 : Illustration des régimes de fonctionnement d'un fusible lors d'un courant-circuit franc sur un circuit idéalement inductif.

3 GRANDEURS CARACTERISTIQUES

3.1 Notion d'I²T

C'est une notion principale et importante lors du dimensionnement des fusibles. Une fois le matériau constituant les constrictions et les électrodes (pads) choisi (Argent, Cuivre, alliages de matériaux…), le nombre de constrictions en série est choisi de manière à disposer d'une bonne tenue en tension lorsque les constrictions des fusibles seront rompues. Le nombre de constrictions en parallèle influence la densité de courant totale admise. Lorsqu'un défaut se produit, une surintensité traverse le fusible et provoque l'échauffement des constrictions. Si la valeur du courant de défaut atteint la valeur critique, les constrictions chauffent jusqu'à atteindre le point de fusion et d'évaporation du métal. Les performances de coupure d'un fusible sont quantifiées par la quantité d'énergie par unité d'Ohm, appelée I²T ([A².s]), qu'il faudra accumuler au centre de la constriction pour porter localement la température de la constriction à celle de fusion du métal. La contrainte thermique apportée par ce courant de défaut est définie par la relation (1.1) :

$$I^2T = \int_0^{Tpréarc} i^2(t)dt + \int_{Tpréarc}^{Tarc} i^2(t)dt \qquad (1.1)$$

Cette contrainte thermique appelée intégrale d'action (ou intégrale de Joule) est une mesure de l'énergie thermique maximale que le fusible peut absorber avant d'atteindre sa transition de phase solide – liquide à la température de fusion du matériau utilisé (cuivre, argent, etc). Elle traduit l'évolution d'un courant de défaut sur un temps, correspondant aux durées des phases de pré-arc et d'arc [5]. La contrainte thermique de pré-arc dépend uniquement des propriétés physiques du métal de constriction (élément fusible), de sa géométrie et de la température initiale. Juste après la phase de pré-arc, la quantité d'I²T durant la phase d'arc dépend quant à elle des conditions du circuit (tension supportée et impédance résiduelle).

Lors d'un court-circuit, les contraintes électrothermiques sont concentrées sur les constrictions, toute l'énergie est donc dissipée au niveau de ces dernières. Lorsque le fusible est traversé par un courant de défaut suffisamment élevé, le temps de pré-arc peut être considéré comme suffisamment court pour décrire la thermique par un régime adiabatique sur les constrictions. L'énergie thermique nécessaire pour faire élever la température des constrictions d'une valeur initiale (T_0) à la température de fusion (T_f) de ces dernières est donnée par la relation (1.2) [6].

$$E_{thermique} = \mu C_s V(T_f - T_0) \qquad (1.2)$$

μ : Masse volumique (Kg.m^{-3}).

C_s : Capacité thermique massique à l'état solide (J)

V : Volume du fusible (m^3).

T_f et T_0 : température de fusion et température initiale

L'énergie dissipée par effet Joule dans les constrictions pendant la phase de pré-arc d'un court-circuit menant à la fusion est exprimée par la relation (1.3)

$$E_{Joule} = \int_{t_0}^{t_f} Ri^2(t)\, dt \qquad (1.3)$$

R : résistance de la constriction (Ω).

I : courant traversant le fusible (A).

t_f : temps nécessaire pour atteindre la fusion (s).

Sous l'hypothèse d'un régime adiabatique, on a donc l'équivalence suivante :

$$\mu . C_s . V(T_f - T_0) = \int_{t0}^{tf} Ri^2(t)dt \qquad (1.4)$$

Rappelons que :

R = $\rho \times \frac{L}{S}$ (la résistance du métal constriction).

V = L × S (S, la section de la constriction et L, la longueur de la constriction).

En remplaçant R et V dans l'expression (1.4), on obtient la relation (1.5) :

$$\mu . C_s . L . S(T_f - T_0) = \rho \frac{L}{S} \int_{t0}^{tf} i^2(t)dt \qquad (1.5)$$

Une fois la relation (1.5) normalisée, nous obtenons :

$$\frac{\mu}{\rho} . C_s(T_f - T_0) = \frac{1}{S^2} \int_{t0}^{tf} i^2(t)dt \qquad (1.6)$$

Dans l'équation (1.6), on peut remarquer que le premier terme (à gauche) est dépendant uniquement des propriétés physiques du matériau formant la constriction, par conséquent, il peut être considéré constant pour un matériau donné. La relation précédente devient :

$$K = \frac{\mu}{\rho} . C_s(T_f - T_0) = \frac{1}{S^2} \int_{t0}^{tf} i^2(t)dt \qquad (1.7)$$

L'équation (1.7) est appelée équation de Meyer pour la fusion d'un fusible [6]. Le paramètre K est appelé coefficient de Meyer. Les industriels portent un grand intérêt à cette équation [6], car elle permet de prédire les caractéristiques énergétiques de coupure d'un fusible en se basant simplement sur la nature du matériau et sa géométrie.

Le paramètre K peut également être exprimé par la relation (1.8) [6] obtenue de la même manière que la relation (1.5) mais en considérant un bilan énergétique sur un élément de volume élémentaire Sdl en régime adiabatique. Par intégration sur toute la longueur l=L d'une géométrie de type conducteur de section constante S, il vient :

$$I^2T_P = \frac{\mu C_P S^2}{\rho\alpha} \ln\left(\frac{1+\alpha(\theta_f - 25^\circ C)}{1+\alpha(\theta_{init} - 25^\circ C)}\right) \quad (1.8)$$

Avec, dans le cas du cuivre :

μ : Densité volumique du cuivre (8940 $Kg.m^{-3}$)

C_P : Chaleur massique du cuivre (380 $J.K^{-1}.Kg^{-1}$)

S : Section de la constriction du fusible (m^2).

ρ : Résistivité du cuivre à 25 °C ($1{,}72.10^{-8}$ Ω.m)

α : Coefficient de sensibilité thermique du cuivre ($3{,}9.10^{-3}$)

θ_f : Température de fusion du cuivre (1083 °C)

θ_{init} : Température statique initiale du point chaud au centre de la constriction (fixée à 115 °C dans le cahier des charges thermique des fusibles par la suite).

Dans le cas des fusibles à lames, où les fusibles sont constitués de plusieurs constrictions en parallèles, la valeur de l'I^2T totale d'un fusible ($[I^2T]_{fusible}$) pour «N» constrictions en parallèle est donnée par la relation (1.9). Avec $[I^2T]_{constriciton}$ la valeur de l'I^2T d'une seule constriction.

$$(I^2T)_{fusible} = N^2(I^2T)_{contriction} \quad (1.9)$$

Lorsque les constrictions sont en série, la valeur de l'I^2T du fusible est l'addition des I^2T de chacune des constrictions.

3.2 Tension assignée

C'est la tension nominale de fonctionnement. Elle doit être supérieure à celle du réseau sur lequel est installé le fusible.

3.3 Tension de rétablissement

La tension de rétablissement est la tension qui apparait aux bornes d'un fusible après l'annulation d'un courant de défaut. Cette tension est très souvent oscillante de par la présence d'un filtre entre l'alimentation et le circuit dans lequel se trouve le fusible.

3.4 Puissance dissipée

Lorsqu'un fusible est parcouru par un courant, l'élément fusible, possédant une certaine résistance ohmique, dissipe de la puissance par effet Joule. C'est une mesure de l'échauffement dans un fusible pendant un certain intervalle de temps.

3.5 Courants caractéristiques

Lorsque le fusible est en régime de fonctionnement nominal, il supporte un courant nominal « I_N ». C'est la valeur de courant que le fusible peut supporter indéfiniment sans échauffement important qui amènerait à une détérioration. Pour les fusibles moyenne tension, ce courant doit être affecté d'un coefficient correcteur dès que la température environnante (où le fusible est placé) dépasse les 40 °C. On distingue également d'autres valeurs de courants remarquables.

3.5.1 Courant I1 (Pouvoir de coupure d'un fusible)

C'est la plus grande valeur du courant présumé que le fusible peut interrompre sans provoquer de dommages sous une tension fixée. Afin d'assurer une coupure sans engendrer d'endommagement, il est impératif de s'assurer que le courant de court-circuit du réseau est au plus égale à cette valeur I1 [3], [5], [6].

3.5.2 Courant I2

La valeur I2 correspond à une valeur de courant donnant des conditions proches de l'énergie d'arc maximale. Cette énergie d'arc de l'énergie stockée dans l'inductance du circuit. Pour les fusibles moyenne tension, cette grandeur permet aux constructeurs de garantir une coupure pour toute la zone de courant qui se situe entre I1 et I3 (courant minimal de coupure).

3.5.3 Courant I3 (courant minimal de coupure)

Il existe un courant minimal de coupure désigné par « I3 ». C'est une valeur limite amenant tout juste la fusion du fusible sans détériorer son enveloppe et ses électrodes. Si cette valeur n'est pas respectée, l'arc électrique engendré reste maintenu (un temps de fusion trop long ne permet plus le régime adiabatique sur les constrictions et l'ensemble du fusible s'échauffe puis se détériore avec un risque de départ de feu …). Pour les fusibles moyenne tension, cette valeur de I3 se situe entre 2 et 6 I_N (courant nominal).

4 TYPES DE FUSIBLES

Il existe différents types de fusibles, suivant la puissance mise en jeux et la forme d'onde du courant, alternative (AC) ou continue (DC), sur type d'insertion et de report. Dans le cas des applications AC, la tension coupée est bien supérieure. La forme d'onde possédant une fréquence de 50-60 cycles par seconde, s'annule périodiquement, ce qui favorise l'extinction d'un arc électrique de défaut. A l'inverse, pour les fusibles DC, la continuité de la forme d'onde rend son extinction plus difficile. L'arc généré continue de s'étendre jusqu'à ce que, durant la phase d'arc, la chute de tension aux bornes du fusible (à son maximum) devienne supérieure à la tension de la source forçant le courant à décroitre. La Figure 3 dresse un récapitulatif succinct des différents types de fusibles suivant la nature des formes d'ondes de la tension et du courant aux bornes de ces derniers.

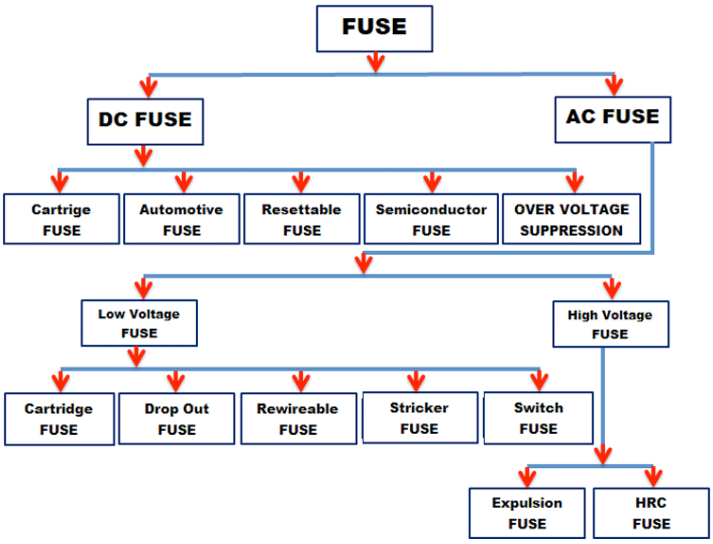


Figure 3 : Récapitulatif des types de fusibles suivant la forme d'onde (AC/DC) du circuit [7].

4.1 Fusibles à cartouche (Cartridge Fuse)

Les fusibles cartouche sont l'un des types très connus et utilisés dans des secteurs industriels et foyers domestiques. Sur la Figure 4.a on peut apercevoir un fusible cartouche basse tension et faible courant, ce dernier est classé dans la catégorie *D-type*. Ils sont généralement composés d'une base, d'une bague d'adaptation, d'un capuchon et bien sûr la cartouche protectrice (en verre, céramique). L'élément fusible, sous forme de fil conducteur ou d'une barrette, est réalisé avec de l'aluminium, argent, cuivre ou bien du zinc. Une autre version, dite fusible *fuselink* est présentée sur la Figure 4.b. Ils sont destinés à des niveaux de tension plus élevées (moyenne tension). Ces fusibles sont insérés sur support à lames pour être amovibles et facilement remplaçables ou bien à visser sur busbar ou PCB.



(a) (b)

Figure 4 : Exemples de fusibles cartouche type *D-link* (a) : Eaton Bussmann 250 V/30 A (50,8 mm x 14,3 mm) [8] et type *fuselink* (b) : Cooper-Bussmann 690 V/6-710 A (77 mm x 19,1 mm) [9].

La Figure 5 illustre les différentes parties constituantes de ces fusibles. On retrouve les éléments fusibles (constrictions) qui sont réalisés sur une plaque de cuivre, ou autres métaux (argent, aluminium), répartis en série/parallèle. Les constrictions sont réalisées mécaniquement par poinçonnage et sont connectées par la suite à des terminaux (pads) de part et d'autre pour réaliser les connexions avec le circuit dans lequel ils sont montés. Les courants coupés lorsqu'un défaut se produit sont très importants. Afin de pouvoir procurer une protection optimale durant la survenue d'un court-circuit, on ajoute une poudre de quartz, très fine (environs 300 µm de diamètre). Les particules de quartz permettent d'éteindre l'arc plus rapidement en absorbant l'excès d'énergie durant la coupure et se transforme par vitrification en fulgurite qui apporte une isolation post-claquage.

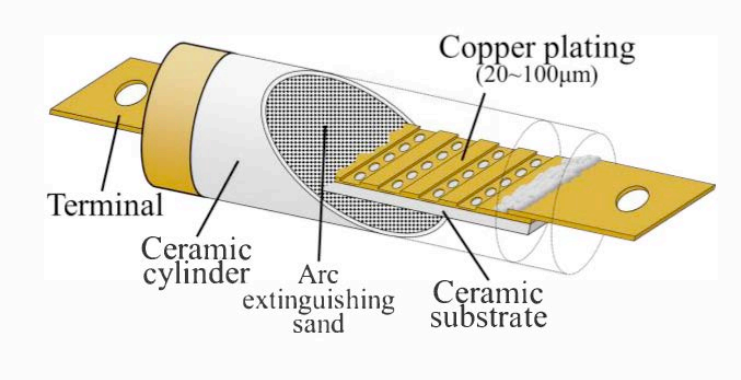
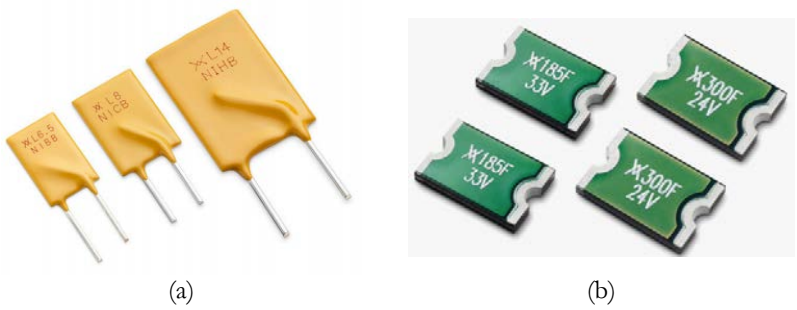


Figure 5 : Exemple de fusible cartouche [10].

4.2 Fusibles réarmables (Resettable Fuses)

Ces fusibles (Figure 6) sont principalement des limiteurs de courant, ils sont constitués de matériaux céramique ou polymères à coefficients thermiques positifs (PTC : Positive Temperature Coefficient). Lorsqu'une élévation importante de la température se produit, due à l'augmentation de la densité de courant admise, leurs résistances augmentent. Ce changement de résistance se produit grâce à une expansion des particules des polymères, ce qui réduit la conductivité. Le courant circulant à travers le fusible se trouve limité et en dessous d'une valeur néfaste pour les circuits en amont. A l'état de haute résistivité (ou de faible conductivité) le courant de fuite doit rester suffisant sous la tension aux bornes pour maintenir l'auto-échauffement nécessaire à l'obtention d'un point de stabilité. Ils retrouvent une valeur de résistance nominale une fois l'incident réparé et la température revenue à la normale. Ce type de limiteur n'est pas un fusible, il sert à sécuriser tout défaut de court-circuit à l'entrée des alimentations à découpage basse tension et faible courant. Ses caractéristiques sont « duales » de celle d'un para-surtenseur de type ZNO.



(a) (b)

Figure 6 : Fusible PTC réarmables : (a) Littelfuse 16 V/3,5-15 A [11] et (b) Littelfuse 60 V/3 A [12].

4.3 Fusibles automobiles (Automotive Fuses)

Les fusibles destinés au secteur automobile et au transport sont multiples. Les tensions assignées ne dépassent pas généralement les 32 V, mais ils existent des modèles à 48 V, 58 V et même 500 V, notamment pour les modules de traction des véhicules électriques. On retrouve ces fusibles dans les convertisseurs, tableau de bord, système de gestion de la batterie, systèmes électroniques de gestion de freinage (ESP), systèmes de refroidissement, etc. La Figure 7 présente quelques-uns de ces fusibles. On retrouve notamment les plus connus (Figure 7.a), en multi-couleurs, où chaque couleur correspond à un certain niveau de courant. Les fusibles sont généralement faits à base d'aluminium, cuivre, zinc, argent ou bien des mélanges de métaux, suivi d'une finition étain, puis recouvert les plus souvent avec une couche de polyamides (PA66). Les autres fusibles présentés sur la Figure 7 sont des fusibles à courants plus importants (entre 30 A et 500 A). Réalisés

à base de cuivre plaqué étain (Figure 7.b), en cuivre seul (Figure 7.c) ou bien avec un mélange de zinc et autres matériaux (Figure 7.d) protégés par une couche de céramique. Là aussi, ces fusibles doivent pouvoir être interchangés.



(a) (b) © (d)

Figure 7 : Fusibles Littelfuse à lames destinés pour l'automobile et le transport : (a) fusible Micro2 32 V/5-30 A, (b) fusible Mega 70 V/60-500 A, (c) fusible Mega cuivre 32 V/80-175 A et (d) fusible 36 V/30-150 A [13].

4.4 Fusibles à déclencheur/indicateur (Striker Fuses)

Ce type de fusibles ressemble au type *fuselink* dans sa composition et son architecture, mais il comporte un élément supplémentaire qui est le déclencheur ou l'indicateur, qui devient apparent lorsque le fusible est rompu. Ce constituant supplémentaire est utilisé à la fois comme indicateur, pour signaler à l'utilisateur un incident et la nécessité d'une intervention, mais il peut être utilisé pour déclencher un interrupteur dans un circuit annexe, comme un disjoncteur dans un tableau d'alimentation multi-phases. Cette fonction est très intéressante dans le cas d'un problème sur une phase (surcharge/court-circuit), cette dernière pourra être déconnectée sans avoir à arrêter l'ensemble du système, cela évitera de condamner les systèmes opérant sur les phases non-défaillantes.



(a) (b)

Figure 8 : Exemples de fusibles avec déclencheur (percuteur) : Ferraz Schawmut 690 V/500 A [14].

4.5 Fusibles pour semi-conducteurs (Semiconductor Fuses)

Afin de protéger un équipement ou un composant électronique, il existe une valeur d'énergie maximale admise à ne pas dépasser, pour éviter une destruction du composant. Cette énergie est quantifiée par la grandeur I^2T. Les valeurs d'I^2T de ces composants électroniques semi-conducteurs à protéger sont souvent très faibles. Pour protéger ces composants, il faudrait disposer de fusibles à faible valeur d'I^2T qui puissent isoler le défaut rapidement et éviter sa propagation. On retrouve pour protéger ces composants, des fusibles CMS (Composants Montés en Surface), pour les petites tensions, ainsi que des versions de fusibles type *fuselink*, plus adapté pour des applications moyennes tensions (entre 200 V et 1000 V environ).

Les fusibles CMS sont composés pour la plupart d'un élément fusible, éventuellement d'une barrette en l'air ou bien réalisé sur un substrat céramique ou alumine par vaporisation métallique voire sérigraphie. Puis l'ensemble est encapsulé dans un boitier céramique ou plastique. L'élément fusible est réalisé à partir d'un alliage de différents métaux (souvent non renseignés par les constructeurs), mais pour les plus rapides, l'argent est privilégié. Pour les souder ou les sertir dans un circuit, les fusibles sont équipés de terminaux de part et d'autre, constitués de nickel, cuivre, argent, plaqués avec une fine couche d'étain pour assurer un bon report sur circuit. La Figure 9 montre des vues en coupes des fusibles CMS multicouches ainsi que les configurations à fil en l'air.

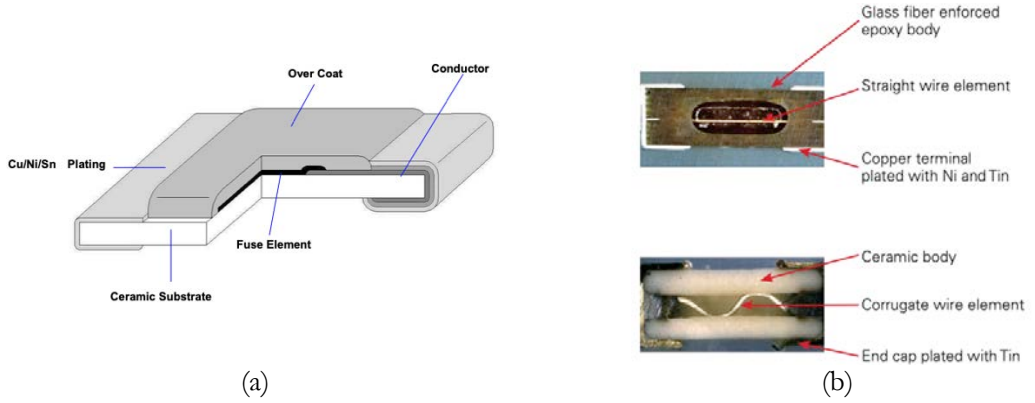


Figure 9 : Vues en coupes de fusibles CMS multicouches épaisses (a) [15] et fil en l'air (wire-in-air) (b) [16].

La Figure 10 présente un aperçu de quelques fusibles CMS rencontrés dans le commerce. Ces derniers sont peu encombrants et présentent souvent de bonnes performances de coupures et une résistance d'isolation post-claquage, de plusieurs centaines de kilo-Ohms.

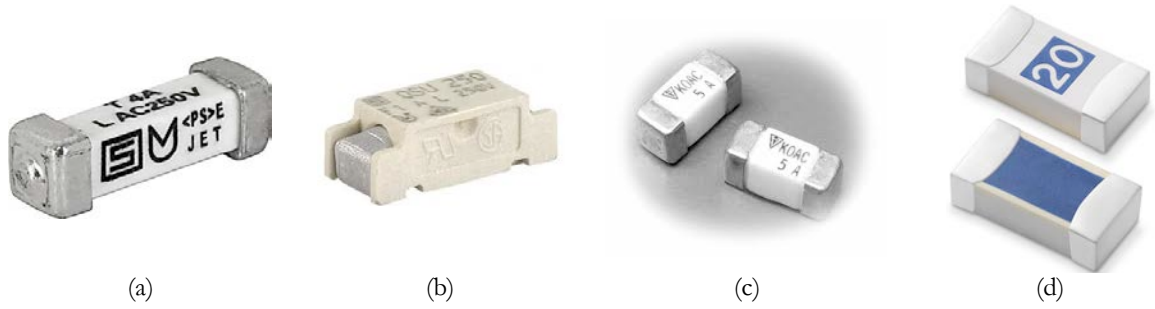


Figure 10 : Exemples de quelques fusibles CMS : (a) Schurter OSU 250 [17], (b) Schurter UMT 250 [18], (c) KOA CCF1N5 [19] et (d) Littelfuse 501 series [20].

Plusieurs niveaux de tensions existent (32 V, 50 V, 64 V), mais la plupart des fusibles CMS sont limités à une tension nominale de 125 VDC et 250 VAC. Le calibre en courant maximum est aujourd'hui de 15 A pour des produits de série. Toutefois, ils sont utilisés pour des applications moyennes tensions, en associant plusieurs fusibles en série/parallèle. Ces fusibles sont très souvent utilisés au primaire des alimentations à découpage et des auxiliaires d'alimentation secteur.

Les fusibles type *fuselink*, utilisés pour protéger les composants semi-conducteurs, sont réalisés à partir de matériaux en argent ou cuivre, dont la géométrie est optimisée pour offrir de faibles valeurs d'I^2T et de bonnes caractéristiques thermiques. Un grand nombre de contritions en série est privilégié. Cet agencement permet d'employer des constrictions plus courtes, mieux refroidies et plus fines afin d'obtenir un fusible plus sélectif et plus rapide. Le fractionnement de l'arc permet aussi une meilleure gestion de la coupure.

Plusieurs fines lames en parallèle permettent d'augmenter le calibre en courant du fusible tout en présentant une faible résistance R_{AC} vis-à-vis des effets de fréquence (effet de peau et effet de proximité) en régime de découpage (Figure 11.b)

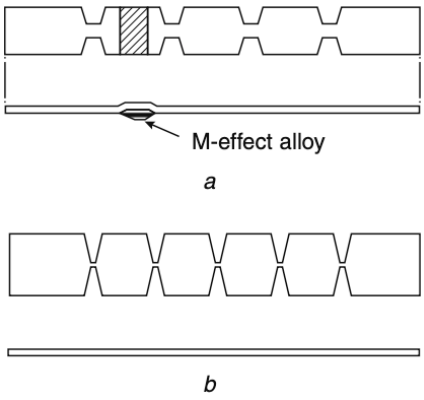


Figure 11 : Différence entre les fusibles type *fuselink* industriel (a) et semi-conducteur (b) [2].

Ces constrictions courtes et fines, sont le siège d'un gradient de température maitrisé par la présence des drains thermiques de forme trapézoïdale de part et d'autre. Afin de préserver le métal d'un vieillissement par fatigue thermique et d'une oxydation rapide (comme pour le cuivre), l'argent est généralement le plus utilisé, notamment pour des températures de fonctionnement élevées (jusqu'à 250 °C) [2]. En court-circuit, cette géométrie de piste courte préserve un régime de fonctionnement adiabatique en réduisant l'échange d'énergie avec les pads latéraux afin de garantir une fusion localisée et nette. Pour améliorer l'extinction de l'arc électrique durant un court-circuit, la poudre de quartz est compressée davantage. Cette technique permet de réduire l'énergie nécessaire à la fusion et confine l'arc électrique davantage pour éviter son étalement. Le courant nominal est également augmenté. Les grains de quartz sont parfois mélangés avec d'autres matériaux (inorganiques) afin d'augmenter le contact entre les particules de quartz et améliore la conductivité thermique du quartz, permettant ainsi l'admission d'un courant nominal plus important [2]. Des exemples de ces types de fusibles sont donnés sur la Figure 12. Ces fusibles sont le résultat d'études d'optimisation et d'essais multiples. Ils sont particulièrement performants en rapidité et en pouvoir de coupure en tension continue mais ils sont aussi plus coûteux.



(a) (b) (c)

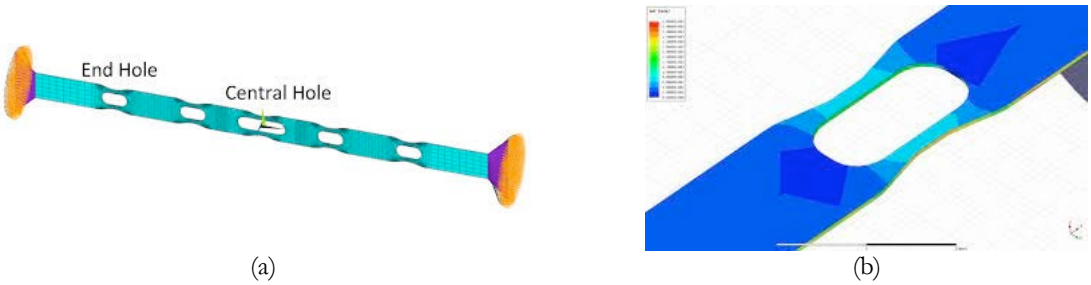
Figure 12 : Exemples de fusibles type *fuselink* pour la protection de composants semi-conducteurs : (a) Mersen 690 V/1-32 A [14], (b) Mersen 690 V/12-100 A [1] et (c) Littelfuse 300-600 VAC/1-1200 A [21].

5 EXEMPLES DE SIMULATIONS SUR LES FUSIBLES ET LEURS UTILISATIONS POUR LA PROTECTION DES CONVERTISSEURS DE PUISSANCE

5.1 Exemples de simulations sur les fusibles déployés dans la protection de composants semi-conducteurs de puissance

Plusieurs études ont été menées sur les fusibles déployés pour la protection de composants semi-conducteurs et circuits associés. Des méthodes de calcul et simulations 3D sont exploitées afin de comprendre, analyser, expliquer et améliorer le comportement des fusibles.

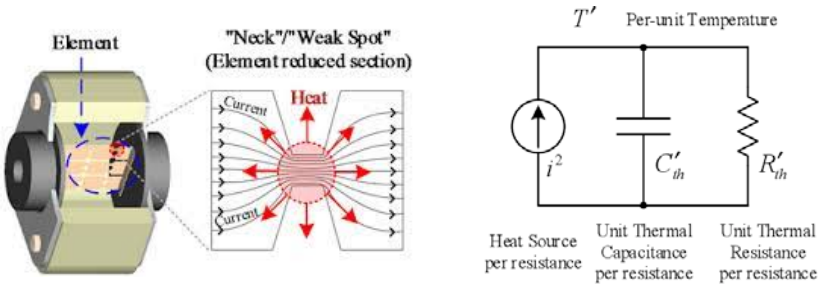
D'après [22], Le nombre de cycles thermiques perçu par le fusible ne font pas partie des critères de dimensionnement des fusibles par les constructeurs. Ces derniers limitent le nombre de cycles à 5-10, ce qui est négligeable devant le fonctionnement réel du fusible. Dans [22], un fusible (calibre 500 V/ 30 A) multi-constrictions (Figure 13), modélisé à partir d'une couche d'argent de 110 µm d'épaisseur, est présenté et simulé. L'objet de l'étude porte sur l'analyse du comportement du fusible aux stress thermomécaniques perçus durant son fonctionnement, à travers la simulation de plusieurs cycles thermiques (jusqu'à 1200 cycles) passifs d'échauffement (variations de 25 °C à 80 °C) et refroidissement (variations de 90 °C à 15 °C). Le cyclage thermique a également permis de déterminer le type de déformation (élastique ou plastique suivant le niveau de stress et la localisation des points de fragilités (constrictions notamment) et plus globalement le niveau de fatigue thermomécanique de la couche d'argent.



(a) (b)

Figure 13 : Modélisation d'un fusible multi-constrictions sur ANSYS (a) et densité de courant dans la région constriction (b) [22].

Dans [23], l'étude propose un modèle de fusible multi-constrictions (Figure 14.a), où ce dernier serait représenté par un circuit électrique simple (Figure 14.b), composé d'une source de flux de chaleur normalisée par unité d'Ohms, donc en unité de courant (i^2) pour modéliser l'échauffement se produisant dans les constrictions, la capacité thermique des constrictions normalisées (C_{th}) et une résistance thermique normalisée (R_{th}) pour modéliser le transfert de chaleur des constrictions vers la poudre (sable) de quartz en passant par les pads également.



(a) (b)

Figure 14 : Représentation 3D d'un fusible multi-constrictions (a) schéma électrothermique équivalent [23].

Cette modélisation normalisée d'un fusible multi-constrictions en argent, est entièrement basée sur la caractéristique courant-temps des fusibles, fournie par les constructeurs. Cette technique s'affranchie de la nécessité de connaitre la résistance des constrictions d'un fusible et la température de fusion du matériau les constituant. Le modèle peut également être exploité afin de prédire le comportement d'un fusible en dessous d'un temps de pré-arc de 100 µs, ce que les courbes courant-temps des fusibles, fournies par les constructeurs ne révèlent pas. Ce dernier point peut en effet être d'une grande importance, sachant que pour les fusibles protégeant les composants semi-conducteurs, c'est en dessous de cette valeur qu'ils se déclenchent afin d'éviter tout endommagement important du circuit.

Le comportement thermique d'un fusible multi-constrictions a été analysé par simulations et tests expérimentaux dans [24]. Les travaux présentent plus exactement une compréhension plus approfondie du comportement thermique d'un fusible multi-constrictions (Figure 11.a) à base d'argent, utilisé pour la protection des systèmes de recharges de batterie Li-ion des véhicules électrique [24].

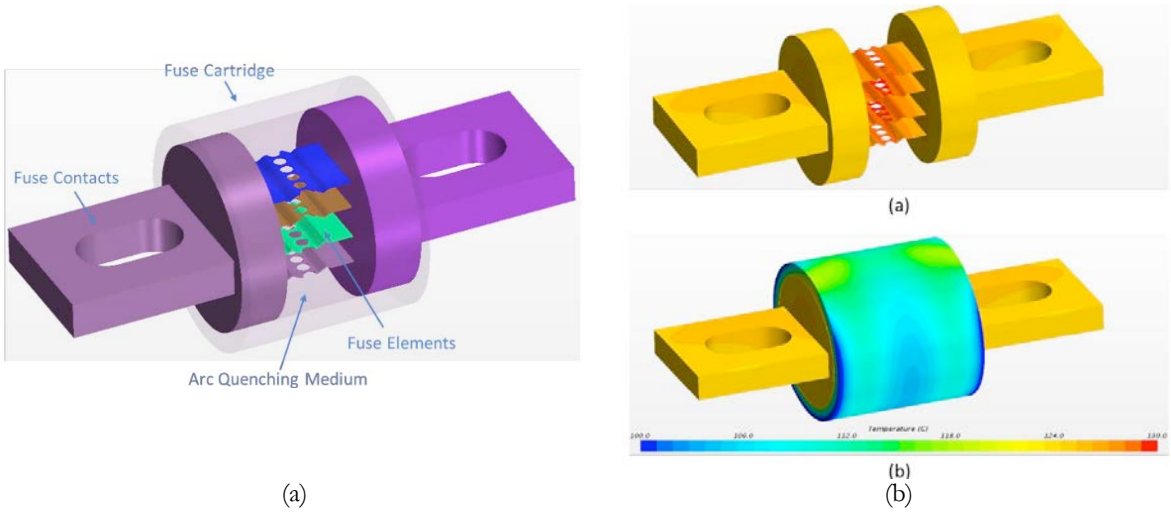


Figure 15 : Modélisation d'un fusible multi-constrictions utilisé pour assurer la protection des systèmes de recharges de batteries Li-ion dans les véhicules électriques (a) et distribution de la température au niveau des pistes et autour de la cartouche isolante (b) [24].

Les auteurs ont modélisé tout le fusible, les constrictions en aluminium, les contacts (terminaux) du fusible, le sable en quartz (pour permettre une meilleure extinction de l'arc électrique durant un court-circuit), une cartouche en polycarbonate pour contenir les constrictions et le quartz passivant, ainsi que la prise en compte de l'air ambiant autour du fusible, pour modéliser l'évacuation de la chaleur émises par les constrictions et acheminée par conduction par le quartz, puis transférée par convection entre la cartouche protectrice et l'environnement (air). L'étude concerne uniquement le fonctionnement statique nominal du fusible et ne traite à aucun moment le claquage du fusible par rupture des constrictions. L'idée est de comprendre davantage grâce à ce modèle complet l'interaction entre les différents éléments et la répartition de la température en fonction d'un calibre en courant donné. La Figure 15.b montre la distribution de la température dans le fusible, notamment au niveau des constrictions (Figure du haut) et autour de la cartouche protectrice, pour une courant de 350 A. Les auteurs rapportent une asymétrie de la distribution de la température entre les parties supérieure et inférieure du fusible (Figure 15.b). Cette asymétrie que les auteurs n'ont pas pu expliquer, est également présente dans les fusibles de même type qu'ils avaient expérimentés. Cela suggère que des modèles de simulations, comme celui-ci, peuvent être déployés afin de comprendre et améliorer le processus de fabrication de ces fusibles afin de les rendre plus performants.

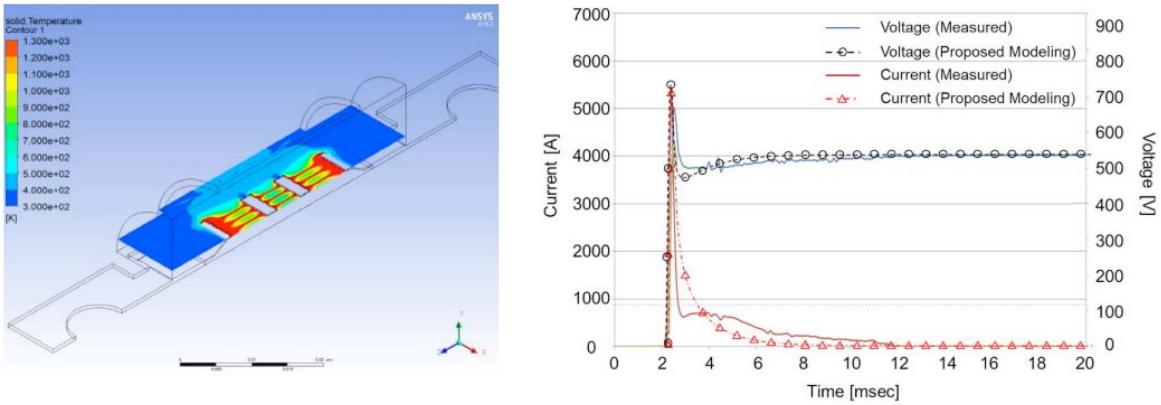
Un modèle de fusible forte puissance est présenté dans [25]. Lors de la phase d'arc, la résistance du fusible augmente, plus exactement, la résistance des constrictions (espace entre les pads) varie. L'augmentation de la puissance électrique associée, provoque l'échauffement des pistes et leurs évaporations par élévation de la température (jusqu'à celle de fusion). Les auteurs dans ce travail, proposent une manière de modéliser la valeur de cette résistance et la prédiction des formes d'ondes du courant et de la tension, en appliquant la méthode numérique de Range-Kutta de résolution d'équations différentielles, à l'équation régissant le fusible et le circuit dans lequel il est inséré.

$$L\frac{di(t)}{dt} + R_{para}i(t) + R(t)i(t) = V_{in} \qquad (1.10)$$

Avec $R(t)$ la résistance du fusible, R_{para} la résistance parasite du circuit, L l'inductance parasite du circuit, V_{in} la tension d'entrée du circuit d'alimentation et $i(t)$ le courant circulant dans le circuit.

Une fois les formes d'ondes obtenues, la puissance est calculée. L'augmentation de cette puissance a pour conséquence la création d'un échauffement et l'augmentation de la pression dans le fusible, due à la vaporisation du métal et à la vitrification de la poudre de quartz servant à passiver l'arc. En utilisant un modèle physique (Brinkmann-Darcy-Forchheimer) et des équations de conservation de l'énergie et de continuité, les auteurs ont développé un modèle qui peut être utilisé afin de calculer la pression interne du fusible à un instant donné de la phase de pré-arc et d'arc.

Les auteurs ([25]) ont dimensionné un modèle sous ANSYS™ et l'ont utilisé pour comparer les résultats obtenus avec le modèle mathématique et électrique proposé. La Figure 16 montre le résultat d'une simulation 3D multi-physique, illustrant la distribution de la température dans le prototype et la comparaison entre les résultats de simulations et les résultats des tests expérimentaux.



(a) (b)

Figure 16 : Modèle d'un fusible haute tension (a) et corrélation entre le modèle théorique et les résultats expérimentaux (b) [25].

La Figure 16.a montre la distribution de la température sur tout le fusible simulé (sous ANSYS™), avec des valeurs assez élevées (300 K – 1,3.10³ K). La Figure 16.b montre une bonne corrélation entre le modèle simulé et les résultats expérimentaux. Le modèle semble donc bien adapté pour prédire les formes d'ondes d'un fusible. Les auteurs rapportent une erreur de 6,49 % seulement, lors de l'estimation de la pression interne du fusible, entre le modèle électrique et mathématique proposé et le modèle simulé sous ANSYS™.

Dans [26], les auteurs proposent un modèle de rupteur – fusible (350 V/10 A) réalisé sur un substrat PCB FR4 (Figure 17) destiné à être déployé dans une architecture de convertisseurs à tolérance de pannes. Les

constrictions du fusible sont réalisées sur une couche de cuivre de 18 µm d'épaisseur. En dessous de ces dernières, un matériau énergétique, de la nitrocellulose est renfermée dans une cavité recouverte d'une fine membrane FR4. Cette dernière est choisie en fibres courtes non tissées afin de produire une rupture mécanique homogène et plus nette qu'un matériau en fibres tissées. A l'aide d'un circuit déclencheur, une impulsion est envoyée pour initier et emballer le matériau énergétique. La combustion du matériau augmente la pression à l'intérieur de la cavité (sous les constrictions) et vient pressuriser puis provoquer la rupture de la membrane sur laquelle reposent les constrictions. Il s'agit du mode rupteur. En mode fusible, pour améliorer la coupure électrique des éléments constrictions, une solution composée de grains de quartz a été agglomérée à un vernis qui permet un bon maintien et collage sur le PCB [26]. Ces grains de quartz absorberont l'excès d'énergie après le claquage du fusible et empêchera l'ablation des pads thermiques.

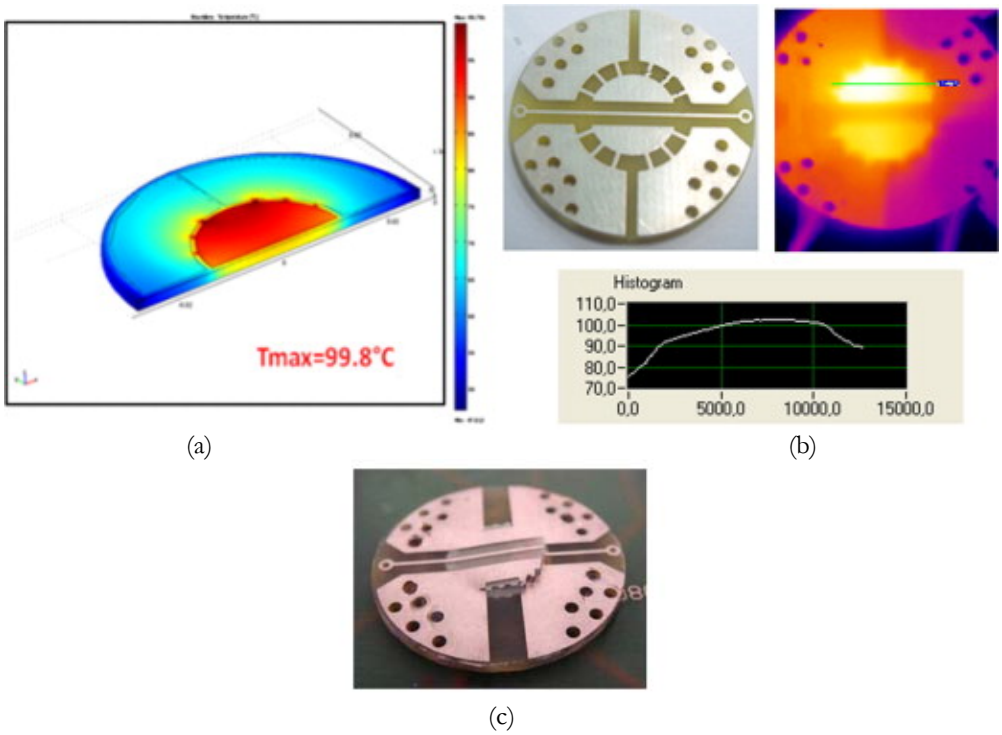


Figure 17 : Modèle d'un fusible réalisé sur substrat FR4 : (a) simulations Comsol Multiphysics™, (b) résultats de l'observation avec une caméra thermique et profil de température associé aux constrictions [26], c) photo d'un rupteur « ouvert » à deux voies dont la membrane a été pressurisée par matériau énergétique.

Une étude thermique d'un fusible 1600 V/32 A a été menée par [27]. Le modèle proposé comprend tous les éléments d'un fusible : les constrictions et les pads thermiques en argent de 100 µm, l'élément de passivation de l'arc (quartz), les terminaux d'entrée/sortie du courant (*end-caps*) et la cartouche céramique protectrice. L'étude traite principalement de l'impact de la géométrie des constrictions sur le comportement thermique statique du fusible. Le modèle est également utilisé pour estimer le temps de pré-arc des fusibles et pour comparer aux valeurs données dans une *datasheet* d'un composant similaire, testé expérimentalement. Les auteurs rapportent une erreur de ±6 % seulement entre les données récoltées de manière expérimentales et celles simulées avec le modèle développé.

La démarche générale d'optimisation de ces fusibles repose sur la recherche du meilleur compromis entre une énergie de fusion (I^2Tp) faible en régime de coupure (fusible rapide) et une température maitrisée au sein du fusible en régime nominal sous contrainte de tension et de courant nominaux. Le pouvoir de coupure (produit tension maximale par le courant maximal en phase d'arc) ainsi que la capacité d'absorption

énergétique (intégration du pouvoir de coupure durant la phase d'arc) sont des données essentielles pour la conception du fusible.

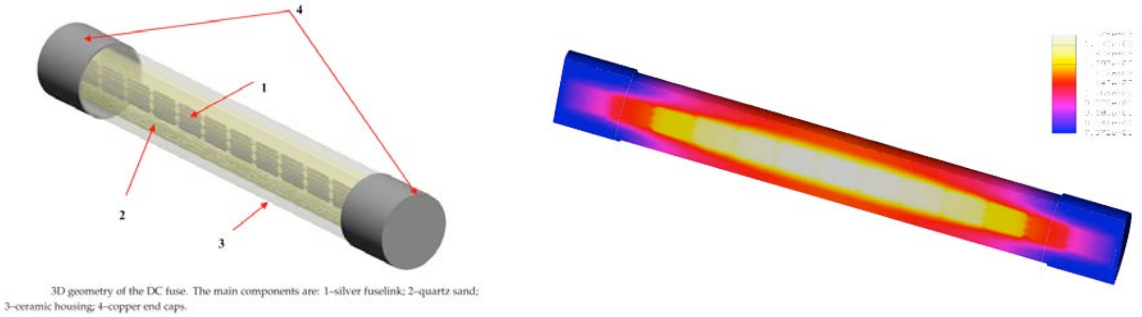


Figure 18 : Modèle d'un fusible calibré 1600 V/32 A (a) et distribution de la température associée (b) [27].

D'autres études se sont intéressées aux phénomènes fréquentiels et leurs influences sur la distribution des lignes de courants dans les constrictions d'un fusible, comme présenté dans [28]. Les auteurs proposent une étude comparative entre trois architectures de disposition des constrictions d'un fusible et proposent des solutions, pour un réajustement (de-rating) du calibre en courant en fonction de la fréquence de fonctionnement (hautes fréquences), par application de coefficients correcteurs. Lorsque le fusible opère à des niveaux de fréquences très élevées, les effets de peau et effet de proximité viennent augmenter localement les densités de courant et les pertes joules globales. Les auteurs proposent deux méthodes pour évaluer les coefficients de de-rating nécessaires pour maintenir le même niveau de pertes Joules au sein des fusibles. En fonctionnement nominal, la puissance dissipée aux bornes d'un fusible peut être écrite sous la forme $P_N = R_N I_N^2$, où R_N représente la résistance et I_N le courant nominal du fusible. Si à haute fréquence la résistance du fusible augmente vers R_H, un coefficient correcteur peut être appliqué afin de maintenir les pertes dans le fusible à P_N. Cette première technique de de-rating consiste donc à appliquer un coefficient correcteur égal à $F_P = \frac{I_H}{I_N} = \sqrt{\frac{R_N}{R_H}}$, où I_H serait le nouveau courant dans le fusible à haute fréquence (plus faible que I_N). La seconde technique traite le cas d'une surcharge en courant dans une des pistes du fusible due à des effets de proximité. Dans l'hypothèse où le courant dans une piste est augmenté d'un facteur w_H, un facteur de correction égal à $F_P = \frac{I_H}{I_N} = \frac{w_N}{w_H}$ peut être appliqué pour limiter les pertes à P_N. Sachant que les effets de peau et de proximité à 50-60 Hz sont négligeables, w_N est donc égal à 1. Toutefois, lors du choix d'un fusible, la température ambiante de fonctionnement, la taille des câbles de connexions du fusible et la nature des surintensités doivent être prises en compte. A des fréquences inférieures à 10 kHz, il faudrait également considérer la présence d'éléments conducteurs (câbles) pouvant créer un champ magnétique, perturbant la disposition des lignes de courant dans le fusible.

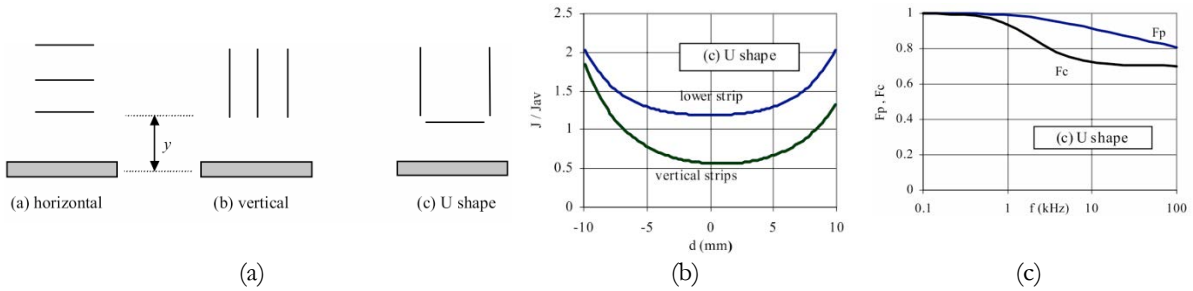
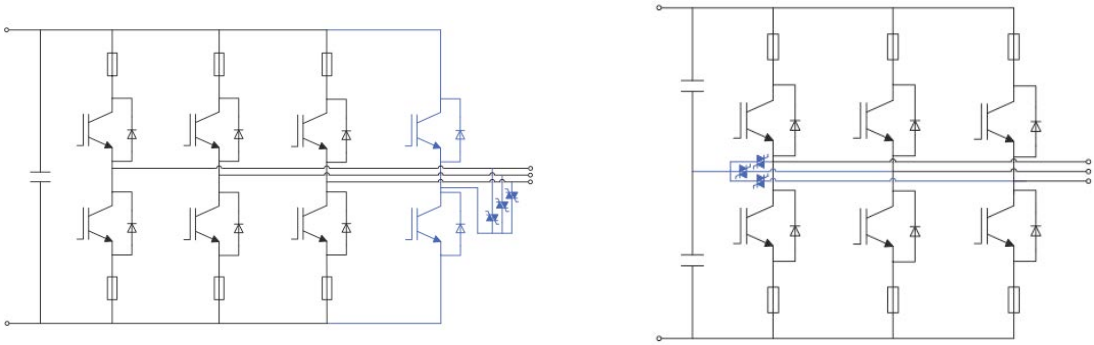


Figure 19 : Topologies de disposition de constrictions d'un fusible (a), densité de courant pour les constrictions (b) et coefficients correcteurs (c) [28].

5.2 Utilisation des fusibles dans la protection de convertisseurs de puissance

Les fusibles sont des composants bien connus pour isoler tout ou une partie d'un circuit présentant une défaillance. Ils permettent l'interruption de niveaux de courants très élevés, lorsqu'un défaut ou une surcharge intense sont détectés. Ainsi, ils protègent les équipements et évitent à ces derniers de subir des dommages plus importants, à cause de la propagation, où la survenue de nouvelles défaillances. Dans des configurations de convertisseurs plus avancées, les fusibles permettent la reconfiguration des circuits, en séparant et isolant les parties défaillantes d'un circuit. Plusieurs travaux ont étés menés sur des architectures de convertisseurs à tolérance de pannes, où des alternatives ont été proposées pour permettre la poursuite du fonctionnement après un défaut sur un composant [29]–[39].

Ces fonctions de redondances sont très importantes, notamment dans le cas des applications où l'arrêt n'est pas permis (aviations, transport, data center), car cela engendre des situations d'instabilité et de danger, pouvant aboutir à des catastrophes. Dans le cas de convertisseurs à deux niveaux de tension, on retrouve notamment deux techniques de reconfiguration bien connues. La première (Figure 20.a) consiste à ajouter un quatrième bras aux côtés des trois (triphasés) existants. Ce bras secours peut remplacer l'un des trois bras principaux, après détection de la faute et isolation. Bien que cette technique permette la conservation de la même puissance de sortie après la défaillance, elle requiert davantage de composants [40]–[42] mais elle nécessite aucune reconfiguration de la commande, si ce n'est un aiguillage des ordres de commande du bras défaillant vers le bras secours. La seconde stratégie (Figure 20.b) permettant d'assurer une continuité de service d'un convertisseur consiste à déconnecter le bras défaillant par déclenchement des fusibles correspondants. Cette opération est réalisée simplement et directement par l'utilisation d'un thyristor [40] assurant deux fonctions : l'isolement du bras défaillant et la reconnexion de la phase sur un point milieu de tension. Cette technique bien qu'elle permette une reconfiguration du circuit pour éviter un arrêt total, présente l'inconvénient de la réduction de la puissance de sortie (une des phases est déconnectée) par un facteur $\sqrt{3}$ et une reconfiguration en diphasée 60° sur les deux phases actives. Toutefois, elle présente l'avantage de nécessiter moins de composants supplémentaires et permet la continuité du fonctionnement (en mode dégradé) [43], [44].



(a) (b)

Figure 20 : Architectures de convertisseurs à tolérance de pannes, par le rajout d'un bras secours (a) ou la dégradation du convertisseur d'une configuration à 6 composants (B6) à une configuration à 4 composants (B4) (b) [40].

Les fusibles sont également intégrés dans des solutions de convertisseurs multi-niveaux pour assurer des fonctions de tolérances de pannes. Plusieurs solutions sont ainsi proposées en littérature [42], [45]–[50]. Du fait du nombre important de composants (interrupteurs) intégrés dans ces configurations, le risque qu'un des interrupteurs rentre en défaillance est plus élevé. En revanche, ces architectures sont plus tolérantes aux défaillances en isolant le composant ou le bras défaillant et reconfigurant le circuit pour continuer à

fonctionner. Les degrés de liberté offerts par les redondances intrinsèques de la topologie et exploitables par la commande permettent de suppléer à la défaillance d'un composant. La topologie multicellulaire est naturellement adaptée au mode de défaillance court-circuit (fail-to-short) et inversement pour la topologie parallèle qui s'accommode naturellement du mode circuit-ouvert (fail-to-open). Ainsi, pour la plupart de ces convertisseurs multi-niveaux, le rajout de bras auxiliaire n'est souvent pas nécessaire tout comme l'insertion de fusibles mais au prix d'un report de sur-contrainte sur les autres composants actifs. Dans ces conditions, une stratégie de reconfiguration de la commande rapprochée (modulation et porteuses) est nécessaire ce qui implique d'identifier le composant ou à minima la cellule de commutation défaillante.

Certaines structures multiniveaux ne sont pas organisées de manière cellulaire comme la très connue topologie NPC. La gestion de panne interne nécessite alors des fusibles placés en tête de bras comme présenté en Figure 21. Le bras principal est composé de fusibles en tête de bras de manière symétrique. Les diodes de clamp sont réutilisées pour assurer une reconnexion de la charge au point milieu. Dans le cas où le composant S_{ap1} est défaillant (contour en rouge), le fusible Fa1 est déclenché pour isoler le composant. Les composants S_{ap2} et S_{an2} (en vert) sont ensuite mis en conduction pour connecter la phase A au point central du bras secours. Là aussi, un thyristor *crowbar* permettra à la fois de forcer les fusibles à isoler et à permettre la reconnexion de la phase de sortie au point milieu de secours, astucieusement à travers de multiples diodes, sans faire appel à la commande de composants (ex. S_{ap2} et S_{an2}).

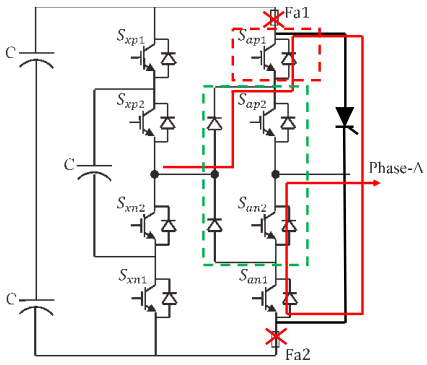


Figure 21 : Architecture à tolérance aux fautes, dite Flying capacitors, avec bras auxiliaire [33].

D'autres architectures existent dans la littérature, avec et sans l'utilisation de fusibles pour apporter des fonctions des protections contre les éventuelles circuit-ouvert ou court-circuit. Toutefois, dans ces travaux de thèse, on se limite aux structures déployant des fusibles pour montrer l'intérêt de leurs utilisations.

6 L'INTEGRATION EN ELECTRONIQUE DE PUISSANCE

En électronique de puissance, on porte un intérêt majeur à l'intégration de fonctions et de composants actifs et passifs afin de répondre aux demandes croissantes de densités de puissance, notamment avec l'avènement de composants grand gap (WBG : Wide Band Gap). L'intégration technologique peut en effet apporter des bénéfices, comme la réduction de surface occupée, l'amélioration de la fiabilité et disponibilité des équipements. Cela peut également permettre de réduire les coûts de fabrication.

Suivant l'utilisation finale et la puissance souhaitée, plusieurs modes d'intégration existent. On distingue notamment l'intégration hybride et l'intégration monolithique. Il faut noter que le but de ces intégrations est d'optimiser les performances, réduire les coûts par la fabrication collective et améliorer le volet sûreté de fonctionnement (disponibilité et fiabilité).

6.1 L'intégration hybride

L'intégration hybride permet d'associer sur un même substrat et dans un même boitier des composants et fonctions produits à partir de matériaux différents (conducteurs et isolants). Le but étant d'allier les performances de chacun de ces composants, avec le moins de perturbations possibles. La fabrication simplifiée et les performances exploitées de manière optimale sont les atouts de ce mode d'intégration. Ce mode d'intégration est adapté pour des applications fonctionnant à des densités de courants supérieures à 100 A/cm² et des tensions allant de 600 V à 1700 V. Un exemple de ces modules de puissance est montré sur la Figure 22.

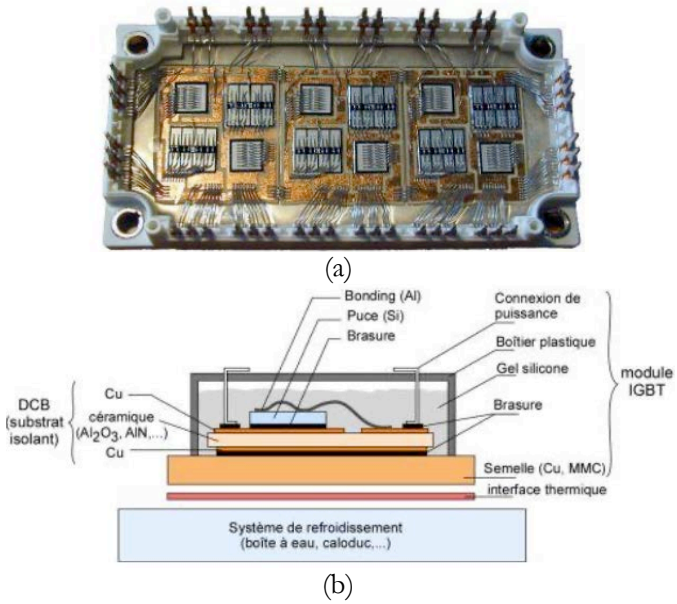


Figure 22 : Module de puissance (600 V-200 A) ouvert et schéma d'assemblage du module de puissance [51].

Un certain nombre de puces sont disposées en parallèle et reliées par des fils de câblage. Ces puces sont reportées en face arrière sur un substrat DBC (Direct Bonded Copper), qui assure d'une part le report des contacts en face arrière et permet une bonne évacuation de la chaleur dissipée et d'autre part, il contribue au bon maintien mécanique du module. Le substrat DBC est souvent constitué d'Al_2O_3 (alumine) généralement. Toutefois, l'AlN (nitrure d'aluminium) possède des propriétés thermiques plus intéressante (conductivité thermique plus élevée : 170-230 W/mK) que l'alumine et un coefficient d'expansion thermique (CTE) plus proche de celui du SiC (forte puissance), mais le processus de fabrication est plus coûteux [52]. Le substrat DBC repose quant à lui sur une semelle en cuivre ou en AlSiC, qui permet une bonne évacuation des calories sur la face arrière de la puce, vers le dissipateur.

Pour assurer la connexion de ces modules vers l'extérieur, on utilise des fils de *bondings* en aluminium, parfois en cuivre (meilleurs pour l'accommodation aux stress thermomécaniques), ces derniers sont l'une des principales sources des problèmes électromagnétiques dans les modules de puissance [53]–[55]. La Figure 8 montre quelques problématiques souvent rencontrées sur les fils de *bondings*.

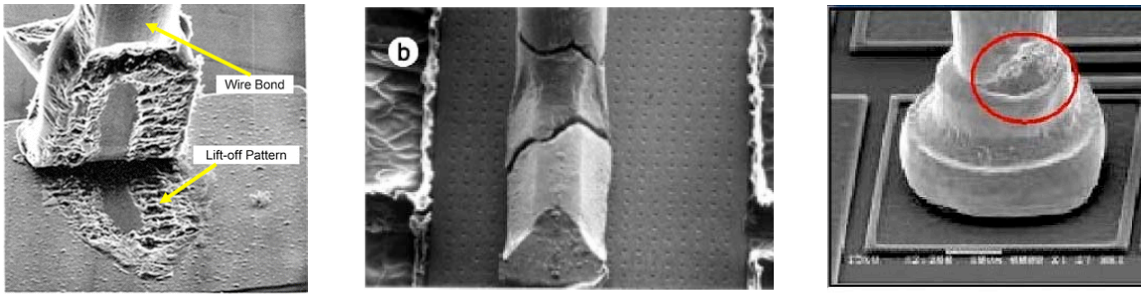


Figure 23 : Exemples de dégradation des fils de *bondings* : (a) par décollement (lift-off) [53], (b) fracture d'un pied de fil [55] et (c) par endommagement de l'interface fil-base [54].

Ces derniers sont sujets à des contraintes électriques et thermomécaniques assez importantes. Des densités de courants assez importantes peuvent en effet transiter à travers (50 A/mm²) [56], associés à des variations de température importantes, notamment dans le cas des modules fonctionnant en régime cyclé. Plusieurs travaux se sont intéressés à comprendre ces phénomènes et les analyser de manière plus approfondie [57] et même dresser des études comparatives entre des modules Si et SiC [58].

En plus des coûts non-négligeables de l'opération de câblage, les fils de *bonding* sont également source d'inductance parasite. Chacun des fils ajoutés apporte une impédance qui est relative à la longueur du fil et à la boucle formée. Cette impédance se compose d'une résistance et d'une inductance. Un module présente typiquement une valeur d'inductance parasite entre 8 nH et 20 nH environ [59], ce qui est très élevé. Ces inductances parasites apportent des perturbations électromagnétiques qui peuvent avoir comme conséquence sur un composant de puissance (Figure 24), la surtension oscillante au blocage (*overshoot*). Cette surtension, qui peut être proche ou supérieure aux tensions limites autorisées par le composant (tenue en tension maximale), contribuent à l'augmentation des pertes, notamment dans des applications à fort courants [56]. Ces surtensions à travers les dV/dt qu'elles engendrent, induisent également des perturbations au niveau des signaux de commande des grilles des composants, générés par les *drivers* [56], [60]–[62]. La multiplication de fils de *bondings* en parallèle, d'écartement suffisant, permet de réduire l'inductance parasite. Au niveau des broches internes d'alimentation, certains modules intègrent un busbar de distribution interne au module.

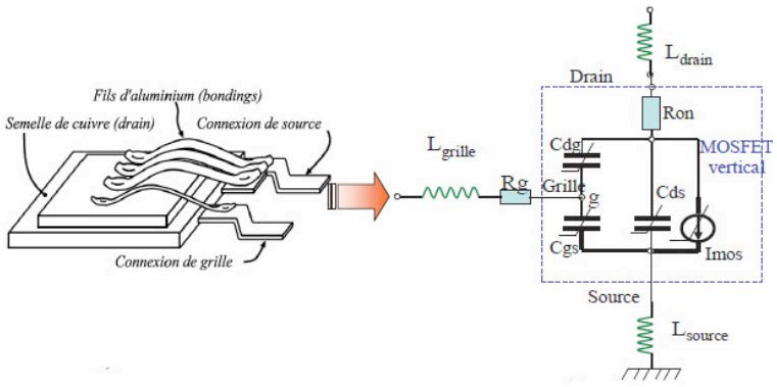


Figure 24 : Connexions internes d'un boitier MMOSFET vertical (a) et modèle équivalent simplifié du MOSFET vertical (sans diode de corps) avec les inductances parasites du câblage [60].

Les substrats utilisés pour braser les convertisseurs de puissance sont composés d'une couche diélectrique recouverte sur les deux faces par une couche métallique (en cuivre par exemple, DBC). Sur la face avant, les composants sont reportés à différents endroits et connectés vers l'extérieur grâce aux fils de *bondings*. La face

arrière est quant à elle brasée sur une semelle, puis collée sur un radiateur pour évacuer les calories résultantes de la dissipation des composants en face avant. Cette association de couches métalliques conductrices et couches isolantes diélectriques génère des capacités parasites de mode commun car le dissipateur est relié à la terre au plan de masse de référence. Le point milieu de sortie de la cellule génère de fortes variations de potentiels (dv/dt), qui provoque la circulation d'un courant de mode-commun (Figure 25) [56], [63], [64], par l'intermédiaire de la face arrière (ou drain) du transistor *low-side* [64].

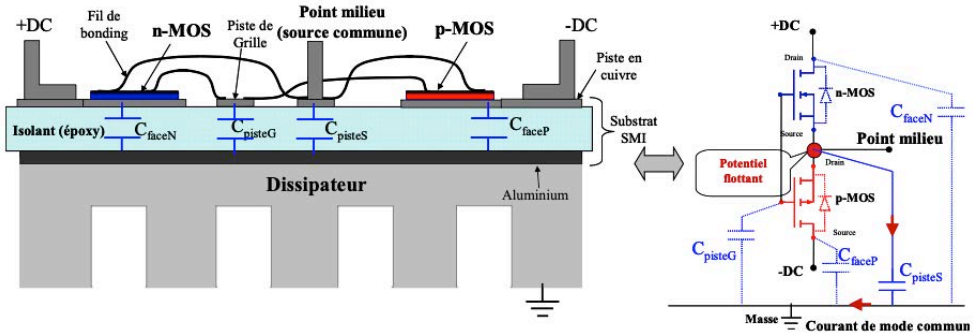


Figure 25 : Capacités parasites dans un bras d'onduleur classique [65].

Sur la Figure 25, les capacités parasites dans un bras d'onduleur sont mises en évidence avec les chemins de circulation de ce courant de mode commun (représenté en flèches rouges).

Les défaillances mises en évidence jusqu'ici révèlent principalement un manque de fiabilité au niveau des connexions par fils de *bonding*. Plusieurs solutions ont été proposées dans la littérature afin de contourner cette problématique, en proposant des architectures sans fils.

6.1.1 Solutions d'intégration hybrides

Plusieurs études et recherches ont permis de développer des solutions intéressantes qui s'affranchissent des fils de *bondings* en adoptant des architectures 3D. Les inductances sont réduites et les performances thermiques améliorées, en autorisant l'évacuation de davantage de calories dissipées. Le principe d'intégration de certaines de ces explications est expliqué de manière succincte dans la suite du chapitre.

Technologie Metal Posts Interconnecter Parallel Plates (MPIPPs)

Dans cette technologie, les composants de puissance sont disposés en sandwich entre deux substrats, comme illustré sur la Figure 26. La face arrière des puces de puissance est collée sur un premier substrat, qui est à son tour reporté sur un radiateur pour évacuer les calories et refroidir la puce. Sur l'autre face des puces, on utilise un système de poteaux métalliques (d'une longueur suffisante pour éviter un claquage entre la puce et le substrat en métallique de connexion en face avant) pour assurer les interconnexions en face avant de la puce, éliminant ainsi les fils de *bondings*. Ce report permet d'obtenir des inductances parasites de l'ordre de 1,27 nH par poteaux, au lieu de 6 nH à 16 nH par fil de *bonding* [66]. Dans les techniques de reports classiques des convertisseurs, le refroidissement se fait uniquement sur la face arrière des puces. Avec cette technique (MPIPPs), le substrat en face avant offre également une possibilité de refroidissement, qui toutefois, présente une limitation, due à la surface de contact restreinte. Dans [66], on reporte une baisse de la température maximale de jonction des puces IGBT de 17 °C en moyenne, par rapport à des modules réalisés avec des fils de *bondings*.

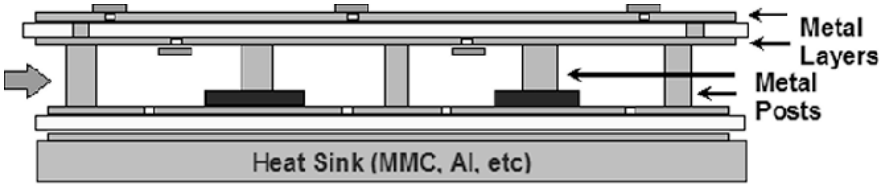


Figure 26 : Module de puissance assemblé par la technologie MPIPPs [66]

Technologie Solder Bumps Interconnect

La technique consiste à introduire des billes (*solder bumps*) déposées par refusions sur la métallisation des puces de puissance. Les billes disposent d'une résistance et d'une inductance parasite plus faible que les interconnexions par fils de *bondings* [56]. La Figure 27 montre un module de puissance (Flip chip) utilisation la technologie *solder bumps*.

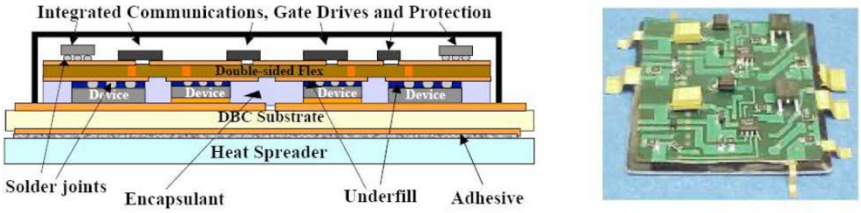


Figure 27 : Module de puissance Flip chip on Flex utilisant la technologie solder bumps [56].

Technologie Dimple Array Interconnect (DAI)

Proposée par [67], [68], cette solution est prévue pour améliorer la fiabilité aux contraintes thermiques rencontrées par la technologie solder bumps. La Figure 28 montre un exemple de module reporté avec la technologie DAI.

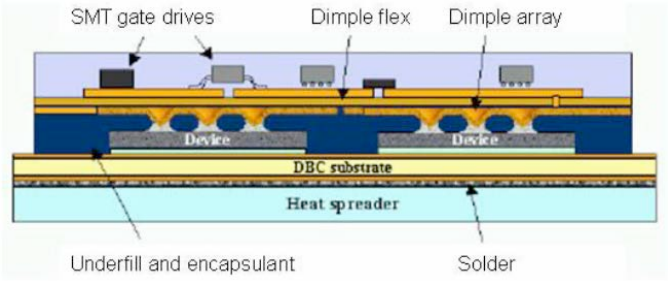


Figure 28 : Module de puissance reporté avec la technologie DAI [52].

La face avant des puces repose sur une plaque de cuivre flexible permettant de former des bumps et de réaliser les contacts par la diffusion d'une brasure locale [56]. Comme dans la technologie *Solder Bump Interconnect*, un *underfill* est déposé entre le substrat DBC et la plaque flexible pour améliorer la fiabilité de celle-ci et éviter les contaminants.

Technologie Embedded Power (EP)

Cette technologie repose sur l'enfouissement des puces de puissance dans des cavités formées dans une couche de céramique ou plus économiquement en stratifié PCB, assurant ainsi une bonne tenue aux contraintes mécaniques (Figure 29). La technique permet également de déposer une couche de cuivre (par électrodéposition) supplémentaire en face avant des puces de puissance, pour disposer d'une couche épaisse, allant jusqu'à 125 µm [69], [70]. L'inductance parasite est fortement réduite avec cette technologie [56]. L'utilisation de différents matériaux, de différentes épaisseurs, engendre des différences entre les coefficients d'expansion thermiques (CTE), ce qui impacte la fiabilité. La solution PCB est en cours d'industrialisation pour les applications automobile.

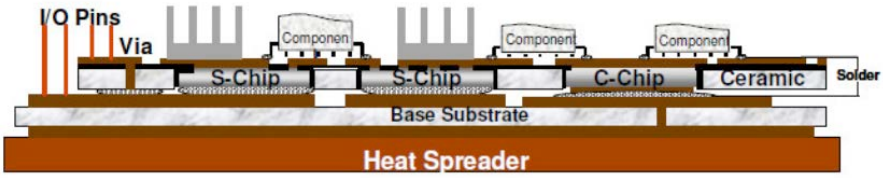


Figure 29 : Principe d'assemblage d'un module de puissance avec la technologie EP [69]

Technologie Power chip-on-chip (CoC)

Plus marginale, cette technique est la version 3D de l'approche précédente. Elle repose sur un système d'empilement de puces de puissance (Figure 30) en se basant sur des contacts de type Press Pack [71]. Les inductances parasites sont en théorie fortement réduites avec cette technique, seulement 0,25 nH ont été reportées par [72]. Cela permet d'améliorer grandement le comportement électrique et réduit le couplage électromagnétique avec la maille de commutation. Toutefois, cet empilement permet uniquement aux puces en contact direct avec le substrat d'être refroidies. La solution est mécaniquement fragile et complexe c'est d'ailleurs ce qui limite en général les approches hybrides innovantes.

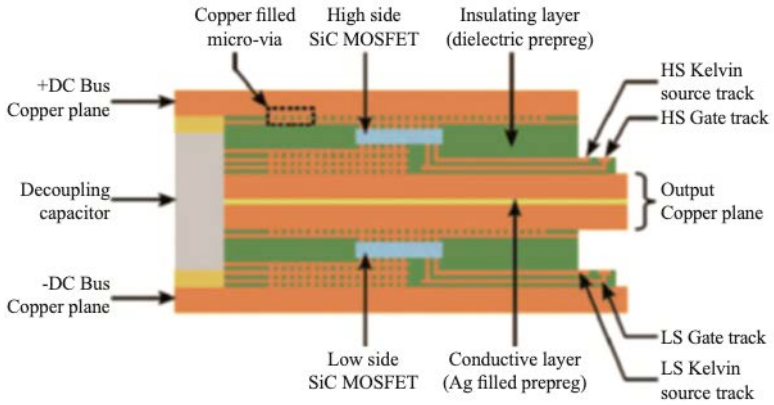


Figure 30 : Principe d'intégration d'un convertisseur de puissance avec la technologie CoC [52].

6.2 L'intégration monolithique

De manière complémentaire l'intégration monolithique permet l'association sur une même puce de plusieurs composants actifs (IGBT, MOSFET, etc…), parfois même associé à d'autres composants passifs, pour réaliser des fonctions de commutation, de commande, de contrôle ou de protection. Les techniques d'intégration monolithique permettent d'intégrer des dispositifs et applications de faible et de moyenne

puissance. La première technique d'intégration monolithique, adoptée notamment dans l'intégration de circuits intégrés (CMOS), favorise la fonctionnalité au dépend des éléments de puissance. Si dans le cas contraire, l'optimisation de la partie puissance est privilégiée, l'intégration est dite alors fonctionnelle. Dans cette seconde technique, les fonctions intégrées travaillent en interaction fonctionnelle et ne sont donc pas isolées (conception couplée).

a) Les circuits intégrés de puissance

En fonction de la puissance traitée et l'agencement et le mode de conduction de l'élément de puissance, deux types de circuits sont intégrés avec cette technologie, les circuits Smart Power et les circuits HVIC. Ces derniers (HVIC), du fait de leur mode de conduction latéral, sont dimensionnés afin de supporter des tensions de quelques centaines de volts avec des densités de courant assez faibles. Les composants Smart Power sont quant à eux capables de faire passer des courants de plusieurs ampères et tenir des tensions à l'état bloqué plus élevées que les circuits HVIC. Ces circuits peuvent également inclure des circuits digitaux (DSP), des microcontrôleurs, mémoires. La partie puissance doit être isolée de la partie de commande, pour éviter de l'endommager avec les fortes variations de courant et de tension perçue par la partie puissance. Au final la surface occupée par la partie puissance est plus faible étant donné que c'est la fonctionnalité qui est privilégiée.

b) L'intégration fonctionnelle

C'est le second mode d'intégration monolithique qui permet de répondre à des besoins technologiques importants, sans pour autant disposer d'un niveau de complexité aussi élevé que les technologies « Smart Power » et « HVIC ». Les applications visées sont celles alimentées à partir du réseau de distribution (230-400 V), les fonctions de protection, opérant sur de forts pics de courant et les fonctions bidirectionnelles en courant et tension. A cause des contraintes d'isolement rencontrées dans ces applications à densités de puissance plus élevées, une séparation matérielle est requise entre l'élément de puissance et la partie traitement de signal. Cette technique se base sur une configuration à composant vertical, qui permet de faire passer des tensions de plusieurs centaines de volts et des courants de plusieurs ampères. La technique permet également d'obtenir une meilleure tenue en tension à l'état bloqué, grâce à un meilleur étalement des lignes de champ électrique dans la zone de charge d'espace. Ce mode d'intégration est finalement l'inverse de celle employée dans les circuits intégrés de puissance. Pour les circuits intégrés de puissance, la partie contrôle et traitement du signal représente le cœur du système. L'intégration fonctionnelle, au contraire, privilégie la partie puissance et les fonctions supplémentaires associées sont construites autour.

Exemples d'intégration monolithique

Une étude comparative entre l'utilisation de composants à super jonctions IGBT et MOSFET est dressée dans [73]. Les travaux visent des applications faibles puissances (1 mW), notamment des solutions de récupération d'énergie ambiante pour alimenter des systèmes communicants (IoT : Internet of Things). Les structures des deux composants sont quasiment identiques (Figure 31.a), la seule différence réside dans la couche n+ du MOSFET qui est remplacée par le p+ pour former le SJ-LIGBT. Cette architecture de l'IGBT permet de réduire les pertes à l'état passant. L'étude s'est déroulée à l'aide d'un circuit convertissant (Figure 31.b) une tension d'entrée de 230 V à une tension de 5 V en sortie. Les auteurs rapportent des performances bien meilleures avec l'utilisation de composant IGBT à super jonctions en comparaison des SJ-MOSFET, avec notamment une efficacité supérieure de 4,2 % pour une surface d'implantation réduite de plus de 20 % (Figure 31.c).

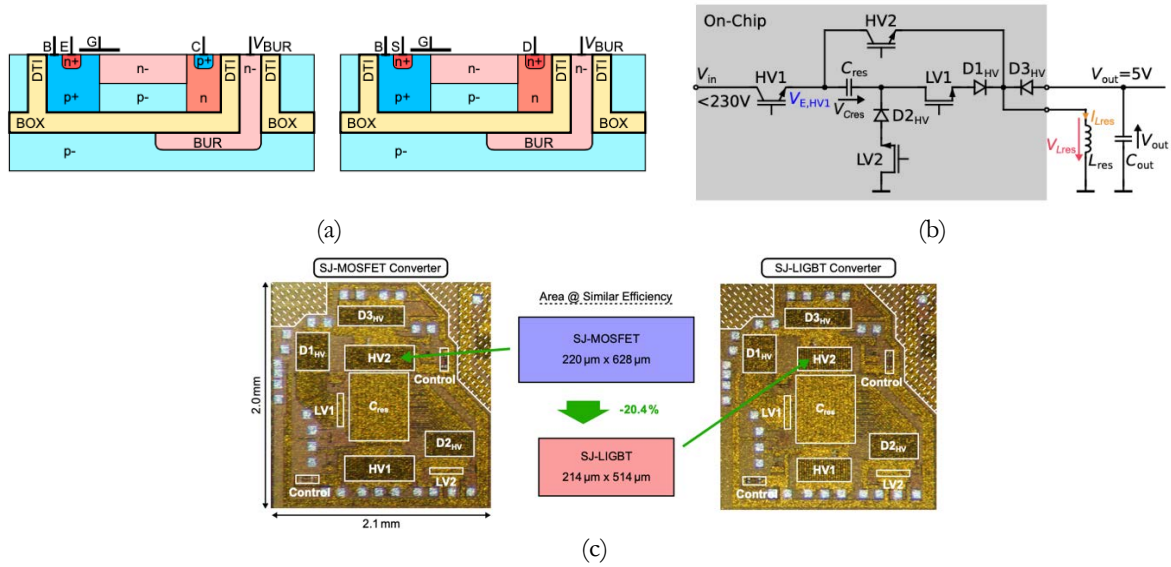


Figure 31 : Architectures SJ-MOSFET et SJ-LIGBT (a), circuit convertisseur de test (b) et intégration du circuit intégré (c).

Une approche d'intégration [74] réunissant un transistor MOSFET vertical avec sa commande de grille CMOS (*Gate Buffer*) sont intégrés de manière totalement monolithique sur un substrat en carbure de silicium (SiC). La Figure 32 présente la vue en coupe du principe d'intégration des composants (Figure 32.a), ainsi que la vue de dessus (Figure 32.b) montrant la surface occupée par le circuit (5,9 mm × 3,4 mm). Le circuit intégré est dimensionné pour une tension nominale de 1,2 kV (supportant une tension à l'état bloqué de 1500 V) pour un courant nominal de 18 A. Les auteurs présentent plusieurs intérêts à cette intégration, comme une faible consommation en statique et également une commande plus simple. Le fonctionnement du circuit est validé par commutation du MOSFET sous des tensions de 600 V et 10 A pour des temps de montée et descente de 24 ns et 28 ns respectivement. Cette intégration sans connexions extérieures aspire également à réduire les effets parasites liés à la vitesse de commutation des composants.

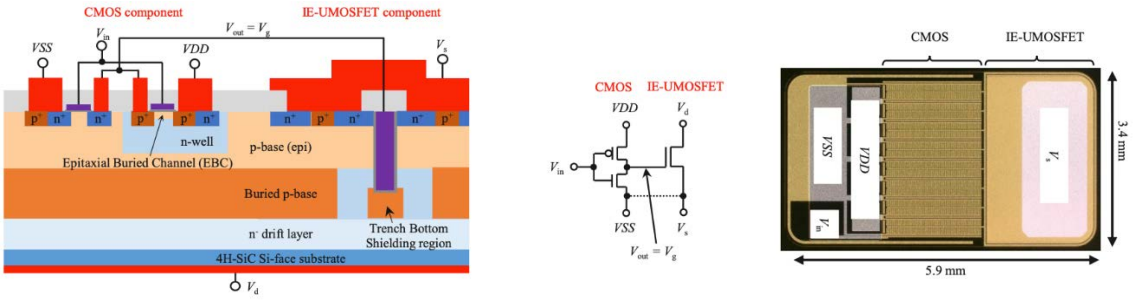


Figure 32 : Vue en coupe de la structure MOSFET et CMOS gate buffer intégrée (a) et vue de dessus associée (b).

Dans [75], une approche d'intégration de deux MOSFET et deux diodes JBS sont intégrés de manière totalement monolithique. Les deux transistors sont reliés entre eux grâce aux contacts drains, communs en faces arrière des composants (Figure 34.a). Les différentes couches formant le MOSFET sont présentées sur la Figure 34.b. Une fois le procédé de fabrication terminé, le circuit intégré occupe une surface totale de 11 × 10,4 mm² (Figure 34.b). Le circuit est dimensionné pour une tension nominale de 1200 V (tension bloquée de 1400 V) pour un courant nominal de 20 A, avec une très faible chute de tension à l'état passant (1 V) et un courant de fuite 100 µA sous la tension de blocage de 1400 V.

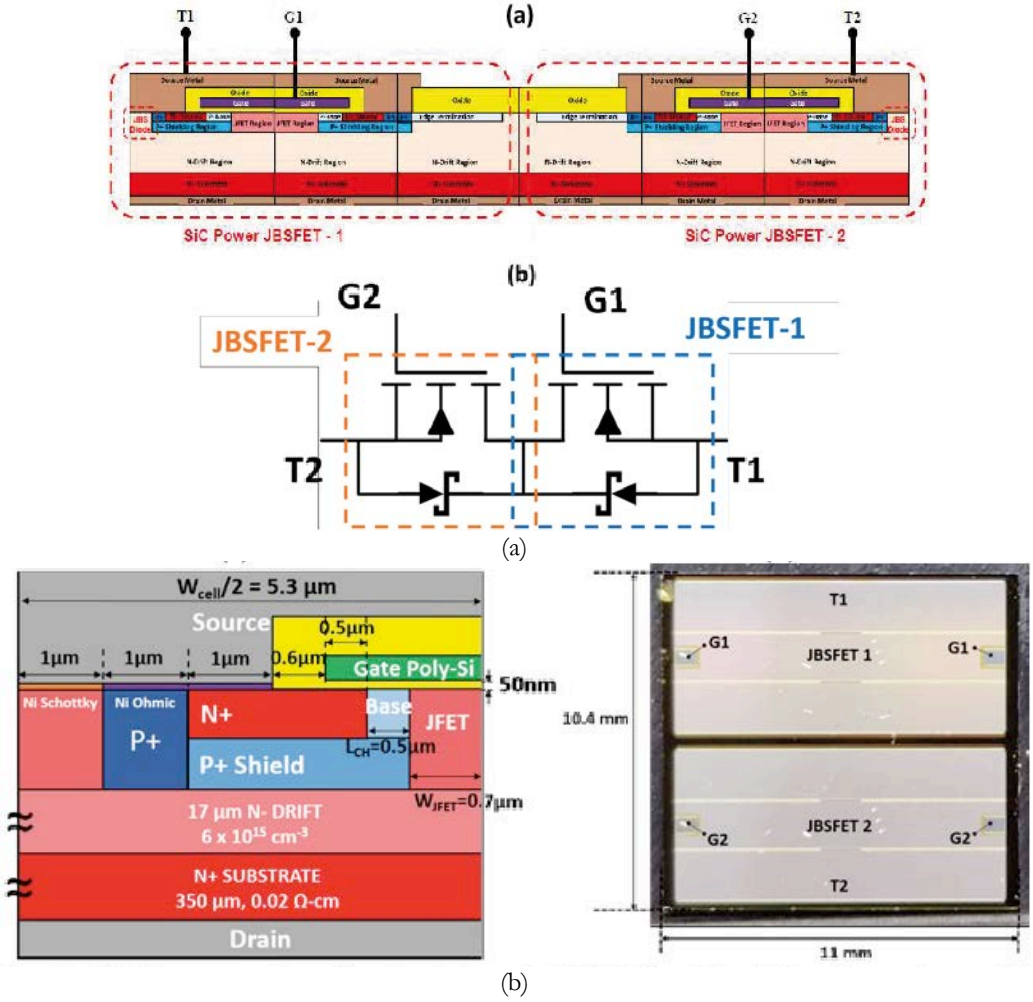


Figure 33 : Approche d'intégration de deux MOSFET avec deux diodes JBS sur un substrat 4H-SiC (a) et aperçu de la structure intégrée avec une vue de dessus de l'ensemble du circuit intégré (b) [75].

c) Intégration de composants passifs

En plus de l'intégration des composants actifs sur puce d'autres études s'intéressent à l'intégration de composants passifs, utilisés dans les convertisseurs pour réaliser des fonctions de filtrage, de suppression des phénomènes de surtensions au blocage des composants de puissance (dues aux inductances parasites). Cependant, les fonctions de sécurité, fiabilité et sûreté de fonctionnement ne sont que rarement considérées.

Dans [76], l'étude s'est intéressée à l'intégration d'un circuit amortisseur RC snubber, déployé pour supprimer les surtensions et pic de courants indésirables dans la commande des composants de puissance, comme dans le cas des applications de pompes de charge. Les Figure 34.a Figure 34.b illustrent le principe d'intégration de ce circuit RC sur substrat silicium. Des tranchées de 42 µm de profondeur sont réalisées dans un substrat silicium par procédé de gravure sèche (Figure 34.c), en utilisant la technologie CMOS. Puis, par procédé d'oxydation thermique du silicium, une couche diélectrique de SiO_2 (800 nm) est réalisée pour séparer les électrodes et former les capacités.

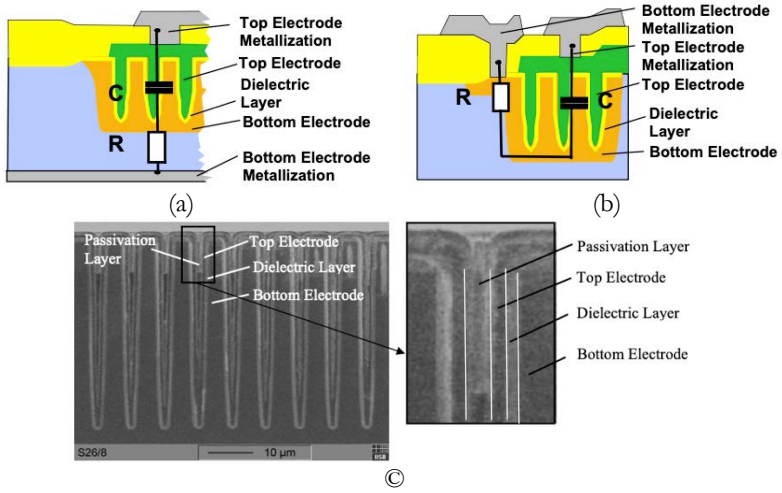


Figure 34 : Intégration de circuit RC (snubber) de manière monolithique pour des applications petite et moyenne puissances (400 V) : (Illustration du principe d'intégration dans le silicium (a) et vue en coupe des tranchées réalisées pour former les capacités (b) [76].

Le procédé est dit modulable, car les électrodes des composants peuvent être réalisées sur les deux faces du substrat silicium (Figure 34.a), ou bien sur la face avant uniquement (Figure 34.b). Cette particularité permet donc d'adresser plusieurs types d'applications (hybrides et monolithiques).

Un autre procédé d'intégration d'un circuit snubber est proposé par [77]. Il permet l'intégration au sein d'une même puce silicium, un transistor Mosfet basse tension fort courant (destiné à l'automobile) et le circuit RC snubber pouvant être vu comme un pré-découplage amorti. La Figure 17 montre une représentation des différents éléments parasites entourant un transistor Mosfet dans une intégration discrète (Figure 35.a) et monolithique (Figure 35.b) au près du composant actif. L'intégration permet ainsi de rendre très négligeable la valeur de l'inductance parasite $L_{SN,par}$ (Figure 35.a, contours vert). Une vue en coupe du principe d'intégration est représentée sur la Figure 35.c. La technique consiste à simplement prolonger la surface de silicium de manière parallèle au composant Mosfet, puis par technique de gravure et remplissage des tranchées avec du polysilicium, les capacités sont formées. Les électrodes sont réalisées durant l'étape de métallisation. Plusieurs topologies de connexions sont proposées (Figure 35.d) pour réduire au maximum l'inductance parasite et minimiser les perturbations électromagnétiques (EMI) pour des applications hautes fréquence (MHz-GHz).

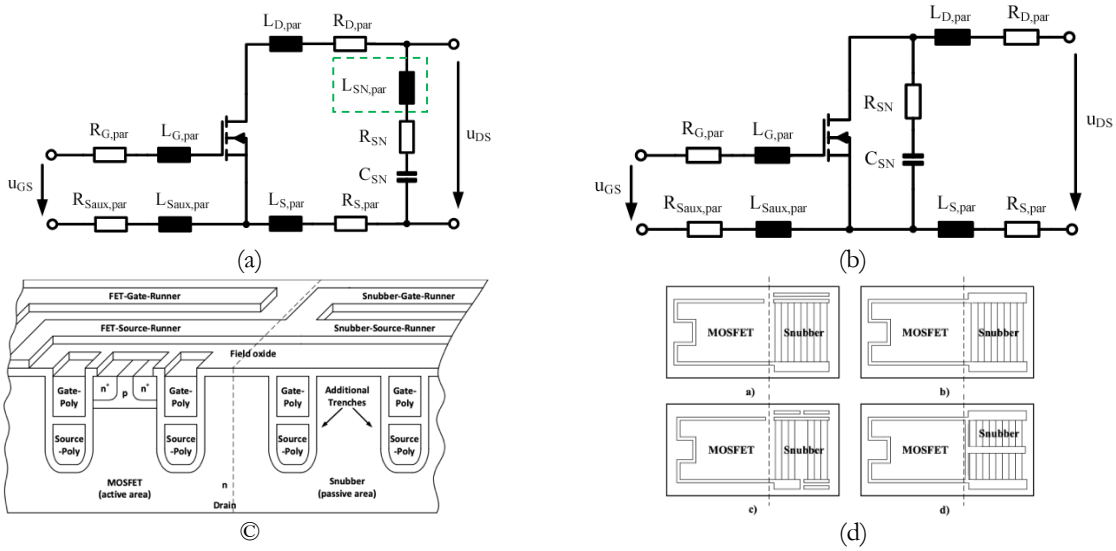


Figure 35 : Éléments parasites perçus au niveau de chaque terminal du circuit dans une intégration discrète (a) et monolithique (b) du circuit RC snubber, ainsi qu'une vue en coupe (c) de l'association monolithique du Mosfet et du circuit RC et une vue de dessus montrant différentes topologies de connexion (d) [77].

Une autre étude [78] s'est intéressée à l'intégration d'un fusible de manière totalement monolithique sur un substrat silicium, associé à un thyristor faible tension. La Figure 36 illustre le principe d'intégration avec le circuit électrique équivalent. L'association thyristor et fusible est conçue pour des applications petite puissance, entre 1 A et 5 A sous une tension nominale de 48 V (technologie CMOS). La surface est plus petite qu'une intégration discrète et permet en cas de défaut de court-circuit en aval d'isoler le défaut en provoquant une rupture du pont formant le fusible, appelé « cutout-bridge » (Figure 36.b et Figure 36.c), grâce à un circuit de commande externe.

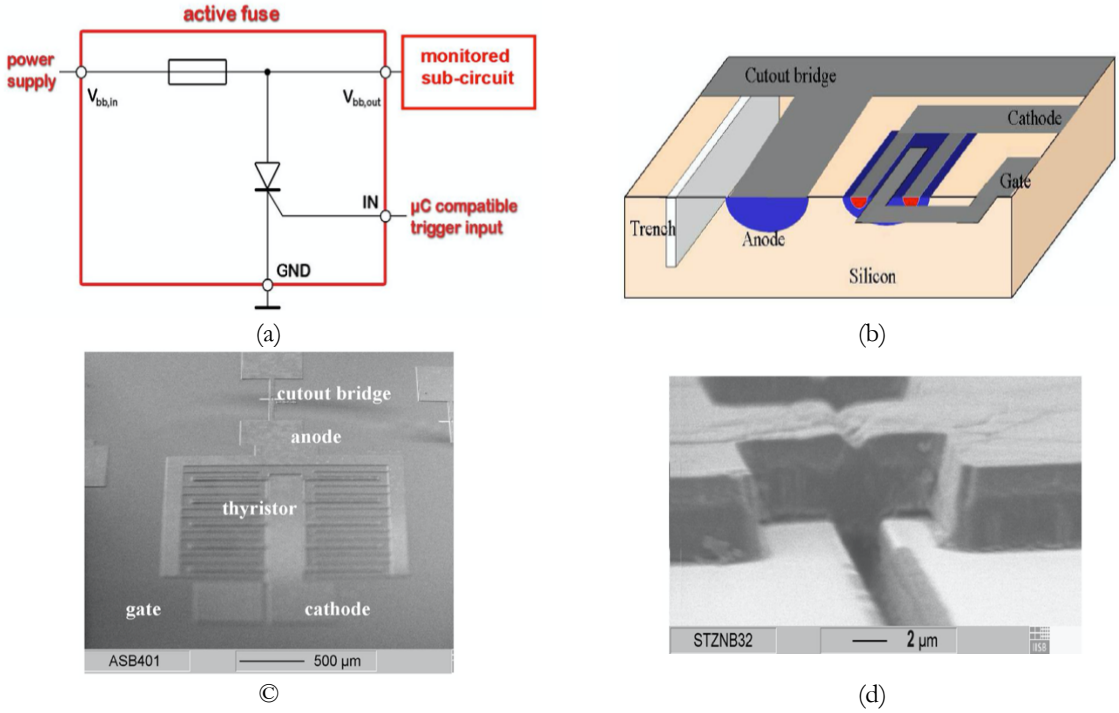


Figure 36 : Association thyristor et fusible (a) de manière totalement monolithique, illustration du principe d'intégration (b), vue microscopique sur le dessus des puces (c) et zoom sur le cutout-bridge (d) [78].

Les composants sont réalisés sur un substrat silicium de type N. Les tranchées d'une largeur de 2 µm et une profondeur de 10 µm, sont réalisées en utilisant la technique ASE (Advanced Silicon Etch) dérivée de la technique de gravure Bosch. Les tranchées sont ensuite remplies de polysilicium. L'étape d'implantation permet de former la cathode (dopée N) du thyristor et son anode (dopé P). Une fois la métallisation réalisée, une étape de gravure permet de dissocier les différents contacts et le polysilicium contenu dans les tranchées est gravé pour laisser les cutout-bridge (constrictions) du fusible en l'air.

Une amélioration du circuit initial Figure 36.a est proposé dans [79], en incluant un circuit RC snubber parallèle, qui servira à limiter les surtensions lors du claquage du fusible et éviter ainsi un endommagement du thyristor et du substrat silicium.

6.3 Approches d'intégration de cellules de commutation

Des collaborations entre les laboratoires LAPLACE & LAAS-CNRS, plusieurs approches d'intégration (Figure 37) ont étés proposées et étudiées, notamment durant les thèses d'A. El Khadiry et A. Lale [56][80]. Parmi les configurations, on retrouve une approche d'intégration bi-puces à l'aide de composants RC-IGBT à substrat N, avec une macro-puce anodes communes et une autre à cathodes communes (Figure 37.a). L'approche a l'avantage de nécessiter uniquement deux macro-puces, et ceux peu importe le nombre de phases du convertisseur à intégrer. Une version améliorée (Figure 37.b) ou plus poussée de cette intégration est également proposée dans une configuration mono-puce. Cette dernière requiert toutes fois la réalisation d'un mur de séparation P^+ traversant, qui rajoute une certaine complexité à la réalisation. Les deux versions de puces présentent un avantage une fois assemblé. Leurs points milieux, qui sont sujets à des variations de dV/dt, sont ramenés sur la face avant des puces, ce qui permet de réduire les perturbations de mode commun (EMI). Pour s'affranchir de la réalisation du mur traversant, une approche tri-puce est proposée (Figure 37.c). Cette version propose de dissocier les diodes de roue libre des RC-IGBT *low-side*. En conséquence, on se retrouve avec une macro-puce *high-side* composée de RC-IGBT et deux macro-puce *low-side*, une pour les diodes de roue libre et l'autre pour les IGBT. Une autre approche, à substrats complémentaires (N et P) est proposée dans une configuration à deux macro-puces (Figure 37.d). Cette configuration emploie des composants type P, ce qui est moins commun comparé au type N, ceci en raison de leurs performances réduites. Néanmoins, l'intégration de transistors P avec des transistors N dans un bras de convertisseur, possède certains avantages, notamment pour applications spécifiques. En effet, cette approche ne requiert pas de mur traversant, en comparaison de la version à substrat N. L'opposition de l'emplacement des électrodes facilite la connexion des puces, sans besoin de passer par un renversement d'une des puces (*flip-chip*).

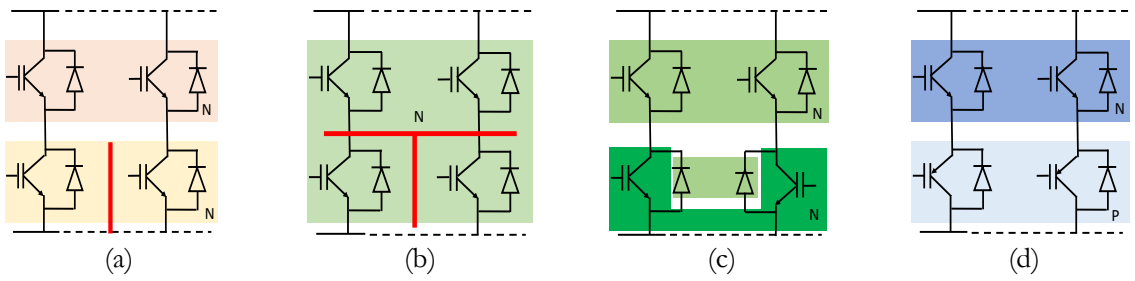


Figure 37 : Approches d'intégration de convertisseurs de puissance résultantes des collaborations LAAS-CNRS & LAPLACE.

Les différentes approches d'intégration présentées sur la Figure 37seront rappelées plus en détails dans le chapitre 4 sur l'intégration de structures IGBT et VDMOS.

7 CONTEXTE DES TRAVAUX DE THESE

Dans les paragraphes précédents, nous avons pu identifier les différentes problématiques rencontrées dans les dispositifs de conversion de l'énergie, en particulier les fils de *bondings* qui apportent des inductances parasites et sont le siège de vieillissement. Les puces étant reportées sur des substrats formés de couches de cuivre, recouvrant une couche diélectrique isolante, sont également sources de perturbations, en créant des capacités parasites qui génèrent un courant de mode-commun vers la masse.

Nous avons également énuméré plusieurs techniques et solutions pour éviter, ou du moins minimiser l'ampleur de ces parasites sur le fonctionnement du module de puissance. Toutes ces solutions passent par un principe d'intégration, hybride ou monolithique, en fonction de la puissance mise en jeu. Afin de répondre à cette demande croissante de montée en puissance et en fréquence de travail, l'intégration est encore la solution ultime pour satisfaire ces problématiques technologiques auxquelles sont confrontées les applications fortes puissance.

Dans la continuité de ces travaux liés à l'intégration, nous avons dans cette thèse exploré l'intégration de fusibles, qui sont des composants passifs, utilisés dans les topologies de convertisseurs à tolérance de pannes. Ces composants indispensables à la reconfiguration des circuits de conversion d'énergie à tolérance de fautes, n'ont jamais fait l'objet d'intégration en électronique de puissance en moyenne tension et de manière co-intégrée avec un interrupteur de puissance verticalement.

Dans le cadre de cette thèse nous nous sommes donc intéressés à une méthode d'intégration qui respecte le fonctionnement du composant de puissance. La métallisation en face avant des composants pourrait en effet être exploitée pour faire croitre une couche de cuivre épaisse, qui servira à façonner un fusible composé d'une ou plusieurs constrictions, ainsi que les électrodes d'entrée et de sortie de ce dernier. Une illustration de cette approche est présentée sur la Figure 38.

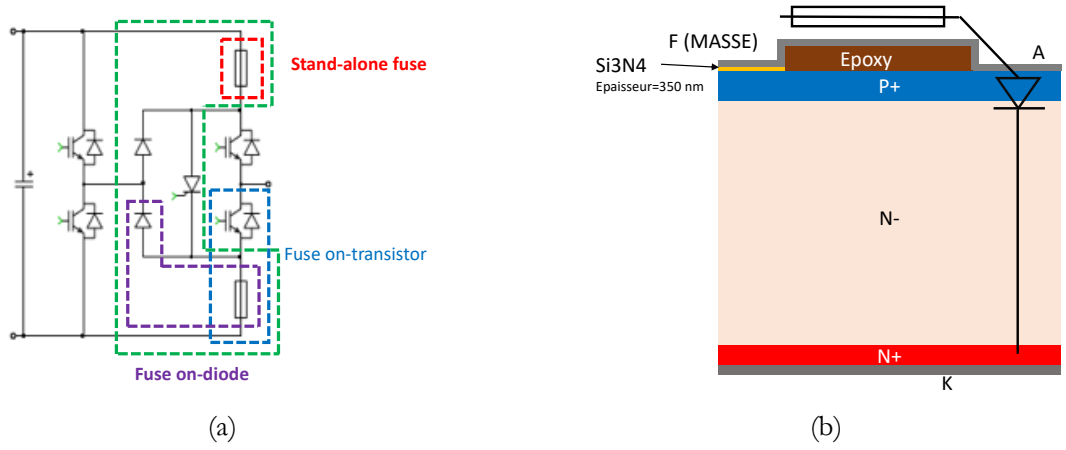


Figure 38 : Architecture de convertisseur à tolérance de pannes (a) et principe d'intégration d'un fusible sur une diode verticale silicium (b).

La Figure 38.a représente une architecture de convertisseurs à tolérance de panne. La topologie comporte un bras principal (en noir) et un bras auxiliaire secours (en rouge). Lorsqu'un défaut est détecté sur le bras principal, les fusibles placés de manière symétrique sur le bras sont rompus pour isoler le défaut et éviter sa propagation. Le bras auxiliaire est connecté ensuite de manière spontanée, grâce au redresseur à diodes pour continuer à fonctionner et assurer le courant vers la charge. Les diodes sont bloquées en inverse sous la moitié de la tension de bus et passante en direct, de manière alternée, sur chaque alternance du courant de charge. In fine, nous souhaitons intégrer l'ensemble IGBT et fusible (contours bleu) de manière

monolithique. Au vu de la complexité de la tâche et du temps de fabrication des IGBT en salle blanche, nous avons choisi d'aborder la problématique de manière plus méthodique. Nous nous sommes dans un premier temps intéressé à l'intégration du fusible seul sur un substrat silicium (isolé), afin de comprendre l'interaction thermique et électrique du fusible avec le substrat silicium (contours rouge) et aboutir à une étude comparative en fonction des différents prototypes de fusibles proposés et conclure sur la faisabilité de l'intégration sur composant semi-conducteur.

Une fois les composants dimensionnés, réalisés et le fonctionnement validé, nous avons étudié l'intégration du fusible sur une diode verticale silicium (contours violet). En comparaison avec l'IGBT, le principe d'intégration reste le même. Le calibre en courant du fusible dépend directement de celui du composant. Le fusible est dimensionné pour faire passer le courant nominal imposé par le composant. Lorsqu'un défaut se produit, le composant (IGBT, MOSFET, etc…) sature à un certain courant, pendant quelques dizaines de microsecondes, puis se détruit. Le courant augmente dans le fusible pendant un certain temps de pré-arc (quelques microsecondes), jusqu'à atteindre la valeur du courant maximale correspondant à l'énergie de fusion ($I^2T[A^2.s]$) et d'évaporation du métal formant les pistes du fusible.

Toujours dans le contexte de l'intégration de convertisseurs en électronique de puissance et de manière complémentaire à l'intégration d'un fusible sur puce, nous avons également pensé à une nouvelle architecture de cellules de commutations intégrant un VDMOS et un IGBT. Cette approche d'intégration ne nécessite pas l'utilisation d'un mur traversant nécessite moins d'étapes technologiques, qui sont souvent très compliquées afin d'isoler les composants sur une même puce. Pour illustrer cette approche, sur la Figure 39, on peut apercevoir une représentation d'un bras de cellules de commutations composé d'un IGBT (à canal P) *high-side* et d'un VDMOS (à canal N) *low-side*.

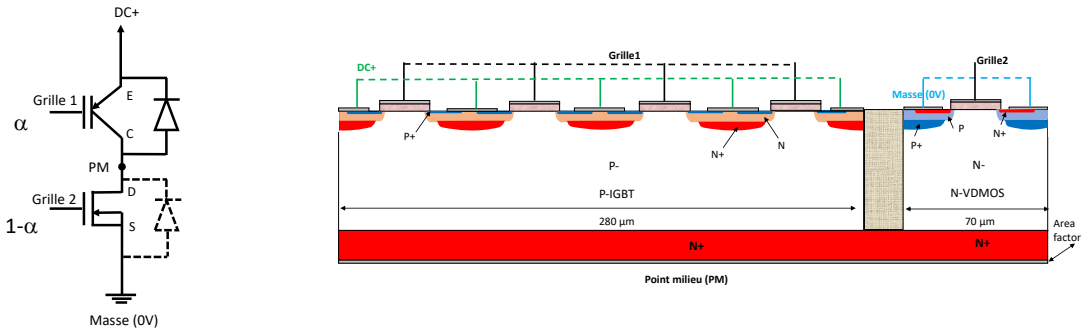


Figure 39 : Principe d'intégration d'une cellule de commutation composée d'un P-IGBT (*high-side*) et d'un N-VDMOS (*low-side*) sur une seule puce silicium.

Les deux composants sont intégrés sur une seule puce et isolés chacun de l'autre par un mur non traversant. Cette isolation peut être un diélectrique adapté pour faire une épaisseur suffisante. L'approche d'intégration est également similaire dans le cas d'un IGBT à canal N (*low-side*) avec un VDMOS à canal P (*high-side*). Dans cette approche d'intégration, afin de minimiser les pertes joules en statique, la conduction du composant bipolaire est favorisée. L'IGBT conduit plus longtemps (80 %), car les pertes associées sont plus faibles que celles du VDMOS. Cela est dû à la propriété de modulation de la conductivité de la zone de drift de l'IGBT. Le même principe est appliqué dans le cas des bras de convertisseurs composé d'un N-IGBT en *low-side* et d'un P-VDMOS en *high-side*.

8 CONCLUSION DU CHAPITRE 1

Dans la première partie de ce chapitre, nous avons présenté le cadre et le contexte général du travail de recherche de cette thèse à travers un état de l'art sur les différents types de fusibles du commerce utilisés pour la protection des semi-conducteurs et des convertisseurs de puissance. Nous avons également présenté le principe de fonctionnement des fusibles et les différentes grandeurs électriques qui les caractérisent. Dans la seconde partie du chapitre, nous avons identifié les modes de défaillances dans les modules de puissance et nous avons cité les différentes technologies d'intégration visant à résoudre et à minimiser ces problématiques. Nous avons également dressé un rappel des différentes architectures d'intégration de cellules de commutation, visant l'amélioration de la fonction de conversion d'énergie au niveau des convertisseurs de puissance.

Dans la continuité des travaux d'intégration monolithique, nous avons présenté l'objectif de notre travail de thèse qui consiste à étudier l'intégration monolithique d'un fusible sur puce silicium. Ce dernier est destiné aux applications de protection du composant de puissance dans les convertisseurs. Une approche d'intégration monolithique d'un fusible sur diode PiN verticale silicium a été présentée. Dans le même contexte, nous avons également proposé une approche d'intégration monolithique de bras de pont utilisant des structures IGBT et VDMOS pour des applications spécifiques.

9 REFERENCES BIBLIOGRAPHIQUES

[1] Mersen, "Semiconductor (AC) fuses Protistor Fuses BS88." pp. 226–230.

[2] P. G. N. A.Wright, *Electric Fuses*, Third Edit. United-Kingdom, 2004.

[3] O. B. J. C. P. Quesada, "Cahier technique n ° 128."

[4] S. Memiaghe, "Modélisation du régime de préarc dans les fusibles To cite this version : HAL Id : tel-00719222," 2012.

[5] A. Coulbois, "Etude de la transition préarc-arc dans les éléments fusibles," 2016.

[6] S. Memiaghe, "Modélisation du régime de préarc dans les fusibles," Universite Balise Pascal, 2010.

[7] Components101, "Different Types of Fuses and their Applications," 2020. [Online]. Available: https://components101.com/articles/different-types-of-fuses-and-their-applications. [Accessed: 23-Jun-2021].

[8] E. Bussmann, "Type P and D Fuses." pp. 1–3.

[9] Cooper Bussmann, "British BS 88 Fuses Ratings." pp. 188–190.

[10] M. Tsuchiya, Y. Yamano, S. Kobayashi, and K. Hirose, "Basic research on the fuse element pattern changing a current pathway in the process of current interruption," in *2013 2nd International Conference on Electric Power Equipment - Switching Technology, ICEPE-ST 2013*, 2013, pp. 1–4.

[11] Littelfuse, "PolySwitch Resettable PTCs," 2020, pp. 1–9.

[12] Littelfuse, "Automotive ASMDC Series Automotive." 2021.

[13] Littelfuse, "Protective Solutions For Automotive Passenger Car Solutions." .

[14] Ferraz Schawmut, "Ferraz Schawmut General Purpose Fuses." 2012.

[15] TYEE USA, "Thin Film Chip Inductor." pp. 8000–8002.

[16] TE Connectivity, "TE Connectivity Surface Mount Fuses Fundamentals." pp. 75–102.

[17] Schurter, "Schurter OSU 250." pp. 1–3.

[18] Schurter, "Schurter UMT 250." pp. 10–12.

[19] KOA, "KOA CCF1N5." .

[20] Littelfuse, "Littelfuse 501 series Surface Mount Fuses," pp. 12–14, 2017.

[21] Littelfuse, "Fuse Products Catalog." 2021.

[22] A. S. Bahman, F. Iannuzzo, and F. Blaabjerg, "Fuse modeling for reliability study of power electronic circuits," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 829–836, 2017.

[23] S. Y. Lee *et al.*, "Simplified Thermal Model of Semiconductor Fuse for DC Distribution System," in

ICPE 2019 - ECCE Asia - 10th International Conference on Power Electronics - ECCE Asia, 2019, vol. 3, pp. 2641–2646.

[24] G. Pulugundla and P. Dubey, "Numerical and experimental study of thermal behavior of an electric fuse in electric vehicle Li-ion battery packs," in *ASME-JSME-KSME 2019 8th Joint Fluids Engineering Conference, AJKFluids 2019*, 2019, vol. 2, no. October 2020.

[25] K. Sangadah, "Modeling and Verification of a High Voltage Fuse for High Reliability and Safety in Electric Vehicle," in *Orphanet Journal of Rare Diseases*, 2020, vol. 21, no. 1, pp. 1–9.

[26] Z. Dou *et al.*, "PCB dual-switch fuse with energetic materials embedded: Application for new fail-safe and fault-tolerant converters," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2457–2464, 2012.

[27] A. Plesca, "Numerical analysis of thermal behaviour of DC fuse," *Energies*, vol. 13, no. 14, pp. 21–23, 2020.

[28] R. Wilkins, J. F. De Palma, and C. Mulertt, "Effect of harmonic currents on semiconductor fuse ratings," *Conf. Rec. - IAS Annu. Meet. (IEEE Ind. Appl. Soc.*, vol. 4, no. C, pp. 2487–2492, 2001.

[29] J. O. Estima and A. J. M. Cardoso, "Fast fault detection, isolation and reconfiguration in fault-tolerant permanent magnet synchronous motor drives," *2012 IEEE Energy Convers. Congr. Expo. ECCE 2012*, pp. 3617–3624, 2012.

[30] B. A. Welchko, T. A. Lipo, T. M. Jahns, and S. E. Schulz, "Fault Tolerant Three-phase AC Motor Drive Topologies; A Comparison of Features, Cost, and Limitations," *IEEE Trans. Power Electron.*, vol. 19, no. 4, 2004.

[31] F. Richardeau, P. Baudesson, and T. A. Meynard, "Failures-tolerance and remedial strategies of a PWM multicell inverter," *IEEE Trans. Power Electron.*, vol. 17, no. 6, pp. 905–912, 2002.

[32] M. Naidu, S. Gopalakrishnan, and T. W. Nehl, "Fault-tolerant permanent magnet motor drive topologies for automotive X-by-wire systems," *IEEE Trans. Ind. Appl.*, vol. 46, no. 2, pp. 841–848, 2010.

[33] B. Mirafzal, "Survey of fault-tolerance techniques for three-phase voltage source inverters," *IEEE Trans. Ind. Electron.*, vol. 61, no. 10, pp. 5192–5202, 2014.

[34] W. Zhang, D. Xu, P. N. Enjeti, H. Li, J. T. Hawke, and H. S. Krishnamoorthy, "Survey on fault-tolerant techniques for power electronic converters," *IEEE Trans. Power Electron.*, vol. 29, no. 12, pp. 6319–6331, 2014.

[35] D. Richardeau, Frédéric, Dou, Zhifeng, Sarraute, Emmanuel, Blaquiere, Jean-Marc, Flumian, "Comparison of IGBT short-circuit failure 'ohmic mode' : Epoxy molded package versus silicone gel module for new fail-safe and interruptible power converters," *Microelectron. Reliab.*, vol. 1, no. 1, pp. 1–13, 2011.

[36] F. Richardeau, Z. Dou, J. M. Blaquiere, E. Sarraute, D. Flumian, and F. Mosser, "Complete short-circuit failure mode properties and comparison based on IGBT standard packaging. Application to new fault-tolerant inverter and interleaved chopper with reduced parts count," *Proc. 2011 14th Eur. Conf. Power Electron. Appl. EPE 2011*, pp. 1–9, 2011.

[37] Z. Dou *et al.*, "PCB dual-switch fuse with energetic materials embedded: Application for new fail-safe and fault-tolerant converters," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2457–2464, 2012.

[38] C. Turpin, P. Baudesson, F. Richardeau, F. Forest, and T. A. Meynard, "Fault management of multicell converters," *IEEE Trans. Ind. Electron.*, vol. 49, no. 5, pp. 988–997, 2002.

[39] P. Lezana, J. Pou, T. A. Meynard, J. Rodriguez, S. Ceballos, and F. Richardeau, "Survey on fault operation on multilevel inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2207–2218, 2010.

[40] M. Gleissner and M. M. Bakran, "Fault-tolerant B6-B4 inverter reconfiguration with fuses and ideal short-on failure IGBT modules," *PCIM Eur. 2016; Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy Energy Manag.*, no. May, pp. 683–690, 2016.

[41] M. Gleissner and M. M. Bakran, "A real-life fuse design for a fault-tolerant motor inverter," *2016 18th Eur. Conf. Power Electron. Appl. EPE 2016 ECCE Eur.*, pp. 1–11, 2016.

[42] W. Sanfins, F. Richardeau, D. Risaletto, G. Blondel, M. Chemin, and P. Baudesson, "Failure to Short-Circuit Capability of Emerging Direct-Lead-Bonding Power Module. Comparison with Standard Interconnection. Application for Dedicated Fail-Safe and Fault-Tolerant Converters Embedded in Critical Applications," *2015 17th Eur. Conf. Power Electron. Appl. (EPE'15 ECCE-Europe)*, pp. 1–10, 2015.

[43] R. Wang, J. Zhao, and Y. Liu, "A comprehensive investigation of four-switch three-phase voltage source inverter based on double fourier integral analysis," *IEEE Trans. Power Electron.*, vol. 26, no. 10, pp. 2774–2787, 2011.

[44] J. D. Van Wyk and H. W. Van Der Broeck, "A Comparative Investigation of a Three-Phase Induction Machine Drive with a Component Minimized Voltage-Fed Inverter under Different Control Options," *IEEE Trans. Ind. Appl.*, vol. IA-20, no. 2, pp. 309–320, 1984.

[45] J. Li, A. Q. Huang, Z. Liang, and S. Bhattacharya, "Analysis and design of active NPC (ANPC) inverters for fault-tolerant operation of high-power electrical drives," *IEEE Trans. Power Electron.*, vol. 27, no. 2, pp. 519–533, 2012.

[46] A. Joseph, Y. Bak, K. B. Lee, and S. S. Lee, "Fault-Tolerant and Reconfiguration Control for Boost Multi-level NPC Converter Fed Doubly Fed Induction Machines," *ICPE 2019 - ECCE Asia - 10th Int. Conf. Power Electron. - ECCE Asia*, pp. 2466–2472, 2019.

[47] S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate, and J. L. Martín, "Fault-tolerant neutral-point-clamped converter solutions based on including a fourth resonant leg," *IEEE Trans. Ind. Electron.*, vol. 58, no. 6, pp. 2293–2303, 2011.

[48] I. Sarkar and B. G. Fernandes, "Fault-tolerant operation of nine-level hybrid symmetric cascaded multilevel converter," *2017 Natl. Power Electron. Conf. NPEC 2017*, vol. 2018-Janua, pp. 191–196, 2018.

[49] M. Ma, L. Hu, A. Chen, and X. He, "Reconfiguration of carrier-based modulation strategy for fault tolerant multilevel inverters," *IEEE Trans. Power Electron.*, vol. 22, no. 5, pp. 2050–2060, 2007.

[50] H. Ben Abdelghani, A. B. Ben Abdelghani, F. Richardeau, J. M. Blaquiere, and F. Mosser, "Post-fault reconfiguration for a versatile and hybrid 4 Leg NPC-flying capacitor topology," *IEEE Int. Symp. Ind. Electron.*, pp. 1502–1507, 2014.

[51] F. CAPY, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur," Université de Toulouse Paul Sabatier, 2009.

[52] K. Wang, "Review of State-of-the-Art Integration Technologies in Power Electronic Systems,"

CPSS Trans. Power Electron. Appl., vol. 2, no. 4, pp. 292–305, 2017.

[53] M. N. Zulkifli, S. Abdullah, N. K. Othman, and A. Jalar, "Some thoughts on bondability and strength of gold wire bonding," *Gold Bull.*, vol. 45, no. 3, pp. 115–125, 2012.

[54] M. Kang, H. R. Zhao, D. Liu, J. Y. Li, Y. Y. Ma, and Q. C. Liu, "The Research of Application Reliability and Failure Modes of Wire Bonding Process," *Proc. - 2018 19th Int. Conf. Electron. Packag. Technol. ICEPT 2018*, pp. 1542–1545, 2018.

[55] M. Ciappa, "Selected failure mechanisms of modern power modules," *Microelectron. Reliab.*, vol. 42, no. 4–5, pp. 653–667, 2002.

[56] A. El KHADIRY, "architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs 'bi-puce' et 'mono-puce' pour convertisseurs de puissance compacts," Université de Toulouse Paul Sabatier, 2014.

[57] R. Klengel, S. Bennemann, J. Schischka, C. Grosse, and M. Petzold, "Advanced failure analysis methods and microstructural investigations of wire bond contacts for current microelectronic system integration," *2009 Eur. Microelectron. Packag. Conf. EMPC 2009*, 2009.

[58] X. Li, Z. Zeng, H. Chen, W. Shao, and L. Ran, "Comparative Evaluations and Failure Modes of Wire-Bonding Packaged SiC, Si, and Hybrid Power Modules," *2018 1st Work. Wide Bandgap Power Devices Appl. Asia, WiPDA Asia 2018*, pp. 16–22, 2018.

[59] S. Haque, K. Xing, R. L. Lin, C. T. A. Suchicital, and M. Guo-Quan Lu, "An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures," *IEEE Trans. Adv. Packag.*, vol. 22, no. 2, pp. 136–144, 1999.

[60] C. Buttay, "Contribution à la conception par la simulation en électronique de puissance: application à l'onduleur basse tension," 2004.

[61] C. Martin, L. Ménager, B. Allard, J. M. Guichon, and J. L. Schanen, "Importance of interconnect in integrated power systems," *2006 4th Int. Conf. Integr. Power Syst. CIPS 2006*, 2006.

[62] P. Cova and F. Fantini, "On the effect of power cycling stress on IGBT modules," *Microelectron. Reliab.*, vol. 38, no. 6–8, pp. 1347–1352, 1998.

[63] R. De Maglie, M. Nuber, J. Engstler, and A. Engler, "Common mode current calculation in a driver stage for power semiconductor modules," *2013 15th Eur. Conf. Power Electron. Appl. EPE 2013*, 2013.

[64] J. L. Schanen, T. De Oliveira, J. M. Guichon, and S. Mandray, "Active reduction of common mode current in power modules," *2010 6th Int. Conf. Integr. Power Electron. Syst. CIPS 2010*, pp. 16–18, 2011.

[65] M. Hung and T. Vers, "Vers de nouveaux modules de puissance intégrés," 2011.

[66] J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G. Q. Lu, "Three-dimensional packaging for power semiconductor devices and modules," *IEEE Trans. Adv. Packag.*, vol. 28, no. 3, pp. 404–412, 2005.

[67] S. S. Wen, D. Huff, and G. Q. Lu, "Enhancement of thermal fatigue reliability of power semiconductor interconnects using dimple-array solder joints," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, vol. 4, pp. 1926–1931, 2001.

[68] S. S. Wen, D. Huff, and G. Q. Lu, "A dimple-array interconnect technique for power semiconductor devices," *Mater. Res. Soc. Symp. Proc.*, vol. 682, pp. 125–130, 2001.

[69] J. X. P. Institute, "Technology for Planar Power Semiconductor Devices Package with Improved Voltage Rating," 2008.

[70] Z. Liang *et al.*, "Integrated packaging of a 1 kW switching module using a novel planar integration technology," *IEEE Trans. Power Electron.*, vol. 19, no. 1, pp. 242–250, 2004.

[71] R. Yao, F. Iannuzzo, A. S. Bahman, and H. Li, "Comparison of Press-Pack and Wire-Bonding Technologies for SiC MOSFETs under Short-Circuit Conditions Keywords Different packaging technologies of SiC MOSFET and Si IGBT," 2020, pp. 1–8.

[72] G. Regnat *et al.*, "Silicon carbide power chip on chip module based on embedded die technology with paralleled dies," *2015 IEEE Energy Convers. Congr. Expo. ECCE 2015*, pp. 4913–4919, 2015.

[73] C. Rindfleisch, E. K. Ching Tee, and A. Holke, "The On-Chip Lateral Super-Junction IGBT in Integrated High-Voltage Low-Power Converters," pp. 51–54, 2021.

[74] M. Okamoto, A. Yao, H. Sato, and S. Harada, "First Demonstration of a Monolithic SiC Power IC Integrating a Vertical MOSFET with a CMOS Gate Buffer," 2021, pp. 71–74.

[75] K. Han *et al.*, "Monolithic 4-Terminal 1.2 kV/20 A 4H-SiC Bi-Directional Field Effect Transistor (BiDFET) with Integrated JBS Diodes," *Proc. Int. Symp. Power Semicond. Devices ICs*, vol. 2020-Septe, pp. 242–245, 2020.

[76] S. E. Berberich, A. J. Bauer, and H. Ryssel, "High Voltage 3-D capacitor," pp. 8–10.

[77] H. Afewerki, C. Lautensack, and I. Kallfass, "Design Approach and Analysis of a MOSFET with Monolithic Integrated EMI Snubber for Low Voltage Automotive Applications," pp. 6–10, 2017.

[78] S. E. Berberich, M. März, A. J. Bauer, S. K. Beuer, and H. Ryssel, "Active fuse," *Proc. Int. Symp. Power Semicond. Devices ICs*, vol. 2006, pp. 0–3, 2006.

[79] J. Vom Dorp, S. E. Berberich, A. J. Bauer, and H. Ryssel, "DC-arc behavior of a novel active fuse," *ESSDERC 2008 - Proc. 38th Eur. Solid-State Device Res. Conf.*, pp. 67–70, 2008.

[80] A. LALE, "Architectures d'intégraiton mixte monolithique-hybride de cellules de commutation de puissance sur puces multi-pôles silicium et assemblages optimisés.," Paul Sabatier, 2017.

Chapitre 2 :

Conception, dimensionnement et réalisation de structures fusibles « Stand-alone » intégrées sur substrat silicium

1 INTRODUCTION

L'avènement de nouvelles applications en électronique de puissance a engendré plusieurs besoins concernant les convertisseurs de puissance. Ces besoins visent à produire des systèmes de puissance plus intégrés, présentant des densités de puissance plus importantes, plus fiables et sécurisés. L'intégration monolithique semble être la meilleure approche afin de contourner toutes ces limitations technologiques liées au fils de *bondings* et à la manière de souder les puces de puissance pour les relier entre elles. Dans la continuité de l'approche d'intégration monolithique de fonctions de conversion puissance, nous avons pensé à l'intégration des fusibles déployés dans les convertisseurs de puissance, afin de sécuriser ces derniers et apporter des fonctions de redondance pour permettre la continuité du fonctionnement d'un système en cas de panne, de manière totalement monolithique au plus près des composants. Cette intégration permettra d'obtenir des convertisseurs moins encombrant et capable d'opérer à des fréquences plus élevées, grâce à la réduction des inductances parasites.

Ce chapitre est dédié à la conception, au dimensionnement et à la réalisation des fusibles dits « Stand-alone », intégrés sur une couche passive silicium dédiée à cet usage. Le chapitre commence par la présentation de la structure de base de ce fusible. Puis, en partant d'un cahier des charges, nous expliquons la démarche de conception et de dimensionnement de ces fusibles, avant de passer aux simulations des différents prototypes. La seconde partie du chapitre est consacrée à la réalisation des composants et à la présentation des résultats de caractérisation en régime de fonctionnement normal ainsi que les tests de fonctionnement en régime de claquage.

2 DIMENSIONNEMENT DES FUSIBLES « STAND-ALONE »

2.1 Cahier des charges retenu pour le prototypage des fusibles

La conception et la réalisation des différents prototypes de ces fusibles reposent sur plusieurs critères initiaux (géométriques, électriques et thermiques), dont le Tableau 1 dresse le résumé. Le choix de ces différents critères et davantage d'explications sont présentés plus loin dans ce chapitre.

Tableau 1 : Cahier des charges retenu pour le dimensionnement et la conception des fusibles

	Paramètres	Valeurs	Détails
Matériaux	Substrat silicium	Non dopé	Idéal pour vérifier l'interaction électrique et thermique avec le fusible, avant son intégration sur composant de puissance
	Métal	Cuivre	Possibilité de dépôts épais (limité à 5 µm pour l'aluminium) et propriétés électrothermiques meilleures que l'aluminium
	Nitrure	200 nm	Sert à passiver le substrat silicium et éviter des courants de fuite une fois les constrictions rompues (plus de détails plus loin)
	Époxy	25 µm	Découplage thermique, protection du substrat contre les chocs électromécaniques lors du claquage (plus de détails plus loin)
Géométriques	Longueur constriction	1 mm	Les précédentes expériences
	Épaisseur constriction	18 µm	Valeur de référence pour les substrats PCB utilisés au Laplace
	Épaisseur substrat	500 µm	Épaisseur de référence des wafers salle blanche (moins fragile que les 300 µm)
Électriques	Courant nominal	10 A	Courant nominal choisi
	I^2T	-	Une conséquence du dimensionnement

	Tension coupée	Min. 200 V	Pouvoir supporter une tension de bus de 400 V dans le cas d'une protection symétrique
Thermiques	Température initiale	85 °C	Température moyenne de fonctionnement des convertisseurs de puissance
	Température maximale	95 °C et 115 °C	Température maximale autorisée sans dégrader le cuivre sur le long terme

Toutes ces contraintes sont insérées comme paramètres d'entrée dans le processus de modélisation et de conception, pour disposer au final du développement de plusieurs prototypes. Cette diversité de prototypes permettra d'aboutir à une étude comparative, permettant de comprendre l'interaction sur les plans électrique et thermique, entre un substrat silicium et le fusible, avant d'envisager l'intégration sur un composant semi-conducteur.

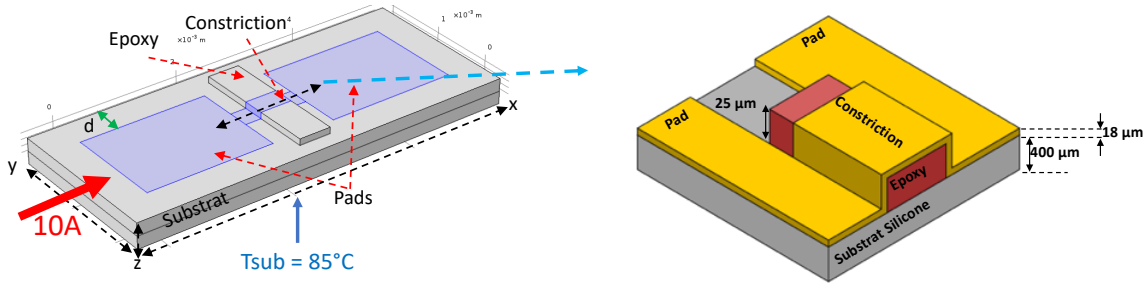
2.2 Présentation du fusible

Les fusibles sont bien connus pour être réalisés de manière filaire dans une enveloppe de protection (tube en verre, boitier plastique ou corps céramique en report CMS [1]–[4]) pour des calibres inférieurs à 20A-125V. Le diamètre du fil et sa longueur définissent son calibre. La nature du fil et son environnement en termes de choix des matériaux et de design vont définir son pouvoir de coupure. Pour des calibres supérieurs en courant, le fil est remplacé par une lame fine et large, poinçonnée de multiples alvéoles. Cette géométrie permet d'homogénéiser les lignes de courant dans la section de la lame. L'espacement et le diamètre des alvéoles définissent les calibres en I^2Tp et en tenue en tension [5], [6]. Cette lame est plongée dans un corps en céramique rempli de grains de quartz calibrés et minutieusement tassés. La porosité du milieu granulaire ainsi formé permet d'évacuer les vapeurs métalliques et les gaz issus de la fusion des constrictions métalliques inter-alvéolaires (comme une éponge viendrait absorber un liquide). La vitrification du milieu granulaire permet de piéger et de refroidir les particules métalliques et ainsi de passiver le plasma d'arc au niveau de chaque constriction. Tous ces mécanismes interviennent dans le niveau de pouvoir de coupure du fusible et son aptitude à pouvoir supporter une tension de rétablissement sans risque de reprise d'arc. Une faible fuite de courant résiduelle est tout aussi importante pour éviter un vieillissement prématuré du fusible. A fort courant, plusieurs lames sont superposées et judicieusement espacées afin de monter le calibre en courant tout en limitant les effets de fréquence (effet de peau et de proximité) [5].

En électronique de puissance intégrée et à faible courant (<20A), les fusibles pour composants semi-conducteurs sont généralement réalisés à partir d'une couche métallique plus au moins épaisse (cuivre ou aluminium enrobé de nickel pour éviter l'oxydation) sur substrats miniature en alumine (dépôt par vaporisation) ou PCB (Printed Circuit Board) (couche déposée par laminage ou réalisée par croissance électrolytique) [7]–[10] ou même imprimés directement sur circuits pour des applications petites puissances [11]. L'objectif de notre travail est de chercher à réaliser les fusibles directement sur un substrat silicium, de façon à pouvoir par la suite les intégrer monolithiquement dans les modules électroniques de puissance.

Un modèle de fusible « *Stand-alone* » pour un courant nominal de 10 A, est représenté sur la Figure 40. Il est constitué d'un substrat silicium de 400 µm sur lequel une couche de cuivre, formant les pads et les constrictions (en série et/ou parallèle), est réalisée par croissance électrolytique. Les pads jouent le rôle de diffuseur et de dissipateurs thermiques à travers le substrat silicium, qui possède une bonne conductivité thermique (130-150 $W.m^{-1}.K^{-1}$) [12] . Ils permettent ainsi le maintien de la température maximale autorisée au centre de la constriction (en régime de fonctionnement normal). Lorsque la constriction est rompue, les pads supportent la tension nominale. Pour éviter que des courants de fuites importants circulent entre les pads, à travers le substrat silicium, ce dernier a été passivé. En effet, une couche de nitrure (Si3N4) d'une épaisseur de 200 nm est ainsi déposée sur chacune des faces du substrat, assurant ainsi cette fonction de

passivation. Lorsque le fusible sera intégré sur un composant (diode, IGBT, MOSFET), cette couche diélectrique sera remplacée par une jonction PN polarisée en inverse, pour assurer la tenue en tension entre les deux pads, sans fuites de courants importantes.
Pour la majorité des modules de puissance déployés (notamment dans les moyens de transports), la température des puces se situe entre 30 °C et 60 °C, avec des contraintes thermiques subit par les modules, selon où ils sont placés, variant entre -40 °C et -55 °C dans les zones froides et autour de 120 °C près des zones chaudes (moteur) [13]. Une température moyenne de fonctionnement de 85°C sur la face arrière des puces est choisie pour les fusibles 'Stand-alone', autorisant un delta de température au centre des constrictions, de 10 °C et 30 °C. Cela donne au final, des températures maximales de 95 °C et 115 °C au centre des constrictions (au courant nominal).
D'un point de vue électrique, la constriction est l'endroit le plus contraint du fusible (résistance plus élevée). En conséquence, le centre de la constriction, représente le point chaud avec la température la plus élevée (95°C ou 115 °C). Les constrictions reposent sur une couche d'époxy (Figure 40.b), peu conductrice thermiquement. Celle-ci apporte une fonction de découplage thermique localement (point chaud), entre le métal constriction et le substrat silicium. Cette couche d'époxy permettrait aussi de protéger le substrat silicium, qui peut être sujet à un choc électromécanique lors du régime de claquage.
Les coefficients de dilatation thermique (CTE : Coefficients of thermal expansion) des matériaux sont assez différents. Le cuivre possède un CTE (~17,5 ppm/°C) en moyenne 7 fois plus important que celui du silicium (~2,5 ppm/°C) et du nitrure Si3N4 (1 ppm/°C). Cette différence n'aura pas d'impact sur les prototypes réalisés pour plusieurs raisons. Au vue des températures de fonctionnement, la couche de cuivre est suffisamment épaisse (18 µm) pour qu'elle soit dilatée et provoque un disfonctionnement au niveau du substrat silicium [14], [15]. De plus, lors de la conception des prototypes, une distance de 300 µm est laissée entre les bords des pads et des chemins de découpes, cela correspond à la distance « d » (flèche verte) entre le bord violet et le bord en gris sur la Figure 40. L'éventuelle dilation de la couche de cuivre restera insignifiante devant cette distance de sécurité, aucun courant latéral ne pourra induire une fragilité du composant sur le côté. Enfin, une couche de nitrure déposée sur chacune des faces du substrat silicium isole ce dernier et empêche la circulation d'un courant de fuite en régime normal statique ainsi qu'en régime de claquage.



(a) (b)

Figure 40 : Exemple d'un fusible 'Stand-alone' mono- constriction (a) dessiné sous Comsol Multiphysics™ ainsi qu'une vue en coupe longitudinale dans la région constriction (b).

En cas de défaut (court-circuit), la constriction est rompue si l'énergie normalisée nécessaire (I^2T [$A^2.s$]) est atteinte, isolant ainsi le défaut en évitant sa propagation.
L'étude du fusible seul sur un substrat silicium, permettra d'observer les interactions entre le fusible et le substrat silicium d'un point de vue électrique, thermique et mécanique. Une étude comparative sur différentes structures sera conduite et permettra de conclure sur la faisabilité de l'intégration du fusible sur composant de manière monolithique sur une même puce silicium.

2.3 Approche de dimensionnement des fusibles

Le premier dimensionnement de la largeur de constriction débute par l'utilisation d'un modèle analytique sous Excel ™ (Figure 41) implémentant l'équation de la chaleur [16] en régime stationnaire (2.1), où T représente la température, ρ la densité, C_p la capacité massique, λ la conductivité thermique, Φ la densité du flux de chaleur et $\frac{\partial T}{\partial x}$ le gradient thermique.

$$\frac{\partial T}{\partial t} = \frac{\lambda}{\rho C_p}\vec{\nabla}^2 T \quad \rightarrow \quad \rho C_p \frac{\partial T}{\partial t} = \frac{\partial}{\partial x}\left(\lambda \frac{\partial T}{\partial x}\right) \qquad (2.1)$$

$$\text{avec } \Phi = -\lambda \frac{\partial T}{\partial x} \quad \text{Loi de Fourrier}$$

Ce modèle correspond à la résolution analytique en 1D de l'équation de la chaleur (2.1), sous conditions aux limites géométriques (ici la température imposée sur les pads, ces derniers sont assimilés à des puits de chaleur). Le modèle permet d'approcher la section de la constriction (à longueur et épaisseur imposées) en limitant la température maximale au centre de la piste à 95°C ou 115°C. La résolution a été établie au cours de la thèse de Zhifeng Dou [17], sur une géométrie filaire. A l'époque, la formulation analytique avait été vérifiée numériquement sous Matlab à l'aide de la méta-fonction BVP4C [18]]. L'approche de la solution s'effectue par ajustement de la largeur (Figure 42), afin de respecter la température maximale imposée (95 °C et 115 °C) en partant d'une température sur les pads imposée à 85°C. Cette opération s'effectue en utilisant les caractéristiques physiques du matériau (cuivre, aluminium…), géométriques (longueur et épaisseur de la constriction), électriques (courant nominal) et thermiques (température initiale, température de fusion…). Une hypothèse forte est consentie dans ce modèle : le coefficient de sensibilité thermique de la résistivité du métal est considéré constant et égale à $\alpha = 4.10^{-3}/K$, alors que la température au centre de la piste évolue sur un intervalle très large, allant de la température ambiante à plus de 1000 °C. Le coefficient équivalent d'échange thermique de la piste avec son milieu environnemental est aussi supposé constant : h = 5 W/m².K. Cependant, la contrainte thermique étant localisée sur une petite section de volume au centre de la piste, i.e. mettant en jeu une très faible section d'échange thermique avec le milieu, ce coefficient d'échange influe finalement très peu sur le résultat. Ce constat montre bien évidemment que la constriction est sollicitée en régime thermique quasiment adiabatique.

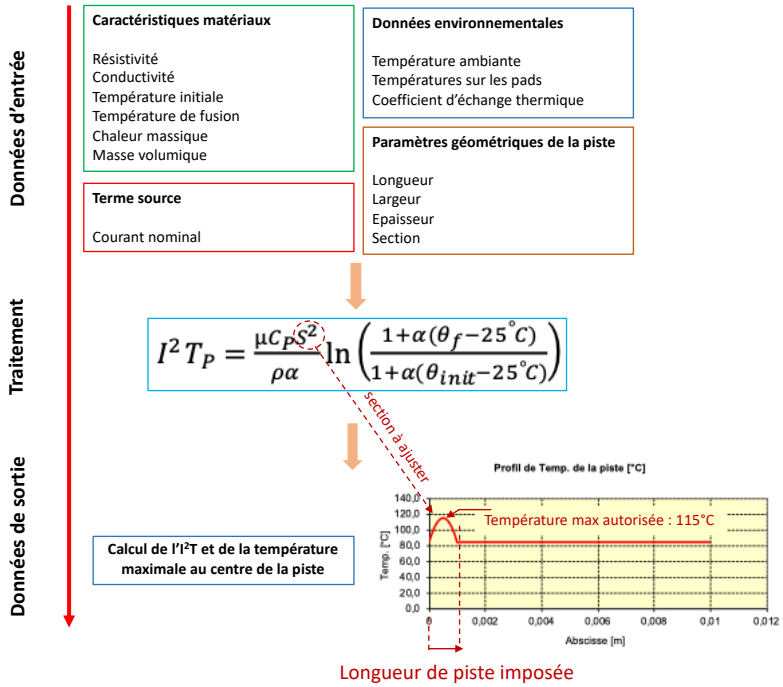


Figure 41 : Approche préliminaire à 1D utilisée pour estimer la section de la constriction

Cette première approximation de la section est insérée comme paramètre d'entrée dans un modèle physique complet 3D, construit sous Comsol Multiphysics™. La section est alors ajustée de manière plus fine pour respecter la température maximale autorisée. Une fois que la valeur finale de la section est obtenue, celle-ci est réinjectée dans le modèle Excel™ de départ, pour en calculer la valeur de l'I²T (2.2). Cette relation est déduite d'un bilan d'énergie thermique adiabatique stockée au centre de la piste permettant d'amener la température de celle-ci jusqu'à la fusion [6][5].

$$I^2T_P = \frac{\mu C_P S^2}{\rho\alpha} \ln\left(\frac{1+\alpha(\theta_f - 25^\circ C)}{1+\alpha(\theta_{init} - 25^\circ C)}\right) \quad (2.2)$$

μ : Densité du cuivre (8940 Kg.m^{-3})
C_P : Chaleur massique du cuivre (380 J.K^{-1}.Kg^{-1})
S : Section de la constriction du fusible
ρ : Résistivité du cuivre à 25 °C (1,72.10^{-8} Ω.m)
α : Coefficient de sensibilité thermique du cuivre (3,9.10^{-3} K)
θ_f : Température de fusion du cuivre (1083 °C)
θ_{init} : Température statique initiale du point chaud au centre de la constriction (fixée à 115°C dans le cahier des charges thermiques des fusibles)

Ce premier calcul sur Excel™ est assez précis (Tableau 2), en comparaison avec un modèle à mono-constriction 3D développé sur Comsol Multiphysics™, des écarts de 8,7 % et 12,1 % seulement ont été observés pour des designs à températures maximales au centre de la constriction de 95 °C et 115 °C respectivement, avec comme une température initiale de 85 °C en face arrière des puces.

Tableau 2 : Comparatif des largeurs constrictions sur modèles Excel™ et Comsol™ pour un fusible mono-constriction

Modèle ns=np=1	95 °C	115 °C	Différence (%)
Excel™	460 µm	273 µm	8,7
Comsol™	420 µm	240 µm	12,1

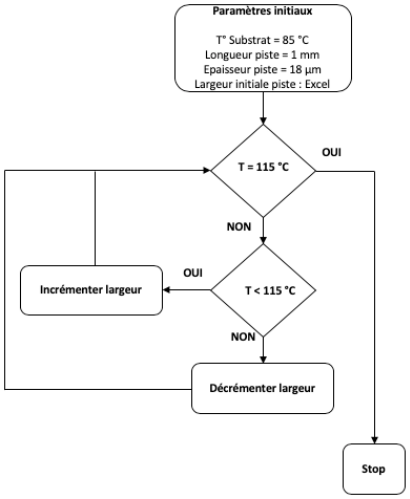


Figure 42 : Algorithme d'ajustement de la largeur de la constriction pour obtenir la bonne section initiale

La relation liant la densité de courant, la valeur efficace du courant et la section du conducteur est donnée par :

$$J = \frac{I}{S} \quad (2.3)$$

Si on vient diminuer la largeur de la constriction, la surface en serait impactée directement, car l'épaisseur du conducteur est une donnée imposée par le procédé de fabrication. Cette formule (2.3) montre qu'à courant et épaisseur de métal donnés, la largeur de la constriction est déterminante pour son dimensionnement électrothermique.

Pour l'épaisseur de la constriction, on a choisi une épaisseur de 18 µm, qui est une valeur référence pour les fusibles qu'on a l'habitude de réaliser au Laplace en technologie PCB [17] dont on ne souhaite pas s'éloigner par cohérence avec l'existant. C'est la plus petite valeur de feuillard de cuivre qu'il est possible d'utiliser sur PCB en technologie standard. Initialement cette valeur avait été retenue de manière à pouvoir comparer le fusible sur puce par rapport à un fusible PCB.

Issue de travaux expérimentaux antérieurs [17], une longueur de constriction de 1 mm a été jugée correcte et suffisante pour assurer l'isolation une fois le fusible rompu, sachant que ce dernier repose sur une fine couche de nitrure (200 nm), dont la rigidité diélectrique se situe autour de 10 MV/cm [19]. En visant une tension de bus de 400 V, la longueur choisie est confortable. Cependant, il faudra être vigilant sur la création de possibles chemins surfaciques de continuité électrique. Nous verrons par la suite comment se prémunir de ces phénomènes.

Afin de respecter la contrainte thermique imposée et disposer de composants aussi compacts que possible, les dimensions des pads des fusibles sont également optimisées. Une fois la section des constrictions figées, les dimensions des pads sont réduites par itérations, jusqu'à observer une augmentation de la température des constrictions. Cela signifie que la limite d'optimisation géométrique est atteinte. Ce seuil doit être respecté afin d'assurer un découplage thermique entre les constrictions et les pads et assurer un régime adiabatique lors de la fusion des constrictions.

Dans ce qui suivra, nous nous focaliserons uniquement sur la version des fusibles à contrainte thermique de 115 °C, la démarche pour la seconde variante (95 °C) étant la même.

2.4 Dimensionnement et simulation des fusibles

Les simulations par éléments finis en 3D des fusibles ont étés réalisées en utilisant Comsol Multiphysics™. Les simulations électrothermiques couplées permettent de dimensionner les fusibles d'un point de vue électrothermique en se basant sur des données d'entrées électriques (courant nominal, conductivités électriques des matériaux), thermiques (température initiale, température maximale, conductivité thermique), physiques (résistivités, densités) et géométriques (longueur et section initiale de la constriction, épaisseur substrat).

Dans un premier temps, nous avons fait un comparatif entre des fusibles, avec ou sans couche d'époxy sous la couche de cuivre, en particulier sous la constriction fusible, et déterminé l'épaisseur optimale de cette couche. Dans un second temps, nous avons observé l'interaction entre le fusible et le substrat silicium, en comparaison avec d'autres substrats, tel que le verre, l'alumine et le FR4. Outre la finalité de ces travaux où l'on cherche à intégrer ces fusibles sur des composants de puissance silicium verticaux, on montre également que par sa conductivité thermique élevée (130 W/m.K), le substrat silicium est idéal pour évacuer l'excès de calories (au niveau des pads) et garantir un fonctionnement optimal avec des contraintes thermiques réduites. Cette optimisation de l'évacuation des calories permettra également de réduire la surface occupée du fusible, car il ne sera pas nécessaire d'agrandir les pads du fusible pour maintenir la température au centre de la constriction à la limite maximale imposée (115 °C).

2.4.1 Intérêt de l'époxy et l'impact de son épaisseur sur le fonctionnement du fusible

La faible conductivité thermique de l'époxy (1,16 $W.m^{-1}.K^{-1}$), limite fortement l'évacuation de la chaleur (calories) sous la constriction. Ainsi, la couche d'époxy permet de découpler thermiquement la constriction du substrat, les pertes joules sont donc concentrées au niveau de la constriction. Bien que la constriction soit le siège d'un point chaud, le substrat en silicium sera thermiquement isolé grâce au plot d'époxy. Cette zone d'époxy permet aussi d'atteindre la contrainte thermique de fusion de la constriction plus rapidement, sans réduction importante de la largeur (synonyme de pertes plus importantes). En contrepartie, à courant donné, la température nominale est aussi plus importante. Il s'agit donc de dimensionner la constriction pour respecter ces deux contraintes. Par ailleurs et c'est un point important, l'époxy est un matériau compatible avec les procédés technologiques de la société 3DiS Technologies™. Cette société a réalisé, en salle blanche du LAAS, la croissance électrolytique du cuivre pour former les fusibles. Au cours de la thèse de Zhifeng Dou [17], il a aussi été montré que ce type de matériau avait un comportement relativement satisfaisant en présence d'un plasma d'arc faiblement énergétique comme cela est le cas dans une cellule de commutation de puissance à faible inductance parasite de maille [7]. Ce dernier point sera illustré et confirmé par des observations post-coupures dans la suite de ce chapitre. Le plot d'époxy joue ainsi un double rôle : isolateur thermique et tampon de protection entre la zone fusible et le substrat silicium dessous. Le substrat silicium étant amené à être fonctionnalisé, il est tout aussi important de préserver son intégrité mécanique et d'éviter tout risque d'ablation par le plasma d'arc.

A titre de comparaison (Tableau 3), on a dimensionné un fusible à mono-constriction pour un courant nominal de 10 A, avec et sans couche d'époxy sous la constriction. Une largeur de constriction de 240 µm a été dimensionnée pour la version époxy (Figure 43.a), afin de respecter la contrainte de température nominale maximale (115 °C), contre 32 µm seulement pour la version sans époxy (Figure 43.c).

Tableau 3 : Comparatif des pertes joules avec et sans couche d'époxy sur un fusible mono-constriction pour un courant nominal de 10 A.

Modèle ns=np=1	**Larg. Constriction (µm)**	**Pertes Joules (W)**	**Différence (%)**
Avec époxy	240	0,4	86
Sans époxy	32	3	

Les pertes joules engendrées par la version sans époxy sont 15 fois plus élevées (86 %), à cause d'une largeur de constriction très faible (32 µm), liée principalement à un fort couplage thermique entre le substrat et la constriction. De plus, le profil thermique de la version avec époxy (Figure 43.b) est plus fin, avec un maximum de température observé au centre de la constriction, ce qui induit une fusion rapide et bien localisée au centre de la constriction. A l'inverse, la version sans époxy présente un profil thermique (Figure 43.d) plus large, signe d'un couplage fort avec les pads. Dans ce cas, la fusion de la constriction risque d'adopter un régime non-adiabatique, avec des temps de pré-arc plus élevés.

Afin de déterminer l'épaisseur d'époxy idéale pour assurer le découplage thermique nécessaire entre la constriction et le substrat, nous avons simulé un fusible mono-constriction comprenant une couche d'époxy sous la constriction, dont on a fait varier l'épaisseur et observé à chaque fois la température maximale au centre de la constriction et du substrat en dessous.

Les résultats de la variation de l'épaisseur d'époxy sont regroupés sur la Figure 44. Les températures maximales de la constriction et du substrat sous la couche d'époxy sont tracées en fonction de l'épaisseur d'époxy paramétrée.
On remarque que l'épaisseur d'époxy influence peu la température maximale locale du substrat (sous la constriction). Entre 5 et 100 µm, la température maximale locale du substrat est passée de 85,3 à 85,7 °C. Par contre, on peut voir que la température maximale au niveau de la constriction est plus affectée et passe de 95 à 106 °C. Il faut donc veiller à choisir une épaisseur suffisante afin d'assurer un bon découplage thermique entre le substrat et la constriction, et d'autre part, de réduire les pertes joules au niveau de la constriction en dimensionnant une largeur plus importante, grâce au point chaud formé par la présence d'une couche d'époxy épaisse. Nous avons donc jugé nécessaire de prendre une épaisseur d'époxy de 25 µm, car à partir de cette valeur (Figure 44), on observe une tendance pseudo-linéaire de la courbe de température substrat (en rouge), après la zone de coude. Le Tableau 4 dresse un comparatif entre les avantages et inconvénients de l'utilisation d'une épaisseur d'époxy minimale (5 µm) et 25 µm. Utiliser une épaisseur d'époxy de 5 µm engendrerait des pertes joules supplémentaires d'environ 18 % (0,490 W) en comparaison de l'épaisseur de 25 µm (0,4 W). Cela est dû au fait que l'époxy de faible épaisseur n'assure pas un bon découplage thermique entre le substrat silicium et la constriction. En revanche, avec une épaisseur d'époxy de 5 µm, la valeur de l'I^2T est 36 % plus faible, soit 0,98 $A^2.s$, contre 1,53 $A^2.s$.

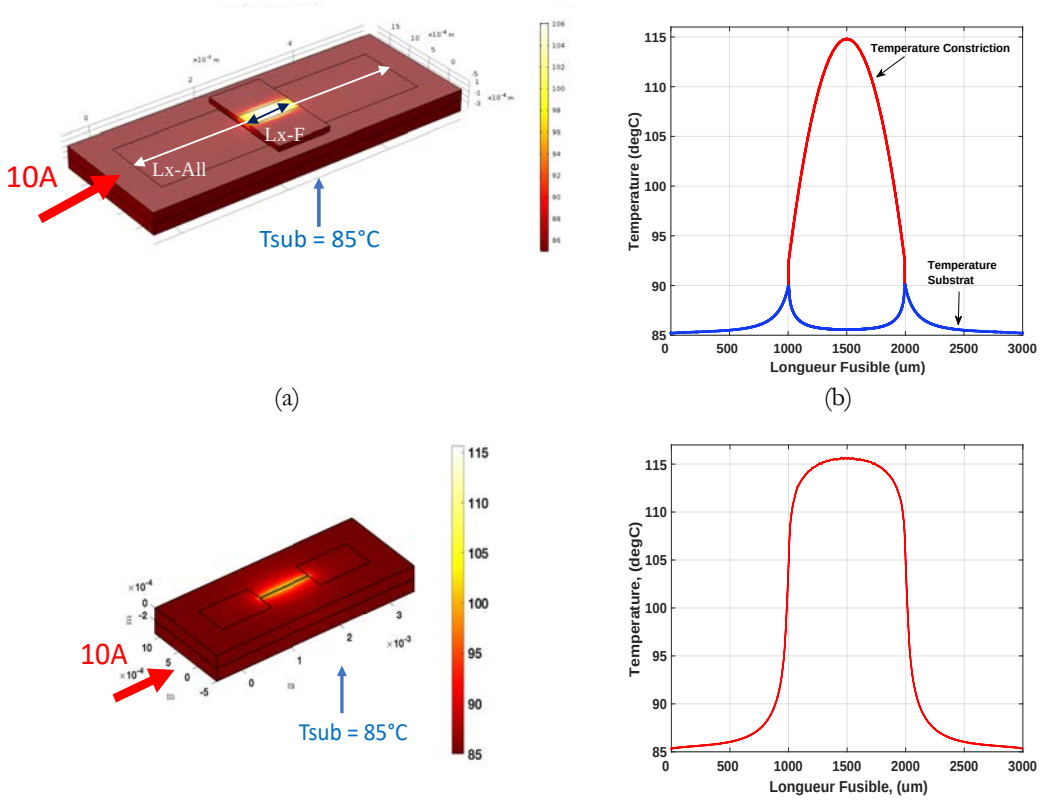


Figure 43 : Cartographie thermique d'un fusible mono-constriction (a) sous 10A/115 °C et le profil thermique associé (b) avec époxy sous la constriction et sans époxy (c-d).

En vue des valeurs d'I²T très faibles (inférieur à 2 A².s), il serait préférable de privilégier des composants avec des pertes joules plus faibles.

Tableau 4 : Impact de l'épaisseur d'époxy sur les caractéristiques d'une mono-constriction

Épaisseur époxy (µm)	Larg. Piste (µm)	Pertes (W)	I²T (A².s)
5	240	0,4	1,53
25	193	0,49	0,98

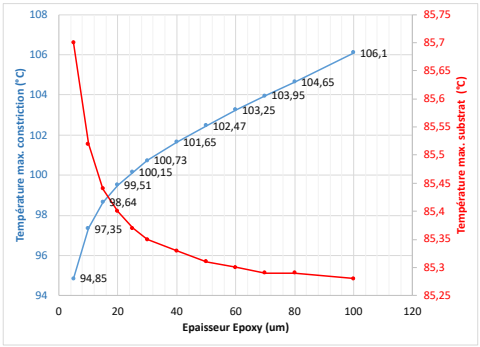


Figure 44 : Températures maximales de la constriction (en bleu) et du substrat (en rouge) en fonction de l'épaisseur de l'époxy.

2.4.2 Impact du substrat sur le comportement thermique du fusible

Dans les fusibles de type « chip-fuse », on retrouve assez souvent des fusibles réalisés sur des substrats de types FR4, alumine, céramique, [7], [10], [20], [21].

Afin de se rendre compte des capacités thermiques du substrat silicium, nous avons effectué des simulations Comsol Multiphysics™ où l'on vient réaliser sur quatre substrats différents (verre, FR4, alumine et silicium), un fusible mono-constriction, dont la piste (longueur de 1 mm et épaisseur de 18 µm) repose sur une couche d'époxy comme expliqué précédemment. La largeur de cette dernière sera dimensionnée à chaque fois pour faire passer un courant nominal de 10A, tout en s'assurant de garder une température maximale de 115°C au centre de la constriction. Les cartographies et profils thermiques des fusibles sont regroupés sur la Figure 45. Le tracé en rouge correspond à la température en surface du substrat et celui en bleu à la température en surface de la constriction.
Lorsqu'on compare les cartographies thermiques de chacun des fusibles, on observe une certaine similitude dans la distribution de la chaleur pour les fusibles à substrats en FR4 et en verre (Figure 45.a et Figure 45.c). Cette observation se confirme au niveau des tracés des profils thermiques (Figure 45.b et Figure 45.d) longitudinaux des fusibles. En effet, on aperçoit un fort couplage thermique entre les pads, la constriction et le substrat. Cela s'explique par les faibles conductivités thermiques des substrats en question (0,3 et 0,2 W/m.K respectivement pour le FR4 et le verre), les calories ne sont pas évacuées au niveau des pads par l'intermédiaire du substrat. Un fort gradient thermique est donc visible dans l'axe longitudinal. Au final, ces faibles conductivités thermiques, annulent d'une part, l'effet du découplage thermique apporté par l'époxy, et d'autre part, contribue au vieillissement par fatigue thermique du fusible [5]. En effet, le maintien des pads du fusible à haute température et l'association à des cycles thermiques à répétition, risque de déformer le matériau et provoquer des dégradations qui peuvent se répercuter sur le substrat silicium (courants de fuites importants). Le fort gradient thermique mis en jeu sur ces deux premiers exemples implique de devoir réaliser des pistes assez larges afin de ne pas produire un auto-échauffement significatif car la température maximale est imposée ici. Il en découle des fusibles à plus fort I^2Tp (7,11 $A^2.s$ et 38,5 $A^2.s$ respectivement pour le FR4 et le verre).

Pour ce qui est des substrats alumine et silicium, les cartographies thermiques (Figure 45.e et Figure 45.g) révèlent une concentration bénéfique de chaleur au niveau de la constriction, les pads, jouant le rôle de puits thermiques maintenus à température proche de celle du substrat (85 °C), avec toutefois, une légère élévation pour le substrat alumine. Les tracés des profils thermiques (Figure 45.f et Figure 45.h) confirment l'observation. En effet, pour l'alumine, on constate une température substrat (en rouge) globalement élevée et un dôme thermique (en bleu) localisé au niveau de la constriction plus large en comparaison du fusible sur substrat silicium. Ce dernier, présente une température des pads quasiment identique à celle du substrat et un dôme thermique plus fin, ce qui va favoriser la concentration de l'énergie sur la piste et provoquer une fusion rapide de cette dernière sans mettre en danger le substrat. Ce dernier état protégé par le bloc d'époxy. Encore une fois, ce comportement est principalement lié aux valeurs de conductivités thermiques des substrats (27 et 130 $W.m^{-1}.K^{-1}$, respectivement pour l'alumine et pour le silicium). Associé à la faible conductivité thermique de l'époxy, le substrat silicium (à forte conductivité thermique) permet d'assurer un découplage thermique avec la constriction et contribue à prévenir le vieillissement du fusible en évacuant les calories à travers les pads. Le faible gradient thermique mis en jeu sur ces deux derniers exemples nous donne la possibilité de réaliser des pistes plus fines afin de garder la même température maximale pour tous les designs Il en découle des fusibles à plus faible I^2Tp (1,97 et 1,53 $A^2.s$ respectivement pour l'alumine et le silicium).

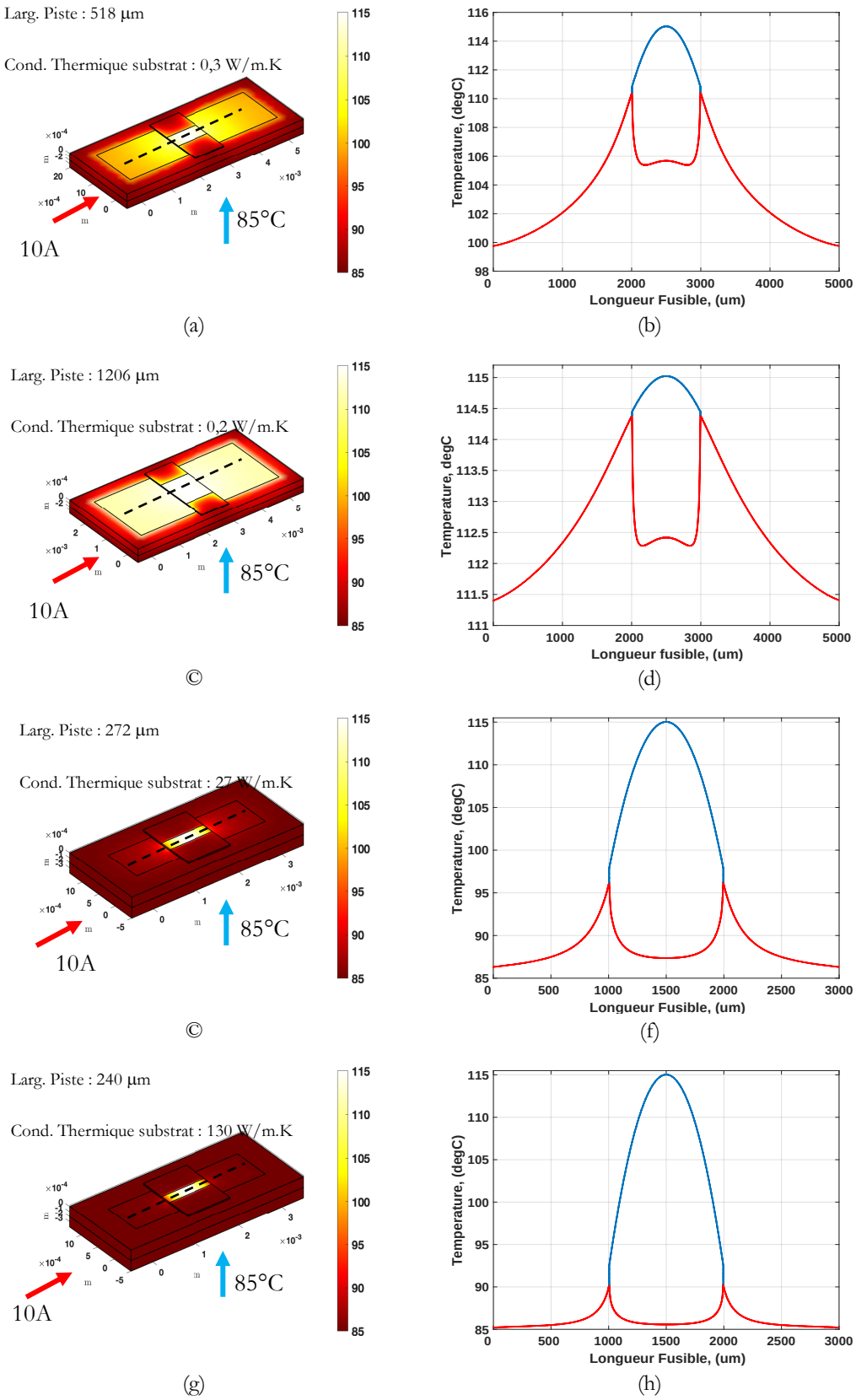


Figure 45 : Cartographies thermiques des designs en 3D d'un fusible mono-constriction sur un substrat en FR4 (a-b), un substrat en verre (c-d), un substrat en alumine (e-f) et un substrat silicium (g-h).

2.4.3 Dimensionnement des variantes des fusibles

Le dimensionnement du fusible repose principalement sur celui de la constriction (ou des constrictions dans le cas des multi-constrictions). Le nombre de constrictions en série et en parallèle impacte respectivement la tenue en tension ainsi que la densité de courant nominale. Suivant la disposition des constrictions (en série/en parallèle), quatre configurations de fusibles ont été dimensionnées afin de comparer l'impact sur la surface occupée, ainsi que la répartition des contraintes thermiques et électriques sur le substrat silicium.

Fusible mono-constriction (ns=np=1)

Cette variante à une constriction, constitue la référence pour les autres, elle sert notamment à comparer les surfaces occupées ainsi que les puissances dissipées. Cette première version a nécessité une largeur de constriction de 240 µm sous la contrainte thermique imposée (115 °C). Une cartographie thermique de la structure, ainsi que les profils thermiques longitudinaux et transversaux du fusible sont représentés sur la Figure 46.

La constriction présente un profil thermique (en rouge) assez fin (Figure 46.c), avec un maximum de température observé au centre de la constriction. La température au niveau du substrat (Figure 46.c) sous la constriction (en bleu) reste très proche de la température imposée en face arrière du substrat (85 °C). Cela prouve que l'époxy rempli bien son rôle de découplage thermique. En largeur, la constriction présente un profil thermique (Figure 46.d) uniforme, signe d'une bonne distribution thermique en surface de la constriction. Les pertes joules associées à cette première variante ont été évaluées à 398 mW, soit une résistance équivalente de 3,98 mΩ sous le courant nominal de 10 A.

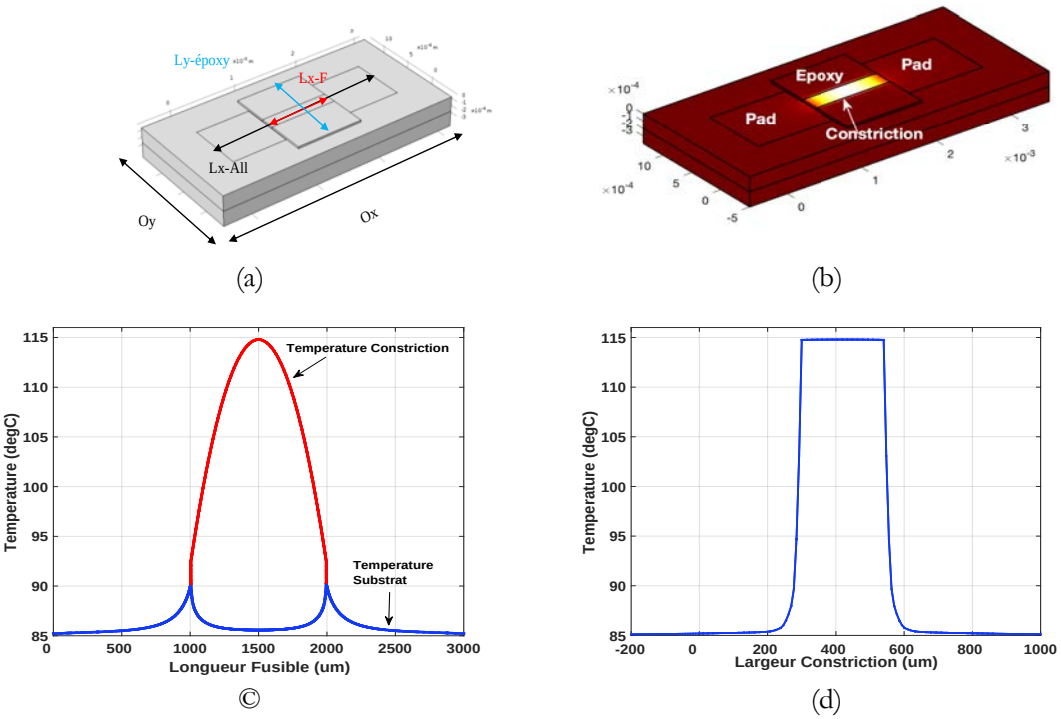


Figure 46 : Géométrie d'un fusible mono-constriction (a), sa cartographie thermique pour 10 A – 115 °C (b), le profil thermique en longueur du fusible (c) ainsi que le profil thermique en largeur de la constriction (d).

Fusible à deux constrictions parallèles (ns=1 np=2)

Paralléliser les constrictions permet de répartir les chemins de courant sur une plus grande largeur de pad et ainsi mieux refroidir les fusibles. Il faut donc s'attendre à devoir amincir la largeur du fusible équivalent pour obtenir la même température maximale et ainsi bénéficier d'un fusible équivalent à plus faible I^2Tp. Amincir les pistes en parallèle revient à augmenter de la densité de courant, en revanche, la tenue en tension reste identique à iso-longueur de constrictions.

Ainsi, dans ce cas, à même courant nominal, une deuxième constriction est ajoutée en parallèle de la première. En conséquence, les largeurs de constrictions ont été réduites pour atteindre la température maximale imposée (Figure 47.c), car la densité de courant est divisée par deux. Au final, on obtient des constrictions de 117 µm de largeur : on constate bien que la largeur équivalente (2x117 µm) est bien (légèrement) inférieure à la largeur d'une mono-constriction de 240 µm. L'espace inter-constrictions est suffisamment important afin d'assurer un bon découplage thermique entre elles. L'optimisation de cet espace se fait par itérations, jusqu'à obtention de profils thermiques en largeur de constrictions (Figure 47.d), complétement découplés. La température sur le substrat inter-constrictions est proche de la température en face arrière de la puce (85 °C), signe d'un bon découplage thermique avec le fusible. Les pertes joules sont de 408 mW, soit une résistance totale des constrictions de 4,08 mΩ sous le courant nominal (10 A). Valeur logiquement plus élevée (légèrement) que celle de la mono-constriction. En comparaison de la variante de référence (mono-constriction), cette version à deux constrictions parallèles, a permis un gain de surface occupée de 37 % à iso-courant. Ce gain en surface est lié à une meilleure répartition des contraintes électriques et surtout thermiques sur le substrat. Les pads sont exploités de manière plus optimale et dissipent de manière plus homogène. Le gain en surface d'implantation est surtout la conséquence de la réduction de la taille des pads jouant le rôle de drain thermique. En effet, la surface occupée de chacun des pads est passée de 0,84 mm² (version mono-constriction) à 0,5 mm², soit un gain de 40 %.

Fusible à deux constrictions série (ns=2 np=1)

La mise en série de constrictions offre l'avantage de fractionner l'arc électrique et d'augmenter la tenue en tension une fois le fusible rompu. Pour ce design, la longueur totale des constrictions a été préservée (1 mm), pour des questions de compacité. Nous avons dimensionné deux constrictions en série d'une longueur de 500 µm chacune, pour une largeur de 138 µm, séparées par un pad thermique central pour assurer le découplage thermique entre ces deux dernières (Figure 48.a). Le fractionnement d'une piste fusible en plusieurs sections en série permet d'avoir des sections courtes, donc moins résistives, dont la flèche thermique ou le dôme thermique sur chacune d'entre-elles est bien plus aplati en comparaison d'une seule piste. A même contrainte de température maximale, les sections pourront être fortement amincies en largeur et les dimensions des pads réduites également.

Le profil thermique en longueur du fusible (Figure 48.c) montre bien deux pics de températures découplés par le pad central (qui repose sur le substrat silicium), dont la température reste quasiment identique à celle du substrat, signe d'une bonne évacuation des calories grâce à la conductivité thermique élevée du substrat silicium. On remarque également la forme fine des profils thermiques en comparaison des variantes précédentes. Cela permet d'obtenir une fusion rapide des constrictions avec des temps de pré-arc moins importants. Le profil thermique en largeur de la constriction est bien uniforme (Figure 48.d), signe d'une bonne répartition des contraintes thermiques.

Les pertes joules associées à cette variante sont évaluées à 692 mW pour le courant nominal (10 A), soit une résistance totale des constrictions de 6,92 mΩ. Valeur logiquement plus élevée en comparaison d'un fusible mono-constriction car les sections ont été fortement amincies, elles sont donc plus résistives. Le rajout du pad thermique central n'est pas sans conséquence, la surface occupée est de 15% plus importante en comparaison de la variante de référence.

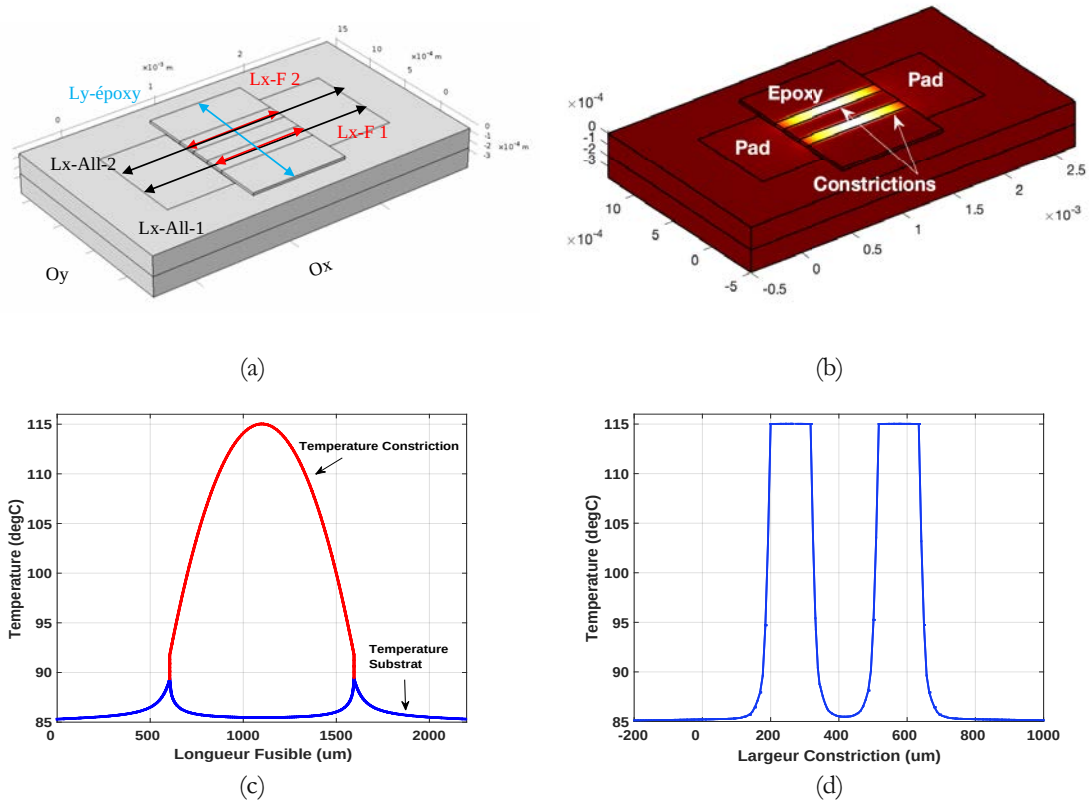


Figure 47 : géométrie d'un fusible à deux constrictions parallèle (a), sa cartographie thermique pour 10 A – 115 °C (b), le profil thermique en longueur du fusible (c) ainsi que le profil thermique en largeur de la constriction (d).

Fusible à quatre constrictions série/parallèle (ns=2 np=2)

Cette dernière variante (Figure 49.a) a pour but d'allier les avantages de la mise en parallèle et de la mise en série. On a donc dimensionné quatre constrictions en série/parallèle, d'une longueur de 500 µm chacune avec une largeur de 67 µm pour respecter la contrainte de température maximale.
Cette dernière configuration, apporte une meilleure répartition des contraintes thermiques et électriques, les pads sont sollicités de manière plus efficace, ce qui permet de réduire leurs dimensions. Les dômes thermiques en longueur du fusible (Figure 49.c) sont assez fins, avec un découplage entre les deux constrictions.
Ce design à quatre constrictions présente un gain en surface de 73 % par rapport à la version de référence. Les largeurs assez réduites des constrictions induisent des pertes joules plus importantes que précédemment, avec des pertes totales estimées à 713 mW pour le courant nominal, soit une résistance totale des constrictions égale à 7,13 mΩ.

Au final, nous avons dimensionné quatre variantes de fusibles sur substrat silicium d'une épaisseur de 400 µm, le nombre de constrictions est ajusté de manière à améliorer à chaque fois le modèle de référence (mono-constriction) en répartissant les contraintes thermiques et électriques et ajustant les largeurs des constrictions pour affiner au mieux les profils thermiques et réduire la surface occupée.

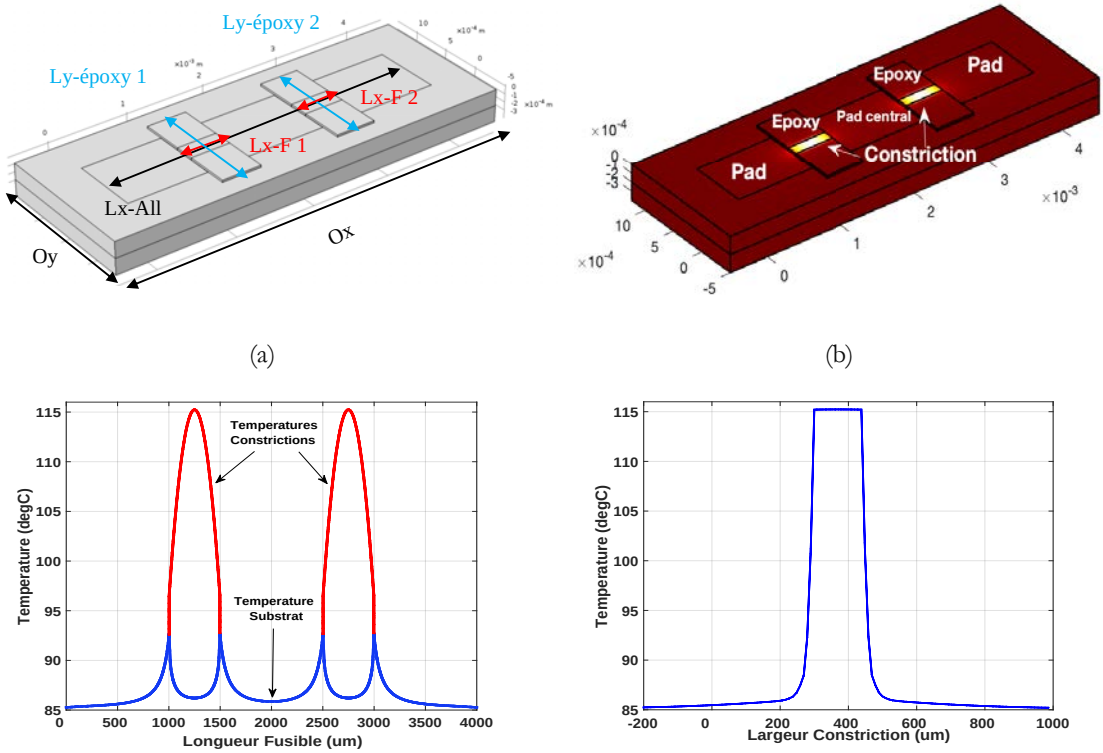


Figure 48 : géométrie d'un fusible à deux constrictions série (a), sa cartographie thermique pour 10A – 115°C (b), le profil thermique en longueur du fusible (c) ainsi que le profil thermique en largeur de la constriction (d)

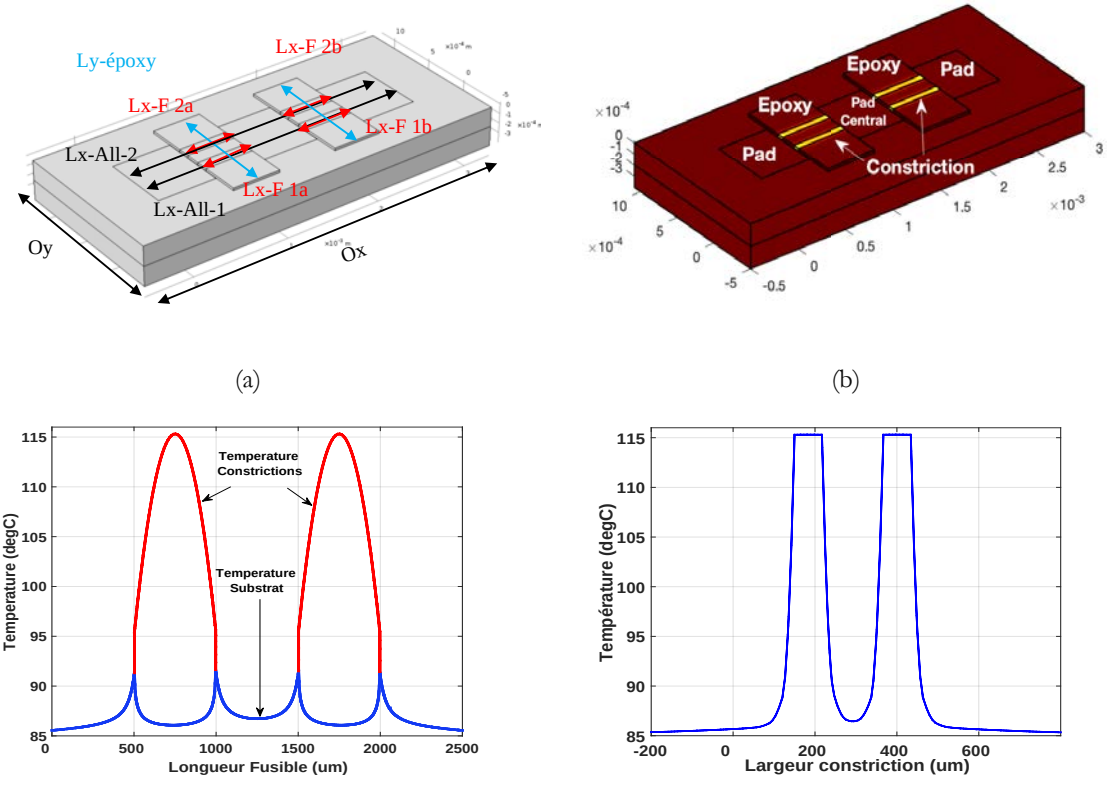


Figure 49 : géométrie d'un fusible à quatre constrictions série/parallèle (a), sa cartographie thermique pour 10A – 115°C (b), le profil thermique en longueur du fusible (c) ainsi que le profil thermique en largeur de la constriction (d)

2.4.4 Comparaison des fusibles

Un récapitulatif des surfaces occupées pour chacune des variantes, ainsi que les pertes joules associées sont présentées en Annexe 1.
En cas de défaut (court-circuit), le courant augmente très rapidement pour atteindre une valeur maximale qui provoque la fusion de la constriction. Pour connaitre l'énergie nécessaire à la vaporisation de la constriction, nous avons calculé l'intégrale d'action par unité d'ohm ou I^2T pour chacun des fusibles à partir des paramètres géométriques et physiques des pistes, en utilisant la formule (2.4) :

$$I^2T_P = \frac{\mu C_P S^2}{\rho_{25°C}\alpha} Ln\left(\frac{1+\alpha(\theta_f - 25°C)}{1+\alpha(\theta_{init} - 25°C)}\right) \qquad (2.4)$$

Avec :
μ : Densité du cuivre (8940 $Kg.m^{-3}$)
C_P : Chaleur massique (380 $J.Kg^{-1}.K^{-1}$)
S : Section de la constriction
α : Coefficient de sensibilité thermique du cuivre ($3{,}9.10^{-3}$)
ρ : Résistivité du cuivre à 25°C ($1{,}72.10^{-8}$ Ω.m)
θ_f : Température fusion du cuivre (1083 °C)
θ_{init} : Température statique initiale du point chaud au centre de la constriction (115 °C dans ce cas)

La forme d'onde du courant lors de la phase de pré-arc est donnée par la relation (2.5) :

$$I^2T_p = \int_0^{Tp} I_{cc}^2(t)dt \qquad (2.5)$$

Une fois les valeurs d'I^2T calculées, ces dernières sont utilisées pour déterminer les valeurs théoriques des courants de court-circuit, ainsi que les temps de pré-arc pour évaluer la rapidité de vaporisation des constrictions. En faisant l'hypothèse d'un circuit peu résistif, la forme d'onde du courant peut être approchée par une rampe de pente [di/dt]. Les expressions du temps de pré-arc et de l'amplitude du courant de court-circuit sont déduites de (2.5).
Expression du temps de pré-arc Tp (2.6) :

$$T_p = \left(\frac{3[I^2T_p]}{\left[\frac{di}{dt}\right]^2}\right)^{1/3} \qquad (2.6)$$

On en réduit l'expression du courant de court-circuit (2.7) :

$$I_{cc\ max} = \left(3\frac{di}{dt}\left[I^2T_p\right]\right)^{\frac{1}{3}} \qquad (2.7)$$

La Figure 50 recense les valeurs d'I^2T, des temps de pré-arc (Tp) ainsi les courants de court-circuit (I_{ccmax}), pour chacune des variantes dimensionnées. Le calcul est effectué uniquement pour la version à 115 °C.
La mise en parallèle et la mise en série ont permis d'obtenir une meilleure répartition des lignes de courant, ce qui a induit une meilleure répartition des contraintes thermiques sur le substrat silicium. Les pads sont donc exploités efficacement et évacuent les calories de manière plus optimale. Cela a permis la réduction des dimensions des pads et donné des fusibles très compacts. La version à quatre constrictions série/parallèle (ns=np=2) se trouve être la meilleure configuration sur le plan géométrique (1,46 mm^2) et électrique, avec une valeur d'I^2T de 0,39 $A^2.s$ (Figure 50.a) pour un courant de pré-arc de 488 A (Figure 50.b). Ce qui est en moyenne 5 fois plus faible que les plus faibles I^2T des fusibles du commerce (Mersen :

2,4 A².s). Une faible contrainte thermique I²T permet une plus grande rapidité et un niveau de sécurisation du défaut (court-circuit) plus élevé, sans risques de dommages autour de la puce, ce qui est très appréciable pour des raisons de sécurité et d'intégrité de la puce. Par contre, les surcharges en courant et les cycles actifs seront moins tolérés car les pistes fusibles sont plus fines et donc plus fragiles. Les fusibles 'Stand-alone' sont très rapides avec des temps de pré-arc de quelques microsecondes (Figure 50.c). Encore une fois, la version à quatre constrictions est la plus performante, avec un Tp de 1,9 µs seulement.

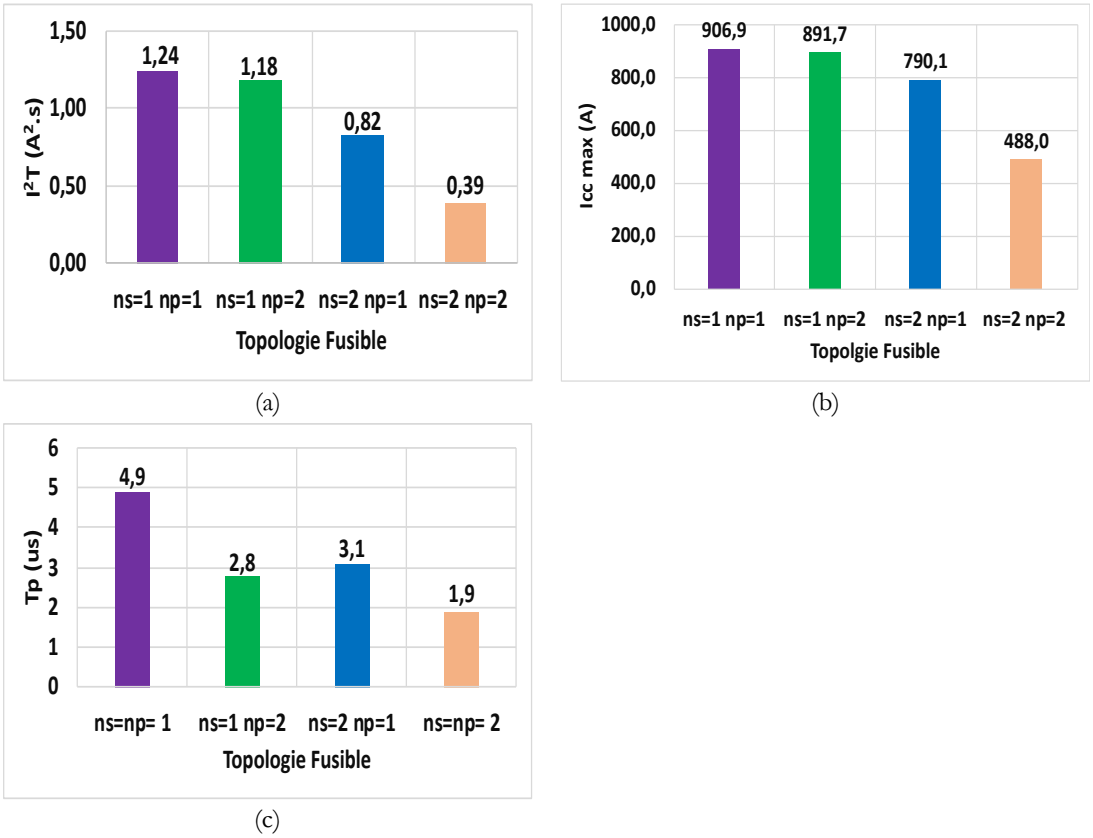


Figure 50 : Récapitulatif des valeurs d'I²T, Tp et Icc_{max} pour les différentes topologies de fusibles (à 115°C), calculées sous le courant nominal de 10 A, une température substrat = 85 °C, épaisseur époxy = 25 µm et une épaisseur constriction = 18 µm.

Les fusibles ont été comparés en termes d'I²T, surfaces occupées et pertes associées, à quelques références du commerce opérant sous le même courant nominal (10 A). Les fusibles CMS sont limités au calibre 20A. Les résultats de la comparaison sont reportés sur le Tableau 5.

On peut constater dans un premier temps, que les tensions nominales de ces fusibles du commerce ne dépassent pas les 125 V DC pour la plupart. Les fusibles 'Stand-alone' peuvent opérer sous une tension de 200 V (DC) et tenir cette tension une fois les constrictions rompues. Les pertes joules des fusibles 'Stand-alone' se situent dans la moyenne, voir en dessous de celles, des fusibles du commerce. Toutefois, les fusibles du commerce peuvent opérer sous des tensions plus élevées (200-250 V), présentent des niveaux de pertes très élevées en conduction (2 à 3 Watts) et des surfaces occupées qui dépassent de loin celles des fusibles 'Stand-alone'.

Tableau 5 : Comparaison des caractéristiques géométriques et électriques du fusible Stand-alone proposé avec quelques fusibles du commerce.

Modèle fusible	**Tension nominale V_{AC}-V_{DC} (V)**	**I^2T ($A^2.s$)**	**Surface (mm^2)**	**Pertes Joules (mW)**
AEM (F1206HC10A0TM)	35	15	3,2 x 1,6	550(1)
BEL (0685P9100-01)	50	28	3,2 x 1,6	520(1)
KOA SPEER (CCF1N10)	60	27,7	6 x 2,5	750(1)
BUSSMANN (1025FA10-R)	60	457	10,3 x 2,7	720(1)
TE conn.2410SFV10.0FM/125-2	125	29,2	6,86 x 3,15	660(1)
Littelfuse (Nano 451/453 Series)	125	26,46	6,1 x 2,7	560(1)
EATON, CB61F	125	36	6,1 x 2,6	900(1)
Schurter, OMF 125	125	54	7,4 x 3,1	800(2)
Schurter, UMT 250	$250_{AC} - 125_{DC}$	166	10,1 x 3	3500(2)
MERSEN	250	2,4	45,6 x 10,3	2100(2)
Fusibles Stand-alone	**200**	**0,39 à 1,24**	**1,46 à 2,95**	**400 à 750**(3)

(1) calculé à partir des datasheets pour le courant nominal, en utilisant les valeurs de résistances données.

(2) relevées sur les datasheets.

(3) calculées pour le courant nominal.

3 CONCEPTION DES MASQUES

Afin de valider expérimentalement le fonctionnement des fusibles et comprendre l'interaction entre le cuivre, l'époxy et le substrat silicium, d'un point de vue thermique et électrique, les quatre variantes de fusibles ont été réalisées au niveau de la plateforme de micro et nanotechnologies du LAAS-CNRS.

Pour réaliser ce procédé en salle blanche, seulement deux masques sont nécessaires. Un pour réaliser la couche d'époxy et l'autre pour le cuivre du fusible (pads et constrictions). Les dessins des masques ont été réalisés avec l'outil Virtuoso de Cadence™.

Une fois les fusibles réalisés et découpés du wafer, ils ont subi des tests électriques statiques en conduction ohmique et des tests dynamiques de claquage. Afin de faciliter la manipulation des puces et pouvoir souder la connectique nécessaire pour les mesures Kelvin, les pads ont été surdimensionnés par rapport aux dimensions optimisées. Ce choix ne compromet nullement le bon fonctionnement du fusible, objet central de l'étude, car les côtes des constrictions ont étés respectées. Nous disposerons donc de fusibles comportant des pads de 5 mm de côté, ce qui est largement suffisant pour réaliser les soudures et manipuler les composants.

Selon que l'on dispose ou pas d'un pad thermique central (fusibles à constrictions série supérieur à 1), deux versions de réticules ont été conçues. Sur les Figure 51 et Figure 52, on peut apercevoir respectivement, les jeux de masques associés aux réticules des composants sans et avec drain thermique central.

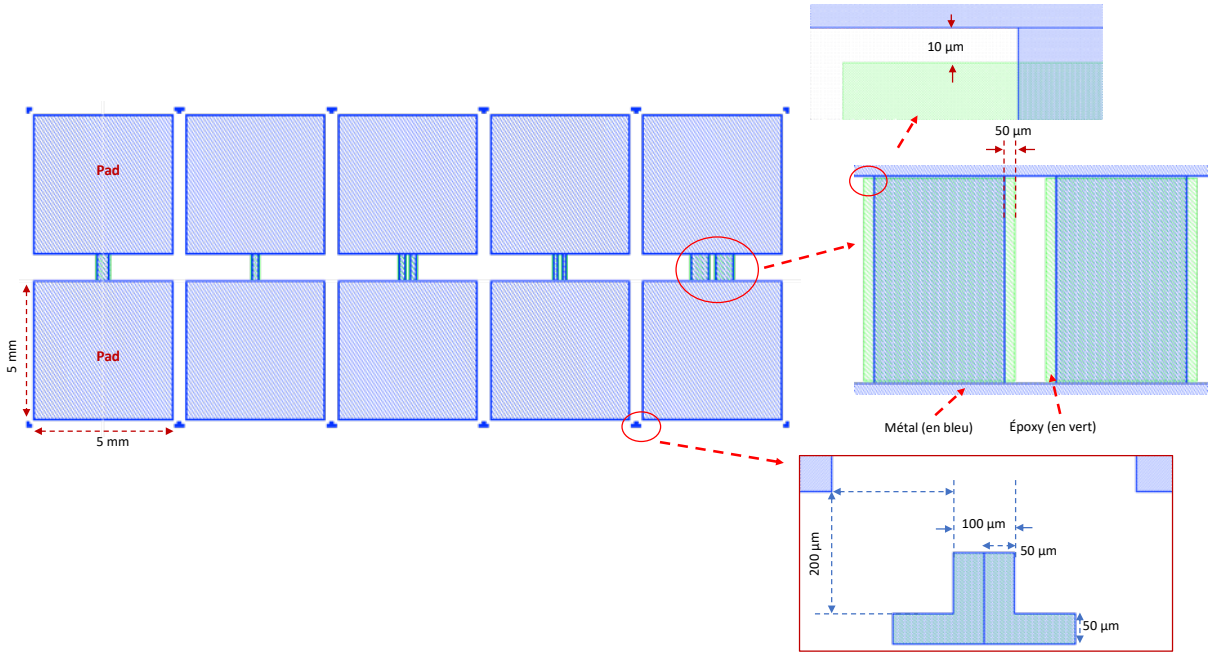


Figure 51 : Réticule des motifs de fusibles sans drains thermiques central.

Les dimensions de la couche d'époxy ont été adaptées afin d'anticiper d'éventuelles erreurs d'alignements lors de la réalisation en salle blanche. En longueur, un espace de 10 µm, sépare les bords des pads (vers la constriction) et la couche d'époxy (représentée en vert, Figure 51 et Figure 52). En largeur, la couche d'époxy est élargie de 50 µm de chaque côté de la constriction. Les composants sont séparés de 250 µm des chemins de découpes afin d'éviter tout endommagement.

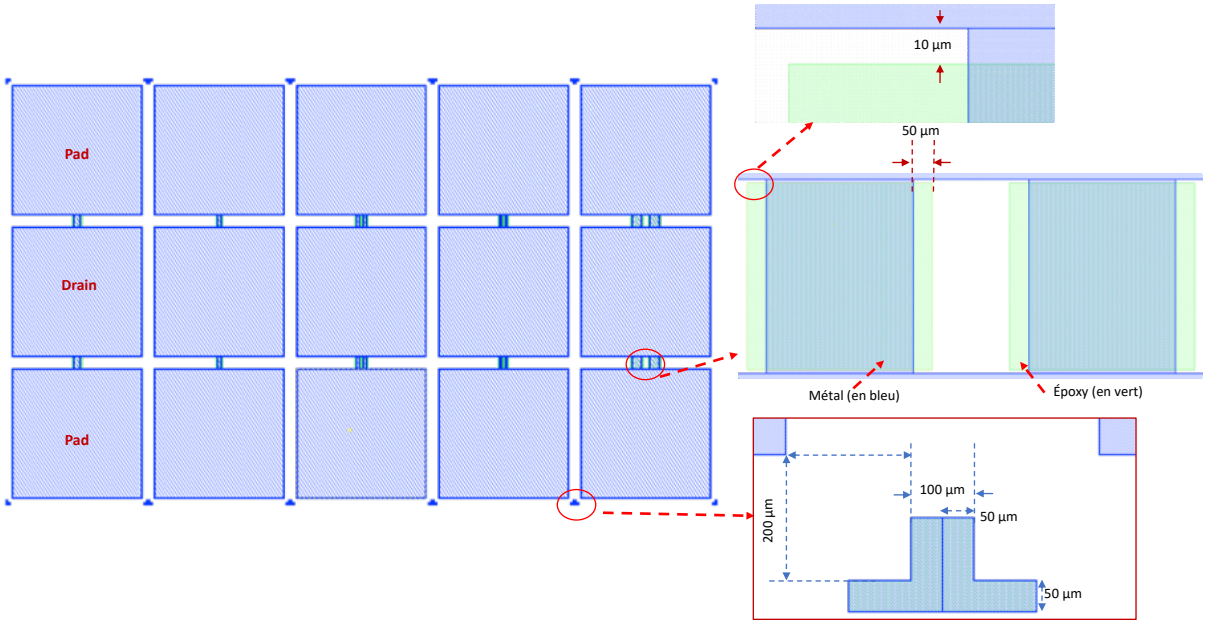


Figure 52 : Réticule des motifs de fusibles à drains thermiques.

4 REALISATION TECHNOLOGIQUE DES FUSIBLES

La réalisation des fusibles 'Stand-Alone' (Figure 53) a été assurée par la société 3Dis technologies®[22], basée au LAAS-CNRS et spécialisée dans la réalisation 3D d'interconnexions métalliques complexes, ainsi que la réalisation de composants pour des applications RF, MEMS sur puce...etc. Les différentes étapes de réalisation faisant partie des secrets de fabrication et savoir-faire de la société, nous nous limiterons aux principales étapes.

Les composants ont étés réalisés sur des wafers silicium non dopé, à forte résistivité, de 500 µm d'épaisseur. Une fois ces derniers nettoyés (1), une couche de nitrure est réalisée sur les deux faces des plaquettes. Durant cette phase, une couche d'une épaisseur de 200 nm environ y est formée (2). Cette dernière servira à éviter des courants de fuites importants à travers le substrat silicium lorsque les constrictions seront rompues. Puis, un dépôt d'une couche de résine époxy SU8 d'une épaisseur de 25 µm est déposée sur la face avant des plaquettes. Les constrictions reposeront sur cette couche d'époxy, qui créera une sorte de point chaud en empêchant l'évacuation des calories, concentrant ainsi toute l'énergie au niveau des pistes. En utilisant le masque n°1, l'époxy est développée afin de l'enlever partout sur le wafer, excepté aux endroits où les constrictions y seront réalisées (3).
Une fois l'époxy façonnée, une couche d'accroche à base de Nickel-Tungstène de quelques dizaines de nanomètres est déposée (4). Cette couche servira à assurer le dépôt de la couche de cuivre pour former les pads et les constrictions. Sans cette couche d'accroche, le cuivre risquerait de se désolidariser de la couche d'époxy au moindre stress mécanique. La réalisation des pads et des constrictions est effectuée par croissance électrolytique en utilisant l'anneau métallique formé sur les bords du wafer entourant les composants. Une couche de 18 µm est formée sur les pads et les constrictions, laissant une sorte de marche entre l'intersection pad et constriction (5). Le cuivre est gravé à l'aide du masque n°2, pour former les constrictions et les pads des composants (6).

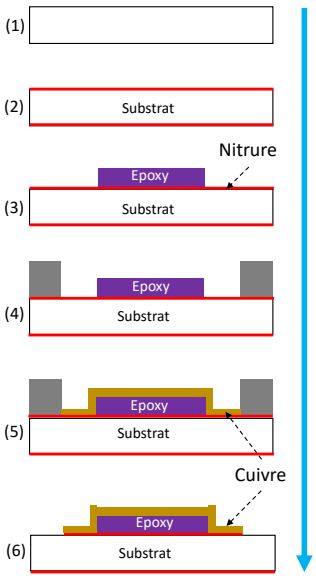
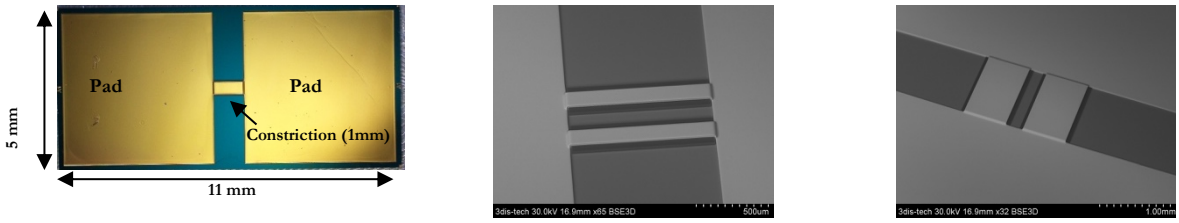


Figure 53 : Étapes du procédé de réalisation des fusibles Stand-alone.

Sur la Figure 54, nous pouvons apercevoir une image d'un fusible mono-constriction, ainsi que des vues microscopiques de fusibles multi-constrictions.



(a) (b) ©

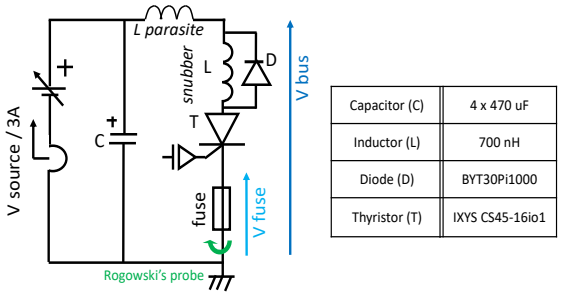
Figure 54 : Image d'un fusible réalisé (a) ainsi que des vues microscopiques de quelques constrictions parallèles des fusibles (b) et (c).

5 VALIDATION EXPERIMENTALE DES FUSIBLES

Dans cette partie du chapitre, on présentera le banc de test ainsi que les résultats des caractérisations des composants et tests de claquage, avec un montage '*single-fuse*' et '*dual-fuse*'. Les tests de claquage ont été initialement réalisés sur des puces non-passivées sur le dessus. Les résultats sur ces puces n'étant pas satisfaisant, un processus de passivation volumique par gel silicone sur le dessus est appliqué sur les puces fusibles. Les résultats après passivation sont très intéressants.

5.1 Circuit de test des fusibles

Le circuit de test (Figure 55) est composé d'un bloc capacitif formé de quatre capacités en parallèle, chargé par une source de tension limitée en courant. Un thyristor monté en crowbar, permet de décharger rapidement le bloc capacitif à travers une inductance snubber en série pour limiter le di/dt et ainsi protéger le thyristor d'un vieillissement accéléré. Une diode de roue-libre permet d'évacuer l'énergie stockée dans l'inductance snubber pour ne pas sur-contraindre le fusible à la coupure. Enfin, en amont de cette cellule de test, le PCB vient interconnecter ces éléments avec les condensateurs réservoirs. Une inductance parasite d'une centaine de nH maximum est présente comme dans toute cellule de commutation.



Capacitor (C)	4 x 470 uF
Inductor (L)	700 nH
Diode (D)	BYT30Pi1000
Thyristor (T)	IXYS CS45-16io1



(a) (b)

Figure 55 : Circuit électrique du banc de test (a) et une image du banc expérimentale (b).

Avant de subir le test de claquage, les fusibles sont caractérisés en statique pour s'assurer de la précision du processus de réalisation. Une mesure quatre-fils (Kelvin) est ainsi effectuée avant chaque test de claquage. Lors des tests de caractérisations statiques à température ambiante, on a observé que le gradient de température entre les pads et le centre de la constriction était quasi-identique aux simulations avec une température initiale de 85 °C. Les caractérisations statiques ainsi que les tests de claquage se sont donc déroulées à température ambiante, ce qui simplifie les manœuvres sur le banc de test.

5.2 Caractérisation statique des fusibles

Nous nous sommes concentrés dans un premier temps uniquement sur les fusibles à mono-constriction. Pour les mesures statiques, la méthode volt-ampérométrique Kelvin est utilisée pour estimer la valeur de la résistance des fusibles réalisés. La Figure 56 montre la chute de tension observée ainsi que la valeur de la résistance associée sur deux fusibles.
On peut observer que les valeurs sont répétables, signe d'un processus de réalisation et de mesure maitrisés. Une chute de tension autour de 75 mV est observée à chaque fois, ce qui correspond à une résistance de l'ordre de 7,5 mΩ.

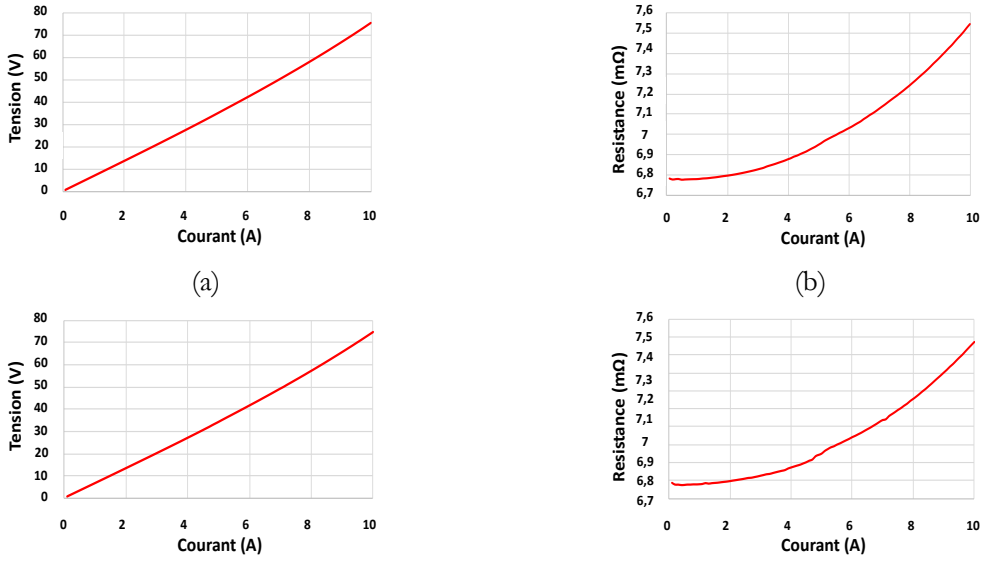


Figure 56 : Chutes de tension des fusibles caractérisés et résistances associées, mesurées à l'aide d'un multimètre Keithley (2700 Multimeter) et d'une source d'alimentation TCE 8872/1500W.

Un thermocouple placé sur un des pads du fusible a permis de mesurer une température de 22,2 °C. A partir de cette donnée, nous avons estimé la valeur de la température maximale au niveau de la constriction, en utilisant la variation de la valeur de la résistance de cette dernière, décrite par la relation (2.8) :

$$R_{fin} = R_{ini}\,(1 + (\Delta\theta.\alpha)) \quad \rightarrow \quad \Delta\theta = \left(\frac{R_{fin}}{R_{ini}} - 1\right)\frac{1}{\alpha} \qquad (2.8)$$

Avec $\Delta\theta$ la variation en température (entre la température mesurée et la température initiale) et α le coefficient de température, pour le cuivre, il est égal à 4.10^{-3} [K^{-1}].

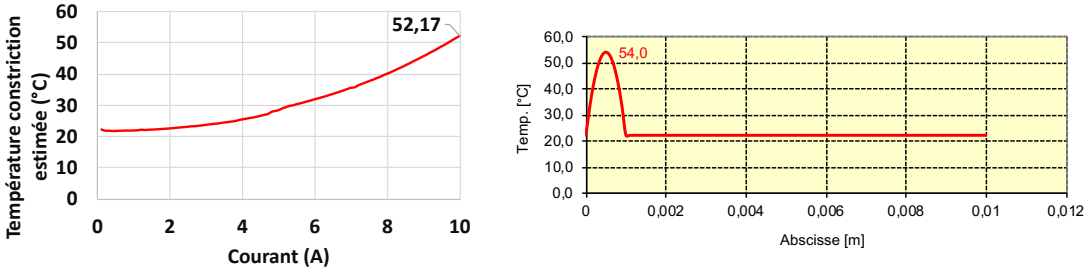


Figure 57 : Estimations de la température maximale de la constriction : (a) à partir de la mesure de la température des pads et de la variation de la résistance, (b) et à l'aide du modèle 1D d'une mono-constriction sur Excel™.

L'estimation de cette température donne une valeur de 52,17 °C (Figure 57.a), soit une flèche thermique de quasiment 30 °C. Nous avons également estimé la température maximale au centre de la constriction à l'aide de notre modèle 1D d'une mono-constriction sur Excel™. Nous avons trouvé une valeur de 54 °C (Figure 57.b), soit une flèche thermique de 31,8 °C, en partant de la même température initiale que celle mesurée sur les pads (22,2 °C).
Lors des simulations sous Comsol™, avec une température initiale de 85 °C, nous avons trouvé une température maximale au centre de la constriction de 115 °C, soit une flèche thermique de 30 °C.
Enfin, nous avons déterminé la chute de tension d'un fusible mono-constriction sur Comsol™ et estimé la température maximale au centre de la constriction, en partant d'une température initiale de 22,2 °C (comme celle mesurée sur les pads, de manière expérimentale). Pour ce faire, nous avons placé deux lignes de mesure aux milieux des pads (Figure 58.a), afin de représenter l'emplacement des fils de mesures soudés sur les pads lors des tests. Nous mesurons ainsi une résistance de 6,54 mΩ (Figure 58.a), contre une valeur théorique de 5,89 mΩ (écart de 9,9 %). La chute de tension associée à cette mesure est de 65 mV (Figure 58.c), soit un écart de 13,33 % en comparaison de la valeur mesurée (75 mV). La température associée sous le courant nominal (10 A) est de 52 °C (Figure 58.d), soit une flèche thermique de quasiment 30 °C.

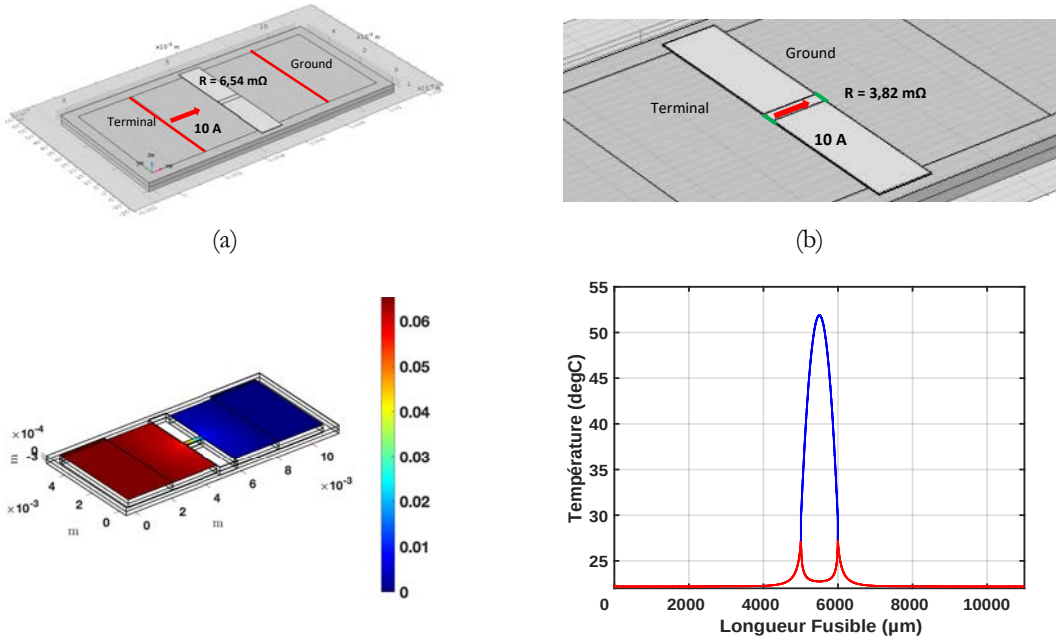


Figure 58 : Simulation visant à déterminer la résistance du fusible mono-constriction 115°C sur Comsol™ : (a) entre les pads, (b) près de la constriction, (c) distribution des équipotentiels et (d) distribution de la température en longueur du fusible à partir d'une température ambiante de 22,2 °C.

Les écarts entre les valeurs mesurées, simulées sur Comsol™ ou bien calculées sur Excel™, sont très négligeables, mais l'ensemble de ces calculs et simulations ont permis de comprendre le fonctionnement des fusibles. Les calculs et simulations ont notamment permis de vérifier que la flèche thermique est maintenue entre les pads et les centres des constrictions. La faible différence entre les valeurs expérimentales et simulées peut donc provenir de la méthode de mesure (variation légère de l'emplacement des fils soudés sur les pads), du fait qu'on n'ait pas atteint la thermalisation complète des composants (prend du temps) et de l'interaction de la résistance des pads lors de la mesure de celles des constrictions.

5.3 Résultats des tests de claquage et discussion

5.3.1 Sans passivation sur « single-fuse »

Lorsque le thyristor (Figure 55) est commandé, une partie de l'énergie stockée dans le bloc capacitif est déchargée à travers l'inductance et le fusible qui voit le courant à ses bornes pour atteindre l'énergie de fusion du métal constriction. Cette phase ohmique où le courant atteint sa valeur maximale, est appelée « phase de pré-arc », représentée entre 0 et T_P sur la Figure 59. Une fois cette dernière achevée, la tension d'arc se développe aux bornes du fusible à une valeur supérieure à la tension aux bornes des capacités. Le courant d'arc commence à décroitre pour s'annuler complétement. Cette dernière phase est appelée phase d'arc, représentée entre T_P et T_{clear} sur la Figure 59. En considérant des formes idéalisées, l'énergie dissipée dans le fusible repose sur l'énergie stockée dans l'inductance parasite du PCB et le ratio de tension V_{ALIM}/V_{ARC} (6).

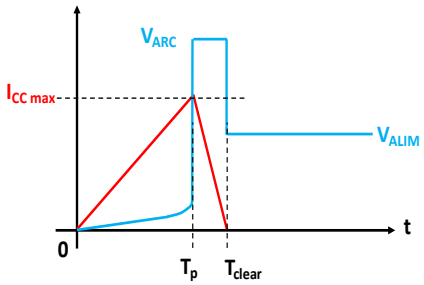


Figure 59 : Formes d'ondes idéales représentant les régimes de claquage d'un fusible

$$E_{fuse} = \frac{\frac{1}{2}L_{parasite} \times I_{CC\,max}^2}{1-\frac{V_{ALIM}}{V_{ARC}}} \quad (2.6)$$

Les premiers tests de claquage ont été menés à faible tension (50 V), afin de mieux comprendre le comportement électrique et thermique des fusibles. Des sondes de tension ont été utilisées pour mesurer les niveaux de tensions aux bornes du bus et du fusible. Pour mesurer le courant, une sonde de Rogowski (calibre 1,6 kA) est placée aux bornes du fusible. Les résultats des tests menés sur deux fusibles sont reportés sur la Figure 60.

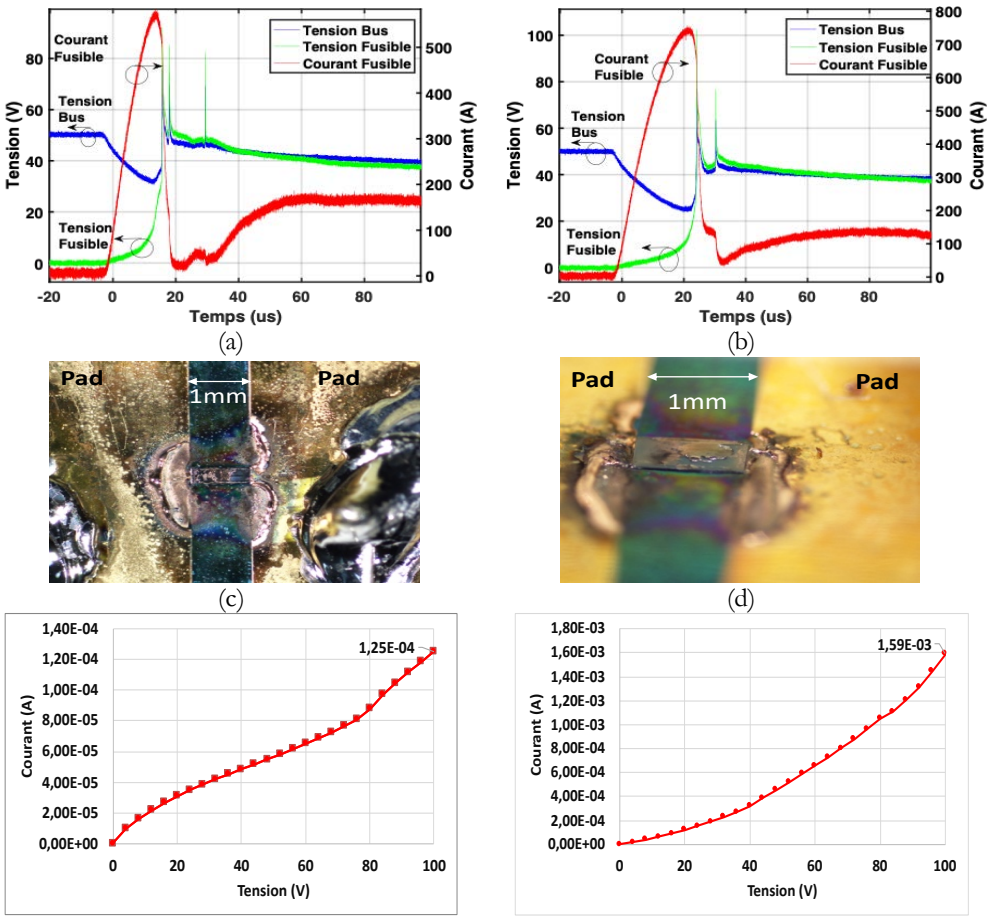


Figure 60 : Résultats des tests de claquage de deux fusibles mono-constriction sous 50 V (a) et (b), zoom sur la zone constriction (c) et (d) et les courants de fuites mesurés (e) et (f).

En Figure 60.a et Figure 60.b, les formes d'ondes de courant et de tension montrent clairement le mode ohmique du fusible pendant la montée du courant sur une dizaine de µs. Cependant, à l'approche du courant de fusion, à plusieurs centaines d'ampères, la résistance augmente continuellement, sous la forme d'un coude, ce qui semble traduire un régime de changement de phase solide-liquide des pistes fusibles avant qu'elles ne se vaporisent. La formation du plasma d'arc est nette et rapide, visible par une tension d'arc en forme de pointe à plus de 50 % au-delà de la tension d'alimentation. Le courant décroit en moins d'une µs montrant une coupure rapide.

D'après les Figure 60.a et Figure 60.b, on peut aussi observer une coupure saccadée avec l'apparition d'une deuxième pointe de tension d'arc. Ce comportement témoigne du caractère chaotique de l'arc dans la phase de coupure. En effet, on voit clairement aussi une reprise du courant d'arc à la fin de la phase d'arc et par voie de conséquence un apport d'énergie supplémentaire à la zone de constriction entre les pads. En conséquence, les pads ont été fortement dégradés et ablatés par l'énergie du plasma d'arc, laissant des résidus métalliques sur l'époxy (Figure 60.c et Figure 60.d). Ce comportement est néfaste pour l'environnement du fusible car il dégrade les pads et éventuellement le substrat. Ainsi du fait de l'absence de passivation en surface du fusible (métal nu dans l'air), l'énergie du plasma ne s'est pas focalisée sur la constriction uniquement mais elle s'est étendue aux pads.
Afin de remédier à cette problématique, on a choisi de passiver les fusibles (notamment la zone constriction) à l'aide d'un gel silicone comme exposé ci-dessous.

5.3.2 Avec passivation sur « single-fuse »

Le gel silicone utilisé pour passiver les composants provient d'un boitier de composants de puissance déjà utilisé, commercialisé par le constructeur Mitsubishi. Des essais antérieurs avaient été menés dans la thèse de Zhifeng Dou [17], sur des fusibles réalisés sur PCB FR4. Les effets de la passivation ont été immédiats, le courant s'annule sans reprise d'arc. Les résultats des tests de claquage sur des fusibles sous 100V et 130V sont présentés sur la Figure 61.

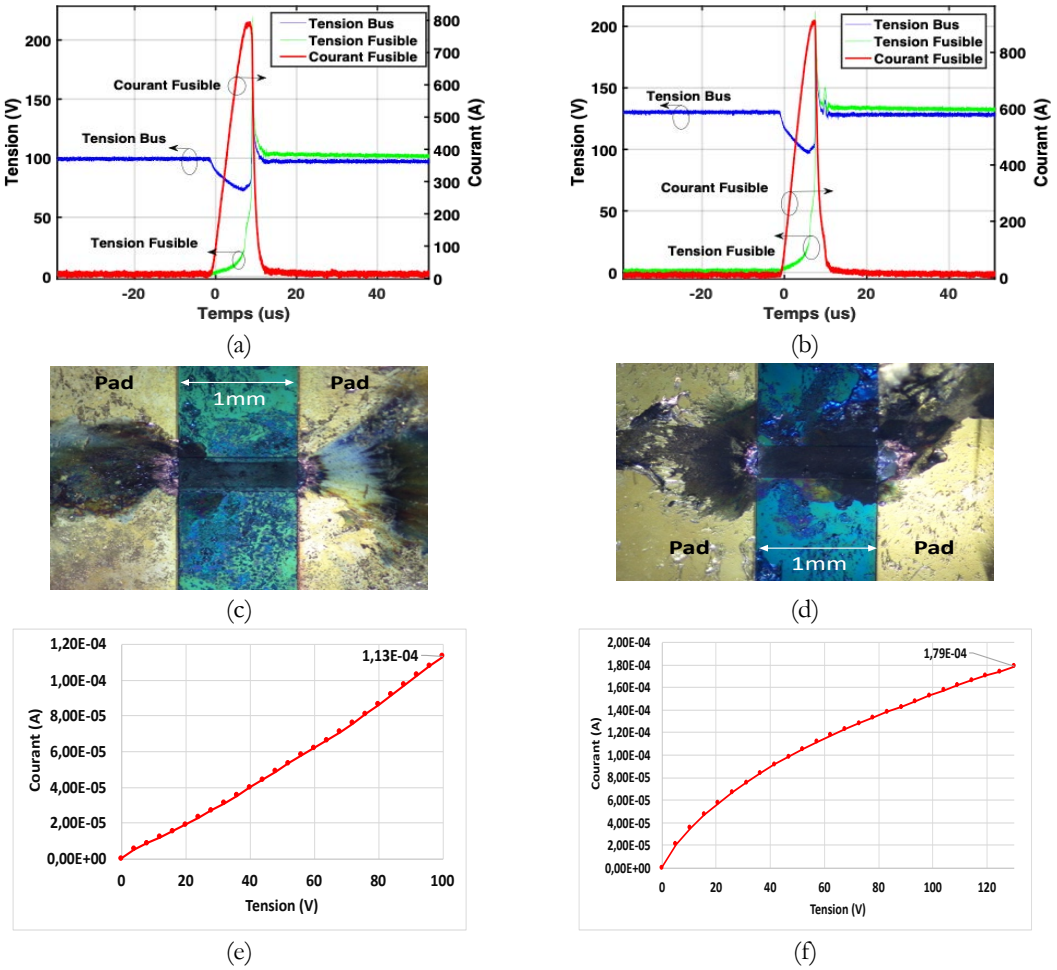


Figure 61 : Résultats des tests de claquage de deux fusibles mono-constriction sous 100 V (a) et 130 V (b), zoom sur la zone constriction (c) et (d), ainsi que les courants de fuites mesurés (e) et (f).

Cette fois, la phase d'arc a abouti à une annulation nette et complète du courant d'arc (Figure 61.a et Figure 61.b) au bout de 8,5 µs (Figure 61.a, 100V) et 8 µs (Figure 61.b, 130V) de temps de pré-arc. La tension d'arc ne présente qu'une seule pointe et se stabilise sans présenter de forme chaotique. Les pads n'ont pas subi de dommages importants et le métal des constrictions s'est complétement évaporé à l'intérieur du bloc de gel. La passivation par le gel a nettement amélioré la maitrise de l'arc en contenant l'excès d'énergie. Les courants de fuite associés sont de l'ordre de 113 µA (12 mW) et 179 µA (23,4 mW) (respectivement à 100 V et à 130V), ce qui est raisonnable en comparaison avec les valeurs précédentes, où l'on mesurait des courants allant jusqu'à 1,59 mA.

5.3.3 Test de claquage sur bras « dual-fuse »

Nous avons mis en place un test claquage avec une topologie 'dual-fuse' (Figure 62) pour tester la dispersion des fusibles. Le circuit comporte deux fusibles mono-constriction en *high-side* et *low-side* d'un bras à IGBT, avec un thyristor monté en crowbar pour déclencher les fusibles. Les deux fusibles ont été passivés au gel silicone comme pour les précédents tests. Cette structure de test est donc représentative d'un montage réel.

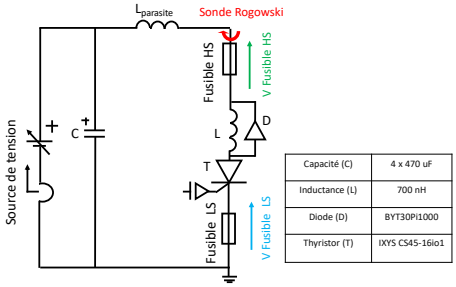


Figure 62 : Circuit électrique du test 'dual-fuse', mesuré avec une sonde de courant Rogowski 30kA et des sondes de tensions Tektronix TMDP0200 (750V/200MHz).

Les résultats du test sous une tension de bus de 160 V, ainsi que les courants de fuites associés, sont présentés sur la Figure 63. Après un temps de pré-arc de 10 µs environ, on peut observer une annulation nette du courant (Figure 63.a et Figure 63.b) à la fin de la phase d'arc, malgré un déséquilibre transitoire et chaotique entre les tensions fusibles sur la séquence enregistrée (mais qui tendent à l'équilibre après un certain moment), signe d'une interruption réussie des constrictions des deux fusibles HS et LS (Figure 63.c et Figure 63.d). La mesure des courants de fuites sur chacun des fusibles (Figure 63.e et Figure 63.f), sous une tension de 100 V, a donné 32 µA (3,2 mW) et 50 µA (5 mW) respectivement pour les fusibles HS et LS, soit des valeurs très faibles.

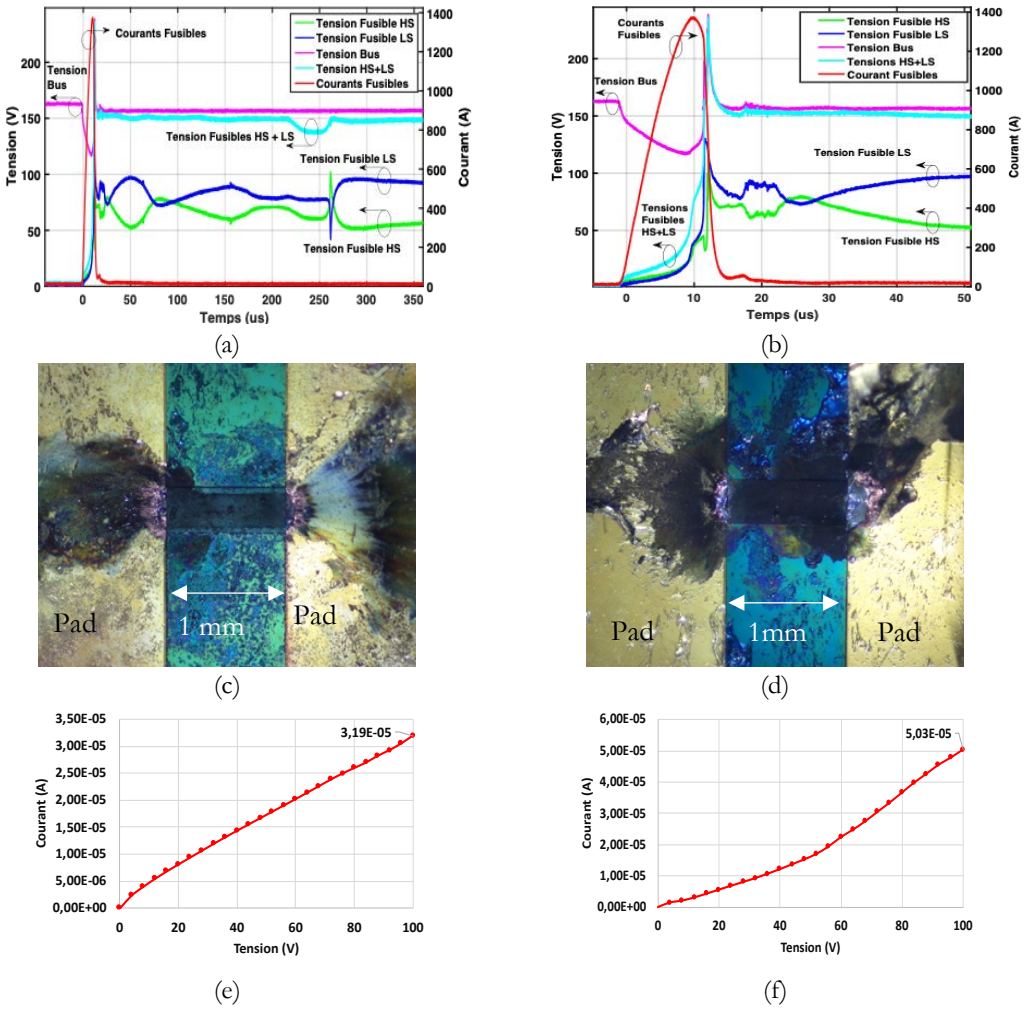


Figure 63 : résultats des tests de claquage sur un bras dual-fuse : (a) courbes courant-tension, (b) zoom sur la zone d'arc, (c-d) photographies des fusibles HS et LS (respectivement) et courants de fuites associés au fusibles HS et LS (e-f) (respectivement).

Afin de répondre au cahier des charges qui nous impose une tension de bus de 400 V, soit 200V par fusible, on a procédé à quelques tests de claquage sous 200 V. Les résultats sont présentés sur la Figure 64. Cette première passivation par gel (déjà réticulé) n'a pas suffi à contenir l'arc et le passiver en l'annulant (Figure 64.a et Figure 64.c). Une reprise du courant est observée à chaque fois. Par ailleurs, le dépôt du gel (déjà réticulé) se faisant de manière manuelle, n'assure pas un contact intime entre ce dernier et la constriction. Une fois la constriction rompue, des restes métalliques peuvent se déposer sur l'époxy et contribuer à la réduction de la distance inter-pads (1 mm) et ainsi créer un second arc destructif (Figure 64.b et Figure 64.d).

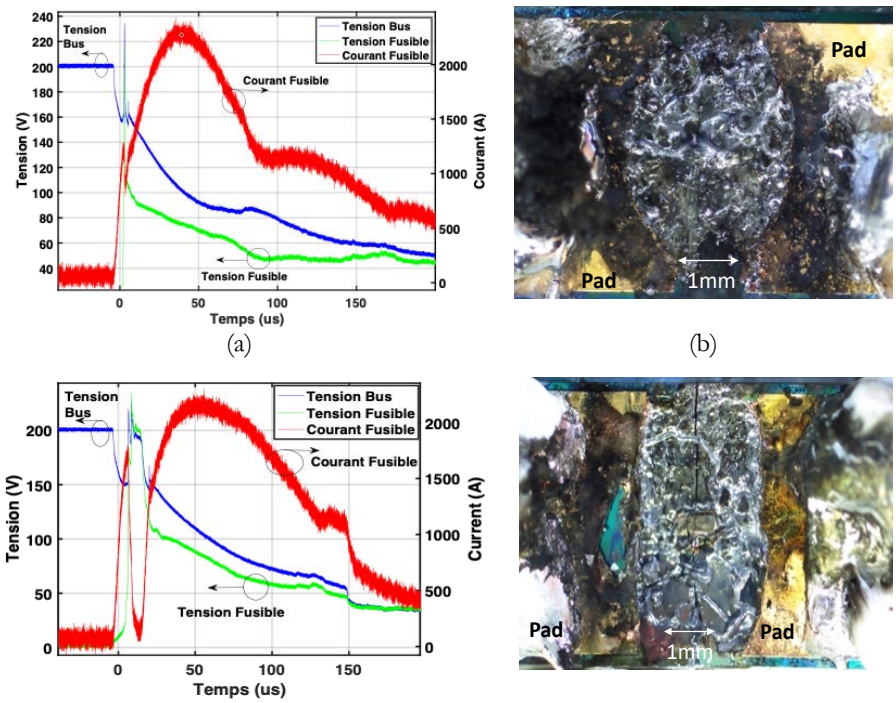
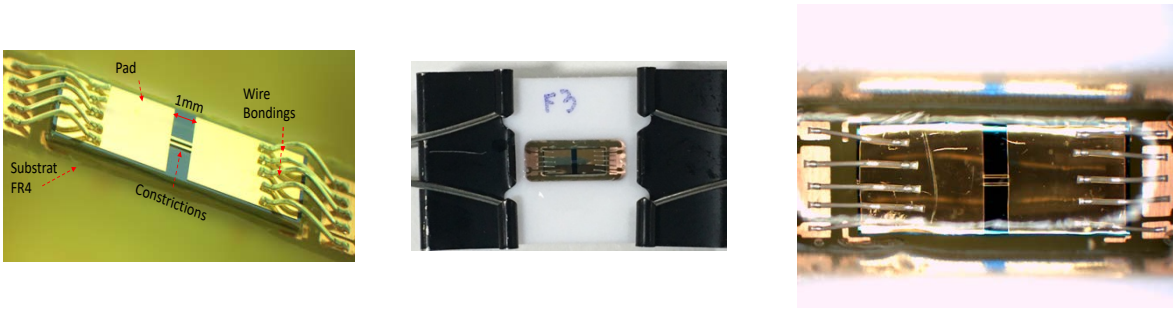


Figure 64 : Résultats des tests de claquage de deux fusibles mono-constriction sous 200 V (a) et (c), zoom sur la zone constriction (b) et (d), mesurés avec une sonde de courant Rogowski 30 kA et des sondes de tensions Tektronix TMDP0200 (750 V/200 MHz).

5.4 Nouvelle passivation des fusibles

Afin d'améliorer les caractéristiques de coupures des fusibles, un procédé de passivation a été mis en place sur la plateforme 3DPHI au Laplace. Dans les précédents tests, il arrivait que les puces fusibles soient endommagées, suite à des stresses mécaniques, lorsqu'on réalise des tests sous des tensions supérieures à 100 V. Dans ce nouveau processus de passivation, les puces fusibles sont collées en face arrière sur un substrat FR4 (Figure 65.a). Ce dernier comporte également des pads en cuivre pour la reprise des contacts. Une fois la puce collée, on vient réaliser la connectique nécessaire pour les mesures Kelvin, à l'aide de 'wire-bonding', entre les pads des fusibles et les pads de reprise de contacts sur le substrat FR4. La partie du substrat sur lequel repose la puce est détouré au préalable afin de retirer la puce et la placer sur un circuit de test (Figure 55). Un moule en polycarbonate comportant une cavité centrale, usiné par fraisage numérique (technologie CNC : Computer Numerial Control miling) dans un substrat PTFE de 1 cm d'épaisseur, est déposé sur la puce fusible et tenu par deux pinces de part et d'autre (Figure 65.b). Une fois le moule positionné, le gel silicone est coulé à l'intérieur de la cavité et recouvre l'ensemble de la puce et des fils de bondings. Le résultat de la passivation après réticulation du gel silicone, pendant une heure dans une étuve chauffée à 80 °C est présenté sur la Figure 65.c.



(a) (b) (c)

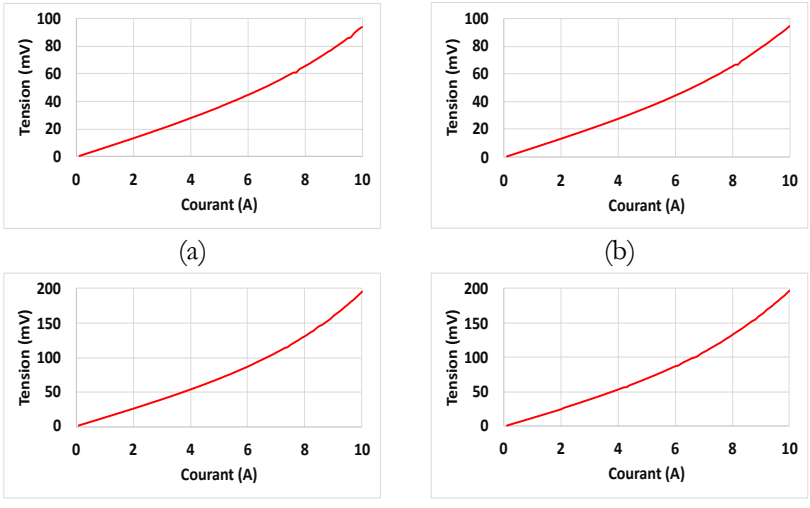
Figure 65 : Puce fusible 'Stand-alone' à deux constrictions, collée sur un substrat FR4 (a), puis passivée avec du gel silicone à l'aide d'un moule PTFE (b) et le résultat après réticulation à 80°C (c).

Après la coulée du gel, les composants (Figure19.b) sont disposés dans une chambre sous vide. Cela permet de réduire la présence de bulles d'air, qui pourraient, notamment dans la région constrictions, provoquer un claquage non uniforme et impacter la tenue en tension.
Pour ces nouveaux tests, nous avons utilisé le gel silicone SilGel 612 A/B commercialisé par Wacker™ [23]. Ce dernier est destiné pour les composants électroniques déployés dans l'automobile ainsi que les composants de puissance.

5.5 Résultats des tests de claquage après passivation au gel silicone

5.5.1 Caractéristiques statiques des fusibles après passivation

Avant chaque test les fusibles sont caractérisés pour des courants allant de 0 à 10 A, soit le courant nominal. Les fusibles passivés présentent une chute de tension (Figure 66) légèrement plus élevée qu'auparavant, sans gel. La présence de gel réduit les échanges thermiques avec l'environnement autour, ce qui provoque une accumulation de calories, et donc une augmentation de la chute de tension associée.



(a) (b) (c) (d)

Figure 66 : Chutes de tensions aux bornes des fusibles à mono-constriction (a), à deux constrictions parallèles (b), à deux constrictions séries (c) et à quatre constrictions série/parallèle (d).

Ces valeurs sont toutefois dans la moyenne en comparaison des fusibles du commerce du même calibre en courant (10 A).

5.5.2 Résultats des tests de claquage après passivation

Les résultats des tests de claquage ont étés très satisfaisants. Ce processus de passivation a permis une augmentation de la tension de claquage coupée par les fusibles, avec une concentration de l'énergie sur la constriction et une préservation du métal des pads.
La Figure 67 présente les résultats des tests de claquages sur un fusible à deux constrictions parallèles, en utilisant le même circuit de test que précédemment, avec une sonde de courant Rogowski de 30 kA et des sondes de tensions Tektronix TMDP0200 (750V/200MHz).

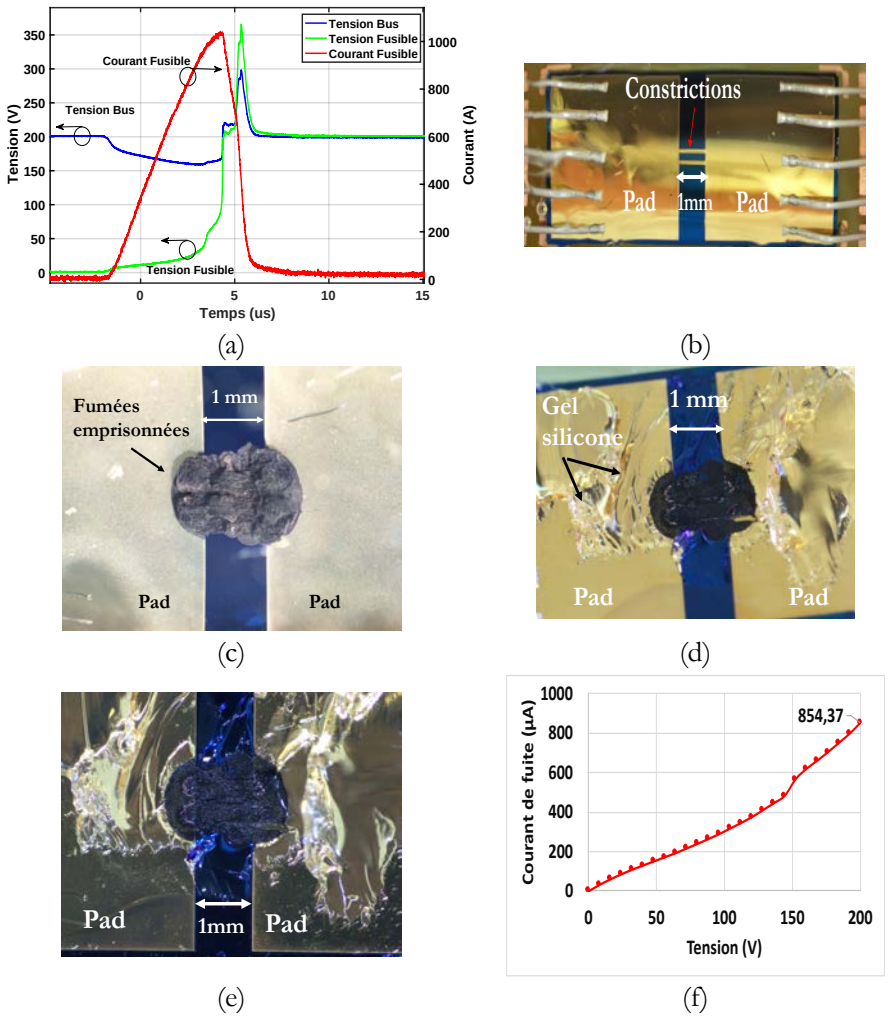


Figure 67 : Résultats du test de claquage à 200V sur une puce fusible à deux constrictions séries (a), photographie de la puce avant claquage (b), après claquage (c), avec un zoom sur la zone constriction droite (d-e) après avoir enlevé le gel, ainsi que les courants de fuites mesurés sous la tension nominale (f) (200 V).

Les formes d'ondes indiquent une coupure nette sans reprise d'arc, avec une annulation irréversible du courant (Figure 67.a), après un temps de pré-arc de 5 µs environ. On peut voir que le gel a bien absorbé les particules évaporées (Figure 67.c). Les constrictions ont été complètement évaporées (Figure 67.d et Figure 67.e) et les pads sont restés intacts, signe d'une coupure maitrisée. Pour cette version (ns =1 np =2), les courants de fuites (Figure 67.f) sont légèrement élevés (854 µA), mais ils restent acceptables. La résistance d'isolation après claquage reste élevée (230 kΩ), soit une puissance dissipée de 171 mW.

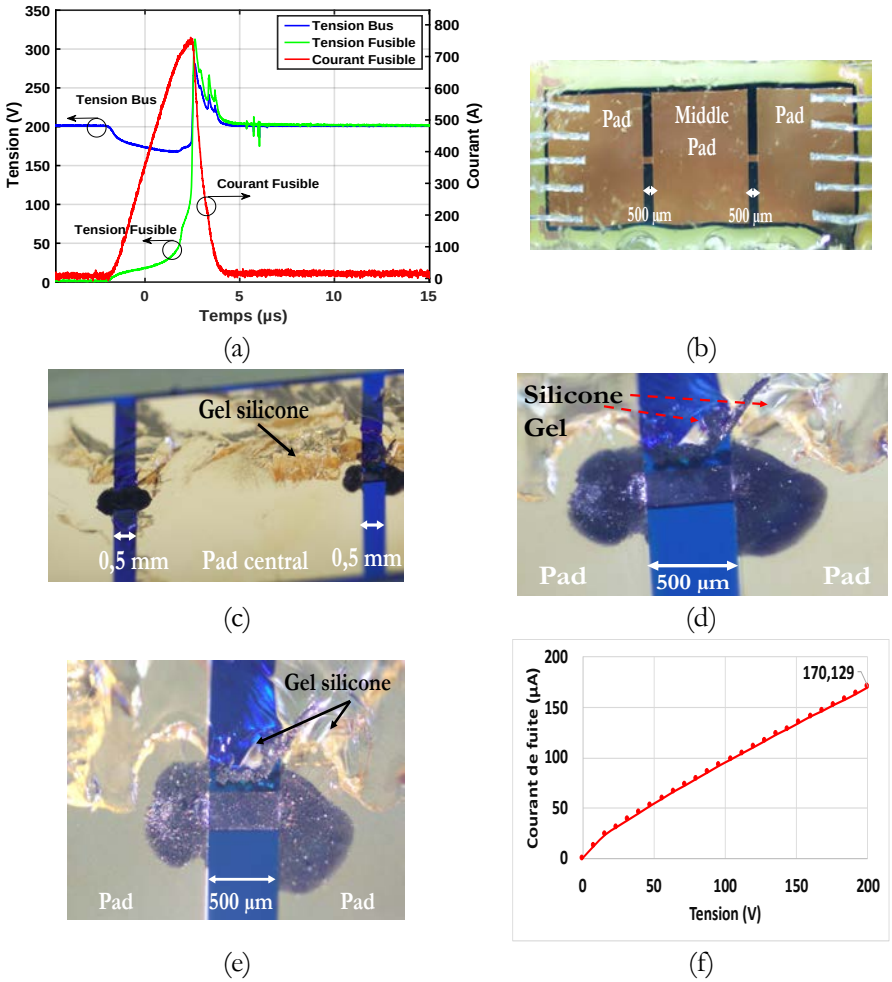


Figure 68 : Résultats du test de claquage à 200V sur une puce fusible à deux constrictions séries (a), photographie de la puce avant claquage (b), après claquage (c), avec un zoom sur la zone constriction droite (d-e) après avoir enlevé le gel, ainsi que les courants de fuites mesurés sous la tension nominale (f) (200 V).

La mise en série de deux constrictions a donné comme prévu un meilleur résultat (Figure 68). Une coupure nette sans reprise de courant est observée (Figure 68.a) après un temps de pré-arc de 4 µs environ, avec des pads (Figure 68.c et Figure 68.d) plus préservés qu'au précédent test. La division par deux de la longueur initiale (1 mm) pour former deux constrictions série, a permis un relâchement des contraintes sur le substrat, en divisant par deux l'arc électrique, on réduit les contraintes mécaniques locales sous les constrictions lors de la phase de claquage, le choc sur le substrat est donc deux fois moins important. L'énergie est focalisée sur les constrictions (Figure 68.e). Les courants de fuites sont plus faibles (170 µA) avec une résistance d'isolation plus importante (1,17 MΩ), soit une puissance dissipée de 34 mW.
Les avantages de la mise en parallèle et la mise en série sont mis en évidence sur la dernière version à quatre constrictions séries/parallèles (Figure 69). La phase d'arc s'est terminée avec une annulation du courant, après un temps de pré-arc de 4 µs secondes seulement (Figure 69.a). Les pads sont encore une fois bien conservés (Figure 69.c et Figure 69.d). Des courants de fuites très faibles ont été mesurés (24 µA), avec une résistance d'isolation de plusieurs méga-ohms (8 MΩ), soit une puissance dissipée de seulement 5 mW.

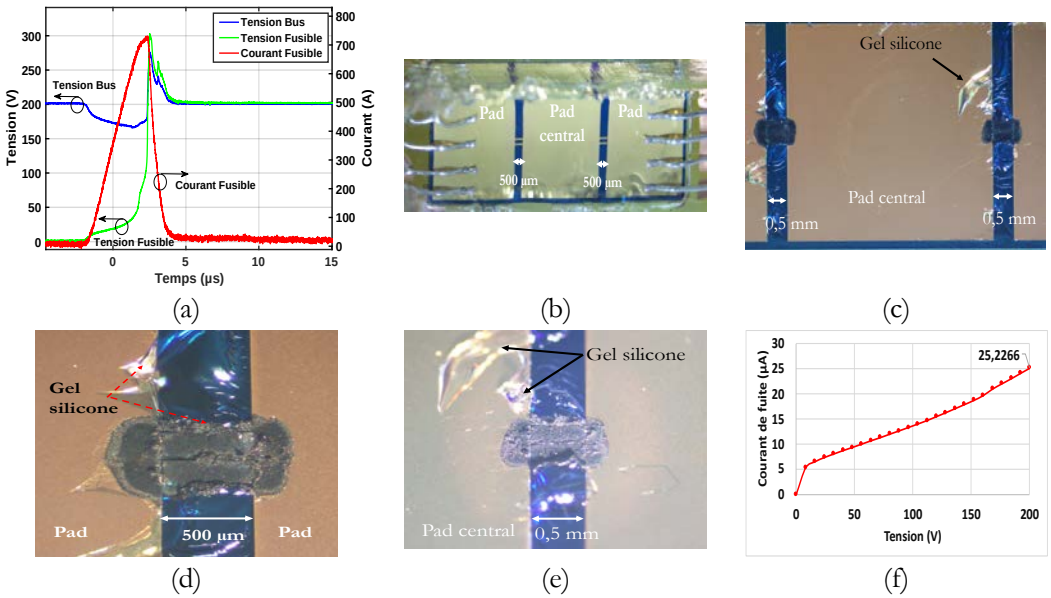


Figure 69 : Résultats du test de claquage à 200V/3A sur une puce fusible à quatre constrictions (a), photographie de la puce avant claquage (b), après claquage (c), avec un zoom sur la zone constriction droite (d-e) et les courants de fuites mesurés sous la tension nominale (200V).

5.6 Comparaison des valeurs d'I²Tp théoriques et expérimentales

Les valeurs d'énergies de claquage des constrictions (I²T [A².s]), mesurées à partir des courbes de courants, montrent une légère différence en comparaison des valeurs théoriques. Le Tableau 6 dresse un récapitulatif des valeurs théoriques, expérimentales, ainsi que les valeurs expérimentales recalculées en se limitant à la zone ohmique du fusible.

Tableau 6 : récapitulatif des valeurs d'I²T théoriques et expérimentales

Topologie fusible / I²T (A².s)	Np=Ns=1	Np=2 Ns=1	Np=1 Ns=2	Np=Ns=2
Théoriques (25°C)	1,53	1,45	1,01	0,47
Expérimentales (25°C)	2,75	2,56	0,93	0,89
Expérimentales (zone ohmique)	1,93	1,71	0,7	0,55

La comparaison s'est faite en calculant des valeurs théoriques sous une température de 25 °C, soit la température ambiante à laquelle se sont déroulés les tests.
En comparant les deux premières lignes du Tableau 6, on constate des différences assez importantes entre les valeurs théoriques et expérimentales. Pour expliquer ces différences, nous avons émis deux hypothèses. La première hypothèse concerne le calcul de l'I²T et la définition du temps de pré-arc (Tp). Si l'on s'en tient à la définition du temps de pré-arc, ce paramètre s'étale du moment où le courant commence à augmenter dans le fusible (t=0s), jusqu'à ce que le courant atteigne son maximum (t = Tp). Or, si on observe bien la courbe de courant présentée sur la Figure 70.b, on peut voir que le fusible, dans la zone orange, n'est plus dans un régime ohmique. La tension augmente brusquement, le courant augmente encore pour atteindre son maximum, mais avec une pente légèrement différente. Ces formes d'ondes laissent penser que le fusible n'est plus dans un régime ohmique, mais plutôt dans une phase liquide du métal, puis gazeuse, pour s'évaporer. Le calcul de l'I²T doit se faire durant le régime ohmique du fusible, où la définition du temps de pré-arc (Tp) reste valable.

La seconde hypothèse concerne la tolérance du processus de réalisation des fusibles en salle blanche. Suivant l'endroit où le composant est prélevé sur le wafer, une légère différence au niveau de l'épaisseur de la couche de cuivre existe. En moyenne une tolérance de 2,7% est observée au centre du wafer, contre 7 % sur les bords. Pour rappel, l'épaisseur de la couche de cuivre est de 18 µm.

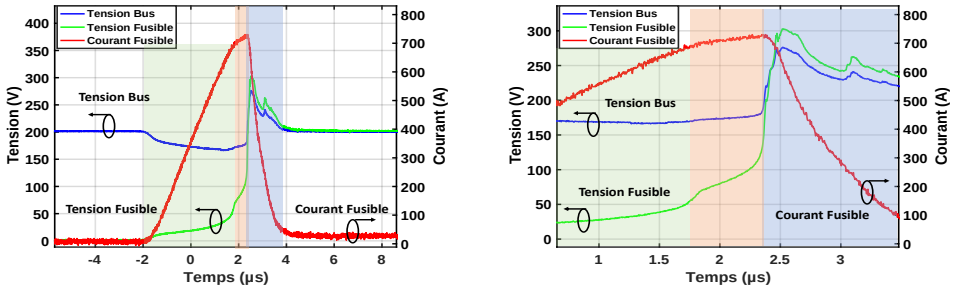


Figure 70 : Analyse de la forme d'onde du courant dans un fusible à 4 constrictions série/parallèle 200 V et calcul de l'I²T.

Si on prend le cas de figure où la valeur initiale de 18 µm d'épaisseur du cuivre est réalisée avec une majoration de 7 %, les valeurs d'I²T des prototypes dimensionnés augmenteront de 13 % en moyenne. Dans un second cas d'étude, si jamais l'épaisseur initiale des fusibles est réalisée plus épaisse de 2,7 %, les I²T des fusibles augmenteront de 5 % en moyenne. En comparaison des valeurs reportées sur le Tableau 6, où les écarts entre les valeurs théoriques et expérimentales se situent entre 17 % et 26 %, on peut dire que la seconde hypothèse est assez forte, en vue de l'incidence de la tolérance sur les écarts des valeurs d'I²T (jusqu'à 13 %).

6 CONCLUSION DU CHAPITRE 2

La première partie du chapitre était consacrée à la présentation des fusibles 'Stand-alone' sur substrat silicium et à l'étude par simulations Comsol Multiphysics™ de différentes architectures, en soulignant pour chacune d'elles les avantages et inconvénients. Quatre configurations de fusibles sur substrat silicium ont été dimensionnées pour un courant nominal de 10 A et une température nominale maximale de 115 °C à respecter aux centres des constrictions. Des caractéristiques électriques (I²T, temps de pré-arc Tp) exceptionnelles en comparaison avec des fusibles du commerce ont été obtenues.

La seconde partie de ce chapitre a été dédiée à la réalisation et aux tests des différentes architectures dimensionnées. Les premiers tests, sans passivation des composants, ont montré des résultats non concluants. En effet, au claquage, nous avons constaté une dégradation des pads des fusibles à cause de l'étalement de l'arc électrique.
Afin de remédier à ce problème, nous avons proposé une solution basée sur la passivation des puces par l'utilisation d'un gel silicone. Pour ce faire, les puces ont été collées en face avant sur un substrat FR4, puis à l'aide d'un moule en PTFE à cavité centrale, nous avons fait couler du gel silicone à l'intérieur du moule. Des tests de claquage réussis sous 200 V_{DC} ont été obtenus, avec des coupures nettes sans dégradation des pads.
Ces résultats de claquage très satisfaisants, nous permettent de valider la bonne interaction entre le fusible et le substrat silicium, sur les plans thermique, électrique et mécanique. Cela suggère la possibilité de l'intégration du fusible sur un composant silicium de puissance.

Le chapitre suivant traite de l'intégration monolithique de ce fusible sur une diode verticale PiN de puissance.

7 REFERENCES BIBLIOGRAPHIQUES

[1] Ferraz Schawmut, "Ferraz Schawmut General Purpose Fuses." 2012.

[2] TE Connectivity, "TE Connectivity Surface Mount Fuses Fundamentals." pp. 75–102.

[3] Schurter, "Schurter UMT 250." pp. 10–12.

[4] Schurter, "Schurter OSU 250." pp. 1–3.

[5] V. D. Etude, "Etude de l'integration d'une protection par fusible dans les convertisseurs a IGBT Etude de l'intégration d'une protection par fusible dans les convertisseurs à IGBT," INP de Grenoble, 1997.

[6] P. G. N. A.Wright, *Electric Fuses*, Third Edit. United-Kingdom, 2004.

[7] Z. Dou *et al.*, "PCB dual-switch fuse with energetic materials embedded: Application for new fail-safe and fault-tolerant converters," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2457–2464, 2012.

[8] M. Labrousse, B. Antoine, C. Suzan, and H. Daniel, "First Practical evaluation of a complete fail-safe and 100 % fault-tolerant inverter for critical load in aerospace application," in *8th International Conference on Recent Advances in Aerospace Actuation Systems and Components (R3ASC)*, 2018.

[9] Y. Ishikawa, K. Hirose, M. Asayama, Y. Yamano, and S. Kobayashi, "Dependence of current interruption performance on the element patterns of etched fuses," in *8th International Conference on Electric Fuses and their Applications, ICEFA*, 2007, pp. 51–56.

[10] M. Tsuchiya, Y. Yamano, S. Kobayashi, and K. Hirose, "Basic research on the fuse element pattern changing a current pathway in the process of current interruption," in *2013 2nd International Conference on Electric Power Equipment - Switching Technology, ICEPE-ST 2013*, 2013, pp. 1–4.

[11] R. Yang *et al.*, "Low-Temperature Fusible Silver Micro/Nanodendrites-Based Electrically Conductive Composites for Next-Generation Printed Fuse-Links," *ACS Nano*, vol. 11, no. 8, pp. 7710–7718, 2017.

[12] C. Raynaud, "Propriétés physiques et électroniques du carbure de silicium (SiC)," *Tech. l'Ingénieur*, vol. 33, no. 0, p. 17, 2007.

[13] V. Smet *et al.*, "Ageing and failure modes of IGBT modules in high-temperature power cycling," *IEEE Trans. Ind. Electron.*, vol. 58, no. 10, pp. 4931–4941, 2011.

[14] C. S. Selvanayagam, J. H. Lau, X. Zhang, S. K. W. Seah, K. Vaidyanathan, and T. C. Chai, "Nonlinear thermal stress/strain analyses of copper filled TSV (Through Silicon Via) and their flip-chip microbumps," *IEEE Trans. Adv. Packag.*, vol. 32, no. 4, pp. 720–728, 2009.

[15] Y. Zhang, "Thermal Stress Analysis and Design Guidelines for," *2018 19th Int. Conf. Electron. Packag. Technol.*, pp. 883–885, 2018.

[16] D. V. Widder, *The Heat Equation.pdf*. Academic Press Inc., 1975.

[17] Z. DOU, "Sureté de fonctionnement des convertisseurs Nouvelles structures de redondances pour onduleurs sécurisés à tolérance de pannes.," Institut National Polytechnique de Toulouse, 2011.

[18] Matlab, "BVP4C Matlab Function." [Online]. Available: https://www.mathworks.com/help/matlab/ref/bvp4c.html#:~:text=bvp4c is a finite difference,in the interval of integration. [Accessed: 13-Apr-2021].

[19] A. E. Kaloyeros, Y. Pan, J. Goff, and B. Arkles, "Review—Silicon Nitride and Silicon Nitride-Rich Thin Film Technologies: State-of-the-Art Processing Technologies, Properties, and Applications," *ECS J. Solid State Sci. Technol.*, vol. 9, no. 6, p. 063006, 2020.

[20] Y. Ishikawa, K. Hirose, M. Asayama, Y. Yamano, and S. Kobayashi, "Dependence of current interruption performance on the element patterns of etched fuses," *8th Int. Conf. Electr. Fuses their Appl. ICEFA*, pp. 51–56, 2007.

[21] R. E. Brown, "Investigation of disintegration and arcing in electric fuses," Sheffield Hallam University, 2000.

[22] A. Ghannam, "3Dis technologies." [Online]. Available: https://www.3dis-tech.com/.

[23] Wacker, "Creating tomorrow ' s solutions today," 2013.

Chapitre 3

Conception, intégration et réalisation de fusibles sur puces diodes silicium

1 INTRODUCTION

Ce chapitre est dédié au dimensionnement, à la simulation et la réalisation des fusibles étudiés dans le chapitre 2, sur des diodes verticales de puissance en silicium, de manière totalement monolithique, appelées « *Diode-fuse* ». Cette intégration monolithique apportera une fonction de sécurité en cas de défaut de type court-circuit. Comme on l'a constaté dans le chapitre précédent, ces fusibles possèdent des temps de pré-arc très courts. Cette particularité permettra de restreindre le défaut à la puce concernée uniquement, de manière très rapide, évitant ainsi sa propagation aux autres parties du circuit. Associées à des valeurs d'intégrale d'action (I^2T) très faibles également, les fusibles nécessiteront que très peu d'énergie pour fondre et annuler le courant de court-circuit, tout en évitant l'endommagement des composants autour.
La première partie du chapitre est consacrée à la présentation du composant intégré Diode-fuse et du cahier des charges retenu. Puis, les résultats des simulations TCAD menées sur Sentaurus™ sont présentées afin de mettre en évidence les précautions et les réflexions considérées dans cette intégration diode et fusible d'un point de vue semi-conducteur, ainsi que les solutions apportées, avec les différents choix de designs retenus. Ensuite, les résultats du dimensionnement du fusible sur Comsol™ sont présentés, avec les différentes variantes retenues pour l'intégration sur les diodes. La seconde partie du chapitre est consacrée à la réalisation technologique des composants en salle blanche du LAAS-CNRS, avec les résultats de caractérisation et la validation du fonctionnement du composant en régime nominal, en régime de claquage et l'étude du fonctionnement post-claquage.

2 PRESENTATION ET DIMENSIONNEMENT DU COMPOSANT DIODE-FUSE

L'évolution des circuits électroniques a permis d'accroitre l'intégration de fonctions pour répondre à des normes de sûreté de fonctionnement et de disponibilité des systèmes. Dans cette optique, on s'intéresse dans ces travaux à l'intégration de fusibles sur des diodes de manière totalement monolithique afin de produire des convertisseurs plus compacts et plus sécurisés et répondre à des normes de fiabilité très exigeantes. Une première réalisation d'un fusible associé avec un thyristor de manière totalement monolithique est présentée dans [1] [2]. La solution proposée reste toutefois valable pour des applications basses tensions, où les énergies de fusion (I^2T) restent très faibles. Dans ces conditions particulières de niveau réduit de tension et d'énergie, le phénomène de coupure s'apparente plus à de l'étincelage de la zone de constriction qu'à un réel plasma d'arc ou d'une colonne d'arc.

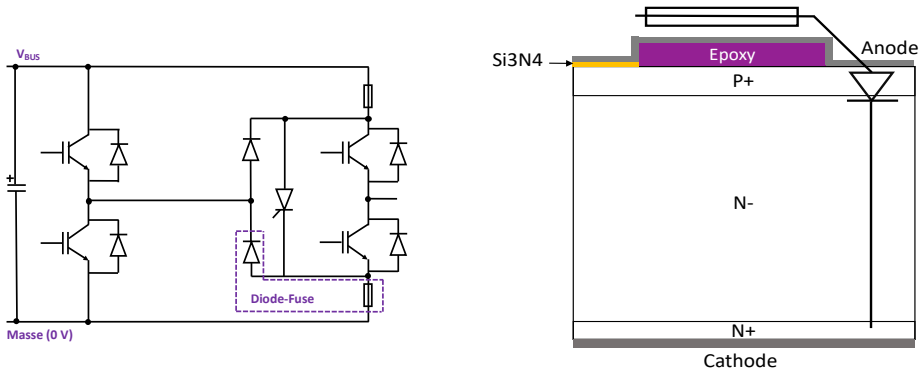
Cette association monolithique diode et fusible représente un premier pas vers l'intégration des fusibles sur des puces silicium active (IGBT, MOSFET…etc). Ces fusibles permettront d'isoler un éventuel court-circuit très rapidement grâce au faible temps de pré-arc relevé sur les prototypes « *Stand-alone* » déjà réalisés et testés. L'association de ces matériaux (silicium, époxy et cuivre) a permis également de développer des fusibles ayant de très faibles valeurs d'I^2T. Cette propriété permettra une isolation du défaut avec de très faibles énergies, sans risque d'endommagement des composants autours. L'association de ces matériaux à conductivités thermiques différentes, a également permis d'obtenir des constrictions découplées thermiquement du substrat silicium. Cette subtilité du design évitera au composant de subir un point chaud à cause de cette intégration du fusible sur la même puce. Le contact direct des pads avec le substrat (conductivité thermique élevée) permettra de drainer l'excès de calories. Cette solution protégera aussi le substrat d'un éventuel dommage lors de la phase de claquage.
Les fusibles réalisés ici, bien qu'ils possèdent des caractéristiques meilleures que les fusibles du commerce, pour le même calibre en courant (10 A), ne sont pas conçus pour couper et isoler avant la puce active (IGBT, MOSFET, etc) sur lesquelles ils seraient intégrés. Les valeurs d'I^2T des puces composants actifs sont relativement faibles (ratio compris entre une décade et deux décades), cela fait qu'il ne sera jamais possible de faire claquer un fusible avant ces dernières. Dans le cas d'un court-circuit, une puce de puissance tient en moyenne 10 µs à quelques microsecondes le courant de saturation, puis, elle est détruite. Dans le cas d'un

court-circuit, si on suppose que le composant tient un courant de saturation 5 fois le courant nominal de 10 A (soit 50 A), durant 10 µs environ, cela revient à avoir une I^2T de 0,025 $A^2.s$. Ces valeurs sont au minimum 20 fois plus faibles que les petites valeurs d'I^2T des fusibles déjà testés (0,5 $A^2.s$ pour la variante à 4 constrictions séries/parallèles).

Ces fusibles intégrés serviront donc à pouvoir isoler la puce défaillante et prévenir la propagation du défaut aux autres parties du circuit, dans un délai très court.

2.1 Présentation de l'approche d'intégration diode et fusible de manière monolithique

Une architecture à tolérance de fautes [3]–[5] est présentée sur la Figure 71.a. Cette dernière comprend un bras d'onduleur formé d'IGBTs (type N), protégés par deux fusibles placés en *high-side* et *low-side* du bras pour permettre une isolation symétrique en cas de défaillance déclarée, soit sur les composants du bras en question (défaut interne), ou bien suite à un défaut de commande externe. Cette architecture exploite le mode de défaillance des puces de puissance dans un état faiblement ohmique, proche du court-circuit, pour connecter un bras secours. Cette fonction de redondance est réalisée par le rajout d'un bras de connexion formé de deux diodes, bloquées en inverse sous la moitié de la tension de bus en fonctionnement normal et passantes suivant l'alternance du courant de charge en fonctionnement secours [3] [6]. Lorsque les fusibles du bras défaillant sont rompus, le bras secours est connecté de manière spontanée. Cette fonctionnalité permet ainsi de continuer à opérer sans avoir à arrêter le convertisseur, jusqu'à ce que ce dernier soit remplacé. En fonctionnement normal, les diodes viennent isoler le bras secours du reste du convertisseur. Ainsi, il est possible de « tester » le bras secours à chaud et sous tension (test dit « on-line ») pour vérifier le bon fonctionnement de celui-ci et de manière non intrusive par rapport au convertisseur. Le bras secours, ou 4ème bras dans le cas d'un onduleur triphasé, offre aussi la possibilité d'y connecter le point neutre de la charge ou d'un moteur le cas échéant. Ce degré de liberté permet d'envisager une poursuite de mission sur un nombre réduit de phases et de bras de l'onduleur (ex. du diphasé) dans le cas d'un défaut externe sur une des phases de la charge ou du moteur. C'est donc une solution à la fois simple et flexible.



(a) (b)

Figure 71 : Architecture à tolérance de fautes et structure électronique associée à la Diode-fuse

Dans les précédentes réalisations, une approche d'intégration du bras RC-IGBT de manière totalement monolithique est étudiée et réalisée [7] [8]. Ces travaux de thèse s'inscrivent dans la continuité de ces réalisations. Les fusibles CMS utilisés pour protéger ces composants semi-conducteurs occupant un certain volume, on cherche à les intégrer aujourd'hui directement sur les composants, pour produire des convertisseurs plus compacts, et surtout plus performants et répondant aux normes de fiabilité et de sûreté de fonctionnement. Les fusibles déjà étudiés (chapitre 2) ont démontré des performances très intéressantes et meilleures que les fusibles du commerce. Ils sont notamment trois fois plus rapides (en termes de temps de pré-arc) et possède des I^2T en moyenne cinq fois plus petite que les meilleurs fusibles du commerce. Cela

permettra une isolation du défaut plus rapide et avec le moins de risques d'incidents sur les composants alentours (grâce aux faibles valeurs d'I^2T).

Le composant « *Diode-fuse* » (Figure 71.b) est l'association d'un fusible, réalisé de manière totalement monolithique sur le dessus d'une diode silicium (type N) verticale de puissance. On retrouve la structure du fusible étudié dans le chapitre précédent, avec l'époxy soutenant les constrictions au centre, les pads du fusible de part et d'autre, dont l'un d'eux représente également l'anode de la diode. Pour éviter qu'un courant ne circule entre les pads, à travers la couche P^+ lorsque le fusible sera rompu, une couche diélectrique de nitrure (Si3N4) est déposée sous le pad (à gauche du dessin). L'épaisseur de la couche (300 nm) est optimisée par simulations afin de permettre une tenue en tension entre les pads, tout en restant en dessous de la valeur du champ critique du nitrure [9] (10 MV/cm, 1 V/nm).

2.2 Cahier des charges

La réalisation des composants *Diode-fuse* repose sur un premier processus qui permet de réaliser la diode verticale sur substrat silicium et un second processus, qui permet d'intégrer le fusible de manière monolithique sur la diode. Pour réaliser la diode, nous avons utilisé les paramètres physiques et géométriques de la filière IGBT du LAAS-CNRS pour une surface totale de simulation de 1 cm^2. Le Tableau 7 résume les différentes caractéristiques de la diode et du fusible à intégrer.

Tableau 7 : Cahier des charges retenu pour la réalisation des composants Diode-fuse

DIODE			
	Paramètres	**Valeurs**	**Détails**
Caractéristiques	Substrat silicium	300 µm	Dopage : $1x10^{14}$ atomes/cm^3
	Couche P+ (anode)	5 µm	Dopage : $5x10^{19}$ atomes /cm^3
	Couche N+ (cathode)	1 µm	Dopage : $1x10^{20}$ atomes /cm^3

FUSIBLE			
	Paramètres	**Valeurs**	**Détails**
Matériaux	Métal	18 et 43 µm	La constriction est réalisée avec un cuivre d'une épaisseur de 18 µm et les pads sont épaissis à 43 µm.
	Nitrure	300 nm	Sert à passiver le substrat silicium d'une part et aussi à éviter des courants de fuites une fois les constrictions rompues au niveau du fusible.
	Époxy	25 µm	Découplage thermique, protection du substrat contre les chocs thermiques et thermomécaniques lors du claquage.
Géométriques	Longueur constriction	1 mm	Les précédentes expériences.
	Épaisseur constriction	18 µm	Valeur de référence pour les substrats PCB utilisés au Laplace (compatibilité PCB cuivre 18 µm).
Électriques	Courant nominal	10 A	Courant nominal choisi.
	I^2T	-	Une conséquence du dimensionnement.
	Tension coupée	Min. 200 V	Pouvoir tenir une tension de bus de 400 V dans le cas d'une protection symétrique avec deux fusibles en série.
Thermiques	Température initiale	85 °C	Température moyenne de fonctionnement des convertisseurs de puissance
	Température maximale	115 °C	Température maximale autorisée sans dégrader le cuivre sur le long terme.

Pour le fusible, nous avons retenu le même cahier des charges que celui présenté au chapitre 2, avec une légère amélioration au niveau de l'épaisseur des pads. Ces derniers ont été épaissis, de 18 µm à 43 µm afin de disposer d'une impédance d'entrée plus faible pour l'accès à l'anode et réduire les pertes Joules aux bornes du fusible. Pour les constrictions, nous avons conservé l'épaisseur de 18 µm.

3 DIMENSIONNEMENT ET VALIDATION DE L'APPROCHE D'INTEGRATION

3.1 Dimensionnement et validation de l'approche d'intégration diode et fusible sur Sentaurus™

Si on reprend le circuit à tolérance de pannes de la Figure 71, on peut distinguer plusieurs cas de fonctionnement de l'association diode et fusible. Suivant l'état du fusible, continu ou rompu, la diode est soit passante ou bloquée, suivant le chemin emprunté par le courant. Nous avons identifié trois cas de figure, qu'on a étudié à l'aide de simulations TCAD Sentaurus™ afin de valider le bon fonctionnement de l'ensemble diode et fusible. Plus précisément, ces simulations nous permettront de vérifier la bonne tenue en tension de la structure, tout en assurant des courants de fuite faibles, notamment après claquage du fusible. Ces trois cas de fonctionnement sont présentés ci-dessous.

3.1.1 Fusible continu et diode bloquée

Le premier cas est assez simple et représente le fonctionnement nominal de cette association diode et fusible. Le fusible est passant et la diode est bloquée en inverse, elle supporte donc la tension de bus appliquée. La structure simulée et le circuit électrique sont représentés sur la Figure 72. Pour simuler ce cas, une tension de bus de 300 V est appliquée (en rampe) sur la cathode de la diode. La Figure 72.c montre les courants de fuites aux niveaux des électrodes de la diode. Ces derniers sont de quelques micro-Ampère seulement, une fois que le régime établi est atteint (après 2 ms).

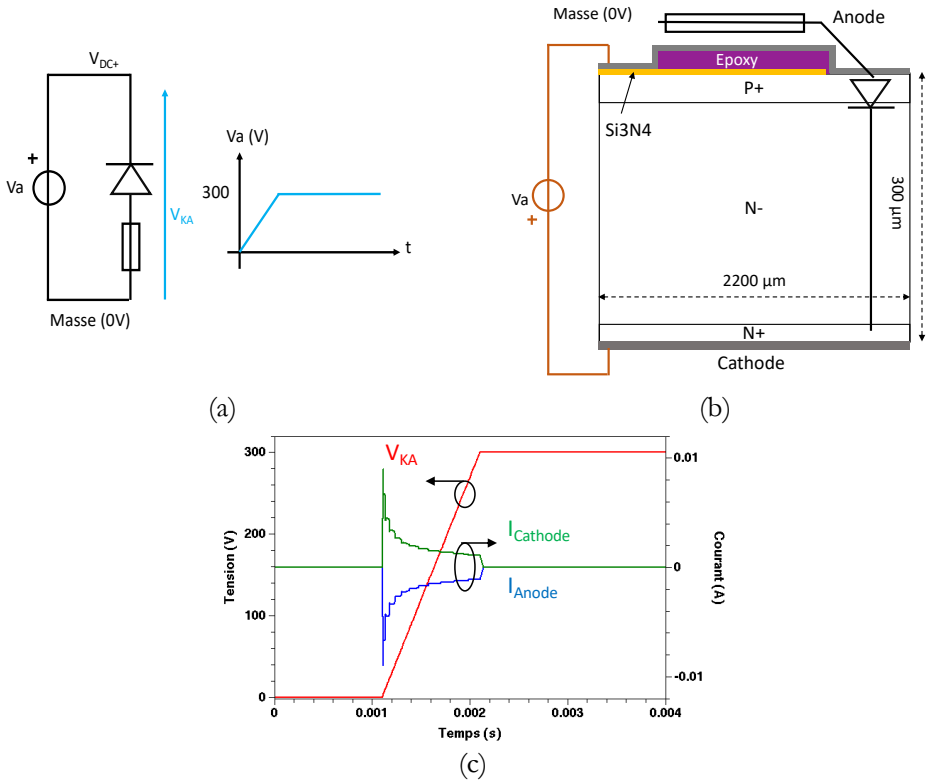


Figure 72 : Simulations du cas où le fusible est continu et la diode bloquée en inverse sous la tension de bus.

La Figure 73 montre la distribution des équipotentielles, les lignes de courant et de champ électrique dans la structure simulée. Lorsque la diode est bloquée, la jonction P+/N- polarisée en inverse supporte la tension de bus appliquée au niveau de sa cathode avec un courant de fuite de 11 µA (Figure 73.a). Des agrandissements de la distribution des équipotentiels, sur les coins gauche et droite de l'époxy sont montrés sur les Figure 73.b et Figure 73.c. Nous pouvons constater un équilibre de la distribution des équipotentiels, l'étalement de la charge d'espace est bien uniforme sur toute la largeur.

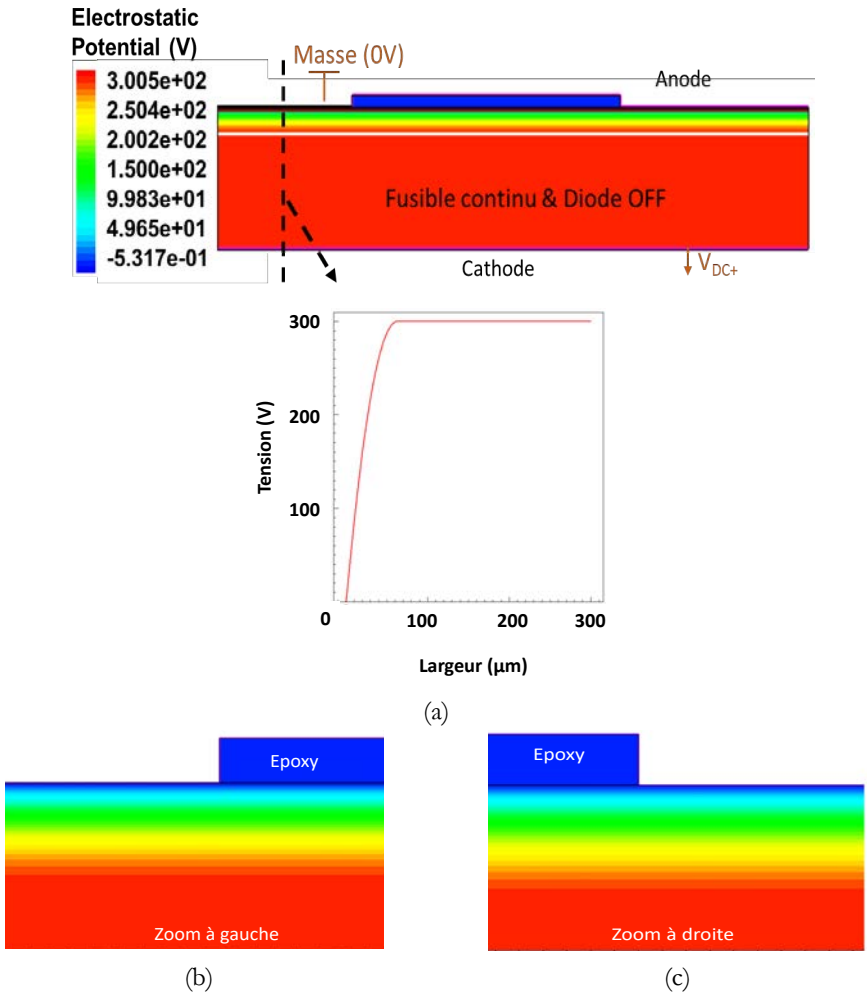


Figure 73 : Distribution des équipotentiels (a) et agrandissements (b et c) autour de la zone époxy.

La distribution des lignes de courant (Figure 74.a) montre une équipartition dans la structure. Le champ électrique est également distribué de manière uniforme dans la structure lorsque le fusible reste continu. Nous pouvons vérifier que la valeur du champ critique (Figure 74.b) reste en dessous de la valeur théorique (10 MV/cm). Dans cette configuration, la déplétion de la jonction vient protéger la couche de nitrure de tout gradient de champ électrique sur le dessus de la puce. Cette couche n'est donc pas contrainte électriquement durant toute la durée de vie utile du fusible.

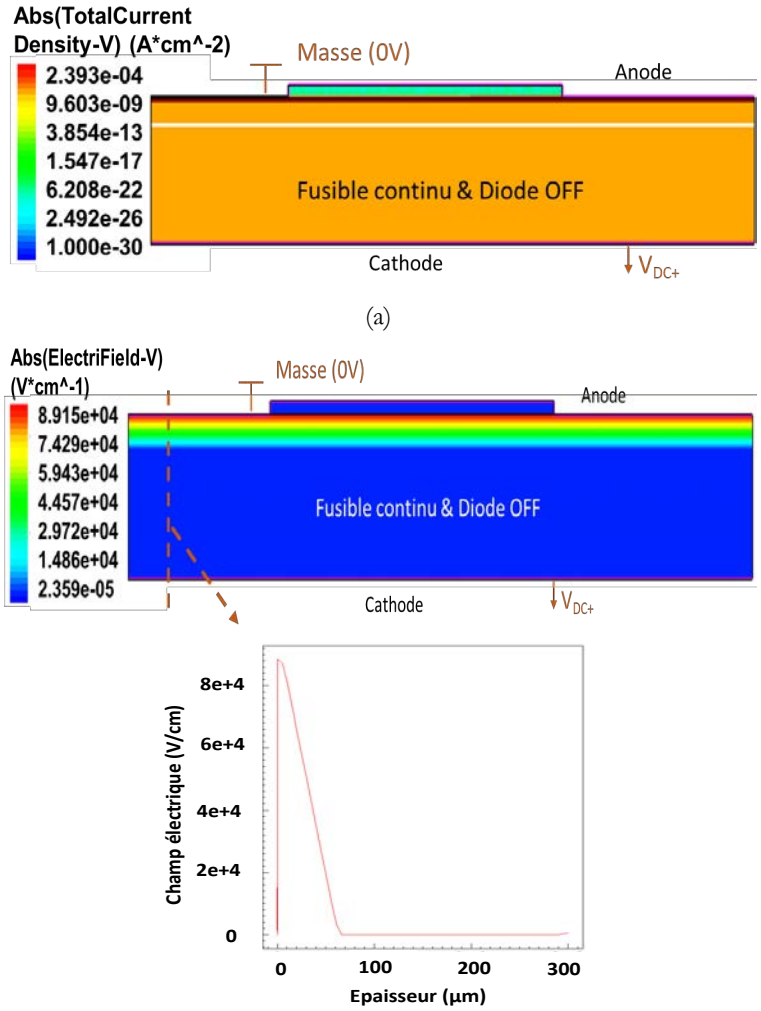


Figure 74 : Distribution des lignes de courant (a) dans le cas où le fusible est continu et la diode bloquée en inverse sous la tension de bus, ainsi que le champ électrique dans la structure (b).

3.1.2 Fusible rompu et diode passante

Le second cas de fonctionnement suppose le fusible rompu et la diode qui conduit le courant nominal. Ce cas de figure suppose que les deux fusibles soient rompus, suite à un défaut de commande par exemple. Les deux transistors sont isolés, mais restent potentiellement opérationnels ou conducteurs en particulier à travers leurs diodes de corps ou diodes en parallèle. Un courant peut donc circuler de la charge vers la source en utilisant les chemins définis sur la Figure 75.a (en vert et en rouge). Pour évaluer le bon fonctionnement de la *Diode-fuse*, nous avons simulé le circuit de la Figure 75.b, où le fusible serait rompu et supporte donc une tension latérale (V_{BUS}) entre pads et la diode conduit (Figure 75.d) une densité de courant nominal de 100 A/cm². Lorsque la diode conduit, une chute de tension de 0,8 Volts est observée à ses bornes.

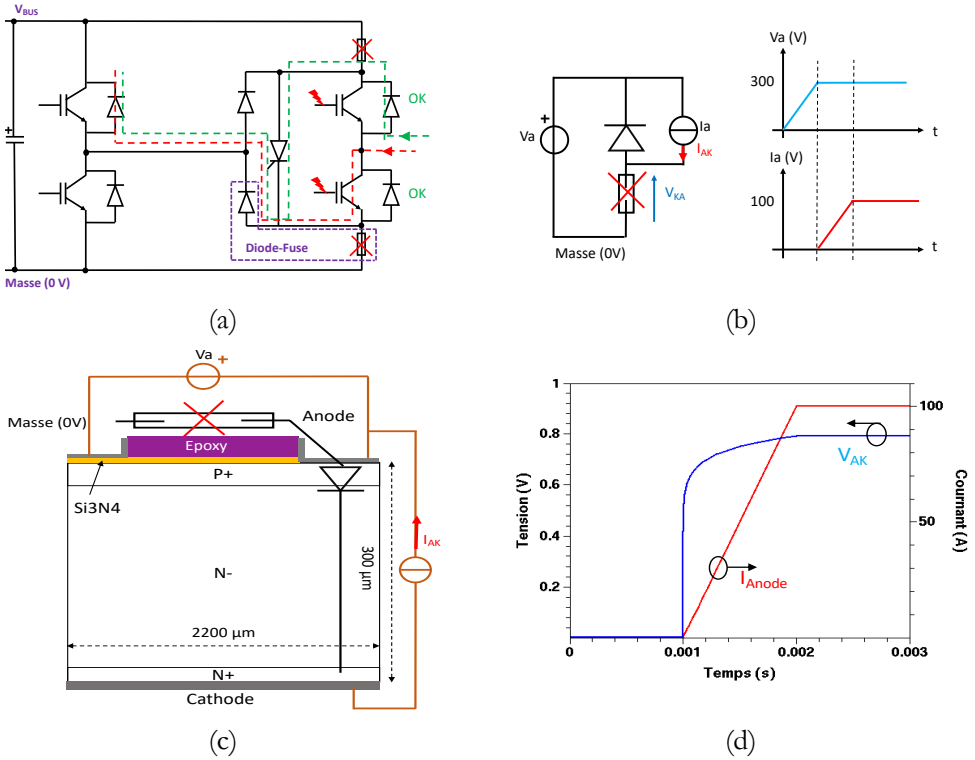


Figure 75 : Simulations du cas où le fusible est rompu et la diode est passante sous la tension de bus

La Figure 76.a montre la distribution des densités de courant dans la structure. Des agrandissements sur chacune des extrémités de l'époxy, à gauche et à droite, sont montrés sur les Figure 76.b et Figure 76.c. On distingue une densification des lignes de courant sur le pad de gauche et en-dessous de la couche d'époxy. Comme la tenue en tension se fait en latéral, entre les pads, grâce à la présence de la couche de nitrure sous le pad à gauche, les lignes de champ électrique sont plus resserrées de ce côté et donc les lignes de courants également. Cela n'est pas un inconvénient, le courant de fuite en latéral sur les simulations est de 6 nA, ce qui est négligeable. Le tracé de la distribution de la densité de courant au milieu de la structure simulée (Figure 76.d) montre une variation d'une décade de gauche à droite du composant. L'électrode d'anode se trouvant à droite de la structure (pad de gauche isolé avec la couche de nitrure, 350 nm), induit une concentration des lignes de courant à droite de la structure, ce qui est normal. La densité de courant au centre de la structure à droite reste assez faible (8 A/cm²). Toutefois, cela ne compromet en aucun cas le fonctionnement de l'ensemble diode et fusible. Comme la diode conduit, toute la tension de bus se retrouve entre les pads (tenue en tension latérale). C'est là où la couche de nitrure trouve son utilité. Il faut donc veiller à ce que l'épaisseur soit suffisante pour supporter la tension appliquée.

La Figure 77.a montre la distribution du champ électrique dans la structure. Un zoom sur la face avant (côté masse) où se trouve la couche de nitrure est montré sur la Figure 77.b. Le pad isolé est la région la plus contrainte lorsque la diode conduit. Le tracé des lignes de champ électrique dans cette zone (Figure 77.c) se resserrent davantage, mais restent en dessous de la valeur critique du nitrure (10 MV/cm).

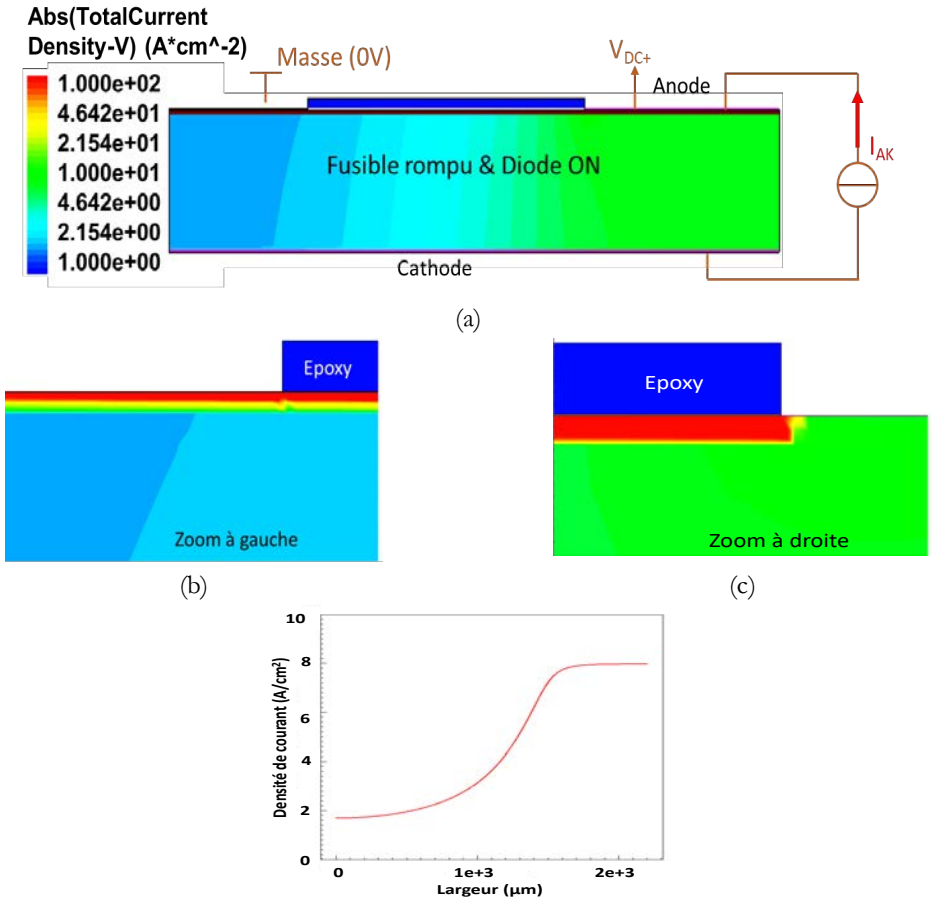


Figure 76 : Distribution des lignes de courant (a) et lignes du champ électrique (b) dans le cas où le fusible est continu et la diode bloquée en inverse sous la tension de bus, zooms à gauche et à droite de la couche d'époxy (b-c) et tracé de la densité de courant à mi-hauteur (y= 150 µm) de la structure (d).

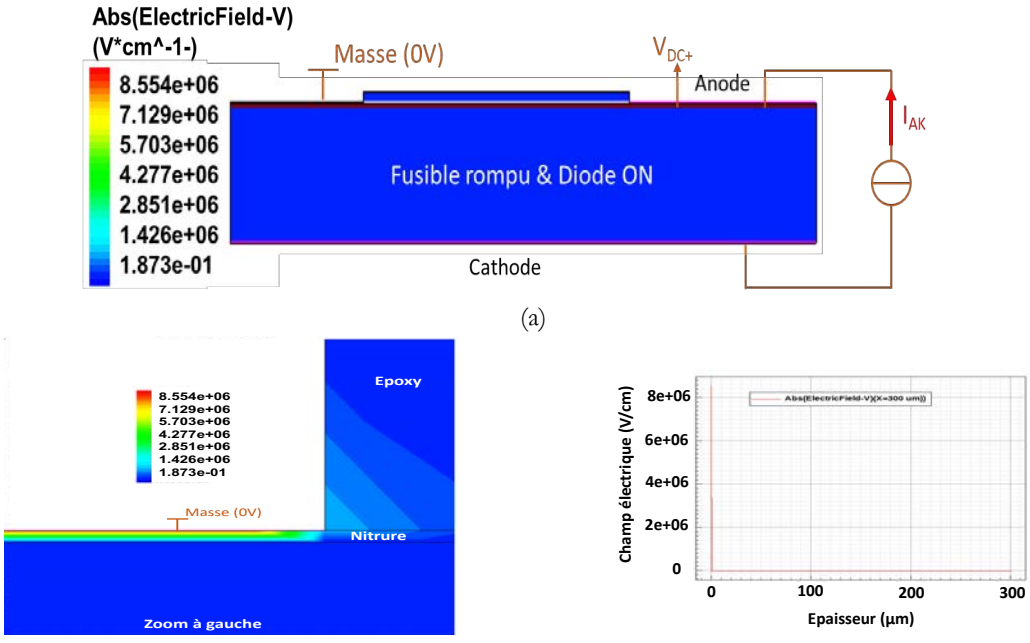


Figure 77 : Distribution des lignes de champ électrique dans la structure simulée (a), agrandissement sur le pad de gauche supportant la tension et tracé du champ sur la profondeur du composant (c).

3.1.3 Fusible rompu et diode bloquée

La dernière étude concerne le cas où le fusible serait rompu et la diode bloquée. Ce cas d'étude suppose un défaut au niveau du bras, qui conduirait à la défaillance des deux transistors. Lorsque le bras est isolé (fusibles rompus), un courant peut circuler de la source vers la charge en utilisant les chemins décrits (en rouge et en vert) dans la Figure 78.a. Lors de ce fonctionnement, où le transistor *high-side* du bras secours conduit, la diode est bloquée et supporte une tension en inverse très faible puisque limitée à des chutes de tension de composants en série. Pour les simulations, nous avons considéré que la somme des chutes de tension aux bornes de la diode est égale à 5 V. Le fusible observe quant à lui la quasi-totalité de la tension de bus (295 V) à ses bornes. Le composant Diode-fuse supporte donc une tension en vertical très faible et une tension latérale égale à la tension de bus. Pour simuler ce fonctionnement, la Figure 78.b illustre le circuit de test. Les simulations montrent des courants de fuites (Figure 78.d) très faibles (autour de 1 µA), une fois le régime établi atteint.

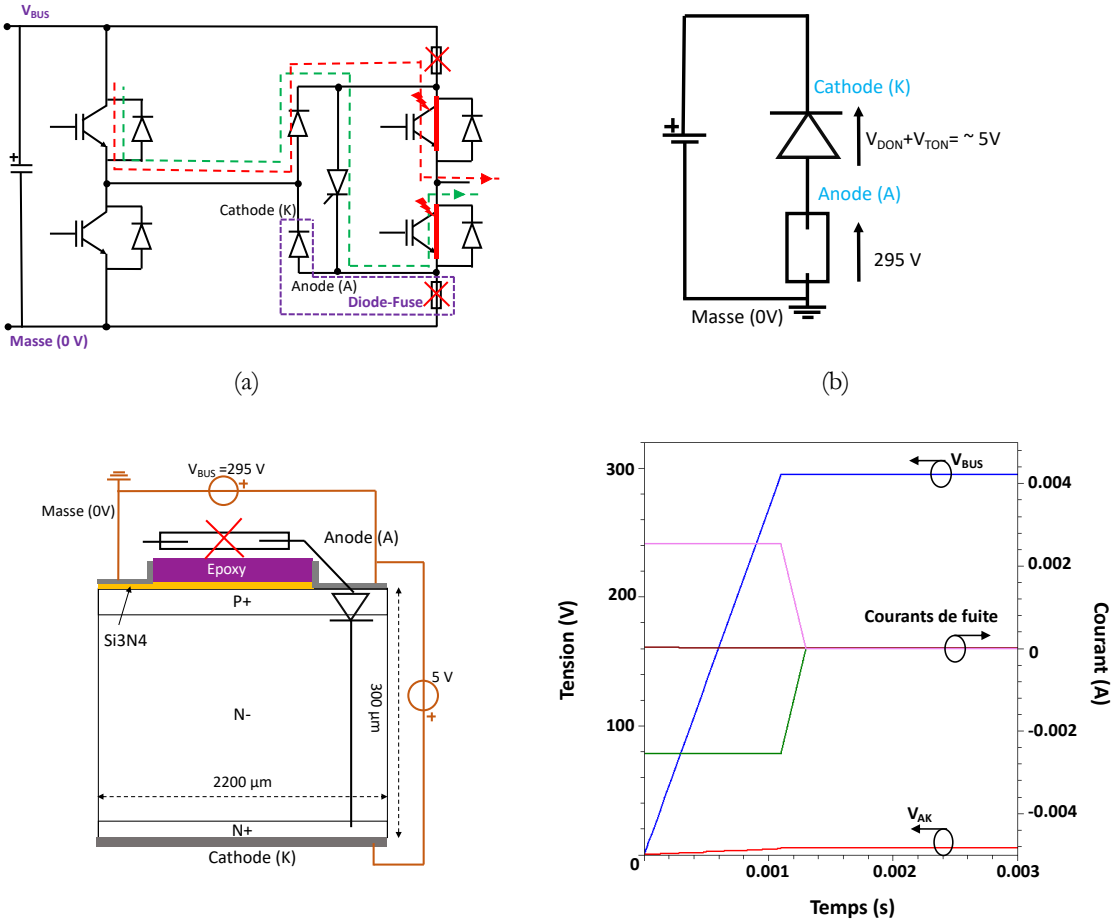


Figure 78 : Distribution des équipotentiels (a), des lignes de courant (b) et lignes du champ électrique (c) dans le cas où le fusible est continu et la diode bloquée en inverse.

En régime établi, à partir de la distribution des densités de courant dans la structure (Figure 79.a), on peut remarquer l'existence de courants de fuite en vertical (Figure 79.b) et en latéral (Figure 79.c). Le courant de fuite en latéral (Figure 79.c), est mesuré au centre de la couche P^+ en face avant à 2 µm de profondeur. Ce dernier est plus important que le courant de fuite vertical, mais reste négligeable (de l'ordre du µA en moyenne). Des agrandissements, donnent un aperçu de la distribution de la densité de courant en surface sont présentés sur les Figure 79.d et Figure 79.e.

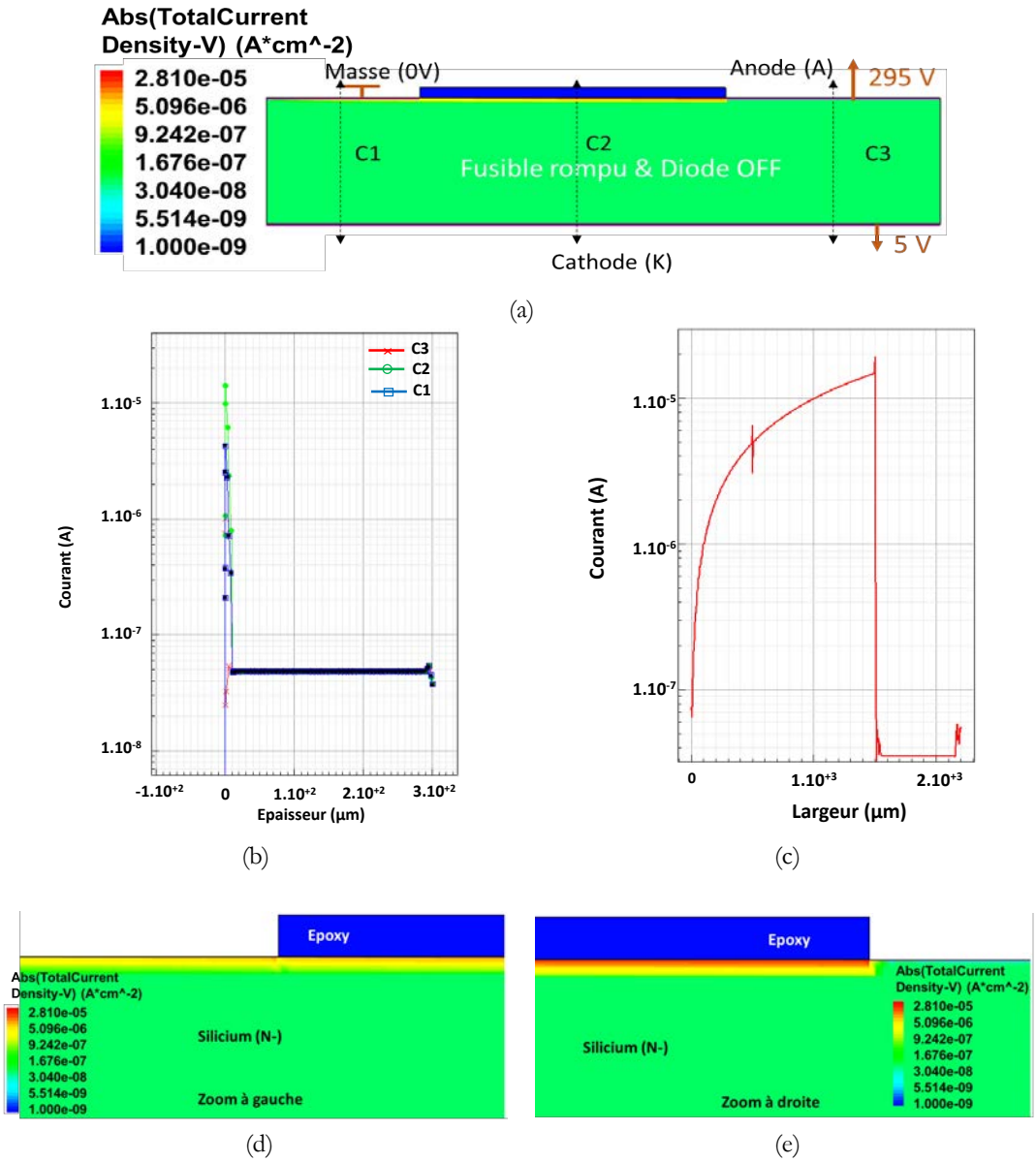


Figure 79 : Distribution de la densité de courant dans la structure simulée (a), aperçus des courants de fuite en vertical (b) et en latéral (c) et agrandissements à gauche et à droite de l'époxy (d-e).

La structure peut donc supporter la tension en latéral et en vertical sans que les courants de fuites soient importants. Comme le composant (*Diode-fusé*) supporte la tension en latéral et en vertical, les équipotentielles se sont réparties sur l'ensemble de la structure (Figure 80.d). Nous avons à nouveau vérifié (Figure 80.e et Figure 80.f) que la valeur du champ électrique dans la couche de nitrure soit toujours inférieure à la valeur limite (10 MV/cm).

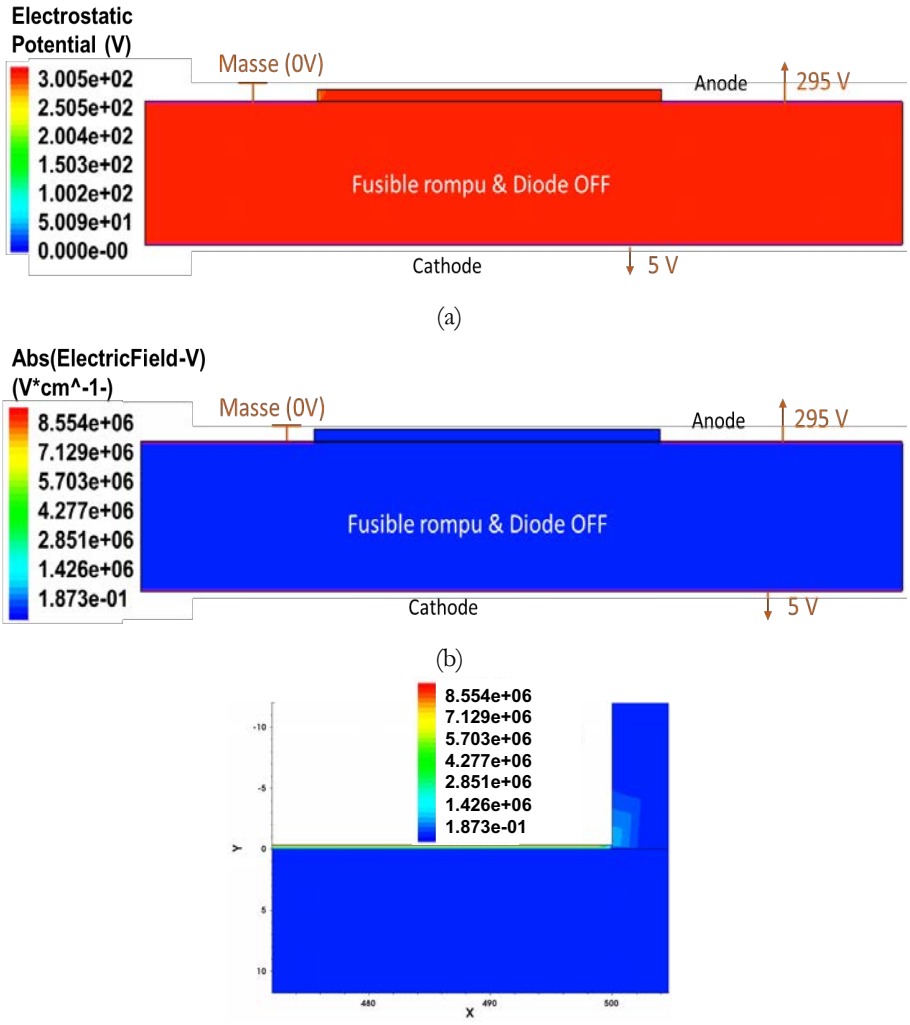


Figure 80 : Distributions des équipotentiels (a), champ électrique (b) dans la structure et zoom sur la région du pad isolé (c).

3.2 Dimensionnement du fusible sur Comsol™

Nous avons jusqu'ici étudié le comportement de la diode associée au fusible, d'un point de vue semi-conducteur, où l'on a validé la tenue en tension lorsque le fusible est en régime de fonctionnement nominal (continu), ou bien, en régime de fonctionnement post-claquage, où les courants de fuite devaient être minimum. Suivant la situation du fusible, la diode est soit passante, ou bien, en régime bloqué, où elle tient la tension de bus imposée, grâce à sa jonction ($P^+/N-$) polarisée en inverse. Une fois le fusible rompu, ce dernier supporte également la tension entre les pads, grâce à la couche de nitrure isolante.

Nous allons maintenant nous intéresser au dimensionnement du fusible, qui sera intégré sur la diode de manière monolithique. Le dimensionnement du fusible est réalisé en utilisant l'outil de simulations à éléments finis Comsol™.

Dans le chapitre 2, nous avons dimensionné quatre prototypes de fusibles, en fonction du nombre de constrictions agencées en série/parallèle. Cela nous a permis de valider le fonctionnement de l'ensemble des architectures et de comparer leurs performances en termes de puissance dissipée et surtout leurs performances en régime dynamique de claquage (absence de reprise du courant d'arc) et post-claquage (courant de fuite négligeable). Nous étions arrivés à la conclusion que la variante à quatre constrictions

série/parallèle était la plus performante. En effet, cette configuration présente un courant de court-circuit (courant maximale atteint lors du claquage) assez faible comparé aux autres variantes. La coupure est nette et les courants de fuites post-claquage sont très faibles, permettant d'assurer une résistance d'isolation allant jusqu'à plusieurs MΩ.

Pour connecter la puce *Diode-fuse* vers l'extérieur et permettre sa caractérisation et la validation de son fonctionnement, on utilise des fils de *bondings* d'un diamètre de 254 µm, pour assurer un $I^2T([A^2.s])$ très supérieur (de plus de 200 fois) à celles des fusibles. Ces fils occupent une certaine surface, qui impacte directement celle de la diode. Afin d'optimiser la surface occupée du fusible sur la diode, nous avons choisi une configuration en constrictions parallèles. Un prototype à trois constrictions parallèles a été développé. La Figure 81 montre le prototype du fusible à trois constrictions, dimensionné pour son intégration sur la diode verticale, ainsi que les résultats des simulations montrant les tracés des profils thermiques longitudinaux et transversaux.

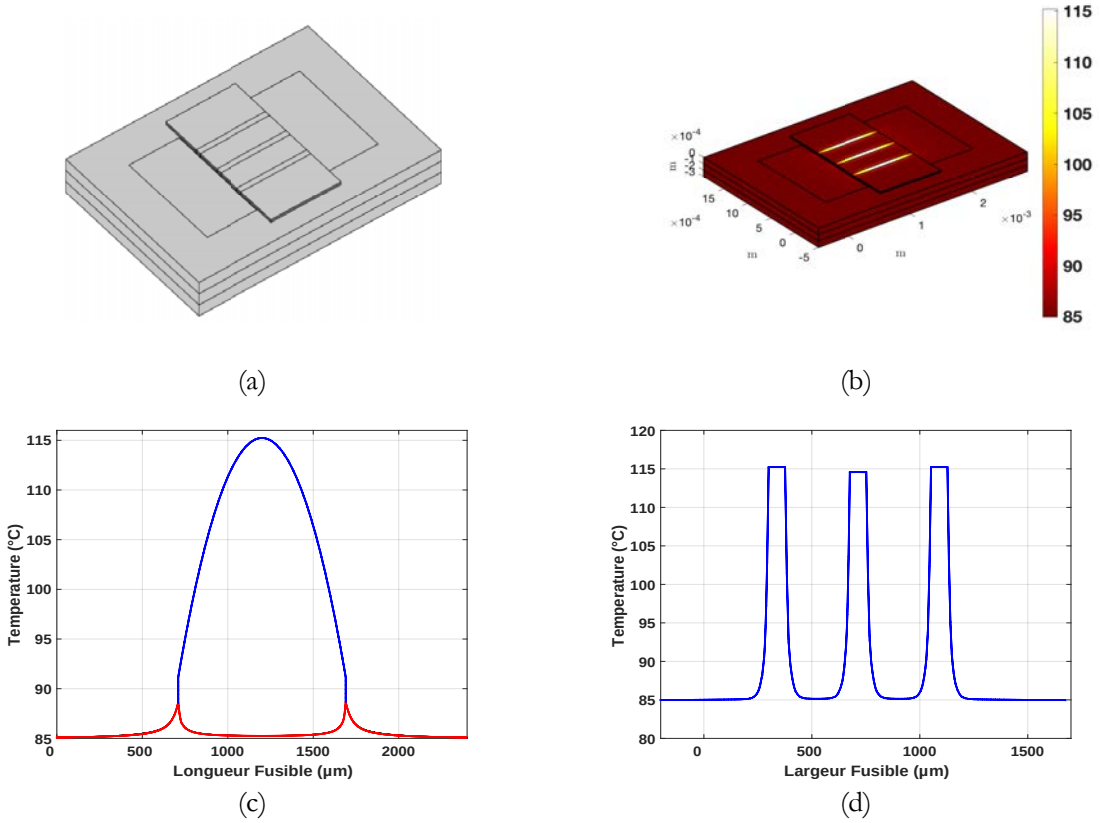


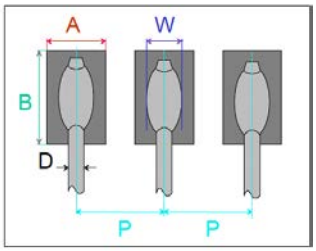
Figure 81 : Prototype du fusible à trois constrictions parallèles à intégrer sur la diode (a), cartographie thermique de la structure (b) ainsi que les tracés des profils thermiques en longueur (c) et largeur du fusible (d)

Nous pouvons observer un bon découplage thermique (Figure 81.c) entre la température du substrat (en rouge) et celles des centres des constrictions (en bleu). Cela est dû à l'utilisation de la couche d'époxy à faible conductivité thermique, dont les fonctions ont été décrites dans le chapitre 2. La taille des pads n'a pas été optimisée dans ce cas d'étude, car la taille de ces derniers est directement impactée par les empreintes des fils de *bondings*, dont le dimensionnement est présenté plus loin dans ce chapitre. Une largeur de constriction de 67 µm a été nécessaire pour satisfaire la condition sur la température maximale autorisée au centre des pistes (115 °C). Le tracé des profils transversaux (Figure 81.d) montre également un bon découplage entre les constrictions. En effet, on distingue une température proche ou égale à celle du substrat (85 °C).

Nous avons également intégré un prototype à 2 constrictions parallèles, dont le dimensionnement a été réalisé et expliqué dans le chapitre 2. Cette variante servira à étudier les performances des puces dans les deux configurations et dresser une étude comparative.

3.3 Dimensionnement des fils de *bondings*

Le dimensionnement des fils de *bondings* repose sur le nombre de fils à utiliser pour faire passer le courant nominal (10 A), sans que ces derniers n'adoptent un effet fusible et ne fondent ou se décollent à la moindre variation de courant, notamment durant le régime de claquage. Les fusibles dimensionnés dans le chapitre précédent ont donné des I^2T expérimentales inférieures 2 $A^2.s$. Ces valeurs sont très utiles, car le nombre de fils de *bondings* en dépend directement. Le diamètre des fils de *bondings* est de 10 mils (254 µm). L'I^2T associée à un fil de cette épaisseur est de 55 $A^2.s$. Afin d'assurer une marge confortable et disposer d'une distribution optimale et équilibrée des lignes de courant en surface du fusible, nous avons choisi de mettre 3 fils de *bondings* par pad. Avec ce nombre de fils, on arrive à une I^2T totale de 495 $A^2.s$.
Pour réaliser ces fils de *bondings*, il y a certaines règles (marges) d'espacement à respecter entre les fils. Ces derniers devant être réalisés au niveau de la plateforme 3DPhi basée au LAPLACE, on a respecté les côtes recommandées par la plateforme. La Figure 82 détaille les différentes règles à respecter.

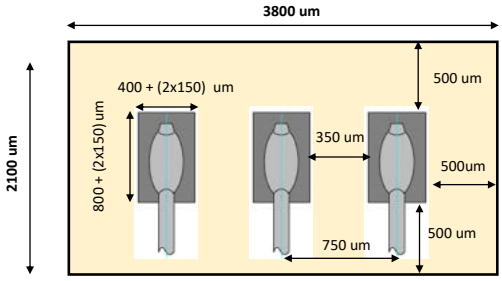


Type	diamètre	Gap mini 3DPHI	Pas mini 3DPHI	Pas nominal norme
Al	125	**250**	**375**	350
Al	250	**500**	**750**	600
Al	500	**1000**	**1500**	1150

(a) (b)

Figure 82 : Paramètres à respecter pour le dimensionnement des fils de *bondings*.

En prenant ces contraintes d'espacement (Figure 82), ainsi qu'une tolérance de ± 150 µm sur le laser servant à positionner l'emplacement des *bondings*, on arrive à des pads d'une surface de 2100 x 3800 μm^2 chacun (Figure 83). Au total, les fusibles feront une surface de 5200 x 3800 μm^2.



(a)

Figure 83 : Surface occupée par les 3 fils de *bondings* sur un pad des fusibles.

Pour un premier processus, ces valeurs sont très confortables, car on cherche à démontrer la fonctionnalité. Par la suite, ces tolérances peuvent être revues à la baisse, en se basant sur ces premiers prototypes, ce qui permettra de produire des composants plus compacts.

Association diode et fusible

Nous avons dimensionné jusqu'ici la diode sur substrat silicium ainsi que le fusible qui sera intégré sur cette puce diode. La Figure 84.a présente une vue 3D de l'association diode et fusible. La Figure 84.b quant à elle présente un design amélioré, où l'on exploite la couche P^+ formant l'anode de manière plus optimale.

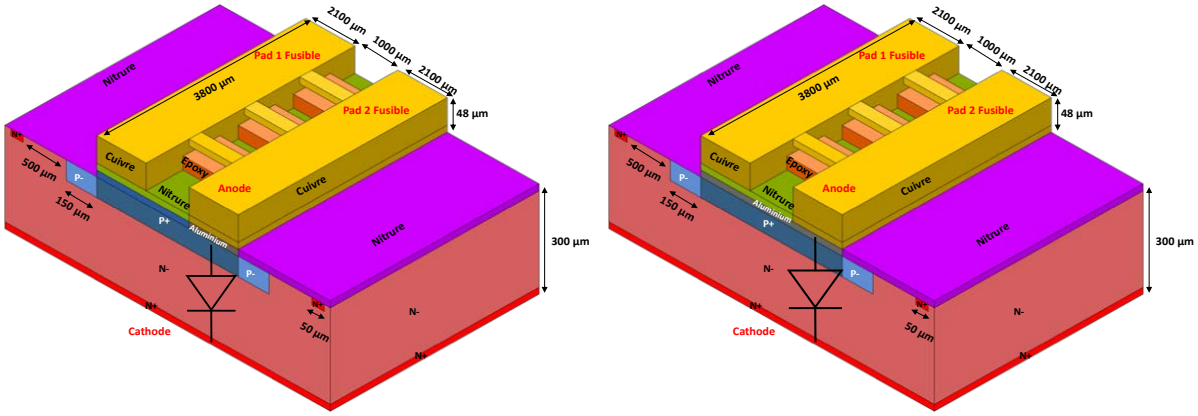


Figure 84 : Architectures 3D retenues pour la réalisation des Diode-fuse, avec un contact anode partiel (a) et complet (b)

La différence entre les deux variantes réside dans la largeur du pad d'aluminium en contact sur le P^+. La première configuration exploite partiellement la couche d'injection de porteurs P^+ en dessous, la majeure partie de la couche est recouverte par une couche de nitrure (pour éviter les courants de fuites lorsque le fusible sera rompu). Les lignes de courant sont donc plus resserrées au niveau de l'accès d'anode par le pad contenant l'aluminium. Cela pourrait impliquer un échauffement local du pad plus important. La seconde variante est réalisée avec un pad de contact anode (face avant) complet qui repose entièrement sur la couche d'injection P^+, les lignes de courant seront plus homogènes et réparties de manière plus équitable sur la hauteur de la puce. Pour éviter que des courants de fuite circulent entre les pads, une couche de nitrure sous l'un des pads a été ajoutée. On espère ainsi que cette configuration améliorera la distribution des contraintes thermiques avec une meilleure évacuation des calories pour un fonctionnement plus optimal.

Dans l'idée de disposer de composants *Diode-fuse* plus compacts et gagner en surface d'implantation, nous avons également intégré la version des fusibles à deux constrictions et à deux fils de *bondings*, étudiée durant le chapitre 2. Cette configuration assurera un I^2T total des fils de 495 $A^2.s$, ce qui reste très confortable en termes de marge de sécurité contre d'éventuelles fluctuations du courant.
Au total 4 prototypes de ces Diode-fuse ont été dimensionnés et réalisés. Deux variantes à 3 constrictions (3 fils de *bondings*) (Figure 84) et deux autres identiques aux premières, avec cette fois 2 constrictions (2 fils de *bondings*) seulement.

4 REALISATION DES COMPOSANTS

4.1 Dessin des masques

Afin de réaliser l'intégration du fusible sur la diode de manière totalement monolithique, nous avons besoin d'un jeu de 10 masques. Le dessin des masques a été réalisé en utilisant l'outil Virtuoso™ de l'environnement Cadence™. Le Tableau 8 regroupe tous les niveaux de masques.
Les dimensions choisies pour chaque masque respectent les règles de dessin de la filière technologique de puissance du LAAS. Le process commence par une étape d'oxydation de masquage, durant laquelle une couche d'oxyde est créée sur les deux faces du substrat silicium. Durant cette étape, une couche d'oxyde d'environ 660 nm est formée par oxydation thermique du silicium en présence d'oxygène. Elle servira à protéger le substrat silicium durant les différentes étapes de photolithographie du process. L'étape suivante consiste à graver cette couche d'oxyde créée en utilisant le masque n°01, afin de réaliser le contours P^- (150 µm de largeur), qui sert à protéger la terminaison de jonction d'un claquage prématuré. La diffusion P^- est réalisée par implantation d'atomes de Bore, suivi d'une étape de redistribution pour former la profondeur souhaitée (environ 4,5 µm). Afin de préparer la zone active des diodes (implantation P^+ et N^+), le masque n°02 est utilisé pour graver à nouveau l'oxyde formé initialement. Puis, on fait croitre une fine

couche d'oxyde (55 nm) aux endroits où l'on a gravé l'oxyde de masquage pour pouvoir effectuer les implantations à travers et éviter d'endommager la plaquette silicium. Ensuite, on enchaine par une implantation et redistribution de Bore, pour réaliser la diffusion P^+, qui formera l'anode de la diode (masque n°03).

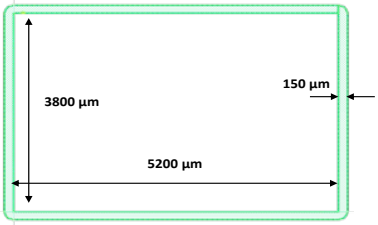
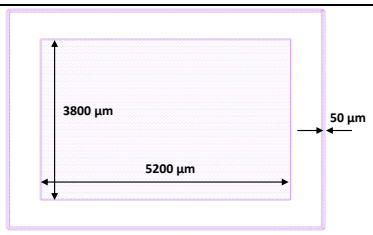
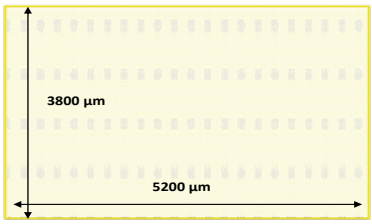
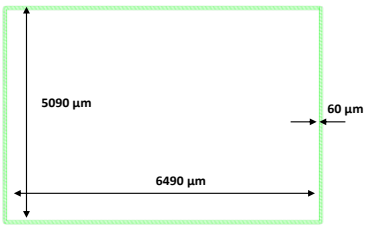
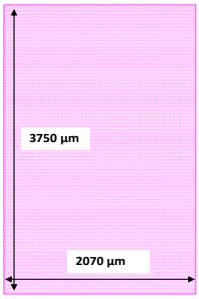
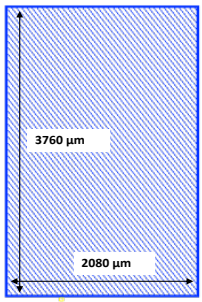
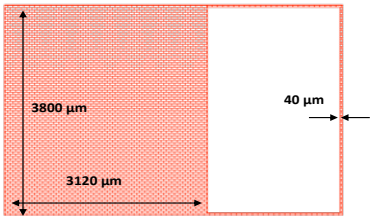
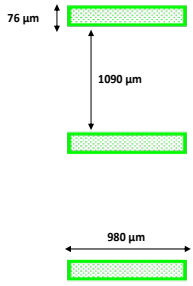
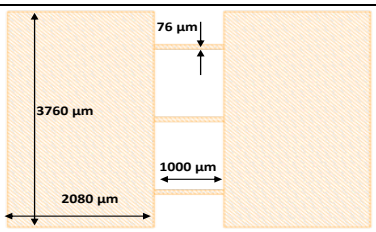
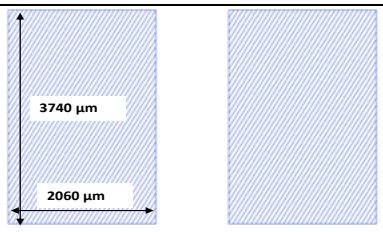
En utilisant le masque n°04, on réalise une implantation de Phosphore pour réaliser la couche N^+ (masque n°04), dite *stop channel*. Ce contour (60 µm de largeur) permet de limiter l'étalement de la charge d'espace pour qu'elle n'atteigne pas la zone de découpe des puces, présentant généralement des imperfections. La couche N^+ en face arrière est réalisée juste après, puis les plaquettes sont déposées dans un four pour l'étape de redistribution des diffusions N^+ (les deux faces).

Après dépôt d'une couche de nitrure sur les deux faces des plaquettes, on vient en utilisant le masque n°05, réaliser l'ouverture des contacts pour permettre la réalisation du contact anode en face avant. Pour réaliser le contact cathode en face arrière de la plaquette, la couche d'oxyde accumulée durant tout le process est gravée sur toute la face, ainsi que la couche de nitrure formée. Une fois les contacts libérés, les plaquettes sont déposées dans un four pour y déposer une couche d'aluminium de 1,7 µm, qui est l'épaisseur maximale qu'on réalise en salle blanche du LAAS. Puis, avec le masque n°06, on vient graver (*lift-off*) l'aluminium de manière sélective (en face avant) pour le garder uniquement sur l'anode de la diode.

Pour la version des diodes (Figure 84.b) où le contact anode (aluminium) recouvre toute la diffusion P^+ (en face avant), l'ouverture de contact est élargie pour contenir la couche P^+.

La réalisation des fusibles comporte 4 niveaux de masques. Le premier (masque n°07), permet la formation d'une couche de nitrure afin d'assurer la tenue en tension en latéral une fois que le fusible est rompu. En plus du pad principal, la couche de nitrure fait également le tour du second pad, afin d'assurer la robustesse de la couche et éviter son claquage avec des effets de bords en contact entre les couches d'aluminium et de cuivre. Une fois la couche de nitrure réalisée, l'époxy est déposée, puis gravée en utilisant le masque n°8. La couche d'époxy est réalisée sous chacune des constrictions, en laissant une marge confortable de 50 µm de part et d'autre en largeur de ces dernières. Cela sert à prévenir les erreurs d'alignement. La dernière étape consiste à faire une croissance de cuivre pour réaliser les constrictions et les pads en utilisant les masques n°09 et n°10. Le premier sert à créer une épaisseur de cuivre de 18 µm, et le second (masque n°10) permet d'épaissir les pads afin de disposer d'une résistance plus faible et réduire les pertes Joules en statique.
Une fois le procédé terminé, les plaquettes sont recouvertes d'une résine de protection et découpées pour libérer les composants afin de les caractériser et vérifier que les caractéristiques des diodes soient conservées, et effectuer des tests de claquage pour valider le bon fonctionnement de l'ensemble.

Tableau 8 : Niveaux de masques pour la réalisation de la Diode-fuse

Masque n°01 Terminaison de jonction P-	**Masque n°02** Ouverture de la zone active
	
Masque n°03 Réalisation du P+ en face avant	**Masque n°04** Réalisation du N+ en face avant
	
Masque n°05 Ouverture de contacts en face avant	**Masque n°06** Métallisation
	
Masque n°07 Dépôt couche de nitrure	**Masque n°08** Dépôt époxy
	
Masque n°09 Réalisation du cuivre pistes et pads	**Masque n°10** Épaississement des pads
	

4.2 Réalisation des diodes et caractérisations

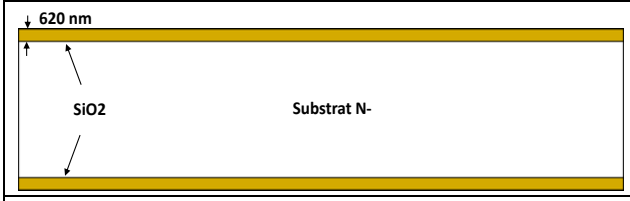
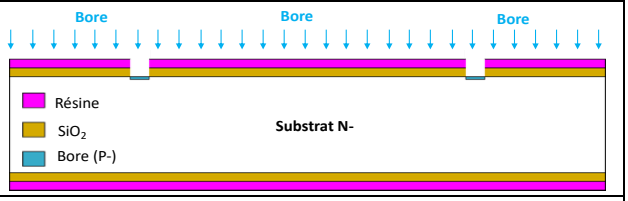
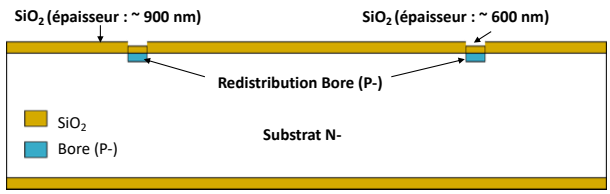
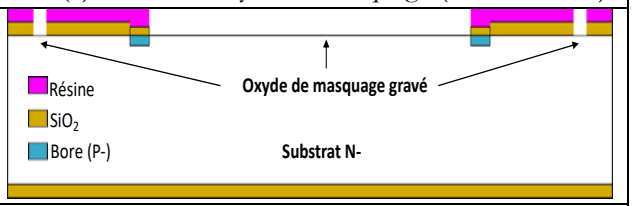
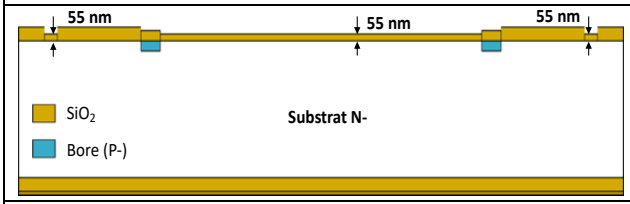
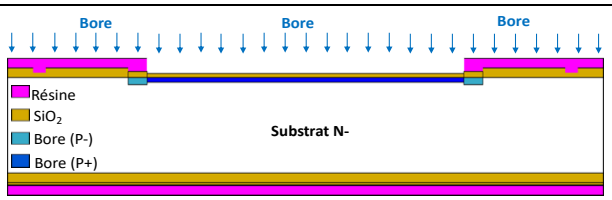
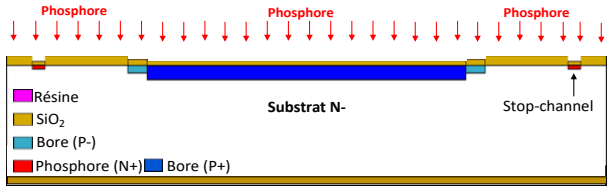
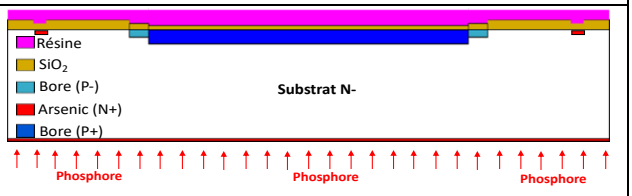
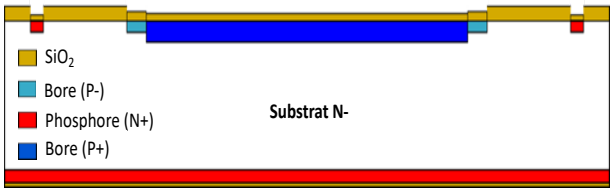
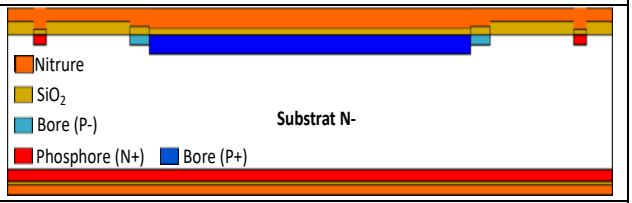
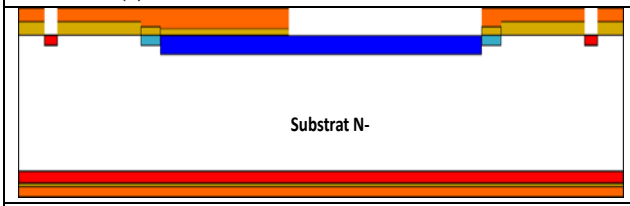
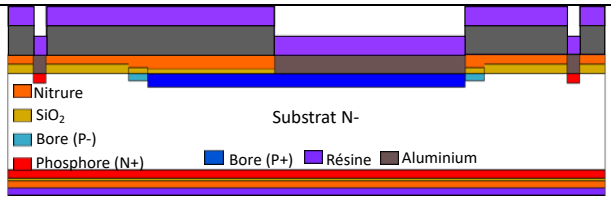
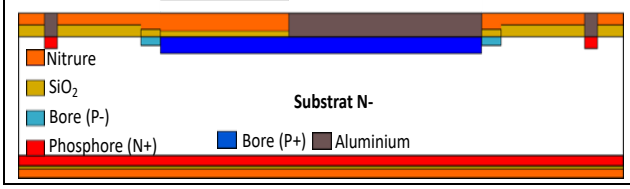
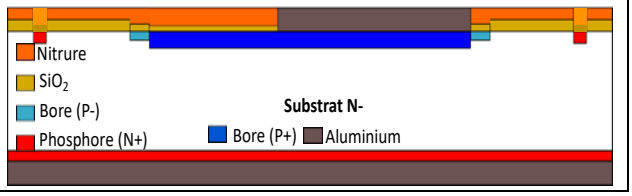
L'enchainement des différentes étapes technologiques pour la réalisation des diodes repose sur la technologie IGBT du LAAS. Le Tableau 9 illustre les principales étapes technologiques de ce process diode. Le process commence par une étape d'oxydation de masquage (a), nécessaire pour protéger le substrat durant les différentes étapes de photolithographie. L'épaisseur d'oxyde créée est d'environ 620 nm.
Après une étape de photolithographie, l'oxyde de masquage est gravé de manière sélective pour former le contour P- (dopé Bore) qui sert à protéger la terminaison de jonction d'un éventuel claquage prématuré. La diffusion P- (b) est réalisée à faible dose d'implantation de Bore (énergie : 50 keV : $2{,}5.10^{12}$ cm^{-2}). L'étape de redistribution (c) du Bore sous atmosphère oxygénée induit une croissance d'oxyde d'environ 600 nm au-dessus de la diffusion P- et provoque également un épaississement de la couche d'oxyde de masquage à 900 nm environ (initialement à 620 nm).

Pour réaliser les diffusions P^+ et N^+ en face avant, la surface active est libérée après une étape de photolithographie et de gravure d'oxyde (d). Afin de ne pas endommager la plaquette lors des étapes d'implantations (P^+ et N^+), on fait croitre une fine couche d'oxyde (e) d'une épaisseur de 55 nm, par oxydation thermique du silicium. L'épaisseur est suffisamment épaisse pour protéger le silicium et assez fine pour permettre aux atomes dopants de pénétrer à la surface du silicium.

La diffusion P^+ (f) est réalisée par implantation ionique de bore (énergie : 50 keV : 1.10^{16} cm^{-2}). La concentration visée est de 5.10^{19} cm^{-3} avec une profondeur de 7 µm. La redistribution se faisant sous atmosphère azote, il n'y a pas de formation d'oxyde en surface, cela signifie que l'épaisseur d'oxyde de 55 nm créée pour l'implantation reste inchangée. Après redistribution de la diffusion de Bore (P^+), on refait une étape de photolithographie afin de libérer la zone d'implantation du N^+ servant à réaliser le stop-channel (en face avant). Puis par implantation ionique de phosphore (énergie : 50 keV : 1.10^{16} cm^{-2}), on vient réaliser la diffusion N^+ en face avant (g), la concentration visée est de 1.10^{20} cm^{-3} avec une profondeur de 1 µm. Avec la même énergie de diffusion, on réalise la diffusion en face arrière (h) des plaquettes pour former la cathode. Une fois l'étape de redistribution achevée (i), une couche de nitrure est déposée (j) sur les deux faces des plaquettes pour les protéger et les préparer à l'étape d'ouverture de contacts et de métallisation.

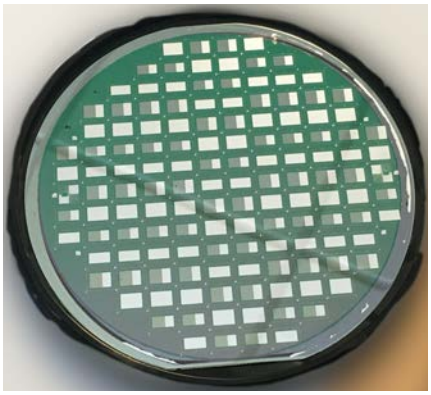
Une résine est déposée sur la face avant de la plaquette afin de réaliser l'étape d'ouverture du contact anode. Après une étape de photolithographie, la résine est développée et la couche de nitrure, ainsi que la couche d'oxyde sont enlevées pour faire apparaitre le silicium en surface (k). Un dépôt métallique au four permet de déposer une épaisseur de 1,7 µm. Une étape de photolithographie (avec une résine négative) permet de graver le métal (l) de manière sélective pour réaliser l'anode de la diode en face avant (m). La face arrière étant un contact continu pleine plaque, aucune étape de photolithographie n'est nécessaire. La couche de nitrure est gravée entièrement sur toute la plaquette, puis une couche d'aluminium est déposée pour former l'électrode cathode des diodes (n).

Tableau 9 : Étapes technologiques pour la réalisation des diodes avec la filière IGBT du LAAS-CNRS

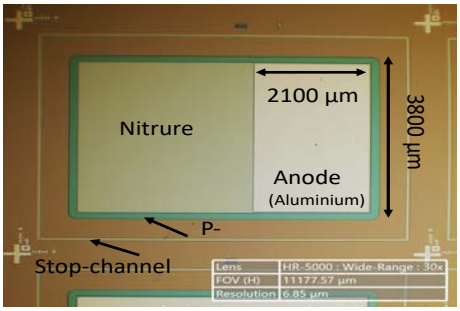
(a) Oxydation de masquage	(b) Implantation de Bore
	
(c) Redistribution du Bore	(d) Gravure oxyde de masquage (surface active)
	
(e) Croissance oxyde de diffusion	(f) Implantation Bore (P+)
	
(g) Implantation Phosphore (N+) face avant	(h) Implantation Phosphore (N+) face arrière
	
(i) Redistribution Phosphore (N+)	(j) Dépôt nitrure pour ouverture de contacts
	
(k) Ouverture de contacts en face avant	(l) Photolithographie et dépôt métal (anode)
	
(m) Lift-off métal	(n) Métallisation en face arrière (cathode)
	

Caractérisation des diodes

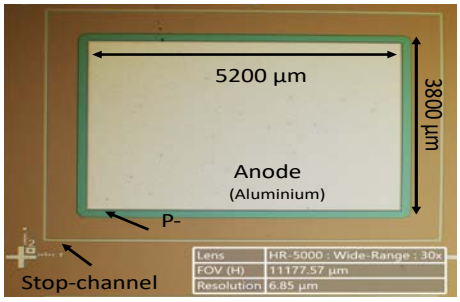
Les diodes réalisées ont été caractérisées sous station 4 pointes pour vérifier leurs caractéristiques en direct et en inverse. La Figure 85 donne une vue globale d'une des plaquettes (4 pouces) diodes réalisées, avec un aperçu de chacun des prototypes dimensionnés. On retrouve donc le design à 3 constrictions, qui comporte une version à pad anode partiel (Figure 85.b) et une version à pad anode complet (Figure 85.c) recouvrant toute la diffusion P+. Les Figure 85.d et Figure 85.e donnent également un aperçu de la version à deux constrictions, avec les mêmes configurations des pads pour l'anode de la diode.



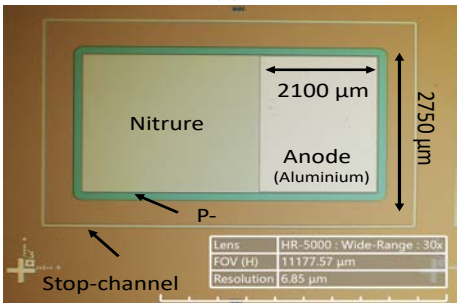
(a)



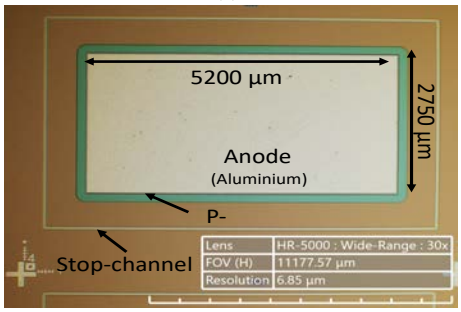
(b)



(c)



(d)



(e)

Figure 85 : Diodes réalisées en salle blanche du LAAS, wafer 4 pouces (a), prototype à 3 constrictions et pad anode partiel (b), prototype à 3 constrictions avec pad anode complet (c), prototype à 2 constrictions avec pad anode partiel (d) et prototype à 2 constrictions avec pad anode complet (e)

Les Figure 86.a et Figure 86.b présentent les caractéristiques en direct des diodes réalisées (en utilisant la station sous pointes Karl Suss PA200 avec une limitation en courant réglée à 100 mA), sur deux plaquettes (wafers) différentes. On peut observer que les courbes correspondent bien à la caractéristique en direct d'une diode, avec une tension de seuil qui se situe autour de 0,6 V. Sur les échantillons de diodes caractérisées sur l'une des plaquettes (Figure 86.b), on remarque une petite singularité (courbe bleue), cela n'est pas très perturbant vu le nombre d'échantillons caractérisés fonctionnel (environ 40 composants testés par plaquette). La caractéristique en inverse des diodes (Figure 86.c) a été également tracée sur quelques échantillons (4) pour valider la bonne tenue en tension des composants réalisés. Les caractérisations

montrent une bonne tenue en tension des composants, sous des tensions de polarisation en inverse de - 200 V, avec des courants de fuites très faibles (quelques nA).

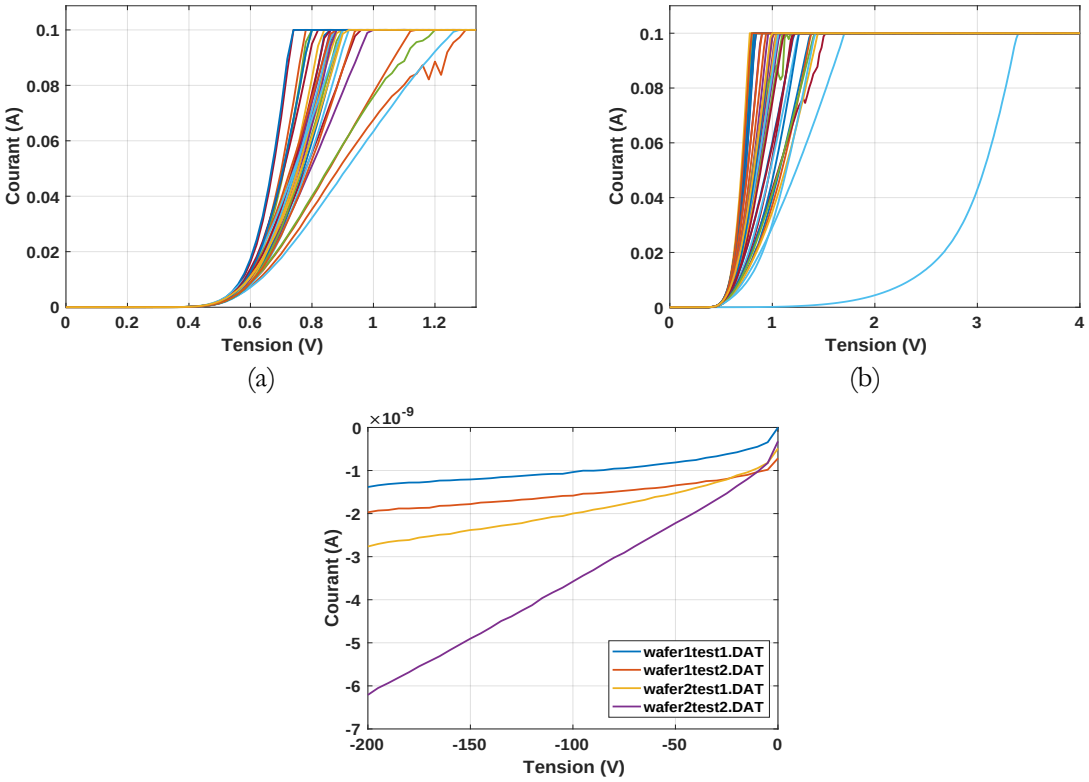


Figure 86 : Caractéristiques en direct des diodes sur une première plaquette (a) et sur une deuxième plaquette (b), ainsi que les caractéristiques en inverse mesurées sur les deux plaquettes (c).

Nous avons caractérisé plusieurs composants sur deux wafers, à chaque fois, un lot de 4 à 5 composants sont testés (Figure 87.a et Figure 87.d) et leurs caractéristiques sont tracées avec la même couleur. Pour les deux wafers, nous constatons une dispersion au sein de chaque lot, cet écart est plus accentué sur les lots de composants du bord des wafers (Figure 87.b-c-e-f). La dispersion entre les composants de lots différents est plus prononcée, notamment lorsqu'on compare les composants du centre avec ceux du bord. Lors de la réalisation des composants, des électrodes sont posées sur l'anneau extérieur des wafer (représenté en rouge ici) pour faire croitre la couche de cuivre nécessaire pour former les pads et les constrictions. Les lignes de courants sont plus intenses au niveau de cet anneau, le champ électrique est donc plus élevé, cela explique la dispersion entre les composants du bord et du centre. Pour les Diode-fuse, les composants du centre ont une épaisseur de 18,5 à 18,8 µm environ (sur les échantillons testés). Lorsqu'on s'éloigne du centre, on retrouve des épaisseurs allant de 19,7 µm à 20,7 µm. Au final, cela nous donne des dispersions allant de 2 % à 9 %, suivant l'emplacement sur le wafer.

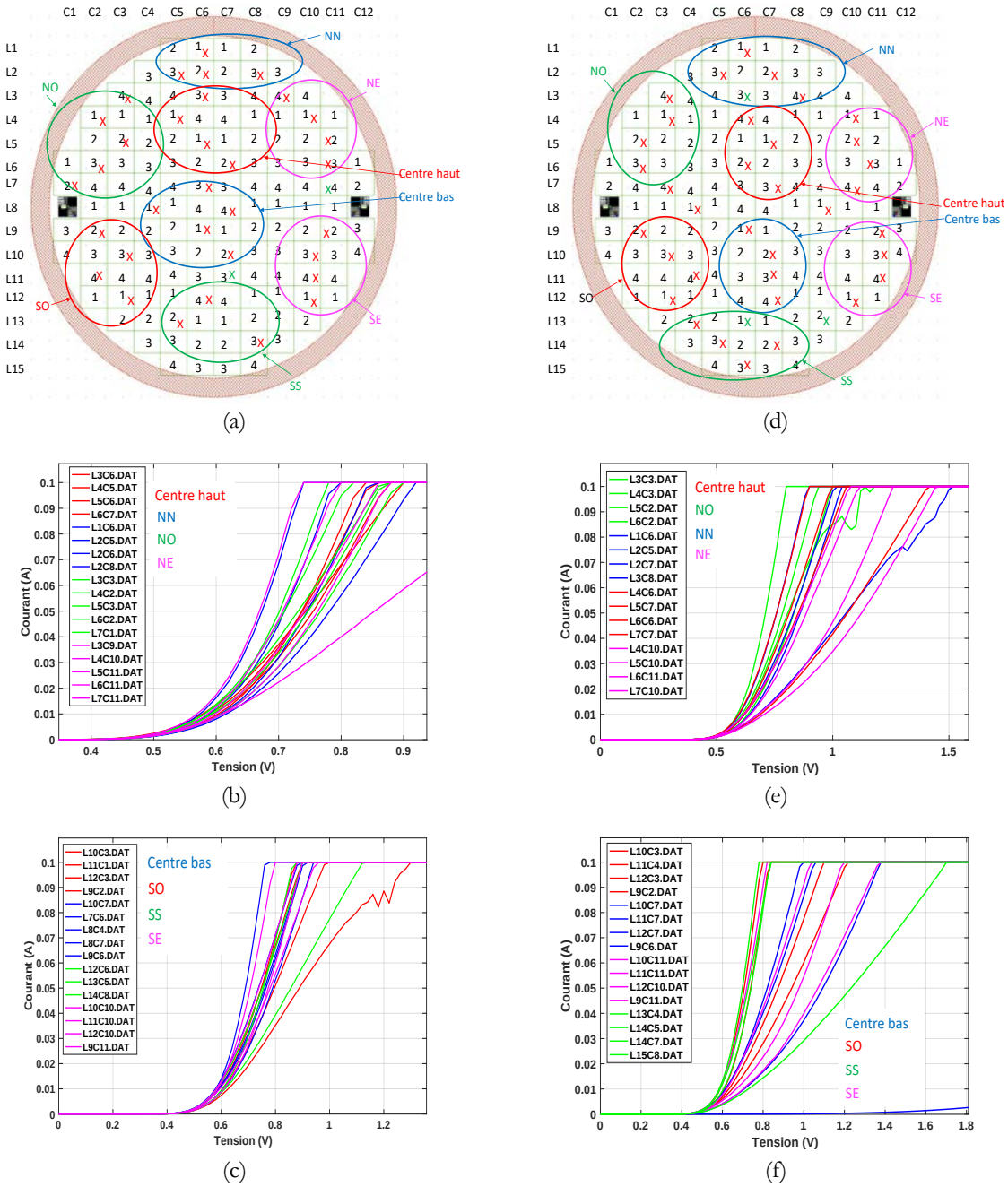


Figure 87 : Caractérisation des composants sur deux wafers pour comparaison du niveau de dispersion (a-c) wafer n°1 et (d-f) wafer n°2.

Ces caractérisations permettent de valider le bon fonctionnement de deux plaquettes réalisées en salle blanche et autorise la poursuite du procédé pour la réalisation des fusibles.

4.3 Réalisation des fusibles et caractérisation

La réalisation des composants est assurée par la société 3Dis Technologies, basée au LAAS-CNRS. Le processus de fabrication faisant partie du savoir-faire de l'entreprise, nous nous limiterons aux principales étapes du processus.
Une fois les diodes réalisées (étape 1) et leurs caractéristiques validées, les différentes étapes nécessaires à la réalisation des fusibles sont les mêmes décrites dans le chapitre 2. La Figure 15 illustre ce processus à travers la description des principales étapes. Dans un premier temps, une couche de nitrure (étape 2) est formée sur les zones ne comportant pas d'aluminium, où les constrictions et un des pads des fusibles reposeront. L'épaisseur de la couche réalisée est d'environ 400 nm ici, pour la version des designs comportant une couche d'aluminium recouvrant partiellement le P^+. Ensuite, une couche d'époxy est réalisée (étape 3) par dépôt d'une résine SU8 sur la face avant des wafers, puis enlevée à l'aide d'un masque, pour qu'elle ne soit conservée uniquement dans les endroits où les constrictions seront réalisées. Avant de passer à la réalisation des pads et des pistes en cuivre, on dépose une couche d'accroche (étape 4) à base de Nickel-Tungstène afin d'améliorer l'adhérence du cuivre sur la couche d'époxy, sans cette couche, le cuivre se détacherait plus facilement. Un premier dépôt de cuivre est réalisé pour former les constrictions et les pads (étape 5). Durant cette étape, une épaisseur de 18 µm de cuivre est réalisée. Enfin, les pads des fusibles sont épaissis (étape 6) afin de disposer de pads moins résistifs et concentrer toute la chaleur au sein de constrictions. Durant cette étape, les pads sont épaissis pour atteindre une épaisseur de 48 µm au total.

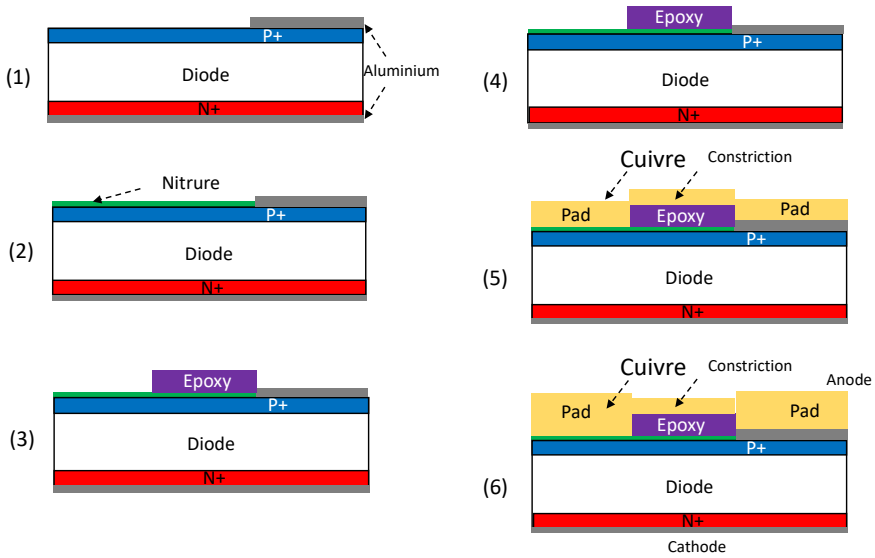


Figure 88 : Principales étapes technologiques de la réalisation des fusibles sur les diodes.

Sur la Figure 89, on peut observer quelques photographies des composants Diode-fuse réalisées, à 3 constrictions (Figure 89.a) et 2 constrictions (Figure 89.b). Les agrandissements au niveau de la région constrictions permettent de visualiser l'étalement du cuivre réalisé sur la couche d'époxy pour former les constrictions. Afin d'éviter des problèmes d'alignement, une marge de sécurité de 10 µm est laissée de chaque côté de la couche d'époxy, on peut y voir le cuivre (Figure 89.c et Figure 89.d) qui s'insère dans l'espace époxy et pad.

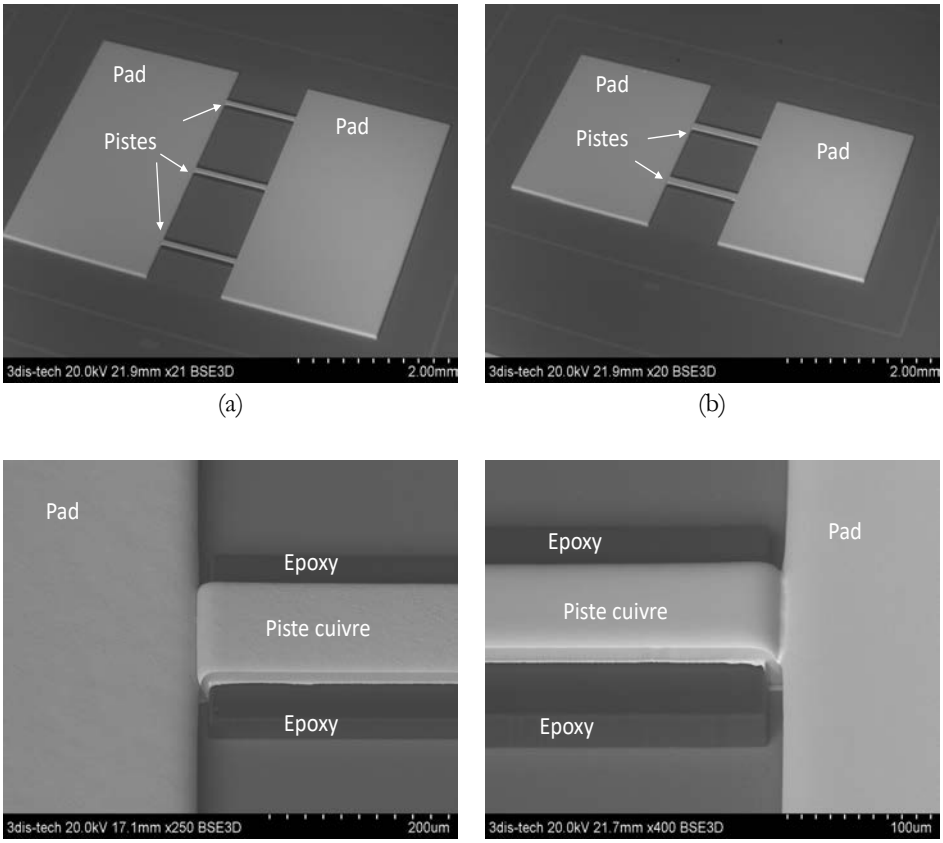


Figure 89 : Prises au microscope de quelques échantillons des Diode-fuse avec un zoom sur la région constriction.

Les composants ont été réalisés à la centrale de micro et nanotechnologies du LAAS-CNRS. La Figure 90 présente un aperçu d'une des plaquettes (4 pouces) réalisées, avec un zoom sur les 4 prototypes des *Diodes-fuse* réalisés.

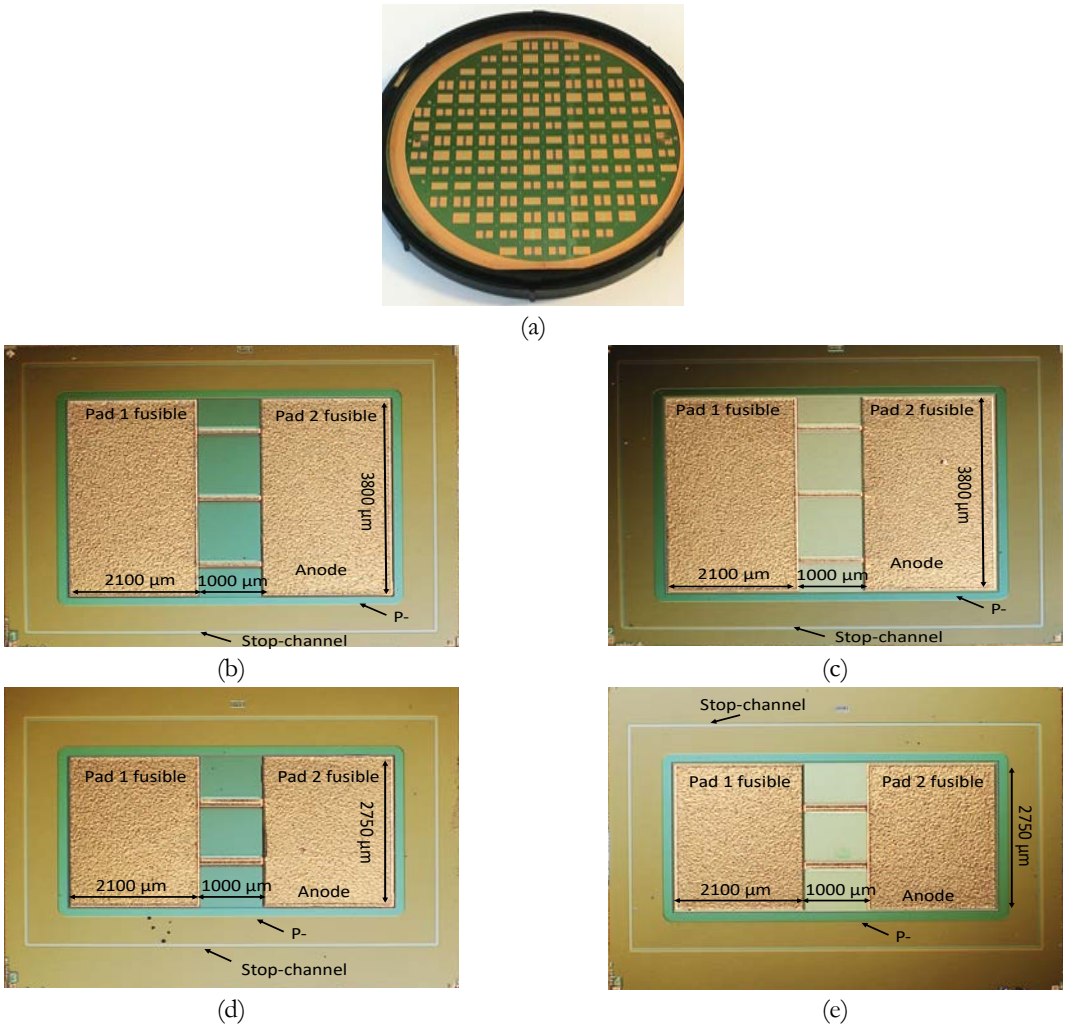


Figure 90 : Diode-fuse réalisés (a), vue des différentes architectures : pad partiel à 3 constrictions (b), pad complet à 3 constrictions (c), pad partiel à 2 constrictions (e) et pad partiel à 2 constrictions (f).

Les caractéristiques en direct et en inverse des composants diodes-fuse sont présentées sur la Figure 91. La Figure 91.a présente les tracés des caractéristiques en direct sur 10 échantillons de Diode-fuse. On peut voir que les caractéristiques des diodes sont conservées. La tension de seuil reste inchangée (environ 0,6 V), signe que le procédé du fusible n'a pas était intrusif au point de changer les caractéristiques des diodes. Les capacités de tenue en tension inverse restent également inchangées (Figure 91.b), avec des courants de fuites de quelques nA seulement.

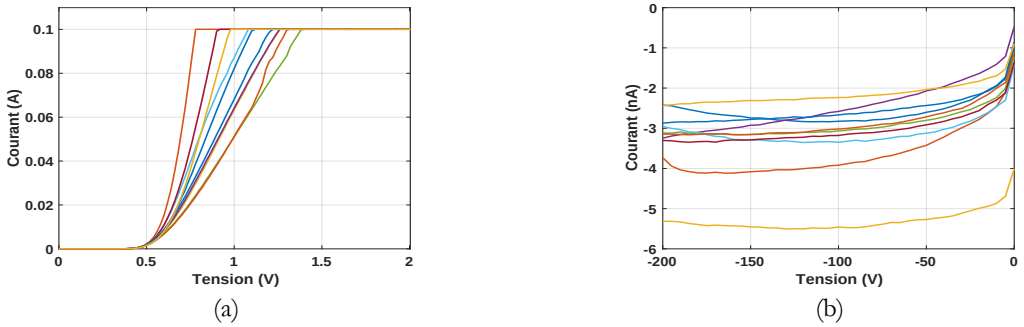


Figure 91 : Caractéristiques en direct (a) et en inverse (b) des diodes-fuse réalisées.

5 CARACTERISATION ET VALIDATION EXPERIMENTALE

5.1 Dessin des PCB et préparation des composants pour les tests de claquage

L'évaluation des composants passe par une étape de collage sur des PCB FR4 et de coulée d'un gel silicone sur les diodes-fuse pour les passiver, ce qui est très important durant le régime de claquage, comme nous l'avions vu dans le chapitre 2. Pour effectuer cette opération nous avons dimensionné un design sur lequel la puce diode-fuse sera collée, puis à l'aide de fils de *bondings*, on réalise les connexions vers des pads de reprises des contacts. Un moule comportant une cavité centrale, est ensuite posé sur la puce, à travers cette ouverture, un gel est coulé. Les différentes pièces composants ce design et le moule sont présentés sur la Figure 92.

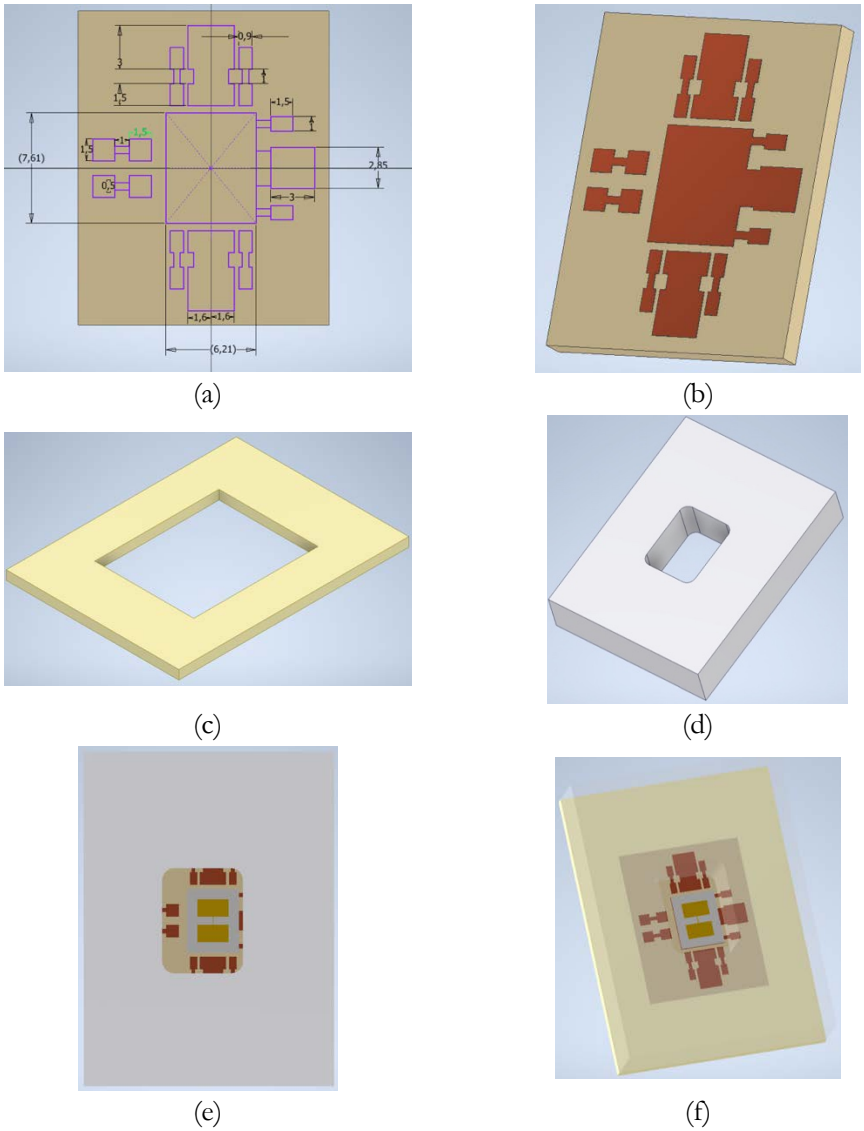


Figure 92 : Différentes pièces composants le design de test des diodes-fuse.

Dans un premier temps, nous avons dessiné la pièce centrale du design, représentée sur la Figure 92.a et Figure 92.b. Cette pièce support est composée d'un contact métallique central assez large pour accueillir l'électrode en face arrière de la puce, qui est l'anode de la diode. Nous avons également ajouté des pads de reprise des contacts, en face arrière de la puce, ainsi que pour la face avant. Des fils de *bondings* feront la connexion entre les pads de reprises des contacts et ceux des fusibles. Pour éviter un endommagement des fils et un comportement fusible vis-à-vis des niveaux de courants coupés, 3 fils ont étés dimensionnés pour assurer une I^2T (495 $A^2.s$) largement supérieure à celle des fusibles (1,38 $A^2.s$ et 1,45 $A^2.s$). Une fois les puces collées et les interconnexions par les fils réalisées, les PCB sont insérés dans un second PCB de même

épaisseur (1,6 mm) et comportant une ouverture centrale (Figure 92.c). Ce second PCB sert uniquement à procurer un appui au moule qui sera par la suite posé sur la puce pour la coulée du gel. Une fois la réticulation du gel terminée, le moule et ce second PCB sont enlevés, seule la puce collée sur le substrat initial sera placée dans le circuit de test. Le moule réalisé en téflon (Figure 92.d), d'une épaisseur de 8 mm, comporte une cavité centrale, suffisamment large pour recouvrir les fils de *bondings*, sans toucher la puce silicium. Les Figure 92.e Figure 92.f montrent l'agencement de toutes les pièces du design entre elles, dans une vue de dessus et inclinée.

5.2 Passivation des composants par gel silicone

Sur la Figure 93, on peut apercevoir quelques échantillons des composants réalisés en salle blanche de la plateforme de micro et nanotechnologies du LAAS-CNRS. Le collage de la puce (face arrière en aluminium) sur le pad en cuivre, est réalisé en utilisant une colle argentée Epotek H20E [10] dédiée au collage de puces dans des applications microélectronique et optoélectronique. Cette dernière, formée de fines particules (≤45 µm), possède une bonne conductivité thermique (29 W/m.K) et capable de supporter des températures allant de -55 °C à 200 °C en fonctionnement continu. Nous avons pris soin de déposer une couche assez fine pour qu'elle ne déborde pas lorsqu'on appuie sur la puce pour la faire tenir à l'endroit indiqué. On voit que le pad central en cuivre est suffisamment large pour contenir toute la puce avec une certaine marge d'erreur. Cela assure également un bon maintien mécanique des puces et un contact bien homogène sur toute la face arrière des puces. On peut également constater que les fils de *bondings* occupent moins de place que prévue. En conséquence, la réduction de la surface occupée des pads est éventuellement envisageable. Toutefois, dans le cas de ces travaux et pour la phase d'expérimentation et validation, leurs surfaces actuelles sont bien fonctionnelles.

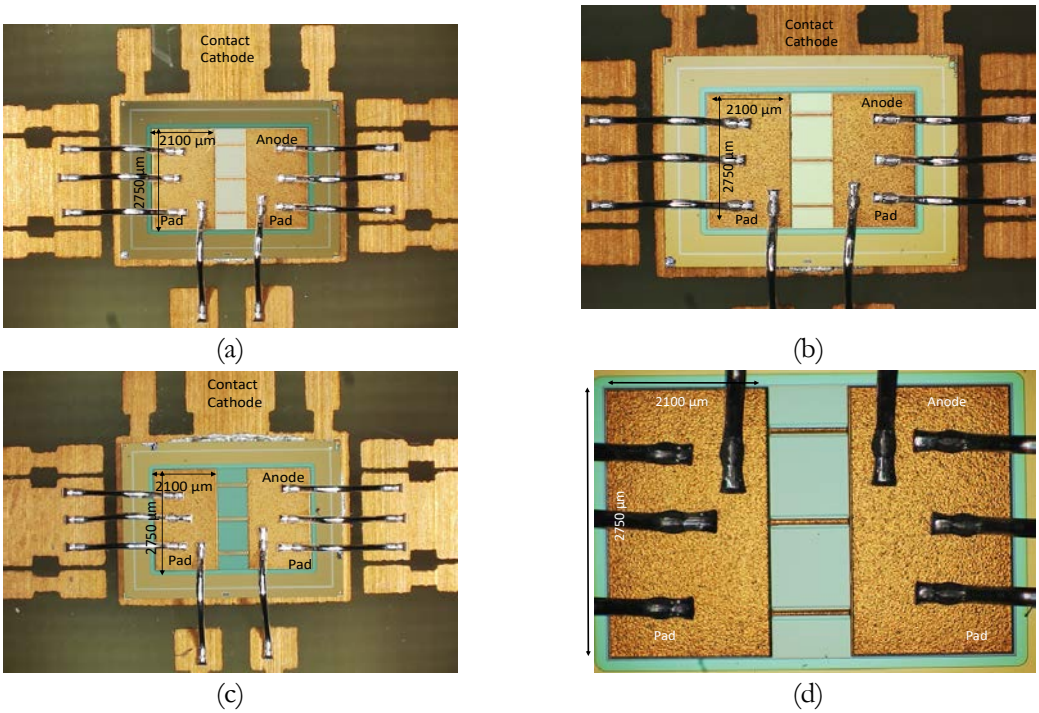
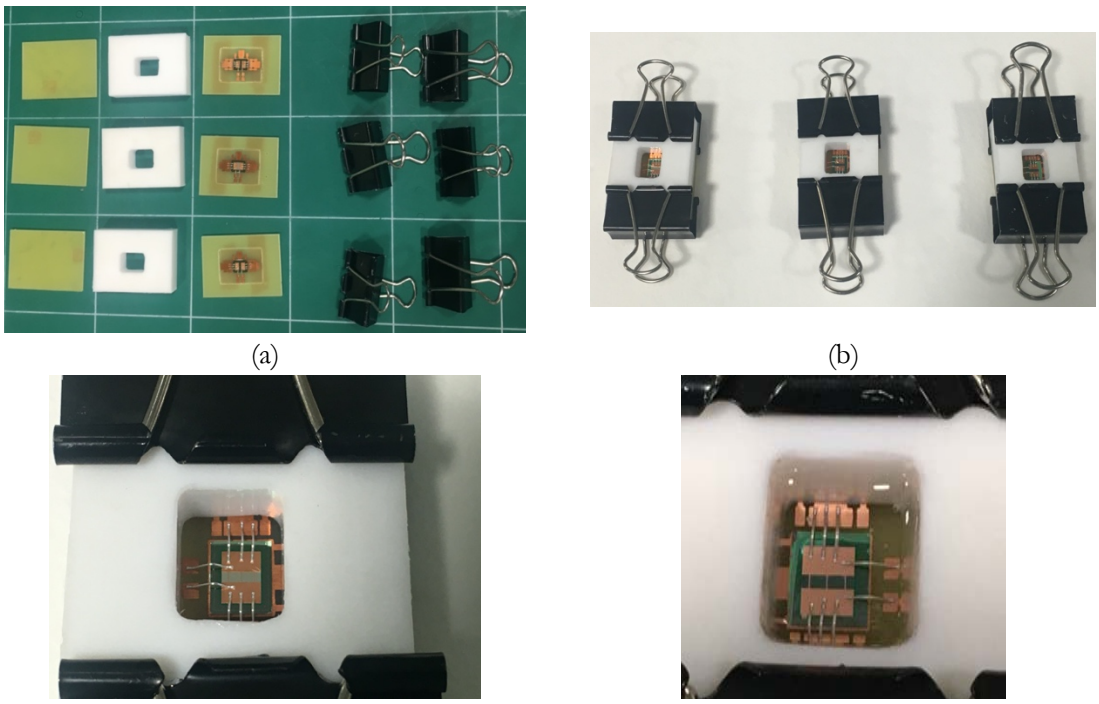


Figure 93 : Échantillons des composants diode-fuse collées sur les PCB FR4 préparés : prototype à 3 constrictions parallèles, avec une couche d'aluminium sur toute la cathode (P^+) (a-b) et une couche partielle d'aluminium (c-d).

Une fois les puces collées et les fils de *bondings* réalisés, les différentes pièces (PCB et moule) sont assemblées et maintenues entre elles à l'aide de pinces. Sur la Figure 94.a, on peut voir l'ensemble des pièces usinées et déployées pour effectuer la coulée du gel. On rajoute également une autre pièce de PCB FR4, ne comportant aucune ouverture centrale, en face arrière des substrats dimensionnés. Ce support servira à un bon maintien

mécanique et resserrer davantage les pinces afin d'éviter des fuites importantes du gel entre le moule et le substrat comportant la puce. Une fois toutes les pièces assemblées Figure 94.b, le gel, préparé avec les mêmes proportions décrites dans l'Annexe 1, est coulé à l'intérieur des cavités formées par le moule. Les Figure 94.c et Figure 94.d montrent un échantillon avant et après la coulée du gel. Grâce à la mise sous-vide des échantillons des puces une fois le gel coulé, nous pouvons constater que la présence de bulles d'air est très réduite, cela est très favorable lors de l'étape de claquage des fusibles.



(a) (b)

(c) (d)

Figure 94 : Passivation des puces : aperçu des différents éléments utilisés pour la coulée du gel silicone (a), assemblage pour la coulée (b), vue de dessus sur un échantillon avant (c) et après coulée du gel (d).

5.3 Caractérisation statique

Nous avons caractérisé les composants diode-fuse et mesurer la chute de tension aux bornes des fusibles en fonctionnement nominal, pour un courant variant entre 0 et 10 A. Le schéma équivalent de la méthode de caractérisation est représenté sur la Figure 95.a. Les mesures donnent une valeur moyenne de 70 mV environ.

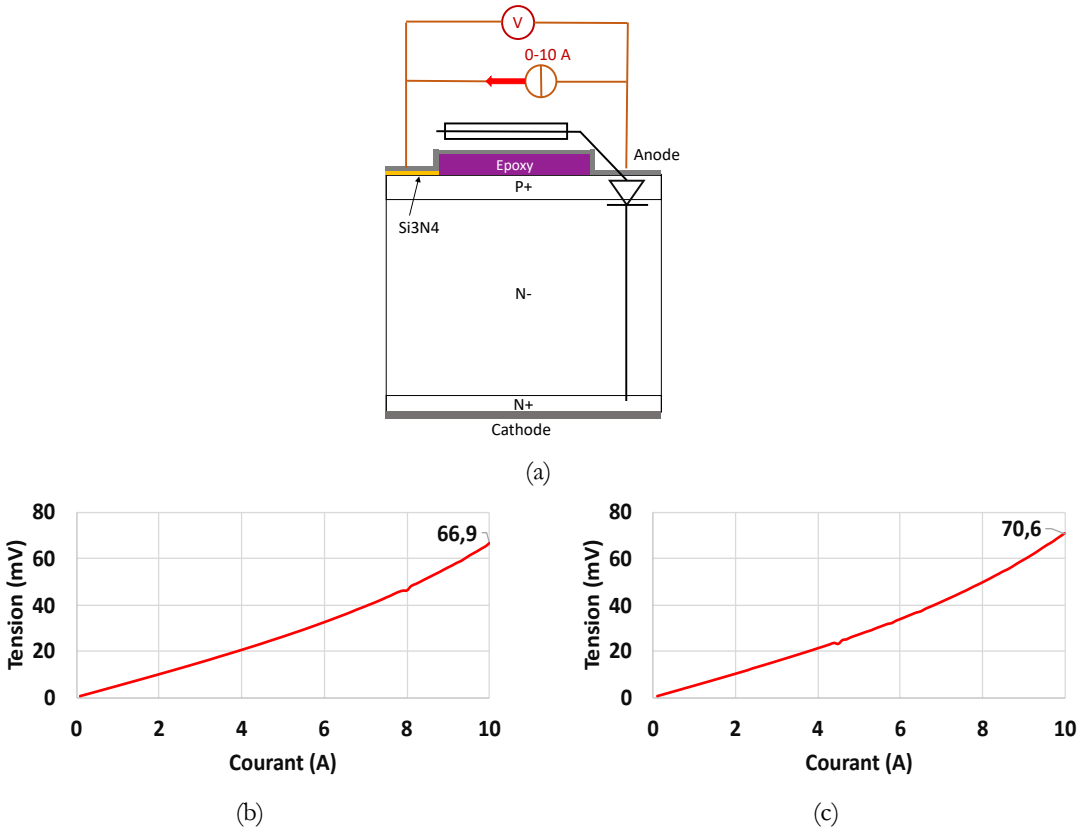
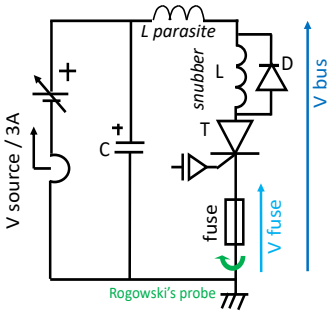


Figure 95 : Caractéristiques statiques de deux échantillons des composants diode-fuse à 3 constrictions, montrant la chute de tension associée en fonction du courant.

5.4 Résultats des tests de claquage

Le fonctionnement a été validé à l'aide de notre circuit de test (Figure 96), présenté dans le chapitre 2. Ce dernier comporte un bloc capacitif chargé par une source de tension contrôlée en courant (limitation à 3 A durant les tests). Lorsque le thyristor est amorcé avec une impulsion, un court-circuit est créé, le fusible voit le courant le traversant augmenter et la tension à ses bornes croit pour dépasser la tension de bus, grâce aux inductances du circuit (inductance principale et parasite). Cette surtension s'oppose au courant qui lui a donné naissance afin d'éteindre l'arc électrique. Une diode de roue libre est placée en parallèle de l'inductance du circuit afin de recycler une partie de l'énergie déchargée par les capacités et éviter la destruction d'un transistor à chaque test de claquage.



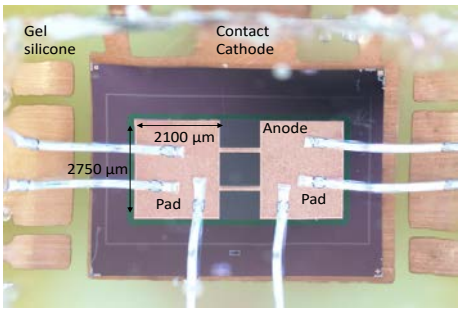
Capacitor (C)	4 x 470 uF
Inductor (L)	700 nH
Diode (D)	BYT30Pi1000
Thyristor (T)	IXYS CS45-16io1



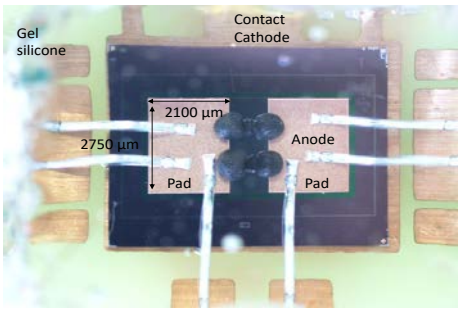
(a) (b)

Figure 96 : Circuit utilisé pour effectuer les tests de claquage sur les diode-fuse.

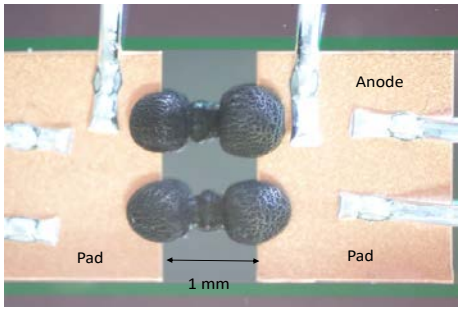
Sur la Figure 97, on peut observer les résultats d'un test de claquage réussi sous une tension de bus de 50 V, sur une Diode-fuse à deux constrictions parallèles. Le résultat post-claquage (Figure 97.b) révèle une coupure nette au niveau des constrictions. Aucun endommagement ou ablation du métal des pads, signe d'une coupure maitrisée et d'une bonne tenue en tension post-arc. Nous pouvons observer (Figure 97.c et Figure 97.d) que le gel englobe bien les gaz et les vapeurs libérés durant le régime de claquage du fusible. Ces derniers seront évacués après un certain temps.



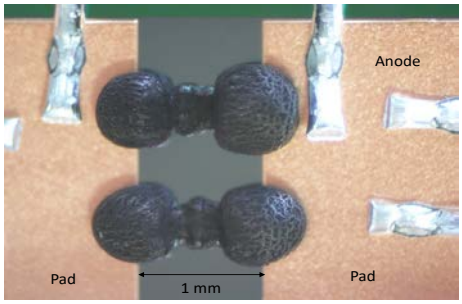
(a)



(b)



(c)

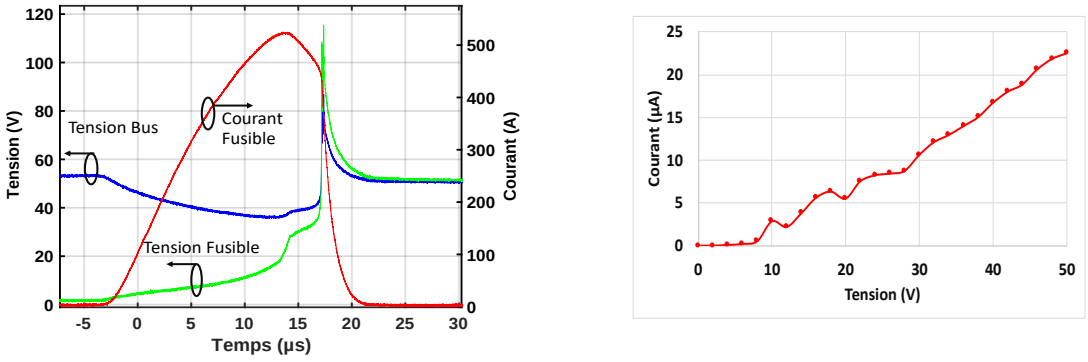


(d)

Figure 97 : Aperçu des puces Diode-fuse à 2 constrictions et un pad aluminium partiel avant et après un test de claquage d'un fusible sous 50 V.

Les courbes de courant et tensions sont présentées sur la Figure 98.a. à l'initiation du court-circuit, nous pouvons observer une augmentation du courant et de la tension aux bornes du fusible, jusqu'à atteindre le point de fusion du métal, qui correspond à la valeur maximale du courant (~500 A), c'est la phase de pré-arc. La surtension engendrée (110 V) dépassant ainsi la tension de bus (50 V) s'oppose à l'arc électrique et provoque son extinction. Nous pouvons voir le courant qui commence à décroitre jusqu'à son annulation complète, sans reprise, c'est la phase d'arc. La mesure du courant de fuite (Figure 98.e) post-claquage révèle des valeurs assez faibles, 22 µA mesurées sous la tension de bus de 50 V, ce qui assure une résistance d'isolation de près de 2,3 MΩ, une valeur assez importante. L'I2T associé à ce fusible est de 1,93 $A^2.s$,

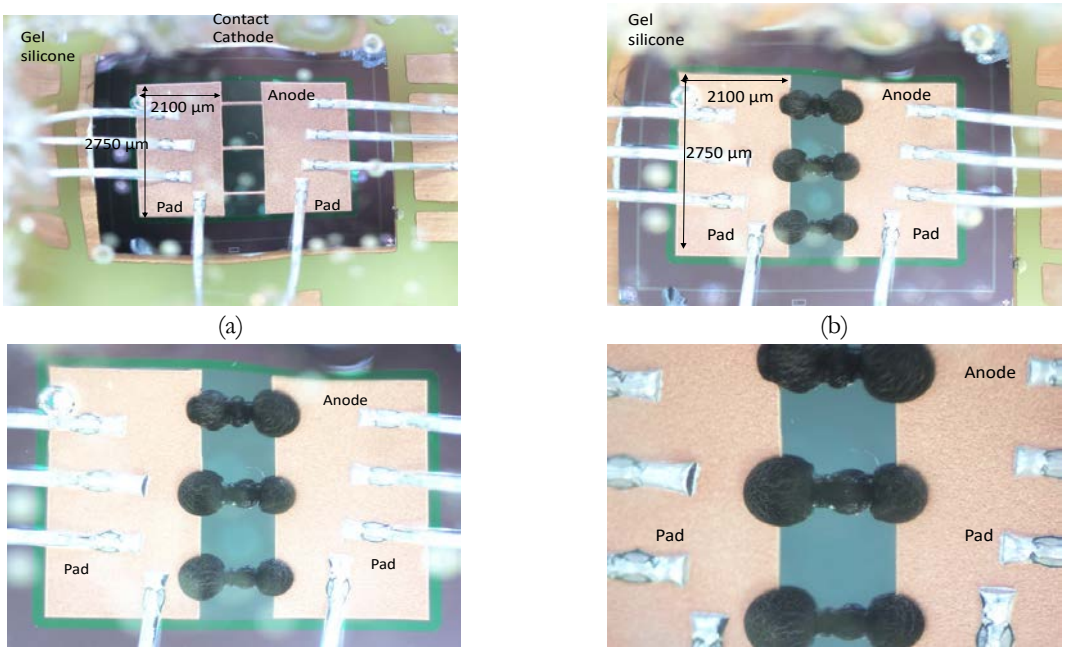
contre 1,45 A².s en théorie, soit un écart de près de 25 %. Cet écart peut s'expliquer par la tolérance du process de fabrication des fusibles, comme on l'avait au chapitre 2, présentait une tolérance non négligeable.



(a) (b)

Figure 98 : Résultats des tests de claquage sous 50 V sur un fusible à deux constrictions parallèle (a) et courant de fuite associé (b).

Un autre résultat de test de claquage concluant sur une Diode-fuse à 3 constrictions parallèles sous une tension de bus de 50 V est présenté sur la Figure 99. Les résultats montrent une coupure sans aucun endommagement des pads (Figure 99.b). Le gel a permis de bien passiver les puces et de contenir l'arc électrique et agir pour son extinction (Figure 99.c et Figure 99.d).

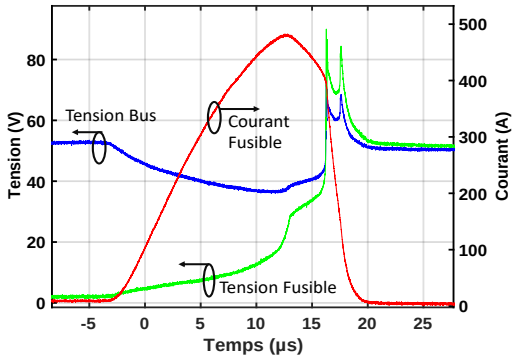


(a) (b)

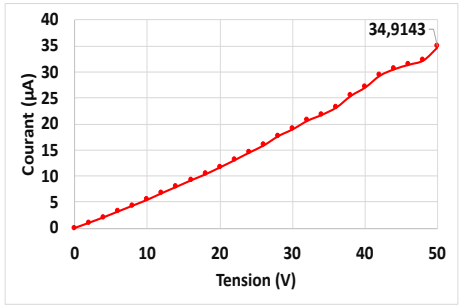
(c) (d)

Figure 99 : Aperçu des puces Diode-fuse à 3 constrictions et un pad aluminium partiel avant et après un test de claquage d'un fusible sous 50 V.

La disposition de 3 constrictions en parallèle a permis de partager le courant électrique et mieux répartir les contraintes sur une surface plus importante du substrat. La surtension aux bornes du fusible lors du régime de claquage est plus faible (Figure 100.a). Après un temps de pré-arc d'environ 15 µs, le courant atteint son maximum (480 A), synonyme de la fin de la phase de pré-arc. Le courant commence à s'annuler progressivement pour s'annuler complétement, assurant une résistance d'isolation post-arc de 1,47 MΩ (sous 50 V), une valeur assez confortable pour assurer des courants de fuites faibles (Figure 100.b). L'I²T associée est de 1,58 A².s, contre 1,38 A².s en théorie.



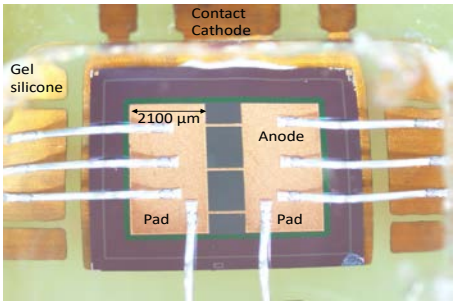
(a)



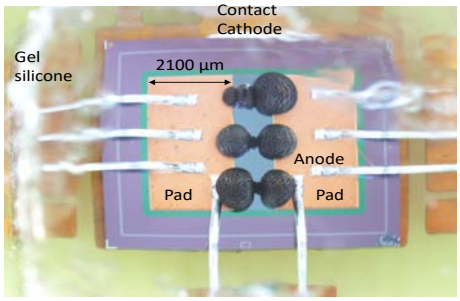
(b)

Figure 100 : Résultats des tests de claquage sous 50 V sur un fusible à 3 constrictions parallèle (a) et courant de fuite associé (b).

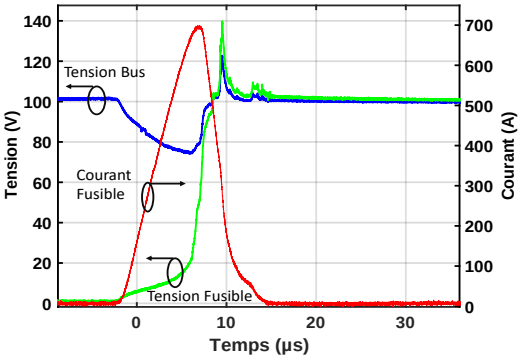
Un test de claquage d'un fusible à 3 constrictions parallèles et avec un pad aluminium partiel sur la couche P^+ sous 100 V est présenté sur la Figure 101. Nous pouvons observer encore une fois une coupure nette du fusible (Figure 101.b), restreinte aux constrictions seulement, aucun endommagement des pads n'est observé. La courbe de la (Figure 101.c) montre une coupure sans reprise de courant en régime post-claquage, ce qui est très le résultat souhaité. Les courants de fuite associés sont relativement faibles (35 µA), cela permet d'obtenir une résistance d'isolation post-arc de près de 3 MΩ. L'I^2T associé au fusible est de 1,56 $A^2.s$, soit une valeur relativement proche de celle calculée théoriquement (1,38 $A^2.s$).



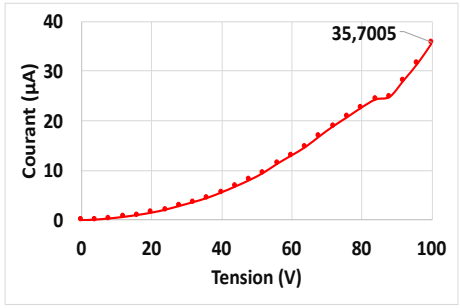
(a)



(b)



(c)

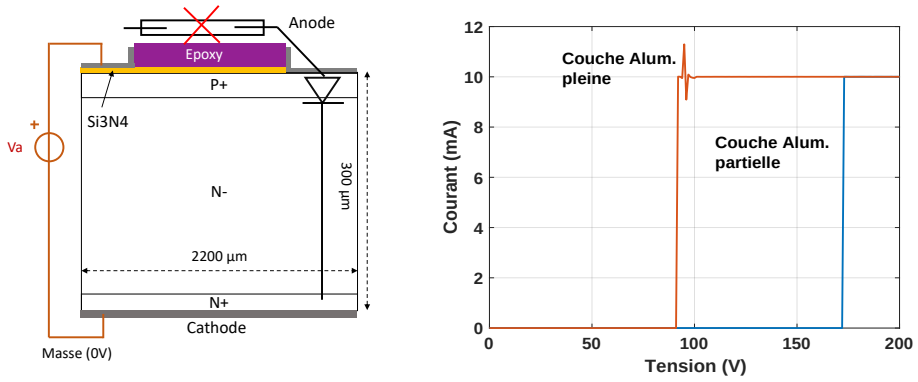


(d)

Figure 101 : Résultats du test de claquage sous une tension de 100 V sur une Diode-fuse à 3 constrictions et un pad aluminium partiel.

Les composants ont été dimensionnés pour opérer sous des tensions de 200 V en régime de fonctionnement nominal, une fois les fusibles rompus, les Diode-fuse doivent supporter cette tension en régime post-arc. Lorsque nous avons essayé d'effectuer des essais de claquage des fusibles à des niveaux de tensions supérieures à 100 V, les composants ne tiennent pas la tension en régime post-claquage, ce qui provoque la destruction de la puce. Lorsque les pistes sont évaporées, la couche de nitrure est responsable de la tenue

en tension. Nous avons donc effectué un test pour vérifier le niveau de tenue en tension de cette couche de nitrure, sur les deux principaux designs, le premier comportant une couche d'aluminium pleine, recouvrant toute la surface de P+ (anode) en face avant, le second couvre partiellement la couche de P+ en face avant. Les résultats de ces tests sont présentés sur la Figure 102. Pour réaliser ces tests, nous avons procéder à une dissolution des constrictions chimiquement, afin d'isoler le pad de gauche seul et appliquer une tension entre ce dernier et la face arrière de la puce (Figure 102.a). La tension appliquée (Va) varie de 0 à 200 V, avec une limitation en courant à 10 mA. Les mesures ont été effectuées sur une station sous pointes PA200 Karl Suss.



(a) (b)

Figure 102 : Détermination du niveau de tenue en tension de la couche de nitrure.

Nous pouvons ainsi constater (Figure 102.b) que les composants ayant une couche d'aluminium pleine, recouvrant toute la couche P+ supportent une tension maximale de 90 V (courbe orange) environs une fois le fusible rompu. L'autre design, comportant une couche partielle d'aluminium sur la face avant, supportent une tension allant jusqu'à 170 V (courbe bleue). Le premier design observe un claquage à plus basse tension car la couche de nitrure réalisée est d'environ 350 nm ou un peu plus, soit la valeur dimensionnée par simulations. Le second design, à contact aluminium partiel, comporte une couche plus épaisse, car l'endroit où repose le pad de gauche (Figure 102.a), il existe déjà une couche de nitrure d'une centaine de nanomètre, crée durant l'étape de réalisation de la diode (ouverture de contacts). Celle-ci procure donc une protection supplémentaire, son champ de claquage est plus élevé.

Le champ de claquage de la couche de nitrure a été surévalué lors du dimensionnement par simulations Sentaurus™. Les résultats montrent que le champ de claquage est quasiment deux fois moins élevé que celui utilisé pour le dimensionnement des composants, cela explique les limites retrouvées lors des tests expérimentaux.

Afin de relever ce seuil de claquage et de travailler à des niveaux de tension de 200 V, il faudrait refaire une plaquette de composants, où l'épaisseur de la couche de nitrure serait épaissie, ou bien utiliser un autre matériau avec des propriétés électriques meilleures, avec un champ de claquage plus élevé.

6 CONCLUSION DU CHAPITRE 3

Dans ce chapitre nous avons proposé une architecture d'intégration d'un fusible sur une diode verticale silicium, en exploitant le métal en face avant de ces puces de puissance. Nous avons dans un premier temps étudié le comportement de la diode avec le fusible, en fonction de l'état de ce dernier. En effet, suivant l'état du fusible, continu ou ouvert, la diode est soit passante ou bloquée. Chacun de ces états de fonctionnement a été validé par simulations Sentaurus™. Dans un second temps, les fusibles ont été dimensionnés sur Comsol™ afin de déterminer les architectures les plus adéquates pour leur intégration sur les diodes verticales.

Les composants ont été réalisés en salle blanche du LAAS-CNRS. Les diodes ont été réalisées en utilisant les paramètres de la filière flexible IGBT du LAAS. Une fois les composants réalisés et testés avec des mesures (I-V) sous pointes, nous avons continué le processus de fabrication et réalisé les fusibles. Nous avons à nouveau effectué des mesures (I-V) des diodes pour valider le fait que le procédé d'intégration des fusibles ne dégrade pas les caractéristiques (I-V) initiales des diodes.

Les composants ont ensuite subi un processus de passivation par gel silicone afin d'améliorer les propriétés de coupures des fusibles. Les différents tests de claquage ont permis de valider le fonctionnement des fusibles et de vérifier la préservation des pads et des électrodes des diodes. Toutefois, l'utilisation de cette épaisseur de nitrure ne permet pas de couper des tensions supérieures à 100 V. Des améliorations sont en cours d'étude afin de réaliser des épaisseurs de nitrure plus importantes et ainsi valider le fonctionnement des Diode-fuse à des niveaux de tensions plus élevées (200 V).

7 REFERENCES BIBLIOGRAPHIQUES

[1] S. E. Berberich, M. März, A. J. Bauer, S. K. Beuer, and H. Ryssel, "Active fuse," *Proc. Int. Symp. Power Semicond. Devices ICs*, vol. 2006, pp. 0–3, 2006.

[2] J. Vom Dorp, S. E. Berberich, A. J. Bauer, and H. Ryssel, "DC-arc behavior of a novel active fuse," *ESSDERC 2008 - Proc. 38th Eur. Solid-State Device Res. Conf.*, pp. 67–70, 2008.

[3] Z. Dou *et al.*, "PCB dual-switch fuse with energetic materials embedded: Application for new fail-safe and fault-tolerant converters," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2457–2464, 2012.

[4] M. Gleissner and M. M. Bakran, "Fault-tolerant B6-B4 inverter reconfiguration with fuses and ideal short-on failure IGBT modules," *PCIM Eur. 2016; Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy Energy Manag.*, no. May, pp. 683–690, 2016.

[5] M. Gleissner and M. M. Bakran, "A real-life fuse design for a fault-tolerant motor inverter," *2016 18th Eur. Conf. Power Electron. Appl. EPE 2016 ECCE Eur.*, 2016.

[6] Z. Dou, "Sûreté de fonctionnement des convertisseurs. Nouvelles structures de redoncdances pour onduleurs sécurisés à tolérance de pannes," 2011.

[7] A. Lale, "Architectures d'intégration mixte monolithique-hybride de cellules de commutaitons de puissance sur puce m uliti-poles silicium et assemblages optimisés," Paul Sabatier, 2017.

[8] A. El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs 'bi-puce' et 'mono-puce' pour convertisseurs de puissance compacts," Université de Toulouse Paul Sabatier, 2014.

[9] A. E. Kaloyeros, Y. Pan, J. Goff, and B. Arkles, "Review—Silicon Nitride and Silicon Nitride-Rich Thin Film Technologies: State-of-the-Art Processing Technologies, Properties, and Applications," *ECS J. Solid State Sci. Technol.*, vol. 9, no. 6, p. 063006, 2020.

[10] I. Technology Epoxy, "EPO-TEK H20E Technical Data Sheet," no. July. 2015.

Chapitre 4 :

Concept d'intégration monolithique asymétrique de bras de convertisseur de puissance composé d'un IGBT (P/N) et d'un VDMOS (N/P)

1 INTRODUCTION

Jusqu'à présent, les travaux d'intégration de convertisseurs de puissance menés conjointement par les laboratoires LAPLACE et LAAS-CNRS, ont permis de développer plusieurs structures de cellules de commutation, intégrées dans un certain nombre de puces multi-pôles (tri-puces, bi-puces, mono-puce). En revanche, les plans métalliques formés par les électrodes de ces structures et connectées au plan de masse et de bus, sont réparties soit sur les deux faces d'une puce, ou bien, sur plusieurs puces différentes. L'objectif de ces travaux de thèse est le développement de nouvelles architectures de bras de convertisseurs, intégrées de manière totalement monolithique et capable d'accueillir en leurs sein une fonctionnalité de protection dual-fuse (un fusible *high-side* et un fusible *low-side*) contre les court-circuits. Par cette démarche, nous visons deux innovations distinctes bien qu'elles soient co-intégrées au sein de la même puce.

Dans cette thèse, nous avons proposé des structures de bras de pont adaptée à l'intégration de cette fonctionnalité de protection dual-fuse. La fonctionnalité dual-fuse a été développée au chapitre 3 et ne sera reprise dans ce chapitre 4. Ce chapitre est ainsi dédié à l'étude, au dimensionnement et à l'intégration monolithique de ces structures. Le chapitre commence par la présentation des architectures proposées et la méthode de dimensionnement choisie. Puis, un exemple d'architecture est dimensionné et simulé sous l'environnement TCAD Sentaurus™. Les composants sont simulés en version discrète, puis monolithique. Les résultats sont ensuite comparés et les fonctionnements statiques et dynamiques sont validés. La dernière partie du chapitre est consacrée à l'étude de l'intégration d'une solution de protection contre le phénomène de *latch-up* dans les transistors P-IGBT en cas de survenue de court-circuit. Dans cette dernière étude, on explore une solution qui consiste à intégrer un transistor P-MOS basse tension à canal préformé, en série avec un P-IGBT vertical, dont l'objectif est de limiter le courant dans ce dernier afin d'éviter d'atteindre des valeurs destructrices. Dans cette approche exploratoire, on utilise pour le P-MOS les paramètres développés dans le manuscrit de thèse de F. Capy [1].

2 INTEGRATION MONOLITHIQUE DE CELLULES DE COMMUTATION : RAPPELS DES TRAVAUX ANTERIEURS

Un convertisseur de puissance est composé de plusieurs composants (IGBT, MOSFET, diodes, etc), connectés entre eux afin de former des bras d'onduleurs, commutant à une certaine fréquence pour réaliser les fonctions souhaitées (*Boost, Buck, Buck/Boost*). Initialement, ces puces de puissance sont connectées entre elles à l'aide de fils de *bonding* en face avant des modules de puissance et soudées sur un substrat, de type DBC (Direct Bonded Copper), sur leurs faces arrière. Toutefois, ce type d'intégration dite hybride, rencontre des limitations. En effet, cette approche d'intégration utilisant la technologie d'interconnexions par fils de *bonding* engendre des inductances parasites, responsables de surtensions, qui peuvent détruire le composant. Ces inductances conduisent également à l'augmentation des pertes en commutation et le retard à l'amorçage [2]. Le report des puces sur un substrat (DBC par exemple), fait apparaitre des capacités parasites, responsables d'un courant de mode commun indésirable [2]. Toutes ces problématiques empêchent les applications de fonctionner à des densités de puissances et des fréquences de commutations plus élevées. Cela est en désaccord avec les enjeux des applications émergentes (véhicules électriques, avions électriques, etc), désirant des systèmes de conversion plus compacts et capables d'opérer à des niveaux de puissances plus élevés, avec le moins de pertes et de perturbations électromagnétiques possibles.
L'intégration monolithique se révèle être la solution la plus optimale pour répondre à ces attentes. Selon cette approche d'intégration, l'ensemble des composants de puissance sont intégrés sur une seule puce.

Dans de précédents travaux menés par le LAAS en collaboration avec le LAPLACE, plusieurs approches d'intégration mixtes monolithique/hybride, ont été étudiées et pour certaines, réalisées et validées expérimentalement.

2.1 Approche d'intégration Bi-Puce

Dans cette configuration (Figure 103), deux puces silicium intègrent les cellules de commutation du convertisseur. La première puce *high-side*, comporte un ensemble de RC-IGBT, dont les électrodes d'anode en face arrière des puces sont mutualisées. La seconde puce, pour la partie *low-side* du convertisseur, intègre quant à elle des composants RC-IGBT dont les électrodes de cathodes en face avant des puces sont mutualisées. Chacune des parties (*high-side* et *low-side*) de ce convertisseur de puissance intègre deux interrupteurs (IGBT et diode). Lorsqu'un d'entre eux est passant, l'autre est à l'état bloqué. Cette intégration présente l'avantage d'être générique, peu importe le nombre de phases, le nombre de puces restera égal à deux (*high-side* et *low-side*). Il faudra toutefois noter la présence d'un mur P^+ traversant sur toute l'épaisseur de la puce *low-side*. La réalisation de ce dernier est très complexe, elle nécessite une gravure profonde (RIE), qui est longue et très couteuse. Ensuite, les tranchées sont remplies avec du polysilicium dopé Bore. Durant cette étape, du polysilicium se retrouve sur les deux faces des plaquettes. Une étape de gravure permet de graver le polysilicium de manière sélective. La dernière étape est une étape de redistribution à haute température afin de permettre à ces atomes de bore de diffuser dans le volume du silicium et de matérialiser le mur P^+.

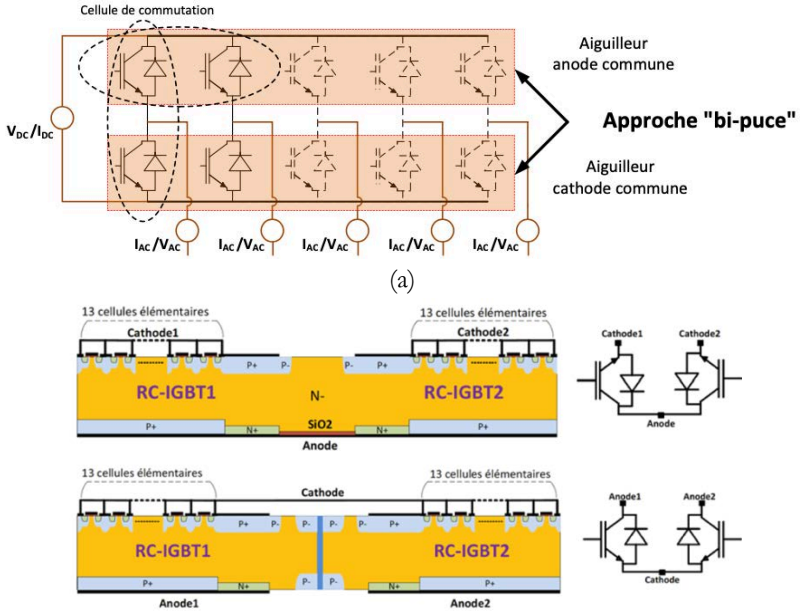


Figure 103 : Illustration de l'approche d'intégration bi-puce (a) et structures microélectroniques associées (b) [2].

2.2 Approche d'intégration mono-puce

Cette intégration (Figure 104) est une amélioration de l'approche bi-puce, elle permet l'intégration des puces *high-side* et *low-side* dans une seule puce. Dans cette configuration, la puce anode commune est située au milieu de la mono-puce. La puce cathode commune est quant à elle fractionnée en deux sections qui entourent la puce *high-side* (anode commune). Cette association mono-puce nécessite également la réalisation de murs traversants P^+ (Figure 104.a) pour isoler les sections RC-IGBT.

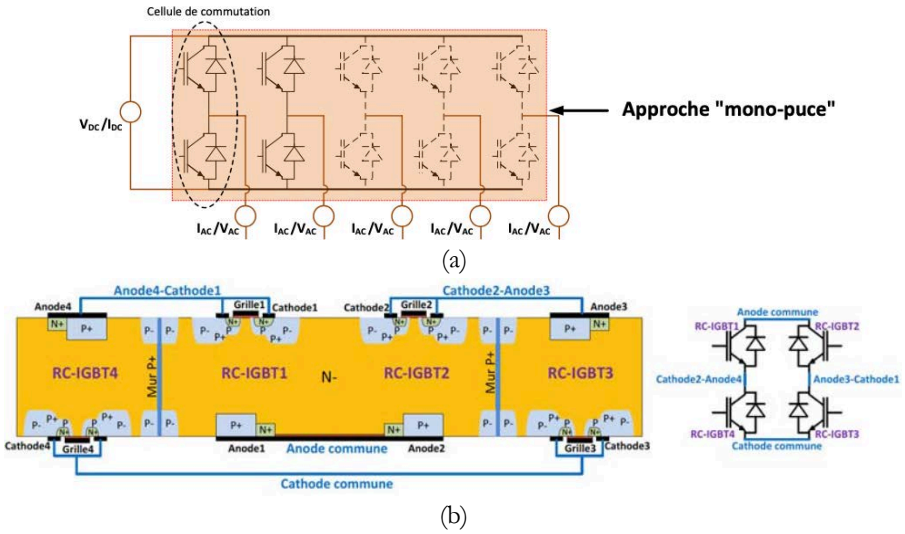


Figure 104 : Illustration de l'approche d'intégration mono-puce (a) et vue 2D de principe associée (b) [3].

2.3 Approche d'intégration tri-Puce

Cette approche d'intégration repose sur l'utilisation de trois macro-puces. Une puce *high-side* à anode commune, identique à celle de l'approche bi-puces (Figure 105.b). Sur la second partie, *low-side*, on retrouve une puce IGBT (Figure 105.c), comportant cette fois des murs P+ isolants non traversant pour apporter une isolation électrique entre les deux sections IGBT, moins complexes à réaliser qu'un mur P+ traversant. L'autre puce *low-side* est quant à elle constituée de diodes (Figure 105.d) séparées également par des murs P+ non traversant. L'avantage de l'approche réside dans le fait que l'isolation entre sections IGBTs ou diodes s'effectue par murs non-traversant qui sont moins complexes à réaliser que les murs traversants.

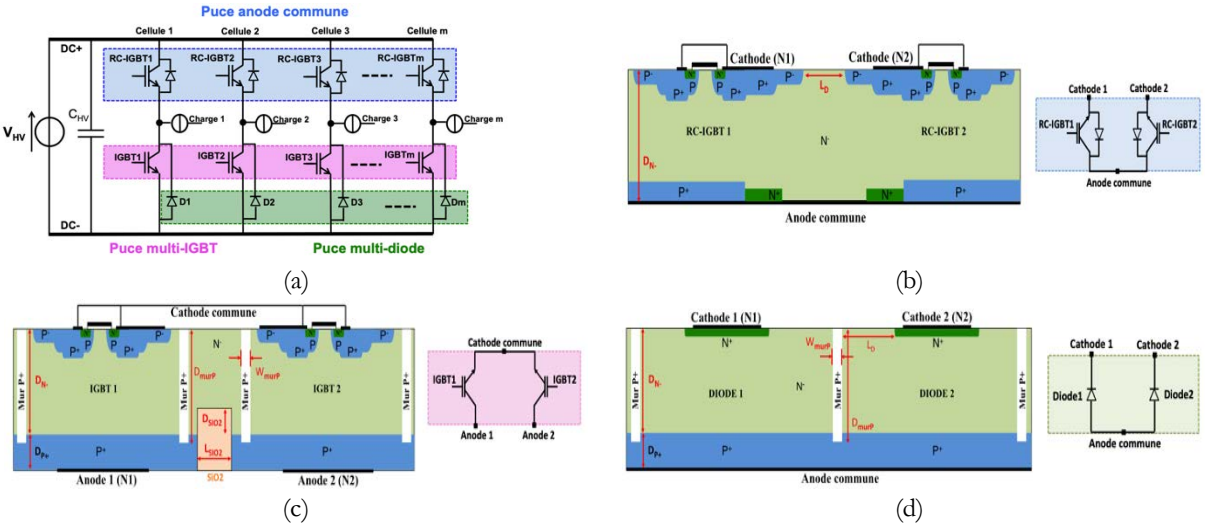


Figure 105 : illustration de l'approche d'intégration tri-puces (a) avec vues 2D de principe (b-d) associées [3].

2.4 Approche d'intégration à substrats complémentaires

Le principe d'intégration de cette approche (Figure 106.a) repose sur l'intégration du convertisseur multi-phase sur deux macro-puces. La puce *high-side*, englobe tous les interrupteurs à substrat N, qui sont des RC-IGBT. Les composants de la seconde puce (*low-side*) sont eux réunis dans une seule puce à substrat P. Cette approche ne nécessite pas de mur P+ (Figure 106.b) traversant pour isoler les composants entre eux, contrairement aux autres approches (bi-puce à substrat N). Les électrodes de cathode sont situées sur la face avant pour la puce *high-side*, tandis que celles d'anode sont mutualisées en face arrière des puces. Le même

principe est appliqué pour la puce *low-side*, avec cette fois les électrodes d'anode en face avant et celles de cathode réunies en face arrière. Cette configuration d'électrodes opposées, offre une certaine flexibilité de connexion des puces entre elles, sans avoir à les retourner (*flip-chip*). En plus de cette facilité d'interconnexion, la commande de ces puces est simplifiée. Dans un convertisseur classique, les deux interrupteurs (P et N) ont chacun un circuit de commande indépendant. Dans cette configuration à substrats complémentaires, un seul circuit de commande peut être utilisé, avec le point milieu du bras comme référence des tensions de commandes des deux interrupteurs.

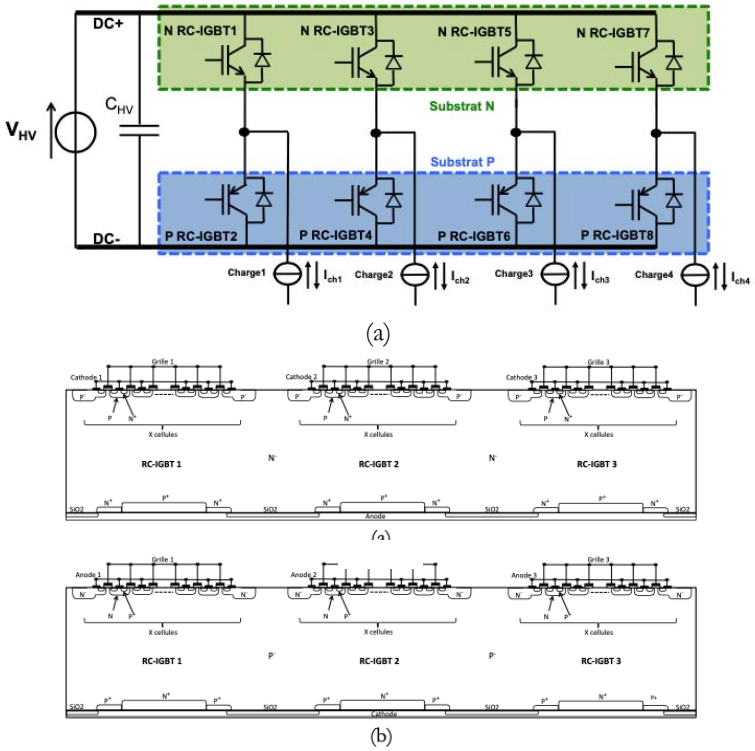


Figure 106 : Illustration de l'approche d'intégration à substrats complémentaires : (a) schéma électrique et (b) vues en coupes [3].

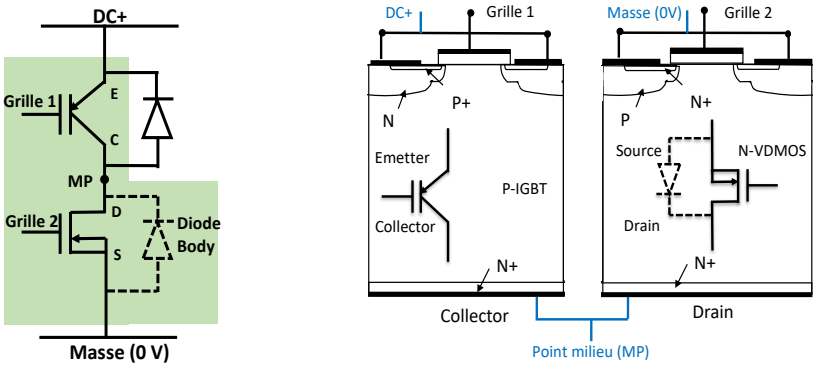
3 PRINCIPE DE L'INTEGRATION MONOLITHIQUE ASYMETRIQUE DE BRAS DE CONVERTISSEUR COMPOSE D'UN IGBT ET D'UN VDMOS (VERSION N ET P)

L'approche d'intégration présentée dans cette thèse se place dans la continuité des travaux précédents et vise l'intégration de l'ensemble du bras de convertisseur, composé de transistors types N et P, sur une seule puce, de manière totalement monolithique. Bien que l'utilisation des composants type P ne soit pas très répandue dans les convertisseurs de puissance, comparé à leurs équivalents en type N, leur intégration monolithique avec des composants de type N peut présenter des intérêts dans le cadre d'applications spécifiques.

3.1 Structure monolithique 1 : P-IGBT et N-VDMOS

La première structure proposée repose sur l'intégration d'un IGBT type P et d'un VDMOS type N. La Figure 107 présente un bras de convertisseur composé d'un P-IGBT sur la partie *high-side* du bras et un N-VDMOS sur la partie *low-side* (Figure 107.a). En observant les structures des composants (Figure 107.b), on peut constater que les deux structures partagent une couche N^+ commune sur leurs faces arrière. Le principe d'intégration de ces deux composants repose sur la mutualisation de la couche commune en face arrière sur

une seule puce silicium. Pour ce faire, une isolation non-traversante [4] [5] sera nécessaire pour séparer les deux substrats complémentaires (N^- et P^-).



(a) (b)

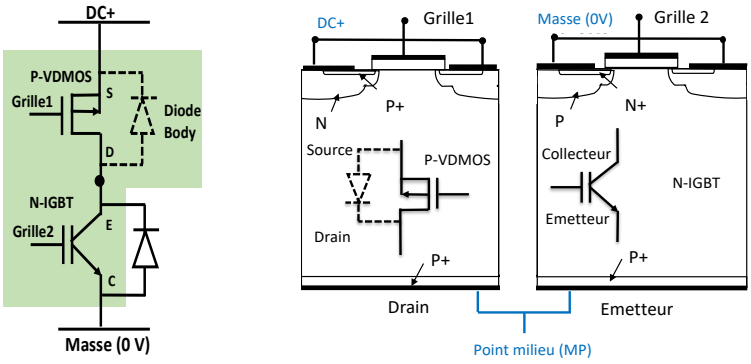
Figure 107 : Principe d'intégration d'un bras de convertisseur P-IGBT+N-VDMOS, circuit électrique (a) et vues 2D associées (b).

Cette approche d'intégration ne requiert pas d'isolation traversante, comme dans les précédents travaux (cas de la mono-puce [2]), où il a fallu réaliser un mur P^+ traversant [3], qui nécessite des étapes technologiques très complexes. En revanche, cette approche nécessite l'utilisation de deux régions faiblement dopées de natures différentes (N- et P-) au sein d'une même puce.

La commande des deux composants, peu importe la structure, se fera par rapport à deux potentiels fixes, ce qui permettra de réduire les perturbations électromagnétiques (EMI). Pour les composants *high-side*, une source de tension négative (-15 V) permettra de contrôler toute la ligne par rapport au potentiel fixe DC^+. Les composants *low-side* seront quant à eux piloter par l'intermédiaire d'une source de tension positive (+15 V) par rapport à un potentiel fixe également (masse 0V).

3.2 Structure monolithique 2 : N-IGBT et P-VDMOS

Le principe reste identique pour les versions complémentaires des composants, la Figure 108 présente un bras de convertisseur composé d'un P-VDMOS *high-side* et d'un N-IGBT *low-side*. La couche P^+ devient la couche commune en face arrière des composants. Si on mutualise cette dernière et qu'on isole les deux structures entre elles, les deux composants pourront être intégrés de manière monolithique sur une seule puce silicium.



(a) (b)

Figure 108 : Principe d'intégration d'un bras de convertisseur N-IGBT+P-VDMOS, circuit électrique (a) et vues 2D associées (b).

Pour les composants *high-side*, une source de tension négative (-15 V) permettra de contrôler toute la ligne par rapport au potentiel fixe DC+. Les composants *low-side* seront quant à eux piloter par l'intermédiaire d'une source de tension positive (+15 V) par rapport un potentiel fixe également (masse 0V). Peu importe le nombre de phases du convertisseur, deux sources d'alimentation auxiliaire suffiront pour piloter les interrupteurs du convertisseur.

4 STRUCTURES DE CONVERTISSEURS VISEES PAR L'INTEGRATION ASYMETRIQUE DE TYPE IGBT ET VDMOS

Les structures de convertisseurs décrits précédemment peuvent être exploitées dans des applications telles que le stockage d'énergie (chargeur de batterie, Figure 109) ou la régulation de tension (Figure 110).

Une application pour la version de bras composé d'un P-IGBT *high-side* et d'un N-VDMOS *low-side* est présentée sur la Figure 109.a. C'est un *Buck* (dévolteur) à fort rapport cyclique sur le P-IGBT (et par symétrie à faible rapport cyclique sur le N-VDMOS) pour minimiser les pertes de l'ensemble du bras. La réversibilité du *Buck* est assurée en ajoutant une diode en parallèle avec le P-IGBT ou intégrée, pour donner le P-RC-IGBT (Figure 109.b). La solution peut être déployée pour stocker de l'énergie entre une batterie basse tension (ou supercapacité seule ou bien hybridée à un accumulateur à hydrogène) et un bus moyenne tension d'un système fixe (micro-réseau) ou embarqué (voiture, avion, etc).

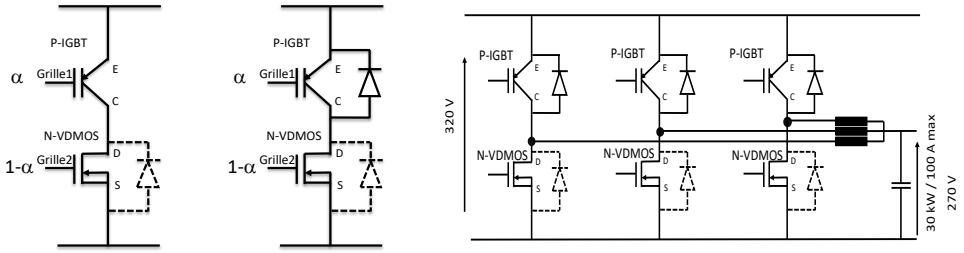


Figure 109 : (a) Bras de convertisseur P-IGBT et N-VDMOS, (b) bras de convertisseur P-RC-IGBT et N-VDMOS et (c) convertisseur susceptible de profiter de l'intégration monolithique P-IGBT et N-VDMOS en mode *Buck*.

La seconde application utilisant un P-VDMOS en *high-side* et un N-IGBT en *low-side* est représentée sur la Figure 110. C'est un *Boost* (survolteur) à faible rapport cyclique sur le P-VDMOS (et par symétrie à fort rapport cyclique sur le N-IGBT) pour minimiser les pertes de l'ensemble du bras. La réversibilité du *Boost* est assurée en ajoutant une diode en parallèle avec le N-IGBT ou intégrée donnant le N-RC-IGBT (Figure 110.b).

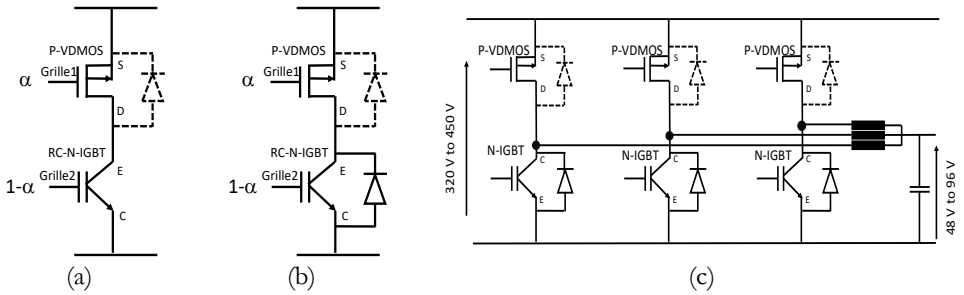


Figure 110 : (a) Bras de convertisseur P-VDMOS et N-IGBT, (b) bras de convertisseur P-VDMOS et N-RC-IGBT et (c) convertisseur susceptible de profiter de l'intégration monolithique P-VDMOS et N-IGBT en mode *Boost*.

5 APPROCHE DE DIMENSIONNEMENT D'UN BRAS MONOLITHIQUE

L'approche de dimensionnement du bras de convertisseur monolithique, composé d'un IGBT et d'un VDMOS, repose principalement sur les pertes statiques autorisées, après avoir dimensionner les zones de charges d'espace des deux composants (dopage et épaisseur). Les étapes de l'approche de dimensionnement d'un bras sont décrites ci-dessous.

Étape 1

Nous dimensionnons les épaisseurs et dopages des zones de drift de chacun des composants pour supporter la tension de bus, lorsqu'ils sont dans un état bloqué.

Étape 2

A partir des courbes (Figure 111) courant-tension (I-V) respectives des composants (IGBT et VDMOS), on relève les couples, chute de tension à l'état passant et courant associé, permettant de maintenir une densité de puissance dissipée de 50 W/cm². Cette contrainte électrothermique est un choix de dimensionnement, basé sur les capacités d'évacuation thermique des modules de puissances.

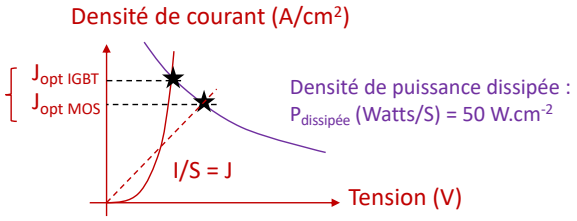


Figure 111 : Illustration de l'extraction des couples courant-tension pour limiter la densité de puissance dissipée à 50 W/cm².

Étape 3

En fonction du rapport cyclique (α) appliqué, les densités de courants pour chacun des composants (J_{VDMOS} et J_{IGBT} respectivement pour le VDMOS et l'IGBT) sont obtenues par les relations (4.1) et (4.2). Si on prend l'exemple d'un rapport cyclique α égale à 80 % pour le bras composé d'un P-IGBT et un N-VDMOS (Figure 109), le P-IGBT conduira 80 % du temps (α), le N-VDMOS conduira le reste du temps (1- α).

$$J_{VDMOS} \times S_{VDMOS} = I_{tot}\ (1\text{-}\alpha) \qquad (4.1)$$

$$J_{IGBT} \times S_{IGBT} = I_{tot}\ (\alpha) \qquad (4.2)$$

Pour une surface active totale (S_{tot}) de 1 cm² du bras monolithique, un rapport cyclique (α) et connaissant les densités de courants de chacun des composants ((4.1) et (4.2)), on peut calculer le courant nominal I_{tot} que le bras de convertisseur peut faire passer, tout en respectant la contrainte de 50 W/cm² imposée.

$$I_{tot} = \frac{S_{tot}}{\frac{1-\alpha}{J_{VDMOS}} + \frac{\alpha}{J_{IGBT}}} \qquad (4.3)$$

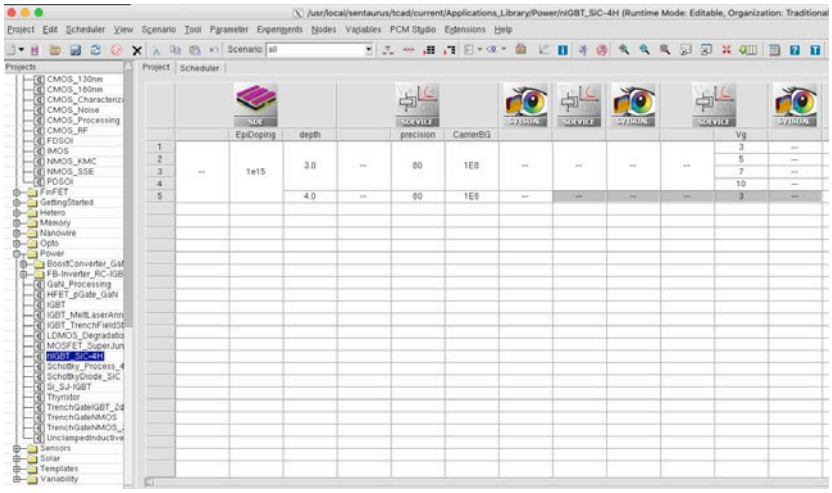
Étape 4

La surface active totale S_{tot}, étant la somme des surfaces S_{IGBT} et S_{VDMOS} des composants P-IGBT et N-VDMOS respectivement. Une fois la valeur du courant nominal déterminée, elle est introduite dans les équations (4.1 et 4.2) précédentes pour déterminer les surfaces S_{IGBT} et S_{VDMOS} des composants.
Le raisonnement est valable pour la version du bras composé d'un P-VDMOS *high-side* et d'un N-IGBT *low-side* (Figure 110).

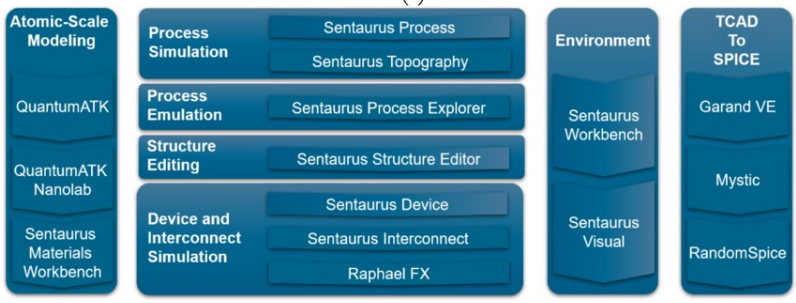
6 DIMENSIONNEMENT DES INTERRUPTEURS DU BRAS DE CONVERTISSEUR SOUS SENTAURUS

6.1 Présentation de l'outil de simulation Sentaurus™ TCAD

L'ensemble des simulations sur les composants semi-conducteurs étudiés durant cette thèse ont été réalisés grâce à l'outil Sentaurus TCAD (Technology Computer Aided Design), qui est un logiciel de simulations à éléments finis, capable de prédire les caractéristiques électriques de la plupart des composants à semi-conducteurs. L'outil fournit également des informations sur la distribution interne des variables telles que les concentrations de porteurs, la distribution des lignes de courant, du champ électrique et des équipotentielles, des informations indispensables pour la conception et l'optimisation des procédés technologiques. Un maillage défini sur toute la structure, de manière bien précise, permet de calculer toutes ces données grâce à la résolution des équations de Poisson et les équations de continuité des électrons et des trous en chaque point du maillage.
L'ensemble des projets sont gérés grâce à l'interface du logiciel **Sentaurus Workbench** (Figure 112.a). Les différents outils à disposition sont représentés sur la Figure 112.b.



(a)



(b)

Figure 112 : Aperçu de l'interface Sentaurus Workbench (a) et les différents outils compris dans le logiciel (b) [6].

Parmi les outils déployés par cette plateforme, on retrouve l'outil **Sentaurus Process**, qui permet de mettre en place et de valider l'enchainement des différentes étapes technologiques indispensables à la réalisation d'un composant. Une fois le procédé technologique validé, la structure est dessinée et maillée pour les calculs numériques à l'aide de l'outil **Sentaurus Structure Editor (SDE).** La résolution des équations est basée sur la méthode des éléments finis qui permet de résoudre numériquement des équations aux dérivées

partielles. Une plus grande densité de maillage donne une meilleure précision de la solution globale et un temps de simulation plus long. Un compromis est donc à faire entre le temps de simulation et la qualité des résultats souhaités. La simulation numérique de la structure dessinée est lancée avec l'outil **Sentaurus Device** (**Sdevice**), qui réalise sur chaque élément du maillage la résolution numérique des équations de Poisson et de continuité des électrons et des trous. Parmi les modèles physiques utilisés pour la simulation de nos structures, il y a la recombinaison-génération SRH, la recombinaison Auger et la génération par avalanche. Dans le fichier, il faut également identifier les électrodes et les nœuds du circuit, définir les conditions initiales et les différentes grandeurs d'entrées à appliquer. Enfin, les outils **Sentaurus Visual** et **Inspect** permettent de visualiser les grandeurs physiques dans les structures (lignes équipotentielles, densités de courant…) et tracer les caractéristiques électriques pour chacune des électrodes définies au préalable.

6.2 Caractéristiques statiques des composants : V_{BR}, V_{th}, V_{on}

En appliquant la démarche de dimensionnement décrite précédemment, on va faire le dimensionnement et l'étude d'un bras composé d'un P-IGBT *high-side* et d'un N-VDMOS *low-side*, en utilisant l'outil de simulations TCAD Sentaurus™. Pour illustrer le concept, nous allons présenter une étude qui porte sur un dimensionnement pour une tension de bus de 100 V, qui sera ensuite étendue pour des structures 300 V.

Dans un premier temps on dressera les différentes caractéristiques de chacun des composants (statiques et dynamiques), puis nous nous intéresserons à la commutation des deux composants dans une disposition en hacheur, associé à une source de courant pour simuler la présence d'une charge inductive afin de valider le fonctionnement du bras de convertisseur.

Pour supporter la tension de bus nominale (100 V), les paramètres physiques et géométriques des structures simulées sont regroupés sur la Figure 113.

Structures	Paramètres	Dopages (cm^{-3})	Épaisseurs (µm)
N-VDMOS	N^+ source	1.10^{20}	1
	P well	$2{,}5.10^{17}$	5
	P^+ source	5.10^{19}	7
	N- drift	$3{,}7.10^{15}$	43
	N^+ drain (face arrière)	5.10^{19}	5
P-IGBT	P^+ emetteur	1.10^{20}	1
	N well	$2{,}5.10^{17}$	5
	N^+ emetteur	5.10^{9}	7
	P- drift	1.10^{14}	5
	N^+ collecteur (face arrière)	5.10^{19}	5



Figure 113 : Vues en coupe de cellules P-IGBT et N-VDMOS et leurs paramètres géométrique et physique associés.

Tension de claquage (V_{BR})

a) Cas du N-VDMOS

L'épaisseur de la zone de charge d'espace du N-VDMOS a été dimensionnée en utilisant les relations (4.4) et (4.5), décrites dans le mémoire de thèse de L. Théolier [7] pour une jonction plane infinie.

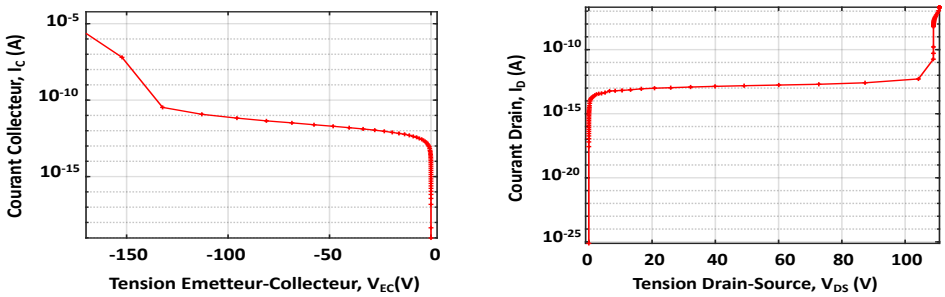
$$W_N(cm) = 1{,}87.10^{-6}.BV_{DSS}^{\frac{7}{6}} \qquad (4.4)$$

$$N_D(cm) = 1{,}87.10^{18}.BV_{DSS}^{\frac{-4}{3}} \qquad (4.5)$$

b) Cas du P-IGBT

La concentration de la zone de drift P⁻ utilisée était de 10^{14} cm^{-3}. Pour estimer l'épaisseur de la zone de drift du P-IGBT, nous avons commencé par une épaisseur très importante permettant de minimiser l'impact de la région N⁺ face arrière sur la tenue en tension. Puis, nous avons réduit l'épaisseur, jusqu'à observer une modification de la tension de retournement.

La Figure 114 présente les allures des caractéristiques à l'état bloqué des deux composants.



(a) (b)

Figure 114 : Caractéristiques de blocage en inverse des composants P-IGBT (a) et N-VDMOS (b).

D'après la Figure 114, les tenues en tension des composants sont de l'ordre de 140 V pour le P-IGBT et de 115 V pour le N-VDMOS.

Tension de seuil (Vth)

La tension de seuil est définie comme étant la tension de grille-source (V_{GS}) pour laquelle la zone d'inversion apparait dans la région canal. Pour déterminer cette tension, nous avons tracé les caractéristiques de transfert (I-V_{GS}) pour les deux composants (Figure 115). L'expression de la tension de seuil est donnée par la relation (4.6) :

$$V_{th} = \frac{e_{ox}}{\varepsilon_{ox}}\sqrt{4\varepsilon_{si}KT\ln\left(\frac{N_{AP}}{n_i}\right)} + 2\frac{KT}{q}\ln\left(\frac{N_{AP}}{n_i}\right) + V_{FB} \qquad (4.6)$$

Avec la tension de bandes plates (pour le cas d'une région porte-canal dopé P) qui est donnée par la relation (4.7) :

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad \text{et} \quad \phi_{ms} = -\frac{kT}{q}\log\left(\frac{N_a}{n_i}\right) - \frac{E_g}{2q} \qquad (4.7)$$

Avec Q_{SS} la quantité de charges piégées au niveau de l'interface oxyde de grille/silicium.

Les paramètres rentrant dans l'expression de la tension de seuil sont :
ϕ_{ms} : différence de potentiels entre contacts d'une structure MOS (V)
V_{FB} : Tension de bandes plates (V)
K : constante de Boltzmann : 1,38.10^{-23} J.K^{-1}
q : charge de l'électron : 1,6.10^{-19} C

ε_{si} : constante diélectrique relative du silicium : 11,9
ε_{ox} : constante diélectrique relative de l'oxyde : 3,9
n_i : concentration intrinsèque à l'équilibre (T = 300 K) : 1,26.10^{10} cm^{-3}.
Na : concentration de dopants accepteurs dans le silicium dopé P en cm^{-3}
N_{AP} : dopage du canal en cm^{-3}
e_{ox} : épaisseur de l'oxyde de grille en cm

Les tensions de seuil des composants sont mesurées à partir de la caractéristique I (V_{GS}) pour une certaine valeur de courant. Dans notre cas, nous avons fixé une valeur de courant d'anode (drain pour le VDMOS) de 500 µA/cm² (Figure 115). D'après les caractéristiques, les tensions de seuil sont de -2,85 V pour le P-IGBT et de 3,05 V pour le NVDMOS.

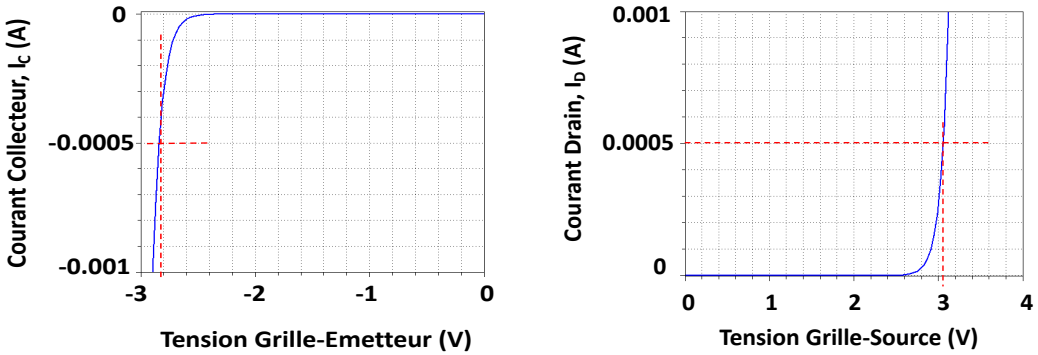
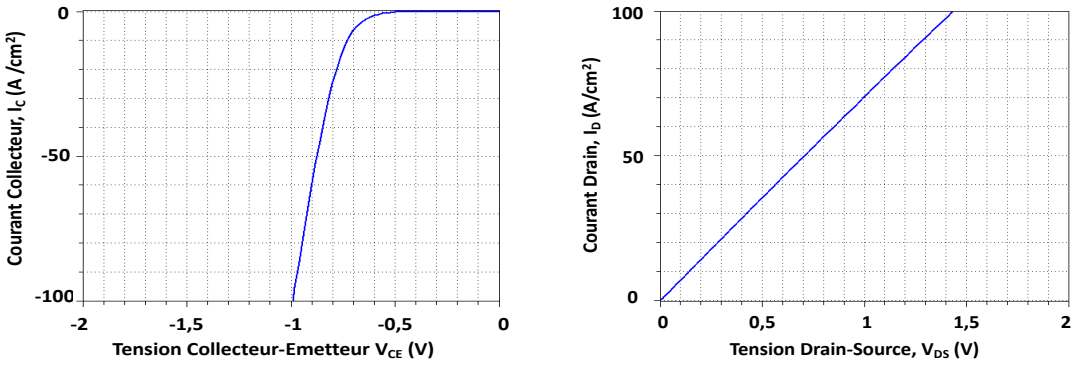


Figure 115 : Courbes Ic(Vge) du P-IGBT (a) et Id(Vgs) du N-VDMOS (b).

Chute de tension (V_{on})

La Figure 116 regroupe les caractéristiques I-V des composants P-IGBT et N-VDMOS montrant les chutes de tension à l'état passant sous une tension de commande de grille de ±15 V (suivant le composant). Les caractéristiques sont reportées pour une surface simulée de 1 cm². Pour une densité de courant de 50 A/cm², nous pouvons constater que la chute de tension dans le P-IGBT est de 0,88 V et de 0,7 V pour le N-VDMOS.



(a) (b)

Figure 116 : Caractéristiques I-V à l'état passant des composants P-IGBT (a) et N-VDMOS (b) (tenue en tension : 100 V).

6.3 Dimensionnement électrothermique des composants

Comme expliqué précédemment, le dimensionnement du bras P-IGBT et N-VDMOS monolithique passe par la prise en compte d'une contrainte électrothermique de 50 W/cm². Pour respecter cette contrainte,

nous avons déterminé à partir des caractéristiques en direct des composants, pour une tension de commande grille-source (V_{GS}) de ±15 V (suivant le composant), le couple courant et chute de tension associée qui limite la puissance dissipée à une valeur égale à 50 W/cm² (illustration en Figure 111).

Les caractéristiques en direct du N-VDMOS (I_D-V_{DS}) et du P-IGBT (I_C-V_{EC}) sont présentées sur les Figure 117 et Figure 118 (courbes numérotées 1). Ces valeurs de courants sont ramenées en densités, puis à l'aide de la relation (4.8), on calcule les densités de puissances (W/cm²) pour respecter la contrainte électrothermique de 50 W/cm².

$$P = \frac{V(Volt) \times I(Amp)}{S(\mu m^2)} = \text{résultat (W/µm²)} \times 10^8 = \text{résultat (W/cm²)} \quad (4.8)$$

Les puissances dissipées par les composants sont tracées sur les Figure 117 et Figure 118 (courbes numérotées 2). Les couples de courants et chutes de tensions associées afin de limiter la puissance dissipée à 50 W/cm² sont de 35,25 µA à 0,99 V pour le P-IGBT et de 29,4 µA à 1,2 V pour le VDMOS.
Ces valeurs de courants sont insérées dans les relations (4.1) et (4.2) décrites précédemment (section 5) et serviront à calculer la valeur du courant nominal I_{tot} qu'on peut faire passer dans le bras P-IGBT et N-VDMOS pour respecter la contrainte imposée (50 W/cm²).

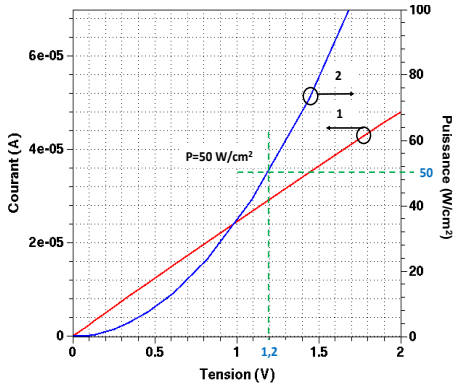


Figure 117 : Caractéristique en direct (I_D-V_{DS}) du N-VDMOS (courbe 1) et tracé de la puissance dissipée associée (courbe 2).

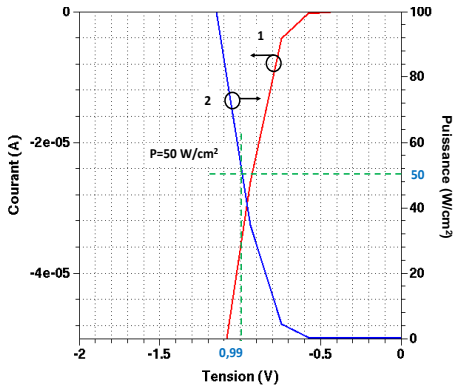


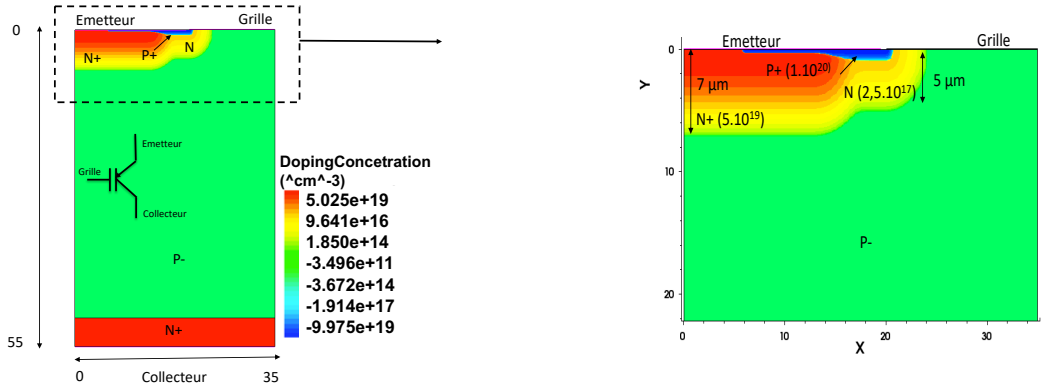
Figure 118 : Caractéristique en direct (I_C-V_{EC}) de l'IGBT (courbe 1) et tracé de la puissance dissipée associée (courbe 2).

En utilisant la relation précédente donnant la valeur du courant total (relation 4.3) qu'on peut faire passer dans le bras sans provoquer des pertes joules supérieures à 50 W/cm², on calcule un courant total nominal de 48 A.
Une fois la valeur du courant nominal obtenue, les surfaces respectives de chacun des composants sont calculées et exploitées lors des simulations Sentaurus™. Elles permettent ainsi de respecter les densités de courants de chacun des composants. Pour un rapport cyclique de 0,8 et le courant nominal calculé (48 A),

nous calculons à l'aide des équations précédentes (relations 4.1 et 4.2) une surface de 0,8 cm² pour l'IGBT et 0,2 cm² pour le VDMOS.

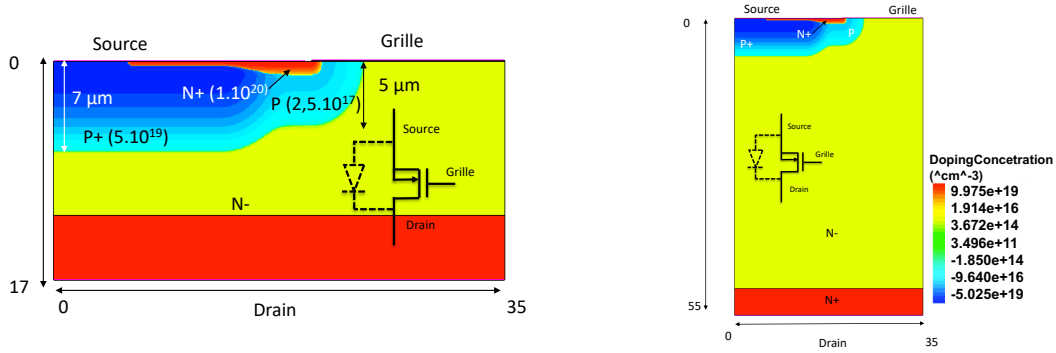
7 SIMULATION DU BRAS COMPOSE D'UN P-IGBT ET D'UN N-VDMOS EN DISCRET

Afin de pouvoir comparer les caractéristiques des composants IGBT (*high-side*) et VDMOS (*low-side*), assemblés de manière discrète et intégrés monolithiquement, dans une configuration en hacheur, nous avons utilisé une même surface totale active de 1 cm² dans chacune des méthodes d'intégration. Cette surface totale de 1cm² correspond à la somme des surfaces occupées par l'IGBT et le VDMOS. A partir des relations précédentes et pour un rapport cyclique de 80 %, nous avons calculé un courant nominal de 48 A pour cette configuration de bras. Nous avons mené une étude détaillée sous une tension de bus de 100 V pour valider le fonctionnement en statique et en dynamique des composants. Nous avons par la suite étendu la validation du fonctionnement en commutation sous une tension de 300 V. Les paramètres géométriques et physiques sont décrits dans la Figure 113. Les vues en coupe des structures P-IGBT et N-VDMOS simulées sont présentées sur les Figure 119 et Figure 120. Les épaisseurs des zones de drift sont de 43 µm et 5 µm respectivement pour le P-IGBT et le N-VDMOS. Pour l'intégration monolithique du N-VDMOS avec le P-IGBT, nous avons égaliser les épaisseurs des zones de drift en faveur de celle de l'IGBT (43 µm), comme on peut le voir sur la Figure 120.b.
La diode de roue libre du P-IGBT est assemblée de manière discrète. Elle conduira lorsque le N-VDMOS est commandé à l'ouverture (blocage), pour assurer la continuité du courant vers la charge.
Le même principe est appliqué sur la diode de corps du N-VDMOS lorsque le P-IGBT est commandé à l'ouverture.



(a) (b)

Figure 119 : Vues en coupe de la structure P-IGBT simulée (a) et agrandissement sur la face avant (b).



(a) (b)

Figure 120 : Vues en coupe de la structure N-VDMOS simulée : (a) en discret et (b) à intégrer avec le P-IGBT.

7.1 Commutation du P-IGBT

Le circuit électrique simulé, les chronogrammes associés et structures des composants sont représentées sur les Figure 121.a et Figure 121.b respectivement. Les formes d'ondes correspondant à la commutation à l'ouverture de l'IGBT sont montrées sur la Figure 121.a-b. Initialement, le PIGBT est à l'état bloqué et supporte la tension de bus (100 V). Lors de la commande à la fermeture, le courant commence à s'installer dans le P-IGBT (courbe 1, Figure 121.d) et de manière symétrique, s'annuler dans la diode de corps (courbe 2) du N-VDMOS (Figure 121.d), qui par ailleurs, présente un courant de recouvrement inverse assez important. Une fois la commutation en courant terminée (chargement des capacités d'entrée Cgs et Cgd), la tension aux bornes de l'IGBT (courbe 3) bascule (dV/dt= 4,9 kV/µs) pour atteindre la chute de tension à l'état passant (0,9 V). La tension de bus se retrouve sur le point milieu du bras, ce qui correspond au drain du N-VDMOS et provoque le blocage de la diode de corps du composant (Figure 121.d). La commutation s'est faite avec une commande de grille de dV/dt= - 15V/100ns.

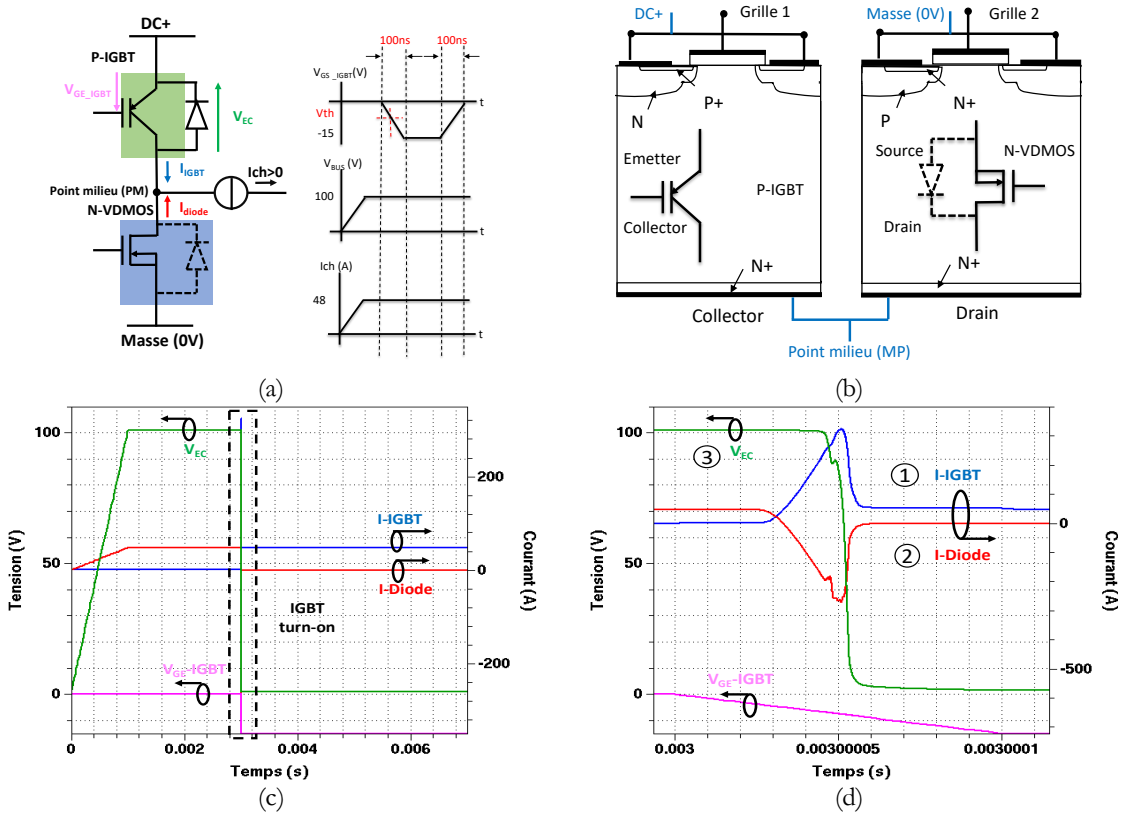


Figure 121 : Circuit électrique (a) et structures simulés (b) pour valider la commutation à la fermeture du P-IGBT (c-d).

La Figure 122 montre la répartition des équipotentielles et des densités de courant dans les structures P-IGBT et N-VDMOS simulées, lors de la conduction du P-IGBT. Lorsque l'IGBT conduit (Figure 122.a-b), le VDMOS supporte la tension de bus (Figure 122.c-d) grâce à la jonction N-/P polarisée en inverse, formée par la zone de drift (N-) et la couche *Pwell* (P).

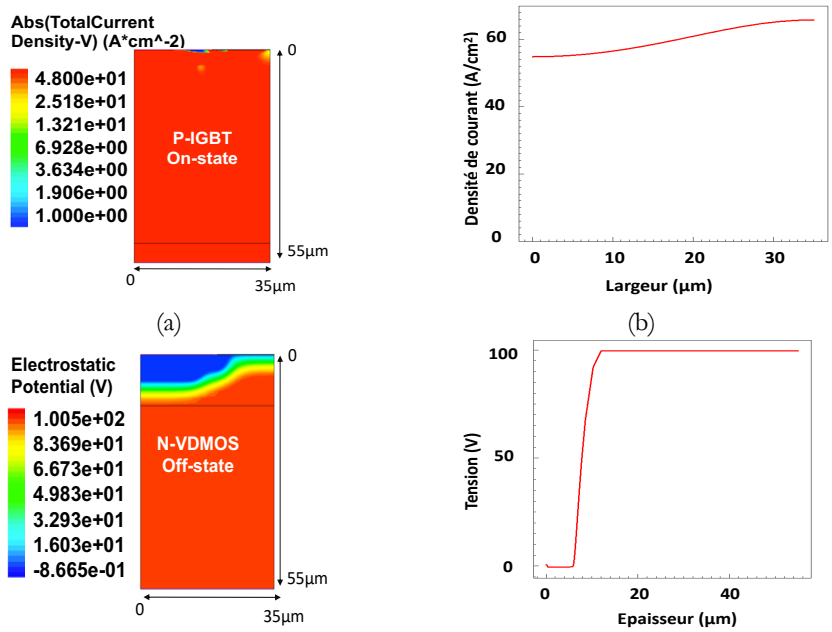


Figure 122 : (a) Densité de courant dans le P-IGBT lorsque le composant conduit et tracé du profil à y=30 µm (b), (c) lignes équipotentielles dans le N-VDMOS lorsque le composant est bloqué et profil à x=10 µm (d).

Lorsque l'IGBT est commandé à l'ouverture (Figure 123.a-b), la tension aux bornes du composant augmente (courbe 3), jusqu'à atteindre la valeur de la tension de bus (100 V). Puis, le courant commence à s'établir dans la diode (courbe 2) et à s'annuler dans l'IGBT (courbe 1), jusqu'à son blocage.

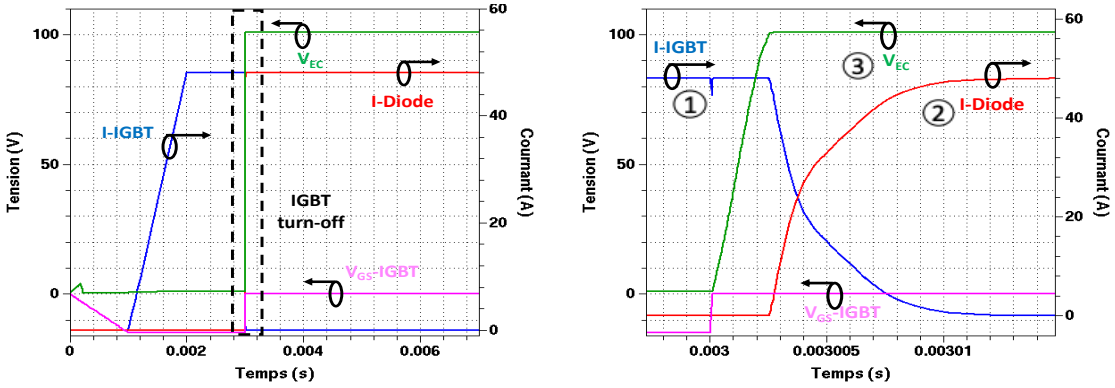


Figure 123 : Commutation à l'ouverture du P-IGBT.

Lorsque l'IGBT est bloqué (Figure 124.a-b), la jonction (P-/N) polarisée en inverse, formée par la zone P- et la couche *Nwell* (N), supporte la tension de bus. Le N-VDMOS conduit en mode diode (Figure 124.c-d), grâce à sa diode de corps.

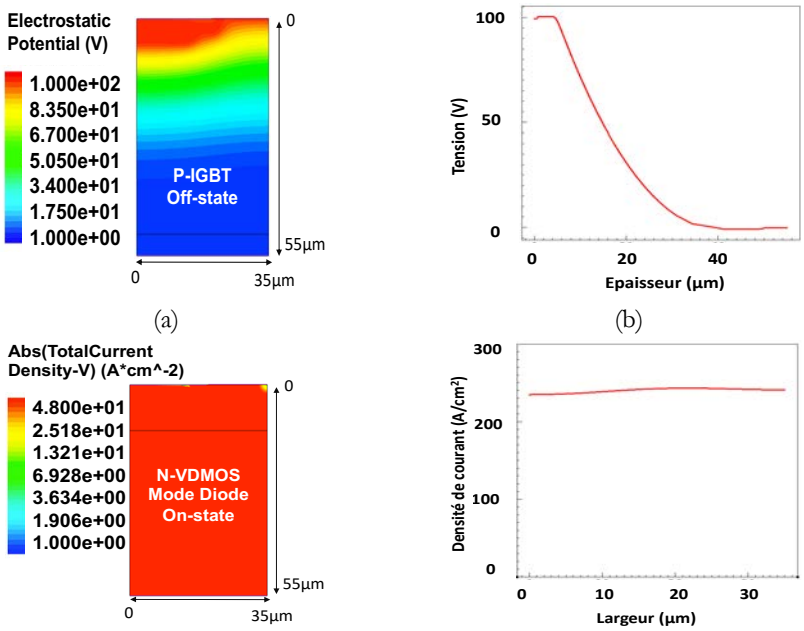


Figure 124 : (a) Lignes équipotentielles dans la structure P-IGBT et tracé du profil à x=10 µm (b) lorsque le composant est bloqué, (c) densité de courant dans la diode de corps du N-VDMOS lorsqu'elle conduit et profil à y=30 µm (d).

Nous pouvons constater que la densité de courant dans la structure VDMOS est un peu élevée (Figure 124.d). Cela n'est pas problématique, car le composant ne conduira que 20 % du temps sur cette configuration à rapport cyclique de 0,8 (80 %).

7.2 Commutation du N-VDMOS

Le circuit électrique simulé, les chronogrammes associés et structures des composants sont représentés sur les Figure 125.a et Figure 125.b respectivement. Les formes d'ondes de la commutation à l'ouverture et à la fermeture du VDMOS sont montrées sur la Figure 125. Lors de la commande à la fermeture du VDMOS, le courant commence à s'établir dans le VDMOS (courbe 1) et à décroitre dans la diode de roue (courbe 2) de l'IGBT (Figure 125.d) de manière symétrique. Puis, la tension aux bornes du VDMOS (courbe 3) commute (dV/dt=11 kV/µs), pour atteindre la chute de tension à l'état passant (2,1V). La commande du VDMOS s'est faite avec un dV/dt=15V/100 ns.

Sur la courbe de courant du N-VDMOS (Figure 125.d, courbe 1), nous observons une sorte de plateau, où le courant est limité à une certaine valeur. Cela représente une saturation du composant. Afin de s'assurer de cette affirmation, nous avons simulé à nouveau cette structure avec une surface (4 fois) plus importante. L'idée étant de disposer d'un N-VDMOS avec un courant de saturation plus important, capable de supporter le courant de recouvrement inverse de la diode de roue libre (courbe 2) et celui de la charge (Ich). Sur la Figure 126.a, nous observons à nouveau le courant dans le N-VDMOS. Nous constatons un pic sur la courbe de courant dans le N-VDMOS (courbe 1), correspondant au phénomène de recouvrement inverse de la diode de roue libre (courbe 2) et du courant nominal (Ich). Aucune présence de plateau de courant indicateur d'une saturation du composant n'est observée.
Pour continuer à utiliser le composant avec des temps de commutation courts (100 ns), il est par conséquent nécessaire d'élargir la surface du N-VDMOS, afin de permettre au composant de faire passer la totalité du courant (recouvrement inverse et courant de charge) sans écrêtage.
Afin d'éviter cet écrêtage du courant dans le N-VDMOS on peut également utiliser un temps de commande de la grille du composant plus lent, comme présenté sur la Figure 126.b pour un temps de commutation de 1 µs et en gardant la surface initiale dimensionnée.

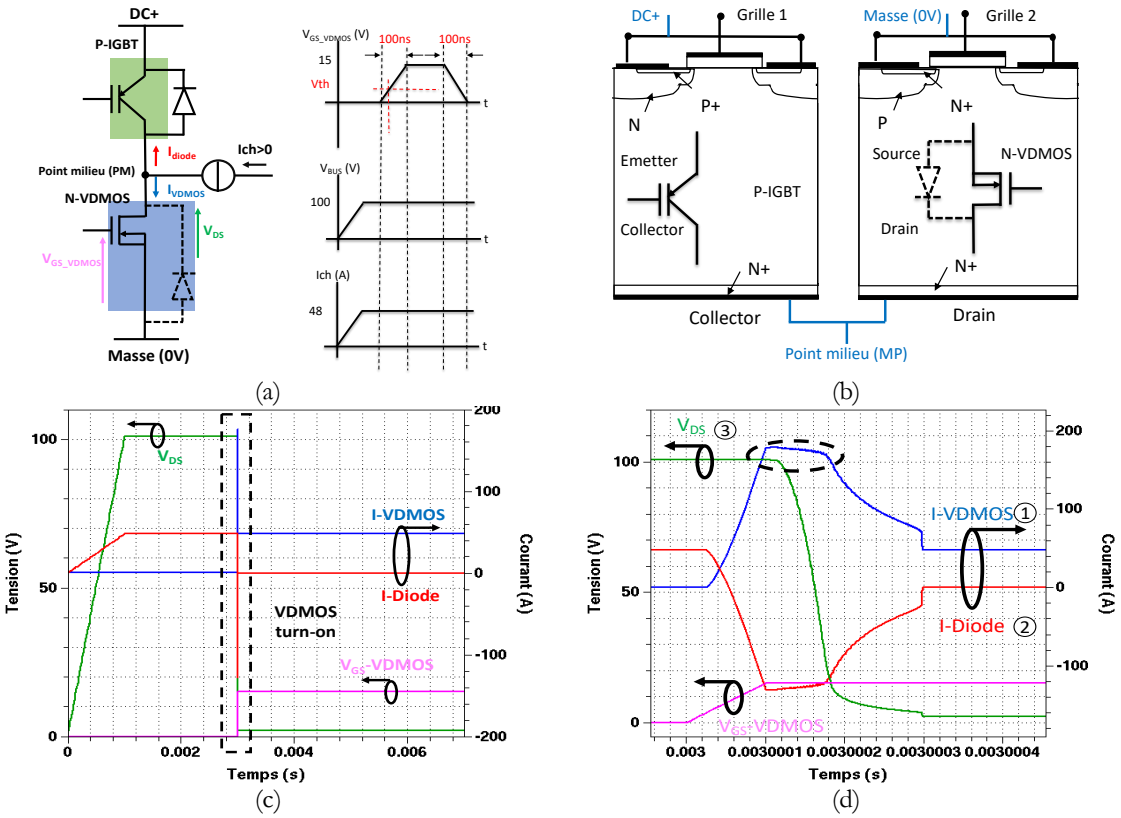


Figure 125 : Circuit électrique (a) et structures simulés (b) pour valider la commutation du N-VDMOS à la fermeture (c-d).

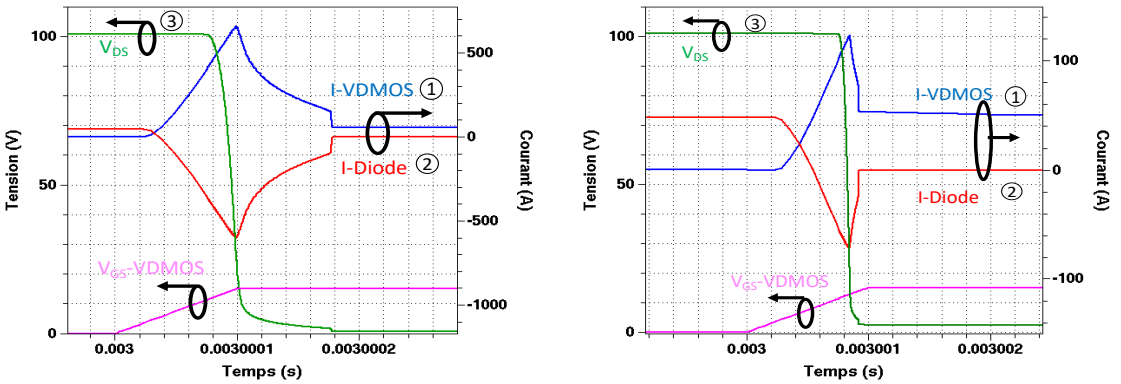


Figure 126 : Commande à la fermeture du N-VDMOS : (a) avec une surface 4 fois plus importante que celle calculée initialement, (b) avec un temps de commutation de 1 µs.

Toutefois, dans le contexte de cette thèse, nous allons continuer notre étude ici avec un temps de commutation de 100 ns.

Lorsque le VDMOS conduit (Figure 127.a-b), l'IGBT tient la tension de bus grâce à la jonction P-/N polarisée en inverse (Figure 127.c-d). Le courant de fuite associé à la structure P-IGBT à l'état bloqué est d'environ 20 µA.

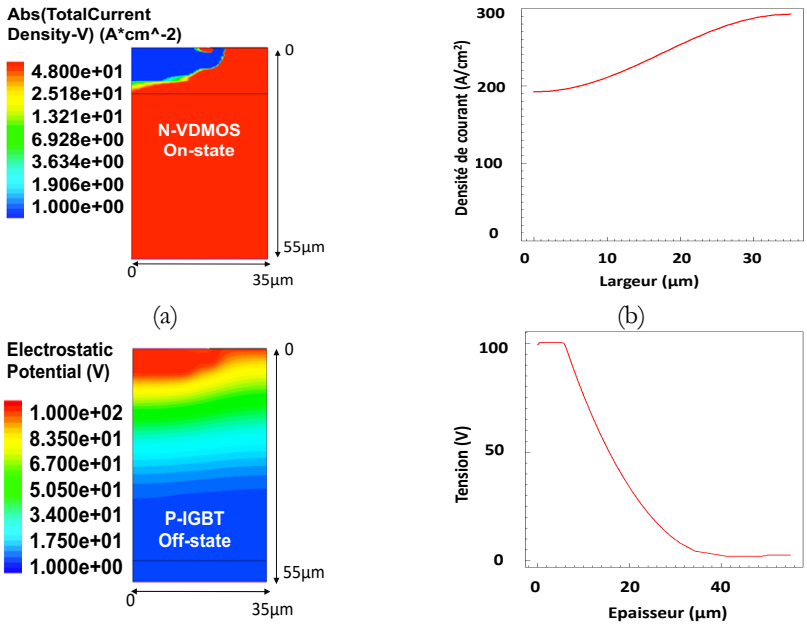


Figure 127 : (a) Densité de courant dans la structure N-VDMOS, (b) tracé du profil à y=30 µm pendant la conduction du N-VDMOS, (c) distribution des équipotentielles dans le P-IGBT et profil à y=10 µm (d), courant de fuite : 20 µA.

Lors de la commutation au blocage (Figure 128.a-b), la tension aux bornes du VDMOS augmente pour atteindre la tension de bus (courbe 3). Puis, le courant décroit dans le VDMOS (courbe 1) et commence à s'installer dans la diode de roue libre de l'IGBT (courbe 2).

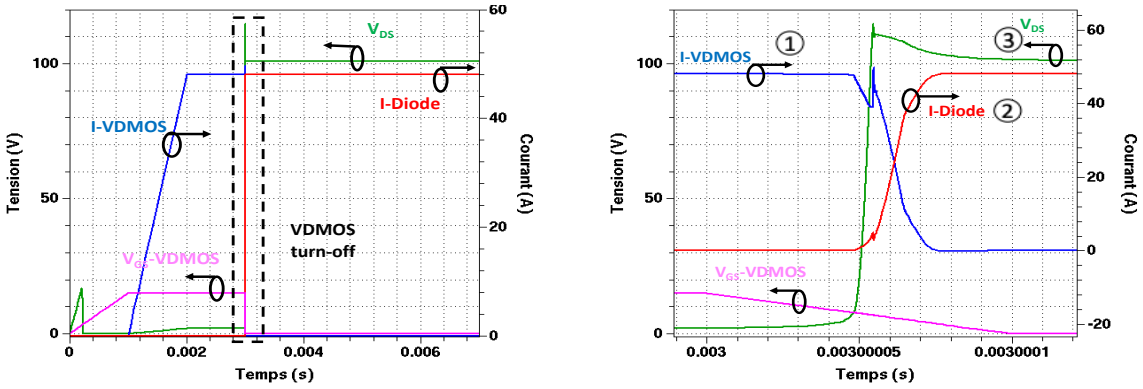


Figure 128 : Commutation du N-VDMOS à l'ouverture.

La jonction N^-/P du VDMOS, polarisée en inverse, formée par la zone de drift du VDMOS et la couche *Pwell*, supporte la tension de bus (Figure 129.a-b) pendant que la diode de roue libre de l'IGBT conduit (Figure 129.c-d). Le courant de fuite associé à la structure N-VDMOS lorsque le composant est bloqué est d'environ 0,2 µA.

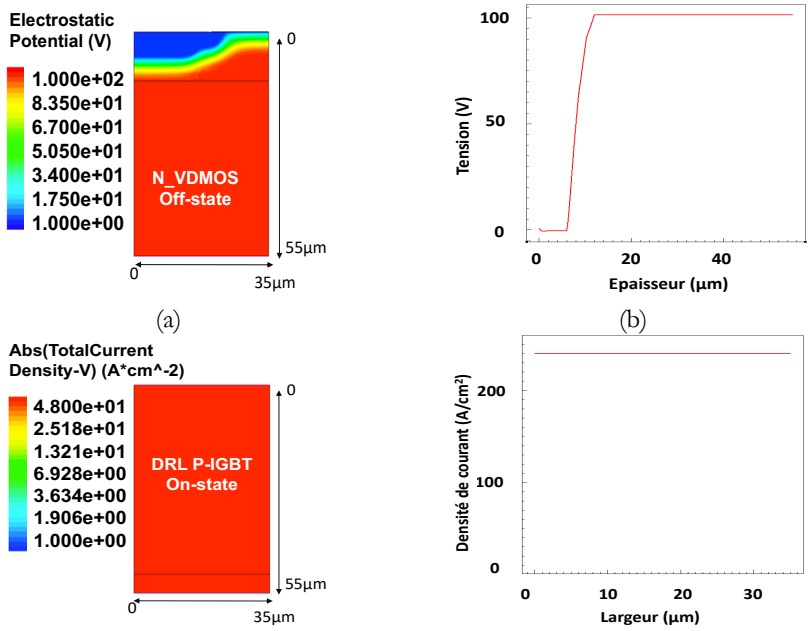
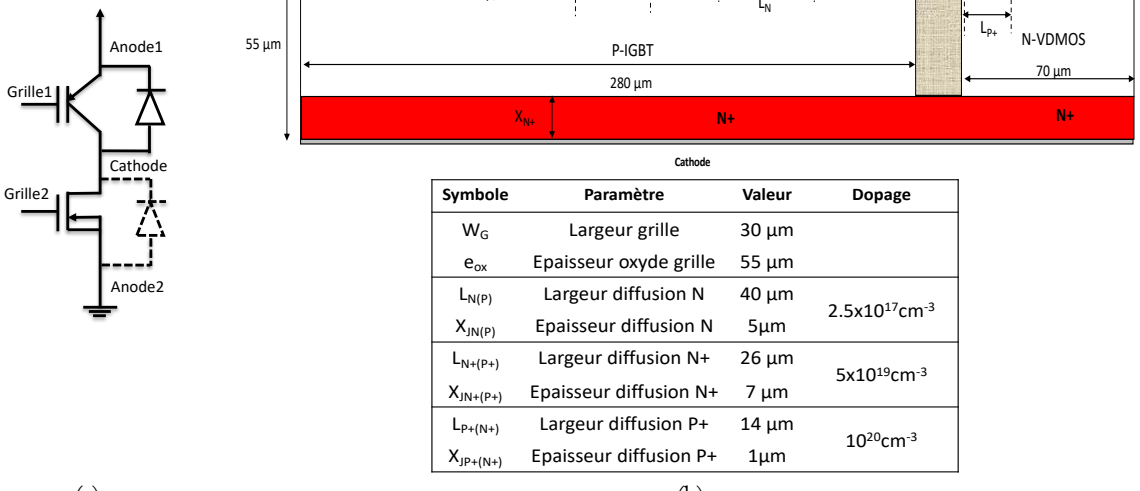


Figure 129 : (a) Distribution des lignes équipotentielles, (b) tracé du profil à x=10 mm dans la structure N-VDMOS lorsque le composant est bloqué et densité de courant (y=30 µm) dans la diode de roue libre du P-IGBT (c-d).

8 SIMULATION DU BRAS P-IGBT ET N-VDMOS EN VERSION MONOLITHIQUE

Nous avons paramétré et simulé les structures IGBT et VDMOS précédentes dans une puce monolithique, en prenant soin de garder les mêmes surfaces actives déjà calculées pour chacun des composants (surface active totale de 1 cm²). Le schéma électrique utilisé ainsi que la structure associée sont représentés sur la Figure 130.



Symbole	Paramètre	Valeur	Dopage
W_G	Largeur grille	30 µm	
e_{ox}	Epaisseur oxyde grille	55 µm	
$L_{N(P)}$	Largeur diffusion N	40 µm	$2.5x10^{17}cm^{-3}$
$X_{JN(P)}$	Epaisseur diffusion N	5µm	
$L_{N+(P+)}$	Largeur diffusion N+	26 µm	$5x10^{19}cm^{-3}$
$X_{JN+(P+)}$	Epaisseur diffusion N+	7 µm	
$L_{P+(N+)}$	Largeur diffusion P+	14 µm	$10^{20}cm^{-3}$
$X_{JP+(N+)}$	Epaisseur diffusion P+	1µm	

Figure 130 : Schéma électrique du bras P-IGBT et N-VDMOS (a) ainsi que la structure monolithique associée (b).

8.1 Tenue en tension de la structure

La structure monolithique IGBT et VDMOS est simulée à l'état bloqué pour vérifier la capacité en tenue en tension. La Figure 131 montre la distribution des lignes équipotentielles dans la structure. Le courant de fuite dans la structure est de 0,7 µA à V_{BUS} = 100 V.
Le VDMOS supporte la tension de bus grâce à sa jonction N^-/P polarisée en inverse. L'IGBT supporte la différence (Figure 131.c). Les courants de fuites sont très faibles (<1µA), cela permet de valider la bonne tenue en tension de cette structure monolithique.

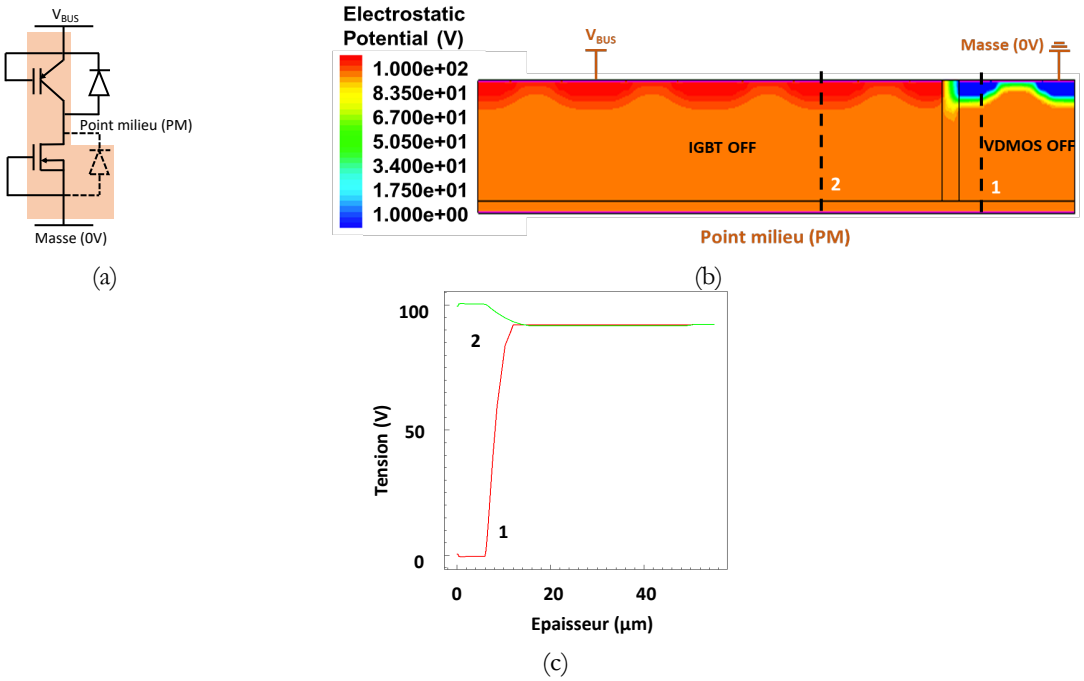


Figure 131 : Circuit électrique et structure équivalente utilisée pour simuler la tenue en tension de la structure.

8.2 Commutation du P-IGBT

Le circuit électrique simulé avec les chronogrammes de commande à l'ouverture et la fermeture de l'IGBT, ainsi que les résultats de simulation sont représentés sur la Figure 132. Un agrandissement sur la phase de commutation à la fermeture est montré sur la Figure 132.c. A la fermeture, nous observons, un basculement du potentiel aux bornes de l'IGBT (courbe 3) (dV/dt=8,65 kV/µs), qui passe d'un niveau haut où le composant supporte la tension de bus, à un niveau bas, qui correspond à la chute de tension (0,91V) associée au composant lorsqu'il conduit le courant nominal (48 A) (courbe 1). Nous constatons également un recouvrement inverse de la diode assez important (courbe 2). La commande de la grille s'est faite avec une rampe en tension de -15V/100ns.

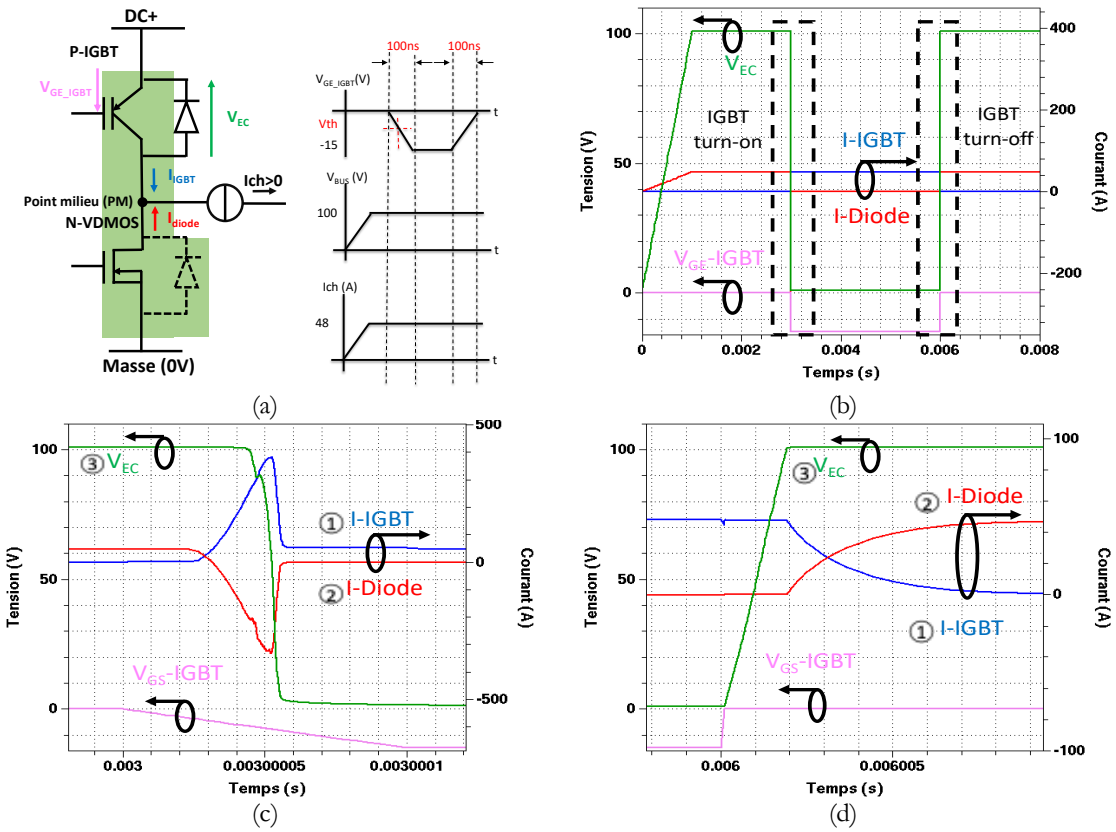


Figure 132 : Formes d'ondes de la commutation à la fermeture et à l'ouverture du P-IGBT.

La densité de courant dans la structure lorsque le composant P-IGBT est en conduction est donnée sur la Figure 133.a. Une vue en coupe horizontale à mi-hauteur de la structure (y=25 µm) est donnée sur la Figure 133.b. On peut distinguer une légère ondulation de la densité de courant autour de 60 A/cm², qui est identique à celle observée lors l'intégration en discret des deux composants. La jonction P/N- du VDMOS, polarisée en inverse, supporte la tension de bus (Figure 133.c) lorsque l'IGBT conduit. Le courant de fuite associé est relativement négligeable (~7 µA).

Lorsqu'une rampe de tension variant de -15 V à 0 V (pendant 100ns) est appliquée sur la grille de l'IGBT par rapport à l'électrode DC+ (Figure 132.d), la tension à ses bornes (courbe 3) augmente pour atteindre la tension de bus, provoquant son blocage. Le courant s'annule dans l'IGBT (courbe 1) et s'établit de manière symétrique dans la diode de roue de corps du VDMOS (courbe 2).

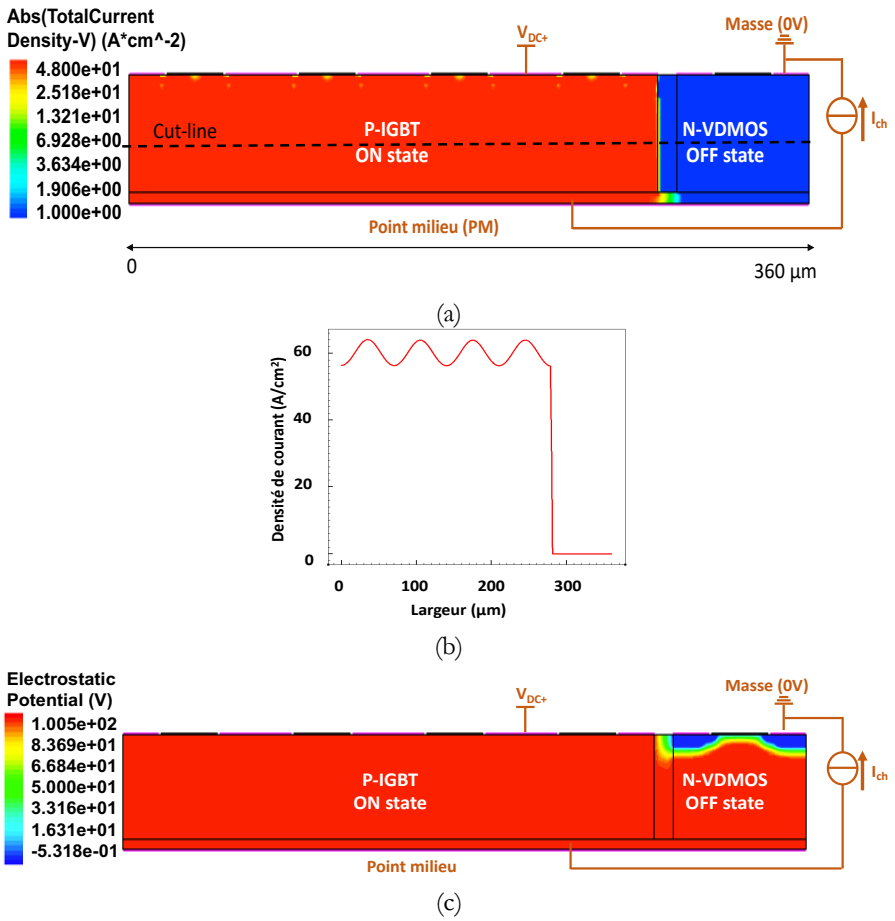


Figure 133 : (a) Distribution de la densité de courant dans l'IGBT à l'état passant, (b) tracé du profil à y=35 µm et équipotentielles montrant la jonction bloquée du N-VDMOS (c) (courant de fuite : 7 µA).

Une fois le P-IGBT bloqué, la diode de corps du N-VDMOS prend le relais pour continuer d'assurer la continuité du courant vers la source. La distribution de la densité de courant dans la structure simulée est présentée sur la Figure 134.a. Une vue en coupe horizontale montrant la densité de courant dans la structure lorsque la diode de corps du VDMOS est en conduction est montrée sur la Figure 134.b. La densité de courant est plus élevée dans le VDMOS. Le fonctionnement du bras est prévu pour un rapport cyclique égale à 0,8 en mode IGBT, soit le composant VDMOS conduit 20 % du temps seulement. La jonction N/P- de l'IGBT, polarisée en inverse, supporte la tension de bus (Figure 134.c) lorsque la diode de corps du N-VDMOS conduit. Le courant de fuite associé à la structure est d'environ 94 µA.

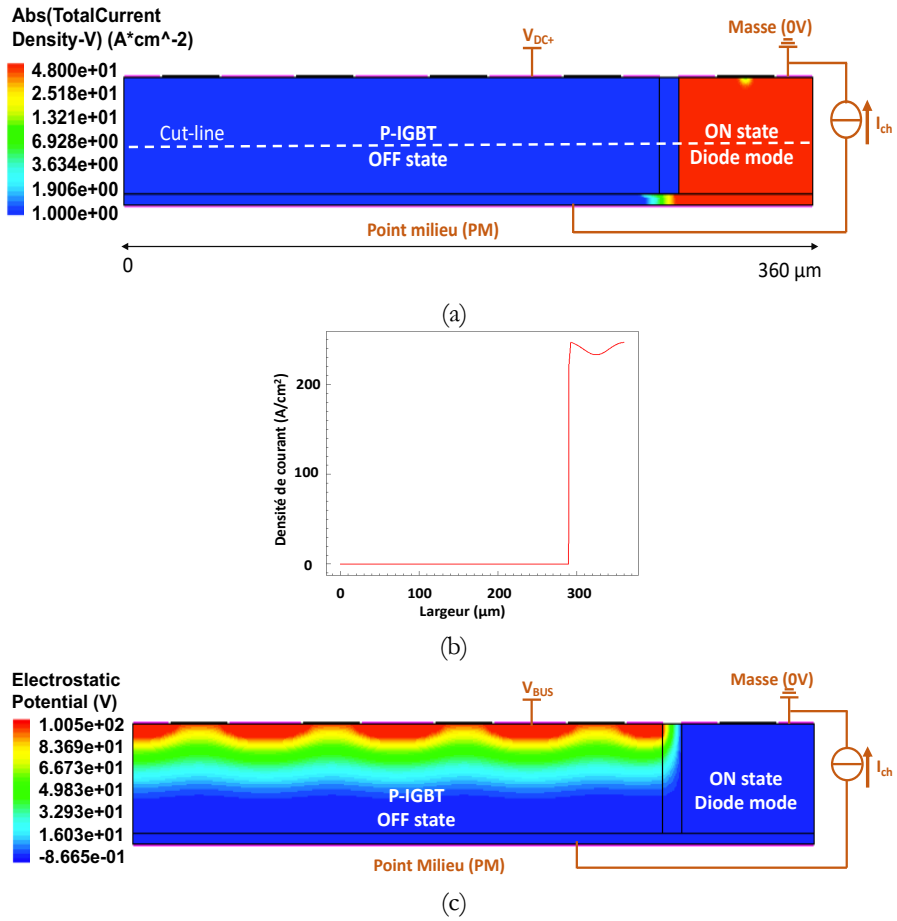


Figure 134 : (a) Distribution de la densité de courant dans le N-VDMOS à l'état passant en mode diode, tracé du profil à y=35 µm (b) et équipotentielles montrant la jonction bloquée du P-IGBT (c) (courant de fuite : 94 µA).

8.3 Commutation du N-VDMOS

Le circuit électrique simulé, les chronogrammes associés ainsi que les formes d'ondes associées à l'ouverture et à la fermeture du N-VDMOS sont reportées sur la Figure 135. L'amorçage du N-VDMOS (Figure 135.c) s'effectue avec une tension de commande de dV/dt=15V/100ns. La tension aux bornes du VDMOS (courbe 3) bascule (dV/dt=1,14 kV/µs) d'un potentiel, où le composant supporte la tension de bus (100 V), à la chute de tension associée à l'état passant du composant (3,4 V). Cette chute de tension a été impactée par l'intégration monolithique. Cela est dû au fait que la zone de drift du VDMOS est plus épaisse, donc plus résistive.

La commande à l'ouverture du composant (Figure 135.d) s'effectue par un basculement à nouveau de la tension du point milieu du bras (courbe 3), vers un potentiel haut, où le VDMOS supporte la tension de bus. La diode de roue libre de l'IGBT conduit (courbe 2) de nouveau pour assurer la continuité du courant vers la charge.

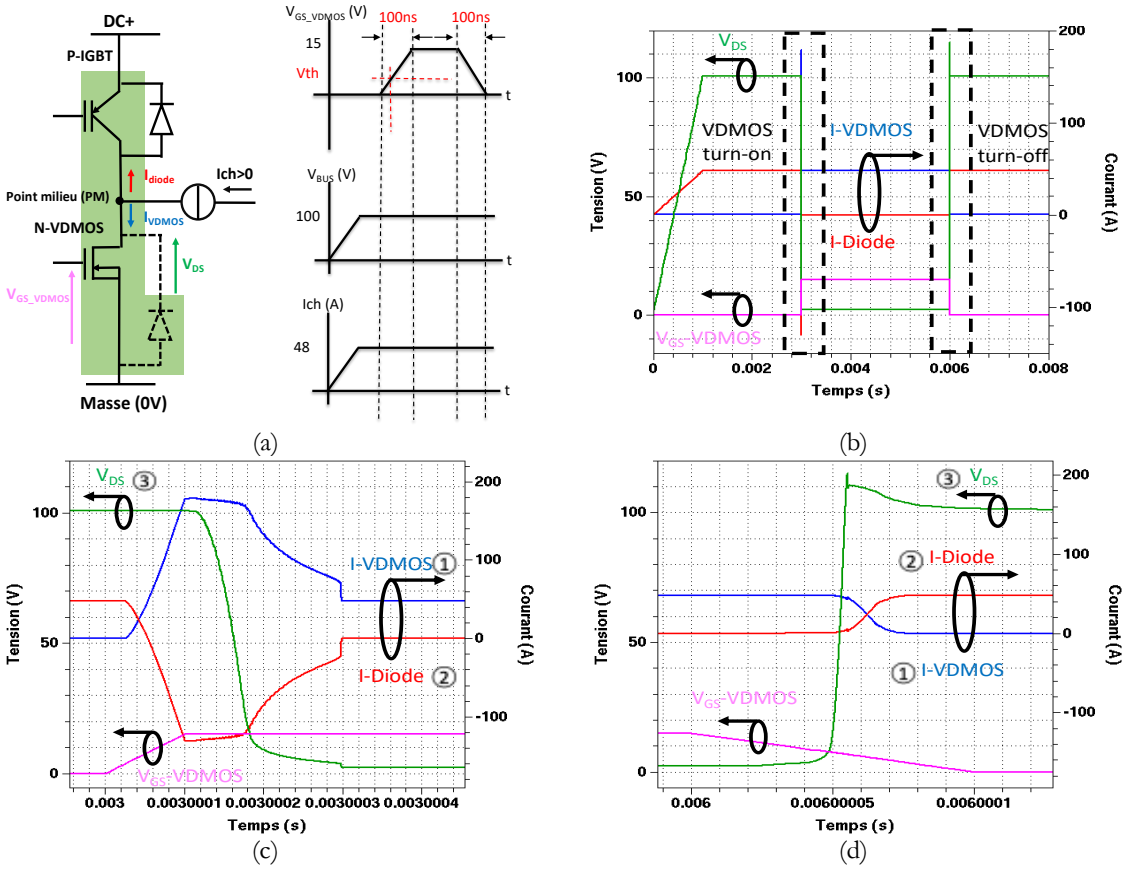
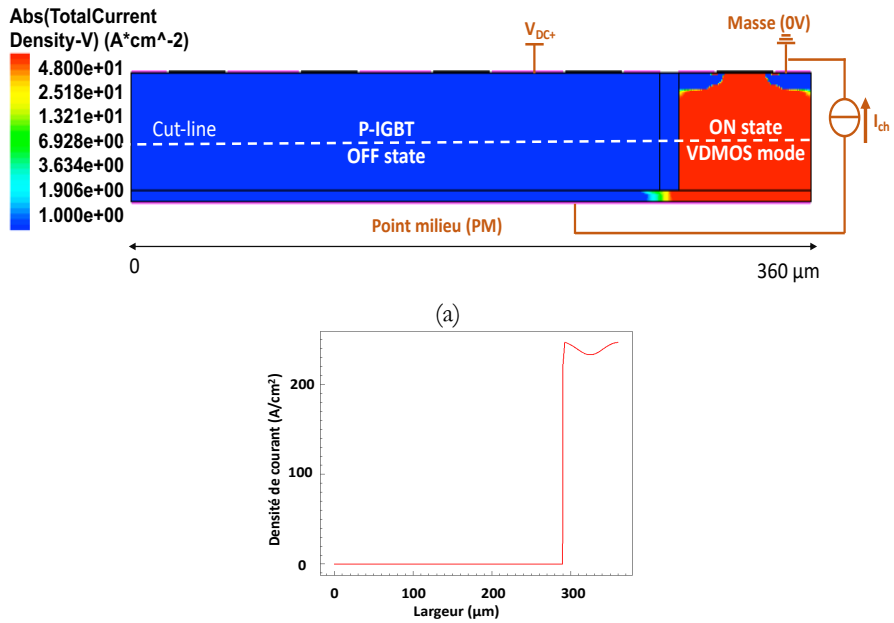


Figure 135 : Formes d'ondes associées à la commutation à la fermeture et à l'ouverture du N-VDMOS.

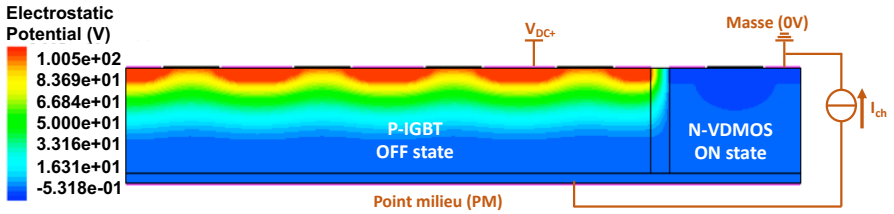
La distribution de la densité de courant dans la structure simulée est présentée sur la Figure 136.a. Une vue en coupe horizontale (Figure 136.b) permet d'observer la distribution de la densité de courant dans la structure lorsque le N-VDMOS conduit. La densité est encore une fois élevée, mais le temps de conduction (20 % du temps) réduit dans ce composant, limite les pertes dans la structure.
Lorsque le VDMOS conduit (Figure 136.a-b), la jonction N/P- de l'IGBT, polarisée en inverse, supporte la tension de bus (Figure 136.c).

Une fois le VDMOS commandé à l'ouverture, ce dernier se bloque et provoque instantanément la conduction de la diode de roue libre du P-IGBT pour continuer à assurer le courant vers la charge. Les deux composants P-IGBT et N-VDMOS sont donc dans un état bloqué (Figure 32.a-b). Le P-IGBT supporte principalement la tension de bus (100 V), grâce à sa jonction N/P- polarisée en inverse.



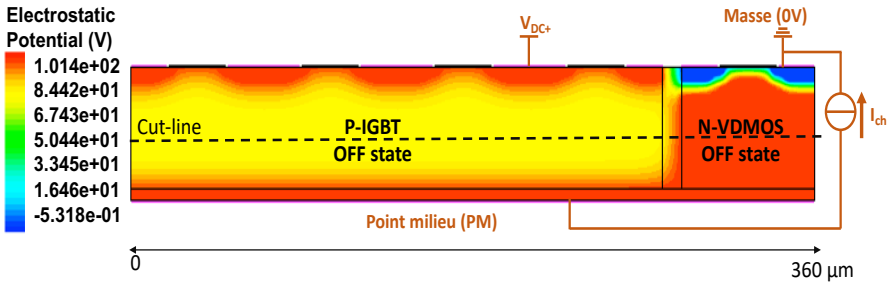
(a)

(b)

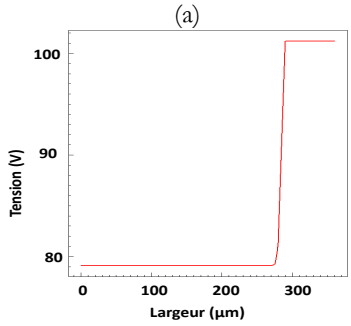


(c)

Figure 136 : (a) Densités de courant dans le N-VDMOS à l'état passant, (b) tracé du profil à y=35 µm et distribution des équipotentielles montrant la jonction bloquante du P-IGBT (c).



(a)

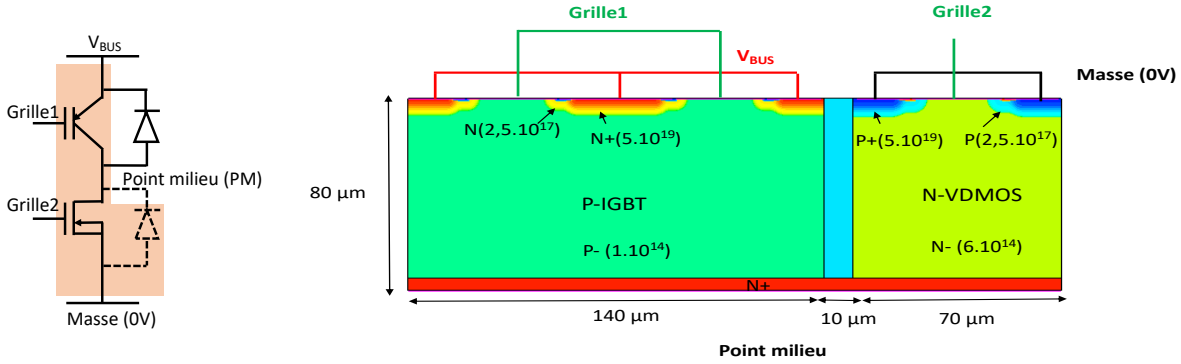


(b)

Figure 137 : Distribution des équipotentielles dans la structure montrant les deux composants P-IGBT et N-VDMOS à l'état bloqué.

8.4 Extension de la validation du fonctionnement à 300 V

Nous avons étendu l'étude sur le bras composé d'un P-IGBT et d'un N-VDMOS pour valider le fonctionnement sous une tension de bus de 300 V. Nous avons donc refait le dimensionnement de nos composants pour s'assurer de leurs tenues en tension et calculé le courant nominal que les composants sont capables de faire passer sans dépasser une puissance dissipée de 50 W/cm². Sur la Figure 138, on peut observer la structure monolithique associée à cette intégration du bras P-IGBT et N-VDMOS pour une tension de bus de 300 V. Pour un rapport cyclique de 0,8, nous avons dimensionné deux cellules IGBT pour une cellule VDMOS afin d'intégrer et de simuler les deux composants de manière monolithique sur une seule puce silicium, tout en limitant les pertes statiques à 50 W/cm². Les couples courant et tension nécessaires pour assurer cette contrainte électrothermique, ont permis de calculer en utilisant les relations établies dans la section 5 de ce chapitre, un courant nominal de 33 A.



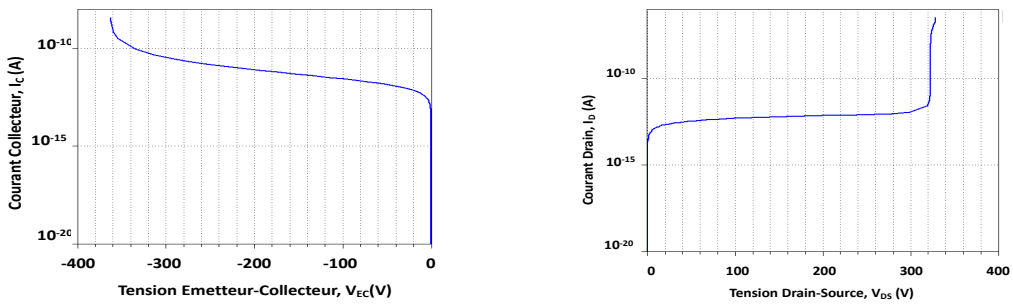
(a) (b)

Figure 138 : (a) Circuit électrique associant le P-IGBT et le N-VDMOS, (b) structure électronique monolithique associée.

8.4.1 Caractéristiques des composants : V_{BR}, V_{th} et V_{on}

Tenue en tension V_{BR}

Nous avons de nouveau dimensionné les composants pour tenir une tension de 300 V. Pour l'IGBT, l'épaisseur de la zone de drift est passée de 43 µm à 68 µm pour supporter la tension de bus à l'état bloqué. Pour le N-VDMOS, l'épaisseur de la zone de drift est passée de 5 µm à 19 µm. En revanche l'intégration monolithique impacte cette épaisseur qui devient égale à celle de l'IGBT.
Les caractéristiques I-V des composants à l'état bloqué sont montrées sur les Figure 139.a et Figure 139.b. Nous pouvons voir que les composants supportent bien des tensions supérieures à 300 V (350 V pour le P-IGBT et 320 V pour le N-VDMOS).

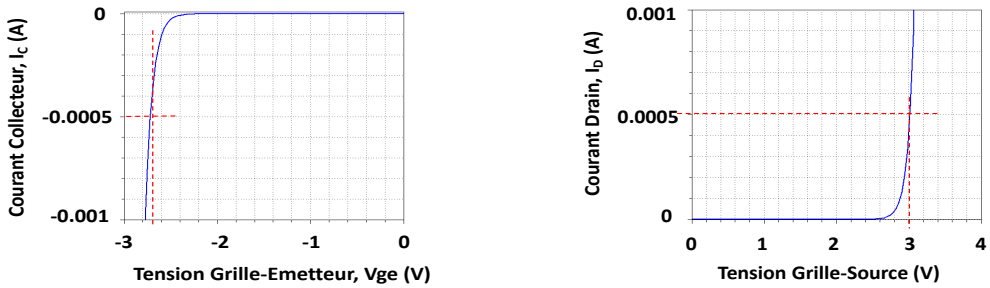


(a) (b)

Figure 139 : Caractéristiques I-V des composants à l'état bloqué : (a) P-IGBT et (b) N-VDMOS.

Tension de seuil V_{th}

Nous avons de nouveau vérifié les tensions de seuil des composants (Figure 140). Les tensions mesurées pour un courant de 500 µA ont donné des valeurs de 2,72 V pour le P-IGBT et de 3 V pour le N-VDMOS.

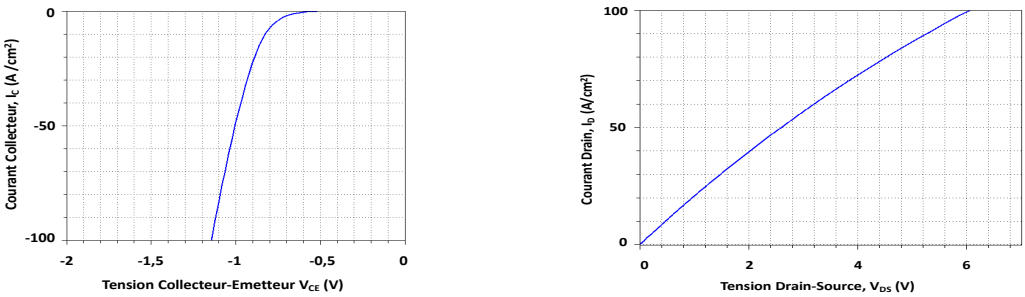


(a) (b)

Figure 140 : Caractéristiques Ic(Vge) pour le P-IGBT (a) et Id(Vgs) pour le N-VDMOS.

Chute de tension V_{on}

Les caractéristiques I(V) à l'état passant des composants pour une surface simulée de 1 cm² sont représentées sur la Figure 141. A titre d'exemple, nous pouvons voir que pour une densité de courant de 50 A/cm², les chutes de tension sont 1 V dans le P-IGBT est de 2,6 V pour le N-VDMOS.



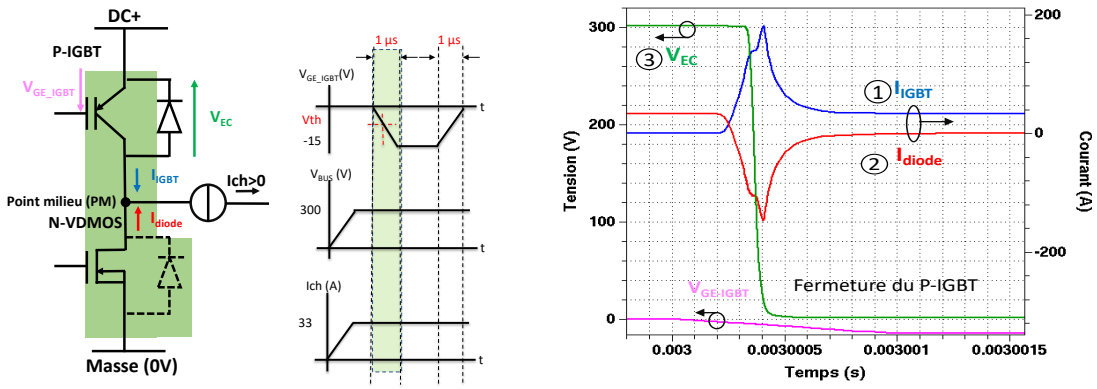
(a) (b)

Figure 141 : Caractéristiques Ic(Vce) pour le P-IGBT (a) et Id(Vds) pour le N-VDMOS (b).

8.4.2 Commutation du P-IGBT

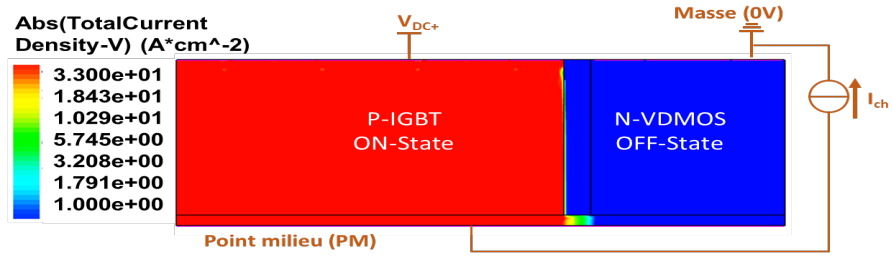
Le circuit de commande du P-IGBT à la fermeture pour une tension de grille = -15 V/µs, ainsi que les chronogrammes associés sont représentés sur la Figure 142.a. Lorsque le P-IGBT est commandé à la fermeture (Figure 142.b), le courant commence à s'installer dans le composant (courbe 1) et à s'annuler symétriquement dans la diode de corps du N-VDMOS (courbe 2), après une phase de recouvrement inverse. Puis, la tension aux bornes du P-IGBT (courbe 3) commence à décroitre d'un niveau où le composant supporte la tension de bus (300 V) vers une tension correspondant à la chute de tension à l'état passant du composant (1,1 V).

La distribution de la densité de courant dans la structure simulée ainsi qu'un tracé du profil du courant (y=60 µm) en largeur sont présentés sur les Figure 143.a-b. La densité de courant se situe autour de 55 A/cm². Lorsque le P-IGBT conduit le courant nominal (33 A), la jonction P/N⁻ du N-VDMOS, polarisée en inverse, supporte la tension de bus de 300 V avec un courant de fuite de 2,54 µA (Figure 143.c).

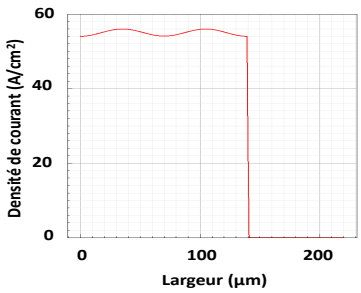


(a) (b)

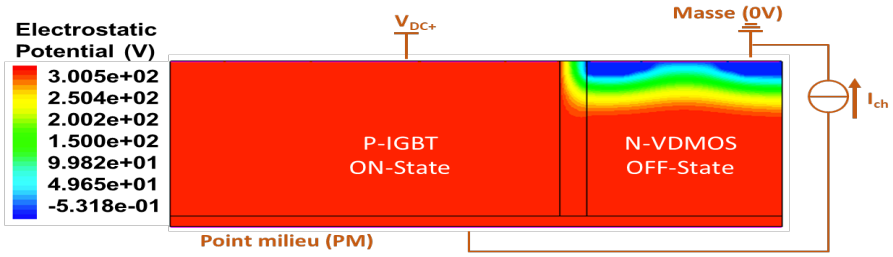
Figure 142 : (a) Circuit électrique et chronogrammes pour la commande à la fermeture du P-IGBT, (b) résultats de la commutation.



(a)



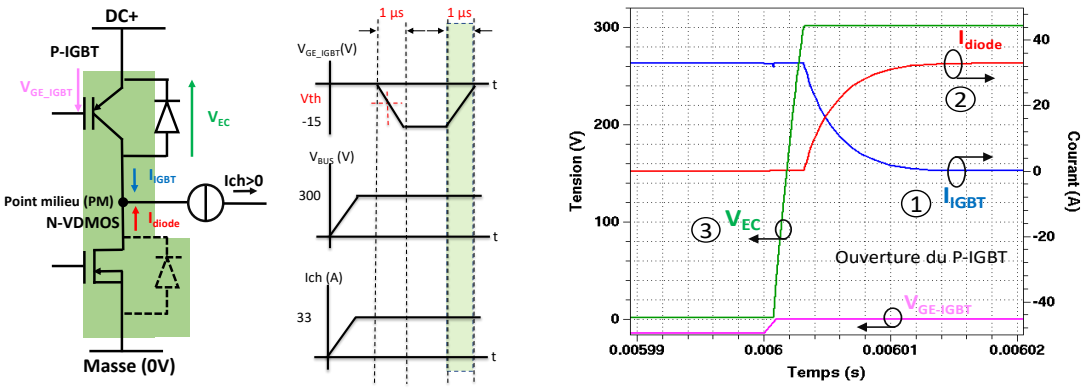
(b)



(c)

Figure 143 : (a) Densité de courant dans la structure simulée avec le tracé du profil du courant (y=63 µm) et (b) distribution des équipotentielles lorsque le P-IGBT conduit (courant de fuite : 2,54 µA).

Les résultats de la commande à l'ouverture (blocage) du P-IGBT ainsi que le circuit de commande sont présentés sur la Figure 144. L'ouverture du composant a été effectuée en faisant varier la tension entre grille et émetteur de -15 V à 0 V pendant une durée de 1 µs. La tension aux bornes du P-IGBT (courbe 3) passe de 1,1 V où le composant est à l'état passant, à 300 V où le P-IGBT supporte la tension de bus. Le courant s'annule par la suite dans le P-IGBT (courbe 1), pour s'installer dans la diode de roue libre (courbe 2) du N-VDMOS, bloquant ainsi le P-IGBT.



(a) (b)

Figure 144 : (a) Circuit électrique et chronogrammes pour la commande à l'ouverture du P-IGBT, (b) résultats de la commutation.

La distribution de la densité de courant, avec le tracé du profil du courant (à y=60 µm) ainsi que la répartition des équipotentielles sont représentés sur la Figure 145. La densité de courant dans la structure N-VDMOS est légèrement élevée lorsque la diode de corps du composant conduit (Figure 145.b). En revanche, pour le rapport cyclique (0,8) choisi, le composant conduit que 20 % du temps, ce qui limite les pertes statiques à l'état passant.

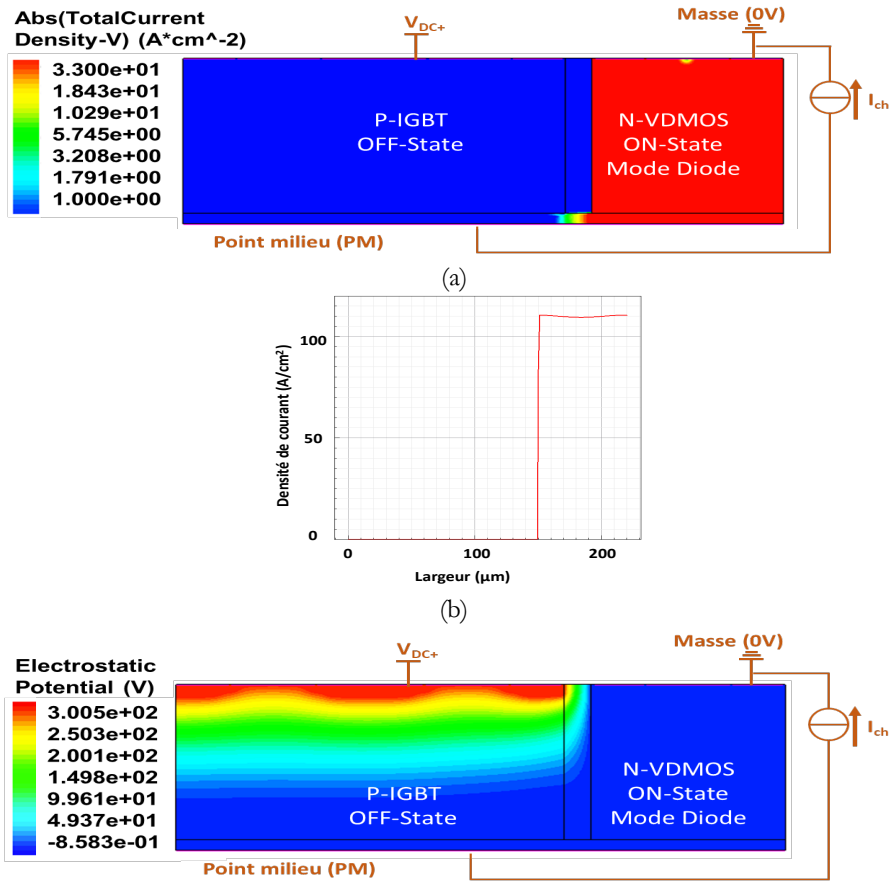
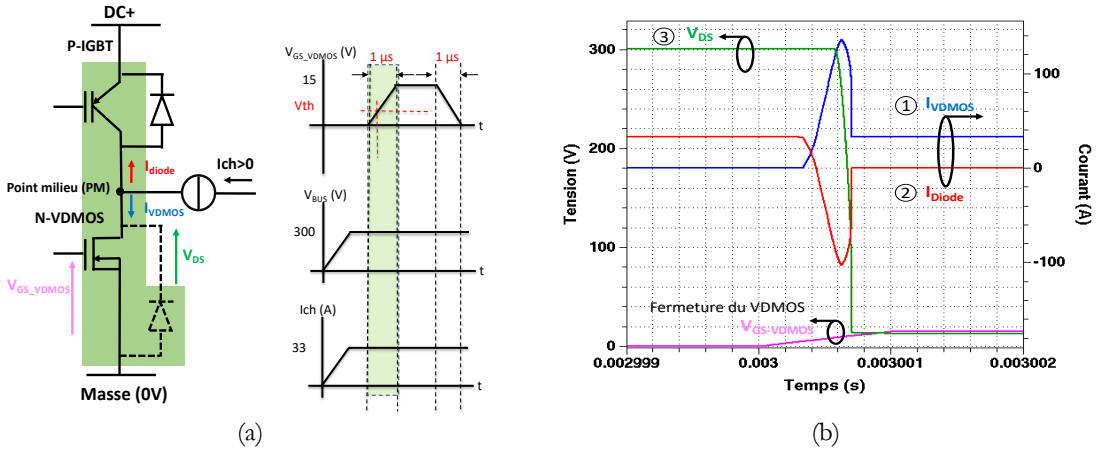


Figure 145 : (a) Densité de courant dans la structure simulée avec le tracé du profil du courant (y=63 µm) et (b) distribution des équipotentielles lorsque le P-IGBT est bloqué (courant de fuite : 82 µA).

8.4.3 Commutation du N-VDMOS

Le circuit de commande à la fermeture du N-VDMOS, les chronogrammes associés et les résultats de la commutation sont présentés sur la Figure 146. La commande de la grille par rapport à la source du composant a été effectuée par application d'une rampe de tension de 0 V à 15 V pendant une durée de 1 µs. Le courant dans le N-VDMOS (courbe 1) commence à s'installer progressivement et à s'annuler dans la diode de roue libre (courbe 2) du P-IGBT. Ensuite, la tension aux bornes du N-VDMOS (courbe 3) décroit d'un niveau où le composant supporte la tension de bus (300 V) pour atteindre la chute de tension à l'état passant (11,2 V). Celle-ci est très importante, car comme énoncé précédemment, l'épaisseur de la zone de drift du N-VDMOS est plus importante lorsque ce dernier est intégré de manière monolithique avec le P-IGBT. Cela impacte directement le chute de tension à l'état passant du N-VDMOS, car la zone de drift est plus résistive.



(a) (b)

Figure 146 : a) Circuit électrique et chronogrammes pour la commande à la fermeture du N-VDMOS, (b) résultats de la commutation.

La Figure 147 présente la distribution de la densité de courant dans la structure simulée avec le tracé du profil du courant (à y=60 µm) et la distribution des équipotentielles dans la structure simulée lorsque le N-VDMOS conduit et le P-IGBT est bloqué et supporte la tension de bus (300 V).
Lorsque le N-VDMOS conduit, la tension de bus est supportée par le P-IGBT, grâce à sa jonction N/P-polarisée en inverse (Figure 45.c). Le courant de fuite associé est de 82 µA sous la tension de bus.

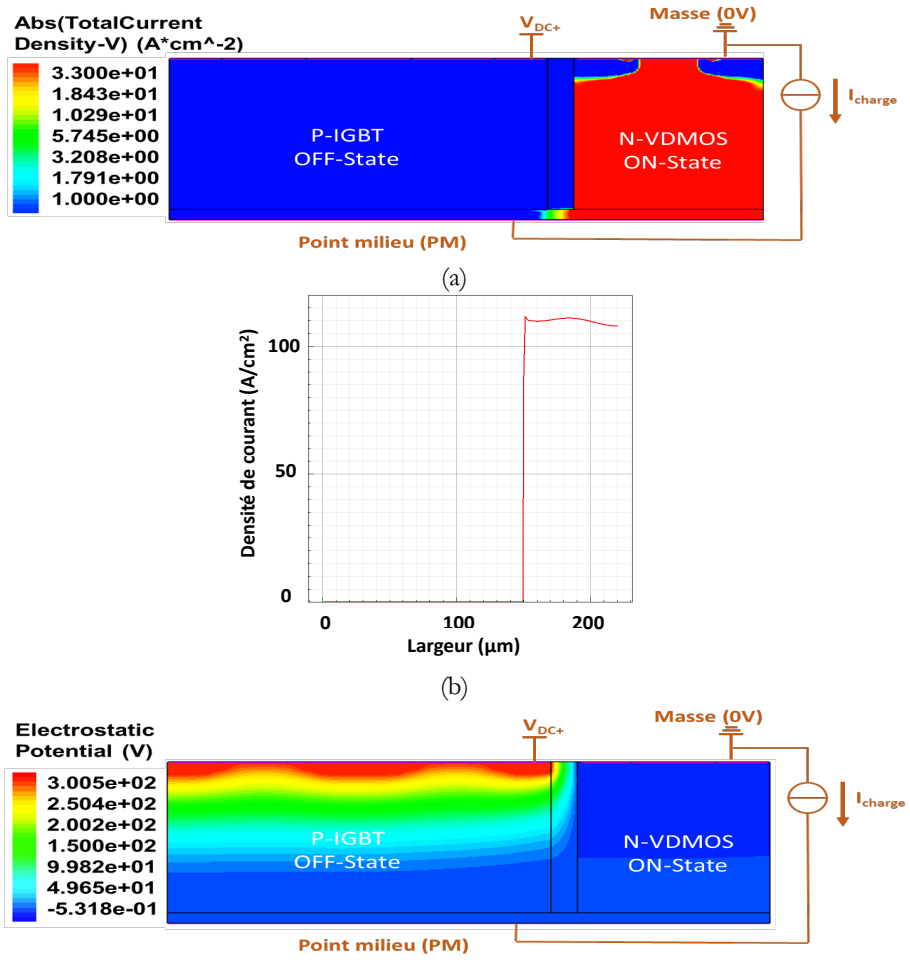


Figure 147 : (a) Densité de courant dans la structure simulée avec le tracé du profil du courant (y=63 µm) et (b) distribution des équipotentielles lorsque le N-VDMOS est passant (courant de fuite : 2,54 µA).

La commande à l'ouverture du N-VDMOS (Figure 148) s'effectue par commutation du potentiel aux bornes du composant (courbe 3) vers la tension de bus (300 V). Puis, le courant s'annule dans le N-VDMOS courbe 1) pour s'installer dans la diode de roue libre du P-IGBT (courbe 2). Lorsque la diode de roue libre conduit, les deux composants P-IGBT et N-VDMOS sont bloqués (Figure 149). Le N-VDMOS supporte la tension de bus (300 V)

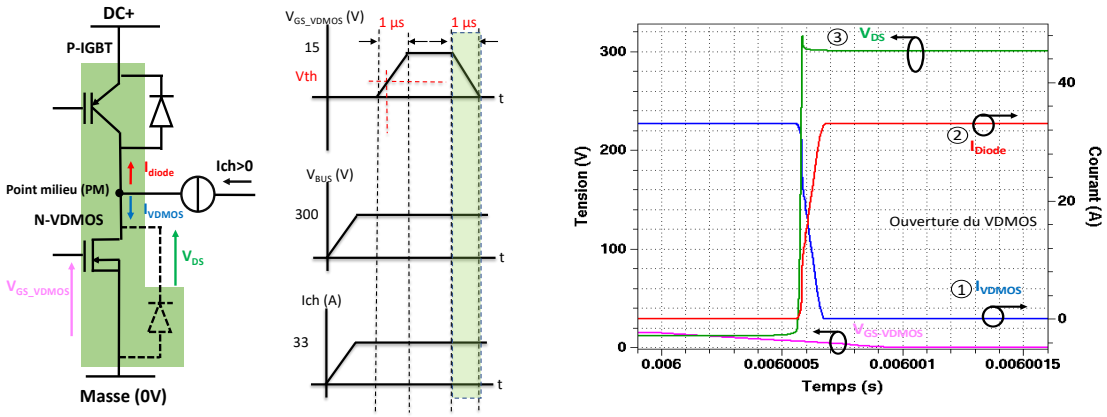
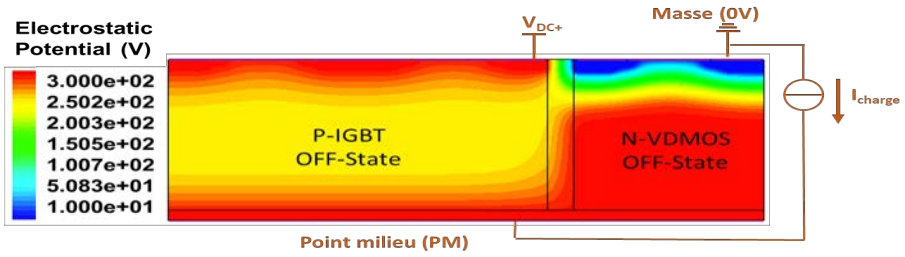


Figure 148 : (a) Circuit électrique et chronogrammes pour la commande à l'ouverture du N-VDMOS (b).



(c)

Figure 149 : Distribution des équipotentielles dans la structure simulée montrant les deux composants à l'état bloqué lorsque la diode de roue libre du P-IGBT conduit le courant nominal.

9 STRUCTURE AMELIOREE CONTRE LES COURTS-CIRCUITS

La présence d'un défaut de type court-circuit dans un convertisseur de puissance, peut-être dû à plusieurs origines. Il peut être externe, comme un défaut de commande, ce qui peut provoquer, le déclenchement de protections fusibles, lorsque le bras du convertisseur en est équipé. Par contre, lors d'un défaut interne, notamment lors d'un disfonctionnement des composants, ces derniers sont endommagés, notamment pour les IGBT, qui subissent un *latch-up*, et rend leur contrôle par la grille de commande complétement impossible.

Dans ces travaux, on a exploré une solution de protection des composants P-IGBT lorsqu'ils subissent un court-circuit. La solution consiste à rajouter un transistor basse tension P-MOS à canal préformé, intégré monolithiquement avec le composant IGBT, afin de limiter le courant dans ce dernier, et éviter d'atteindre le courant de *latch-up*.

Nous allons dans un premier temps étudier cette solution dans un assemblage en discret avec un P-IGBT, puis en version monolithique à travers l'intégration dans une même puce du P-MOS et du P-IGBT.

Dans un deuxième temps, le P-MOS à canal préformé sera intégré monolithiquement dans la structure de bras de convertisseur monolithique composée du P-IGBT et N-VDMOS étudiée précédemment.

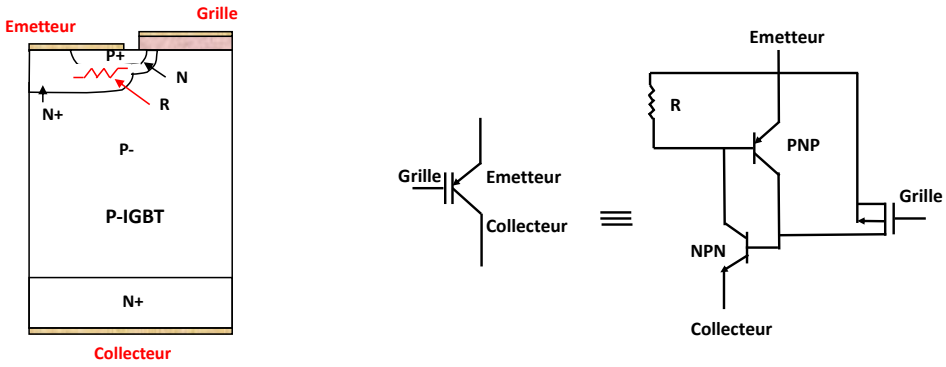
9.1 Association P-IGBT et P-MOS à canal préformé

9.1.1 Mise en évidence du phénomène de *latch-up* dans une structure P-IGBT

Lorsqu'un court-circuit se produit dans un bras de convertisseur, la conséquence sur le composant est irréversible. Le *latch-up* d'une structure IGBT (Figure 150.a) correspond au déclenchement du thyristor parasite (Figure 150.b) formé par les transistors PNP et NPN lorsque la chute de tension aux bornes de la résistance R de la région N atteint une tension de seuil de 0,7 V environ, amorçant la jonction N/P^+ du transistor PNP.

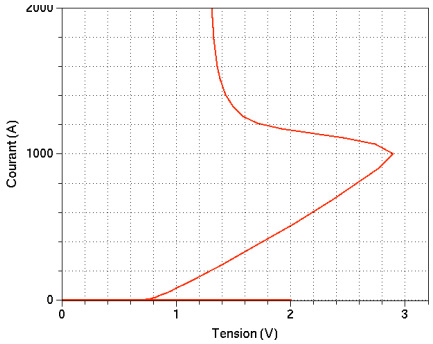
La Figure 151 met en évidence le phénomène de *latch-up* résultant d'un court-circuit sur la structure P-IGBT étudiée précédemment.

Le phénomène est irréversible et conduit à la perte de contrôle de la commande du transistor par sa grille. En effet, il se comporte comme un thyristor. Ces forts courants très élevés conduisent à la destruction du composant et par conséquence à celle du convertisseur de puissance. Dans cette deuxième partie du chapitre, nous allons présenter le principe simplifié de l'intégration d'un MOSFET à canal préformé et dimensionner ce dernier pour limiter le courant dans le P-IGBT et le maintenir à une valeur inférieure à celle du courant de *latch-up* du P-IGBT.



(a) (b)

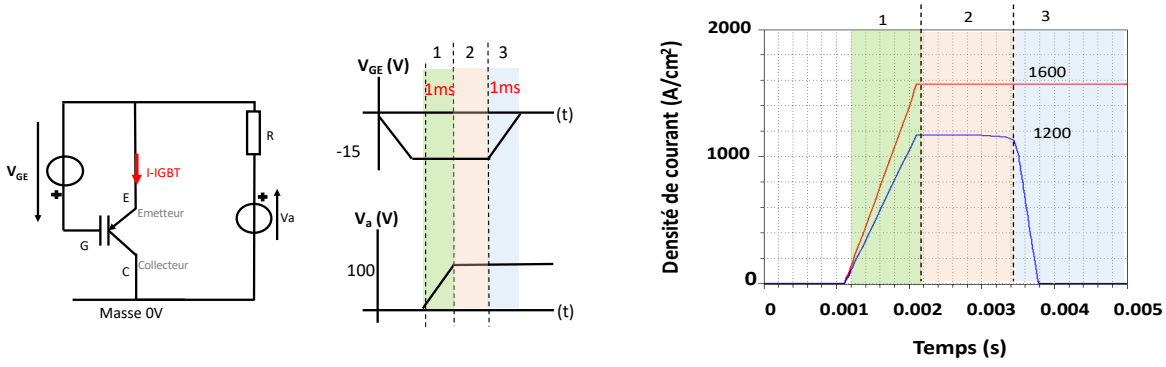
Figure 150 : Structure d'un P-IGBT et circuit équivalent simplifié d'un P-IGBT.



(c)

Figure 151 : Mise en évidence du phénomène de *latch-up* dans la structure P-IGBT étudiée.

Afin de vérifier les observations de la Figure 151, nous avons simulé la structure P-IGBT précédente avec cette fois deux niveaux de courant différents, générés à l'aide d'une source de tension en série avec une résistance. Puis la commande du composant à l'ouverture permet de voir si le composant se bloque ou bien reste dans un état de conduction permanent, signe d'un *latch-up* du thyristor parasite dans la structure IGBT. Une résistance (Figure 152.a) de 0,083 (100 V/1200 A) permet de générer une densité de courant de 1200 A/cm², un autre de valeur plus faible (0,0625) permet d'obtenir un courant plus élevé de 1600 A/cm². Avec le courant de 1200 A/cm², nous pouvons constater (Figure 152.b) que la commande à l'ouverture (zone bleue, repérée par 3) du P-IGBT s'effectue normalement, le courant s'annule complétement, signe d'absence de *latch-up*, qui rendrait le composant incontrôlable. En revanche avec une densité de courant plus élevée (1600 A/cm²), le composant continue de conduire après la commande à l'ouverture, signe de *latch-up* de la structure.

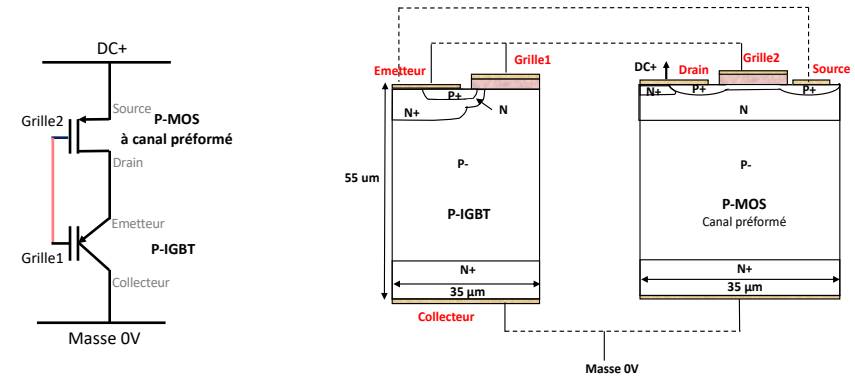


(a) (b)

Figure 152 : Mise en évidence de la perte de contrôle du P-IGBT *latch-up*.

9.1.2 Principe de fonctionnement

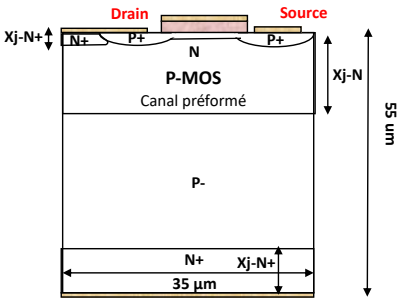
La Figure 153 illustre le principe d'intégration du P-IGBT et du P-MOS à canal préformé. Les grilles des deux composants sont connectées entre elles et sont donc commandées en même temps, avec la même tension de grille (-15 V), par rapport à un potentiel fixe (V_{DC+}). A partir de la caractéristique en direct du P-MOS, nous calculons la surface nécessaire afin de faire passer un courant supérieur au courant nominal (de la structure IGBT et VDMOS étudiée) mais inférieur au courant de *latch-up* du P-IGBT.
Lorsqu'un court-circuit se produit, le courant et la chute de tension aux bornes du P-MOS augmentent pour atteindre le courant de saturation du MOS à canal préformé. Une fois le MOS entre en régime saturé, le courant dans le P-IGBT n'augmente plus et se stabilise au courant de saturation du P-MOS.



(a) (b)

Figure 153 : Principe d'association P-IGBT et P-MOS pour faire une solution de court-circuit

Les paramètres géométriques et physiques des différentes couches du transistor P-IGBT sont les mêmes utilisées précédemment pour les simulations du bras P-IGBT et N-VDMOS. Pour le transistor P-MOS à canal préformé, nous avons utilisé les paramètres géométriques et physiques décrits dans le mémoire de thèse de F. Capy [1]. Ces paramètres sont rappelés sur la Figure 154.



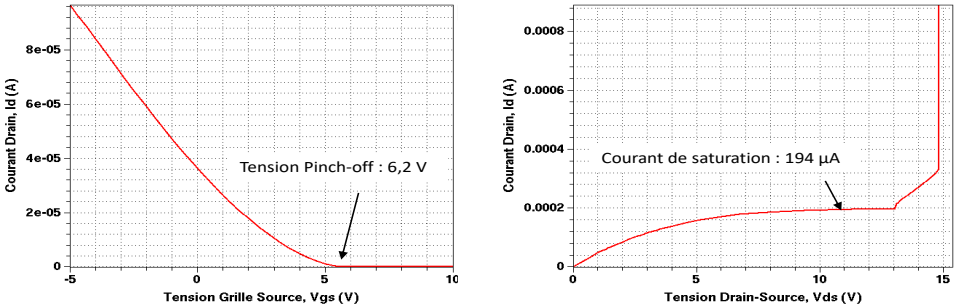
Symbole	Paramètre	Valeur	Dopage
W_G	Largeur grille	4 µm	
e_{canal}	Largeur canal préformé	2 µm	
$X_{J\text{-}P+\text{-}canal}$	Epaisseur diffusion P+ canal	0,1 µm	$6x10^{17}cm^{-3}$
L_N	Largeur diffusion N	35 µm	$6x10^{17}cm^{-3}$
$X_{J\text{-}N}$	Epaisseur diffusion N	5µm	
L_{N+}	Largeur diffusion N+	5 µm	$3x10^{19}cm^{-3}$
X_{JN+}	Epaisseur diffusion N+	7 µm	
L_{P+}	Largeur diffusion P	10 µm	$10^{20}cm^{-3}$
X_{JP+}	Epaisseur diffusion P	1µm	

(a) (b)

Figure 154 : Paramètres géométriques et physiques du transistor MOS à canal préformé.

9.1.3 Simulation du P-MOS à canal préformé

Nous avons simulé le P-MOS à canal préformé pour déterminer ses caractéristiques I(V) et s'en servir afin de dimensionner la profondeur (ou largeur) « Z » du canal afin de fixer son courant de saturation à une valeur supérieure au courant nominal et inférieur au courant de *latch-up*. La Figure 155 présente les courbes des caractéristiques I(V) à l'état passant du MOS. Les simulations ont été réalisées pour une profondeur de 1 µm (qui est la profondeur par défaut utilisée par le simulateur).
Le composant présente une tension de pincement (*pinch-off*) de 6,2 V et un courant de saturation de 194 µA. Nous avons calculé un courant qui soit supérieur au courant nominal de fonctionnement de la structure IGBT et VDMOS décrite précédemment, et inférieur au courant de *latch-up* de l'IGBT (Figure 151).

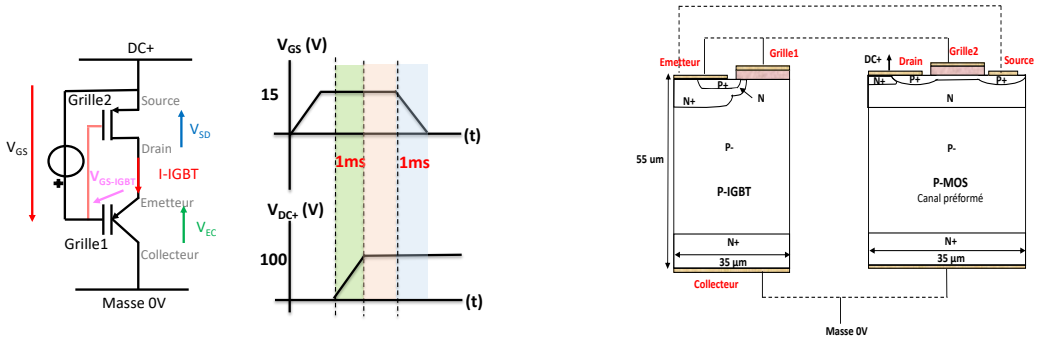


(a) (b)

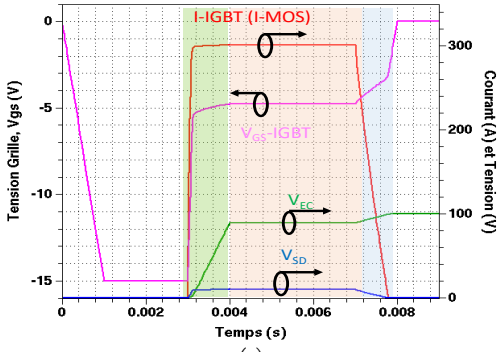
Figure 155 : Caractéristiques I(V) à l'état passant du P-MOS à canal préformé : (a) $I_D(V_{GS})$ obtenue pour V_{DS}= 5 V et (b) $I_D(V_{DS})$ obtenue pour V_{GS}= -15 V.

9.1.4 Intégration P-IGBT et P-MOS à canal préformé en discret

Pour valider le fonctionnement de l'association des deux composants en discret, nous avons calculé la surface nécessaire du MOS pour qu'il présente un courant de saturation de l'ordre de 300 A. Connaissant le courant de saturation du P-MOS (194 µA) pour une surface de 35 µm x 1 µm (profondeur par défaut du simulateur), il suffit de faire le rapport des deux courants (300/194) pour obtenir le *area factor* en µm nécessaire pour obtenir un courant de saturation du P-MOS de 300 A. Cela donne un *area factor* de 1546391, soit une surface occupée d'un peu plus de 0,5 cm² (35 µm x 1546391 µm). Le circuit électrique, les structures simulées des deux composants, ainsi que les résultats des simulations sont montrés sur la Figure 156.
La simulation commence par l'amorçage de l'IGBT, puis une rampe de tension de 0 à 100 V est appliquée sur la source du P-MOS (V_{DC+}). Les deux composants voient le courant et la tension à leurs bornes augmenter (zone verte), jusqu'à ce que le P-MOS atteigne le courant de saturation calculé. Dès l'instant où le court-circuit est initié, le potentiel de la grille de l'IGBT ($V_{GS\text{-}IGBT}$) croît suite à la croissance du potentiel V_{SD} aux bornes du P-MOS. La grille de l'IGBT est donc dépolarisée, ce qui limite le courant dans le composant et empêche un éventuel *latch-up*. A la saturation (zone orange), les deux composants se répartissent la tension de bus imposée. L'IGBT supporte environ 90 V et la différence par le P-MOS. Le courant de saturation est quant à lui limité aux 300 A calculé.



(a) (b)



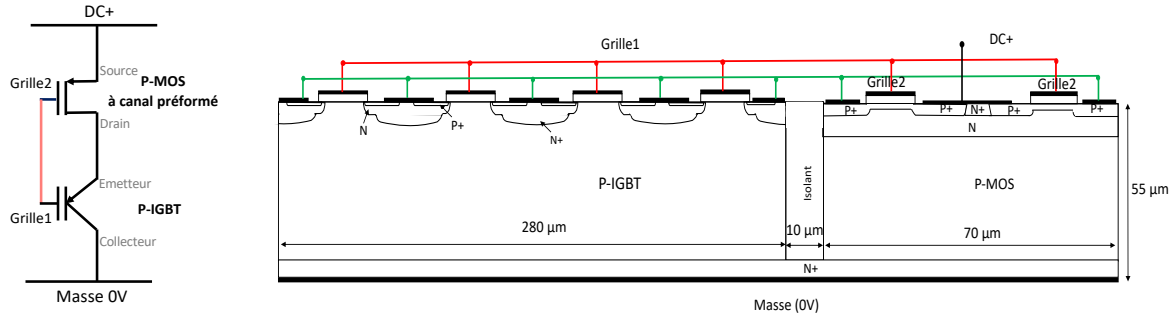
(c)

Figure 156 : Résultats des simulations en régime de court-circuit des composants associés IGBT et P-MOS.

Lors de la commande à l'ouverture (zone bleue), l'IGBT s'ouvre naturellement, le courant commence à décroître dans les composants (courbe rouge). La tension aux bornes de l'IGBT augmente pour tenir la tension de bus imposée (100 V). La tension aux bornes du P-MOS (V_{SD}) quant à elle décroit, pour s'annuler complètement. Ces formes d'ondes prouvent l'absence de phénomène de *latch-up*, synonyme du déclenchement du thyristor parasite.

9.1.5 Intégration monolithique de P-IGBT et P-MOS à canal préformé

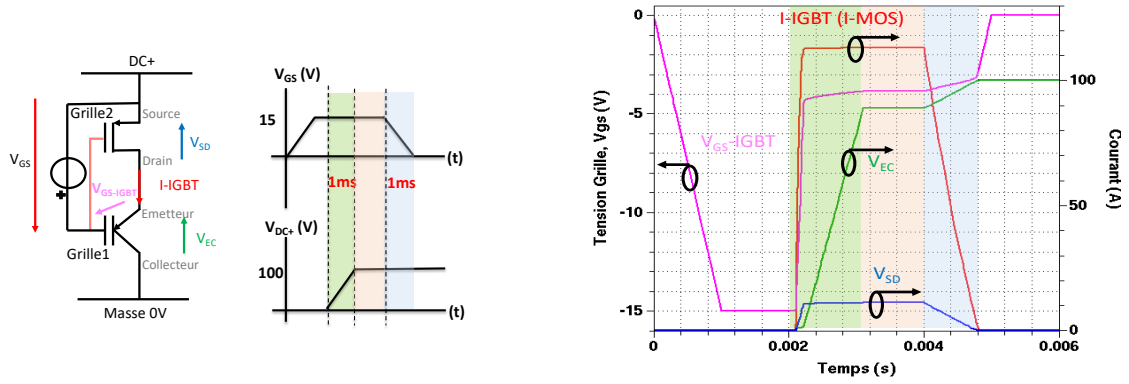
L'association monolithique des deux composants P-IGBT et P-MOS, requiert que ces derniers disposent d'une même épaisseur et une même profondeur (area factor). Ce dernier paramètre impacte la profondeur du P-MOS simulé et donc son courant de saturation. Sachant que les paramètres de l'IGBT sont figés lors des dernières simulations sur le bras IGBT et VDMOS, l'intégration monolithique du P-MOS à canal préformé est donc contrainte par l'IGBT. Le courant total de saturation est réglable en parallélisant des cellules élémentaires du P-MOS basse tension.
Le circuit électrique intégrant l'IGBT et le P-MOS basse tension est rappelé sur la Figure 157, ainsi que la vue 2D de l'intégration monolithique des deux composants. Les paramètres physiques restent inchangés par rapport aux simulations précédentes.



(a) (b)

Figure 157 : Structure intégrée de manière monolithique de l'IGBT et MOS de signal et résultats obtenus.

Lorsqu'on intègre un seul P-MOS basse tension avec l'IGBT, le courant de saturation lors d'un court-circuit est de 57 A environ, ce qui est très proche de la valeur du courant nominal. Afin de disposer d'un courant de saturation qui soit suffisamment supérieur au courant nominal et inférieur au courant de *latch-up* du P-IGBT, nous avons disposé deux composants P-MOS en parallèle.
Les résultats des tests de court-circuit sur la structure intégrée sont présentés sur la Figure 158. A l'initiation du court-circuit (Figure 158.b, zone verte), les potentiels aux bornes de l'IGBT (courbe verte) et du P-MOS (courbe bleue) augmentent, ainsi que le courant les traversant (courbe rouge). La croissance du potentiel entre source et drain du P-MOS entraine une augmentation du potentiel de grille de l'IGBT (courbe violette), cela a pour conséquence la dépolarisation de la grille de l'IGBT. Une fois le courant de saturation du P-MOS atteint, le potentiel de grille se stabilise à la différence entre le potentiel de commande (-15 V) et la chute de tension apportée aux bornes du MOS de signal (10 V) (zone orange). Lors de la commande à l'ouverture de l'IGBT (zone bleue), la tension aux bornes du P-MOS s'annule, le P-IGBT supporte seul la tension de bus (100 V). Le courant s'annule également, signe de non déclenchement du thyristor parasite (phénomène de *latch-up*).



(a) (b)

Figure 158 : Résultats des simulations de la structure intégrée monolithique P-IGBT et P-MOS.

En parallélisant deux cellules MOS élémentaires, on obtient un courant de saturation de 114 A environ, ce qui est au-dessus du courant nominal (48 A) et bien-sûr en dessous de celui de *latch-up* du P-IGBT.

9.2 Simulation électrothermique de la puce intégrant un P-IGBT et P-MOS à canal préformé

Nous avons effectué des simulations électrothermiques préliminaires sur la structure monolithique P-IGBT et P-MOS basse tension, afin de prendre en compte l'auto-échauffement et avoir un aperçu des comportements des composants en régime de court-circuit. Ces simulations qualitatives ont été réalisées pour des temps de commutation de 1 µs. Les modèles physiques utilisés pour la simulation sous Sentaurus™ sont les suivants :

- Thermodynamic
- EffectiveIntrinsicDensity (Slotboom)
- Mobility (DopingDep HighFieldSaturation Enormal)
- Recombination (SRH(DopingDependence TempDependence) Auger Avalanche (Lackner))

Le paramétrage de ces simulations électrothermiques s'effectue par le rajout d'une contrainte thermique sur la face arrière du composant. Deux simulations ont été réalisées, la première pour une contrainte de 25 °C et l'autre pour 125 °C. Les résultats sont présentés sur la Figure 159. A l'initiation du court-circuit, les tensions (Figure 159.b) et les courants (Figure 159.d) aux bornes des deux composants augmentent jusqu'à atteindre la saturation, où les composants se répartissent la tension de bus lors du court-circuit, avec le P-IGBT qui supporte environ 90 V, et le P-MOS qui tient la différence (Figure 159.b).
Pour une contrainte thermique de 25 °C, le courant augmente davantage (~180A) qu'à 125 °C (~78A). Cela est dû à la diminution de la transconductance du P-IGBT et du P-MOS [8]. Lors d'un court-circuit, le courant diminue à cause de l'augmentation de la température dans le composant. Il est établi qu'il existe trois paramètres qui dépendent de la température et qui affectent le courant de court-circuit dans un N-IGBT : la tension de seuil (Vth), le gain en courant du transistor bipolaire (α) et la mobilité des électrons (μ_n). La mobilité reste toutefois le paramètre le plus influant dans des composants destinées pour supporter des tensions élevées [9]. La baisse de cette mobilité est causée par un échauffement local du canal MOSFET durant un court-circuit. Cette élévation de température conduit à la diminution de la mobilité des électrons dans le canal et en conséquence, la résistance du canal augmente. Le courant circulant également par la zone de drift, la mobilité est également impactée dans cette région et la résistance augmente. Cette augmentation de la résistance de tout le composant est synonyme de la baisse du courant de saturation durant un court-circuit [9].
A titre d'illustration, la Figure 160 présente la répartition des mobilités des électrons et des trous dans la structure pour 25°C et 125°C. Nous pouvons constater une division de presque par deux de la mobilité des porteurs à 125 °C par rapport au cas de la structure simulée à 25 °C.

Nous pouvons remarquer que les formes d'ondes des courants (Figure 159.d) ont tendance à décroitre légèrement après avoir atteint le pic de courant, puis se stabilise au courant de saturation.

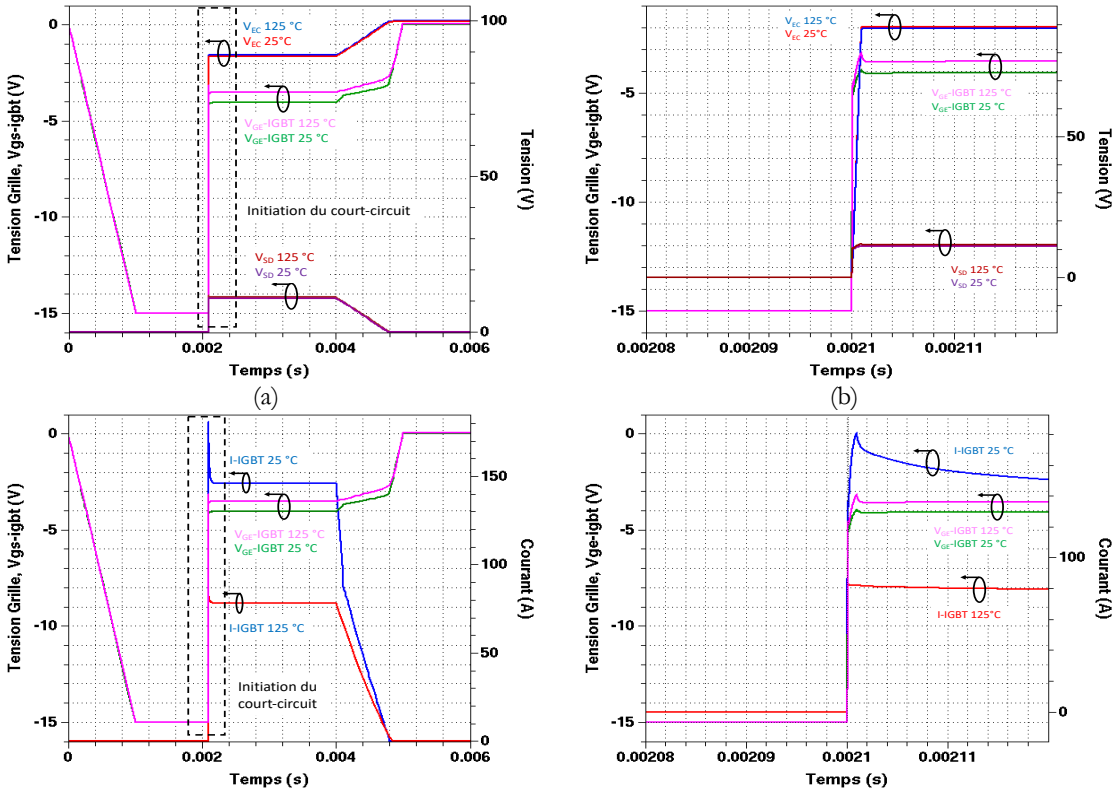


Figure 159 : Résultats des simulations électrothermique avec des temps courts (1 µs) sur la structure P-IGBT et P-MOS.

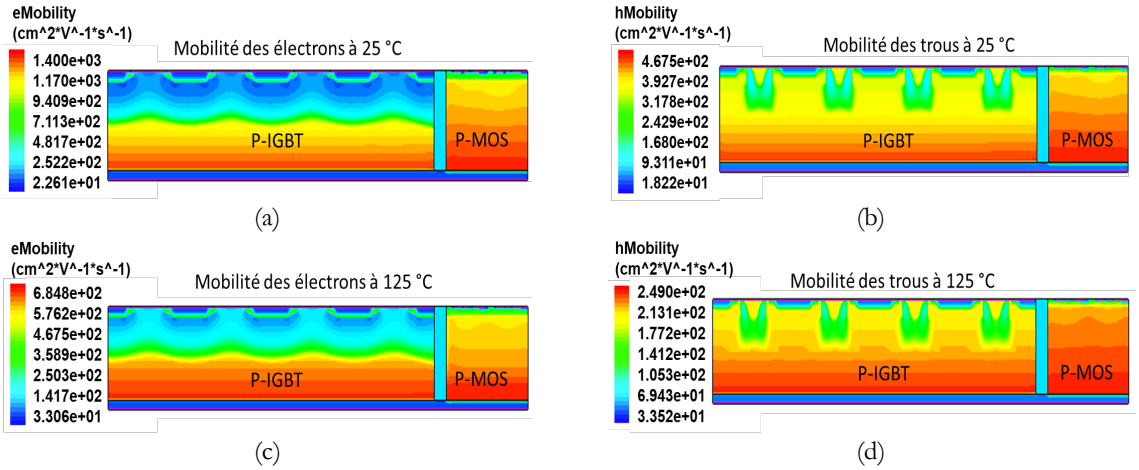


Figure 160 : Variation de la mobilité des électrons et des trous dans les structures P-IGBT et P-MOS simulées à 25 °C (a-b) et à 125 °C (c-d).

La Figure 161 présente la distribution des équipotentielles et densités de courant dans la structure monolithique P-IGBT et P-MOS. Les densités de courants (Figure 161.c-d) sont principalement importantes dans la zone canal pour le P-MOS (composant latéral). Pour l'IGBT, on observe une densité de courant plus élevée dans la région canal également ainsi qu'un étalement des lignes sur toute l'épaisseur du composant.

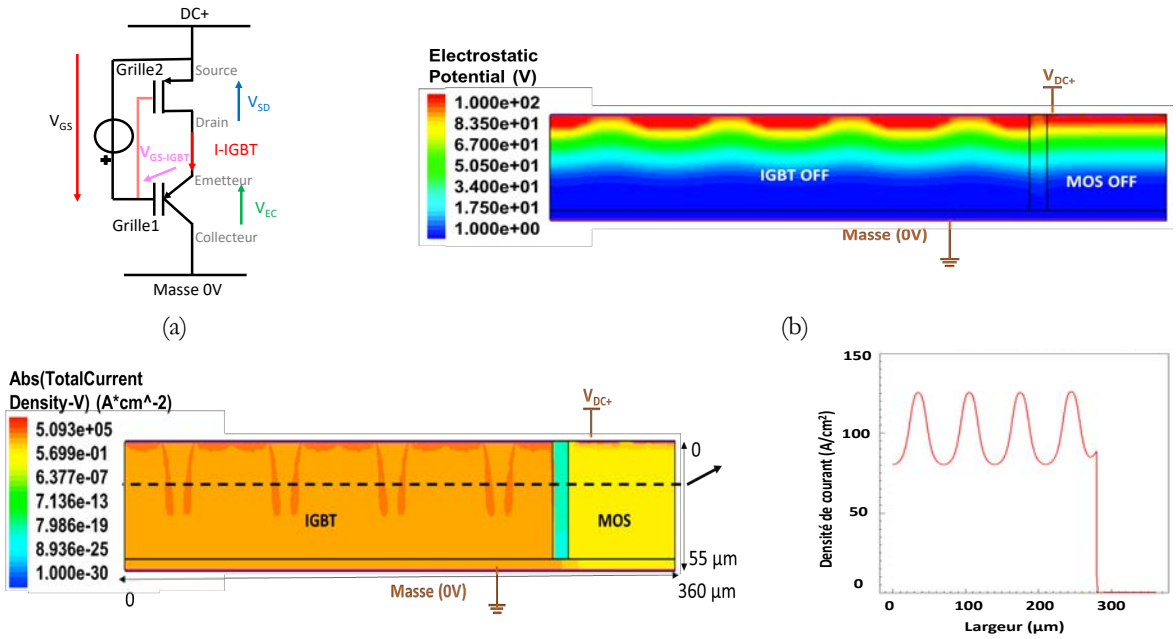


Figure 161 : Simulation d'un court-circuit dans la structure (a), observation des densités de courant (b), distribution des équipotentielles (c) et répartitions des gradients de température (d).

Sur la Figure 162.b, on peut observer les tracés verticaux de la température en partant du canal vers la face arrière des composants. Les régions canal des composants présentent un maximum de température de 436 °K, car les densités de courants sont plus élevées à ces endroits.

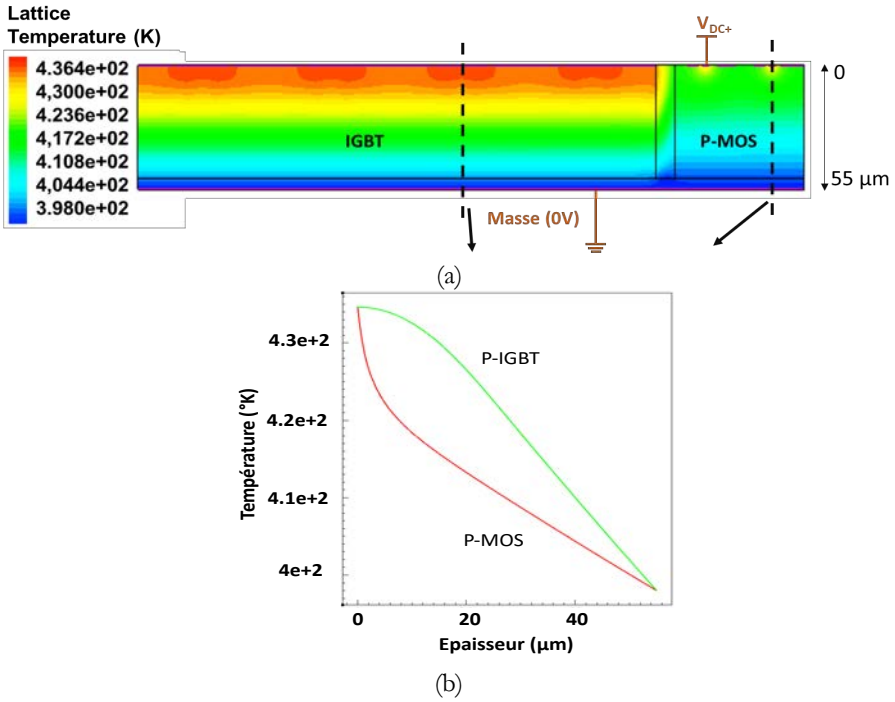


Figure 162 : Distribution de la température dans la structure (a) et profiles des températures dans les régions canal des composants.

9.3 Simulation de la puce intégrant un P-IGBT et P-MOS à canal préformé à l'état passant

L'association des deux composants P-IGBT et P-MOS basse tension présente certes des avantages lors de la survenue d'un éventuel court-circuit, par contre, ce dernier occupe d'une part une certaine surface de

silicium (~0,2 cm²) et présente également une chute de tension à l'état passant, qui se rajoute à celle de l'IGBT. Cette chute de tension se rajoute au final aux pertes totales du bras de convertisseur. Pour estimer cette chute de tension à l'état passant, nous avons simulé l'ensemble IGBT et MOS à l'état passant, sous le courant nominal (48 A) déjà calculé lors de l'étude du bras IGBT et VDMOS. Le circuit électrique simulé et les résultats des simulations sont reportés sur la Figure 163.

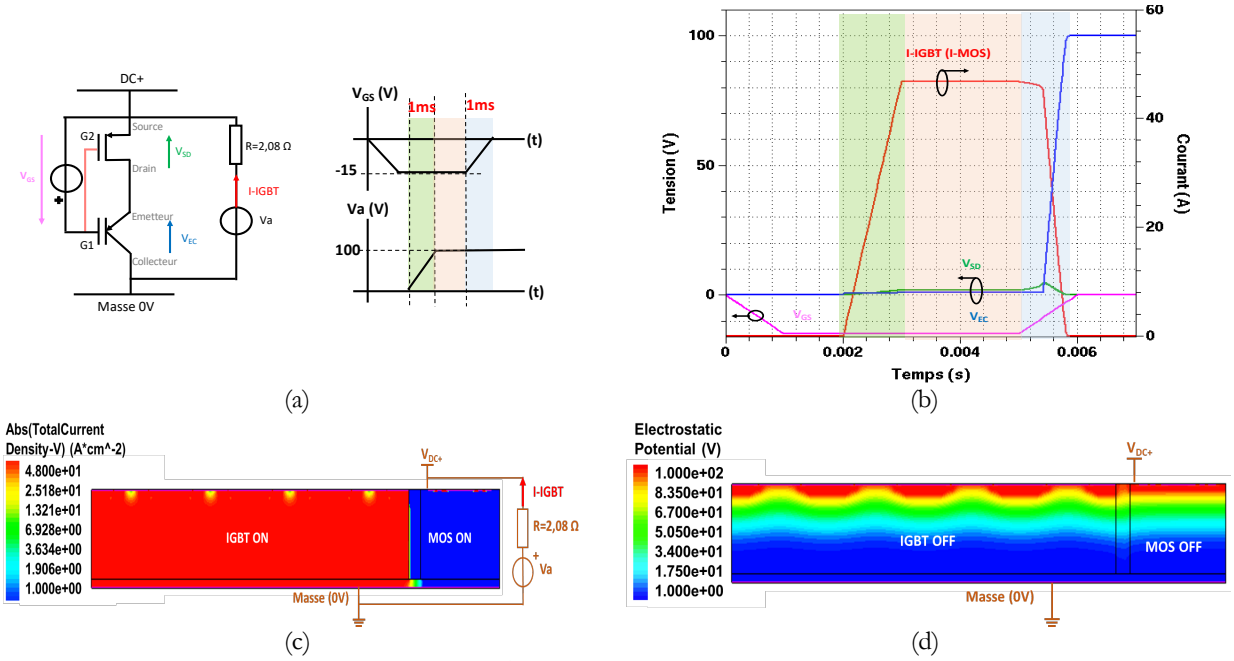
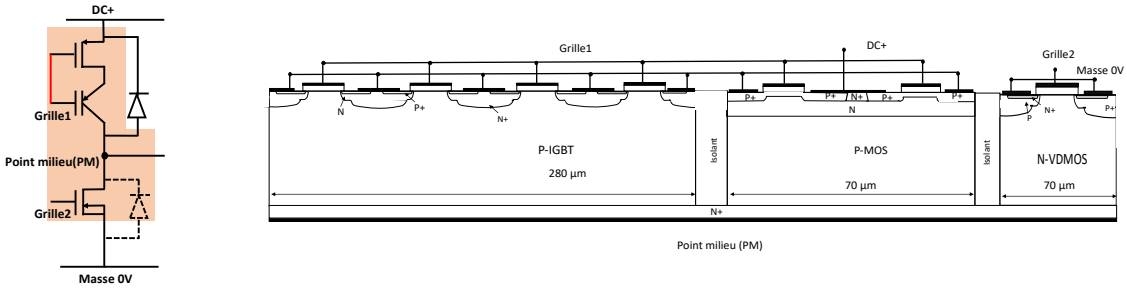


Figure 163 : Mise en conduction du P-IGBT et du P-MOS (a), formes d'ondes obtenues (b), observation des densités de courant (c) et distribution des équipotentielles (d) (courant de fuite : 6,4 µA).

Après avoir amorcé l'IGBT au préalable, une source de tension continue (100 V) en série avec une résistance (2,08 Ω), permet de régler le courant nominal à 48 A, qui traverse les deux composants (zone verte). Lors de la conduction de ces derniers (zone orange), on observe une chute de tension de 1,95 V aux bornes du MOS, qui se rajoute à celle de l'IGBT qui est de 0,91 V. La chute de tension associée au P-MOS est certes légèrement élevée, mais dans le contexte de ces travaux, on s'intéresse davantage à l'aspect fonctionnel et à la validation de la solution initiale. La commande à l'ouverture de l'IGBT (zone bleue) s'effectue normalement, le courant s'annule dans les deux composants, l'IGBT supporte la tension de bus imposée.

10 ASSOCIATION MONOLITHIQUE DU PIGBT-PMOS ET DU NVDMOS

Nous avons jusqu'ici dimensionné et étudié les différents cas de fonctionnement du bras P-IGBT et N-VDMOS en hacheur, et nous avons proposé et étudié une solution de protection contre un éventuel court-circuit, qui peut conduire au *latch-up* de l'IGBT, par le rajout d'un transistor MOS basse tension à canal préformé. Nous allons maintenant nous intéresser à l'intégration du bras IGBT et VDMOS avec le composant MOS à canal préformé, de manière totalement monolithique. Le dimensionnement du bras P-IGBT et N-VDMOS était réalisé pour une surface totale active de 1 cm². Afin d'étudier l'intégration monolithique de ces trois composants, sans modifier le dimensionnement initial du bras IGBT et VDMOS, nous avons donc ajouté à la surface initiale (1 cm²) celle qu'occupe le Mos basse tension (0,2 cm²). Cette démarche sert à valider le concept et la faisabilité de l'intégration, des améliorations incluant tous les composants dans une surface totale de 1 cm² sont envisageables.
Le schéma électrique et la structure monolithique associée à l'intégration des composants IGBT, MOS basse tension et le VDMOS sont présentés sur la Figure 164.



(a) (b)

Figure 164 : Circuit électrique et structure monolithique associée du bras P-IGBT, P-MOS et N-VDMOS.

Les trois composants sont intégrés sur une puce silicium et partagent une couche commune (N_+) sur leurs faces arrière. Les paramètres physique et géométrique sont les mêmes que ceux utilisés lors des précédentes simulations. Les commutations du VDMOS et de l'IGBT sont simulées et étudiées pour valider le fonctionnement en hacheur du bras complet.

10.1 Commutation du P-IGBT

Le circuit simulé avec les chronogrammes associés, ainsi que les résultats des simulations de la commutation à l'ouverture et à la fermeture de l'IGBT, pour une tension de commande de -15V/100ns, sont reportées sur la Figure 165. A la fermeture (Figure 165.c), le courant dans l'IGBT (courbe bleue) commence à croître, et de manière symétrique, celui de la diode de corps du VDMOS décroît (courbe rouge), présentant un courant de recouvrement inverse important. Le potentiel aux bornes de l'IGBT bascule d'un niveau haut où il supporte la tension de bus (100 V), à un état bas correspondant à la chute de tension à l'état passant (0,91 V). L'IGBT et le MOS étant placés en série, ils sont traversés par le même courant, le MOS observe donc une chute de tension à ses bornes de 1,95 V (simulée précédemment). Lorsque l'IGBT conduit (Figure 166.a), la jonction P/N- du VDMOS, bloquée en inverse, supporte la tension de bus (Figure 166.b).

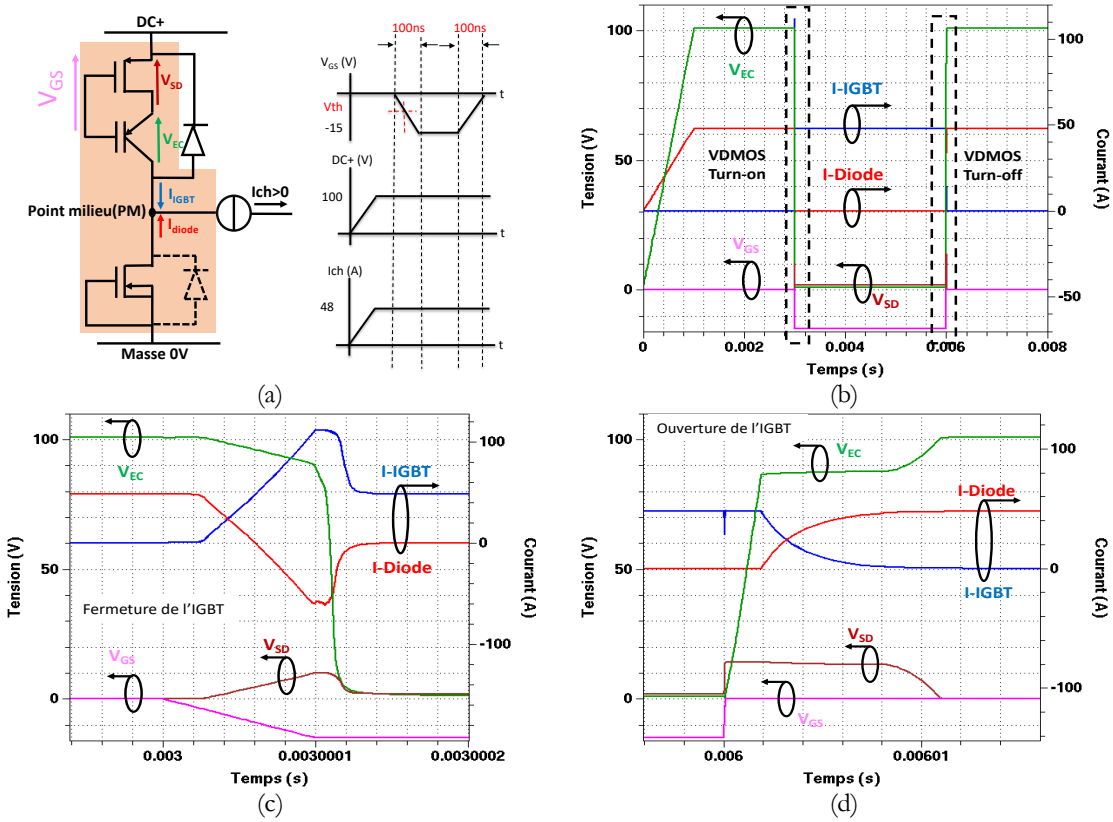


Figure 165 : Résultats des simulations de la commutation à la fermeture (c) et à l'ouverture (d) de l'IGBT

La commande à l'ouverture de l'IGBT (Figure 165.d), fait basculer la tension à ses bornes (courbe verte) vers un potentiel haut (V_{bus}), où le composant supporte la tension de bus. Le courant s'annule dans l'IGBT (courbe bleue) et s'établit symétriquement dans la diode de corps du VDMOS (courbe rouge).

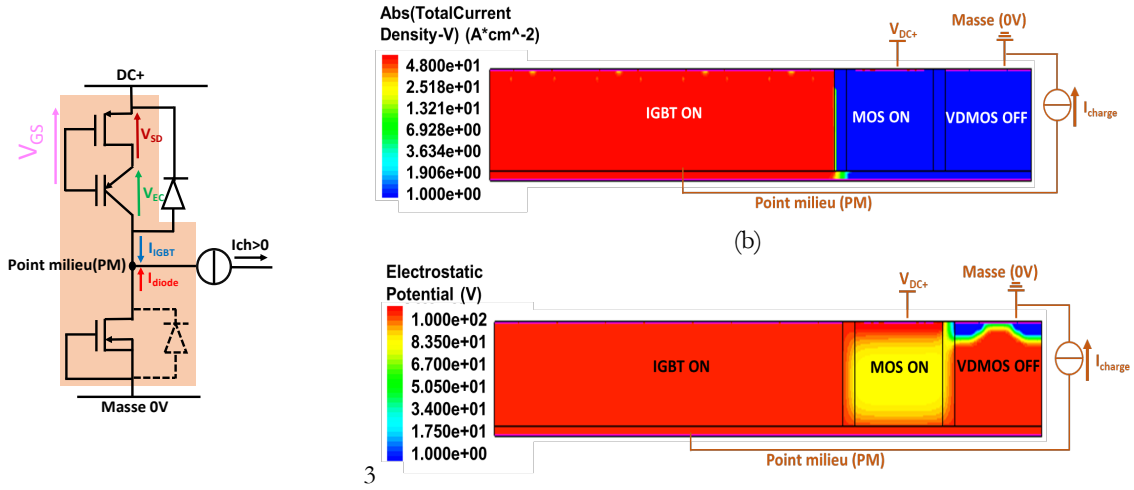


Figure 166 : Conduction du IGBT et du Mosfet (a), densité de courant (b) et distribution des équipotentielles (c).

10.2 Commutation du N-VDMOS

Les résultats des simulations de la commutation du VDMOS pour une commande de 15V/100ns, sont montrés sur la Figure 167. A la fermeture (Figure 167.c), on observe une commutation du courant dans VDMOS (courbe bleue), ainsi que celui de la diode de roue libre de l'IGBT (courbe rouge), suivi par un basculement du potentiel aux bornes du VDMOS (courbe verte), qui passe d'un niveau haut, où le transistor supporte la tension de bus, à un niveau bas, correspondant à la chute de tension (2,2 V) lors de sa conduction. Lorsque le VDMOS conduit (Figure 168.a), la jonction N/P- de l'IGBT, polarisée en inverse, supporte la tension de bus (Figure 168.b).

Le blocage du VDMOS (Figure 167.d) fait basculer à nouveau la tension aux bornes du VDMOS, d'un niveau bas (état passant), à un état haut, où le composant supporte la tension de bus, grâce à la jonction P/N- polarisée en inverse.

L'intégration du MOS basse tension à canal préformé n'a pas conduit au dysfonctionnement de la cellule de commutation initiale (P-IGBT et N-VDMOS). Lors de la conduction de l'IGBT, le MOSFET à canal préformé étant placé en série, on observe à ses bornes une chute de tension (1,95 V), qui se rajoute à celle de l'IGBT (0,91 V). En revanche, la fonctionnalité est vérifiée. Cette solution procure une protection en cas de défaut (court-circuit) dans l'IGBT, en limitant le courant dans ce dernier, par saturation du MOSFET à canal préformé. La solution permet par ailleurs, l'ajustement du courant de saturation dans l'IGBT, en choisissant judicieusement la surface totale des cellules MOSFET placés en parallèle.

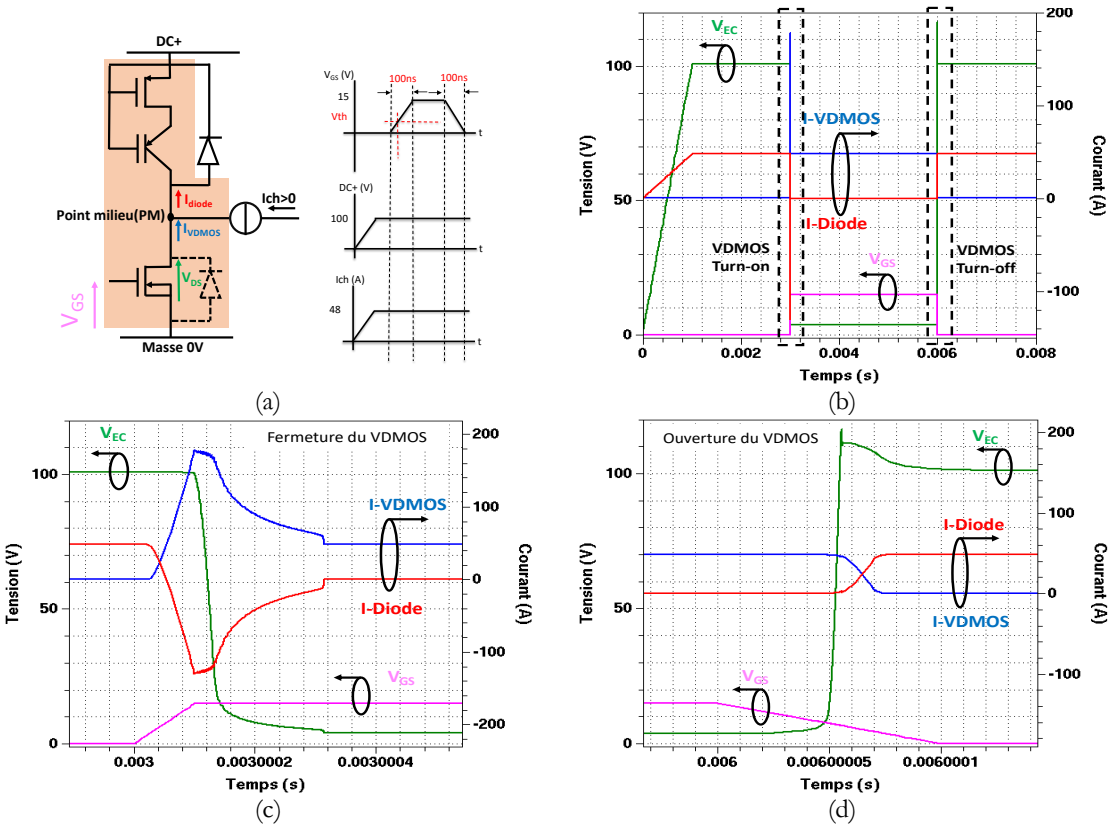


Figure 167 : résultats des simulations de la commutation à la fermeture (c) et à l'ouverture (d) du VDMOS.

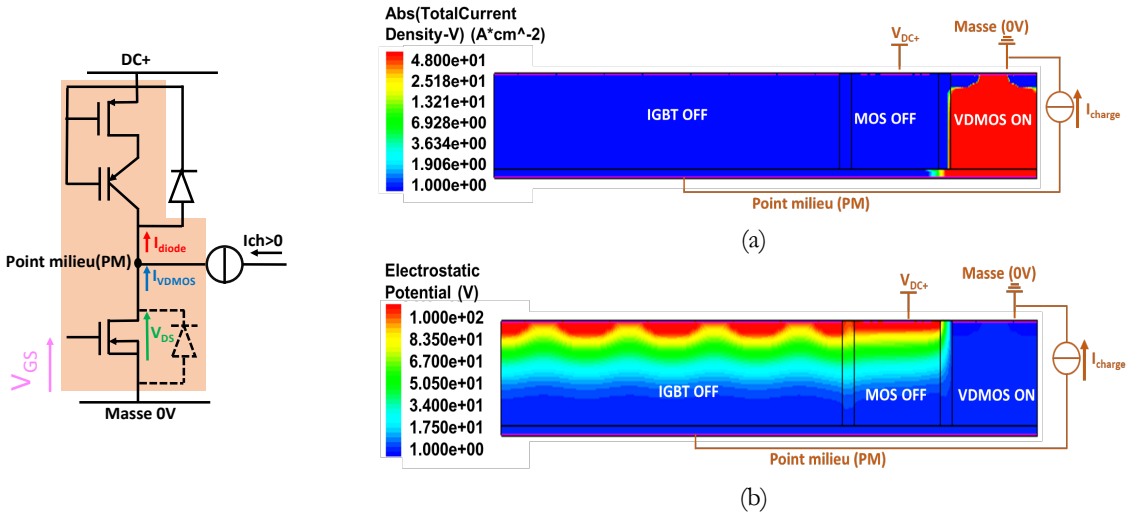


Figure 168 : Distribution de la densité de courant (a) et des équipotentielles (b) dans le bras de convertisseur P-IGBT, Mos et N-VDMOS.

11 CONCLUSION DU CHAPITRE 4

Dans ce chapitre, nous avons proposé et étudié une approche d'intégration monolithique associant un P-IGBT et un N-VDMOS, sur une seule et unique puce silicium. Cette approche ne nécessite pas de murs traversants, mais elle requiert l'utilisation de deux régions faiblement dopées de natures différentes (N- et P-) au sein d'une même puce. La première partie du chapitre était consacrée à la présentation de l'approche, les configurations potentielles de convertisseurs pouvant bénéficier de cette solution d'intégration et à la méthodologie de dimensionnement d'un bras. Un exemple de dimensionnement d'un bras P-IGBT et N-VDMOS a été proposé et étudié dans une intégration discrète et monolithique pour des tensions de bus de 100 V et 300 V. La cellule de commutation proposée a été étudiée par simulations TCAD Sentaurus. Les simulations ont permis de valider le fonctionnement en hacheur du bras de convertisseurs, avec une source de courant modélisant l'alimentation d'une charge inductive.
La seconde partie du chapitre a été dédiée à une approche d'intégration d'un MOSFET basse tension, à canal préformé type P, comme solution pour limiter le courant dans le composant P-IGBT. Cette solution permet, lors de la survenue d'un court-circuit, d'éviter un *latch-up* du P-IGBT pouvant conduire à la perte du contrôle de ce dernier par sa grille et à l'endommagement du composant. A partir des caractéristiques statiques du P-MOS, le courant de saturation du composant est calculé de manière à ce qu'il soit supérieur au courant nominal et inférieur au courant de *latch-up* du P-IGBT. L'association série de l'IGBT et du MOSFET, fait qu'il existe un point commun (drain du MOSFET et émetteur de l'IGBT) au potentiel flottant. Lorsqu'un court-circuit se produit, la tension aux bornes du MOSFET augmente et le potentiel de ce point flottant est donc relevé et permet une dépolarisation de la grille de l'IGBT et provoque en conséquence une limitation du courant dans ce dernier.

En perspectives de cette approche d'intégration de bras de convertisseur composé d'un P-IGBT et d'un N-VDMOS, nous prévoyons plusieurs travaux d'optimisation. Dans un premier temps, nous nous intéresserons à l'intégration du P-MOS à canal préformé dans le P-IGBT, en étudiant la possibilité de mutualiser des diffusions P^+ des sections P-IGBT et du P-MOS afin de réduire la surface occupée par le P-MOS. Dans un second temps, nous étudierons la possibilité d'intégrer la diode de roue libre au sein du P-IGBT pour créer un P-RC-IGBT.

Nous avons vu que pour des tensions plus élevées (300 V), la chute de tension de à l'état passant du N-VDMOS était élevée. Afin d'envisager l'exploitation de cette approche d'intégration dans des applications mettant en jeu des tensions supérieures ou égales à 600 V, nous explorerons les possibilités d'intégration monolithique d'un bras de convertisseur composé d'un P-RC-IGBT et d'un N-VDMOS au sein d'un substrat unique à super-jonction, composé de piliers P et N.

Enfin nous étudierons également la possibilité d'intégrer monolithiquement les fusibles, étudiés dans les chapitres précédents, sur les composants du bras monolithique composé d'un P-RC-IGBT et d'un N-VDMOS.

12 REFERENCES BIBLIOGRAPHIQUES

[1] F. Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur," Université de Toulouse Paul Sabatier, 2009.

[2] A. El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs 'bi-puce' et 'mono-puce' pour convertisseurs de puissance compacts," Université de Toulouse Paul Sabatier, 2014.

[3] A. Lale, "Architectures d'intégration mixte monolithique-hybride de cellules de commutaitons de puissance sur puce m uliti-poles silicium et assemblages optimisés," Paul Sabatier, 2017.

[4] C. Park, J. Kim, T. Kim, and D. J. Kim, "Deep trench terminations using ICP RIE for ideal breakdown voltages," *IEEE Int. Symp. Power Semicond. Devices ICs*, pp. 199–202, 2003.

[5] L. Théolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assie-Souleille, and N. Mauran, "A new junction termination using a deep trench filled with BenzoCycloButene," *IEEE Electron Device Lett.*, vol. 30, no. 6, pp. 687–689, 2009.

[6] Synopsys, "Synopsys TCAD Sentaurus," 2021. [Online]. Available: https://www.synopsys.com/silicon/tcad.html. [Accessed: 26-Jul-2021].

[7] Loic Théolier, "Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance," Université Paul Sabatier Toulouse 3, 2009.

[8] B. J. Baliga, *Power Semiconductor Devices.pdf*. 1995.

[9] T. Musikka, "Usability and Limitations Of Behavioural Component Models in IGBT Short-Circuit modeling," Lappeenranta–Lahti University of Technology Finland, 2020.

CONCLUSION GENERALE

Les travaux présentés dans cette thèse s'inscrivent dans le contexte de l'intégration en électronique de puissance visant plusieurs objectifs : réduction des effets parasites dans les convertisseurs de puissance, réduction de l'encombrement des modules de puissance par l'optimisation de l'intégration des cellules de commutation, amélioration de la fiabilité et une meilleure de gestion des défauts (court-circuit).
Afin de répondre à ces attentes et objectifs, nous visons dans ces travaux une approche d'intégration monolithique par l'association de composants fusibles sur substrat silicium. Cette approche se décline sous deux configurations. La première configuration dite "*Fusible Stand-alone*", consiste à réaliser des fusibles (200 V/10 A) en cuivre sur substrat silicium et à étudier leur comportement statique et dynamique sur les plans électrique et thermique. La seconde configuration consiste à ajuster le procédé de fabrication des fusibles pour les implanter sur des puces diodes silicium verticales, dans une architecture particulière dite "*Fuse-on-diode*".
Dans la même optique que l'intégration monolithique, nous avons également exploré une nouvelle approche associant des composants IGBT et VDMOS sur une seule puce silicium, sans la nécessité d'une isolation traversante. Un exemple de configuration intégrant un P-IGBT et un N-VDMOS est étudiée sur les plans statique et dynamique. Une amélioration de cette architecture contre un éventuel court-circuit qui pourrait engendrer le *latch-up* du composant P-IGBT est également proposée et étudiée.

Les travaux menés dans cette thèse, visant l'étude et réalisation de ces approches "*Fusible Stand-alone*" et "*Fuse-on-diode*", ainsi que l'exploration de cette nouvelle approche d'intégration monolithique d'un bras de convertisseur intégrant des structures P-IGBT et N-VDMOS peuvent être classés en trois volets :

Volet 1- étude, conception et réalisation des puces fusibles sur substrat silicium : La démarche de conception des puces fusibles commence par un premier dimensionnement thermique permanent à l'aide d'un modèle analytique 1D de constriction fusible développé antérieurement sous Excel™. A épaisseur (18 µm) et longueur (1 mm) de constriction imposée, la section de la constriction est paramétrée par ajustement de la largeur, pour respecter la température maximale (115 °C) autorisée au courant nominal (10 A). Ces premiers paramètres géométriques sont ensuite implémentés dans un modèle par éléments finis 3D sous Comsol™ afin d'ajuster de manière plus fine les sections des pistes fusibles. Les pads des fusibles sont également optimisés par itérations pour assurer une bonne évacuation des calories, avec le minimum de place occupée. Nous avons dimensionné quatre prototypes de ces fusibles, suivant le nombre de constrictions en série et en parallèle. Les composants sont ensuite réalisés en salle blanche du LAAS-CNRS par la société 3DiS technologies spécialisée dans le report conforme 3D de différentes connectiques complexes. Les fusibles sont réalisés sur un substrat silicium passivé par une couche de nitrure (200 nm d'épaisseur) sur chacune des faces afin de renforcer la tenue en tension latérale entre les pads après fusion. Puis une couche de résine époxy (25 µm) (faible conductivité thermique) épaisse est réalisée. Cette dernière sert à découpler thermiquement les constrictions du substrat silicium (forte conductivité thermique) et concentrer la chaleur aux centres des pistes pour améliorer les performances de coupure des fusibles en régime d'arc et aussi protéger mécaniquement le substrat de l'effet de l'arc. Après le dépôt d'une couche d'accroche (Nickel/Tungstène) sur les plaquettes, une couche de cuivre de 18 µm est réalisée par moulage et croissance électrolytique pour former les pistes et les pads des fusibles.
Une fois la réalisation terminée, les composants ont été caractérisés au laboratoire LAPLACE et testés en régime de fonctionnement nominal et en régime de claquage afin de valider leurs fonctionnements et comparer leurs caractéristiques aux fusibles CMS du commerce. Les fusibles ont montré des caractéristiques très intéressantes en termes de pouvoir de coupure et surtout de sensibilité, avec notamment des tensions coupées de 200 V, des temps de pré-arc (quelques microsecondes) et des valeurs d'I^2T (inférieur à 2 $A^2.s$) très faibles.

Volet 2- Dimensionnement, démarche d'intégration et réalisation des fusibles sur diodes silicium verticales: Après les essais concluants des fusibles "*Stand-alone*", nous avons par simulations TCAD Sentaurus™, simulé l'intégration fusible sur diode verticale et étudié les différents cas de fonctionnement, selon que le fusible soit continu ou rompu. Ces simulations ont notamment permis de vérifier la bonne tenue en tension des composants et l'absence de courants de fuite importants en régime de fonctionnement post-claquage. Des simulations Comsol™ ont été menées afin de dimensionner les fusibles à intégrer sur ces diodes. Comme pour les fusibles "*Stand-alone*", nous avons dimensionnés et calibrer les sections des constrictions afin de respecter la température maximale autorisée au courant nominal.
Nous avons dimensionné deux prototypes de ces composants "*Fuse-on-diode*". La différence tient dans la surface du pad d'aluminium formant l'anode des diodes en face avant des puces. Le premier design possède un pad d'aluminium recouvrant que partiellement la couche P^+ formant l'anode (en face avant), une couche de nitrure vient ensuite recouvrir le reste de la couche P^+. Le second design intègre un pad d'aluminium qui recouvre entièrement la couche P^+. Puis une couche de nitrure est déposée sur une partie du pad d'aluminium, avant de réaliser le cuivre des pads des fusibles. Cela servira à dissocier l'un des pads (en cuivre) du fusible du contact aluminium de la diode. L'idée initiale étant d'exploiter de manière optimale la couche P+ avec le contact anode tout en assurant des courants de fuites faibles en régime post-arc.
La réalisation des "*Fuse-on-diode*" commence par le procédé de la diode, en utilisant la filière flexible IGBT du LAAS, mise en place et améliorée durant les précédents travaux. Les diodes réalisées ont été caractérisées à la fin de ce processus pour valider les bonnes caractéristiques des composants, avant de continuer le procédé de fabrication. Puis, la société 3DiS Technologies a repris les plaquettes des diodes et a réalisé (en salle banche du LAAS) par le même procédé que celui des "*Stand-alone*", les fusibles sur la face avant des composants.
Une fois la réalisation terminée, les diodes ont été également caractérisées afin de vérifier que leurs caractéristiques ne soient pas altérées par le procédé des fusibles. Des tests de claquage ont été menés au laboratoire LAPLACE afin de valider le principe d'intégration à travers le bon fonctionnement des composants en statique et en dynamique (régime de claquage) et vérifier que les résistances d'isolation post-arc soient très élevées, signe de courants de fuites négligeables. Des résultats de claquage réussis sous une tension de 100 V ont permis de valider le bon fonctionnement des composants, avec des valeurs de pré-arc relativement faibles (inférieur à 2 $A^2.s$). Les courants de fuites post-arc sont également faibles (autour de 30 µA sous 100 V), garantissant des résistances d'isolation élevées (3 MΩ). Nous n'avons pas pu obtenir des résultats de claquage à des valeurs de tensions coupées supérieures à 100 V, car la couche de nitrure au champ de claquage faible, est altérée par les surtensions résultantes des phases d'arc des fusibles.

Volet 3- Exploration de l'approche d'intégration monolithique P-IGBT et N-VDMOS : Nous avons proposé une nouvelle approche innovante d'intégration d'un bras de convertisseur composé d'un P-IGBT et d'un N-VDMOS. Cette approche s'inscrit dans la continuité des travaux d'intégration menés conjointement entre le LAAS-CNRS et le LAPLACE ces dernières années, notamment à travers les thèses de A. El Khadiry et A. Lalé. Jusqu'ici, durant les précédents travaux, des approches d'intégration très originales ont été proposées, étudiées et pour certaines réalisées. En revanche, dans ces approches, un mur traversant était nécessaire à chaque fois afin d'isoler les composants électriquement en version "sources" ou "émetteurs communs" et que seule l'approche mono-puce permettait une intégration complète de l'ensemble d'un bras d'onduleur. La réalisation technologique de cette isolation traversante est très complexe, coûteuse et prend du temps. La solution proposée dans cette thèse consiste à associer un P-IGBT et un N-VDMOS en mutualisant les couches N^+ communes aux deux composants sur leurs faces arrière. Cette approche ne nécessite pas de murs traversants, mais elle requiert l'utilisation de deux régions faiblement dopées de natures différentes (N- et P-) au sein d'une même puce.
Le dimensionnement du bras P-IGBT et N-VDMOS commence par la détermination des dopages et épaisseurs des zones de drift afin de supporter la tension de bus. Puis, à l'aide des courbes de tension et densités de courant des composants, on détermine le couple courant et chute de tension associée afin de

limiter les pertes Joules dans le convertisseur à 50 W/cm². A l'aide d'équations reliant surfaces occupées et rapport cyclique, nous calculons le courant nominal dans le bras pour limiter les pertes à la contrainte électrothermique imposée (50 W/cm²).
Dans l'éventuelle survenue d'un court-circuit, les structures P-IGBT peuvent rentrer en *latch-up* par déclenchement du thyristor parasite. Cela provoque la perte du contrôle du composant à travers sa grille. Nous avons donc exploré et proposé une approche d'intégration dans laquelle nous améliorons la structure précédente (P-IGBT et N-VDMOS) en rajoutant un transistor P-MOS à canal préformé, placé en série de l'IGBT, afin de dépolariser la tension de grille de l'IGBT et ainsi limiter le courant dans ce dernier par saturation du composant P-MOS.
Le fonctionnement des différentes structures proposées et explorées a été validé par simulations TCAD Sentaurus™.

En perspectives de ces approches d'intégration monolithique de bras de convertisseur composé d'un P-IGBT et d'un N-VDMOS, nous prévoyons des approches visant à optimiser les structures actuelles. Dans un premier temps, nous nous intéresserons à l'intégration du P-MOS à canal préformé avec le P-IGBT, en étudiant la possibilité de mutualiser des diffusions P^+ des sections P-IGBT et du P-MOS afin de réduire la surface occupée du P-MOS. Dans un second temps, nous étudierons la possibilité d'intégrer la diode de roue libre au sein du P-IGBT pour en faire un P-RC-IGBT.

Afin d'envisager l'exploitation de cette approche d'intégration dans des applications mettant en jeu des tensions supérieures ou égales à 600 V, nous explorerons les possibilités d'intégration monolithique d'un bras composé d'un P-RC-IGBT et d'un N-VDMOS au sein d'un substrat unique à super-jonction, composé de piliers P et N.

Les perspectives de ce travail de thèse consisteront également à aller davantage vers l'intégration des fusibles sur composants de puissance verticaux. Nous allons notamment travailler sur l'amélioration du processus d'intégration des fusibles sur les diodes et optimiser la surface occupée par une géométrie orthogonale ou dite 3D sur la diode. Une extension à l'intégration fusible sur composants actifs commandables est également à envisager. Nous souhaitons aussi améliorer le pouvoir de coupure avec des tensions plus élevées, en travaillant sur les matériaux de passivation volumique sur le dessus du fusible.

Nous allons par la suite orienter nos recherches vers une approche d'intégration monolithique de ces fusibles sur composants IGBT et/ou VDMOS. Cette approche permettra in-fine de disposer de convertisseur de puissance plus compacts et plus sécurisés grâce aux fusibles qui garantiront une coupure dernier secours et une isolation post-claquage avec des courants de fuite négligeables. Les puces fusibles ont notamment montré des valeurs d'I^2T et des temps de pré-arc très faibles, idéales pour isoler le défaut localement et éviter sa propagation.

Résumé

Les convertisseurs de puissance sont aujourd'hui largement déployés dans plusieurs applications du quotidien qui requièrent un grand niveau de sécurité, de fiabilité et de disponibilité. Afin de répondre à ces exigences, il a fallu fonctionnaliser les modules de puissances avec des cellules de commutations à tolérance de panne et la possibilité de faire de la redondance, afin de pouvoir continuer à opérer même en cas de défaut. Ces fonctions évoluées sont assurées par le rajout de protections électroniques, des composants tels que des fusibles, des composants de puissance auxiliaires, pour permettre la connexion de bras secours.

Dans cette thèse, on traite deux thématiques d'intégration d'électronique de puissance, dans l'idée de proposer des solutions d'intégration plus poussées, qui aspirent à rendre les convertisseurs de puissance, plus sécurisés et plus compacts. Dans un premier temps, on s'intéresse à l'intégration de fusibles de manière monolithique sur des composants de puissance verticaux qui composent les cellules de commutations à tolérance de panne. Cette approche permettrait de produire des composants auto-sécurisés, capable d'isoler le défaut rapidement, sans le propager. La seconde thématique de cette thèse, concerne la proposition et l'étude de nouvelles architectures de cellules de commutations complètement monolithique, réalisées verticalement sur une seule puce silicium. On s'intéresse notamment à l'intégration de bras de convertisseurs composé de transistors IGBT (type P et N) et VDMOS (type P et N). L'utilisation de composants type P reste limité dans les structures de convertisseurs de puissance. Néanmoins, la démarche d'intégration monolithique sur une seule puce, avec d'autres composants de type N, reste très intéressante pour des applications spécifiques.

Pour valider ces approches d'intégration proposées, des fusibles 10A/200V ont étés dimensionnés et réalisés par croissance électrolytique conforme avec une résolution micro-métrique sur puce silicium. Une zone tampon en époxy a été introduite localement dessous les constrictions fusibles pour isoler thermiquement ces dernières du substrat silicium. Ce matériau permet aussi de protéger la puce d'une ablation par le plasma d'arc. La tenue en tension latérale a été renforcée par une couche de nitrure à l'interface fusible – puce. Il a aussi été montré que le gel silicone présent dans les modules de puissance permettait d'absorber efficacement et de passiver dans le volume les vapeurs métalliques issues de la fusion des constrictions. Une approche générique de dimensionnement électrothermique 3D de ces fusibles a été menée sous Comsol™. Les principales architectures ont été optimisées sous contraintes de température et de surface d'implantation. La meilleure d'entre-elles, basée sur un agencement série – parallèle présente un gain en compacité et en sensibilité I^2Tp cinq fois meilleurs que ceux du commerce. Une fois le fonctionnement validé, ce processus a été adapté et reporté sur des composants diodes verticales.

L'approche d'intégration de nouvelles cellules de commutation consiste à mutualiser des couches communes en face arrière des composants IGBT et VDMOS, pour les intégrer sur une même puce silicium. En comparaison des travaux précédents sur l'intégration de bras complet, cette approche ne requiert pas de mur isolant traversant, ce qui rend la réalisation moins complexe. Le dimensionnement des composants est conditionné par une contrainte électrothermique de 50 W/cm^2. Pour une surface totale de silicium de 1 cm^2 et pour un rapport cyclique donné, le courant nominal passant dans le bras est calculé en respect de la contrainte électrothermique imposée. Pour valider l'approche d'intégration, des simulations TCAD Sentaurus™, pour des temps de commutations courts sur un bras IGBT et VDMOS ont étés réalisées. Les résultats de l'intégration discrète et monolithique de l'association IGBT et VDMOS sont comparées. Des simulations électrothermiques transitoires de bras en court-circuit ont étés également étudiées. Une solution combinant un IGBT et un Mosfet basse tension à canal préformé est proposée et validée pour éviter les phénomènes de latch-up en court-circuit.

Abstract

Power electronic converters are widely used in different applications requiring high reliability and availability. In order to address these requirements, the power modules have been enhanced to include features like redundancy, through fault tolerant switching cells, which allows to guarantee continuity of service. These evolved features are performed by adding electronics protections, using components like diodes, fuses, thyristors, to allow the connection of a back-up leg.

In this thesis, two power electronic integration issues are studied through design simulations and realization in order to provide more compact and secured power modules. First, fuses made of thin copper layer deposited on silicon power diodes, used in fault tolerant switching cells, are designed and simulated using finite elements methods. The main objective is to produce auto-secured components, able to perform quick fault isolation, with very low fuses break-up energies. The second subject of this work concerns the study and development of new fully monolithic integrated switching cells on the same silicon chip. More specifically, the work deals with the integration of an inverter leg composed of IGBT (type N and P) and VDMOS (type N and P) components. For power conversion applications, the use of P-type power devices is very rare as compared to N-type power devices. This is mainly due to the poor on-state characteristics of P-type power devices as compared to their N-type counterparts. However, the association of P-type and N-type transistors, for specific applications, can make easier the monolithic integration in one chip of the phase leg.

In order to validate the proposed integration approaches, 10A/200V fuses were designed and realized by uniform copper electrolytic growth, with micrometric resolution, on silicon substrate. In order to thermally isolate the fuses constrictions from the silicon substrate, a buffer layer of epoxy has been introduced between them. The material also allows to protect the silicon chip from breakdown due to plasma arc during the fuses cut-off. When the constrictions evaporate, the fuses have to sustain the rated voltage, without important leakage current. In order to ensure this feature, a thin nitride layer is added between the fuses and the silicon substrate. Power modules provided silicone gel showed interesting results regarding the passivation of vaporized metallic particles during fuses cut-off. A generic electrothermal design approach using Comsol™ has been used to design 3D fuses models. The different fuses designs have been optimized according to their maximum allowed temperature and occupied surface. The serial and parallel configuration is the most compact fuses design, with an I^2T ($[A^2.s]$) at least five times lower compared to commercially available fuses. Once the design experimentally validated, the process is updated and reported on vertical power diodes. The proposed monolithic switching cells integration based on IGBT and VDMOS components consists on mutualizing the common backside regions of the two components in one single silicon chip. Compared to the former work regarding converter leg integrations, this approach does not require any isolating through wall, which eases the realization process. The components design relies on an electrothermal constraint of 50 W/cm^2. For a total chip area of 1 cm^2 and for a provided duty cycle, the nominal current is calculated according to the electrothermal constraint. TCAD Sentaurus™ simulations, under very short turn-on times, were carried out in order to validate the integration approach. Electrothermal transient simulations were realized on a short-circuit converter leg in order to study the components behavior. A solution combining an IGBT and low power Mosfet is proposed and validated to avoid the latch-up phenomenon during short-circuit occurrence.