N°d'ordre NNT : **2021LYSEC36**

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de l'Ecole centrale de Lyon

Ecole Doctorale N° ED 160
Electronique, Electrotechnique et automatique

Spécialité de doctorat :
Discipline : Électronique, micro et nano-électronique, optique et laser

Soutenue publiquement/à huis clos le 21/09/2021, par :
Adil Brik

Méthode de conception des systèmes intégrés multi-physique et continues-discrets

---

Devant le jury composé de :

Luc Hébrard	Professeur	Université de Strasbourg	Rapporteur
Dominique Morche	Ingénieur de Recherche	CEA	Rapporteur
Liliana Andrade	Maître de conférences	Polytech Grenoble	Examinatrice
Hervé Barthélémy	Professeur	Université de Toulon Var	Président
Ian O'Connor	Professeur	Ecole Centrale de Lyon	Directeur de thèse
Lioua Labrak	Maître de conférences	CPE Lyon	Co-directeur de thèse
Daniel Saias	CEO	Asygn	Invité
Ramy Iskander	CEO	Intento Design	Invité

Table de matières

Liste des Figures *5*

Liste des tableaux *8*

1. Introduction générale *9*

1.1. Contexte **9**

1.2. Motivations et contributions **11**

1.2.1. Motivation 11

1.2.2. Contributions 14

1.3. Organisation **16**

2. État de l'art : Simulation et modélisation des systèmes hétérogènes *18*

2.1. Les défis de la conception hétérogène **18**

2.1.1. Considérations générales 18

2.1.2. Défis et solutions potentielles 20

2.2. Modélisation des systèmes hétérogènes **22**

2.3. Flot de conception des systèmes hétérogènes (LIFT) **25**

2.3.1. Flot de conception de LIFT 26

2.3.2. Modélisation prédictives basées sur les fronts de Pareto 27

2.3.3. Optimisation (algorithmes) 30

2.3.4. Synthèse hiérarchique des systèmes hétérogènes 33

2.3.5. Visualisation des fronts de Pareto (N>3) 36

2.4. Conclusion **41**

3. Accélération de conception des circuits intégrés analogiques et multi-physique basées sur la modélisation prédictive *42*

3.1. Introduction **42**

3.2. Accélération de l'extraction de modèles prédictifs des circuits analogiques et multi physiques **43**

3.2.1. Circuits analogiques 43

3.2.2. Optimisation et modélisation des blocs multi physiques 51

3.3. Front de Pareto à n-dimension : Front de Pareto **61**

3.3.1. Choix de groupes de performances : Coefficient de corrélation 63

3.3.2. Combinaison de front de Pareto 65

3.3.3. Représentation de fronts de Pareto à n-dimensions : HSDC 66

3.3.4. Incorporation des préférences 70

3.4. Conclusion 72

4. Synthèse hiérarchique des systèmes hétérogènes 74

4.1. Introduction 74

4.2. Top-down 76

4.2.1. Propagation de contraintes en utilisant les fronts de Pareto 76

4.2.2. Mise en œuvre de l'approche 81

4.2.3. Exemple de conception d'un convertisseur Buck DC-DC 82

4.3. Bottom-up 87

4.3.1. Vérification basée sur les fronts de Pareto 87

4.3.2. Utilisation d'ID-Xplore™ et Tactyle 89

4.3.1. Exemple de conception d'un convertisseur Buck DC-DC 90

4.4. Flot de conception 95

4.4.1. Application à un système d'Accéléromètre (incomplète) 97

4.5. Conclusion 105

5. Optimisation des systèmes hétérogènes basés sur des AFE 106

5.1. Introduction 106

5.2. Sensor Hub 107

5.3. Analog Front-end 108

5.3.1. AFE configurable 109

5.3.2. Optimisation des AFE configurables 109

5.4. Cas d'étude : Configuration d'Odyle 110

5.5. Conclusion 120

6. Conclusion et perspectives 121

Bibliographie 125

Liste des Figures

Figure 1. 1:Architecture du réseau de capteurs impliquant un « Sensor Hub » 10
Figure 1.2: Conception d'un système hétérogène avec différents flots de conception 12
Figure 1. 3 : Conception des systèmes hétérogènes avec le cycle en V 12
Figure 2. 1: [17] les différents niveaux de l'intégration hétérogène 19
Figure 2. 2: [17] Les démarches (actuelle et future) de conception relative à l'intégration hétérogène 20
Figure 2. 3: flot de conception d'un système hétérogène de type laboratoire sur puce (lab-on-chip) 24
Figure 2. 4: Flot de conception de LIFT 26
Figure 2. 5 : Synopsis d'un processus de conception automatique 27
Figure 2. 6 : L'espace de performance F et l'espace de paramètres X avec le front de Pareto f* et son Pareto set correspondant x* 28
Figure 2. 7: Caractérisation des fronts de Pareto 29
Figure 2. 8: Construction d'un modèle prédictif basée sur un front de Pareto 29
Figure 2. 9: Comparaison de GA et Fmincon 31
Figure 2. 10: l'organisation hiérarchique des systèmes complexes 34
Figure 2. 11: Relation entre niveaux hiérarchique dans un processus de conception 35
Figure 2. 12 : [53] Représentation 2D et 3D des ensembles d'approximation de référence ... 37
Figure 2. 13 : [53] Visualisation de l'approximation des fronts de Pareto avec la méthode diagramme de niveau 39
Figure 2. 14: [53] Visualisation de l'approximation des fronts de Pareto avec HSDC 40
Figure 3. 1 : Flots de conception : conventionnel (à gauche) et d'Intento design (à droite) ... 44
Figure 3. 2 : Construction du graphe de design 46
Figure 3. 3 : Utilisation de graph sous ID-Xplore™ 47
Figure 3. 4 : Organigramme représentant le processus d'identification de points non-dominés pour 2 objectifs 48
Figure 3. 5 : OTA Miller 48
Figure 3. 6 : Espace de performance et fronts de Pareto de l'OTA Miller sous AMS 0,35 µm 50
Figure 3. 7 : Espace de performance et fronts de Pareto de l'OTA Miller sous Xfab 0,18µm 50
Figure 3. 8 : Algorithme Générale et algorithme multi objective de l'ACO 54

Figure 3. 9 : Communication entre MIDACO et Tactyle 56
Figure 3. 10: accéléromètre MEMS à effet tunnel 57
Figure 3. 11: Modèle mécanique de second ordre de type : Masse-Ressort-Amortisseur 58
Figure 3. 12 : modèle du transducteur capacitif 59
Figure 3. 13: bande passante d'un circuit résonant RLC 60
Figure 3. 14: Front de Pareto du transducteur (facteur de qualité VS la bande passante) 61
Figure 3. 15 : flot de la construction de modèles prédictifs 62
Figure 3. 16 : Chemin de HSDC et correspondance des points 68
Figure 3. 17 : Indices HSDC des points de Pareto A-E 69
Figure 3. 18 : Représentation HSDC des 4 performances du problème d'optimisation OTA Miller 70
Figure 3. 19 : Incorporation des préférences du problème à 4 performances 72
Figure 4. 1: [1] Relation entre niveaux d'abstraction et niveaux de description 75
Figure 4. 2: Approche top-down retenue 80
Figure 4. 3: Propagation des contraintes utilisant des Pareto set 81
Figure 4. 4 : Convertisseur DC-DC Buck avec contrôle Sigma-Delta 82
Figure 4. 5 : Front de Pareto du convertisseur DC-DC Buck 85
Figure 4. 6 : Propagation des contraintes du système Buck DC-DC à l'amplificateur 86
Figure 4. 7: combinaison des fronts de Pareto dans une approche Bottom-up 87
Figure 4. 8 : Notre approche Bottom-up 89
Figure 4. 9 : Schéma de la paire différentielle 90
Figure 4. 10 : a) Front de Pareto et b) Pareto Set du convertisseur Buck DC-DC 91
Figure 4. 11 : Pareto set initial (Model) avec le Front de Pareto et l'espace de performance (PS) l'amplificateur différentiel 93
Figure 4. 12 : nouveau front de Pareto du système Buck (Rouge) avec l'ancien front de Pareto 94
Figure 4. 13: Flot de conception proposé 96
Figure 4. 14 : Système masse ressort amortisseur 97
Figure 4. 15 : Principe de mesure de l'accélération par un accéléromètre 98
Figure 4. 16 : Hiérarchie du système de l'accéléromètre 99
Figure 4. 17 : Interfaçage du modèle du transducteur avec un amplificateur de charge (C2V) 100
Figure 4. 18 : Montage de la résistance de feedback du C2V R_f 101

Figure 4. 19: Montage de la capacité de feedback C_p 101
Figure 4. 20: Montage pour la mesure de l'intensité du bruit 102
Figure 4. 21 : Front de Pareto : Gain vs intensité du bruit (RMS) du C2V 103
Figure 4. 22 : Montage de mesure du SINAD du système de l'accéléromètre 104
Figure 5. 1**:** Processeur d'application sans/avec Sensor Hub 107
Figure 5. 2 : Système de capteur 109
Figure 5. 3 : Processus de configuration automatique 110
Figure 5. 4 : [1] Schéma bloc de la plateforme Odyle (AS3125-EVB) 111
Figure 5. 5 : Idyle (AS3125) IC block diagram 113
Figure 5. 7 : Chaîne CA 114
Figure 5. 6 : Montage de mesure de l'application 115
Figure 5. 8 : Schéma de communication haut niveau entre la plateforme d'évaluation et l'outil d'optimisation 118
Figure 5. 9: Front de Pareto SNR vs IIP3 119
Figure 6. 1: Méthodes de conception développées des systèmes hétérogènes 122

Liste des tableaux

Tableau 3. 1: Contraintes de performances de l'OTA Miller 49
Tableau 3. 2 : Comparaison entre Tactyle et d'autres simulateurs 51
Tableau 3. 3 : Relation entre les paramètres électriques et mécaniques 59
Tableau 3. 4: Formulation du problème d'optimisation du transducteur 60
Tableau 4. 1 : Problème d'optimisation Ripple vs Power Loss 83
Tableau 4. 2: L'impact des paramètres d'optimisation sur le système du convertisseur avec les bornes de chaque paramètre 84
Tableau 4. 3: Temps d'optimisation et de simulation 85
Tableau 4. 4: Problème d'optimisation de la paire différentielle 92
Tableau 5. 1 **:** Problème d'optimisation du système de capteur 116
Tableau 5. 2 **:** Paramètres d'optimisation 117
Tableau 5. 3 : Pareto front et Pareto set du problème d'optimisation 119

1. Introduction générale

1.1. Contexte

Les composants hétérogènes représentent des dispositifs qui ne sont pas nécessairement dimensionnés selon la "loi de Moore" et qui apportent une diversification fonctionnelle, c'est-à-dire une valeur ajoutée de différentes manières, comme la production et la gestion de l'énergie, ou la détection et l'actionnement à l'aide de capteurs de mouvement (accéléromètres, gyroscopes et magnétomètres), de capteurs d'environnement (niveau de lumière, couleur, température, pression, humidité) ou de biocapteurs (eNoses, pression sanguine, pH). Des exemples de systèmes physiquement hétérogènes mentionnés peuvent se trouver dans différents marchés comme le pharmaceutique par exemple, avec la bio-analyse effectuée de manière autonome par les dispositifs appelés « lab-on-chip » [1] ou encore l'électronique grand public comme les smartphones, enceinte et montre connectées.

L'approche "More-Than-Moore" (MTM) permet à ces fonctionnalités non numériques de migrer du niveau de la carte vers le boîtier (SiP) ou vers la puce (SoC) [2]. Dans les applications portables grand public telles que les smartphones, le nombre de fonctions hétérogènes augmente au rythme de 1,3 fois par an et les possibilités d'intégration de composants hétérogènes se multiplient avec l'avènement de technologies telles que le 2,5D et la 3D monolithique [3]. On prévoit que le marché des circuits intégrés analogiques et hétérogènes connaîtra une explosion dans les prochaines années, en raison de la forte demande de milliards d'objets connectés avec des capteurs intelligents, dans le contexte du Big Data et de l'internet des objets (IdO) [4] [5]. Il convient de noter que le système d'acquisition de données de l'IdO exige de plus en plus la flexibilité et la portabilité du système. Pour cela, les futurs "réseaux de capteurs – Sensor Hub" intégrés nécessiteront l'analyse et la fusion simultanées de données provenant d'un large éventail de types de capteurs pour une interprétation complète de l'état et de la situation des dispositifs, comme illustré dans Figure 1.1. Ces données brutes générées par les capteurs sont utilisées et analysées pour constituer un contexte significatif, tel que le lieu, l'activité ou l'environnement. Les réseaux de capteurs qui effectuent ces analyses contextuelles représentent une idée qui a évolué à partir des appareils mobiles [6] : la fusion de données issues de capteurs pourrait s'effectuer sur un microprocesseur secondaire de moindre puissance pour économiser l'énergie sur le processeur principal. Cela permet une meilleure gestion de l'énergie sans sacrifier les performances en libérant la bande passante du processeur pour

d'autres tâches (traitement des données fusionnées, compression, cryptage …) et en permettant d'opérer des stratégies agressives d'extinction / réveil du processeur principal ("normally-off computing"). Ceci diffère des approches conventionnelles de fusion de données de capteurs où l'on effectue les tâches de regroupement et de fusion de données issues de plusieurs sources d'information sur le processeur principal.

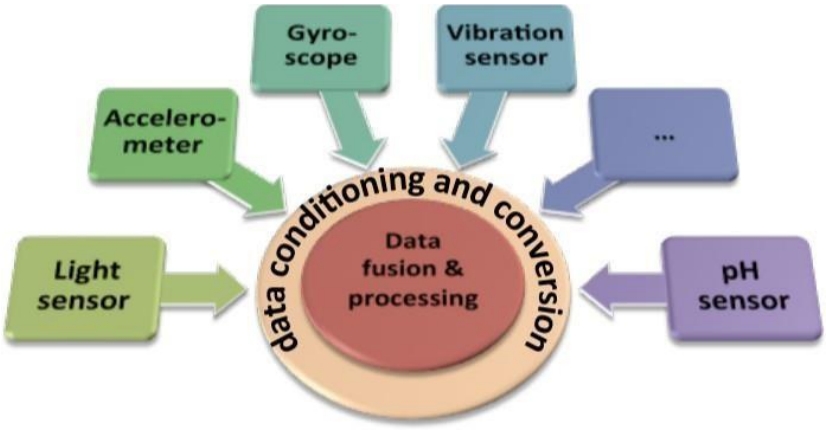


Figure 1. 1: Architecture du réseau de capteurs impliquant un « Sensor Hub »

Un Sensor hub est une excellente option lorsque l'on souhaite traiter des données en arrière-plan, ce qui permet de faire fonctionner des capteurs "toujours actifs" et utilisent les données des capteurs à faible puissance. Un exemple est de faire fonctionner un accéléromètre "toujours allumé" en arrière-plan via un Sensor hub pour compter les pas d'une personne dans un podomètre, sans détourner la puissance de traitement de l'application principale. Il peut également attendre un mouvement important (ou atteindre un nombre important de mouvements individuels) pour réveiller l'unité centrale principale afin qu'elle effectue des tâches plus complexes.

Ce genre de système, qui regroupe à la fois des parties multi-physique (capteurs), analogiques (interfaçage) et numériques (traitement de données), apportent une complexité supplémentaire [7]. En général, ces systèmes ne peuvent pas être conçus dans le même environnement, bien que de nombreuses études cherchent à surmonter cette limite [3]. Si la technologie des procédés et des dispositifs de fabrication de la technologie "More-than-Moore" a progressé, le développement des méthodes de conception n'a pas suivi le rythme. Parmi les nombreux défis technologiques de conception, on peut citer [8]:

- Le délai de mise sur le marché.
- Un flot de conception des systèmes hétérogènes
- La gestion du nombre croissant d'indicateurs de performance et des spécifications.
- La modélisation au niveau système.
- Le partitionnement et la conception des systèmes hétérogènes.

Les travaux de cette thèse vont donc porter sur la résolution des principaux défis mentionnés ci-dessus. En particulier, il s'agira de contribuer au développement d'un outil de conception de systèmes hétérogènes rapide et automatisé pour tendre vers l'exploitation du plein potentiel de la technologie More-Than-Moore.

1.2. Motivations et contributions

1.2.1. Motivation

Le flot de conception des systèmes hétérogènes d'aujourd'hui repose sur différentes méthodologies de conception, s'appuyant sur différents outils de conception assistée par ordinateur (CAO) et d'automatisation de la conception électronique (EDA). La synthèse de ces systèmes est marquée par des flots de conception ad-hoc qui combinent différents simulateurs et modèles comme illustré dans la Figure 1.2. Pour gérer ces flots disjoints, la décomposition hiérarchique est un concept fondamental permettant de séparer les préoccupations de conception et de diviser le problème en parties plus simples et plus faciles à gérer. D'une part, en divisant un système en blocs plus petits en fonction de leurs domaines (par exemple, électronique, optique, fluidique), chaque bloc peut être modélisé et conçu à l'aide d'outils CAO spécialisés. L'inconvénient majeur de ce type de flot est que la vérification des performances reste aux niveaux des modèles utilisés dans la partie synthèse. Dans ces flots séparés, la vérification des spécifications du système ne se fait pas avant l'intégration, ce qui est dû à l'incompatibilité de l'interfaçage des modèles et des outils de conception. La conception des systèmes analogiques et hétérogènes reste un travail très manuel et n'est pas aussi automatisé par rapport au flot de conception numérique. Une explication intuitive à ce retard de l'analogique et du multi-physique sur le numérique est que les système analogiques et hétérogènes se caractérisent par une grande variété de phénomènes physiques qui doivent être

interprétés et modélisés pour être compris et donc maitrisés, alors que les systèmes numériques sont des artefacts artificiels donc facilement formalisables.

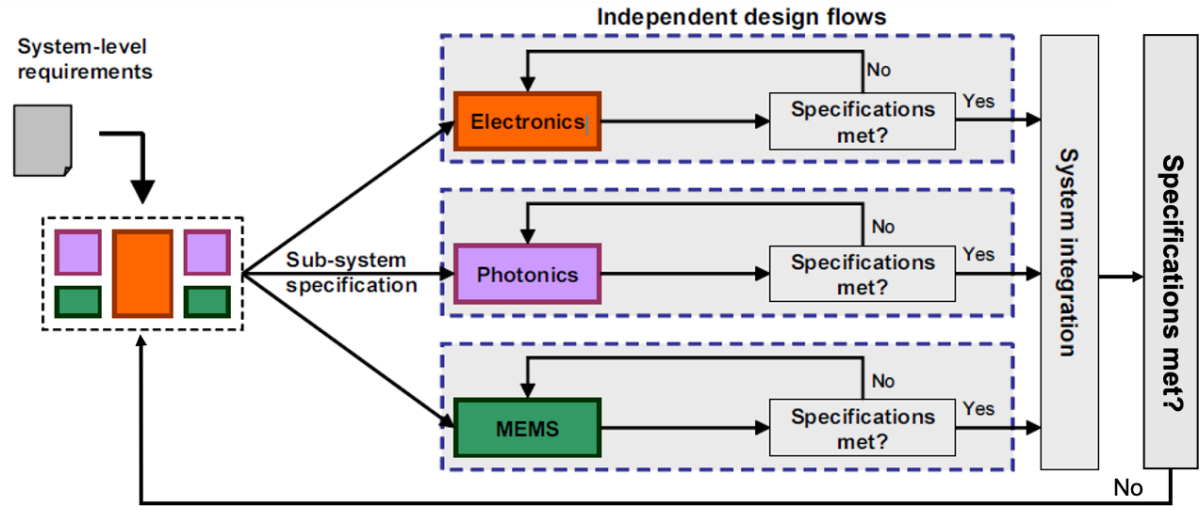


Figure 1.2: Conception d'un système hétérogène avec différents flots de conception

La difficulté aujourd'hui qui se présente dans la conception des systèmes hétérogènes, est le manque d'outils de conception capables de gérer un contenu hétérogène tout au long du cycle de conception en V du système [9], comme illustré dans la Figure 1.3.

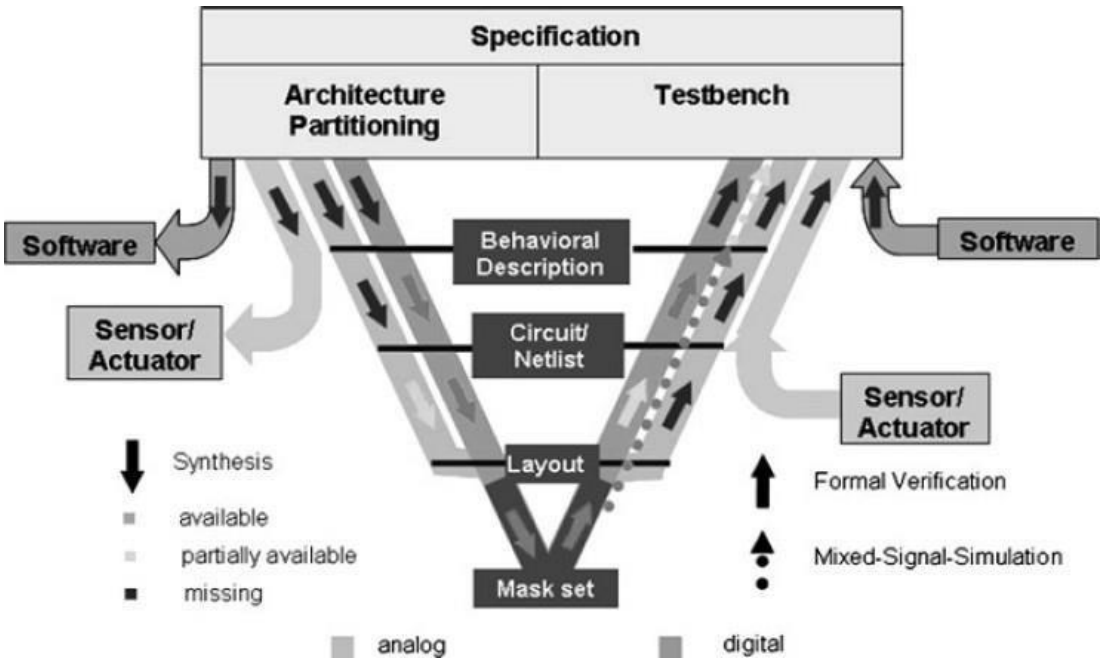


Figure 1. 3 : Conception des systèmes hétérogènes avec le cycle en V

Le cycle de conception en V d'un système hétérogène doit gérer la conception du système en combinant deux approches, la Top-down (partie descendante) et la Bottom-up (partie ascendante).

Pendant la Top-down, la première étape de ce cycle en V est la **spécification**, où l'objectif est de déterminer les performances du système qui respectent les spécifications de l'application souhaitée. L'étape suivante est le **partitionnement** et la **décomposition** d'une manière hiérarchique, ce qui est fondamentale pour concevoir un tel système hétérogène et complexe en cycle en V. En effet, la décomposition permet d'associer à chaque modèle de sous-système les contraintes qui respectent les spécifications du départ. La description de ces modèles de haut niveau se fait à l'aide de langages comportementaux tels que SystemC-AMS [10] et VHDL-AMS [PLV05], ou Simulink [Mat]. La première problématique qui se pose est l'interfaçage entre ces modèles qui est difficile si la modélisation est faite à travers plusieurs outils de modélisation. La synthèse est montrée dans la Figure 1.3 à travers les flèches noires, et montre un manque d'outils et de méthodologie sur les différents flots (multi physiques, analogique et numérique) au niveau comportemental et au niveau netlist/circuit.

Pendant la bottom-up, une fois l'implémentation réalisée et les simulations post-layout avec effets parasites effectuées, les modèles de niveau d'abstraction supérieur sont mis à jour avec des paramètres détaillés pour refléter le dispositif réel aussi précisément que possible. Contrairement à la méthodologie mixte ascendante (flèche en pointillé dans la Figure 1.3), les systèmes mixtes hétérogènes nécessitent également une méthodologie ascendante pour propager les propriétés/parasites de bas niveau au niveau du système. La vérification est effectuée à chaque niveau pour s'assurer que les performances répondent aux attentes à chaque niveau d'abstraction, normalement la vérification ne couvre que les cas cibles des performances analysées.

Pour faire face à ces limitations, il est donc nécessaire de développer des outils permettant de modéliser un contenu hétérogène avec un haut niveau d'abstraction. En effet, l'augmentation du niveau d'abstraction dans le processus de simulation/validation des systèmes analogiques et hétérogènes représente une solution fondamentale pour accélérer le processus global de conception des systèmes. La disjonction des flots est liée aussi aux facteurs du continu discrets au niveau de la synthèse. Ceci pousse à développer des méthodes de conception multi physique et continues discrets qui visent à joindre les différents flots pour arriver à faire une synthèse au niveau système.

Pour joindre les flots du processus de conception d'un système hétérogène, dans la phase de synthèse le rassemblement des paramètres de conception dans un seul problème d'optimisation est une nécessité. Pour cela, un algorithme d'optimisation capable de gérer des paramètres **continues et discrets** tout au de long de la hiérarchie est nécessaire. De plus, l'algorithme d'optimisation doit gérer aussi un grand nombre de paramètres et de contraintes due à la complexité des systèmes hétérogènes.

Pour vérifier l'interfaçage des aspects hétérogènes, des modèles comportementaux des modules du système sont développés en utilisant des langages de description de matériel analogique (AHDLs) (tels que VHDL-AMS [11]). Cela permet de prendre en compte le couplage multi domaine se produisant au sein des systèmes hétérogènes et les circuits de commande et de détection analogiques et numériques. Différents outils sont nécessaires et il est difficile d'optimiser les performances en raison des disparités entre les outils. Cela rend les méthodes de conception des systèmes hétérogènes existantes inefficaces et entraîne des itérations de conception longues et fastidieuses. Pour accélérer la synthèse, un outil de modélisation capable de gérer un contenu hétérogène, permettra de faciliter la propagation des contraintes dans l'étape de synthèse, et de vérifier les performances dans l'étape ascendante.

Nous concluons donc que la synthèse des systèmes hétérogènes porte sur 2 éléments nécessaires :

- Méthode d'optimisation de la conception hiérarchique.
- Les outils de modélisation et de simulation.

1.2.2. Contributions

La nécessité d'optimiser les systèmes hétérogènes intégrés conduit à la recherche sur les langages de description, les simulateurs multi-physique et les méthodes automatisées de conception hiérarchique. Dans cette thèse, nous nous sommes focalisés sur le développement d'un nouveau flot de conception capable de dépasser les défis majeurs de la conception de systèmes hétérogènes :

La **conception niveau système** qui offre plusieurs niveaux d'abstraction et une intégration intuitive entre les différents modules du système.

L'**optimisation continue discrète** pour développer un milieu de conception capable d'optimiser un contenu hétérogène.

La **gestion d'un grand nombre de spécifications** à travers une optimisation et une méthodologie structurée et automatisée capable de passer d'un niveau d'abstraction à un autre.

A cela s'ajoute, une **représentation et une visualisation facile** des compromis du système afin de faciliter le choix des concepteurs.

L'objectif de cette thèse est de développer des outils et des méthodes qui rendent la synthèse des systèmes hétérogènes systématique et automatisable, et qui permet d'explorer l'espace de faisabilité au niveau système. Les compromis de performance au niveau des blocs individuels sont exploités pour atteindre l'optimalité au niveau du système et assurer la réutilisation de la conception.

Cette thèse s'inscrit dans le cadre d'un projet ANR intitulé HELICITY [12]. Son ambition est de mettre au point de nouvelles méthodes de conception pour les circuits intégrés de type More-than-Moore. Le projet regroupe 3 partenaires qui sont Intento Design [13], Asygn [14] et INL-CNRS. Chaque partenaire propose un outil afin de les unifier dans un flot de conception de systèmes analogiques et hétérogènes. Ces outils sont basés sur des recherches industrielles ciblées sur l'extraction de l'espace de conception (ID-Xplore - Intento Design), l'automatisation de la conception (LIFT - INL) et la vérification de systèmes hétérogènes (Tactyle - Asygn).

Premièrement, nous avons proposé une nouvelle méthode pour accélérer la conception de blocs analogiques et multi-physique qui s'appuie sur la création de modèles prédictifs basés sur les fronts de Pareto. Le front de Pareto représentera les solutions des problèmes de conception. Ces solutions sont considérées comme optimales car sont non dominantes dans l'espace de solutions. La génération des fronts de Pareto nécessite l'utilisation de méthodes d'optimisation multi-objectifs qui sont en général coûteux en termes de nombre d'itérations et par conséquent nécessitent beaucoup de temps. Dans ce projet, nous avons cherché à démultiplier la vitesse de génération de ces modèles en intégrant dans le même flot les deux outils ultra-rapides (ID-Xplore et Tactyle).

Dans un deuxième temps, nous avons adapté la méthode de conception hiérarchique des systèmes hétérogènes existante (LIFT) en proposant un flot efficace, avec la possibilité de gérer les données continues et discrètes dans le processus d'optimisation. Cette méthode combine les deux approches Top-Down et Bottom-Up et utilise Tactyle afin de gérer le lien entre les niveaux du système en assurant le lien entre les paramètres d'un bloc au niveau n et les performances des blocs au niveau n-1 (où plus le niveau est élevé, plus le bloc s'approche

du niveau du système complet). En effet, dans la conception hiérarchique, les performances des blocs de niveau inférieur sont considérées comme des paramètres de conception au niveau supérieur. Au niveau système, nous avons utilisé Tactyle pour modéliser les systèmes et les sous-systèmes afin de créer des modèles facilement interfaçables : verticalement entre les niveaux d'abstraction d'une part, et horizontalement entre les sous-systèmes d'autre part. L'utilisation d'un seul outil de modélisation comme Tactyle permet de regrouper les différentes natures des blocs à concevoir puisque c'est un outil capable de modéliser un contenu hétérogène.

Au niveau bas d'abstraction (niveau physique), nous avons traité la conception des circuits analogiques en intégrant ID-Xplore™ dans le flot de conception, afin de rendre le dimensionnent plus efficace. L'intégration d'ID-Xplore™ dans le flot de conception permet d'éviter l'optimisation numérique dans le but d'accélérer la conception des blocs analogiques.

Les systèmes hétérogènes de type SensorHub sont aussi développés avec des plateforme réseau de capteurs IoT[1] qui se multiplient sur le marché [15][16]. Afin d'accélérer leur configuration, nous avons transposé notre approche développée sur LIFT sur ces plateformes afin de trouver les meilleures configurations pour un problème de conception donné. L'application de notre méthode permet de générer des modèles qui encapsule les données de configuration, qui seront utilisés par la suite pour configurer rapidement.

1.3. Organisation

Le chapitre 2 introduit l'état de l'art de la conception de circuits analogiques et hétérogènes, en se concentrant sur les parties analogiques et multi-physique. Ce chapitre met également en évidence la complexité du sujet avec les challenges qui l'accompagnent en proposant aussi différentes solutions afin de surmonter les défis de l'intégration hétérogène.

Le chapitre 3 propose deux méthodes dans l'objectif d'accélérer la conception des blocs analogiques et multi-physique. Les méthodes utilisent les modèles prédictifs basés sur le front de Pareto en intégrant deux outils ultra-rapides (ID-Xplore / Tactyle) dans un processus de conception automatisé. Des exemples d'application sur un OTA[2] et un transducteur capacitif sont aussi présentés.

[1] Internet of Things (Internet des Objets)
[2] Operational Transconductance Amplifier

Dans le chapitre 4, une méthode de conception de systèmes hétérogènes est proposée afin de surmonter la complexité de ce type de système. La méthodologie utilise les méthodes proposées dans le chapitre 3. La méthode au niveau système est développée est démontrée à travers un exemple de système d'accéléromètre.

Dans le chapitre 5, nous présentons une méthode différente et visant les plateformes de type système dans un but de configuration "hardware in the loop". La méthode utilise un émulateur de capteur et un AFE[3] configurable (Kit IoT) pour concevoir un système de capteur (SensorHub).

Enfin, la thèse se termine par une conclusion qui résume les résultats et les contributions, et suggère des perspectives de recherche pour l'avenir.

[3] Analog Front End

2. État de l’art : Simulation et modélisation des systèmes hétérogènes

2.1. Les défis de la conception hétérogène

2.1.1. Considérations générales

L’intégration hétérogène crée de nouvelles possibilités, mais également de nouveaux défis, de conception. L'émergence de nouveaux matériaux et de dispositifs permettant l’évaluation multi-physique, multi-échelles et multi-niveaux apporteront les solutions nécessaires pour de nouvelles applications dans différents domaines (i.e calcul, communication, santé, transport, agriculture …). De nouveaux paradigmes et de nouvelles architectures de systèmes sont à l'étude pour mieux exploiter ces technologies émergentes.

Les défis de l’approche « More-than-Moore » et multi-physique (thermique, optique, électrique, mécanique), et l'approche "More-than-Moore" (MtM) qui permet à ces fonctionnalités non numériques de migrer de la carte système vers le boîtier (SiP) ou la puce (SoC) , ont fait naître le besoin d'outils et de méthodologies de conception. En raison de l'interdépendance nécessaire entre les différents domaines du flot de conception, l'analyse et l'optimisation de la conception doivent être effectuées simultanément dans tous les domaines concernés. Pour une intégration hétérogène, cela implique le remplacement d'un flot de conception séparée par un flot unifié capable de gérer un contenu hétérogène afin de concevoir et d'optimiser des systèmes multi physique complexes.

Il est nécessaire de disposer d'outils de modélisation et de simulation robustes dans le but d'assurer une intégration hétérogène. Les interactions multi domaines pour migrer de la carte à la puce, par exemple, ne peuvent plus être ignorées. Les nouveaux outils de modélisation et de simulation doivent prévoir avec précision le couplage physique (par exemple électrothermique, thermomécanique, etc.) entre les multiples composants semi-conducteurs et le boîtier/système qui les contient. Bien que des outils de modélisation soient disponibles pour prévoir les phénomènes multi physique au niveau des composants, il n'existe actuellement aucune possibilité de prédire ces interactions dans un environnement d'optimisation de la conception. Les développements des modèles basés sur la physique (multi-physique et multi-échelle) et des outils de simulation seront complétés par de nouvelles applications de l'intelligence artificielle et de l’apprentissage automatique (machine learning) pour relever ces défis. L'état de l'art sur la modélisation et la simulation fournit des informations sur les défis et les solutions possibles.

Ce chapitre présente les principaux défis et les solutions potentielles, et explique en détail la manière dont ces outils serviront de base de connaissances pour les systèmes intégrés hétérogènes, comme le montre la Figure 2.1.



Figure 2. 1: [17] les différents niveaux de l'intégration hétérogène

L'exploitation actuelle des outils de modélisation s'appuie sur un domaine physique unique (électrique, optique, thermique, mécanique, chimique), une échelle unique sur un système complexe (SoC / SiP), avec quelques points de conception étudiés. A l'avenir, il sera nécessaire de pouvoir prendre en compte la nature multi-physiques au niveau système, et de disposer d'outils capables de gérer l'hétérogénéité en matière de conception et une analyse des impacts tenant compte des différents niveaux d'abstraction des systèmes. Aujourd'hui, l'impact d'autres facteurs physiques sont supposés de manière générale afin de modéliser un bloc qui interagit avec un autre bloc de différentes natures. Pour les systèmes hétérogènes intégrés, de telles hypothèses deviendront invalides.

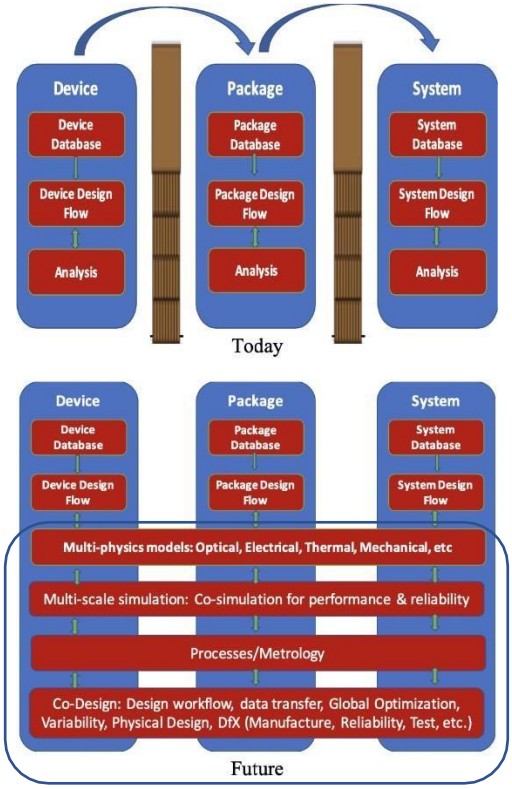


Figure 2. 2: [17] Les démarches (actuelle et future) de conception relative à l'intégration hétérogène

La Figure 2.2 montre que traditionnellement la conception des systèmes intégrés hétérogènes s'effectue en "silo", ou chaque silo représente un niveau de complexité (dispositif, packaging, système). La co-conception permet de remédier à la discontinuité qui existe entre ces différents niveaux, mais l'objectif principal est de regrouper les différents processus de conception et d'optimisation au sein d'une méthodologie unifiée et systématisée, tout en tenant compte des contraintes relatives aux interactions physiques entre les différents domaines d'une part, et relatives aux interactions logiques entre les différents niveaux d'abstraction d'autre part. Ceci signifie que dans le futur il sera nécessaire de développer un flot de conception capable de s'employer à tous les différents niveaux, allant du dispositif et du circuit jusqu'à la carte et au système.

2.1.2. Défis et solutions potentielles :

Pour valider la conception d'une puce avant sa fabrication, il est nécessaire de procéder par l'utilisation des outils de simulation électrique. Toutefois, l'échelle de complexité actuelle

de systèmes sur puce, au-delà d'un milliard de composants élémentaires, rend cette tâche impraticable voire impossible. Mais la conception des puces ne peut plus éviter les problèmes liés aux contraintes multi physique, en particulier avec l'intégration hétérogène 2,5D/3D. Dans une direction descendante, la conception d'un système hétérogène est traditionnellement effectuée en séparant le système en sous-systèmes et blocs par rapport aux domaines. Les spécifications du système se transforment en exigences/contraintes pour les blocs et sous-systèmes. Les effets des interactions multi-physiques doivent être pris en compte. Il faut donc un changement de paradigme dans les outils de conception qui, avec l'analyse électrique, traite à la fois les problèmes multi physiques dans le flot de conception des puces.

Les systèmes hétérogènes peuvent être modélisés à différents niveaux d'abstraction, où des outils de simulation et de modélisation interagissent à différents niveaux. Au niveau bas d'abstraction, on trouve des simulateurs de circuits (de type SPICE, Spectre, …). Dans une direction ascendante dans la hiérarchie du système, on trouve des modèles plus complexes utilisant des langages de description de hauts niveaux pour les modèles signaux mixtes tels que (Systemverilog-RNM, SystemC …) et en bas-niveau tels que (la dynamique moléculaire, les éléments finis et la dynamique des fluides numérique).

La modélisation multi-échelle doit répondre à la nécessité de modéliser les interactions entre les puces à l'échelle du nanomètre (par exemple, les transistors). Un modèle basé sur un maillage tel que les éléments finis ou la dynamique des fluides numérique ne peut pas être utilisé pour traiter les interactions multi-physiques couvrant ces échelles. C'est également le cas dans le domaine temporel, où les principaux effets électriques peuvent se produire à l'échelle de la nanoseconde, alors que les problèmes liés à la multi physique peuvent prendre des secondes, voire des années (dans le cas de la fiabilité), pour apparaître. Pour résoudre le problème de l'échelle dimensionnelle et temporelle, il faut des techniques de modélisation basées sur des sous-modèles, des modèles compacts ou des modèles à réponse de surface [18].

Aujourd'hui de nombreux travaux se développent pour développer des langages de modélisation pour la conception, en parallèle de la représentation et la génération des modèles comportementaux. Les langages de description du hardware (HDL) tels que VHDL [19] et Verilog [20] sont devenus les principaux langages de conception du hardware numérique. Dans le même temps, des extensions analogiques et à signaux mixtes de ces langages comme VHDL-AMS [11] et Verilog-AMS [21] et SystemVerilog [22] ont été développées. Les HDL basés sur le langage C tels que SystemC [23] et SystemC-AMS [10] sont devenue les principaux

langages de conception car ils permettent le développement de modèles plus abstraits de systèmes complexes, y compris les logiciels embarqués.

Pour les systèmes intégrés hétérogènes, les concepteurs arrivent aujourd'hui à établir des modèles spécifiques selon les niveaux d'abstraction. Cependant, les méthodes de propagation des contraintes et de communication entre les différents niveaux d'abstraction ne sont pas clairement établies. Cette lacune est liée aux méthodes développées ainsi qu'aux outils de modélisation, qui empêchent la communication verticale et horizontale entre les différents modèles du système. La simulation du comportement des systèmes intégrés hétérogènes nécessitera des outils de modélisation multi physique capables de prédire avec précision les phénomènes physiques, quelle que soit l'échelle considérée dans le système. L'idée principale est d'avoir une représentation commune de l'ensemble du système à un niveau d'abstraction élevé, en utilisant un langage de modélisation universel.

2.2. Modélisation des systèmes hétérogènes

Les matériaux et les composants d'un système hétérogène présentent souvent un large éventail de paramètres liés au différents domaines physiques. Certains outils de CAO (Tableau 2.1) s'occupent partiellement de la modélisation de systèmes hétérogènes, ce qui donne des modèles de sous-système exprimés avec différents langages de modélisation. L'adoption et l'utilisation d'un seul outil capable de modéliser un système hétérogène n'est pas au même niveau que les outils de CAO des circuits intégrés. Comme ces outils se sont développés pour intégrer la simulation et la modélisation multi domaines, ils sont appelés à jouer un rôle de plus en plus important dans la conception et l'optimisation des futurs systèmes hétérogènes.

Tableau 2. 1: Logiciels de simulation

Circuits	Chaleur	MEMS	Fluidique
Cadence MentorGraphics Tanner Tools Synopsys	COMSOL [24] HeatWave SYMMIC [25] ANSYS [26] FloTHERM [27]	COMSOL IntelliSense CoventorWare [28] MEMS Pro [29]	COMSOL Fluent FLOW-3D CFD-ACE+

Les principaux logiciels de CAO utilisés dans les flots de conception des systèmes hétérogènes sont énumérés dans le Tableau 2. 1. Certains de ces outils, tels que MEMS Pro, sont construits comme des extensions modulaires de logiciels de conception de circuits existants. D'autres outils, tels que ceux proposés par ConventorWare et IntelliSense, sont des environnements plus complets qui comprennent des capacités de modélisation multi-physiques et de simulation de processus MEMS, et ils peuvent être utilisés pour créer des modèles de comportement paramétriques pour les simulateurs de circuits.

Les outils de CAO pour chaque domaine peuvent être utilisés pour simuler des aspects particuliers d'un système intégré. Malheureusement, aucun outil de modélisation ou de simulation ne permet de traiter toutes ces questions de manière adéquate sur une seule plateforme. L'obstacle fondamental à la modélisation d'un système entier avec l'intégration hétérogène est que chacun des domaines est suffisamment complexe pour que la modélisation des interactions entre eux représente un défi important. Deux grands types d'approche existent : la modélisation et la co-simulation.

L'approche de modélisation intégrée est relativement pratique et présente des capacités importantes de mise à l'échelle. Elle consiste à utiliser des outils de modélisation spécifiques à un domaine pour développer des modèles comportementaux au niveau macro qui peuvent ensuite être importés dans un simulateur pour fournir un niveau limité de capacités de simulation multi domaines. Prenons un exemple d’un système multi physique, le Lab-On-Chip, la validation des modèles pour les composants sur CMOS sera non triviale : les dispositifs MEMS peuvent varier de manière significative, et les processus biologiques sont notoirement stochastiques.

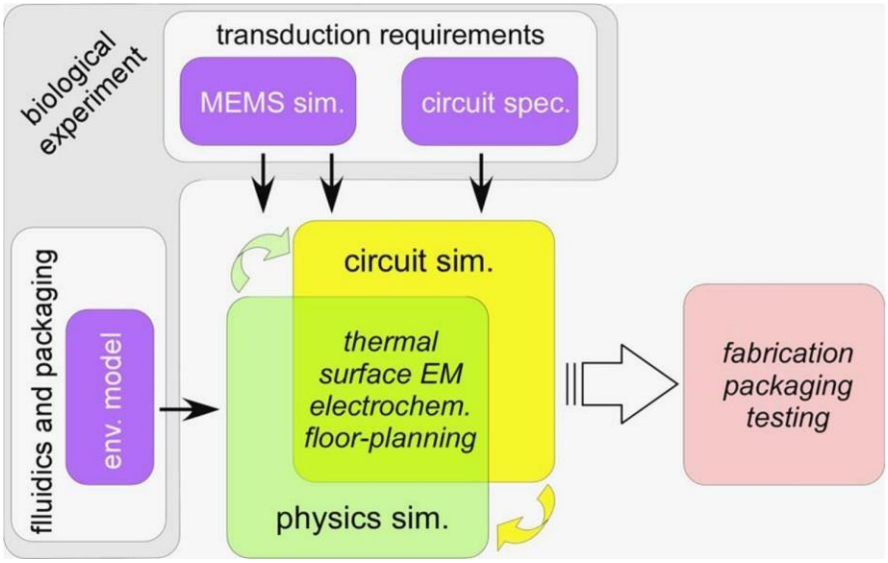


Figure 2. 3: flot de conception d'un système hétérogène de type laboratoire sur puce (lab-on-chip)

Les approches de co-simulation (où chaque moteur de simulation s'exécute sur la partie du système le concernant, et communique et se synchronise avec les autres moteurs de simulation via des processus maîtres) sont plus limitées en termes de nombre de composants pouvant être pris en compte en même temps, mais représentent un moyen plus précis de prendre en compte les interactions. Ici, un processus de simulation itératif couplé est nécessaire, comme celui introduit dans [30] pour la simulation de circuits électrothermiques, ou encore comme la méthode démontrée dans [31] qui utilise les résultats des simulations physiques et de la validation empirique pour créer des modèles SPICE comportementaux de dispositifs MEMS RF. La Fig. 2.3 illustre la méthodologie de conception et de simulation en deux étapes pour les multiples domaines dans lesquels un dispositif de laboratoire sur puce doit fonctionner. Les exigences de transduction sont déterminées par l'expérience biologique (en haut) ainsi que la fluidique d'intégration et le packaging (à gauche). Ces exigences fixent les spécifications (en violet) des circuits et des dispositifs MEMS ainsi que le modèle environnemental pour la simulation physique. Les résultats des simulations de circuits (jaune) sont utilisés pour alimenter les simulations physiques (vert) et vice versa, de manière itérative. Le processus peut couvrir plusieurs domaines physiques. Enfin, les dispositifs sont fabriqués et mis en boîtier.

L'idée principale est que les résultats de la simulation dans un domaine servent à informer les autres. Le processus commence dans cet exemple par la question biologique à laquelle il faut

répondre. Cela fixe les exigences pour la transduction ainsi que l'emballage et l'intégration fluidique. Les modèles multi physiques sont développés séparément et utilisés pour fournir des informations nécessaires pour les modèles de circuits. Ensuite, les simulations de circuits et les simulations multi-physiques sont réalisées de manière itérative.

2.3. Flot de conception des systèmes hétérogènes (LIFT)

L’équipe conception des systèmes hétérogènes a développé en 2012 un outil de conception hétérogènes nommé LIFT [32]. L’outil est basé sur une méthode hiérarchique qui permet une évaluation systématique des compromis de performance dans la conception des systèmes multi-physiques. L’idée est basée sur l'utilisation des courbes de compromis (Fronts de Pareto) comme abstraction appropriée pour le comportement d'un bloc. Le processus est basé sur la caractérisation des courbes de compromis pour chaque bloc et leur propagation ascendante pour identifier les compromis au niveau du système. Le processus de caractérisation est effectué par optimisation numérique qui est coûteux en termes de calcul. Les méthodes d’optimisation et les techniques de synthèse de cet outil représentent l’état de l’art dans la conception des circuits hétérogènes. Le travail de cette thèse rentre dans l’amélioration de LIFT afin d’accélérer l’optimisation et le processus de conception, et étendre l’exploration au contenu continu discret dans le but de concevoir des systèmes hétérogènes complexes types Sensor hub.

2.3.1. Flot de conception de LIFT

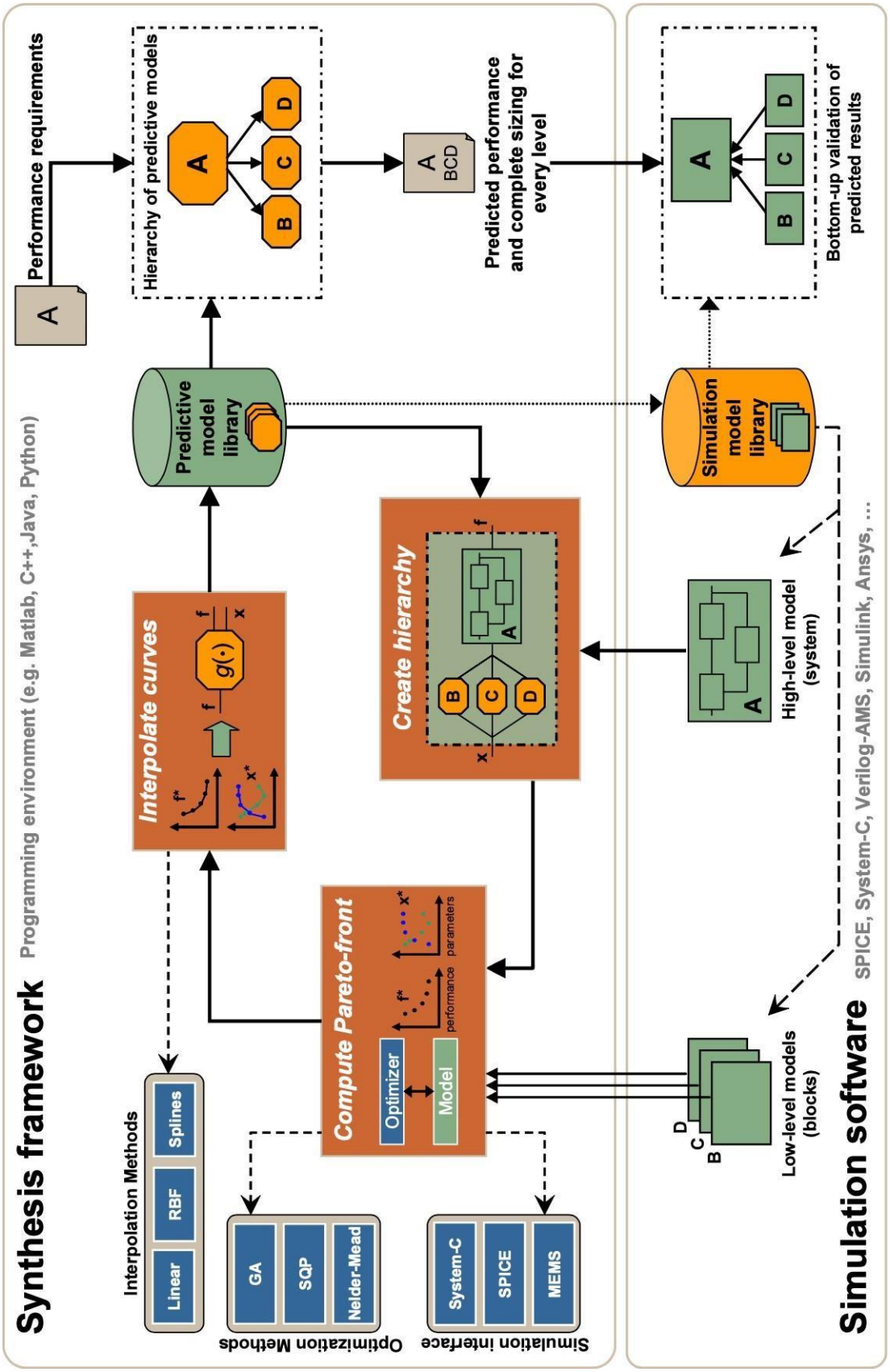


Figure 2. 4: Flot de conception de LIFT

Une vue complète du flot est illustrée dans la Figure 2.4. Au centre apparait une description du processus de conception des modèles prédictifs des blocs et de la manière dont ils sont associés à des modèles de niveau supérieur pour construire des hiérarchies. Ces processus sont soutenus par des méthodes d'optimisation (GA [33], SQP [34], Nelder-Mead [35]) et interpolation (Linear [36], Radial basis function – RBF [37], Splines [38]), tandis que l'évaluation est supportée par des interfaces avec des logiciels de simulation externes (SystemC, Spice, MEMS). L'ensemble définit une séparation claire entre les environnements de synthèse et de simulation. Puisque les fronts de Pareto peuvent être non convexes et présentent certaines régions non-dominées, le flot utilise la méthode Normal Boundary intersection – NBI [39][40] pour gérer le processus d'optimisation et obtenir une discrétisation uniforme sur l'ensemble de la surface de compromis (front de Pareto). Les fronts de Pareto et les Pareto set sont par la suite reconstruits à l'aide de fonctions de base radiale. Le processus de synthèse prédictive, représenté à droite, est entièrement réalisé dans le flot. Le dimensionnement qui en résulte est soumis à l'étape traditionnelle de vérification ascendante. Dans les parties qui suivent, nous allons définir et expliquer les étapes principales du flot de conception, ainsi que les avantages et les inconvénients.

2.3.2. Modélisation prédictive basée sur les fronts de Pareto

LIFT est basée sur un processus de conception automatisée [41]. Ce processus est capable de générer un ensemble de paramètres de conception à partir de contraintes de performances et d'environnements, comme montré dans la Figure 2.5.

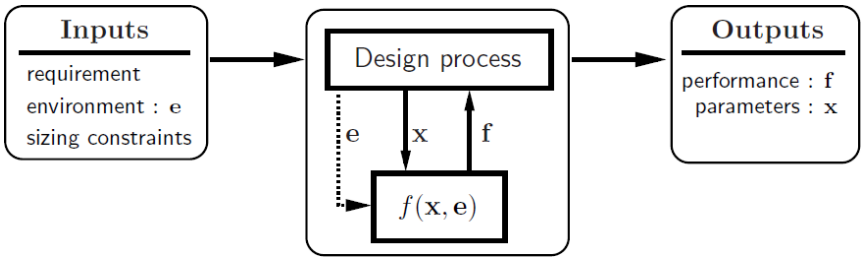


Figure 2. 5 : Synopsis d'un processus de conception automatique

La conception est basée sur optimisation puisqu'elle ne demande pas d'expertise de la part du concepteur mais demande un effort de calcul très élevé. Un algorithme d'optimisation

cherchera à respecter des contraintes en changeant les paramètres du circuit de façon itérative. Les nouveaux paramètres sont comparés à l'itération précédente pour trouver une nouvelle direction de recherche. L'optimisation prend fin lorsque l'algorithme converge vers une solution, ou un ensemble de solutions, où aucune amélioration ne pourra être faite.

Chaque problème de conception implique l'optimisation simultanée de plusieurs performances concurrentes, et qui conduit à des situations de compromis. Ce problème multi-objectif est généralement formulé comme suit :

$$\min f = F(x) = \begin{matrix} f_1(x) \\ . \\ . \\ . \\ f_n(x) \end{matrix} \quad \text{subject to : } \{ \begin{matrix} c_{eq}(x) = 0 \\ c_{ineq}(x) \leq 0 \end{matrix} \tag{1}$$

Où c_{eq}, c_{7neq} sont les contraintes de dimensionnement formulés comme des égalités et des inégalités.

Les solutions de (1) conduisent à des points non-dominés de l'espace de performance dites point de Pareto, où l'amélioration d'une performance ne peut se faire qu'au détriment d'une autre. L'ensemble de ces points optimaux est appelé front de Pareto. Le front de Pareto représente les compromis de conception optimale ou les objectifs sont les performances de conception, tandis que leurs homologues dans l'espace des paramètres sont appelés Pareto Set. Les deux ensembles sont liés via la fonction modèle F comme illustré dans la Figure 2.6.

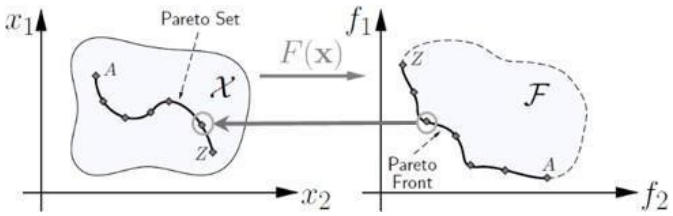


Figure 2. 6 : L'espace de performance F et l'espace de paramètres X avec le front de Pareto f* et son Pareto set correspondant x*

Dans un processus de conception automatique, l'algorithme d'optimisation multi-objective est intégré dans une boucle avec le modèle de simulation comme le montre la Figure 2.7. A la fin de l'optimisation, le front de Pareto est identifié. De nombreuses méthodes ont été proposées

pour résoudre les problèmes d'optimisation multi-objectifs. Les méthodes utilisées dans LIFT sont détaillées dans la partie suivante.

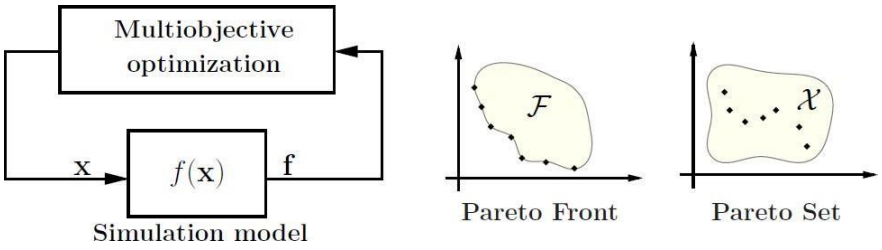


Figure 2. 7: Caractérisation des fronts de Pareto

Les points optimaux de conception (x*, f*) collectés durant la caractérisation du front de Pareto sont utilisés dans deux étapes du processus de conception automatisé :

- La première utilise la courbe de compromis pour prendre la décision à un plus haut niveau d'abstraction
- La deuxième récupère les paramètres de conception et dimensionne le circuit.

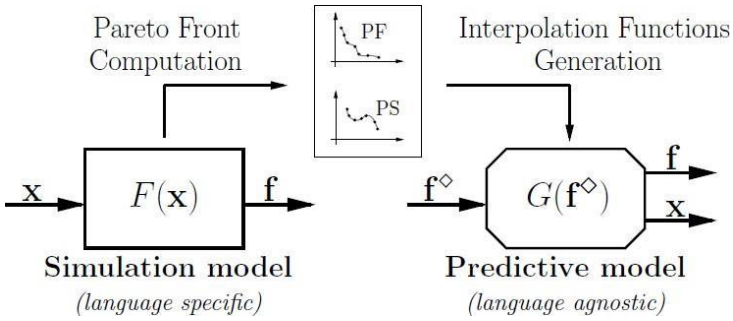


Figure 2. 8: Construction d'un modèle prédictif basée sur un front de Pareto

Le concept de modèle prédictif est présenté dans la Figure 2.8. Il prend en entrée un vecteur de performance et détermine les performances et les paramètres de conception restants. Il s'agit d'une opération d'exploration de données pure, qui consiste à cartographier les points d'un espace à un autre. Il résume complétement le modèle de simulation qu'il représente. Ces propriétés de modèle prédictif le rendent facilement partageable sans avoir besoin d'un outil de simulation et facilite la réutilisation des circuits déjà conçus.

La construction des modèles prédictifs à travers la génération de fronts de Pareto est généralement basée sur l'optimisation numérique. L'utilisation de l'optimisation numérique est intensivement consommatrice de ressources de calcul. Avec la complexité de conception des systèmes qui augmente, l'optimisation devient encore plus complexe – en effet, chaque

paramètre ou degré de liberté supplémentaire dans le problème de conception rajouter une dimension à l'espace de conception. Ainsi, plus le problème d'optimisation est complexe, plus il nécessitera du temps pour être résolu, et plus la visualisation des données va être complexe. Le deuxième inconvénient, est la limitation des outils de simulation utilisé dans le processus d'optimisation. Ces outils nécessitent un temps de simulation long pour les systèmes non linéaires, et complexe.

Afin de surmonter les limitations des processus de conception [42], nous avons deux choix :

1. Côté optimisation, accélération de construction des modèles prédictifs avec une génération des fronts de Pareto rapide et une visualisation capable d'aider le concepteur dans son choix quand le problème de conception dépasse 3 performances.
2. Côté simulation, ajouter un simulateur rapide et performant au flot de conception actuel

2.3.3. Optimisation (algorithmes)

Le calcul des compromis de performance optimale des blocs est le point initial du flot. Cette tâche est réalisée par une méthode d'optimisation multi-objectifs appliquée au modèle de simulation de bloc (Figure 1.9) et donne un nombre discret de solutions optimales ($x*$,$f*$). Le choix de la méthode d'optimisation la mieux adaptée dépend du problème. Toutefois, il est nécessaire d'employer une stratégie garantissant une discrétisation homogène du FP, c'est-à-dire une répartition égale des points sur toute l'étendue du FP.

Dans cette partie nous présentons les méthodes d'optimisation employés dans LIFT. Les algorithmes utilisés dans LIFT présentent l'état l'art, et nous allons discuter les avantages et les inconvénients de ces méthodes.

L'optimisation des systèmes hétérogènes est une étude complexe mettant en jeu une infinité de simulation et nécessitant d'énorme ressource. Pour cela, une méthode hybride est employée afin d'éviter un nombre de calcul inutile (Cf. Figure 2.9).

La méthode est dite hybride car elle combine deux algorithmes :

- Algorithme génétique « Genetic Algorithm - GA » : il s'agit d'une méthode permettant de résoudre des problèmes d'optimisation avec ou sans contraintes

et trouver le minimum global du système étudié. Elle est développée sous Matlab sous le nom de 'ga'.

- Algorithme à base d'ensemble actif « Active Set Algorithm » : il s'agit d'une méthode permettant de résoudre des problèmes d'optimisation avec contraintes et trouver le minimum local du système étudié. Elle est développée sous Matlab sous le nom de 'fmincon'.

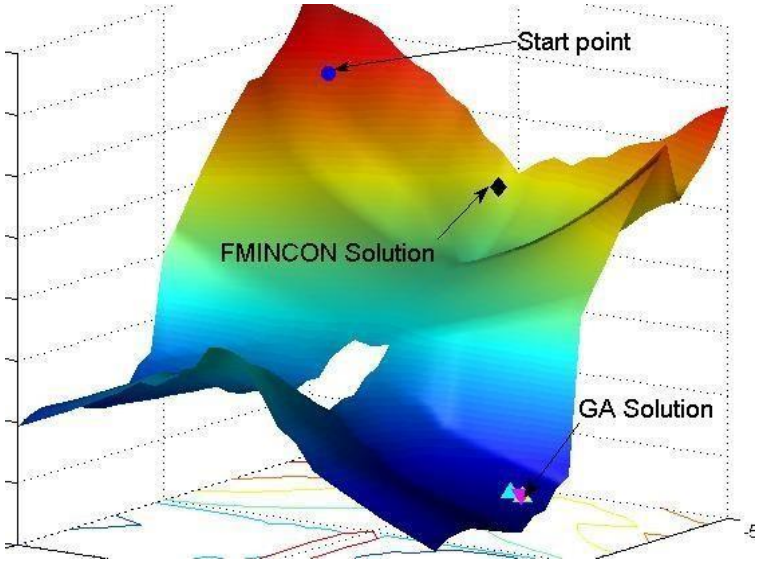


Figure 2. 9: Comparaison de GA et Fmincon

La plupart des études sur le processus d'automatisation de la conception analogique ont porté sur de nombreux algorithmes d'optimisation qui ont insisté sur les heuristiques de recherche globale. Cependant, l'utilisation simultanée de techniques de recherche locale et globale améliore considérablement la précision des résultats tout en réduisant l'effort de calcul. La méthode utilisée dans LIFT est un algorithme d'optimisation combinant un GA avec un algorithme d'optimisation quadratique successive « Sequential Quadratic Programming – SQP », afin de résoudre les problèmes de dimensionnement des circuits analogiques. L'algorithme GA est un algorithme global, qui convient bien à une recherche globale mais qui est très lent et très peu performant dans une recherche localisée. L'algorithme SQP, au contraire, a une forte capacité à trouver des optima locaux pour des problèmes d'optimisation non linéaire contraints, mais il ne peut pas garantir que la solution est l'optimum global du problème. Il garantit la robustesse du calcul lorsqu'il part d'une solution initiale réalisable. En combinant le

GA avec le SQP, l'algorithme est appelé GA-SQP. Tout d'abord, l'Algorithme génétique recherche l'optimum global dans toute la région de la solution afin d'obtenir une solution quasi-optimale. Ensuite, la solution optimale globale peut être obtenue par SQP. Ce SQP augmente considérablement la puissance de l'algorithme génétique en termes de qualité de la solution et de vitesse de convergence vers la meilleure solution. La méthode hybride employé a permis d'éliminer la nécessité de fournir un point de départ approprié et permet d'assurer une vitesse de convergence plus rapide et une précision de convergence plus élevée pour trouver la solution optimale. De plus, ce type d'algorithme est adapté à l'optimisation multi-objectif et à la génération de fronts de Pareto. Ceci permet d'explorer les compromis qui existent à l'échelle d'un objet à optimiser et d'acquérir une vision globale sur l'espace des solutions possibles et optimales et non pas une solution unique.

Lors du calcul du front de Pareto, il est utile d'effectuer la décomposition du MOP (multi objective problem) en une série de SOP (Single objective problem) et cherchant les trajectoires parallèles uniformément espacées. Il s'agit de la méthode NBI (Normal Boundary Intersection). Les trajectoires sont définies comme étant normales au simplex H qui relie la solution optimale pour chaque mesure de performance f^{*i} (c'est-à-dire les extrémités de ∂F), comme le montre la figure 1.11.

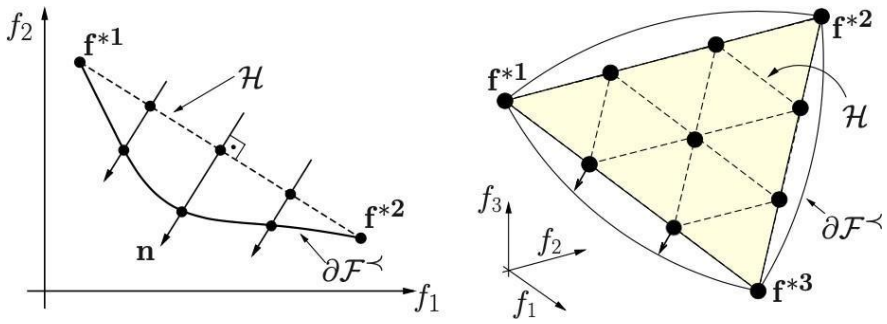


Figure 1.11: la méthode NBI en 2 et 3 dimensions

Les principales étapes de cette stratégie de décomposition sont :

1) Identification des minima individuels : Les compromis extrêmes sont identifiés en résolvant le problème d'optimisation pour chaque performance individuellement (GA).
2) Normalisation d'objective.
3) Génération des trajectoires cibles.
4) Formulation des problèmes mono objectives (SQP).

La structure de la méthode NBI, avec de multiples problèmes de SO à résoudre, permet l'utilisation de certaines stratégies parallèles (Jump Start [43], MOEA/D [44], Wavefront [45]).

Les algorithmes d'optimisation employé dans LIFT ne traites pas les problèmes de conception continu discret. Cette notion de continu discret fait appel aux systèmes AMS qui sont essentiels pour construire des systèmes hétérogènes complexes. Le traitement numérique permet de contrôler et d'étendre la fonctionnalité des blocs AMS. Pour élever le niveau d'abstraction qui peut être traité dans le flot, un lien avec la conception numérique est essentiel. Nous devons ajouter un nouvel algorithme d'optimisation des nombres entiers mixtes à LIFT afin de traiter le dimensionnement continu des blocs AMS et les choix discrets des composants numériques.

2.3.4. Synthèse hiérarchique des systèmes hétérogènes

La conception des systèmes complexes procède en décomposant hiérarchiquement le système en une interconnexion de blocs de plus en plus petits à un niveau d'abstraction inférieur [46]. La décomposition multi-domaine permet de diviser le système en blocs par rapport à chaque domaine, ce qui crée progressivement de plus en plus de détails de circuit. Ce processus traduit les spécifications du niveau système dans cette hiérarchie jusqu'à ce qu'un niveau soit atteint qui permet une mise en œuvre physique. Cette conception hiérarchique fait appel aux deux principaux paradigmes, la synthèse et la vérification comme montré dans la Figure 2.10.

La **synthèse** est la traduction d'un système en cours de conception d'un niveau supérieur dans la hiérarchie vers un niveau inférieur. La synthèse est une partie du processus de conception globale du système. Elle s'accompagne d'un processus d'implémentation et de **vérification** physique ascendant De plus, il faut vérifier qu'aucune erreur n'a été commise lors de la traduction hiérarchique et qu'aucune erreur locale ne se produit à chaque niveau hiérarchique, afin de garantir que l'implémentation physique finale du système satisfait le comportement au niveau du système [47].

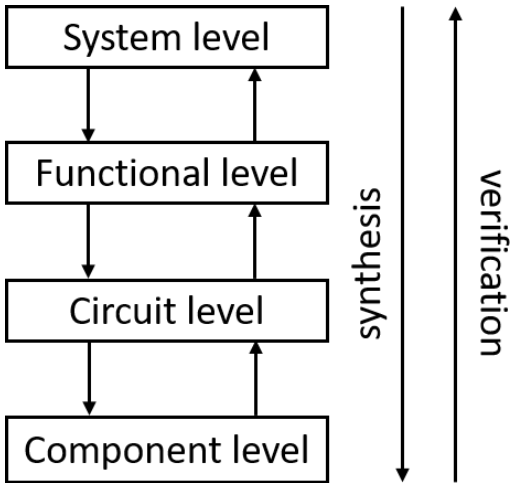


Figure 2. 10: l'organisation hiérarchique des systèmes complexes

Ces deux approches montrent à quel point la conception des systèmes hiérarchiques est complexe. Les spécifications découlent de haut en bas et les limites de faisabilité sont imposées de bas en haut comme le montre Figure 2.10. Certaines recherches dans le domaine s'intéressent au lien qui existe entre les niveaux et comment gérer la hiérarchie du point de vue de l'optimisation et aussi de simulation [48][42][49].

Parmi ces recherches, des méthodes existent qui sont basées sur des approches générales et non sur des règles de conception. Dans ce cas, la conception hiérarchique combine les deux approches ; top-down (descendante) pour propager les contraintes et bottom-up (ascendante) pour dimensionner. Le processus de cette incorporation peut être automatisé en utilisant des simulateurs capables de simuler des systèmes hétérogènes avec des algorithmes d'optimisation pour trouver les points de conception qui répondent aux spécifications du système. Les deux types de modélisation sont :

La modélisation de la région faisable Une série de simulations doit être exécuté pour obtenir une image de l'espace de performance d'un bloc de bas niveau. Cette modélisation s'appuie sur les méthodes equation-based basée sur l'expertise du concepteur [50].

La modélisation du front de Pareto Au lieu de simuler un grand nombre de point pour modéliser les limites de la région réalisable, la méthode cherche à modéliser la partie optimale de l'espace. Cette courbe est le front de Pareto [51].

La possibilité d'utiliser la synthèse basée sur l'optimisation pour extraire les fronts de Pareto a conduit à une variété d'approches plus sophistiquées. Des chercheurs ont proposé une alternative qui consiste à utiliser une synthèse multi-objective (MOBU, Multi-Objective

Bottom-Up) [52]. Plutôt que de parcourir la hiérarchie de haut en bas, la hiérarchie est traversée de bas en haut. Les étapes de cette approche sont :

1. Déterminer la courbe de compromis (Front de Pareto) au bas niveau du système
2. Utiliser des circuits déjà conçus plutôt que des modèles.

Ces courbes de compromis sont utilisés pour dimensionner et peut être directement exploités pour la conception au niveau système ce qui équivaut à une méthodologie multi-objectifs ascendante (MOBU).

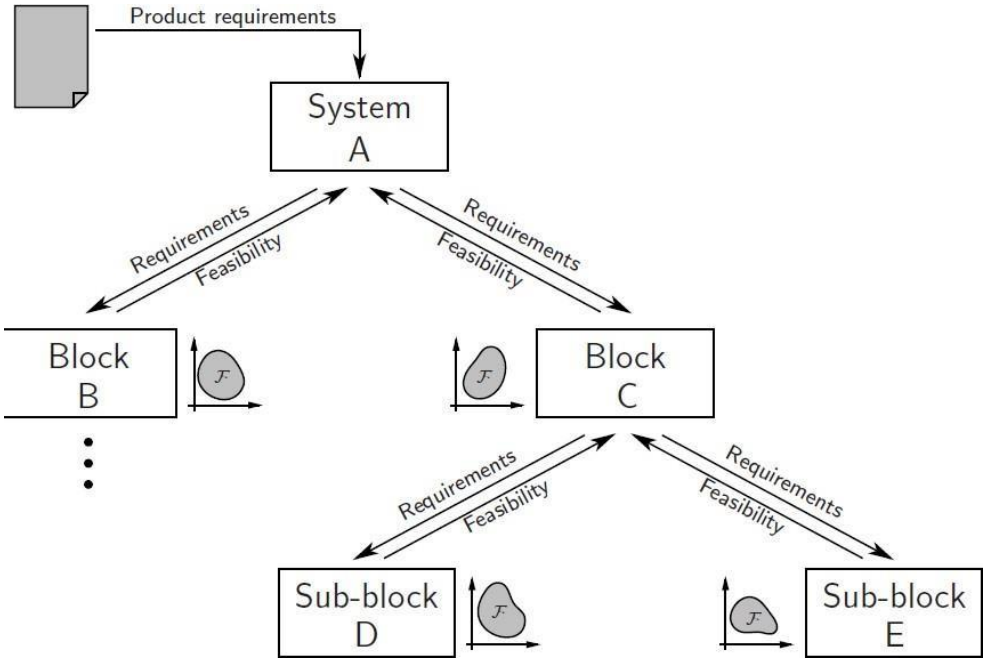


Figure 2. 11: Relation entre niveaux hiérarchique dans un processus de conception

Le flot de conception de LIFT est basée sur une méthode qui combine une approche ascendante et descendante et utilise les fronts de Pareto comme une abstraction de la performance d'un circuit (Figure 2. 11). Les exigences viennent du haut vers le bas et les limites de faisabilité sont imposées du bas vers le haut.

Le point initial de la conception hiérarchique est le choix du compromis. Le concepteur utilise son expertise pour chercher un compromis entre puissance, précision, vitesse et surface, etc. Dans le Top-down, les compromis des performances aux niveaux systèmes constituent les spécifications de départ. Ces contraintes doivent être propagé aux niveaux blocs pour concevoir des blocs qui répondent aux spécifications au niveaux systèmes. La propagation des contraintes du système jusqu'au niveau blocs est faite de manière manuelle. Ceci présente un inconvénient

majeur puisque la synthèse dépend de l'expertise du concepteur, qui peut dans des cas sous-spécifier des blocs et sur-spécifier d'autres. Une synthèse manuelle peut ralentir cette étape clé de la conception hiérarchique si le système sous conception est complexe. L'étape descendante doit suivre une méthode automatique avec une utilisation d'un outil de modélisation hétérogènes, pour être sûre de traduire les contraintes du niveau systèmes jusqu'aux blocs.

Dans le MOBU, et contrairement au Top-down, tout design sélectionné à un niveau quelconque est déjà entièrement dimensionné. Le concepteur n'a qu'à choisir une solution au niveau du système en fonction des spécifications de performance, et toutes les paramètres de conception du système complet sont immédiatement définis. Le MOBU permet une flexibilité dans les spécifications en fonction des paramètres de conception déjà défini au niveau bas d'abstraction. En outre, une fois qu'un bloc donné a vu son ensemble optimal de Pareto généré dans une technologie donnée, il peut être réutilisé.

2.3.5. Visualisation des fronts de Pareto (N>3)

La visualisation dans l'optimisation multi objective évolutionnaire est essentielle à de nombreux égards - elle peut être utilisée pour [3] estimer l'emplacement, la portée et la forme du front de Pareto, évaluer les conflits et les compromis entre les objectifs, sélectionner les solutions préférées, surveiller la progression ou la convergence d'une optimisation, évaluer la performance relative de différents algorithme multi-objective évolutionnaire (MOEA, Multi-Objective Evolutionary Algorithm) etc. Pour accomplir ces tâches, une méthode de visualisation doit être capable de préserver la relation de dominance de Pareto entre les vecteurs objectifs. Concrètement, la visualisation des vecteurs objectifs A et B doit également faire apparaître toute relation entre eux. Ces éléments sont indispensables lorsque l'on compare deux ou plusieurs ensembles d'approximations, car en l'absence de dominance, la conservation d'un ensemble d'approximations visualisées peut donner l'impression de dominer un autre ensemble alors que ce n'est pas le cas. De plus, les ensembles d'approximations (front de Pareto) visualisés doivent conserver leur forme, leur portée et leur distribution de vecteurs, car toute distorsion importante de ces caractéristiques affecte notre perception des ensembles d'approximations [4]. La forme de l'ensemble d'approximation peut être d'une grande importance pour le concepteur car elle présente les compromis entre les objectifs. En outre, une méthode de visualisation doit être robuste, ce qui signifie que l'ajout ou le retrait d'un vecteur dans la plage de l'ensemble d'approximation ne doit pas produire une visualisation

significativement différente. Comme les ensembles d'approximations trouvés par les MOEA sont souvent importants, une méthode de visualisation doit pouvoir traiter de grands ensembles en termes de capacité de visualisation ainsi que de complexité de calcul. De plus, la visualisation simultanée de plusieurs ensembles d'approximations est nécessaire si l'on veut comparer différents ensembles d'approximations. Enfin, une méthode de visualisation doit pouvoir être adaptée à de multiples dimensions et être simple à comprendre et à utiliser.

Lorsque l'on aborde les problèmes d'optimisation avec deux ou trois objectifs, les diagrammes de dispersion ont presque toutes les propriétés souhaitées mentionnées. Par exemple [53], nous considérons les diagrammes de dispersion de deux ensembles d'approximation 2-D et 3-D données en Figure 2.12. Ces ensembles représentent des fonctions mathématiques simples données à titre d'illustration, permettant d'identifier sur deux fonctions les points non-dominés. Ici, nous supposons une maximisation de tous les objectifs ; ainsi, le point idéal se situe dans la figure 2. 12 (a) en haut à droite et les points non-dominés sont indiqués en rouge dans la figure. Lorsque nous avons à traiter deux ensembles en 3-D, où le point idéal se situe toujours en haut à droite de la figure 2. 12 (b), il est nécessaire de pouvoir projeter des combinaisons des vecteurs sur des axes unifiées afin de pouvoir visualiser les compromis. Les deux figures montrent clairement que les deux ensembles d'approximation sont de forme et de portée différentes, ont une distribution différente des vecteurs et sont entrelacés (dans une région, l'ensemble d'approximation linéaire domine l'ensemble sphérique, tandis que dans d'autres, l'ensemble d'approximation sphérique domine l'ensemble linéaire). De plus, les diagrammes de dispersion sont simples, robustes et capables de visualiser un grand nombre de vecteurs des deux ensembles tout en étant peu coûteux en termes de calcul. Cependant, leur inconvénient est leur faible extensibilité.

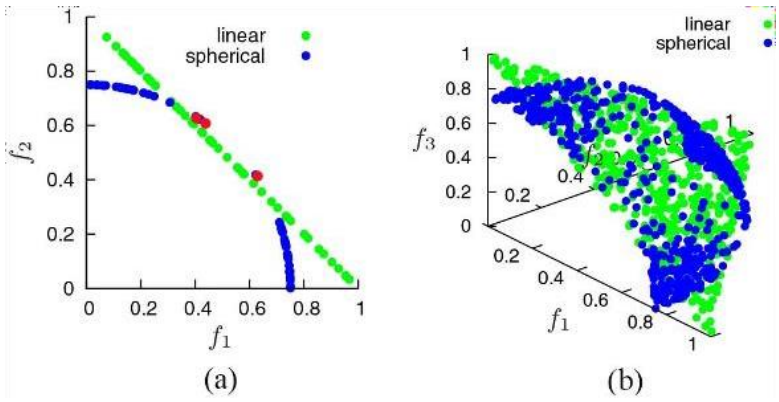


Figure 2. 12 : [53] Représentation 2D et 3D des ensembles d'approximation de référence

Il existe de nombreuses méthodes pour visualiser les données multidimensionnelles, voir par exemple [54] [55]. Ces articles présentent une revue complète des méthodes de visualisation existantes utilisées dans l'optimisation évolutionnaire multi objectif, en montrant leurs résultats sur deux ensembles d'approximations de référence (BAS) en 4-D. Dans cette thèse, nous nous intéressons particulièrement à deux méthodes qui ont comme avantage une simplicité de programmation et des propriétés qui vont être discutés après dans cette partie. Nous avons amené une comparaison entre ces 2 méthodes de représentation approximatives des fronts de Pareto qui sont, Le diagramme de niveau (level diagram) et le comptage diagonal hyper-espace (Hyper Space Diagonal Counting - HSDC).

Par exemple, dans le domaine de l'optimisation multi-objectifs évolutionnaire, il existe de nombreux problèmes de référence (comme, par exemple, les suites de tests DTLZ [56] et WFG [57]), qui sont utilisés pour comparer les performances des MOEA. Cependant, il n'existe pas d'ensembles de repères qui pourraient être utilisés de manière analogue pour comparer les méthodes de visualisation. T.tusar et al [53] propose un nouveau concept nommé BAS à utiliser lors de la comparaison des méthodes de visualisation. Le concept est que les BAS est constitué de vecteurs non-dominés qui seront utilisés pour comparer différentes méthodes de visualisation.

Les BAS doivent avoir des propriétés distinctes qui peuvent être utilisées pour évaluer la manière dont les méthodes de visualisation répondent aux exigences mentionnées dans le premier paragraphe (Voir Tableau). Comme toute BAS ne peut être constituée que de vecteurs non dominés mutuellement, les BAS d'une même suite doivent se dominer entièrement ou partiellement. Cette propriété est importante si l'on veut vérifier si les méthodes de visualisation parviennent à préserver (en partie) la relation de dominance de Pareto. Ensuite, pour pouvoir évaluer la préservation de la forme des ensembles d'approximation, les BAS doivent être de formes différentes, telles que linéaire, concave, convexe, mixte, dégénérée, discontinue. Afin de visualiser une distribution différente des vecteurs, les BAS d'une même suite doivent avoir des distributions de vecteurs uniformes ainsi que différents types de distributions non uniformes. En outre, les BAS doivent être extensibles à de nombreuses dimensions pour vérifier l'extensibilité des méthodes de visualisation. Bien qu'aucune exigence spécifique ne soit nécessaire pour vérifier la préservation de la gamme objective, la robustesse et la simplicité des méthodes de visualisation, afin d'évaluer leur capacité à visualiser des ensembles de grande

taille, les BAS doivent être de grande taille et appropriées à leur dimensionnalité. Chaque méthode est revue par rapport à ses capacités de visualisation on se basant le concept BAS

Diagrammes de niveau (Level Diagram) : Cette méthode de visualisation est discuté dans la référence [58], elle propose de tracer les ensembles d'approximations sur un ensemble de m diagramme de niveau, où m est le nombre d'objectifs. Nous trouvons dans chacun des diagrammes, les vecteurs triés par rapport à leur objectifs et tracés en fonction de leur distance au point optimal. Par conséquent, chaque vecteur à la même position dans tous les diagrammes. Dans la Figure 2. 13 nous montrons les diagrammes de niveau des deux BAS, où la norme euclidienne est utilisée pour calculer la distance au point optimal. Cette méthode peut garder la forme des ensembles d'approximation à travers les diagrammes, mais ce n'est pas le cas pour les relations de dominance de Pareto et la distribution des vecteurs. En revanche, la méthode de diagramme de niveau est simple, peu coûteuse en termes de calcul et peut aider le décideur (concepteur) si on ajoute un code couleur pour indiquer les préférences de l'utilisateur.

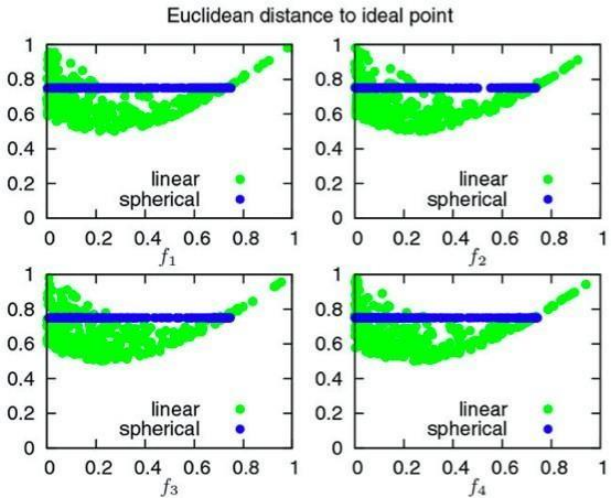


Figure 2. 13 : [53] Visualisation de l'approximation des fronts de Pareto avec la méthode diagramme de niveau

Comptage des diagonales de l'hyperespace (Hyperspace Diagonal Counting) : Selon cette méthode, l'ensemble des nombres naturels N a la même cardinalité que l'ensemble Nm, où m ∈ N. Pour cette raison, on peut représenter l'ensemble Nm en N en utilisant le comptage diagonal hyper-espace décrit dans [34]. Nous allons maintenant examiner le cas d'un ensemble d'approximation en 4 dimensions. Il faut tout d'abord diviser chaque objectif en un nombre

prédéfini de cases. Une fois les compartiments sont définis sur le graphe, on utilise un comptage diagonal hyper-espace qui produit des indices pour cette paire d'objectifs. Ces indices sont tracés sur deux axes, tandis que le troisième axe est utilisé pour tracer le nombre de vecteurs de l'ensemble d'approximation qui tombent dans le même ensemble d'indices (f_1f_2, f_3f_4). Cette méthode est expliquée en détail avec un exemple dans le chapitre 3

Dans la Figure 2. 14, la méthode HSDC est utilisé pour visualiser les deux BAS. On peut dire que le tracé saisit mieux la distribution des vecteurs que la forme des ensembles d'approximation. Cette méthode ne maintient pas aussi la dominance des vecteurs, et peut être associé à un code couleur pour la représentation des vecteurs pour aider le concepteur dans la décision finale.

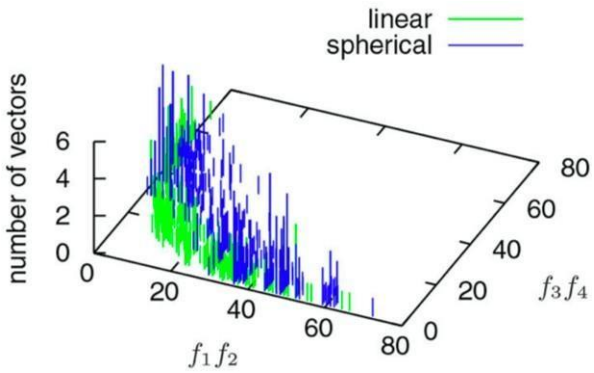


Figure 2. 14: [53] Visualisation de l'approximation des fronts de Pareto avec HSDC

Tableau 2. 2: Comparaison entre les deux méthodes de visualisation HSDC et Diagramme de niveau [22]

Method	Préservation de				Robustesse	Gestion de grands ensembles	Visualisation simultanée	Scalabilité	Simplicité
	Relation de dominance	Forme de Pareto	Plage d'objectifs	Distribution des vecteurs					
HSDC	X	X	X	≈	✓	✓	✓	≈	X
Diagramme de niveau	X	≈	✓	X	✓	≈	✓	✓	✓

Le Tableau 2. 2 montre une comparaison des méthodes HSDC et Diagramme de niveau. Ces deux méthodes de visualisation sont très différentes l’une de l’autre et donc difficiles à comparer.

Cependant, nous choisissons la méthode HSDC, puisqu’elle conserve la distribution des fronts de Pareto, elle est robuste, elle peut gérer un grand nombre de fronts de Pareto et elle est facile à coder.

2.4. Conclusion

La complexité de conception des systèmes hétérogènes motive le développement de nouveaux flots de conception s'appuyant sur l’intégration de nouveaux outils de modélisation et de simulation capables de supporter un contenu hétérogène, afin d'accélérer la conception et d'améliorer la qualité et l'optimalité des solutions.

L’objectif de cette thèse est de développer un flot de conception de circuits intégrés hétérogènes basé sur LIFT et capable de gérer un contenu multi-physique et continu-discret. Les principaux objectifs de cette thèse consistent en :

- Le développement d'une méthode d’optimisation de conception de circuits analogiques en évitant l’optimisation numérique (coûteuse en termes d'utilisation de ressources de calcul), en s'appuyant sur l'utilisation de l’outil d’exploration ID-Xplore™.
- L'automatisation des étapes ascendante et descendante en s'appuyant sur l’intégration de Tactyle, et sur l'utilisation du concept des fronts de Pareto.
- L'intégration de l’optimisation continu-discrète dans le flot de conception.
- L'intégration d'une méthode de visualisation des fronts de Pareto capables de représenter les fronts de Pareto de grandes dimensions.

3. Accélération de conception des circuits intégrés analogiques et multi-physique basées sur la modélisation prédictive

Les modèles prédictifs basés sur les fronts de Pareto sont des outils clés pour comprendre et exploiter les compromis dans la conception des circuits et des systèmes électroniques et hétérogènes. Cependant, leur génération nécessite l'utilisation intensive de méthodes de simulation numérique et d'optimisation multi-objectifs, ce qui entraine un coût de calcul important. Ce coût augmente de façon exponentielle avec le nombre de paramètres, et la visualisation devient également un problème à mesure que le nombre de performances augmente.

Dans ce chapitre, nous présentons deux méthodes pour extraire efficacement des modèles prédictifs pour les sous-systèmes électroniques basés sur les fronts de Pareto. Nous montrons comment choisir des groupes de performances, comment combiner les fronts de Pareto et les visualiser dans un espace à N (>3) dimensions. L'objectif est d'accélérer et d'automatiser la conception des circuits analogiques et multi physiques et d'aider le concepteur à choisir les meilleurs compromis dans cet espace. Ces méthodes seront illustrées à travers deux exemples de blocs. Le premier est un circuit purement analogique un OTA et le second un composant multi physique, et un transducteur capacitif.

3.1. Introduction

Les systèmes intégrés analogiques et multi-physique visent à offrir plus de fonctionnalités et à consommer moins d'énergie, mais la complexité de leur conception ne cesse d'augmenter. Pour ces raisons, la conception de ces systèmes a besoin de nouvelles méthodes et d'outils de simulation et de conception afin de permettre un cycle de mise sur le marché plus court. Le premier pas vers un développement réussi des outils de CAO est la définition d'une méthodologie systématique.

Afin de surmonter les limitations identifiées dans le chapitre 1 des processus de conception [42], nous avons identifié deux axes d'amélioration

1. Côté optimisation, accélérer la génération des fronts de Pareto
2. Côté simulation, ajouter un simulateur rapide et performant au flot de conception actuel

Dans ce chapitre nous proposons deux méthodes afin d'accélérer la conception des circuits analogiques et multi physiques suivant les deux axes identifiés ci-dessus. Nous utilisons l'outil ID-Xplore™ pour générer l'espace de performance des sous-blocs analogiques afin d'accélérer l'identification des fronts de Pareto pour n'importe quel bloc, contournant ainsi l'utilisation traditionnelle de l'optimisation et de la simulation numérique et accélérant ainsi la génération de fronts de Pareto pour *n* performances. Pour les blocs multi-physique, nous accélérons la simulation par l'utilisation de Tactyle en l'intégrant dans un processus d'optimisation numérique automatisé. Dans ce chapitre, nous traiterons aussi la problématique de la taille des problèmes d'optimisation. Pour les problèmes de conception qui dépasse trois indicateurs de performance ($N>3$), nous combinons également les fronts de Pareto afin d'obtenir un seul front de Pareto qui représente toutes les performances, et utilisons la méthode de visualisation multidimensionnelle (HSDC) pour visualiser les fronts de Pareto à *n* performances afin d'aider le concepteur dans son choix final.

3.2. Accélération de l'extraction de modèles prédictifs des circuits analogiques et multi physiques

3.2.1. Circuits analogiques

3.2.1.1. ID-Xplore™ – sa fonction et son utilisation au sein de flot de conception

ID-Xplore [59] est un outil d'exploration rapide qui propose des solutions d'automatisation du processus de conception des circuits analogiques entre la description des paramètres électriques de l'inversion du transistor et le dimensionnement. ID-Xplore suit les instructions du concepteur pour explorer l'impact de l'état de conduction (ou de l'inversion) du canal de chaque transistor sur les performances du circuit.

Les principaux éléments d'ID-Xplore sont les suivants :

- Exploration systématique de l'espace des performances d'un circuit basée sur les connaissances et l'expertise du concepteur.
- Le concepteur guide l'exploration et prend les décisions
- Il n'est pas nécessaire d'entrer les paramètres de dimensionnement initial.
- De nombreuses solutions sont proposées pour répondre aux spécifications définies par le concepteur.
- L'exploration permet de sélectionner la meilleure solution parmi les nombreuses données de performance.

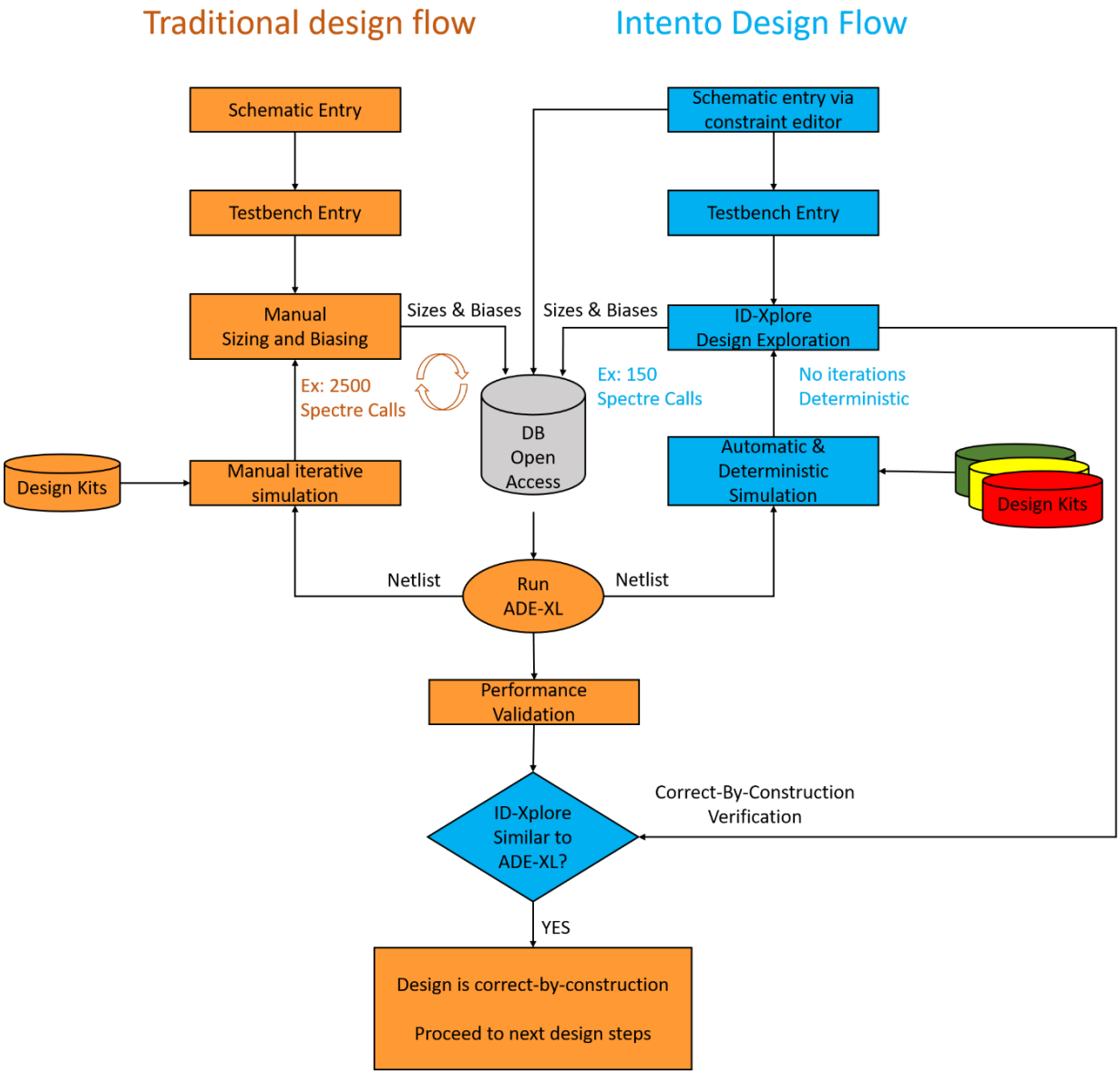


Figure 3. 1 : Flots de conception : conventionnel (à gauche) et d'Intento design (à droite)

Les flots de conception analogique conventionnel (ici s'appuyant sur l'environnement d'outils de conception proposé par Cadence™) et d'Intento Design sont représentés dans la Figure 3. 1. Dans le flot de conception analogique conventionnel, la saisie du schéma et du testbench du circuit représentent les premières étapes. Les circuits sont dimensionnés de façon manuelle en agissant sur les paramètres de conception des transistors. Plus la complexité du circuit augmente plus il faudra d'itérations. Une fois les bonnes dimensions et la bonne polarisation trouvées, ADE-XL (environnement de conception analogique sous Cadence – Virtuoso Analog Design Environement) récupère les dimensions des transistors de la base de données "Open Access" (accès ouvert) pour valider les performances.

Le flot d'Intento Design est différent puisqu'il commence avec un éditeur de contraintes afin de les documenter dans la base de données "Open Access", suivi d'un testbench traditionnel qui réalise la simulation électrique (ici par le biais du simulateur Spectre) et l'extraction des indicateurs de performance. Ensuite, ID-Xplore™ utilise ces contraintes pour dimensionner et polariser l'entrée de la base de données. L'outil est basé sur une méthode de construction de graphe indépendant de la technologie, et par conséquent n'a pas besoin de boucler sur un nombre important d'itérations. Au contraire, il arrive rapidement (en quelques minutes) à dimensionner et à polariser les circuits.

Cet outil est utilisé notamment pour les tâches de migration technologique de circuits analogiques, où la principale difficulté est d'adapter les dimensions et la polarisation du circuit afin d'obtenir les mêmes contraintes DC pour n'importe quelle technologie. Le flot d'Intento permet de vérifier si le design est correct par construction en comparant les sorties de l'outil ADE-XL et les performances extraites par ID-Xplore™. Si les deux sorties sont égales, cela signifie que le circuit (ou bloc IP) est correct par construction, sinon la conception du circuit doit être reprise.

3.2.1.2. Principe de fonctionnement – Méthode basée sur les graphes

Ramy Iskander et al propose dans [60] un algorithme pour le dimensionnement automatique et le calcul du point de fonctionnement. L'algorithme décrit une cellule analogique comme une hiérarchie de dispositifs et de modules. L'algorithme utilise le concept des transistors de références pour construire un graphe de circuit. Le transistor de référence contrôle le dimensionnement et la polarisation de l'ensemble du circuit. Il propage les

paramètres électriques aux transistors secondaires. La technique de propagation utilisée garantit que toutes les contraintes du dispositif sont satisfaites par construction.

ID-Xplore™ utilise cette méthode de graphes pour accélérer l'exploration de l'espace de performance, comme illustré dans la Figure 3. 2. Il prend en entrée le schéma du circuit non dimensionné, les contraintes qui représentent des contraintes de technologie et de performance, et enfin les paramètres du circuit que le concepteur souhaite contrôler afin d'explorer l'espace de performance du circuit. Par la suite, ID-Xplore™ construit le graphe basé sur les transistors de référence comme montré dans la Figure 3. 3. Ces transistors de référence sont remplacés par des modèles primitifs et reliés comme dans le schéma initial. Une fois le graphe créé, pour chaque ensemble de paramètres de départ, des dimensions de transistor sont calculés à la sortie. Pour une topologie donnée, le graphe reste le même si la nature des paramètres de conception reste les mêmes. Quant aux paramètres technologiques, ceux-ci peuvent être modifiés pour dimensionner le même circuit sous une technologie différente, ce qui permet une migration de technologie rapide.

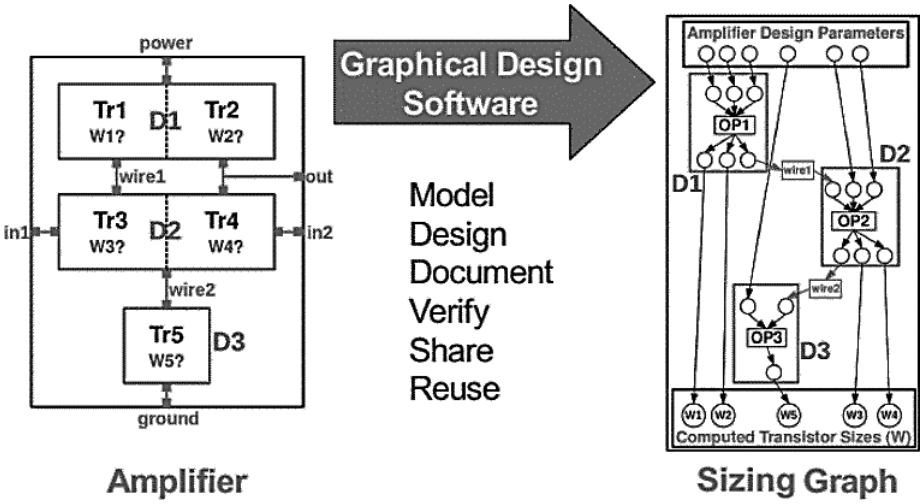


Figure 3. 2 : Construction du graphe de design

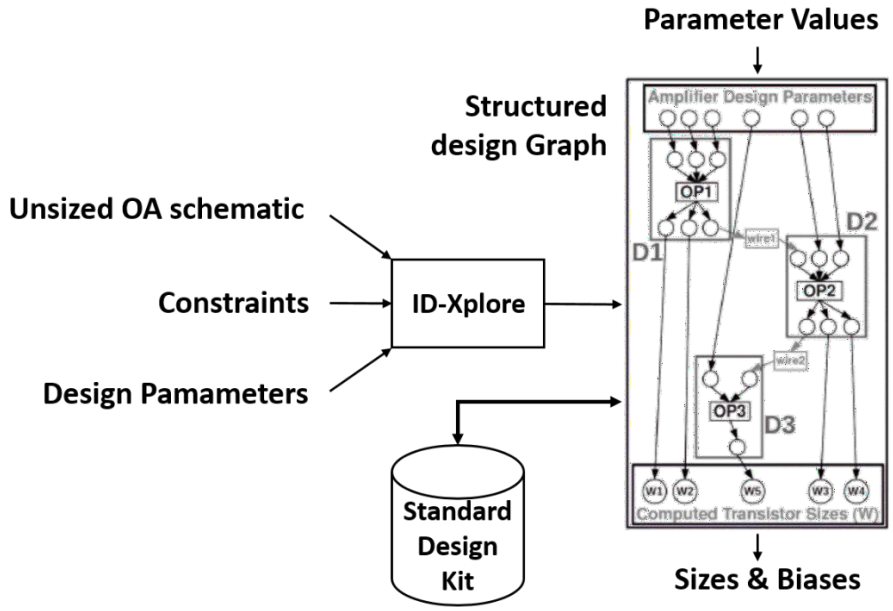


Figure 3. 3 : Utilisation de graph sous ID-Xplore™

3.2.1.3. ID-Xplore™ pour la construction des modèles prédictifs

ID-Xplore™ est capable de produire rapidement toutes les valeurs possibles d'un ensemble de performances avec l'ensemble de ses paramètres correspondant. ID-Xplore™ génère un fichier CSV contenant toutes les valeurs possibles représentées sous la forme d'un nuage de points (ou diagramme de dispersion). Sur Matlab, nous avons programmé une fonction pour collecter les données et identifier les fronts de Pareto et les Pareto Set. Cette méthode permet d'éviter l'optimisation multi objectif, et d'identifier directement le front de Pareto et le Pareto Set sur le nuage de points.

L'algorithme principal de la fonction est présenté sur la Figure 3. 4, avec p et q deux points de l'espace de performance, V l'espace de performance et V-p l'espace de performance sans le point p. La fonction recherche l'ensemble des points non dominés dans l'espace. Au départ, il est nécessaire de définir quels objectifs doivent être minimisés ou maximisés pour obtenir les compromis souhaités. L'algorithme renvoie deux ensembles de points : le premier contient les points du front de Pareto, tandis que le second est un vecteur logique binaire qui indique si un point de l'espace de performance appartient ('1') ou non ('0') au front de Pareto.

Ce vecteur est nécessaire lors de la combinaison des fronts de Pareto 2D et 3D expliqué dans la section 3 de ce chapitre.

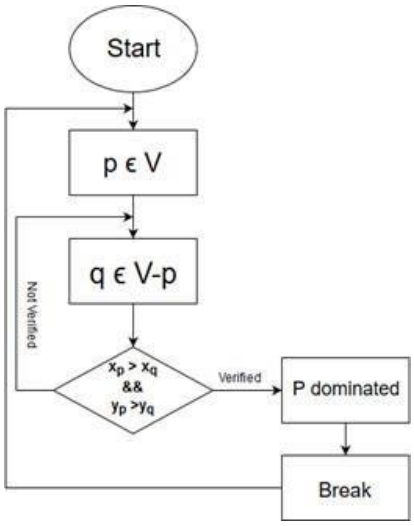


Figure 3. 4 : Organigramme représentant le processus d'identification de points non-dominés pour 2 objectifs

Le front de Pareto et son Pareto Set correspondant sont ensuite stockés dans un fichier de donnés, qui représentera le modèle prédictif. Les modèles prédictifs sont conservés dans une bibliothèque de modèles, qui servira au concepteur par la suite pour récupérer les données et réutiliser un bloc.

3.2.1.4. Application sur un OTA Miller sous AMS 0.35µm & XFab 0.18µm

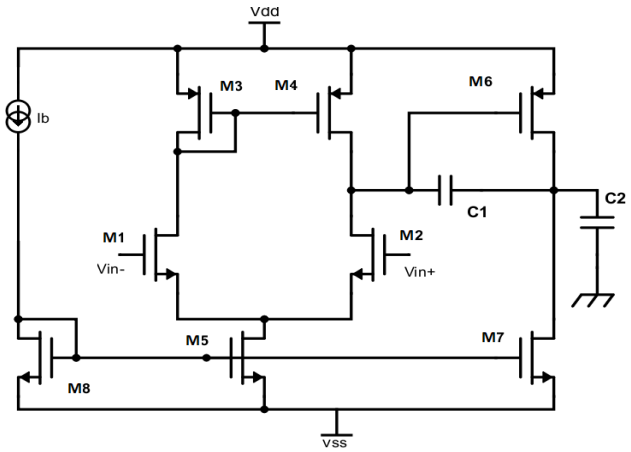


Figure 3. 5 : OTA Miller

L'objectif principal de cette partie est d'accélérer la construction des modèles prédictifs rapidement dans un processus de conception automatique, et une migration technologiques rapides. Afin de montrer l'efficacité de la méthode nous générons des modèles prédictifs sous deux technologies. ID-Xplore^{TM} est utilisé pour construire l'espace de performance de l'OTA Miller illustré dans la Figure 3. 5, répondant aux spécifications indiquées dans le Tableau 3.1 avec deux technologies : AMS 0.35µm et Xfab XH 0,18µm. ID-Xplore^{TM} génère un fichier CSV contenant des données de conception de l'OTA Miller.

Tableau 3. 1: Contraintes de performances de l'OTA Miller

Performances	**Constraints**
Gain(dB)	≥40
Unity Gain Frequency (Hz)	≥1M
Slew Rate (V/ µs)	≥1M
Power Consumption (W)	Minimize

Dans Matlab, le fichier CSV est utilisé comme entrée de l'algorithme d'extraction des fronts de Pareto pour construire les modèles prédictifs, montré sous forme d'organigramme dans la Figure 3. 5. La Figure 3. 6 et Figure 3. 7 montrent les fronts de Pareto des pairs [Gain ; Unity Gain Frequency] et [Slew Rate ; Power consumption] sous AMS 0,35 µm et Xfab 0,18 µm. Toutes les performances sont étudiées pour être maximisées. Il est à noter que la valeur de la consommation est négative, ainsi dans le problème soumis à optimisation, on cherche à maximiser cet indicateur afin de réduire la consommation d'énergie. On remarque que l'OTA Miller sous la technologie Xfab a plus de gain dans la même plage de variation d'UGF que sous la technologie AMS. Les résultats montrent également que le Slew Rate et la consommation sont moins élevés que sous AMS.

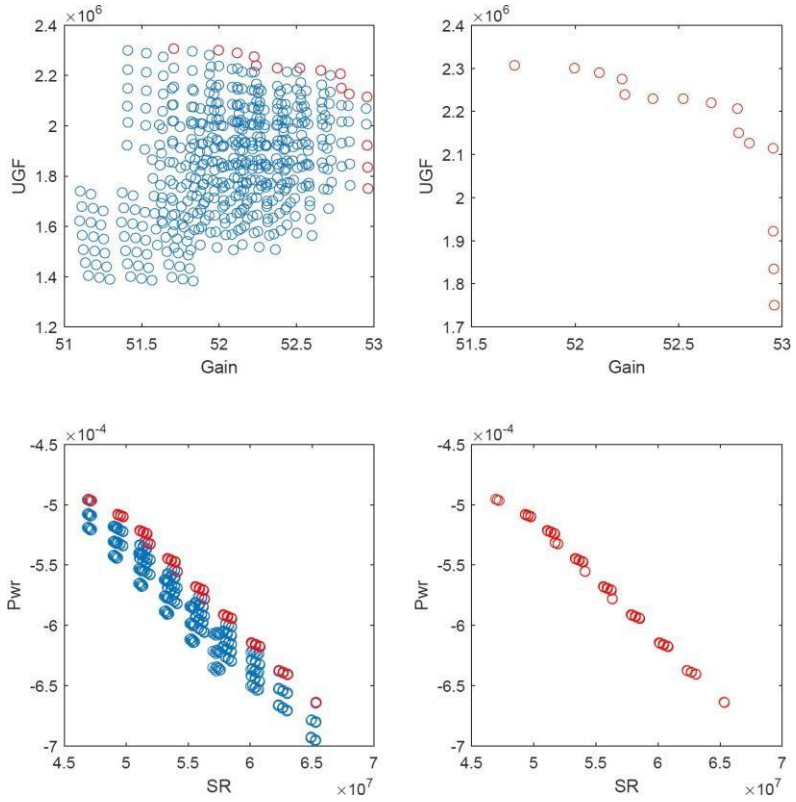


Figure 3. 6 : Espace de performance et fronts de Pareto de l'OTA Miller sous AMS 0,35 µm

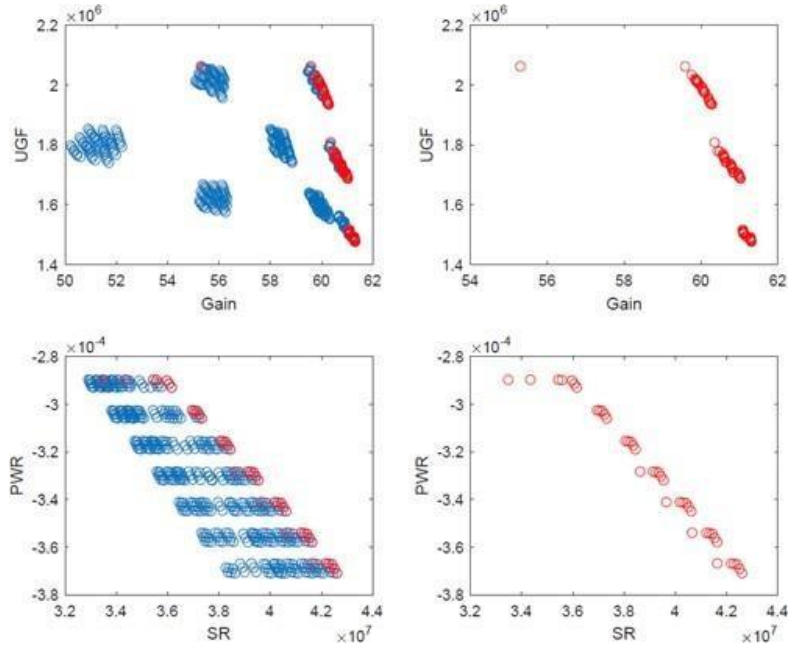


Figure 3. 7 : Espace de performance et fronts de Pareto de l'OTA Miller sous Xfab 0,18µm

Avec le même problème d'optimisation de l'OTA, LIFT (faisant appel à Spectre par algorithme génétique) met 5,66 heures contre 0,5 heures avec ID-Xplore. Ceci montre qu'on a pu accélérer l'optimisation d'un facteur de 11,3.

3.2.2. Optimisation et modélisation des blocs multi physiques

Dans la partie précédente, nous avons vu comment accélérer la conception des blocs *analogiques*. Dans cette partie, nous allons traiter comment accélérer la conception des blocs *multi-physique*. La méthode d'accélération utilise également le concept des modèles prédictifs basés sur les fronts de Pareto.

Dans cette partie, nous présentons une méthode d'accélération de construction des modèles prédictifs de blocs multi-physique. La méthode combine deux outils :

- L'outil Tactyle d'Asygn permettant de réaliser la macro-modélisation et la simulation rapide de systèmes multi-physique.
- LIFT avec l'intégration du solveur MIDACO pour l'optimisation multi objectif.

3.2.2.1. Tactyle

Tactyle est un outil basé sur un simulateur comportemental rapide qui conserve une précision analogique complète, offrant une bibliothèque de modèles primitifs associés. Le Tableau 3. 2 compare Tactyle avec d'autres simulateurs à différents niveaux du flot de conception. L'outil est un simulateur de systèmes analogiques et mixtes, ultra-rapide, et précis dans le domaine temporel. Il peut être utilisé dans différentes étapes du flot de conception :

- La conception du système.
- L'optimisation des circuits.
- La vérification des performances et des fonctionnalités.

Tableau 3. 2 : Comparaison entre Tactyle et d'autres simulateurs

	High-level technical language GUI-based multi-domain Tactyle	FastSpice	Symbolic optimizer Tactyle	V*-AMS	Wreal models	Tactyle
Flow Step	Architecture design	Design optimization		Verification		
Model accuracy fully maintained	✓ ✓ ✓		✓ ✓	✓	✓	✓
Interactive simulation exploration	✓		✓			✓
Approx. speed compared to Spice	1000x 1000x 1000x	10x	1000x 1000x	100x	1000x	1000x

On remarque du Tableau 3. 2 que Tactyle peut conserver la précision de la simulation aux différentes étapes du flot de conception. La facilité d'intégration de l'outil est un avantage par rapport à d'autres outils, ce qui permet d'intégrer la simulation dans une boucle pour l'exploration de l'espace de conception ou l'optimisation. La vitesse de l'outil permet également de gagner du temps dans la phase de conception.

L'utilisation de Tactyle est similaire aux outils Spice conventionnels. L'outil prend en entrée :

- Une description de l'architecture du système. Cette description est capturée à travers un schéma de blocs sous forme de netlist, instanciant des blocs fournis par la bibliothèque de Tactyle.

- La liste des nœuds, paramètres et signaux que le concepteur souhaite tracer.
- L'analyse que le concepteur souhaite effectuer :
    - .DC : cette analyse statique permet d'incrémenter (balayer) une source indépendante sur une certaine plage avec un pas déterminé.
    - .TRAN : cette analyse temporelle précise l'intervalle de temps au cours duquel l'analyse transitoire a lieu, ainsi que les pas de temps.

Ensuite, l'outil effectue la simulation rapide et trace l'ensemble des signaux de sortie souhaités. Tactyle possède une grande bibliothèque de modèles primitifs, tous les circuits doivent être composés de ces modèles, utilisés ainsi comme des blocs élémentaires. La netlist contient la description du circuit avec la syntaxe du langage Tactyle, basé sur celle de Spice. Cette description est paramétrée et peut être hiérarchique (blocs et sous-blocs).

3.2.2.2. Tactyle + LIFT (ACO)

Afin de réaliser l'optimisation multi-objectif de systèmes multi-physique continu-discret, il est nécessaire d'utiliser un algorithme d'optimisation capable de résoudre des problèmes de cette nature. Dans le cadre de cette thèse, nous avons choisis l'optimisation par colonie de fourmi.

En effet, ils ont fait leur apparition dans les années 1990 par Marco Dorigo et al [61] en optimisation combinatoire afin de produire des solutions quasi-optimales au problème du voyageur de commerce. L'idée originale s'est depuis diversifiée pour résoudre une classe plus large de problèmes en s'inspirant des comportements collectifs de dépôt et de suivi de piste observées dans les colonies de fourmis et plusieurs algorithmes ont vu le jour, s'inspirant de divers aspects du comportement des fourmis, comme le système de colonie de fourmis (ACS) et le système de fourmis MAX-MIN (MMAS). Ces méthodes suivent généralement les étapes décrites dans l'algorithme 1 et 2 de la Figure 3. 8 et ne diffèrent que dans la manière de construire les solutions et la variation des phéromones ou valeurs associées à chaque élément de la solution. Après l'initialisation des paramètres de l'algorithme, des informations de phéromone (=produit déposé par les fourmis pour marquer le chemin le plus court) et ses informations heuristiques, la méta heuristique s'itère en trois phases: à chaque itération, un certain nombre de solutions sont construites par les fourmis en utilisant une règle probabiliste pour choisir les composants de chaque solution, ces solutions sont ensuite évaluées (les

solutions non dominées sont stockées et celles dominées éliminées pour le cas d'une optimisation multi objective), améliorées par une recherche locale (qui est une étape facultative) et enfin la phéromone est mise à jour en utilisant les informations extraites des solutions nouvellement construites. Les pseudocodes pour une méta-heuristique ACO standard et en optimisation multi-objective sont donnés comme suit :

Algorithm 1: General Ant Colony Optimization

```
Set parameters;
Initialize pheromone trails τ ;
Initialize heuristic matrix η ;
while termination criteria not met do
        ConstructAntSolution();
        ApplyLocalSearch() (optional);
        UpdateGlobalPheromone();
Endwhile
```

Algorithm 2: ACO Multiobjectif

```
Set parameters;
Initialize pheromone trails τ ;
Initialize heuristic matrix η ;
Initialize Pareto set P as empty;
while termination criteria not met do
        ConstructAntSolution();
        ApplyLocalSearch() (optional);
        UpdateParetoSet();
        UpdateGlobalPheromone();
Return the Pareto set P
```

Figure 3. 8 : Algorithme Générale et algorithme multi objective de l'ACO

Récemment une nouvelle extension de ces algorithmes a été développée par Martin Schlueter [62] pour la programmation non linéaire en nombres entiers mixtes (MINLP). L'algorithme ACO est combinée à une méthode pour la gestion des contraintes nommée « Oracle Penalty Method » [63] qui est une méthode avancée et auto-adaptative, spécialement développée pour les méta heuristiques (comme ACO, GA ou PSO) et permettant d'atteindre la solution optimale globale. Cette nouvelle extension de l'ACO, a été utilisée efficacement à plusieurs applications du monde réel avec un accent particulier dans le domaine spatial. Pour la construction des solutions, elle se base sur des échantillons stochastiques (également appelés fourmis ou individus) générés par la fonction de densité de probabilité gaussienne à noyaux multiples ou Multi-kernel Probability Density Function (PDF) pour les deux domaines continu (cPDF) et discret (dPDF) [64].

Le pseudo-code permettant d'illustrer l'algorithme ACO pour MINLP de manière plus compacte est donné dans l'algorithme 3:

Algorithm 1: ACO for MINLP

while termination criteria not met **do**

1. *Set l = 1 and initialize a first generation Gl of v individuals (x, y) based on a uniform cPDF P for the continuous variables x and a uniform dPDF Q for the discrete variables y.*
2. *Select K best individuals from generation Gl based on their fitness value f(x, y) and save them as solution archive S.*
3. *Apply evolutionary operator Eaco on the solution archive S to create the next generation Gl+1 of v individuals (x, y).*
4. *Introduce all individuals (x, y) of generation Gl+1 to the solution archive S if they have a better fitness than the lowest ranked individual in S. Discard those individuals from the archive, that have a worse fitness than the K-th individual in the archive*
5. *Set l = l + 1 and go to (2).*

Endwhile

Les définitions des deux types de fonctions de densité de probabilité, de la « Oracle Penalty Method » ainsi que des opérateurs et paramètres sont rappelées dans l'annexe.

Le solveur utilisé est celui développé par M. Schlueter et M. Munemoto de l'université d'Hokkaido [62], appelé MIDACO (Mixed Integer Distributed Ant Colony Optimization) [65]. En effet il représente l'état d'art en matière d'algorithmes évolutionnaires pour la résolution des problèmes non linéaire en nombres entiers mixtes (MINLP). On peut citer parmi les motivations derrières son utilisation :

- Sa capacité à gérer des problèmes avec des centaines d'objectifs et de contraintes.
- Les fonctions objectifs et contraintes peuvent être inconnues (boîte noire)
- La possibilité de paralléliser l'optimisation.

MIDACO considère les fonctions objectifs F(x) et les contraintes G(x) comme des fonctions de boîte noire. Cela signifie que pour certaines valeurs d'entrée *x,* seules les valeurs de la fonction objectif F(x) et de contrainte G(x) sont reconnues par MIDACO. Aucune connaissance particulière sur la façon dont la fonction objective est calculée n'est requise. Ce concept de boîte noire donne à l'utilisateur une liberté absolue de formuler le problème, et de pouvoir faire communiquer le solveur avec des simulateurs.

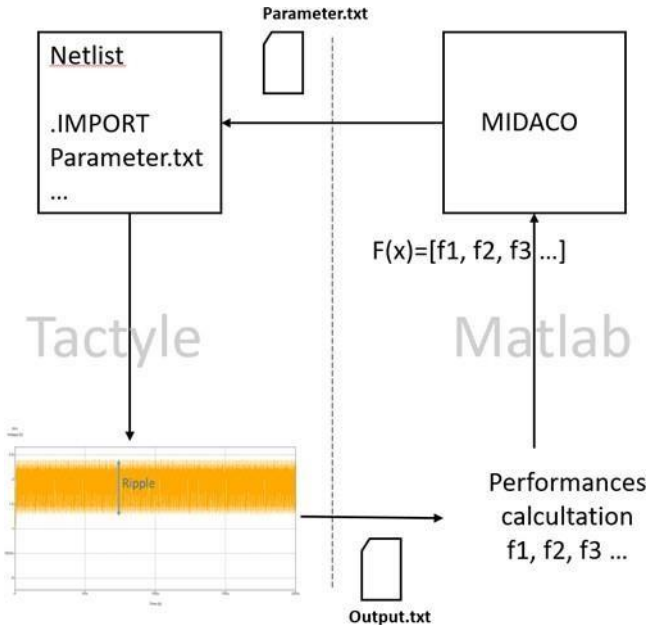


Figure 3. 9 : Communication entre MIDACO et Tactyle

Une étape importante lors de la caractérisation d'un bloc est de formuler le problème multi-objectif (1) de manière efficace :

1. Sélection des performances pour l'analyse des compromis :
2. Sélection des paramètres d'optimisation qui ont un impact direct sur les performances, en minimisant le nombre de paramètres et par conséquent la taille de l'espace de conception, pour gagner du temps lors de l'étape d'optimisation.
3. Ajout des contraintes : celles-ci représentent les contraintes d'égalité et d'inégalité sur les performances (objectifs) et les paramètres (bornes inférieurs et supérieures). L'objectif principal est d'assurer le bon fonctionnement du circuit et de limiter l'analyse des compromis à une région d'intérêt.

Pour construire le modèle prédictif, nous utilisons Tactyle pour la macro-modélisation des circuits et l'évaluation des performances d'une part ; et MIDACO pour l'optimisation multi-objectif et la recherche de solutions candidate d'autre part. Comme le montre la Figure 3. 9, MIDACO génère un vecteur de paramètres et l'envoie (via un fichier texte) à Tactyle ; puis reçoit les nouvelles valeurs de performances obtenues de Tactyle à la fin de chaque simulation (via un fichier texte).

L'outil propose plusieurs paramètres pour personnaliser ses performances et que l'on peut éventuellement varier pour avoir des comportements différents. On peut citer :

- PARETOMAX pour définir le nombre maximum de points de Pareto
- ANTS pour définir le nombre d'individus ou des fourmis artificielles qui construisent chaque génération.
- KERNEL pour définir le nombre des solutions les plus prometteuses conservées dans l'archive des solutions.

L'optimisation est automatisée, et une fois les critères d'arrêts sont atteints, l'optimisation se termine et le front de Pareto se génère.

3.2.2.3. Application sur un transducteur capacitif

La méthode précédemment présentée va être appliqué dans cette sous-section à travers un exemple illustratif. Nous appliquons la méthode sur un modèle de transducteur capacitif. Le bloc est modélisé sur Tactyle en se basant sur la bibliothèque primitive de l'outil. L'objectif est de montrer la capacité de Tactyle à modéliser un bloc multi physique et de vérifier la connexion établie entre MIDACO et Tactyle.

Le schéma simplifié d'un transducteur capacitif MEMS est présenté dans la Figure 3. 10. La partie centrale du transducteur est une masse micromécanique, qui agit comme élément de détection. Lorsqu'une accélération externe est appliquée, la masse se déplace par rapport à la référence. L'accélération externe est inférée du mouvement du corps d'épreuve et peut être mesurée de plusieurs façons. Dans ce travail, nous nous appuyons sur l'approche de détection capacitive, où le déplacement est détecté en mesurant la variation de capacité entre la masse et les électrodes fixes adjacentes.

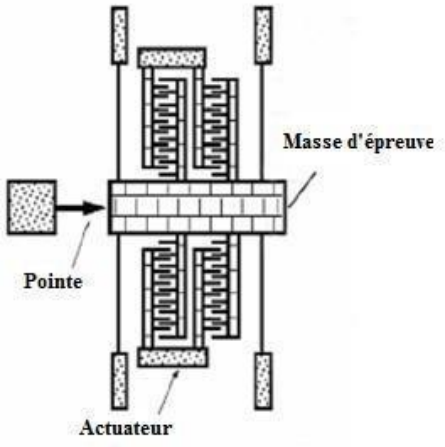


Figure 3. 10: accéléromètre MEMS à effet tunnel

L'accéléromètre MEMS peut être modélisé par un simple ressort qui prend en compte la masse d'épreuve et les phénomènes d'amortissement [66]. Il s'agit ainsi d'un système mécanique du deuxième ordre de type masse m, ressort K et amortisseur D illustré sur la Figure 3. 11.

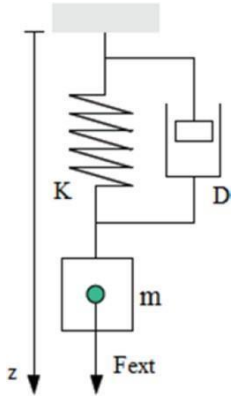


Figure 3. 11: Modèle mécanique de second ordre de type : Masse-Ressort-Amortisseur

La réponse de ce système est la solution de l'équation différentielle obtenue par application de la loi fondamentale de la mécanique sur le solide de masse *m* :

$$\sum(\vec{F}) = m\frac{d^2\vec{z}}{dt^2} \tag{2}$$

$$\text{Avec n } \sum(\vec{F}) = \vec{F}_{ext} + \vec{F}_K + \vec{F}_D \tag{3}$$

$$m\frac{d^2\vec{z}}{dt} + D\frac{d\vec{z}}{dt} + K\vec{z} = \vec{F}_{ext} \tag{4}$$

Où $\vec{F}_K$ est la force appliquée par le ressort sur le solide ; $\vec{F}_D$ la force appliquée par l'amortisseur sur le solide avec D le coefficient d'amortissement ; $\vec{F}_{ext}$ la force extérieure du système.
Il existe différentes modélisations électriques équivalentes à la représentation mécanique de l'accéléromètre. Il s'agit de remplacer le déplacement z par la charge d'un condensateur dans un circuit RLC soumis à une tension V_{in}.

$$L\frac{d^2q}{dt^2} + R\frac{dq}{dt} + \frac{1}{C}q = V_{in} \tag{5}$$

Les deux équations sont de même forme - ainsi, nous pouvons procéder par identification pour utiliser les paramètres électriques afin de simuler par équivalence les paramètres mécaniques dans un simulateur électrique. La simulation multi-physique est ainsi réalisée ici pour ce système continu par analogie mécanique-électrique. Le lien entre ces paramètres est montré dans le Tableau 3. 3.

Tableau 3. 3 : Relation entre les paramètres électriques et mécaniques

Paramètres mécaniques	**Paramètres Électriques**
m (masse)	L
D (amortisseur)	R
K (ressort)	1/C
A (accélération)	V_{in}/L

Nous avons construit le modèle du transducteur dans Tactyle, comme indiqué dans la Figure 3. 12.

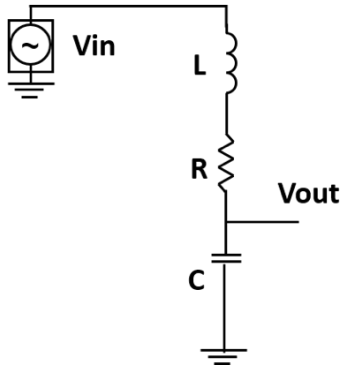


Figure 3. 12 : modèle du transducteur capacitif

Pour optimiser le transducteur, nous devons identifier deux indicateurs de performance qui sont en opposition et pour lesquels l'amélioration de l'un peut se traduire par la dégradation de l'autre. Ici, nous avons utilisé le compromis bande passante et facteur de qualité, et nous avons cherché à maximiser les deux indicateurs.

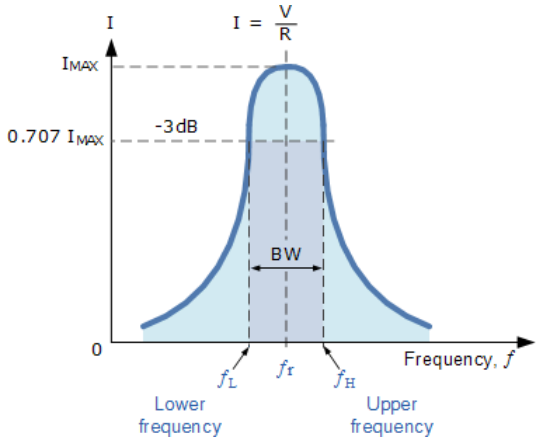


Figure 3. 13: bande passante d'un circuit résonant RLC

La Figure 3. 13 représente la bande passante du circuit résonant RLC. La réponse en fréquence de l'amplitude du courant est liée à la "netteté" de la résonance dans un circuit à résonance en série. La netteté du pic est mesurée quantitativement et est appelée le facteur de qualité, Q, du circuit. Le facteur de qualité met en relation l'énergie maximale ou de pointe stockée dans le circuit (la réactance) et l'énergie dissipée (la résistance) au cours de chaque cycle d'oscillation, ce qui signifie qu'il s'agit d'un rapport entre la fréquence de résonance et la largeur de bande et que plus le Q du circuit est élevé, plus la largeur de bande est petite, Q = fr /BW.

En effet, Nous avons contraint le problème avec les variables R, L et C bornées à des valeurs minimales et maximales comme indiquées dans le Tableau 3. 4. Ces valeurs ont été choisi d'une manière pour mettre le bloc dans son domaine de validité, et vérifiés avec simulation.

Le front de Pareto résultant est donné figure 3. 14. Le front de Pareto est présenté avec 175 points avec un facteur de qualité variant entre 0 et 1.5 et avec une bande passante allant de 0 à 200 kHz. Le temps de simulation est de 1h avec un temps de d'optimisation (MIDACO) 4 min et le temps de simulation de 56 min, avec 37741 évaluations. La simulation est faite sur une machine virtuelle de CPU Intel® Xeon® CPU E5-2630 v4 @ 2.20GHz

Tableau 3. 4: Formulation du problème d'optimisation du transducteur

	Min	**Max**
R	50	150
L	1^{e}-3	100^{e}-3

C	1e-9	100e-9
Contraintes	Max Facteur de qualité Max Bande passante	

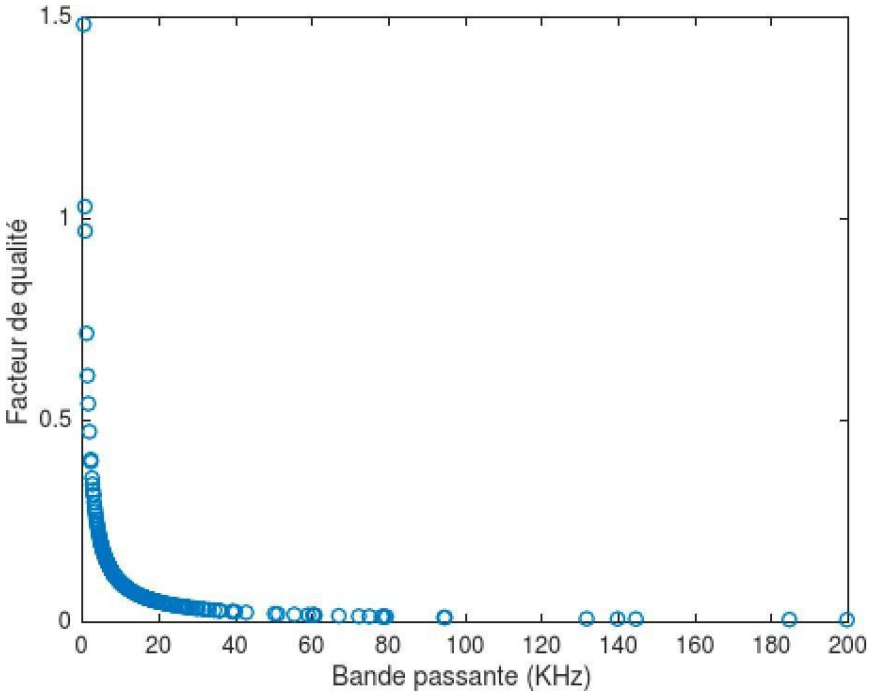


Figure 3. 14: Front de Pareto du transducteur (facteur de qualité VS la bande passante)

3.3. Front de Pareto à n-dimension : Front de Pareto

Le front de Pareto est utilisé pour aider le concepteur à choisir les meilleurs compromis dans l'espace des performances. La visualisation des fronts de Pareto est utilisée quand le problème ne dépasse pas 3 objectifs, car les solutions peuvent être visualisées en 2D et en 3D. Cependant, lorsque la taille du problème d'optimisation devient importante (plus de trois objectifs), il n'y a pas de méthode standard pour représenter le front de Pareto. Dans cette partie, nous avons développé une méthode de combinaison des fronts de Pareto 2D et 3D afin d'obtenir un front de Pareto qui représente l'ensemble de l'espace des performances. La méthode Hyperspace Diagonal Counting (HSDC) est utilisée afin de visualiser le Pareto dans son espace multidimensionnel. Afin de compléter l'explication des étapes de cette partie, un exemple d'application sur un OTA Miller est proposé.

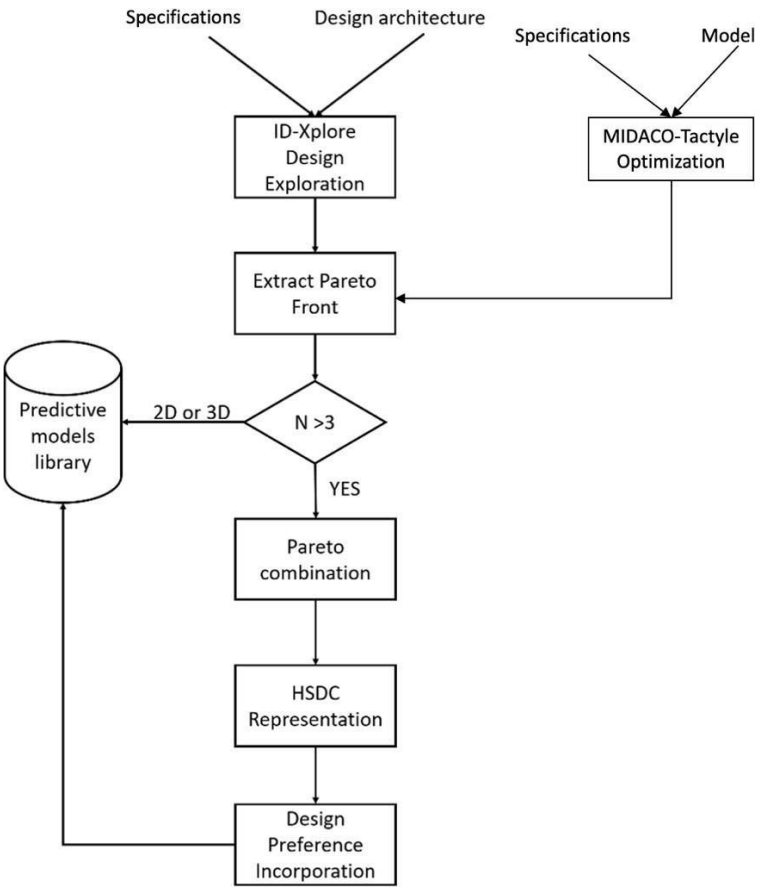


Figure 3. 15 : flot de la construction de modèles prédictifs

La Figure 3. 15 résume notre méthode de construction de modèles prédictifs pour les blocs analogiques et multi physique. A partir de quelques spécifications de performances et une architecture du circuit ou de modèle, L'extraction de front de Pareto est automatisée grâce au lien qui est établi entre ID-Xplore-LIFT ou Tactyle-MIDACO. Par la suite les fronts de Pareto sont extraits, si le nombre de performance est inférieur à 3, les fronts de Pareto sont directement stockés dans des modèles prédictifs. Sinon, les fronts de Pareto sont combinés et représentés dans un espace qui fait la taille du problème de conception, et après mis dans des modèles prédictifs. Dans les sous-sections suivantes, nous expliquons les étapes de ce flot après l'extraction des fronts de Pareto : le choix des paires de performances en utilisant le coefficient de corrélation, la combinaison et la visualisation des fronts de Pareto quand le problème dépasse 3 performances.

3.3.1. Choix de groupes de performances : Coefficient de corrélation

Pour identifier le meilleur compromis entre deux objectifs, le concepteur utilise son expertise afin de faire des regroupements et observer le front de Pareto. Quand le concepteur est face à un problème de conception très grand, l'identification des compromis entre les performances devient une tâche difficile. Une approche permettant de faciliter ce choix pour le concepteur, est le coefficient de corrélation. En effet, la corrélation entre deux objectifs (indicateurs de performance) mesure l'intensité du lien qui peut exister entre ces deux objectifs. Le coefficient de corrélation peut être positif ou négatif :

- Lorsqu'il est négatif, un objectif augmente lorsque l'autre diminue (corrélation inverse)
- Lorsqu'il est positif, les objectifs augmentent simultanément (corrélation directe).

La valeur du coefficient de corrélation est comprise entre -1 et 1, où -1 indique que les objectifs sont inversement égaux et 1 indique qu'ils sont égaux.

Le coefficient de corrélation doit être calculé pour l'ensemble des paires possibles d'un groupe de performances. Dans un problème de conception à *n* performances, on trouve *n(n-1)/2* paires de performances.

A partir de deux distributions, le coefficient de corrélation linéaire r se calcule :

$$r = \frac{\Sigma\,(x-\bar{x}\,)(y-\bar{y})}{\sqrt{\Sigma\,(x-\bar{x}\,)^2}\sqrt{\Sigma(y-\bar{y})^2}} \tag{6}$$

Où

x représente une valeur de la première distribution.

$\bar{x}$ représente la moyenne de la première distribution.

y représente une valeur de la deuxième distribution.

$\bar{y}$ représente la moyenne de la deuxième distribution.

Les coefficients de corrélation peuvent se calculer sous Matlab, en utilisant la fonction *corrcoef*. Cette fonction calcule la corrélation linéaire entre deux vecteurs et retourne le coefficient de corrélation de toutes les paires de performances possibles.

Tableau 2. 3 : Coefficients de corrélation des 4 performances de l'OTA Miller

Performance 1	**Performance 2**	**Coefficient de corrélation**
Gain	UGF	0.33856
Gain	SR	-0.0058386
Gain	Pwr	0.12915
UGF	SR	0.31171
UGF	Pwr	-0.23347
SR	Pwr	0.95427

Dans le Tableau 2. 3, les coefficients de corrélation ont été calculés pour chaque paire de performances pour le problème d'optimisation de l'OTA Miller : le gain (en tension), la fréquence de gain unitaire (UGF : Unity Gain Frequency), la vitesse de balayage (SR : Slew Rate), la consommation en puissance (Pwr : power consumption). Le tableau renseigne les coefficients extraits pour les 6 groupes possibles de performances. Ceci donne un choix au concepteur, qui a ainsi besoin de lignes directrices pour choisir des paires de performances avant d'extraire des fronts de Pareto. Plusieurs cas se distinguent :

- Les paires qui ont un coefficient de corrélation élevé (proche de -1 ou +1) ne doivent pas être choisies car cela signifie qu'il n'y a pas de compromis à réaliser.
- Les paires ne devraient pas non plus avoir un faible coefficient de corrélation (0), car cela signifie que la variation d'un objectif a peu d'influence sur l'autre.
- Nous proposons donc de choisir des valeurs de coefficients proches de ±0.5, ce qui permet d'avoir des paires directement/inversement corrélées et d'identifier les compromis.

Ainsi, il existe deux méthodes pour choisir les paires de performances :

- La première consiste à choisir la paire avec le coefficient de corrélation le plus proche de ± 0,5 (qui sera plus importante ou un impact majeur sur la fonction du système) et à choisir la paire restante (Vert).
- La seconde consiste à choisir des paires avec des coefficients de corrélation qui se situent autour de ± 0,5 (Orange) (dont la somme des écarts des coefficients par rapport à ± 0,5 est le moins élevée).

Dans cet exemple, nous avons adopté la première méthode qui va garantir un bon compromis entre les performances de premier choix chez le concepteur. Les paires de performances sont (Gain, UGF) avec un coefficient de corrélation de 0,33 et la deuxième paire (SR, Pwr) avec un coefficient de corrélation de 0,95.

3.3.2. Combinaison de front de Pareto

Nous avons pu voir dans la partie précédente que la corrélation facilite le choix des paires de performances présentant des compromis majeurs. Après l'optimisation, puis l'extraction des fronts de Pareto, le concepteur fait son choix à partir de solutions qui existe entre deux performances. Ceci est très difficile quand le problème d'optimisation est grand, puisque le concepteur se retrouve avec plusieurs fronts de Pareto, où il doit faire le choix d'un seul point dans tous les espaces de performances. Afin d'éviter ces difficultés, il est nécessaire de procéder à la combinaison de plusieurs fronts de Pareto dans un seul front de Pareto représentant l'ensemble de l'espace de performances.

Sur un problème d'optimisation à N objectifs, obtenir un front de Pareto regroupant tous les objectifs nécessite la combinaison des fronts de Pareto des paires d'objectifs. Pour cela, nous avons ajouté une propriété à l'algorithme d'extraction de front de Pareto présenté dans la partie 2.2.1.3. L'algorithme renvoie un vecteur logique qui a le même nombre de lignes que la matrice initiale et indique si un point appartient à un front de Pareto.

Tableau 2. 4 : Combinaison de fronts de Pareto dans un problème à N performances

Points	**1st Pareto**	**2nd Pareto**	**4 performances PP**
A	0	0	0
B	0	1	1
C	1	0	1
D	1	1	1

Cette combinaison associera chaque point dans un espace donné avec ses points correspondants dans les autres espaces, que les points soient sur le front de Pareto ou non. De cette façon, nous pouvons représenter un point dans un espace plus grand.

Un problème à quatre objectifs est utilisé pour démontrer la méthodologie. Le Tableau 2. 4 liste 4 points A-D, en indiquant leur appartenance aux deux fronts de Pareto par 1 ou 0 logique. Pour combiner ces points dans un seul front de Pareto à 4 performances, il est nécessaire d'appliquer une opération logique pour (i) filtrer les points non-dominés dans les deux fronts de Pareto, (ii) compacter la représentation combinée des fronts de Pareto dans l'ensemble de l'espaces des performances et (iii) conserver une quantité d'informations utiles suffisantes pour le dimensionnement optimal. Deux opérations logiques principales peuvent être envisagées : le "ou" et le "et" logique. Les deux approches se comparent de la manière suivante :

- "Ou" logique : facteur de compression moindre, mais conservation de l'ensemble des informations utiles.
- "Et" logique : facteur de compression maximal, mais perte d'informations.

Dans l'exemple, nous avons appliqué une opération de « ou logique » aux 2 vecteurs. Ce vecteur logique de 1 et de 0 permettra par la suite d’extraire les points de Pareto par une simple multiplication avec la matrice initiale de performance.

3.3.3. Représentation de fronts de Pareto à n-dimensions : HSDC

Il existe de nombreuses méthodes pour visualiser des données multidimensionnelles, voir par exemple [54] [55]. T. Tušar et al [53] ont fait une comparaison des méthodes de visualisation des fronts de Pareto. Le tableau proposé dans [53] permet de faire une comparaison de plusieurs méthodes de visualisation par rapport à plusieurs facteurs (Robustesse, capacité de manipuler de grands ensembles, flexibilité …). Dans cette thèse, nous avons choisi la méthode Hyper Space Diagonal Counting (HSDC) parce qu'elle regroupe la robustesse, la capacité de manipuler de grands ensembles, la flexibilité et aussi la facilité du codage. Ces facteurs sont d'une grande importance parce qu'on cherche à intégrer dans notre méthode de conception, une méthode de visualisation capable de faire face à des problèmes d'optimisation de grande taille.

La méthode HSDC [67][68] permet de réaliser une combinaison, sans perte d'information, de plusieurs dimensions en suivant une stratégie de comptage. L'idée principale de cette méthode est de **lier (mapper)** un ensemble de points existant dans un espace à n dimensions à des points correspondants sur une ligne (1D), en créant un chemin à travers ces points comme le montre la Figure 3. 16.

Les étapes pour réduire l'espace d'un front de Pareto en utilisant l'approche HSDC sont les suivantes :

- Identifier les valeurs minimales et maximales pour chaque objectif pour fixer une plage de validité. Diviser ces plages de variation en compartiments (petites plages de variation).
- Tracer les indices des cases créées sur les deux axes, où plusieurs fonctions sont représentées sur chaque axe.
- Déterminer, pour chaque point de Pareto, son indice par rapport à la case à laquelle il appartient. Par exemple, selon la figure 3. 16 et pour un problème à 2 objectifs, un point qui se positionne dans la deuxième plage du premier objectif et la troisième plage du deuxième objectif correspondrait à l'indice 8.

Nous cherchons à représenter un front de Pareto à 4 performances dans une représentation 2D. Pour cela, l'indice HSDC pour chaque point doit être trouvé. Pour une meilleure compréhension, dans cette partie, nous appliquons la méthode à la paire de performances (Gain, UGF) pour trouver les indices HSDC des points de Pareto. La Figure 3. 16 montre comment le comptage est effectué, permettant ainsi de représenter des points d'une surface sur une ligne. Les détails du comptage en *n* dimensions sont présentés dans [67].

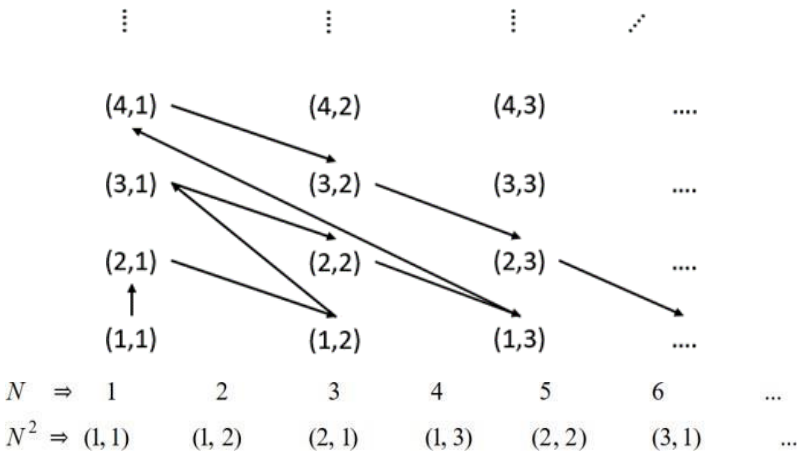


Figure 3. 16 : Chemin de HSDC et correspondance des points

Il est évident que la discrétisation la plus fine entraîne une meilleure distribution des points de Pareto dans l'espace de performance, de sorte que moins de compartiment contiennent plusieurs points simultanément. Cela veut dire que le nombre de compartiments choisis a un impact sur la représentation finale. Si le nombre de compartiments est élevé, moins de points Pareto vont se retrouver dans un compartiment et le Pareto à *n* performances contiendra un nombre de points élevés et devient raffiné. Dans ce travail, nous avons choisi d'utiliser 5 compartiments par performance par facilité de codage et aussi pour la clarté de l'explication de notre exemple. Le Tableau 2. 5 liste certains points de notre front de Pareto hyper-espace de la paire de performances (Gain, UGF) (A-E) dans le but de les localiser pour trouver à quels compartiments ils appartiennent. Le numéro des blocs correspond aux indices HSDC comme la montre la Figure 3. 17.

Tableau 2. 5 : Points de Pareto entre 2 performances avec les indices HSDC

Pareto Points	Gain (dB)	Unity Gain Frequency (MHz)	HSDC indices
A	52.73	1.78	15
B	52.21	1.83	6
C	52.26	2.08	13
D	52	2.30	17
E	52.15	2.21	24
Max	**52.96**	**2.31**	-
Min	**51.41**	**1.75**	-
Range	**1.55**	**0.56**	-
Bins	5	5	-

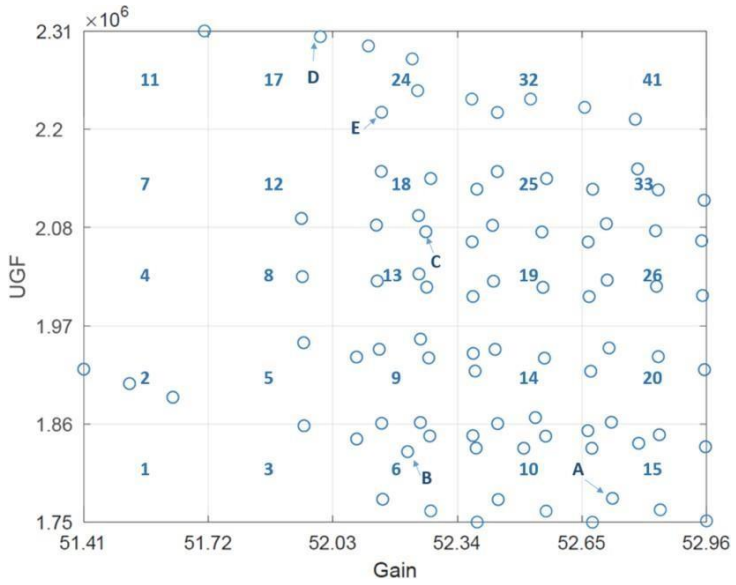


Figure 3. 17 : Indices HSDC des points de Pareto A-E

Pour chaque performance, les plages de variation des fronts de Pareto sont divisées en cinq compartiments (classés du minimum au maximum). Les indices des compartiments sont tracés sur les deux axes. De cette façon, chaque point du front de Pareto hyper-espace est identifié avec ses indices HSDC correspondants. La Figure 3. 17 montre comment le comptage est effectué pour la paire de performances (Gain, UGF). Chaque bloc est affecté à son indice HSDC en respectant le chemin indiqué dans la Figure 3. 16. De la même manière, les indices

HSDC sont identifiés pour la seconde paire (SR, Pwr). Le front de Pareto à 4 performances est représenté dans la Figure 3. 18 mettant chaque paire de performance sur un axe. Il est à noter que les axes projettent chacun deux performances (une paire de performances) et que le front de Pareto est réellement un objet à 4 dimensions. Le point idéal se situe dans la graphique en haut à droite (solution optimale pour les couples (Gain,UGF) et (SR,Pwr)).

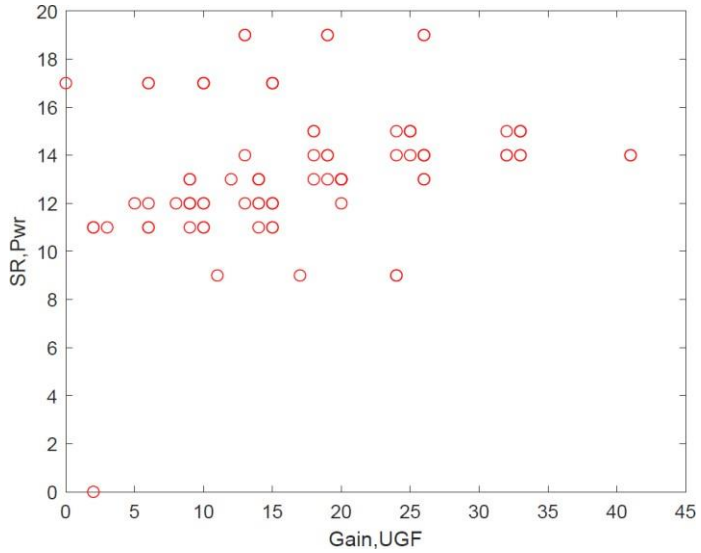


Figure 3. 18 : Représentation HSDC des 4 performances du problème d'optimisation OTA Miller

3.3.4. Incorporation des préférences

L'hyperespace front de Pareto est principalement utilisé pour identifier le meilleur compromis à *n* dimensions. Cependant, à mesure que la taille du problème augmente, il devient de plus en plus difficile de l'identifier. Le but de l'optimisation est de trouver des points de conception optimaux qui représentent les préférences du concepteur.

Habituellement, le concepteur établit des ordres de préférence pour chaque objectif, tels que : « hautement souhaitable », « souhaitable », « tolérable », « indésirable », « hautement indésirable ». La méthode proposée dans cette partie n'impacte pas le processus d'optimisation. Son objectif est d'aider le concepteur à faire le choix entre les points de conception optimaux identifiés dans un espace à *n* performances.

Nous appliquons la méthode décrite dans [69] sur le front de Pareto entre Gain et UGF précédent. La méthode attribue des points aux solutions de Pareto par rapport à la préférence du concepteur. La somme de ces points est ensuite traduite avec un code couleur qui permet de

voir les solutions optimales directement sur le graphe. Les préférences pour les objectifs Gain et UGF sont attribués aux 5 niveaux, comme indiqué dans le Tableau 2. 6. Chaque plage de variation à une valeur pondérée de 0 à 10 tel que : « hautement souhaitable » : 0 ; « souhaitable » : 1 ; « tolérable » : 5 ; « indésirable » : 7 ; « hautement indésirable » : 10. Chaque point de Pareto aura ainsi une pondération par rapport à sa position dans la plage de variation. Ces valeurs sont additionnées afin d'obtenir une valeur unique pour chaque point. Cette procédure identifie les meilleurs compromis entre les points de Pareto dans un espace à *n* performances, et les représente ensuite en fonction de leurs scores par un code couleur.

Le code couleur utilisé est :

(Plus souhaitable) Bleu → Vert → Jaune → Violet → Rouge (moins souhaitable)

Tableau 2. 6 : Gain et UGF avec des spécifications de préférences

Gain (dB)		**Unity Gain Frequency (MHz)**		**Préférence**	**Note**
51.41	51.72	1.75	1.86	Hautement indésirable	10
51.72	52.03	1.86	1.97	Indésirable	7
52.03	52.34	1.97	2.08	Tolérable	5
52.34	52.65	2.08	2.2	Désirable	1
52.65	52.96	2.2	2.31	Hautement désirable	0

Dans le problème d'optimisation OTA Miller de 4 performances, Figure 3. 19 montre la représentation HSDC avec le front de Pareto à 4 performances s'appuyant sur l'incorporation des préférences indiquées dans le Tableau 2. 6. De la même façon, des points sont attribués aux points de Pareto de la deuxième paire (SR, Pwr). La somme pour chaque point est codée en couleur. Dans ce problème, 7 points bleu semblent ainsi être les meilleurs. Dans ce cas, le concepteur est libre de tester et de choisir le point qui répondra au mieux aux spécifications de l'application.

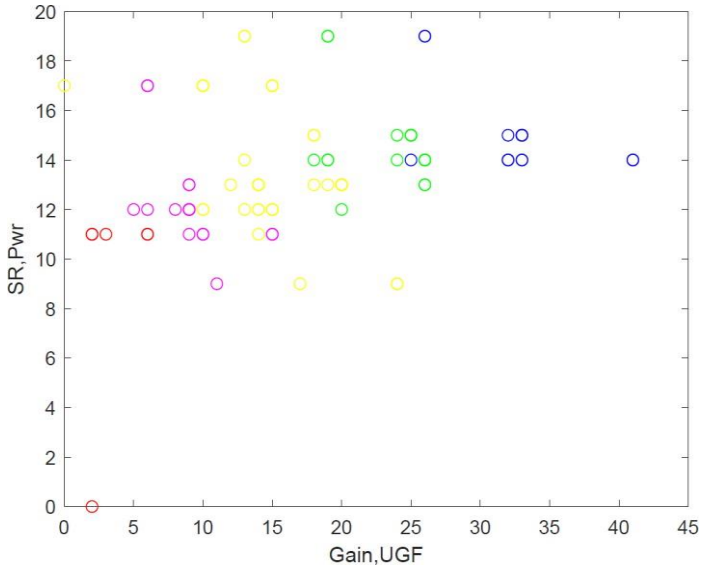


Figure 3. 19 : Incorporation des préférences du problème à 4 performances

3.4. Conclusion

Dans ce chapitre, nous avons présenté les modèles prédictifs basées sur les fronts de Pareto. Ces modèles prédictifs s'intègrent de manière efficace dans un cycle d'optimisation automatisée. Ils stockent les points de conception et résument complétement le comportement du modèle de simulation qu'ils présentent. Ainsi, les modèles prédictifs facilité l'échange des informations de conception et motive la réutilisation des blocs déjà conçus. En revanche, leur génération demande un effort de calcul conséquent qui dépend à la fois du temps de simulation des modèles et de la méthode d'optimisation numérique.

L'objectif principal dans ce chapitre était d'accélérer l'extraction des modèles prédictifs des circuits intégrés analogiques et blocs multi physique. En utilisant Tactyle, nous avons accéléré la simulation dans un processus d'optimisation automatisé basée sur le solveur MIDACO. ID-Xplore™ est utilisé pour construire l'espace de performance de n'importe quel bloc de circuits en fonction des spécifications de performances. Nous extrayons de l'espace de performances le front de Pareto en utilisant un algorithme de recherche minimum, programmé dans Matlab. Dans ce travail, nous choisissons toutes les paires de performances en fonction de leur coefficient de corrélation pour aider le concepteur à trouver tous les compromis entre les performances. Nous démontrons que pour extraire le front de Pareto à *n*-performances, nous devons combiner les fronts de Pareto individuels obtenus afin d'obtenir tous les compromis

dans un espace. La méthode de comptage diagonal hyperespace (HSDC) est appliquée pour visualiser le front de Pareto hyperespace avec une méthodologie d'incorporation des préférences du concepteur qui aide le concepteur à faire son choix du meilleur compromis.

4. Synthèse hiérarchique des systèmes hétérogènes

La conception des systèmes analogiques et hétérogènes se caractérise par une complexité de conception croissante et des contraintes de mise sur le marché plus court. La gestion de cette complexité et ces contraintes nécessite des méthodologies et des flots de conception hétérogènes qui incluent des explorations au niveau système. Pour plus de précision et de rapidité, la conception hiérarchique des systèmes analogiques et hétérogènes a besoin de nouvelles méthodes et outils de simulation pour intégrer des blocs analogiques, numériques et multi physique dans un seul système. Afin de résoudre cette problématique de complexité et de cycle de mise sur le marché, nous proposons dans ce chapitre, un nouveau flot de conception des systèmes analogiques et hétérogènes. Ce flot est basé sur une méthodologie hiérarchique qui regroupe les deux approches de conception ascendante (bottom-up) et descendante (top-down). Dans ce flot, on combine les méthodes proposées dans le chapitre 3. Nous avons utilisé la méthode combinée avec Tactyle pour optimiser les systèmes et propager les contraintes du système aux blocs. La méthode utilisée avec ID-Xplore sera utilisé au niveau circuits du système afin d'extraire rapidement le modèle prédictif des blocs. Afin de démontrer notre flot de conception, une application sur un modèle d'accèlerometre 1 axe sur 3 niveaux est présentée à la fin de ce chapitre.

4.1. Introduction

Un processus de conception des systèmes hétérogènes consiste en l'application d'une chaîne d'opérations dans le plan d'abstraction-description, de la spécification des performances ciblées à l'implémentation physique. Ainsi et comme l'indique la Figure 4.1, dans le cas d'un ASIC, un flot de conception commence par une description de la fonctionnalité, et se termine par l'implémentation physique du schéma « Layout ».

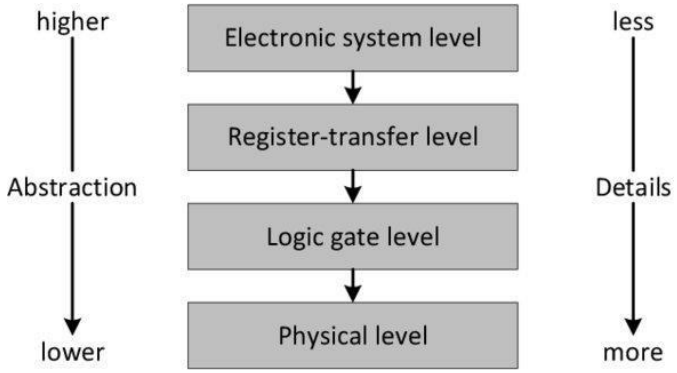


Figure 4. 1: [70] Relation entre niveaux d'abstraction et niveaux de description

Les flots de conception génériques utilisés dans la conception des systèmes hétérogènes repose sur différents flots de conception séparés comme expliqué dans le chapitre 2. Cependant, les différents concepteurs ne s'occupent généralement que d'une partie du flot total, par exemple, l'architecte système s'occupe de la spécification fonctionnelle à un modèle comportemental d'une architecture spécifique ; et le concepteur s'occupe du passage du circuit au niveau physique « Layout ». L'utilisation de la conception hiérarchique pour les systèmes hétérogènes reste fondamentale pour pouvoir gérer la complexité (limiter le nombre de variables de conception à prendre en compte simultanément) par la décomposition du système par rapport aux domaines. Il est donc nécessaire de créer une méthodologie de conception capable d'optimiser un système hétérogène et complexe.

Ce travail est motivé par l'opportunité d'accélérer le cycle de conception en utilisant le concept du modèle prédictif présenté dans le troisième chapitre. L'accélération repose également sur l'utilisation des outils d'optimisation et de simulation. Une méthodologie générale pour la synthèse de haut niveau des systèmes analogiques et hétérogènes est présentée, et fournit un cadre pour le développement d'outils EDA analogiques et hétérogènes. Le flot de conception proposé intègre Tactyle et ID-Xplore afin d'accélérer l'extraction des modèles prédictifs. Les modèles prédictifs fournissent le moyen d'abstraire les performances des blocs et constituent la principale voie de dialogue entre les niveaux hiérarchiques. Ils s'appuient sur la combinaison des fronts de Pareto (espace des performances) et des Pareto sets (espace des paramètres) et permettent une exploration rapide et précise.Dans ce chapitre, nous utilisons le concept des modèles prédictifs basées sur le front de Pareto présentés dans le chapitre 2 pour accélérer la synthèse des systèmes. Nous proposons une méthode efficace de l'utilisation de ces modèles prédictifs dans le cadre d'un processus de conception hiérarchique. A partir d'un modèle prédictif au niveau système, nous avons développé une méthode descendante qui

permet de propager les spécifications du système aux sous blocs du système. La partie ascendante de la méthode proposée utilise les fronts de Pareto des blocs des bas niveaux et les intègre dans le système afin de vérifier la convergence des performances. Les méthodes descendantes et ascendantes sont illustrées à l'aide d'un exemple de convertisseur DC-DC de type Buck. La démonstration sur la totalité du flot de conception s'appuie sur un système d'accéléromètre MEMS à 1 axe.

Dans ce chapitre, nous présentons l'utilisation des modèles prédictifs des systèmes et des blocs dans le cadre d'une conception hiérarchique. Nous montrons l'utilisation d'ID-Xplore et Tactyle dans le flot de conception. Les principales contributions de ce travail sont :

- La proposition d'un nouveau flot de conception complet, intégrant les méthodes présentées dans le chapitre précédent et s'appuyant sur Tactyle et ID-Xplore pour accélérer l'extraction des modèles prédictifs. Ce flot doit être adapté aux systèmes complexes multi-physique et continue-discrète
- L'automatisation quasi-complète de l'approche Top-down et Bottom-up. Dans ce travail, nous proposons de rester au niveau macro-modèle sans inclure le dimensionnement des transistors.

Dans ce chapitre, nous présentons le flot de conception complet des systèmes analogiques et hétérogènes. Le flot est présenté en deux partie, approche descendante (top-down) et approche ascendante (bottom-up), afin de montrer les étapes de chaque approches et l'intégration des méthodes expliqués dans la partie précédente dans le flot complet. Les méthodes avec les différentes étapes du flot sont expliquées à l'aide d'un cas de conception d'un convertisseur Buck DC-DC. Une application sur un accéléromètre un axe est présenté dans ce chapitre.

4.2. Top-down

4.2.1. Propagation de contraintes en utilisant les fronts de Pareto

Dans cette partie, nous exposons la méthodologie utilisée afin de propager les contraintes du niveau système jusqu'au niveau circuit, en utilisant les outils de simulation et d'optimisation déjà présentés. Le principe est d'utiliser la courbe des compromis du système pour calibrer le comportement des modèles au niveau inférieur. Dans le flot descendant, les paramètres d'un bloc à un niveau donné sont considérés comme les performances des blocs au

niveau inférieur. Ces paramètres sont optimisés au niveau système afin de trouver l'ensemble permettant d'obtenir les performances optimales et sont utilisés dans le but de respecter les spécifications de départ en haut de la hiérarchie.

Dans notre cas, la méthode est développée sur un système comportant une hiérarchie à trois niveaux :

- Niveau fonctionnel : modélisation haut-niveau de la fonctionnalité du système (dans notre travail, nous concrétisons ce modèle sous Tactyle ou MATLAB)
- Niveau comportemental : modélisation de l'architecture du système composé de sous-blocs (sous Tactyle)
- Niveau physique : simulation des sous-blocs avec des moteurs précis et adaptés - analogique (ici nous utilisons ID-Xplore, Cadence) ; multi-physique (ici nous utilisons des outils MEMS)

La modélisation hiérarchique est nécessaire pour gérer la complexité des systèmes. Il permet au concepteur de dimensionner les sous-systèmes, tout en répondant aux spécifications du système. Dans la conception descendante, les mesures de performances des blocs de niveau inférieur sont considérées comme les variables de conception à un niveau supérieur. Comme le montre l'équation 7 :

$$x_{n-1} \rightarrow f_{n-1} \equiv x_n \rightarrow f_n \qquad (7)$$

Avec :
n : niveau dans la hiérarchie
x : variable de conception
f : performance du bloc

L'équation résume la relation qui existe dans la conception hiérarchique entre les niveaux du système. Les variables de conception d'un niveau sont les performances du niveau supérieure. Cette relation permet d'utiliser les modèles prédictifs, pour contraindre efficacement l'optimisation à des niveaux d'abstraction inférieurs, garantissant la faisabilité et l'optimalité des solutions. Dans notre approche, les modèles prédictifs sont utilisés comme un lien entre les niveaux d'abstraction, que ce soit lors de l'étape descendante (Top-Down) où de l'étape ascendante (Bottom-up).

Une méthodologie de conception descendante consiste à répartir le travail de manière progressive, entre plusieurs niveaux d'abstraction. Un niveau d'abstraction est généralement compris en termes de langage de conception. Souvent, c'est le langage qui définit le niveau, mais ce n'est pas forcément le cas. Un niveau d'abstraction est aussi déterminé par les modèles qui peuvent être manipulés et les interactions qui effectues entre eux. Dès fixation des spécifications de performance, la conception au niveau du système peut commencer. C'est à ce stade que la fonctionnalité du système proposé est mise en œuvre (codage), et que la conception ou la sélection d'une architecture de haut niveau est effectuée et que les blocs en bas niveaux nécessaires à la mise en œuvre sont déterminés. Ensuite, l'implémentation des blocs au niveau physique est effectuée qui représente l'implémentation de la disposition des transistors et des autres composants.

En particulier, la conception de systèmes analogiques se compose principalement de trois enjeux :

1- Le choix d'une architecture.
2- La détermination des spécifications des blocs nécessaires à la mise en œuvre de l'architecture choisie.
3- La minimisation des effets dus aux non-idéalités du circuit.

La méthodologie illustrée dans la Figure 4. 2, montre la méthode descendante développée. Cette méthode fournit une procédure automatisée en utilisant les modèles prédictifs qui permet de propager les contraintes de système au niveau sous système et jusqu'au dernier niveau de la hiérarchie.

A partir des spécifications établis au niveau système, la première opération à effectuer est la sélection de l'architecture du système. L'architecture complète doit être modélisé sous Tactyle de manière hiérarchique. Les outils d'optimisation (Lift, MIDACO) et de simulation (Tactyle, ID-Xplore) sont utilisés pour faciliter le processus décisionnel basé sur les fronts de Pareto. Pour les hauts niveaux d'abstraction, Tactyle est utilisé pour modéliser le comportement du système. Ce modèle regroupe tous les blocs du système, où l'objectif principal est d'avoir un modèle top qui reproupe tous les blocs du système. Le concepteur définie son problème d'optimisation qui inclue les contraintes au niveau des performances et aussi les bornes des paramètres (Upper Bound et Lower Bound) afin d'assurer le bon fonctionnement du modèle. Une première optimisation est faite en utilisant LIFT dans le but d'extraire le front de Pareto du système. Le modèle prédictif du système est construit à partir de ce front de Pareto et de son Pareto set. Le Pareto set permet d'avoir de nouvelles bornes

pour les paramètres d'optimisation qui respectent les spécifications de départ, et qui vont servir comme contraintes au niveau inférieur dans la hiérarchie du système. Le passage d'un niveau supérieur à un niveau inférieur est expliqué dans la sous-section 4.2.2.

Au niveau inférieur, MIDACO et Tactyle sont utilisés pour optimiser chaque bloc du système, permettant ainsi d'en construire les modèles prédictifs.

Au niveau physique, Id-Xplore est utilisé pour accélérer l'extraction des fronts de Pareto des circuits analogiques. Ces fronts de Pareto font le lien entre les performances et les paramètres des circuits au niveau transistor (W, L, gm …). Pour les blocs physiques (par exemple : structure MEMS) et numériques (blocs logiques) des simulateurs spécifiques de chaque domaine peuvent être utilisé pour extraire les fronts de Pareto correspondants. Dans cette thèse, nous n'avons pas traité la simulation de ces blocs.

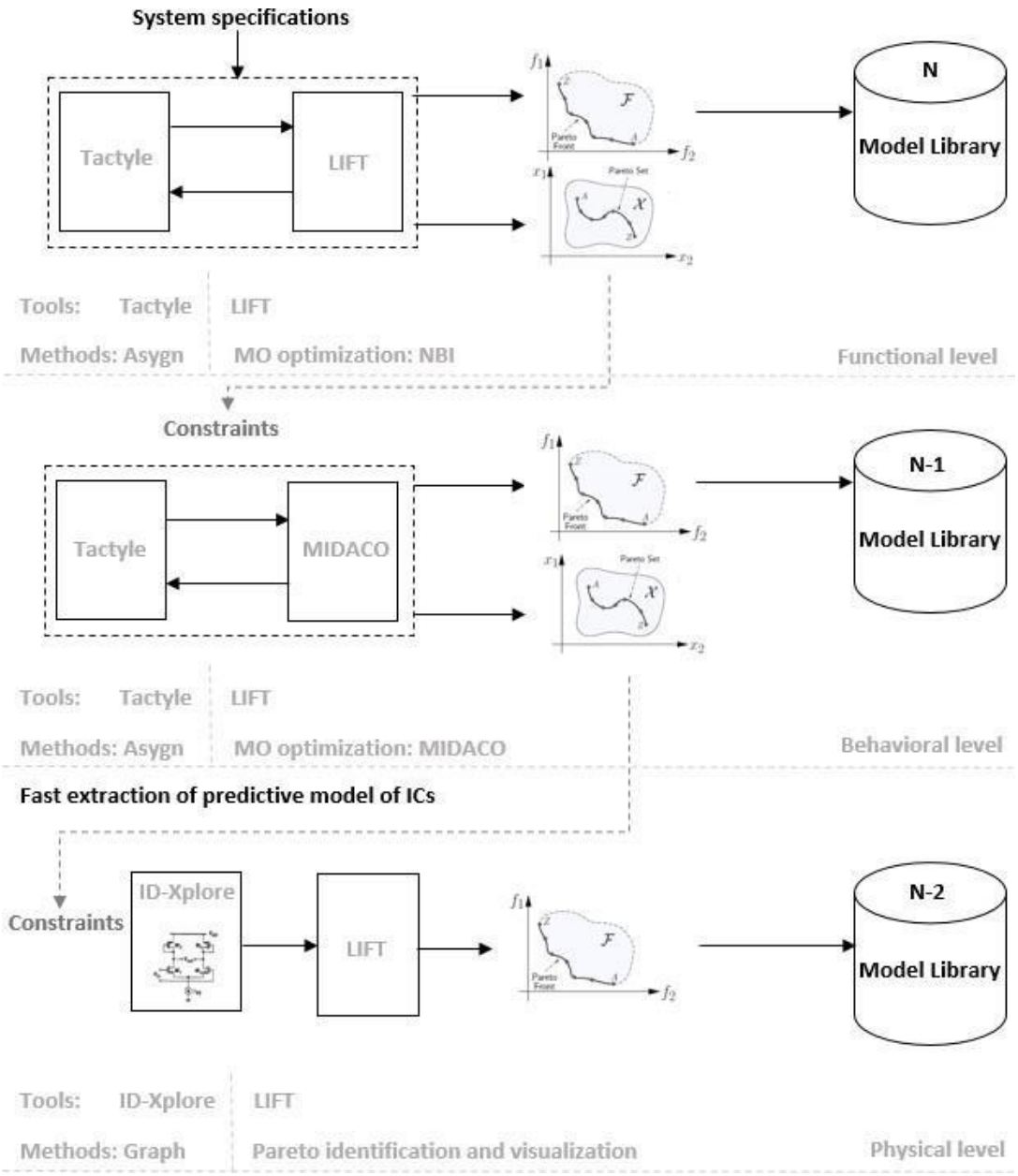


Figure 4. 2: Approche top-down retenue

Tactyle intervient sur 2 niveaux d'abstraction, fonctionnelle et comportementale. Au niveau fonctionnel, Tactyle communique avec Lift afin d'optimiser le système avec tous les blocs représentés comme des instances du système et extraire le front de Pareto niveau système.
Au niveau comportemental, le système se divise en sous-blocs. L'optimisation numérique à ce niveau de la hiérarchie est réalisée avec MIDACO. MIDACO a la possibilité de paralléliser les simulations gourmandes en puissance de calcul afin de réduire le temps total d'extraction des modèles prédictifs des blocs.

Au niveau physique, les contraintes établies au niveau de chaque bloc permettent l'extraction des modèles prédictifs : pour les blocs analogiques, cette action est accélérée avec ID-Xplore et LIFT, tandis que pour les blocs multi-physique et AMS, LIFT ou MIDACO sont liées au simulateur afin d'identifier le front de Pareto pour chaque bloc.

4.2.2. Mise en œuvre de l'approche

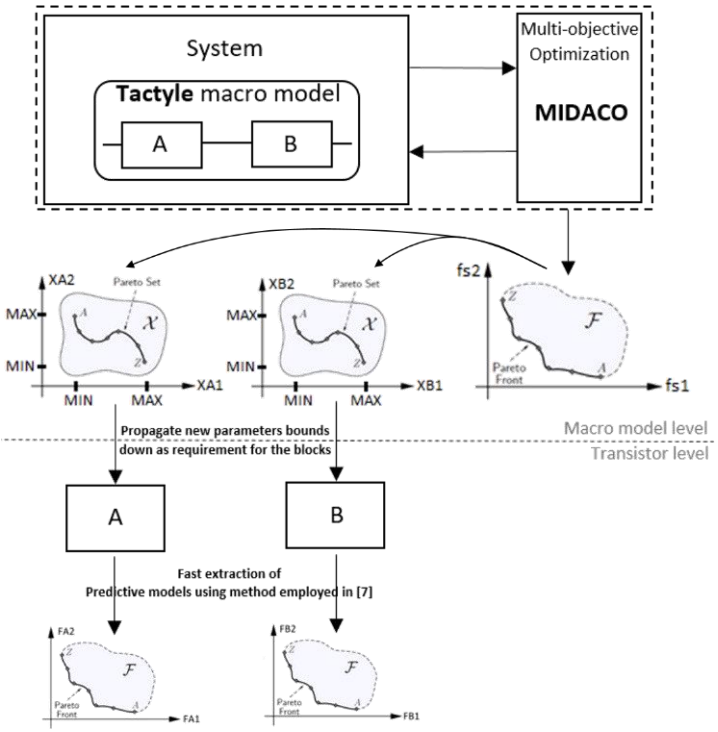


Figure 4. 3: Propagation des contraintes utilisant des Pareto set

Comme illustré dans la Figure 4. 3, le macro-modèle du système est composé de sous-blocs A et B. Le système est optimisé en utilisant MIDACO afin d'extraire le front de Pareto en fonction des spécifications au niveau du système. Une fois le front de Pareto du système (fs1, fs2) est extrait, le domaine du Pareto Set (XB1, XB2, XB3, XB4) est utilisé pour extraire les nouveaux minimum et un maximum pour chaque paramètre de conception montré sur la figure en MIN et MAX. Ces bornes des paramètres de conception sont ensuite utilisées comme contraintes pour les blocs inférieurs A et B. Les nouvelles contraintes détermineront le domaine de validité du front de Pareto.

4.2.3. Exemple de conception d'un convertisseur Buck DC-DC

Dans cette sous-section, nous décrivons l'application du flot de conception descendante développée et décrite précédemment à un convertisseur DC-DC de type Buck, qui présente deux niveaux hiérarchiques.

Nous présentons tout d'abord le fonctionnement de convertisseur DC-DC Buck en termes de sa fonctionnalité, ses indicateurs de performance et ses blocs le composant.

De manière générale, un convertisseur DC-DC est une alimentation à découpage qui convertit une tension continue en une autre tension continue de valeur différente. Dans le cas du convertisseur Buck, la tension continue de sortie est inférieure à la tension continue d'entrée.

Nous considérons ici le convertisseur DC-DC Buck illustré dans la Figure 4. 4. Il s'agit d'un convertisseur avec un contrôle sigma delta [71]. Le convertisseur comprend ainsi un modulateur Sigma-Delta (1), un interrupteur d'alimentation (2), un filtre de puissance (3), une charge résistive (4) et un amplificateur différentiel (5). Le système est modélisé sous Tactyle de manière hiérarchique à l'aide de la bibliothèque primitif (netlist en annexe).

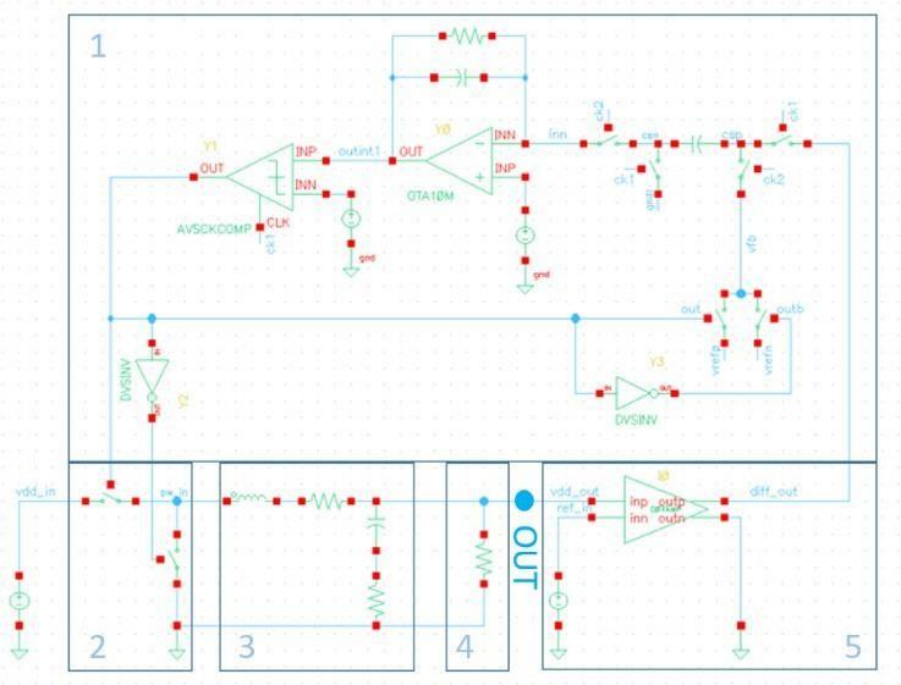


Figure 4. 4 : Convertisseur DC-DC Buck avec contrôle Sigma-Delta

Les contraintes de conception primordiales lors de la conception des convertisseurs Buck DC-DC sont l'ondulation résiduelle d'une part, et le rendement (ou perte de puissance) d'autre part

[72][73][74][75]. Ces contraintes présentent un compromis et sont utilisées pour identifier le front de Pareto. Le Tableau 4. 1 présente le problème d'optimisation entre ondulation et perte de puissance (Power Loss) avec une contrainte sur l'ondulation (Ripple).

Tableau 4. 1 : Problème d'optimisation Ripple vs Power Loss

Performance	Objectif	Contrainte
Ripple	Min	≤1.5V
Power Loss	Min	

Les convertisseurs DC-DC Buck sont connus pour être des sources d'énergie très efficaces. Pour améliorer leur rendement, il est utile de comprendre le mécanisme de base de la perte de puissance. En effet, celle-ci se calcule en additionnant toutes les pertes de puissance des composants. Dans ce travail, on conserve les pertes des blocs qui ont un impact sur les performances du problème d'optimisation.

$$P_{Total} = P_{Diff} + P_{CAP(ESR)} + P_{L(rind)} \ [W] \tag{8}$$

Perte dans le condensateur (P_{CAPESR}) :

Plusieurs pertes peuvent être générées dans le condensateur à travers la résistance série, les fuites et les pertes diélectriques. Ces pertes sont simplifiées dans un modèle de perte générale en s'appuyant sur un modèle de résistance série équivalente (ESR – equivalent series resistance). La perte de puissance dans le condensateur est ainsi calculée en multipliant l'ESR par le carré de la valeur efficace du courant traversant le condensateur (6).

$$P_{CAP(ESR)} = I^{2}_{CAP(RMS)}. ESR \ [W] \tag{9}$$

Perte dans l'inductance (P_{Lrind}) :

Cette perte est générée par la résistance DC (DCR – DC resistance). La perte dans l'inductance peut ainsi être estimée avec l'équation (7). Comme celle-ci est proportionnelle au carré du courant, un courant de sortie plus élevé entraine une perte plus importante.

$$P_{L(rind)} = I^{2}_{OUT}. rind \ [W] \tag{10}$$

Perte dans l'amplificateur différentielle (P_{Diff}) :

La perte de puissance due à l'amplificateur différentielle est calculée comme le produit du courant et de la tension de sortie comme montré dans l'équation (8).

$$P_{Diff} = Iout_{Diff}. Vout_{Diff}[W] \quad (11)$$

Le Tableau 4. 2 montre les paramètres de conception qui ont un impact majeur sur les performances du système (ripple, perte de puissance). Ces paramètres ont été choisi avec une simulation sur Matlab pour observer le résultat de la variation de chaque paramètre sur les performances.

Tableau 4. 2: L'impact des paramètres d'optimisation sur le système du convertisseur avec les bornes de chaque paramètre

	C_{load} ↗ (F)	**ESR ↗** (Ω)	**L_{ind} ↗** (H)	**R_{ind} ↗** (Ω)	**Diff_gm ↗** (A/V)	**Diff_rout ↗** (Ω)
Ripple	↘	↗	↘	↘	↗	↗
Perte d'énergie	↗	↗	↗	↗	↗	↘
Valeurs minimales	1e-3	1	1e-3	1	0.00048	34000
Valeurs maximales	150e-3	10	150e-3	10	0.001	58000

Le front de Pareto extrait du convertisseur Buck DC-DC est représenté dans la Figure 4. 5. L'étape de caractérisation a pris en compte 15 points pour le front de Pareto. L'ondulation varie entre 0.17V et 0.48V et la perte de puissance entre 50uW et 420uW.

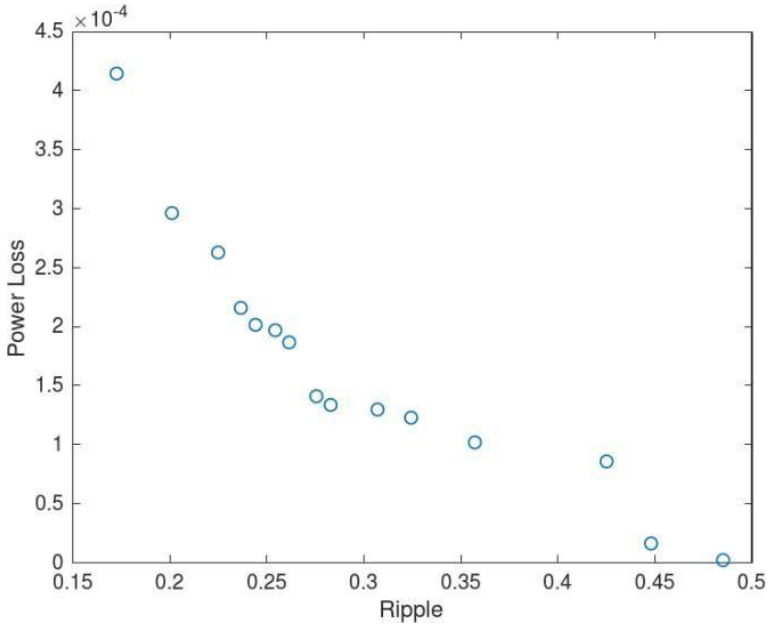


Figure 4. 5 : Front de Pareto du convertisseur DC-DC Buck

Tableau 4. 3: Temps d'optimisation et de simulation

Temps Total	**Nombre d'évaluations**	**Temps MIDACO**	**Temps Tactyle**
2h	4982	6min	1h54
CPU info	Intel® Xeon® CPU E5-2630 v4 @ 2.20GHz		

Une réduction drastique du temps de calcul est obtenue par rapport à une optimisation avec Lift qui en moyenne prends 6 heures de temps d'optimisation. Comme le montre le Tableau 4. 3, pour chaque itération la simulation prend environ 0.08 secondes et une itération d'optimisation prend 1.44 secondes. Une fois le modèle prédictif du système construit, il est utilisé comme point de départ pour une synthèse descendante afin de propager les spécifications du système aux blocs inférieurs.

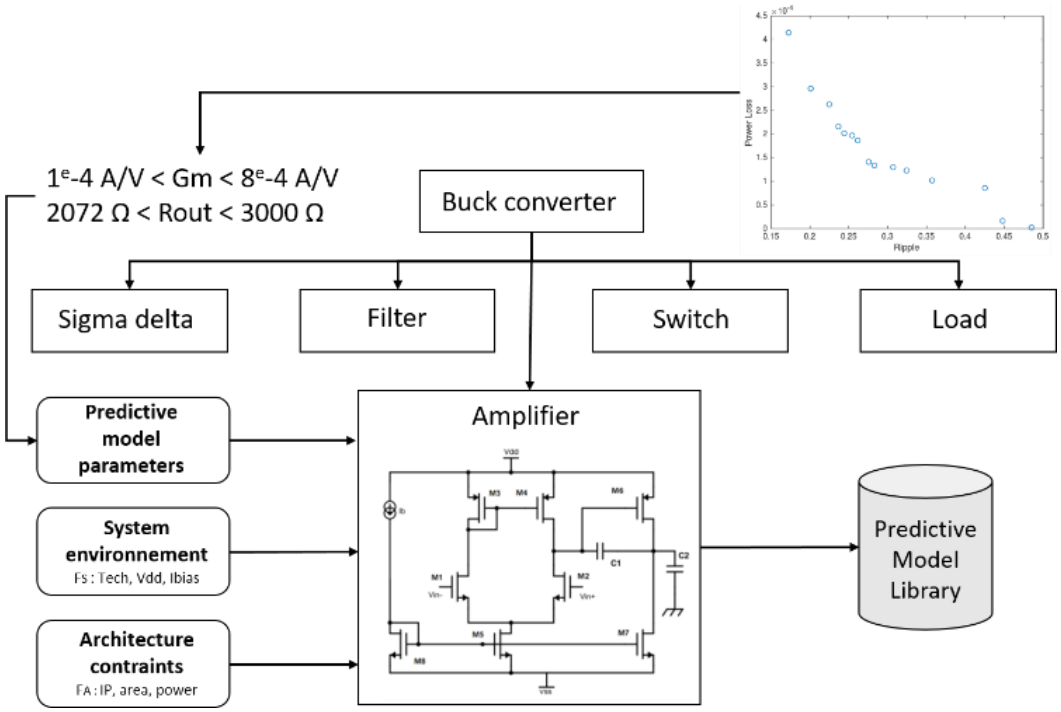


Figure 4. 6 : Propagation des contraintes du système Buck DC-DC à l'amplificateur

La Figure 4. 6 montre la propagation des contraintes vers l'amplificateur du système du convertisseur Buck DC-DC. Les contraintes propagées sont les paramètres du convertisseur (Gm et Rout), et qui représentent des spécifications en performances au niveau amplificateur (réalisation transistor). Nous utilisons le modèle prédictif construit à partir du compromis entre l'ondulation et la perte de puissance, pour extraire les spécifications sur la transconductance Gm et la résistance de sortie Rout. Ces spécifications représentent les bornes de chaque performance, extrait du Pareto Set du niveau au-dessus. Ces bornes de chaque performance forment les spécifications en plus des objectifs de minimisation ou de maximisation pour extraire le front de Pareto. Ces spécifications de performance peuvent être ajouté à d'autres contraintes de performances, d'environnement du système (paramètres technologiques, tension d'alimentation V_{dd}, courant de polarisation I_{bias} …), d'architecture (surface, consommation …). Sur la base de ces contraintes, le problème d'optimisation est formulé. L'objectif est de construire un modèle prédictif qui va faire le lien avec les meilleurs compromis et leur implémentation physique. Pour les circuits analogiques, nous utilisons la méthode dévelopée avec ID-Xplore déjà présenté dans le chapitre 3. L'optimisation de l'amplificateur est traitée dans la partie suivante, ou on traite la deuxième partie du flot de conception, l'approche ascendante ou Bottom-Up.

4.3. Bottom-up

4.3.1. Vérification basée sur les fronts de Pareto

Nous avons utilisé, dans la partie descendante du flot, les fronts de Pareto afin de synthétiser un système complexe, et pour propager les contraintes du système jusqu'aux blocs de bas niveau. Les fronts de Pareto sont également essentiels pour soutenir des méthodologies de conception hiérarchique ascendantes efficaces.

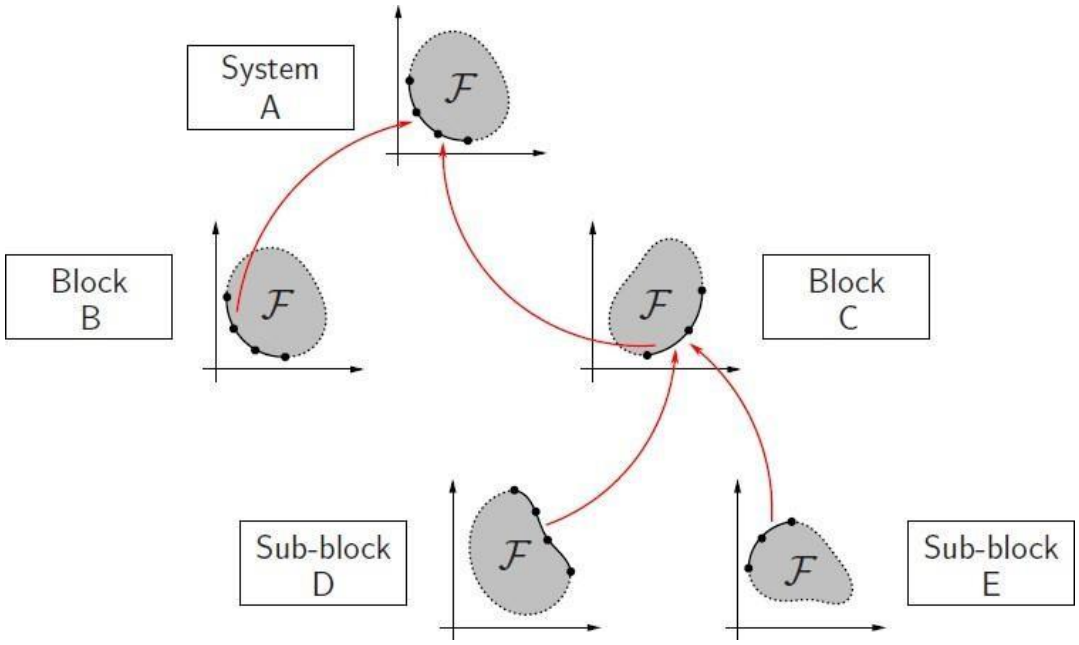


Figure 4. 7: combinaison des fronts de Pareto dans une approche Bottom-up

La Figure 4. 7 montre l'utilisation des fronts de Pareto dans une méthodologie hiérarchique ascendante. Après avoir propagé les spécifications de performance d'un système pour une architecture donnée jusqu'au niveau bas de la hiérarchie, les blocs sont ensuite conçus à partir de la base de données des modèles prédictifs qui respectent les contraintes du système. Ces blocs sont de nature analogique (transistors), multi-domaine (MEMS) ou numérique (porte logique). Puisque les performances doivent être estimées à un niveau élevé de la hiérarchie, une vérification ascendante est essentielle afin de caractériser les blocs et par la suite vérifier la convergence par rapport aux performances requises au niveau système.

Les mêmes modèles comportementaux utilisés pour affiner le système en sous-systèmes et composants peuvent être utilisés pour vérifier le bon fonctionnement du système. Pour représenter un réel intérêt, la précision du modèle est améliorée en les enrichissant des détails issus de l'implémentation de bas niveau. La mise en œuvre de bas niveau peut être par exemple un circuit représenté au niveau du transistor.

Une fois les modèles prédictifs sont construits au niveau physique, la démarche Bottom-up permet de vérifier la faisabilité, au niveau système, des points de Pareto identifiés au bas niveau, où les fronts de Pareto sont représentés sous forme de points discrets dans l'espace des performances du bloc de bas niveau, ou dans l'espace des paramètres du bloc du niveau immédiatement supérieur. et représente les paramètres du niveau au-dessus. Afin de remonter en niveau d'abstraction, les fronts de Pareto de bas niveaux sont remplacés dans les modèles au niveau au-dessus par une liste de valeurs des paramètres concernés. Ceci permet dans un premier temps de vérifier la faisabilité de ces points de Pareto au niveau système. Dans un deuxième temps, la vérification permet aussi de créer une correspondance entre les points de Pareto au niveau système et leurs implémentations physique (dimensions du transistors, paramètres mécaniques …).

Chaque point de l'espace des paramètres est simulé avec les autres points de Pareto afin de construire le nouvel espace de performance du système basé sur le Pareto de bas niveau. Une identification des points non dominées dans cet espace permet de trouver facilement et rapidement le nouveau Pareto suite à l'approche ascendante.

A la fin de la vérification, un nouveau front de Pareto est construit à la base des fronts de Pareto du bas niveau d'abstraction. Une comparaison est nécessaire pour vérifier si les points du nouveau Pareto appartiennent au Pareto identifié au début avec optimisation numérique. Si les points du nouveau Pareto appartiennent au front de l'ancien Pareto, on conclut que les spécifications du système ont été bien traduites en bas de la hiérarchie. L'analyse, en utilisant les modèles prédictifs, permet par la suite de récupérer les points de paramètres qui permettront une implémentation physique directe à partir d'un point de conception au niveau système.

Dans le cas où le Pareto issue de l'approche ascendante n'appartient pas au front de Pareto initiale du système, ceci signifie deux choses :

- Un ou plusieurs fronts de Pareto ne répondent pas aux spécifications : Dans ce cas, les blocs sous conception ne peuvent pas atteindre les contraintes de spécifications et doivent être remplacés par une autre architecture.

- La propagation de contraintes au bas niveau n'est pas réussie : Cette situation est le résultat d'un manque de précision des modèles et/ou un manque de paramètres de conception.

4.3.2. Utilisation d'ID-Xplore™ et Tactyle

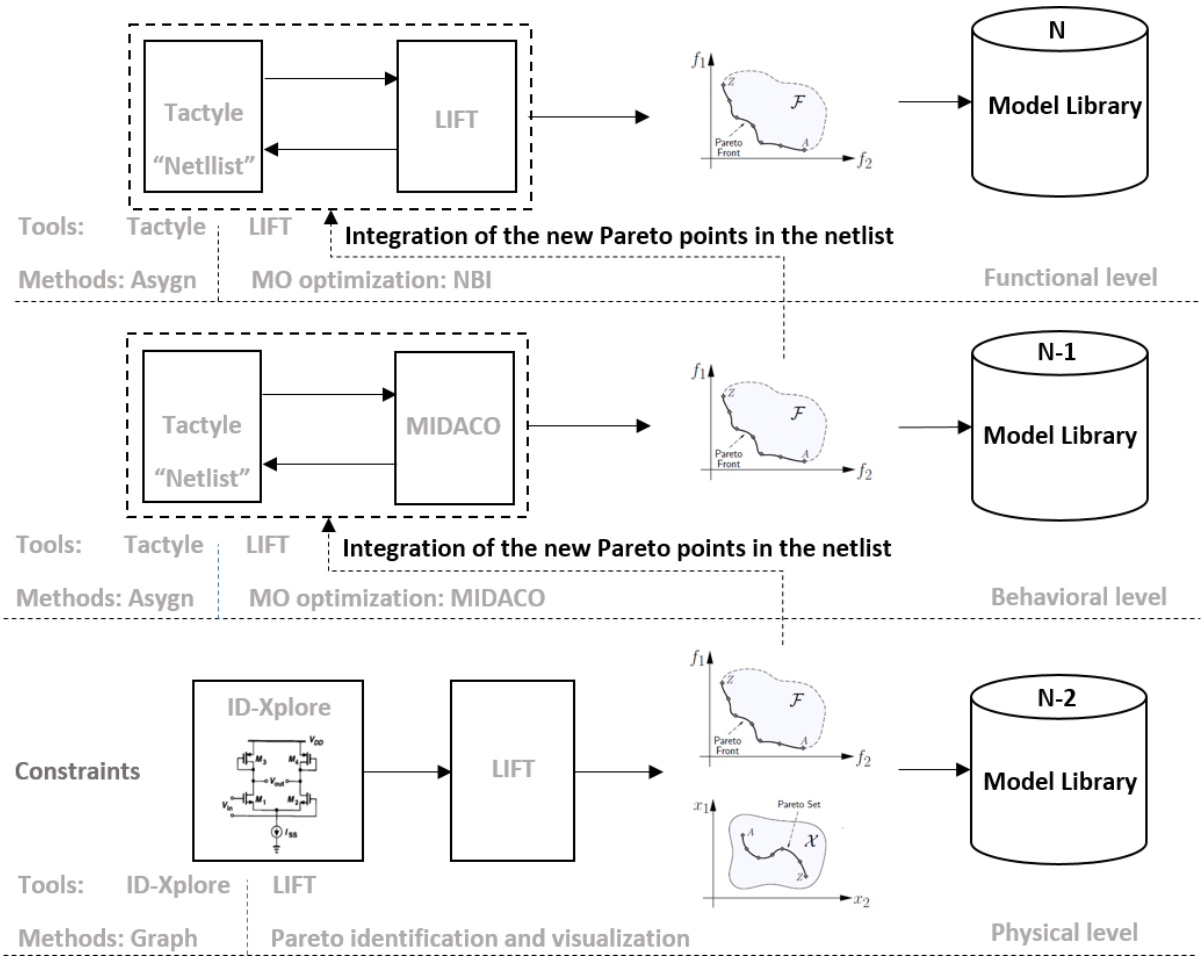


Figure 4. 8 : Notre approche Bottom-up

L'approche ascendante développée est illustrée dans la Figure 4. 8. Cette partie de vérification utilise uniquement la simulation des blocs sous conception et non pas l'optimisation. L'optimisation est faite seulement dans l'approche descendante. Cette partie du flot permet de vérifier la faisabilité des points de Pareto des blocs dans un niveau système. La vérification permet aussi de faire le lien entre les points de Pareto du système et l'implémentation physique au bas niveau, qui permet d'automatiser cette tâche pour le concepteur. En effet, le lien paramètre performance qui existe entre les niveaux hiérarchiques

est utilisé afin de remonter en niveau d'abstraction. Le front de Pareto de performance est remplacé par une liste de paramètres dans le niveau au-dessus. La simulation avec plusieurs valeurs pour un paramètre permet de construire un espace de performance (nuage de points). Chaque outil communique avec un algorithme d'optimisation pour l'identification du nouveau front de Pareto. Un exemple sur le convertisseur Buck DC-DC est utilisé dans la partie suivante pour mieux comprendre la méthode.

4.3.1. Exemple de conception d'un convertisseur Buck DC-DC

Dans la partie précédente on a appliqué l'approche Top-down sur le modèle du convertisseur Buck DC-DC, afin de propager les spécifications des performances du système aux niveaux hiérarchiques inférieurs. Nous avons montré la propagation des contraintes (ondulation vs pertes) jusqu'à l'amplificateur différentiel. Dans cette partie, on applique l'approche ascendante (Bottom-up) sur l'exemple du convertisseur Buck DC-DC.
Nous avons choisi de construire un modèle prédictif de l'amplificateur différentielle et de vérifier la faisabilité de cette architecture au niveau du système du convertisseur DC-DC Buck. L'architecture de la paire différentielle est représentée Figure 4. 9.

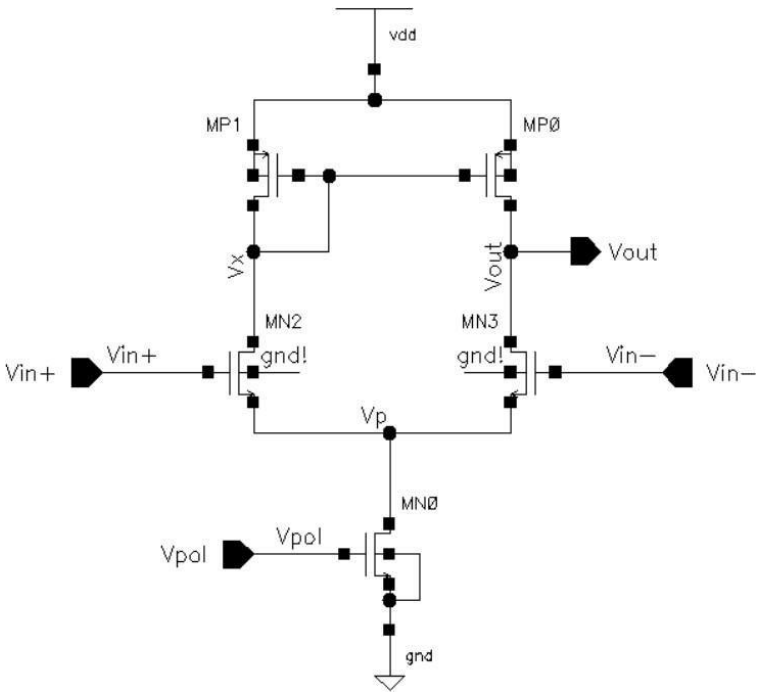


Figure 4. 9 : Schéma de la paire différentielle

La Figure 4. 10 représente le front de Pareto entre l'ondulation et la perte en puissance, et le Pareto set représentant les paramètres de conception en lien avec la paire différentielle (Gm et Rout). Le front de Pareto est le même front de Pareto obtenu au niveau système du convertisseur Buck DC-DC avec les mêmes contraintes en utilisant MIDACO et Tactyle.

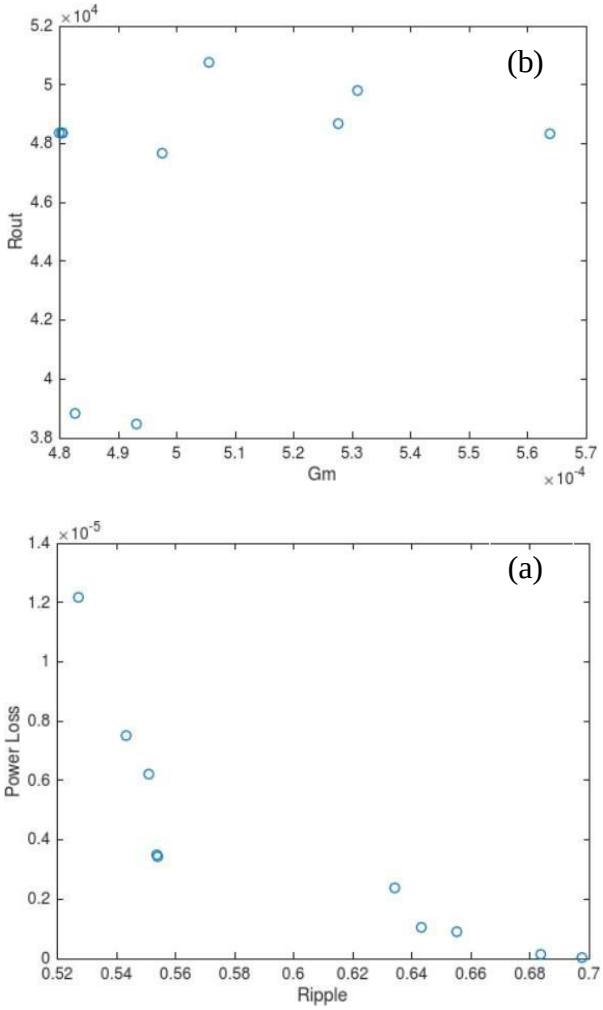


Figure 4. 10 : a) Front de Pareto et b) Pareto Set du convertisseur Buck DC-DC

Ce nuage de points permet d'extraire les nouvelles valeurs maximales et minimales de chaque paramètre. Ces nouvelles contraintes permettent par la suite de formuler un problème d'optimisation. Le Tableau 4. 4 montre le problème d'optimisation de la paire différentielle. L'objectif est de déterminer le front de Pareto entre la transconductance Gm et la résistance de sortie Rout, avec des contraintes sur les deux performances pour cibler la zone répondant aux spécifications. Les paramètres de conception sont la largeur et longueur des transistors f (miroir de courant : MP0/MP1, entrée différentielle : MN1/MN3, source de courant : MN0) avec L

fixée à la longueur minimale (0.35µm) et W pouvant prendre des valeurs supérieures ou égales à la largeur minimale (0.45 µm) de la technologie AMS 0.35µm.

Tableau 4. 4: Problème d'optimisation de la paire différentielle

	Objectif	**Contraintes**
Performances :		
Gm	Max	480µA/V≤Gm≤563.9µA/V
Rout	Max	38.44kΩ≤Rout≤50.745kΩ
Paramètre : Wx, Lx	-	Lx=0,35µm Wx>0,45µm

Avec ID-Xplore, nous avons extrait l'espace de performance de la paire différentielle. En utilisant LIFT, nous identifions les points non dominés dans l'espace de performance. La Figure 4. 11 montre l'espace de performances avec le front de Pareto. Sur la même figure, le Pareto set initial du niveau système de la paire Gm/Rout avec des étoiles en rouge. On remarque que le Pareto set Gm/Rout du niveau extrait au niveau transistor couvre une partie du Pareto initial extrait avec le modèle Tactyle. Le nouveau Pareto Front rentre bien dans le domaine de validité. L'approche descendante valide que plus on descend en niveau d'abstraction, plus les plages de variations des paramètres se rétrécie. L'approche mène à avoir des valeurs plus précises qui garantissent les spécifications du départ.

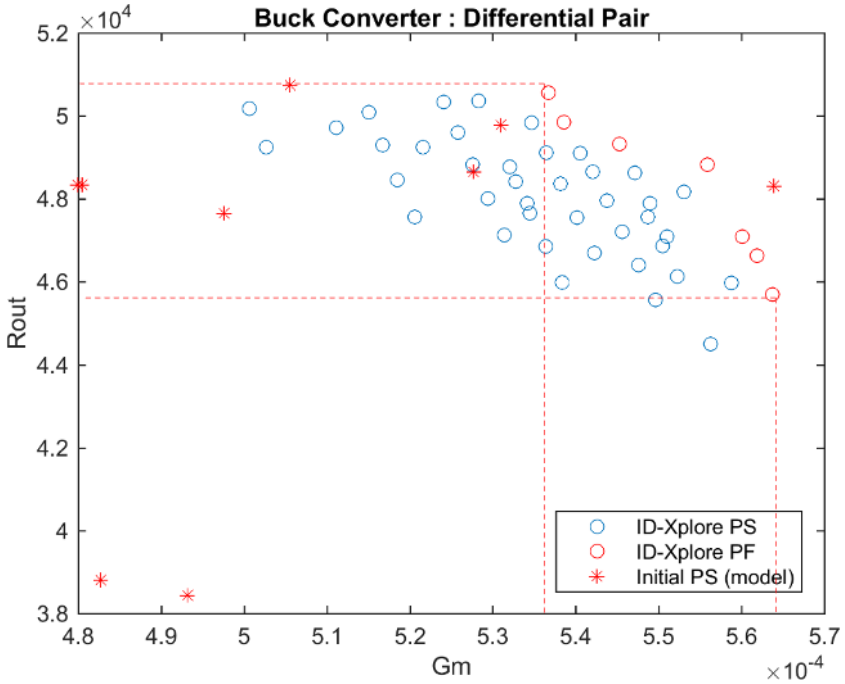


Figure 4. 11 : Pareto set initial (Model) avec le Front de Pareto et l'espace de performance (PS) l'amplificateur différentiel

Afin de remonter de niveau d'abstraction, les paramètres Gm et Rout sont remplacés par des listes de valeurs qui représentent le front de Pareto. Notre méthode à l'objectif de vérifier la faisabilité des points de Pareto de la paire différentielle au niveau système. Cette simulation permet de construire une nouvelle espace de performance basée sur les nouvelles valeurs des paramètres.

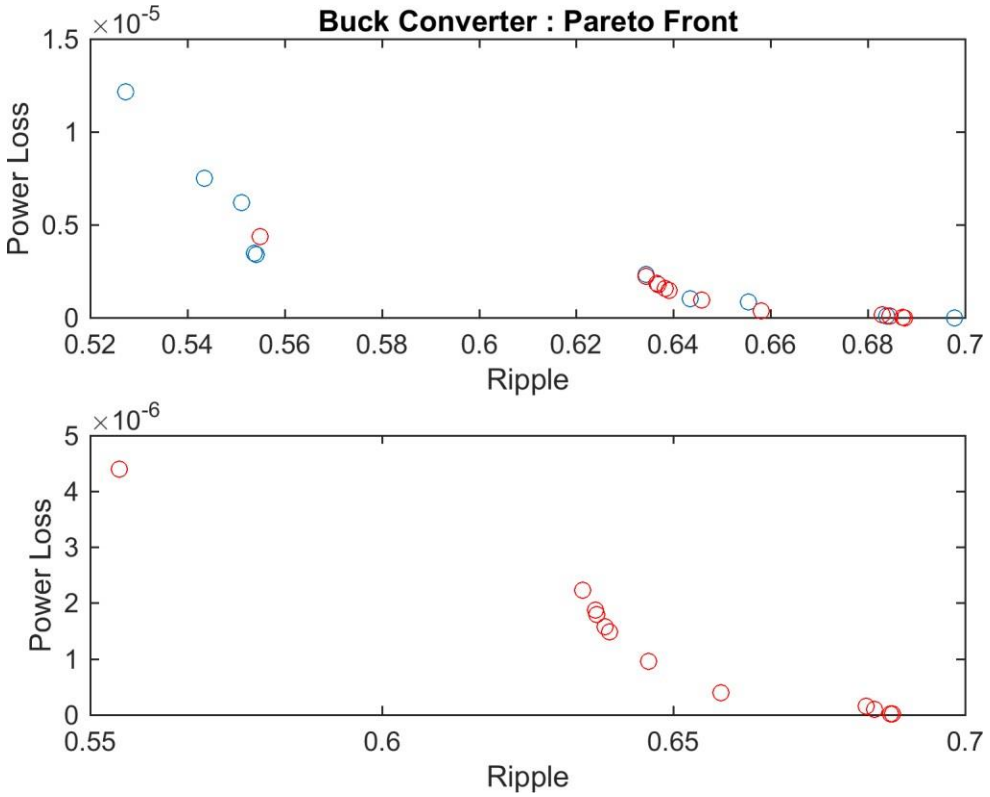


Figure 4. 12 : nouveau front de Pareto du système Buck (Rouge) avec l'ancien front de Pareto

La Figure 4. 12 montre le nouveau front de Pareto du convertisseur DC-DC Buck après vérification (en bleu) et le front de Pareto initial en rouge dans les deux courbes. Le nouveau front de Pareto couvre une partie du front de Pareto initial. Dans ce cas les performances et les spécifications du système convergent. Les points du nouveau front de Pareto, ainsi que le Pareto set, vont servir pour construire un modèle prédictif qui va créer un lien direct entre les points du Pareto du système et l'implémentation physique de la paire différentielle. De plus, cette approche est valable pour chaque bloc du système (non-conçus ici) : le modèle prédictif réalise le lien entre les points de Pareto et l'implémentation physique de tous les blocs du système.

4.4. Flot de conception

Dans cette partie, nous présentons notre proposition de flot de conception global des systèmes analogiques et hétérogènes. La vue complète du flot est illustrée en Figure 4. 13. Ce flot de conception est réparti en 5 parties, et intègre les parties expliquées dans chapitre 2 et 3. La première étape est la **décomposition hiérarchique** où chaque modèle est associé à un circuit au niveau physique. La deuxième étape est l'identification du front de Pareto au niveau système et son stockage dans la **librairie des modèles prédictifs** au niveau système. La **propagation des contraintes** est réalisée ensuite en se basant sur la relation performances-paramètres du système dans lequel le Pareto set définit des contraintes au niveau au-dessous. Au niveau bloc, les modèles prédictifs sont rapidement construits en utilisant ID-Xplore. Les modèles prédictifs des blocs de types MEMS et numériques sont construits en utilisant une optimisation numérique et un simulateur spécifique dans une boucle de conception automatisée. Dès lors que tous les modèles prédictifs des blocs sont construits, la partie ascendante (bottom-up) du flot est initiée en regroupant les fronts de Pareto des blocs afin d'identifier un nouveau front de Pareto du système. Une comparaison est réalisée à la fin pour vérifier la bonne appartenance des nouveaux points de Pareto au front de Pareto initial du système.

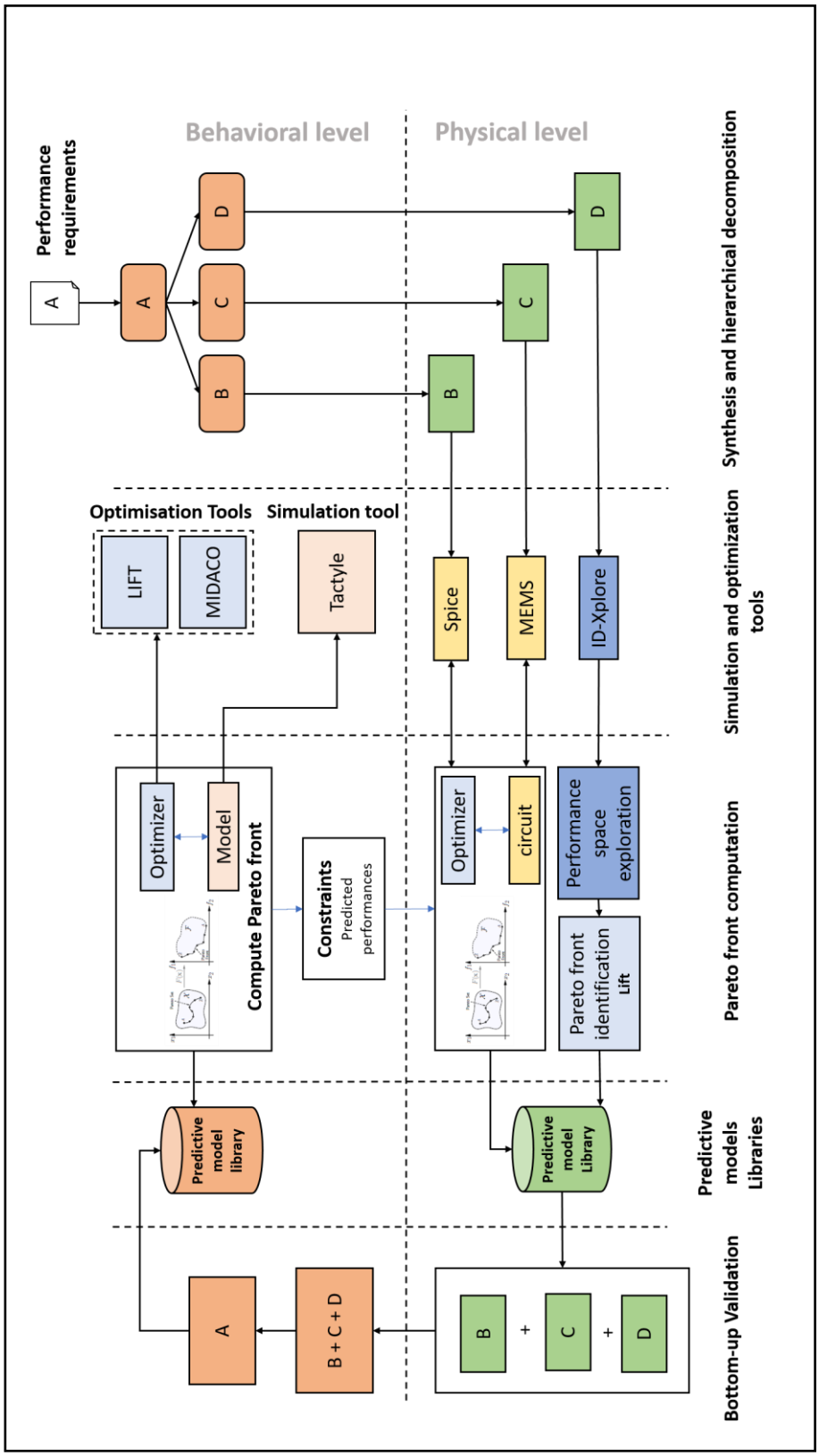


Figure 4. 13: Flot de conception proposé

4.4.1. Application à système d'accéléromètre

Dans cette partie, nous traitons un problème de conception de système impliquant un accéléromètre de type MEMS. Ce micro-capteur inertiel représente l'un des capteurs les plus répandus parmi les capteurs à base de silicium. Il est utilisé dans une grande variété d'applications, et plus particulièrement dans la mesure inertielle. Dans la littérature, de nombreux travaux de recherche s'intéressent à sa conception et à son optimisation afin d'améliorer les performances de ces systèmes [76][77][78]. Nous appliquerons les méthodologies proposées dans cette thèse afin de concevoir ce type de capteur. Cela vise à valider l'utilisation de notre méthodologie et des outils associés pour ce type de système complexe d'une part, et à démontrer la capacité de la méthodologie proposée à combiner rapidité et précision à la fois d'autre part.

L'accélération représente la variation de la vitesse dans une période donnée. La deuxième loi de mouvement de Newton exprime la relation entre la force, la masse et l'accélération telle que F=ma où F représente la force, m la masse et a l'accélération. Cette relation montre que l'accélération peut être calculée en mesurant la force appliquée sur une masse.

Les accéléromètres MEMS sont des dispositifs capables de déterminer la force nécessaire pour créer un changement de vitesse. Le principe peut être modélisé par un système masse-ressort-amortisseur comme le montre la figure 4. 14.

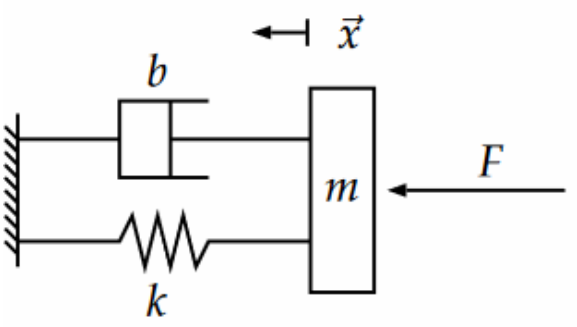


Figure 4. 14 : Système masse-ressort-amortisseur

Le système correspondant est sensible à l'accélération, car le mouvement de la masse d'épreuve implique une variation de longueur du ressort. Le ressort est en effet étendu (resp. contracté) lorsqu'il est soumis à une accélération positive (resp. négative). Le déplacement suit généralement une relation linéaire par rapport à la force et se décrit par l'équation $F=K.x$, où K est la constante du ressort, appelé aussi coefficient de rigidité.

Dans la plupart des configurations, les systèmes ressort-masse sont amortis par la trainée et les forces visqueuses qui peuvent induire des déplacements non linéaires.

Le principe des accéléromètres repose sur une masse oscillante enfermé dans un châssis suspendu (Figure 4. 15). L'entrée (de nature mécanique) et le déplacement mesuré peuvent être différents en ce qui concerne la résonance du montage et les caractéristiques d'amortissement. Le but du dispositif est de convertir le déplacement détecté en un signal électrique, par exemple par une mesure piézoélectrique ou capacitive. Ce signal est ensuite conditionné et traité par le circuit d'interface (amplification, filtrage et conversion).

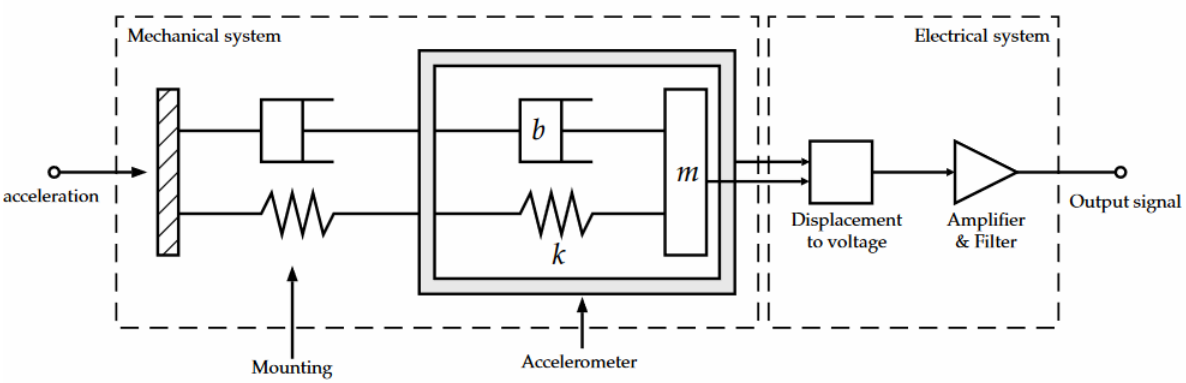


Figure 4. 15 : Principe de mesure de l'accélération par un accéléromètre

La figure 4. 16 montre la hiérarchie de modèles prédictifs qui ont été construits dans cette expérience. À gauche, on trouve les entrées du modèle prédictif, tandis qu'à droite, la liste complète des indicateurs de performance calculés par le modèle. Selon la relation entre les niveaux hiérarchiques, les entrées des blocs de bas niveau sont les variables de conception au niveau du bloc au niveau supérieur.

Le défi de la conception de l'accéléromètre au niveau système consiste en la recherche d'un bon compromis entre la consommation, la bande passante et le SINAD (signal to noise and distortion ratio, ou rapport signal/bruit et distorsion).

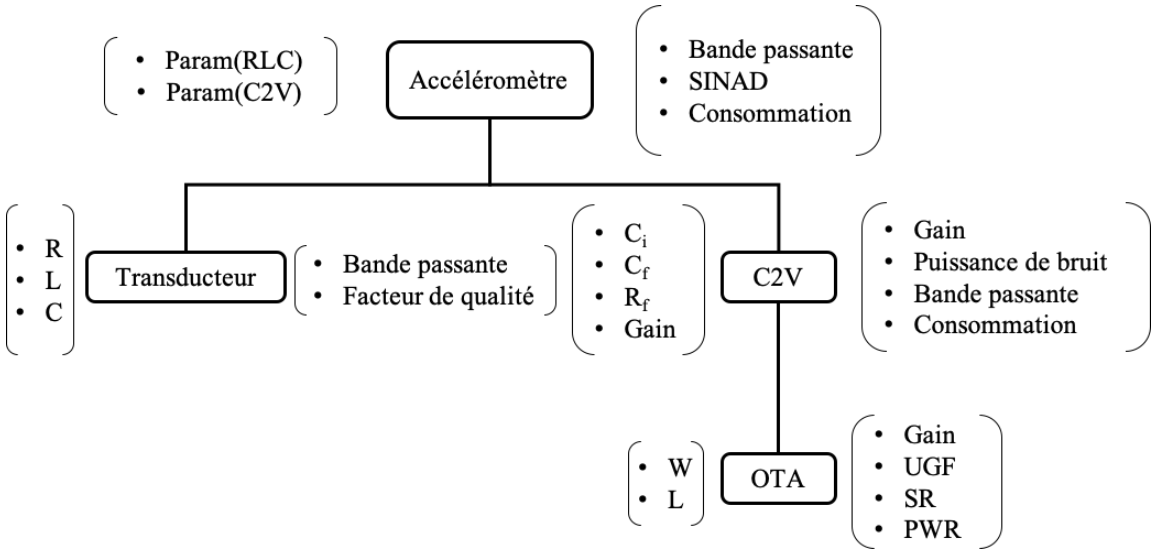


Figure 4. 16 : Hiérarchie du système de l'accéléromètre

Pour appliquer la méthode, il faut tout d'abord développer des modèles à chacun des niveaux hiérarchiques. Quatre modèles de simulation ont été utilisés sur trois niveaux hiérarchiques :

- La vue système de l'accéléromètre qui instancie deux sous-blocs. Ce modèle est implémenté sous Tactyle.
- Les modèles du transducteur et de l'amplificateur de charge (C2V) également implémentés sous Tactyle, et qui vont permettre de générer les modèles prédictifs associés.
- Le modèle de l'OTA, représenté au niveau transistor et qui est simulé avec Cadence Spectre.

Dans la vue système, seul le critère de performance « SINAD » a été implémenté faute de temps. Cela permet toutefois d'établir le lien avec le niveau d'abstraction inférieur (C2V et transducteur). Après un bref rappel sur la définition, nous verrons la méthode utilisée pour extraire la performance dans l'outil de simulation Tactyle.

Le rapport signal/bruit et distorsion (SINAD) est une mesure de la qualité d'un signal provenant d'un dispositif de communication, souvent définie comme :

$$SINAD = \frac{P_{signal} + P_{noise} + P_{distorsion}}{P_{noise} + P_{distorsion}} \quad (12)$$

Au niveau du modèle de l'accéléromètre, et pour calculer le SINAD on ajoute des sources de distorsion d'ordre 3 et des sources de bruit. Pour simuler les effets de la distorsion, nous introduisons de la non-linéarité au 3ème ordre. Ainsi :

Pour un signal d'entrée donné :

$$x(t) = Acos(\omega_1 t) + Acos(\omega_2 t) \quad (13)$$

L'effet d'un bloc non linéaire du troisième ordre produit un signal y(t) tel que :

$$y(t) = x(t) + \gamma . x^3(t) \quad (14)$$

Il en résulte que :

- L'amplitude du composant de sortie principal à ω_1 (sans désensibilisation) est A
- L'amplitude du composant à $2\omega_2 - \omega_1$ est $\frac{3}{4}|\gamma|A^3$

Afin de fournir une information sur la linéarité du circuit (et donc la distorsion), nous introduisons un bloc gamma qui sera l'image de l'amplitude de l'IIP3 (qui correspond à l'intersection du fondamental et de l'harmonique d'ordre 3).

A_{ip3} représente l'amplitude d'entrée pour laquelle les composantes de sortie à ω_1 et ω_2 ont la même amplitude que celles à $2\omega_2 - \omega_1$ et $2\omega_1 - \omega_2$:

$$A_{ip3} = \sqrt{\frac{4}{3|\gamma|}} \quad (15)$$

Le paramètre γ peut ainsi être défini par rapport à la valeur IIP3 et modélisé sous Tactyle avec l'expression suivante :

$$\gamma = -\frac{4}{3A_{ip3}^2} = -\frac{4}{3}\left(\frac{1}{sbmtovrms(IIP3_{dBm}, R) * \sqrt{2}}\right)^2 \quad (16)$$

Une fois les différents blocs de bruit et de distorsions implémentés, il est possible d'extraire l'information du SINAD grâce à la formule suivante :

$$SINAD = 10\log_{10}\left(\frac{SND}{ND}\right) \quad (17)$$

SND : Signal + Bruit + Distorsion

ND : Bruit + Distorsion

La figure 4.17 illustre le montage obtenu pour calculer le SINAD.

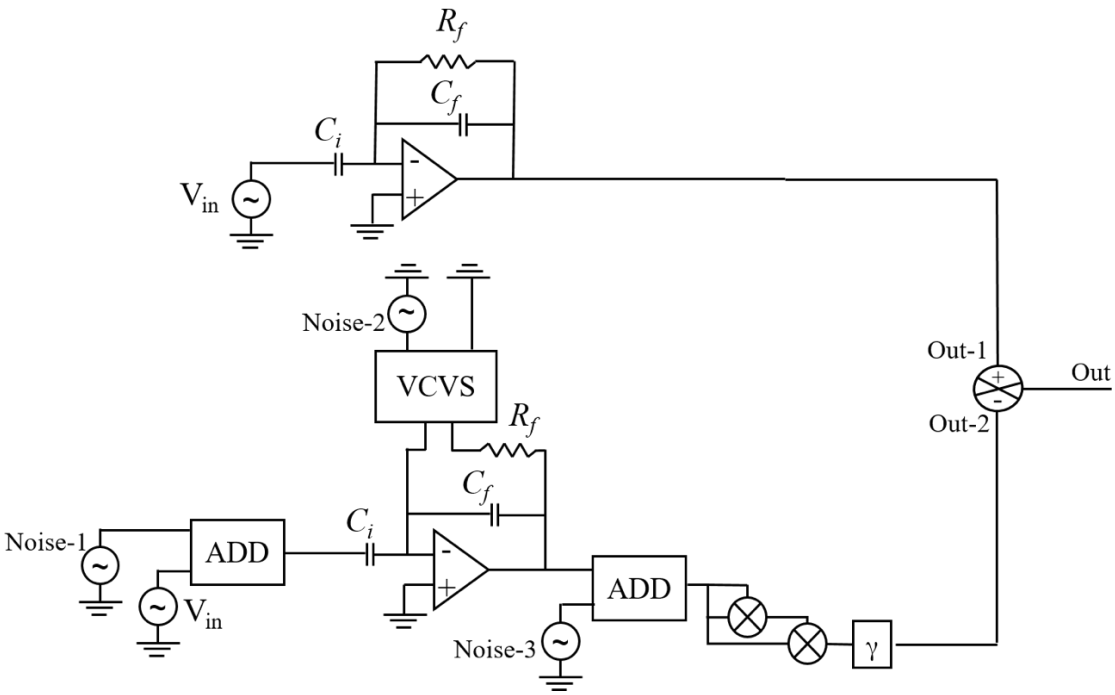


Figure 4. 17 : Montage de mesure du SINAD du système de l'accéléromètre

Pour le niveau d'abstraction inférieur, nous avons implémenté les modèles du transducteur et du C2V que nous avons couplés à l'outil MIDACO afin de générer les modèles prédictifs. Cet exemple va nous permettre en plus d'étendre l'utilisation de notre approche à la gestion de données continue et discrète. En effet, certaines variables du problème sont discrétisées pour réduire l'espace de recherche, alors que d'autres restent continues.

Pour le transducteur, l'équation du système masse-ressort-amortisseur est donnée par :

$$m\frac{d^2x}{dt^2} + b\frac{dx}{dt} + kx = u \tag{18}$$

D'où la fonction de transfert :

$$H(s) = \frac{X(s)}{Y(s)} = \frac{1}{s^2 + \frac{b}{m}s + \frac{k}{m}} = \frac{1}{s^2 + (\frac{\omega_0}{Q})s + \omega_0^{2\prime}} \tag{19}$$

où b est le coefficient d'amortissement de la masse m, ω_0 est la fréquence de résonance définie par $\omega_0 = \sqrt{\frac{K}{m}}$ et Q est le facteur de qualité défini par $Q = \frac{m\omega_0}{b}$.

Il est à noter que la sensibilité mécanique est inversement proportionnelle au carré de la fréquence de résonance, c'est-à-dire proportionnelle à $\frac{1}{\omega_0^2}$.

Ce critère est un compromis de conception fondamental entre un appareil ayant une bonne sensibilité ou une large bande passante de fonctionnement.

Le système mécanique ci-dessus peut être modélisé par un réseau équivalent d'éléments localisés, où la vitesse *dx / dt* est équivalente à un courant électrique *i*, la masse *m* à une inductance *L*, le coefficient d'amortissement *b* à une résistance *R* et le coefficient de rigidité *k* à l'inverse de capacité *C*. L'équation des caractéristiques électriques est donnée par :

$$L\frac{di}{dt} + Ri + \frac{1}{C}\int idt = V \tag{20}$$

La description électrique équivalente de (8) est un circuit RLC qui peut être implémenté avec Tactyle. L'objectif est ainsi d'optimiser le circuit en utilisant la méthode expliquée en section 3.2.2.3 en utilisant Matlab dans une boucle d'optimisation automatisée, résultant en le front de Pareto du transducteur (Facteur de qualité / Bande passante) représenté Figure 4.18.

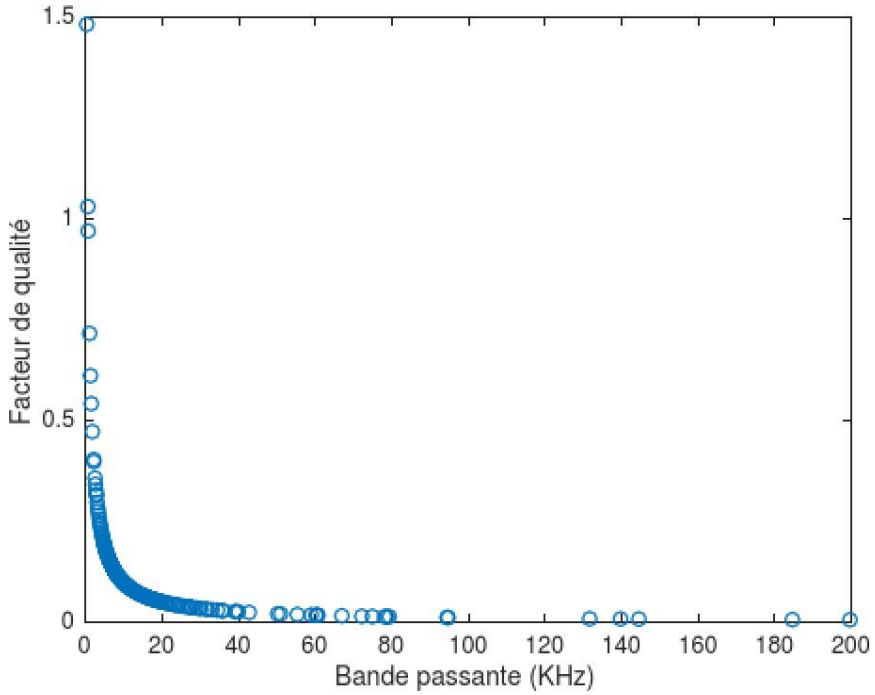


Figure 4. 18 : Front de Pareto du transducteur (Facteur de qualité / Bande passante)

Le modèle prédictif ainsi obtenu permet de faire une correspondance directe entre les performances du transducteur et les paramètres système de l'accéléromètre.

L'autre composant mis en œuvre va servir à la conversion charge tension. Il s'agit du circuit analogique d'interface qui consiste tout d'abord en un amplificateur de charge à tension (C2V) qui convertit les variations de charge en tension (Figure 4.19).

La conception de l'amplificateur doit être conforme aux spécifications d'un système de faible consommation et de haute résolution.

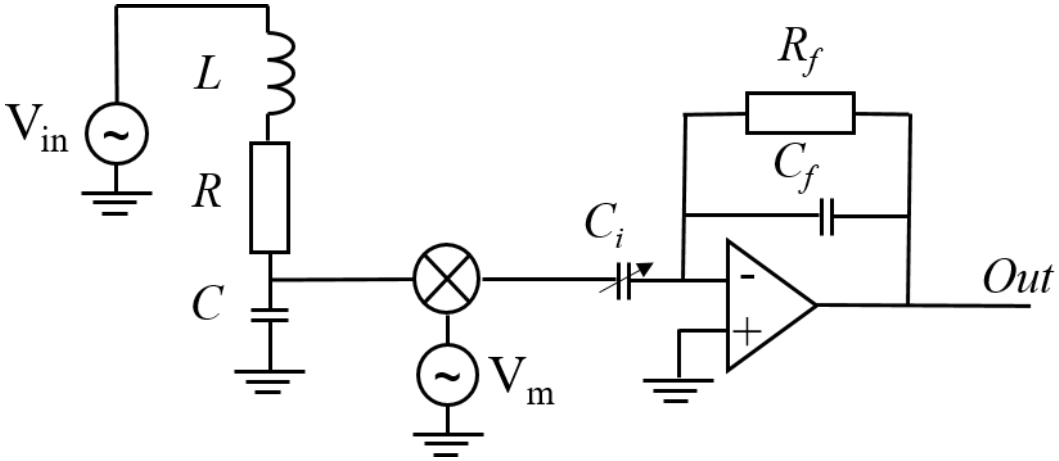


Figure 4. 19 : Interfaçage du modèle du transducteur avec un amplificateur de charge (C2V)

La résistance (figure 4.20) et la capacité (figure 4.21) de rétroaction de l'amplificateur sont des composants de valeur variable contrôlés par des signaux numériques. Ceci permet de changer la valeur de la capacité et de la résistance par l'ouverture ou la fermeture des interrupteurs contrôlés par des signaux numériques. Les valeurs des résistances et des capacités sont indiquées au-dessous de chaque figure. Ceci nous permet de réaliser une optimisation continu discrète, d'où l'intérêt de la présence des paramètres de nature discrète et d'autres continues.

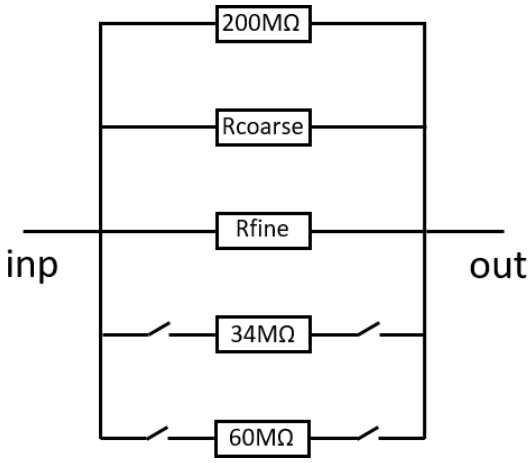


Figure 4. 20: Montage de la résistance de contre-réaction du C2V R_f

$$R_{coarse} = 150\ M * \log(1.25)$$
$$R_{fine} = 25\ M * \log(1.5)$$

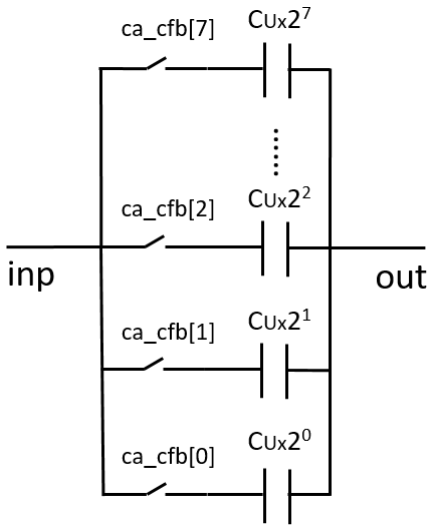


Figure 4. 21: Montage de la capacité de contre-réaction C_p

$$C_U = 164\ fF$$

La montre le montage utilisé pour calculer l'intensité du bruit de l'amplificateur de charge. L'idée est d'ajouter des sources de bruits proportionnelles aux signaux d'entrée, de la résistance de feedback et la sortie de l'amplificateur de charge.

Un soustracteur de signaux est mis à la sortie afin de soustraire le signal du C2V (Out-2) au signal du C2V bruité (Out-1), afin d'en extraire que le bruit. L'intensité du bruit est calculée avec la valeur efficace (RMS) du signal de sortie Out.

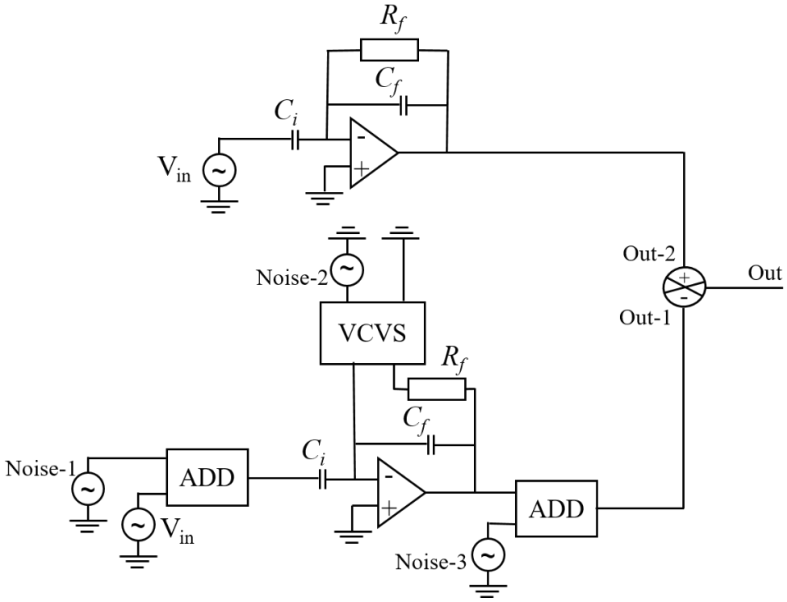


Figure 4. 22: Montage pour la mesure de l'intensité du bruit

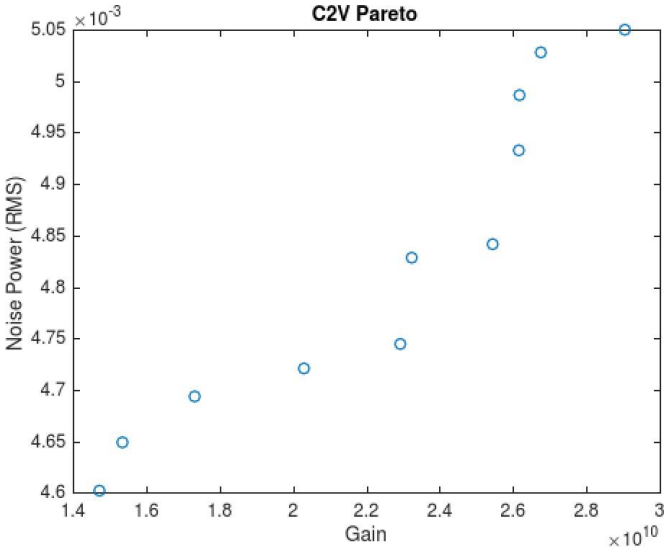


Figure 4. 23: Front de Pareto - Gain vs intensité du bruit (RMS) du C2V

Le front de Pareto obtenu (Figure 4.23) illustre le compromis Gain / Bruit obtenu à l'issue du processus d'optimisation continu/discret.

Enfin, sur le dernier niveau d'abstraction, l'OTA, la seule contrainte qui passe du niveau au-dessus est le gain de l'amplificateur. Nous pouvons ajouter d'autres performances comme UGF, Slew Rate et la consommation.

Dans ce cas, nous pouvons ajouter le modèle prédictif de la bibliothèque des modèles de l'OTA déjà conçus. La figure 4.24 montre les fronts de Pareto associés.

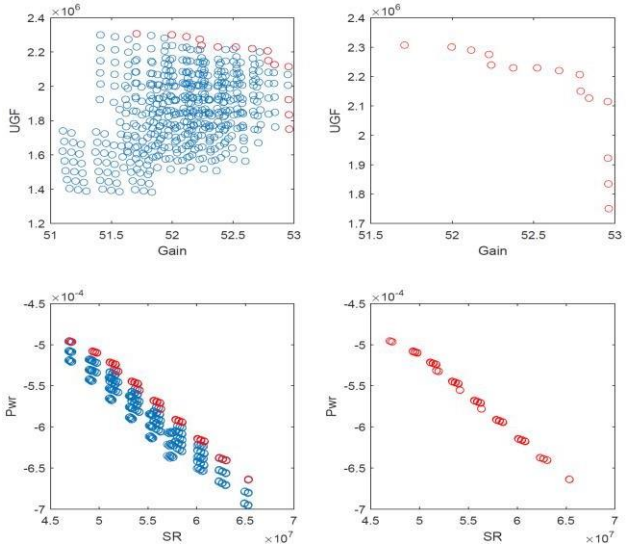


Figure 4.24 : Espace de performance et fronts de Pareto de l'OTA Miller sous AMS 0,35 µm

4.5. Conclusion

Nous avons vu dans ce chapitre la méthodologie adoptée pour développer un flot de conception de systèmes intégrés orienté hétérogènes. Le flot de conception proposé permet à partir d'une architecture hiérarchique complexe de dimensionner chaque bloc du système. La méthodologie est concentrée sur l'aspect d'utiliser le front de Pareto et le Pareto set pour passer d'un niveau d'abstraction à un autre.

La méthode est basée sur 3 phases importantes :

- Top-down : Propagation des contraintes en utilisant les modèles prédictifs du système.
- Dimensionnement au niveau physique:
    - Bloc analogique : utilisation d'ID-Xplore afin accélérer l'extraction du modèle prédictif.
    - Bloc multi physique ou numérique : utilisation d'optimisation numérique (Lift, MIDACO) avec la simulation des blocs sous des simulateurs spécialisés.
- Bottom-up : Validation avec une vérification rapide par simulation.

Le flot de conception étend l'état de l'art en introduisant des outils de simulation et d'optimisation puissants. Les modèles prédictifs s'intègrent de manière facile dans un cycle d'optimisation, permettant l'automatisation de la conception. Ainsi, Le concepteur peut explorer les courbes de compromis de performance, sélectionner le point qui correspond à ses besoins et obtenir de façon immédiate des paramètres de dimensionnement du bloc.

5. Optimisation des systèmes hétérogènes basés sur des AFE

Le développement d'applications basées sur l'IoT a augmenté ces dernières années, avec l'augmentation des performances des capteurs et des circuits intégrés d'interfaçage. Les circuits intégrés (IC) frontaux analogiques reconfigurables (AFE – analog front end) offrent la possibilité d'évaluer les métriques de performance et de tester plusieurs options matérielles analogiques pour une application donnée. Cependant, plusieurs solutions (configurations) fonctionnelles existent, avec des compromis variables, et il est coûteux et long de tous les explorer. Cela va ainsi à l'encontre de l'objectif initial des AFE reconfigurables – faciliter la conception des interfaces capteurs et réduire le temps de mise sur le marché des systèmes complets.

Afin d'accélérer la recherche de la configuration optimale, ce chapitre propose une méthode pour trouver les meilleures configurations basées sur une modélisation prédictive utilisant le front de Pareto comme abstraction des performances d'un système de capteurs utilisant un AFE reconfigurable. Une optimisation multi objectif basée sur un algorithme de type colonies de fourmis (ACO) agissant directement en temps réel sur une carte de développement de systèmes de capteurs (hardware in the loop) permet d'extraire le front de Pareto représentant les meilleurs compromis pour les contraintes d'application considérée. Notre approche a été testée sur une application réalisée sur la plate-forme de développement de capteurs d'Asygn AS3125 SDK, qui contient un ASIC frontal reconfigurable multicanal hautes performances. L'application a été exécutée sur un processeur i7-7500 à 2,9 GHz avec 16 Go de RAM et a généré 6 configurations optimales en une heure maximisant le SNR (rapport signal sur bruit) et le IIP3 en variant 7 paramètres de conception.

5.1. Introduction

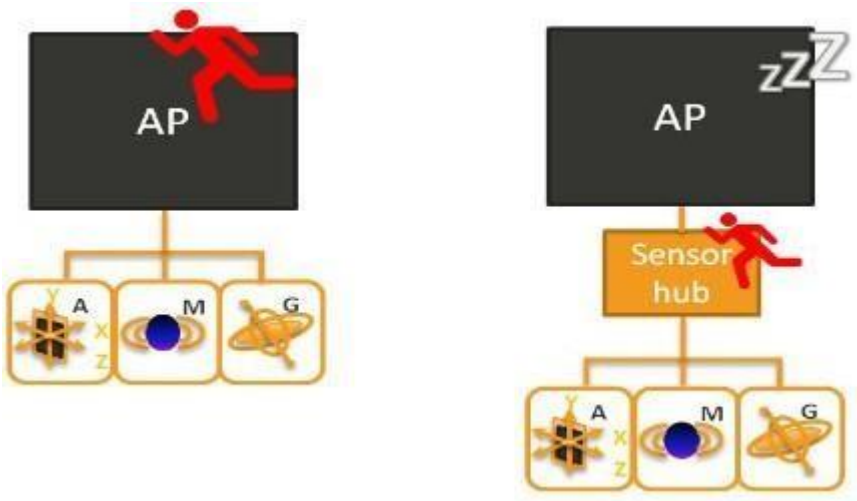
Les modules AFE (analog front-end) représentent des blocs analogiques réalisant l'interface aux capteurs et utilisés pour l'acquisition, le conditionnement et le filtrage des signaux. Ces modules sont reconçus lorsque l'application change, afin de répondre aux nouvelles exigences du système. Cela nécessite un effort de conception important pour concevoir, tester et régler avec précision ces blocs analogiques. La boucle de conception rend

ce processus coûteux et long, et impacte très fortement sur le coût de développement et le temps de mise sur le marché.

Une alternative aux AFE conventionnels sont les AFE configurables, qui permettent une flexibilité d'exécution et par conséquent une réduction de l'effort de conception et du temps de mise sur le marché. Les AFE configurables peuvent également être parallélisés en AFE multicanaux qui offrent aux concepteurs de systèmes un plus grand choix, allant de la haute performance au faible coût, en s'appuyant sur différentes configurations de canaux. La reconfigurabilité est mise en œuvre grâce aux outils de conception qui peuvent régler les caractéristiques de l'AFE (par exemple le gain, la fréquence de coupure …) en fonction des exigences spécifiques de l'application.

Ce type d'AFE avec support logiciel peut être rapidement configuré grâce à un processus automatisé. En utilisant des méthodes basées sur l'optimisation, le processus ne nécessite pas d'expertise approfondie du bloc configurable lui-même, mais exige par contre un effort de calcul plus important. L'optimisation numérique cherche à satisfaire les besoins en modifiant les configurations du bloc AFE de manière itérative. Les nouvelles configurations sont comparées aux précédentes afin de déterminer de nouvelles directions de recherche.

5.2. Sensor Hub



(a) Sans Sensor Hub (b) Avec Sensor Hub

Figure 5. 1**:** Processeur d'application sans/avec Sensor Hub

Traditionnellement, les capteurs sont connectés directement au processeur d'application (AP). Le processeur d'application doit se réveiller pour recevoir les données des capteurs, comme indiqué dans la Figure 5. 1(a), ce qui entraîne une consommation d'énergie élevée. La consommation d'énergie du processeur d'application augmente considérablement à mesure que le nombre de capteurs augmente. En effet, le processeur d'application dominera la consommation électrique des appareils mobiles.

Il existe deux solutions pour un contexte toujours actif (always-on) avec une consommation d'énergie ultra faible pour éviter de réveiller le processeur d'application pour recevoir les données des capteurs. La première est constituée du Sensor Hub (concentrateur de capteurs), un système matériel isolé du processeur d'application. Une deuxième solution est le capteur intelligent, un capteur de faible puissance qui s'active et se désactive d'une manière intelligente Ces solutions visent à laisser le processeur d'application se réveiller uniquement lorsque cela est nécessaire ; les données issues des capteurs peuvent ainsi être traitées sans impliquer en permanence le processeur d'application pour économiser l'énergie, comme le montre la Figure 5. 1 (b).

5.3. Analog Front-end

Les systèmes de capteurs sont composés de trois blocs essentiels, comme le montre la Figure 5. 2 : (i) le capteur, qui mesure et transforme une quantité physique ; (ii) l'AFE, qui convertit les signaux issus du capteur en données numériques ; et (iii) un microcontrôleur (MCU) qui traite les données numériques. Le MCU ne peut pas s'interfacer directement avec les capteurs ; l'AFE doit filtrer, amplifier et convertir les signaux issus du capteur pour les rendre exploitables par le MCU. La conception des AFEs présente de nombreux défis car elles manquent de flexibilité pour une utilisation dans différents systèmes. Conventionnellement, pour chaque système de capteurs, un nouvel AFE doit être conçu pour répondre aux exigences de performance du système. Cela présente un énorme défi de conception avec un manque de flexibilité et par conséquent un temps important de mise sur le marché.

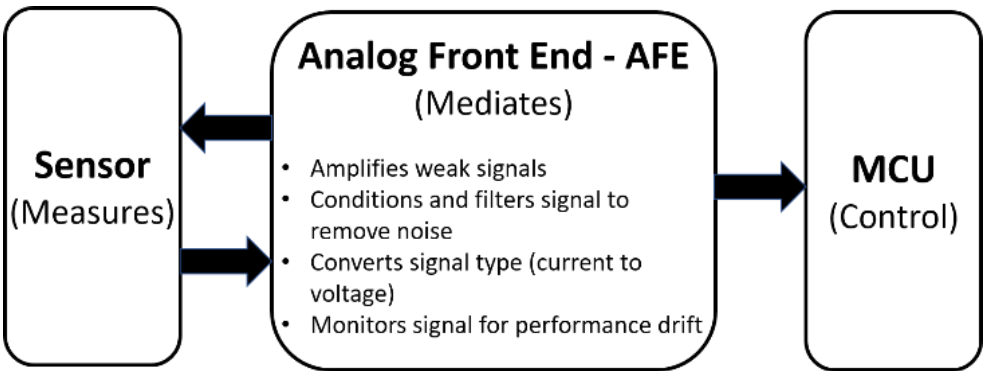


Figure 5. 2 : Système de capteur

5.3.1. AFE configurable

La configurabilité des circuits intégrés permet de réduire la complexité des systèmes les utilisant, et offre une flexibilité de conception. Les systèmes de capteurs ont bénéficié des circuits analogiques programmables, en les intégrant en tant qu'AFE pour interfacer les capteurs. Cela a permis d'éviter de concevoir des AFE différents pour différents capteurs. Cette solution permet de réduire les coûts de recherche et développement et les délais de mise sur le marché ; il nécessite également moins de ressources de conception.

Depuis l'industrialisation des AFE configurables, leur nombre est en augmentation dans l'industrie. Des kits de développement de capteurs complets sont disponibles dans le commerce avec des cartes pour interfacer les capteurs avec un AFE configurable. Le kit comprend des API logicielles de contrôle, ce qui facilite la mise en œuvre des configurations. En utilisant des AFE configurables, le concepteur peut tester plusieurs configurations, en modifiant les paramètres du circuit et en établissant des connexions entre les blocs. Ces paramètres peuvent être de nature soit continue soit discrète, permettent de modifier les configurations afin de répondre aux nouvelles spécifications et appartiennent à une plage de valeurs que le concepteur doit respecter.

Le processus de configuration peut être automatisé à l'aide d'un algorithme d'optimisation multi-objectif qui gère l'optimisation discrète continue. Dans ce travail, nous proposons d'utiliser le solveur MIDACO présenté dans le chapitre 3 pour ses propriétés de gestion efficace de paramètres à la fois continus et discrets.

5.3.2. Optimisation des AFE configurables

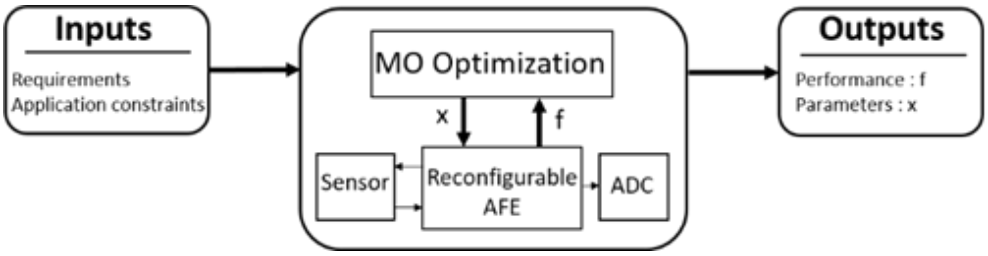


Figure 5. 3 : Processus de configuration automatique

L'analyse prédictive peut s'appliquer à l'AFE configurable pour aider le concepteur à prendre des décisions et ainsi accélérer le processus de conception et la configuration. Afin de de construire un modèle prédictif, MIDACO est connecté à l'AFE dans un processus automatique, comme illustré dans la Figure 5. 3.

Un processus de configuration automatisé vise à trouver un ensemble de paramètres de configuration qui répondent aux exigences de l'application. La méthode est basée sur l'optimisation et ne nécessite pas d'expertise approfondie sur le bloc en cours de configuration. L'algorithme d'optimisation MIDACO cherche à satisfaire aux exigences en modifiant les configurations de manière itérative. L'optimisation s'arrête lorsqu'elle converge vers des solutions où aucune amélioration supplémentaire ne peut être obtenue.

Les solutions représentent les meilleurs compromis de performance. Le modèle prédictif vise à fournir une représentation à la correspondance, qui existe entre les performances et les paramètres de configuration. En utilisant le modèle prédictif, les concepteurs peuvent sélectionner le compromis le plus adéquat et récupérer immédiatement la configuration associée.

5.4. Cas d'étude : Configuration d'Odyle

L'objectif de ce travail est de configurer rapidement l'AFE d'un système de capteurs. Le concept est basé sur l'utilisation du front de Pareto comme moyen d'abstraction des performances du système de capteurs. Pour cela, la plateforme de développement MEMS AS3125-SDK (Odyle) d'Asygn est utilisée. La plate-forme contient un bloc frontal analogique multicanal reconfigurable haute-performance et un FPGA haute vitesse avec microcontrôleurs. Un émulateur de capteur (Crocodyle) est connecté à l'AFE pour la configuration du système. En effet, l'utilisation d'un émulateur de capteur matériel peut réduire considérablement le

temps de développement en remplaçant le capteur réel. Le matériel et les logiciels utilisés, ainsi que les résultats de l'étude, sont présentés dans les sections suivantes.

Crocodyle :

Crocodyle est un transducteur capacitif reflétant la variation d'un phénomène physique d'intérêt (mouvement, pression, etc.) en une variation d'une valeur de capacité. Il existe de nombreuses approches pour mesurer les changements de capacité, par exemple la mesure de la fréquence d'un oscillateur (constante de temps) ou l'utilisation d'un amplificateur de charge. L'AFE d'Idyle utilise cette dernière approche.

Odyle AS3125-SDK :

Odyle est une plate-forme intégrée ciblant les capteurs à haute performance basés sur MEMS, comme le montre la Figure 5. 4:

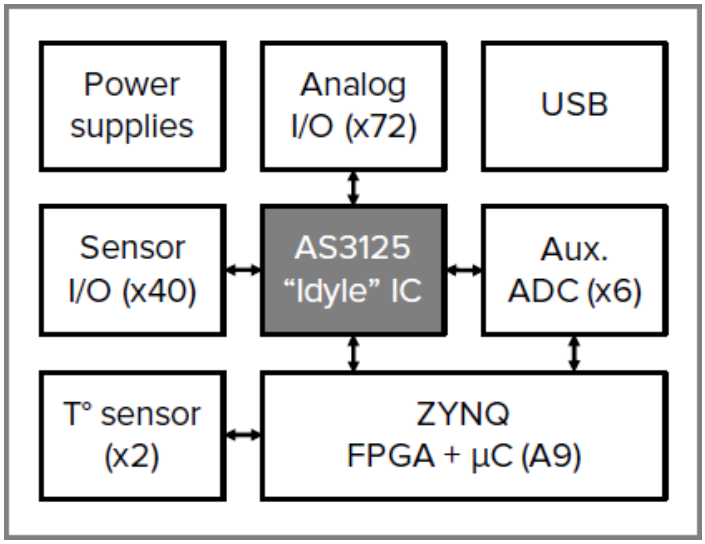


Figure 5. 4 : [79] Schéma bloc de la plateforme Odyle (AS3125-EVB)

- Un ASIC multi-mode et multi-canal configurable.
- Un IP numérique configurable (ZYNQ) qui contient un DSP avancé de/vers l'ASIC afin de le configurer.
- Un tableau de référence (Analog I/O)
- Un logiciel de configuration et de simulation.

- Deux capteurs de température (intégrés dans la puce Idyle AS3125)
- Un convertisseur analogique numérique (ADC) pour les applications nécessitant une bande passante (jusqu'à 500 kHz) plus élevée que l'AS3125 peut fournir.
- Un port USB pour la communication.
- Un circuit de gestion de l'alimentation.

Idyle AS3125 :

Idyle est l'AFE reconfigurable de la carte Odyle. Comme le montre la Figure 5. 5, le circuit contient :

- 6 canaux de lecture, chacun comportant une chaîne d'acquisition allant d'un amplificateur à un convertisseur analogique numérique de type Sigma-Delta. Le type d'amplification est différent selon le type de capteur à l'entrée : trois canaux sont pourvus d'amplificateur d'instrumentation (IA), tandis que les trois autres sont pourvus d'un amplificateur de charge (CA). Des amplificateurs différentiels et des mélangeurs passifs (MIX) sont également disponibles dans chaque canal.
- 20 canaux de polarisation/driver, chacun comportant une chaîne de pilotage allant d'un DAC à un amplificateur de sortie. Les canaux peuvent être configurés comme générateurs de signaux arbitraires.
- Plusieurs blocs utilitaires : boucle à verrouillage de phase (PLL – phase locked loop), capteur de température, générateur d'horloge et esclave pour une interface périphérique série (SPI – serial peripheral interface) haute vitesse (100MHz) pour la communication carte à puce.

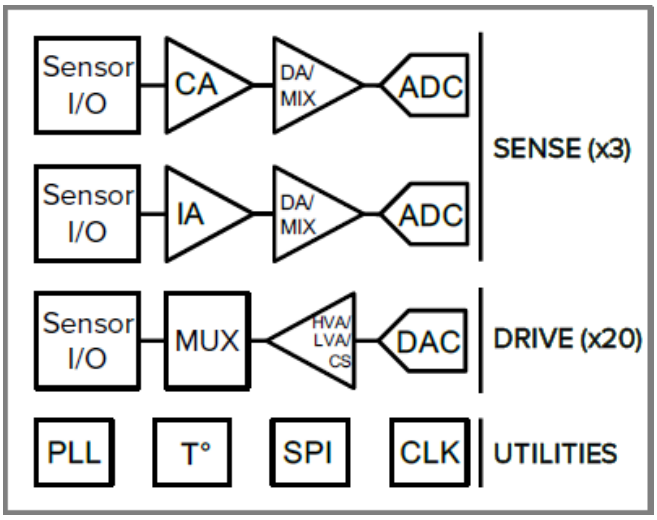


Figure 5. 5 : Idyle (AS3125) IC block diagram

De nombreux paramètres de l'IC sont programmables, tels que le gain de l'amplificateur, la bande passante, la fréquence du mélangeur, le mode du convertisseur analogique numérique (passe-bas ou passe bande) et sa fréquence d'échantillonnage.

Assemblage et utilisation de la plateforme :

Dans ce travail, pour l'implémentation de l'application considérée, nous utilisons un canal à base de chemin capacitif fourni par Idyle pour la détection du signal envoyé par le capteur à l'entrée des amplificateurs de conditionnement. La Figure 5. 6 montre comment les entrées de la chaîne peuvent être activées, multiplexées et comment les condensateurs de compensation de couplage sont organisés, dans le cas du CA.

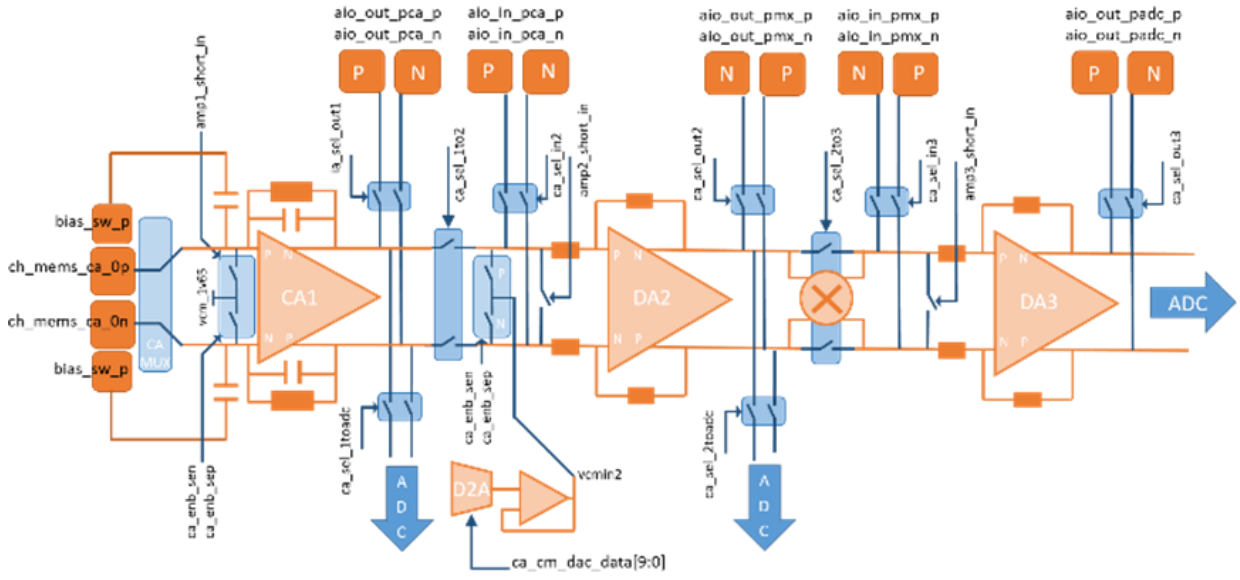


Figure 5. 6 : Chaîne CA

Le transducteur Crocodyle est polarisé par des générateurs des signaux arbitraires (pilotes Idyle), ce qui permet de choisir entre différents modes de contrôle (sortie basse tension (<3.3 V) (LVA), sortie haute tension (<10 V) (HVA) ou courant (CS)), afin de piloter les condensateurs ou les résistances du capteur. Les variations de charges résultantes sont ensuite amplifiées par les amplificateurs d'entrée d'Idyle (soit de type CA pour les capacités de charge, soit de type IA pour les résistances). Ces amplificateurs sont contrôlés par leurs résistances et condensateurs intégrés de rétroaction différentiels et programmables. Enfin si nécessaire, des étages de gain supplémentaires peuvent être utilisés pour augmenter le niveau du signal avant la démodulation ou la conversion analogique-numérique. La Figure 5. 7 montre les constituants du système de mesure.

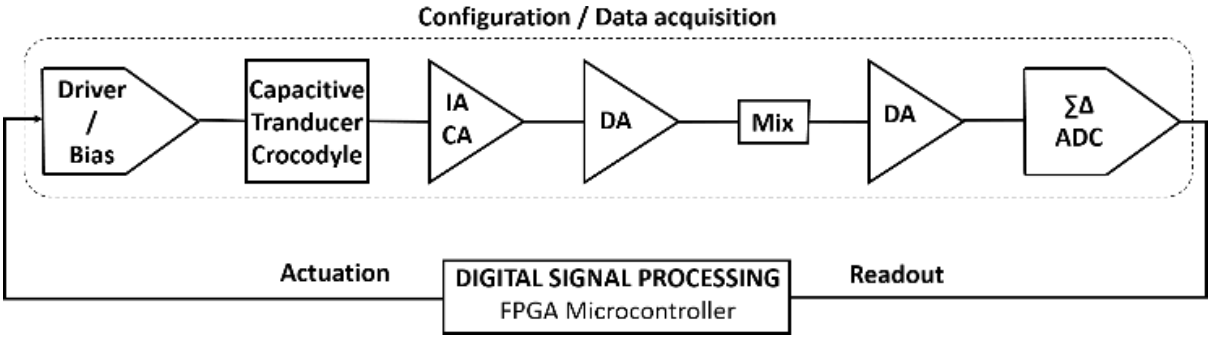


Figure 5. 7 : Montage de mesure de l'application

Le support logiciel fourni par Asygn est disponible en Python, Matlab et LabView. Dans la plateforme Odyle, les configurations sont développées en Python sur la base d'une API de haut niveau simplifiée, fournie pour communiquer avec Idyle via des classes. Par exemple, la fonction Setup_CA est utilisée pour configurer la chaîne d'amplificateur de charge (CA) illustré dans la Figure 5. 6. Les significations de chaque variable utilisée dans nos travaux sont indiquées dans la section suivante. Chaque entrée de la chaîne peut être configurée comme entrée différentiel et sortie unique.

```
setup_CA (
      channelId,
      feedbackCapacitor_F,
      cutoffFrequency_Hz,
      gain2,
      gain3,
      sigmaDeltaAdcIsEnabled=False,
      sigmaDeltaAdcBandpassLowpassConfig='lp',
      singleEndedInputMode=False,
      singleEndedInputSide=0,
      offsetDacTriming_V=1.65,
      cCompP_F=0,
      cCompN_F=0,
      mixerDriverId=0,
      mixerDriverFrequency_Hz=0.0,
      mixerDriverPhase_degree=0.0
)
```

Problème d'optimisation et résultats :

Dans le problème d'optimisation, nous étudions le compromis entre SNR et IIP3 en maximisant les deux performances, comme indiqué dans le Tableau 5. 1.

Tableau 5. 1 **:** Problème d'optimisation du système de capteur

Performance	Objective	Contrainte
SNR	Maximiser	-
IIP3	Maximiser	-

Parmi les paramètres de configuration de la fonction Setup_CA, 7 paramètres sont choisis pour programmer les canaux CA. La nature, ainsi que les bornes inférieure et supérieure, sont données dans le Tableau 5. 2. Ces paramètres sont :

Paramètre	**Signification**	**Valeurs possibles**	**Configuration CA correspondante**
ChannelId	Chaîne d'amplificateur de charge à sélectionner	2, 4, 5	
Ca_feedbackCapacitor_F	Valeur du condensateur de rétroaction utilisée pour définir le registre CA CFB AS3125 et pour déterminer sa résistance de rétroaction associée	Min : 1pF Max : 40pF	
cCompP_F	Valeur du condensateur de compensation à couplage positif	Min : 0pF Max : 1,2pF	
cCompN_F	Valeur du condensateur de compensation à couplage positif	Min : 0pF Max : 1,2pF	
Gain2	Configuration de gain du deuxième amplificateur (DA2)	0 1 2 3 4	0dB, Rin200 8dB, Rin200 20dB, Rin200 28dB, Rin200 -8dB, Rin500

		5 6 7	0dB, Rin500 12dB, Rin500 20dB, Rin500
Gain3	Configuration de gain du troisième amplificateur (DA3)	0 1 2 3 4 5 6 7	0dB, Rin200 8dB, Rin200 20dB, Rin200 28dB, Rin200 -8dB, Rin500 0dB, Rin500 12dB, Rin500 20dB, Rin500

Tableau 5. 2 **:** Paramètres d'optimisation

Paramètres	**Type**	**Min**	**Max**
Awg_signal_vpp	Continue	0.1V	0.4V
Ca_feedbackCapacitor_F	Continue	1pF	40pF
ChannelId	Discrète	1	3
Ca_cCompP_F	Continue	0	1.2pF
Ca_cCompN_F	Continue	0	1.2pF
Gain2	Discrète	0	7
Gain3	Discrète	0	7

Il est à noter que les paramètres de type capacitif sont représentés par des valeurs continues, mais qui sont traduites dans la réalité par une discrétisation des valeurs configurées dans la plateforme Odyle (Figure 4. 19 avec une précision de 164 fF). La transposition entre les valeurs trouvées des paramètres continus et les valeurs réelles des capacités discrétisées s'effectue par approximation (à la valeur la plus proche).

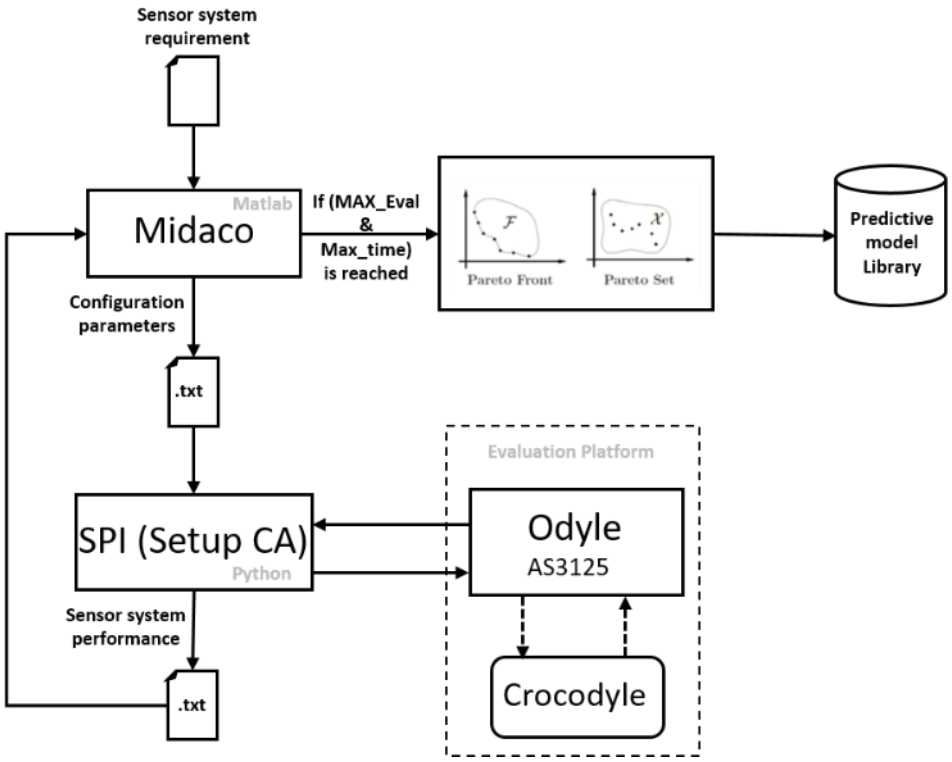


Figure 5. 8 : Schéma de communication haut niveau entre la plateforme d'évaluation et l'outil d'optimisation

La configuration des canaux d'acquisition par les valeurs des paramètres générés par MIDACO est implémentée dans un script Python. Cela nécessite une lecture synchronisée des nouveaux paramètres avant chaque configuration. Ainsi, tous les pilotes de canaux sont configurés de la même manière afin d'envoyer des signaux d'excitation à Crocodyle. L'acquisition du signal à la sortie de la chaîne et le traitement du signal numérique sont effectués en mode Burst (où tous les échantillons de signal sont collectés dans un seul paquet). Ces échantillons sont ensuite traités par fonction FFT (transformée de Fourier rapide, afin de passer le signal temporel dans le domaine fréquentiel), ce qui permet d'extraire les indicateurs de performance SNR et IIP3 et de retourner la valeur de la fonction objective à MIDACO. La communication synchronisée des performances et des paramètres est effectuée via des fichiers suivant le chemin indiqué sur la Figure 5. 8.

Dès lors que le nombre d'évaluations (le nombre de fois que l'on teste les nouvelles configurations) ou le temps d'optimisation (le temps que met l'algorithme à extraire les points optimaux) ont atteint une valeur maximale, un front de Pareto lié à son Pareto Set est extrait. Le front de Pareto et le Pareto set sont ensuite stockés dans la bibliothèque de modèles prédictifs.

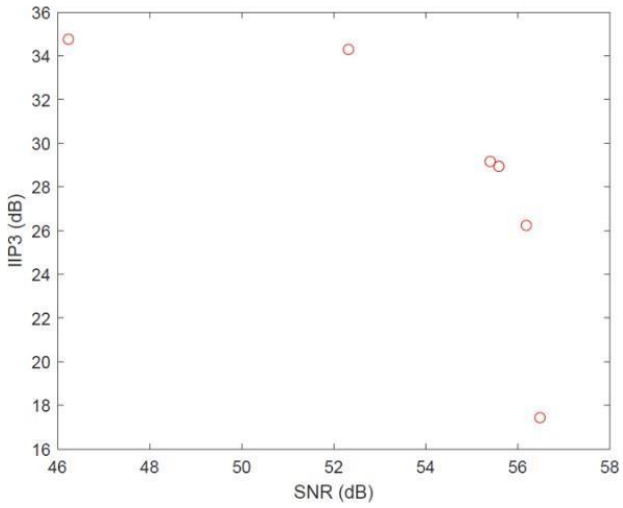


Figure 5. 9: Front de Pareto SNR vs IIP3

Le front de Pareto du problème d'optimisation est illustré à la Figure 5. 9. Il est constitué de 6 points de compromis entre IIP3 et SNR. Un SNR entre 46,3 dB et 56,7 dB et un IIP3 entre 17,2 dB et 34,8 dB sont obtenus. Le Tableau 5. 3 montre les points de Pareto qui figurent sur le graphe et son Pareto Set avec les valeurs des paramètres. Dans le problème d'optimisation, nous avons mis que les paramètres Ca_cCompP_F et Ca_cCompN_F sont égaux. L'application a été exécutée sur un processeur i7-7500 à 2,9 GHz avec 16 Go de RAM et le modèle prédictif du système a été généré en moins d'une heure.

Une fois le modèle prédictif du système est construit, le concepteur peut tester chaque point en termes d'adéquation à une application donné et utiliser les configurations appropriées. De cette façon, les modèles prédictifs offrent un moyen efficace pour accélérer la configuration des AFE configurables.

Tableau 5. 3 : Pareto front et Pareto set du problème d'optimisation

SNR	IIP3	Signal_Vpp	CA_F	ChannelID	Gain1	Gain2
56.1824	26.2383	0.2138977	1.2pF	3	1	1
56.4831	17.4424	0.3752109	0.9pF	1	5	1
55.3998	29.1667	0.2999578	0.9pF	1	4	3
46.2301	34.7621	0.1345869	0.85pF	1	1	3
52.3193	34.2953	0.2672003	0.3pF	1	0	3
55.5886	28.9426	0.2999578	0.4pF	1	4	3

5.5. Conclusion

Dans ce chapitre, une méthode rapide de développement de système de capteurs est proposée. La méthode utilise un kit de développement de systèmes MEMS avec un AFE configurable et l'optimisation multi-objectif. La nature continue-discrète des variables de conception a motivé le choix de MIDACO qui a été intégré dans un processus de configuration automatique afin de construire un modèle prédictif du système à concevoir. La méthode est testée sur le kit de développement MEMS d'Asygn (AS3125-SDK) et a permis d'accélérer avec un facteur de 10 l'exploration des configurations d'un système de capteurs (configuration Idyle) par rapport à la méthode conventionnelle qui teste les configurations manuellement et qui prend habituellement au minimum 10 heures.

6. Conclusion et perspectives

Les systèmes hétérogènes, tels que les systèmes pour l'IoT, combinent plusieurs domaines de conception implémentés sur CMOS. La conception multi-domaine nécessite que des éléments analogiques, numériques, RF, thermiques, photoniques, MEMS …, soient conçus pour interagir ensemble dans un système. Les défis qui accompagnent ce genre de système en termes de miniaturisation et de cycle de mise de marché, rend la conception encore plus complexe. Pour s'adapter à la complexité de conception des systèmes hétérogènes, le développement de nouvelles méthodes est indispensable pour suivre l'évolution de la technologie et en tirer profit.

Dans le cadre de cette thèse, nous avons proposé deux méthodes de conception de systèmes hétérogènes. La Figure 6. 1 résume les deux méthodes présentées qui utilisent la modélisation prédictive basée sur les fronts de Pareto. Ces modèles prédictifs s'intègrent parfaitement dans tout processus de conception basé sur l'optimisation et fournissent une représentation autonome et agnostique du bloc, ce qui permet la portabilité et la réutilisation de la conception. La première méthode consiste à utiliser une conception hiérarchique en combinant une approche descendante (top-down) pour une synthèse et une approche ascendante (bottom-up) pour une vérification. La méthode intègre des outils ultra-rapide rapide afin d'accélérer la conception. Nous avons accélérer l'extraction des modèles prédictifs des circuits analogiques en utilisant ID-Xplore et LIFT afin d'éviter l'optimisation numérique. La méthode est plus rapide 11x qu'une optimisation avec LIFT. Nous avons employé Tactyle dans la modélisation de nos systèmes qui permets de modéliser la totalité du système avec un seule langage, ce qui facilite la communication entre les niveaux et les blocs. Tactyle permet de modéliser des blocs multi physique ce qui a donné la possibilité de modéliser des systèmes hétérogènes. Un système hétérogène contient par nature des paramètres continues et discrètes. Ceci nous a pousser à utiliser un outil d'optimisation capable de gérer les problèmes continus discrets et l'intégrer dans notre flot de conception. La problématique de visualisation des fronts de Pareto de plus de 3 performances est résolu avec l'utilisation de la méthode HSDC. HSDC permet de diminuer l'espace et représenter le Pareto sur un espace 2D et 3D. Nous avons fusionné le HSDC avec une méthode d'incorporation des préférences afin d'aider le concepteur à faire son choix des points de conception optimaux.

Nous avons utilisé notre flot de conception afin d'optimiser une application SEnsor Hub avec une plateforme de développement IoT. Notre approche est automatique est permet de sortir des configurations optimisées afin de répondre aux spécifications de départ.

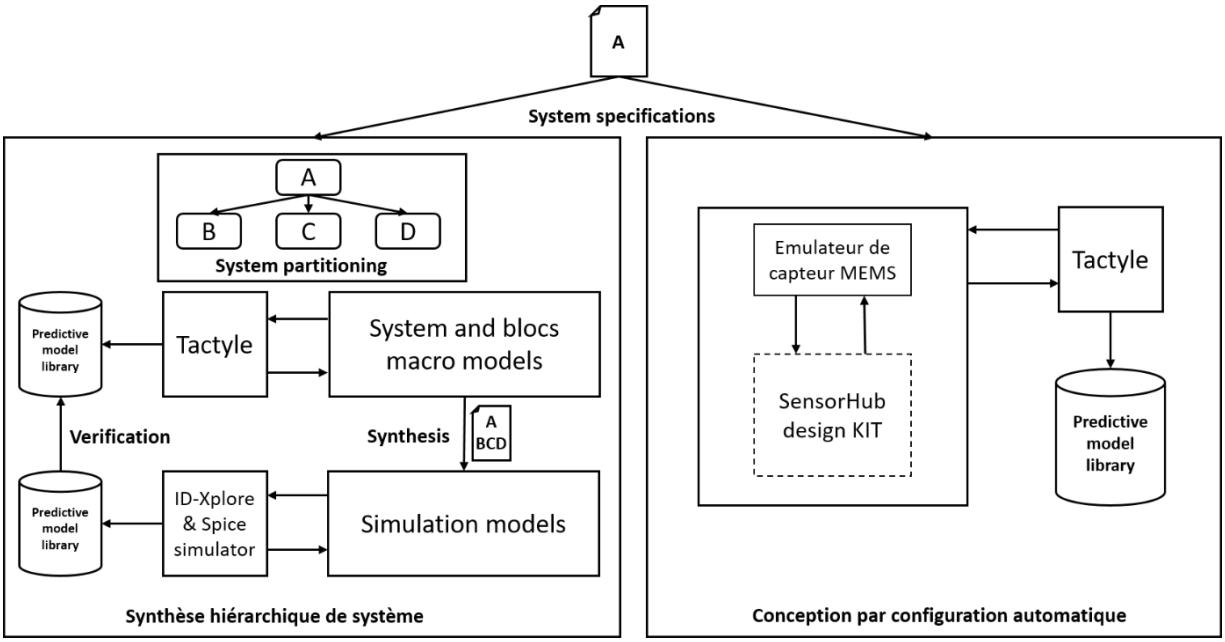


Figure 6. 1: Méthodes de conception développées des systèmes hétérogènes

Afin d'étendre les performances de notre méthode, des travaux futurs doivent être effectuées dans les domaines suivants :

- Les approches agiles étant appliquées avec plus ou moins de succès aux processus de développement de la conception et de la vérification du hardware, l'application d'un flux d'intégration continue dans un processus de développement du hardware est demandé aujourd'hui. L'objectif est de minimiser la boucle de rétroaction de l'intégration, d'augmenter la visibilité du processus tout en gardant à l'esprit une vérification axée sur la couverture et une approche de vérification basée sur les exigences. Ainsi, il serait bénéfique de proposer des méthodes permettant une mise à jour en temps réel de l'espace de conception à explorer. Les propriétés de notre méthode déjà présentes comme la réutilisation des données existantes ainsi que les techniques d'interpolation permettront de réduire l'empreinte de calcul (et atteindre de grandes vitesses de mises à jour pour un coût de calcul minimal).

- De plus en plus, les technologies "classiques" CMOS sont complétées par des technologies avancées voire émergentes s'appuyant sur une diversité de phénomènes physiques (par exemple les transistors ferroélectriques, les mémoires resistives, la photonique silicium …), Les techniques proposées dans ce travail peuvent s'appliquer dans des démarches d'exploration "DTCO" (Design-Technology Co-Optimization), où il est nécessaire de mener des études sur les performances des circuits pour une technologie qui n'est pas stable. L'inclusion des paramètres technologiques, et de leur variabilité, permet d'identifier les goulots d'étranglement au niveau technologique et de guider les experts technologues dans le développement de la technologie.

- Concernant les outils de simulation, notre flot peut s'interfacer relativement aisément avec d'autres plateformes de simulation. Afin de prendre en compte les paramètres physiques des éléments non-électroniques (notamment MEMS) d'un système hétérogène, il est intéressant d'intégrer des outils de simulation à base d'éléments finis, tout en ciblant de manière intelligente la zone de recherche pour éviter les cycles d'évaluation longs. De plus, même si nous avons démontré la capacité de notre approche d'accélérer la simulation de circuits microélectroniques tels que les modulateurs sigma-delta ou des convertisseurs DC-DC de type Buck, d'autres classes de circuits microélectroniques sont particulièrement

longues à analyser, notamment dans le domaine RF nécessitant des analyses temporelles longues (boucle à verrouillage de phase, convertisseur sigma-delta d'ordre élevé). L'exploitation de notre approche sur ces différents circuits permettra de tester ses limites et d'étendre les preuves de son efficacité.

- Aujourd'hui, notre approche ne prend pas en compte les aspects de conception physique (layout) pour les structures explorées. Cela peut engendrer des imprécisions dans l'exploration de l'espace de conception, car l'impact des composants parasites n'est pas évalué. Plusieurs outils de synthèse automatique de layout existent et il serait intéressant de coupler notre méthode avec de tels outils dans une boucle d'optimisation externe.

- Enfin, l'émergence des techniques d'apprentissage machine et de l'intelligence artificielle permet d'envisager aujourd'hui leur utilisation dans l'exploration des espaces de conception de systèmes hétérogènes (par exemple pour identifier des zones de recherche de manière automatique), mais aussi dans l'exploration des paramètres à utiliser dans les algorithmes d'optimisation.

Bibliographie :

[1] E. Andreassen and M. M. Mielnik, “BioMEMS meets lab-on-a-chip: Heterogeneous integration of silicon MEMS and NEMS in polymer microfluidics,” in *Proceedings of the 5th Electronics System-integration Technology Conference (ESTC)*, Sep. 2014, pp. 1–5. doi: 10.1109/ESTC.2014.6962736.

[2] W. Arden, M. Brillouët, P. Cogez, M. Graef, B. Huizing, and R. Mahnkopf, “‘More-than-Moore’ White Paper,” p. 31.

[3] S.-H. Kim *et al.*, “Heterogeneous Integration Toward a Monolithic 3-D Chip Enabled by III–V and Ge Materials,” *IEEE J. Electron Devices Soc.*, vol. 6, pp. 579–587, 2018, doi: 10.1109/JEDS.2018.2802840.

[4] S. B. B. Priyadarshini, A. BhusanBagjadab, and B. K. Mishra, “The Role of IoT and Big Data in Modern Technological Arena: A Comprehensive Study,” in *Internet of Things and Big Data Analytics for Smart Generation*, V. E. Balas, V. K. Solanki, R. Kumar, and M. Khari, Eds. Cham: Springer International Publishing, 2019, pp. 13–25. doi: 10.1007/978-3-030-04203-5_2.

[5] K. R. Sollins, “IoT Big Data Security and Privacy Versus Innovation,” *IEEE Internet Things J.*, vol. 6, no. 2, pp. 1628–1635, Apr. 2019, doi: 10.1109/JIOT.2019.2898113.

[6] M. Kee, H. Seon, S. Kwon, J. Lee, and G.-H. Park, “Hardware accelerator for low-power sensor hub MCU to process sensor fusion algorithm,” in *2015 International SoC Design Conference (ISOCC)*, Nov. 2015, pp. 189–190. doi: 10.1109/ISOCC.2015.7401782.

[7] T. Li, J. Hou, J. Yan, R. Liu, H. Yang, and Z. Sun, “Chiplet Heterogeneous Integration Technology—Status and Challenges,” *Electronics*, vol. 9, no. 4, Art. no. 4, Apr. 2020, doi: 10.3390/electronics9040670.

[8] “2013 ITRS,” *International Technology Roadmap for Semiconductors*. http://www.itrs2.net/2013-itrs.html (accessed Aug. 26, 2020).

[9] “About - IEEE International Roadmap for Devices and Systems™.” https://irds.ieee.org/ (accessed Sep. 15, 2020).

[10] “SystemC AMS.” https://www.accellera.org/community/systemc/about-systemc-ams (accessed May 06, 2021).

[11] “IEEE Standard VHDL Analog and Mixed-Signal Extensions,” *IEEE Std 10761-2017 Revis. IEEE Std 10761-2007*, pp. 1–672, Jan. 2018, doi: 10.1109/IEEESTD.2018.8267464.

[12] “Technologie de conception pour composants hétérogènes,” *Agence nationale de la recherche*. https://anr.fr/Projet-ANR-16-CE24-0019 (accessed Sep. 15, 2020).

[13] “Homepage - Main,” *Intento Design*. https://www.intento-design.com/ (accessed Sep. 15, 2020).

[14] “ASYGN - Electronics for sensors and RF communications.” https://asygn.com/ (accessed Sep. 15, 2020).

[15] J. Giner and K. Ono, “Adaptive feedthrough cancellation in MEMS gyroscopes in reconfigurable IC+FPGA platform,” in *2018 IEEE International Symposium on Inertial Sensors and Systems (INERTIAL)*, Mar. 2018, pp. 1–2. doi: 10.1109/ISISS.2018.8358157.

[16] “Asygn AS3125 - Sensor Development Kit - High-Performance Sensing.” https://asygn.com/as3125-sdk/ (accessed Apr. 30, 2021).

[17] “Heterogeneous Integration RoadMap, 2019 Edition : Chapter 14, Modeling and Simulation.” Accessed: Jan. 21, 2021. [Online]. Available: https://eps.ieee.org/images/files/HIR_2019/HIR1_ch14_sim.pdf

[18] A. Khawas, A. Banerjee, and S. Mukhopadhyay, “A Response Surface Method for Design Space Exploration and Optimization of Analog Circuits,” in *2011 IEEE Computer Society Annual Symposium on VLSI*, Jul. 2011, pp. 84–89. doi: 10.1109/ISVLSI.2011.17.
[19] “IEEE 1076-2019 - IEEE Standard for VHDL Language Reference Manual.” https://standards.ieee.org/standard/1076-2019.html (accessed May 06, 2021).
[20] “IEEE Standard for Verilog Hardware Description Language,” *IEEE Std 1364-2005 Revis. IEEE Std 1364-2001*, pp. 1–590, Apr. 2006, doi: 10.1109/IEEESTD.2006.99495.
[21] “Verilog-AMS (Analog/Mixed-Signal).” https://www.accellera.org/downloads/standards/v-ams (accessed May 06, 2021).
[22] “IEEE Standard for SystemVerilog–Unified Hardware Design, Specification, and Verification Language,” *IEEE Std 1800-2017 Revis. IEEE Std 1800-2012*, pp. 1–1315, Feb. 2018, doi: 10.1109/IEEESTD.2018.8299595.
[23] “IEEE 1666-2011 - IEEE Standard for Standard SystemC Language Reference Manual.” https://standards.ieee.org/standard/1666-2011.html (accessed May 06, 2021).
[24] “COMSOL: Multiphysics Software for Optimizing Designs,” *COMSOL*. https://www.comsol.fr/ (accessed Feb. 02, 2021).
[25] “CapeSym | SYMMIC.” https://www.capesym.com/symmic.html (accessed Feb. 02, 2021).
[26] “Ansys.” https://www.ansys.com/ (accessed Feb. 02, 2021).
[27] “FloTHERM.” https://www.mentor.com/products/mechanical/flotherm/flotherm/ (accessed Feb. 02, 2021).
[28] “CoventorWare,” *Coventor*. https://www.coventor.com/products/coventormp/coventorware/ (accessed Feb. 02, 2021).
[29] “softMEMS.” http://www.softmems.com/mems_pro.html (accessed Feb. 02, 2021).
[30] S. Wunsche, C. Clauss, P. Schwarz, and F. Winkler, “Electro-thermal circuit simulation using simulator coupling,” *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 5, no. 3, pp. 277–282, Sep. 1997, doi: 10.1109/92.609870.
[31] J. Iannacci, R. Gaddi, and A. Gnudi, “Experimental Validation of Mixed Electromechanical and Electromagnetic Modeling of RF-MEMS Devices Within a Standard IC Simulation Environment,” *Microelectromechanical Syst. J. Of*, vol. 19, pp. 526–537, Jul. 2010, doi: 10.1109/JMEMS.2010.2048417.
[32] F. Frantz Ferreira, “Architectural exploration methods and tools for heterogeneous 3D-IC,” These de doctorat, Ecully, Ecole centrale de Lyon, 2012. Accessed: Sep. 16, 2020. [Online]. Available: http://www.theses.fr/2012ECDL0033
[33] A. Lambora, K. Gupta, and K. Chopra, “Genetic Algorithm- A Literature Review,” in *2019 International Conference on Machine Learning, Big Data, Cloud and Parallel Computing (COMITCon)*, Feb. 2019, pp. 380–384. doi: 10.1109/COMITCon.2019.8862255.
[34] X. Hu, C. C. Douglas, R. Lumley, and M. Seo, “GPU Accelerated Sequential Quadratic Programming,” in *2017 16th International Symposium on Distributed Computing and Applications to Business, Engineering and Science (DCABES)*, Oct. 2017, pp. 3–6. doi: 10.1109/DCABES.2017.8.
[35] A. Ouria and M. M. Toufigh, “Application of Nelder-Mead simplex method for unconfined seepage problems,” *Appl. Math. Model.*, vol. 33, no. 9, pp. 3589–3598, Sep. 2009, doi: 10.1016/j.apm.2008.12.001.
[36] T. Blu, P. Thevenaz, and M. Unser, “Linear interpolation revitalized,” *IEEE Trans. Image Process.*, vol. 13, no. 5, pp. 710–719, May 2004, doi: 10.1109/TIP.2004.826093.

[37] S. Cuomo, A. Galletti, G. Giunta, and A. Starace, “Surface reconstruction from scattered point via RBF interpolation on GPU,” in *2013 Federated Conference on Computer Science and Information Systems*, Sep. 2013, pp. 433–440.

[38] N. Sun, T. Ayabe, and T. Nishizaki, “Efficient Spline Interpolation Curve Modeling,” in *Third International Conference on Intelligent Information Hiding and Multimedia Signal Processing (IIH-MSP 2007)*, Nov. 2007, vol. 2, pp. 59–62. doi: 10.1109/IIHMSP.2007.4457653.

[39] A. Zangeneh and S. Jadid, “Normal boundary intersection for generating Pareto set in distributed generation planning,” in *2007 International Power Engineering Conference (IPEC 2007)*, Dec. 2007, pp. 773–778.

[40] M. Elarbi, S. Bechikh, C. A. Coello Coello, M. Makhlouf, and L. Ben Said, “Approximating Complex Pareto Fronts With Predefined Normal-Boundary Intersection Directions,” *IEEE Trans. Evol. Comput.*, vol. 24, no. 5, pp. 809–823, Oct. 2020, doi: 10.1109/TEVC.2019.2958921.

[41] Dian Zhou and Guanming Huang, “Design automation of analog circuit considering the process variations,” in *2013 IEEE 10th International Conference on ASIC*, Oct. 2013, pp. 1–4. doi: 10.1109/ASICON.2013.6811900.

[42] R. A. Rutenbar, G. G. E. Gielen, and J. Roychowdhury, “Hierarchical Modeling, Optimization, and Synthesis for System-Level Analog and RF Designs,” *Proc. IEEE*, vol. 95, no. 3, pp. 640–669, Mar. 2007, doi: 10.1109/JPROC.2006.889371.

[43] I. Das and J. Dennis, “Normal-Boundary Intersection: A New Method for Generating the Pareto Surface in Nonlinear Multicriteria Optimization Problems,” *SIAM J. Optim.*, vol. 8, Jul. 2000, doi: 10.1137/S1052623496307510.

[44] Q. Zhang and H. Li, “MOEA/D: A Multiobjective Evolutionary Algorithm Based on Decomposition,” *IEEE Trans. Evol. Comput.*, vol. 11, no. 6, pp. 712–731, Dec. 2007, doi: 10.1109/TEVC.2007.892759.

[45] D. Mueller-Gritschneder, H. Graeb, and U. Schlichtmann, *Trade-Off Design of Analog Circuits using Goal Attainment and “Wave Front” Sequential Quadratic Programming*. 2007, p. 80. doi: 10.1109/DATE.2007.364570.

[46] A. Michaels, M. C. Wu, and E. Yablonovitch, “Hierarchical Design and Optimization of Silicon Photonics,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 26, no. 2, pp. 1–12, Mar. 2020, doi: 10.1109/JSTQE.2019.2935299.

[47] S. Davidson, “Electronic Design Automation for IC Implementation, Circuit Design, and Process Technology and Electronic Design Automation for IC System Design, Verification, and Testing,” *IEEE Des. Test*, vol. 35, no. 3, pp. 98–99, Jun. 2018, doi: 10.1109/MDAT.2018.2814988.

[48] F. Passos *et al.*, “A Multilevel Bottom-Up Optimization Methodology for the Automated Synthesis of RF Systems,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 39, no. 3, pp. 560–571, Mar. 2020, doi: 10.1109/TCAD.2018.2890528.

[49] T. Eeckelaert, R. Schoofs, G. Gielen, M. Steyaert, and W. Sansen, “An Efficient Methodology for Hierarchical Synthesis of Mixed-Signal Systems with Fully Integrated Building Block Topology Selection,” in *Automation Test in Europe Conference Exhibition 2007 Design*, Apr. 2007, pp. 1–6. doi: 10.1109/DATE.2007.364571.

[50] C. Harjani and J. Shao, “Feasibility and Performance Region Modelingof Analog and Digital,” 1996. /paper/Feasibility-and-Performance-Region-Modelingof-and-Harjani-Shao/9403d6726ab89a35419e5fb2293ec863371a38bd (accessed Sep. 30, 2020).

[51] S. Jung, J. Lee, and J. Kim, “Yield-Aware Pareto Front Extraction for Discrete Hierarchical Optimization of Analog Circuits,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 33, no. 10, pp. 1437–1449, Oct. 2014, doi: 10.1109/TCAD.2014.2331563.

[52] G. Gielen, T. McConaghy, and T. Eeckelaert, “Performance space modeling for hierarchical synthesis of analog integrated circuits,” in *Proceedings. 42nd Design Automation Conference, 2005.*, Jun. 2005, pp. 881–886. doi: 10.1145/1065579.1065809.
[53] T. Tušar and B. Filipič, “Visualization of Pareto Front Approximations in Evolutionary Multiobjective Optimization: A Critical Review and the Prosection Method,” *IEEE Trans. Evol. Comput.*, vol. 19, no. 2, pp. 225–245, Apr. 2015, doi: 10.1109/TEVC.2014.2313407.
[54] S. R. Dos Santos, “A framework for the visualization of multidimensional and multivariate data,” phd, University of Leeds, 2004. Accessed: Sep. 22, 2020. [Online]. Available: http://etheses.whiterose.ac.uk/1316/
[55] K. Miettinen, “Survey of methods to visualize alternatives in multiple criteria decision making problems,” *Spectr.*, vol. 36, no. 1, pp. 3–37, Jan. 2014, doi: 10.1007/s00291-012-0297-0.
[56] “Hypervolume-based multiobjective optimization: Theoretical foundations and practical implications,” *Theor. Comput. Sci.*, vol. 425, pp. 75–103, Mar. 2012, doi: 10.1016/j.tcs.2011.03.012.
[57] S. Huband, P. Hingston, L. Barone, and L. While, “A review of multiobjective test problems and a scalable test problem toolkit,” *IEEE Trans. Evol. Comput.*, vol. 10, no. 5, pp. 477–506, Oct. 2006, doi: 10.1109/TEVC.2005.861417.
[58] X. Blasco, J. M. Herrero, J. Sanchis, and M. Martínez, “A new graphical visualization of n-dimensional Pareto front for decision-making in multiobjective optimization,” *Inf. Sci. Int. J.*, vol. 178, no. 20, pp. 3908–3924, Oct. 2008, doi: 10.1016/j.ins.2008.06.010.
[59] “ID-Xplore,” *Intento Design*. https://www.intento-design.com/products/id-xplore/ (accessed Sep. 16, 2020).
[60] R. Iskander, M.-M. Louerat, and A. Kaiser, “Hierarchical Graph-Based Sizing for Analog Cells Through Reference Transistors,” in *2006 Ph.D. Research in Microelectronics and Electronics*, Jun. 2006, pp. 321–324. doi: 10.1109/RME.2006.1689961.
[61] A. Colorni, M. Dorigo, V. Maniezzo, F. Varela, and P. Bourgine, “Distributed Optimization by Ant Colonies,” *undefined*, 1992, Accessed: Apr. 17, 2021. [Online]. Available: /paper/Distributed-Optimization-by-Ant-Colonies-Colorni-Dorigo/5a9bfcb078e22adb245a19cd5b7ff43bed1054ff
[62] M. Schlueter, J. A. Egea, and J. Banga, “Extended ant colony optimization for non-convex mixed integer nonlinear programming,” *Comput. Oper. Res.*, vol. 36, pp. 2217–2229, Jul. 2009, doi: 10.1016/j.cor.2008.08.015.
[63] M. Schlüter and M. Gerdts, “The oracle penalty method,” *J. Glob. Optim.*, vol. 47, no. 2, pp. 293–325, Jun. 2010, doi: 10.1007/s10898-009-9477-0.
[64] M. Schlüter, J. A. Egea, and J. R. Banga, “Extended ant colony optimization for non-convex mixed integer nonlinear programming,” *Comput. Oper. Res.*, vol. 36, no. 7, pp. 2217–2229, Jul. 2009, doi: 10.1016/j.cor.2008.08.015.
[65] “MIDACO-SOLVER.” http://www.midaco-solver.com/ (accessed Oct. 07, 2020).
[66] R. M. Kittali, B. G. Sheeparamatti, and A. Sheeparamatti, “Modeling and analysis of MEMS based acclerometer in Simulink,” in *2017 International Conference On Smart Technologies For Smart Nation (SmartTechCon)*, Aug. 2017, pp. 602–606. doi: 10.1109/SmartTechCon.2017.8358442.
[67] G. Agrawal, S. Parashar, and C. Bloebaum, “Estimation of Multi-Objective Pareto Frontier using Hyperspace Diagonal Counting,” in *11th AIAA/ISSMO Multidisciplinary Analysis and Optimization Conference*, American Institute of Aeronautics and Astronautics. doi: 10.2514/6.2006-6959.

[68] “Hyperspace Diagonal Counting (HSDC) for Multidimensional Database Visualization and Data Mining.” /patents/5447-Hyperspace-Diagonal-Counting-HSDC-for-Multidimensiona.html (accessed Sep. 22, 2020).
[69] G. Agrawal, K. Lewis, and C. Bloebaum, “Intuitive Visualization of Hyperspace Pareto Frontier,” 2006, doi: 10.2514/6.2006-726.
[70] D. Macko, K. Jelemenska, and P. Cicak, “Simplifying low-power SoC top-down design using the system-level abstraction and the increased automation,” *Integr. VLSI J.*, vol. 63, pp. 101-114., Sep. 2018, doi: 10.1016/j.vlsi.2018.06.001.
[71] H. Gao *et al.*, “DC-DC converter with continuous-time feed-forward Sigma-Delta modulator control,” in *2012 IEEE Asia Pacific Conference on Circuits and Systems*, Dec. 2012, pp. 65–68. doi: 10.1109/APCCAS.2012.6418972.
[72] S. Mehrjoo, M. Taherzadeh-Sani, and F. Nabki, “A 27 mV output ripple 92% efficiency buck converter using a multi-bit delta-sigma modulator controller and segmented output switch in 180 nm CMOS,” in *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Dec. 2016, pp. 129–132. doi: 10.1109/ICECS.2016.7841149.
[73] K. T. Hafeez, A. Dutta, S. G. Singh, K. S. Kumar, K. K. Avalur, and V. H. Sai, “Hybrid structured buck converter with ripple cancellation and improved efficiency,” in *2013 Annual IEEE India Conference (INDICON)*, Dec. 2013, pp. 1–5. doi: 10.1109/INDCON.2013.6726113.
[74] A. Kapun, M. Milanovic, and J. Korelic, “Voltage Ripple Cancellation in Buck Converter based on Hybrid Structured Connection,” in *2006 12th International Power Electronics and Motion Control Conference*, Aug. 2006, pp. 112–117. doi: 10.1109/EPEPEMC.2006.4778385.
[75] A. Ayachit, D. K. Saini, T. Salvatierra, and M. K. Kazimierczuk, “Analysis, design, and performance evaluation of zero-voltage-ripple buck dc–dc converter,” *IET Power Electron.*, vol. 12, no. 5, pp. 994–1001, 2019, doi: 10.1049/iet-pel.2018.5455.
[76] M. Messina, J. Njuguna, and C. Palas, “Computational analysis and optimization of a MEMS-based piezoresistive accelerometer for head injuries monitoring,” in *2017 IEEE SENSORS*, Oct. 2017, pp. 1–3. doi: 10.1109/ICSENS.2017.8233897.
[77] J. M. Darmanin, I. Grech, E. Gatt, and O. Casha, “Design of a 2-axis MEMS accelerometer,” in *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*, Dec. 2011, pp. 268–271. doi: 10.1109/ICECS.2011.6122265.
[78] M. S. Golovinskiy, S. M. Kruchinin, A. S. Musatkin, M. M. Burakov, and P. A. Gornostaev, “Technological Design of the MEMS-Accelerometer Sensor Element for Ultra-Large Acceleration Ranges,” in *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, Jan. 2020, pp. 2135–2138. doi: 10.1109/EIConRus49466.2020.9039038.
[79] Asygn, “AS3125-SDK Manual ‘Confidential.’”

dernière page de la thèse

AUTORISATION DE SOUTENANCE

Vu les dispositions de l'arrêté du 25 mai 2016,

Vu la demande du directeur de thèse

Monsieur I. O'CONNOR

et les rapports de

M. D. MORCHE
Ingénieur de recherche - CEA-Leti Grenoble - 17 Avenue des Martyrs - 38054 Grenoble

et de

M. L. HEBRARD
Professeur - Université de Strasbourg - 4 Rue Blaise Pascal - 67081 Strasbourg

Monsieur BRIK Adil

est autorisé à soutenir une thèse pour l'obtention du grade de **DOCTEUR**

Ecole doctorale ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE

Fait à Ecully, le 9 septembre 2021

P/Le directeur de l'E.C.L.
Le directeur des formations



Grégory VIAL