

Université de Limoges - Faculté des Sciences et Techniques
Ecole Doctorale n° 610 : Sciences et Ingénierie des Systèmes, Mathématiques,
Informatique
XLIM - CCSNL, UMR CNRS 7252

Thèse n° [XX-2019]

THÈSE

Pour obtenir le grade de

Docteur de l'Université de Limoges

Spécialité : "Électronique des Hautes Fréquences, Photonique et Systèmes"

Présentée et soutenue publiquement par

Julien COUVIDAT

le 21 Mars 2019

**Contribution à la modélisation de transistors GaN et à la
conception d'architectures innovantes d'amplificateurs de
puissance à rendement amélioré pour modules
d'émission-réception aéroportés**

Directeurs de thèse : **Raymond QUÉRÉ** et **Nathalie DELTIPLE**

Jury :

M. Éric BERGEAULT,	Professeur, Télécom ParisTech	Rapporteur
M. Olivier LATRY,	Professeur, GPM Rouen	Rapporteur
Mme. Nathalie DELTIPLE,	MCF HDR, Laboratoire IMS, Bordeaux INP	Co-Directrice
M. Olivier JARDEL,	Ingénieur-Docteur, Thales Alenia Space	Examineur
M. Éric KERHERVÉ,	Professeur, Laboratoire IMS, Bordeaux INP	Examineur
M. Benoît MALLET-GUY,	Ingénieur-Docteur, Thales DMS	Examineur
M. Jean-Christophe NALLATAMBY,	Professeur, Laboratoire XLIM, Université de Limoges	Examineur
M. Raymond QUÉRÉ,	Professeur émérite, Laboratoire XLIM, Université de Limoges	Co-Directeur
M. Christophe CHARBONNIAUD,	Ingénieur-Docteur, AMCAD Engineering	Invité



Droits d'auteurs / Copyright



Cette création est mise à disposition selon le Contrat : « Paternité - Pas d'Utilisation Commerciale - Pas de modification 3.0 France » disponible en ligne à l'adresse suivante : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>.

This work is licensed under the Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 3.0 France License. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

« Le scepticisme commence quand, assis dans une église entre un flic et une bonne soeur, vous constatez que votre portefeuille a disparu. »

Colin Bowles

A mes parents et à ma soeur,

Remerciements

Dans un premier temps, je tiens à remercier M. Dominique BAILLARGEAT, Directeur du laboratoire XLIM ainsi que M. Bernard JARRY, Directeur de l'école doctorale SISMI de Limoges, pour m'avoir permis d'effectuer mes trois années de thèse réparties à parts égales entre le laboratoire XLIM et le laboratoire IMS.

Je voudrais remercier XXX, qui me fait l'honneur de présider ce jury de thèse.

Je voudrais également remercier messieurs Éric BERGEAULT, Professeur à Télécom ParisTech et Olivier LATRY, Professeur au GPM Rouen, pour avoir accepté d'être rapporteurs de ce travail, merci pour le temps consacré à la lecture de ce manuscrit.

J'adresse également mes remerciements à messieurs Olivier JARDEL, Ingénieur-Docteur chez Thales Alenia Space, Éric KERHERVÉ, Professeur au laboratoire IMS, Jean-Christophe NALLATAMBY, Professeur au laboratoire XLIM et Christophe CHARBONNIAUD, Ingénieur-Docteur chez AMCAD-Engineering pour avoir pris part au jury en qualités d'examineurs et invité.

Je remercie la société Thales pour son investissement dans la chaire industrielle DEFIS-RF et pour m'avoir permis d'effectuer deux semaines au sein de l'équipe conception circuits intégrés hyperfréquences à Elancourt, où j'ai pu profiter du savoir faire sur la conception d'amplificateurs de puissance en technologie GaN. Je remercie aussi la société AMCAD-Engineering, pour le prêt gracieux de leur instrument de mesure.

Plus personnellement, je tiens à remercier M. Raymond QUÉRÉ, Professeur à l'université de Limoges, pour avoir dirigé mes travaux de thèse (même après son départ à la retraite), pour avoir partagé une partie de ses connaissances scientifiques exceptionnelles et pour sa bienveillance et son optimisme à toute épreuve. Je remercie aussi Mme. Nathalie DELTIMPLE, MCF HDR à Bordeaux INP, pour avoir co-encadré ces travaux, pour sa disponibilité et la grande confiance qu'elle accorde à ses doctorants.

Je tiens aussi à remercier M. Benoît MALLET-GUY, Ingénieur-Docteur chez Thales DMS, qui a accepté d'être le correspondant industriel de ma thèse. Je tiens à souligner sa forte implication dans le projet et le temps conséquent qu'il m'a consacré lors de mon séjour à Thales DMS. Ses compétences remarquables couplées à sa bonne humeur rendent le travail d'équipe motivant et agréable.

Je tiens à remercier l'ensemble du personnel (Enseignants, Techniciens, ...) que j'ai pu côtoyer et qui m'ont aidé de près ou de loin que ce soit à Brive (Laboratoire XLIM & IUT GEII), à Limoges ou à Bordeaux (Laboratoire IMS & ENSEIRB-MATMECA). Je tiens spécialement à remercier les secrétaires du département CCSNL de XLIM, Marie-Claude LEROUGE à Limoges et Marie CÉLÉRIER à Brive, qui font un boulot colossal et qui participent certainement à la réussite des travaux du laboratoire.

Je remercie également les Ingénieurs de mesure, Messieurs Sylvain LAURENT à Brive et Tibault REVEYRAND à Limoges, qui ont eu la patience de me former aux travaux de mesure.

D'autre part, je tiens à remercier l'ensemble des doctorants & post-doctorants avec qui j'ai pu échanger au cours de ces trois années. Les anecdotes de vie au bureau resteront à jamais dans ma mémoire et je vous souhaite à tous bon courage pour la fin de thèse et d'excellentes carrières professionnelles.

J'ai aussi une pensée pour mes amis, notamment Maxime et Samir les Enseirbiens, et les Angoumoisins(e)s qui se reconnaîtront.

Enfin, je veux remercier ma famille, notamment mes parents qui m'ont toujours supporté dans mes études. Sans leurs concessions, je ne serai pas arrivé là, j'espère que je les ai rendus fiers de moi en maigre retour. Grosse pensée à ma petite soeur, Mathilde, qui n'a pas eu la vie facile en passant après un frère qui fait de longues études, je te remercie pour toutes les fois où tu m'as changé les idées, que ce soit en allant au ciné ou en jouant aux vieilles consoles de mon enfance.

Table des matières

Table des figures	iv
Liste des tableaux	x
Introduction générale	1
Chapitre I Transistors pour l'amplification RF	3
1 Introduction	4
2 Paramètres déterminants pour la technologie d'amplificateurs de puissance	6
3 Matériaux semi-conducteurs pour la conception de transistors	10
4 Structures des transistors à haute mobilité électronique (HEMT)	13
4.1 Cas particulier du HEMT à base de GaN	16
5 Comparaison des performances d'amplificateurs RF en fonction de la technologie utilisée	19
6 Conclusion	20
Chapitre II Caractérisation et modélisation des effets de pièges des transistors à base de GaN	21
1 Introduction	23
1.1 Mécanisme de piégeage	23
1.2 Localisation des pièges dans la structure HEMT GaN	24
1.3 Terminologie spécifique aux effets de pièges	26
1.3.1 "Gate-Lag"	26
1.3.2 "Virtual gate"	26
1.3.3 "Gate leakage"	26
1.3.4 "Drain-Lag"	27
1.3.5 "Knee walkout"	27
1.3.6 "Current collapse" (CC)	28
1.3.7 "Kink effect"	28
1.3.8 Dispersion fréquentielle de la conductance (g_D) et de la transconductance (g_m)	29
1.3.9 Décalage de la tension de pincement	29
1.4 Extraction de la signature d'un piège	30
1.5 Caractérisations classiques des effets de pièges	32
1.5.1 La caractérisation courant-tension (I-V)	33

1.5.2	La spectroscopie transitoire des niveaux profonds (en anglais DLTS)	34
1.5.3	La mesure de courant transitoire (DCT)	35
1.5.4	La mesure de dispersions fréquentielles	36
1.5.5	La mesure du bruit basse fréquence	37
1.5.6	La mesure RF impulsionnelle	38
1.5.7	Les méthodes optiques	38
2	Caractérisation du transistor HEMT GaN GH25 d'UMS	40
2.1	Mesures DCT par impulsion de grille	40
2.1.1	Description du banc de mesure	41
2.1.2	Influence de la tension de grille	44
2.1.3	Influence de la tension de drain	45
2.1.4	Influence de la largeur d'impulsion	45
2.1.5	Extraction de l'énergie d'activation	46
2.2	Mesures DCT par impulsion de drain	49
2.3	Mesures de paramètres [S] basse fréquence	50
2.4	Mesures de bruit basse fréquence	51
2.5	Comparaison des signatures de pièges extraites	53
3	Nouvelle méthode de caractérisation des pièges basée sur le concept de pièges lents/ pièges rapides	54
3.1	Concept de pièges lents et pièges rapides	54
3.2	Mesures I-V impulsionnelles spécifiques dans le but de séparer les types de pièges	56
3.3	Explication physique du remplissage des pièges lents	57
3.3.1	Hypothèse des deux niveaux de pièges.	57
3.3.2	Hypothèse du TAT (Trap-Assisted Tunneling).	62
3.4	Mesure du courant de fuite de grille entre les électrodes GD et GS	65
4	Modélisation CAO des effets de pièges	67
4.1	Modèle compact du HEMT existant à XLIM	67
4.2	Modèle des pièges rapides	67
4.3	Nouveau modèle de pièges lents	68
4.4	Réglage du modèle	69
4.5	Validation en régime grand signal	72
5	Conclusion	73

Chapitre III Architectures d'amplificateurs de puissance large bande à rendement amélioré **74**

1	Introduction	75
1.1	Amplificateurs à classes sinusoïdales : classes A/AB/B/C	75
1.2	Classes non-sinusoïdales : F et F inverse	80
1.2.1	Classe F	80
1.2.2	Classe F inverse : F^{-1}	82
1.3	Classes continues : J, F continue et F inverse continue	84
2	Revue des amplificateurs de puissance forte puissance en bande X	91
2.1	Exemples d'amplificateurs GaN MMIC en bande X	91
2.2	Exemples d'amplificateurs GaN MMIC couvrant les bandes C à X	91
3	Techniques d'augmentation du rendement	93

3.1	La modulation de tension : le suivi d’enveloppe	94
3.2	La modulation de charge : le Doherty et le LMBA	95
4	Principe du LMBA appliqué à l’augmentation de la bande passante totale d’un amplificateur	103
4.1	Réalisation d’un démonstrateur sur PCB	103
4.1.1	Conception de la carte	103
4.1.2	Simulation des performances	106
4.1.3	Résultats de mesure	115
4.2	Simulations du LMBA intégré en technologie GaN GH25	124
4.2.1	Étude du transistor	124
4.2.2	Conception de coupleurs hybrides intégrés	125
4.2.3	Réalisation du circuit	129
4.2.4	Simulation grand signal du système complet	132
5	Conclusion	133
Chapitre IV Conception d’un amplificateur de puissance reconfigurable		135
1	Introduction	136
2	Cahier des charges de l’amplificateur	137
3	Conception d’un amplificateur large bande [4-12] GHz	138
3.1	Dimensionnement et polarisation du transistor	138
3.2	Étude petit signal	139
3.3	Etude grand signal : charges optimales en puissance et rendement	142
3.4	Conception des réseaux d’adaptation	145
3.4.1	Adaptation en sortie	145
3.4.2	Adaptation en entrée	145
3.5	Résultats de simulation post-layout	146
4	Conception d’un amplificateur bande étroite [8-10] GHz	148
4.1	Exemple : Amplificateur Thales MAGNUS 20 W Bande X	148
4.2	Dimensionnement et polarisation	149
4.3	Conception d’un combineur de puissance large bande intégré	150
4.3.1	Dimensionnement	151
4.4	Conception d’un circuit d’adaptation inter-étage large bande	153
4.5	Conception du circuit d’adaptation d’entrée	155
4.6	Résultats de simulation post-layout	157
4.6.1	Stabilité grand signal	157
5	Architectures reconfigurables étudiées	158
5.1	Architecture parallèle	158
5.2	Architecture “court-circuit”	159
5.3	Architecture à réseaux d’adaptation commutés	160
5.4	Architecture à impédance de charge modulée	161
6	Conclusion	162
Conclusion générale		163
Bibliographie		169

Table des figures

I.1	Exemples de radars à balayage électronique commerciaux : (a) le Rafale et (b) le Searchmaster®. Source : Thales.	4
I.2	Diagramme classique d'un émetteur-récepteur radio-fréquence.	5
I.3	Schéma simplifié d'un amplificateur RF.	6
I.4	Concept de droite/cycle de charge d'un amplificateur RF.	7
I.5	Théorème de Bode-Fano.	8
I.6	Comparaison des performances tension de claquage VS fréquence de transition pour différentes technologies de semi-conducteurs. Source : DARPA-projet NEXT.	12
I.7	Formation d'un puits de potentiel au niveau d'une hétéro-jonction entre deux semi-conducteurs (SC) à bandes interdites différentes avant (a) et après (b) la juxtaposition. Les SC sont supposés homogènes (composition, dopage) et électriquement neutres afin d'éviter de courber les bandes autrement que par l'hétéro-jonction. [1]	14
I.8	Structure (a) et diagramme de bande d'énergie (b) d'un transistor HEMT.	14
I.9	Simulation physique du niveau d'énergie de la bande de conduction d'une structure HEMT, relevée sous la grille à différents niveaux de polarisation V_{GS} . Le canal 2D se forme lorsque le niveau de la bande de conduction est inférieur à 0 eV (Niveau de Fermi). Source : [2].	15
I.10	Répartition des charges au sein de la structure HEMT AlGaIn/GaN.	17
I.11	Comparaison de la puissance de sortie d'amplificateurs de puissance en fonction de la technologie utilisée. Une tendance pour chaque technologie est indiquée. Source : "Power Amplifiers Performance Survey 2000-Present," [En ligne] https://gems.ece.gatech.edu/PA_survey.html	19
I.12	Comparaison du rendement (PAE) d'amplificateur bande C à X en fonction de la technologie utilisée. Source : "Power Amplifiers Performance Survey 2000-Present," [En ligne] https://gems.ece.gatech.edu/PA_survey.html	20
II.1	Localisations possibles des pièges dans la structure HEMT GaN.	24
II.2	Exemple de transistor HEMT GaN avec plaque de champ. Source : [3].	26
II.3	Représentation des effets "Knee-Walkout", "Current-Collapse" et augmentation du R_{ON} [4].	27
II.4	Effet Kink [5].	28
II.5	Dispersion fréquentielles basses fréquences dues aux effets de pièges.	29

II.6	Décalage de la tension de pincement pour différentes valeurs max de V_{DS} . Source : [6].	30
II.7	Caractérisations I/V impulsionnelles.	33
II.8	Principe de corrélation de la DLTS avec la température.	35
II.9	Exemple de DCT [7].	36
II.10	Conductance de sortie $(\text{Re}(Y_{22})/\omega)$ mesurée à différentes températures [8].	37
II.11	Etude du bruit basse fréquence en sortie d'un transistor GaN [9].	37
II.12	Photographie de transistors brasés sur capots de cuivre pour permettre les mesures sous pointes.	40
II.13	(a) Photographie et (b) schéma du banc de mesure transitoire du courant.	41
II.14	Séquence complète comprenant le reset des pièges, le remplissage ainsi que la mesure de la constante de temps des pièges.	43
II.15	Exemple de mesure réalisée avec le prêt de l'analyseur de courant Keysight CX3324. Mesure réalisée sur un transistor GH25 ($W=6 \times 75 \mu\text{m}$). Conditions : $V_{GS,off} = -18\text{V}$, $t_{fill} = 400 \mu\text{s}$ et $V_{DS,on} = 15\text{V}$	43
II.16	Mesures DCT à différents $V_{GS,off}$. Conditions : $V_{DS}=15\text{V}$, $t_{fill}=1\text{ms}$ et $T=25^\circ\text{C}$	44
II.17	Mesures DCT à différents V_{DS}	45
II.18	Mesures DCT à différents t_{fill}	46
II.19	Mesures DCT à différentes températures de chuck et signature du piège.	47
II.20	Mesures DCT à différentes températures de chuck.	48
II.21	Banc de mesure DCT coté drain.	49
II.22	Mesures DCT avec impulsions coté drain à différentes températures de chuck.	49
II.23	Banc de caractérisation basse fréquence.	50
II.24	Mesures [S] à différentes températures de chuck.	51
II.25	Banc de caractérisation du bruit basse fréquence.	51
II.26	Mesure du bruit basse fréquence d'un transistor $6 \times 75 \mu\text{m}$. $I_{DS}=65\text{mA}$, $V_{DS}=10\text{V}$	52
II.27	Tracé d'Arrhenius des deux pièges. Energie d'activation : $T_1=0.57\text{eV}$, $T_2=0.51\text{eV}$. Section de capture : $T_1=4.21 \cdot 10^{-16}\text{cm}^{-2}$, $T_2=9.86 \cdot 10^{-15}\text{cm}^{-2}$	52
II.28	Comparaison des tracés d'Arrhenius obtenus par les différentes méthodes de caractérisation présentes au laboratoire.	53
II.29	Circuits utilisés pour l'étude des mécanismes de capture/émission des pièges.	54
II.30	Séquence d'impulsions de tension appliquée lors d'une séquence I-V.	55
II.31	Simulation modélisant l'état de remplissage des deux types de pièges au cours d'une séquence de mesure I-V impulsionnelle en fonction du profil des impulsions envoyées. Rouge = tension aux bornes de la capacité modélisant les pièges rapides. Bleu = tension aux bornes de la capacité modélisant les pièges lents.	55
II.32	Comparaison des mesures I-V séparant la contribution des deux types de pièges. Rouge : courbe de référence (sans piège). Bleue : courbe avec les pièges lents. Mauve : courbe avec les pièges rapides. Vert : courbe avec tous les pièges.	56
II.33	Diagramme de bandes d'énergie représentant les deux pièges de barrière.	57
II.34	Diagramme des bandes d'énergie - Échanges de porteurs entre les pièges et le canal.	59
II.35	Comparaison entre les mesures DCT et les résultats obtenus à partir des équations différentielles d'échange de charges entre deux niveaux de pièges. Conditions : $V_{GS,off}=-18\text{V}$, $V_{DS}=10\text{V}$, $t_{fill}=100\text{ms}$ à $T=100^\circ\text{C}$	61

II.36	Présence d'effets tunnel des électrons à partir de l'électrode de grille du HEMT GaN.	62
II.37	Schéma du processus d'effet tunnel assisté par les pièges (TAT) [10].	63
II.38	Mesures statiques et dynamiques des courants de fuite de grille.	65
II.39	Topologie du modèle GAMM.	67
II.40	Modèle de pièges rapides implémenté dans GAMM.	68
II.41	Modèle de pièges lents.	68
II.42	Nouveau modèle compact complet, incorporant les deux types de pièges. . .	70
II.43	Réglage des pièges lents sur les mesures de courant de fuite de grille.	70
II.44	Réglage des pièges lents sur les mesures I-V impulsionnelles dédiées aux pièges lents.	71
II.45	Réglage des pièges rapides sur les mesures [S] BF et I-V spécifiques aux pièges rapides.	71
II.46	Vérification du modèle à l'aide de mesures I-V activant tous les pièges. Conditions : polarisation de repos -4V/20V et $V_{DS,max} = 30$ V.	72
II.47	Validation du modèle en comparaison avec des mesures loadpull à 4 GHz, sur charge optimale en PAE.	72
III.1	Architecture basique d'un amplificateur de puissance.	75
III.2	(a) Polarisation du transistor sur la courbe de transfert $I_D = f(V_G)$. (b) Droite de charge représentée sur le réseau de sortie $I_D = f(V_D)$ correspondante à la classe AB-profonde. (c) Représentation de l'excursion maximale en tension d'entrée (classe AB-prof). (d) Représentation de l'excursion maximale en tension de sortie (classe AB-prof). (e) Représentation de l'excursion maximale en courant de sortie (classe AB-prof) et de l'angle de conduction (2σ).	77
III.3	Formes d'ondes (a) et impédances intrinsèques idéales (b) pour la classe B. .	79
III.4	Influence d'une capacité $C_{DS} = 430$ pF sur l'impédance extrinsèque idéale pour la classe B entre 1 et 12 GHz.	79
III.5	Formes d'ondes et impédances idéales pour la classe F.	81
III.6	Formes d'ondes (a) et cycle de charge (b) extrinsèques idéales pour la classe F avec une capacité $C_{DS} = 430$ pF.	81
III.7	Formes d'ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe F^{-1}	83
III.8	Formes d'ondes (a) et cycle de charge (b) extrinsèques idéales pour la classe F inverse avec une capacité $C_{DS} = 430$ pF.	83
III.9	Comparaison des cycles de charge intrinsèques de chacune des classes présentées précédemment.	84
III.10	Formes d'ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe J.	86
III.11	Formes d'ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe $F_{continue}$	87
III.12	Formes d'ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe $F_{continue}^{-1}$	88
III.13	Comparaison des cycles de charge intrinsèques de chacune des classes "continues" présentées précédemment.	88
III.14	Amplificateur de puissance GaN couvrant la bande 8.8-10.8 GHz, $P_{OUT,min} = 30$ W avec une $PAE_{min} = 38\%$ [11].	91

III.15	Amplificateur de puissance GaN distribué couvrant la bande 6-18 GHz, $P_{OUT,min} = 10W$ avec une $PAE_{min} = 15%$ [12].	92
III.16	Amplificateur de puissance GaN arborescent couvrant la bande 6-18 GHz, $P_{OUT,min} = 6W$ avec une $PAE_{min} = 13%$ [13]. Dimensions : 6.4x3.1 mm.	92
III.17	Illustration du PAPR d'un signal.	93
III.18	Illustration de la modulation de charge et de polarisation en fonction du recul en puissance (OBO).	94
III.19	Illustration de la variation dynamique du rendement du PA. La zone rouge correspond à la puissance perdue par dissipation thermique. (a) Alimentation fixe. (b) Alimentation à suivi d'enveloppe. Source : [14]	94
III.20	Illustration de l'amplificateur Doherty et de son rendement associé.	95
III.21	Illustration de l'amplificateur LMBA basé sur l'amplificateur équilibré.	96
III.22	Schéma et annotations utilisées pour le calcul du lieu d'impédance qui peut être couvert.	97
III.23	Illustration du lieu d'impédance qui peut être couvert en sortie des transistors A et B en fonction du niveau de puissance injectée sur le port isolé du coupleur de sortie.	101
III.24	Représentation des impédances optimales à présenter en fonction de la fréquence. Comparaison entre paramètres S conjugués, impédances issues de la datasheet et impédances issues des simulations sourcepull/loadpull.	104
III.25	Extraction des équations modélisant les impédances optimales à présenter en fonction de la fréquence. Les impédances sont issues des simulations sourcepull/loadpull.	105
III.26	Résultats de simulation grand signal d'un transistor seul matché idéalement à la fréquence fondamentale en entrée et en sortie entre 6 et 12 GHz.	105
III.27	Layout de l'amplificateur LMBA conçu sur PCB alumine.	106
III.28	Simulations grand signal d'une branche de l'amplificateur. $P_{disp} = 30$ dBm.	107
III.29	Etude de la stabilité grand signal d'une branche de l'amplificateur équilibré à 11 GHz : valeurs des pôles et zéros pour une perturbation entre 4.4 GHz et 6.6 GHz (autour de $f_0/2$). La partie réelle des pôles reste négative indiquant une absence d'instabilité	107
III.30	Illustration de la simulation électrique complète de l'amplificateur LMBA effectuée sous ADS.	108
III.31	Étude de l'impact de la phase du générateur auxiliaire. Simulation à 10 GHz.	109
III.32	Étude de l'impact de la phase du générateur auxiliaire. Simulation à 7 GHz.	110
III.33	Impact du générateur auxiliaire sur la bande passante. Optimisation en bande étroite pour $\phi_{aux} = 120^\circ$	111
III.34	Impact du générateur auxiliaire sur la bande passante. Optimisation en large bande pour $\phi_{aux} = 210^\circ$	112
III.35	Impact du générateur auxiliaire sur le recul en puissance. Simulation réalisée à 10 GHz, $\phi_{aux} = 120^\circ$	113
III.36	Étude de l'impact du suivi d'enveloppe. Simulation réalisée à 10 GHz, $\phi_{aux} = 120^\circ$	114
III.37	Banc de mesure paramètres [S].	115
III.38	Résultats de mesure des paramètres [S] du LMBA et comparaison avec les simulations.	116
III.39	Banc de mesure grand signal.	117

III.40	Algorithme du banc de mesure grand signal.	118
III.41	Détermination de la puissance d'entrée maximale sur la voie principale.	119
III.42	Puissance de sortie en fonction de la puissance et de la phase du générateur auxiliaire.	120
III.43	Influence du générateur auxiliaire sur la puissance de sortie, la PAE et le courant de drain à 9.5 GHz.	121
III.44	Influence du générateur auxiliaire sur la puissance de sortie et la PAE à 10 et 10.5 GHz.	122
III.45	Comparaison entre mesures et simulations effectuées avec et sans générateur auxiliaire.	123
III.46	Étude du transistor 8x125 μm GH25. Polarisation : -3.2V/30V.	124
III.47	Topologies de coupleurs hybrides à ramification planaire.	125
III.48	Topologies de coupleurs de Lange.	125
III.49	Dimensionnement électrique du coupleur : choix du nombre de doigts.	126
III.50	Réalisation du coupleur de Lange à 4 doigts.	127
III.51	Techniques pour réduire l'encombrement du coupleur de Lange.	127
III.52	Comparaison des différentes réalisations du coupleur de Lange.	128
III.53	Performances EM du coupleur de Lange à 4 doigts réalisé.	129
III.54	Schéma d'un transistor avec les réseaux d'adaptation d'entrée et de sortie.	130
III.55	Performances d'une branche de l'amplificateur.	131
III.56	Layout de l'amplificateur LMBA intégré.	132
III.57	Simulations post-layout de l'amplificateur LMBA MMIC.	133
IV.1	Spécifications de l'amplificateur de puissance.	137
IV.2	Simulations I/V d'un transistor UMS GH25, dimension de grille 8x125 μm	138
IV.3	Extrait du Design Guide GH25	139
IV.4	Simulation [S] d'un transistor 8x125 à $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Le conjugué des impédances du transistor est tracé pour visualiser le lieu d'impédance à atteindre.	139
IV.5	Simulation [S] pour différentes tailles de transistors de 8x35 à 8x155 μm à $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Le conjugué des impédances du transistor est tracé pour visualiser le lieu d'impédance à atteindre.	140
IV.6	Estimation des capacités intrinsèques d'un transistor polarisé à $V_{GS} = -3.2V$ et $V_{DS} = 30V$	140
IV.7	Influence du réseau RC de grille sur la stabilité petit signal du transistor 8x125 μm . Rappel : Stabilité petit signal garantie si $k > 1$	141
IV.8	Schéma électrique utilisé pour la simulation [S].	141
IV.9	Mise en évidence des plans intrinsèques et extrinsèques sur le modèle non linéaire simplifié d'un transistor HEMT.	142
IV.10	Simulations Sourcepull/Loadpull d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les contours de PAE sont tracés avec un pas de 2 points tandis que les contours de puissances sont tracés à 1 dB d'intervalle.	143
IV.11	Simulation Loadpull d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les impédances sont de-embedder dans le plan intrinsèque du transistor.	143

IV.12 Simulations des formes d'ondes d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les impédances aux harmoniques sont laissées sur un court circuit.	144
IV.13 Évolution des impédances de source et de charge extrinsèques optimales à la fréquence fondamentale d'un transistor 8x125 entre 4 et 12 GHz, $V_{GS} = -3.2V$ et $V_{DS} = 30V$	145
IV.14 Layout de l'amplificateur large bande.	146
IV.15 Simulations [S] post-layout de l'amplificateur entre 3 et 13 GHz.	146
IV.16 Simulations grand signal post-layout de l'amplificateur entre 4 et 12 GHz. $P_{dispo} = 27$ dBm.	147
IV.17 Analyse de la stabilité grand signal avec STAN [®] . $P_{dispo} = 27$ dBm.	147
IV.18 Simulations [S] et grand signal post-layout de l'amplificateur MAGNUS.	148
IV.19 Evolution de l'impédance de charge en sortie du dernier étage de l'amplificateur MAGNUS.	149
IV.20 Architecture de l'amplificateur délivrant une puissance de 10 Watt en bande X.	150
IV.21 Schéma représentant la conception d'un balun avec un rapport de transformation égal à 1.	151
IV.22 Dessin du balun réalisant la fonction combineur de puissance 2 voies vers 1.	151
IV.23 Dessin du balun réalisant la fonction combineur de puissance 4 voies vers 1.	152
IV.24 Performances grand signal du combineur de sortie (4 voies vers 1).	153
IV.25 Dessin du circuit d'adaptation inter-étages de l'amplificateur.	154
IV.26 Performances grand signal du circuit inter-étages.	155
IV.27 Dessin du circuit d'adaptation en entrée du premier étage de l'amplificateur.	155
IV.28 Performances grand signal du circuit d'adaptation d'entrée.	156
IV.29 Dessin de l'amplificateur 10 Watt bande X complet.	157
IV.30 Performances grand signal de l'amplificateur complet. Simulations post-layout.	158
IV.31 Proposition d'un amplificateur bimode complet : solution parallèle.	159
IV.32 Proposition d'un amplificateur bimode complet : solution court-circuit.	160
IV.33 Proposition d'un amplificateur bimode complet : solution à réseaux d'adaptation commutés.	160
IV.34 Proposition d'un amplificateur bimode complet : solution à charge modulée active.	161
IV.35 Proposition d'un amplificateur LMBA avec déphaseurs et modulateurs contrôlés numériquement.	166

Liste des tableaux

I.1	Propriétés électriques de quelques matériaux semi-conducteurs à T=300 K [15].	11
II.1	Résumé de quelques caractérisations de pièges issues de la littérature.	39
II.2	Description des variables de probabilités d'échange de porteurs entre les niveaux d'énergie.	60
III.1	Principales caractéristiques des classes sinusoïdales.	77
III.2	Comparaison des impédances et performances théoriques associées aux classes de fonctionnement.	89
III.3	Comparaison d'amplificateurs GaN en bande X.	92
III.4	Comparaison d'amplificateurs GaN couvrant les bandes C à X.	93
IV.1	Comparaison de combineurs de puissance en bande X.	153

Introduction générale

Le XXI^{ème} siècle peut être désigné comme le siècle de la 3^{ème} révolution industrielle, ou de la « révolution numérique ». Peu à peu, des produits électroniques intelligents à adaptation rapide et personnalisables remplacent des systèmes analogiques (ou mécaniques) jugés trop rigides et vieillissants; que ce soit pour les marchés civil (5^{ème} génération de télécommunications, internet des objets, usine du futur), spatial (diminution de la taille et du poids des satellites, lancement de micro et nano satellites) ou militaire (radar actif à balayage électronique, brouillage, contre-mesure). Du point de vue de la conception des circuits électroniques, un accent particulier est mis sur les contraintes en rapidité (montée en fréquence, élargissement des bandes passantes), en autonomie (augmentation du rendement énergétique, télé-alimentation, récupération d'énergie) et en compacité (miniaturisation, structures empilées multicouches/3D).

Depuis plus de vingt ans, les communautés scientifique et industrielle investissent dans le développement de technologies de transistors à base de nitrure de gallium (GaN) ayant, de par leurs propriétés physiques, des performances inégalables par les technologies classiques à base de silicium. La fonderie UMS (United Monolithic Semiconductors) fait figure de proue en Europe avec sa production à grande échelle de transistors GaN sur substrat carbure de silicium (SiC). Ces travaux de thèse s'intéressent à la conception d'un amplificateur de puissance intégré, élément indispensable à toute émission électromagnétique, à partir de composants en technologie GaN GH25 d'UMS.

Cette thèse s'est effectuée dans le cadre du projet DEFIS RF (DEsign of Future Integrated Smart-RF transceivers) qui vise à renforcer et développer la recherche et la formation pour la conception de terminaux Radio-Fréquence agiles du futur. Elle est co-encadrée par l'université de Limoges et l'université de Bordeaux. La première moitié du doctorat s'est déroulée au sein du laboratoire Xlim, sur le site de Brive-la-Gaillarde, tandis que la seconde partie s'est poursuivie au laboratoire de l'intégration du matériau au système (IMS) à Talence. Au cours de ces trois années, les échanges réguliers avec Thales DMS ainsi que le prêt d'instruments de mesure par AMCAD-Engineering et Keysight Technologies témoignent

de l'intérêt des industriels vis-à-vis des travaux effectués dans le domaine du GaN pour l'amplification de puissance hyperfréquences.

Les travaux présentés ici portent, dans un premier temps, sur la caractérisation et la modélisation des effets basses fréquences limitatifs des transistors à base de GaN (phénomènes de piégeage/dé-piégeage de porteurs au sein de la structure). Dans un second temps, la thèse présente une architecture innovante d'amplificateur de puissance large bande à rendement amélioré ainsi que la conception d'un amplificateur de puissance intégré pour modules d'émission/réception aéroportés.

Le chapitre 1 présente d'abord les caractéristiques électriques nécessaires aux transistors candidats à l'amplification de puissance radiofréquence (RF). L'intérêt du transistor à haute mobilité électronique (HEMT) GaN est ensuite développé dans une deuxième partie. Enfin, une revue de l'état de l'art permet de situer les technologies GaN par rapport aux autres technologies disponibles sur le marché.

Le chapitre 2 porte sur la caractérisation et la modélisation des effets de pièges impactant les transistors GaN. Dans un premier temps, une étude approfondie menée sur des transistors caractérisés sous pointes permet d'introduire le concept de pièges lents/pièges rapides. Une séquence de mesures I-V impulsionnelles bien spécifique est développée afin d'isoler la contribution de chaque type de pièges. Ensuite, une proposition d'analyse des phénomènes physiques de remplissage des pièges lents au sein du transistor est menée. Cette étude débouche sur la création d'un modèle simple et compact dédié aux pièges lents. Ce modèle, réalisé sur un logiciel de conception assistée par ordinateur (Keysight ADS), vient se greffer au modèle XLIM déjà existant du HEMT GaN afin de l'améliorer.

Le chapitre 3 traite des architectures d'amplificateur de puissance permettant une amplification large bande à rendement amélioré. Basé sur la revue des solutions déjà existantes, un détournement de l'architecture « amplificateur équilibré à charge modulée (LMBA) » est proposé afin de ré-adapter dynamiquement l'amplificateur en fonction de la bande de fréquences visée. Pour prouver ce concept, un démonstrateur employant des transistors GaN encapsulés est réalisé sur circuit imprimé tandis que la faisabilité d'une version intégrée est étudiée en simulation.

Le chapitre 4 détaille la conception d'un amplificateur de puissance reconfigurable intégré en technologie GaN. Le système final, composé de deux amplificateurs, vise à satisfaire les besoins d'un module d'émission aéroporté : commuter entre un mode large bande faible puissance et un mode bande étroite forte puissance tout en conservant un rendement optimisé.

Le manuscrit se termine par la présentation de quelques perspectives de recherche pouvant faire suite à ces travaux.

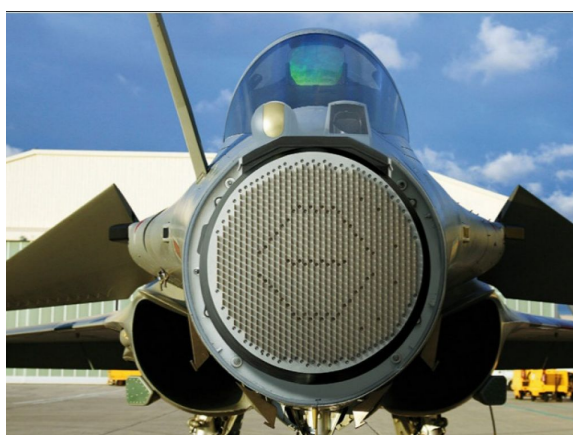
Transistors pour l'amplification RF

Sommaire

1	Introduction	4
2	Paramètres déterminants pour la technologie d'amplificateurs de puissance	6
3	Matériaux semi-conducteurs pour la conception de transistors	10
4	Structures des transistors à haute mobilité électronique (HEMT)	13
4.1	Cas particulier du HEMT à base de GaN	16
5	Comparaison des performances d'amplificateurs RF en fonction de la technologie utilisée	19
6	Conclusion	20

1 Introduction

Un module d'émission/réception pour systèmes aéroportés permet, entre autres, des fonctions de type radar (e.g., détection et suivi de plusieurs cibles à la fois, téléguidage de missiles) ou guerre électronique (e.g., brouillage, contre-mesure). On peut citer, par exemple, le radar à balayage électronique de l'avion de chasse Rafale ou l'équipement radar aéroporté Searchmaster[®], voir figure I.1.



(a) Antenne Radar située dans le nez du Rafale.



(b) Radar Searchmaster[®] qui se déploie sous l'aéronef.

FIGURE I.1 – Exemples de radars à balayage électronique commerciaux : (a) le Rafale et (b) le Searchmaster[®]. Source : Thales.

Le balayage électronique actif (AESA) est réalisé en utilisant un réseau composé de centaines d'antennes agiles [16] (à diagramme de rayonnement reconfigurable). Derrière chacun de ces éléments rayonnants se trouve un module d'émission/réception radiofréquences. La puissance perdue, à cause du mauvais rendement énergétique d'un module, est multipliée par le nombre total de blocs nécessaires au système complet. Toute cette énergie inutilisée est évacuée sous forme de chaleur, ce qui impose la présence d'un système de refroidissement. Or, dans ce contexte d'électronique embarquée, il faut que les systèmes soient de faible poids et agiles. Par conséquent, l'efficacité énergétique est critique.

L'élément le plus énergivore du module d'émission/réception est l'amplificateur de puissance radiofréquence. Il fournit la puissance nécessaire au signal utile afin d'augmenter sa portée d'émission. Souvent dénommé par son acronyme anglais : PA (ou HPA pour une amplification forte puissance, > 1 Watt), il est mis en évidence au sein d'une chaîne de communication classique sur la figure I.2.

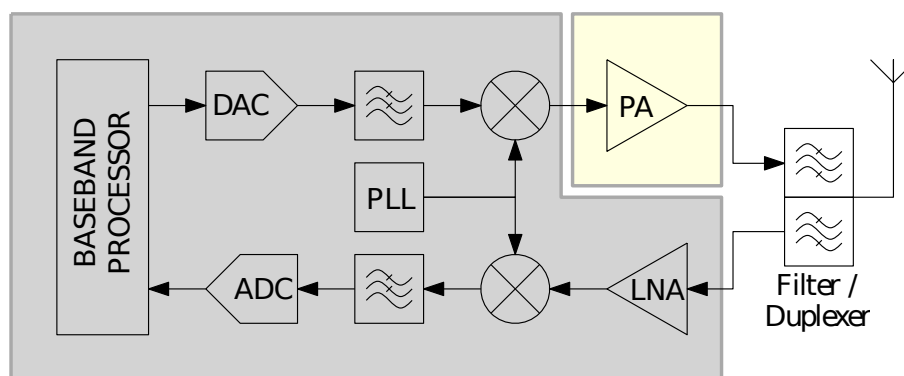


FIGURE I.2 – Diagramme classique d'un émetteur-récepteur radio-fréquence.

Dans le cas idéal, le PA ne modifie pas l'intégrité de l'information portée par le signal qu'il amplifie et il lui transmet intégralement la puissance qu'il consomme. En réalité, le PA présente de nombreuses non-linéarités qui viennent limiter ses performances. Les cellules amplificatrices de base peuvent se matérialiser soit par des tubes à vide ou bien des transistors à l'état solide. Pour réduire la taille et le poids des modules, l'amplificateur de puissance est conçu avec des transistors à l'état solide qui forment un circuit intégré monolithique hyperfréquence (MMIC). Il existe plusieurs filières technologiques de transistors à l'état solide, le choix de celle-ci dépendra principalement du cahier des charges de l'application et de son budget.

Ce chapitre permet de justifier le choix d'utilisation d'une technologie à base de nitrure de gallium (GaN) pour la réalisation de circuits amplificateurs de puissance hyperfréquence. Tout d'abord, la liste des caractéristiques électriques importantes pour l'amplification RF est dressée. Elle attire l'attention sur les grandeurs à surveiller lors d'un choix de technologie. Ensuite, une comparaison des propriétés électriques des principaux matériaux semi-conducteurs est réalisée afin de mettre en évidence les avantages du GaN. En troisième lieu, la structure de transistor AlGaN/GaN est étudiée. La formation d'un gaz 2D d'électrons à l'hétérojonction permet d'atteindre des mobilités électroniques bien supérieures aux structures de transistors classiques. Enfin, une comparaison des densités de puissance et fréquences maximales atteintes par la technologie GaN par rapport aux autres technologies sera dressée en quatrième et dernière partie.

2 Paramètres déterminants pour la technologie d'amplificateurs de puissance

L'amplificateur de puissance est illustré de la manière la plus simple sur la figure I.3. On nomme les éléments le constituant comme suit :

- Q_e et Q_s sont les réseaux d'adaptation d'entrée et de sortie,
- Z_{in} et Z_{out} sont les impédances optimum d'entrée et de sortie du transistor,
- I_{DC} , V_{DD} et V_{GG} sont les courants et tensions moyens du transistor.

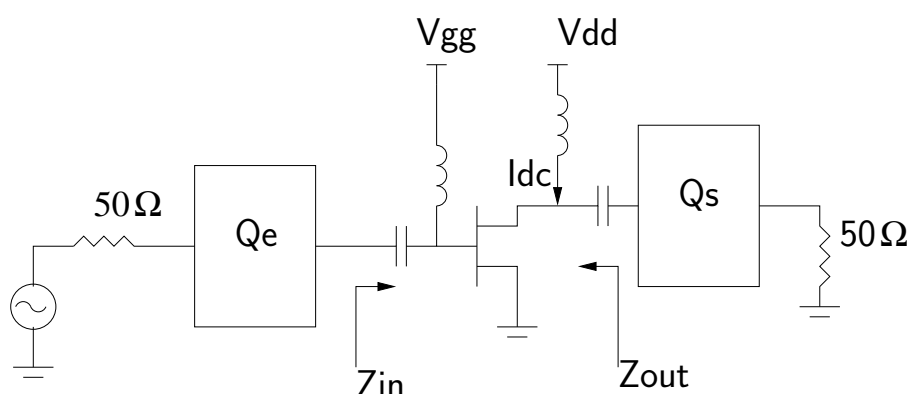


FIGURE I.3 – Schéma simplifié d'un amplificateur RF.

Le concept de droite/cycle de charge, illustré sur la figure I.4 permet d'explicitier les limitations de la technologie sur un amplificateur de puissance à l'état solide. C'est une représentation du fonctionnement dynamique du transistor (représentation temporelle avec des signaux sinusoïdaux).

On veut estimer la puissance et le rendement en fonction des grandeurs électriques du cycle de charge. Le courant non linéaire de sortie (de la forme d'une arche de sinusoïde) peut être décomposé en série de Fourier :

$$I_{DS}(\theta) = I_{DC} + I_{DS1} \cdot \cos \theta + I_{DS2} \cdot \cos 2\theta + \dots$$

La tension de sortie est purement sinusoïdale :

$$V_{DS}(\theta) = V_{DC} + V_{DS1} \cdot \cos \theta$$

Le transistor est adapté si la puissance de sortie au fondamental $|\frac{1}{2}V_{DS1} \cdot I_{DS1}|$ est maximisée, c'est à dire lorsque les tensions et courants ont une excursion maximum :

- $V_{DS1} = \frac{1}{2}(V_{br} - V_{knee})$
- $I_{DC} = \alpha_0 I_{Dmax}$
- $I_{DS1} = \alpha_1 I_{Dmax}$: $\alpha_{0,1}$, dépend de l'angle de conduction 2σ

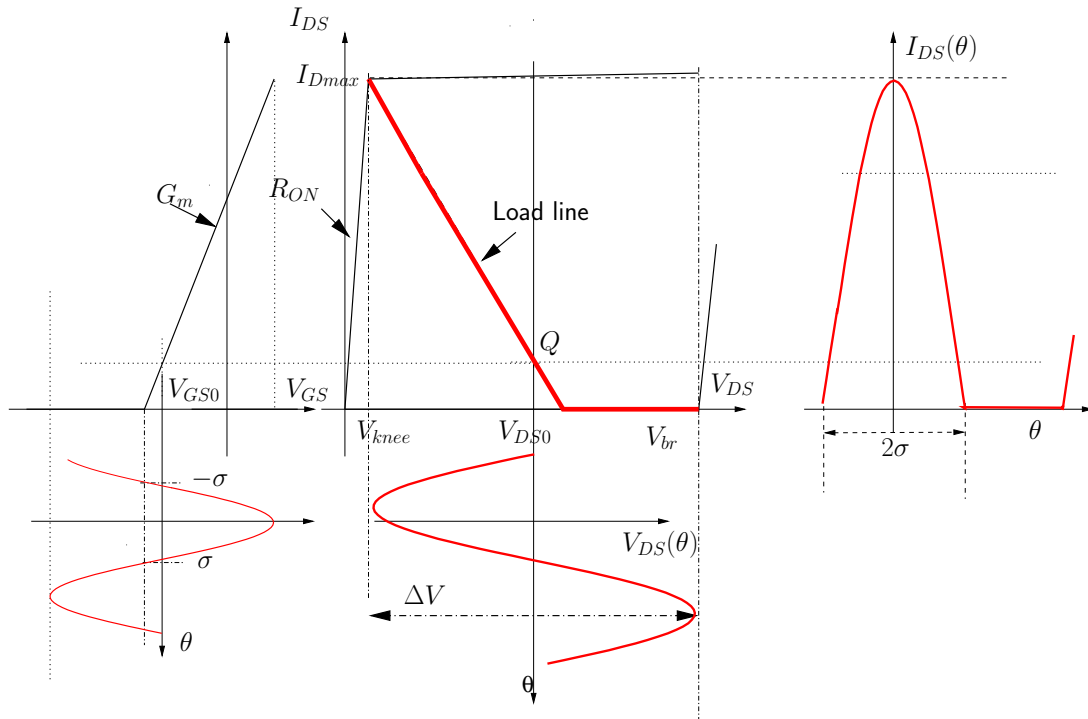


FIGURE I.4 – Concept de droite/cycle de charge d'un amplificateur RF.

On peut exprimer l'impédance optimum à présenter au transistor :

$$Z_{opt} = \frac{V_{DS1}}{I_{DS1}}$$

et les les puissances et rendements :

- Puissance de sortie $P_{out} = \frac{1}{2} V_{DS1} \cdot I_{DS1} = \frac{\alpha_1}{4} (V_{br} - V_{knee}) \cdot I_{Dmax}$
- Puissance au continu : $P_{DC} = \alpha_0 \cdot V_{DD} \cdot I_{Dmax} = \frac{\alpha_0}{2} (V_{br} + V_{knee}) \cdot I_{Dmax}$
- rendement de drain : $\eta = \frac{P_{out}}{P_{DC}} \approx \frac{\alpha_1}{2\alpha_0}$ if $V_{knee} \ll V_{br}$
- rendement en puissance ajoutée : $\eta_A = \frac{P_{out} - P_{in}}{P_{DC}}$

On remarque donc que le rendement et la puissance de sortie du transistor sont directement limités par les grandeurs :

- Le courant maximum I_{Dmax} ,
- La tension de claquage V_{br} (Breakdown) qui limitera la tension de polarisation.
- La résistance "ON", ou de façon équivalente, la tension de coude $V_{knee} = R_{ON} \cdot I_{Dmax}$.

Fort de ce constat, une première figure de mérite pour un transistor exprime la puissance maximum extractible pour une technologie de transistor à impédance donnée ou le niveau d'impédance à réaliser pour une puissance donnée.

$$P_{out} \cdot Z_{opt} = \frac{1}{8} (V_{br} - V_{knee})^2$$

La tension de claquage joue un rôle prépondérant dans cette figure de mérite. Par ailleurs une tension de claquage élevée permet de réduire les capacités d'entrée et de sortie du transistor à puissance de sortie donnée.

Deuxièmement, si $W(mm)$ est le développement de grille total et $I_{du}(A/mm)$ le courant de drain unitaire, alors les capacités d'entrée et de sortie du transistor sont données par :

$$\left. \begin{aligned} I_{Dmax} &\propto W \cdot I_{du} \\ C_{in} &\propto W \cdot C_{inu} \Rightarrow |Z_{in}| = \frac{1}{C_{in}\omega} \end{aligned} \right\} \Rightarrow |Z_{in}| \propto \frac{I_{Du}}{C_{inu}\omega} \cdot \frac{\alpha_1(V_{br} - V_{knee})}{4P_{out}}$$

$$C_{out} \propto W \cdot C_{outu} \Rightarrow C_{out} \propto \frac{C_{outu}}{I_{du}} \frac{4P_{out}}{\alpha_1(V_{br} - V_{knee})}$$

Donc une technologie permettant un courant unitaire élevé conjugué à une tension de claquage élevée permet de réduire les capacités d'entrée et de sortie.

Cela a aussi un effet bénéfique sur la bande passante atteignable. On le démontre en utilisant le théorème de Bode-Fano, qui estime la bande passante maximale atteignable en adaptant une charge quelconque (modélisée par un réseau RC) vers une résistance pure (R_s) par l'intermédiaire d'un réseau purement réactif et sans perte, voir figure I.5(a). Le théorème permet de calculer la bande passante atteignable en fonction de la valeur du réseau RC, pour un niveau de coefficient de réflexion (Γ_{min}) souhaité, comme indiqué sur la figure I.5(b).

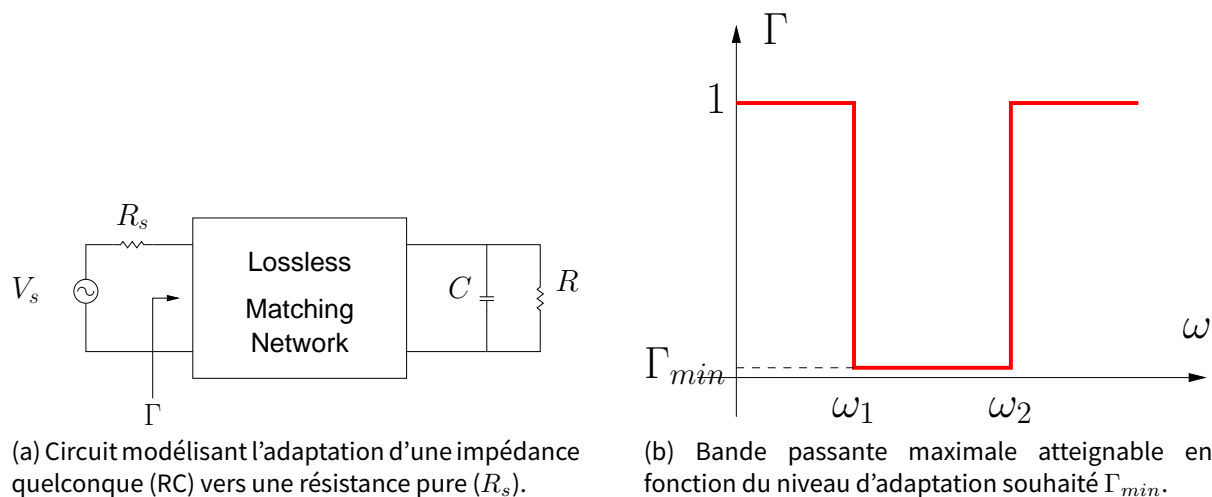


FIGURE I.5 – Théorème de Bode-Fano.

Les équations de Bode-Fano [17] sont :

$$\int_0^{\infty} \ln \frac{1}{|\Gamma|(\omega)} d\omega \leq \frac{\pi}{RC}$$

$$\Gamma_{min} \geq e^{-\frac{\pi}{RC(\omega_2 - \omega_1)}}$$

A la vue des équations précédentes, on constate qu'une réduction des capacités d'entrée et de sortie du transistor permet une augmentation de la bande passante atteignable par le réseau d'adaptation. Donc un composant ayant un courant unitaire et une tension de claquage élevés va aussi avoir une adaptation naturellement plus large bande.

D'un point de vue fréquentiel, deux grandeurs sont à surveiller :

- la fréquence de transition (f_t) : fréquence à laquelle le gain en courant du transistor vaut 0 dB (1 en linéaire). Elle montre les performances du transistor en petit signal. La fréquence maximale d'utilisation du transistor est généralement fixée à $f_t/3$.

Expression analytique :

$$f_t = \frac{g_m}{2\pi C}$$

avec la transconductance g_m , proportionnelle au courant maximum unitaire.

- fréquence maximale d'oscillation (f_{max}) : fréquence à laquelle le gain en puissance du transistor vaut 0 dB (1 en linéaire).

Expression analytique :

$$f_{max} \approx \sqrt{\frac{f_t}{8\pi RC}}$$

Encore une fois, on constate que plus les capacités d'entrée et de sortie sont petites, plus la fréquence de fonctionnement du transistor augmente.

En résumé, une technologie candidate à l'amplification de puissance doit avoir :

- la tension de coude (ou la résistance R_{ON}) la plus faible possible,
- la tension de claquage la plus élevée possible,
- le courant unitaire de drain le plus élevé possible (et donc les capacités d'entrée et de sortie les plus faibles possibles).

Dans la prochaine partie, nous étudierons les grandeurs électriques intrinsèques permettant de satisfaire ces besoins en matière de génération de puissance ainsi que les besoins de montée en fréquence pour différents semi-conducteurs.

3 Matériaux semi-conducteurs pour la conception de transistors

Les propriétés électriques des matériaux semi-conducteurs fixent de manière intrinsèque les performances du transistor pour l'amplification RF. Le choix du matériau et/ou du composé utilisé va dépendre du rapport performances/prix que le fondeur cherche à atteindre.

Le tableau I.1 présente les principales caractéristiques électriques de quelques matériaux et composés binaires semi-conducteurs (colonnes III, IV et V de la classification périodique des éléments) qui sont utilisés dans les structures de transistors pour l'amplification RF. Ce tableau intègre également des figures de mérite (FoM) permettant d'évaluer les grandeurs requises à l'amplification de puissance.

La FoM de Johnson [18], eq. I.1, prenant en compte le champ de claquage (E_c) ainsi que la vitesse de saturation (v_{sat}), permet de mettre en évidence la capacité du transistor à tenir la puissance à haute fréquence.

$$FoM_{Johnson} = \frac{E_c \cdot v_{sat}}{2\pi} \quad (I.1)$$

La FoM de Baliga [19], eq. I.2, prenant en compte la permittivité relative (ou constante diélectrique) statique (ϵ_r), la mobilité des porteurs (μ_e) et le gap d'énergie (E_g), permet quand à elle d'évaluer les pertes du transistor à l'état ON.

$$FoM_{Baliga} = \epsilon_r \cdot \mu_e \cdot E_g^2 \quad (I.2)$$

La fréquence de coupure intrinsèque du gain en courant, ou fréquence de transition (f_t), pour les transistors à longueur de grille (L_g) inférieure à 1 μm est donnée par l'équation I.3 [20]. A longueur de grille équivalente, la montée en fréquence est conditionnée par la largeur de bande interdite et la mobilité des porteurs.

$$f_t = \frac{q\mu_n E_g}{L_g^2} \quad (I.3)$$

En regardant le tableau I.1, on constate que les composés semi-conducteurs des colonnes III et V de la classification (InP, GaAs, GaN, AlN) présentent de meilleures caractéristiques pour l'amplification forte puissance hyperfréquences que ceux de la colonne IV (Si et Ge, sauf le diamant). Toujours dans l'optique d'obtenir une forte puissance de sortie, une constante diélectrique (ϵ_r) plus faible diminue les capacités parasites du transistor, ce qui permet d'augmenter son développement de grille, c'est encore un avantage pour les matériaux à grand gap.

Propriétés	Si	Ge	InP	GaAs	GaN	AlN	4H-SiC	Diamant (C)
Colonne	IV	IV	III-V	III-V	III-V	III-V	IV	IV
Énergie de bande interdite E_g (gap) (eV)	1.12	0.66	1.35	1.42	3.39	6.2	1.1	5.6
Paramètre de maille (Å)	5.43	5.66	5.87	5.65	3.19	3.11	3.07	3.57
Mobilité électronique μ_n ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	1500	3900	5500	8500	990	135	650	2200
Mobilité des trous μ_p ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	600	1900	200	400	200	14	105	1800
Vitesse de saturation v_{sat} (10^7 cm/s)	1	0.7	1	1	2.5	2.1	2	2.7
Champ de claquage V_{bk} (10^5 V/cm)	3	1	5	4	33	84	35	50
Permittivité relative statique ϵ_r	11.7	16.2	12.5	12.9	8.9	9.1	9.7	5.7
Conductivité thermique ($\text{W} \cdot \text{cm}^{-1} \cdot \text{°C}^{-1}$)	1.45	0.59	0.67	0.46	1.3	2	4.5	20
FoM de Johnson [18] (Normalisé / Si)	1	0.23	1.7	1.3	27.5	58.8	23	45
FoM de Baliga [19] (Normalisé / Si)	1	1.25	5.7	10	4.6	2.1	0.35	17.9

TABLE I.1 – Propriétés électriques de quelques matériaux semi-conducteurs à T=300 K [15].

Par ailleurs, le paramètre de maille entre AlN/GaN et Si est fortement différent, donc l'intégration du GaN sur substrat Si n'est pas aisée, c'est un défaut qui limite la co-intégration des procédés GaN et Si sur la même puce. Il est plus favorable d'utiliser un substrat SiC ou diamant, ayant également une conductivité thermique bien supérieure à celle du Si. Il existe quand même des croissances de GaN sur substrat Si, rendues possibles en insérant une couche de transition (voir www.epigan.com par exemple).

Sur la figure I.6, on constate que les technologies GaN dominent les autres technologies en matière de tension de claquage. Les efforts sont maintenant réalisés sur la montée en fréquence des transistors (diminution de la longueur de grille).

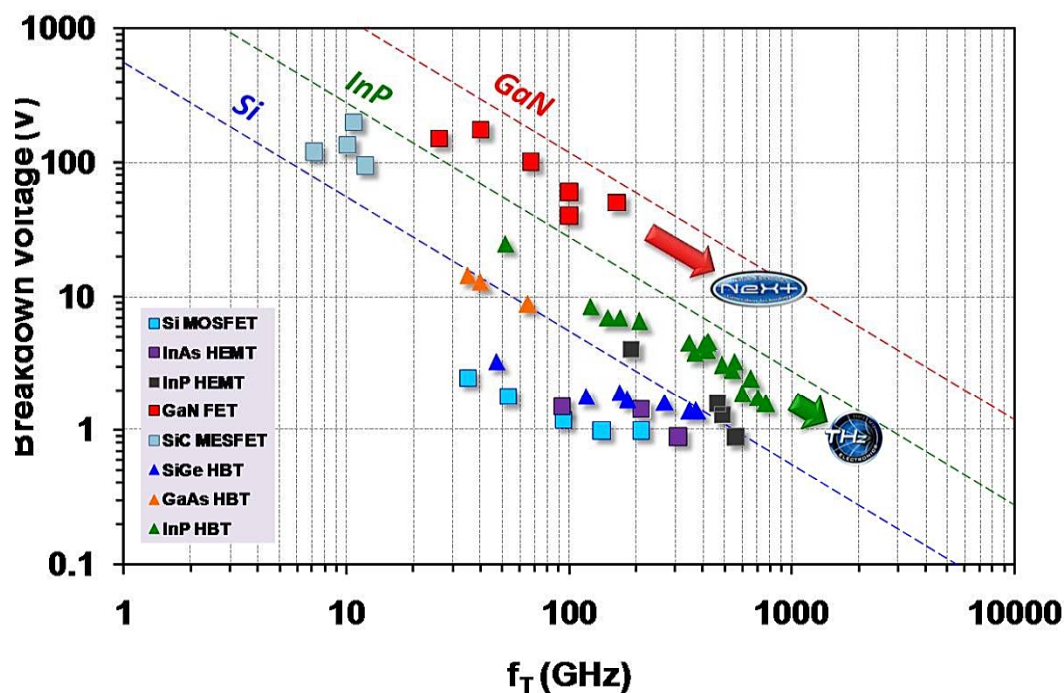


FIGURE I.6 – Comparaison des performances tension de claquage VS fréquence de transition pour différentes technologies de semi-conducteurs. Source : DARPA-projet NEXT.

En résumé, le silicium, semi-conducteur historique du transistor, possède des propriétés électriques tout à fait honorables pour l'amplification radiofréquence faible et moyenne puissance. Néanmoins, les matériaux III-V à base d'azote (notamment le GaN et l'AlN) apparaissent comme candidats parfaits pour l'amplification forte puissance. On constate que les procédés industriels, formatés à la production de transistors à base de silicium, commencent à adapter les lignes de fabrication dans le but de co-intégrer les différents matériaux semi-conducteurs [21, 22].

4 Structures des transistors à haute mobilité électronique (HEMT)

Le transistor HEMT (High Electron Mobility Transistor) est inventé en 1980 par le japonais Takashi Mimura au Fujitsu Lab [23]. Au cours de la même année, un HEMT a été inventé parallèlement en France [24] au sein du laboratoire Thomson (ancêtre de Thales Research and Technology). Le HEMT repose sur la même approche que le MESFET classique (jonction Schottky) sauf que l'on ne fait pas transiter les porteurs dans le semi-conducteur dopé. A la place, on utilise les propriétés de l'hétéro-jonction de deux semi-conducteurs à largeur de bande interdite différente afin d'accumuler des électrons à l'interface entre les deux semi-conducteurs et ainsi former un gaz d'électrons bidimensionnel (2DEG). Les propriétés de transport dans ce gaz d'électrons sont bien supérieures à celles d'électrons libres dans un semi-conducteur. Du fait de la jonction Schottky, les transistors HEMT sont "normally-on" (c'est à dire passants lorsqu'aucune tension est appliquée sur la grille) et nécessitent une polarisation négative sur la grille pour pincer le canal.

Cette nouvelle approche permet d'atteindre une mobilité électronique plus élevée et un facteur de bruit HF plus faible que dans un MESFET classique. De plus, la différence de gap entre les deux semi-conducteurs qui composent l'hétéro-jonction constitue un nouveau degré de liberté (en plus du niveau de dopage et de la tension d'alimentation) pour optimiser les performances des composants en forte puissance et aux hyperfréquences.

Afin de comprendre la formation du puits de potentiel à l'interface des deux semi-conducteurs, il est intéressant d'étudier les diagrammes de bandes d'énergie. Sur la figure I.7, on représente le diagramme d'énergie d'une hétéro-jonction composée d'un matériau grand gap et d'un matériau ayant un plus petit gap ($\approx E_{grandgap} - 0.4$ eV). La figure I.7(a) présente le cas où les matériaux sont juxtaposés mais toujours séparés d'une distance infinitésimale. Leurs niveaux de Fermi (E_F) ainsi que la position des bandes de conduction sont différents. Sur la figure I.7(b), ces deux semi-conducteurs sont associés et, à l'équilibre thermodynamique, les niveaux de Fermi s'alignent. Apparaît alors un delta d'énergie ΔE_C entre les deux bandes de conduction. Au niveau de la jonction, les niveaux d'énergie se courbent et apparaît alors un puits de potentiel.

Une représentation de la structure HEMT classique est donnée sur la figure I.8(a). On associe le diagramme d'énergie de la structure (modélisé sous la grille) afin de bien montrer l'effet de chaque couche. La structure de base consiste à empiler une couche "barrière" d'AlGaAs dopée n ($E_g = 1.74$ eV) sur une couche "buffer" GaAs non dopée ($E_g = 1.42$ eV). Afin d'améliorer la mobilité des électrons, on insère une très fine couche barrière AlGaAs non dopée (appelée espaceur) entre la couche barrière dopée et le canal quantique 2D qui va empêcher l'interaction entre les électrons du canal et les impuretés de la couche dopée.

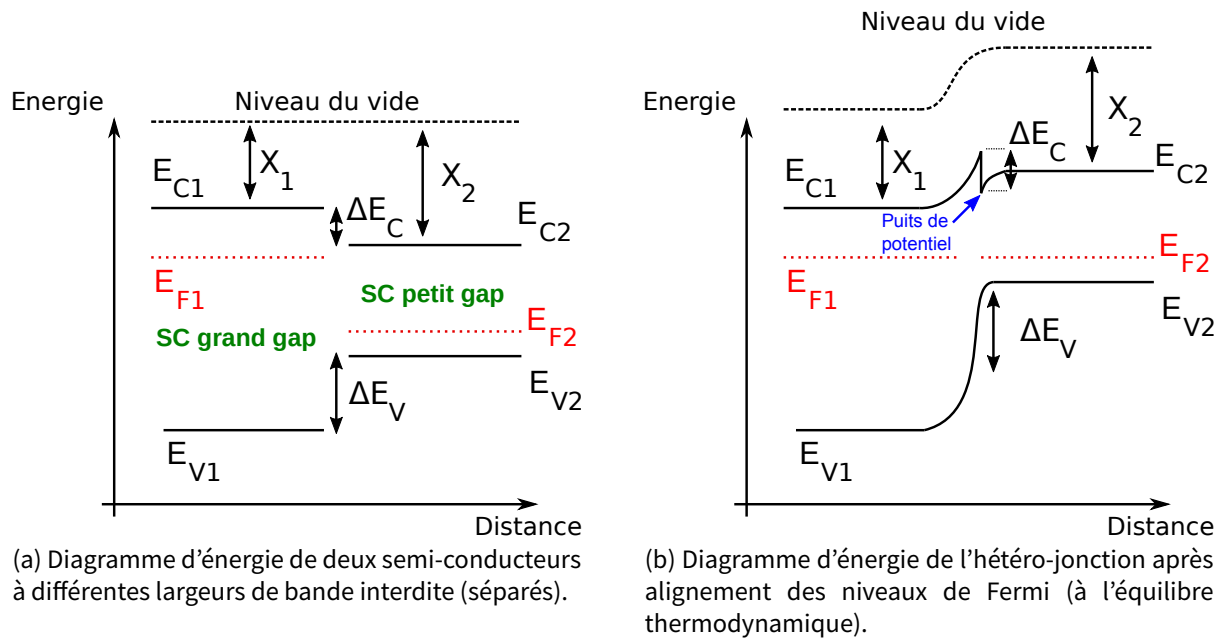


FIGURE I.7 – Formation d'un puits de potentiel au niveau d'une hétéro-jonction entre deux semi-conducteurs (SC) à bandes interdites différentes avant (a) et après (b) la juxtaposition. Les SC sont supposés homogènes (composition, dopage) et électriquement neutres afin d'éviter de courber les bandes autrement que par l'hétéro-jonction. [1]

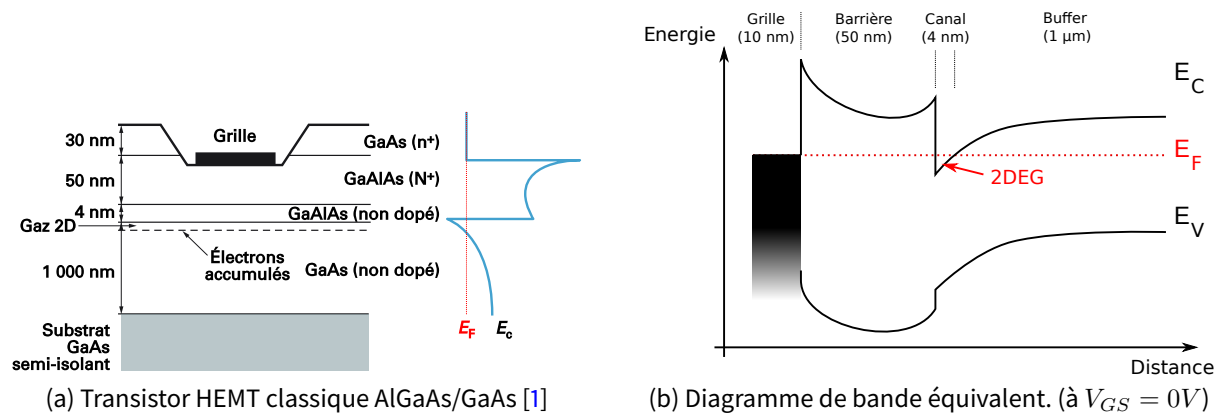


FIGURE I.8 – Structure (a) et diagramme de bande d'énergie (b) d'un transistor HEMT.

Sur la figure I.8(b), le diagramme d'énergie est représenté plus clairement en effectuant une coupe sous la grille de la structure. Dans la grille (métallique), le niveau de Fermi est égal au niveau de conduction. Après la jonction Schottky, le niveau de conduction augmente jusqu'au niveau de la barrière dopée. Dans la barrière, la bande de conduction se courbe avant de remonter avant l'hétéro-jonction (on voit ici que la largeur de la barrière doit respecter un minimum). Vient ensuite le puits de potentiel sur une couche de quelques nm à l'hétéro-jonction. Enfin, afin d'assurer le bon confinement des électrons dans le gaz 2D, une couche tampon (buffer) est nécessaire avec un niveau d'énergie de bande de conduction qui

remonte (ceci est possible en dopant le buffer de manière graduelle à l'aide d'un accepteur de type Fer ou Carbone).

En résumé, les électrons associés aux donneurs de la couche AlGaAs sont transférés dans la couche non dopée GaAs. Cette séparation dipolaire occasionne la présence d'un puits de potentiel coté GaAs dont le niveau va être modulé par la tension V_{GS} appliquée sur la grille du composant. Pour un $|V_{GS}| < |V_P|$, le puits de potentiel va se retrouver en dessous du niveau de Fermi, ce qui crée la formation du gaz d'électron (le composant n'est conducteur qu'à cet endroit là).

La conduction du transistor est donc modulée par la tension de grille. Le HEMT AlGaIn/GaN fonctionne exactement sur le même principe (en remplaçant l'AlGaAs par l'AlGaIn et le GaAs par le GaN). Sur la figure I.9 est présenté le résultat de la simulation physique (TCAD) d'une structure HEMT AlGaIn/GaN effectuée à différentes tension V_{GS} . Le niveau de la bande de conduction relevé sous la grille du transistor est tracé pour chaque tension. On remarque que plus on pince le transistor (i.e. plus V_{GS} est négatif), plus le niveau de la bande de conduction monte au-dessus du niveau de Fermi, ce qui se traduit par la diminution de la densité de porteur dans le 2DEG.

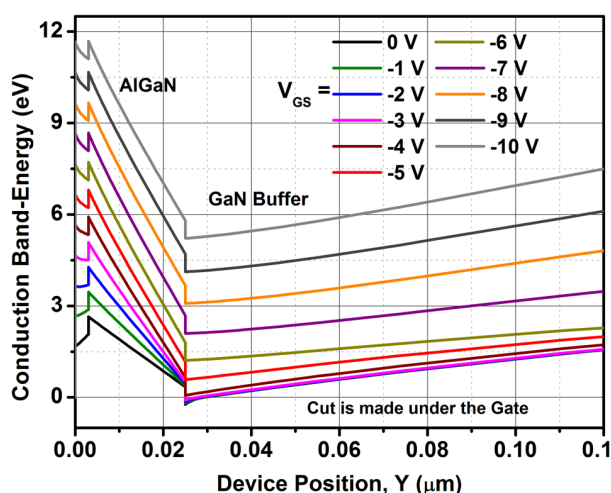


FIGURE I.9 – Simulation physique du niveau d'énergie de la bande de conduction d'une structure HEMT, relevée sous la grille à différents niveaux de polarisation V_{GS} . Le canal 2D se forme lorsque le niveau de la bande de conduction est inférieur à 0 eV (Niveau de Fermi). Source : [2].

La mobilité électronique au sein du gaz bidimensionnel peut ainsi théoriquement atteindre $9\,000\text{ cm}^2.V^{-1}.s^{-1}$ à 300 K au lieu de 4 000 dans un canal de MESFET. Ces fortes valeurs de mobilité impliquent une fréquence de coupure f_t plus élevée (plus de 100 GHz pour des longueurs de grille L_g de $0.15\ \mu\text{m}$) et un meilleur facteur de bruit (aussi bas que 0.5 dB à 12 GHz). Le principal inconvénient des HEMT à base d'arséniure de gallium est la faible densité de puissance. La largeur de gap du GaAs étant faible, sa tension de claquage

est proche de 20V. Pour les applications nécessitant des puissances de sorties élevées, l'utilisation de matériaux à plus grand gap est nécessaire (comme l'AlN ou le GaN).

Le HEMT pseudo-morphique est une variante du HEMT classique, avec un canal composé d'un SC ayant un gap d'énergie plus petit que celui de la couche "buffer" (Par exemple l'utilisation du InGaAs dans le cas d'un HEMT AlGaAs/GaAs [25]). Ceci permet d'augmenter le ΔE_C du puits quantique et donc la densité de charges dans le canal (i.e. la puissance de sortie) et la mobilité des porteurs (si le SC choisi dans le canal a une mobilité supérieure au SC de la couche buffer). En revanche, on introduit un désaccord de maille qui doit être maîtrisé ($\approx 1\%$) pour éviter les dislocations dans la structure qui vont nuire aux performances.

C'est actuellement, pour les composants à effet de champ à hétéro-structure, la technologie industrielle la plus développée, associant des caractéristiques de choix en faible bruit et en densité de puissance (Voir site web des fondeurs TriQuint, Qorvo et UMS).

4.1 Cas particulier du HEMT à base de GaN

Le HEMT à base de nitrure de gallium (GaN) tire parti de sa structure cristalline de type Wurtzite, à fort caractère piézoélectrique. En effet, comparé aux cristaux cubiques (zinc blinde) typiques des semi-conducteurs (Si, Ge, InP et GaAs), tous les composés nitrures (i.e. les SC alliant un élément de la colonne III et l'azote (symbole N)) sont à cristaux hexagonaux (Wurtzite). Une des propriétés de ce cristal est que le barycentre des charges positives et celui des charges négatives ne coïncident pas, ce qui génère une polarisation spontanée du matériau. Cette polarisation ne se manifeste qu'aux interfaces du composé. Une autre propriété du cristal de Wurtzite est l'effet piézoélectrique. Le désaccord de mailles entre deux cristaux de Wurtzite vient appliquer une contrainte physique au niveau de l'hétéro-jonction sur les matériaux et cela génère une polarisation piézoélectrique qui vient s'ajouter ou se retrancher à la polarisation spontanée.

Comme indiqué sur la figure I.10, la polarisation piézo-électrique vient s'ajouter à la polarisation spontanée dans la couche barrière AlGaN qui est en "tension physique" entre deux couches de GaN. Cette somme de polarisations (spontanée + piézo.) permet d'augmenter la quantité de charges positives à l'hétéro-jonction, ce qui vient "renforcer" le gaz 2D d'électrons à l'interface sans nécessairement introduire de dopants type donneurs dans la couche barrière.

Sur la figure I.10 les charges minoritaires sont représentées en transparence afin de visualiser les polarisations des interfaces après addition de toutes les contributions [26].

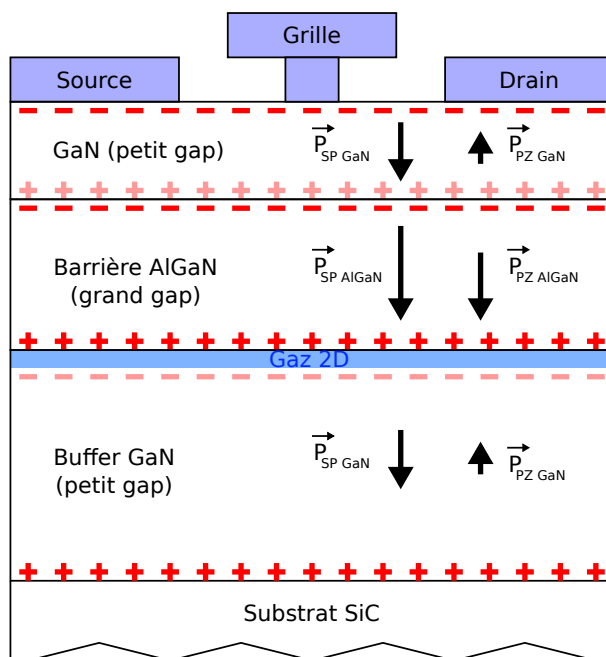


FIGURE I.10 – Répartition des charges au sein de la structure HEMT AlGaIn/GaN.

Au passage, on note que la polarisation spontanée génère une polarisation négative au sommet de la structure qui va, par compensation, engendrer des charges positives en surface (type donneurs) ayant un rôle néfaste sur la fiabilité du transistor (effets de pièges de surface). Afin de rendre cette surface moins sujette à la recombinaison de porteurs, une couche de passivation (souvent du SiN) est systématiquement appliquée sur les structures HEMT GaN, nous en reparlerons dans le chapitre 2.

A partir du diagramme de répartition des charges, on peut en déduire les champs électriques par le théorème de Gauss :

$$Div(\epsilon \vec{E}) = \rho \quad (1.4)$$

qui peut être simplifié en se ramenant à une seule dimension (sur l'axe Oy) :

$$\frac{\partial \epsilon E}{\partial y} = \rho \quad (1.5)$$

Il est alors possible de passer du diagramme de charges au diagramme des champs électriques en intégrant sur la distance y .

De la même manière, le diagramme d'énergie est obtenu en intégrant le champ électrique (sur l'axe Oy) à l'aide de la formule :

$$W(y) - W(0) = q \cdot \int_0^y E(y) dy \quad (1.6)$$

Connaissant le niveau d'énergie dans chaque zone de la structure, la densité de charges dans le canal 2D (nommée n_s) peut s'exprimer en fonction de V_{GS} et des paramètres de la structure :

$$n_s(V_{GS}, E_F) = \frac{C_0}{q}(V_{GS} - V_T) \quad (1.7)$$

avec

$$V_T = \Phi_{GaN} + \frac{E_F}{q} - \frac{qN_D}{2\epsilon_{AlGaN}}d_{AlGaN}^2 - \frac{\sigma_p d_{AlGaN}}{\epsilon_{AlGaN}} \quad (Volts) \quad (1.8)$$

la tension de pincement du transistor. Φ_{GaN} est la hauteur de barrière du GaN, σ_p la densité surfacique de charges de polarisation, d_{AlGaN} l'épaisseur de la couche d'AlGaN et C_0 la capacité par unité d'aire entre la grille et le gaz 2D.

L'équation 1.7 précédente donne la densité de porteurs en fonction de la tension Grille-Source mais aussi en fonction du niveau de Fermi E_F , que l'on ne connaît pas. Il faut alors calculer la fonction ($n_s(E_F)$) par la méthode de résolution auto-cohérente des équations de Poisson et de Schrödinger [26].

Le courant de drain est ensuite régi par l'équation :

$$I_{DS} = q.n_s.v(E).W \quad (1.9)$$

avec $v(E)$, la vitesse des électrons dans le canal en fonction du champ électrique (E) appliqué entre Drain et Source (égale à v_{sat} lorsque le transistor est en régime saturé, c'est à dire pour $V_{coude} < V_{DS} < V_{avalanche}$), et W le développement total du transistor.

Le fonctionnement du transistor à effet de champ est justifié : une tension appliquée sur la grille vient moduler le courant qui circule entre le drain et la source du transistor. Plus de détails sur les technologies de transistors HEMT GaN (« normally on » et « normally off ») sont à retrouver dans le manuscrit de thèse de L. Trinh Xuan [27].

En résumé, grâce au transport dans le gaz bidimensionnel et au confinement efficace dû au puits de potentiel profond limitant la propagation des fonctions d'onde des électrons dans la couche AlGaN, les mobilités électroniques constatées des HEMT GaN peuvent atteindre $2000 \text{ cm}^2.V^{-1}.s^{-1}$ à température ambiante avec des densités de porteurs libres de 10^{13} cm^{-2} , soit 2 à 5 fois supérieures à celles des HEMT à base de GaAs. Un état de l'art des technologies grand gap GaN et SiC est proposé dans [28].

Depuis 2007, le transistor InAlN(barrière)/AlN(espaisseur)/GaN(buffer) de l'entreprise III-V lab [29, 30] constitue une autre voie de R&D sur les HEMTs à base de GaN. En effet, l'hétérostructure InAlN/GaN a un meilleur accord de maille que l'AlGaN/GaN, ce qui permet de faire croître des couches barrières plus épaisses, et donc réduit les résistances série et augmente la fréquence de coupure du transistor (> 200 GHz). Des longueurs de grille de 100 nm [31] et même 55 nm [32] ont été atteintes à l'EPFL en 2010, augmentant sensiblement les f_t et f_{max} des transistors InAlN/GaN qu'ils développent.

Cependant, les composants à base de GaN sont sujets à des effets de pièges : des effets mémoire basses fréquences [33]. Inhérents au matériau et à sa faible maturité, ils sont susceptibles de limiter les performances électriques. Ces problèmes sont peu (ou pas) présents dans les technologies de transistors dopés (HBT, CMOS, MESFET GaAs), où les niveaux de dopage viennent masquer les effets des parasites dont la concentration est plus faible. Le chapitre 2 de ce manuscrit sera consacré à la caractérisation et modélisation des effets de pièges du HEMT GaN.

La prochaine partie de ce chapitre donne la comparaison d'amplificateurs de puissance en fonction de la technologie de transistors utilisée.

5 Comparaison des performances d'amplificateurs RF en fonction de la technologie utilisée

Le graphe I.11 récapitule plus de 2300 résultats d'amplificateurs de puissance réalisés avec différentes technologies. On distingue nettement que les technologies III-V sont une à deux décades plus hautes en puissance de sortie par rapport aux technologies Silicium. Si l'on compare le GaN au concurrent SiGe, la puissance de sortie n'est pas du même ordre de grandeur. Le SiGe peut s'avérer être un bon candidat comme étage "driver" mais pas comme amplificateur de puissance principal.

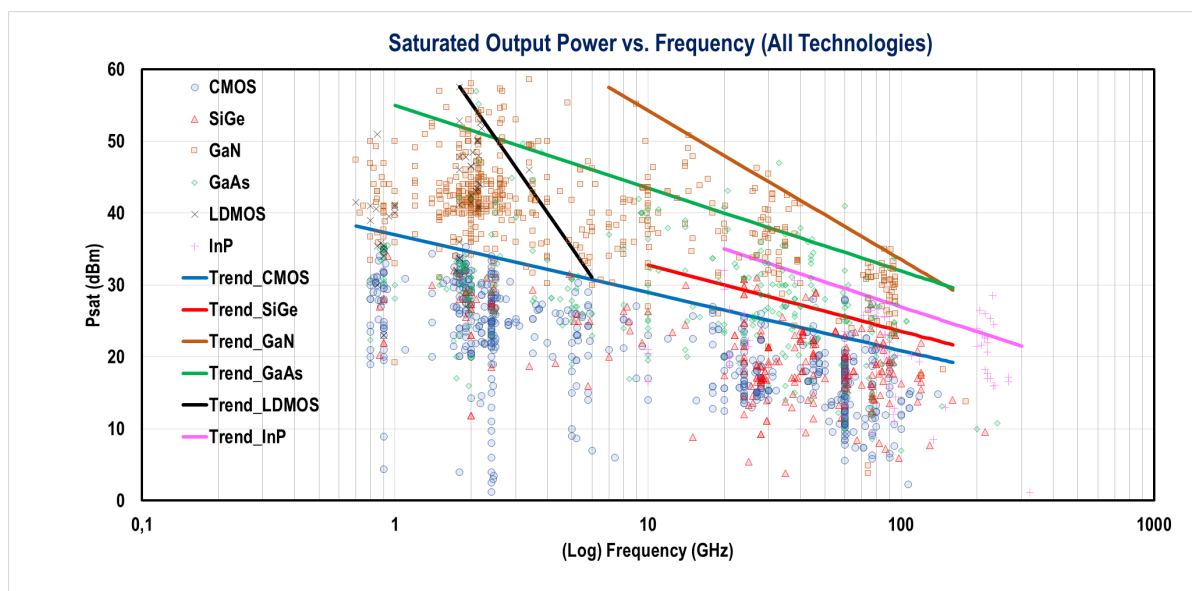


FIGURE I.11 – Comparaison de la puissance de sortie d'amplificateurs de puissance en fonction de la technologie utilisée. Une tendance pour chaque technologie est indiquée. Source : "Power Amplifiers Performance Survey 2000-Present," [En ligne] https://gems.ece.gatech.edu/PA_survey.html

En terme de rendement, sur la figure I.12, on constate que la PAE moyenne des III-V en bande C à X est autour de 40%. Encore une fois, les technologies SiGe et CMOS sont limitées en puissance et en rendement par rapport aux AsGa et GaN.

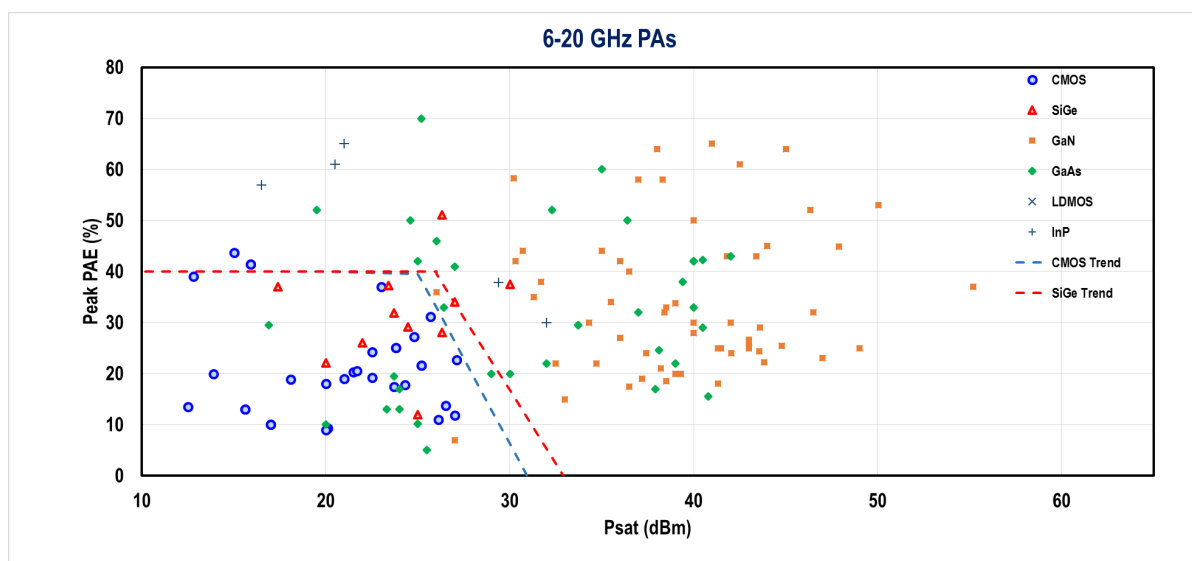


FIGURE I.12 – Comparaison du rendement (PAE) d'amplificateur bande C à X en fonction de la technologie utilisée. Source : "Power Amplifiers Performance Survey 2000-Present," [En ligne] https://gems.ece.gatech.edu/PA_survey.html

6 Conclusion

Au cours de ce chapitre, nous avons montré l'origine des performances inégales des amplificateurs à base de transistors HEMT GaN en plusieurs étapes. Tout d'abord, nous avons identifié les grandeurs électriques importantes pour l'amplification RF. Ensuite, en associant l'analyse des caractéristiques électriques des matériaux semi-conducteurs au fonctionnement de la structure HEMT GaN (formation du gaz 2D d'électrons et polarisation piézoélectrique), nous avons pu justifier les performances intrinsèques bien supérieures aux structures de transistors à base de Silicium.

Pour notre application, l'émission RF aéroportée, les transistors HEMT GaN apparaissent comme le choix parfait. Grâce à la forte densité de puissance, ces transistors permettent de réduire le nombre de cellules de puissance à additionner pour atteindre la puissance de sortie nécessaire à l'émission. De plus, ayant un meilleur rendement, l'énergie dissipée (sous forme de chaleur) sera moins conséquente. Parmi toutes les technologies GaN Européennes disponibles [34], nous travaillerons avec la technologie GH25-10 d'UMS [35].

Néanmoins, les performances prometteuses du HEMT GaN sont un peu ternies par les effets de pièges, néfastes au fonctionnement du transistor en grand signal. C'est ce que nous étudierons dans le prochain chapitre.

Caractérisation et modélisation des effets de pièges des transistors à base de GaN

Sommaire

1	Introduction	23
1.1	Mécanisme de piégeage	23
1.2	Localisation des pièges dans la structure HEMT GaN	24
1.3	Terminologie spécifique aux effets de pièges	26
1.4	Extraction de la signature d'un piège	30
1.5	Caractérisations classiques des effets de pièges	32
2	Caractérisation du transistor HEMT GaN GH25 d'UMS . . .	40
2.1	Mesures DCT par impulsion de grille	40
2.2	Mesures DCT par impulsion de drain	49
2.3	Mesures de paramètres [S] basse fréquence	50
2.4	Mesures de bruit basse fréquence	51
2.5	Comparaison des signatures de pièges extraites	53
3	Nouvelle méthode de caractérisation des pièges basée sur le concept de pièges lents/ pièges rapides	54
3.1	Concept de pièges lents et pièges rapides	54
3.2	Mesures I-V impulsionnelles spécifiques dans le but de séparer les types de pièges	56
3.3	Explication physique du remplissage des pièges lents	57
3.4	Mesure du courant de fuite de grille entre les électrodes GD et GS	65
4	Modélisation CAO des effets de pièges	67
4.1	Modèle compact du HEMT existant à XLIM	67
4.2	Modèle des pièges rapides	67

4.3	Nouveau modèle de pièges lents	68
4.4	Réglage du modèle	69
4.5	Validation en régime grand signal	72
5	Conclusion	73

1 Introduction

Les modèles classiques de FET, basés sur des extractions en petit signal et en mesures statiques, ne prédisent pas parfaitement le comportement grand signal du transistor HEMT GaN. En effet, la faible maturité des croissances par épitaxie à phase vapeur (MBE ou MOCVD) engendre la présence d'impuretés et de défauts du réseau cristallin qui créent des états énergétiques intermédiaires dans la bande interdite du matériau SC. Des porteurs libres peuvent alors être capturés pendant un certain temps dans ces niveaux d'énergie avant d'être libérés. On dit donc que ces niveaux profonds d'énergie constituent des "centres de recombinaison" ou encore "pièges". Un modèle CAO de HEMT GaN nécessite alors un modèle de FET prenant en compte les effets de pièges.

Au cours de ce chapitre, premièrement, les pièges, leurs localisations, les différents termes qui y sont associés ainsi que les méthodes de caractérisation et d'extraction de leur signature sont présentés.

Dans un deuxième temps, une interprétation des mesures statiques, dynamiques, temporelles et fréquentielles réalisées au cours de la thèse est effectuée.

Troisièmement, ces premières conclusions, associées à la littérature, permettent de définir une méthode de caractérisation qui sépare les deux types de pièges rencontrés dans le HEMT GaN au cours d'une séquence de mesure courant-tension (I-V) impulsionnelle spécifique.

Finalement, le développement du nouveau modèle de pièges améliorant le modèle GaN déjà existant à XLIM est décrit. Ce modèle est validé par comparaison avec des mesures en régime grand signal.

1.1 Mécanisme de piégeage

Les phénomènes de recombinaison de porteurs ne sont pas inconnus, Shockley en faisait l'étude dès 1957 dans les premières jonctions p-n [36]. Également, dans les années 1980, lorsque les technologies HEMT GaAs étaient peu matures, les niveaux de pièges ont pu tous être caractérisés et ont même été nommés [37, 38]. Ceci n'est pas encore possible pour les HEMT GaN car la densité de dislocations et la largeur de la bande interdite du GaN sont plus importantes donc les pièges peuvent être potentiellement plus profonds.

Il existe deux types de pièges : les donneurs et les accepteurs. Un piège donneur peut être chargé positivement ou neutre. Un piège accepteur peut être chargé négativement ou neutre.

- Un donneur est chargé positivement (= ionisé) lorsqu'il est vide et il est neutre lorsqu'il est plein.
- Un accepteur est neutre quand il est vide et il est chargé négativement (= ionisé)

lorsqu'il est plein.

La caractéristique principale des pièges est l'asymétrie entre le temps de remplissage (de quelques ns à quelques ms) et la vidange (de quelques ms à la centaine de s). Par conséquent : une brève séquence validant les conditions de remplissage entraîne une réduction dynamique des performances RF grand signal avec des constantes de temps bien plus lentes que les fréquences des signaux utiles. La réduction du courant de drain provoque une saturation précoce de la puissance de sortie et donc une diminution du gain et de la PAE. Une augmentation de la résistance R_{ON} (qui réduit l'excursion en tension de drain) est aussi constatée. Les pièges ajoutent donc des composantes basses fréquences (BF) au fonctionnement HF, c'est pourquoi on parle de dispersion (ou effet mémoire) BF.

De nombreuses thèses ont contribué à la simulation physique (TCAD) des phénomènes de pièges dans les transistors GaN, notamment : Mustapha Fakir (Université de Bordeaux 1, 2009), Marcus Gonschorek (Ecole Polytechnique Fédérale de Lausanne, 2010), Arunesh Goswami (Faculty of North Carolina, 2014) et plus récemment Nandha Kumar Subramani (XLIM, 2017). Malgré tout, il est à l'heure actuelle encore impossible de simuler complètement les phénomènes de piégeage/dé-piégeage dans les structures HEMT GaN.

1.2 Localisation des pièges dans la structure HEMT GaN

En considérant la structure la plus simple d'un HEMT (l'empilement d'une couche AlGaN sur une couche GaN) les pièges peuvent être générés à quatre endroits, comme indiqués sur la figure II.1 :

- au sommet de la couche AlGaN (pièges de surface),
- au milieu de la couche AlGaN (pièges de barrière),
- à l'interface AlGaN/GaN (piège d'interface),
- au milieu de la couche GaN (pièges de buffer).

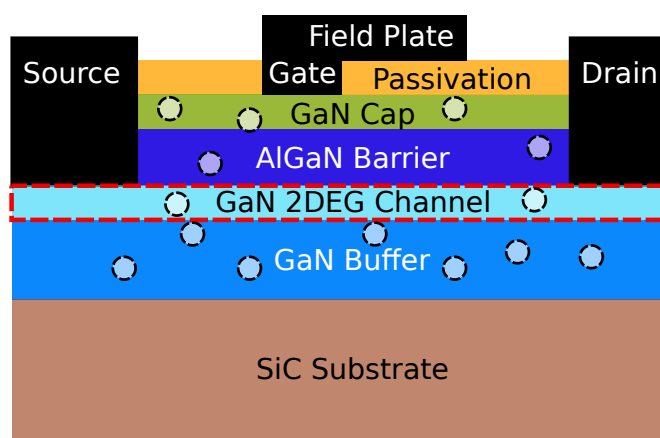


FIGURE II.1 – Localisations possibles des pièges dans la structure HEMT GaN.

Le substrat, qui est situé sous la couche GaN, peut aussi avoir une grande densité de défauts (notamment à cause du désaccord de maille), mais ces pièges ne sont pas pris en compte car ils sont considérés trop loin du canal 2D d'électrons pour avoir un effet significatif.

Afin de limiter l'impact des pièges de surface, les fondeurs disposent de plusieurs modifications techniques à apporter à leurs structures, chacune ayant ses avantages et inconvénients :

l'ajout d'une couche de GaN, appelée "cap layer". Cette couche permet de diminuer la présence de pièges type "donneurs de surface" de 25% [39]. La contrepartie est une diminution de la densité de porteurs dans le canal et donc une diminution du courant maximum. On constate aussi une légère dégradation de la tension de claquage [40].

l'ajout d'une couche de passivation. Elle est déposée au sommet de la structure pour "isoler" les pièges donneurs de surface (dus à la polarisation spontanée) [41]. Le diélectrique utilisé est généralement du SiN, pour son rapport coût/performance [42].

l'ajout d'une plaque de champ (en anglais "field plate"). Située au dessus de la grille, elle réduit le pic de champ à l'extrémité de la grille coté drain [43, 44]. Il a été montré, par simulations TCAD, qu'elle diminue l'ionisation des pièges en surface de l'AlGaIn [45, 46] et accroît la tension de claquage du transistor. En contrepartie, cette plaque de champ ajoute des effets capacitifs qui limitent les performances en haute fréquence [47].

l'utilisation d'une grille encastrée ("recessed gate"). La grille est "enfoncée" dans la couche barrière, ce qui a permis de réduire les effets de pièges de surface dans les HEMT GaAs [48]. Cette technologie est surtout utilisée pour contrôler la tension de pincement du transistor et pour faire des transistors GaN "normally-off" [49].

Concernant le buffer GaN, afin de diminuer le courant de fuite vers le substrat, il est important d'avoir un buffer isolant. Pour cela, il faut le doper p. Sauf que l'introduction de dopants vient générer des niveaux d'énergie dans la bande interdite : des pièges. Les deux principaux dopants utilisés sont le fer et le carbone. Il est connu que les pièges de buffer dus au Fer ont une énergie d'activation autour de 0.5-0.7 eV, avec une constante d'émission de l'ordre de la milliseconde (à 25°C) [50, 51]. Ceci a été montré par simulations TCAD [52]. Les pièges de buffer dus au Carbone sont supposés avoir une énergie d'activation de 0.9 eV [53].

Une solution alternative au dopage est l'ajout d'une couche "back-barrier" (de AlGaIn [54] ou de InGaIn [55] ou autre) sous le canal GaN qui permet de confiner les électrons et donc de diminuer les courants de fuite sans doper le buffer. Cette architecture est appelée transistor FET à double hétéro-structure (DHFET) [56].

La structure du HEMT d'UMS étant confidentielle, nous présentons sur la figure II.2 la structure d'un transistor HEMT générique. Il possède les améliorations : couche GaN Cap, passivation SiN et plaque de champ reliée à la source.

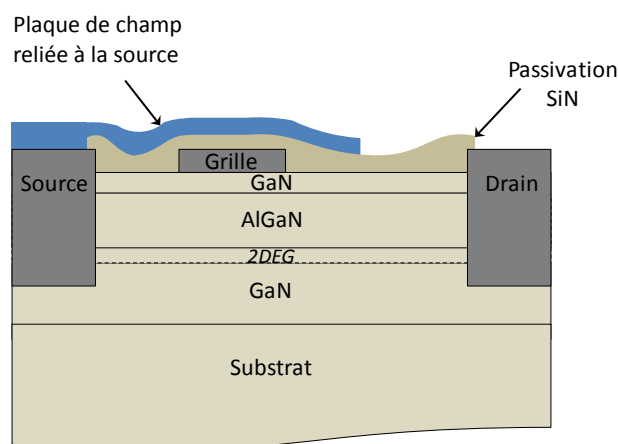


FIGURE II.2 – Exemple de transistor HEMT GaN avec plaque de champ. Source : [3].

1.3 Terminologie spécifique aux effets de pièges

Pour évoquer les effets de pièges, un certain nombre de termes spécifiques sont utilisés. Cette partie vise à les décrire et les illustrer sur des exemples de mesures issues de la littérature.

1.3.1 “Gate-Lag”

La notion de Gate-Lag (GL) est utilisée lorsqu’un effet de piège est déclenché par une variation de tension sur la grille du transistor. Le Gate-Lag a très vite été identifié comme résultant d’effets de pièges localisés en surface de l’AlGaN, entre la grille et le drain, car il a été fortement réduit par l’introduction de la couche de passivation, comme le montre [57]. Cependant, il existe toujours un effet GL, qui est activé pour des champs électriques plus importants (et donc des pièges plus profonds, en niveau d’énergie comme en localisation).

1.3.2 “Virtual gate”

Cette théorie, massivement approuvée, vise à expliquer l’origine du GL [57] : lorsque le transistor est pincé, les électrons qui “fuient” par la grille viennent remplir des pièges à proximité. Ceci provoque l’extension de la zone de déplétion du canal au-delà de la grille (dans l’espace grille-drain). Lorsque le transistor est rendu passant, les électrons contenus dans ces pièges mettent un certain temps à être émis et donc prolongent l’existence de la zone de déplétion pendant un certain temps : c’est la grille virtuelle.

1.3.3 “Gate leakage”

Le "Gate leakage" est un courant de fuite non attendu sur la grille, qui a été associé au remplissage des pièges qui produisent les effets GL et “Virtual Gate”. L’origine de ce courant

de fuite était initialement basé sur les pièges de surface [58]. Mais il a été démontré que pour des champs électriques plus importants, d'autres pièges plus profonds dans la barrière contribuent à l'augmentation de ce courant de fuite, notamment par effet tunnel [59, 60].

1.3.4 "Drain-Lag"

Similairement au GL, la notion de Drain-Lag (DL) est utilisée lorsqu'un effet de piège est déclenché par une variation de tension sur le drain du transistor. En effet, lorsque la tension drain-source est élevée, les électrons du gaz 2D peuvent être capturés par des pièges à proximité (dans la barrière et dans le buffer). Le DL est donc associé aux pièges de "bulk", c'est à dire au milieu de la structure du HEMT [61].

1.3.5 "Knee walkout"

Le "Knee walkout" désigne l'augmentation de la tension de coude du transistor, voir figure II.3. Cet effet de piège est souvent associé aux pièges de surface car il est fortement atténué par l'utilisation de passivations et de plaques de champs et [57, 62]. Mais comme pour le GL, lorsque les champs électriques grille-drain sont importants, le knee-walkout refait son apparition.

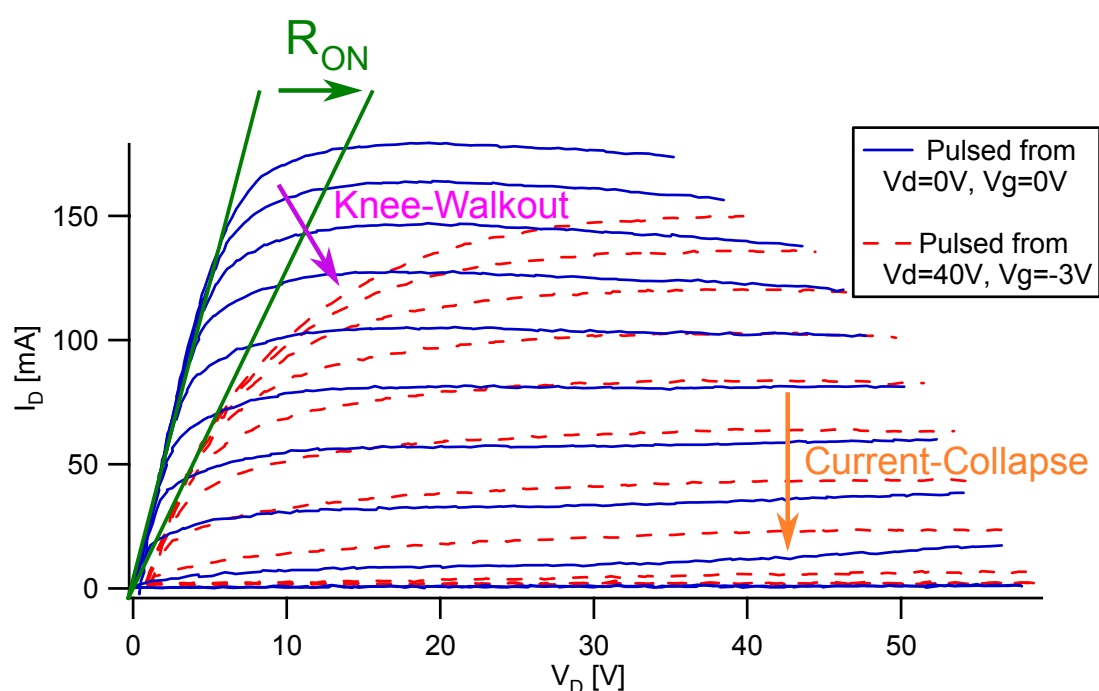


FIGURE II.3 – Représentation des effets "Knee-Walkout", "Current-Collapse" et augmentation du R_{ON} [4].

1.3.6 “Current collapse” (CC)

C'est l'effet de pièges prépondérant des HEMT GaN, voir figure II.3. A l'origine, ce terme était utilisé seulement pour exprimer la diminution du courant de drain en présence d'une tension drain-source élevée. Maintenant, il est souvent utilisé dès que l'on constate une diminution du courant de drain du transistor. Ce phénomène, conséquence directe du décalage (dû aux pièges) de la tension de pincement du transistor, contribue à l'augmentation de la résistance à l'état passant (R_{ON}). De ce fait, il dégrade directement la puissance de sortie du transistor car $P_{OUT} = (\Delta V \cdot \Delta I) / 8$ avec ΔV et ΔI respectivement les excursions maximales en tension et courant sur le réseau I-V. Le CC est dû à la fois aux pièges de surface et aux pièges de bulk [63].

1.3.7 “Kink effect”

Le "Kink effect" se traduit par une augmentation brusque de la conductance de sortie dI_d/dV_{ds} associée à un phénomène d'hystérésis observé en régime saturé sur le réseau I-V de beaucoup de FET (MOSFET, MESFET et HEMT). Pour les HEMT, les électrons piégés sont ré-émis dans le canal au delà d'une certaine valeur de V_{DS} , appelée $V_{DS,kink}$. Une soudaine augmentation de la conductance de sortie (g_D) est constatée, voir figure II.4. La chute de courant à faible V_{DS} n'est pas observée lorsque les tensions V_{DS} sont balayées dans le sens décroissant. L'effet kink est dépendant de la structure, de la longueur de grille et même de l'illumination du transistor [64]. Mais dans [5], il est établi que l'effet Kink est causé par le remplissage de pièges par impacts d'électrons chauds, c'est-à-dire en faisant circuler un courant important dans le canal. Il est caractéristique de la présence de pièges de buffer.

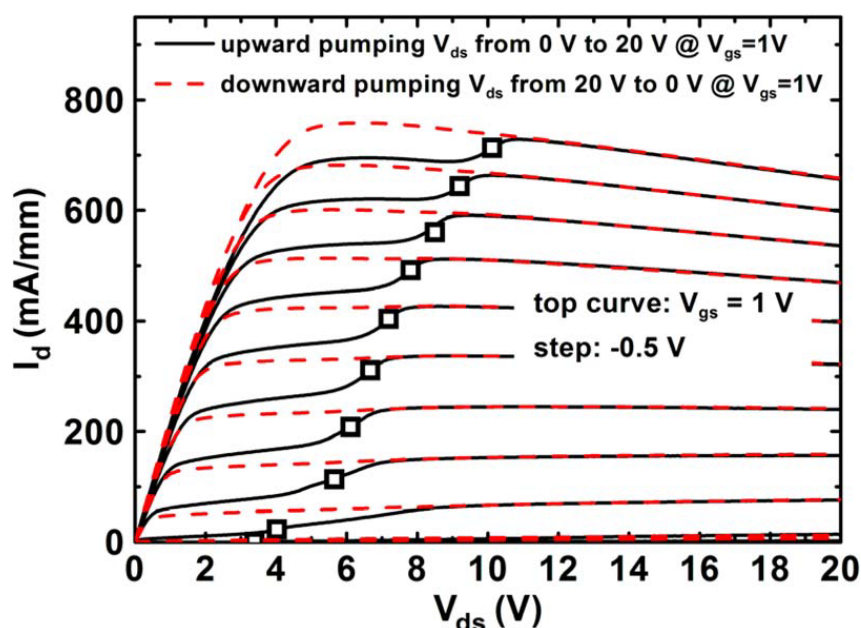
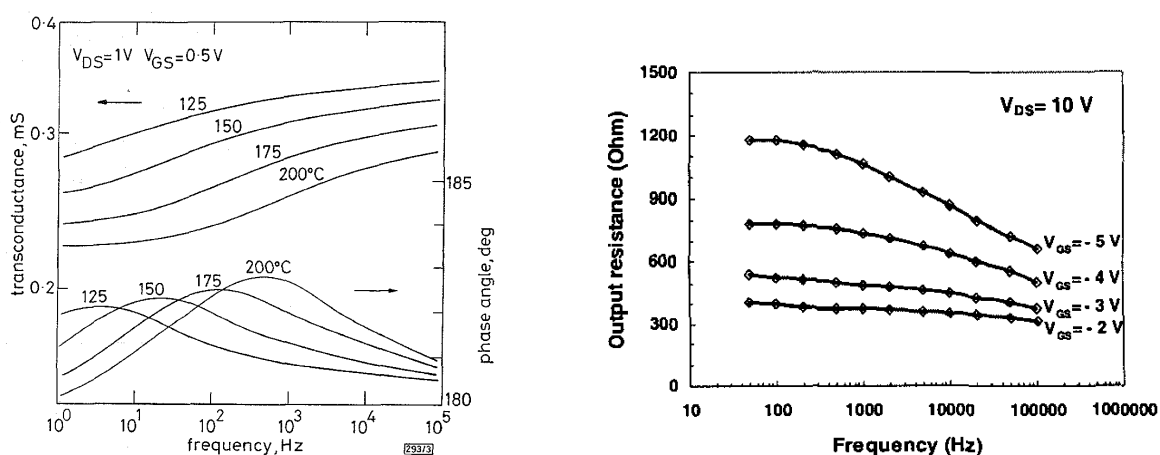


FIGURE II.4 – Effet Kink [5].

1.3.8 Dispersion fréquentielle de la conductance (g_D) et de la transconductance (g_m)

Une variation de la transconductance et de la conductance en fonction de la fréquence est observée dans les HEMT GaN comme illustré sur la figure II.5. Cet effet peut être simplement expliqué avec l'image de charges circulant entre le canal et les pièges : lorsque la fréquence du signal d'excitation est plus faible que la fréquence d'émission des pièges, les charges ont suffisamment de temps pour être capturées puis ré-émises entre deux périodes du signal. En revanche, dès que la fréquence d'excitation s'approche de la fréquence d'émission du piège, les charges n'ont pas le temps d'être émises entre deux périodes consécutives alors les pièges ont un impact sur g_m et g_D . Lorsque la fréquence du signal est bien plus élevée que celle des pièges, un régime établi est atteint (pièges constamment pleins ou bien constamment vides) et il n'y a plus de dispersion. Cette dépendance fréquentielle de la transconductance du transistor due aux pièges a été étudiée pour la première fois en 1971 sur un JFET Silicium irradié [65]. C'est ensuite devenu une technique de caractérisation de pièges sur les HEMT GaAs [66]. Suivant le même principe, il est possible d'étudier la dispersion fréquentielle de la capacité de sortie [67], mais elle est moins utilisée, car la capacité est très faible (et donc plus difficile à mesurer).



(a) Dispersion fréquentielle du module et de la phase de la transconductance à différentes températures [68].

(b) Dispersion fréquentielle de la conductance à différentes tensions de grille [69].

FIGURE II.5 – Dispersion fréquentielles basses fréquences dues aux effets de pièges.

1.3.9 Décalage de la tension de pincement

Un décalage de la tension de seuil V_p du transistor “vers la droite” est observé : pour la même valeur de tension de grille, on a moins de courant en sortie comme le montre la figure II.6.

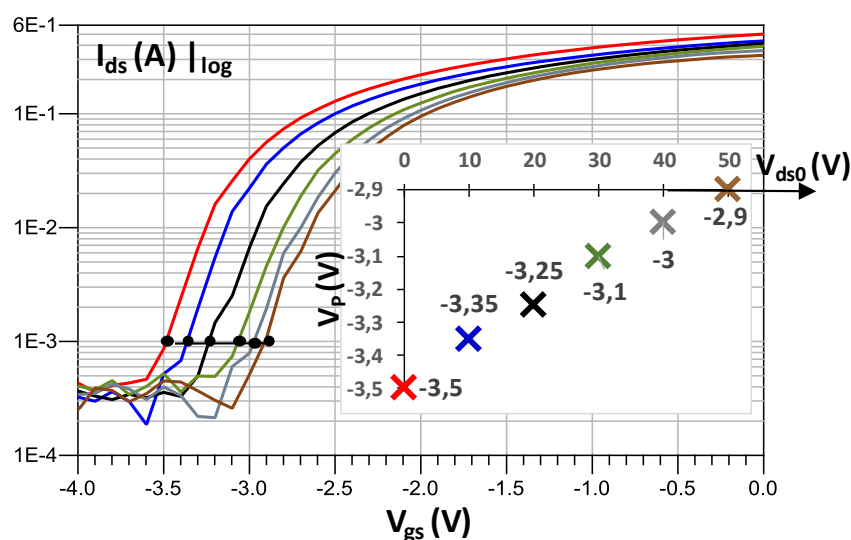


FIGURE II.6 – Décalage de la tension de pincement pour différentes valeurs max de V_{DS} . Source : [6].

1.4 Extraction de la signature d'un piège

La signature d'un piège est composée de son énergie d'activation (E_a) et de sa section efficace de capture (σ_n). Il est possible d'extraire empiriquement ces caractéristiques car la constante d'émission de certains pièges est dépendante de la température.

Pour comprendre cela, il faut repartir des équations statistiques de recombinaison des porteurs avec les pièges publiées par Shockley en 1951 [70, 71], c'est la théorie de Shockley-Read-Hall (SRH). Pour simplifier les équations, on ne considère que les déplacements d'électrons (mais le raisonnement est valable avec les trous). L'équation donnant l'augmentation de la charge due à des électrons piégés est :

$$\frac{dn_t}{dt} = c_n n (N_t - n_t) - e_n n_t \quad (\text{II.1})$$

avec e_n le taux d'émission (s^{-1}), n_t la concentration d'électrons piégés (m^{-3}), c_n le taux de capture ($m^3 \cdot s^{-1}$), n la concentration d'électrons dans la bande de conduction (m^{-3}) et N_t la concentration totale de pièges (m^{-3}).

Si on se place à l'équilibre thermodynamique (i.e. le nombre d'électrons émis est égal à ceux capturés : la variation de charge dans le piège dn_t/dt est nulle).

Il est donc possible d'écrire :

$$e_n n_t = c_n n (N_t - n_t) \quad (\text{II.2})$$

L'équation II.2 peut être traduite par la phrase suivante : "le taux d'émission fois le nombre d'électrons piégés est égal au taux de capture fois le nombre d'électrons disponibles dans la couche de conduction fois le nombre de places restantes dans les pièges".

Le taux d'occupation du piège vaut alors :

$$\frac{n_t}{N_t} = \frac{c_n n}{e_n + c_n n} \quad (\text{II.3})$$

Mais, en considérant la distribution de Fermi-Dirac [72], le taux d'occupation du piège est aussi égal à :

$$\frac{n_t}{N_t} = \left[1 + g \exp\left(\frac{E_T - E_F}{k_b T}\right) \right]^{-1} \quad (\text{II.4})$$

avec g la dégénérescence de l'état d'énergie E_T (i.e. le nombre de pièges possédant cette énergie, on prendra $g = 1$), E_T le niveau d'énergie du piège (en eV), E_F le niveau de Fermi (en eV), k_b la constante de Boltzmann (en $eV.K^{-1}$) et T la température (en K). Après égalisation des équations II.3 et II.4, la fréquence d'émission e_n est isolée :

$$e_n = c_n n g \exp\left(\frac{E_T - E_F}{k_b T}\right) \quad (\text{II.5})$$

La concentration d'électrons dans la bande de conduction (n , en m^{-3}) est calculée en utilisant l'approximation de Boltzmann (qui approxime la fonction de Fermi-Dirac à $\exp\left(-\frac{E-E_F}{k_b T}\right)$) :

$$n = N_C \exp\left(-\frac{E_C - E_F}{k_b T}\right) \quad (\text{II.6})$$

où E_C est le niveau d'énergie de la bande de conduction (en eV) et N_C est la densité effective d'états dans la bande de conduction (en m^{-3}) dont l'expression est la suivante :

$$N_C = 2 M_C \left(\frac{2\pi m_e^* k_b T}{h^2}\right)^{3/2} \quad (\text{II.7})$$

avec M_C le nombre de minima dans la bande de conduction (=1 pour le GaN à structure Wurtzite), m_e^* la masse effective d'un électron ($\approx 0.2 m_0$ pour le GaN [73] en kg ou $eV/(m^2.s^{-2})$), k_b la constante de Boltzmann (en $eV.K^{-1}$), T la température (en K), h la constante de Planck (en $eV.s$).

En sachant que le taux de capture c_n vaut $\sigma_n v_{therm}$, n est remplacée par son expression dans l'équation II.5 qui devient :

$$e_n = \sigma_n v_{therm} g N_C \exp\left(-\frac{E_C - E_T}{k_b T}\right) \quad (\text{II.8})$$

où σ_n est la section efficace de capture du piège (en m^2) et v_{therm} la vitesse thermique des

électrons dans le GaN (en $m.s^{-1}$), qui vaut :

$$v_{therm} = \left(\frac{3 k_b T}{m_e^*} \right)^{1/2} \quad (II.9)$$

En remplaçant v_{therm} et N_C par leurs expressions dans l'équation II.8, il vient alors :

$$e_n = \frac{1}{\tau_n} = g \sigma_n \gamma T^2 \exp\left(-\frac{E_a}{k_b T}\right) \quad (II.10)$$

avec la constante :

$$\gamma = 2\sqrt{3} (2\pi)^{3/2} m_e^* \frac{k_b^2}{h^3} \quad (II.11)$$

où τ_n est la constante d'émission du piège (en s) et $E_a = E_C - E_T$ est son énergie d'activation (en eV).

En appliquant la fonction logarithme népérien de chaque côté de l'équation II.10, il vient :

$$\ln\left(\frac{e_n}{T^2}\right) = \ln(\sigma_n \gamma) - \frac{E_a}{k_b \cdot T} \quad (II.12)$$

Cette équation, appelée loi d'Arrhenius, permet, en effectuant le tracé $\ln\left(\frac{e_n}{T^2}\right)$ en fonction de $1/(k_b \cdot T)$, de déduire empiriquement l'énergie d'activation (correspondant au coefficient directeur de la droite obtenue) et la section de capture du piège (ordonnée à l'origine de la droite) à condition de mesurer la constante d'émission à différentes températures. Cette méthode présente l'avantage de s'affranchir de la connaissance de la valeur absolue de la constante d'émission : c'est le décalage en fréquence dû à la température qui compte.

Mais une précaution est à prendre : les paramètres extraits ne permettent pas de dissocier les pièges : il peut y avoir deux niveaux de pièges dans la structure et seulement une seule énergie d'activation identifiable. On préfère donc parler d'énergie d'activation *effective* ou *apparente*. Ce concept d'énergie "effective" d'activation est introduit dans le modèle de Boltzmann-Arrhenius-Zhurkov (BAZ) [74] utilisé dans les études de vieillissement/fiabilité.

1.5 Caractérisations classiques des effets de pièges

Les pièges étant localisés à différents endroits de la structure et à différents niveaux d'énergie, ils ne sont pas toujours activés : chaque piège requiert certaines conditions. Pour cela, différentes méthodes de caractérisations sont utilisées, et au sein d'une méthode de caractérisation, différentes séquences de tests sont réalisées pour mettre en évidence certains types de pièges. Plusieurs paramètres sont à faire varier comme les excursions en tension côté grille et drain, la polarisation en courant ou encore la température de "chuck".

Voici une liste, non exhaustive, des méthodes de caractérisation des effets de pièges.

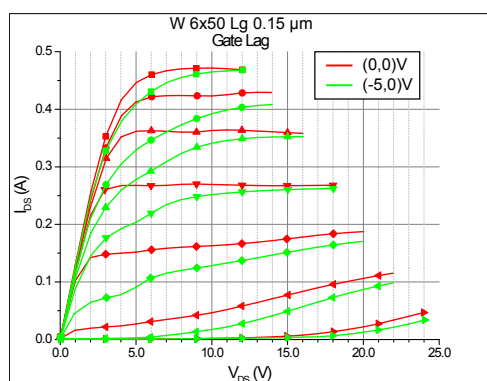
1.5.1 La caractérisation courant-tension (I-V)

C'est un outil efficace, rapide et relativement peu coûteux (pas de signaux RF) pour mesurer les performances (et les éventuelles chutes de performances) du transistor.

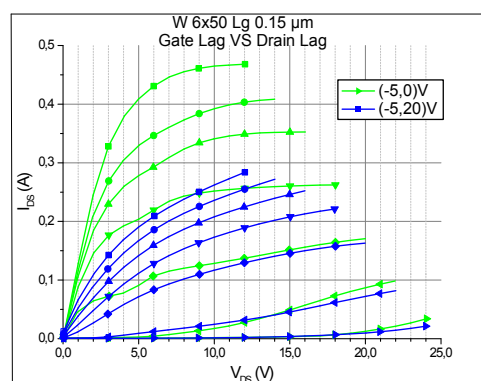
La caractérisation I-V continue consiste à balayer successivement les tensions de drain et de grille du transistor tout en mesurant les courants qu'il génère.

La caractérisation I-V impulsionnelle consiste à mesurer ces courants lors d'impulsions très courtes et en simultané sur la grille et le drain. Ces impulsions sont effectuées de manière périodique (typ. 100 μ s) avec un rapport cyclique très petit (typ. 1%). Ceci permet de fixer le transistor à un point de polarisation pendant la majorité du temps (typ. 99%) tout en mesurant un point différent de sa caractéristique de transfert (I-V) à chaque période, sur un temps très court. De ce fait, on s'affranchit de l'auto-échauffement (effet thermique) du transistor pour pouvoir caractériser exclusivement les effets de pièges en profitant de l'asymétrie entre le temps de capture ($\leq 1 \mu$ s) et le temps d'émission (≥ 1 ms) des porteurs.

Lors d'une caractérisation I-V, les effets observés sont différents en fonction du point de repos; de l'excursion en tension ($V_{GS,min}$, $V_{DS,max}$); ainsi que du profil temporel de l'impulsion (rapport cyclique, temps d'attente entre les courbes, etc.). De manière générale, fixer un point de polarisation avec une tension de grille inférieure ou égale à la tension de pincement du transistor conduit à mesurer les effets Gate-Lag, voir figure II.7(a). Réciproquement, fixer un point de polarisation avec une tension de drain différente de 0 V conduit à mesurer les effets Drain-Lag, voir figure II.7(b).



(a) Caractérisation I/V impulsionnelle : mise en évidence du Gate Lag. Source : [75].



(b) Caractérisation I/V impulsionnelle : mise en évidence du Drain Lag. Source : [75].

FIGURE II.7 – Caractérisations I/V impulsionnelles.

Aussi basée sur une mesure I-V, des chercheurs de l'Université de Bologne ont développé la mesure I-V à double impulsions [76] : on envoie une première impulsion (nommée "pré-impulsion") pour fixer un niveau de pièges, puis une seconde impulsion a lieu immédiatement après pour effectuer la mesure d'un point du réseau. De la même manière qu'une mesure I-V impulsionnelle classique, cette mesure est répétée périodiquement avec

un rapport cyclique très faible.

En plus du challenge technique qui consiste à envoyer des impulsions synchronisées, très brèves, et avec une grande excursion en tension (coté drain), la mesure I-V a un inconvénient : l'impossibilité de mesurer les constantes de temps des pièges, que ce soit celles de capture ou celles d'émission. On peut estimer leurs valeurs en faisant varier le rapport cyclique entre les mesures (pour laisser plus ou moins de temps aux pièges de se décharger) ou bien la température (la chaleur accélère la décharge des pièges). Mais la constante de temps d'émission du piège ne peut être évaluée avec précision que lors d'une mesure transitoire ou fréquentielle.

1.5.2 La spectroscopie transitoire des niveaux profonds (en anglais DLTS)

Utilisée dès 1974 sur les jonctions p-n et Schottky [77], elle donne la signature des pièges à partir de la mesure de la réponse transitoire à une excitation impulsionnelle effectuée à différentes températures. La DLTS originale consiste à mesurer la variation d'une capacité suite à une impulsion en tension sur le transistor, on l'appelle C-DLTS.

Lors du transitoire, la capacité peut s'exprimer par la fonction :

$$C(t) = C_r \left[1 - \frac{n_{T0}}{2N_D} \exp\left(-\frac{t}{\tau_e}\right) \right] \quad (\text{II.13})$$

où C_r est la valeur de repos, n_{T0} la densité de pièges remplis à $t=0s$, N_D la densité totale de pièges et τ_e la constante d'émission du piège.

La DLTS étant une technique de corrélation, on choisit deux instants (t_1 et t_2) dans la zone d'émission du piège et on regarde l'écart en capacité, appelé $S(t)$, valant analytiquement :

$$S(t) = C_r \frac{n_{T0}}{2N_D} \left[\exp\left(-\frac{t_2}{\tau_e}\right) - \exp\left(-\frac{t_1}{\tau_e}\right) \right] \quad (\text{II.14})$$

En traçant $S(t)$ en fonction de la température, un maximum se dessine, voir figure II.8.

En faisant varier l'écart entre t_1 et t_2 , il est possible de déduire par corrélation la constante d'émission du piège pour chaque température. Ceci permet d'extraire les caractéristiques du piège mis en évidence (en utilisant la loi d'Arrhenius, voir équation II.12). Mais la C-DLTS a deux défauts :

- 1 - les capacités parasites des HEMTs sont de plus en plus petites (≈ 100 fF) et donc difficiles à mesurer avec précision.
- 2 - les variations de capacités sont principalement dues aux pièges de surface, ceci ne permet pas de sonder la structure plus profondément.

La I-DLTS est une variante de la DLTS où il faut mesurer la variation de courant de drain suite à une impulsion de tension, mais là encore la technique reste très longue à réaliser car

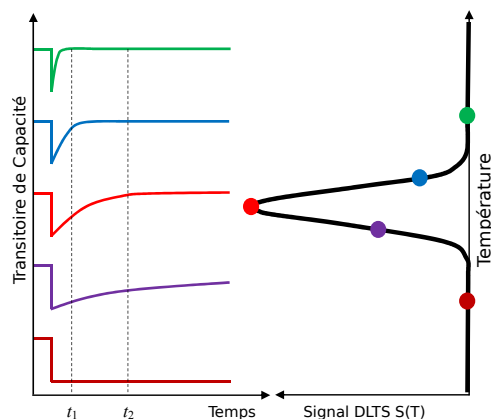


FIGURE II.8 – Principe de corrélation de la DLTS avec la température.

il faut répéter les mesures à différentes températures et différents écarts $t_1 - t_2$.

1.5.3 La mesure de courant transitoire (DCT)

Dans le même esprit que la DLTS, la réponse transitoire du courant suite à une impulsion en tension est mesurée. Mais cette fois, on échantillonne l'intégralité de la réponse, si possible en échelle de temps logarithmique. La mesure transitoire du courant de drain (ou "DCT" en anglais) est particulièrement populaire [7, 78] car elle est compatible avec les processus de test et vieillissement des fonderies. Elle est efficace pour mesurer avec précision les constantes de temps supérieures à la dizaine de microsecondes. En dessous, il faut utiliser des instruments de mesure spécifiques (bande passante élevée, peu de capacités parasites, etc.).

En DCT, on mesure la réponse du courant de drain suite à une impulsion de tension sur la grille ou le drain (ou les deux). A chaque fois, on relève la constante de temps correspondante au pic de la dérivée de la réponse en courant. Cette réponse peut être préalablement lissée par une somme de fonctions exponentielles dégénérées de type :

$$I_{fit} = I_{inf} + \sum_{i=1}^n a_i \exp(-t/\tau_i)^{\beta_i} \quad (\text{II.15})$$

avec a_i un coefficient de réglage en amplitude, τ_i la constante de temps du piège mis en évidence et β_i un facteur d'étirement ($0 < \beta_i \leq 1$), voir figure II.9.

Ce relevé est effectué à différentes températures afin de tracer la courbe d'Arrhenius et d'extraire la signature des pièges. Cette méthode permet de caractériser différents pièges selon l'origine de l'excitation du transistor (e.g. à partir de la grille ou du drain).

Il existe aussi la variante "RF", où on étudie le même transitoire de courant de drain, mais suite à une impulsion RF cette fois [79]. Nous en reparlerons dans la section dédiée aux caractérisations RF impulsionnelles.

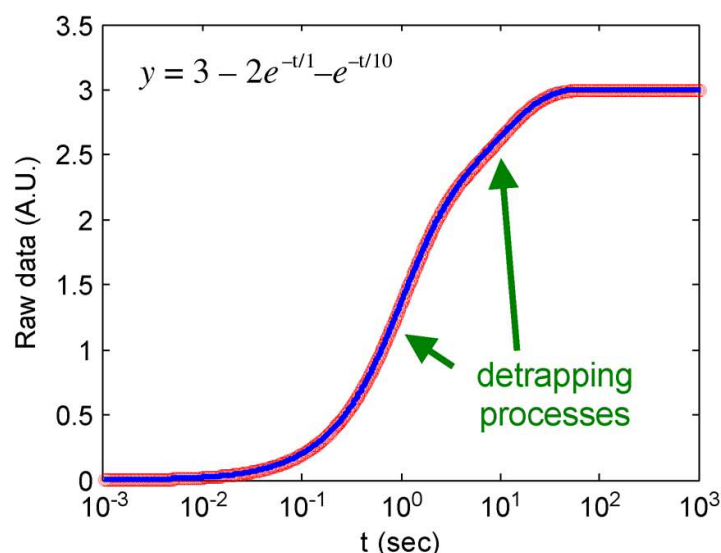


FIGURE II.9 – Exemple de DCT [7].

1.5.4 La mesure de dispersions fréquentielles

Contrairement aux méthodes précédentes, c'est un outil qui repose sur l'étude de la dispersion fréquentielle de paramètres tels que le gain (g_m , P_{1dB}) ou les impédances (conductance, susceptance) basses fréquences. Cette méthode de caractérisation permet de mesurer les fréquences d'émission des pièges supérieures à la dizaine de Hz (donc les constantes de temps inférieures à la centaine de millisecondes).

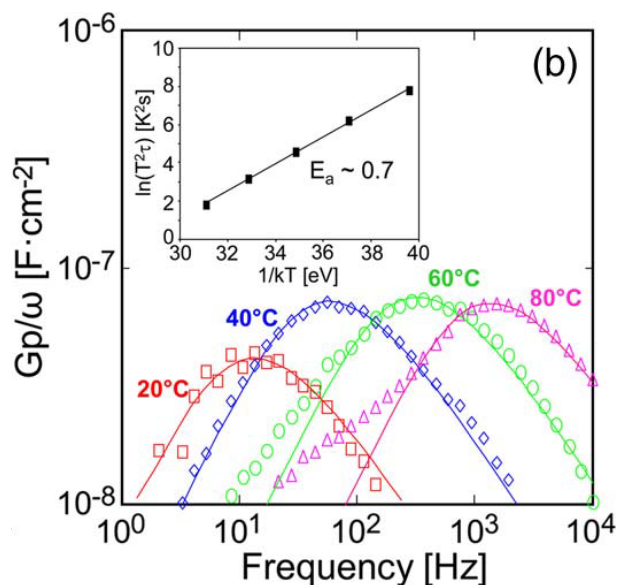
L'étude originelle de la dispersion fréquentielle consistait à regarder le module ou la partie réelle de g_m . Puis il a été montré que la conductance ($G = Re(Y_{22})$) de sortie du transistor est directement liée à la capacité parasite due aux pièges [80]. La formule simplifiée de la conductance divisée par la pulsation vaut :

$$\frac{G}{\omega} \propto g_D + \frac{\omega \cdot \tau_{trap} \cdot C_{trap}}{(1 + \omega^2 \cdot \tau_{trap}^2)} \quad (II.16)$$

avec ω la fréquence d'excitation petit signal, et τ_{trap} la constante d'émission du piège. G est normalisée par ω pour qu'elle passe par un maximum, ce qui rend l'estimation de la fréquence d'émission du piège plus aisée, voir figure II.10.

Sur le même principe, [81, 82] utilise la susceptance de sortie du transistor ($B = imag(Y_{22})$), car elle est directement liée à la capacité parasite due aux pièges et elle passe naturellement par un maximum (sans normalisation) :

$$B \propto \frac{\omega \cdot \tau_{trap} \cdot C_{trap}}{(1 + \omega^2 \cdot \tau_{trap}^2)} \quad (II.17)$$


 FIGURE II.10 – Conductance de sortie ($\text{Re}(Y_{22})/\omega$) mesurée à différentes températures [8].

1.5.5 La mesure du bruit basse fréquence

Le bruit électronique basse fréquence (BF) d'un transistor est principalement constitué du bruit ($1/f$) dû à la pureté du cristal GaN et du bruit génération-recombinaison (GR) dû aux mouvements de porteurs dans les pièges. L'étude du bruit BF possède l'avantage de mettre en évidence les pièges sans appliquer de signaux d'excitation sur le transistor [83] (outre la polarisation continue). De plus, il est possible de mesurer des composants de petites dimensions, car on s'affranchit de la contrainte de devoir mesurer une variation de courant ou de capacité (comme en DLTS ou DCT) [84, 85]. Comme le bruit GR est dépendant de la température, les signatures de pièges peuvent être extraites à partir de cette mesure [86], voir figure II.11.

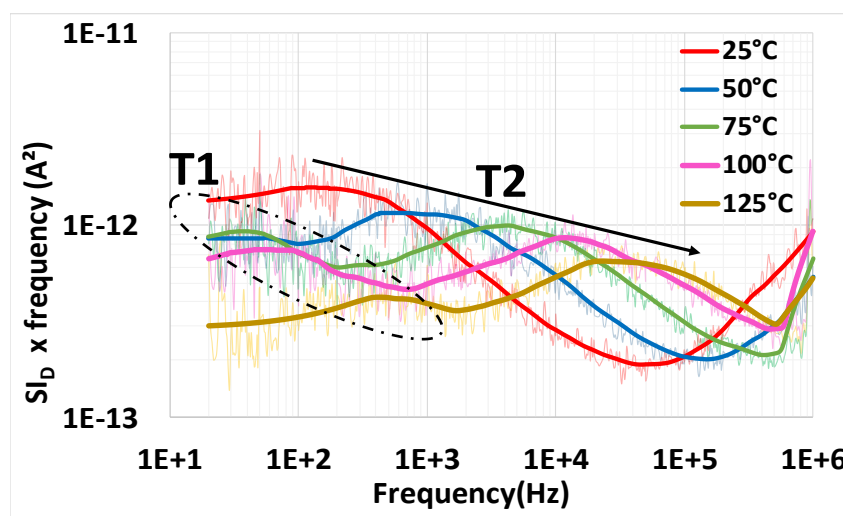


FIGURE II.11 – Etude du bruit basse fréquence en sortie d'un transistor GaN [9].

1.5.6 La mesure RF impulsionnelle

L'influence des pièges sur un train d'impulsions RF est observable sur le transitoire de courant de drain au cours des impulsions (cela revient à faire de l'analyse DCT avec un mode d'excitation RF).

Cette méthode de caractérisation, très efficace, a été mise en place à XLIM durant la thèse d'A. Benvegnu [87, 88, 89].

Il est aussi possible d'analyser la répétabilité de l'amplitude de l'enveloppe des impulsions RF : c'est un banc de mesure « pulse to pulse » qui a été mis en place à XLIM [90].

1.5.7 Les méthodes optiques

Il existe aussi des méthodes de caractérisation par photo-ionisation où l'on vient étudier le spectre d'absorption fréquentiel (lumineux). Ceci permet de sonder les états de surface mais on ne peut pas voir les pièges plus profonds [91].

En résumé, les méthodes basées sur des mesures transitoires permettent de mesurer des constantes de temps plus longues que les méthodes fréquentielles. Donc pour être complète, la caractérisation d'un transistor piégé doit avoir au minimum une mesure transitoire et une mesure fréquentielle afin de s'assurer que toutes les constantes de temps sont couvertes.

Le tableau II.1 suivant propose quelques résultats de caractérisations effectuées dans la littérature en précisant, si possible, les caractéristiques du piège mis en évidence et son origine (donnée par l'auteur).

À la lecture de ce tableau, on constate la présence régulière d'un piège de buffer référencé aux alentours de 0.4-0.6 eV en dessous de la bande de conduction. Ces pièges sont maintenant connus pour être dus aux défauts natifs du buffer GaN, exacerbés par la présence de dopants [51]. Les pièges de bulk AlGaIn sont généralement ceux avec des constantes de temps supérieures à la seconde (des pièges AlGaIn ayant une énergie d'activation de 0.37 eV et une constante de temps supérieure à la seconde ont été identifiés par spectroscopie photoélectronique à rayons X dès 2003 [101]). Par ailleurs, les énergies d'activation des pièges de surface sont faibles (généralement inférieures à 0.4 eV). Ces états de surface ont des constantes de temps de l'ordre de la seconde et sont souvent désignés responsables des effets de "grille virtuelle".

Méthode	Structure	Lg	Énergie d'activation	τ_e (@ 25°C)	Origine	Ref
DCT	AlGaIn/GaN/SiC	0.5 μm	$E_C - 0.6$ eV $E_V + 0.9$ eV $E_C - 1.1$ eV	10^{-2} s 10^{-1} s 10^1 s	GaN GaN AlGaIn	2013 [92]
UV+DCT	AlGaIn/GaN/SiC	0.7 μm	- $E_C - 0.12$ eV $E_C - 0.45$ eV	10^{-2} s 10^0 s 10^2 s	GaN GaN AlGaIn	2010 [93]
PIV+TCAD	AlGaIn/GaN/Si	0.5 μm	$E_V + 0.95$ eV $E_C - 0.3$ eV $E_C - 0.5$ eV	- - -	AlGaIn GaN GaN	2013 [94]
DCT	Diode AlGaIn/GaN avec AlGaIn Back-Barrière dopée C	Diode	$E_C - 0.6$ eV	10^3 s	AlGaIn BB	2016 [95]
DLTS	AlGaIn/GaN/SiC	14 μm	$E_C - 0.18$ eV $E_C - 0.5$ eV $E_C - 0.76$ eV	- - -	Surface GaN AlGaIn	2009 [96]
PIV+TCAD	AlGaIn/GaN/Si	76 μm	$E_C - 0.2$ eV	-	Surface	2014 [97]
LFN	AlGaIn/GaN/SiC	0.25 μm	$E_C - 0.25$ eV $E_C - 0.4$ eV	10^{-3} s 10^{-3} s	Surface GaN	2013 [98]
I-DLTS	AlGaIn/GaN/Si	0.6 μm	$E_C - 0.4$ eV	10^2 s	AlGaIn	2014 [99]
DCT	AlGaIn/GaN	-	- $E_C - 0.57$ eV	10^{-1} s 10^0 s	GaN AlGaIn	2011 [7]
DCT+ [S] BF	AlGaIn/GaN/SiC	0.5 μm	$E_C - 0.64$ eV $E_V + 0.86$ eV $E_C - 1.0$ eV	10^{-2} s 10^{-1} s 10^1 s	GaN GaN GaN	2013 [89]
van der Paw DCT	AlGaIn/GaN/Si	2.5 μm	$E_C - 0.64$ eV $E_C - 0.21$ eV $E_C - 0.45$ eV $E_C - 0.55$ eV	- - - -	AlGaIn GaN GaN GaN	2017 [100]
[S] BF	InAlN/GaN/SiC	-	$E_C - 0.38$ eV	10^{-3} s	GaN	2014 [82]

TABLE II.1 – Résumé de quelques caractérisations de pièges issues de la littérature.

Maintenant que nous avons vu les principales méthodes et quelques résultats de caractérisations de HEMT AlGaIn/GaN, nous allons présenter les résultats obtenus au cours de nos travaux.

2 Caractérisation du transistor HEMT GaN GH25 d'UMS

Dans cette partie, les effets de pièges du transistor HEMT AlGaIn/GaN GH25-10 à longueur de grille $0.25 \mu\text{m}$ d'UMS [35] sont caractérisés. La tension de seuil du transistor est d'environ -3.4 V et sa densité de puissance d'environ 4 Watt/mm de grille, alimenté sous 30 V . L'étude est réalisée sur un transistor de développement $6 \times 75 \mu\text{m}$ issu d'un wafer découpé et brasé sur un capot de cuivre pour permettre la mesure sous pointes, voir figure II.12. Afin de s'assurer de la répétabilité des phénomènes observés, les mesures sont effectuées sur 3 transistors de taille identique et provenant tous du même lot. Le lot considéré est YATAGANA.

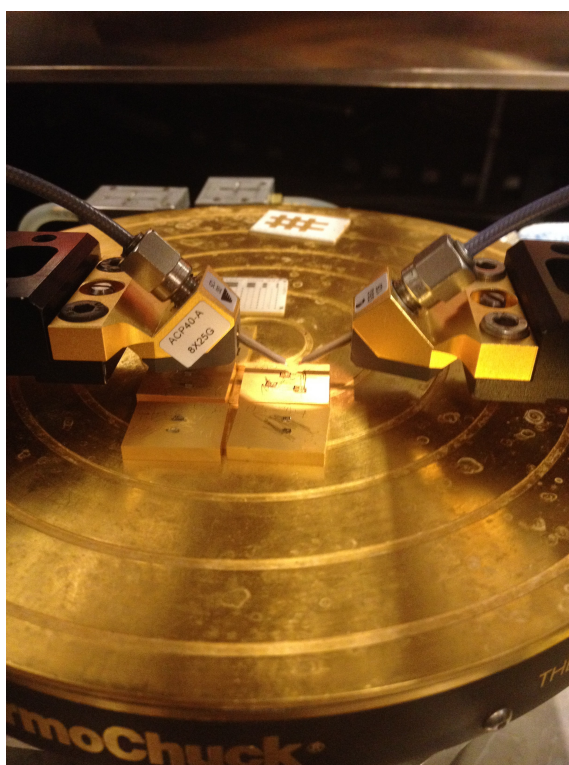


FIGURE II.12 – Photographie de transistors brasés sur capots de cuivre pour permettre les mesures sous pointes.

2.1 Mesures DCT par impulsion de grille

Au départ de cette thèse, un industriel partenaire nous a interpellé sur les phénomènes de pièges observés sur des amplificateurs de puissance en technologie GaN (observation de transitoires de courant de polarisation pendant plusieurs millisecondes). Ces effets de pièges apparaissent à l'allumage de l'amplificateur après l'avoir coupé en appliquant une tension de polarisation $V_{GS} \leq -10 \text{ V}$.

L'expérience décrite par cet industriel est équivalente à la DCT. Comme il n'existait pas de banc de mesure dédié à la mesure du transitoire de courant dès la fin d'une impulsion en

tension, il a fallu le mettre en place.

Au cours de cette partie, nous allons voir l'influence de différents paramètres (durée/amplitude des impulsions, température de chuck) sur le temps de réponse des pièges.

2.1.1 Description du banc de mesure

La mesure des courants (de grille ou de drain) du transistor pendant ou après une impulsion (dc ou RF) requiert l'utilisation d'oscilloscopes munis de sondes de courant avec une forte résolution en amplitude et en bande passante (échantillonnage de l'ordre de 1M Sample/sec et courants mesurés de l'ordre du μA sur la grille du transistor). De plus, ces phénomènes ayant des durées extrêmement longues et les acquisitions s'effectuant en échelle linéaire (impossibilité d'acquérir en échelle logarithmique) font que la quantité de points stockés dépasse vite le million d'échantillons par grandeur mesurée. Tout cela conduit au développement d'algorithmes de traitements du signal qui permettent, entre autres, d'aligner les signaux provenant de différents appareils déclenchés en différé, d'échantillonner les signaux bruts en échelle de temps logarithmique, ainsi que de lisser les courbes pour s'affranchir du bruit de mesure. Ces algorithmes ne sont pas détaillés ici mais ils ont été développés au cours de la thèse (réalisés sous Scilab[®]) et sont appliqués sur chacun des résultats qui suivent.

Le banc développé permet d'envoyer une impulsion en tension sur la grille du transistor tout en gardant la tension de drain constante. Une photographie du banc mis en place ainsi que le schéma équivalent est donné sur la figure II.13.

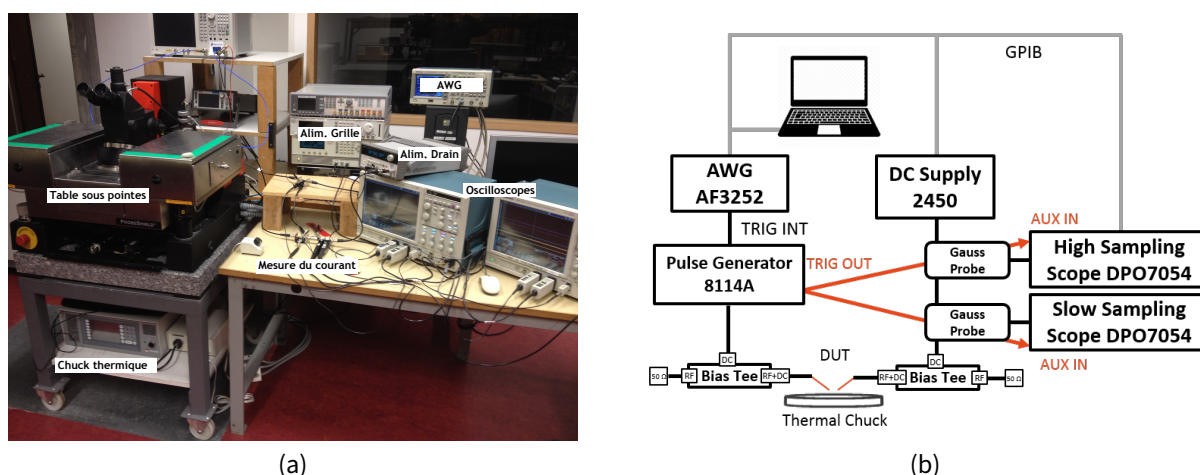


FIGURE II.13 – (a) Photographie et (b) schéma du banc de mesure transitoire du courant.

Le banc est composé de :

- un générateur de tension (HP81110A) sur la grille qui permet d'envoyer des impulsions de $\pm 20V$ réglé en mode "trigger externe" afin de pouvoir générer des signaux ayant n'importe quel rapport cyclique (RC); en mode interne, il est limité à un RC de 0.1% et une période maximale de 1 sec (insuffisant pour ce type de mesure).
- une alimentation stabilisée sur le drain,
- deux oscilloscopes Textronix (DPO) équipés de sondes de courant à effet Hall, le premier réglé avec un échantillonnage rapide pour acquérir sur un temps court (de 10^{-7} à 10^{-2} s), l'autre avec un échantillonnage plus lent pour acquérir sur un temps long (de 10^{-3} à 101 s),
- un générateur arbitraire de signaux (AFG3252) pour cadencer la durée des impulsions de tension en générant un signal de "Trigger" au générateur,
- deux tés de polarisation choisis pour effectuer des mesures impulsionnelles (50 MHz de bande passante sur la voie DC), ils sont chargés par 50 Ohm sur leurs sorties RF,
- une station de mesure sous pointes équipée d'un chuck thermique allant de $-65^{\circ}C$ à $+200^{\circ}C$.

A noter que la séquence de mesure est totalement automatisée (instruments commandés par bus GPIB via le logiciel Scilab®), ce qui facilite la répétition des mesures pour différentes tensions et différentes durées d'impulsions.

La séquence de test comprend :

Reset des pièges On vient faire circuler du courant dans le transistor pendant 15 secondes afin de libérer un maximum de pièges.

Zone tampon On pince le transistor en classe AB profonde et on alimente le drain à sa tension $V_{DS,on}$ puis on attend 100 ms que la tension soit bien établie avant d'envoyer l'impulsion qui va remplir les pièges.

Remplissage des pièges On pince fortement le transistor afin de remplir les pièges. Il est intéressant de mesurer le courant de grille au cours de cette période car il est à l'origine du remplissage des pièges.

Emission des pièges On dépince le transistor en classe AB profonde et on vient mesurer le transitoire de courant de drain durant plusieurs secondes.

Un chronogramme de la séquence appliquée est donné sur la figure II.14.

Dans un premier temps, l'idée consistait à mesurer à la fois le courant de grille et le courant de drain afin d'essayer de relier la forme du courant de grille durant la période de remplissage avec la forme du courant de drain lors de la période d'émission des charges. Malheureusement, les sondes à effet Hall des oscilloscopes DPO ne sont pas assez précises pour mesurer le courant de grille du transistor. Dans le but d'effectuer quand même la

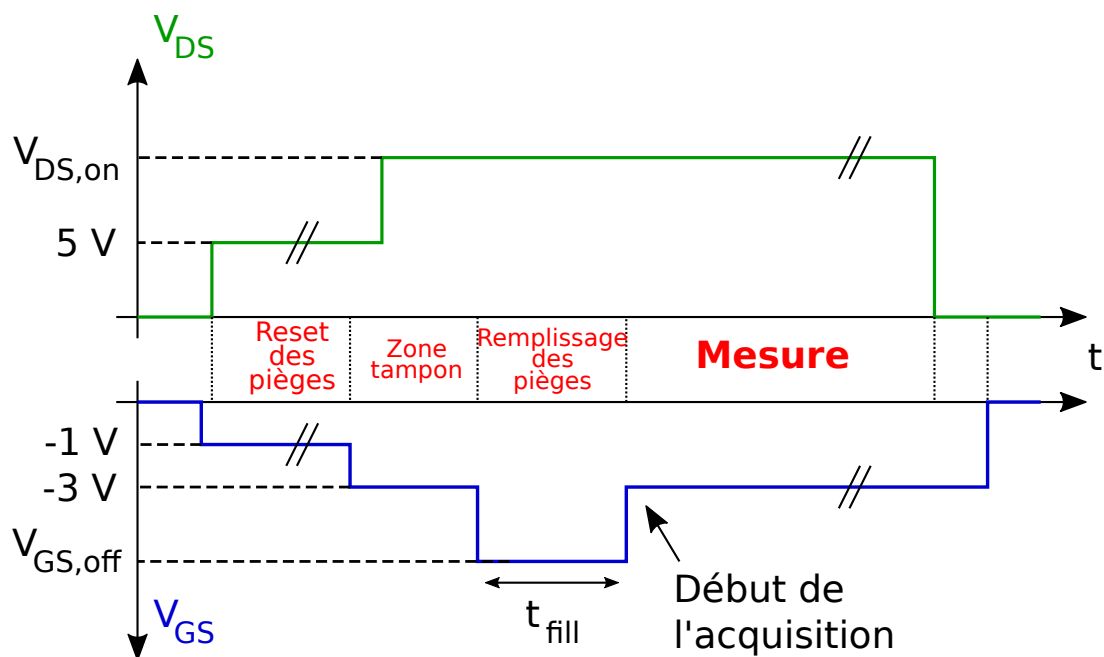


FIGURE II.14 – Séquence complète comprenant le reset des pièges, le remplissage ainsi que la mesure de la constante de temps des pièges.

mesure, la société Keysight nous a prêté son dernier analyseur de courant, le CX3324A. Une capture d'écran de la mesure brute effectuée avec cet appareil est donnée sur la figure II.15.

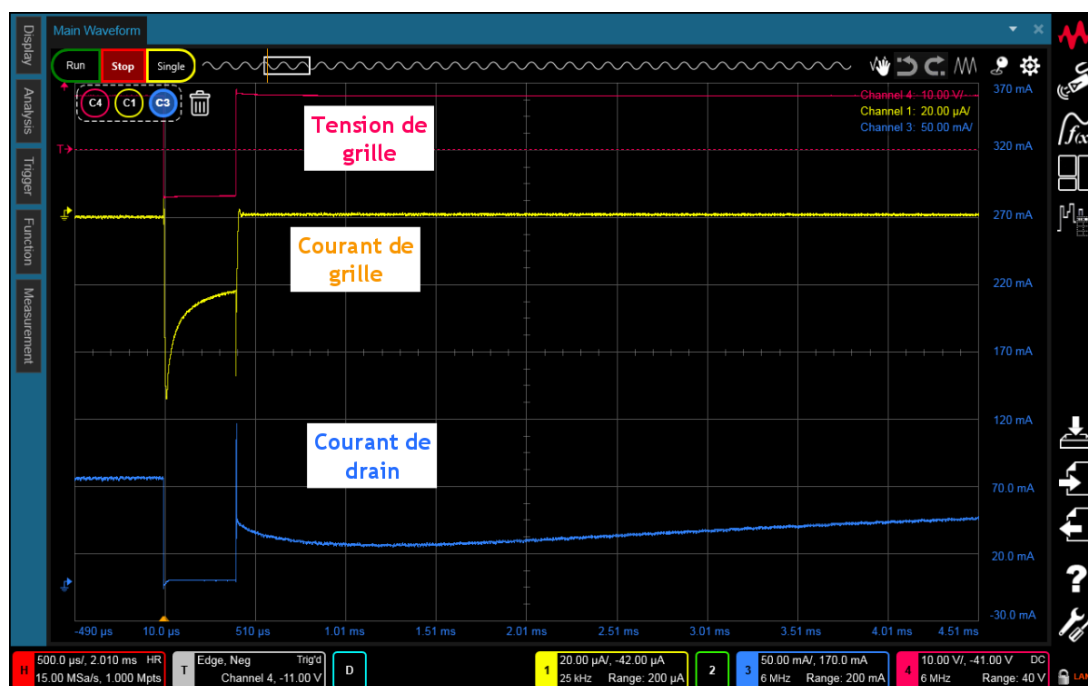


FIGURE II.15 – Exemple de mesure réalisée avec le prêt de l'analyseur de courant Keysight CX3324. Mesure réalisée sur un transistor GH25 ($W=6 \times 75 \mu\text{m}$). Conditions : $V_{GS,off} = -18\text{V}$, $t_{fill} = 400 \mu\text{s}$ et $V_{DS,on} = 15\text{V}$.

On constate que cette sonde possède une résolution en courant tout à fait adaptée à

cette mesure. Malheureusement, il est techniquement difficile d'acquérir des échantillons pendant l'impulsion de remplissage puis après celle-ci (pendant plusieurs secondes) car le nombre total d'échantillons sauvegardés par l'oscilloscope est limité (2M). Il aurait fallu utiliser deux exemplaires de l'oscilloscope de prêt avec des vitesses d'échantillonnages différentes, ce que nous n'avions pas à disposition.

Dans la suite de ce chapitre, nous présenterons donc seulement les mesures de courant de drain du transistor, effectuées avec le matériel disponible au laboratoire (deux oscilloscopes Textronix DPO et leurs sondes de courant à effet Hall). Pour plus de clarté, on trace l'évolution du courant en échelle de temps logarithmique à partir du premier échantillon mesuré (à $t=10^{-6}$ s après le dépinçement du transistor).

2.1.2 Influence de la tension de grille

On s'intéresse donc au courant de drain dans la période d'émission de la séquence. Tout d'abord, nous avons fait varier la tension de grille à l'état "off" du transistor. Sur la figure II.16, pour une tension $V_{GS,off}$ supérieure à -6V, il n'y a pas (ou très peu) de chute de courant. Il y a donc un seuil d'activation en tension grille-source. Également, plus le transistor est pincé fortement, plus la constante d'émission est longue. Ceci révèle la présence de pièges plus profonds, activés lorsque l'excursion coté grille est importante (traduite par une excursion importante du cycle de charge coté grille, et qui peut avoir lieu en régime RF grand signal, lorsque le transistor est fortement compressé).

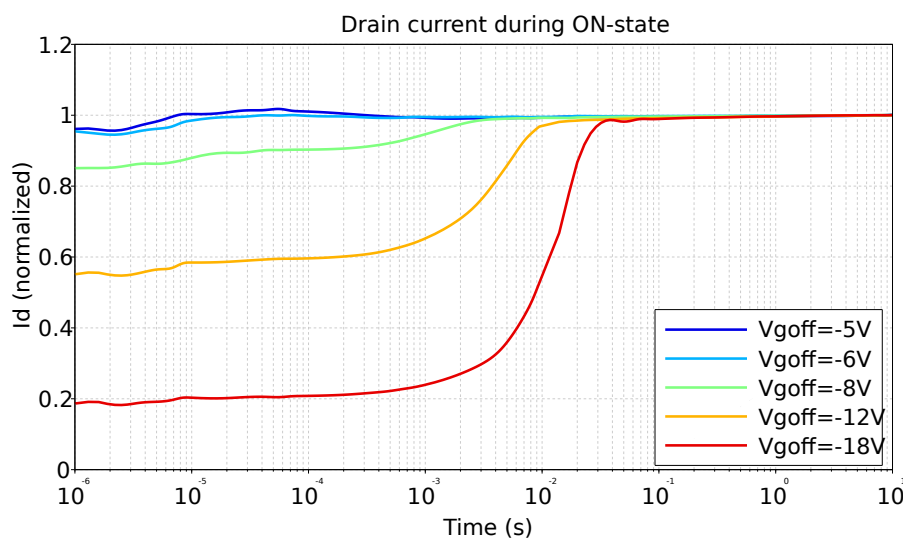


FIGURE II.16 – Mesures DCT à différents $V_{GS,off}$. Conditions : $V_{DS}=15$ V, $t_{fill}=1$ ms et $T=25^{\circ}$ C.

2.1.3 Influence de la tension de drain

Sur la figure II.17(a), pour une impulsion d'amplitude -18 V, la tension V_{DS} a un effet "catalyseur" de l'émission des pièges. La constante d'émission passe de $3.0 \cdot 10^{-2} \text{s}$ à 10V à $1.5 \cdot 10^{-2} \text{s}$ à 20V. Sur la figure II.17(b), la même mesure est répétée pour $V_{GS,off} = -8 \text{V}$. Le même phénomène est constaté. La constante d'émission passe de $4.3 \cdot 10^{-3} \text{s}$ à 10V à $6.8 \cdot 10^{-4} \text{s}$ à 20V. Dans la littérature, cette accélération du temps d'émission est attribuée à l'effet Poole-Frenkel [102] où la fréquence d'émission augmente avec la racine carrée du champ électrique (F) : $e(F) = e(0) \exp\left(\beta\sqrt{F}/k_bT\right)$ avec $\beta = \sqrt{q^3/(\pi\epsilon)}$. Ceci peut aussi venir de l'augmentation de l'auto-échauffement du transistor car la puissance dissipée augmente également. Enfin, les courbes pour 20V et 25V sont identiques dans ce dernier cas, ce qui laisse penser à un phénomène de saturation.

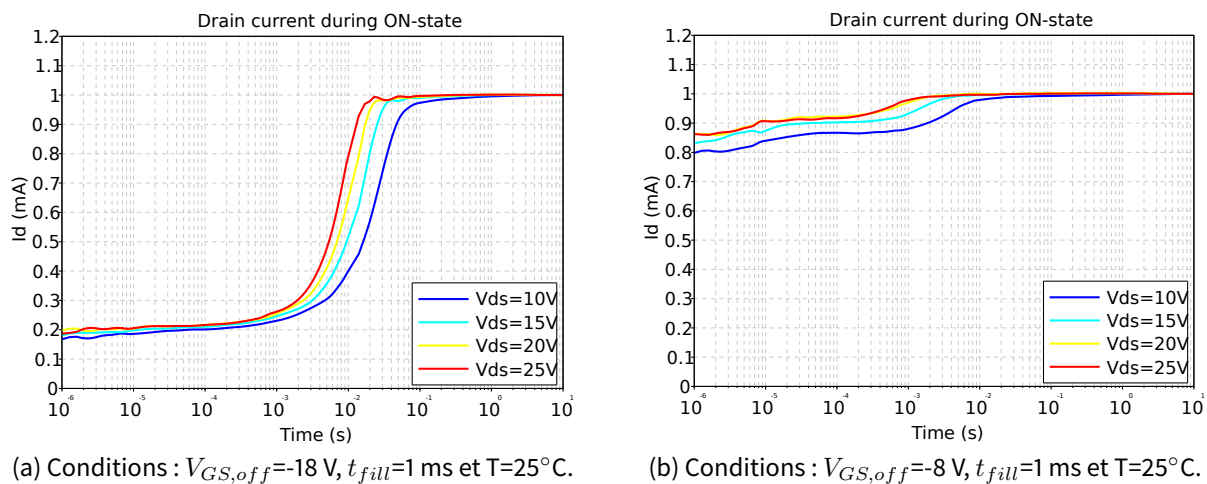
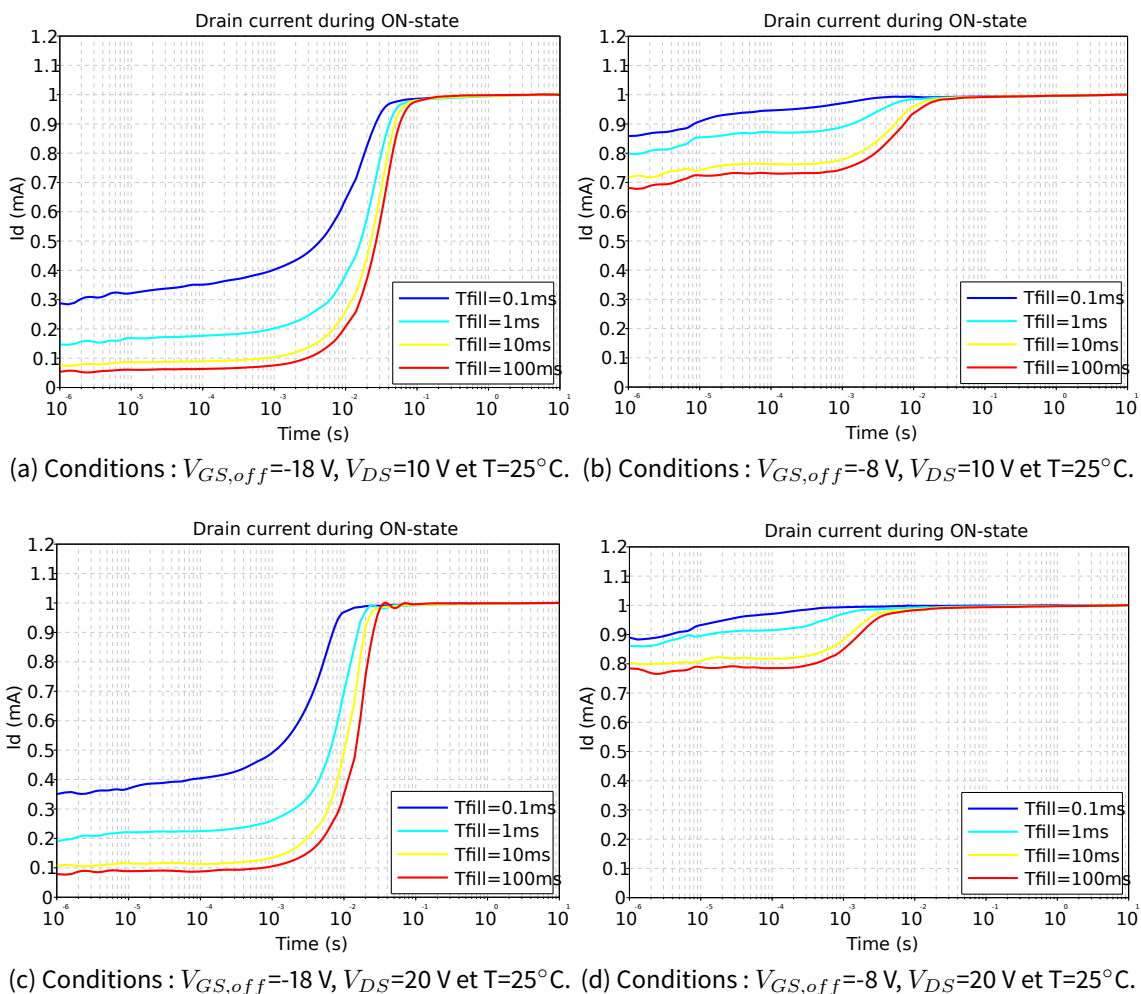


FIGURE II.17 – Mesures DCT à différents V_{DS} .

2.1.4 Influence de la largeur d'impulsion

En faisant varier la durée de remplissage des pièges, on peut tirer une information sur la constante de capture, ou du moins le temps nécessaire pour remplir une majorité de pièges. Les réponses pour une tension de grille de -18V et pour deux tensions V_{DS} sont tracées sur les figures II.18(a) et (c). Sur les figures II.18(b) et (d), on trace les réponses à une tension de grille plus faible, pour les mêmes V_{DS} . Un phénomène de saturation est visible entre les durées 10 ms et 100 ms. On peut considérer qu'au delà de 10 ms, la plupart des pièges sont remplis.


 FIGURE II.18 – Mesures DCT à différents t_{fill} .

2.1.5 Extraction de l'énergie d'activation

Finalement, ces mesures sont répétées à différentes températures de chuck afin d'extraire l'énergie d'activation des pièges en traçant la loi d'Arrhénius (présentée au début de ce chapitre). Pour rappel, l'équation d'Arrhénius vaut :

$$\ln\left(\frac{e_n}{T^2}\right) = \ln(\sigma_n \gamma) - \frac{E_a}{k_b \cdot T} \quad (\text{II.18})$$

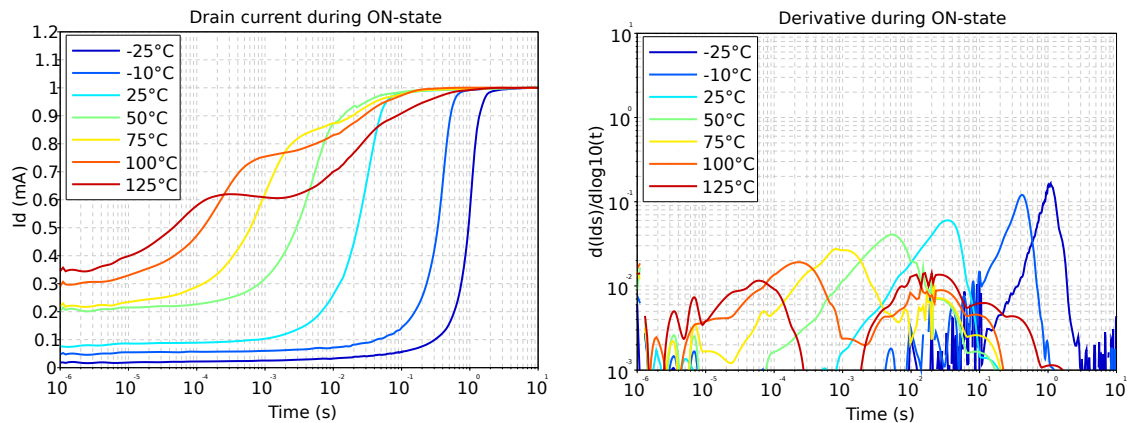
avec :

$$\gamma = 2\sqrt{3} (2\pi)^{3/2} m_e^* \frac{k_b^2}{h^3} = m^{-2} \cdot [s]^{-1} \cdot K^{-2} \quad (\text{II.19})$$

Cette équation II.18 est reformulée afin d'avoir une fonction affine en fonction de $1/(k_b \cdot T)$:

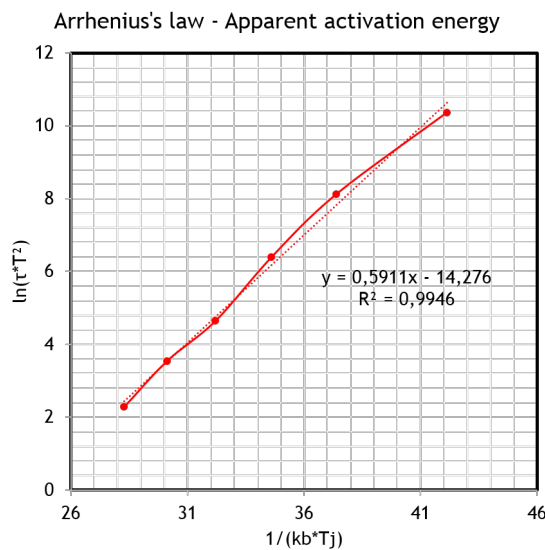
$$\ln(\tau_n T^2) = \frac{E_a}{k_b \cdot T} - \ln(\sigma_n \gamma) \quad (\text{II.20})$$

Pour estimer la constante d'émission (τ_n) du piège mis en évidence, nous avons choisi l'instant du maximum de la dérivée de la mesure du courant de drain. Puis nous avons tracé l'évolution de cette constante de temps en fonction de la température de jonction équivalente à la température de chuck additionnée à l'auto-échauffement calculé à partir du R_{th} du transistor (préalablement extrait par mesures I-V impulsionnelles, la méthode de calcul de la résistance thermique est détaillée dans la thèse de G. Mougnot [103]).



(a) Conditions : $V_{GS,off}=-18$ V, $V_{DS}=10$ V et $t_{fill}=10$ ms.

(b) Dérivée des courbes pour estimer la constante d'émission du piège.



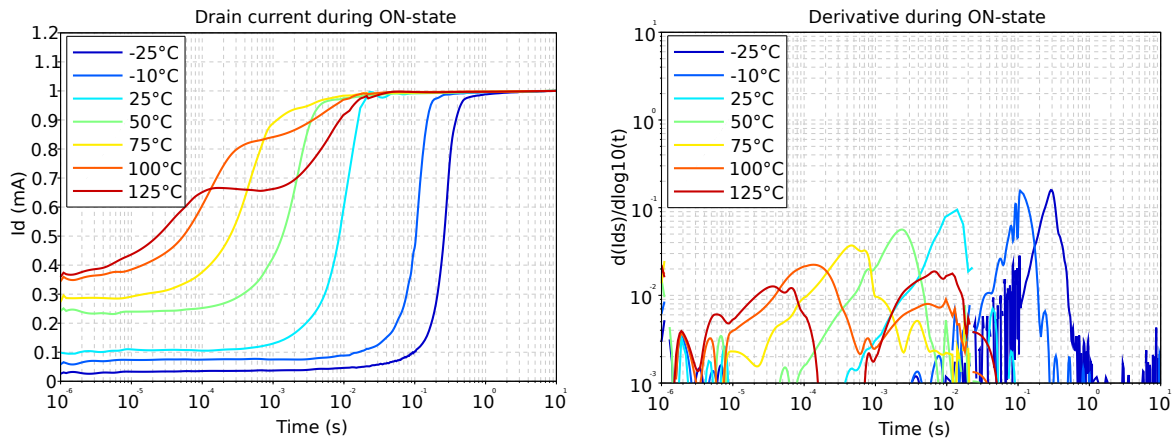
(c) Courbe d'Arrhenius. Energie d'activation : 0.59 eV, Section de capture : $3.38 \times 10^{-14} \text{ cm}^2$.

FIGURE II.19 – Mesures DCT à différentes températures de chuck et signature du piège.

Sur la figure II.19, la présence d'un piège qui se décale avec la température est visible. Sa signature est extraite en traçant la courbe d'Arrhenius sur le graph (c). Son énergie d'activation vaut 0.59 eV et sa section de capture $3.38 \times 10^{-14} \text{ cm}^2$. De plus, l'apparition d'une seconde pente est observée pour les valeurs de températures supérieures à 75°C, celle-ci ne

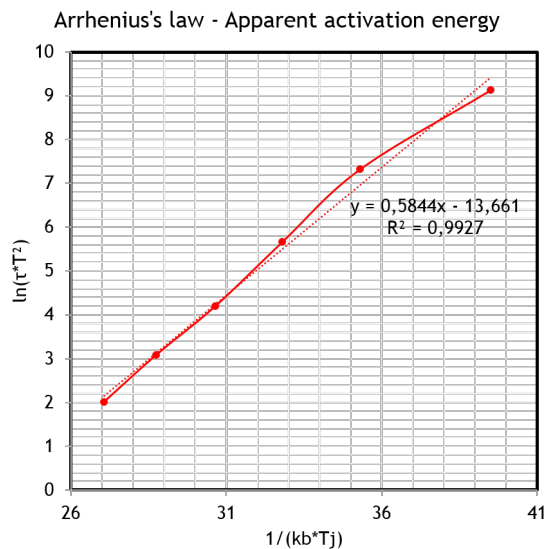
semble pas se décaler avec la température, ce pourrait être un processus à effet tunnel.

Dans le paragraphe précédent, nous avons vu que la tension de drain joue sur la constante d'émission des pièges, l'étude est donc reconduite pour une tension de drain plus élevée afin de voir si la signature du piège change.



(a) Conditions : $V_{GS,off}=-18$ V, $V_{DS}=25$ V et $t_{fill}=10$ ms.

(b) Dérivée des courbes pour estimer la constante d'émission du piège.



(c) Courbe d'Arrhenius. Energie d'activation : 0.58 eV, Section de capture : $1.83 \times 10^{-14} \text{ cm}^2$.

FIGURE II.20 – Mesures DCT à différentes températures de chuck.

Sur la figure II.20, la présence des mêmes pièges est constatée mais l'énergie d'activation du premier a légèrement diminuée avec l'augmentation de la tension de drain (probablement dû à une légère différence de courant de repos : en appliquant 50 mA au lieu de 45 mA dans le calcul de la température de jonction, on retrouve une pente d'Arrhenius à 0.59 eV). De plus, le second piège, qui est toujours insensible à la température, apparaît sensible à la variation de tension V_{DS} , ce qui confirme l'hypothèse d'un processus impliquant

un effet tunnel.

2.2 Mesures DCT par impulsion de drain

Nous avons aussi réalisé la mesure du transitoire de courant de drain suite à une impulsion de tension sur le drain du transistor tandis que la tension de grille est maintenue constante. Pour cela, le système de mesure BILT d'AMCAD est utilisé en mode générateur, voir figure II.21. Cet instrument n'étant pas prévu pour faire du mono-coup, nous envoyons un train d'impulsions coté drain avec la période la plus longue possible (20 ms) et une largeur d'impulsion de 1 ms. L'impulsion part de la tension de repos (9V) pour atteindre une tension de piégeage (19V) puis retourne au repos. C'est lors de ce retour à 9V que l'effet des pièges est visible : un transitoire de courant de drain apparaît, voir figure II.22. Malheureusement, la période entre deux impulsions est trop courte pour pouvoir estimer la constante d'émission du piège avec précision. Mais cette manipulation permet tout de même de montrer les effets de pièges activés par le drain du transistor (drain-lag).

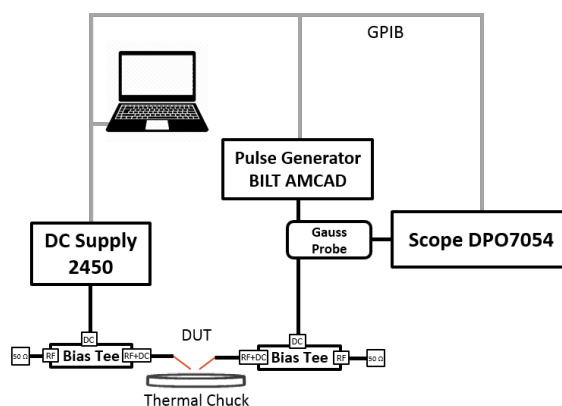
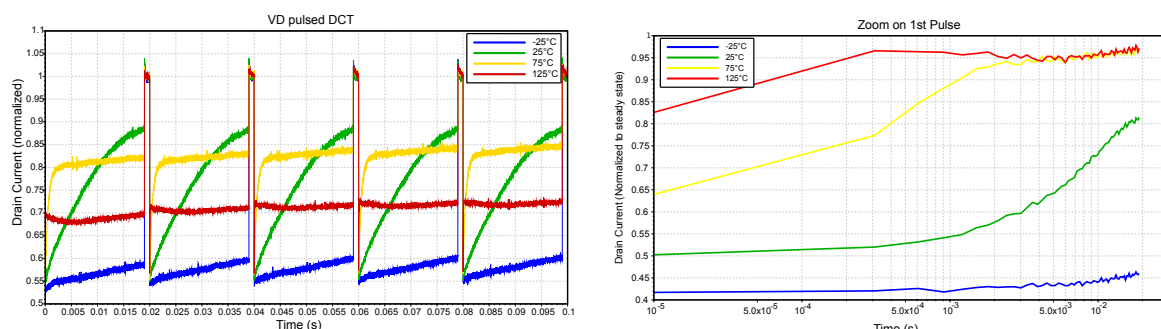


FIGURE II.21 – Banc de mesure DCT coté drain.



(a) Courant de drain normalisé par la valeur établie. Conditions : $V_{GS} = -3$ V, V_{DS} pulsé entre 9 et 19 V et $t_{fall} = 1$ ms.

(b) Zoom sur le premier pulse avec une échelle des temps logarithmique. Normalisation de l'amplitude par rapport au régime établi du courant de drain.

FIGURE II.22 – Mesures DCT avec impulsions coté drain à différentes températures de chuck.

2.3 Mesures de paramètres [S] basse fréquence

La mesure de paramètres S basse fréquence est une caractérisation déjà présente et fréquemment utilisée à XLIM [75]. Le banc de mesure est composé d'un analyseur de réseau vectoriel (VNA) basse fréquence ayant un seul té de polarisation interne (car l'appareil est initialement développé pour la caractérisation de diodes). Nous utilisons un té de polarisation externe accompagné d'une alimentation stabilisée pour alimenter la grille comme présenté sur la figure II.23(a). Le té de polarisation externe résistif couvre la bande de fréquences 10 Hz - 10 MHz. Basé sur le principe d'un pont de résistances comme indiqué sur la figure II.23(b), il a été fabriqué au laboratoire XLIM.

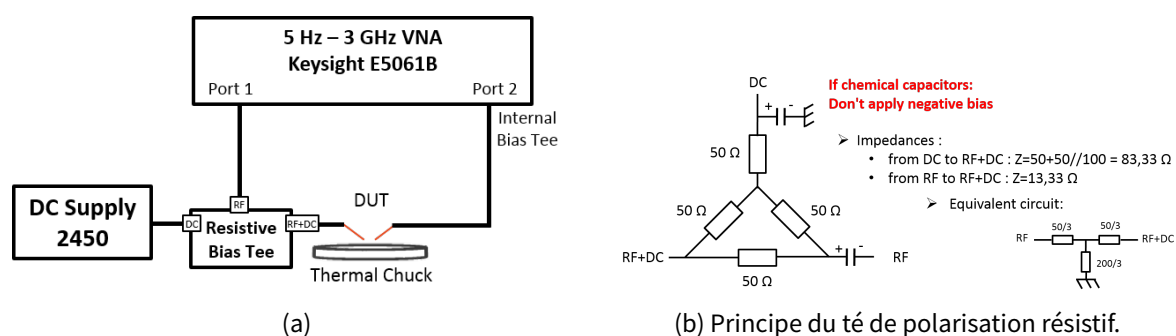


FIGURE II.23 – Banc de caractérisation basse fréquence.

Nous avons donc étudié les mêmes transistors sur ce banc de mesure afin de comparer les signatures de pièges extraites. La partie imaginaire du paramètre Y_{22} (i.e. la susceptance) d'un transistor $6 \times 75 \mu\text{m}$ en basse fréquence (entre 10 Hz et 10 MHz) est tracé sur la figure II.24. La fréquence de résonance se décale vers les hautes fréquences avec l'augmentation de la température et son amplitude diminue.

En revanche, l'énergie d'activation apparente extraite du piège ne correspond pas à l'énergie d'activation du piège observée lors de la mesure DCT précédente. De plus, la section de capture des électrons est environ 100 fois inférieure à celle trouvée précédemment. A titre de comparaison, la fréquence d'émission du piège mis en jeu lors de la mesure de dispersion de la transconductance (à $V_{DS} = 25\text{V}$) est de 2.4 kHz à 25°C tandis que la fréquence d'émission mesurée lors de la mesure DCT (à $V_{DS} = 25\text{V}$) est de 71 Hz à 25°C . Les deux pièges caractérisés sont donc différents : nous avons un piège lent et un piège rapide.

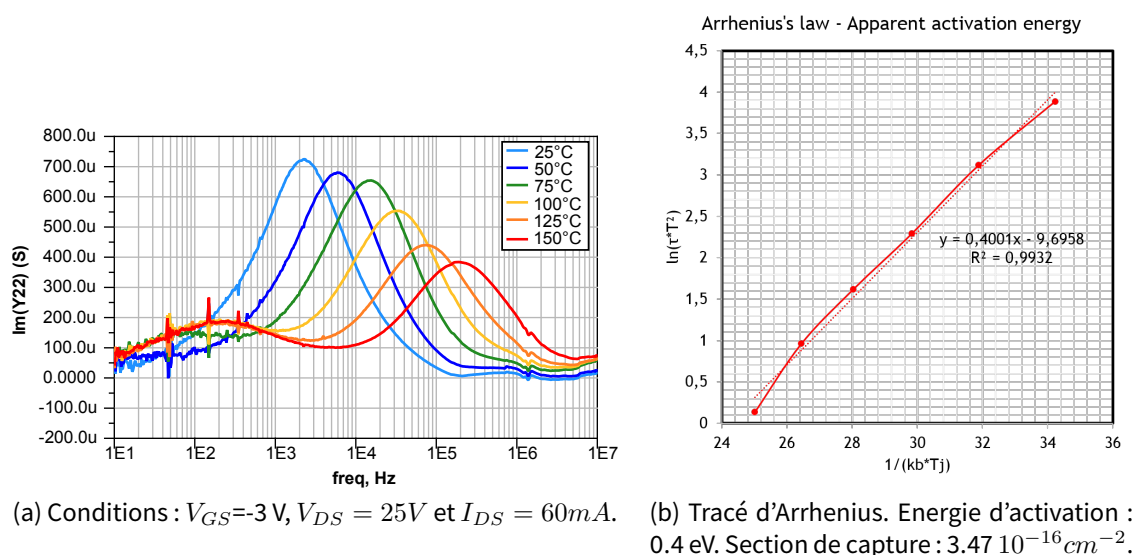


FIGURE II.24 – Mesures [S] à différentes températures de chuck.

2.4 Mesures de bruit basse fréquence

Un autre banc disponible à XLIM est la mesure du spectre basse fréquence afin d'étudier le bruit génération-recombinaison (GR) basse fréquence [104]. Le synoptique du banc est donné sur la figure II.25.

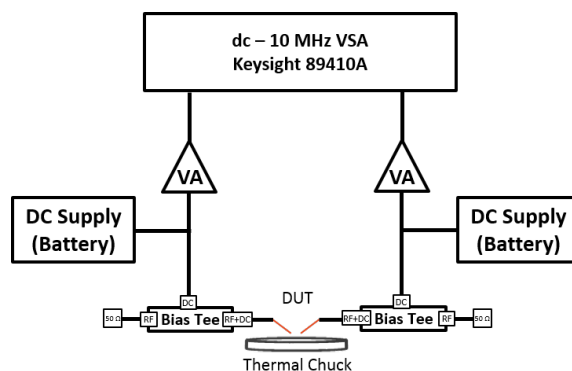


FIGURE II.25 – Banc de caractérisation du bruit basse fréquence.

Ces mesures ont été réalisées par un autre doctorant (Ahmad Al-Hajjar). Il est intéressant de comparer les résultats issus de différentes caractérisations effectuées sur le même lot de transistors. Afin d'étudier le bruit GR, la densité spectrale de bruit est multipliée par la fréquence afin d'annuler la contribution du bruit $1/f$. Sur la figure II.26(b), la présence de 2 pièges sensibles à la température est visible (après avoir appliqué une moyenne mobile afin de "lisser" un peu les courbes). Le premier (T1) est un piège avec une constante de temps longue, tandis que T2 a une constante de temps plus rapide.

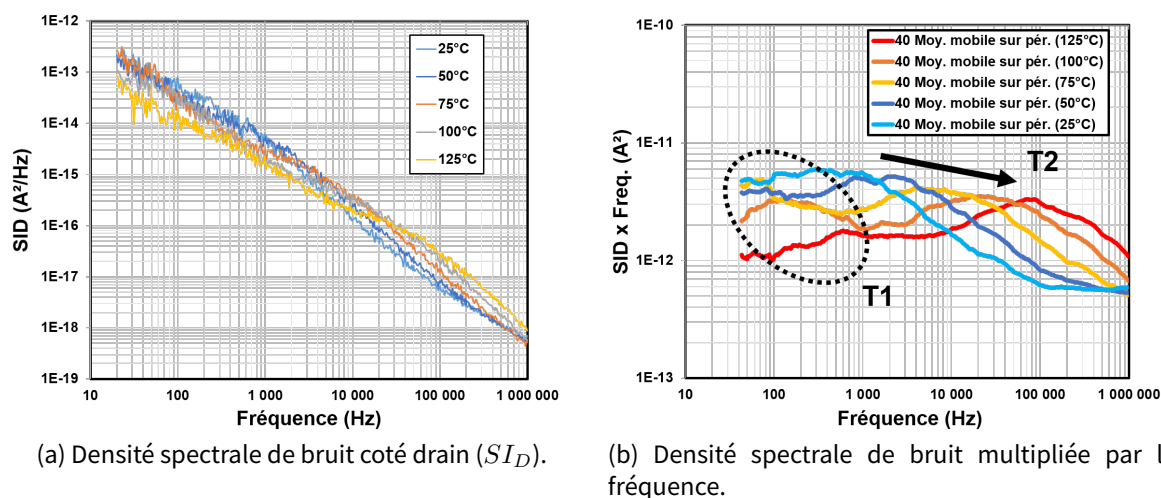


FIGURE II.26 – Mesure du bruit basse fréquence d’un transistor $6 \times 75 \mu\text{m}$. $I_{DS}=65 \text{ mA}$, $V_{DS}=10\text{V}$.

Sur la figure II.27, la courbe d’Arrhenius est tracée pour chacun des pièges mis en évidence. Le piège le plus lent (T1), possède une énergie d’activation et une section de capture proche de celle du piège mis en évidence lors de la mesure DCT. Le second piège, le plus rapide (T2), possède une signature différente de T1.

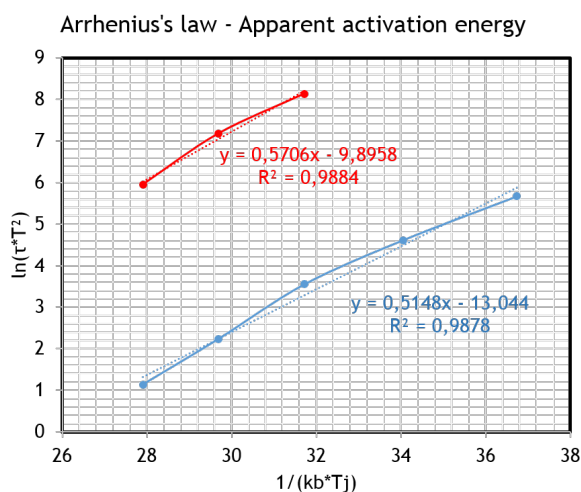


FIGURE II.27 – Tracé d’Arrhenius des deux pièges. Energie d’activation : $T1=0.57 \text{ eV}$, $T2=0.51 \text{ eV}$. Section de capture : $T1=4.21 \cdot 10^{-16} \text{ cm}^{-2}$, $T2=9.86 \cdot 10^{-15} \text{ cm}^{-2}$.

2.5 Comparaison des signatures de pièges extraites

Toutes les courbes d'Arrhenius extraites au cours de ce chapitre sont comparées sur la figure II.28.

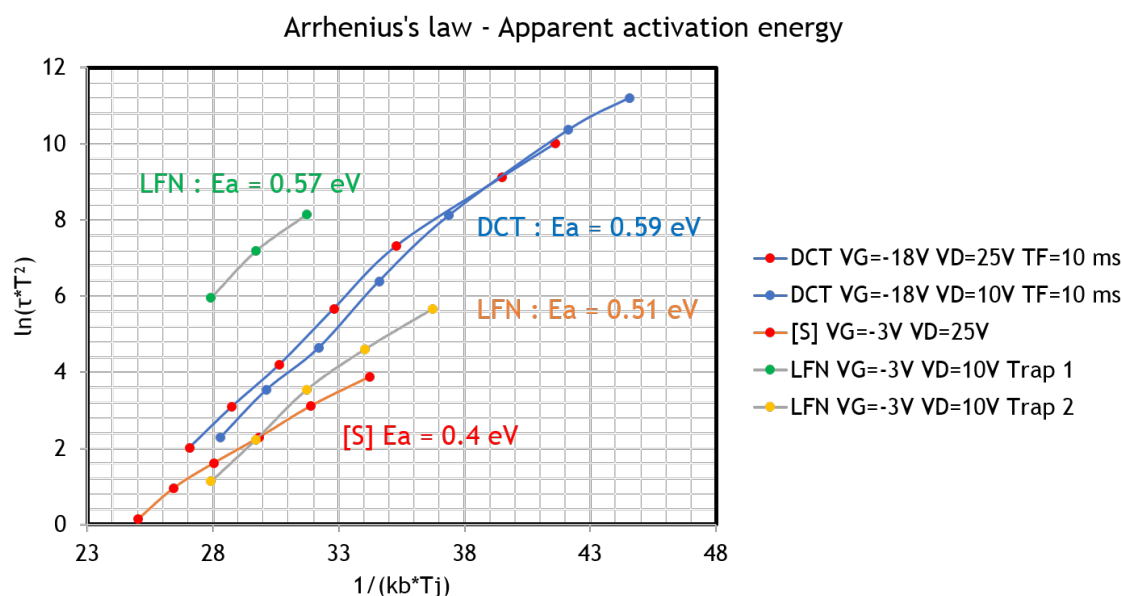


FIGURE II.28 – Comparaison des tracés d'Arrhenius obtenus par les différentes méthodes de caractérisation présentes au laboratoire.

Il est difficile de tirer une conclusion sur la comparaison des méthodes de caractérisation. Les constantes de temps longues sont dans la partie supérieure du graphe tandis que les constantes de temps courtes sont situées dans la partie inférieure. La présence d'au moins 2 pièges est une certitude. Un avec une énergie d'activation autour de 0.4 eV et une constante de temps rapide. L'autre avec une énergie d'activation autour de 0.6 eV et une constante de temps lente, qui s'active qu'avec des excursions en tensions fortes ($V_{GS} < -6V$). Éventuellement, un 3^{ème} piège avec un niveau d'énergie vers 0.6 eV et une constante de temps plus longue serait mis en évidence par la mesure de bruit BF (LFN).

3 Nouvelle méthode de caractérisation des pièges basée sur le concept de pièges lents/ pièges rapides

Une grande partie des travaux de thèse de K. Kahil [6] sont dédiés à la caractérisation des transistors GaN lors de mesures I-V impulsionnelles. Il a montré que, pour certaines configurations de séquences, les effets de pièges sont absents. Au cours de cette partie, nous allons analyser ces phénomènes afin de les modéliser.

3.1 Concept de pièges lents et pièges rapides

Pour rappel, au cours des caractérisations précédentes, deux types de pièges sont identifiés avec certitude :

- les pièges lents, avec une constante de temps de l'ordre de la seconde.
- les pièges rapides, ayant une constante de temps inférieur à la milliseconde.

Lors des caractérisations de K. Kahil, ces deux types de pièges sont également mis en évidence. Le 1^{er}, identifié comme piège de buffer (hypothèse validée en simulation TCAD [52]), est celui qui possède une constante d'émission de l'ordre de la milliseconde à 25°C. Le 2nd n'est activé que pour des tensions maximales de drain dépassant 18 V (ou des tensions grille-drain supérieures à 21 V). Ce piège est à constante de temps plus longue, de l'ordre de la seconde. Nous le relierons au piège lent identifiable dans les mesures DCT avec un tension de grille inférieure à $-6V$.

Dans le but de démontrer qu'il est possible de charger (ou non) un type de piège en choisissant correctement le profil de la séquence I-V envoyée, on vient simuler la réponse transitoire de ces deux pièges en les modélisant par le désormais classique circuit RC avec 2 résistances (ainsi qu'une diode qui permet d'introduire l'asymétrie entre temps de capture rapide et temps d'émission long) introduit par O. Jardel [105]. Un seuil d'activation en tension est ajouté sur le circuit utilisé pour modéliser les pièges lents, pas sur celui simulant les pièges rapides, voir figure II.29 suivante.

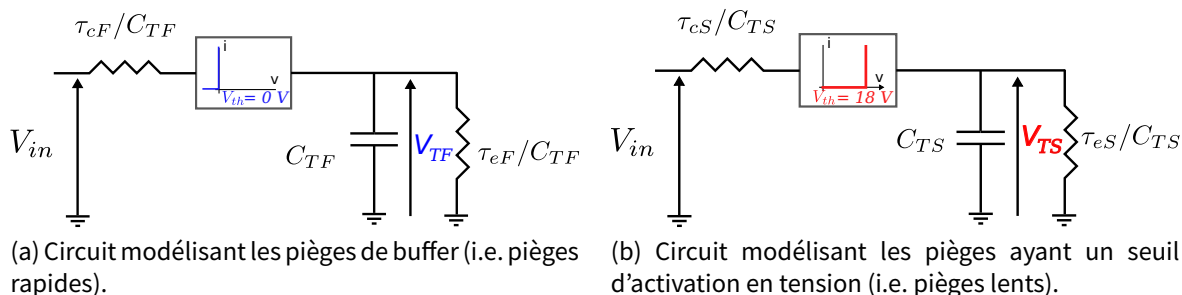


FIGURE II.29 – Circuits utilisés pour l'étude des mécanismes de capture/émission des pièges.

Ces circuits sont réglés de manière à ce que les capacités (C_T) se remplissent et se vident au rythme de chacun des pièges. Elles modélisent donc la quantité de pièges ionisés. Un signal de test émulant la séquence appliquée au transistor lors d'une mesure I-V impulsionnelle est alors envoyé sur ces circuits. Le chronogramme de la séquence est donné sur la figure II.30.

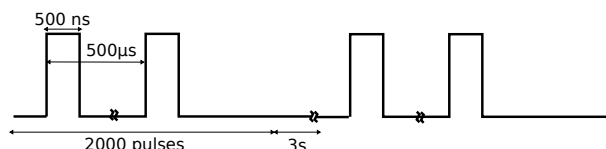
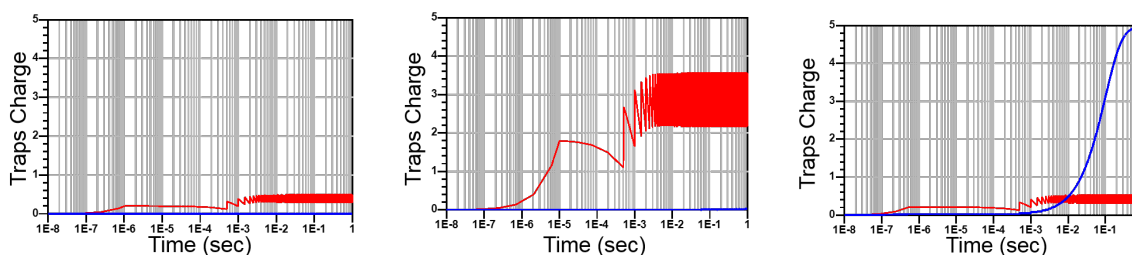


FIGURE II.30 – Séquence d'impulsions de tension appliquée lors d'une séquence I-V.

En faisant varier les paramètres de cette séquence (rapport cyclique, période et amplitude), il est possible de trouver des conditions de mesure qui permettent d'isoler le remplissage d'un piège ou de l'autre. C'est ce que nous montrons sur la figure II.31 suivante.



(a) Amplitude : 10 V. Période : 500 μ s. Rapport cyclique : 0.1 %. Aucun piège n'est ionisé. Le piège rapide a le temps de se vider entre deux impulsions.

(b) Amplitude : 10 V. Période : 500 μ s. Rapport cyclique : 2 %. Seuls les pièges rapides sont ionisés.

(c) Amplitude : 20 V. Période : 500 μ s. Rapport cyclique : 0.1 %. Seuls les pièges lents sont ionisés.

FIGURE II.31 – Simulation modélisant l'état de remplissage des deux types de pièges au cours d'une séquence de mesure I-V impulsionnelle en fonction du profil des impulsions envoyées. Rouge = tension aux bornes de la capacité modélisant les pièges rapides. Bleu = tension aux bornes de la capacité modélisant les pièges lents.

Évidemment, si l'amplitude du signal est inférieure au seuil d'activation du piège lent, celui-ci ne sera jamais rempli.

Si le rapport cyclique est faible ($\leq 1\%$) et que la période est suffisamment courte (≤ 1 ms), le taux de remplissage moyen du piège rapide reste bas, comme indiqué sur la figure II.31(a). Le respect de ces deux conditions implique une mesure sans piège, appelée "trap-free".

L'allongement de la durée des impulsions tout en conservant la même période empêche les pièges rapides de se vider entre deux impulsions, ils sont donc chargés, voir figure II.31(b). Comme il n'y a que les pièges rapides de chargés, c'est la mesure "fast trap only".

En conservant le même profil d'impulsions que pour la mesure "trap free" tout en

augmentant l'amplitude au-delà du seuil d'activation des pièges lents, seuls les pièges lents sont remplis, voir figure II.31(c). C'est la mesure "slow trap only".

Maintenant que nous avons vu qu'il est possible de jouer sur l'écart entre les deux constantes d'émission des pièges afin de réaliser une séquence de mesure I-V impulsionnelle qui permet d'isoler la contribution d'un seul type de piège, nous allons valider ce principe à travers des mesures sur transistors.

3.2 Mesures I-V impulsionnelles spécifiques dans le but de séparer les types de pièges

En suivant la théorie expliquée dans la partie précédente, nous effectuons la mesure de 3 réseaux I-V. La mesure se fait en 2 balayages consécutifs : le 1^{er}, fait à $V_{GS} = -4V$ (transistor pincé), permet de fixer le niveau de piège. Le 2nd permet de visualiser la chute de courant due à l'état de piège imposé. Les mesures sont données sur la figure II.32 suivante.

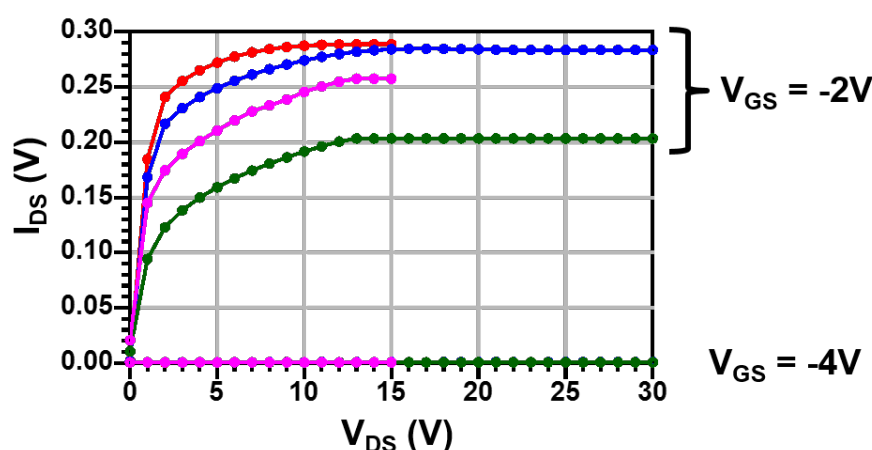


FIGURE II.32 – Comparaison des mesures I-V séparant la contribution des deux types de pièges. Rouge : courbe de référence (sans piège). Bleue : courbe avec les pièges lents. Mauve : courbe avec les pièges rapides. Vert : courbe avec tous les pièges.

Les conditions d'impulsion utilisées pour les mesures sont :

1. un rapport cyclique de 1%, un point de repos nul (0V/0V) et une excursion Drain-Source maximale de 15V (courbe rouge).
2. un rapport cyclique de 1%, un point repos non-nul (-3V/10V) qui empêche la décharge totale des pièges rapides et une excursion Drain-Source maximale de 15V (courbe mauve).
3. un rapport cyclique de 1%, un point repos nul (0V/0V) et une excursion Drain-Source maximale de 30V pour charger les pièges lents (courbe bleue).

- un rapport cyclique de 1%, un point repos non-nul (-3V/10V) qui empêche la décharge totale des pièges rapides et une excursion Drain-Source maximale de 30V afin de charger également les pièges lents (courbe verte).

Nous avons donc trouvé un moyen rapide et efficace pour séparer la contribution des pièges à constantes de temps longues de celle des pièges à constantes de temps courtes. Ces mesures serviront par la suite de support pour régler les modèles électriques de chaque type de piège.

3.3 Explication physique du remplissage des pièges lents

Le but de cette partie est d'expliquer le mécanisme physique qui est à l'origine de l'excitation des pièges lents afin de trouver un circuit électrique qui les modélise tout en étant cohérent avec la physique du composant.

3.3.1 Hypothèse des deux niveaux de pièges.

Pour expliquer le mécanisme de piégeage-dépiégeage observé en mesure, nous avons tout d'abord pensé à la présence de deux pièges avec deux énergies d'activation différentes, comme représenté sur la figure II.33.

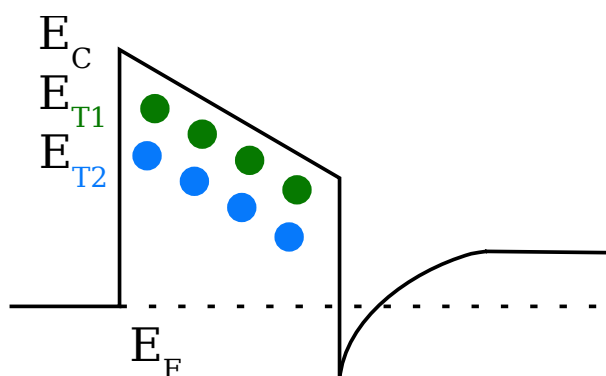


FIGURE II.33 – Diagramme de bandes d'énergie représentant les deux pièges de barrière.

L'interaction entre ces deux pièges conduirait à la présence des deux pentes d'émission observées lors des mesures DCT et justifierait la variation de la signature du piège observée lors des mesures en température.

Il faut alors résoudre les équations différentielles de variation de charges en considérant deux pièges (T1 et T2) avec deux énergies d'activation (E_{a1} et E_{a2}) et deux sections de capture des électrons (σ_{n1} et σ_{n2}). Chaque piège possédant une probabilité de capture d'électrons donnée par l'équation :

$$c_n = \sigma_n v_{th} \quad (II.21)$$

avec v_{th} la vitesse thermique des électrons dans le matériau considéré.

Associée à la probabilité de capture, on exprime la probabilité d'émission des électrons :

$$e_n = c_n n_T \quad (II.22)$$

avec n_{T1} , la densité de piège au niveau d'énergie E_{T1} , définie telle que :

$$n_{T1} = N_C \cdot \exp\left(\frac{E_{T1}}{k_b T}\right) \quad (II.23)$$

pour cette dernière (équation II.23), on approxime l'intégrale de Fermi-Dirac ($F_{1/2}$) par la fonction exponentielle. E_a est l'énergie d'activation du piège telle que : $E_a = E_T - E_C$. N_C est la densité d'états dans la bande de conduction du matériau considéré. k_b est la constante de Boltzman ($k_b = 8.62 \text{ eV.K}^{-1}$). T est la température en Kelvin.

Sans piège, nous connaissons la formule du niveau de charge dans le canal (valable pour $V_{gs} > V_p$) :

$$Q_{2DEG} = C_0(V_{GS} - V_P) \quad (II.24)$$

Le phénomène transitoire d'établissement du courant de drain dû aux pièges peut être modélisé en introduisant un terme ΔQ_{2DEG} de telle sorte que :

$$Q_{2DEG} = C_0(V_{GS} - V_P) - \Delta Q_{2DEG} \quad (II.25)$$

Ce terme ΔQ_{2DEG} revient à appliquer un décalage de la tension V_P et donc à modifier le courant de drain I_D (car $Q_{2DEG} \propto I_D$).

La formule de ΔQ_{2DEG} prend en compte la notion de distance entre le piège et le gaz 2D d'électrons. En effet, plus le piège est proche du canal, plus son effet sur celui-ci est important. ΔQ_{2DEG} est exprimé par l'équation :

$$\Delta Q_{2DEG} = -Q_{T1} * \left(1 - \frac{d_1}{d}\right) - -Q_{T2} * \left(1 - \frac{d_2}{d}\right) \quad (II.26)$$

avec $QT1$ et $QT2$ les niveaux de charge des pièges T1 et T2, d l'épaisseur de la couche AlGaIn, d_1 et d_2 respectivement la distance entre le piège T1 et le canal et la distance entre le piège T2 et le canal.

A $t = 0$, on considère que les pièges sont partiellement ionisés, cette hypothèse permet de formuler les conditions initiales de charge (II.27) et (II.28).

$$Q_{T1}(t = 0) = \alpha_1 q N_{T1} = Q_{T10} \quad (II.27)$$

$$Q_{T2}(t = 0) = \alpha_2 q N_{T2} = Q_{T20} \quad (II.28)$$

avec α_1 et α_2 les coefficients d'occupation des pièges $T1$ et $T2$ (valeur comprise entre 0 et 1), q la charge élémentaire, N_{T1} et N_{T2} les densités de pièges $T1$ et $T2$.

Pour chaque piège, il faut exprimer l'équation différentielle de sa variation de charge au cours du temps $\frac{dQ_{T1}}{dt}$. Cela passe par le bilan des charges émises et reçues entre les niveaux d'énergie E_C , E_{T1} et E_{T2} , on les représente sur la figure II.34 suivante.

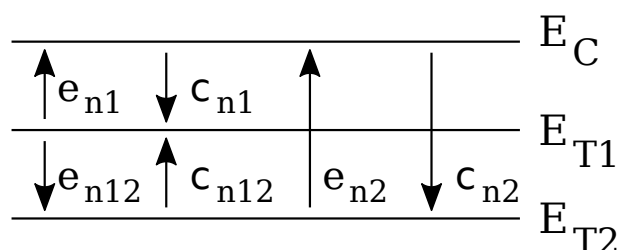


FIGURE II.34 – Diagramme des bandes d'énergie - Échanges de porteurs entre les pièges et le canal.

Au cours du temps, la variation de charge d'un piège est directement liée aux échanges de porteurs qui ont lieu : chaque charge émise vers une autre couche est une charge perdue tandis que chaque charge capturée est une charge qui vient s'ajouter. On énonce le cas du piège $T1$ par l'équation (II.29).

$$\frac{dQ_{T1}}{dt} = \sum \begin{cases} -q \text{ électrons capturés depuis } E_C, \\ -q \text{ électrons capturés depuis } E_2, \\ +q \text{ électrons émis vers } E_C, \\ +q \text{ électrons émis vers } E_2. \end{cases} \quad (\text{II.29})$$

De manière analogue, on exprime la variation de charge du piège $T2$ par l'équation (II.30).

$$\frac{dQ_{T2}}{dt} = \sum \begin{cases} -q \text{ électrons capturés depuis } E_C, \\ -q \text{ électrons capturés depuis } E_1, \\ +q \text{ électrons émis vers } E_C, \\ +q \text{ électrons émis vers } E_1. \end{cases} \quad (\text{II.30})$$

Maintenant que le principe des échanges est posé, nous pouvons remplacer les phrases par des équations. Pour cela, nous utilisons les variables modélisant les probabilités d'échange de porteurs entre les niveaux d'énergie (tableau II.2).

Sachant que les probabilités c_{n12} et e_{n21} sont identiques, de même pour c_{n21} et e_{n12} , nous utiliserons seulement c_{n12} et e_{n12} dans le calcul pour simplifier les expressions.

Nom de la variable	Description
c_{n1}	Probabilité de capture d'un électron par E1 depuis Ec
e_{n1}	Probabilité d' émission d'un électron depuis E1 vers Ec
c_{n12}	Probabilité de capture d'un électron par E1 depuis E2
e_{n12}	Probabilité d' émission d'un électron depuis E1 vers E2
c_{n21}	Probabilité de capture d'un électron par E2 depuis E1
e_{n21}	Probabilité d' émission d'un électron depuis E2 vers E1
c_{n2}	Probabilité de capture d'un électron par E2 depuis Ec
e_{n2}	Probabilité d' émission d'un électron depuis E2 vers Ec

TABLE II.2 – Description des variables de probabilités d'échange de porteurs entre les niveaux d'énergie.

Il faut aussi introduire une notion d'encombrement des bandes d'énergie. En effet, les niveaux d'énergie E_{T1} et E_{T2} ne peuvent accepter/émettre qu'une quantité limitée de porteurs, celle ci est définie par les densités de pièges N_{T1} et N_{T2} . Par exemple, le piège $T1$ peut avoir une charge maximale $Q_{T1} = -q N_{T1}$ et une charge minimale nulle (0). En revanche, nous considérons que les niveaux d'énergie E_C et E_V peuvent accepter/émettre une quantité illimitée de porteurs.

Dans le cas du piège $T1$, on peut donc formuler l'équation de variation de charge au cours du temps telle que :

$$\frac{dQ_{T1}}{dt} = \sum \begin{cases} -c_{n1} \cdot Q_{2DEG}(t) \cdot (Q_{T1}(t=0) - Q_{T1}(t)) \\ -c_{n12} \cdot Q_{T2}(t) \cdot (Q_{T1}(t=0) - Q_{T1}(t)) \\ +e_{n1} \cdot Q_{T1}(t) \cdot 1 \\ +e_{n12} \cdot Q_{T1}(t) \cdot (Q_{T2}(t=0) - Q_{T2}(t)) \end{cases} \quad (II.31)$$

sachant que la différence $Q_{TX}(t=0) - Q_{TX}(t)$ représente la quantité de places disponibles à l'instant t pour le niveau d'énergie du piège T_X . Lorsqu'une charge est émise dans la bande de valence, le nombre de place étant illimité, on multiplie par 1.

On fait de même pour $T2$:

$$\frac{dQ_{T2}}{dt} = \sum \begin{cases} -c_{n2} \cdot Q_{2DEG}(t) \cdot (Q_{T2}(t=0) - Q_{T2}(t)) \\ -e_{n12} \cdot Q_{T1}(t) \cdot (Q_{T2}(t=0) - Q_{T2}(t)) \\ +e_{n2} \cdot Q_{T2}(t) \\ +c_{n12} \cdot Q_{T2}(t) \cdot (Q_{T1}(t=0) - Q_{T1}(t)) \end{cases} \quad (II.32)$$

Sachant que $Q_X(t) = q \cdot N_X(t)$, les équations se simplifient en remplaçant les charges par des densités de charges :

$$\frac{dN_{T1}}{dt} = \sum \begin{cases} +c_{n1} \cdot q \cdot n_{2DEG}(t) \cdot (N_{T1}(t=0) - N_{T1}(t)) \\ +c_{n12} \cdot q \cdot N_{T2}(t) \cdot (N_{T1}(t=0) - N_{T1}(t)) \\ -e_{n1} \cdot q \cdot N_{T1}(t) \\ -e_{n12} \cdot q \cdot N_{T1}(t) \cdot (N_{T2}(t=0) - N_{T2}(t)) \end{cases} \quad (II.33)$$

$$\frac{dN_{T2}}{dt} = \sum \begin{cases} +c_{n2} \cdot q \cdot n_{2DEG}(t) \cdot (N_{T2}(t=0) - N_{T2}(t)) \\ +e_{n12} \cdot q \cdot N_{T1}(t) \cdot (N_{T2}(t=0) - N_{T2}(t)) \\ -e_{n2} \cdot q \cdot N_{T2}(t) \\ -c_{n12} \cdot q \cdot N_{T2}(t) \cdot (N_{T1}(t=0) - N_{T1}(t)) \end{cases} \quad (II.34)$$

Une fois les équations différentielles posées, nous utilisons un outil numérique (Scilab) afin de les résoudre et de tracer directement l'évolution du courant de drain en fonction du temps. Nous comparons les mesures DCT aux meilleurs résultats que nous obtenons avec ce modèle à deux pièges sur la figure II.35.

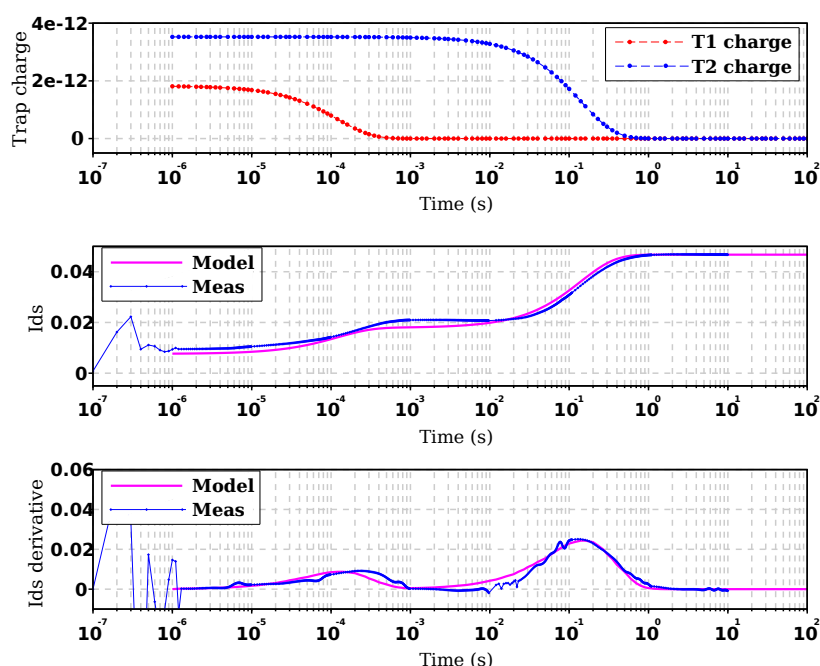
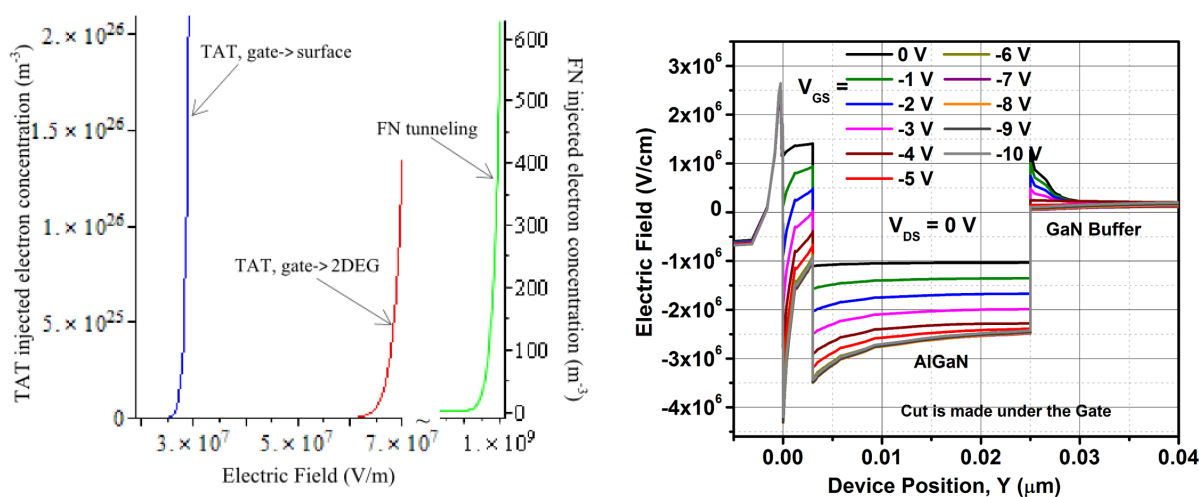


FIGURE II.35 – Comparaison entre les mesures DCT et les résultats obtenus à partir des équations différentielles d'échange de charges entre deux niveaux de pièges. Conditions : $V_{GS,off}=-18$ V, $V_{DS}=10$ V, $t_{fill}=100$ ms à $T=100^{\circ}$ C.

Sur la figure II.35, un accord satisfaisant est obtenu entre modèle et mesures pour ce jeu de paramètres, mais ce n'est pas le comportement attendu. En effet, en regardant l'évolution de la charge des deux pièges, on constate qu'ils ne font que se décharger dans le canal, ils n'ont pas d'interaction. Pour forcer l'interaction, il faut entrer des valeurs d'énergie d'activation et de section de capture irréalistes. Nous avons donc décidé de ne pas donner suite à ce modèle.

3.3.2 Hypothèse du TAT (Trap-Assisted Tunneling).

Après avoir constaté que le modèle à deux niveaux de pièges ne donnait pas satisfaction, la présence d'un seuil d'activation en V_{DS} des pièges lents nous a conduit à nous interroger sur le principe physique qui régit le remplissage de ce type de pièges. Pour des tensions V_{GD} élevées, les simulations physiques montrent que le champ électrique à travers la barrière AlGaIn est fort ($>10^7$ V/m). Dans son papier [60], Goswami explique la présence de courants de fuite par processus à effet tunnel : à fort champ électrique, c'est un effet tunnel assisté par les pièges (TAT) puis à des niveaux de champs encore plus élevés, l'effet tunnel est direct (Fowler-Nordheim). Comme indiqué sur la figure II.36(a), son modèle de courant de fuite met en évidence un seuil d'activation en champ électrique (équivalent à un niveau de tension).



(a) Modèle de courant de fuite de Goswami [60] : l'effet tunnel se produit à fort champ électrique, il est d'abord assisté par les pièges (TAT) puis direct (FN).

(b) Simulation TCAD du champ électrique (en V/cm) au sein de la structure de notre transistor pour des tensions V_{GS} fortement négatives.

FIGURE II.36 – Présence d'effets tunnel des électrons à partir de l'électrode de grille du HEMT GaN.

Sur la figure II.36(b), les champs électriques donnés par la simulation physique TCAD (réalisée au laboratoire XLIM) au niveau de la barrière AlGaIn (2.5×10^6 V/cm, i.e. 10^8 V/m) correspondent aux niveaux du processus TAT grille->canal simulé par Goswami.

De nombreux autres papiers prouvent également la présence de courants de fuite de grille par effet tunnel dans les HEMT [106, 107, 108, 109, 110].

Etant donné que les pièges rapides ont pour origine le buffer GaN, il est plausible que le remplissage des pièges lents se fasse par TAT dans la barrière AlGaIn ou dans la zone sous l'espace grille-drain. Sur la figure II.37, nous décrivons succinctement le processus du TAT.

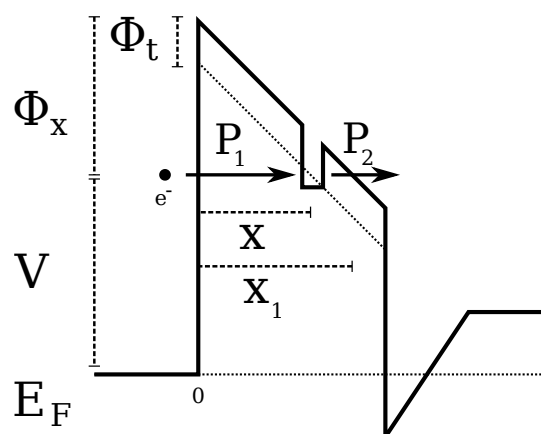


FIGURE II.37 – Schéma du processus d'effet tunnel assisté par les pièges (TAT) [10].

Le processus TAT se déroule en deux étapes :

- Etape 1 (P1) : lorsque le champ électrique dépasse le seuil d'activation de l'effet tunnel : les électrons passent par effet tunnel de la grille vers les pièges de barrière. Ensuite, au cours du temps, plus les pièges se chargent, moins il y a de places libres donc moins d'électrons traversent la barrière (i.e. décroissance du courant de fuite dynamique).
- Etape 2 (P2) : lorsque les pièges ne sont pas vides, les électrons transitent des pièges vers le canal (par effet tunnel ou bien émission thermique). Comme le nombre de places dans le canal est infini, ce processus ne s'atténue jamais (tant qu'il y a des électrons dans le piège, ils se vident dans le canal).

Le régime établi est atteint lorsqu'il y a autant d'électrons qui entrent dans le piège qu'il n'y en a qui en sortent ($P1 = P2$).

Un model analytique, proposé par Fleischer [10], permet de calculer la densité de courant qui traverse la barrière par TAT en fonction du champ électrique appliqué. Il part des équations de transfert de charge :

$$T_1 = C N_t (1 - f) P_1, \quad (II.35)$$

$$T_2 = C N_t f P_2 \quad (II.36)$$

où T_1 et T_2 sont les densités de charges transitant respectivement de la grille vers le piège et du piège vers le canal. C est la fonction représentant la variation lente de l'énergie d'un électron (peut être considérée = 1), N_t est la densité de porteurs que peut contenir le piège. f est le taux d'occupation du piège (compris entre 0 et 1). P_1 et P_2 sont les probabilités de transfert respectivement de la grille vers le piège et du piège vers le canal.

Puis il utilise l'approximation de Wentzel-Kramers-Brillouin (WKB) afin d'exprimer les probabilités de transfert P_1 et P_2 en fonction du champ électrique (E), de l'énergie d'activation du piège (ϕ_t), de la distance du piège par rapport à la grille (X), de la hauteur

effective de barrière (ϕ_x) et de la largeur effective de la barrière ($X_1 = (V - \phi_t)/E$).
Après simplifications, P_1 vaut :

$$P_1 = \exp\left(-\frac{3}{2} A X \phi_t^{1/2}\right) \quad (\text{II.37})$$

avec :

$$A = \frac{4\sqrt{2} q m_{bar}}{3 \hbar}$$

où m_{bar} est la masse effective de l'électron dans la barrière.

De même, il exprime P_2 :

$$P_2 = \exp\left(-\frac{A\phi_t^{3/2}}{E}\right) \quad (\text{II.38})$$

Le courant TAT (J_{TAT}) vaut :

$$J_{TAT} = \int_0^{X_1} \frac{q C_t N_t P_1 P_2}{P_1 + P_2} dx \quad (\text{II.39})$$

où la constante C_t vaut :

$$C_t = \left(\frac{m_{met}}{m_{bar}}\right)^{5/2} \frac{8 E_1^{3/2}}{3 \hbar \sqrt{\phi_t - E_1}} \quad (\text{II.40})$$

avec m_{met} la masse effective de l'électron dans le métal. E_1 est l'énergie totale d'un électron (=0.2 eV).

Après résolution de l'intégrale (méthode de Simpson), (J_{TAT}) vaut :

$$J_{TAT} = \frac{C_t q N_t P_2}{D} \left[D X_1 - \ln \frac{1 + P_2 \exp(D X_1)}{1 + P_2} \right] \quad (\text{II.41})$$

avec :

$$D = \frac{3}{2} \phi_t^{1/2} A$$

Cette solution analytique permet de connaître le courant moyen qui traverse la barrière en fonction du champ électrique appliqué, mais pas le courant instantané. Pour cela, il faut résoudre l'équation différentielle :

$$\frac{\partial(n_t)}{\partial t} = C (N_t - n_t) P_1 - C n_t P_2 \quad (\text{II.42})$$

A $t = 0$ s, les pièges sont supposés vides, donc la dérivée est maximale : $C N_t P_1$. On mesure donc le courant maximal de remplissage des pièges.

En régime établi, la dérivée est nulle donc : $(N_t - n_{tmax}) P_1 = n_{tmax} P_2$. C'est le courant minimum, donné par J_{TAT} .

Afin de vérifier ce modèle analytique, nous avons effectué des mesures de courants de

fuite statiques et dynamiques.

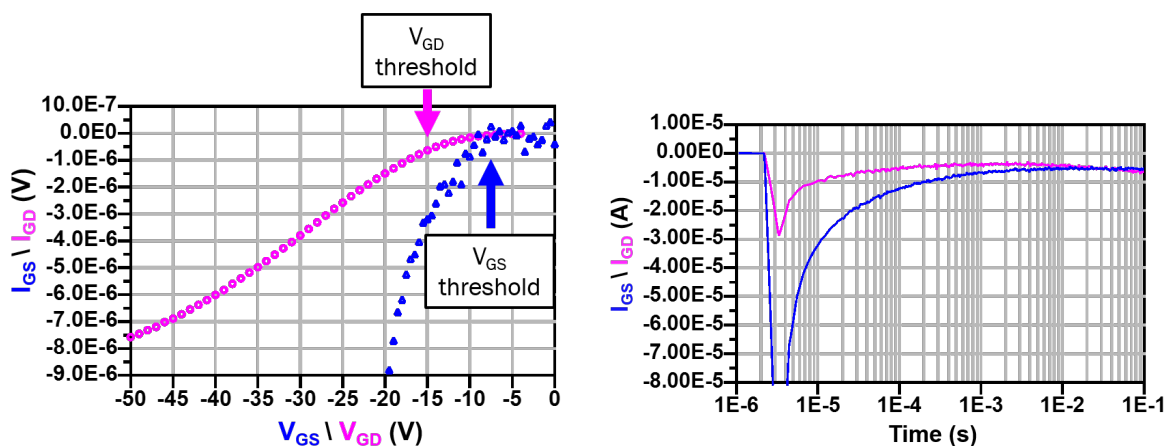
3.4 Mesure du courant de fuite de grille entre les électrodes GD et GS

Nous avons donc mesuré les courants de fuite de grille sur les mêmes transistors que précédemment (UMS GH25, $6 \times 75 \mu\text{m}$). Les courants étant faibles (de l'ordre du micro-ampère), nous avons utilisé le système PIV3000 d'AMCAD (ayant une sonde de grille très précise en courant accompagnée d'un temps de réponse rapide) pour réaliser deux types de mesures :

- des mesures statiques : on applique une tension (V_{GS} ou V_{GD}) puis on mesure le courant de fuite statique (au bout de 100 ms). On répète la mesure en balayant une gamme de tensions afin de détecter un seuil d'augmentation du courant de fuite statique.
- des mesures transitoires : on applique une tension (V_{GS} ou V_{GD}), supérieure au seuil d'activation trouvé précédemment, et on mesure le transitoire de courant (dès $t_0 + 1\mu\text{s}$) pendant 100 ms afin de voir l'évolution du courant au cours du temps ainsi que de mesurer la constante de remplissage du piège (qui n'est pas égale à la constante de capture du piège car le TAT est un processus en 2 étapes qui vient ralentir le remplissage).

Chaque mesure est précédée d'une période de "reset des pièges" durant 30 sec. : on maintient $V_G = -1\text{V}$ et V_D à 5V afin de faire circuler du courant dans le canal et de "vider" un maximum les pièges.

Les résultats sont donnés sur la figure II.38 suivante.



(a) Courbe bleue (symboles triangles) : Maintient de la tension $V_{DS} = 0\text{V}$ et balayage de la tension V_{GS} . Courbe mauve (symboles cercles) : Maintient de la tension $V_{GS} = -3\text{V}$ et balayage de la tension V_{DS} .

(b) Courbe bleue : Maintient de la tension $V_{DS} = 0\text{V}$ et de la tension $V_{GS} = -20\text{V}$. Courbe mauve : Maintient de la tension $V_{GS} = -4\text{V}$ et de la tension $V_{DS} = 30\text{V}$.

FIGURE II.38 – Mesures statiques et dynamiques des courants de fuite de grille.

Sur les mesures statiques, figure II.38(a), on constate la présence d'un seuil d'activation sur la tension V_{GS} aux alentours de -8 V, qui correspond au seuil mis en évidence lors des mesures DCT. Coté V_{GD} , le seuil est moins franc mais on l'estime vers 15 V, c'est à dire à peu près 18 V en tension V_{DS} , qui correspond au seuil constaté lors des mesures I-V impulsionnelles.

Sur les mesures dynamiques, figure II.38(b), la forme du courant ressemble à celle que l'on attendait en étudiant le modèle de TAT. Premièrement, juste après l'application de l'impulsion le courant est maximum. Ensuite, le courant tend vers une valeur établie qui est plus faible (en valeur absolue). A noter, la valeur maximale du courant est plus importante coté grille-source. De plus, le régime établi est atteint plus rapidement coté Grille-Drain que coté Grille-Source, mais on considère qu'au bout de 1 ms le courant est stable.

A partir de ces observations, nous validons l'hypothèse du processus de remplissage des pièges lents par TAT et nous allons maintenant développer un modèle électrique compact qui respecte la physique ainsi présentée.

4 Modélisation CAO des effets de pièges

Depuis les années 2000, XLIM travaille sur la modélisation électro-thermique des transistors HEMT GaN. Le modèle existant est assez fiable, il prend notamment en compte les effets de pièges ayant une constante de temps rapide, c'est le modèle GAMB [111, 105, 112]. On souhaite maintenant améliorer le modèle GAMB en y ajoutant la contribution des pièges dits "lents". Un circuit dédié, prenant ses origines dans la physique du composant (processus TAT), est ajouté au modèle.

4.1 Modèle compact du HEMT existant à XLIM

Un schéma du modèle non-linéaire développé au laboratoire est donné sur la figure II.39.

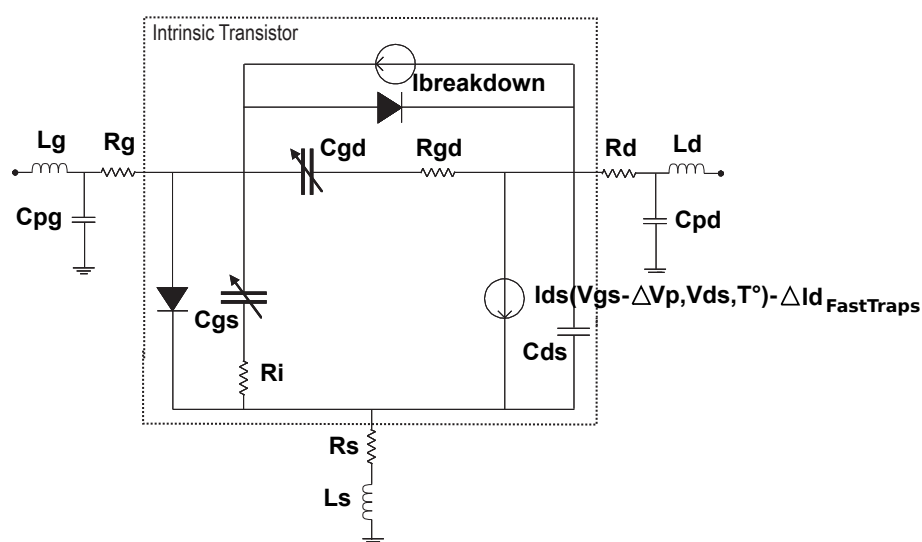


FIGURE II.39 – Topologie du modèle GAMB.

La capacité Drain-Source est fixée constante. Les capacités Grille-Source et Grille-Drain sont non-linéaires. Un modèle thermique (basé sur des réseaux RC) est présent et influe sur la source de courant (I_D) ainsi que sur la capacité GD.

Les équations de la source de courant de GAMB ainsi que le réglage du modèle des capacités non linéaires sont présentés dans la thèse de K. Kahil [6]. Ainsi, nous reprenons les réglages de son modèle car nous mesurons les transistors provenant du même lot.

4.2 Modèle des pièges rapides

Le modèle de pièges rapides utilisé dans GAMB repose sur un réseau RC modélisant la quantité de pièges ionisés. Puis cette tension est multipliée par un facteur (K) qui va décaler la tension de pincement (ΔV_P) vers la droite et donc diminuer le courant de drain du

transistor, voir figure II.40. Les valeurs des résistances sont dépendantes de la température, ce qui permet de modéliser l'évolution de la constante d'émission des pièges en fonction de la température [113].

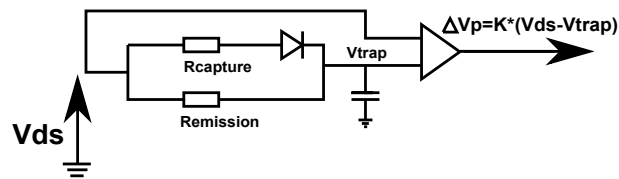
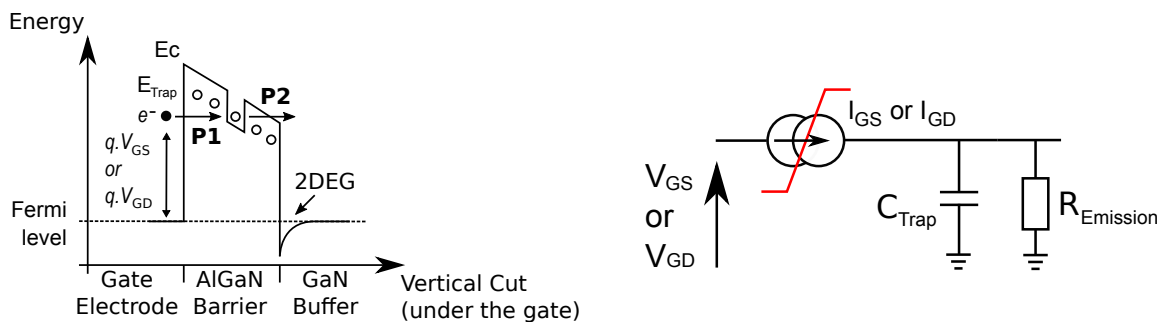


FIGURE II.40 – Modèle de pièges rapides implémenté dans GAMM.

Ce modèle n'engendre aucun problème de convergence car il ne contient aucune fonction non-linéaire.

4.3 Nouveau modèle de pièges lents

Notre modèle de pièges lents est choisi de manière à faire l'analogie avec le processus physique du TAT. La comparaison « processus physique » -modèle est donnée sur la figure II.41. Le modèle est contrôlé par les tensions V_{GS} et V_{GD} et il génère directement le courant de remplissage du piège correspondant (en Grille-Source ou en Grille-Drain). La tension aux bornes de la capacité C_{trap} sert d'indicateur du remplissage du piège et est utilisée pour altérer la quantité de courant qui sort de la source de courant intrinsèque du transistor.



(a) Schéma du processus TAT. Etape 1 (P1) : les électrons tunnelent de la grille vers les pièges de barrière. Etape 2 (P2) : les électrons transitent du piège vers le canal.

(b) Schéma électrique du circuit modélisant les pièges lents. La tension aux bornes de la capacité représente le taux de pièges ionisés. Le courant de décharge des pièges (processus P2) est modélisé par une simple résistance R_E .

FIGURE II.41 – Modèle de pièges lents.

L'équation de la source de courant non linéaire contrôlée en tension est choisie de manière à respecter ces 2 processus. Elle possède plusieurs paramètres :

- le seuil d'activation en tension : V_{tun} ,
- le courant statique en régime établi : I_{stat} ,
- la résistance d'émission (modélisant le processus P2) : R_E

Les équations des courants de fuite valent donc :

$$I_{GS} = I_{stat,GS} \left[\text{hypfneg}(-(V_{GS} - V_{tun,GS}))^2 \left[1 + \frac{R_{E,GS} I_{stat,GS}}{V_{trap,GS}} \right] - 1 \right] \quad (II.43)$$

$$I_{GD} = I_{stat,GD} \left[\text{hypfneg}(-(V_{GD} - V_{tun,GD}))^2 \left[1 + \frac{R_{E,GD} I_{stat,GD}}{V_{trap,GD}} \right] - 1 \right] \quad (II.44)$$

La fonction $\text{hypfneg}(-(V - V_{th}))$ est une fonction déjà utilisée dans GAMM qui vaut 0 lors que $V > V_{th}$ et qui vaut V ailleurs. Sa particularité réside dans la transition “douce” entre les deux valeurs, elle permet d’éviter d’utiliser une fonction test de type “if..then..else..”, fonction très nuisible à la convergence du modèle.

$V_{trap,GS}$ et $V_{trap,GD}$ sont les tensions respectivement aux bornes des capacités $C_{trap,GS}$ et $C_{trap,GD}$ modélisant la quantité de pièges ionisés.

Nous introduisons ensuite une fonction qui permet de transformer la quantité de charge des capacités C_{trap} en chute de courant ΔI_D :

$$\Delta I_D = (k_{GS} V_{trap,GS} + k_{GD} V_{trap,GD}) V_{DS} \left(\exp\left(-\frac{V_{DS}}{V_{DS,max}}\right) + aF_{Vd} \right) F_{Vg} \quad (II.45)$$

Elle comprend les paramètres suivants :

- k_{GS} et k_{GD} des facteurs multiplicatifs,
- V_{DS} la tension de drain instantanée,
- $V_{DS,max}$ la tension de drain pour laquelle l’impact des pièges lents est maximal (modélisation de l’effet “knee-walkout”),
- aF_{Vd} permet de régler la contribution des pièges lorsque la tension de drain est importante (modélisation de la chute de g_D),
- F_{Vg} est une fonction qui permet de régler l’impact des pièges lents selon la tension V_{GS} instantanée (effet plus fort en bas qu’en haut du réseau I-V). La fonction s’exprime par : $F_{Vg} = 0.5 + 0.5 \tanh(vg_2(V_{GS} - vg_1))$, avec vg_1 et vg_2 , des variables fixant le seuil d’activation et le maximum d’effet des pièges lents selon la tension V_{GS} .

Ces fonctions sont développées en première approche, elles donnent plutôt satisfaction mais il serait intéressant de les re-travailler afin de mieux coller aux formes des courants ΔI_D (voir résultats des comparaisons mesures-modèle qui suivent).

4.4 Réglage du modèle

On ajoute donc les deux modèles de pièges qui viennent altérer la source de courant intrinsèque du transistor, comme indiqué sur la figure II.42 suivante.

Tout d’abord, on règle les pièges lents en se basant sur les mesures de courant de fuite statiques : on règle le seuil d’activation ainsi que la pente du régime statique puis on utilise les

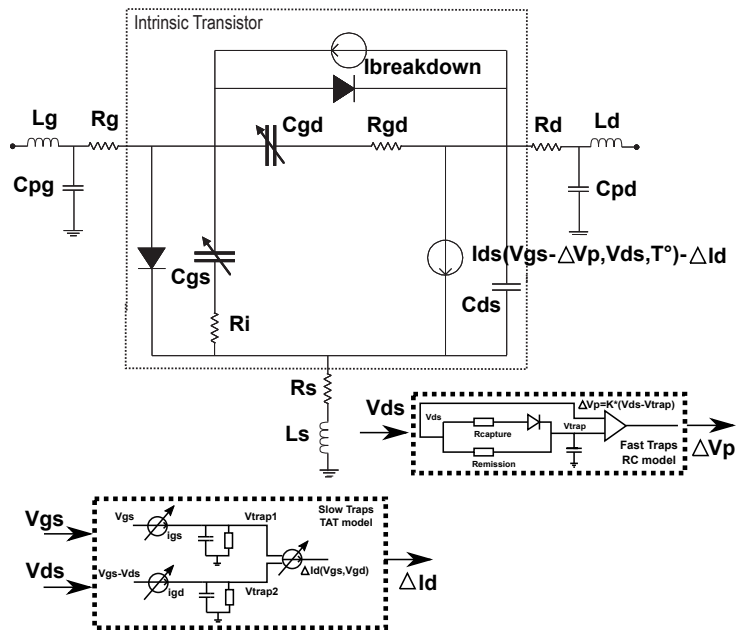


FIGURE II.42 – Nouveau modèle compact complet, incorporant les deux types de pièges.

mesures de courant de fuite dynamiques afin de régler la valeur de la résistance d'émission. Les résultats de modélisation des courants de fuite sont présentés sur la figure II.43.

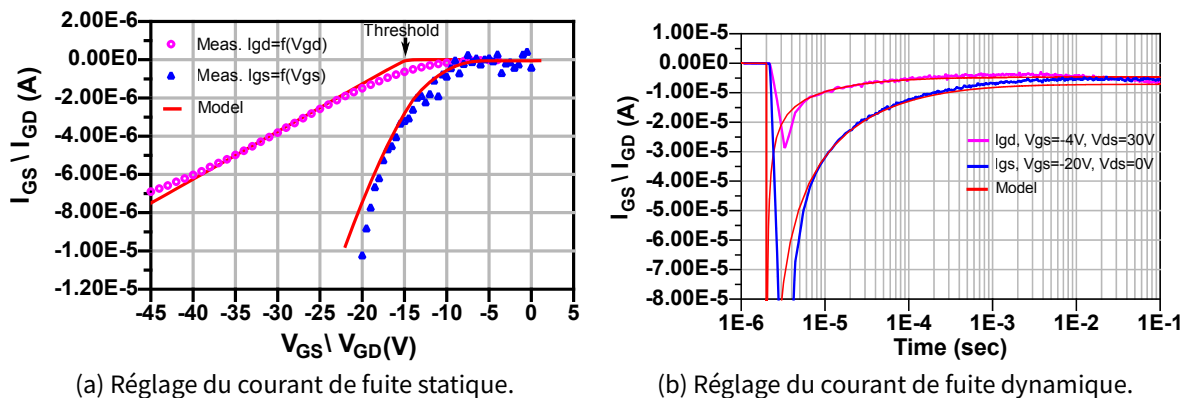
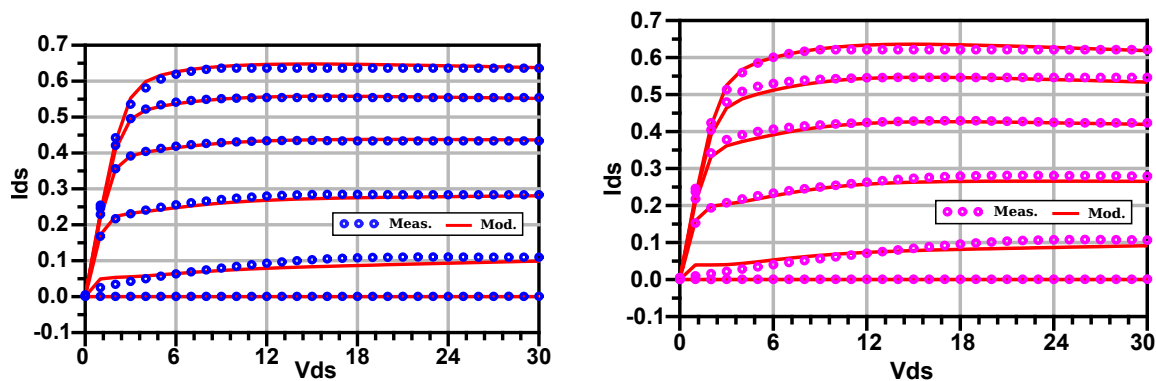


FIGURE II.43 – Réglage des pièges lents sur les mesures de courant de fuite de grille.

Deuxièmement, il faut régler la chute de courant due aux pièges lents, pour cela, on se base sur les mesures I-V impulsionnelles réalisées avec les conditions qui permettent de n'exciter que les pièges lents (i.e. : tension de repos nulle et tension maximale de drain dépassant 18 V). Afin de simuler la mesure I-V impulsionnelle sans passer par une simulation transitoire qui prendrait beaucoup trop de temps (et d'espace mémoire), nous utilisons une astuce pour "leurrer" le simulateur : nous effectuons une simulation dc (I-V statique) en ayant préalablement chargé les pièges lents, c'est à dire en ajoutant une source de tension en série avec la capacité modélisant la charge des pièges lents de manière à la "forcer" à être chargée au niveau de tension correspondant à la tension maximale de drain appliquée. Sur

la figure II.44, on règle les différents paramètres de la chute de courant des pièges lents afin de faire coller le modèle aux mesures I-V impulsionnelles ayant seulement la contribution des pièges lents.



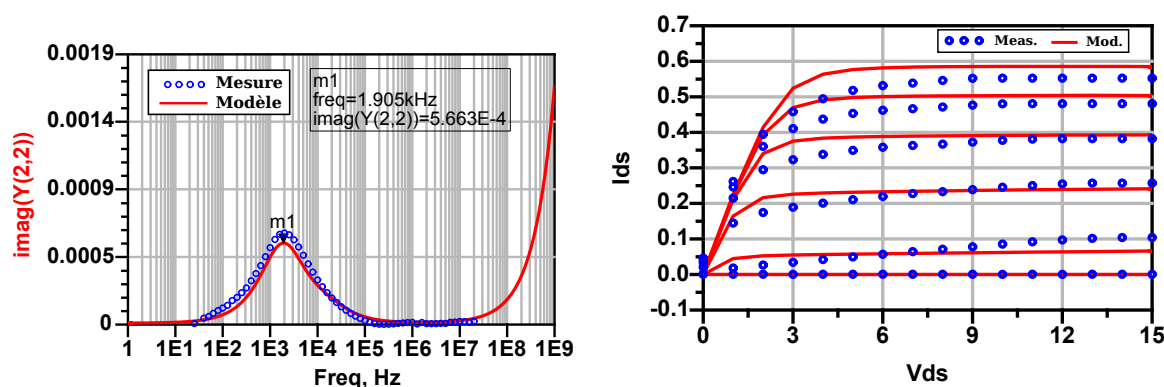
(a) Réglage sur la mesure I-V permettant d'isoler la contribution des pièges lents. Conditions : polarisation de repos 0V/0V et $V_{DS,max} = 30$ V.

(b) Réglage sur la mesure I-V permettant d'isoler la contribution des pièges lents. Conditions : polarisation de repos 0V/0V et $V_{DS,max} = 50$ V.

FIGURE II.44 – Réglage des pièges lents sur les mesures I-V impulsionnelles dédiées aux pièges lents.

Troisièmement, arrive le réglage des pièges rapides. On se base sur une mesure [S] basse fréquence afin de régler la constante d'émission, voir figure II.45.

L'amplitude des pièges rapides va ensuite être réglée afin de faire correspondre le réseau I-V impulsionnelle obtenu avec les conditions de test qui permettent d'ioniser seulement les pièges rapides (i.e. : avec une polarisation de repos non-nulle (ex. : -3V/10V) tout en gardant l'excursion en V_{DS} inférieure à 18V).



(a) Réglage sur la mesure de paramètres S basse fréquence.

(b) Réglage sur la mesure I-V permettant d'isoler la contribution des pièges rapides. Conditions : polarisation de repos -3V/10V et $V_{DS,max} = 15$ V.

FIGURE II.45 – Réglage des pièges rapides sur les mesures [S] BF et I-V spécifiques aux pièges rapides.

Enfin, les résultats du modèle complet sont comparés avec ceux de la mesure I-V où tous les pièges sont actifs à la fois (i.e. : polarisation de repos non-nulle (ex. : -3/10V) et excursion en V_{DS} supérieure à 18V), voir figure II.46. Le modèle apparaît comme parfait lorsque les tensions de drain dépassent 20 V.

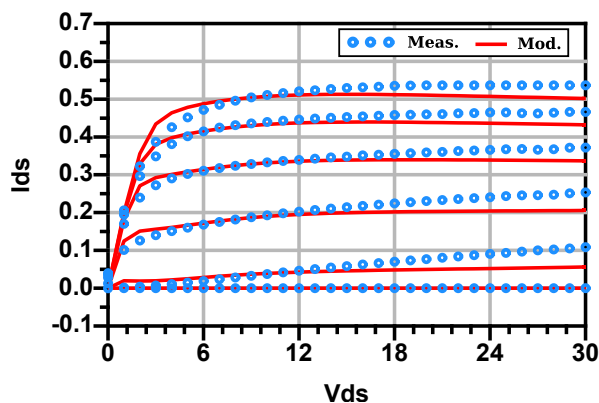


FIGURE II.46 – Vérification du modèle à l’aide de mesures I-V activant tous les pièges. Conditions : polarisation de repos -4V/20V et $V_{DS,max} = 30$ V.

4.5 Validation en régime grand signal

Enfin, le modèle est validé par comparaison avec des mesures LoadPull à 4 GHz effectuées par un autre doctorant (V. Gillet), voir figure II.47. La charge en sortie du transistor est choisie pour obtenir le maximum de PAE.

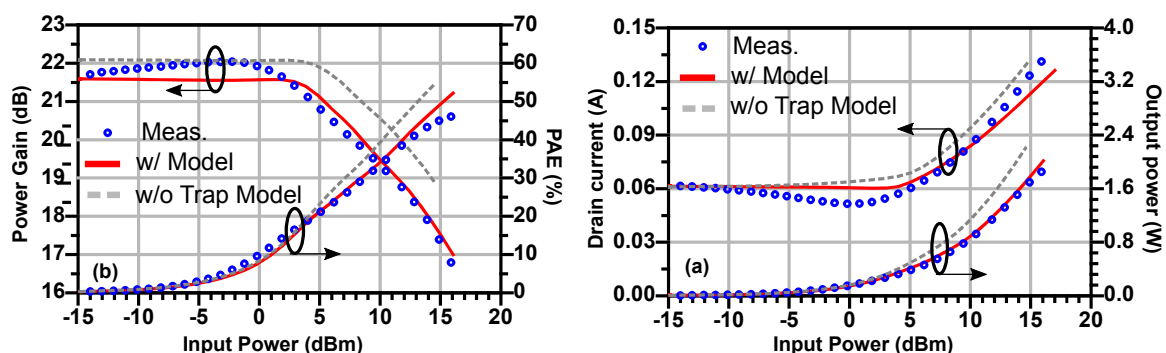


FIGURE II.47 – Validation du modèle en comparaison avec des mesures loadpull à 4 GHz, sur charge optimale en PAE.

5 Conclusion

Au cours de ce chapitre, nous avons d'abord caractérisé les transistors GaN sur les différents bancs de mesure présents au laboratoire. Ceci nous a permis de mettre en évidence que certains types de pièges sont activés lorsqu'un seuil de tension est franchi (seuil d'environ -6 V sur V_{GS} et de 18 V sur V_{DS}). Ces pièges ayant une constante de temps longue (environ 1 sec), nous les nommons "pièges lents" par rapport aux pièges dits "rapides" (environ 1 ms) qui sont connus pour être localisés dans le buffer GaN.

Après avoir étudié les différents mécanismes physiques de piégeages rencontrés dans la littérature, nous avons montré qu'un processus à effet tunnel pouvait être à l'origine du remplissage des pièges lents. Ces pièges lents sont localisés dans la couche barrière AlGaIn et ce sont les électrons en provenance des courants de fuite de grille qui les remplissent par effet tunnel à condition que le niveau de champ électrique soit assez élevé.

Enfin, nous avons développé un modèle CAO des pièges lents. Compact et fidèle à la théorie physique proposée, ce modèle vient compléter le modèle GAMM d'XLIM et donne de bonnes corrélations avec les mesures loadpull réalisées.

La seconde partie de cette thèse a consisté en la recherche d'architectures d'amplificateurs optimisés en rendement et aptes à effectuer deux missions : une mission à puissance modérée et large bande et une mission à forte puissance et à bande plus étroite. Il s'agit donc d'un amplificateur adaptatif. Les travaux présentés dans ce chapitre constituent un guide pour limiter au maximum les effets de pièges dans ces amplificateurs.

Architectures d’amplificateurs de puissance large bande à rendement amélioré

Sommaire

1	Introduction	75
1.1	Amplificateurs à classes sinusoïdales : classes A/AB/B/C	75
1.2	Classes non-sinusoïdales : F et F inverse	80
1.3	Classes continues : J, F continue et F inverse continue	84
2	Revue des amplificateurs de puissance forte puissance en bande X	91
2.1	Exemples d’amplificateurs GaN MMIC en bande X	91
2.2	Exemples d’amplificateurs GaN MMIC couvrant les bandes C à X	91
3	Techniques d’augmentation du rendement	93
3.1	La modulation de tension : le suivi d’enveloppe	94
3.2	La modulation de charge : le Doherty et le LMBA	95
4	Principe du LMBA appliqué à l’augmentation de la bande passante totale d’un amplificateur	103
4.1	Réalisation d’un démonstrateur sur PCB	103
4.2	Simulations du LMBA intégré en technologie GaN GH25	124
5	Conclusion	133

1 Introduction

Après avoir caractérisés et modélisés les effets de piège du transistor HEMT GaN et avant de commencer la conception de l'amplificateur forte puissance (HPA) intégré, nous allons passer en revue les architectures envisageables afin de satisfaire nos contraintes de bande passante tout en conservant un bon rendement énergétique.

Au cours de ce chapitre, nous évoquerons dans un premier temps la théorie des classes de fonctionnement. En commençant par les classes sinusoïdales classiques (A, AB, B et C), puis les classes non-sinusoïdales (E, F et F inverse) et enfin le concept de classes continues.

Au delà des classes de fonctionnement, nous verrons les techniques d'amélioration du rendement au niveau de l'architecture de l'amplificateur. Ces techniques reposent sur la modulation de charge et/ou de polarisation de l'amplificateur.

Finalement, le principe de l'architecture d'amplificateur équilibré à charge modulée (LMBA) sera utilisé pour reconfigurer dynamiquement l'adaptation d'impédance en fonction de la fréquence centrale visée. Ceci permet d'augmenter le rendement et/ou la puissance de sortie de l'amplificateur sur une bande de fréquences variable. Un démonstrateur sur circuit imprimé est réalisé afin de prouver le principe. Également, des simulations de la version intégrée monolithique (MMIC) de cet amplificateur sont réalisées.

1.1 Amplificateurs à classes sinusoïdales : classes A/AB/B/C

Pour rappel, la description classique d'un amplificateur de puissance est donnée sur la figure III.1 suivante. Il se compose d'une cellule de puissance (constituée d'un ou plusieurs transistors), de circuits de polarisation et de réseaux d'adaptation d'impédance (IMN et OMN sur la figure III.1). Ces réseaux sont doublement utiles : ils assurent le transfert de puissance en minimisant les réflexions et ils servent à fixer la classe de fonctionnement de l'amplificateur en présentant les bonnes impédances aux fréquences fondamentales et harmoniques.

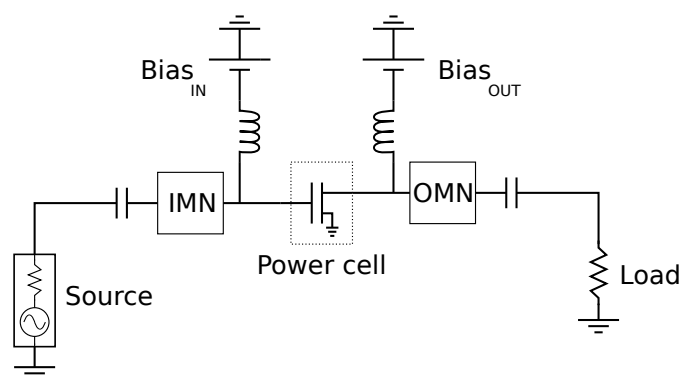


FIGURE III.1 – Architecture basique d'un amplificateur de puissance.

Le circuit de polarisation impose le point de fonctionnement statique du transistor. Ce point de polarisation définit l'angle de conduction du transistor, c'est à dire le temps qu'il passe à conduire du courant sur une période du signal. Il fixe aussi la consommation statique du transistor (P_{dc}), qui vient directement réduire le rendement de l'amplificateur (PAE), donné par la formule :

$$PAE(\%) = 100 \times \frac{P_{OUT}(W) - P_{IN}(W)}{P_{dc}(W)} \quad (III.1)$$

Le choix du point de polarisation est un compromis entre linéarité et rendement. En fonction de la durée de conduction sur une période, 4 classes de polarisation sont possibles :

- la classe A, le transistor est alimenté à 50% de son courant maximum. Le transistor va conduire sur une période complète du signal (2π). Ceci maximise la linéarité du transistor car on ne le bloque jamais donc il y a peu de puissance générée sur les harmoniques. En revanche, la consommation statique sera élevée, donc le rendement faible.
- la classe AB, tout point de polarisation fixé entre 0 et 50% du courant maximum du transistor. L'angle de conduction est compris entre π et 2π . La classe particulière « AB profonde » est définie à 10% du courant maximum du transistor. C'est une polarisation fréquemment choisie car elle présente le meilleur compromis rendement-linéarité tout en conservant du gain en petit signal.
- la classe B, le transistor est polarisé pile à sa tension de pincement (i.e. courant statique proche de 0 A). Il conduit durant la moitié d'une période : π . Le rendement théorique vaut $\frac{100\pi}{4} \approx 78\%$. La linéarité est fortement dégradée, ce qui impose la mise en place d'une linéarisation (analogique ou numérique) du signal. De plus, le gain petit signal est faible, ce qui peut être rédhibitoire pour certaines applications.
- la classe C, tout point de polarisation choisi en dessous de la tension de pincement. Le transistor conduit du courant au-delà d'une certaine puissance d'entrée. L'angle de conduction est donc inférieur à π . La linéarité est très fortement dégradée et l'excursion en V_{GS} négatif est importante (elle peut atteindre la tension inverse de claquage entre grille et source). En contrepartie, le rendement est très élevé (théoriquement compris entre 78 et 100%).

Les principales caractéristiques de ces classes sont résumées dans le tableau III.1 suivant.

Notre application ne nécessitant pas une grande linéarité et ayant également besoin de gain en petit signal, nous choisirons exclusivement la polarisation en classe AB profonde. En pratique, nous utiliserons un montage à source commune, le courant de polarisation est donc fixé en imposant une tension sur la grille du transistor dont la valeur est issue de la courbe de transfert $I_D = f(V_G)$, figure III.2(a).

Indépendamment du courant de polarisation I_{DS0} , il faut fixer une tension de

	Classe A	Classe AB	Classe B	Classe C
Rendement max. théorique	25%	25% -> 78%	78%	> 78%
Angle de conduction (2σ)	2π	$\pi < 2\sigma < 2\pi$	π	$< \pi$
Avantages	Fort Gain, Grande Linéarité	Compromis entre linéarité et rendement	Haut rendement, Linéarité dégradée mais contrôlable	Haut rendement
Défauts	Rendement faible		Faible gain petit signal, Mauvaise linéarité si rien n'est fait	Pas de gain petit signal, Puissance de sortie réduite - > faible PAE

TABLE III.1 – Principales caractéristiques des classes sinusoïdales.

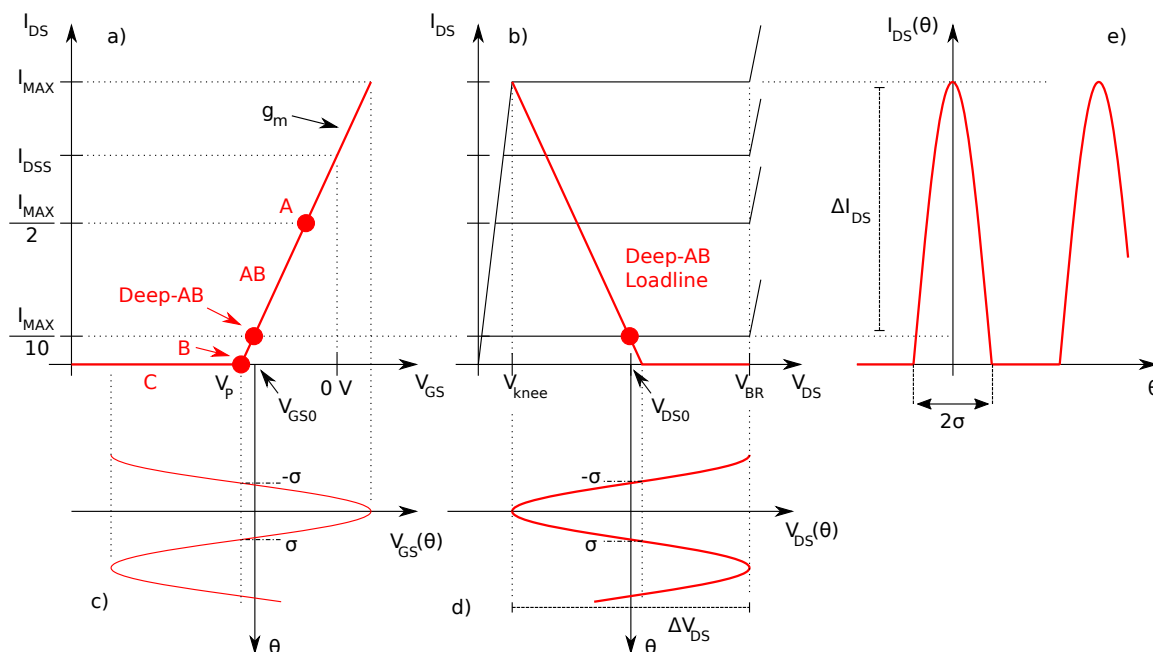


FIGURE III.2 – (a) Polarisation du transistor sur la courbe de transfert $I_D = f(V_G)$. (b) Droite de charge représentée sur le réseau de sortie $I_D = f(V_D)$ correspondante à la classe AB-profonde. (c) Représentation de l'excursion maximale en tension d'entrée (classe AB-prof). (d) Représentation de l'excursion maximale en tension de sortie (classe AB-prof). (e) Représentation de l'excursion maximale en courant de sortie (classe AB-prof) et de l'angle de conduction (2σ).

polarisation V_{DS0} la plus haute possible afin d'avoir une excursion en tension (ΔV_{DS} sur la figure III.2(d)) qui permet d'atteindre une puissance de sortie élevée car la puissance de sortie

maximale est donnée par la relation :

$$P_{OUT} = \frac{1}{2} \frac{\Delta V_{DS}}{2} \cdot \Delta I_{DS} \quad (III.2)$$

Cependant, pour ne pas endommager le transistor, la tension de drain statique sera limitée à la moitié de la tension de claquage du transistor : $V_{DS0} \leq \frac{V_{BB}}{2}$.

Les classes de fonctionnement dites “sinusoïdales” imposent le transfert de puissance à la fréquence fondamentale. Aucune puissance ne doit être portée par les harmoniques, il faut donc calculer les impédances à présenter à ces harmoniques afin d’annuler leur contribution. A partir de maintenant, nous parlerons toujours d’impédances référencées **dans le plan du générateur de courant**, c’est à dire avant la capacité parasite C_{DS} .

Afin de simplifier les expressions des tensions et courants, les calculs sont réalisés dans le cas d’une polarisation en classe B (car il n’y a pas beaucoup de différence avec la classe AB profonde). L’expression de la tension instantanée, un sinus parfait, possède une seule composante à la fréquence fondamentale :

$$V_{AB}(\theta) = V_{DS0} - V_{amp} \cos(\theta) + 0 \times \sum_{n=2}^{\infty} \cos(n\theta) \quad (III.3)$$

avec $V_{amp} = V_{DS0} - V_{knee}$.

Le courant, un sinus semi-redressé, peut être exprimé par la série de Fourier suivante :

$$I_{AB}(\theta) = I_{DS0} + \frac{I_{MAX}}{2} \cos(\theta) + \frac{2I_{MAX}}{\pi} \sum_{n=1}^{\infty} \frac{\cos(2n\theta)}{4n^2 - 1} \quad (III.4)$$

En se limitant à 2 harmoniques, nous calculons les impédances intrinsèques idéales pour la classe B :

$$Z_{AB} = \frac{V_{AB}}{-I_{AB}} \quad (III.5)$$

$$Z_{AB}(f_0) = \frac{2(V_{DS0} - V_{knee})}{I_{MAX}} \quad (III.6)$$

$$Z_{AB}(2f_0) = 0 \quad (III.7)$$

$$Z_{AB}(3f_0) = 0 \quad (III.8)$$

Sur la figure III.3 suivante, on montre la forme des ondes de tension/courant et les impédances à présenter dans le plan du générateur de courant. Les zones hachurées correspondent aux zones où de la puissance est dissipée sous forme de chaleur (produit $V \times I$ non-nul).

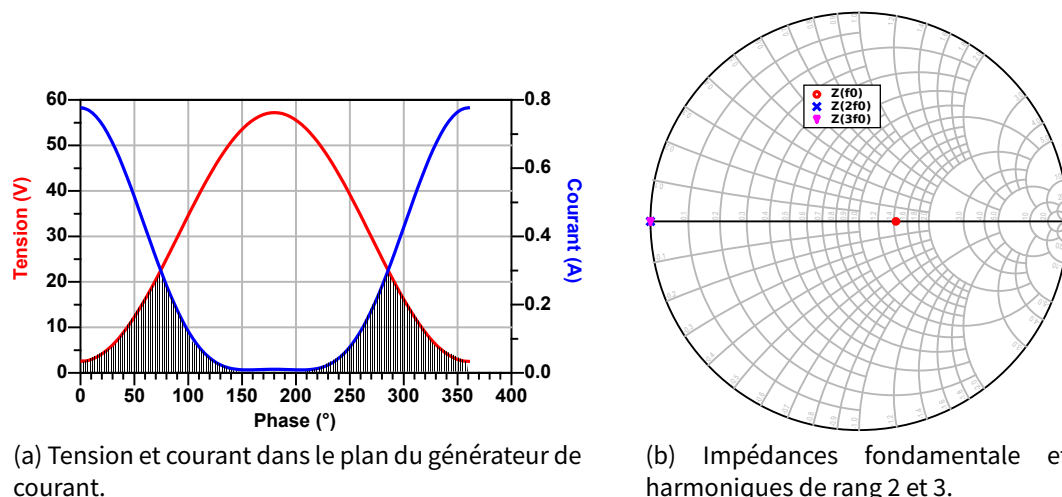


FIGURE III.3 – Formes d’ondes (a) et impédances intrinsèques idéales (b) pour la classe B.

En ajoutant la contribution de la capacité parasite C_{DS} (valant 430 pF pour un transistor GH25 de développement $8 \times 125 \mu\text{m}$ à 25V), l’impédance se décale avec la fréquence : cette évolution de l’impédance extrinsèque en fonction de la fréquence est représentée sur la figure III.4(a). L’impédance représentée est celle à présenter pour adapter le transistor, c’est à dire le conjugué de l’impédance intrinsèque.

Sur la figure III.4(b), l’impact de la capacité parasite sur les formes d’ondes dans le plan extrinsèque du transistor est montré : le courant passe largement en négatif, ce qui est physiquement impossible dans le plan du générateur de courant.

Sur la figure III.4(c), le même impact de la capacité C_{DS} sur le cycle de charge extrinsèque est montré pour la classe B.

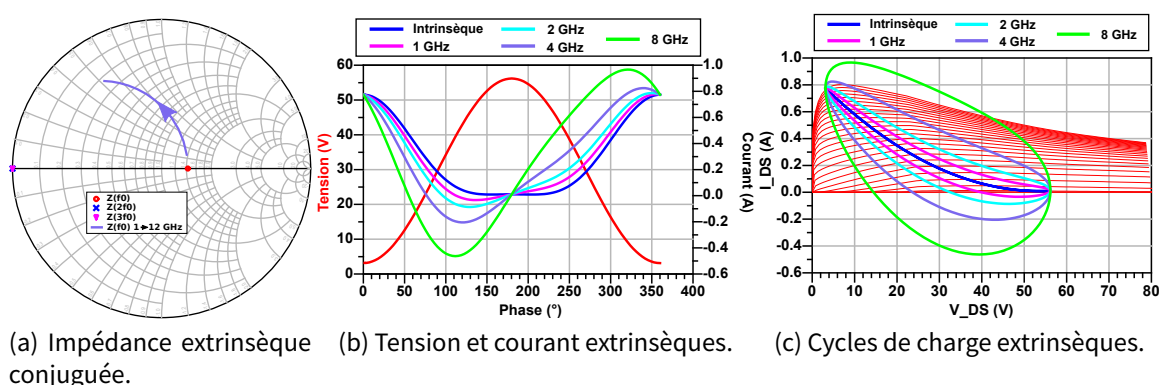


FIGURE III.4 – Influence d’une capacité $C_{DS} = 430 \text{ pF}$ sur l’impédance extrinsèque idéale pour la classe B entre 1 et 12 GHz.

La forme d’onde du courant redressé peut être mise sous d’autres formes afin de favoriser l’adaptation en puissance ou en rendement, comme expliqué dans le papier de Snider et al. [114], mais nous nous contenterons de ces formes d’ondes pour notre étude de cas.

1.2 Classes non-sinusoïdales : F et F inverse

Il existe d'autres classes, dites "non-sinusoïdales" ou "à harmoniques contrôlés", qui conservent la puissance sur les harmoniques afin d'éviter de faire fonctionner le transistor dans les zones à faible rendement (notamment lors du croisement entre tension et courant). Nous nous intéresserons ici qu'aux classes F et F inverse. La polarisation de ces classes est la même que pour la classe AB profonde, seules les impédances présentées aux harmoniques diffèrent.

1.2.1 Classe F

Contrairement à la classe B, la classe F cherche à avoir une forme d'onde de tension de type carrée. Pour avoir un carré parfait, il faut ajouter une somme infinie d'harmoniques impairs. Nous nous limiterons à 3 pour des raisons pratiques (il est difficile de contrôler l'impédance que l'on présente à plus de 3 fois la fréquence fondamentale).

L'équation de la tension vaut :

$$V_F(\theta) = V_{DS0} - \frac{2V_{amp}}{\sqrt{3}} \cos(\theta) + \frac{V_{amp}}{3\sqrt{3}} \cos(3\theta) \quad (\text{III.9})$$

La forme du courant, quand à elle, est choisie inchangée par rapport à la classe B : un sinus semi-redressé (même si il est courant de choisir un angle de conduction différent de 180° pour la classe F, typ. $\frac{7\pi}{10}$).

$$I_F(\theta) = I_{DS0} + \frac{I_{MAX}}{2} \cos(\theta) + \frac{2I_{MAX}}{\pi} \sum_{n=1}^{\infty} \frac{\cos(2n\theta)}{4n^2 - 1} \quad (\text{III.10})$$

Ce qui nous donne les impédances intrinsèques idéales pour la classe F :

$$Z_F = \frac{V_F}{-I_F} \quad (\text{III.11})$$

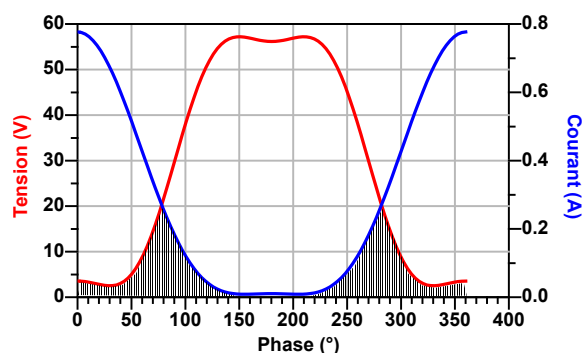
$$Z_F(f_0) = \frac{4(V_{DS0} - V_{knee})}{\sqrt{3}I_{MAX}} \quad (\text{III.12})$$

$$Z_F(2f_0) = 0 \quad (\text{III.13})$$

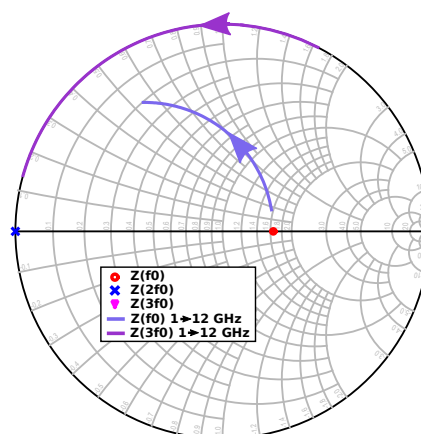
$$Z_F(3f_0) = \infty \quad (\text{III.14})$$

Les formes d'ondes de tension et courant idéales intrinsèques de la classe F sont représentées sur la figure III.5(a). La zone de croisement entre tension et courant est plus courte que pour la classe B, donc le rendement est plus élevé (Rendement de drain max théorique pour 3 harmoniques : 86%). Sur l'abaque de Smith de la figure III.5(b), l'évolution de l'impédance extrinsèque due à la capacité parasite C_{DS} en fonction de la fréquence est

montrée.



(a) Tension et courant dans le plan du générateur de courant (intrinsèque).



(b) Impédances extrinsèques conjuguées (au fondamentale et aux harmoniques de rang 2 et 3), l'évolution entre 1 et 12 GHz est calculée pour une capacité parasite de 430 pF.

FIGURE III.5 – Formes d'ondes et impédances idéales pour la classe F.

Le détail des calculs de la classe F est donné par F.H. Raab [115].

Comme pour la classe B, sur la figure III.6, le cycle de charge et les formes d'ondes extrinsèques à différentes fréquences en présence d'une capacité C_{DS} parasite sont représentés. Encore une fois, le cycle de charge sort du réseau I-V. L'influence de la capacité parasite est importante pour des fréquences supérieures à 2 GHz.

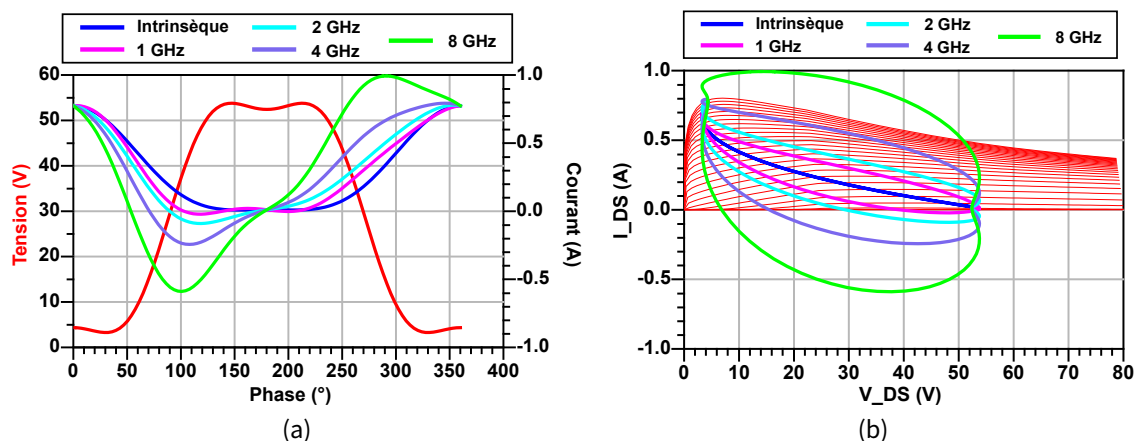


FIGURE III.6 – Formes d'ondes (a) et cycle de charge (b) extrinsèques idéales pour la classe F avec une capacité $C_{DS} = 430$ pF.

1.2.2 Classe F inverse : F^{-1}

La classe F inverse est la réciproque de la classe F : la forme d'onde de tension est sinusoïdale semi-redressée tandis que celle du courant est proche du carré.

Pour avoir la tension la plus plate possible, il est choisi d'utiliser l'équation de Xu et. al. [116] :

$$V_{F^{-1}}(\theta) = V_{DS0} + \sqrt{2} V_{amp} \cos(\theta) + \beta V_{amp} \cos(2\theta) \quad (\text{III.15})$$

en fixant le facteur β à 0.5 pour favoriser la puissance de sortie ou bien $\beta = \frac{1}{3}$ pour favoriser la "platitude" de l'onde de tension.

La formulation du courant s'exprime par l'équation de Chen et. al. [117] :

$$I_{F^{-1}}(\theta) = I_0 - I_1 \cos(\theta) + I_3 \cos(3\theta) \quad (\text{III.16})$$

avec $I_0 = 0.37 I_{MAX}$, $I_1 = 0.43 I_{MAX}$ et $I_3 = 0.06 I_{MAX}$.

Les impédances intrinsèques idéales pour la classe F inverse valent donc :

$$Z_{F^{-1}} = \frac{V_{F^{-1}}}{-I_{F^{-1}}} \quad (\text{III.17})$$

$$Z_{F^{-1}}(f_0) = \frac{\sqrt{2} V_{amp}}{0.43 I_{MAX}} \quad (\text{III.18})$$

$$Z_{F^{-1}}(2f_0) = \infty \quad (\text{III.19})$$

$$Z_{F^{-1}}(3f_0) = 0 \quad (\text{III.20})$$

Sur la figure III.7(a) sont tracées les formes d'ondes de tension et courant idéales en présentant les impédances intrinsèques requises. La zone de croisement entre tension et courant est plus courte que pour la classe B, donc le rendement est plus élevé (Rendement de drain max théorique pour 3 harmoniques : 86%). Sur l'abaque de Smith de la figure III.7(b), l'évolution de l'impédance extrinsèque due à la capacité parasite C_{DS} lorsque l'on augmente la fréquence est tracée.

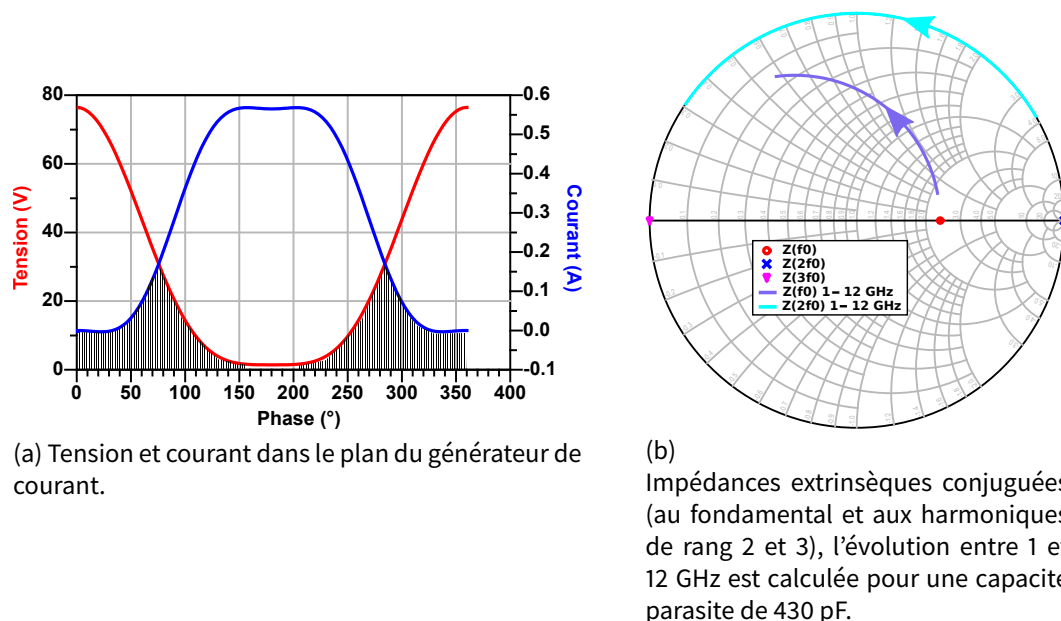


FIGURE III.7 – Formes d’ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe F^{-1} .

Comme pour la classe B, sur la figure III.8, le cycle de charge et les formes d’ondes extrinsèques à différentes fréquences avec une capacité C_{DS} parasite sont données. Encore une fois, le cycle de charge sort du I-V. L’influence de la capacité parasite est également importante pour des fréquences supérieures à 2 GHz.

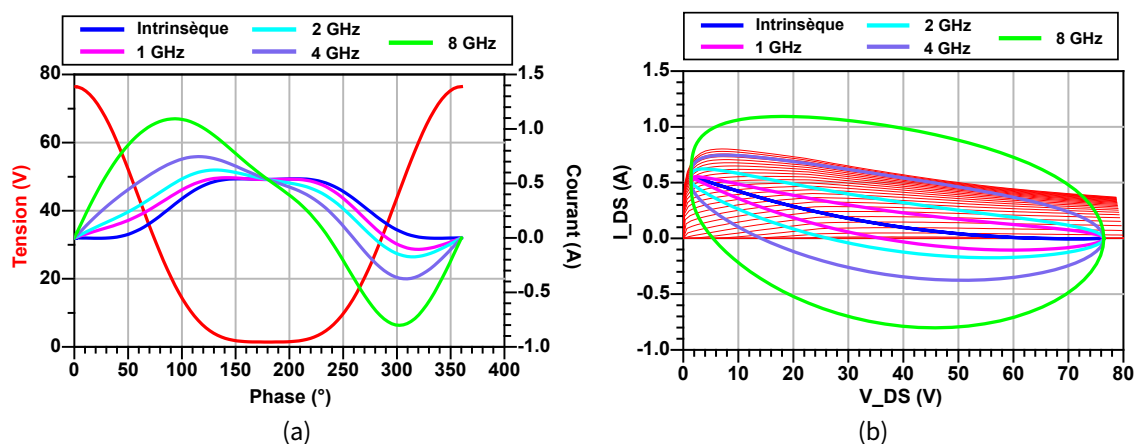


FIGURE III.8 – Formes d’ondes (a) et cycle de charge (b) extrinsèques idéales pour la classe F inverse avec une capacité $C_{DS}=430$ pF.

Comme les impédances idéales ont tendance à toutes tendre vers le court circuit en haute fréquence, il est commun de dire que la classe F inverse est plus simple à réaliser que la classe F (car il est plus difficile de présenter un circuit ouvert au 3^{ème} harmonique).

Sur la figure III.9, une comparaison des cycles de charge issus de chaque classe est réalisée. L'excursion maximale en tension de drain est clairement différente selon la classe choisie. Si la classe AB s'arrête à 55 V, la classe F continue jusqu'à 56 V ($1.9 \times V_{DS0}$) tandis que la classe F inverse se prolonge jusqu'à 77 V ($2.5 \times V_{DS0}$!).

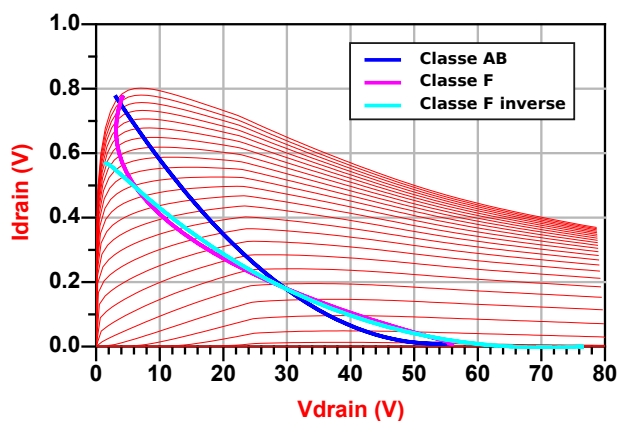


FIGURE III.9 – Comparaison des cycles de charge intrinsèques de chacune des classes présentées précédemment.

1.3 Classes continues : J, F continue et F inverse continue

Nous avons vu que les classes de fonctionnement imposent de présenter une (ou plusieurs) impédance(s) précise(s) à la bonne fréquence. Ceci vient donc naturellement limiter la bande passante de l'amplificateur (qui ne sera adapté qu'autour de cette fréquence, soit généralement 10-15% de bande).

Dans son livre [118] paru en 2006, S. Cripps introduit la classe J basée sur le concept de « design space » : ce n'est plus sur une impédance localisée mais sur tout un lieu d'impédance pour lequel le transistor est adapté. Ceci vient donc augmenter la bande passante de l'amplificateur. Sa théorie consiste à ajouter une composante réactive sur le second harmonique en tension, compensée par une composante réactive sur le fondamental (pour éviter d'atteindre 0 V et donc le court-circuit) tel que :

$$V_J(\theta) = 1 - \cos(\theta) - \sin(\theta) + \frac{1}{2} \sin(2\theta) \quad (\text{III.21})$$

En utilisant les formules trigonométriques, l'expression se factorise :

$$V_J(\theta) = (1 - \cos(\theta))(1 - \sin(\theta)) \quad (\text{III.22})$$

Afin d'introduire tout un lieu de solutions possibles, un facteur α est ajouté devant la

composante réactive (le sinus) :

$$V_J(\theta) = (1 - \cos(\theta))(1 - \alpha \sin(\theta)) \quad (\text{III.23})$$

avec $-1 \leq \alpha \leq 1$.

Le principe du “lieu d’impédance” consiste donc simplement à multiplier l’expression originale de la tension par $(1 - \alpha \sin(\theta))$. En reprenant l’expression de la tension en classe AB et en appliquant l’extension du lieu d’impédance, il vient :

$$V_J(\theta) = V_{AB}(\theta)(1 - \alpha \sin(\theta)) = V_{amp}(1 - \cos(\theta))(1 - \alpha \sin(\theta)) \quad (\text{III.24})$$

Puis, en développant :

$$V_J(\theta) = V_{amp} - V_{amp} \cos(\theta) - \alpha V_{amp} \sin(\theta) + \frac{\alpha V_{amp}}{2} \sin(2\theta) \quad (\text{III.25})$$

En gardant la même forme de courant que pour la classe B, le rapport tension/courant permet d’obtenir les formules des impédances intrinsèques de la classe J :

$$Z_J = \frac{V_J}{-I_{AB}} \quad (\text{III.26})$$

$$Z_J(f_0) = \frac{2 V_{amp}}{I_{MAX}} + j\alpha \frac{2 V_{amp}}{I_{MAX}} \quad (\text{III.27})$$

$$Z_J(2f_0) = -j\alpha \frac{3\pi}{8} \frac{2V_{amp}}{I_{MAX}} \quad (\text{III.28})$$

$$Z_J(3f_0) = 0 \quad (\text{III.29})$$

Sur la figure III.10, toutes les formes d’onde possibles que peut prendre la classe J (pour α balayé entre -1 et 1) sont tracées. Le cas particulier $\alpha = 0$ correspond à la forme d’onde de la classe B. Pour chacune de ces formes d’onde, les performances du transistor (rendement, puissance, etc.) seront identiques. Sur l’abaque, le lieu d’impédance au fondamental représente un arc de cercle autour de l’impédance idéale de la classe AB. L’harmonique de rang 2 décrit un cercle le long du bord de l’abaque tandis que l’harmonique de rang 3 est constant.

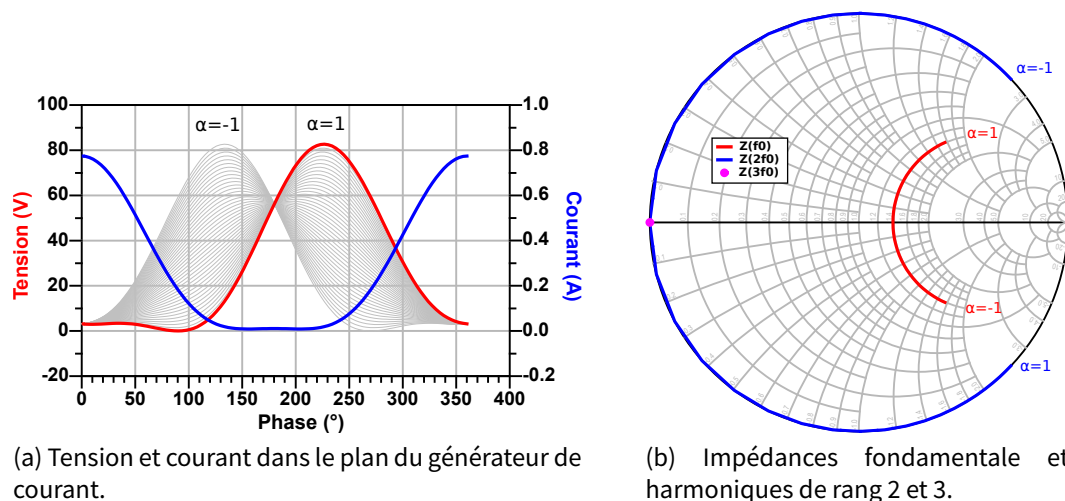


FIGURE III.10 – Formes d’ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe J.

Nous appliquons alors le même principe à la classe F. L’équation de la tension vaut :

$$V_{F,continue}(\theta) = (V_{DS0} - \frac{2V_{amp}}{\sqrt{3}} \cos(\theta) + \frac{V_{amp}}{3\sqrt{3}} \cos(3\theta))(1 - \alpha \sin(\theta)) \quad (III.30)$$

La forme du courant, quand à elle, reste inchangée par rapport à la classe B, c’est un sinus redressé :

$$I_F(\theta) = I_{DS0} + \frac{I_{MAX}}{2} \cos(\theta) + \frac{2I_{MAX}}{\pi} \sum_{n=1}^{\infty} \frac{\cos(2n\theta)}{4n^2 - 1} \quad (III.31)$$

Ce qui nous donne les impédances intrinsèques idéales pour la classe F continue :

$$Z_{F,continue} = \frac{V_{F,continue}}{-I_F} \quad (III.32)$$

$$Z_{F,continue}(f_0) = \frac{2}{\sqrt{3}} \frac{2V_{amp}}{I_{MAX}} + j\alpha \frac{2V_{amp}}{I_{MAX}} \quad (III.33)$$

$$Z_{F,continue}(2f_0) = -j\alpha \frac{7\pi\sqrt{3}}{24} \frac{2V_{amp}}{I_{MAX}} \quad (III.34)$$

$$Z_{F,continue}(3f_0) = \infty \quad (III.35)$$

Sur la figure III.11 sont tracées toutes les formes d’onde possibles que peut prendre la classe F continue (pour α balayé entre -1 et 1). Le cas particulier $\alpha = 0$ correspond à la forme d’onde de la classe F. Sur l’abaque, le lieu d’impédance au fondamentale représente un arc de cercle autour de l’impédance idéale de la classe F. L’harmonique de rang 2 décrit un cercle le long du bord de l’abaque tandis que l’harmonique de rang 3 est constant.

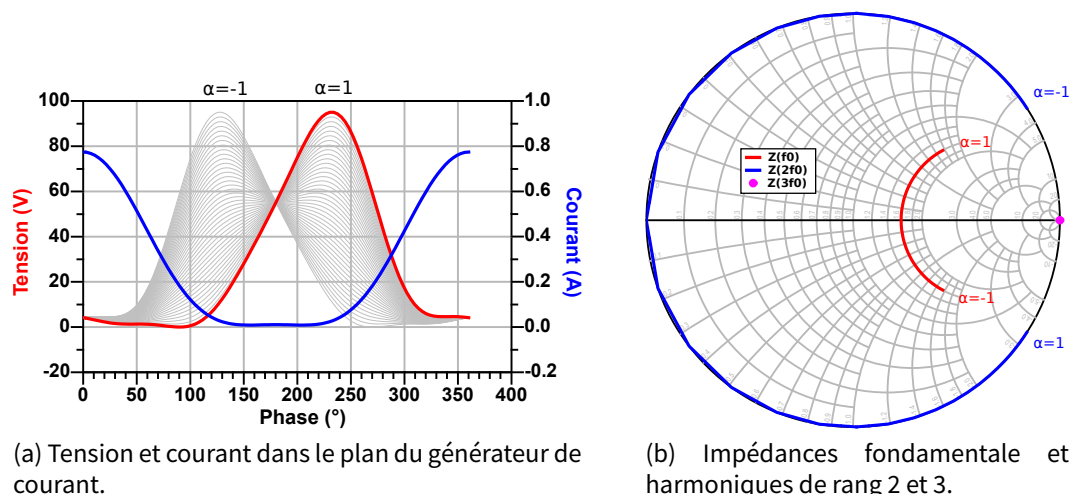


FIGURE III.11 – Formes d’ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe $F_{continue}^{-1}$.

Nous faisons de même pour la classe $F_{continue}^{-1}$. Cette fois ci la forme d’onde de tension reste identique :

$$V_{F^{-1}}(\theta) = V_{DS0} + \sqrt{2} V_{amp} \cos(\theta) + \beta V_{amp} \cos(2\theta) \quad (III.36)$$

C’est la forme d’onde de courant que l’on multiplie pour faire le “design space” :

$$I_{F_{continue}^{-1}}(\theta) = I_0 - I_1 \cos(\theta) + I_3 \cos(3\theta)(1 - \alpha \sin(\theta)) \quad (III.37)$$

avec $I_0 = 0.37 I_{MAX}$, $I_1 = 0.43 I_{MAX}$ et $I_3 = 0.06 I_{MAX}$. Ce qui nous donne les impédances intrinsèques idéales pour la classe F inverse continue :

$$Z_{F_{continue}^{-1}} = \frac{V_{F^{-1}}}{-I_{F_{continue}^{-1}}} \quad (III.38)$$

$$Z_{F_{continue}^{-1}}(f_0) = \frac{2 V_{amp} \sqrt{2}}{I_{MAX} 2} \left[\frac{I_1}{I_1^2 + \alpha^2 I_0^2} + j \frac{\alpha I_0}{I_1^2 + \alpha^2 I_0^2} \right] \quad (III.39)$$

$$Z_{F_{continue}^{-1}}(2f_0) = -j \frac{2 V_{amp}}{I_{MAX}} \frac{1}{2\alpha (I_1 + I_3)} \quad (III.40)$$

$$Z_{F_{continue}^{-1}}(3f_0) = 0 \quad (III.41)$$

Sur la figure III.12 sont tracées toutes les formes d’onde possibles que peut prendre la classe F continue (pour α balayé entre -1 et 1). Le cas particulier $\alpha = 0$ correspond à la forme d’onde de la classe F inverse. Sur l’abaque, le lieu d’impédance au fondamentale représente un arc de cercle autour de l’impédance idéale de la classe F inverse. L’harmonique de rang 2 décrit un cercle le long du bord de l’abaque tandis que l’harmonique de rang 3 est constant.

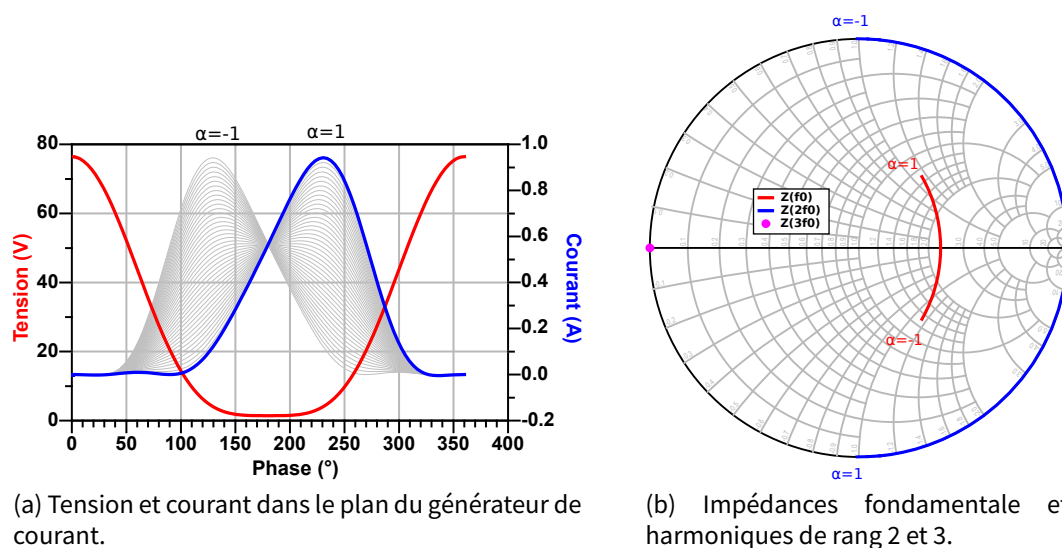


FIGURE III.12 – Formes d’ondes (a) et impédances intrinsèques et extrinsèques idéales (b) pour la classe $F_{continue}^{-1}$.

Sur la figure III.13 est réalisée la comparaison des cycles de charge issus de chaque classe continue. Cette fois-ci, la classe F inverse a une excursion coté V_{DS} plus faible, c’est la classe F continue qui dépasse 3 fois la tension d’alimentation !

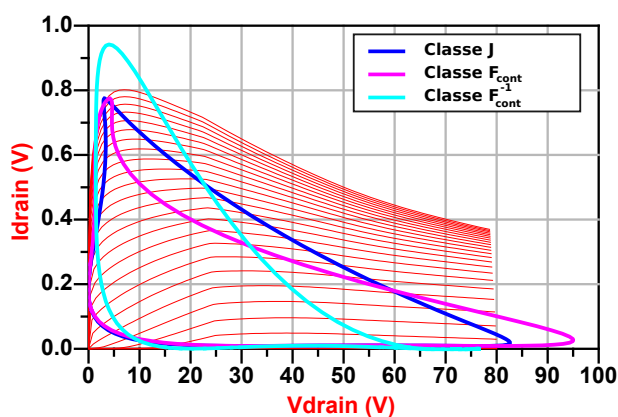


FIGURE III.13 – Comparaison des cycles de charge intrinsèques de chacune des classes “continues” présentées précédemment.

Un excellent papier de T. Barton [119] résume parfaitement l’extension des classes continues et donne un exemple d’application pour un amplificateur à correction de phase.

Enfin, un récapitulatif comparant les caractéristiques des différentes classes évoquées est donné dans le tableau III.2 suivant.

Classe	$B (\sigma = \pi)$	F	F ⁻¹	J (i.e. B continue)	F continue	F ⁻¹ continue
Zf0	$\frac{2 V_{amp}}{I_{MAX}}$	$\frac{4 V_{amp}}{\sqrt{3} I_{MAX}}$	$\frac{\sqrt{2} V_{amp}}{0.43 I_{MAX}}$	$\frac{2 V_{amp}}{I_{MAX}} + j\alpha \frac{2 V_{amp}}{I_{MAX}}$	$\frac{2 V_{amp}}{\sqrt{3} I_{MAX}} + j\alpha \frac{2 V_{amp}}{I_{MAX}}$	Voir eq. (III.39)
Z2f0	0	0	∞	$-j\alpha \frac{3\pi}{8} \frac{2 V_{amp}}{I_{MAX}}$	$-j\alpha \frac{7\pi\sqrt{3}}{24} \frac{2 V_{amp}}{I_{MAX}}$	Voir eq. (III.40)
Z3f0	0	∞	0	0	∞	0
Pout (W)	$\frac{V_{DS0} I_{MAX}}{4}$	$\frac{V_{DS0} I_{MAX}}{2\sqrt{3}}$	$\frac{0.43 V_{DS0} I_{MAX}}{\sqrt{2}}$	$\frac{V_{DS0} I_{MAX}}{4}$	$\frac{V_{DS0} I_{MAX}}{2\sqrt{3}}$	$\frac{0.43 V_{DS0} I_{MAX}}{\sqrt{2}}$
η^* (%)	$100 \frac{\pi}{4} \approx 78\%$	$100 \frac{\pi}{2\sqrt{3}} \approx 91\%$	$100 \frac{0.43\pi}{\sqrt{2}} \approx 96\%$	$100 \frac{\pi}{4} \approx 78\%$	$100 \frac{\pi}{2\sqrt{3}} \approx 91\%$	$100 \frac{0.43\pi}{\sqrt{2}} \approx 96\%$
Bande Passante	20%	15%	15%	60%	50%	50%

*Le rendement de drain est calculé pour une puissance consommée à un angle de conduction de 180° : $P_{DC} = \frac{V_{DS0} I_{MAX}}{\pi}$. Pour un angle différent, utiliser la formule [120] : $P_{DC} = \frac{V_{DS0} I_{MAX}}{\pi} \frac{\sin(\beta) - \beta \cos(\beta)}{1 - \cos(\beta)}$ avec β l'angle de conduction (en rad).

TABLE III.2 – Comparaison des impédances et performances théoriques associées aux classes de fonctionnement.

Les performances en puissance et rendement théoriques sont exactement les mêmes entre les classes originelles et les classes continues. En effet, la formule de la puissance vaut :

$$P_{OUT}(f_0) = \frac{1}{2} \Re(Z_{f_0}) |I_{f_0}|^2 \quad (\text{III.42})$$

Donc la partie imaginaire introduite au fondamental pour compenser le déphasage du second harmonique est transparente d'un point de vue puissance.

Pour le rendement de drain, la formule vaut :

$$\eta(\%) = 100 \frac{P_{OUT}(f_0)}{P_{DC}} \quad (\text{III.43})$$

Comme pour la puissance de sortie, le déphasage introduit pour la classe continu est transparent.

Concernant la bande passante relative, aucun calcul précis n'a été effectué, les ordres de grandeurs donnés sont basés sur des exemples de la littérature.

Pour résumer cette partie, nous avons vu qu'il est possible d'adapter les transistors sur un lieu d'impédances plus large qu'une simple valeur localisée. Ceci permet d'accroître la bande passante de l'amplificateur au coût d'un réseau d'adaptation plus compliqué à concevoir et qui va nécessiter plus d'espace. Une attention particulière doit être portée sur la tension maximale que peut tenir le transistor (3x sa tension d'alimentation), même si c'est pendant un temps assez bref.

D'autres classes de fonctionnement existent, les classes dites "en commutation". Elles utilisent des signaux de commande carrés afin de faire passer le transistor de l'état "ON" à "OFF" très vite (par exemple les classes D, E, S, T et I). Ces classes permettent d'atteindre des rendements très élevés ($\approx 90\%$) mais elles ont le défaut d'avoir une bande passante limitée (liée à la fréquence de découpage). Pour cela, nous ne les envisagerons pas dans ce travail.

2 Revue des amplificateurs de puissance forte puissance en bande X

Au cours de cette partie nous allons voir quelques exemples de réalisation d'amplificateur de puissance intégré en technologie GaN pour applications en bande étroite (bande X : 8-12 GHz) et en large bande bande (C à X : 4-12 GHz). En fonction des architectures utilisées nous comparerons quelques indicateurs de performance (bande passante, rendement, puissance et dimensions de la puce).

2.1 Exemples d'amplificateurs GaN MMIC en bande X

L'architecture la plus classique pour réaliser un amplificateur forte puissance bande X est l'amplificateur arborescent à 2 étages. Le premier étage sert de driver (il apporte le gain) tandis que le second étage génère la puissance. Les transistors sont adaptés en classe AB puis un combineur de puissance en courant ayant une bande passante étroite et à faibles pertes est conçu en sortie. Un exemple de puce est donné sur la figure III.14 suivante.

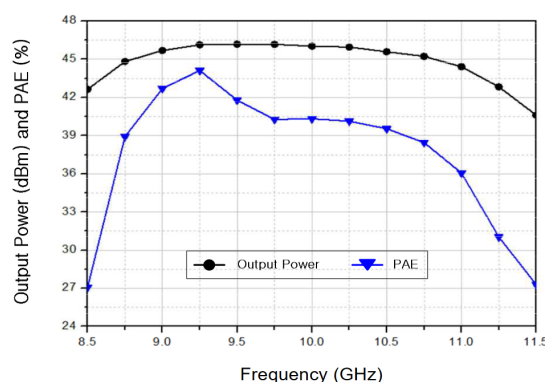
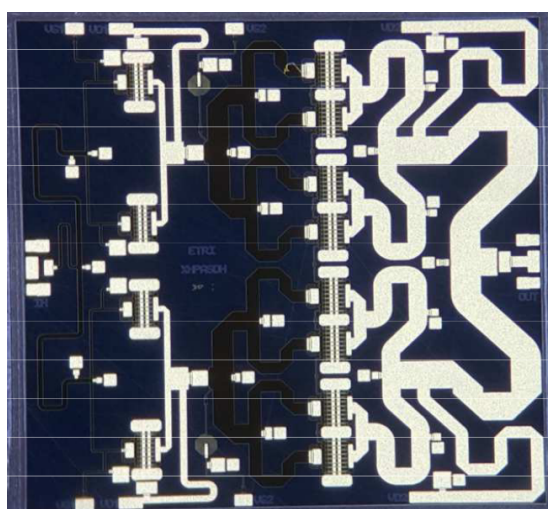


FIGURE III.14 – Amplificateur de puissance GaN couvrant la bande 8.8-10.8 GHz, $P_{OUT,min} = 30W$ avec une $PAE_{min} = 38\%$ [11].

Le tableau III.3 suivant récapitule quelques exemples à l'état de l'art de l'amplification de puissance forte puissance (> 1 Watt) dans la bande X.

2.2 Exemples d'amplificateurs GaN MMIC couvrant les bandes C à X

Les amplificateurs forte puissance large bande MMIC sont très en vogue avec les technologies GaN. Cependant, c'est un vrai challenge pour le designer car il faut concevoir des combineurs de puissance large bande accompagnés de circuits de polarisation large

Réf.	Freq. (GHz)	Topologie	Process	PAE _{min} (%)	P _{OUT,min} (W)	Taille (mm ²)
[11]	8.8-10.8	Classe AB	0.25μm GaN (UMS)	38	30	20.7
[121]	8.5-10.5	Classe AB	0.25μm GaN (WIN)	37	16	9.1
[122]	8.8-10.4	Classe AB	0.25μm GaN (UMS)	38	14	18
[123]	8-11	Classe AB	0.25μm GaN	-	15	13.5

TABLE III.3 – Comparaison d’amplificateurs GaN en bande X.

bande capables de conduire un fort courant dc (que les inductances intégrées ne supportent pas). Une des architectures les plus répandues pour faire du large bande forte puissance est l’architecture distribuée [124]. Elle repose sur le principe d’addition de transistors en parallèle le long de deux lignes de transmission. Un exemple de puce est donné sur la figure III.15.

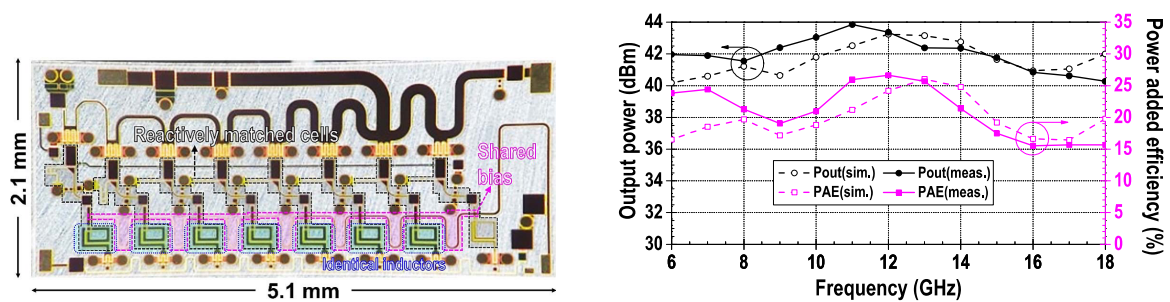


FIGURE III.15 – Amplificateur de puissance GaN distribué couvrant la bande 6-18 GHz, P_{OUT,min}= 10W avec une PAE_{min} = 15% [12].

Cependant, il est toujours possible de faire du large bande en utilisant un amplificateur adapté “classiquement” sur charge réactive [13]. Ceci implique l’utilisation de plusieurs étages d’amplification avec une recombinaison de puissance large bande, entraînant des pertes. Les dimensions du circuit sont vite très étendues, comme indiqué sur la figure III.16.

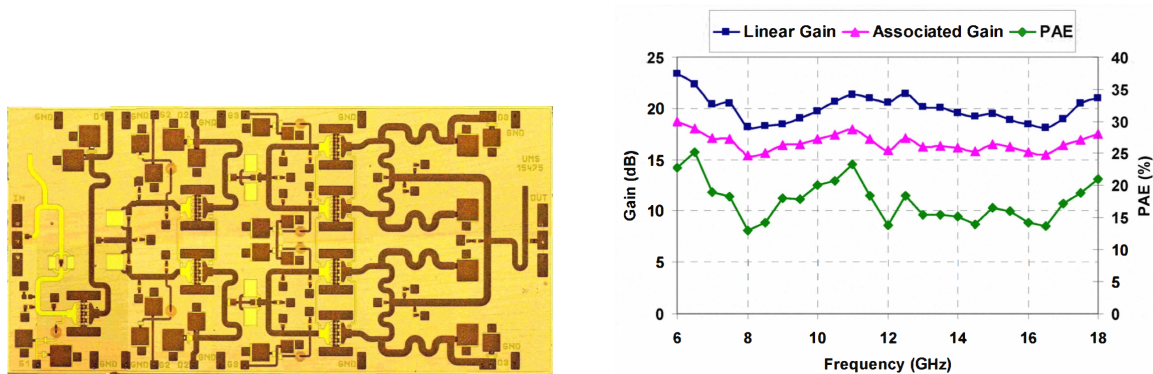


FIGURE III.16 – Amplificateur de puissance GaN arborescent couvrant la bande 6-18 GHz, P_{OUT,min}= 6W avec une PAE_{min} = 13% [13].Dimensions : 6.4x3.1 mm.

Le tableau III.4 suivant récapitule quelques exemples à l’état de l’art de l’amplification de puissance forte puissance (> 1 Watt) couvrant les bandes C à X.

Réf.	Freq. (GHz)	Topologie	Process	PAE _{min} (%)	P _{OUT,min} (W)	Taille (mm ²)
[12]	6-18	DPA ¹	0.25μm GaN	15	20	10.7
[13]	6-18	RMPA ²	0.25μm GaN (UMS)	13	6	19.8
[125]	6-18	RMPA ²	0.25μm GaN	10	12.5	27.5
[126]	6-18	DPA ¹	0.25μm GaN	7	6	6.7
[127]	6-18	DPA ¹	0.25μm GaN (UMS)	17	9	25
[128]	4-11	RMPA ²	0.25μm GaN (UMS)	18	4	6.3
[129]	6-17	RMPA ²	0.2μm GaN	10	3.3	6.8

¹Distributed Power Amplifier

²Reactively Matched Power Amplifier

TABLE III.4 – Comparaison d’amplificateurs GaN couvrant les bandes C à X.

3 Techniques d’augmentation du rendement

Dans cette partie, nous allons voir quelles techniques, au niveau de l’architecture de l’amplificateur, permettent d’améliorer le rendement. Elles sont souvent utilisées pour des applications ayant besoin de maintenir le rendement en recul en puissance (en anglais : “back-off”). En effet, les signaux de télécommunications (à enveloppe non-constante) passent très peu de temps à émettre en puissance maximale, là où le rendement de l’amplificateur est maximum. L’amplification se fait la majorité du temps à puissance moyenne, généralement 6 à 12 dB en dessous de la puissance maximale. Cet écart entre puissance maximale et puissance moyenne est appelé PAPR (Peak to Average Power ratio), illustré sur la figure III.17 suivante. Notre application n’utilise pas de signaux modulés en amplitude, cependant, une reconfigurabilité en puissance est nécessaire tout en gardant un rendement optimum, donc ce genre de techniques d’augmentation du rendement peut s’avérer utile.

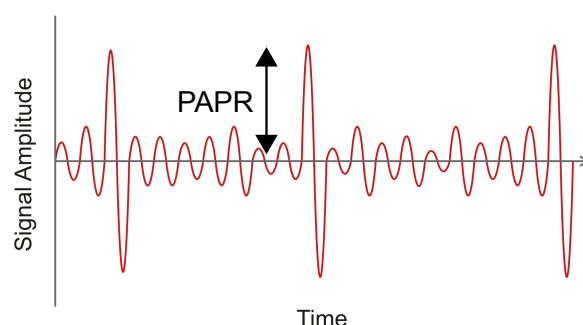


FIGURE III.17 – Illustration du PAPR d’un signal.

Pour maintenir le rendement élevé en recul en puissance, il y a deux méthodes : moduler dynamiquement la polarisation et/ou la charge du transistor. Il faut que la droite de charge

s'adapte à la puissance d'entrée, comme indiqué sur la figure III.18 suivante.

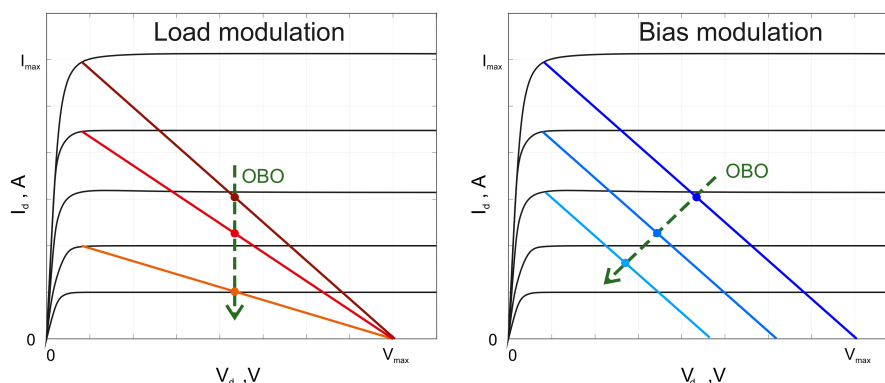


FIGURE III.18 – Illustration de la modulation de charge et de polarisation en fonction du recul en puissance (OBO).

3.1 La modulation de tension : le suivi d'enveloppe

Dans le cas de signaux à modulation d'amplitude, si la tension d'alimentation est fixe, le rendement dynamique de l'amplificateur varie au cours du temps. En effet, lorsque le signal est fort, le rendement sera proche du rendement maximum de l'amplificateur, à contrario, lorsque l'amplitude est plus faible, le rendement s'éloigne du maximum et la puissance dissipée augmente. Ceci est illustré sur la figure III.19(a) suivante. La technique du suivi d'enveloppe (fig. III.19 (b)) consiste à faire varier dynamiquement la tension d'alimentation afin de suivre le rythme de l'enveloppe et donc garantir un rendement toujours optimal. La variation de tension d'alimentation peut se faire de manière continue ou de manière discrète (par paliers).

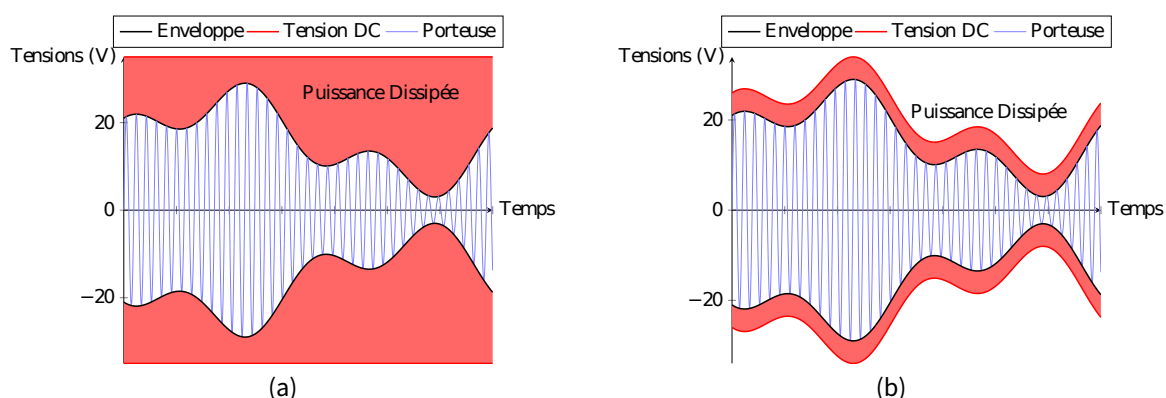


FIGURE III.19 – Illustration de la variation dynamique du rendement du PA. La zone rouge correspond à la puissance perdue par dissipation thermique. (a) Alimentation fixe. (b) Alimentation à suivi d'enveloppe. Source : [14]

Notre application utilise des signaux à enveloppe constante. La variation dynamique n'est donc pas une solution à envisager en premier lieu. Cependant, dans le cas d'une reconfigurabilité en puissance de l'amplificateur, on peut penser à adapter la tension d'alimentation afin d'éviter de consommer plus que nécessaire.

3.2 La modulation de charge : le Doherty et le LMBA

Toujours en utilisant un signal à enveloppe modulée, il est possible de moduler la charge vue par l'amplificateur afin de le faire fonctionner plus efficacement en fonction du niveau de signal qui est amplifié. Deux architectures utilisent ce principe : le Doherty et le LMBA (Load Modulated Balanced Amplifier).

Le Doherty, introduit en 1936 [130], est un amplificateur de puissance composé de 2 sous-amplificateurs. Le 1^{er}, généralement appelé amplificateur principal, est polarisé en classe AB et sert à amplifier la puissance moyenne du signal. Le 2nd, appelé amplificateur auxiliaire, est polarisé en classe C. Il va donc commencer à amplifier le signal que lorsque sa puissance d'entrée dépasse un certain niveau (généralement $\frac{I_{MAX}}{4}$), il sera donc employé pour amplifier la partie forte puissance du signal.

En utilisant un inverseur d'impédance en sortie, la valeur instantanée de la puissance du signal va modifier dynamiquement la valeur de la charge vue par l'un ou par l'autre amplificateur, comme indiqué sur la figure III.20(a). Ceci permet de faire fonctionner indépendamment les deux amplificateurs (sans que l'un ne vienne perturber la sortie de l'autre). Le rendement théorique de cette architecture en fonction du recul en puissance est donné sur la figure III.20(b).

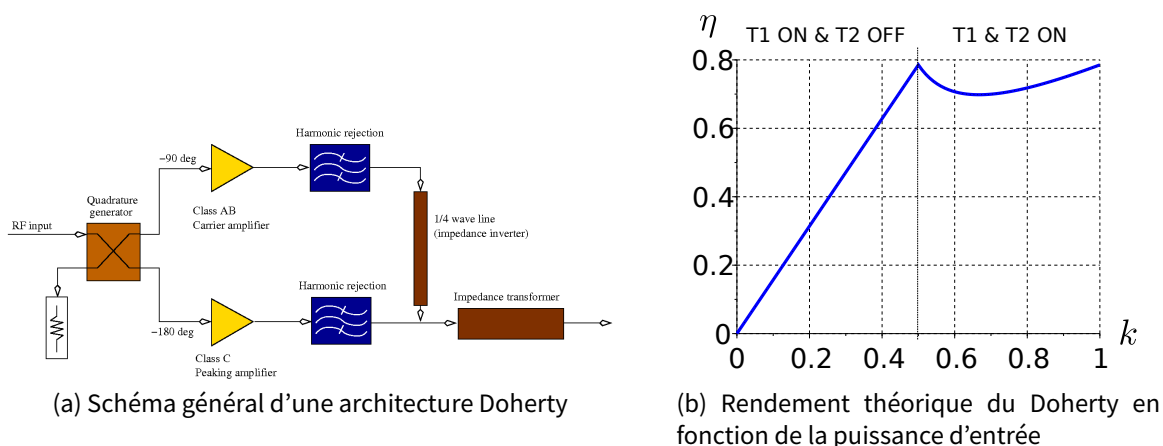


FIGURE III.20 – Illustration de l'amplificateur Doherty et de son rendement associé.

L'inconvénient de l'architecture Doherty est l'inverseur d'impédance que l'on retrouve en sortie. C'est un élément qui vient limiter la bande passante de l'amplificateur principal. Typiquement, la bande passante fractionnelle d'un Doherty à 2 voies est de l'ordre de

10% [131]. Nous n'envisagerons donc pas cette architecture pour notre application, qui se doit d'être large-bande.

Le LMBA, proposé par S. Cripps en 2016 [132], repose sur l'architecture d'un amplificateur équilibré. Un amplificateur équilibré est constitué de deux cellules de puissance recombinaisonnées à l'aide de coupleurs hybrides 3dB/90°, voir figure III.21(a). L'innovation vient dans le fait d'utiliser le port isolé du coupleur hybride de sortie afin d'injecter de la puissance avec un générateur auxiliaire, figure III.21(b). Cet apport de puissance, à phase contrôlée, permet de faire varier l'impédance présentée sur la sortie des 2 cellules de puissance de l'amplificateur équilibré. De plus, la puissance injectée n'est pas perdue car elle s'ajoute à la puissance totale en sortie sur la charge. Enfin, par nature, les amplificateurs équilibrés sont peu sensibles aux variations de charge grâce à l'utilisation du coupleur hybride en sortie, c'est donc aussi le cas pour les LMBA.

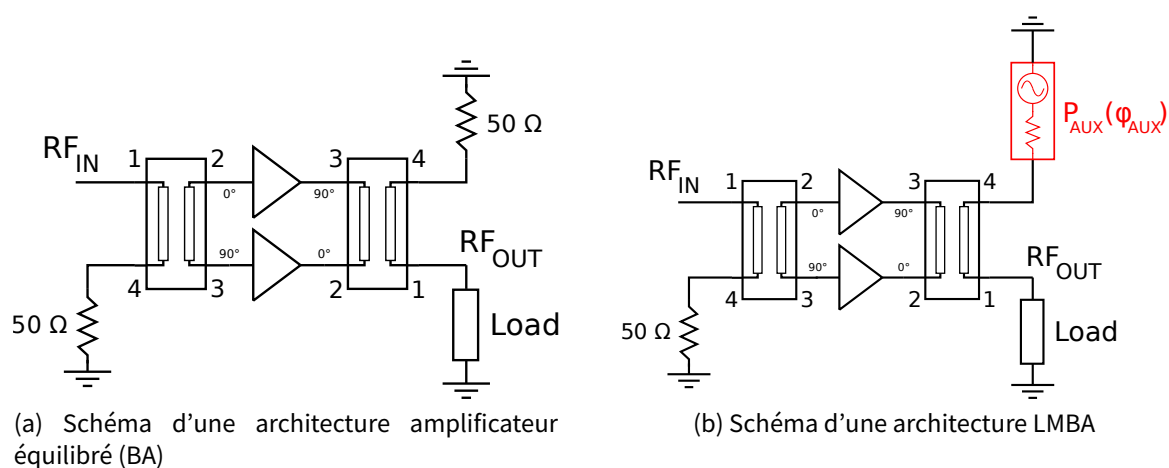


FIGURE III.21 – Illustration de l'amplificateur LMBA basé sur l'amplificateur équilibré.

Cette architecture permet d'optimiser la conception de l'amplificateur équilibré à une puissance modérée puis de le ré-adapter dynamiquement pour une puissance de sortie plus élevée. Ceci permet de garder un rendement élevé sur plusieurs niveaux de puissance, ce qui s'avère très utile pour les signaux de télécommunications récents (à forts PAPR). On peut imaginer ajouter le suivi d'enveloppe à la variation active de charge, même si l'architecture devient assez complexe d'un point de vue implémentation pratique.

Afin de vérifier quelles zones d'impédances peuvent être couvertes par cette architecture, nous effectuons le calcul de la variation du coefficient de réflexion d'une cellule de puissance en fonction de la puissance et de la phase injectée par le générateur auxiliaire sur le port ISO du coupleur de sortie. Pour cela, on part des expressions des tensions et courants annotés sur le schéma de la figure III.22 suivante.

En reprenant la numérotation des ports donnée sur la figure III.22, on exprime les

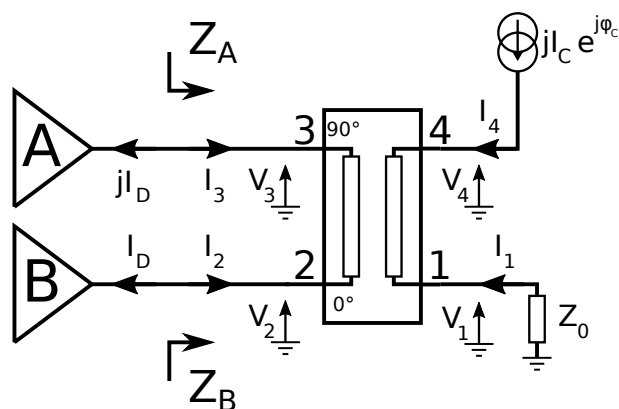


FIGURE III.22 – Schéma et annotations utilisées pour le calcul du lieu d'impédance qui peut être couvert.

courants entrants sur chaque port du coupleur :

$$I_1 = -\frac{V_1}{Z_L} \quad (\text{III.44})$$

$$I_2 = -I_D \quad (\text{III.45})$$

$$I_3 = -j I_D \quad (\text{III.46})$$

$$I_4 = j I_C e^{j\phi_C} \quad (\text{III.47})$$

Ensuite, à l'aide de la matrice Z du coupleur, on donne les tensions et courants sur chacun de ses ports :

$$\begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix} = Z_0 \begin{bmatrix} 0 & 0 & -j\sqrt{2} & -j \\ 0 & 0 & -j & -j\sqrt{2} \\ -j\sqrt{2} & -j & 0 & 0 \\ -j & -j\sqrt{2} & 0 & 0 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} \quad (\text{III.48})$$

Il est alors possible d'exprimer le courant sur la charge indépendamment de la tension à ses bornes en remplaçant I_1 par son expression :

$$I_1 = \frac{-V_1}{Z_L} \quad (\text{III.49})$$

$$I_1 = \frac{-Z_0}{Z_L} (-j\sqrt{2}I_3 - jI_4) \quad (\text{III.50})$$

$$I_1 = \frac{-Z_0}{Z_L} (-\sqrt{2}I_D + I_C e^{j\phi_C}) \quad (\text{III.51})$$

$$I_1 = \frac{Z_0}{Z_L} (\sqrt{2}I_D - I_C e^{j\phi_C}) \quad (\text{III.52})$$

Ce qui nous permet de calculer les impédances Z_A de la figure III.22.

$$Z_A = \frac{V_3}{I_3} \quad (\text{III.53})$$

$$Z_A = \frac{Z_0}{I_3} \left(-j\sqrt{2}I_1 - jI_2 \right) \quad (\text{III.54})$$

$$Z_A = \frac{Z_0}{-jI_D} \left(-j\sqrt{2} \left(\frac{Z_0}{Z_L} \left(\sqrt{2}I_D - I_C e^{j\phi_C} \right) \right) + jI_D \right) \quad (\text{III.55})$$

avec : $Z_0 = Z_L = 50\Omega$ (III.56)

$$Z_A = \frac{Z_0}{-jI_D} \left(-j2I_D + j\sqrt{2}I_C e^{j\phi_C} + jI_D \right) \quad (\text{III.57})$$

$$Z_A = Z_0 \left(1 - \sqrt{2} \frac{I_C}{I_D} e^{j\phi_C} \right) \quad (\text{III.58})$$

On fait de même pour Z_B .

$$Z_B = \frac{V_2}{I_2} \quad (\text{III.59})$$

$$Z_B = \frac{Z_0}{I_2} \left(-jI_3 - j\sqrt{2}I_4 \right) \quad (\text{III.60})$$

$$Z_B = \frac{Z_0}{-I_D} \left(-j(-jI_D) - j\sqrt{2}jI_C e^{j\phi_C} \right) \quad (\text{III.61})$$

$$Z_B = Z_0 \left(1 - \sqrt{2} \frac{I_C}{I_D} e^{j\phi_C} \right) \quad (\text{III.62})$$

On calcule ensuite la puissance fournie par un transistor :

$$P_T = \frac{1}{2} \Re (V_3 \times \bar{I}_3) \quad (\text{III.63})$$

$$P_T = \frac{1}{2} \Re (Z_A \times I_3 \times \bar{I}_3) \quad (\text{III.64})$$

$$P_T = \frac{1}{2} \Re (Z_A) |I_3|^2 \quad (\text{III.65})$$

$$P_T = \frac{Z_0}{2} \Re \left(1 - \sqrt{2} \frac{I_C}{I_D} \cos(\phi_C) - j\sqrt{2} \frac{I_C}{I_D} \sin(\phi_C) \right) I_D^2 \quad (\text{III.66})$$

$$P_T = \frac{Z_0}{2} \left(I_D^2 - \sqrt{2} I_C I_D \cos(\phi_C) \right) \quad (\text{III.67})$$

Puis la puissance délivrée sur la charge :

$$P_L = \frac{1}{2} \Re (V_1 \times \overline{I_1}) \quad (\text{III.68})$$

$$P_L = \frac{1}{2} \Re (Z_L) |I_1|^2 \quad (\text{III.69})$$

$$P_L = \frac{Z_L}{2} \left(\frac{Z_0}{Z_L} \right)^2 \left[\left(\sqrt{2} I_D - I_C \cos(\phi_C) \right)^2 + I_C^2 \sin(\phi_C)^2 \right] \quad (\text{III.70})$$

$$P_L = \frac{Z_L}{2} \left(\frac{Z_0}{Z_L} \right)^2 \left[2 I_D^2 - 2\sqrt{2} I_C I_D \cos(\phi_C) + I_C^2 \cos(\phi_C)^2 + I_C^2 \sin(\phi_C)^2 \right] \quad (\text{III.71})$$

$$P_L = \frac{Z_L}{2} \left(\frac{Z_0}{Z_L} \right)^2 \left[2 I_D^2 - 2\sqrt{2} I_C I_D \cos(\phi_C) + I_C^2 \right] \quad (\text{III.72})$$

$$P_L = \left(\frac{Z_0}{Z_L} \right)^2 \left[Z_L \left(I_D^2 - \sqrt{2} I_C I_D \cos(\phi_C) \right) + \frac{Z_L}{2} I_C^2 \right] \quad (\text{III.73})$$

avec : $Z_0 = Z_L = 50\Omega$ et $P_C = \frac{1}{2} \Re (Z_4) |I_4|^2 = \frac{1}{2} Z_0 I_C^2$

$$P_L = 2 P_T + P_C \quad (\text{III.74})$$

L'équation précédente confirme que la puissance injectée par le générateur auxiliaire (P_C) vient s'ajouter à la puissance de sortie des transistors (P_T). Donc il n'y a pas de perte de puissance.

On définit alors α le rapport entre la puissance injectée sur le port ISO du coupleur de sortie et la puissance fournie par un transistor tel que :

$$\alpha = \frac{P_C}{P_T} \quad (\text{III.75})$$

$$\alpha = \frac{\frac{1}{2} \Re (Z_4) |I_4|^2}{\frac{1}{2} \Re (Z_A) |I_3|^2} \quad (\text{III.76})$$

$$\alpha = \frac{\frac{1}{2} Z_0 |I_C e^{j\phi_C}|^2}{\frac{1}{2} \Re (Z_A) I_D^2} \quad (\text{III.77})$$

Maintenant, il faut exprimer ce rapport seulement en fonction de l'impédance présentée sur le drain du transistor : $Z_A = Z_0 \left(1 - \sqrt{2} \frac{I_C}{I_D} e^{j\phi_C} \right)$.

Ainsi, il sera possible de relier le coefficient de réflexion (Γ) au rapport des puissances des générateurs (α) et donc de tracer les lieux d'impédances atteignables.

$$\alpha = \frac{\frac{1}{2}Z_0 |I_C e^{j\phi_C}|^2}{\frac{1}{2}\Re(Z_A) I_D^2} \quad (III.78)$$

$$\alpha = \frac{Z_0 \left| -\frac{I_C}{I_D} e^{j\phi_C} \right|^2}{\Re(Z_A)} \quad (III.79)$$

$$\alpha = \frac{\frac{Z_0}{2} \left| -\sqrt{2}\frac{I_C}{I_D} e^{j\phi_C} \right|^2}{\Re(Z_A)} \quad (III.80)$$

$$\alpha = \frac{\frac{Z_0}{2} \left| 1 - \sqrt{2}\frac{I_C}{I_D} e^{j\phi_C} - 1 \right|^2}{\Re(Z_A)} \quad (III.81)$$

$$\alpha = \frac{Z_0 \left| \frac{Z_A}{Z_0} - 1 \right|^2}{2 \Re(Z_A)} \quad (III.82)$$

$$\alpha = \frac{\left| \frac{Z_A}{Z_0} - 1 \right|^2}{2 \Re\left(\frac{Z_A}{Z_0}\right)} \quad (III.83)$$

Le coefficient de réflexion présenté en sortie de chaque transistor vaut :

$$\Gamma_A = \Gamma_B = \Gamma = \frac{Z_A - Z_0}{Z_A + Z_0} \quad (III.84)$$

On isole le rapport $\frac{Z_A}{Z_0}$ afin de le remplacer dans l'équation du rapport de puissance.

$$\frac{Z_A}{Z_0} = \frac{1 + \Gamma}{1 - \Gamma} \quad (III.85)$$

On le remplace donc dans III.83 :

$$\alpha = \frac{\left| \frac{1+\Gamma}{1-\Gamma} - 1 \right|^2}{2 \Re\left(\frac{1+\Gamma}{1-\Gamma}\right)} \quad (III.86)$$

$$\alpha = \left| \frac{1 + \Gamma - 1 + \Gamma}{1 - \Gamma} \right|^2 \times \frac{1}{2 \Re\left(\frac{1+\Gamma}{1-\Gamma}\right)} \quad (III.87)$$

Sachant que : $2 \Re(z) = z + z^*$ et $|z|^2 = zz^*$, il vient :

$$\alpha = \frac{4 |\Gamma|^2}{|1 - \Gamma|^2} \times \frac{1}{\frac{1+\Gamma}{1-\Gamma} + \frac{1+\Gamma^*}{1-\Gamma^*}} \quad (III.88)$$

$$\alpha = \frac{4 |\Gamma|^2}{(1 - \Gamma)(1 - \Gamma^*)} \times \frac{1}{\frac{1+\Gamma}{1-\Gamma} + \frac{1+\Gamma^*}{1-\Gamma^*}} \quad (III.89)$$

$$\alpha = \frac{4 |\Gamma|^2}{(1 - \Gamma^*)(1 + \Gamma) + (1 - \Gamma)(1 + \Gamma^*)} \quad (III.90)$$

$$\alpha = \frac{4 |\Gamma|^2}{2(1 - \Gamma\Gamma^*)} \quad (III.91)$$

$$\alpha = \frac{2 |\Gamma|^2}{1 - |\Gamma|^2} \quad (III.92)$$

En isolant $|\Gamma|$ dans l'équation précédente, on en déduit l'expression du module du coefficient de réflexion de sortie des deux transistors A et B en fonction du rapport entre la puissance injectée et la puissance de sortie d'un transistor (α) :

$$|\Gamma|^2 = \frac{\alpha}{2 + \alpha} \quad (III.93)$$

La phase du coefficient de réflexion est directement liée à la phase du signal injecté sur le port auxiliaire. Sur la figure III.23 suivante, on trace les lieux d'impédances couverts pour 3 niveaux de puissance du générateur auxiliaire.

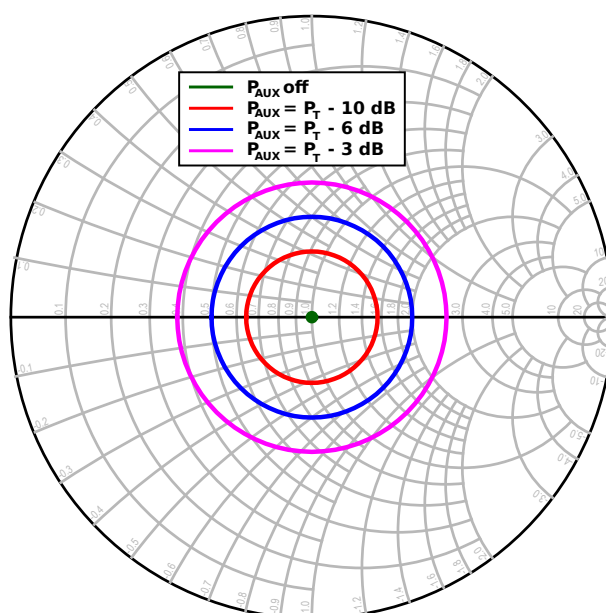


FIGURE III.23 – Illustration du lieu d'impédance qui peut être couvert en sortie des transistors A et B en fonction du niveau de puissance injectée sur le port isolé du coupleur de sortie.

Dans la pratique, on se limitera à une puissance de générateur auxiliaire 6 fois inférieure (-8 dB) à celle en sortie des transistors principaux afin de conserver un générateur auxiliaire de faible puissance.

Cette modulation active d'impédance, permise par l'architecture LMBA, est utilisée dans la littérature afin de maintenir l'adaptation des transistors lorsque l'on est en recul de puissance de sortie.

Un exemple de réalisation totalement intégrée (driver + PA + amplificateur auxiliaire sur le même MMIC) d'amplificateur LMBA en bande X a été réalisé pour la première fois par l'université de Cardiff en 2018 [133].

Aussi, un amplificateur de puissance LMBA à une seule entrée (le générateur auxiliaire est intégré sur le même circuit) fonctionnant entre 1.7 et 4 GHz a été réalisé et associé à un système à suivi d'enveloppe afin d'optimiser le rendement en recul en puissance sur une large bande [134].

Une autre architecture qui utilise 2 amplificateurs en parallèle induisant une modulation de la charge (seulement en phase, pas en amplitude) est l'amplificateur Outphasing (ou Chireix) [135, 136, 137]

4 Principe du LMBA appliqué à l'augmentation de la bande passante totale d'un amplificateur

Nous venons de voir qu'à l'aide du LMBA, il est possible d'adapter l'amplificateur en fonction du recul en puissance du signal.

Dans cette partie, nous proposons d'appliquer le principe du LMBA afin de maintenir l'adaptation du PA en fonction de la fréquence pour les applications large-bande. Il faut dorénavant injecter un signal sur le port ISO du coupleur de sortie avec une certaine puissance et une certaine phase afin de présenter l'impédance optimale en rendement en fonction de la fréquence (ou bande de fréquences) visée.

Nous commencerons par réaliser un démonstrateur sur circuit imprimé (PCB) en utilisant des transistors GaN encapsulés commerciaux (fondeur : Qorvo). Puis nous estimerons les performances atteignables en intégrant avec la technologie GaN GH25 d'UMS.

4.1 Réalisation d'un démonstrateur sur PCB

Nous proposons de réaliser un démonstrateur du principe d'adaptation dynamique de l'amplificateur LMBA en fonction de la bande de fréquences visée. La bande passante doit être reconfigurable entre 6 et 12 GHz. La puissance de sortie visée est 8 Watt.

4.1.1 Conception de la carte

Le transistor choisi est un composant GaN encapsulé qui fournit 5 Watt jusqu'à 12 GHz (Ref : Qorvo TGF2977-SM). Des coupleurs hybrides (3dB/90°) large bande (4-12 GHz) sont utilisés pour recombinaison la puissance en dehors du PCB. Le circuit est réalisé sur substrat alumine (Ref : Superstrate 996) afin de limiter les pertes et la taille du circuit ($\epsilon_r = 9.9$).

Le circuit principal, un amplificateur équilibré, est composé de deux branches amplificatrices identiques ayant chacune :

- un réseau d'adaptation large bande en entrée
- un réseau de polarisation pour la grille
- un transistor en boîtier
- un réseau de polarisation pour le drain
- un réseau de pré-matching large bande en sortie, qui rassemble les impédances à atteindre proche de l'impédance du coupleur (50 Ohm). Ainsi, on limitera la puissance nécessaire en sortie du générateur auxiliaire pour adapter le transistor.

Les impédances à présenter en entrée et en sortie du transistor GaN sont données dans sa datasheet. On récupère aussi le modèle non-linéaire du transistor afin de réaliser des

simulations grand signal sous ADS (modèle fourni par Modelithics). Il se trouve que les impédances du modèle (issues par simulation sourcepull/loadpull) ne correspondent pas exactement à celles de la datasheet. Une comparaison est donnée sur la figure III.24.

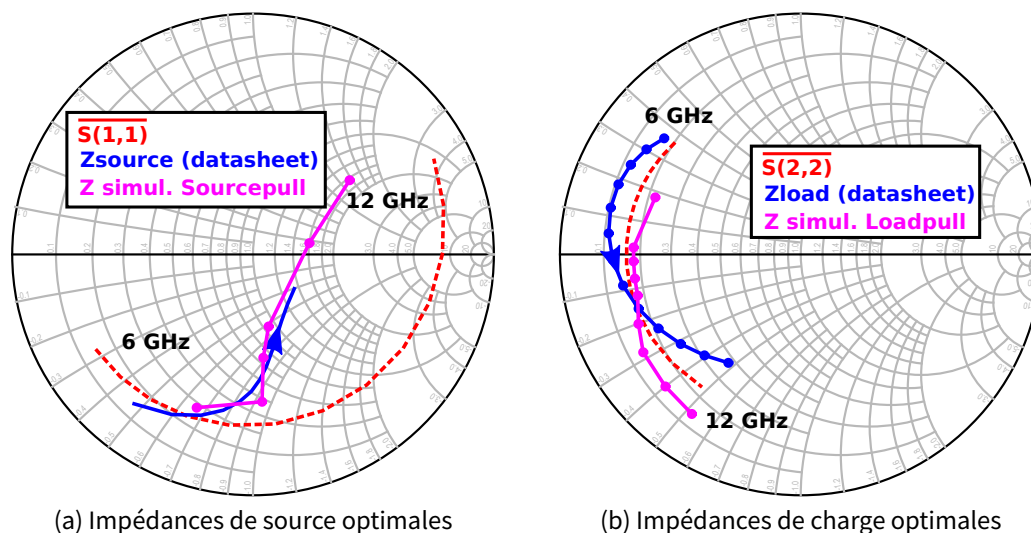


FIGURE III.24 – Représentation des impédances optimales à présenter en fonction de la fréquence. Comparaison entre paramètres S conjugués, impédances issues de la datasheet et impédances issues des simulations sourcepull/loadpull.

Les impédances varient beaucoup avec la fréquence, il va donc être difficile de garantir une bonne adaptation sur toute la gamme de fréquences. Afin d'estimer les performances maximales atteignables avec le transistor, on réalise une simulation en présentant les impédances optimales en source et en charge sur le transistor entre 6 et 12 GHz. Pour cela, on détermine les équations régissant l'évolution des parties réelles et imaginaires des impédances à indiquer dans les ports de la simulation grand signal, représentées sur la figure III.25.

Ces équations ne sont valables que sur la gamme de fréquences où les impédances sont extraites. Elles ne tiennent pas compte des impédances à présenter aux harmoniques. Ceci donne un ordre de grandeur des performances maximales atteignables en fonction de la fréquence.

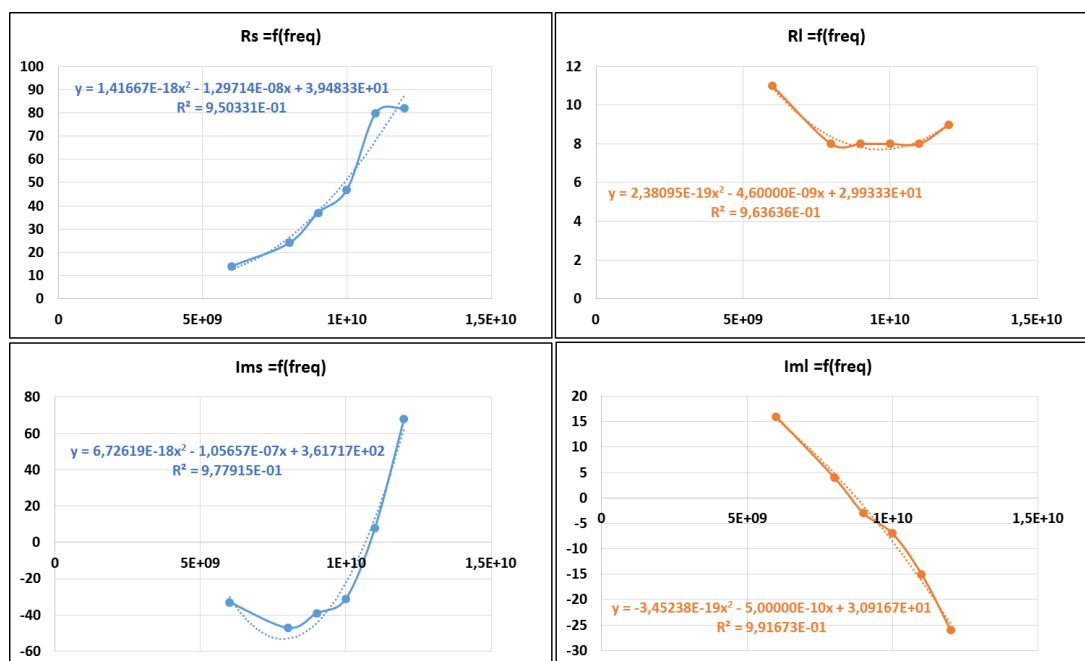


FIGURE III.25 – Extraction des équations modélisant les impédances optimales à présenter en fonction de la fréquence. Les impédances sont issues des simulations sourcepull/loadpull.

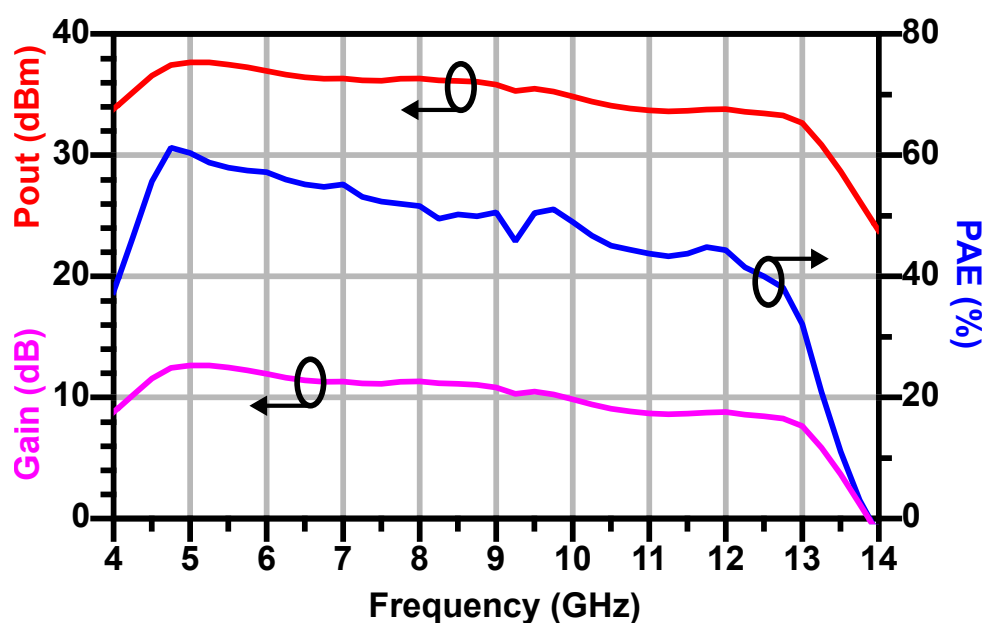


FIGURE III.26 – Résultats de simulation grand signal d'un transistor seul matché idéalement à la fréquence fondamentale en entrée et en sortie entre 6 et 12 GHz.

Sur la figure III.26, on remarque qu'il est possible, pour une puissance d'entrée de 25 dBm (0.3 W), d'atteindre une puissance de sortie supérieure à 34 dBm (2.5 W) et une PAE supérieure à 40 % sur la gamme de fréquences 5-12 GHz. La consommation moyenne est de 5.5 W. Ces performances ne sont pas atteignables en PCB à cause des différentes pertes dans les circuits de polarisation/d'adaptation et dans les interconnexions (coupleurs, connecteurs et câbles).

Les circuits d'adaptation et de polarisation sont conçus par optimisation sur les impédances de la datasheet.

La polarisation de grille est découplée du signal RF à l'aide d'un "stub papillon". Un stub double est préféré par rapport à un stub simple car il couvre une bande de fréquences plus large. Coté drain, la polarisation est amenée par une ligne quart d'onde.

L'adaptation d'impédance (coté grille et coté drain) est réalisée par une succession de lignes. Afin de limiter la capacité parasite due au chemin entre les composants et le plan de masse (face inférieure), les vias sont placés au plus près des composants reliés à la masse. Afin de découpler les alimentations, on place 3 capacités ayant des valeurs couvrant 3 décades de fréquences (100 pF, 10 nF, 1 μ F). Le schéma du layout final de l'amplificateur réalisé est donné sur la figure III.27.

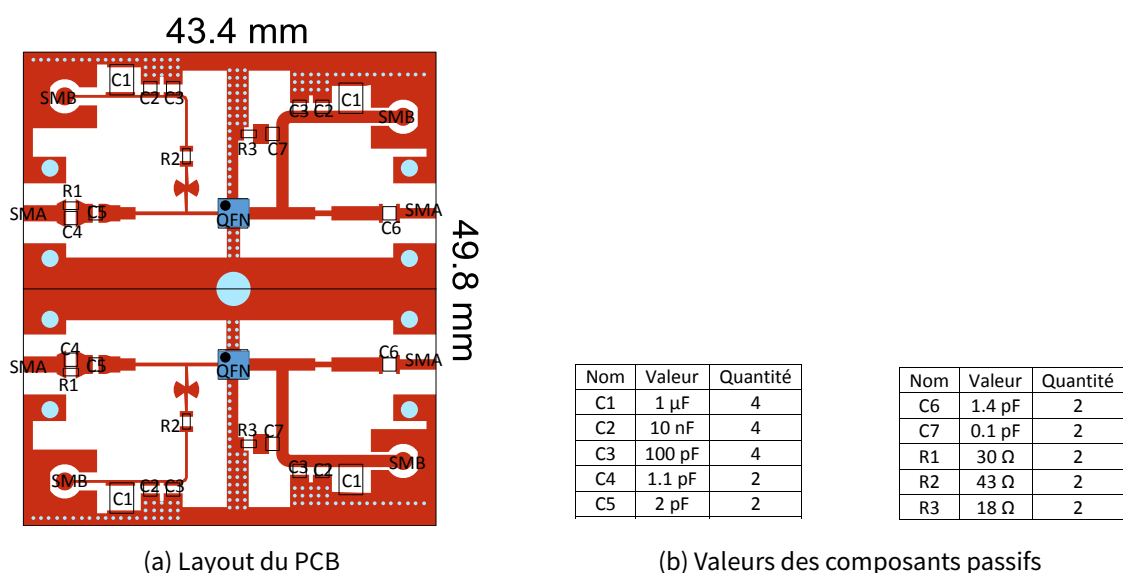


FIGURE III.27 – Layout de l'amplificateur LMBA conçu sur PCB alumine.

Concernant la stabilité, un circuit RC en série est inséré afin de couper le gain à la fréquence harmonique $\frac{f_0}{2}$. De plus, une résistance en série dans le réseau de polarisation de la grille est ajoutée afin d'atténuer les composantes parasites. Enfin, un couple capacité-résistance est placé en parallèle du réseau de polarisation de drain, dans le but d'atténuer les composantes basse fréquence potentielles.

4.1.2 Simulation des performances

Nous avons tout d'abord mesuré les performances d'une seule des deux branches de l'amplificateur équilibré. Cette branche comprend un transistor unique accompagné de ses réseaux d'adaptation et de polarisation. Les performances grand signal en fonction de la fréquence sont données sur la figure III.28. La comparaison avec le gain petit signal permet d'estimer le niveau de compression de l'amplificateur. On constate de bonnes performances

en haut de bande. La chute de gain et de puissance constatée juste autour de 9 GHz correspond au changement signe de la partie imaginaire de l'impédance optimale du transistor, ce qui paraît étrange.

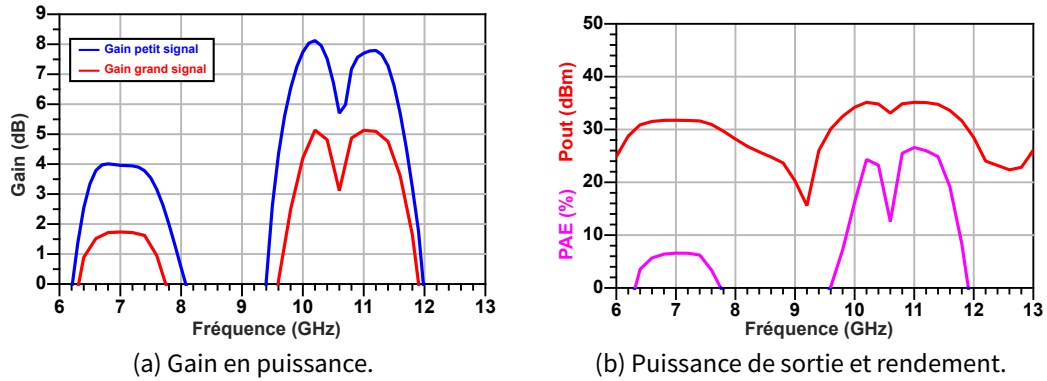
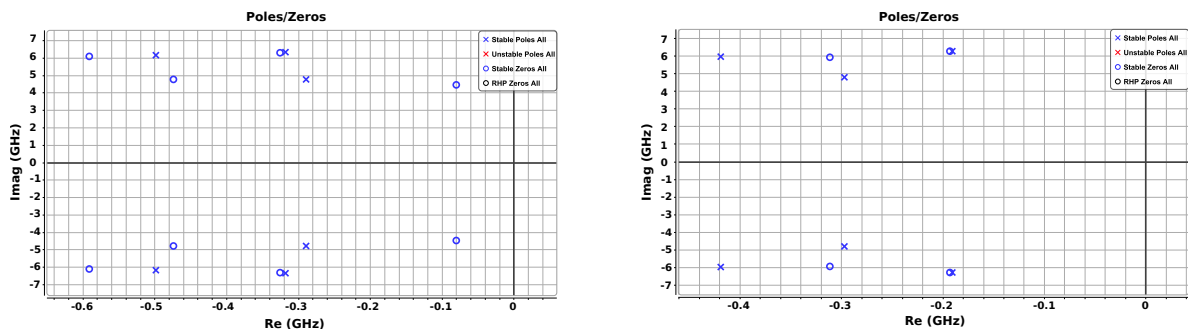


FIGURE III.28 – Simulations grand signal d'une branche de l'amplificateur. $P_{disp} = 30$ dBm.

Pour s'assurer de la stabilité en grand signal, on procède à une analyse de stabilité avec l'outil STAN[®] d'AMCAD [138, 139]. Cet outil génère la fonction de transfert de l'amplificateur suite à une perturbation appliquée autour du point de fonction grand signal. La fréquence de la perturbation doit correspondre à la fréquence d'oscillation envisagée (souvent autour de $\frac{f_0}{2}$). En fonction de l'endroit où est appliquée la perturbation, STAN[®] met en évidence les pôles ayant une partie réelle positive, synonyme d'instabilité. Sur la figure III.29 suivante, on montre le résultat de simulation STAN[®] pour une excitation côté grille et côté drain au point de fonctionnement $P_{dispo}=30$ dBm et $f_0 = 11$ GHz. Cette étude est répétée à 6, 8, 10 et 12 GHz afin de tester la stabilité sur toute la bande.



(a) Perturbation sur la grille du transistor : pas d'instabilité.

(b) Perturbation sur le drain du transistor : pas d'instabilité.

FIGURE III.29 – Etude de la stabilité grand signal d'une branche de l'amplificateur équilibré à 11 GHz : valeurs des pôles et zéros pour une perturbation entre 4.4 GHz et 6.6 GHz (autour de $f_0/2$). La partie réelle des pôles reste négative indiquant une absence d'instabilité

Avant de simuler l'architecture complète, les paramètres [S] des deux coupleurs hybrides externes sont mesurés au VNA et les résultats sont stockés dans des fichiers de points (.S4P).

Un aperçu du schéma de la structure globale simulée dans ADS est donné sur la figure III.30. Les deux blocs Snp servent à lire les fichiers de mesure des paramètres [S] des coupleurs hybrides. Des inductances de 50 nH sont ajoutées entre les sources dc et les circuits pour modéliser les câbles d'alimentation. Les deux résistances de 1 MOhm connectées en bas de chaque symbole des circuits sont utilisées pour forcer l'entrée "perturbation" (utilisée lors de l'analyse de stabilité effectuée avec l'outil STAN®) en circuit ouvert.

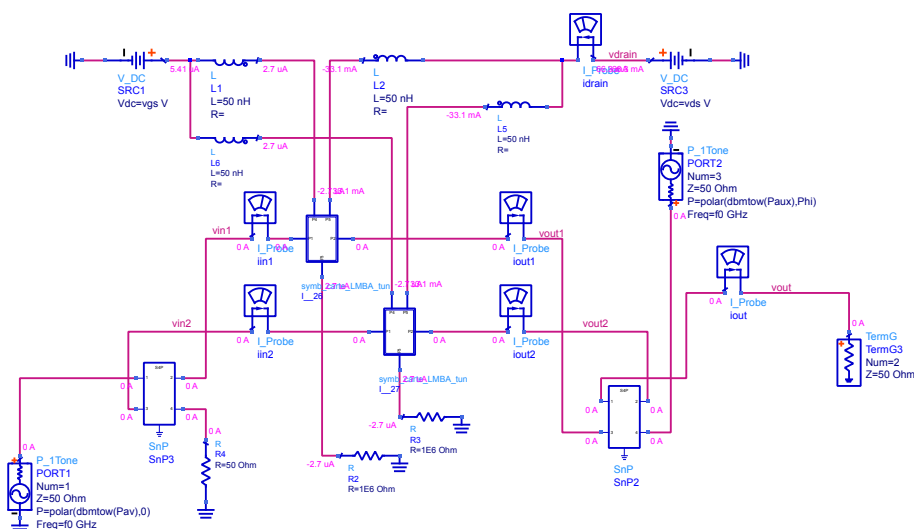


FIGURE III.30 – Illustration de la simulation électrique complète de l’amplificateur LMBA effectuée sous ADS.

La puissance en entrée de l’amplificateur est choisie constante : 33 dBm (2 W) afin d’assurer 29 dBm disponibles en entrée de chaque transistor. La puissance de sortie du générateur auxiliaire est fixée à 27 dBm (0.5 W).

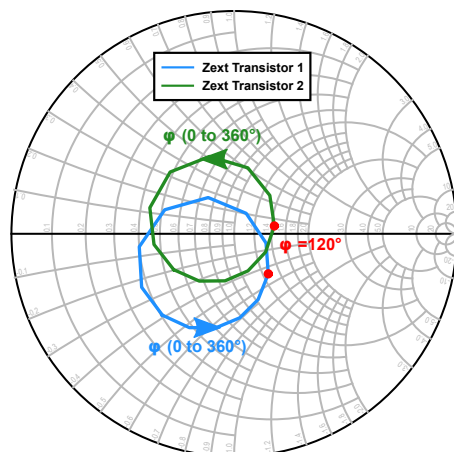
Ce circuit étant un système à 2 entrées et 1 sortie, les calculs de la PAE et du gain en puissance sont modifiés :

$$PAE(\%) = 100 \times \frac{P_{OUT}(W) - P_{IN}(W) - P_{AUX}(W)}{P_{DC}(W)} \quad (III.94)$$

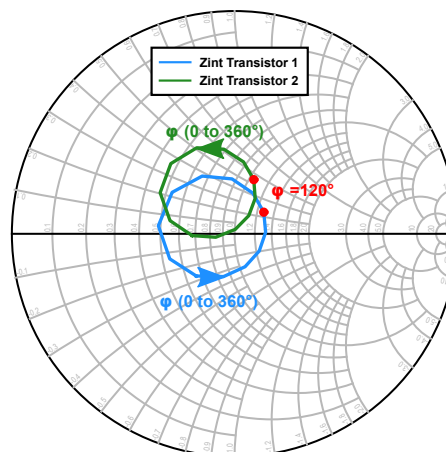
$$Gain(dB) = 10 \log \left(\frac{P_{OUT}(W)}{P_{IN}(W) + P_{AUX}(W)} \right) \quad (III.95)$$

Pour mettre en évidence la modulation de charge provoquée par le générateur auxiliaire, on simule d’abord le circuit à une seule fréquence : $f_0 = 10$ GHz. On fait ensuite varier la phase du générateur auxiliaire et on observe la position des impédances intrinsèques et extrinsèques présentées en sortie de chaque transistor.

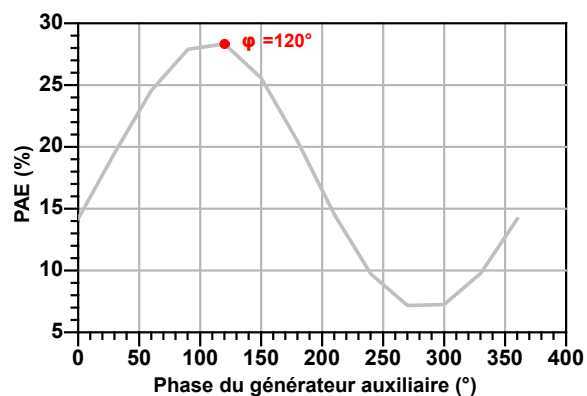
Sur la figure III.31, on représente l'évolution de ces impédances en fonction de ϕ_{aux} et l'impact sur la PAE et la puissance de sortie du LMBA. Le décalage observé entre les deux cercles d'impédance est dû aux coupleurs hybrides qui ne sont pas idéaux (utilisation des mesures [S]).



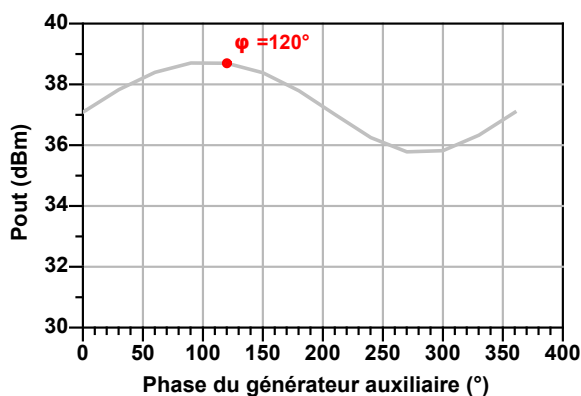
(a) Impédance de charge extrinsèque pour différentes valeurs de ϕ_{aux} .



(b) Impédance de charge intrinsèque pour différentes valeurs de ϕ_{aux} .



(c) Rendement (PAE).



(d) Puissance de sortie.

FIGURE III.31 – Étude de l'impact de la phase du générateur auxiliaire. Simulation à 10 GHz.

La simulation est répétée à la fréquence $f_0 = 7$ GHz sur la figure III.32. On constate que la phase du générateur auxiliaire pour laquelle le rendement et la puissance de sortie sont maximum est différente de celle à 10 GHz.

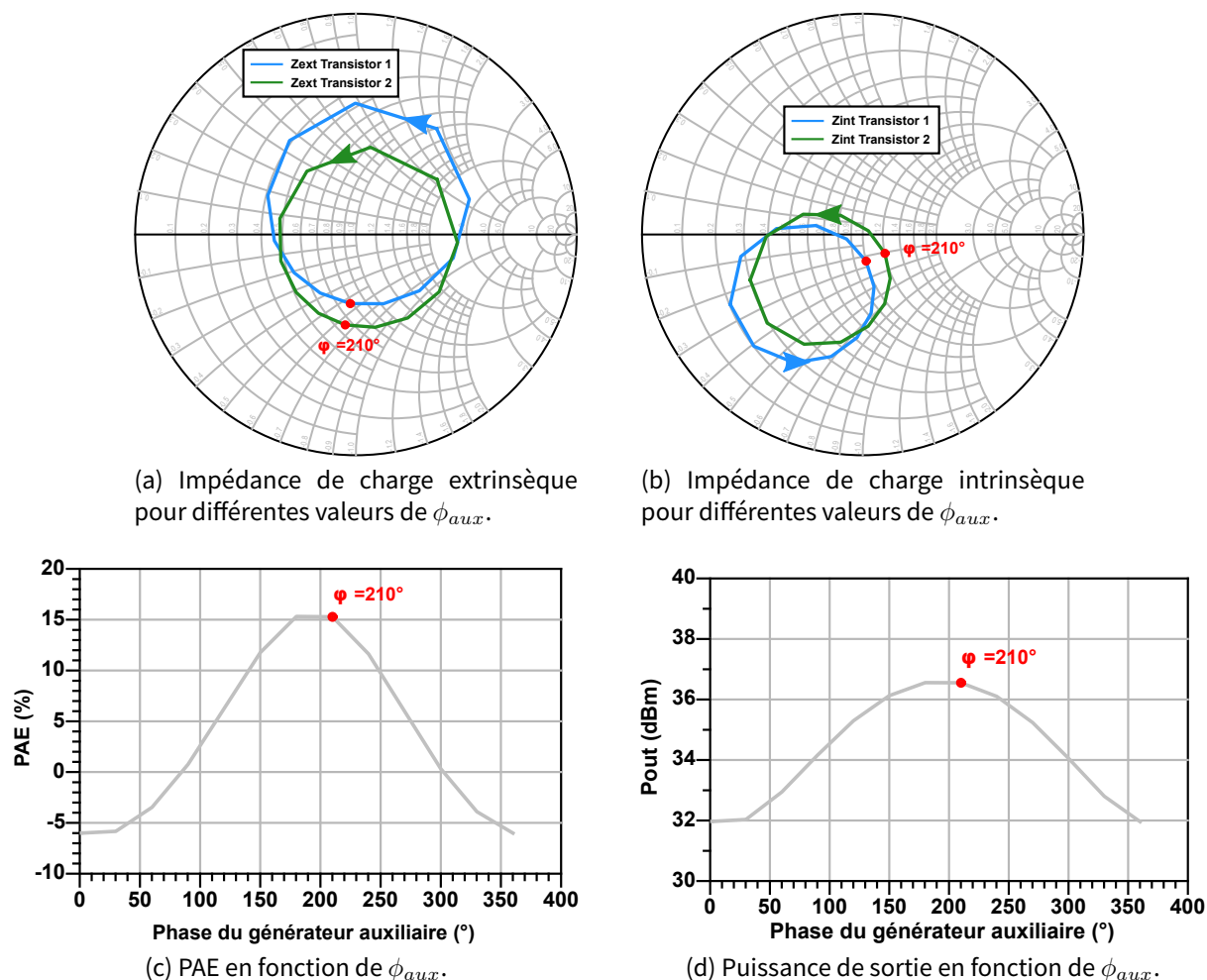


FIGURE III.32 – Étude de l'impact de la phase du générateur auxiliaire. Simulation à 7 GHz.

Deuxièmement, pour mettre en évidence l'effet de l'injection de puissance sur la bande passante du LMBA, on commute la puissance du générateur auxiliaire entre 2 valeurs : -40 dBm (comme si il était éteint) et 27 dBm (0.5 W) sa puissance maximale. Ensuite, la phase du générateur auxiliaire est balayée entre 0° et $+360^\circ$ par pas de 30° afin de couvrir le cercle complet des impédances atteignables via la modulation de charge du LMBA.

Sur la figure III.33, on trace l'évolution des impédances intrinsèques et extrinsèques ainsi que la PAE et la puissance de sortie totale du PA avec et sans le générateur auxiliaire. La courbe en bleu correspond aux performances lorsque le générateur auxiliaire est coupé. La courbe en rouge correspond à la phase du générateur auxiliaire (120°) qui maximise la puissance dans une bande étroite (10-11.5 GHz).

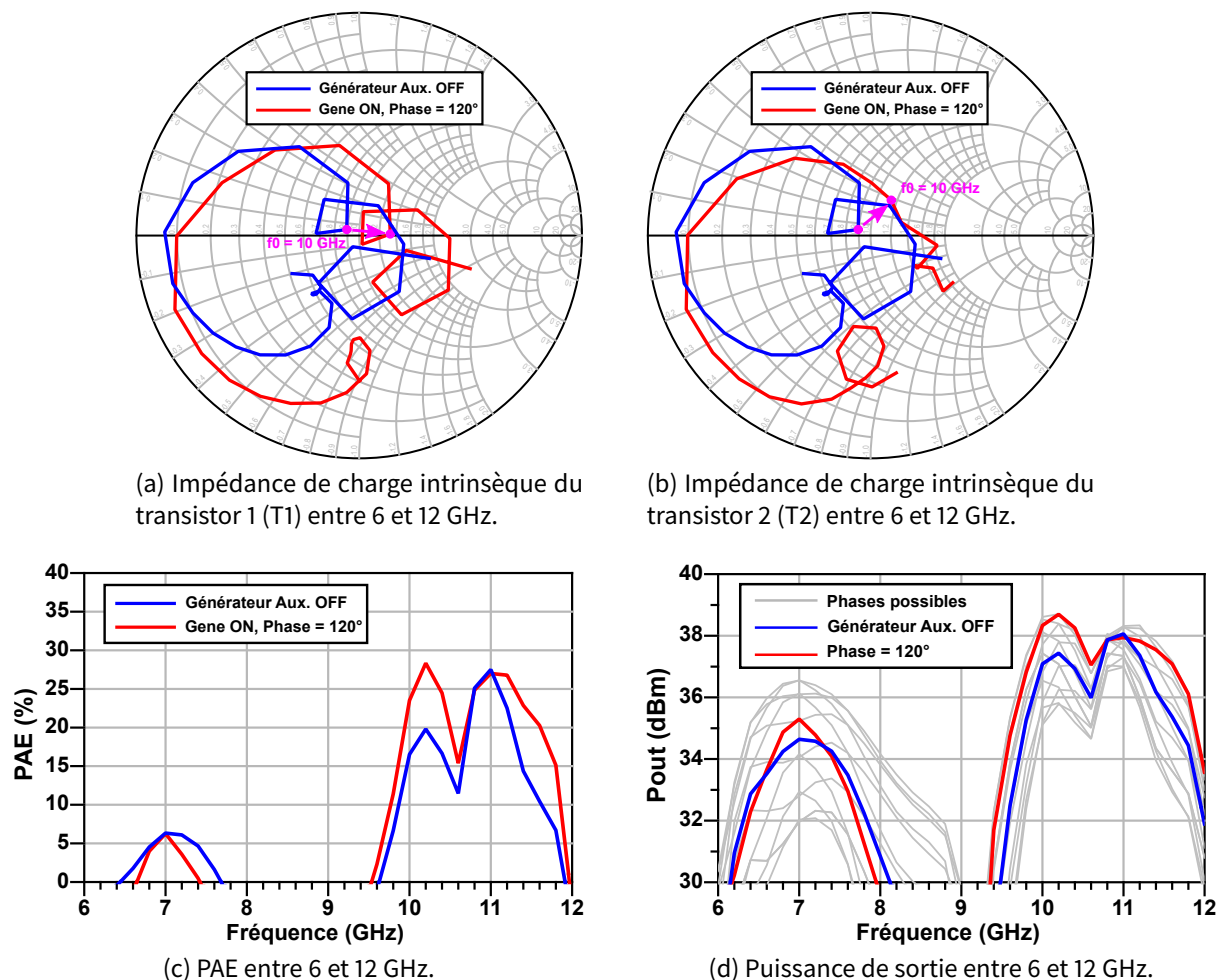


FIGURE III.33 – Impact du générateur auxiliaire sur la bande passante. Optimisation en bande étroite pour $\phi_{aux} = 120^\circ$.

Sur la figure III.34, on répète la simulation en choisissant cette fois la phase du générateur auxiliaire (210°) qui maximise la bande passante de l'amplificateur (entre 6.5-7.5 GHz et 10-11.5 GHz).

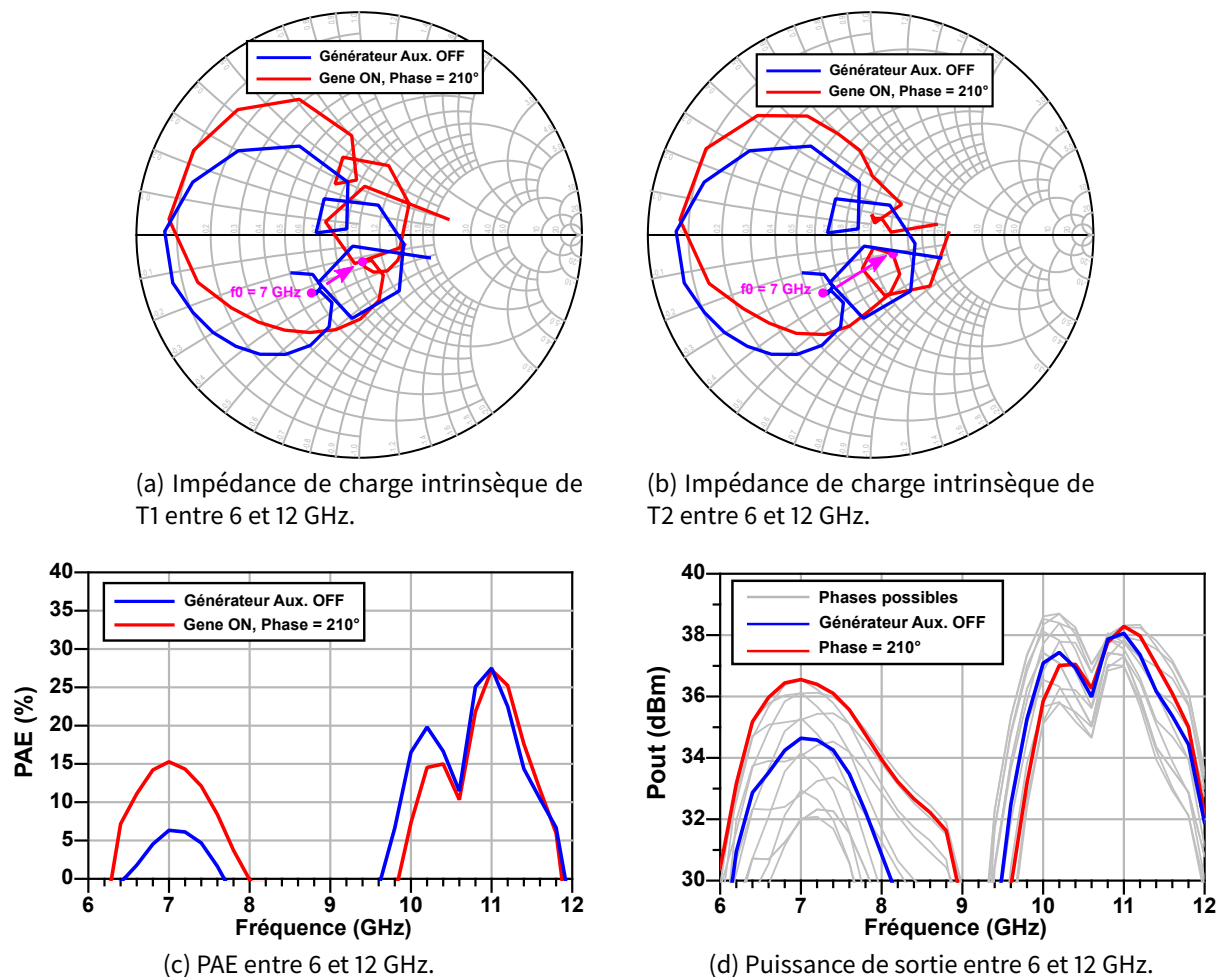
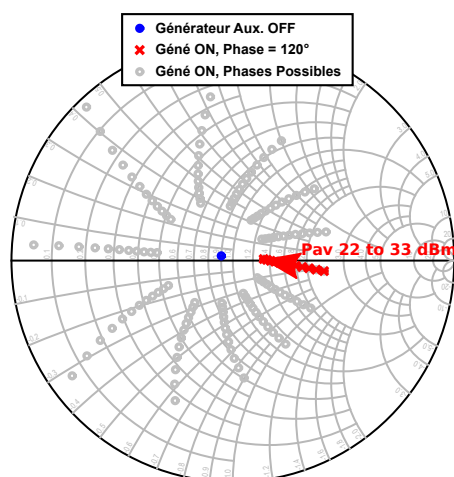
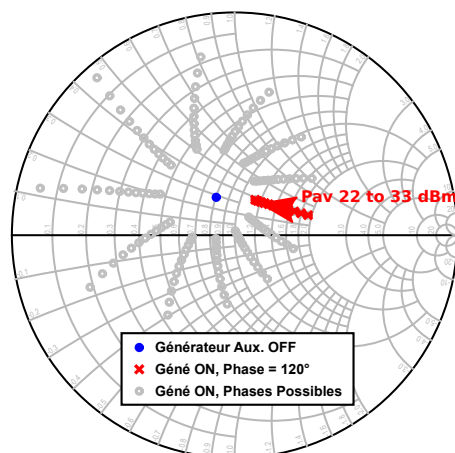


FIGURE III.34 – Impact du générateur auxiliaire sur la bande passante. Optimisation en large bande pour $\phi_{aux} = 210^\circ$.

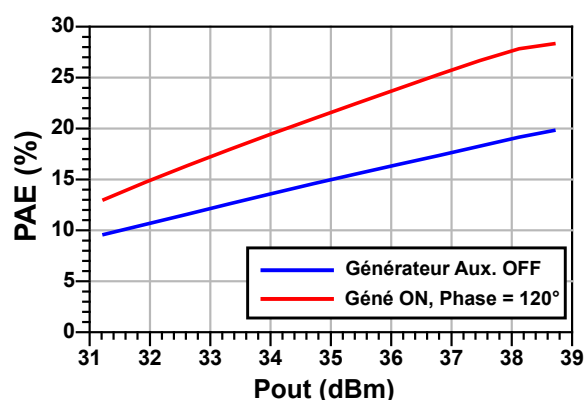
Troisièmement, on observe les performances en fonction de la puissance disponible en entrée de l'amplificateur. Ceci revient à l'utilisation originale du LMBA (pour augmenter le rendement en "back-off", c'est à dire lorsqu'on diminue la puissance d'entrée). Sur la figure III.35, on constate que le rendement est effectivement amélioré pour plusieurs dB en dessous de la puissance maximale (en mode bande étroite). On constate que le gain en puissance est maintenu faible lorsque le générateur auxiliaire est allumé, ça veut dire que le transistor est en compression sur plusieurs dB de recul en puissance.



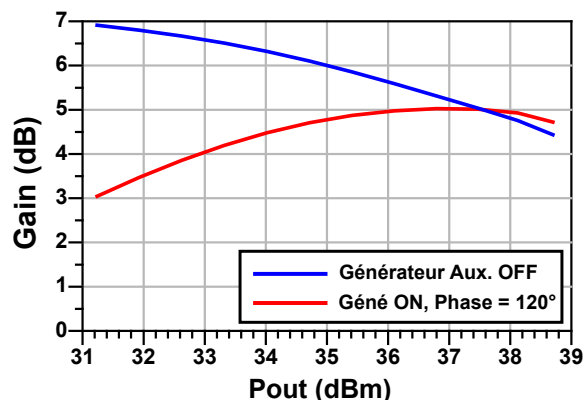
(a) Impédance de charge intrinsèque de T1 pour différentes valeurs de P_{disp} et de ϕ_{aux} .



(b) Impédance de charge intrinsèque de T2 pour différentes valeurs de P_{disp} et de ϕ_{aux} .



(c) PAE en fonction de la puissance de sortie.

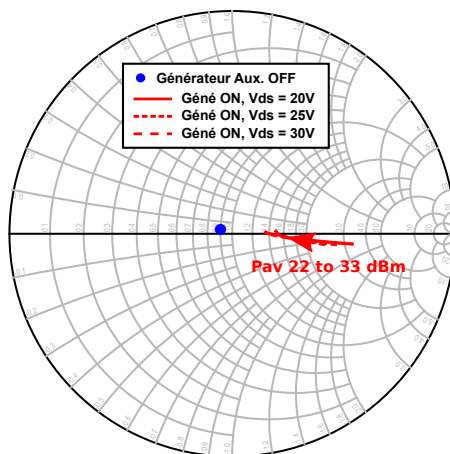


(d) Gain en fonction de la puissance de sortie.

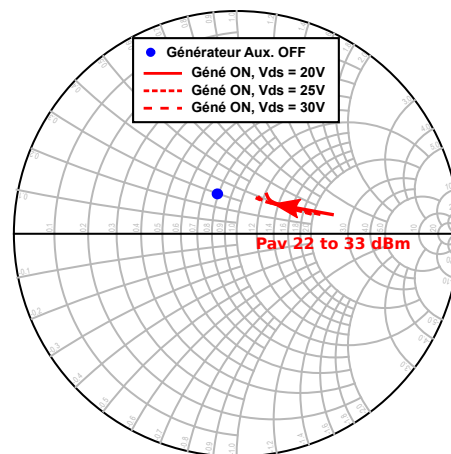
FIGURE III.35 – Impact du générateur auxiliaire sur le recul en puissance. Simulation réalisée à 10 GHz, $\phi_{aux} = 120^\circ$.

Nous étudions ensuite une autre piste pour améliorer les performances : additionner le principe du LMBA à celui du suivi d'enveloppe (« envelope tracking ») en faisant varier la tension d'alimentation pour une puissance et une phase de générateur auxiliaire fixés.

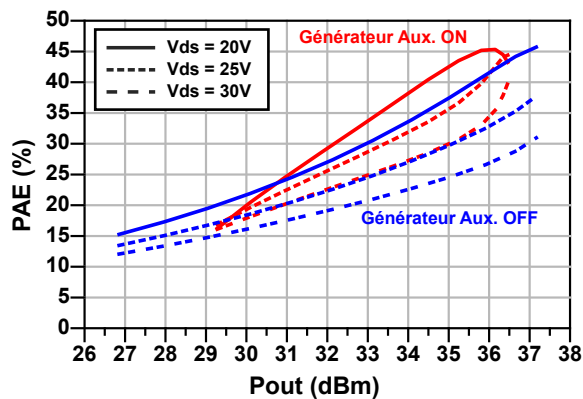
Sur la figure III.36, on constate que l'usage du suivi d'enveloppe n'est pas possible sur cet amplificateur pour 2 raisons. Premièrement, l'impédance de sortie du transistor ne varie pas avec la tension d'alimentation. Deuxièmement, le rendement est maximum en conservant une seule tension d'alimentation (20V), que ce soit avec le générateur auxiliaire allumé ou éteint.



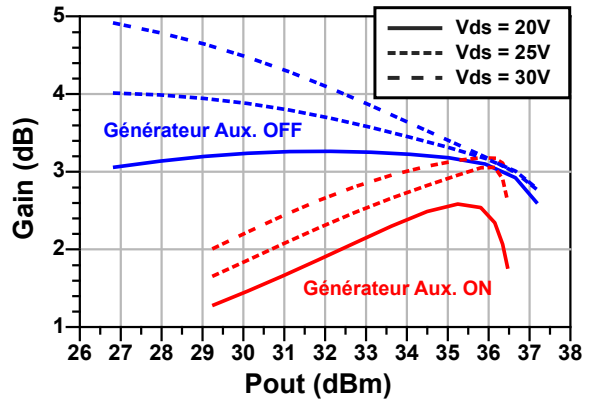
(a) Impédance de charge intrinsèque de T1 pour différentes valeurs de V_{DS} .



(b) Impédance de charge intrinsèque de T2 pour différentes valeurs de V_{DS} .



(c) PAE en fonction de la puissance de sortie.



(d) Gain en fonction de la puissance de sortie.

FIGURE III.36 – Étude de l'impact du suivi d'enveloppe. Simulation réalisée à 10 GHz, $\phi_{aux} = 120^\circ$.

4.1.3 Résultats de mesure

Afin de vérifier le fonctionnement de l'amplificateur, une campagne de mesures est menée. Tout d'abord, l'amplificateur est mesuré en régime petit signal (paramètres [S]) afin de constater sa plage de fonctionnement fréquentielle.

Ensuite, il est mesuré en régime grand signal, afin de valider le principe du LMBA, c'est à dire moduler la charge en sortie des transistors afin d'augmenter les performances de l'amplificateur.

Le banc de mesure utilisé pour la caractérisation petit signal est constitué d'un NVNA (Keysight PNA-X) utilisé en simple VNA et de quatre alimentations stabilisées (pour les 2 tensions de grille et les 2 tensions de drain). Un synoptique du banc ainsi qu'une photographie prise lors de la mesure sont donnés sur la figure III.37.

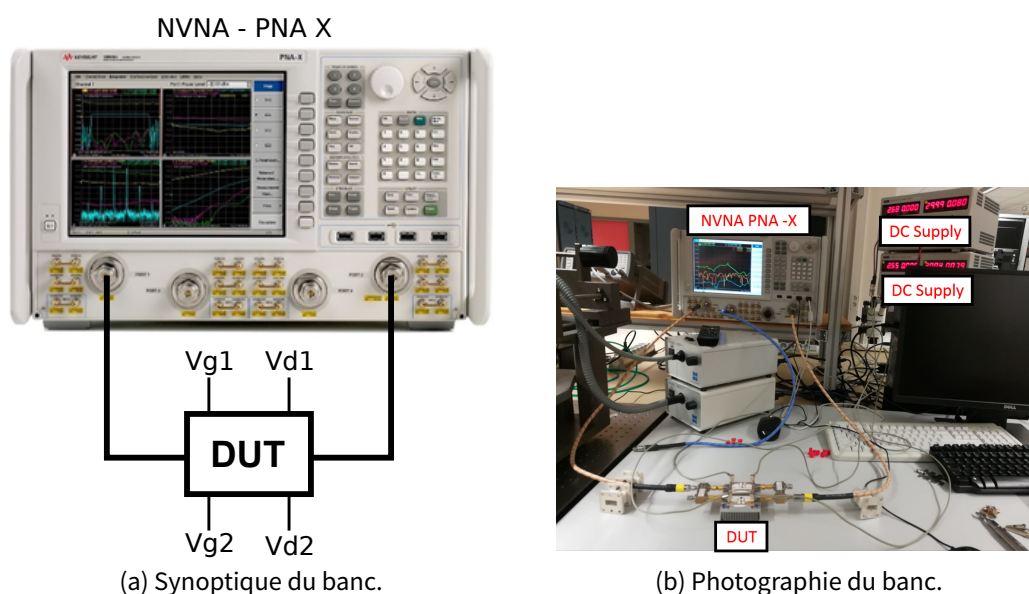
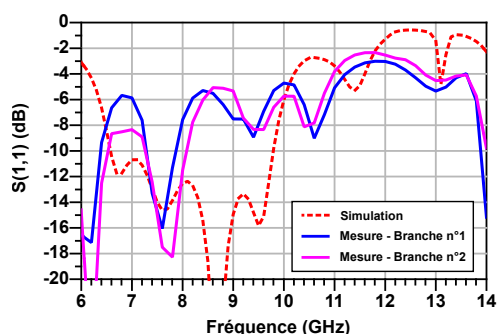


FIGURE III.37 – Banc de mesure paramètres [S].

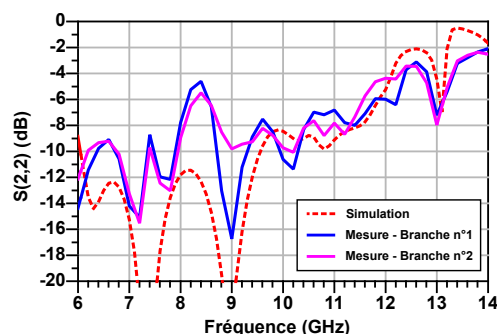
Tout d'abord, une caractérisation séparée des deux branches amplificatrices composant le LMBA a été menée. On désigne par "branche amplificatrices" chacune des 2 voies qui composent l'amplificateur équilibré du LMBA (situées entre les deux coupleurs hybrides).

Il est ainsi possible de voir la qualité de l'adaptation en entrée et en sortie de chaque branche et leur gain petit signal. Ensuite, la mesure du gain petit signal total de l'amplificateur a été réalisée en chargeant le port ISO du coupleur de sortie par une charge 50Ω (qui vient remplacer le générateur RF auxiliaire). Il est inutile de mesurer l'adaptation en entrée et en sortie du LMBA complet car le TOS correspond à celui des coupleurs hybrides : l'adaptation est donc très bonne ($TOS < -15 \text{ dB}$) sur toute la bande. L'ensemble des résultats compose la figure III.38.

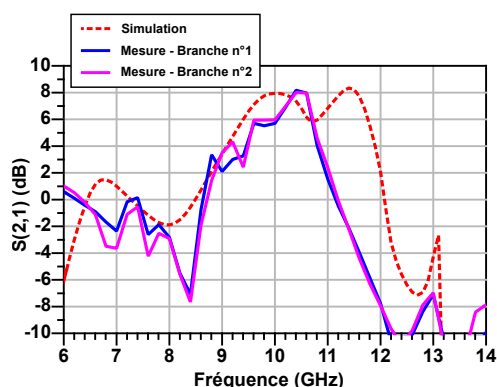
Lorsque l'on compare les mesures aux simulations, on constate une nette différence sur la bande de fréquences 6-10 GHz pour les adaptations S11 et S22. Concernant les gains, la différence mesure-modèle est plus importante sur la bande 11-13 GHz. Après plusieurs investigations, vérifications des schémas électriques et simulations réalisées, la fiabilité du modèle utilisé est mise en cause.



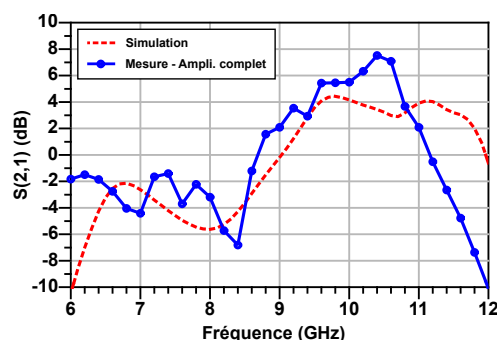
(a) Adaptation en entrée des branches unitaires du LMBA.



(b) Adaptation en sortie des branches unitaires du LMBA.



(c) Gain petit signal des branches unitaires du LMBA.



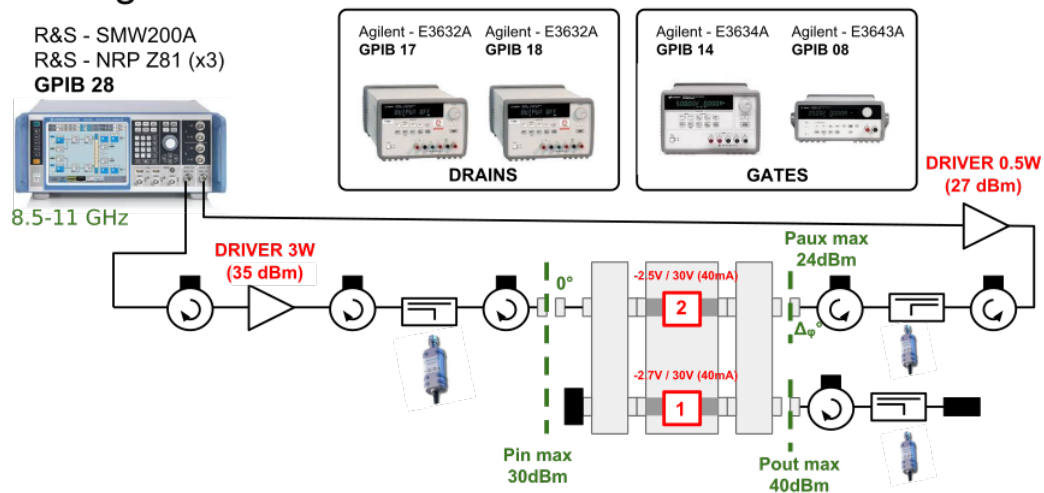
(d) Gain petit signal du LMBA complet.

FIGURE III.38 – Résultats de mesure des paramètres [S] du LMBA et comparaison avec les simulations.

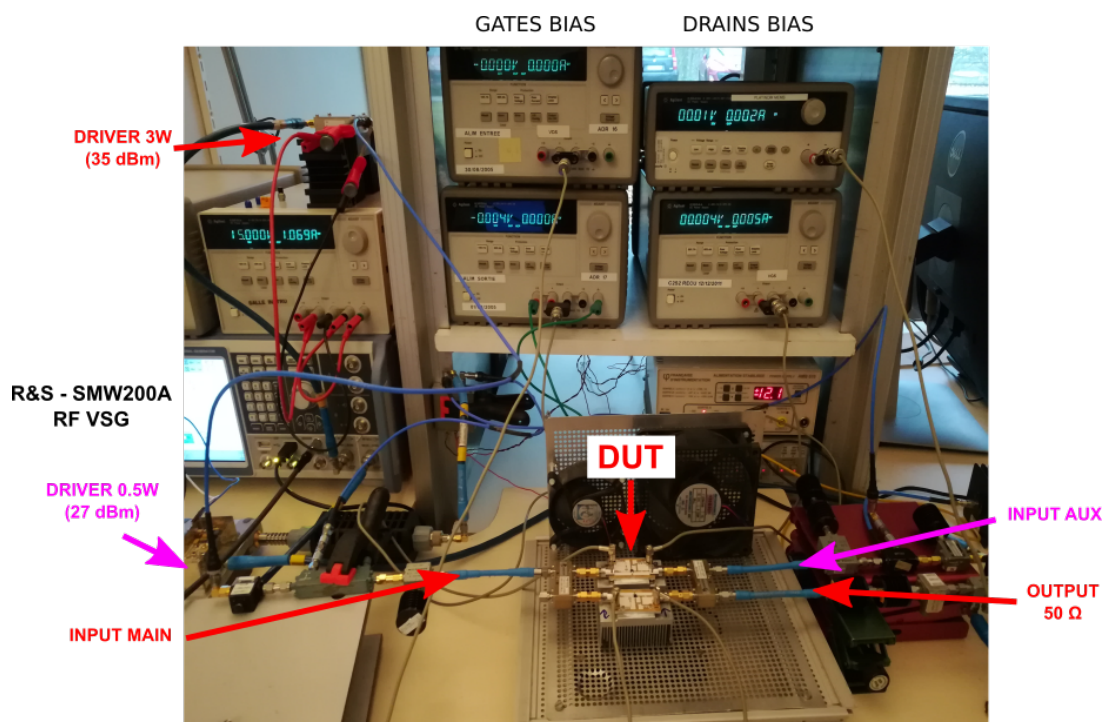
La caractérisation en régime grand signal est réalisée à XLIM Limoges sur un banc dédié. Le synoptique du banc est donné sur la figure III.39(a). On utilise un générateur RF vectoriel avec 2 voies de sorties et 3 sondes de puissance. Les sondes mesurent les puissances disponibles sur l'entrée principale, l'entrée auxiliaire et en sortie de l'amplificateur. Le banc est étalonné dans le plan des accès du LMBA. L'étalonnage est fait en amplitude mais également en phase afin de connaître précisément l'écart en phase entre le signal RF principal et celui qui est injecté sur la voie auxiliaire (i.e. sur le port ISO du coupleur de sortie). Ainsi, les non linéarités apportées par les drivers et les pertes dues aux éléments du banc (coupleurs, circulateurs, câbles et adaptateurs) sont pris en compte. L'étalonnage est réalisé dans la bande de fréquence 8.5-11 GHz, plage dans laquelle le montage présente un gain petit signal positif relevé sur les mesures paramètres [S]. La phase et la puissance du

générateur auxiliaire sont générés en interne par le générateur RF vectoriel (SMW200A). Une photographie du banc est donnée sur la figure III.39(b).

Configuration du Banc - LMBA DUAL INPUT



(a) Synoptique du banc.



(b) Photographie du banc.

FIGURE III.39 – Banc de mesure grand signal.

Le banc de mesure est automatisé, les instruments sont contrôlés par GPIB via une interface LabVIEW, développée par T. Reveyrand. La mesure peut être répétée à différentes fréquences porteuses, différentes puissances d'entrée (P_{in}), différentes puissances d'auxiliaire (P_{aux}) et différentes phases de générateur auxiliaire (Φ_{aux}). Les résultats sont directement sauvés dans un fichier Generic MDIF, lisible sous ADS. L'algorithme du banc est donné sur la figure III.40.

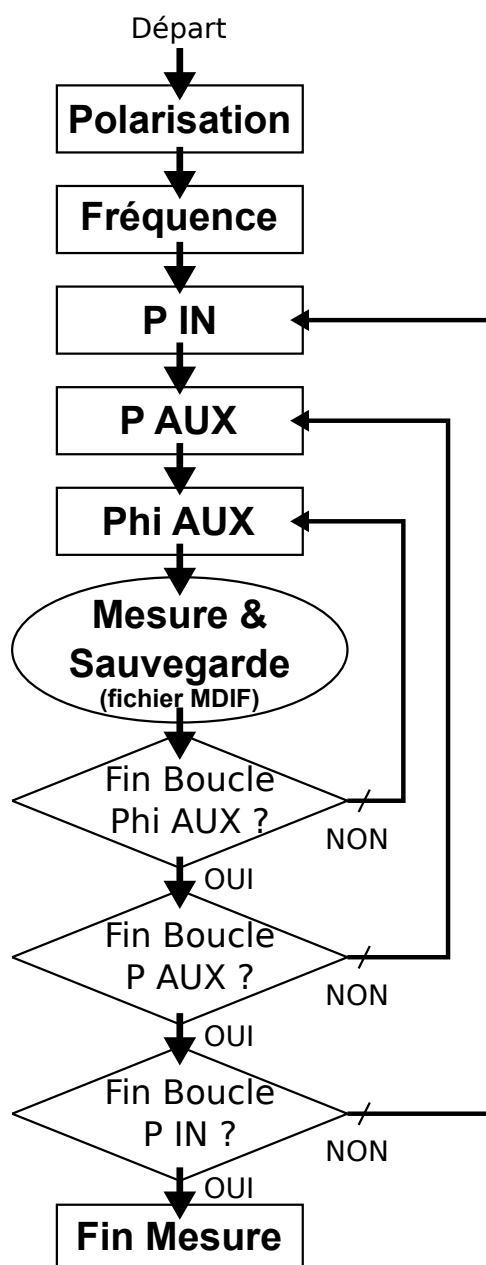


FIGURE III.40 – Algorithme du banc de mesure grand signal.

La caractérisation grand signal commence par une mesure de puissance de sortie de l'amplificateur en variant la puissance d'entrée sur la voie principale, tout en gardant le générateur auxiliaire éteint, afin de déterminer la puissance maximale que l'on peut envoyer sur l'entrée RF principale. Sur la figure III.41, on remarque que la puissance maximale disponible à l'entrée (30 dBm) suffit tout juste à compresser l'amplificateur. Le driver choisi n'est pas assez puissant pour complètement saturer l'amplificateur. On se placera donc toujours à la puissance de 30 dBm en entrée.

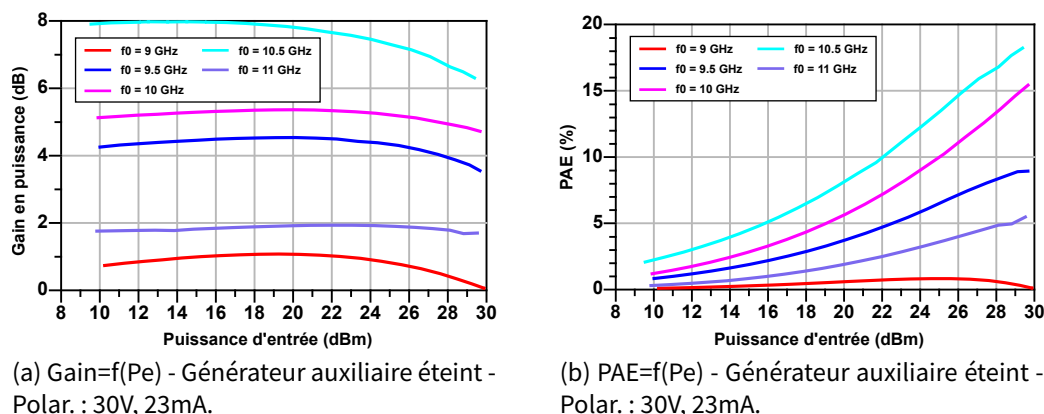


FIGURE III.41 – Détermination de la puissance d'entrée maximale sur la voie principale.

Ensuite, tout en gardant la puissance RF sur la voie principale à 30 dBm, on injecte une seconde puissance RF sur la voie auxiliaire en faisant varier son niveau ainsi que sa phase par rapport au générateur principal. Le résultat, pour 3 fréquences, est donné sur la figure III.42.

On constate qu'à 9.5 GHz, la phase optimale pour le générateur auxiliaire se décale avec la puissance du générateur auxiliaire. Au contraire, à 10.5 GHz, la phase optimale reste constante.

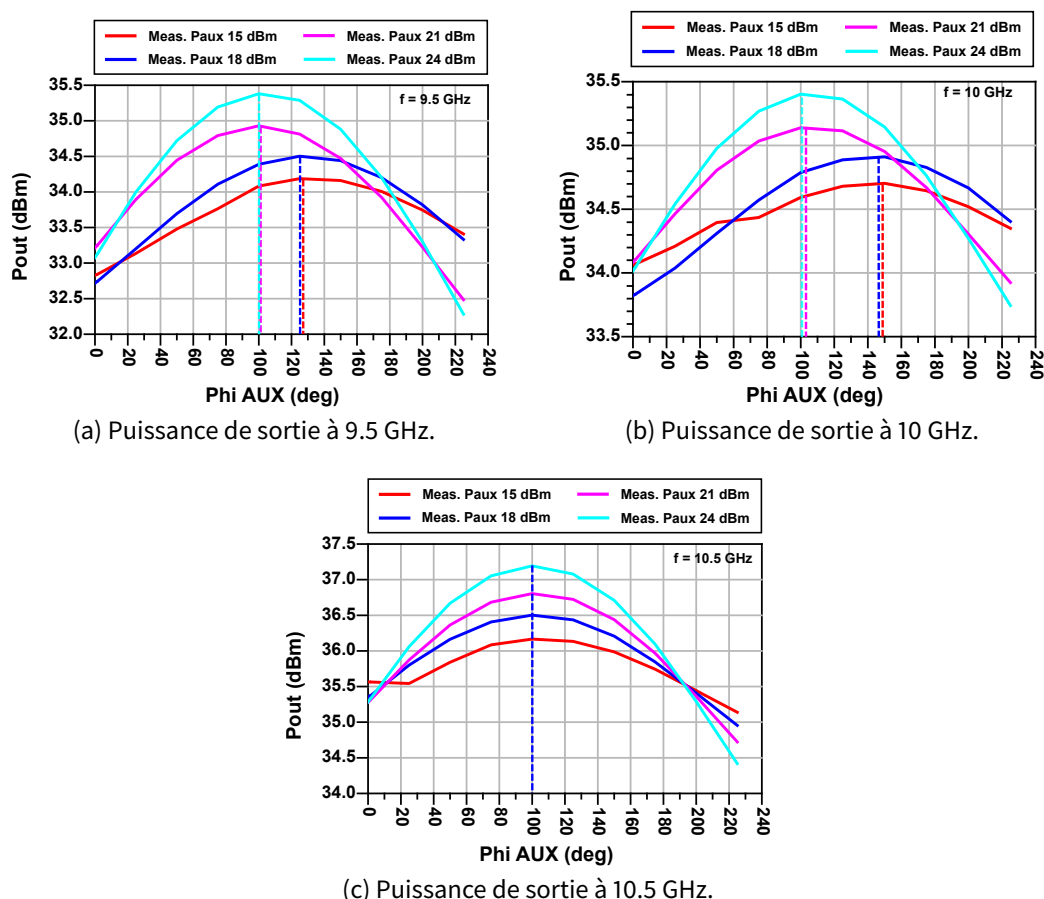


FIGURE III.42 – Puissance de sortie en fonction de la puissance et de la phase du générateur auxiliaire.

On décide ensuite de se placer à puissance de générateur auxiliaire constante : 24 dBm. On étudie alors l'impact en puissance de sortie et en rendement (PAE) par rapport à la mesure effectuée avec le générateur auxiliaire éteint, ceci à 9.5 GHz. On compare également les mesures (traits pleins) aux simulations (pointillés) effectuées sous ADS avec les mêmes puissance et polarisations, voir figure III.43.

On rappelle que le calcul de la PAE prend en compte la puissance du générateur auxiliaire :

$$PAE(\%) = 100 \frac{P_{OUT} - P_{IN} - P_{AUX}}{P_{DC}}$$

Malgré une grande différence sur les amplitudes, on constate que la phase donnant le maximum de puissance en mesure correspond à la même phase que celle en simulation, ce qui vient valider l'étalonnage en phase du banc.

On constate également une grande différence sur les courants consommés en mesure et en simulation. Ceci explique la différence observée sur le rendement (bien meilleur en mesure qu'en simulation). La précision du modèle utilisé est en cause, comme nous le pressentions.

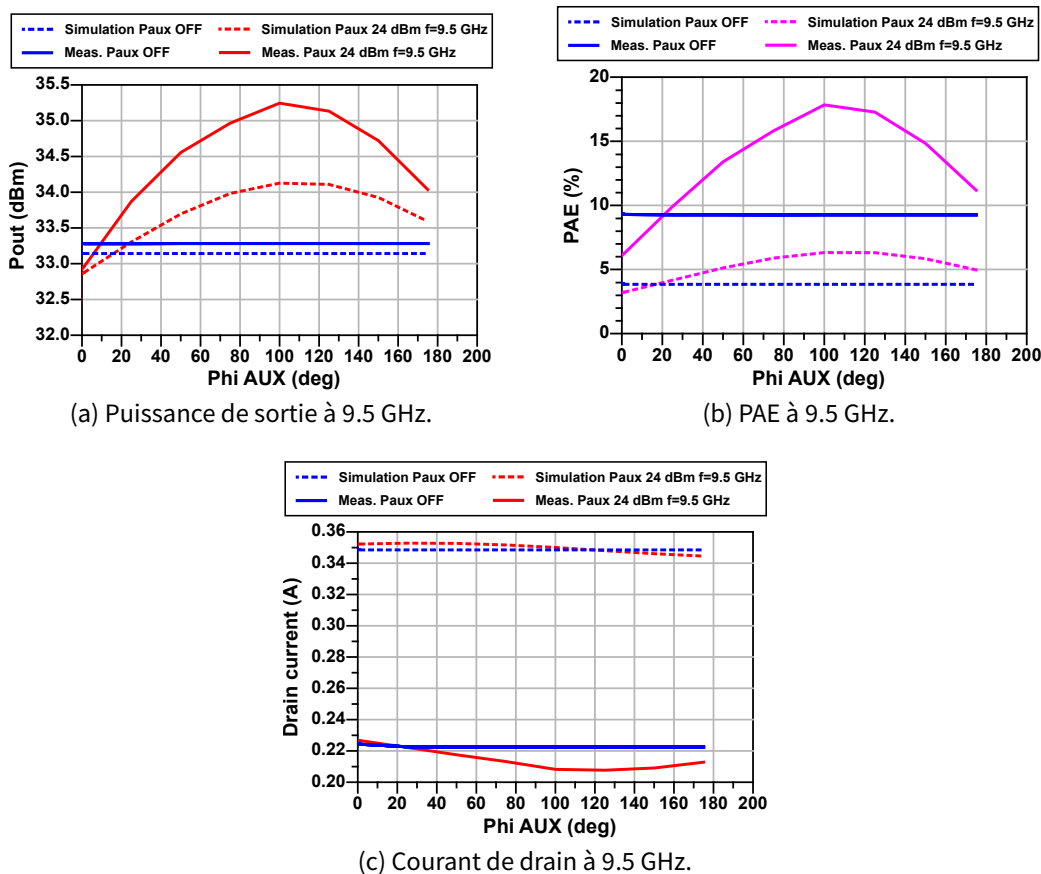


FIGURE III.43 – Influence du générateur auxiliaire sur la puissance de sortie, la PAE et le courant de drain à 9.5 GHz.

La même étude est répétée à 10 et 10.5 GHz dans le but d'identifier la zone de phases de générateur auxiliaire à balayer en fonction de la fréquence centrale visée, voir figure III.44. En effet, on veut éviter la zone de phases pour laquelle la puissance de sortie est inférieure à la puissance sans le générateur auxiliaire.

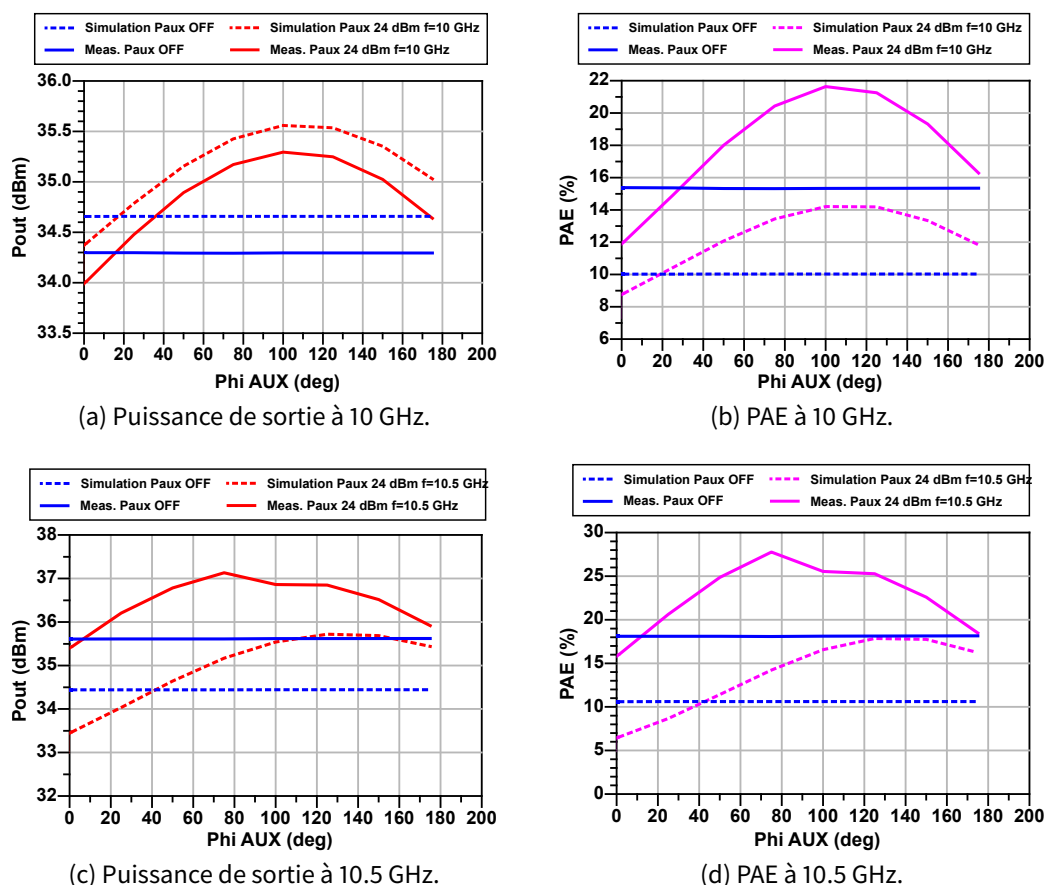


FIGURE III.44 – Influence du générateur auxiliaire sur la puissance de sortie et la PAE à 10 et 10.5 GHz.

Finalement, sur la figure III.45, on trace la puissance de sortie et le rendement mesurés sur toute la bande de fréquences à puissance maximale de générateur auxiliaire (24 dBm) et pour différentes phases de générateur auxiliaire (choisies précédemment). On constate qu'au milieu de la bande, on peut gagner jusqu'à 10 points de PAE, ce qui n'est pas négligeable. On rappelle que le calcul de la PAE est adapté à ce montage, c'est à dire que l'on retranche à la fois la puissance d'entrée et la puissance du générateur auxiliaire à la puissance de sortie de l'amplificateur.

Concernant l'augmentation de la bande passante, on remarque que l'on peut gagner quelques dizaines de MHz en bas de bande. Le haut de la bande reste insensible à l'injection de puissance, ce qui nous amène à penser que la chute du gain est due à un problème de conception (l'impédance présentée par le réseau d'adaptation à ces fréquences doit être en court-circuit ou en circuit ouvert, ce qui empêche toute voie d'amélioration).

Après avoir achevé les mesures grand signal, une diminution du courant de repos est observée (20 mA au lieu de 30 mA). Un retour progressif au courant « normal » de repos est constaté visuellement sur l'alimentation après plusieurs secondes, ce qui traduit la présence de pièges à constantes de temps longues, évoqués dans le chapitre 2 de ce manuscrit.

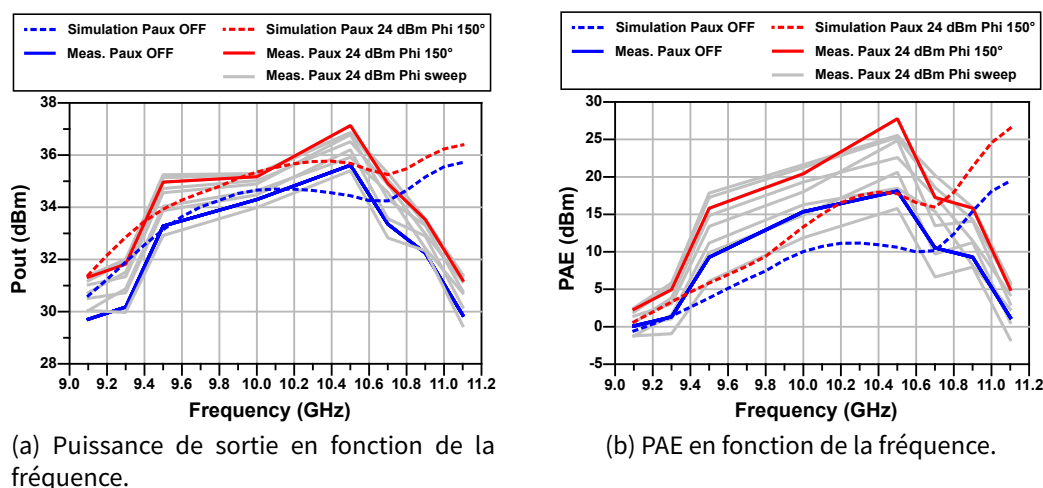


FIGURE III.45 – Comparaison entre mesures et simulations effectuées avec et sans générateur auxiliaire.

En conclusion, nous avons démontré la possibilité de modulation de charge active (LMBA) pour ajuster dynamiquement le rendement, la puissance de sortie et la bande passante d'un amplificateur de puissance. Les performances sont très limitées car la conception est réalisée sur circuit imprimé avec un modèle de transistor peu fiable et des coupleurs hybrides externes qui ont environ 1 dB de pertes (sans compter les pertes dans les connecteurs SMA Male-Male utilisés pour relier les PCB aux coupleurs). La puissance disponible en entrée de la carte ne permettant pas de compresser fortement les transistors, les rendements mesurés restent bas pour une technologie GaN.

Ces résultats constituent une base de travail qui valide le principe du LMBA et qui ouvre la voie à d'autres travaux pouvant déboucher sur des performances plus intéressantes.

4.2 Simulations du LMBA intégré en technologie GaN GH25

Dans cette section, les performances d'un amplificateur LMBA intégré sont évaluées en simulation afin d'estimer la pertinence de l'architecture proposée dans une application large bande.

4.2.1 Étude du transistor

Sur chaque branche de l'amplificateur équilibré, on choisit d'utiliser un transistor de développement $8 \times 125 \mu\text{m}$ afin de viser une puissance totale de sortie de 4 Watt sur 6-12 GHz. La première étape consiste à identifier les impédances de source et de drain à présenter au transistor pour garantir un rendement maximum. Pour cela, on effectue des simulations sourcepull et loadpull sur le transistor, répétées à chaque fréquence dans la bande 6-12 GHz. Sur la figure III.46, on représente l'évolution des impédances optimales (extrinsèques) à présenter sur la grille et le drain du transistor. On constate que l'impédance de source est très faible (environ 3 Ohm), ce qui va compliquer la réalisation du réseau d'adaptation large bande. Sur la figure (b), on donne les performances maximales atteignables avec le transistor en présentant les impédances optimales sur la bande 6-12 GHz. En se plaçant à P_{3dB} , on peut noter que le rendement est supérieur à 45% et que la puissance de sortie est de 34 dBm minimum sur toute la bande visée.

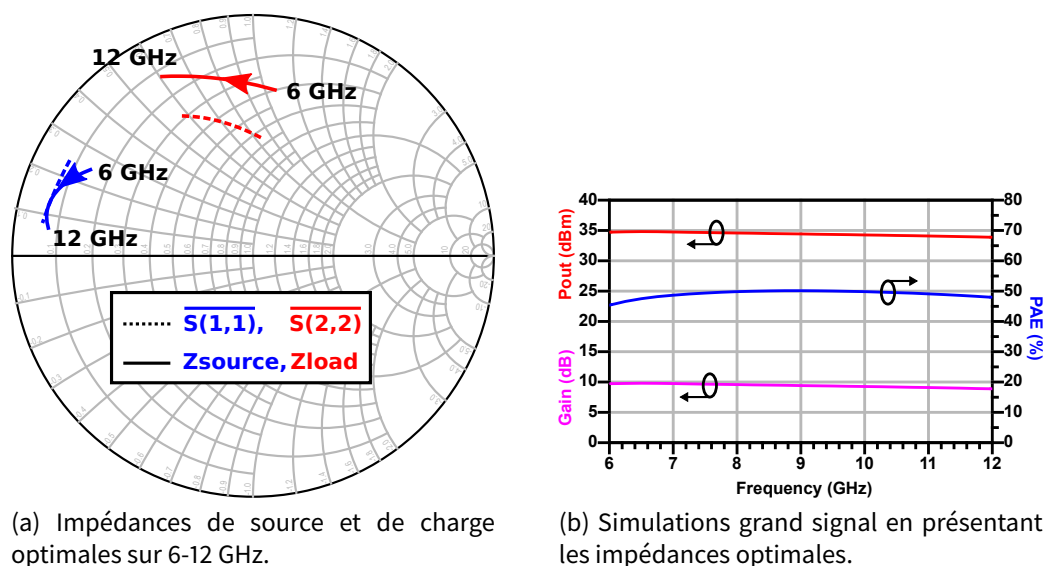


FIGURE III.46 – Étude du transistor $8 \times 125 \mu\text{m}$ GH25. Polarisation : $-3.2\text{V}/30\text{V}$.

4.2.2 Conception de coupleurs hybrides intégrés

Avant de réaliser les circuits d'adaptation d'impédances, on conçoit le coupleur hybride qui sera utilisé en entrée et en sortie du LMBA. Les topologies de coupleurs hybrides emploient soit des éléments localisés (inductances, capacités, ...) ou bien des éléments distribués (i.e. lignes de transmission). Les selfs et capacités occupant beaucoup de surface en intégré, les éléments distribués sont privilégiés.

La topologie de coupleur hybride à lignes de transmission la plus commune est le coupleur de ramification planaire (en anglais : "planar branchline coupler"), voir figure III.47. Basé sur des lignes quart d'onde, sa bande passante est limitée (typiquement 40%). Afin d'augmenter la bande passante, on peut ajouter une section ("double-box branchline coupler") au dépend de pertes plus élevées et d'augmentation des dimensions du circuit (lignes quart d'ondes).

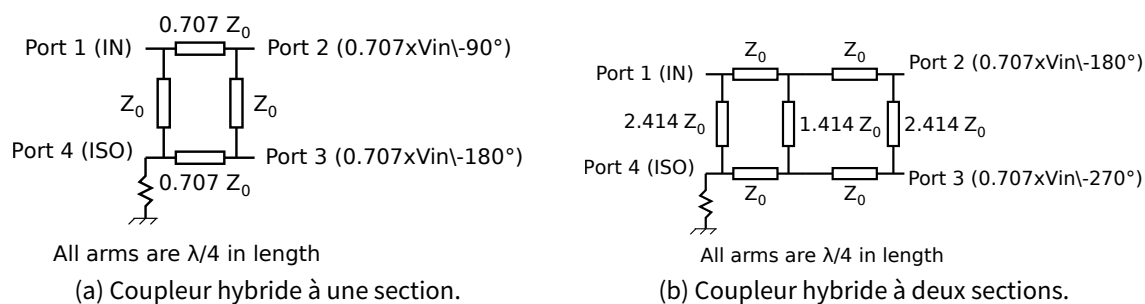


FIGURE III.47 – Topologies de coupleurs hybrides à ramification planaire.

Une autre topologie de coupleur hybride est possible en utilisant des lignes de transmission couplées : on place deux lignes au plus proche l'une de l'autre et on se sert du couplage pour avoir une sortie déphasée de 90° par rapport à l'autre. C'est sur ce principe que reposent les coupleurs de Lange. Sauf qu'au lieu d'utiliser 2 lignes (appelées "doigts") on en utilise 4, ou 6, ou 8 afin d'augmenter le coefficient de couplage et la bande passante.

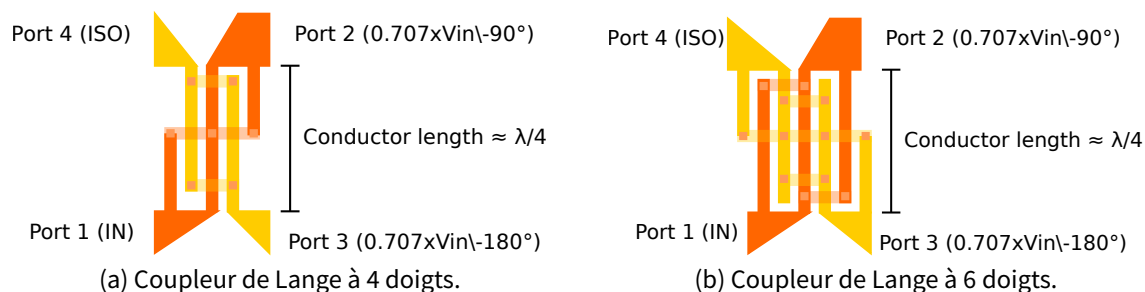


FIGURE III.48 – Topologies de coupleurs de Lange.

Pour faciliter la pré-adaptation entre les transistors et le coupleur, on conçoit le coupleur pour présenter une impédance proche de 35 ohm. De cette manière, le circuit permettant

d'adapter les transistors sera moins complexe et donc plus petit. En revanche, en présentant 50 Ohm en entrée, on sera un peu désadapté donc il y aura un peu de perte en puissance.

On effectue une simulation électrique en utilisant le modèle générique ADS du coupleur de Lange à lignes microstrip qui prend en compte les informations du substrat sur lequel il est conçu. Ainsi, on peut directement générer un layout du coupleur optimisé en simulation : ceci permet un dimensionnement rapide.

Sur la figure III.49, on compare la simulation électrique d'un coupleur de 4 doigts avec celle d'un coupleur de 6 doigts optimisés pour minimiser les pertes sur une large bande passante. On remarque que le coupleur à 4 doigts présente le moins de pertes (< 0.5 dB sur 6-12 GHz), nous choisirons donc de réaliser celui ci.

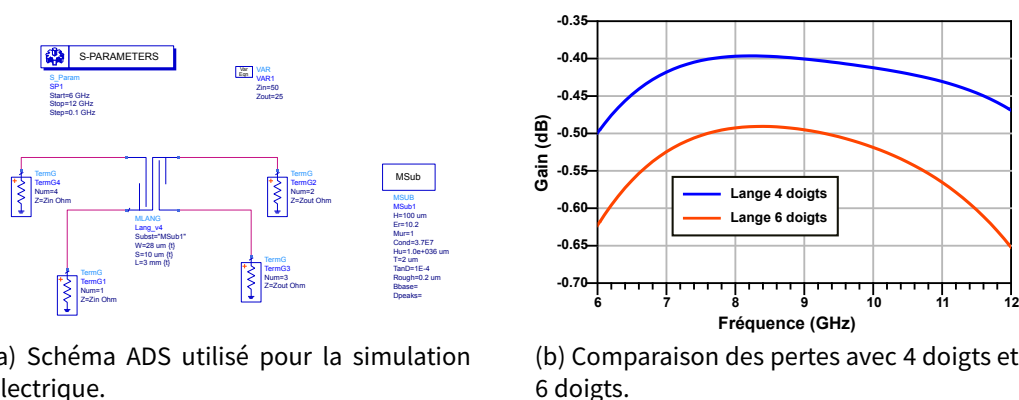


FIGURE III.49 – Dimensionnement électrique du coupleur : choix du nombre de doigts.

En comparant les simulations électrique et électromagnétique (ADS Momentum) du coupleur de Lange à 4 doigts généré à partir du modèle générique ADS (MLANG), on observe une bonne concordance des résultats, même si les pertes sont un peu plus importantes (0.1 dB plus grandes) voir figure III.50.

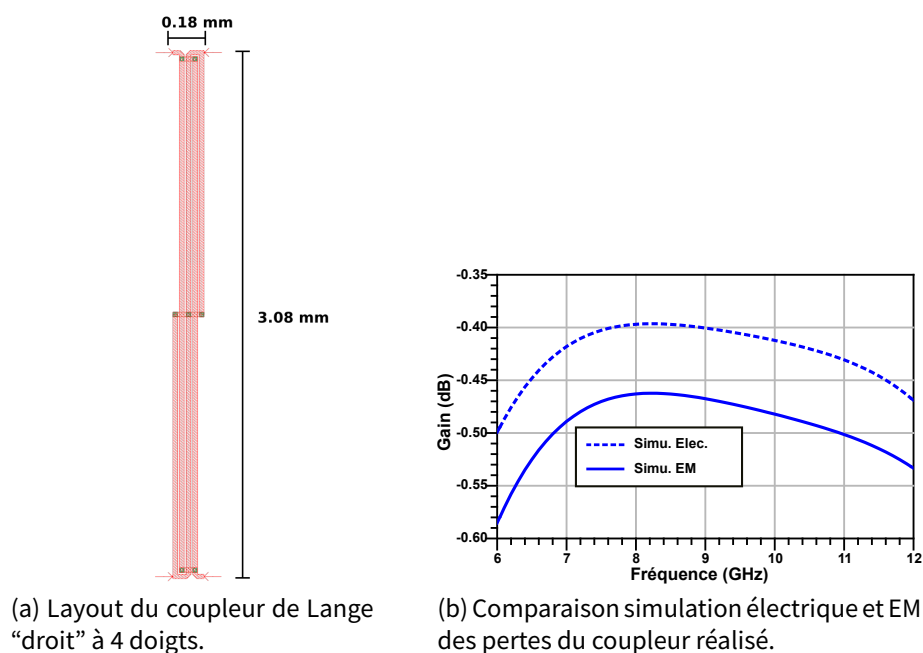


FIGURE III.50 – Réalisation du coupleur de Lange à 4 doigts.

Dans le but de réduire la place occupée, nous avons essayé de modifier le design de deux façons : soit en empilant les pistes "extérieures" du coupleur (pour profiter du couplage vertical au lieu du couplage horizontal), soit en pliant le coupleur, voir figure III.51.

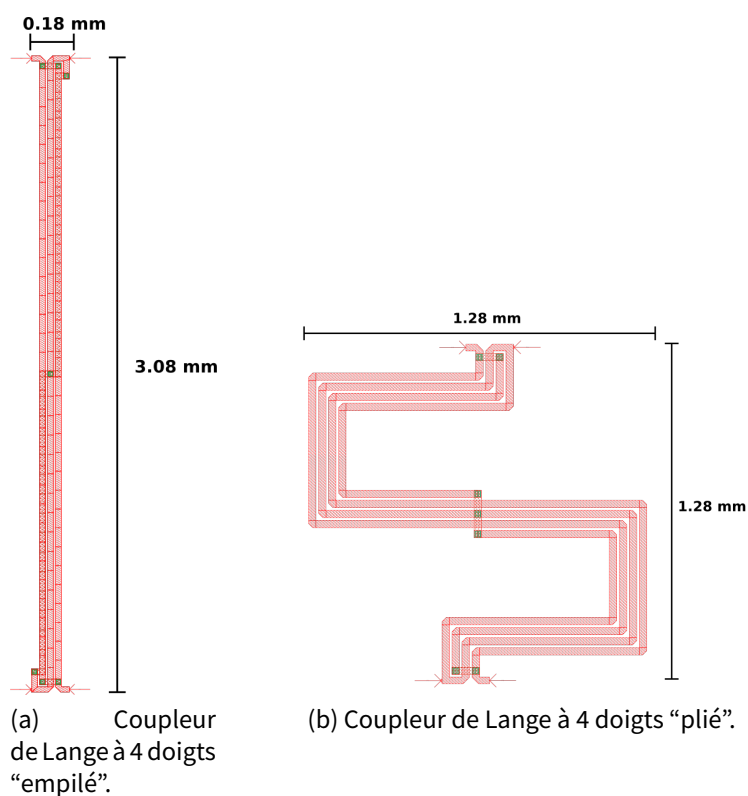


FIGURE III.51 – Techniques pour réduire l'encombrement du coupleur de Lange.

Une comparaison des résultats issus des 3 topologies est donnée sur la figure III.52.

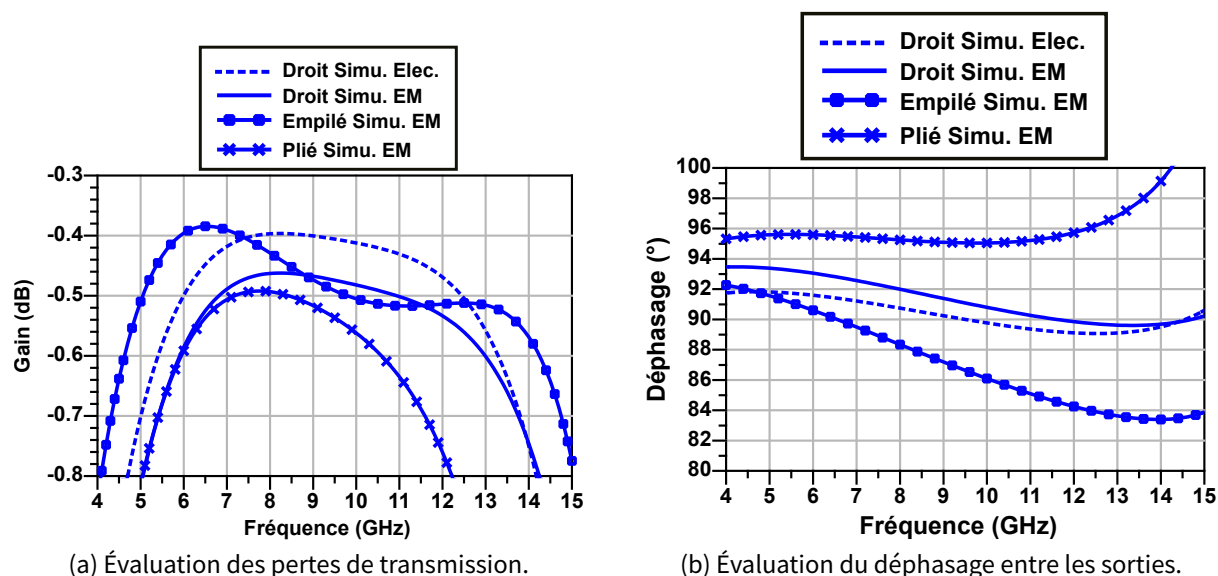


FIGURE III.52 – Comparaison des différentes réalisations du coupleur de Lange.

Premièrement, on remarque qu’avec les pistes empilées, le couplage s’effectue à une fréquence plus basse, comme si la longueur électrique équivalente était plus longue. Également, les pertes semblent réduites et la bande passante améliorée. Cependant, les simulations sont effectuées avec la piste supérieure laissée “en l’air”, c’est à dire sans les piliers car la contrainte des règles DRC est forte sur le dessin du circuit (il faut, entre autres, augmenter l’espace entre les pistes pour insérer les piliers qui supportent la piste supérieure). La conception d’un tel coupleur doit se faire de manière itérative. Ne disposant pas du temps nécessaire, cette solution est abandonnée.

Dans un second temps, on constate que plier le coupleur a pour effet de réduire sa bande passante (augmentation des pertes en haut de bande). Nous décidons donc de conserver le coupleur “droit” malgré sa consommation d’espace.

Enfin, sur la figure III.53, nous montrons les résultats globaux de la simulation EM du coupleur réalisé, avec notamment : le TOS en entrée (sur 50 Ohm), le TOS en sortie (sur 25 Ohm), le déphasage entre les voies, l’isolation et la transmission sur chaque voie.

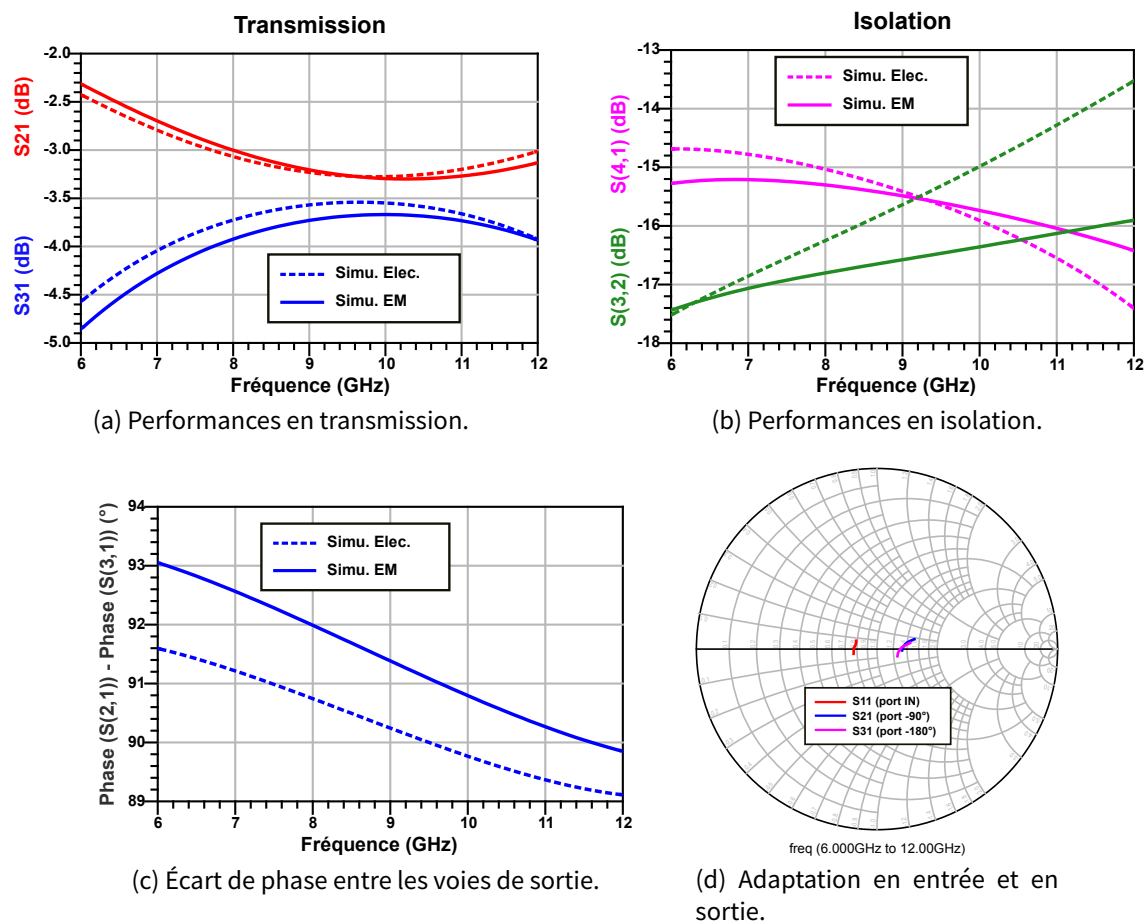


FIGURE III.53 – Performances EM du coupleur de Lange à 4 doigts réalisé.

4.2.3 Réalisation du circuit

Une fois les coupleurs de Lange réalisés, on conçoit les réseaux d'adaptation d'impédance.

Pour l'adaptation d'entrée, on part de 35 Ohm pour adapter sur l'impédance optimale de source du transistor $8 \times 125 \mu\text{m}$. On utilise une inductance de 1 nH pour apporter la polarisation continue sur la grille. On ajoute une résistance de 30 Ohm en série avec la self afin de garantir la stabilité sur ce chemin. On utilise également un circuit RC en série sur le chemin RF pour réduire le gain du transistor en basse fréquence. L'accord d'impédance est réalisé via des lignes de transmissions ainsi qu'une capacité, voir figure III.54.

En sortie, on part de l'impédance optimale de charge du transistor pour atteindre 35 Ohm (impédances présentées en entrée du coupleur de Lange). Pour apporter la polarisation, il est impossible d'utiliser d'inductance intégrée car le courant la traversant est trop important (1 A). On va donc apporter l'alimentation à l'aide d'une ligne quart d'onde (environ 3 mm de long). De même qu'en entrée, on utilise ensuite des lignes de transmissions ainsi qu'une petite capacité pour accorder l'impédance. Les capacités de faible valeur étant mal

maîtrisées en fonderie, on préfère placer deux capacités ayant une valeur deux fois plus importante en série, voir figure III.54.

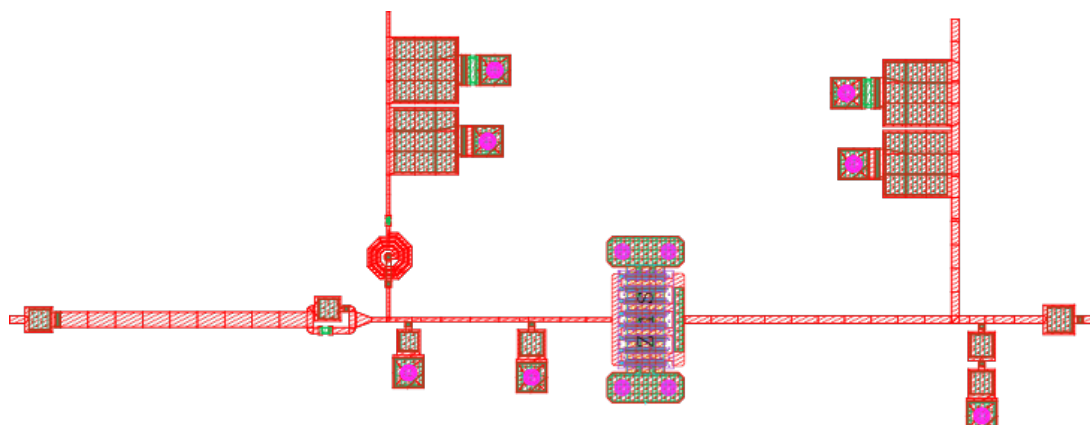


FIGURE III.54 – Schéma d'un transistor avec les réseaux d'adaptation d'entrée et de sortie.

La largeur des lignes de transmission est limitée par la quantité de courant qui les traverse. D'après le PDK GH25, la métallisation M1 peut supporter $11 \text{ mA}/\mu\text{m}$ dc et $47 \text{ mA}/\mu\text{m}$ RMS. Il est aussi possible de passer en métallisation épaisse en additionnant les couches M1 et PI/PO (les piliers et ponts à air). Dans ce cas, les pistes supportent $18 \text{ mA}/\mu\text{m}$ dc et $65 \text{ mA}/\mu\text{m}$ RMS.

D'après les simulations grand signal sur charges idéales (cf. section précédente), le courant dc en entrée du transistor est considéré nul ($< 5 \text{ mA}$) et le courant maximum AC vaut 520 mA . Par conséquent, la largeur minimale de MET1 vaut $12 \mu\text{m}$, et $8 \mu\text{m}$ pour le métal épais (MET1+PO+PI).

Le courant maximum en sortie du transistor vaut 250 mA en dc et 820 mA en AC. La largeur de piste minimale en sortie pour MET1 sera donc de $23 \mu\text{m}$ et $14 \mu\text{m}$ pour MET1+PI+PO. La Largeur de piste maximale des inductances du PDK étant $20 \mu\text{m}$, on comprend ici pourquoi nous ne pouvons pas en utiliser sur le réseau de polarisation en sortie.

Un premier dimensionnement des circuits d'adaptation d'entrée et de sortie est réalisé par optimisation en paramètres [S], puis une optimisation est menée en simulant les performances en grand signal. Un aperçu du layout d'une seule branche de l'amplificateur équilibré est donné sur la figure III.54. Coté sortie, on place deux capacités en série afin d'obtenir une petite valeur de capacité plus fiable que celle générée par le modèle de capacité du DK.

Les performances de cette branche de l'amplificateur sont évaluées après simulation EM des réseaux d'adaptation. La qualité de l'adaptation (sur 35 Ohm), la puissance de sortie et la PAE sont données sur la figure III.55.

Concernant les paramètres [S], on constate que l'adaptation est moins bonne après la simulation EM. Ceci est dû aux résonances des capacités qui n'ont pas lieu aux fréquences

voulues. Il faut ajuster de manière itérative le layout du circuit pour que les résultats EM collent aux simulations électriques, mais ceci n'est pas possible dans le temps imparti de la thèse.

En grand signal, on constate que les performances en simulation électrique et EM sont proches, car la mauvaise adaptation en entrée est compensée par une meilleure adaptation en sortie.

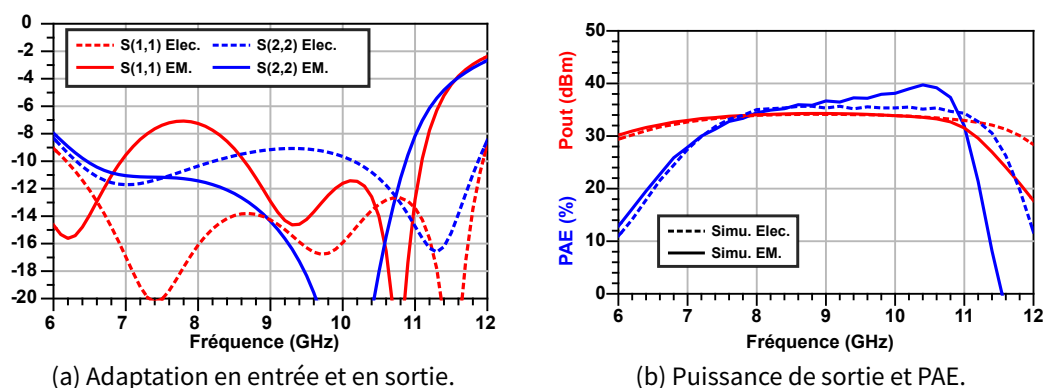


FIGURE III.55 – Performances d'une branche de l'amplificateur.

Maintenant que l'on a conçu l'une des deux branches de l'amplificateur, on duplique ce circuit et on ajoute les coupleurs de Lange réalisés précédemment. Le layout final du LMBA, est donné sur la figure III.56. Sur ce démonstrateur, nous n'avons pas travaillé sur la réduction de l'encombrement car ce circuit sert uniquement de preuve de fonctionnement en simulation pour un MMIC. Ses dimensions font 4.3 mm x 5 mm.

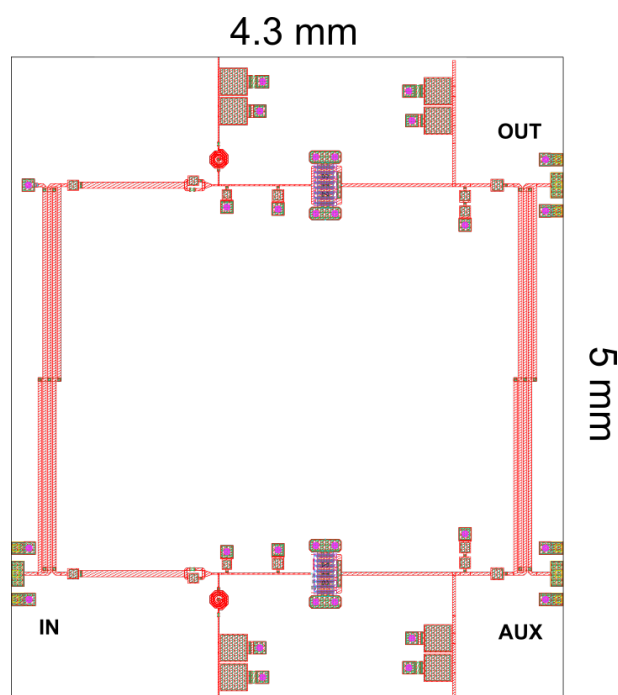


FIGURE III.56 – Layout de l'amplificateur LMBA intégré.

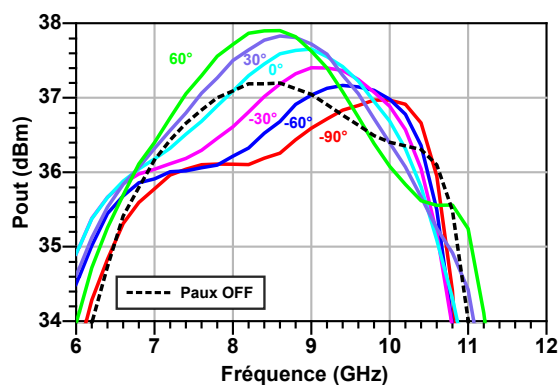
4.2.4 Simulation grand signal du système complet

Pour réaliser la simulation du système, on considère que les deux générateurs (principal et auxiliaire) sont externes à la puce, c'est donc une version à 2 entrées et 1 sortie. On peut envisager une version à une seule entrée, où l'on séparerait la puissance incidente en deux puissances identiques : l'une est injectée sur l'entrée principale de l'amplificateur équilibré tandis que l'autre passe par un déphaseur et est ensuite injectée sur l'entrée auxiliaire.

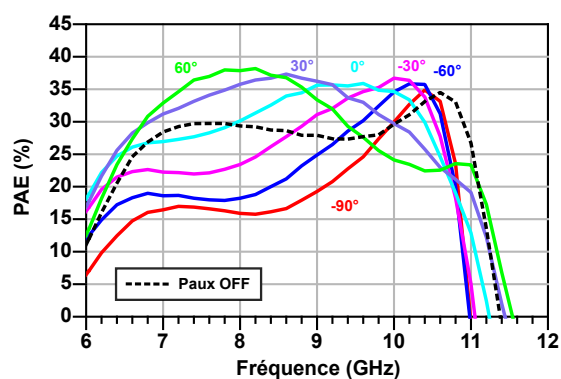
On effectue donc une simulation grand signal de l'architecture complète en fonction de la fréquence et de la phase du générateur auxiliaire. On compare également les résultats obtenus avec ceux obtenus en coupant le générateur auxiliaire (tracés en pointillés), pour évaluer le gain en performances.

Sur la figure III.57, on trace en premier l'évolution de la puissance de sortie et de la PAE en fonction de la fréquence, pour différentes phases de générateur auxiliaire. On constate que l'on peut maintenir la puissance de sortie au dessus de 36 dBm et maintenir la PAE supérieure à 30 % en ajustant la phase du générateur auxiliaire en fonction de la bande de fréquences visée. La phase doit être balayée entre -90° et $+60^\circ$. Au delà de 60° , aucune amélioration n'est constatée, au contraire, les performances sont affaiblies.

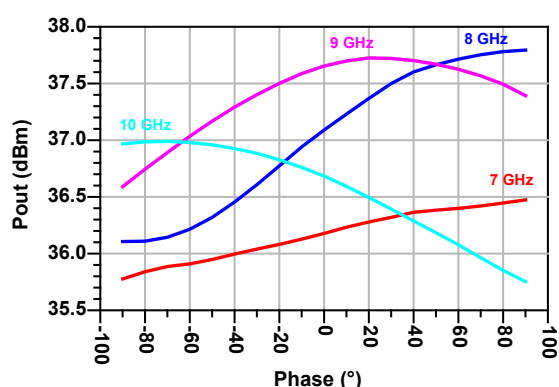
Pour constater la variation des performances due au générateur, on trace également la puissance de sortie et la PAE en fonction de la phase du générateur auxiliaire pour différentes fréquences. On voit que le maximum de performance se décale avec la fréquence d'où l'intérêt d'ajuster la phase du générateur auxiliaire en fonction de la fréquence visée. Si on compare avec les performances obtenues par rapport au 0° de phase, on constate que, par



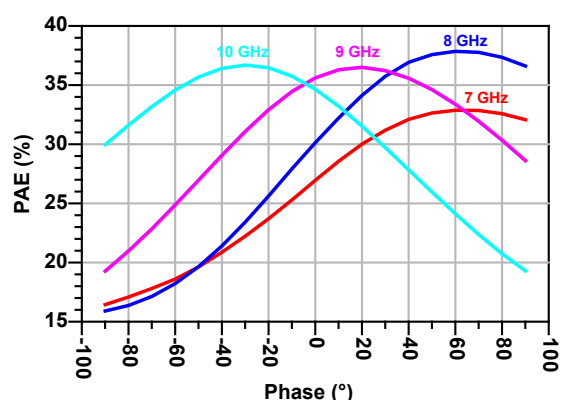
(a) Puissance de sortie en fonction de la fréquence pour différentes phases de générateur.



(b) PAE en fonction de la fréquence pour différentes phases de générateur.



(c) Puissance de sortie en fonction de la phase du générateur pour différentes fréquences.



(d) PAE en fonction de la phase du générateur pour différentes fréquences.

FIGURE III.57 – Simulations post-layout de l'amplificateur LMBA MMIC.

exemple, à 8 GHz on peut gagner 1.5 dB en puissance de sortie et 8 points de rendement en réglant la phase du générateur auxiliaire sur +60°.

5 Conclusion

Au cours de ce chapitre, les différents leviers techniques permettant le maintien du rendement sur une large bande passante ont été présentés. La première solution, au niveau du transistor, consiste à le faire fonctionner dans une des classes à adaptation aux harmoniques telles que les classes J, F continue et F^{-1} continue. La seconde, au niveau de l'architecture, repose sur le principe de modulation de charge ou de polarisation : on vient ajuster dynamiquement la charge vue par le transistor en fonction de l'impédance à présenter. Cette technique est souvent utilisée pour maintenir le rendement en recul en puissance (Doherty, Chireix, Suivi d'Enveloppe, LMBA).

Par la réalisation d'un démonstrateur sur PCB, nous avons prouvé que le principe

de l'amplificateur LMBA peut être également utilisé pour optimiser le fonctionnement de l'amplificateur (en puissance de sortie et en rendement) dans une certaine gamme de fréquences plutôt qu'une autre. Cela confère une agilité fréquentielle à l'amplificateur.

La réalisation d'une version LMBA MMIC a aussi permis d'évaluer les performances atteignables en terme de bande passante. Ces résultats sont très encourageants, même si ils peuvent être largement améliorés avec plus de temps de conception et en introduisant des innovations dans l'architecture, notamment des coupleurs de sortie.

Conception d'un amplificateur de puissance reconfigurable

Sommaire

1	Introduction	136
2	Cahier des charges de l'amplificateur	137
3	Conception d'un amplificateur large bande [4-12] GHz	138
3.1	Dimensionnement et polarisation du transistor	138
3.2	Étude petit signal	139
3.3	Etude grand signal : charges optimales en puissance et rendement	142
3.4	Conception des réseaux d'adaptation	145
3.5	Résultats de simulation post-layout	146
4	Conception d'un amplificateur bande étroite [8-10] GHz	148
4.1	Exemple : Amplificateur Thales MAGNUS 20 W Bande X	148
4.2	Dimensionnement et polarisation	149
4.3	Conception d'un combineur de puissance large bande intégré	150
4.4	Conception d'un circuit d'adaptation inter-étage large bande	153
4.5	Conception du circuit d'adaptation d'entrée	155
4.6	Résultats de simulation post-layout	157
5	Architectures reconfigurables étudiées	158
5.1	Architecture parallèle	158
5.2	Architecture "court-circuit"	159
5.3	Architecture à réseaux d'adaptation commutés	160
5.4	Architecture à impédance de charge modulée	161
6	Conclusion	162

1 Introduction

Après avoir étudié les transistors pour l'amplification de puissance ainsi que les techniques d'augmentation du rendement sur une large bande de fréquences au niveau de l'architecture de l'amplificateur de puissance, nous allons maintenant décrire la conception d'un amplificateur forte puissance (HPA) intégré en technologie GaN pour application systèmes E/R aéroportés.

Au cours de ce chapitre, la méthodologie de conception de deux amplificateurs de puissance réalisant chacun une fonction spécifique est détaillée. Puis, l'association de ces deux amplificateurs "unitaires" est proposée dans le but de réaliser une architecture reconfigurable.

Dans un premier temps, nous exposerons le cahier des charges que doit satisfaire l'amplificateur de puissance. Il comporte notamment deux modes de fonctionnement assez classiques pour ce genre d'application : un mode large bande à faible puissance de sortie et un mode bande étroite à forte puissance.

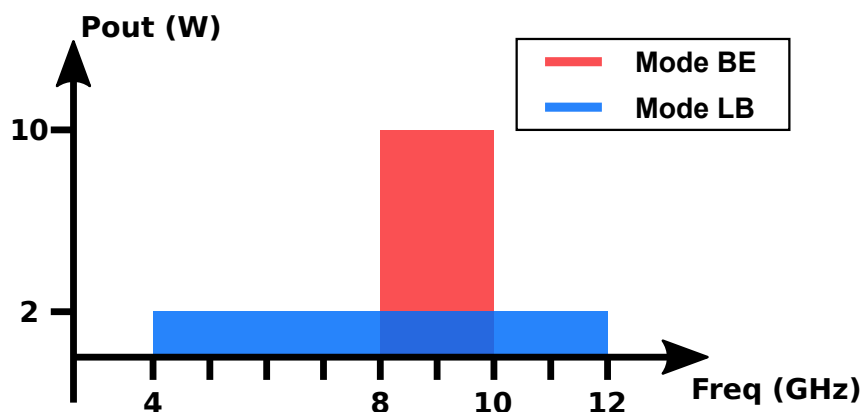
Nous détaillerons ensuite les étapes de conception de l'amplificateur large bande faible puissance. Toute la difficulté se concentre sur la réalisation de réseaux d'adaptation d'impédance large bande.

S'ensuit alors la conception de l'amplificateur bande étroite forte puissance. Le point critique de cet amplificateur est la recombinaison des puissances en sortie du dernière étage afin de conserver un bon rendement énergétique.

Enfin, cette section se conclut avec une comparaison des différentes versions possibles de l'architecture reconfigurable de l'amplificateur sur une seule puce MMIC.

2 Cahier des charges de l'amplificateur

Les spécifications de l'amplificateur de puissance reconfigurable sont résumées sur la figure IV.1. Il possède un mode large bande (LB) et un mode bande étroite (BE). En mode LB, il couvre les bandes de fréquences C à X tout en garantissant une puissance de sortie de 2 Watt minimum. En mode BE, il amplifie seulement une partie de la bande X avec une puissance de sortie de 10 Watt minimum. La durée de commutation entre ces deux modes doit être inférieure à $1 \mu s$.



(a) Couverture spectrale et puissance de sortie.

Puissance de sortie	Mode BE (8-10) GHz : 40 dBm Mode LB (4-12) GHz : 33 dBm
PAE	Maximum possible
Mode d'utilisation	Signaux continus et impulsionnels
Dimensions	Minimum possible (Max : 20-25 mm²)

(b) Spécifications complémentaires.

FIGURE IV.1 – Spécifications de l'amplificateur de puissance.

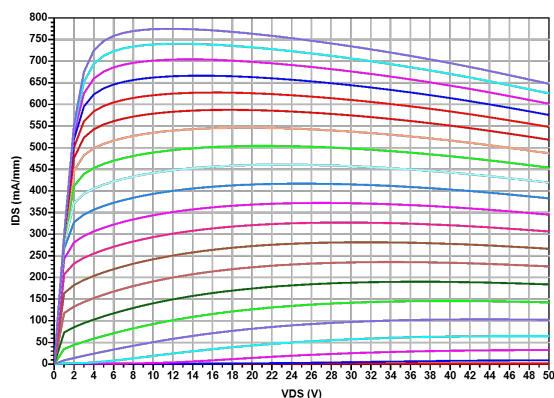
3 Conception d'un amplificateur large bande [4-12] GHz

Pour notre application, un amplificateur couvrant une large bande de fréquences est nécessaire. L'adaptation d'impédance sur une large bande de fréquences est un des défis majeurs, ainsi toute l'attention est portée sur les réseaux d'adaptation d'impédance (en sortie et en entrée). La puissance de sortie étant plus faible, le rendement énergétique est ici moins critique qu'en mode BE forte puissance.

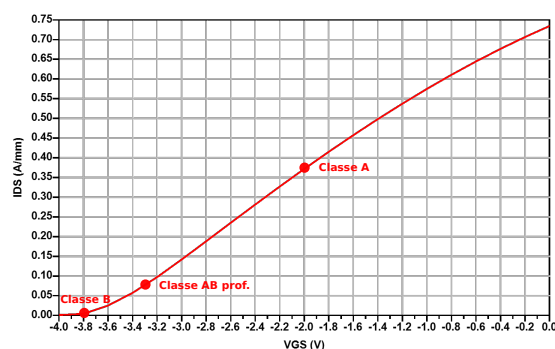
3.1 Dimensionnement et polarisation du transistor

La puissance requise en sortie de l'amplificateur est de 33 dBm (2 Watt) minimum sur la bande 4-12 GHz. La densité de puissance de la filière GH25 étant de 4 Watt par millimètres de grille, un développement de grille total de 1 mm est nécessaire si on anticipe les pertes du circuit. A partir des résultats de simulations effectuées sur différentes tailles de transistors, le choix d'utiliser un seul transistor de développement $8 \times 125 \mu\text{m}$ apparaît comme le meilleur compromis entre puissance et rendement [140].

Concernant la polarisation, la classe AB profonde (10% du courant max) est choisie car l'application nécessite de conserver un gain en régime petit signal pour étalonner le système, voir figure IV.2. Afin de maximiser la puissance de sortie, on se place à la tension de drain maximale recommandée par le Design Guide : 30V, voir figure IV.3.



(a) Caractéristique de sortie



(b) Caractéristique de transfert, $V_{DS} = 30V$

FIGURE IV.2 – Simulations I/V d'un transistor UMS GH25, dimension de grille $8 \times 125 \mu\text{m}$.

Transistor V1S					
Parameter	Symbol	Conditions	Unit	ROR	AMR
Drain-Source Biasing Voltage	V _{ds}	Idq = 150mA/mm	V	30	55
RF compression such as Pin equal to:		Under power matched and ROR dc biasing conditions		PAE _{max}	PAE _{max} + 2dBm
Gate-Source Voltage (DC+RF)	V _{gs}	Under ROR dc biasing conditions	V	-20	-25
Drain-Gate Voltage (DC+RF)	V _{dg}		V	80	120
Gate Current	I _g	Forward	mA/finger	2	5
Peak Junction Temperature	T _j	Under ROR dc biasing conditions	°C	200	230

Table 1 : Recommended and Absolute maximum rating for V1S transistor topology

FIGURE IV.3 – Extrait du Design Guide GH25

3.2 Étude petit signal

Une simulation paramètres [S] est réalisée au point de polarisation choisi précédemment afin de relever les impédances d'entrée et de sortie (respectivement Z₁₁ et Z₂₂) extrinsèques (c'est-à-dire dans le plan des accès du transistor), voir fig. IV.4. Le transistor étant un composant non-linéaire avec la puissance, les impédances extrinsèques relevées en paramètres [S] (i.e. petit signal) ne seront pas celles optimales en fonctionnement grand signal (surtout sur la sortie). Ceci nous permet tout de même d'avoir un ordre d'idée sur la position des impédances à adapter.

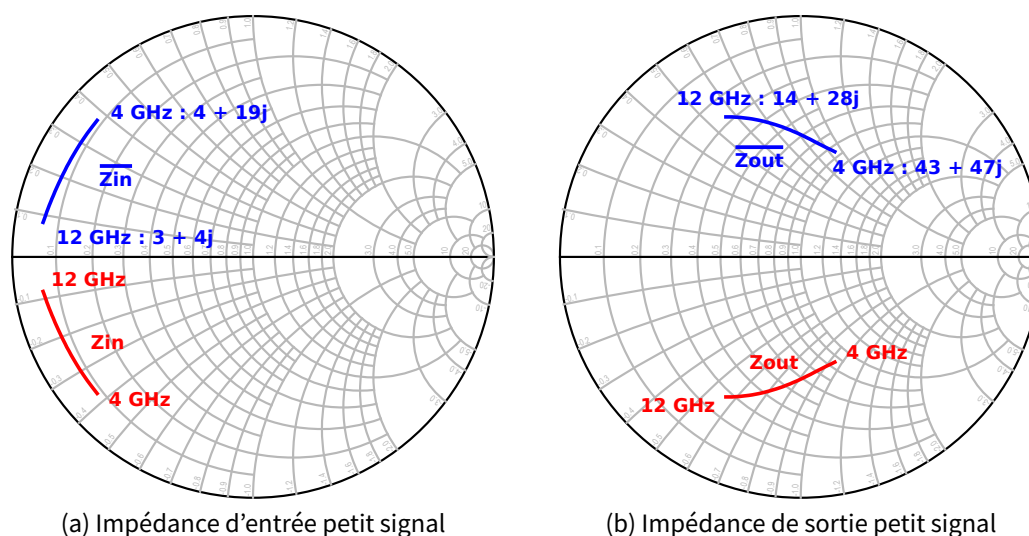


FIGURE IV.4 – Simulation [S] d'un transistor 8x125 à $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Le conjugué des impédances du transistor est tracé pour visualiser le lieu d'impédance à atteindre.

La même simulation est répétée avec des tailles de transistors différentes afin de voir l'évolution de la position des impédances optimales. Sur la figure IV.5, l'impédance de charge est nettement affectée par l'augmentation du développement de grille, elle se décale vers le court circuit. Ceci s'explique par le fait que la capacité parasite C_{DS} croît avec la taille de la grille.

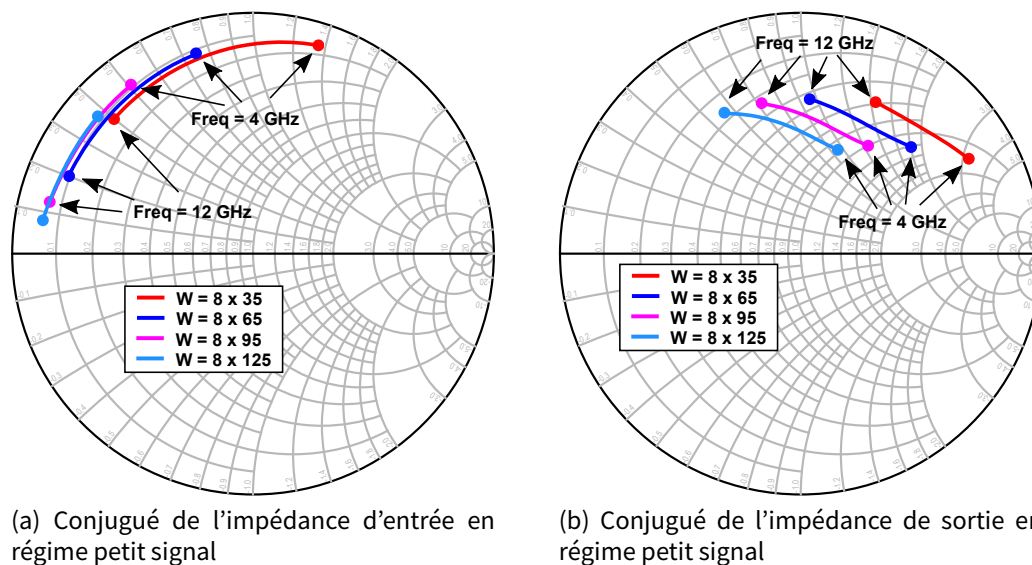


FIGURE IV.5 – Simulation [S] pour différentes tailles de transistors de 8x35 à 8x155 μm à $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Le conjugué des impédances du transistor est tracé pour visualiser le lieu d'impédance à atteindre.

Aussi, à partir de l'étude de la partie imaginaire du paramètre Y11 (resp. Y22), il est possible d'estimer la valeur de C_{GS} (resp. C_{DS}) simplement en la divisant par ω , voir figure. IV.6. Ceci permet de constater l'augmentation de la capacité C_{DS} avec le développement de grille du transistor.

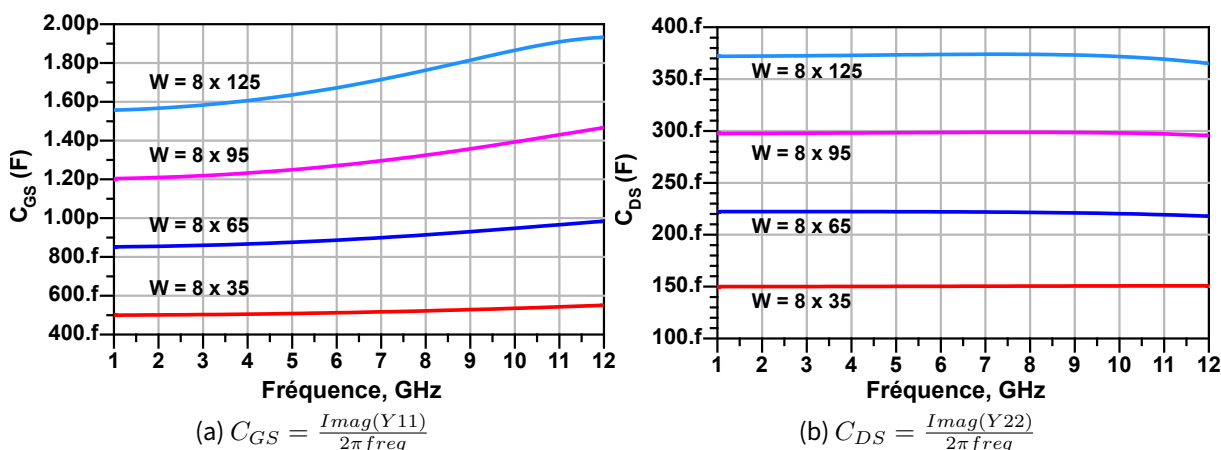
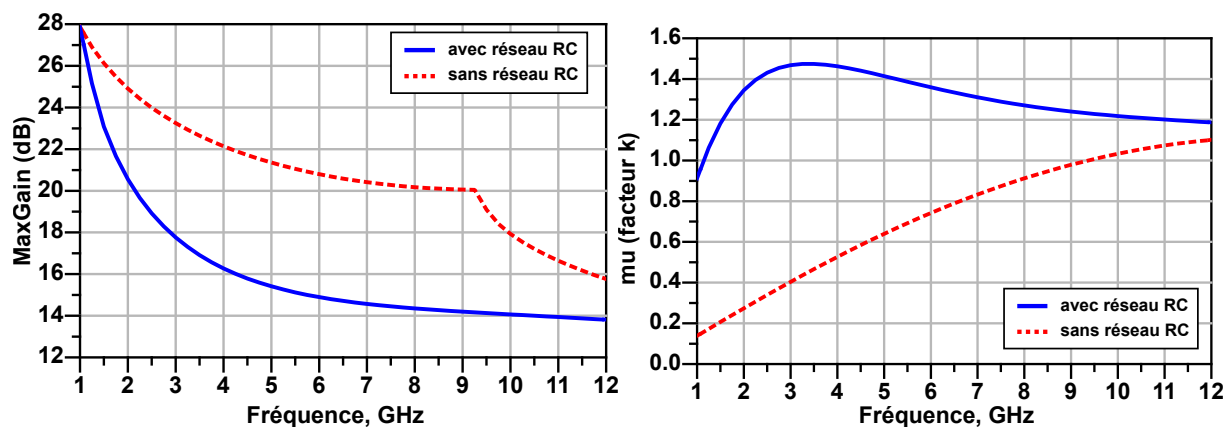


FIGURE IV.6 – Estimation des capacités intrinsèques d'un transistor polarisé à $V_{GS} = -3.2V$ et $V_{DS} = 30V$.

De plus, la simulation petit signal nous donne le gain maximum disponible du transistor ainsi que la stabilité (facteur k) en fonction de la fréquence, voir courbes en pointillés sur la figure IV.7.



(a) Gain Maximum Disponible

(b) Stabilité petit signal (facteur de Rollet)

FIGURE IV.7 – Influence du réseau RC de grille sur la stabilité petit signal du transistor 8x125 μm . Rappel : Stabilité petit signal garantie si $k > 1$.

Le transistor est instable pour des fréquences k inférieures à 9.5 GHz, ce qui correspond aux valeurs de gain supérieures à 20 dB. Une technique classique pour assurer la stabilité basse fréquence (BF) consiste à insérer un circuit RC en série sur la grille du transistor afin de diminuer le gain BF, voir fig. IV.8.

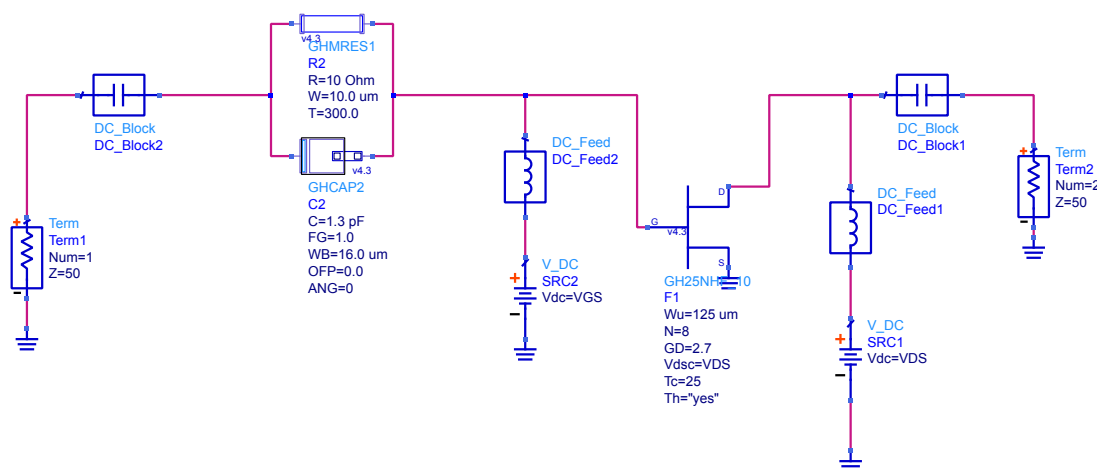


FIGURE IV.8 – Schéma électrique utilisé pour la simulation [S].

La fréquence de coupure du réseau RC est fixée autour de $f_{0,min}$ (i.e. 4 GHz), avec $R=30$ Ohm et $C=1.3$ pF. Ces valeurs pourront être optimisées lors de la phase de conception du réseau d'adaptation d'entrée du transistor. L'effet du réseau RC sur le gain max et la stabilité est montré par les courbes en traits pleins de la figure IV.7.

Remarque n°1 : le réseau de stabilité n'est pas inséré lors de l'extraction des impédances (sourcepull), car il fausserait l'impédance d'entrée du transistor.

Remarque n°2 : la stabilité petit signal est nécessaire mais pas suffisante pour garantir la stabilité inconditionnelle de l'amplificateur, un outil spécifique (STAN®) sera utilisé lors de

l'analyse grand signal.

3.3 Etude grand signal : charges optimales en puissance et rendement

Afin de réaliser les réseaux d'adaptation d'impédance en entrée et en sortie du transistor, il faut connaître les impédances grand signal extrinsèques (dans le plan des accès du transistor) à présenter au fondamentale ainsi que les lieux d'impédances à éviter aux harmoniques. Une visualisation des plans de référence équivalents aux impédances extrinsèques et intrinsèques sur le schéma électrique d'un transistor est donnée sur la figure IV.9.

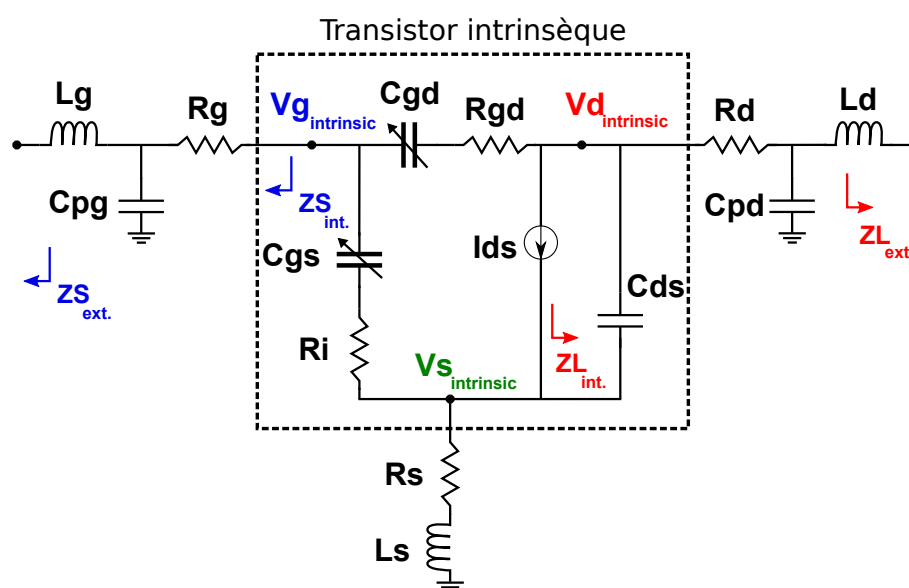


FIGURE IV.9 – Mise en évidence des plans intrinsèques et extrinsèques sur le modèle non linéaire simplifié d'un transistor HEMT.

Dans un premier temps, des simulations Loadpull (LP) et Sourcepull (SP) sont effectuées afin de relever l'évolution des impédances optimales (extrinsèques) pour la PAE ainsi que celles optimales pour la puissance de sortie à la fréquence fondamentale. Les fréquences harmoniques sont chargées par un court circuit (valeur d'impédance requise sur les harmoniques pour respecter la classe AB).

Le modèle utilisé est le modèle du fondeur (UMS v4.3), qui prend en compte les effets thermiques ainsi que les effets de pièges rapides. Un exemple de simulations LP/SP montrant les contours de puissance et de rendement à 9 GHz est donné sur la figure IV.10.

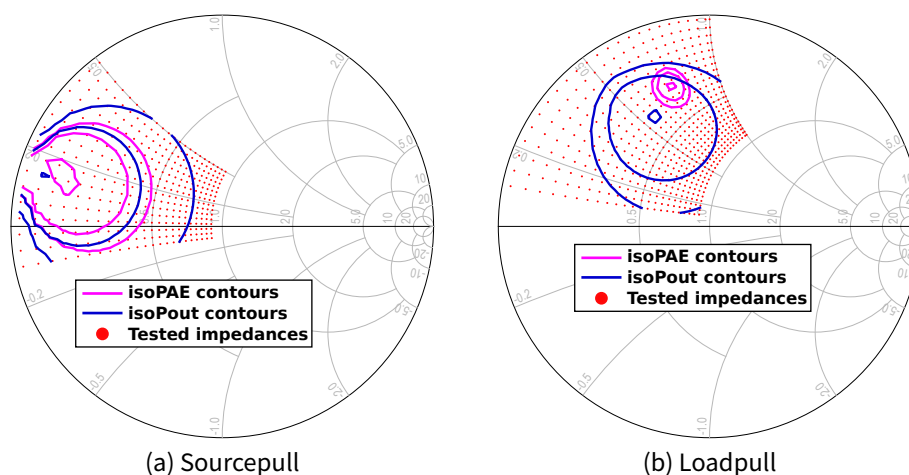


FIGURE IV.10 – Simulations Sourcepull/Loadpull d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les contours de PAE sont tracés avec un pas de 2 points tandis que les contours de puissances sont tracés à 1 dB d'intervalle.

Sur la figure IV.11, le relevé du Loadpull ramené dans le plan intrinsèque de la source de courant du transistor est présenté. Le lieu d'impédance balayé est "tourné" d'environ 90° vers la droite, ceci est principalement dû à la capacité intrinsèque C_{DS} . Dans le plan intrinsèque, les charges optimales pour le rendement et la puissance sont situées sur l'axe des réels (i.e. R_{opt}), comme prévu.

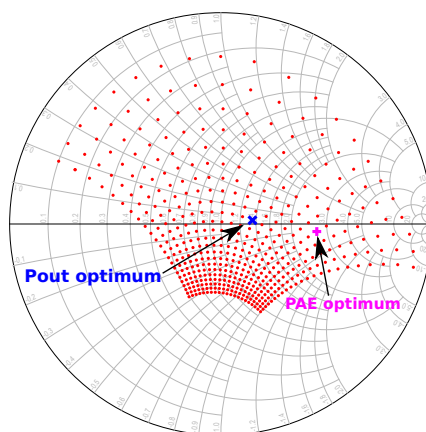


FIGURE IV.11 – Simulation Loadpull d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les impédances sont de-embedder dans le plan intrinsèque du transistor.

Le cycle de charge au cours d'une période est représenté dans le but d'analyser les formes d'ondes. Le cycle de charge dans le plan extrinsèque chargé par la charge optimale en PAE est tracé sur la figure IV.12(a). La forme d'onde sort complètement du réseau statique, ceci est dû à la présence des extrinsèques (= parasites). La figure IV.12(b) montre le cycle de charge dans le plan intrinsèque de la source de courant. La droite de charge n'est pas parfaitement "plate", ceci peut être amélioré en travaillant sur les impédances présentées aux harmoniques. Il

est intéressant de noter que l'excursion en V_{DS} est importante : plus de 2 fois la tension de polarisation.

Sur les figures IV.12 (c) et (d) sont tracées les formes d'ondes au cours de deux périodes. Lorsque l'on regarde les formes d'ondes dans le plan intrinsèque, la forme carrée du courant fait penser à une classe F inverse, qui n'est possible que si l'impédance présentée au 3^{ème} harmonique est en circuit ouvert.

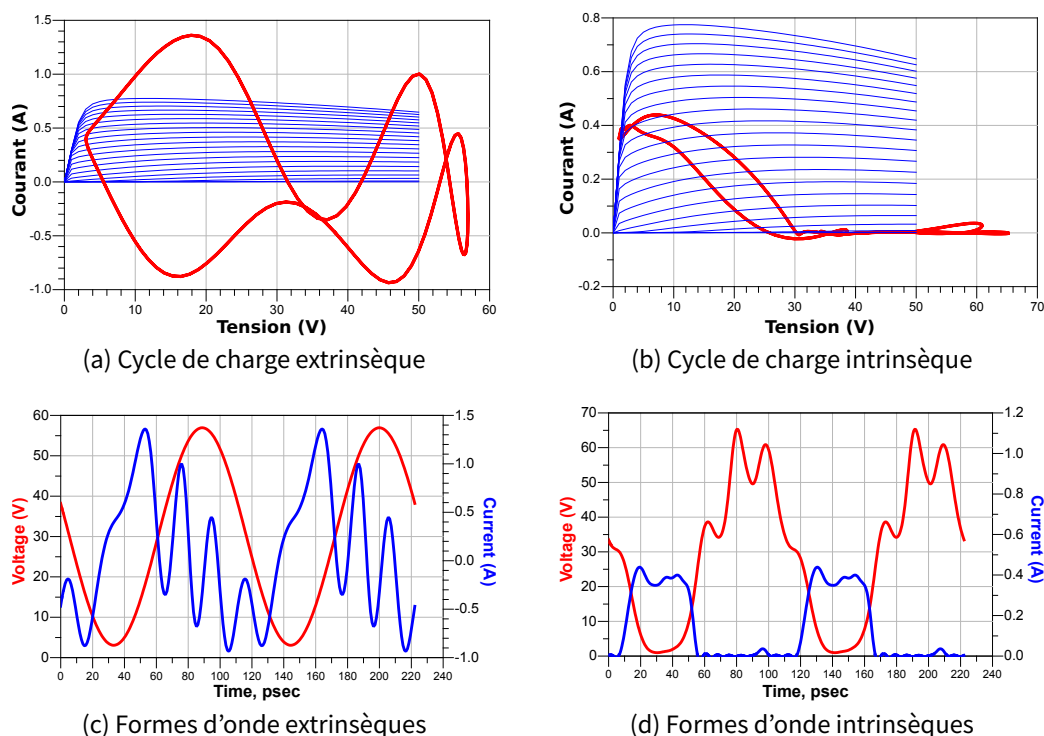


FIGURE IV.12 – Simulations des formes d'ondes d'un transistor 8x125 à $f_0 = 9GHz$, $V_{GS} = -3.2V$ et $V_{DS} = 30V$. Les impédances aux harmoniques sont laissées sur un court circuit.

Ensuite, la procédure est répétée à différentes fréquences afin de visualiser l'évolution de la source et de la charge extrinsèque idéale à atteindre en fonction de la fréquence.

Comme indiqué sur la figure IV.13, l'impédance de source obtenue en simulation loadpull est très proche de celle obtenue en paramètres S. Les impédances optimales en rendement et en puissance de sortie encadrent l'impédance de charge obtenue en paramètres S.

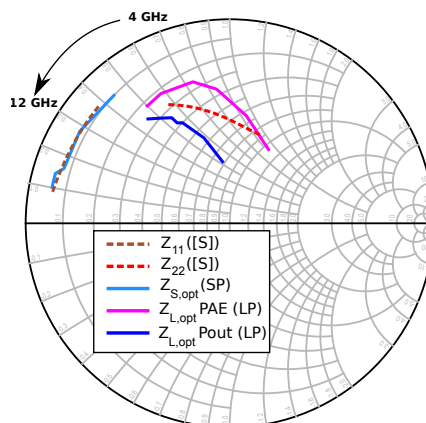


FIGURE IV.13 – Évolution des impédances de source et de charge extrinsèques optimales à la fréquence fondamentale d'un transistor 8x125 entre 4 et 12 GHz, $V_{GS} = -3.2V$ et $V_{DS} = 30V$.

3.4 Conception des réseaux d'adaptation

Maintenant que les impédances optimales à atteindre au fondamental sont connues, il est possible d'entamer dans la conception de circuits d'adaptation d'impédance.

3.4.1 Adaptation en sortie

Tout d'abord, l'entrée du transistor est chargée par un port ayant l'impédance optimale et la polarisation de grille est apportée à travers une self de choc idéale afin de s'affranchir de l'adaptation en entrée. Comme le courant de sortie va être relativement élevé (>250 mA), il n'est pas possible d'utiliser une inductance intégrée sur l'alimentation de drain du transistor. Une ligne de transmission est utilisée à la place, avec une largeur suffisante pour tenir le courant (30 μm). Deux capacités de 10 nF sont placées en parallèle de l'alimentation pour filtrer les hautes fréquences. L'une d'entre elles est associée à une résistance de 10 Ohm en série afin d'atténuer les éventuelles oscillations par retour de masse.

Un réseau en T composé de deux lignes de transmission en série et d'une capacité en parallèle réalise l'adaptation d'impédance vers la charge de sortie (50 Ω). Le réseau d'adaptation en entrée représente la partie située à droite du transistor sur le circuit de la figure IV.14.

3.4.2 Adaptation en entrée

Une fois la sortie adaptée, le travail se concentre sur l'adaptation en entrée du transistor. Une self inductance intégrée d'une valeur de 1 nH est utilisée pour apporter la polarisation. Elle est accompagnée d'une résistance de 30 Ω en série pour assurer la stabilité. Comme l'impédance de source est très faible (environ 3 Ω), une faible résistance (2 Ω) est ajoutée en série juste avant le transistor. Celle-ci permet de faciliter l'adaptation large bande, au prix

d'une légère diminution du gain en puissance. Un réseau RC série est placé en amont du réseau afin de modérer le gain BF du transistor. Le layout du circuit d'adaptation est donné sur la partie gauche du circuit sur la figure IV.14.

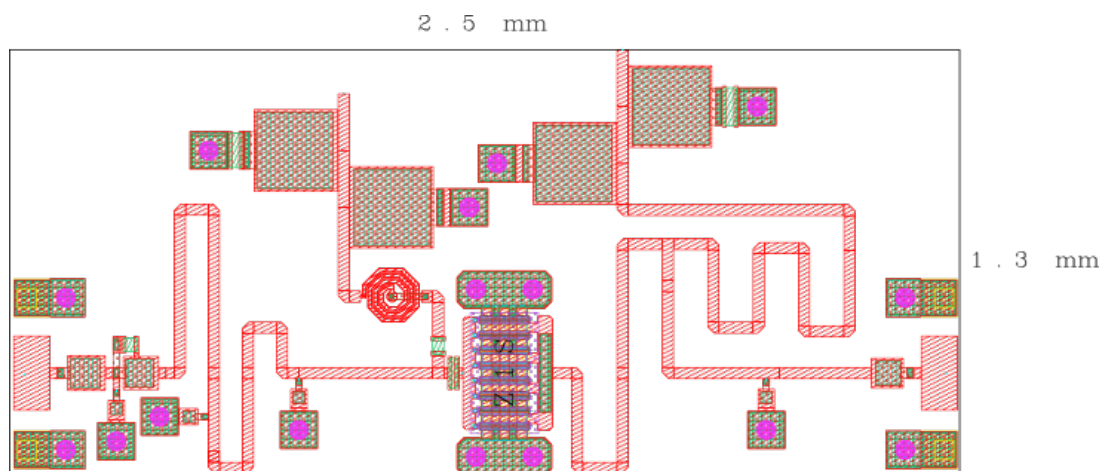


FIGURE IV.14 – Layout de l'amplificateur large bande.

3.5 Résultats de simulation post-layout

Afin d'évaluer son adaptation sur 50 Ohm en entrée et en sortie, l'amplificateur est d'abord simulé en régime petit signal (paramètres [S]). Les taux d'ondes stationnaires (TOS) en entrée et en sortie ainsi que le gain petit signal de l'amplificateur sont tracés sur la figure IV.15. L'adaptation en entrée est satisfaisante (TOS < -10 dB) entre 6 et 12 GHz. En sortie, l'adaptation pourrait être améliorée (TOS < -8 dB), deux résonances se distinguent : une à 4.5 GHz et l'autre à 11 GHz.

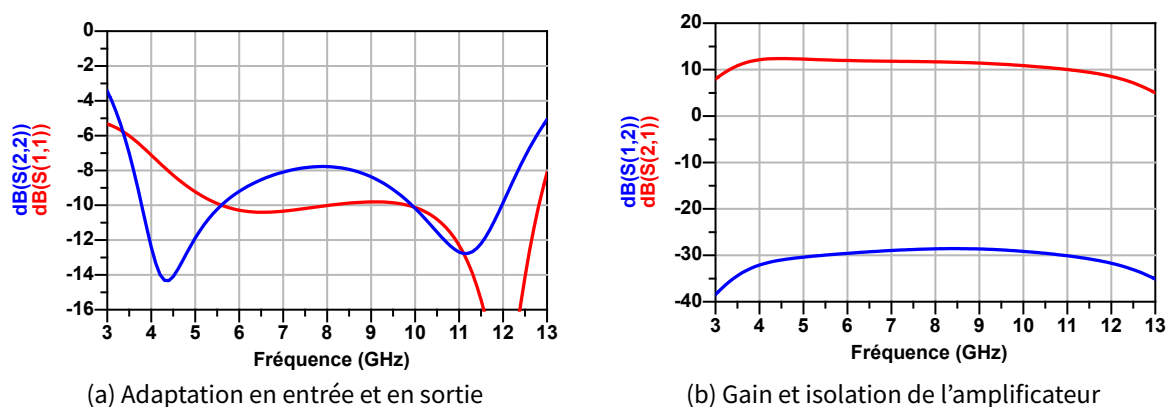


FIGURE IV.15 – Simulations [S] post-layout de l'amplificateur entre 3 et 13 GHz.

En grand signal, l'amplificateur délivre 33 dBm minimum sur toute la bande et le rendement en puissance ajoutée est compris entre 22 et 28 %, voir figure IV.16(a). Le réseau

d'adaptation d'impédance effectuée une boucle autour du lieu d'impédances extrinsèques optimales du transistor, voir figure IV.16(b).

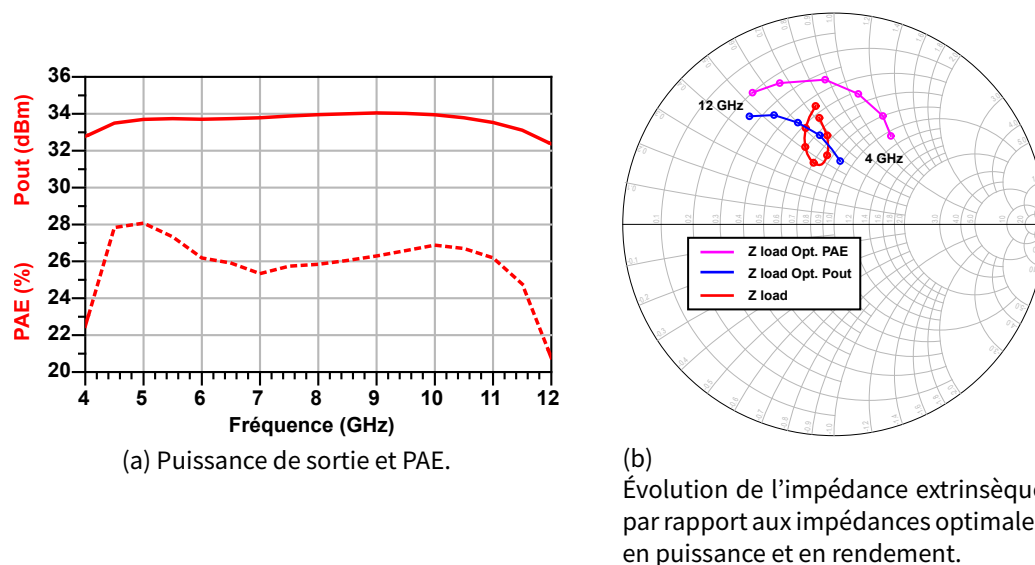


FIGURE IV.16 – Simulations grand signal post-layout de l'amplificateur entre 4 et 12 GHz. $P_{dispo} = 27$ dBm.

L'outil STAN[®] d'AMCAD, qui permet d'extraire la fonction de transfert de l'amplificateur à un point de fonctionnement grand signal [138], est utilisé pour étudier sa stabilité. Les pôles et zéros pour une perturbation située sur le drain du transistor sont tracés sur la figure IV.17. Il n'y a pas de pôle à partie réelle positive. Coté grille, il n'y a pas de pôle détecté dans la fonction de transfert.

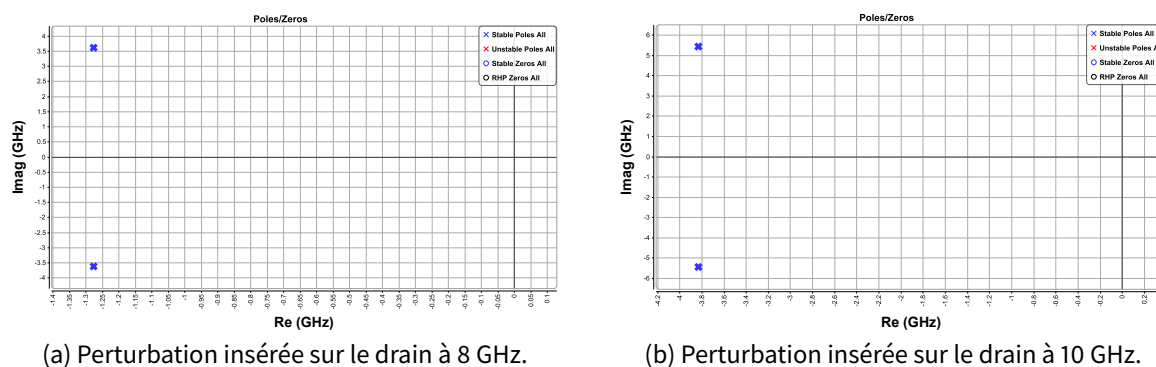


FIGURE IV.17 – Analyse de la stabilité grand signal avec STAN[®]. $P_{dispo} = 27$ dBm.

4 Conception d'un amplificateur bande étroite [8-10] GHz

En mode BE, l'amplificateur délivre une puissance de sortie élevée, le rendement en puissance ajoutée (PAE) devient alors une grandeur très importante pour limiter les problèmes de dissipation thermique. L'adaptation d'impédance sur les charges optimales en rendement sera donc prioritaire sur cet amplificateur.

4.1 Exemple : Amplificateur Thales MAGNUS 20 W Bande X

Afin d'avoir une idée des performances à l'état de l'art, nous avons accès aux simulations post-layout d'un prototype d'amplificateur GaN de Thales réalisant une amplification BE forte puissance. Ses performances sont données sur la figure IV.18 suivante. La puissance de sortie est supérieure à 20 Watt et le rendement compris entre 43 et 47 %. Pour des raisons de confidentialité, les fréquences ne sont pas indiquées.

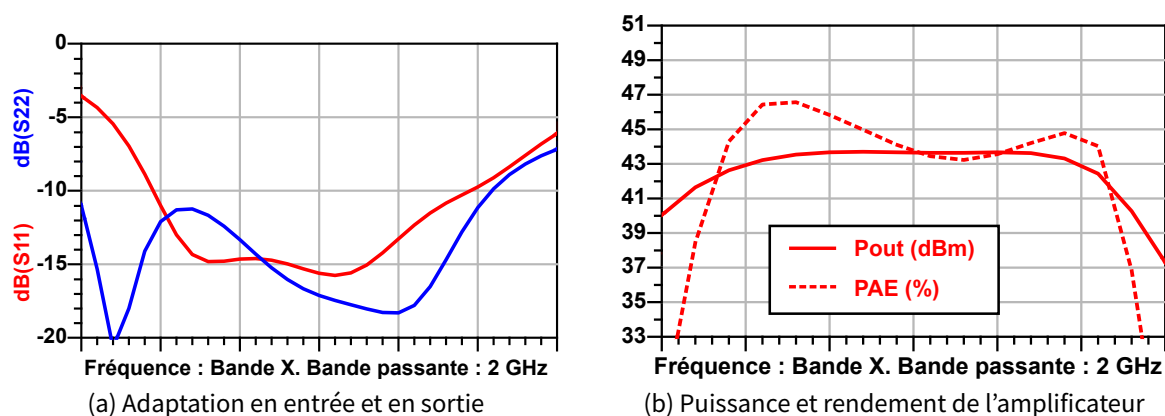


FIGURE IV.18 – Simulations [S] et grand signal post-layout de l'amplificateur MAGNUS.

Du point de vue des impédances, l'évolution de l'impédance de charge présentée sur le drain de chacun des transistors de l'étage de sortie en fonction de la fréquence (i.e. l'impédance présentée par le combineur de puissance) est tracée sur la figure IV.19. Elle décrit une boucle autour des impédances optimales en rendement. Dernière précision, le layout de l'amplificateur occupe seulement 20 mm².

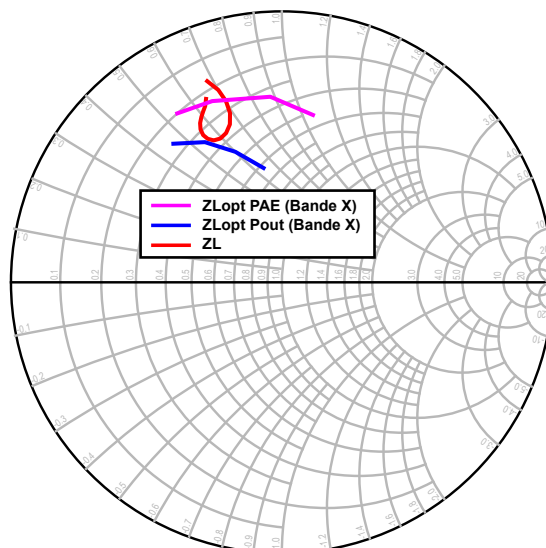


FIGURE IV.19 – Evolution de l'impédance de charge en sortie du dernier étage de l'amplificateur MAGNUS.

4.2 Dimensionnement et polarisation

Pour avoir un rendement théorique élevé, il faut polariser le transistor proche du pincement. Une classe B (78.5% de rendement maximum théorique) n'est pas envisageable car le HPA doit avoir du gain en petit signal afin d'effectuer les tâches de calibration du système. La classe AB profonde (10% du courant maximum) est donc choisie.

Pour atteindre une puissance de sortie de 40 dBm (10 Watt) à partir d'une puissance d'entrée de 20 dBm, deux étages sont nécessaires. Le 1^{er} sert à apporter du gain tandis que le 2nd sert à atteindre la puissance de sortie en combinant les puissances délivrées par plusieurs transistors. Un transistor de 1 mm de développement de grille délivre 4 Watt (36 dBm) maximum. Pour assurer 10 Watt minimum en sortie, 4 transistors sont donc nécessaires sur le dernier étage.

Un schéma de l'architecture envisagée pour l'amplificateur est donné sur la figure IV.20. Elle est annotée avec les puissances requises en entrée et sortie de chaque transistor. Les pertes dans le réseau d'adaptation inter-étages sont estimées à 2 dB car il doit apporter les polarisations et réaliser une division de puissance sur 4 voies. Le réseau de sortie doit impérativement avoir le minimum de pertes possibles. Après consultation de l'état de l'art à ces fréquences, la limite est fixée à 1 dB.

La conception d'un amplificateur de puissance s'effectue toujours de la sortie vers l'entrée. Cet ordre de description est alors adopté.

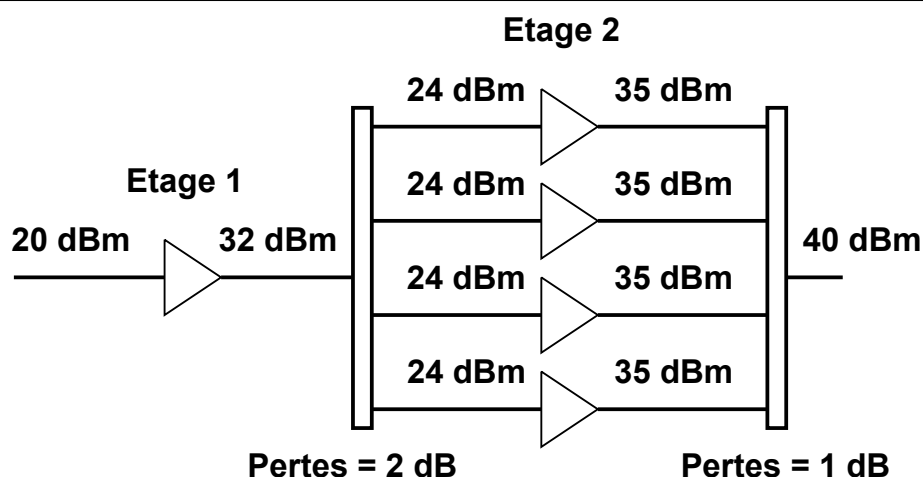


FIGURE IV.20 – Architecture de l'amplificateur délivrant une puissance de 10 Watt en bande X.

4.3 Conception d'un combineur de puissance large bande intégré

La démarche commence donc par la conception d'un combineur de puissance qui présente peu de pertes d'insertion et qui permet d'adapter les transistors sur leurs impédances optimales en rendement.

Il existe plusieurs types de combineurs de puissance, classés en deux familles :

- les combineurs en courant. Dérivés du Wilkinson [141], ils combinent les signaux avec une différence de phase nulle.
- les combineurs en tension. Basés sur le principe de transfert d'énergie entre deux lignes suffisamment proches, ils combinent deux signaux en opposition de phase (i.e. déphasés de 180°) ou bien en quadrature de phase (i.e. déphasés de 90°).

Les combineurs en courant sont les plus répandus, car ils présentent de faibles pertes et ils sont relativement facile à concevoir. Les combineurs en tension occupent généralement une plus petite surface et la séparation électrique des deux lignes facilite l'apport de la polarisation, mais ils sont plus difficiles et chronophages à concevoir.

Parmi les combineurs en tension, on retrouve les transformateurs et les coupleurs. Les transformateurs ont l'avantage de présenter une impédance différente d'un côté par rapport à l'autre. Ceci facilite l'adaptation d'impédance qui se fait généralement d'une impédance faible vers 50 Ohm. Les équations permettant le pré-dimensionnement d'un transformateur sont disponibles dans la thèse de F. Mesquita [142]. Un modèle électrique du transformateur intégré a également été développé par B. Leite [143].

Durant la thèse de V. Dupuy [140], un combineur de puissance de type « balun à pistes empilées » a été conçu et ses performances (faibles pertes, large bande, petite dimension) nous conduisent à réutiliser le concept. L'apport de notre travail consiste à reprendre le principe du combineur 2 voies vers 1 pour l'étendre à la combinaison de puissance provenant de 4 voies vers 1.

4.3.1 Dimensionnement

Le principe du balun à base de transformateur repose sur deux enroulements dont la longueur électrique est équivalente à $\frac{\lambda}{4}$. Pour avoir une bande passante maximale, le transformateur est conçu avec un ratio de 1. Le schéma équivalent utilisé pour la simulation est donné sur la figure IV.21. Le point milieu de l'enroulement coté différentiel sera utilisé pour polariser les transistors. Ne disposant que d'un seul niveau de métal (technologie GaN), l'enroulement secondaire est réalisé à l'aide de pistes suspendues par des ponts à air.

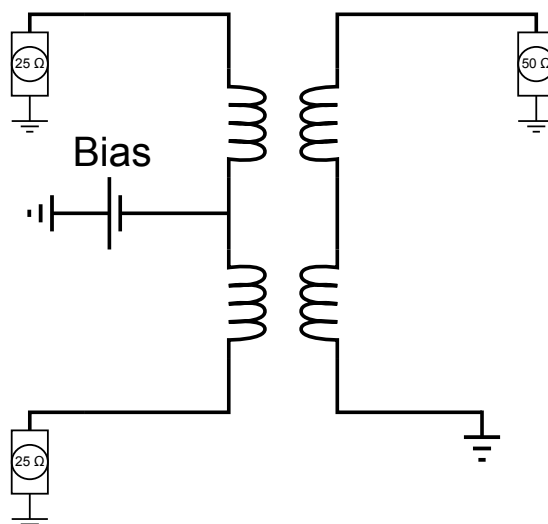


FIGURE IV.21 – Schéma représentant la conception d'un balun avec un rapport de transformation égal à 1.

Après avoir effectué une optimisation par procédé itératif entre simulations électriques et électromagnétiques, la solution retenue est présentée sur la figure IV.22.

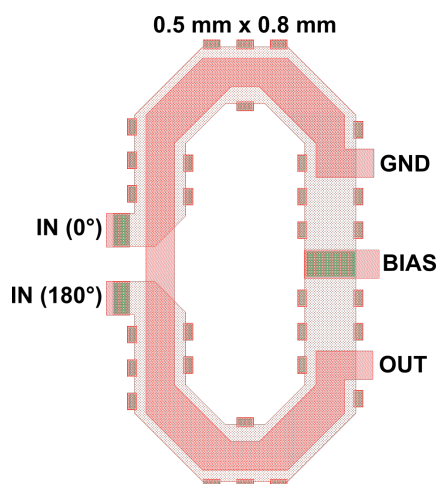


FIGURE IV.22 – Dessin du balun réalisant la fonction combineur de puissance 2 voies vers 1.

Ensuite, 2 baluns unitaires (2->1) sont associés pour permettre la combinaison de puissance 4 voies vers une. Dans le but de connecter ce combineur en sortie du dernier

étage, un petit réseau d'adaptation d'impédance (i.e. des lignes de transmission) est ajouté sur chacune de ses voies d'accès pour atteindre l'impédance optimale en PAE à présenter sur le drain de chaque transistor. Coté sortie, la recombinaison se fait en courant et une petite capacité est ajoutée en parallèle pour régler plus finement l'adaptation. Le layout du combineur de sortie est donné sur la figure IV.23.

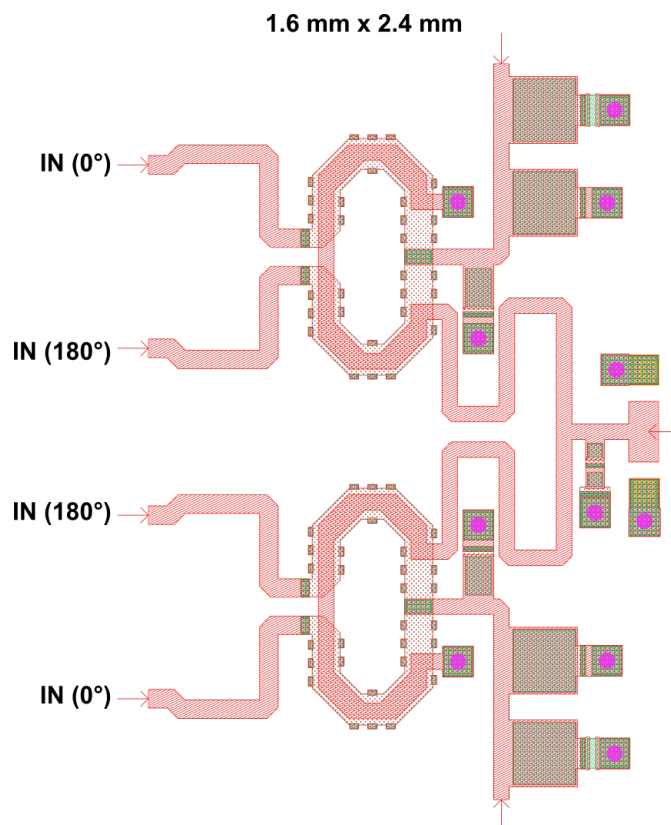


FIGURE IV.23 – Dessin du balun réalisant la fonction combineur de puissance 4 voies vers 1.

Les performances de ce combineur de sortie sont données sur la figure IV.24. On constate que les pertes d'insertion sont inférieures à 1 dB sur la bande [8.5-10.5] GHz, comme exigé lors du dimensionnement du circuit. Les impédances présentées par le combineur sont bien centrées sur les impédances optimales en PAE des transistors.

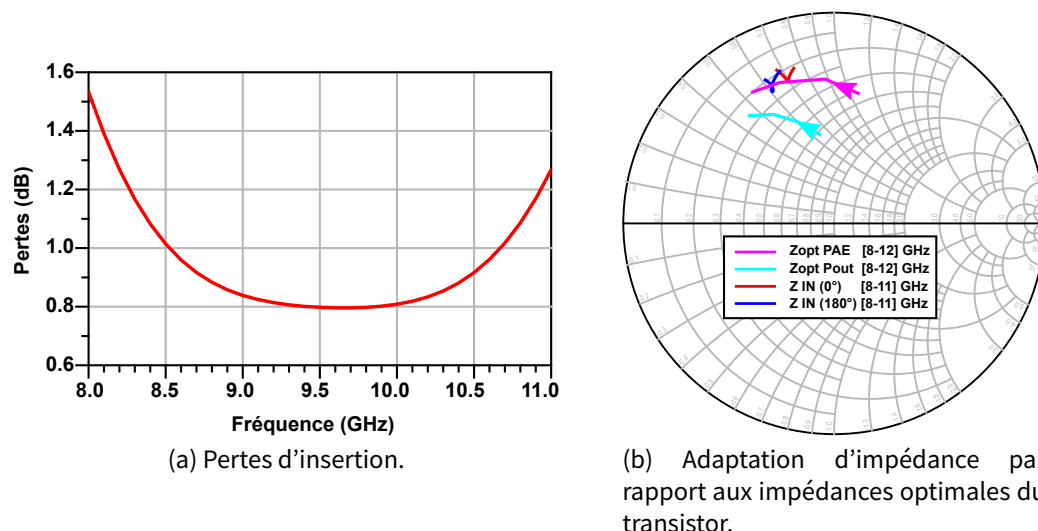


FIGURE IV.24 – Performances grand signal du combineur de sortie (4 voies vers 1).

Le tableau IV.1 répertorie quelques exemples de l'état de l'art des combineurs de puissance à ces fréquences. Nous n'avons pas trouvé de papier exposant des résultats de combineurs intégrés 4 voies vers 1 dans la littérature, la comparaison se fera donc avec des combineurs de puissance 2 voies vers 1. Notre solution se situe dans la moyenne des combineurs répertoriés, avec des pertes de 1 dB maximum sur la bande bien que les dimensions sont bien supérieures aux technologies SiGe.

Réf.	Freq. (GHz)	Topologie	Process	Pertes (dB)	Voies	Taille (mm ²)
[144]	8-14	Wilkinson	0.35μm SiGe	1.4	2->1	0.12
[128]	4-8	Transformateur	0.25μm GaN	2	2->1	6.3
[145]	4.5-10.5	Transformateur	0.13μm SiGe	1	2->1	0.14
Ici	8.5-10.5	Transformateur	0.25μm GaN	1	4->1	3.8

TABLE IV.1 – Comparaison de combineurs de puissance en bande X.

4.4 Conception d'un circuit d'adaptation inter-étage large bande

Le circuit inter-étage satisfait plusieurs fonctions :

- il doit polariser la sortie du 1^{er} étage et l'entrée du 2nd.
- il doit séparer la puissance de sortie du 1^{er} étage équitablement sur 4 voies avec un déphasage de 180° entre les voies 2 à 2.
- il doit présenter relativement peu de pertes (on s'autorise 2 dB de pertes d'insertions).

Pour réaliser cette fonction, le combineur de sortie du 2nd étage est réutilisé, en le modifiant pour présenter les bonnes impédances sur les grilles des transistors. Afin d'assurer la stabilité du 2nd étage, un réseau RC est ajouté en série sur chaque grille de transistor

(pour diminuer le gain BF) et toutes les grilles des transistors sont reliées ensemble via des résistances de $300\ \Omega$ (pour annuler les modes impairs qui se propagent en opposition de phase entre les voies). Le layout du circuit inter-étage est donné sur la figure IV.25.

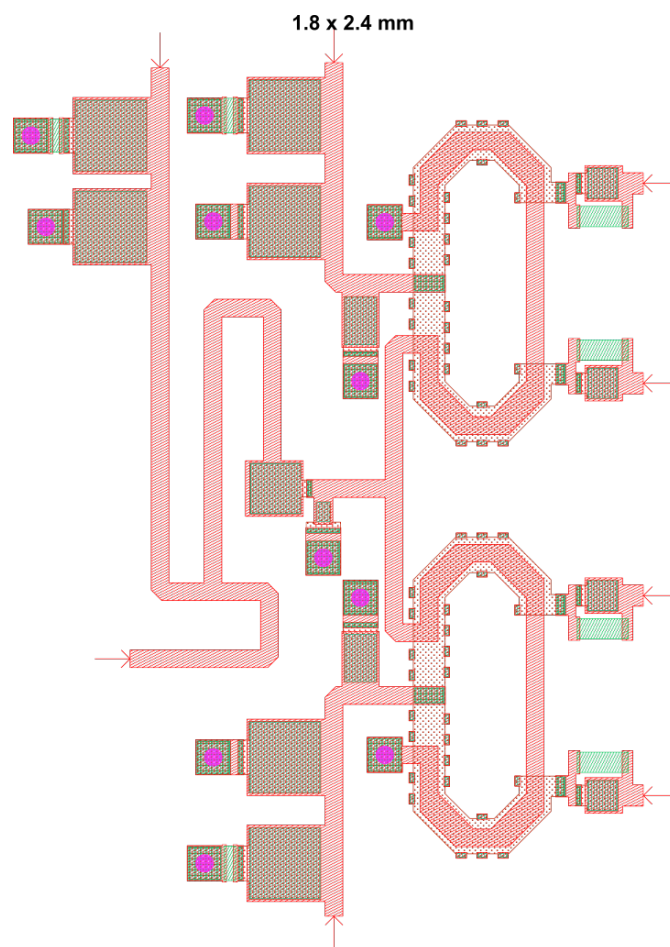


FIGURE IV.25 – Dessin du circuit d'adaptation inter-étages de l'amplificateur.

La position des impédances côté sorties du premier étage et côté entrées du second étage sont données sur la figure IV.26. De plus, la simulation des pertes passives est également fournie. Les pertes de ce réseau inter-étage sont plus élevées que prévu : environ 4 dB.

Au niveau de l'adaptation d'impédance, coté charge du 1er étage, l'impédance décrit un cercle assez grand autour des impédances optimales de charge entre 8 et 11 GHz. Coté impédances présentées sur les sources des transistors du 2nd étage, la partie imaginaire augmente avec la fréquence, ce qui vient désadapter les transistors en haut de bande, mais la partie réelle reste acceptable.

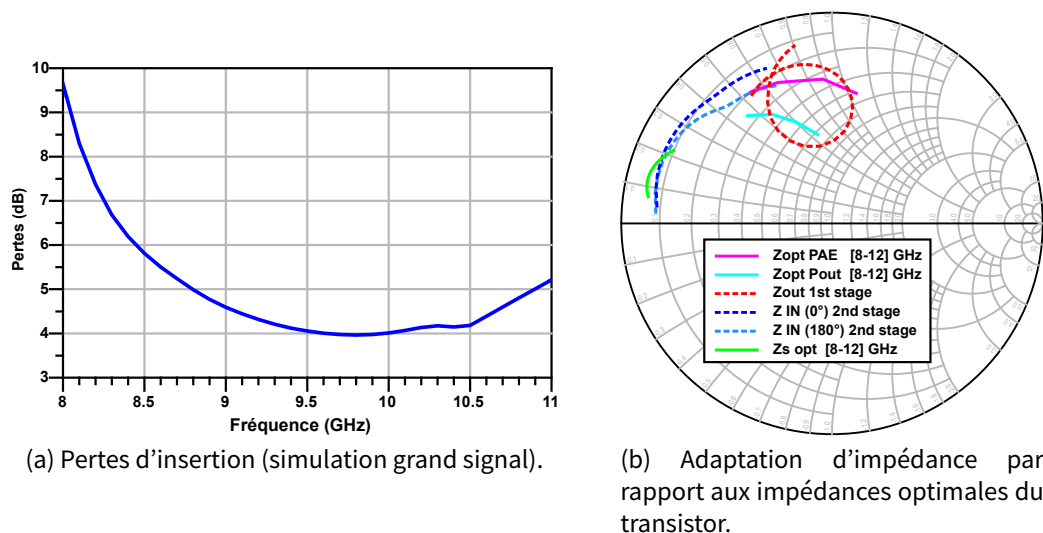


FIGURE IV.26 – Performances grand signal du circuit inter-étages.

4.5 Conception du circuit d'adaptation d'entrée

Afin de réaliser l'adaptation d'impédance en entrée, on utilise un classique réseau en PI constitué de deux branches. A cela, un réseau RC série est utilisé afin de garantir la stabilité du premier étage. Enfin, la polarisation est amenée à travers une self inductance de 1 nH. Le layout du circuit d'adaptation en entrée de l'amplificateur est donné sur la figure IV.27.

0.9 x 1.8 mm

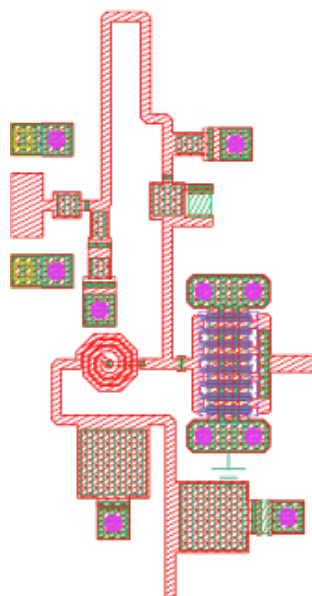


FIGURE IV.27 – Dessin du circuit d'adaptation en entrée du premier étage de l'amplificateur.

La position de l'impédance présentée sur la grille du transistor du 1^{er} étage ainsi que les pertes du circuit sont données sur la figure IV.28. Les pertes sont conséquentes en bas de

bande, ceci est dû à la mauvaise adaptation du transistor à ces fréquences, comme indiqué sur la figure IV.28(b).

Au milieu de la bande, les pertes sont supérieures à 3 dB à cause de la petite résistance (2 Ohm) qui est insérée en série avec le transistor afin d'augmenter son impédance de source, car trop faible (env. 3 Ohm) et donc très difficile à adapter vers 50 Ohm.

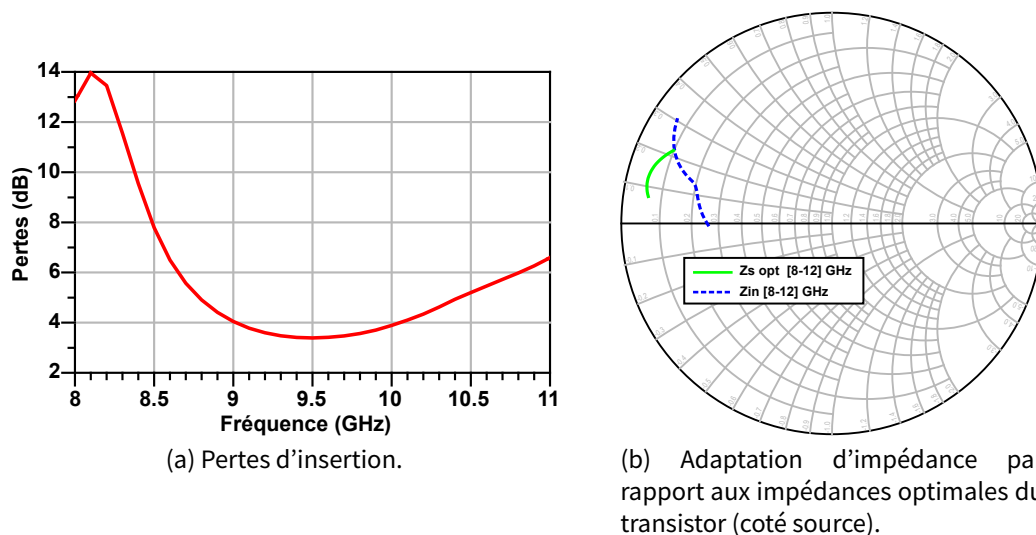


FIGURE IV.28 – Performances grand signal du circuit d'adaptation d'entrée.

4.6 Résultats de simulation post-layout

Finalement, des simulations grand signal de l'architecture complète de l'amplificateur sont réalisées. Le dessin du circuit complet est donné sur la figure IV.29.

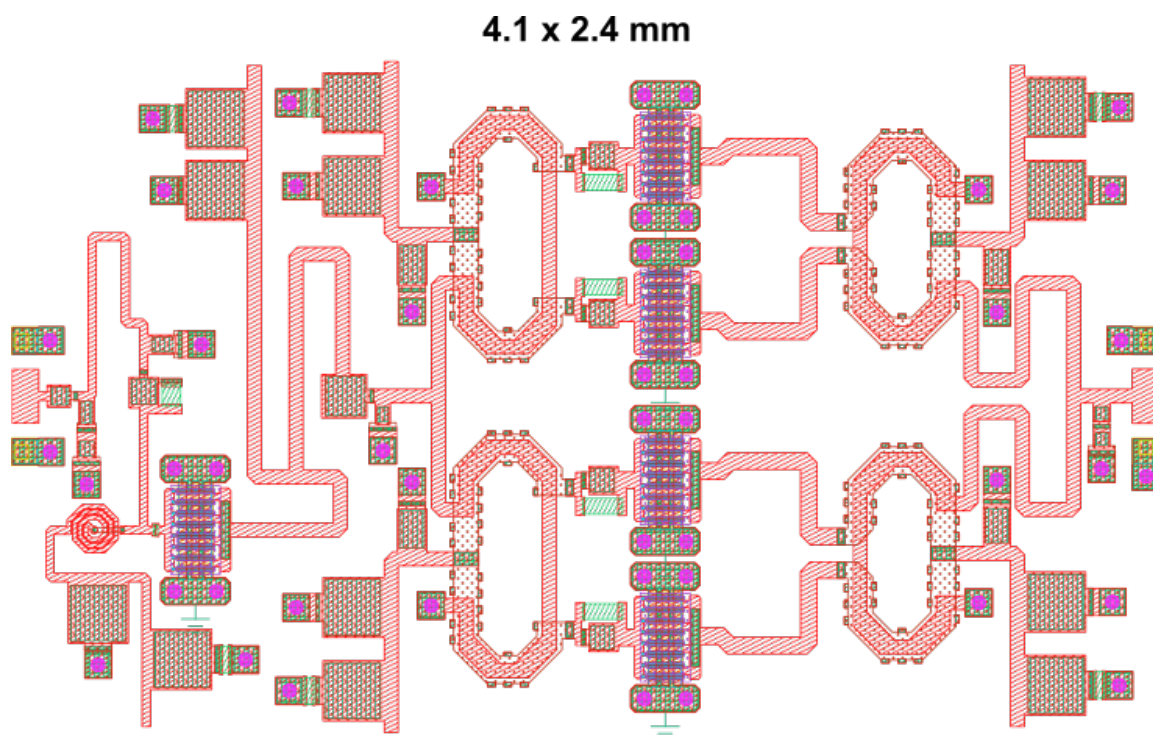


FIGURE IV.29 – Dessin de l'amplificateur 10 Watt bande X complet.

Les performances (adaptation entrée/sortie, puissance de sortie et rendement) sont données sur la figure IV.30. La puissance de sortie respecte le cahier des charges (supérieure à 10 Watt) tandis que le rendement est compris entre 35 et 40 %. Les TOS en entrée et en sortie sont inférieurs à 10 dB. On note que le TOS de sortie est particulièrement bon grâce à l'utilisation du combineur de sortie basé sur des transformateurs type baluns.

4.6.1 Stabilité grand signal

Comme pour l'amplificateur large bande, une analyse de stabilité grand signal est menée sur l'amplificateur bande étroite à l'aide de l'outil STAN[®]. Le perturbateur est inséré sur une grille de transistor du dernier étage à différentes fréquences puis l'étude est refaite en injectant la perturbation sur le drain d'un transistor du dernier étage. Aucun pôle ne présente une partie réelle positive, l'amplificateur est donc considéré inconditionnellement stable.

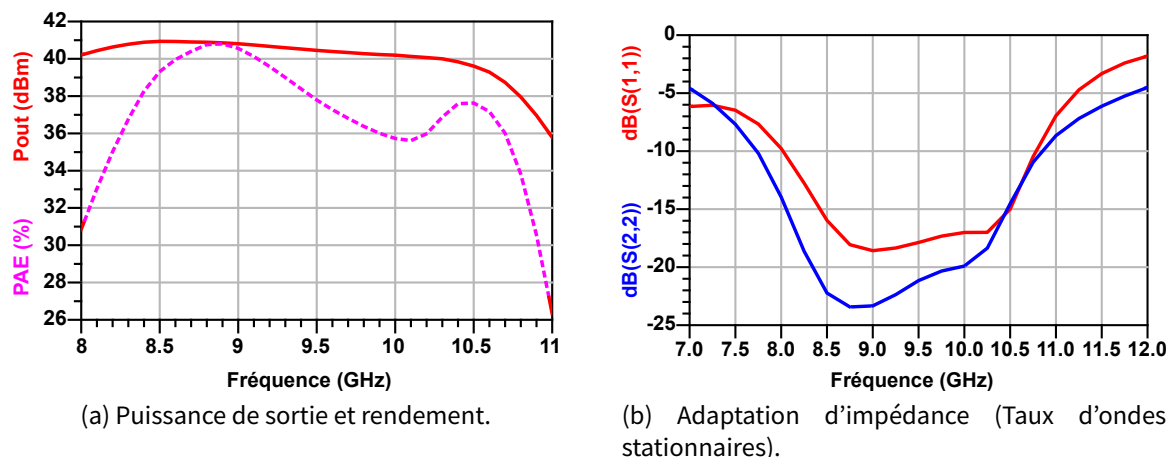


FIGURE IV.30 – Performances grand signal de l'amplificateur complet. Simulations post-layout.

5 Architectures reconfigurables étudiées

Pour permettre la reconfigurabilité de l'amplificateur entre les deux modes de fonctionnement, 3 architectures sont envisagées.

5.1 Architecture parallèle

Cette solution apparaît comme la plus classique : on conçoit indépendamment deux amplificateurs de puissance puis on vient commuter entre les deux amplificateurs afin de changer le mode de fonctionnement de l'architecture globale.

L'avantage de cette architecture est la relative simplicité du système.

Les inconvénients sont la dimension de la puce ainsi que la conception du commutateur de sortie. Il doit être à faibles pertes et permettre de maintenir l'adaptation des deux amplificateurs lorsque la charge varie (antenne à balayage électronique).

Comme indiqué sur la figure IV.31, cette architecture peut tirer l'avantage de plusieurs technologies :

- un étage driver en silicium (bas coût + cointégration avec les fonctions numériques),
- l'utilisation de commutateurs MEMS RF (robustes et très faibles pertes),
- l'étage de puissance en GaN comprenant un amplificateur de puissance par mode de fonctionnement et des commutateurs de polarisation (commutation < 1 ns, possibilité de moduler la puissance de sortie, voir thèse A. Disserand [14]).

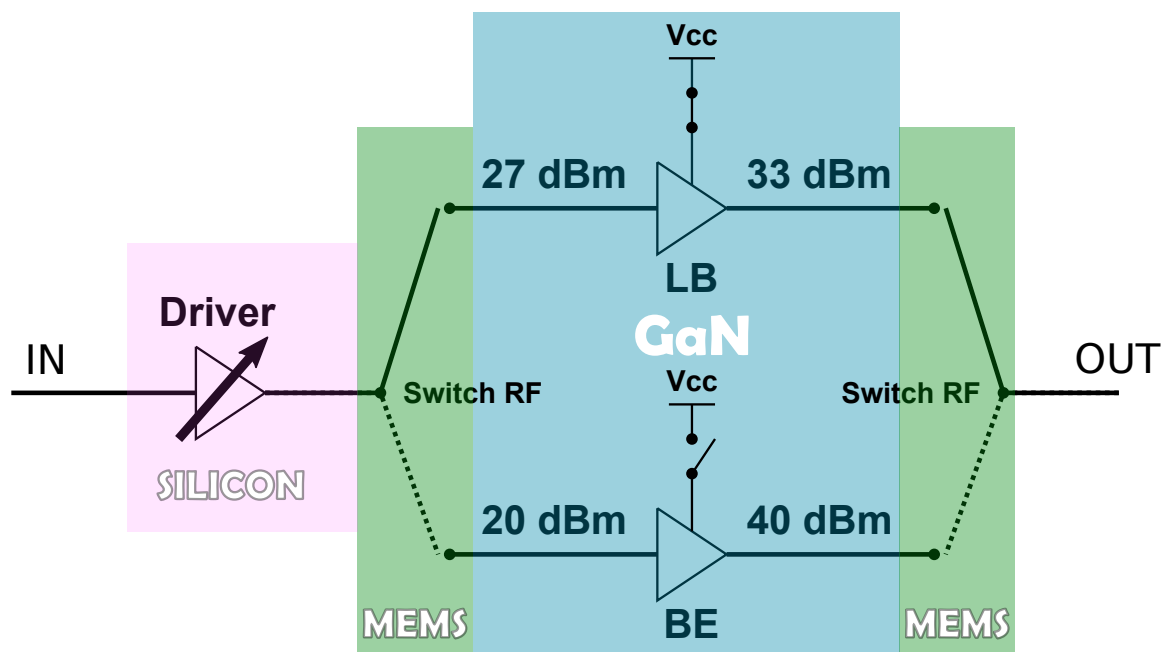


FIGURE IV.31 – Proposition d'un amplificateur bimode complet : solution parallèle.

5.2 Architecture “court-circuit”

Cette architecture peut aussi être nommée l'architecture “série”. En effet, on place l'amplificateur large bande moyenne puissance en amont de l'amplificateur bande étroite forte puissance.

L'amplificateur forte puissance est court-circuité (à l'aide d'un switch MEMS, par exemple) lorsque l'architecture est en mode large bande puis il est “allumé” en mode bande étroite, voir figure IV.32.

L'avantage réside dans la réutilisation de la puissance de sortie de l'amplificateur bande étroite : elle permet de supprimer un étage de l'amplificateur forte puissance, ce qui va réduire ses dimensions.

L'inconvénient de cette structure est que le chemin de court-circuit risque d'être long, ceci va augmenter les pertes RF après l'amplification.

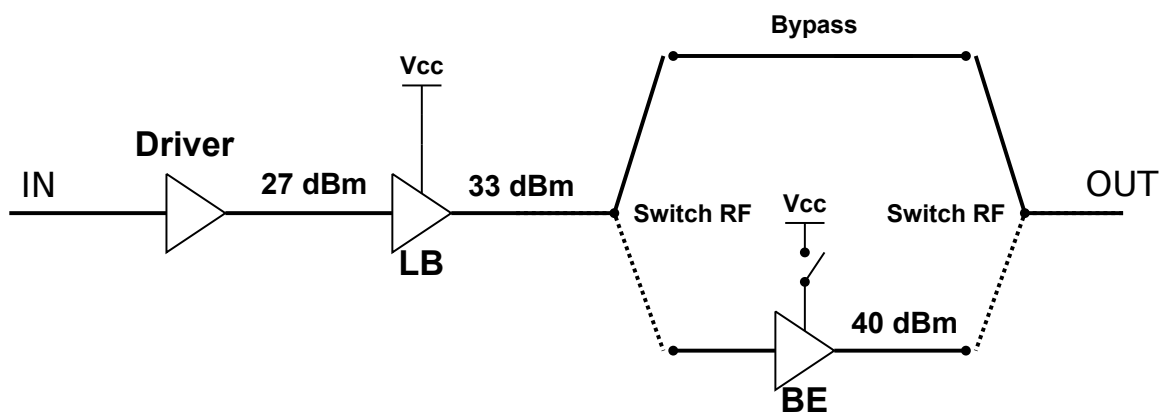


FIGURE IV.32 – Proposition d'un amplificateur bimode complet : solution court-circuit.

5.3 Architecture à réseaux d'adaptation commutés

La bande instantanée requise pour les applications visées ne dépasse pas 1 GHz. L'idée de l'architecture à "réseaux d'adaptation commutés" repose sur cette spécification. Le but de l'architecture va être de présenter le réseau d'adaptation d'impédance qui correspond à la bande de fréquences instantanée visée.

Limiter ainsi la bande de fréquences à couvrir par le réseau a l'avantage de faciliter son optimisation afin de fonctionner dans une classe de PA à haut rendement (à harmoniques contrôlés). La puissance de sortie, quant à elle, peut être réglée en modifiant la tension de polarisation sur le drain du transistor à l'aide de commutateurs de puissance couplés à la variation de la puissance d'entrée (via le driver).

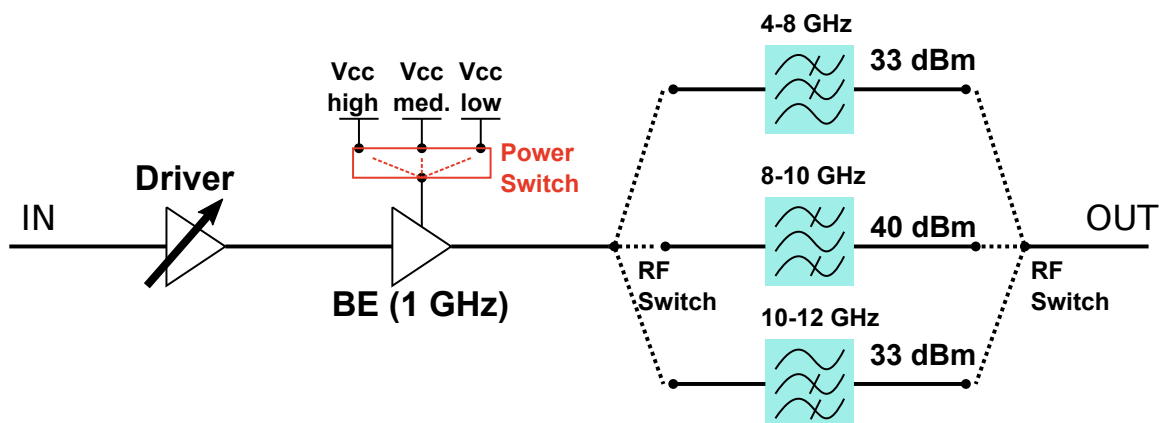


FIGURE IV.33 – Proposition d'un amplificateur bimode complet : solution à réseaux d'adaptation commutés.

5.4 Architecture à impédance de charge modulée

Cette architecture suit le principe de la modulation active de charge vue lors de la conception de l'amplificateur LMBA (cf. Chapitre 3). Le but de l'architecture va être de dynamiquement présenter la charge idéale requise pour le niveau de puissance et la bande de fréquences instantanées du PA.

Pour cela, l'amplificateur de commande qui vient injecter de la puissance sur le port isolé du coupleur hybride 3dB/90° est l'amplificateur large bande.

Cette architecture convient tout à fait à l'amplification large bande. En effet, sa bande passante est équivalente à celle des coupleurs hybrides utilisés. Niveau puissance, la puissance de sortie totale de ce montage est égale à la somme de la puissance de l'amplificateur équilibré et de celle de l'amplificateur de commande. Si l'amplificateur équilibré est coupé, seule la puissance de l'amplificateur de commande est générée : c'est le mode LB. En allumant l'amplificateur équilibré, la pleine puissance est envoyée, c'est le mode BE. En réglant alors la phase de l'amplificateur LB, il est possible d'optimiser les performances de l'amplificateur équilibré sur une bande de fréquences donnée.

Cette solution présente l'avantage d'une grande flexibilité tant en niveau de puissance qu'en bande passante. On peut même imaginer un mode où on présente l'impédance permettant une meilleure linéarité de l'amplificateur.

L'inconvénient de cette solution est la nécessité d'utiliser un déphaseur à gain variable contrôlé numériquement pour régler la puissance et la phase de l'amplificateur de commande, nommé « Driver » sur la figure IV.34.

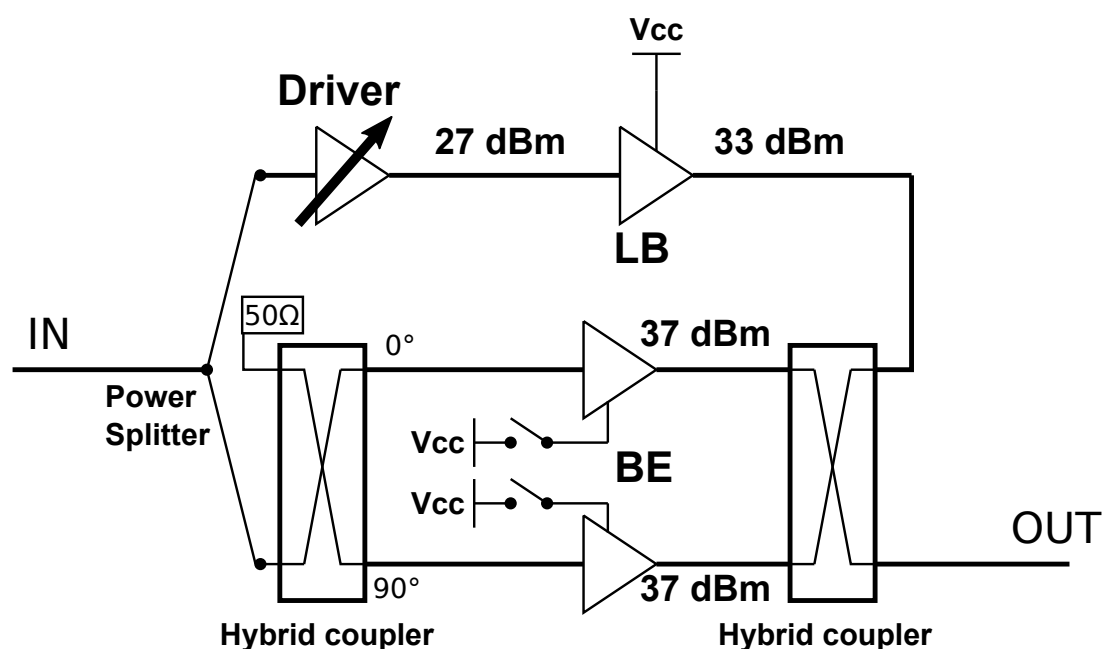


FIGURE IV.34 – Proposition d'un amplificateur bimode complet : solution à charge modulée active.

6 Conclusion

Au cours de ce chapitre nous avons vu les étapes de conception d'un amplificateur de puissance reconfigurable entre deux modes de fonctionnement. Pour cela, un amplificateur de puissance unitaire est réalisé spécifiquement pour chaque mode de fonctionnement.

Le mode large bande moyenne puissance a conduit à la conception d'un amplificateur de puissance assurant une puissance de sortie de 33 dBm et un rendement compris entre 24 et 28 % sur la bande 5-11 GHz.

Le mode bande étroite a nécessité la conception d'un amplificateur de puissance haut rendement, assurant une puissance de sortie de 40 dBm et un rendement compris entre 35 et 40 % sur la bande 8.5-10.5 GHz. La réalisation de cet amplificateur est passée par le développement d'un combineur de puissance 4 vers 1 innovant, réutilisant le concept de transformateur balun à base de pistes empilées.

N'ayant pu disposer d'une date de run GH25 en adéquation avec le calendrier de la thèse, ces amplificateurs MMIC ne sont pas réalisés et mesurés. Toutefois, les Design Kit CAO GaN étant assez fiables, ces simulations post-layout permettent d'avoir une bonne idée des performances atteignables par les circuits.

Un travail préliminaire de recherche de solutions permettant d'associer les deux amplificateurs unitaires sur une même puce afin de satisfaire la reconfigurabilité de l'architecture a également été mené durant cette thèse.

Conclusion générale

Ce manuscrit a récapitulé les travaux de thèse menés durant 3 années au sein des laboratoires XLIM Brive et IMS Bordeaux dans le cadre de la chair industrielle DEFIS RF. L'objectif de la thèse était de concevoir un amplificateur de puissance intégré en technologie GaN pour application émission/réception hyperfréquence aéroporté.

Le premier chapitre a servi à justifier le choix des transistors au nitrure de gallium pour l'amplification de puissance radiofréquence. Les grandeurs électriques importantes sont mises en évidence en s'appuyant sur les équations de la droite de charge du transistor. Ces grandeurs électriques, comparées entre les différents matériaux semi-conducteurs, démontrent la supériorité des composés III-V pour les applications de puissance hyperfréquence. Nous avons ensuite expliqué la formation du gaz bidimensionnel d'électrons dû aux polarisations spontanée et piézoélectrique qui règnent au sein du HEMT GaN. Finalement, nous avons donné un état de l'art des réalisations d'amplificateurs de puissance en comparant les technologies actuellement disponibles.

Le deuxième chapitre a d'abord listé le vocabulaire employé pour désigner les effets mémoires basses fréquences dus aux importantes densités de dislocations et défauts des HEMT GaN : les effets de pièges. Une revue des résultats de caractérisation exposés dans la littérature a permis de conclure sur la présence d'un type de pièges dit « rapides », avec une constante de temps de l'ordre de la milliseconde et probablement originaires du buffer. Une campagne de mesures DC, transitoires et basses fréquences extensives a débouché sur l'identification d'un second type de pièges, ayant une constante de temps plus longue, de l'ordre de la seconde et une origine incertaine. Une séquence de mesures courant-tension impulsionnelles a été mise en place afin de séparer la contribution de chaque type de pièges. Un seuil d'activation des pièges a été mis en évidence : environ 15 V coté drain-source et environ -6 V coté grille-source. Un nouveau modèle électrique des effets de pièges lents, basé sur le processus physique d'effet tunnel assisté par les pièges, a été développé et inséré au modèle de HEMT prenant déjà en compte les effets de pièges rapides dans un simulateur CAO commercial.

Le troisième chapitre a porté sur les techniques d'amplification haut rendement sur une large bande de fréquences. Nous avons commencé par détailler les classes de fonctionnement au niveau du transistor : les classes J, F continue et F inverse continue, en représentant les lieux d'impédances intrinsèques au générateur de courant à couvrir. Ensuite, nous avons étudié une technique d'augmentation du rendement au niveau de l'architecture de l'amplificateur de puissance : l'amplificateur équilibré à charge modulée (LMBA). Cette technique a été validée par la réalisation d'un démonstrateur sur circuit imprimé employant des transistors GaN encapsulés. Une version intégrée du LMBA a été proposée en se limitant aux simulations électriques et électromagnétiques.

Le quatrième et dernier chapitre de ce manuscrit a présenté la conception d'une architecture d'amplificateur de puissance reconfigurable à rendement amélioré pour modules d'émission/réception aéroportés. L'amplificateur a été divisé en deux sous amplificateurs : un amplificateur large bande faible puissance et un amplificateur bande étroite forte puissance. Le réseau d'adaptation d'impédance de l'amplificateur large bande permet un fonctionnement entre les classes J, F et F inverse en fonction de la fréquence de fonctionnement. L'atout principal de l'amplificateur bande étroite réside dans son combineur de puissance 4 voies vers 1 en sortie du second étage d'amplification. Ce combineur, basé sur le couplage vertical entre deux pistes empilées, apporte la polarisation nécessaire aux transistors et présente une très bonne adaptation d'impédance sur chacune de ses branches.

En conclusion, cette thèse a couvert la problématique de l'amplification de puissance sur plusieurs niveaux. Au niveau du fondeur, les différentes caractérisations sous-pointes ont permis de révéler les défauts inhérents aux technologies III-V, encore considérées comme peu matures. Au niveau de la modélisation, la non prise en compte de certains effets mémoires a été mise en évidence et une solution se greffant dans un modèle CAO de transistor déjà existant a été proposée. Au niveau de la conception d'amplificateurs de puissance, les classes de fonctionnement historiques apparaissent comme insuffisantes pour réaliser une amplification large bande à haut rendement. Le passage aux architectures plus complexes (Doherty, LMBA, Outphasing) semble incontournable pour atteindre les spécifications toujours plus contraignantes, accroissant la difficulté à concevoir les circuits.

Perspectives

Voici les idées que nous proposons pour poursuivre les travaux initiés au cours de cette thèse.

Premièrement, il est primordial de trouver une solution pour arriver à faire converger les simulations temporelles de signaux ayant des composantes couvrant une dizaine de décades fréquentielles : la fréquence porteuse (10^9 Hz), la fréquence du signal utile (10^6 Hz), la fréquence des effets mémoire rapides (10^3 Hz) et celle des effets mémoire lents (10^0 Hz). Nous avons proposé une solution en créant un artefact de simulation (en pré-chargeant les pièges au départ de la simulation). La recherche de solutions alternatives devrait commencer par un entretien avec les développeurs de simulateurs CAO.

Deuxièmement, il paraît important qu'un travail soit mené sur la simulation physique (TCAD) des transistors HEMT GaN. Ce travail servirait à valider la théorie sur les phénomènes de remplissage des pièges. Aussi, ceci permettrait de pouvoir localiser et quantifier précisément les pièges mis en jeu. Le but final étant d'apporter des informations aux technologues afin de les aider à corriger les défauts des structures HEMT GaN.

Troisièmement, l'amplificateur de puissance RF est l'élément analogique de la chaîne d'émission qui fonctionne à son optimum pour un seul couple fréquence-puissance. Il nécessite également l'utilisation d'algorithmes de pré-distorsion numérique gourmands en ressources pour corriger sa linéarité. Le futur de l'amplification de puissance passera inévitablement par la combinaison de fonctions numériques et analogiques afin de reconfigurer dynamiquement l'amplificateur en fonction de l'enveloppe du signal qui le traverse. Les architectures à 2 entrées 1 sortie type Doherty actuelles ont pavé la voie à la généralisation de la modulation active de charge en sortie de l'amplificateur. Le défaut de ces architectures est l'impossibilité de régler l'intensité de la modulation de manière dynamique : le réglage est souvent fixe pour une puissance ou une phase précise.

Dans le cadre de la poursuite de ce travail, nous proposons de réaliser un amplificateur LMBA utilisant des fonctions à commandes numériques et employant un seul coupleur hybride. Tout d'abord, supprimer le coupleur en entrée permet de gagner en occupation d'espace. Il faut le remplacer par un diviseur de puissance ayant un déphaseur sur une voie. Ce déphaseur, contrôlable numériquement, permet de compenser le déséquilibre du coupleur hybride de sortie. Ensuite, les tensions de polarisation des deux branches de l'amplificateur équilibré doivent être apportées par des modulateurs de polarisation contrôlables numériquement. Cette flexibilité permet de moduler la tension de polarisation en accord avec la forme de l'enveloppe du signal RF à amplifier. Cette architecture LMBA intégrant des commandes numériques est illustrée sur la figure IV.35.

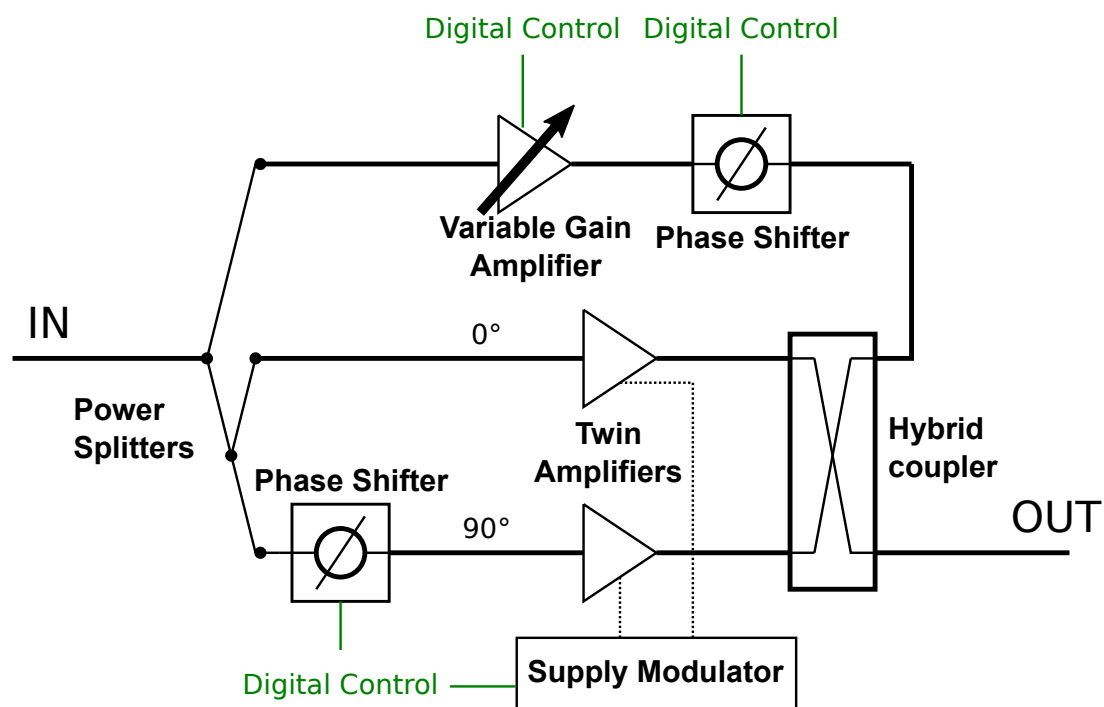


FIGURE IV.35 – Proposition d'un amplificateur LMBA avec déphaseurs et modulateurs contrôlés numériquement.

Finalement, afin de maîtriser la consommation de ces architectures (en énergie et en surface), la co-intégration du GaN (indispensable à l'amplification forte puissance) aux technologies silicium multi-couches est nécessaire.

Liste des communications et publications

Conférences Nationales

Julien Couvidat, Nandha Subramani, Ahmad Al Hajjar, Jean-Christophe Nallatamby, Raphaël Sommet, Nathalie Deltimple and Raymond Quéré. « Identification de pièges dans le buffer des HEMTs AlGa_N/Ga_N basée sur des mesures de paramètres S basse fréquence et sur des simulations physiques »

20èmes Journées Nationales Microondes, May 2017, Saint-Malo, France.

Ahmad Al Hajjar, Julien Couvidat, Jean-Christophe Nallatamby, Raymond Quéré and Farid Medjdoub. « Caractérisation et modélisation non-linéaire du HEMT AlN/Ga_N sur substrat silicium et validation par mesure Load-Pull »

20èmes Journées Nationales Microondes, May 2017, Saint-Malo, France.

Conférences Internationales

Mohamed Bouslama, Julien Couvidat, Ahmad Al Hajjar, Raphaël Sommet and Jean-Christophe Nallatamby. « Novel AlN/Ga_N HEMT Electrical Model including Trapping Effects »
INMMIC 2018: International Workshop On Integrated Nonlinear Microwave and Millimetre-wave Circuits, Jul 2018, Brive la Gaillarde, France.

Julien Couvidat, Nandha Kumar Subramani, Vincent Gillet, Sylvain Laurent, Christophe Charbonniaud, Jean-Christophe Nallatamby, Michel Prigent, Nathalie Deltimple and Raymond Quéré . « Investigation of Fast and Slow Charge Trapping Mechanisms of Ga_N/AlGa_N HEMTs through Pulsed I-V Measurements and the Associated New Trap Model »

2018 International Microwave Symposium (IMS2018), Jun 2018, Philadelphia, United States.

Journaux

Nandha K. Subramani, Julien Couvidat, Ahmad Al Hajjar, Jean-Christophe Nallatamby and Raymond Quéré. « Low Frequency Drain Noise Characterization and TCAD Physical Simulations of Ga_N HEMTs : Identification and analysis of physical location of traps »

IEEE Electron Device Letters, Institute of Electrical and Electronics Engineers, 2017, pp.1 - 1.

Nandha K. Subramani, Julien Couvidat, Ahmad Al Hajjar, Jean-Christophe Nallatamby, Didier Floriot, Michel Prigent and Raymond Quéré. « Low-Frequency Noise Characterization in Ga_N HEMTs : Investigation of Deep Levels and Their Physical Properties »

IEEE Electron Device Letters, Institute of Electrical and Electronics Engineers, 2017, pp.1109 - 1112.

Nandha K. Subramani, Julien Couvidat, Ahmad Al Hajjar, Jean-Christophe Nallatamby, Raphaël Sommet and Raymond Quéré. « Identification of Ga_N Buffer Traps in Microwave

Power AlGaN/GaN HEMTs Through Low Frequency S-Parameters Measurements and TCAD-Based Physical Device Simulations »

IEEE Journal of the Electron Devices Society, IEEE Electron Devices Society, 2017, 5, pp.175 - 181.

Bibliographie

- [1] André Scavennec and S. Delage. Transistors et circuits intégrés à hétérostructures (iii-v). *Techniques de l'ingénieur*, E2450, 2011.
- [2] Nandha Kumar SUBRAMANI. *Physics-Based TCAD Device Simulations and Measurements of GaN HEMT Technology for RF Power Amplifier Applications*. PhD thesis, University of Limoges, 2017.
- [3] Guillaume Callet. *Caractérisation et Modélisation de Transistors HEMT AlGaIn/GaN et InAlN/GaN pour l'Amplification de puissance en Radio-Fréquences*. PhD thesis, University of Limoges, 2011.
- [4] P. McGovern, J. Benedikt, P. J. Tasker, J. Powell, K. P. Hilton, J. L. Glasper, R. S. Balmer, T. Martin, and M. J. Uren. Analysis of dc-rf dispersion in algan/gan hfets using pulsed i-v and time-domain waveform measurements. In *IEEE MTT-S International Microwave Symposium Digest, 2005.*, pages 4 pp.–, June 2005.
- [5] M. Wang and K. J. Chen. Kink effect in algan/gan hemts induced by drain and gate pumping. *IEEE Electron Device Letters*, 32(4) :482–484, April 2011.
- [6] Karim KAHIL. *Contribution à la compréhension des mécanismes expliquant et limitant la linéarité des technologies à base de HEMT Nitrure de Gallium (GaN)*. PhD thesis, University of Limoges, 2017.
- [7] J. Joh and J. A. del Alamo. A current-transient methodology for trap analysis for gan high electron mobility transistors. *IEEE Transactions on Electron Devices*, 58(1) :132–140, Jan 2011.
- [8] M. Silvestri, M. J. Uren, and M. Kuball. Dynamic transconductance dispersion characterization of channel hot-carrier stressed 0.25- μ m algan/gan hemts. *IEEE Electron Device Letters*, 33(11) :1550–1552, Nov 2012.
- [9] M. Bouslama, A. A. Hajjar, S. Laurent, N. K. Subramani, J. Nallatamby, and M. Prigent. Low frequency drain noise characterization of different technologies of gan hemts :investigation of trapping mechanism. In *2018 International Workshop on*

- Integrated Nonlinear Microwave and Millimetre-wave Circuits (INMMIC)*, pages 1–3, July 2018.
- [10] S. Fleischer, P. T. Lai, and Y. C. Cheng. Simplified closed-form trap-assisted tunneling model applied to nitrided oxide dielectric capacitors. *Journal of Applied Physics*, 72(12) :5711–5715, 1992.
- [11] D. Shin, I. Yom, and D. Kim. X-band gan mmic power amplifier for the sspa of a sar system. In *2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, pages 93–95, Aug 2017.
- [12] H. Park, H. Nam, K. Choi, J. Kim, and Y. Kwon. A 6-18 ghz gan reactively matched distributed power amplifier using simplified bias network and reduced thermal coupling. *IEEE Transactions on Microwave Theory and Techniques*, 66(6) :2638–2648, June 2018.
- [13] G. Mouginot, Z. Ouarch, B. Lefebvre, S. Heckmann, J. Lhortolary, D. Baglieri, D. Floriot, M. Camiade, H. Blanck, M. Le Pipec, D. Mesnager, and P. Le Helleye. Three stage 6–18 ghz high gain and high power amplifier based on gan technology. In *2010 IEEE MTT-S International Microwave Symposium*, pages 1392–1395, May 2010.
- [14] Anthony Disserand. *Nouvelle architecture d’amplificateur de puissance fonctionnant en commutation*. PhD thesis, University of Limoges, 2017.
- [15] M. Levinstein, S. Rumyantsev, and M. Shur. NSM archive. <http://www.ioffe.ru/SVA/NSM/Semicond/>. Accessed : 2018-07-23.
- [16] Jacques Darricau. Radars : principes de base - elements constitutifs. *Techniques de l’ingénieur*, TE6650, 2012.
- [17] Theoretical limitations on the broadband matching of arbitrary impedances. *Journal of the Franklin Institute*, 249(1) :57 – 83, 1950.
- [18] E. Johnson. Physical limitations on frequency and power parameters of transistors. In *1958 IRE International Convention Record*, volume 13, pages 27–34, March 1965.
- [19] B. J. Baliga. Semiconductors for high-voltage, vertical channel field-effect transistors. *Journal of Applied Physics*, 53(3) :1759–1764, 1982.
- [20] Gilles Dambrine and Sylvain Bollaert. Composants à semiconducteurs pour hyperfréquences. *Techniques de l’ingénieur*, E2810, 2007.
- [21] Thomas E. Kazior. Beyond cmos : heterogeneous integration of iii–v devices, rf mems and other dissimilar materials/devices with si cmos to create intelligent microsystems. *Philosophical Transactions of the Royal Society of London A : Mathematical, Physical and Engineering Sciences*, 372(2012), 2014.

- [22] K. H. Lee, Y. Wang, B. Wang, L. Zhang, W. A. Sasangka, S. C. Goh, S. Bao, K. E. Lee, E. A. Fitzgerald, and C. S. Tan. Monolithic integration of si-cmos and iii-v-on-si through direct wafer bonding process. *IEEE Journal of the Electron Devices Society*, 6 :571–578, 2018.
- [23] T. Mimura. The early history of the high electron mobility transistor (hemt). *IEEE Transactions on Microwave Theory and Techniques*, 50(3) :780–782, March 2002.
- [24] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart, and N. T. Linh. Two-dimensional electron gas m.e.s.f.e.t. structure. *Electronics Letters*, 16(17) :667–668, August 1980.
- [25] K. Ankit, R. Kumar, O. Prakash, A. Sengupta, M. Guduri, and A. Islam. Study of al_{0.22}ga_{0.78}as/in_{0.18}ga_{0.82}as/gaas pHEMT with delta doping and lower al mole fraction. In *2017 International Conference on Multimedia, Signal Processing and Communication Technologies (IMPACT)*, pages 118–122, Nov 2017.
- [26] Nicolas VELLAS. *Etudes Expérimentales de Transistors HFET de la Filière Nitrure de Gallium pour des Applications de Puissance Hyperfréquences*. PhD thesis, University of Lille, 2003.
- [27] Linh TRINH XUAN. *Fonction normally-on, normally-off compatible de la technologie HEMT GaN pour des applications de puissance, hyperfréquences*. PhD thesis, University of Limoges, 2018.
- [28] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás, and J. Rebollo. A survey of wide bandgap power semiconductor devices. *IEEE Transactions on Power Electronics*, 29(5) :2155–2163, May 2014.
- [29] N. Sarazin, O. Jardel, E. Morvan, R. Aubry, M. Laurent, M. Magis, M. Tordjman, M. Alloui, O. Drisse, J. D. Persio, M. a. D. Forte Poisson, S. L. Delage, N. Vellas, C. Gaquiere, and D. Theron. X-band power characterisation of al_{in}n/al_ngan hemt grown on sic substrate. *Electronics Letters*, 43(23), Nov 2007.
- [30] S. Piotrowicz, R. Aubry, E. Chartier, C. Dua, P. Gamarra, J. C. Jacquet, O. Jardel, C. Lacam, N. Michel, M. Oualli, O. Patard, C. Potier, and S. L. Delage. Inal(ga)n/gan/sic devices delivering 5w/mm output power at 30 ghz. In *2016 11th European Microwave Integrated Circuits Conference (EuMIC)*, pages 69–72, Oct 2016.
- [31] H. Sun, A. R. Alt, H. Benedickter, E. Feltin, J. Carlin, M. Gonschorek, N. Grandjean, and C. R. Bolognesi. Low-noise microwave performance of 0.1 μ m gate al_{in}n/gan hemts on sic. *IEEE Microwave and Wireless Components Letters*, 20(8) :453–455, Aug 2010.
- [32] H. Sun, A. R. Alt, H. Benedickter, E. Feltin, J. Carlin, M. Gonschorek, N. R. Grandjean, and C. R. Bolognesi. 205-ghz (al,in)n/gan hemts. *IEEE Electron Device Letters*, 31(9) :957–959, Sept 2010.

- [33] A. Chini, F. Fantini, V. Di Lecce, M. Esposto, A. Stocco, N. Ronchi, F. Zanon, G. Meneghesso, and E. Zanoni. Correlation between dc and rf degradation due to deep levels in algan/gan hemts. In *2009 IEEE International Electron Devices Meeting (IEDM)*, pages 1–4, Dec 2009.
- [34] J. Würfl. European gan device technologies for microwave and power switching applications. In *2014 Asia-Pacific Microwave Conference*, pages 917–919, Nov 2014.
- [35] D. Floriot, V. Brunel, M. Camiade, C. Chang, B. Lambert, Z. Ouarch-Provost, H. Blanck, J. Grünenpütt, M. Hosch, H. Jung, J. Spletstößer, and U. Meiners. Gh25-10 : New qualified power gan hemt process from technology to product overview. In *2014 9th European Microwave Integrated Circuit Conference*, pages 225–228, Oct 2014.
- [36] C. t. Sah, R. N. Noyce, and W. Shockley. Carrier generation and recombination in p-n junctions and p-n junction characteristics. *Proceedings of the IRE*, 45(9) :1228–1243, Sept 1957.
- [37] A. Mitonneau, Mircea, A., Martin, G.M., and Pons, D. Electron and hole capture cross-sections at deep centers in gallium arsenide. *Rev. Phys. Appl. (Paris)*, 14(10) :853–861, 1979.
- [38] A. J. Valois and G. Y. Robinson. Characterization of deep levels in modulation-doped algaas/gaas fet's. *IEEE Electron Device Letters*, 4(10) :360–362, Oct 1983.
- [39] T. Kikkawa, M. Nagahara, N. Okamoto, Y. Tateno, Y. Yamaguchi, N. Hara, K. Joshin, and P. M. Asbeck. Surface-charge controlled algan/gan-power hfet without current collapse and gm dispersion. In *International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224)*, pages 25.4.1–25.4.4, Dec 2001.
- [40] S. Yoshida, Y. Sakaida, J. T. Asubar, H. Tokuda, and M. Kuzuhara. Current collapse in algan/gan hemts with a gan cap layer. In *2015 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, pages 48–49, June 2015.
- [41] B. M. Green, K. K. Chu, E. M. Chumbes, J. A. Smart, J. R. Shealy, and L. F. Eastman. The effect of surface passivation on the microwave characteristics of undoped algan/gan hemts. *IEEE Electron Device Letters*, 21(6) :268–270, June 2000.
- [42] Sejoon Oh, Han-Soo Jang, Chel-Jong Choi, and Jaehee Cho. Effects of surface passivation dielectrics on carrier transport in algan/gan heterostructure field-effect transistors. *AIP Advances*, 8(4) :045116, 2018.
- [43] S. Karmalkar, M. S. Shur, G. Simin, and M. A. Khan. Field-plate engineering for hfets. *IEEE Transactions on Electron Devices*, 52(12) :2534–2540, Dec 2005.
- [44] W. Saito, Y. Kakiuchi, T. Nitta, Y. Saito, T. Noda, H. Fujimoto, A. Yoshioka, T. Ohno, and M. Yamaguchi. Field-plate structure dependence of current collapse phenomena in high-voltage gan-hemts. *IEEE Electron Device Letters*, 31(7) :659–661, July 2010.

- [45] H. Huang, Y. C. Liang, G. S. Samudra, T. Chang, and C. Huang. Effects of gate field plates on the surface state related current collapse in algan/gan hemts. *IEEE Transactions on Power Electronics*, 29(5) :2164–2173, May 2014.
- [46] M. T. Hasan, T. Asano, H. Tokuda, and M. Kuzuhara. Current collapse suppression by gate field-plate in algan/gan hemts. *IEEE Electron Device Letters*, 34(11) :1379–1381, Nov 2013.
- [47] J. Dufraisse, G. Callet, O. Jardel, E. Chartier, N. Sarazin, S. Piotrowicz, M. Di Forte Poisson, P. Bouysse, R. Quéré, and S. L. Delage. Characterizations of inaln/aln/gan transistors for s-band applications. In *2011 6th European Microwave Integrated Circuit Conference*, pages 140–143, Oct 2011.
- [48] K. Horio, A. Wakabayashi, and T. Yamada. Analysis of surface-state effects on gate-lag phenomena in recessed-gate and buried-gate gaas mesfets. In *Proceedings of the 1999 7th International Symposium on the Physical and Failure Analysis of Integrated Circuits (Cat. No.99TH8394)*, pages 191–194, July 1999.
- [49] L. T. Xuan, R. Aubry, N. Michel, O. Patard, J. C. Jacquet, S. Piotrowicz, M. Oualli, P. Gamarra, C. Potier, D. Lancereau, S. L. Delage, S. Laurent, P. Bouysse, and R. Quéré. Normally-off algan/gan recessed mos-hemts on normally-on epitaxial structures for microwave power applications. In *2016 11th European Microwave Integrated Circuits Conference (EuMIC)*, pages 65–68, Oct 2016.
- [50] Marco Silvestri, Michael J. Uren, and Martin Kuball. Iron-induced deep-level acceptor center in gan/algan high electron mobility transistors : Energy level and cross section. *Applied Physics Letters*, 102(7) :073501, 2013.
- [51] M. Meneghini, I. Rossetto, D. Bisi, A. Stocco, A. Chini, A. Pantellini, C. Lanzieri, A. Nanni, G. Meneghesso, and E. Zanoni. Buffer traps in fe-doped algan/gan hemts : Investigation of the physical properties based on pulsed and transient measurements. *IEEE Transactions on Electron Devices*, 61(12) :4070–4077, Dec 2014.
- [52] N. K. Subramani, J. Couvidat, A. A. Hajjar, J. Nallatamby, R. Sommet, and R. Quéré. Identification of gan buffer traps in microwave power algan/gan hemts through low frequency s-parameters measurements and tcad-based physical device simulations. *IEEE Journal of the Electron Devices Society*, 5(3) :175–181, May 2017.
- [53] J. L. Lyons, A. Janotti, and C. G. Van de Walle. Effects of carbon on the electrical and optical properties of inn, gan, and aln. *Phys. Rev. B*, 89 :035204, Jan 2014.
- [54] D. S. Lee, X. Gao, S. Guo, and T. Palacios. Inaln/gan hemts with algan back barriers. *IEEE Electron Device Letters*, 32(5) :617–619, May 2011.

- [55] T. Palacios, A. Chakraborty, S. Keller, S. P. DenBaars, and U. K. Mishra. Algan/gan hemts with an ingan-based back-barrier. In *63rd Device Research Conference Digest, 2005. DRC '05.*, volume 1, pages 181–182, June 2005.
- [56] F. Medjdoub, E. Okada, B. Grimbert, D. Ducatteau, R. Silvestri, M. Meneghini, E. Zanoni, and G. Meneghesso. High performance high reliability aln/gan dhfet. In *2014 44th European Solid State Device Research Conference (ESSDERC)*, pages 146–149, Sept 2014.
- [57] R. Vetry, N. Q. Zhang, S. Keller, and U. K. Mishra. The impact of surface states on the dc and rf characteristics of algan/gan hfets. *IEEE Transactions on Electron Devices*, 48(3) :560–566, March 2001.
- [58] Nitin Goyal, Benjamin Iñiguez, and Tor A. Fjeldly. Analytical modeling of bare surface barrier height and charge density in algan/gan heterostructures. *Applied Physics Letters*, 101(10) :103505, 2012.
- [59] Nadim Ahmed and Aloke K. Dutta. Analytical models for the 2deg concentration and gate leakage current in algan/gan hemts. *Solid-State Electronics*, 132 :64 – 72, 2017.
- [60] A. Goswami, R. J. Trew, and G. L. Bilbro. Modeling of the gate leakage current in algan/gan hfets. *IEEE Transactions on Electron Devices*, 61(4) :1014–1021, April 2014.
- [61] P. B. Klein, S. C. Binari, K. Ikossi-Anastasiou, A. E. Wickenden, D. D. Koleske, R. L. Henry, and D. S. Katzer. Investigation of traps producing current collapse in algan/gan high electron mobility transistors. *Electronics Letters*, 37(10) :661–662, May 2001.
- [62] S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, Doewon Park, H. B. Dietrich, D. D. Koleske, A. E. Wickenden, and R. L. Henry. Trapping effects and microwave power performance in algan/gan hemts. *IEEE Transactions on Electron Devices*, 48(3) :465–471, Mar 2001.
- [63] M. Wang, D. Yan, C. Zhang, B. Xie, C. P. Wen, J. Wang, Y. Hao, W. Wu, and B. Shen. Investigation of surface- and buffer-induced current collapse in gan high-electron mobility transistors using a soft switched pulsed $i - v$ measurement. *IEEE Electron Device Letters*, 35(11) :1094–1096, Nov 2014.
- [64] G. Meneghesso, F. Zanon, M. J. Uren, and E. Zanoni. Anomalous kink effect in gan high electron mobility transistors. *IEEE Electron Device Letters*, 30(2) :100–102, Feb 2009.
- [65] B. L. Gregory, S. S. Naik, and W. G. Oldham. Neutron produced trapping centers in junction field effect transistors. *IEEE Transactions on Nuclear Science*, 18(6) :50–59, Dec 1971.
- [66] A. Paccagnella, C. Tedesco, C. Canali, A. Cetrionio, and C. Lanzieri. Frequency dispersion of transconductance : a tool to characterise deep levels in iii-v fets. *Electronics Letters*, 28(22) :2107–2109, Oct 1992.

- [67] R. Stoklas, D. Gregušová, J. Novák, A. Vescan, and P. Kordoš. Investigation of trapping effects in algan/gan/si field-effect transistors by frequency dependent capacitance and conductance analysis. *Applied Physics Letters*, 93(12) :124103, 2008.
- [68] W. Kruppa, S. C. Binari, and K. Doverspike. Low-frequency dispersion characteristics of gan hfets. *Electronics Letters*, 31(22) :1951–1952, Oct 1995.
- [69] S. S. H. Hsu and D. Pavlidis. Analysis and modeling of dispersion characteristics in algan/gan modfets. In *25th Annual Technical Digest 2003. IEEE Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2003.*, pages 119–122, Nov 2003.
- [70] W. Shockley and W. T. Read. Statistics of the recombinations of holes and electrons. *Phys. Rev.*, 87 :835–842, Sep 1952.
- [71] W. Shockley. Electrons, holes, and traps. *Proceedings of the IRE*, 46(6) :973–990, June 1958.
- [72] PAM. Dirac. On the theory of quantum mechanics. *Proceedings of the Royal Society of London A : Mathematical, Physical and Engineering Sciences*, 112(762) :661–677, 1926.
- [73] A. M. Witowski, K. Pakuła, J. M. Baranowski, M. L. Sadowski, and P. Wyder. Electron effective mass in hexagonal gan. *Applied Physics Letters*, 75(26) :4154–4155, 1999.
- [74] E. SUHIR and S.-M. KANG. Boltzmann–arrhenius–zhurkov (baz) model in physics-of-materials problems. *Modern Physics Letters B*, 27(13) :1330009, 2013.
- [75] Clément Potier. *Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l’amplification de puissance en gamme millimétrique*. PhD thesis, University of Limoges, 2016.
- [76] A. Santarelli, R. Cignani, G. P. Gibiino, D. Niessen, P. A. Traverso, C. Florian, D. M. M. . Schreurs, and F. Filicori. A double-pulse technique for the dynamic i/v characterization of gan fets. *IEEE Microwave and Wireless Components Letters*, 24(2) :132–134, Feb 2014.
- [77] D. V. Lang. Deep-level transient spectroscopy : A new method to characterize traps in semiconductors. *Journal of Applied Physics*, 45(7) :3023–3032, 1974.
- [78] T. Huang, O. Axelsson, J. Bergsten, M. Thorsell, and N. Rorsman. Achieving low-recovery time in algan/gan hemts with aln interlayer under low- noise amplifiers operation. *IEEE Electron Device Letters*, 38(7) :926–928, July 2017.
- [79] O. Axelsson, N. Billström, N. Rorsman, and M. Thorsell. Impact of trapping effects on the recovery time of gan based low noise amplifiers. *IEEE Microwave and Wireless Components Letters*, 26(1) :31–33, Jan 2016.
- [80] E. H. Nicollian and A. Goetzberger. The si-sio₂ interface – electrical properties as determined by the metal-insulator-silicon conductance technique. *The Bell System Technical Journal*, 46(6) :1055–1033, July 1967.

- [81] Clément Potier, Jean-Claude Jacquet, Christian Dua, Audrey Martin, Michel Campovecchio, Mourad Oualli, Olivier Jardel, Stéphane Piotrowicz, Sylvain Laurent, Raphaël Aubry, Olivier Patard, Piero Gamarra, Marie-Antoinette di Forte-Poisson, Sylvain L. Delage, and Raymond Quéré. Highlighting trapping phenomena in microwave gan hemts by low-frequency s-parameters. *International Journal of Microwave and Wireless Technologies*, 7(3-4) :287–296, 006 2015.
- [82] C. Potier, A. Martin, M. Campovecchio, S. Laurent, R. Quere, J. C. Jacquet, O. Jardel, S. Piotrowicz, and S. Delage. Trap characterization of microwave gan hemts based on frequency dispersion of the output-admittance. In *Microwave Conference (EuMC), 2014 44th European*, pages 1408–1411, Oct 2014.
- [83] Nathalie Malbert, Nathalie Labat, Arnaud Curutchet, Frédéric Verdier, and Andre Touboul. Bias dependence of LF drain and gate noise in GaN HEMT s. In *Fluctuation and Noise Conference*, page 1, Spain, 2004.
- [84] J. R. Kirtley, T. N. Theis, P. M. Mooney, and S. L. Wright. Noise spectroscopy of deep level (dx) centers in gaas/alxga1-xas heterostructures. *Journal of Applied Physics*, 63(5) :1541–1548, 1988.
- [85] Yi-Jen Chan and D. Pavlidis. Trap studies in gainp/gaas and algaas/gaas hemt’s by means of low-frequency noise and transconductance dispersion characterizations. *IEEE Transactions on Electron Devices*, 41(5) :637–642, May 1994.
- [86] N. K. Subramani, J. Couvidat, A. A. Hajjar, J. Nallatamby, and R. Quéré. Low-frequency drain noise characterization and tcad physical simulations of gan hemts : Identification and analysis of physical location of traps. *IEEE Electron Device Letters*, 39(1) :107–110, Jan 2018.
- [87] Agostino Benvegnù. *Trapping and Reliability Investigations in GaN-based HEMTs*. PhD thesis, University of Limoges, 2016.
- [88] A. Benvegnù, S. Laurent, M. Meneghini, D. Barataud, G. Meneghesso, E. Zanoni, and R. Quere. On-wafer single-pulse thermal load–pull rf characterization of trapping phenomena in algan/gan hemts. *IEEE Transactions on Microwave Theory and Techniques*, 64(3) :767–775, March 2016.
- [89] A. Benvegnù, D. Bisi, S. Laurent, M. Meneghini, G. Meneghesso, J. Muraro, D. Barataud, E. Zanoni, and R. Quere. Trap investigation under class ab operation in algan/gan hemts based on output-admittance frequency dispersion, pulsed and transient measurements. In *2015 10th European Microwave Integrated Circuits Conference (EuMIC)*, pages 136–139, Sept 2015.
- [90] S. Fakhfakh, A. Martin, M. Campovecchio, G. Neveux, and D. Barataud. On-wafer time-domain and low-frequency measurements of gan hemts for accurate trap modeling

- and its impact on pulse-to-pulse stability. In *2018 International Workshop on Integrated Nonlinear Microwave and Millimetre-wave Circuits (INMMIC)*, pages 1–3, July 2018.
- [91] P. B. Klein, S. C. Binari, J. A. Freitas, and A. E. Wickenden. Photoionization spectroscopy of traps in gan metal-semiconductor field-effect transistors. *Journal of Applied Physics*, 88(5) :2843–2852, 2000.
- [92] D. Bisi, M. Meneghini, C. de Santi, A. Chini, M. Dammann, P. Brückner, M. Mikulla, G. Meneghesso, and E. Zanoni. Deep-level characterization in gan hemts-part i : Advantages and limitations of drain current transient measurements. *IEEE Transactions on Electron Devices*, 60(10) :3166–3175, Oct 2013.
- [93] M. Ľapajna, R. J. T. Simms, M. Faqir, M. Kuball, Y. Pei, and U. K. Mishra. Identification of electronic traps in algan/gan hemts using uv light-assisted trapping analysis. In *2010 IEEE International Reliability Physics Symposium*, pages 152–155, May 2010.
- [94] C. Miccoli, V. C. Martino, S. Reina, and S. Rinaudo. Trapping and thermal effects analysis for algan/gan hemts by means of tcad simulations. *IEEE Electron Device Letters*, 34(9) :1121–1123, Sept 2013.
- [95] J. Hu, S. Stoffels, S. Lenci, G. Groeseneken, and S. Decoutere. On the identification of buffer trapping for bias-dependent dynamic c_{on} of algan/gan schottky barrier diode with algan :c back barrier. *IEEE Electron Device Letters*, 37(3) :310–313, March 2016.
- [96] G. Verzellesi, M. Faqir, A. Chini, F. Fantini, G. Meneghesso, E. Zanoni, F. Danesin, F. Zanon, F. Rampazzos, F. A. Marino, A. Cavallini, and A. Castaldini. False surface-trap signatures induced by buffer traps in algan-gan hemts. In *2009 IEEE International Reliability Physics Symposium*, pages 732–735, April 2009.
- [97] G. Longobardi, F. Udrea, S. Sque, G. A. M. Hurkx, J. Croon, E. Napoli, and J. Šonský. Impact of donor traps on the 2deg and electrical behavior of algan/gan misfets. *IEEE Electron Device Letters*, 35(1) :27–29, Jan 2014.
- [98] J. G. Tartarin, G. Astre, S. Karboyan, T. Noutsas, and B. Lambert. Generation-recombination traps in algan/gan hemt analyzed by time-domain and frequency-domain measurements : Impact of htrb stress on short term and long term memory effects. In *2013 IEEE International Wireless Symposium (IWS)*, pages 1–4, April 2013.
- [99] Y. Ando, I. Takenaka, H. Takahashi, and C. Sasaoka. Correlation between epitaxial layer quality and drain current stability of gan/algan/gan heterostructure field-effect transistors. *IEEE Transactions on Electron Devices*, 62(5) :1440–1447, May 2015.
- [100] S. Mehari, A. Gavrilov, M. Eizenberg, and D. Ritter. Identification of energy and spatial location of electron traps in algan/gan hfet structures. *IEEE Transactions on Electron Devices*, 64(4) :1642–1646, April 2017.

- [101] Hideki Hasegawa, Takanori Inagaki, Shinya Ootomo, and Tamotsu Hashizume. Mechanisms of current collapse and gate leakage currents in algan/gan heterostructure field effect transistors. *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 21(4) :1844–1855, 2003.
- [102] Oleg Mitrofanov and Michael Manfra. Poole-frenkel electron emission from the traps in algan/gan transistors. *Journal of Applied Physics*, 95(11) :6414–6419, 2004.
- [103] Guillaume Mougnot. *Potentialités des transistors HEMTs AlGaIn-GaN pour l'amplification large bande de fréquence : Effets limitatifs et modélisation*. PhD thesis, University of Limoges, 2011.
- [104] J. C. Nallatamby, R. Sommet, O. Jardel, S. Laurent, M. Prigent, and R. Quere. A microwave modeling oxymoron? : Low-frequency measurements for microwave device modeling. *IEEE Microwave Magazine*, 15(4) :92–107, June 2014.
- [105] O. Jardel, S. Laurent, T. Reveyrand, R. Quéré, P. Nakkala, A. Martin, S. Piotrowicz, M. Campovecchio, and S. L. Delage. Modeling of trap induced dispersion of large signal dynamic characteristics of gan hemts. In *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)*, pages 1–4, June 2013.
- [106] S. Turuvekere, N. Karumuri, A. A. Rahman, A. Bhattacharya, A. DasGupta, and N. DasGupta. Gate leakage mechanisms in algan/gan and alinn/gan hemts : Comparison and modeling. *IEEE Transactions on Electron Devices*, 60(10) :3157–3165, Oct 2013.
- [107] H. R. Mojaver and P. Valizadeh. Modeling the reverse gate-leakage current in gan-channel hfets : Realistic assessment of fowler–nordheim and leakage at mesa sidewalls. *IEEE Transactions on Electron Devices*, 65(8) :3156–3162, Aug 2018.
- [108] Dawei Yan, Hai Lu, Dongsheng Cao, Dunjun Chen, Rong Zhang, and Youdou Zheng. On the reverse gate leakage current of algan/gan high electron mobility transistors. *Applied Physics Letters*, 97(15) :153503, 2010.
- [109] S. Ghosh, A. Dasgupta, S. Khandelwal, S. Agnihotri, and Y. S. Chauhan. Surface-potential-based compact modeling of gate current in algan/gan hemts. *IEEE Transactions on Electron Devices*, 62(2) :443–448, Feb 2015.
- [110] R. Swain, K. Jena, and T. R. Lenka. Modeling of forward gate leakage current in moshemt using trap-assisted tunneling and poole–frenkel emission. *IEEE Transactions on Electron Devices*, 63(6) :2346–2352, June 2016.
- [111] O. Jardel, F. De Groote, T. Reveyrand, J. C. Jacquet, C. Charbonniaud, J. P. Teyssier, D. Floriot, and R. Quere. An electrothermal model for algan/gan power hemts

- including trapping effects to improve large-signal simulation results on high vswr. *IEEE Transactions on Microwave Theory and Techniques*, 55(12) :2660–2669, Dec 2007.
- [112] Olivier Jardel. *Contribution à la Modélisation des Transistors pour l'Amplification de Puissance aux Fréquences Microondes. Développement d'un nouveau Modèle Electrothermique de HEMT AlGa_N/Ga_N incluant les Effets de Pièges*. PhD thesis, University of Limoges, 2008.
- [113] A. Benvegnù, O. Jardel, S. Laurent, D. Barataud, M. Meneghini, E. Zanoni, and R. Quere. Non-linear electro-thermal algan/gan model including large-signal dynamic thermal-trapping effects. In *2016 IEEE MTT-S International Microwave Symposium (IMS)*, pages 1–4, May 2016.
- [114] D. M. Snider. A theoretical analysis and experimental confirmation of the optimally loaded and overdriven rf power amplifier. *IEEE Transactions on Electron Devices*, 14(12) :851–857, Dec 1967.
- [115] F. H. Raab. Class-f power amplifiers with maximally flat waveforms. *IEEE Transactions on Microwave Theory and Techniques*, 45(11) :2007–2012, Nov 1997.
- [116] Y. Xu, J. Wang, and X. Zhu. Analysis and implementation of inverse class-f power amplifier for 3.5ghz transmitters. In *2010 Asia-Pacific Microwave Conference*, pages 410–413, Dec 2010.
- [117] Kenle Chen and Dimitrios Peroulis. Design of broadband highly efficient harmonic-tuned power amplifier using in-band continuous class-f-1/f mode transferring. *IEEE Transactions on Microwave Theory and Techniques*, 60 :4107–4116, 2012.
- [118] Steve C. Cripps. *RF Power Amplifiers for Wireless Communications, Second Edition (Artech House Microwave Library (Hardcover))*. Artech House, Inc., Norwood, MA, USA, 2006.
- [119] P. E. de Falco, P. Pednekar, K. Mimis, S. B. Smida, G. Watkins, K. Morris, and T. W. Barton. Load modulation of harmonically tuned amplifiers and application to outphasing systems. *IEEE Transactions on Microwave Theory and Techniques*, 65(10) :3596–3612, Oct 2017.
- [120] Pierre MEDREL. *Amplification de puissance linéaire à haut rendement en technologie GaN intégrant un contrôle de polarisation de grille*. PhD thesis, University of Limoges, 2014.
- [121] Y. S. Noh and I. B. Yom. A 16 watt x-band gan high power amplifier mmic for phased array applications. In *2016 IEEE International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, volume 2, pages 979–981, June 2016.

- [122] D. Resca, A. Raffo, S. Di Falco, F. Scappaviva, V. Vadalà, and G. Vannini. X-band gan power amplifier for future generation sar systems. *IEEE Microwave and Wireless Components Letters*, 24(4) :266–268, April 2014.
- [123] F. V. Raay, R. Quay, R. Kiefer, W. Bronner, M. Seelmann-Eggebert, M. Schlechtweg, M. Mikulla, and G. Weimann. X-band high-power microstrip algan/gan hemt amplifier mmics. In *2006 IEEE MTT-S International Microwave Symposium Digest*, pages 1368–1371, June 2006.
- [124] C. F. Campbell. Gan non-uniform distributed power amplifier mmics — the highs and lows (invited). In *2017 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, pages 1–4, Oct 2017.
- [125] Jin-Cheol Jeong, Dong-Pil Jang, Dong-Hwan Shin, In-Bok Yom, Jae-Duk Kim, Wang-Youg Lee, and Chang-Hoon Lee. Algan/gan based ultra-wideband 15-w high-power amplifier with improved return loss. *ETRI Journal*, 38(5) :972–980.
- [126] J. Kim, H. Park, S. Lee, and Y. Kwon. 6–18 ghz, 8.1 w size-efficient gan distributed amplifier mmic. *Electronics Letters*, 52(8) :622–624, 2016.
- [127] Dong-Hwan Shin, In-Bok Yom, and Dong-Wook Kim. 6-ghz-to-18-ghz algan/gan cascaded nonuniform distributed power amplifier mmic using load modulation of increased series gate capacitance. *ETRI Journal*, 39(5) :737–745.
- [128] N. Deltimple, V. Dupuy, E. Kerhervé, B. Mallet-Guy, C. Auric, J. Plaze, Y. Mancuso, and P. Garrec. A compact fully integrated gan high power amplifier for c-x band applications. In *2014 International Radar Conference*, pages 1–4, Oct 2014.
- [129] G. C. Barisich, E. Gebara, H. Gu, C. Storey, P. Aflaki, and J. Papapolymerou. Reactively matched 3-stage c-x-ku band gan mmic power amplifier. In *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, pages 93–96, Oct 2017.
- [130] W. H. Doherty. A new high efficiency power amplifier for modulated waves. *Proceedings of the Institute of Radio Engineers*, 24(9) :1163–1182, Sept 1936.
- [131] L. C. N. de Vreede, R. Gajadharsing, and W. C. E. Neo. On the bandwidth performance of doherty amplifiers. In *2013 IEEE International Wireless Symposium (IWS)*, pages 1–4, April 2013.
- [132] D. J. Shepphard, J. Powell, and S. C. Cripps. An efficient broadband reconfigurable power amplifier using active load modulation. *IEEE Microwave and Wireless Components Letters*, 26(6) :443–445, June 2016.
- [133] J. R. Powell, D. J. Shepphard, R. Quaglia, and S. C. Cripps. A power reconfigurable high-efficiency x -band power amplifier mmic using the load modulated balanced amplifier technique. *IEEE Microwave and Wireless Components Letters*, 28(6) :527–529, June 2018.

- [134] T. Cappello, P. H. Pednekar, C. Florian, Z. Popovic, and T. W. Barton. Supply modulation of a broadband load modulated balanced amplifier. In *2018 IEEE/MTT-S International Microwave Symposium - IMS*, pages 304–307, June 2018.
- [135] M. Litchfield, T. Reveyrand, and Z. Popović. Load modulation measurements of x-band outphasing power amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 63(12) :4119–4129, Dec 2015.
- [136] R. A. Beltran and F. H. Raab. Simplified analysis and design of outphasing transmitters using class-e power amplifiers. In *2015 IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications (PAWR)*, pages 1–3, Jan 2015.
- [137] T. Barton. Not just a phase : Outphasing power amplifiers. *IEEE Microwave Magazine*, 17(2) :18–31, Feb 2016.
- [138] N. Ayllon, J. Collantes, A. Anakabe, I. Lizarraga, G. Soubercaze-Pun, and S. Forestier. Systematic approach to the stabilization of multitransistor circuits. *IEEE Transactions on Microwave Theory and Techniques*, 59(8) :2073–2082, Aug 2011.
- [139] S. Dellier, L. Mori, J. M. Collantes, A. Anakabe, and C. Campbell. Analysis of odd-mode parametric instabilities at fundamental frequency in an x-band mmic power amplifier. In *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, pages 1–4, Oct 2016.
- [140] Victor Dupuy. *Conception et réalisation d’amplificateurs de puissance MMIC large-bande haut rendement en technologie GaN*. PhD thesis, University of Bordeaux, 2014.
- [141] W. Hallberg, M. Özen, D. Kuylenstierna, K. Buisman, and C. Fager. A generalized 3-db wilkinson power divider/combiner with complex terminations. *IEEE Transactions on Microwave Theory and Techniques*, 66(10) :4497–4506, Oct 2018.
- [142] Fabien Mesquita. *Conception d’amplificateurs de puissance en technologie CMOS pour le standard LTE*. PhD thesis, University of Bordeaux, 2018.
- [143] Bernardo LEITE. *Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies*. PhD thesis, University of Bordeaux, 2011.
- [144] M. Caruso, A. Bevilacqua, and A. Neviani. An x -band lumped-element wilkinson combiner with embedded impedance transformation. *IEEE Microwave and Wireless Components Letters*, 24(10) :689–691, Oct 2014.
- [145] E. Kerherve, N. Demirel, A. Ghiotto, A. Larie, N. Deltimple, J. Pham, Y. Mancuso, and P. Garrec. A broadband 4.5–15.5-ghz sigc power amplifier with 25.5-dbm peak saturated output power and 28.7 *IEEE Transactions on Microwave Theory and Techniques*, 63(5) :1621–1632, May 2015.