

Université de Limoges - Faculté des Sciences et Techniques
Ecole Doctorale n° 610 : Sciences et Ingénierie pour l'Information
XLIM - CCSNL, UMR CNRS 7252

Thèse

Pour obtenir le grade de

Docteur de l'Université de Limoges

Spécialité : "Electronique des Hautes Fréquences, Photonique et Systèmes"

Présentée et soutenue publiquement par

Wafa KHELIFI

le 17 Décembre 2018

Modélisation multi-ports des transistors hyperfréquences

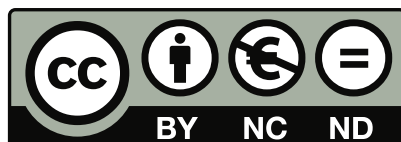
Directeurs de thèse : **Julien LINTIGNAT et Bernard JARRY**

Jury :

Alain PEDEN	Professeur, IMT Atlantique - Lab-STICC BREST	Président
Eric KERHERVÉ	Professeur, ENSEIRB-MATMECA - IMS BORDEAUX	Rapporteur
Bernard JARRY	Professeur, Université de Limoges	Examineur
Dominique LANGREZ	Ingénieur, Thales Alenia Space TOULOUSE	Examineur
Luc LAPIERRE	Ingénieur, CNES Toulouse	Examineur
Julien LINTIGNAT	Maître de conférences, Université de Limoges	Examineur
Tibault REVEYRAND	Ingénieur, CNRS XLIM	Examineur
Raymond QUÉRÉ	Professeur, Université de Limoges	Examineur



Droits d'auteurs / Copyright



Cette création est mise à disposition selon le Contrat : « Paternité - Pas d'Utilisation Commerciale - Pas de modification 3.0 France » disponible en ligne à l'adresse suivante : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>.

This work is licensed under the Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 3.0 France License. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

*Être libre,
ce n'est pas pouvoir ce que l'on veut,
mais c'est vouloir ce que l'on peut.*
Jean-Paul Sartre

Remerciements

Ces travaux de thèse se sont déroulés dans le cadre d'une collaboration scientifique entre l'institut de recherche XLIM de l'université de Limoges, le CNES et la société THALES ALENIA SPACE.

Je tiens à remercier Monsieur Dominique Baillargeat de m'avoir permis d'effectuer ces travaux au sein du laboratoire XLIM.

J'adresse un grand merci à Monsieur Raymond Quéré, à Monsieur Bernard Jarry, professeurs à l'Université de Limoges et Monsieur Julien Lintignat, maître de conférences à l'Université de Limoges, pour m'avoir proposé ce sujet de thèse ainsi que pour leur soutien, leur aide, leur disponibilité et pour les discussions scientifiques que nous avons pu avoir.

Je témoigne ma profonde reconnaissance aux membres de jury, et tout particulièrement à Monsieur Eric Kerhervé, Professeur à ENSEIRB-MATMECA et à Monsieur Alain Peden, professeur à IMT Atlantique Brest, pour avoir accepté de rapporter ce travail.

J'exprime également ma gratitude à Monsieur Dominique Langrez, Ingénieur à THALES ALENIA SPACE Toulouse, Monsieur Luc Lapierre, ingénieur au CNES Toulouse et à Monsieur Tibault Reveyrand, Ingénieur CNRS XLIM d'avoir pris part au jury de cette thèse.

Enfin, je remercie très sincèrement tous ceux qui ont permis de faire progresser cette étude, dont l'aide m'a été précieuse.

Table des matières

Liste des figures	x
Liste des tableaux	xv
Introduction générale	1
Chapitre I Les différents modèles de transistors pour la conception des LNA	3
Introduction	4
Généralités sur les amplificateurs faible bruit (LNA)	4
Introduction	4
Les Critères de conception d'un LNA	4
Gain en puissance	5
Stabilité électrique	5
Adaptation entré/sortie	6
Le facteur de bruit	6
La linéarité	6
Différentes Topologies d'amplificateur faible bruit	7
Topologie à résistance série de shunt	8
Topologie source commune à dégénération inductive	8
Topologie cascode à dégénérescence inductive	9
Limitation de la modélisation classique 2-accès de transistors	9
Les principaux transistors micro-ondes	10
Les transistors bipolaires à hétérojonction	10
Principe de fonctionnement de HBT	10
Les transistors HBT à base de Si et SiGe	11
Les transistors HBT à base d' InP	12
Les transistors HBT à base d'AsGa	12
Les transistors HBT à base de matériau grand gap	13
Les transistors a effet de champ	13
Généralités	13
Les transistors MESFETs	14
Le modèle de Schottky :	14
Principe de fonctionnement	15
Structure d'un MESFET	15
Les transistors MESFET en SiC	17

Les transistors MESFET en AsGa	17
Les transistors de HEMT et pHEMTs	18
Principe de l'hétérojonction	18
Structure d'un HEMT en AsGa	20
Structure d'un HEMTs GaN	20
Structure d'un pHEMT	21
Conclusion sur les différentes structures	21
Les différents modèles de transistors	22
La modélisation physique	22
Le modèle phénoménologique	23
Modèle 3-accès	24
Modèle 2-accès (Source commune)	25
Modèle 2-accès (Grille commune)	25
Le modèle comportemental	26
Le modèle distribué	26
Conclusion	27
Chapitre II Méthodes d'épluchage pour la caractérisation RF sous pointes d'un circuit MMIC	29
Introduction	30
État de l'art des principales méthodes d'épluchage	30
Épluchage Open Short Load	30
Épluchage TRL	32
Épluchage Open	33
Épluchage Open Short	34
Épluchage Pad-Short Pad-Open Short Open	35
Épluchage Pad Open Short	36
Épluchage Open Short Line	38
Conclusion sur les méthodes d'épluchage	38
Amélioration de la méthode Pad Open Short	39
Cas des standards non idéaux	39
Extraction des paramètres S des standards	41
Extraction des paramètres S des standards par simulation électromagnétique	41
Extraction des paramètres S des standards par la méthode TRL	42
Mise en application de la méthode d'épluchage Pad Open Short modifiée à des composants multi-ports	44
Motif de test	44
Résultats par simulation électromagnétique	46
Mesures et validation	48
Conclusion	53
Chapitre III Modélisation électrique 3-accès d'un transistor	55
Introduction	56

Caractérisation de transistor en 3-accès	56
Le transistor pHEMT/AsGa 8*60 μm	56
Banc de caractérisation I(V) en impulsion	57
Banc de caractérisation des paramètres S/I(V) continu	58
Épluchage 3-accès du transistor	59
Principe et modélisation linéaire et non linéaire des transistors	60
Principe de la modélisation linéaire	60
Méthode de détermination des éléments extrinsèques/intrinsèques	61
Détermination des éléments extrinsèques et intrinsèques du transistor 8*60 μm pHEMT/AsGa	63
Détermination des éléments intrinsèques du transistor 8*60 μm pHEMT/AsGa à froid	63
Principe de la modélisation non linéaire	63
Modélisation du source de courant avec le modèle de Tajima modifié et le modèle de diodes idéales	65
La source de courant I_{ds} :	65
Les diodes d'entrées I_{GD} et I_{GS} :	66
Paramètres de la source de courant et des diodes du transistor pHEMT/AsGa 8*60 :	66
Modélisation de la source de courant avec le modèle de GAMM	68
Paramètres de la source de courant et des diodes non idéales du transistor pHEMT AsGa 8*60	70
Extraction et modélisation des capacités non linéaires C_{gs} et C_{gd}	71
Validation du modèle en régime petit signal	74
Conclusion	78
Chapitre IV Modélisation non linéaire distribué du transistor 4-accès	81
Introduction	82
Caractérisation du transistor en 4-accès	82
Motif de mesure	82
Banc de caractérisation des paramètres S/I(V) continue 4-accès	83
Épluchage 4-accès	83
Principe de modélisation linéaire distribué en 4-accès	84
Topologie du modèle intrinsèque proposé pour deux doigts de grille	85
Simulations électromagnétique des éléments extrinsèques	86
Modèle électrique équivalent à la métallisation grille/drain	86
Modèle électrique équivalent à la métallisation du source	88
Modèle électrique équivalent au VIA hole	88
Modèle électrique équivalent à l'accès inter-transistor intrinsèque	89
Validation du modèle linéaire	90
Extraction et validation du modèle non linéaire 4-accès	95
Détermination du modèle non linéaire	95
Extraction des paramètres de source de courant avec le modèle de Tajima modifié	95
Modélisation des capacités non linéaires C_{gs} et C_{gd}	96
Comparaison mesure/simulation des paramètres [S]	97
Validation du modèle sur d'autres structures	98
Configuration 3-accès	98

Configuration classique 2-accès	100
Configuration 2-accès dotée d'un unique VIA hole	102
Conclusion	104
Conclusion générale	106
References	109

Table des figures

I.1	Coefficient de réflexion dans un circuit.	5
I.2	(a) Point de compression à 1 dB, (b) Point d'interception d'ordre 3.	7
I.3	Architecture d'un LNA à résistance série de shunt.	8
I.4	Architecture d'un LNA a source dégénérative.	8
I.5	Architecture d'un LNA cascode à dégénérescence inductive.	9
I.6	Vue en coupe d'un transistor bipolaire à hétérojonction.	10
I.7	diagramme de bande d'un transistor bipolaire à hétérojonction en conditions normales de fonctionnement.	11
I.8	Barreau semi-conducteur.	13
I.9	Jonction de schotcky , $V_e=0$	14
I.10	Jonction Schottky (a) polarisation inverse, (b) polarisation directe.	15
I.11	Vue en coupe de la structure du MESFET et positionnement des sources de polarisation.	16
I.12	Réseau de caractéristiques de sortie d'un MESFET.	17
I.13	Deux matériaux avant contact.	19
I.14	Diagramme de bandes après contact et la formation d'un puits de potentiel.	19
I.15	Structure de principe d'un HEMT AsGa.	20
I.16	Structure de principe d'un HEMT GaN.	21
I.17	Structure de principe d'un PHEMT classique.	22
I.18	Origine physique des éléments du modèle électrique petit signal du HEMT.	24
I.19	Modèle petit signal 3-accès.	25
I.20	Procédure de modélisation distribué.	27
II.1	Kit d'épluchage SOL 1-port.	31
II.2	schéma équivalent d'un modèle d'erreur 1-port.	31
II.3	(a) Structure d'épluchage Open, (b) Schéma électrique équivalent de l'épluchage par la méthode "Open" pour un dispositif sous test 2-accès.	33
II.4	Schéma électrique équivalent de l'épluchage par la méthode "Open-Short" pour un dispositif sous test 2-accès.	34
II.5	Ensemble des standards d'épluchage "Open Short".	35
II.6	Schéma électrique équivalent de l'épluchage Pad-Open Pad-Short Open Short.	36
II.7	Procédure d'épluchage Pad-Short Pad-Open Open Short.	37
II.8	Schéma électrique équivalent de l'épluchage par la méthode " Pad Open Short"	37
II.9	Design d'un kit d'épluchage POS 2-ports.	40
II.10	Amplitude et phase du coefficient de réflexion (S_{11}) de 3 standards.	40
II.11	Représentation des ports extrinsèques et intrinsèques du standard "Open" en fonction de la méthode d'extraction utilisée.	42
II.12	Design d'un kit TRL on wafer.	43

II.13	Comparaison entre les paramètres [S] du VIA obtenus avec des simulations EM et les paramètres obtenus avec un épluchage TRL.	44
II.14	Schéma électrique équivalent de l'épluchage par la méthode "Pad Open Short" pour un dispositif sous test 3-ports. Les termes de couplage sont illustrés en gris.	45
II.15	Design du composant sous test étudié.	45
II.16	Les paramètres S simulé du composant étudié.	46
II.17	Design d'un kit d'épluchage POS 3-accès.	47
II.18	Comparaison des résultats des 2 méthodes d'épluchage par épluchage "Pad Open Short" et simulation du composant.	48
II.19	Simulations et mesures des coefficients de réflexion de motif de test (Pad + Ligne) en "Short".	49
II.20	Simulations et mesures des coefficients de réflexion de motif de test (Pad + Ligne) en "Open".	49
II.21	Simulations et mesures des coefficients de réflexion de motif de test "Pad". . .	49
II.22	Les coefficient de réflexion intrinsèques du standards Short 3-accès.	50
II.23	Les coefficient de réflexion intrinsèques du standards Open 3-accès.	50
II.24	Simulations et mesures des coefficients de transmission du composant étudié	51
II.25	Résultats de mesure d'épluchage obtenus en utilisant la nouvelle méthode "Pad-Open-Short" comparés avec ceux de la simulation électromagnétique. .	52
III.1	Photographie du transistor de développement de grille $8*60\mu\text{m}$	56
III.2	Principe de mesure I(V) en impulsion [52].	57
III.3	Organisation du banc de mesure I[V]en impulsion.	58
III.4	Schéma du banc de mesure 3-accès complet.	59
III.5	Vue en perspective du motif de test.	60
III.6	Modèle équivalent petit signal d'un transistor 3-accès.	61
III.7	Détermination de la matrice admittance intrinsèque du transistor.	62
III.8	Comparaison mesures/modèle des paramètres [S] pour le point de polarisation $V_{gs0} = -0,5\text{V}$, $V_{ds0} = 2\text{V}$	64
III.9	Modèle non linéaire convectif de transistor HEMTs.	65
III.10	Comparaison mesures/modèle du réseau de sortie $I_{ds}=f(V_{ds})$ en impulsions au point de polarisation de repos $V_{gs0} = -0,5\text{V}$, $V_{ds0} = 2\text{V}$, (V_{gs} est de $-1,5\text{V}$ à $+0,2\text{V}$ avec un pas de $0,1\text{V}$)	67
III.11	Comparaison mesures/modèle du réseau d'entrée $I_{gs}=f(V_{ds})$ au point de polarisation de repos $V_{gs0} = -0,5\text{V}$, $V_{ds0} = 2\text{V}$, (V_{gs} est de -1V à $+0,9\text{V}$ avec un pas de $0,1\text{V}$)	68
III.12	Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ en utilisant le modèle GAMM (V_{gs} est de -1V à $+0,3\text{V}$ avec un pas de $0,1\text{V}$).	71
III.13	Cycle de charge choisi dans le réseau $I_{ds}(V_{ds})$, l'extraction des capacités non linéaires est faite seulement le long de de cycle de charge.	72
III.14	Comparaison mesures/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge	73
III.15	Repérage des points M1, M2, M3 retenus pour la comparaison mesure/modèle.	74
III.16	Comparaison mesures/modèle des paramètres [S] au point de polarisation M1, transistor ON ($V_{ds} = 1\text{V}$, $I_{ds} = 114\text{mA}$).	75

III.17	Comparaison mesures/modèle des paramètres [S] au point de polarisation M2, transistor ON pour ($V_{ds} = 2V$, $I_{ds} = 36mA$).	76
III.18	Comparaison mesures/modèle des paramètres [S] au point de polarisation M3, transistor OFF pour $V_{ds} = 2,8V$, $I_{ds} = 0mA$).	77
III.19	Comparaison mesures-modèle des paramètres [S] pour le point de polarisation $V_{gs} = 0V$, $V_{ds} = 0V$	78
IV.1	Structure du motif de mesure.	83
IV.2	Banc de mesure en 4-accès.	84
IV.3	Kit d'épluchage 4-accès.	84
IV.4	Décomposition de la structure du transistor.	85
IV.5	Modèle équivalent 4-accès pour 2 doigt de grille.	86
IV.6	Comparaison des paramètres intrinsèques de la structure grille drain.	87
IV.7	Circuit électrique équivalent à la métallisation grille/drain.	87
IV.8	Comparaison simulation EM/modèle électrique.	88
IV.9	Circuit électrique équivalent à la métallisation d'accès de la source.	89
IV.10	Comparaison simulation EM/modèle des paramètres [S].	89
IV.11	Circuit électrique équivalent d'un via-hole 1port.	89
IV.12	Comparaison simulation EM/modèle sur le paramètre S_{11} pour un VIA-hole un port.	90
IV.13	Circuit électrique équivalent à la métallisation entre deux transistor élémentaire.	90
IV.14	Circuit électrique équivalent à la métallisation entre deux transistor élémentaire.	91
IV.15	Comparaison entre les paramètres S_{11} , S_{22} , S_{33} , S_{44} obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$	92
IV.16	Comparaison entre les différents paramètres [S] de transmission obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$	93
IV.17	Comparaison entre les différents paramètres [S] de transmission obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$	94
IV.18	Comparaison mesure/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de $-1,5 V$ à $+0,2 V$ avec un pas de $0,1 V$).	95
IV.19	Comparaison mesure/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge.	96
IV.20	Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2V$, $I_{ds} = 22mA$	97
IV.21	Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 1V$, $I_{ds} = 137mA$	97
IV.22	Layout des différentes configurations réalisées pour vérifier la topologie du modèle distribué.	98
IV.23	Comparaison du courant de sortie $I_{ds}(V_{ds})$ des structures 3 et 4-accès.	99
IV.24	Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2$, $I_{ds} = 22mA$	99
IV.25	Comparaison mesure/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de $-1,5 V$ à $+0,2 V$ avec un pas de $0,1 V$).	100
IV.26	Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2$, $I_{ds} = 22mA$	101

IV.27	Comparaison du courant de sortie $I_{ds}(V_{ds})$ de la structure classique avec la structure 4-accès.	101
IV.28	Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de -1,5 V à +0,2 V avec un pas de 0,1 V).	102
IV.29	Comparaison des paramètres [S] de la structure classique avec la structure ne comportant qu'un VIA hole.	102
IV.30	Comparaison du courant de sortie $I_{ds}(V_{ds})$ de la structure classique avec la structure dotée d'un unique VIA hole.	103
IV.31	Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2$, $I_{ds} = 22\text{mA}$	104
IV.32	Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de -1,5 V à +0,2 V avec un pas de 0,1 V).	104

Liste des tableaux

II.1	Dimensions des lignes utilisées.	46
II.2	Caractéristiques des capacités utilisées.	46
III.1	Valeurs des paramètres extrinsèques extraits au point de polarisation de repos $V_{gs0} = -0,5$ V, $V_{ds0} = 2$ V, $I_{ds0} = 36$ mA du transistor $8*60 \mu\text{m}$ pHEMT/AsGa. . .	63
III.2	Valeurs des paramètres intrinsèques extraits au point de polarisation de repos du transistor $8*60 \mu\text{m}$	63
III.3	Valeurs des paramètres extrinsèques extraits à froid du transistor $8*60 \mu\text{m}$. . .	64
III.4	Valeurs des paramètres intrinsèques extraits à froid du transistor $8*60 \mu\text{m}$. . .	64
III.5	Valeur des paramètres de la source de courant du transistor, en utilisant le modèle de Tajima modifié.	67
III.6	Valeurs des paramètres des diodes idéales du transistor.	68
III.7	Valeurs des paramètres de la source de courant principale avec le modèle du GAMM.	71
III.8	Valeurs des paramètres des capacités non linéaire C_{gs} et C_{gd}	73
IV.1	Valeurs des éléments localisés correspondant à la métallisation grille drain et à leur couplage.	88
IV.2	Valeurs des éléments localisés équivalent à la métallisation de la source.	88
IV.3	Valeurs des éléments localisés pour 1 VIA-hole un port.	89
IV.4	Valeurs des éléments localisés.	90
IV.5	Valeurs des paramètres intrinsèques du modèle élémentaire.	91
IV.6	Valeur des paramètres de la source de courant d'un modèle élémentaire, en utilisant le modèle de Tajima modifié.	96
IV.7	Valeurs des paramètres des capacités non linéaires C_{gs} et C_{gd}	96
IV.8	Valeurs des paramètres du VIA hole.	100

Introduction générale

Le développement des systèmes de communications modernes, aussi bien civils que militaires, impose l'obtention des bonnes performances (puissance, consommation, rendement, linéarité ...) pour des fréquences toujours plus élevées. Cette évolution apparaît pour les concepteurs comme une nouvelle contrainte sur les étages d'amplification et donc plus particulièrement sur les transistors qui les constituent et les modèles utilisés lors de la conception.

La conception de systèmes d'amplification performants satisfaisant à des cahiers des charges toujours plus contraints, accentue la nécessité de pouvoir disposer de modèles électriques fiables et précis. C'est dans ce contexte que s'inscrivent les travaux de cette thèse dédiés à la modélisation multi-ports des transistors hyperfréquences.

Les modèles électriques originaux de transistors multi-ports développés dans le cadre de cette thèse ont pour objectif de réduire le temps des phases de conception et de fiabiliser le prototypage des fonctions micro-ondes utilisant ces composants. Les travaux présentés ici sont donc dédiés à l'amélioration de la modélisation électrique des transistors axée, comme leur application, sur la bande Ku. Ils ont été développés dans le cadre d'une collaboration scientifique et contractuelle avec le CNES et la société THALES ALENIA SPACE.

La première partie rappellera les démarches et les critères de conception d'un amplificateur faible bruit ainsi que les différentes topologies associées afin de souligner les avantages des modèles de transistors multi-ports. Nous présenterons ensuite les principes de fonctionnement des transistors micro-ondes, ainsi que leurs structures physiques. Enfin les différentes approches de modélisation de transistor relevées dans la littérature seront étudiées.

Dans une deuxième partie, après un état de l'art des méthodes d'épluchage, nous proposerons une extension de la méthode d'épluchage (Pad Open Short) à des dispositifs multi-ports en prenant en compte les imperfections introduites par des standards non-idéaux. Un

prototype passif 3-accès expérimental permet ensuite de valider la précision de cette nouvelle procédure et des modèles développés.

Le troisième chapitre est consacré au développement d'un modèle électrique non linéaire de transistor 3-accès pour la CAO des circuits. Deux banc de caractérisation spécifiques ont été mis au point pour mesurer les paramètres $[S]$ et les caractéristiques $I(V)$ en configuration 3-accès. Ces dernières permettent d'une part d'évaluer les performances électriques du transistor et d'autre part d'obtenir toutes les informations utiles pour sa modélisation.

Dans le quatrième et le dernier chapitre, nous proposons de façon détaillée un nouveau modèle de transistor 4-accès en étudiant l'impact du phénomène de propagation entre les deux accès de source sur le comportement des transistors en hautes fréquences et la nécessité d'utiliser une méthode de modélisation innovante par rapport à la méthode classique.

Nous terminons ce manuscrit par une conclusion générale et la proposition de perspectives à ces travaux.

Chapitre I

Les différents modèles de transistors pour la conception des LNA

Sommaire

1	Introduction	4
2	Généralités sur les amplificateurs faible bruit (LNA)	4
2.1	Introduction	4
2.2	Les Critères de conception d'un LNA	4
2.3	Différentes Topologies d'amplificateur faible bruit	7
2.4	Limitation de la modélisation classique 2-accès de transistors	9
3	Les principaux transistors micro-ondes	10
3.1	Les transistors bipolaires à hétérojonction	10
3.2	Les transistors a effet de champ	13
3.3	Conclusion sur les différentes structures	21
4	Les différents modèles de transistors	22
4.1	La modélisation physique	22
4.2	Le modèle phénoménologique	23
4.3	Le modèle comportemental	26
4.4	Le modèle distribué	26
5	Conclusion	27

1 Introduction

La demande croissante de circuits actifs de plus en plus performants, c'est-à-dire fonctionnant à des fréquences toujours plus hautes et capables de délivrer des performances toujours plus élevées, a favorisé la création des modèle de transistors multi-ports.

Dans ce chapitre, nous montrerons d'abord l'intérêt de la modélisation multi-ports pour des applications faible bruit (LNA). Ensuite, nous présenterons un rappel sur les méthodes de conception des LNA et les différentes architectures existant afin d'avoir une vue globale de leurs performances. Nous présenterons également les deux grandes familles de transistors en faisant une description physique et géométrique des transistors micro-ondes les plus utilisés actuellement. Nous clôturons ce chapitre par une revue des principales méthodes de modélisation de transistors. En effet, il existe plusieurs approches de modélisation telles que la modélisation physique, la modélisation à l'aide des éléments électriques localisés et la modélisation distribuée.

Cet état de l'art sur les différents approches de modélisation, nous permet enfin de choisir les deux méthodes de modélisation de transistor qui seront étudiées dans les chapitres suivants.

2 Généralités sur les amplificateurs faible bruit (LNA)

2.1 Introduction

L'amplificateur faible bruit (LNA ou "low noise amplifiers") est l'élément essentiel de la partie réception des systèmes de communications. Placé au début de la chaîne de réception, il a pour objectif d'amplifier les signaux de très faible puissance en provenance d'une antenne avec pour critère l'optimisation du bruit et des performances linéaires et non linéaires. La topologie choisie pour la conception d'un LNA dépend des spécifications avec notamment le choix de l'architecture et celui du nombre de ses étages. Pour cela, nous allons évoquer dans cette section les critères de conception d'un LNA ainsi que les principales topologies existant afin de déterminer l'influence de la configuration de transistor sur ses performances.

2.2 Les Critères de conception d'un LNA

Plusieurs critères permettent d'apprécier les performances d'un amplificateur faible bruit. Les plus importants sont généralement : le gain, le facteur de bruit, l'adaptation entrée/sortie, la stabilité et la linéarité.

2.2.1 Gain en puissance

Le gain en puissance d'un amplificateur est le rapport entre la puissance de sortie et d'entrée (équation I.1).

$$G_p = \frac{\text{Puissance fournie à la charge}}{\text{Puissance en entrée du circuit}} \quad (\text{I.1})$$

La configuration la plus utilisée pour un circuit 2-accès à savoir LNA consiste à connecter un générateur à l'accès 1 (Γ_1) et une charge à l'accès 2 (Γ_2), comme le montre la figure I.1. De ce fait le gain en puissance s'exprime en fonction des paramètres S réflexion de la manière suivante :

$$= \frac{|S_{21}|^2(1 - |\Gamma_2|^2)}{|1 - S_{22}\Gamma_2|^2|1 - \Gamma_{e1}|^2} \quad (\text{I.2})$$

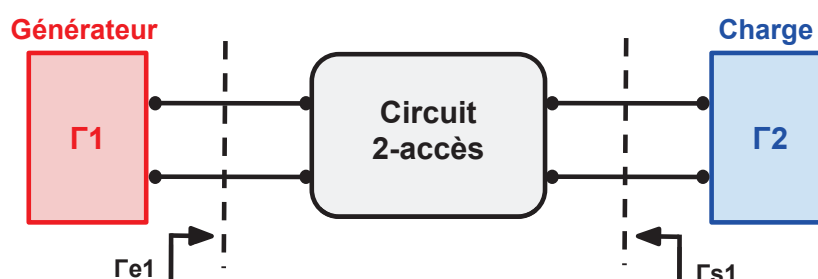


FIGURE I.1 – Coefficient de réflexion dans un circuit.

2.2.2 Stabilité électrique

La stabilité abordée dans ce paragraphe est analysée par rapport aux impédances de charge en entrée et en sortie de l'amplificateur. Un circuit est inconditionnellement stable si pour toutes les combinaisons de charge et de source nous avons, $|\Gamma_{e1}| < 1$ et $|\Gamma_{s1}| < 1$.

Les conditions à satisfaire pour avoir la stabilité inconditionnellement sont :

$$|\Delta_s| < 1 \quad \text{et} \quad K > 1 \quad (\text{I.3})$$

avec

$$|K| = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_s|^2}{2|S_{12}S_{21}|} \quad (\text{I.4})$$

$$|\Delta_s| = |S_{11}S_{22} - S_{12}S_{21}| \quad (\text{I.5})$$

K est le facteur de stabilité [1]

2.2.3 Adaptation entré/sortie

Pour adapter l'amplificateur à des impédances de charge la méthode la plus classique consiste à utiliser en entrée et en sortie du transistor des quadripoles d'adaptation constitués d'éléments passifs, d'inductances, de capacités et de lignes de transmission. La manière avec laquelle ces éléments sont disposés permet de réaliser la transformation d'impédances souhaitée. Cette transformation d'impédance est une étape primordiale lors de la conception du LNA afin de garantir le meilleur compromis possible entre le gain et le facteur de bruit [2]

2.2.4 Le facteur de bruit

Le facteur de bruit (F) est le paramètre qui quantifie la dégradation du rapport signal sur bruit entre l'entrée et la sortie de l'amplificateur (équation I.6) :

$$F = \frac{S_1/N_1}{S_2/N_2} \quad \text{Pour laquelle la température du générateur est } T_0 = 290K \quad (I.6)$$

Le rapport signal sur bruit étant souvent exprimé en décibels, le quotient F prend alors la forme d'une différence de valeurs en dB et est appelé Noise Figure :

$$NF = 10 \log_{10} F \quad (I.7)$$

Dans le cas l'un LNA à plusieurs étages le noise figure (NF) s'écrit par la formule de Friis :

$$NF_T(dB) = 1 + \sum_{k=0}^n \frac{F_k - 1}{\prod_{i=1}^{k-1} G_i} \quad (I.8)$$

Où G_i est le gain en puissance disponible de l'étage i.

2.2.5 La linéarité

La linéarité d'un LNA est évaluée par les deux paramètres suivant :

- Le point de compression : La courbe de gain du LNA présente une zone linéaire puis une zone de saturation. La figure I.2.a illustre une courbe typique d'un amplificateur pour lequel le gain varie de 1dB entre la zone linéaire extrapolée et la zone de saturation. Ce point est appelée le point de compression. Pour un LNA à n étages, le point de compression peut s'exprimer à l'aide de l'équation suivante [3] :

$$\frac{1}{P_{s1dB}} = \frac{1}{P_{s1dB,n}} + \frac{1}{P_{s1dB,(n-1)}G_n} + \frac{1}{P_{s1dB,(n-2)}G_{(n-1)}} + \dots \quad (I.9)$$

- Point d'interception d'ordre 3 :

La linéarité d'un amplificateur est également évaluée à partir du point d'interception du troisième ordre lorsque le circuit est excité par un signal composé de deux fréquences f_1 et f_2 proches de la fréquence de fonctionnement. Ce signal permet de caractériser les phénomènes d'intermodulation. La figure I.2.b représente la variation de la puissance de la porteuse et de la raie d'intermodulation en fonction de la puissance d'entrée. L'intersection entre ces deux courbes correspond au point d'interception d'ordre 3. Ce dernier peut également être identifié à partir de mesure de puissance par la relation suivante :

$$OIP3 = \frac{|Ps(f1) - Ps(2f1 - f2)|}{2} + Pe \quad (I.10)$$

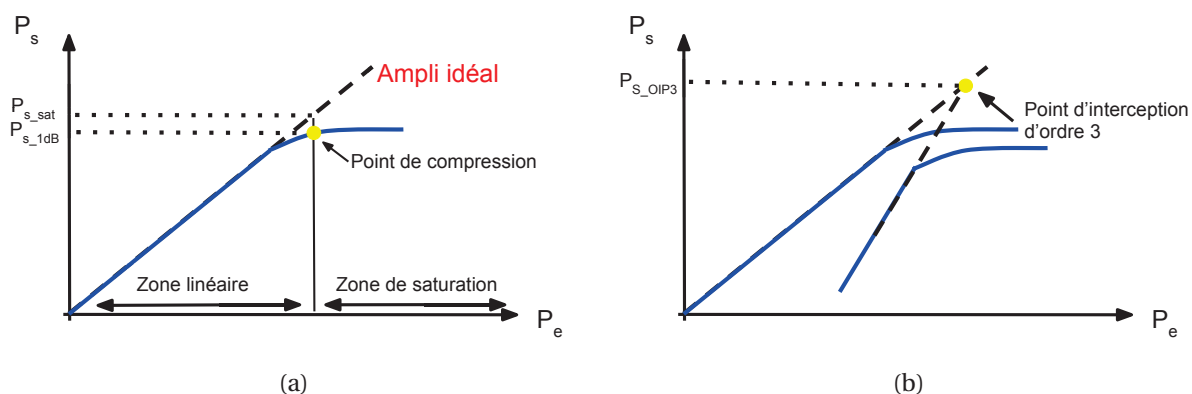


FIGURE I.2 – (a) Point de compression à 1 dB, (b) Point d'interception d'ordre 3.

2.3 Différentes Topologies d'amplificateur faible bruit

Actuellement, il existe plusieurs architectures d'amplificateurs qui permettent de satisfaire aux spécifications soumises au concepteur. Parmi ces architectures, nous allons détailler différentes topologies pour lesquelles l'impact de la configuration du transistor, 2 ou 3-accès sur les performances du circuit final est important.

- La topologie à résistance série de shunt.
- La topologie source commune à dégénération inductive.
- La topologie cascode à dégénérescence inductive.

La configuration 3-accès étant caractérisée par le fait que l'accès de source pour le transistor FET ou l'accès d'émetteur pour le transistor bipolaire n'est pas relié directement à la masse.

2.3.1 Topologie à résistance série de shunt

La figure I.3 illustre l'architecture d'un LNA à résistance série shunt [4]. Dans cette architecture, le transistor est monté en configuration 3-accès c'est à dire avec l'accès de source du transistor connecté à une résistance R nommé $R3$. Cette dernière permet d'obtenir une adaptation d'impédance à 50Ω en entrée.

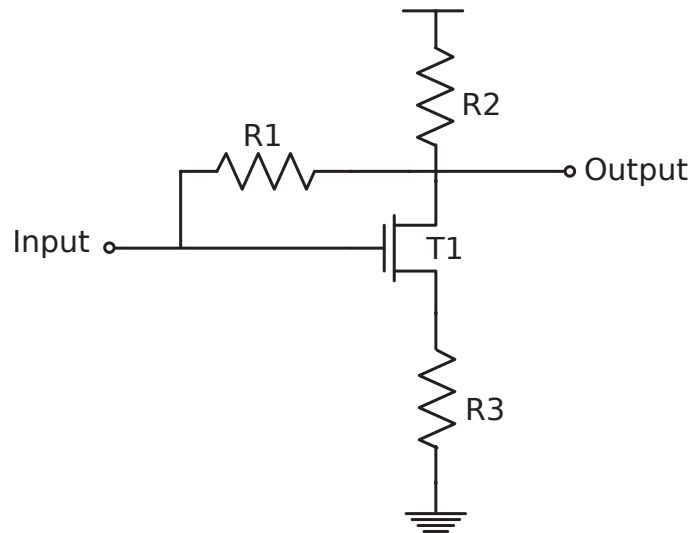


FIGURE I.3 – Architecture d'un LNA à résistance série de shunt.

2.3.2 Topologie source commune à dégenération inductive

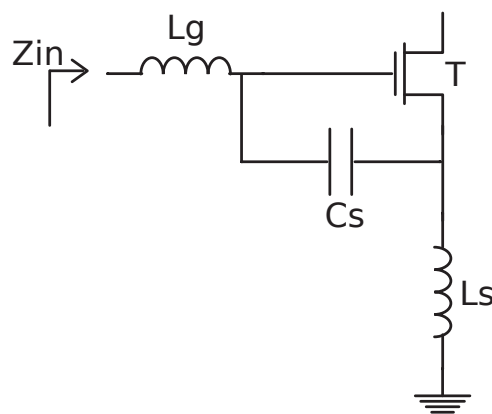


FIGURE I.4 – Architecture d'un LNA a source dégénérative.

L'architecture d'un LNA à source inductive dégénérative tel que présentée dans la figure I.4 [4] est parmi les architectures les plus utilisées et est caractérisée par un bon niveau de gain et une faible consommation [5], [6], [7], [8]. L'intérêt de cette architecture est de faciliter l'adaptation simultanée en gain et en bruit du transistor et d'améliorer sa stabilité

2.3.3 Topologie cascode à dégénérescence inductive

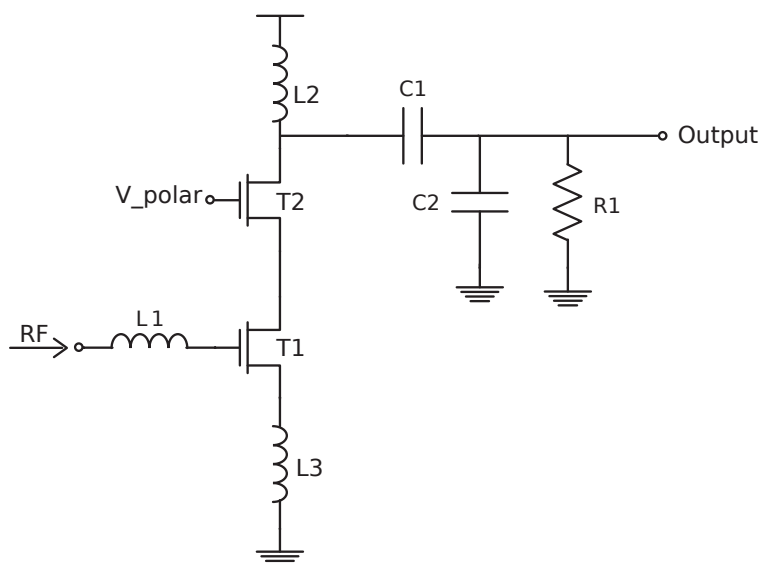


FIGURE I.5 – Architecture d'un LNA cascode à dégénérescence inductive.

Le circuit présenté sur la figure I.5 est un exemple d'architecture d'amplificateur faible bruit comportant deux transistors. Cette architecture est de type amplificateur cascode à dégénérescence inductive [9], [10].

Le premier transistor T1 de cette architecture assure les fonctions d'amplification du signal, de réduction du bruit et d'adaptation à la source d'entrée [4]. Le deuxième transistor T2 permet d'obtenir l'isolation entre l'entrée et la sortie et d'améliorer la stabilité. L'isolation permet d'assurer l'unilatéralité de l'amplificateur. Les réseaux d'adaptation d'entrée et de sortie peuvent alors être conçus et optimisés séparément.

2.4 Limitation de la modélisation classique 2-accès de transistors

Dans les paragraphes précédents, nous avons présenté différentes topologies de LNA dans lesquelles les transistors sont utilisés en configuration 3-accès. Nous avons vu que l'utilisation de ces transistors permet de satisfaire plusieurs des critères d'un LNA : Adaptation en puissance au gain maximum, adaptation simultanée en gain et en bruit, isolation entrée/sortie et gain élevé. Cependant, cette amélioration reste très limitée en fréquence. En effet, lorsque la fréquence d'utilisation est élevée, les résultats de mesure tel que le gain ou l'adaptation entrée/sortie diffèrent de ceux de la simulation. Les concepteurs ont prouvé que ce problème provient de la modélisation de transistors en 3-accès. En effet, ces modèles sont souvent extraits à partir de mesures 2-accès, extraction qui n'est pas toujours satisfaisante, surtout quand on monte en fréquence. L'extraction du modèle est faite en considérant le transistor comme un quadripôle avec un accès d'entrée (la grille dans le cas des transistors

à effet de champ et la base pour le transistor bipolaire) et un accès de sortie (drain pour les transistors à effet de champ et collecteur pour les transistors bipolaire). Les accès source et émetteur sont reliés à la masse. Bien que cette extraction permettent de connaître le comportement du transistor 2-accès, elle ne permet pas d'avoir le comportement complet du transistor en 3-accès. En effet, la connaissance du comportement des transistors est cruciale pour une conception fiable des circuits analogique et pour l'analyse de leurs performances en hautes fréquences.

3 Les principaux transistors micro-ondes

3.1 Les transistors bipolaires à hétérojonction

3.1.1 Principe de fonctionnement de HBT

Historiquement les transistors bipolaires à hétérojonction (noté HBT pour heterojunction Bipolar transistor) sont des composants actifs inventés en 1951, grâce aux travaux de Shockley [11]. L'amélioration des performances par rapport au transistors bipolaires à homojonction (BJT) provient de l'utilisation d'une hétérojonction. La figure I.6 illustre la structure d'un HBT. Le choix de l'hétérojonction (grand gap pour l'émetteur, petit gap pour la base) entraîne un décalage dans la bande de valence ΔE_v , d'où l'augmentation de la barrière entre émetteur et base (Figure I.7).

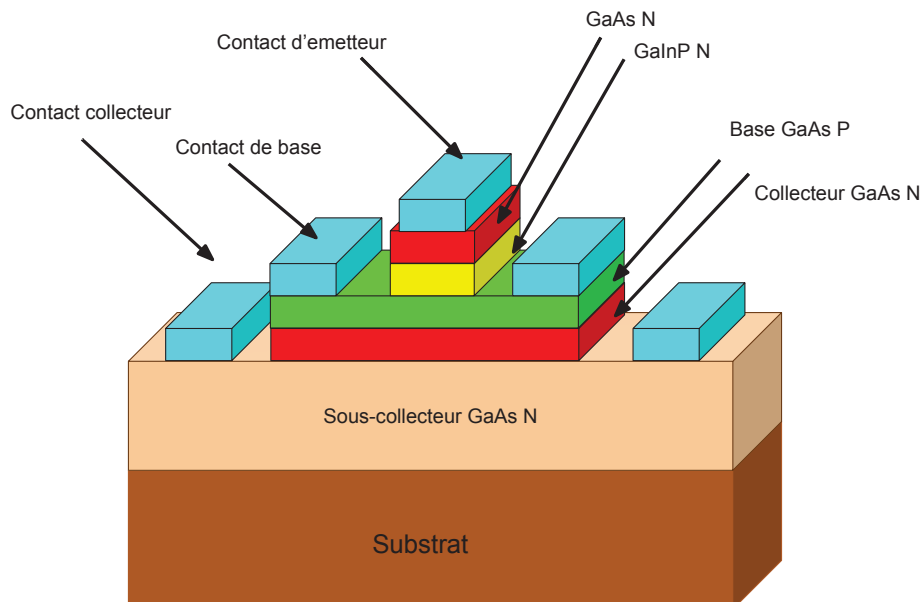


FIGURE I.6 – Vue en coupe d'un transistor bipolaire à hétérojonction.

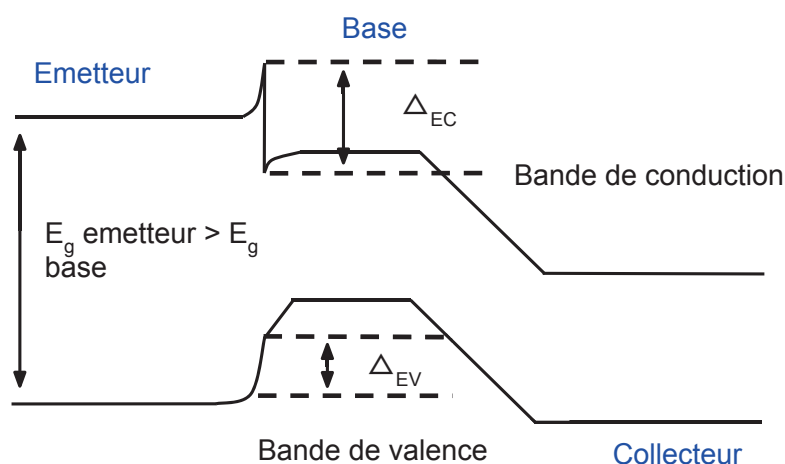


FIGURE I.7 – diagramme de bande d'un transistor bipolaire à hétérojonction en conditions normales de fonctionnement.

Cette particularité offre un dopage de base plus important que le dopage de l'émetteur ce qui permet de réaliser des épaisseurs de base très faibles et donc des fréquences de transition f_t et f_{max} élevées.

$$f_t = \frac{1}{1\pi\tau_{ec}} \quad (\text{I.11})$$

Où τ_{ec} est le temps de transit des électrons à travers l'ensemble de la structure.

$$f_{max} = \sqrt{\frac{f_t}{8\pi C_{bc} R_B}} \quad (\text{I.12})$$

Avec R_B résistance de base et C_{bc} capacité base collecteur.

L'augmentation du dopage de base permet de diminuer la résistance d'accès de base intrinsèque R_B et donc la fréquence de fonctionnement maximale et le gain en puissance pour les hautes fréquences. L'obtention d'une puissance élevée est obtenue par optimisation de l'épaisseur du collecteur et de son dopage. Ces deux paramètres permettent d'établir un compromis entre le courant maximal limité par l'effet Kirk et la tension maximale limitée par l'avalanche [12].

3.1.2 Les transistors HBT à base de Si et SiGe

Les transistors HBT silicium sont très répandus dans le domaine de micro-ondes grâce à leur technologie mature. Mais leur faible fréquence de fonctionnement les limitent à des applications de quelques GHz.

Au cours des dernières années, les applications sur substrat silicium ont vu leur fréquence d'utilisation augmenter par l'introduction de germanium dans la base. Cela a par

conséquence de permettre aux transistors de fonctionner en bandes X et Ku [13]. Cette montée en fréquence s'effectue néanmoins aux dépens des tensions de claquage (donc de la puissance), car la largeur de bande interdite du $Si_{(1-x)}Ge_x$ décroît en fonction de la quantité x de germanium.

3.1.3 Les transistors HBT à base d' InP

Grâce à la grande mobilité des électrons, les semi-conducteurs à base d'InP ont l'avantage de pouvoir fonctionner à des fréquences très élevées. On distingue deux catégories de transistors HBT sur substrat InP : Les transistors à simple hétérojonction SHBTs et les transistors à double hétérojonction DHBTs. Pour les SHBTs, le collecteur est constitué du même matériau que la base. Cependant la faible largeur de bande interdite a pour conséquence une tension de claquage B_{vce0} de l'ordre de quelques Volts pour un matériau comme l'InGaAs. Les transistors à double hétérojonction ont été mis au point pour augmenter les tensions de claquage [14].

3.1.4 Les transistors HBT à base d'AsGa

L'intérêt majeur des circuits AsGa par rapport aux circuits silicium est la grande mobilité des électrons. Pour des champs électriques faibles, la mobilité des électrons est quatre fois supérieure à celle de silicium. Ceci permet d'avoir des faibles valeurs de résistances d'accès au transistor. De plus, le substrat AsGa est un semi isolant qui facilite la réalisation des lignes, diminue les pertes et donc améliore le facteur de bruit.

Étant donné que la fréquence et la tension de claquage sont liées aux épaisseurs des différents couches, les performances en fréquences des transistors HBTs AlGaAs/GaAs sont assez limitées. On trouve dans la littérature des transistors bipolaire à hétérojonction AlGaAs/GaAs qui, pour une épaisseur de collecteur de $9 \mu\text{m}$, ont des tensions d'avalanche élevées ($B_{V_{vce0}}=106\text{V}$) avec des fréquences f_t et f_{max} respectivement de 1.16GHz et 3GHz [15].

Ericsson a présenté ainsi des HBTs avec de fortes tensions de claquage pour des applications à 2GHz. Les tensions de claquage respectives (B_{vcb0}) (B_{vce0}) de ces composants sont 51V à 53V et 34V à 36V. La structure du collecteur pour atteindre ces valeurs présente une épaisseur de $2.5 \mu\text{m}$. Les performances indiquées restent assez modestes avec une puissance de 1.02W et un gain de 9.1dB à 2GHz pour un transistor comportant 12 doigts, soit un développement de $1440 \mu\text{m}^2$ [16].

L'incorporation d'Indium dans le matériau AsGa augmente la mobilité des porteurs. Cependant, cette proportion d'Indium doit être contenue, car elle favorise le déclenchement des phénomènes d'avalanche et/ou d'ionisation par impact. C'est pour cela qu'il est compliqué de concevoir des transistors de puissance ayant des fréquences de fonctionnement

élevées avec cette technologie.

3.1.5 Les transistors HBT à base de matériau grand gap

Les transistors à grand gap, c'est à dire réalisés avec des matériaux comme le Nitrure de Gallium (GaN) ou le carbure de silicium (SiC), ont des propriétés physiques qui leurs permettent de supporter de fortes tensions et par conséquent de fortes puissance de sortie. Les performances de ce type de transistors HBTs combinent des fréquences de fonctionnement importantes avec une puissance de sortie élevée [17]. Cependant, les travaux réalisés sur ces transistors sont relativement rares, on préfère étudier des topologies plus simples et tout aussi performantes.

3.2 Les transistors a effet de champ

3.2.1 Généralités

Le transistor à effet de champ (FET ou TEC) a été proposé par W.Schockely en 1952 [18]. Contrairement au transistor bipolaire où les électrons et les trous sont impliqués dans le fonctionnement, le FET est un composant unipolaire car seuls les porteurs (électrons) interviennent dans le fonctionnement. En outre, les électrons sont responsables de l'effet transistor car ils possèdent les meilleures propriétés de transport : Vitesse, mobilité et coefficient de diffusion. L'effet fondamental du TEC est de contrôler le courant dans un barreau semi-conducteur à l'aide de deux tensions.

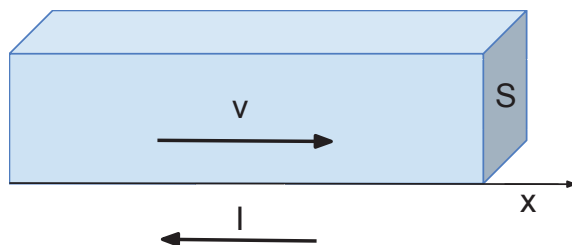


FIGURE I.8 – Barreau semi-conducteur.

Dans le cas d'un barreau semi-conducteur avec une densité volumique des électrons n (figure I.8), le courant I s'écrit sous la forme suivante :

$$I = q \cdot n(x) \cdot v(x) \cdot S(x) \quad (\text{I.13})$$

avec v est la vitesse des électrons qui dépend de la tension appliquée entre le drain et la source. Le principe de l'effet de champ est de moduler la conductivité entre le drain et la source à l'aide du champs électrique transverse. Il y a deux manières permettant d'avoir ce phénomène :

- Modulation de la section de barreau S, c'est le cas des MESFET (jonction METal Semi-conducteur).
- Modulation de la densité de porteurs n, c'est le principe des HEMT et des PHEMT.

3.2.2 Les transistors MESFETs

Le MESFET est un transistor à effet de champ à grille métallique Schottky.

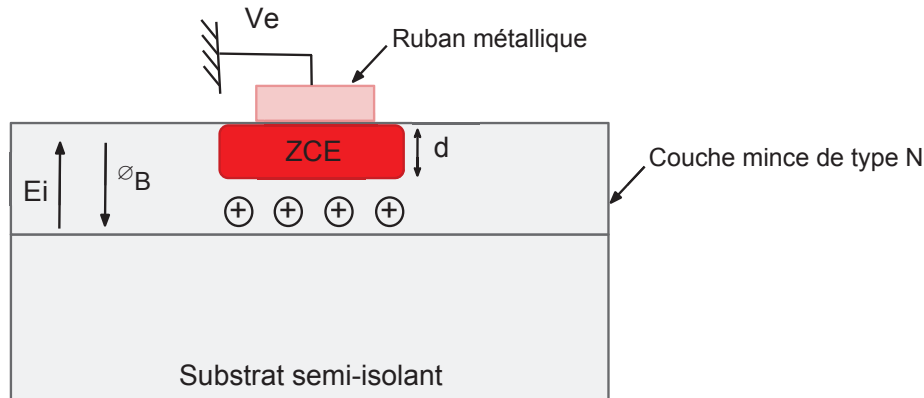


FIGURE I.9 – Jonction de schotcky , $V_e=0$

3.2.2.1 Le modèle de Schottky : Quand un métal est mis en contact avec un substrat semi-conducteur de type N, les électrons du semi-conducteur diffusent vers le métal et entraînent des modifications énergétiques dans chacun des matériaux. Au niveau du métal, il apparaît une accumulation d'électrons à l'interface. Au niveau du SC, une zone dépeuplée se crée sur une profondeur d. Cette zone s'appelle Zone de Charge d'Espace (ZCE). La perte des électrons dans le SC provoque la naissance d'un champ électrique E_i comme illustré dans la figure I.9. Un état d'équilibre s'établit, c'est-à-dire que les électrons ne peuvent plus diffuser vers le métal quand le potentiel V_i (terme intégral de E_i) atteint la valeur de la hauteur de barrière ϕ_B .

Lorsqu'on polarise la structure métal semi-conducteur par une tension V_e négative (figure I.10.a), le champ électrique total ($E_e + E_i$) augmente ce qui entraîne la reprise du phénomène de diffusion sur une profondeur ($d' > d$). De ce fait, un nouvel équilibre s'établit lorsque V_i atteint la valeur $(-V_e) + \phi_B$.

Si V_e est positive (figure I.10.b), le champ électrique total diminue et tend vers une valeur nulle lorsque V_e est égal à ϕ_B . L'épaisseur d se réduit et les électrons diffusent du SC vers le métal donnant naissance à un courant I :

$$I = I_0 \cdot \left(\exp\left(\frac{V_j}{n \cdot V_0}\right) - 1 \right) \quad (I.14)$$

où :

- V_j est la tension intrinsèque aux bornes de la Jonction
- V_j est la tension thermodynamique (26 mV à 295 °K)
- $V_j n$ est le facteur de qualité de la diode, compris entre 1 et 2.

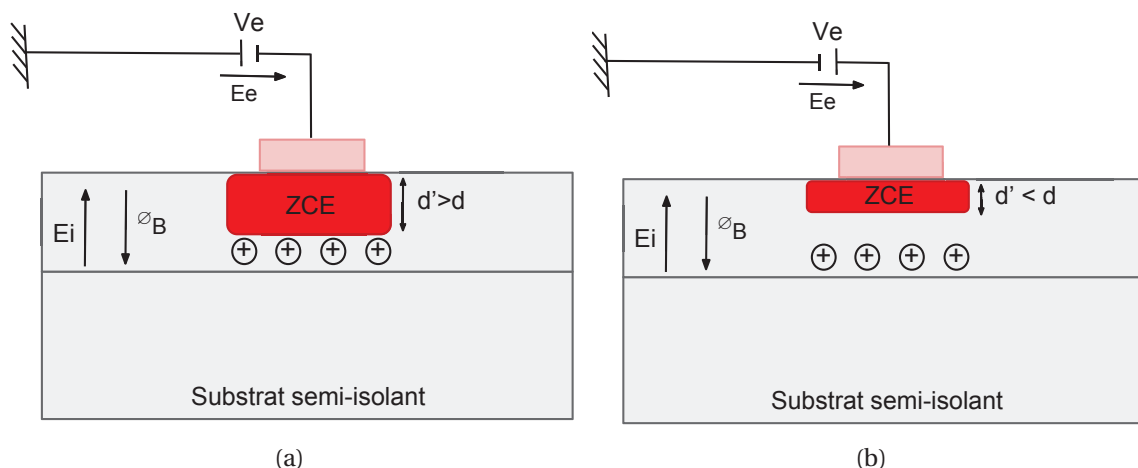


FIGURE I.10 – Jonction Schottky (a) polarisation inverse, (b) polarisation directe.

3.2.2.2 Principe de fonctionnement

Un MESFET est basé sur la modulation de la conductance entre les deux contacts ohmiques (drain et source) par l'action électrostatique de la grille. En effet, la variation de la valeur de conductance est proportionnelle au nombre de porteurs libres dans le canal, et donc au courant entre source et drain. Ceci présente l'effet amplification du transistor qui permet de transformer un faible signal appliqué sur la grille en un fort signal récupéré sur le drain.

3.2.2.3 Structure d'un MESFET

La structure MESFET comporte généralement une couche active de type N qui repose sur un substrat semi-isolant (SI), deux contacts ohmiques (source et drain) et une grille métallique déposée entre source et drain pour créer le contact Schottky. La figure I.11 illustre une vue en perspective d'une structure MESFET. En régime de fonctionnement normal, la grille est souvent polarisée négativement par rapport à la source ($V_{gs} < 0$) alors que le drain est polarisé positivement par rapport à la source ($V_{ds} > 0$). La présence du contact Schottky permet de créer une zone dépeuplée de porteurs libres sous la grille. La concentration des électrons mobiles dans la partie restante de la couche conductrice (canal conducteur) est donc maximale. En effet, quand on applique une tension V_{ds} positive sur le drain, un flux d'électrons traverse le canal de la source vers le drain, ceci correspondant à un courant I_{ds} . Cependant, la section du canal conducteur disponible est limitée à $(a-d)$. Si on diminue V_{gs} , l'épaisseur

d augmente, et donc le courant I_{ds} diminue. Lorsque d est égal à la valeur a , le canal est pincé et I_{ds} s'annule. Pour comprendre la différence observée au niveau de la profondeur de

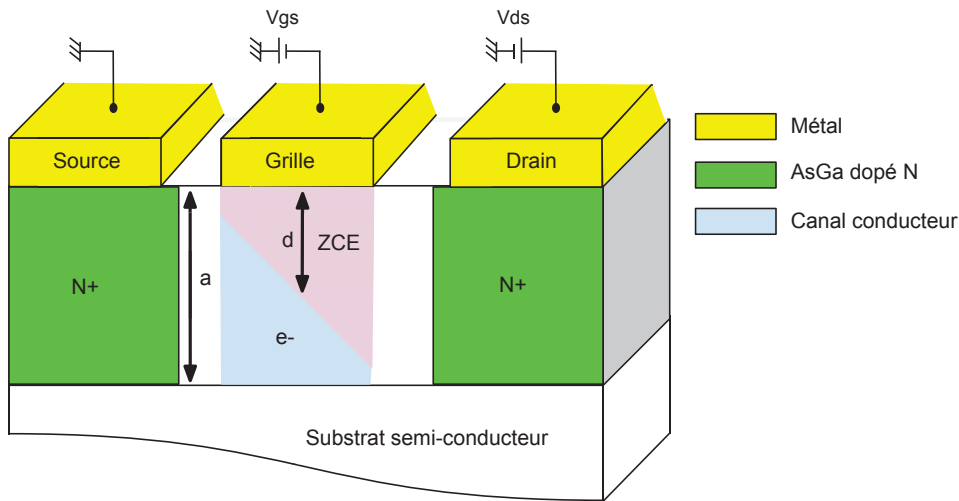


FIGURE I.11 – Vue en coupe de la structure du MESFET et positionnement des sources de polarisation.

la zone de désertion le long du canal, qui est plus profond du côté drain que du côté source, on exprime les épaisseurs d_{Source} et d_{Drain} de la manière suivante :

$$d_{source} = -\frac{2 \cdot \epsilon}{q \cdot N_d} \cdot (\phi_B - V_{gs})^{\frac{1}{2}} \quad (I.15)$$

$$d_{drain} = -\frac{2 \cdot \epsilon}{q \cdot N_d} \cdot (\phi_B - V_{gd})^{\frac{1}{2}} \quad (I.16)$$

avec $V_{gd} = V_{gs} - V_{ds}$. Or $V_{gs} < 0$ et $V_{ds} > 0$ donc $V_{gd} < 0$. Ceci explique le profil de la ZCE observée sur la figure (I.11). En faisant varier V_{ds} pour plusieurs commandes V_{gs} , on génère un réseau de caractéristiques donnant l'évolution du courant de sortie (voir figure I.12) $I_{ds}(V_{ds})$. Ce réseau de caractéristiques est composé de deux zones : la zone ohmique et la zone de saturation .

- La zone ohmique : appelé aussi zone linéaire correspond à l'évolution du courant de sortie I_{ds} pour de faibles valeurs de tension de drain V_{ds} . En effet, la section de canal sous la grille reste presque uniforme vu qu'elle dépend essentiellement de la tension V_{gs} . Le dispositif se comporte donc comme une conductance contrôlée par la grille. Généralement les applications qui nécessitent ce régime de fonctionnement où lorsque le transistor est polarisé à froid ($V_{ds0} = 0$) sont les mélangeurs et les déphaseurs.
- La zone de saturation : Lorsque la tension de drain V_{ds} augmente, la section de la zone dépeuplée devient de plus en plus importante côté drain. Ce qui provoque le resserrement de ce dernier et par conséquent la saturation du courant ($I_{ds} = I_{dsat}$).

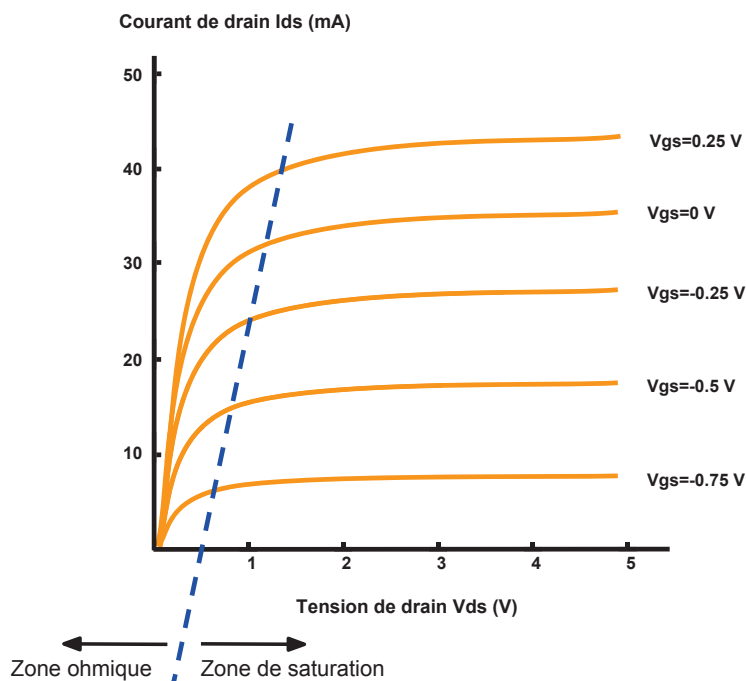


FIGURE I.12 – Réseau de caractéristiques de sortie d'un MESFET.

L'augmentation de la tension V_{ds} au-delà de V_{dsat} (tension de saturation) n'affecte pas l'évolution du courant de drain qui garde une valeur relativement constante I_{dsat} . Il faut noter qu'on ne parviendra pas à dépeupler la couche conductrice côté drain avec l'augmentation de V_{ds} car ce phénomène (le pincement du canal) est uniquement contrôlé par la commande V_{gs} . Le transistor est pincé quand la valeur de V_{gs} atteint une valeur inverse suffisamment grande.

3.2.2.4 Les transistors MESFET en SiC

Les premiers transistors MESFETs sur Carbure de Silicium ont été réalisés par l'équipe de J.W. Palmour à Cree Research [19], [20]. L'avantage des MESFETs SiC est l'excellente conductivité thermique de leur substrat. Néanmoins, la mobilité des électrons est faible et les substrats sont coûteux et limités en diamètre. Les MESFETs SiC sont très utilisés pour les applications amplificateur de puissance des stations de base dans les systèmes de communications sans fil.

3.2.2.5 Les transistors MESFET en AsGa

En 1966, Mead [21] a proposé de remplacer le silicium par l'Arséniure de Gallium (AsGa) car sa mobilité électronique est six fois plus élevée. Puis en 1973 Baechtold [22] a présenté le premier composant MESFET (MEtal Semi-conductor Field Effect Transistor) réalisé à partir

des semi-conducteurs III-V. La technologie MESFET AsGa présente de bonnes performances pour des applications micro-ondes jusqu'en bande X. Cependant, cette technologie est limitée par de faibles tensions de claquage ainsi que par des fréquences de transition qui ne dépassent pas 30GHz environ [23]. Pour des fréquences plus élevées, les composants à hétérojonction tels que les HEMTs (High Electron Mobility Transistors) présentent de meilleures performances.

3.2.3 Les transistors de HEMT et pHEMTs

Le transistor HEMT (High Electron Mobility Transistor) est également nommé TEGFET (Two-dimensional Electron Gas Field Effect Transistor), MODFET (Modulation Doped Field Effect Transistor), ou HFET (Heterojunction Field Effect Transistor) [24], [25], [26]. Ces différentes appellations correspondent au transistor à hétérojonction à mailles cristallines de taille accordées ou quasi accordées. Il existe aussi une autre famille de HEMTs appelée PHMT (Pseudo morfic High Electron Mobility Transistor) qui est réalisée à l'aide de composés III-V à maille cristalline de tailles différentes.

Les transistors HEMT et pHEMT sont actuellement la base des circuits micro-ondes monolithiques ou MMIC. De par sa grande maturité technologique, le HEMT domine encore le marché hyperfréquence, notamment pour des applications de puissance hautes fréquences ainsi que pour des applications faible bruit. En effet, les performances en puissance d'un transistor sont essentiellement liées à son aptitude à contrôler de forts courants à l'aide de faibles tensions. Ceci justifie l'utilisation des HEMTs qui allient de fortes densités électriques à de grandes vitesses de saturation et des mobilités élevées des électrons dans un matériau faiblement dopé ou non dopé.

Un autre atout majeur des HEMTs réside dans leur structure épitaxiale réalisée de manière à séparer physiquement les électrons libres, des impuretés ionisées à l'interface d'une hétérojonction. Ceci permet d'assurer une mobilité maximale des électrons.

3.2.3.1 Principe de l'hétérojonction

L'hétérojonction est constituée d'un matériau grand gap (dopé N) $Al_xGa_{1-x}As$ et d'un matériau faible gap (non dopé) le plus utilisé étant l'AsGa. Le diagramme de bandes de ces deux semi-conducteurs avant contact est représenté dans la figure I.13.

Le modèle de l'hétérojonction le plus utilisé a été proposé par R. L. Anderson en 1962 [27]. L'objectif de ce modèle est de déterminer les positions respectives des bandes de valence et de conduction dans le diagramme de bandes lorsque les deux matériaux sont mis en contact (figure I.14). En outre la formation du diagramme de bandes à l'interface suit les règles ci-dessous :

- Le grand gap doit transférer ses électrons dans le petit gap.
- Les niveaux de Fermi doivent être alignés.

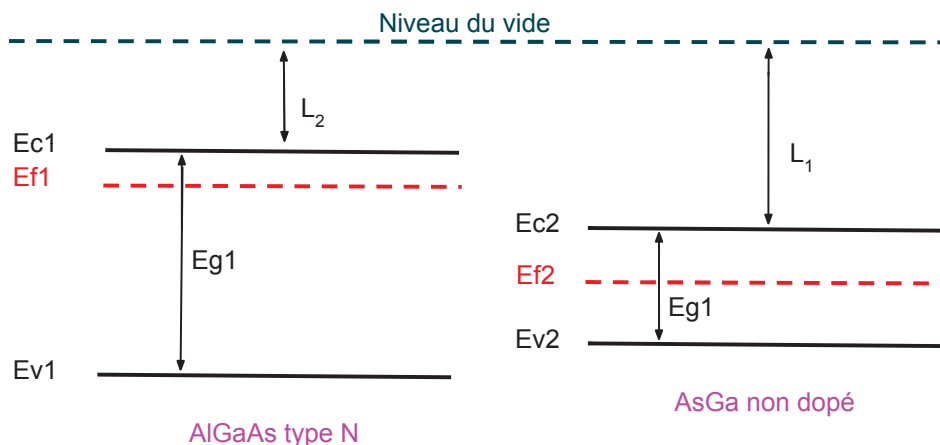


FIGURE I.13 – Deux matériaux avant contact.

— Le niveau du vide ne peut pas subir de discontinuité.

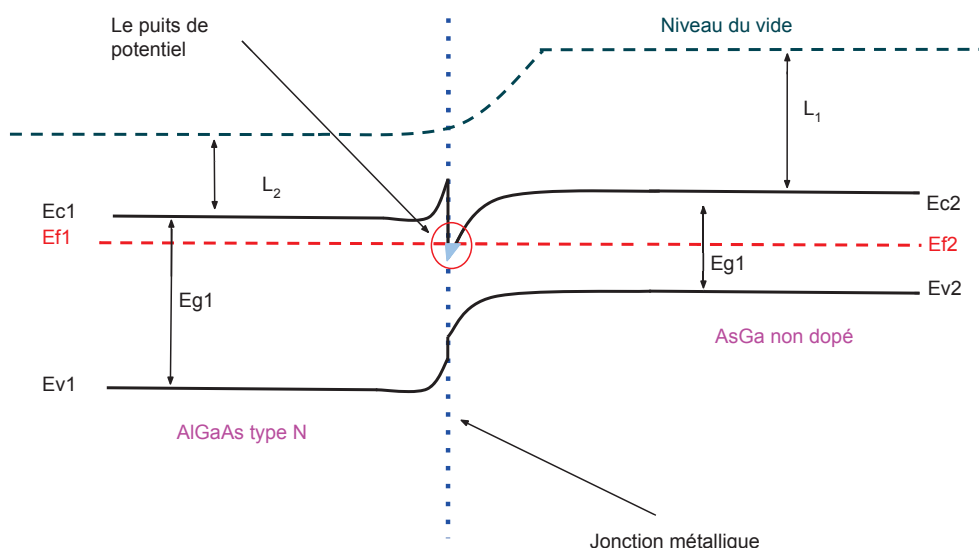


FIGURE I.14 – Diagramme de bandes après contact et la formation d'un puits de potentiel.

Dès que les deux matériaux sont mis en contact, il apparaît des courbures et des discontinuités dans les bandes de conduction et de valence au niveau de la jonction métallurgique. Par conséquent, un puits de potentiel et une couche d'accumulation de porteurs sont créés à l'interface entre les deux matériaux. Les électrons sont confinés dans ce puits de potentiel dont la largeur est de quelques dizaines d'Angstroms et le fond se trouve au-dessous du niveau de Fermi.

Quand ce puits de potentiel devient étroit, des effets quantiques apparaissent. Ces effets se traduisent par la quantification des niveaux d'énergie des électrons et par la restriction du

mouvement des porteurs qui se fait dans un plan parallèle à l'hétérojonction. On parle donc du gaz d'électrons bi-dimensionnel (noté 2DEG).

3.2.3.2 Structure d'un HEMT en AsGa

Dans les HEMTs, la structure des couches épitaxiées est réalisée grâce à un empilement de plusieurs couches semi-conductrices. La figure I.15 représente la structure de couches ainsi que le diagramme de bande d'énergie d'un HEMT classique utilisant l'AsGa et l'AlGaAs comme hétérojonction.

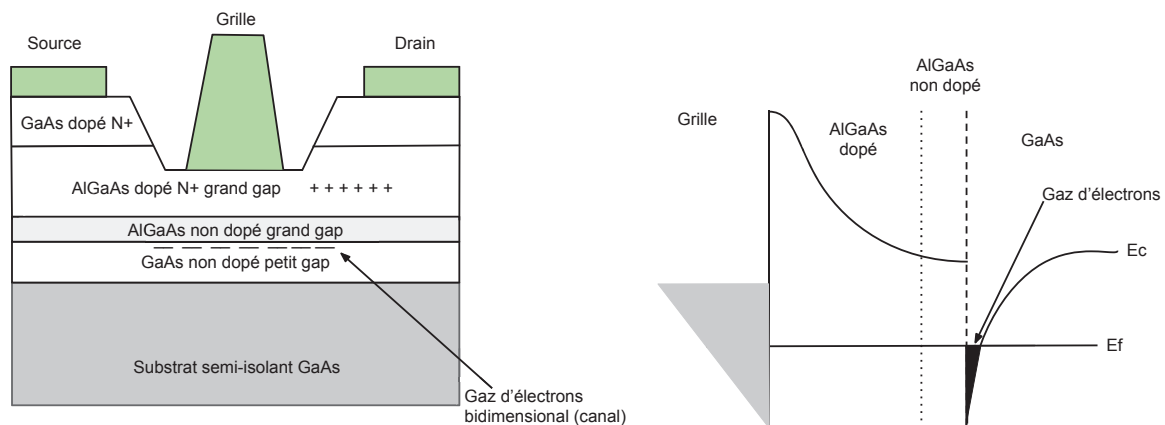


FIGURE I.15 – Structure de principe d'un HEMT AsGa.

En première étape, une couche d'AsGa non dopé où le canal est déposée sur le substrat semi-isolant. Ensuite, une couche AlGaAs avec un grand gap est déposée. Seule la partie supérieure de cette couche est dopée fortement en atomes donneurs. De ce fait, des électrons libres diffusent de l'AlGaAs vers la couche AsGa laissant la zone N du grand gap déplétée et donc chargée positivement. Ces électrons s'accumulent à l'interface (grand gap/petit gap) formant ainsi un gaz d'électrons à des dimensions plus ou moins profondes suivant la polarisation de la tension de grille. L'électrode de grille métallique est déposée à la surface de la couche d'AlGaAs, cette électrode est de quelques dixième de micromètres de longueur. Les contacts des électrodes de drain et de source se font sur une couche AsGa fortement dopée en atomes donneurs.

3.2.3.3 Structure d'un HEMTs GaN

Le HEMT AsGa a permis des utilisations en fréquence bien plus hautes que celles du MES-FET. Sa limite fréquentielle est de l'ordre de 50-60GHz. Cette limite est principalement liée aux propriétés de transport du matériau intrinsèque, c'est-à-dire l'AsGa. En conséquence pour satisfaire aux besoins sans cesse croissants de montée en fréquence, l'idée de base a été de remplacer l'AsGa par un autre matériau de grand gap (supérieur à celui de l'AsGa).

Pour ce faire, le canal a été réalisé à base de nitrure de gallium autorisant une vitesse à fort champ électrique la plus élevée possible. La figure I.16 présente les couches épitaxiales d'une structure HEMT GaN.

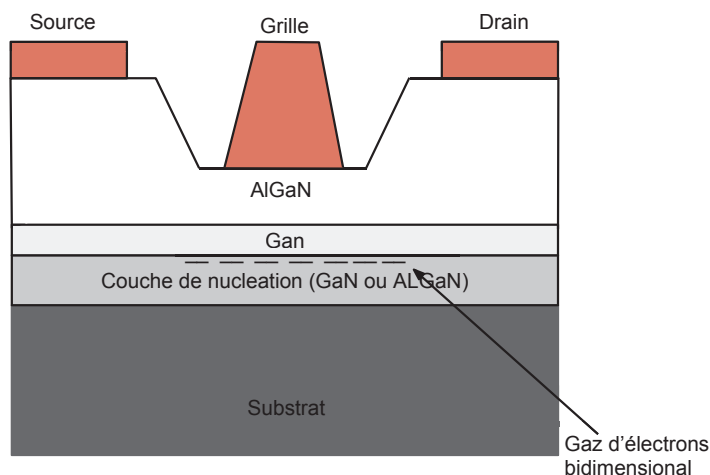


FIGURE I.16 – Structure de principe d'un HEMT GaN.

Les transistors HEMTs AlGaN/GaN présentent de meilleures performances en fréquence. Cette dernière spécificité fait du transistor HEMT un candidat idéal pour les systèmes radars de très forte puissance.

3.2.3.4 Structure d'un pHEMT

Les transistors à effet de champ pseudomorphiques GaAs (pseudomorphic HEMTs) se différencient des transistors HEMTs par l'ajout d'une couche d'InGaAs intercalée entre les couches AlGaAs et AsGa (figure I.17). Ceci permet d'élargir la discontinuité de la bande de conduction à l'interface AlGaAs/InGaAs. La taille du puits de potentiel est plus grande que celle d'une structure HEMT classique avec une concentration de porteurs plus importante, et donc un courant de drain plus élevé [28]. De plus, la vitesse des électrons dans l'InGaAs (non dopé) est plus importante que dans l'AsGa, ce qui autorise de très hautes fréquences de travail [29].

3.3 Conclusion sur les différentes structures

Nous avons présenté les meilleurs candidats parmi les technologies de composants utilisées pour l'amplification de puissance et faible bruit. Plusieurs types de transistors peuvent être utilisés. Dans la suite de nos travaux sur la base des besoins et des spécifications définies par Thales Alenia Space et le CNES, nous utiliserons au cours des étapes de caractérisation et de modélisation les transistors pHEMT AsGa.

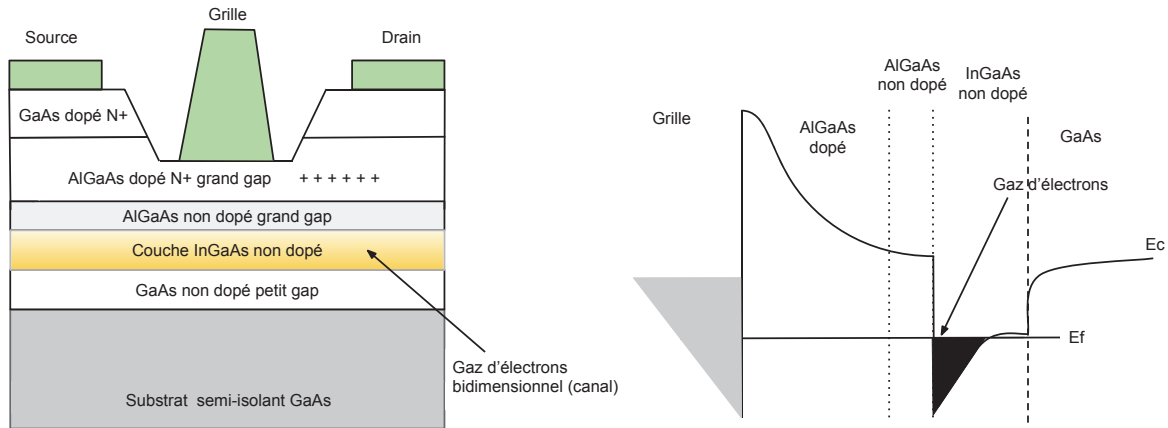


FIGURE I.17 – Structure de principe d'un PHEMT classique.

4 Les différents modèles de transistors

4.1 La modélisation physique

La modélisation physique est la plus ancienne méthode de modélisation pour la conception des circuits hyperfréquences. Elle cherche à déterminer les caractéristiques du transistor à partir de ces paramètres physiques. En effet, la physique des semi-conducteurs permet de calculer les charges et le courant circulant dans le transistor à partir de ces dimensions géométriques tels que le longueur et la largeur de grille, le niveau de dopage canal ainsi que les tensions appliquées à ses bornes. Ce modèle est basé sur les équations de transport des charges dans le semi-conducteur. D'une façon générale l'approche suivie dans la modélisation permet d'obtenir un modèle pour tout transistor et pour tout état de polarisation.

Les modèles physiques se différencient principalement par la façon dont ils résolvent les équations analytiques, en essayant d'effectuer une résolution plus rapide et plus robuste, notamment en terme de convergence des solutions.

Les équations ci dessous régissent les phénomènes de transport de charges à l'intérieur d'un transistor avec un seul doigt de grille [30] :

$$\epsilon \cdot \nabla^2 \cdot \Phi(x, y) = q[N(y) - n(x, y)] \quad (\text{I.17})$$

$$\vec{E} = -\vec{\nabla}(\Phi) \quad (\text{I.18})$$

$$\vec{\nabla} \cdot \vec{J} = q \cdot dn/dt \quad (\text{I.19})$$

$$\vec{J} = -q \cdot n \cdot \vec{v} + q \cdot D_0 \cdot \vec{\nabla} \cdot \vec{n} \quad (\text{I.20})$$

$$J_t = \vec{J} + \epsilon \cdot d\vec{E}/dt \quad (I.21)$$

Les grandeurs physiques qui interviennent dans ces équations sont les suivantes :

- Le champs électrique $E(x,y)$.
- Le potentiel électrostatique $\Phi(x,y)$.
- La concentration en atomes donneurs dans le canal $N(y)$.
- La vitesse des électrons $v[E(x,y)]$.
- La densité de courant de conduction J .
- La densité total de courant J_t .

La résolution de ce système d'équation est un outil puissant pour la compréhension des phénomènes physiques dans le semi-conducteur tels que l'effet d'avalanche ou les sources de bruit. Cependant, le temps de calcul nécessaire et le grand nombre de paramètres qu'elle fait intervenir pour ce type de modèle ne permettent pas une intégration facile dans un environnement de CAO des circuits hyperfréquences.

4.2 Le modèle phénoménologique

Comme son nom l'indique, son but est de reproduire les phénomènes intervenant dans le composant, en se détachant de la complexité de la structure physique. Il repose sur la structure proposée par A. Liechti [31], [32], présentée dans la figure I.18. Cette structure est la dérivée de la présentation donnée en [33] pour les MESFETs. Le modèle phénoménologique est également qualifié de modèle semi-physique car les équations utilisées peuvent aussi bien relever de la physique (dans le cas des diodes) ou plus simplement suivre une loi mathématique reproduisant au mieux le phénomène (dans le cas des capacités C_{gs} et C_{gd}) afin d'améliorer la convergence du modèle. Les paramètres de ce modèle sont extraits à partir des résultats de caractérisations expérimentales (mesures $I(V)$, paramètres S , mesures en puissance). Le modèle phénoménologique est contraignant, du fait du grand nombre d'éléments à définir. Toutefois, il présente un bon compromis puisque il permet de reproduire les phénomènes physiques intervenant dans la structure physique, et d'étudier les variations des éléments du modèle en fonction des évolutions technologiques.

Le modèle phénoménologique, présenté dans la figure I.18, peut être modélisé en 2 ou 3-accès. En effet, sa modélisation dépend de la méthode de caractérisation ainsi que du dessin (layout) du transistor. Dans la prochaine partie, nous allons présenter les différents modèles phénoménologiques.

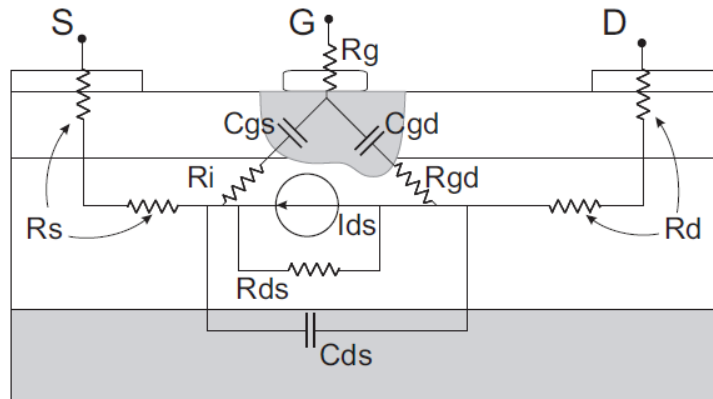


FIGURE I.18 – Origine physique des éléments du modèle électrique petit signal du HEMT.

4.2.1 Modèle 3-accès

Le modèle électrique équivalent à 3-accès est présenté dans la figure I.19. Chacun des paramètres présentés dans ce modèle est issu de la modélisation de la structure proposée par Liechti[31]. En effet, ce modèle est composé des éléments intrinsèques tel que les capacités de jonctions, et les éléments extrinsèques. D'autres éléments peuvent être joints à ce modèle tels que les diodes avalanche ou bien les sources de bruit ou encore un circuit de modélisation thermique.

Les éléments intrinsèques correspondent à la partie active du transistor, c'est-à-dire au canal :

- Le générateur du courant : $I_{ds} = g_m V_{gs} e^{-e j \omega \tau}$ est l'effet fondamental du transistor. Il constitue la source de courant contrôlée par tension. Le retard τ est le temps de transit des électrons dans le canal. On trouve aussi la conductance g_m qui traduit la variation du courant dans le canal en fonction de la tension de grille.
- Les capacités grille source C_{gs} et grille drain C_{gd} représentent les variations des charges accumulées dans la ZCE. C_{gs} détermine cette variation en fonction de la tension grille-source lorsque celle du drain-source est constante. C_{gd} est déterminée en fonction de la tension grille-drain lorsque la tension grille-source est constante.
- La conductance de sortie G_d représente la variation du courant en fonction de la tension drain-source, c'est la résistance du canal.
- Les résistances R_i et R_{gd} permettent de décrire le caractère distribué du canal. En effet, la résistance R_i permet de modéliser l'impédance d'entrée du transistor, tandis que la résistance R_{gd} permet de modéliser la rétroaction du composant.
- La capacité C_{ds} traduit les couplages électrostatiques entre les zones fortement dopées sous les contacts de source et de drain.

Les éléments extrinsèques sont les éléments parasites liés à la métallisation des électrodes d'accès :

- Les résistances R_d et R_s traduisent les effets résistifs des contact ohmiques situés entre la partie active du transistor et les électrodes externes de source et de drain.
- R_g représente les pertes du signal dues à l'effet distribué de l'électrode de grille.
- Les capacités C_g , C_d , C_s sont les capacités induites par les accès grille drain source vis a vis du substrat.
- L'effet inductif lié à la métallisation des contacts (grille, drain et source) est représenté respectivement par L_g , L_s et L_d .

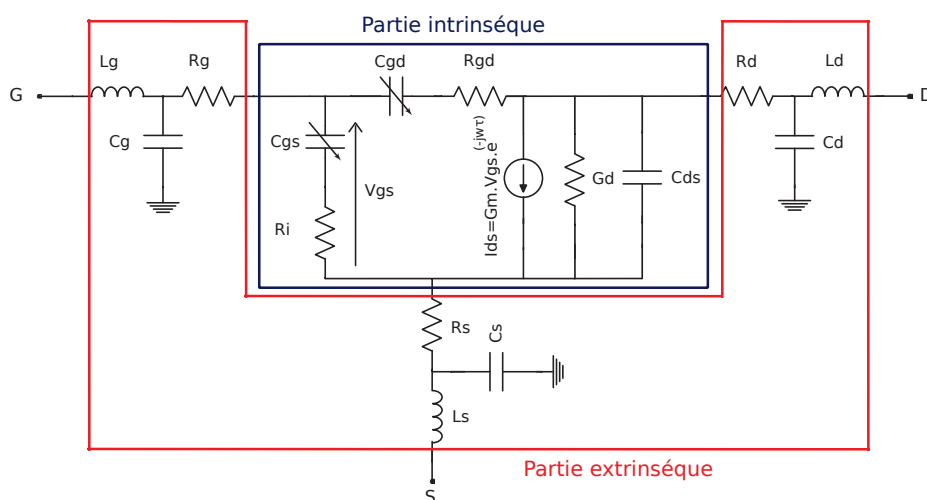


FIGURE I.19 – Modèle petit signal 3-accès.

Le modèle électrique petit signal 3-accès est le modèle général de transistor, c'est à dire avec aucun accès du transistor connecté à la masse. Néanmoins, ce modèle n'est pas souvent utilisé. En effet, les concepteurs cherchent à modéliser le transistor en configuration 2-accès puisque ce dernier est le plus utilisé.

4.2.2 Modèle 2-accès (Source commune)

Le modèle électrique source commune correspond au modèle 3-accès avec son accès de source relié à la masse. Ce plot de masse qui connecte l'accès source à la masse court-circuite la capacité C_s . Cette dernière est la capacité induite par la source vis a vis le substrat. Dans le cas des circuits MMIC, cette mise à la masse est faite avec des VIA hole (Vertical Interconnect Acces).

4.2.3 Modèle 2-accès (Grille commune)

Le modèle électrique petit signal en grille commune se différencie du modèle source commune par la connexion à la masse de la grille ce qui conduit à court circuiter la capacité C_g . Comme l'accès de source n'est plus connecté à la masse, la capacité C_s en série avec R_s et L_s n'est plus en court circuit.

4.3 Le modèle comportemental

Avec la dernière génération d'instruments de caractérisation, les modèles comportementaux [34] se sont développés. En effet, le modèle comportemental peut être fourni directement par certains appareils de mesure (comme l'analyseur de réseau vectoriel PNA-X Keysight ou les mesures faites par les sociétés Mesuro ou NMDG) et se présente sous forme d'un modèle de type «boite noire». En effet, les mesures du transistor sont directement modélisées par des fonctions mathématiques s'appuyant sur des paramètres n'ayant aucune valeur physique réelle, comme c'est le cas pour des modèles de réseaux de neurones [35] ou de paramètres[X] [36]. Cette méthode permet non seulement de simuler des sous-systèmes complets, mais peut aussi fournir une approche plus globale simplifiant la modélisation au niveau système. Cependant, elle ne met pas suffisamment l'accent sur les variables et les paramètres du modèle. De plus, la convergence du processus de modélisation est limitée aux conditions de mesure qui ont servi de support à l'extraction.

4.4 Le modèle distribué

Des nombreux travaux de recherche (comme ceux des références [37], [38] et [39]) ont proposé des modèles plus fins qui se rapprochent le plus possible de la physique afin d'améliorer la prédiction des phénomènes qui régissent le transistor, en particulier le phénomène de propagation des signaux électriques dans les électrodes du composant et les bus d'accès. Parmi ces approches, on trouve les modèles distribués qui ont pour but de déterminer les phénomènes de propagation et de couplage entre les électrodes de contact et le semi-conducteur. Certains travaux s'attachent plus particulièrement à modéliser le couplage entre les différentes électrodes à l'aide de capacités et d'inductances mutuelles. Ainsi, les électrodes sont découpées en plusieurs tronçons. En outre, chaque tronçon représente un dispositif élémentaire actif. Ce dernier est modélisé par un simple transistor à effet de champ intrinsèque phénoménologique. Le modèle distribué, se présentant comme un réseau passif extrinsèque, alimente une cascade de dispositifs élémentaire actifs (figure I.20).

M. T. Hickson et al ont présenté une comparaison entre les autres modèles et le modèle empirique. En effet, ils ont suivi une approche de modélisation distribuée pour la partie intrinsèque et extrinsèque, ce qui a permis d'avoir une précision des paramètres [S] jusqu'à 50GHz [40]. Ainsi, les modèles distribués sont capables de prédire avec précision le comportement du transistor 2-accès. Cependant, ils ne fournissent aucune information sur les performances du transistor lorsqu'il est utilisé en configuration 3 ou 4-accès.

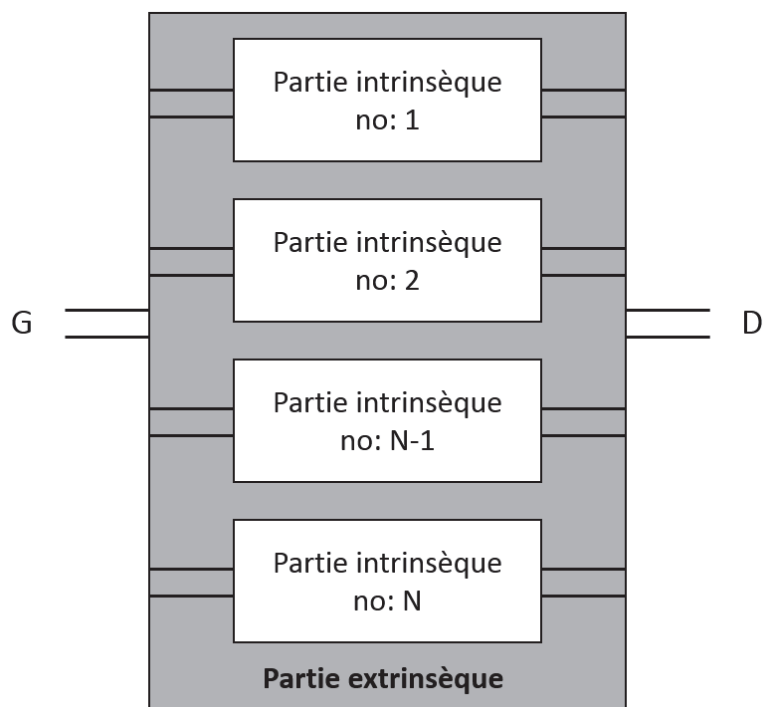


FIGURE I.20 – Procédure de modélisation distribuée.

5 Conclusion

Dans ce chapitre, nous avons rappelé les critères de conception d'un LNA ainsi que les différentes architectures permettant de mettre en valeur l'importance des transistor multi-ports sur les performances du circuit final. Nous avons également présenté le principe de fonctionnement des principaux transistors micro-ondes utilisés actuellement tel que les HBT, MESFET et HEMT, ainsi que leurs structures physiques. Ces dernières sont les points de départ de la modélisation. Différentes approches de modélisation électrique sont ainsi présentées afin de choisir judicieusement les méthodes optimales qui seront appliquées dans les parties suivantes.

La conception d'un amplificateur faible bruit basé sur un modèle de transistor multi-ports passe tout d'abord par une modélisation rigoureuse permettant de caractériser avec précision le transistor. En effet, le modèle doit prendre en compte tous les phénomènes physiques mis en jeu afin de reproduire le comportement électrique du transistor lors d'une simulation. Néanmoins, toute la difficulté de modélisation multi-ports réside dans la méthode de caractérisation. Par conséquent, le chapitre suivant sera dédié à la proposition d'une méthode d'épluchage pour la caractérisation RF sous pointes d'un circuit multi-ports.

Chapitre **II**

Méthodes d'épluchage pour la caractérisation RF sous pointes d'un circuit MMIC

Sommaire

1	Introduction	30
2	État de l'art des principales méthodes d'épluchage	30
2.1	Épluchage Open Short Load	30
2.2	Épluchage TRL	32
2.3	Épluchage Open	33
2.4	Épluchage Open Short	34
2.5	Épluchage Pad-Short Pad-Open Short Open	35
2.6	Épluchage Pad Open Short	36
2.7	Épluchage Open Short Line	38
2.8	Conclusion sur les méthodes d'épluchage	38
3	Amélioration de la méthode Pad Open Short	39
3.1	Cas des standards non idéaux	39
3.2	Extraction des paramètres S des standards	41
4	Mise en application de la méthode d'épluchage Pad Open Short modifiée à des composants multi-ports	44
4.1	Motif de test	44
4.2	Résultats par simulation électromagnétique	46
5	Mesures et validation	48
6	Conclusion	53

1 Introduction

Pour réaliser la mesure sous pointes de composants en technologie MMIC, le composant sous test (DST) doit comporter des accès RF coplanaires sur lesquels sont posés les pointes de mesure. Ces accès présentent des effets non négligeables qui affectent les performances du composant mesuré. L'épluchage ou de-embedding en anglais permet de soustraire les effets des lignes et des plots d'accueil des pointes et de ramener le plan de référence au plus proche du composant à caractériser.

Dans ce chapitre, nous allons présenter les principales méthodes d'épluchage afin de choisir la méthode la plus adaptée à des mesures multi-ports dans la bande Ku. Ensuite, après avoir relevé un défaut dans la méthode choisie (à savoir la méthode Pad Open Short), une solution sera proposée concernant les imperfections produites par des standards non idéaux.

2 État de l'art des principales méthodes d'épluchage

L'épluchage permet de supprimer les contributions des lignes et plots d'accès et de ramener le plan de référence des mesures au plus proche possible du composant. En effet, les performances du DST sont notamment dégradées par les pertes des lignes. Par ailleurs ces effets parasites sont accentués quand la fréquence de mesure est élevée. En raison de la montée en fréquence des dispositifs et des systèmes électroniques, plusieurs méthodes d'épluchage ont été proposées. Les deux principales sont la méthode Thru Reflect Line (TRL) et la méthode Short Open Load (SOL). D'autre part, la méthode (Open Short) pourrait être utilisée dans le cas où le concepteur ne dispose pas d'une résistance de précision (SOL) ou bien lorsque la surface disponible ne permet pas d'insérer une ligne $\lambda/4$ (TRL) en complément du DST. Afin de choisir la solution la plus adaptée au développement d'une méthode d'épluchage multi-ports à hautes fréquences, nous allons présenter les standards nécessaires à la mise en œuvre de chaque épluchage et leurs conditions d'utilisation.

2.1 Épluchage Open Short Load

La première version du d'épluchage Open Short Load a été développée par Richard T. Webster en 1995 pour des mesures avec 1 seul port [41]. En 2002, ZhenYu Cheh et al., ont proposé une extension de cette méthode à des composants 2 ports [42]. L'atout principal de cette méthode est qu'il n'y a pas une connexion directe entre les ports et par conséquent les mêmes standards peuvent être utilisés pour l'épluchage de chaque port, dans le cas où les lignes d'accès sont identiques.

L'épluchage SOL nécessite trois standards :

- Open : Circuit ouvert.
- Short : Court circuit entre les plots sous pointes de chaque port
- Load : Résistance de 50 Ω placée entre le signal et la masse de chaque port.

Dans le cas de mesures sous pointes (Ground-Signal-Ground) le standard "Load" est réalisé en utilisant deux résistances de 100 Ω en parallèle afin d'assurer une bonne symétrie de la structure globale. La figure II.1 présente un kit d'épluchage SOL 1-port.

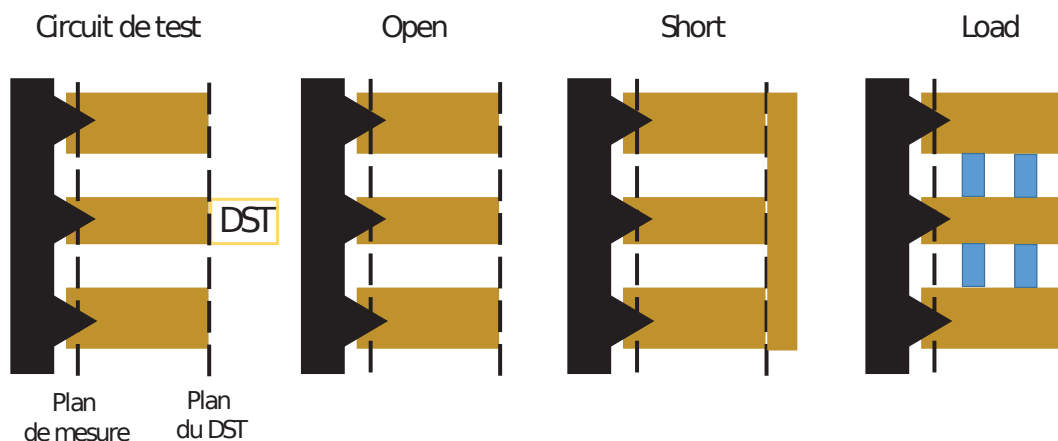


FIGURE II.1 – Kit d'épluchage SOL 1-port.

Pour effectuer un épluchage SOL 1-Port, nous avons utilisé les trois coefficients de réflexion Γ^O , Γ^S , Γ^L des standards Open, Short, Load.

La figure II.2 présente le schéma d'un montage 1 port où les termes d'erreur des lignes d'accès sont présentés.

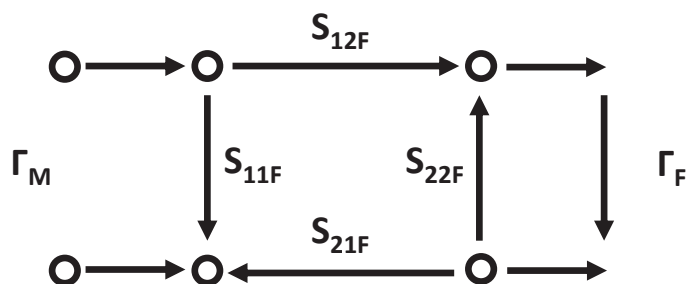


FIGURE II.2 – schéma équivalent d'un modèle d'erreur 1-port.

A partir de la figure précédente, il est possible de trouver une relation mathématique entre le coefficient de réflexion mesuré Γ_M , les paramètres [S] de lignes d'accès et le coefficient de réflexion théorique des standards Γ_F , comme le montre l'équation II.1 :

$$\Gamma_M^i = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_F^i}{1 - S_{22} \cdot \Gamma_F^i} \quad \text{avec } i = O, S, L. \quad (\text{II.1})$$

Le coefficient de réflexion est donné en fonction des paramètres [S] qui sont inconnus. En mesurant les trois standards réfléchifs (Open, Short et Load), nous pouvons déterminer

ces paramètres.

$$S_{11} = \frac{A - B}{\Gamma_M^O \cdot A - \Gamma_M^S \cdot B} \quad (\text{II.2})$$

$$S_{12} \cdot S_{21} = A \cdot (1 - S_{11} \cdot \Gamma_M^L) \cdot (1 - S_{11} \cdot \Gamma_M^O) \quad (\text{II.3})$$

$$S_{22} = \Gamma_L - \frac{S_{12} \cdot S_{21} \cdot \Gamma_M^L}{1 - S_{11} \cdot \Gamma_M^L} \quad (\text{II.4})$$

Où

$$A = \frac{\Gamma_F^L - \Gamma_F^O}{\Gamma_M^L - \Gamma_M^O} \quad \text{et} \quad B = \frac{\Gamma_F^L - \Gamma_F^S}{\Gamma_M^L - \Gamma_M^S} \quad (\text{II.5})$$

$\Gamma_F^O, \Gamma_F^S, \Gamma_F^L$ sont les coefficients de réflexion théoriques et $\Gamma_M^O, \Gamma_M^S, \Gamma_M^L$ sont les réponses fréquentielles de trois standards réfléchissants.

Dans le cas des standards Short et Open idéaux, c'est à dire avec une réflexion totale, la valeur théorique du coefficient de réflexion du Γ_F vaut 1 alors que pour une charge de 50Ω Γ_F vaut 0.

Il est compliqué de réaliser un kit d'épluchage personnalisé avec la méthode OSL, car cette méthode nécessite une résistance de précision 50Ω (standard Load). Il est possible de concevoir une charge Load parfaite en utilisant des simulations électromagnétiques (EM). Malgré les améliorations constantes des performances des simulateurs, le comportement simulé n'est jamais parfaitement identique au comportement mesuré.

2.2 Épluchage TRL

La méthode d'épluchage Thru-Reflect Line a été proposée par Engen et Hoer en 1979 [43]. Elle repose sur l'utilisation des trois standards :

- Thru : c'est une connexion directe entre les deux lignes d'accès.
- Reflect : c'est une charge quelconque ayant un coefficient de réflexion élevé.
- Line : c'est une ligne de longueur L , de constante de propagation complexe γ et d'impédance caractéristique Z_c .

La méthode TRL consiste à ramener le plan de référence jusqu'au composant avec le minimum d'hypothèses sur les standards. En effet, les caractéristiques des standards (Thru et Line) doivent être identiques. Ensuite, la longueur du standard "Line", ainsi que la nature du Reflect (Open ou Short) doivent être connues. L'impédance des standards (Thru et Line) ainsi que la valeur exacte du Reflect ne sont pas nécessaires. Le comportement électrique des standards est défini à partir de leurs mesures brutes.

L'épluchage TRL est valide dans une bande de fréquence dépendant du déphasage entre les standard Thru et Line. En effet, les mesures sont moins précises quand le déphasage entre

la connexion Thru et la Line est proche de 0° ou de 180° . Par ailleurs, la longueur de la ligne de transmission doit être choisie de telle sorte que le déphasage entre les deux lignes soit compris entre 20° et 160° dans toute la bande de fréquence. Avec ($20^\circ = \frac{\pi}{9}$ radian) et ($160^\circ = \frac{8\pi}{9}$ radian), on obtient les formules suivantes :

$$f_{min} = \frac{C_0}{18.L.\sqrt{\epsilon_r}} \quad (\text{II.6})$$

et

$$f_{max} = \frac{8.C_0}{18.L.\sqrt{\epsilon_r}} \quad (\text{II.7})$$

avec C_0 la vitesse de la lumière dans le vide, ϵ_r la permittivité relative du substrat et L , la différence de longueur des deux lignes ($L = L_{Line} - L_{Thru}$).

La méthode d'épluchage TRL est très répandue pour la création d'un kit d'épluchage personnalisé. Cependant cette méthode n'est pas extensible. En effet, son modèle d'erreur n'est identifié que dans le cas d'un composant sous test de type 2-accès.

2.3 Épluchage Open

L'épluchage Open a été introduit par R. F. Bauer et al. en 1974 [44]. Comme son nom l'indique, un seul standard de type Open est nécessaire (figure II.3.a). Le modèle électrique associé à cette méthode est un modèle en pi et ne tient en compte que des effets capacitifs des lignes d'accès (figure II.3.b).

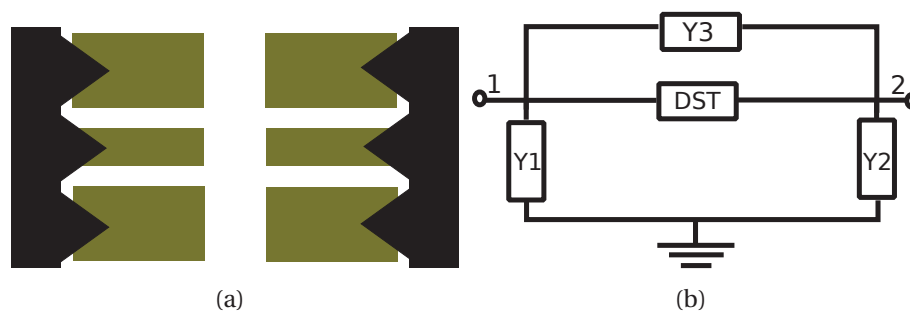


FIGURE II.3 – (a) Structure d'épluchage Open, (b) Schéma électrique équivalent de l'épluchage par la méthode "Open" pour un dispositif sous test 2-accès.

La procédure de correction est très simple et utilise des matrices d'admittance. On mesure les paramètres S dans le plan des pointes (S_{ext}) du circuit de test et le standard Open (S_{Open}). Ensuite, on transforme les paramètres S en paramètres d'admittance, et on soustrait les paramètres admittances du standard Open (Y_{Open}) à ceux (Y_{ext}) pour obtenir la matrice corrigée du DST (Y_{int}) de l'équation II.8 :

$$Y_{int} = ((Y_{ext}) - Y_{Open}) \quad (\text{II.8})$$

Cette méthode fonctionne parfaitement dans le cas des mesures inférieures à 10GHz. Cependant, pour obtenir un modèle fiable à des fréquences plus élevées, il est nécessaire de complexifier la méthode de d'épluchage en y ajoutant un standards de type "Short".

2.4 Épluchage Open Short

La méthode Open Short (OS) a été développée par Wijnen, Claesson, et Wolsheimer en 1987 [45]. L'ajout d'une structure "Short" a pour but de corriger les effets parasites inductifs en série dûs aux interconnexions entre les plots et le DST.

La figure II.4 présente le modèle électrique équivalent de la méthode OS. Les lignes d'accès sont modélisées par la mise en cascade d'une matrice impédance Z_s et d'une matrice admittance Y_i , soit 6 termes d'erreurs complexes indépendants (le circuit de test étant réciproque). Ces 6 termes sont répartis entre Z_s et Y_i de façon similaire.

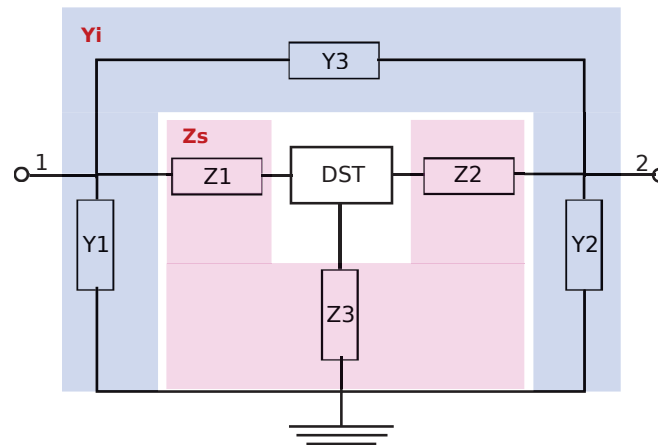


FIGURE II.4 – Schéma électrique équivalent de l'épluchage par la méthode "Open-Short" pour un dispositif sous test 2-accès.

La procédure d'épluchage OS se fait de manière analytique, c'est à dire en retirant successivement les matrices impédance et admittance. D'une façon générale, si le modèle équivalent circuit est suffisamment précis, on peut relier la matrice admittance intrinsèque du dispositif sous test Y_{int}^{DST} à la matrice admittance extrinsèque mesurée Y_{ext}^{DST} :

$$\begin{aligned} Y_{ext}^{DST} &= ((Y_{int}^{DST})^{-1} + Z_s)^{-1} + Y_i \\ Y_{int}^{DST} &= ((Y_{ext}^{DST} - Y_i)^{-1} - Z_s)^{-1} \end{aligned} \quad (\text{II.9})$$

Si les deux standards utilisés pour l'épluchage sont idéaux, c'est à dire si ($Y_{int}^{Open} = 0$) et ($Y_{int}^{Short} = 0$).

$$Y_{ext}^{Open} = Y_e \quad \text{et} \quad Y_{ext}^{Short} = Z_s^{-1} \quad (\text{II.10})$$

Avec Y_{int}^{Open} la matrice admittance intrinsèque du standard Open.

Y_{int}^{Short} la matrice admittance intrinsèque du standard Short.

Y_{ext}^{Open} la matrice admittance extrinsèque mesurée du standard Open.

Y_{ext}^{Short} la matrice admittance extrinsèque mesurée du standard Short.

Un kit de d'épluchage OS sous pointes est présenté dans la figure suivante.

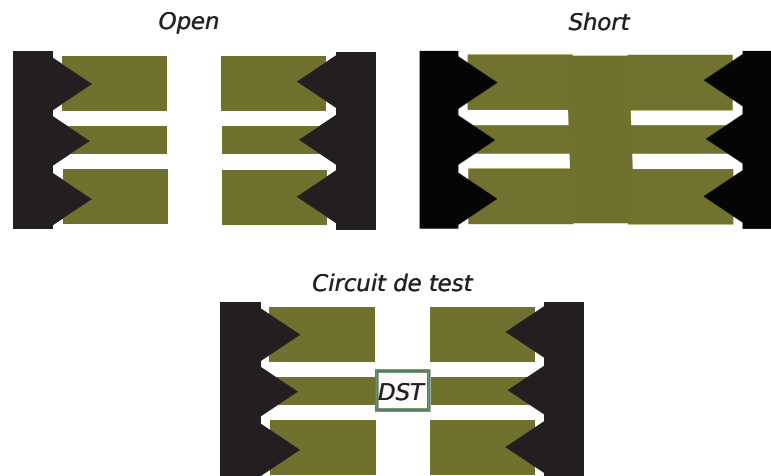


FIGURE II.5 – Ensemble des standards d'épluchage "Open Short".

2.5 Épluchage Pad-Short Pad-Open Short Open

L'utilisation de deux standards Open et Short pour enlever les contributions parasites ne suffit plus pour des fréquences supérieures à 20GHz. Les lignes d'accès entre le plot de mesure et le DST introduisent des effets parasites complémentaires. En 2000, T.E. Kolding a proposé un modèle électrique de lignes plus complexe (figure II.6) qui repose sur l'utilisation de 4 standards Pad-Open, Pad-Short, Open et Short [46]. La différence entre Pad Short et Short ainsi que Pad Open et Open est que pour le Pad short et le Pad Open, le court circuit et circuit ouvert sont au niveau du Pad signal, alors que pour le Short et l'Open le court circuit et le circuit ouvert sont au niveau du dispositif. Les deux structures Pad-Open et Pad-Short sont utilisées principalement pour déterminer la contribution des Pads.

La procédure d'épluchage Pad-Short-Pad-Open Short Open se fait en 4 étapes. Elle est présentée dans la figure II.7. Dans cette technique, la même approche que celle présentée dans le paragraphe précédent, la correction des mesures s'effectue par une soustraction des matrices admittance et impédance des quatre standards. Les équations suivantes résument les 4 étapes :

$$Z_{correction/Pad-Short} = (Y_{ext})^{-1} - Z_{Pad-Short} \quad (II.11)$$

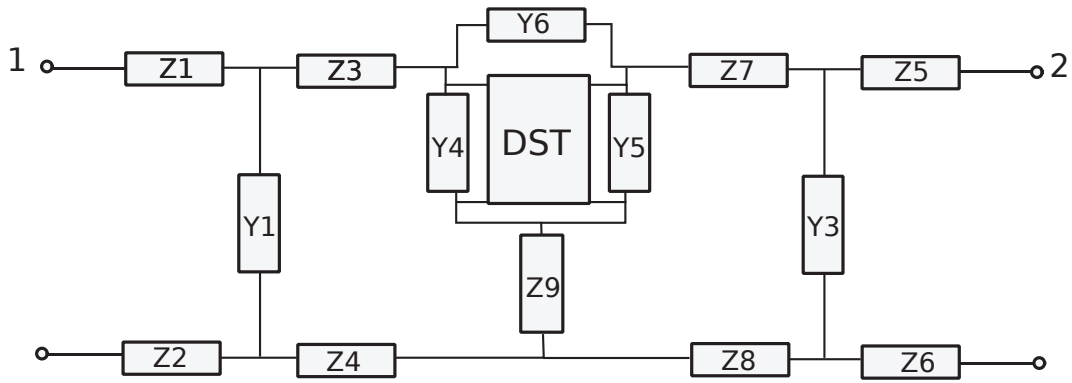


FIGURE II.6 – Schéma électrique équivalent de l'épluchage Pad-Open Pad-Short Open Short.

$$Y_{correction/Pad-Open} = (Z_{correction/Pad-Short})^{-1} - (Z_{Pad-Open})^{-1} \quad (\text{II.12})$$

$$Z_{correction/Short} = (Y_{correction/Pad-Open})^{-1} - Z_{Short} \quad (\text{II.13})$$

$$Y_{int} = (Z_{correction/Short})^{-1} - (Z_{Open})^{-1} \quad (\text{II.14})$$

Où, $Z_{Pad-Short}$ est la matrice impédance du standard Pad-Short.

$Z_{Pad-Open}$ est la matrice d'impédance du standard Pad-Open.

Z_{Short} est la matrice d'impédance du standard Short.

Z_{Open} est la matrice d'impédance du standard Short.

Y_{int} la matrice d'admittance du composant sous test et Y_{ext} la matrice d'admittance mesurée.

2.6 Épluchage Pad Open Short

Cette méthode est une version simplifiée de la méthode 4 étapes présentée dans le paragraphe précédent. Elle n'utilise que trois standards Open, Short et Pad [47]. Le standard "Pad" est l'équivalent du standard "Pad-Open" de la méthode 4 étapes. Cette méthode ne prend en compte que les effets capacitifs des Pads.

La figure II.8 présente la structure complète d'un dispositif sous test avec toutes les contributions parasites qui proviennent des interconnexions.

La correction POS consiste à déterminer les paramètres intrinsèques du DST par une soustraction matricielle exprimée dans l'équation suivante :

$$Y_{int} = ((Y_{ext} - Y_e)^{-1} - Z_s)^{-1} - Y_i \quad (\text{II.15})$$

avec Y_{int} la matrice d'admittance du composant sous test et Y_{ext} la matrice d'admittance

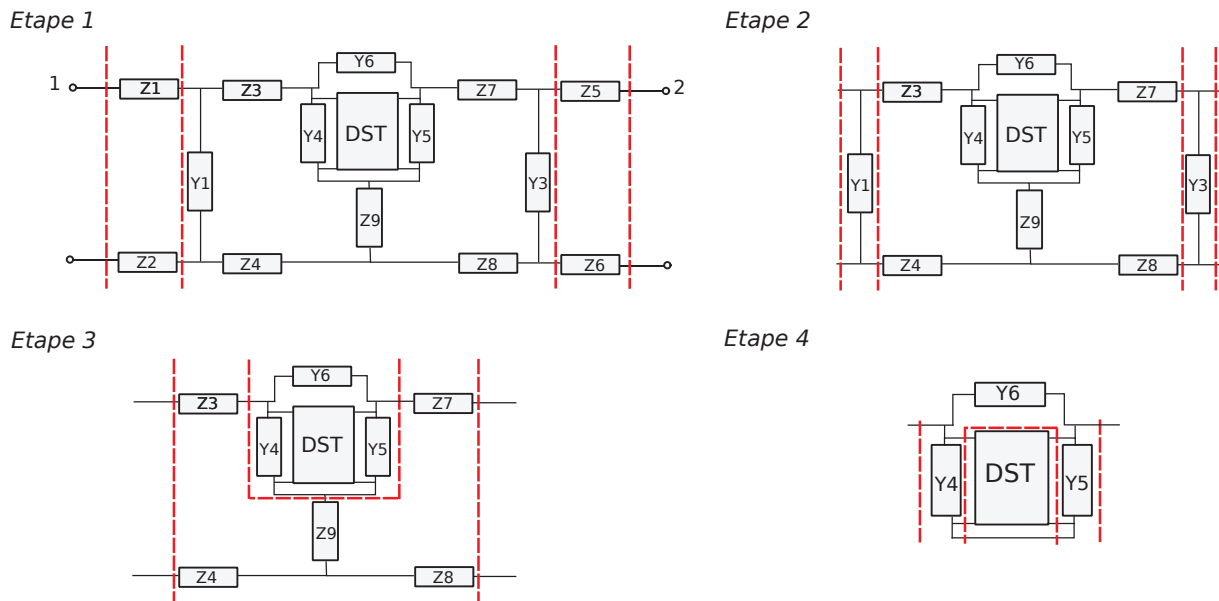


FIGURE II.7 – Procédure d'épluchage Pad-Short Pad-Open Open Short.

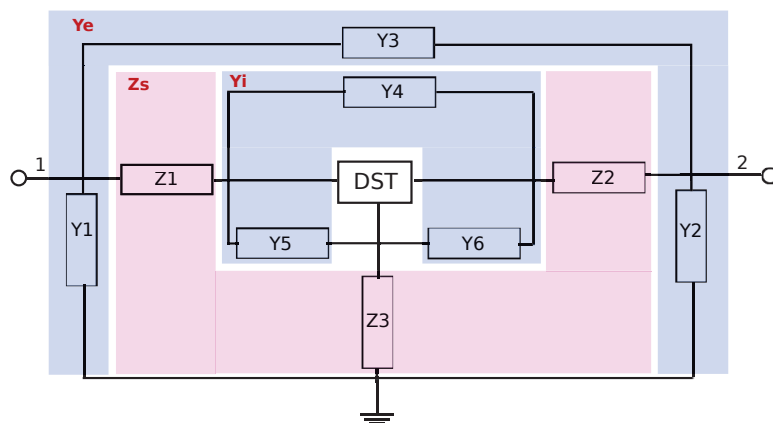


FIGURE II.8 – Schéma électrique équivalent de l'épluchage par la méthode " Pad Open Short" mesurée.

La matrice d'admittance Y_e dans l'équation II.15 est identifiée lorsque le "Pad" est chargé par un circuit ouvert ($Y_{ext\ pad} = Y_e$).

La matrice d'impédance Z_s est déterminée à partir du standard "Short". On soustrait les paramètres d'admittances Y_e à ceux du standard Short mesuré Y_{Short} puis on transforme les paramètres Y en paramètres Z (équation II.16).

$$Z_s = ((Y_{short}) - (Y_e)^{-1}) \tag{II.16}$$

La matrice Y_i est déterminée en retirant successivement la matrice d'admittance Y_e et la

matrice d'impédance Z_s des paramètres d'admittance du standard Open.

$$Y_i = ((Y_{Open}) - ((Y_e)^{-1} - Z_s)^{-1}) \quad (\text{II.17})$$

2.7 Épluchage Open Short Line

Cette procédure a été développée par Cho et Burk en 1991 [48]. Elle consiste principalement à prendre en compte les pertes inductives dues aux lignes d'interconnexion de dimensions importantes. L'approche nécessite l'utilisation de trois standards Open, Short et Line. Dans cette technique, la correction des mesures du DST s'effectue avec les paramètres ABCD de la ligne et la formule matricielle suivante :

$$A_{DST} = (A_{Line})^{-1}((A_{OS})^{-1})(A_{Line})^{-1} \quad (\text{II.18})$$

avec A_{DST} la matrice ABCD du DST après une correction Open-Short-Line.

A_{OS} la matrice du DST après une correction Open-Short.

A_{Line}^{-1} la matrice inverse de la ligne.

2.8 Conclusion sur les méthodes d'épluchage

Les principales caractéristiques des méthodes d'épluchage sont résumées dans le tableau ci-dessous :

Nom	Large bande	Largeur des standards	hypothèses	modèle électrique	Extensible
Open Short Load	Oui	Constant	3	Non	Oui
TRL large bande	Non	Non Constant	0	Non	Non
Open	Non	Constant	1	Oui	Oui
Open Short	Non	Constant	2	Oui	Oui
Pad-Open Pad-Short Open Short	Non	Constant	4	Non	Oui
Pad Open Short	Non	Constant	3	Oui	Oui
Open Short Line	Non	Constant	2	Non	Oui

Les cases colorées en vert représentent les avantages de ces méthodes. Les cases sur fond gris représentent les points bloquants ou limitant pour une montée en fréquence et ou une extension à des composant multi-ports.

Nous avons procédé par élimination afin de choisir la méthode d'épluchage la plus adéquate pour un épluchage multi-ports sur puce dans la gamme des GHz.

Pour réaliser un kit d'épluchage multi-ports personnalisé, il est nécessaire d'utiliser une méthode extensible et donc la TRL est écartée. Il est également nécessaire d'utiliser une méthode avec le minimum d'hypothèses sur les standards, ce qui élimine la méthode " Pad-Short Pad-Open Short Open". Les méthodes "Open" et "Open Short" sont limitées en précision pour des mesures à des fréquences élevés. La méthode "Open Short Line" est appliquée sur des composants discrets, ce qui n'est pas notre cas. La complexité consistant à réaliser un standard "Load" parfait personnalisé écarte également la méthode "Open Short Load". Ainsi, la méthode la plus adaptée par rapport aux autres méthodes est celle du "Pad Open Short". Cette méthode est largement utilisée pour des dispositifs 2-accès en considérant que les standards sont idéaux.

Les prochains paragraphes apporteront une solution aux imperfections produites par des standards non-idéaux ainsi qu'une extension de la méthode Pad Open Short à des dispositifs multi-ports.

3 Amélioration de la méthode Pad Open Short

Nous allons maintenant exposer les améliorations qu'il est possible d'apporter à la méthode POS. Tout d'abord, nous allons voir comment introduire les imperfections des standards dans les équations d'épluchage. Ensuite, nous allons voir comment déterminer les valeurs de ces imperfection avec des simulations électromagnétique et des mesures. Enfin, nous allons montrer que les effets des standards non idéaux diminuent considérablement la précision d'épluchage à des fréquences élevées.

3.1 Cas des standards non idéaux

Dans les calculs théoriques de la méthode POS, les standards sont considérés souvent comme idéaux. Cela signifie que les effets introduits par le court circuit entre les lignes d'accès au DST dans le cas du standard "Short" ainsi que les couplages pour le standards "Open" sont négligeables. A cet égard, nous avons conçu on-wafer un kit d'épluchage POS afin de montrer que les standards ne peuvent pas être considérés comme idéaux et que les effets parasites augmentent en fonction de la fréquence. La figure II.9 présente le design du kit étudié.

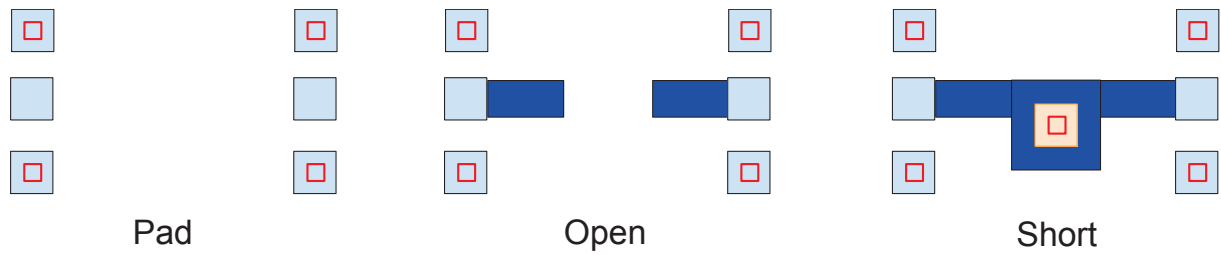
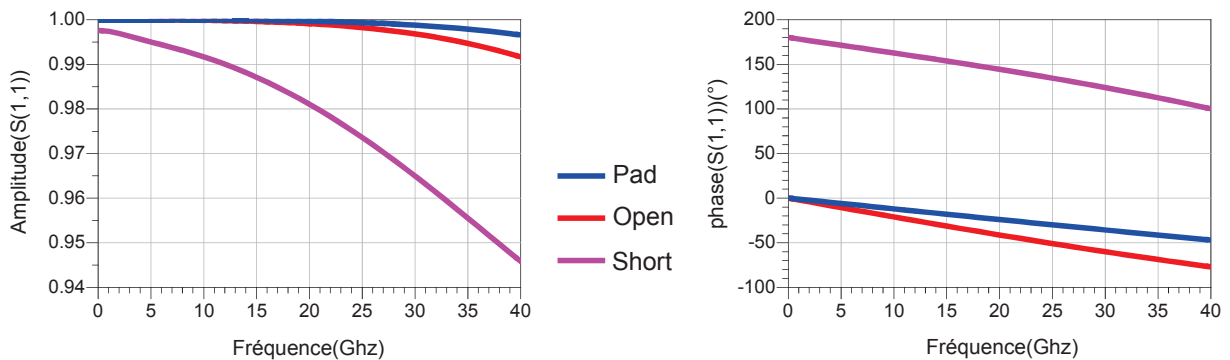


FIGURE II.9 – Design d'un kit d'épluchage POS 2-ports.

Nous avons réalisé un kit en arséniure de gallium (AsGa), avec des lignes de transmission micro-rubans identiques de longueur $140 \mu\text{m}$ (bleu foncé) et des Pad de $88 \mu\text{m} \times 88 \mu\text{m}$ (bleu clair). Les lignes de transmissions sont dimensionnées pour avoir une impédance caractéristique 50Ω . Le design du standard "Short" qui a servi pour ce travail utilise un VIA hole dont les dimensions ont été fixées par rapport aux dimensions du DST.

FIGURE II.10 – Amplitude et phase du coefficient de réflexion (S_{11}) de 3 standards.

La Figure II.10 illustre l'amplitude et la phase du coefficient de réflexion (S_{11}) des 3 standards précédemment obtenus grâce au simulateur électromagnétique momentum (ADS).

Comme on peut observer dans la figure II.10, l'amplitude de (S_{11}) qui évolue en fonction de la fréquence. Pour le standard "Pad" la variation n'est pas importante, de ce fait on peut le considérer idéal sur toute la bande de fréquence. La variation du standard "Open" est plus remarquable par rapport au standard "Pad". A partir de 30GHz, les effets des couplages entre les lignes ne sont pas négligeables et doivent être pris en considération. Pour un épluchage au-delà de 30GHz le standard open ne peut pas être parfait. Pour le standard Short, le comportement est vite dégradé. Cette dégradation est due aux effets parasites introduits par le VIA hole. En effet, les effets inductifs et résistifs du VIA hole ne sont plus négligeables à partir de 13GHz. En conclusion, la correction des imperfections des standards est importante pour la caractérisation multi-ports à des fréquences élevées. Les effets des standards non idéaux augmentent avec la fréquence et leur influence devient non négligeable.

La correction des mesures avec la méthode d'épluchage POS se fait en retirant successivement les matrices impédance et admittance d'éléments appartenant au circuit d'accès du dispositif sous test (voir paragraphe 2.6).

$$Y_{int} = ((Y_{ext} - Y_e)^{-1} - Z_s)^{-1} - Y_i \quad (\text{II.19})$$

L'analyse de la méthode d'épluchage POS sans émettre la moindre hypothèse sur l'idéalité des standards revient à résoudre le système suivant à deux équations et deux inconnues :

$$\begin{cases} Y_{int}^{Open} &= ((Y_{ext}^{Open} - Y_e)^{-1} - Z_s)^{-1} - Y_i \\ Y_{int}^{Short} &= ((Y_{ext}^{Short} - Y_e)^{-1} - Z_s)^{-1} - Y_i \end{cases} \quad (\text{II.20})$$

En posant, $Z_{ext}^{Open} = (Y_{ext}^{Open} - Y_e)^{-1}$ et $Z_{ext}^{Short} = (Y_{ext}^{Short} - Y_e)^{-1}$, il vient,

$$\begin{cases} Z_{ext}^{Open} - Z_s &= (Y_i + Y_{int}^{Open})^{-1} \\ Z_{ext}^{Short} - Z_s &= (Y_i + Y_{int}^{Short})^{-1} \end{cases} \quad (\text{II.21})$$

En développant ce système d'équations, nous obtenons une équation algébrique non symétrique et continue de Riccati [49] II.22.

$$A + X.B + C.X + X.D.X = 0 \quad (\text{II.22})$$

où, $X = Y_i$ et A, B, C, D sont des matrices constantes. L'équation (II.22) ne peut être résolue que numériquement. La solution est identifiée par une décomposition de Schur [50]. En posant ($Y_{ext}^{dif} = Y_{ext}^{Short} - Y_{ext}^{Open}$) les valeurs de ces matrices sont les suivantes :

$$\begin{aligned} A &= (I - Y_{int}^{Open} [I + (Y_{ext}^{dif})^{-1} \cdot Y_{ext}^{Open}]^{-1} \cdot Y_{ext}^{Open}) \\ B &= I - [I + (Y_{ext}^{dif})^{-1} \cdot Y_{ext}^{Open}]^{-1} \cdot [(Y_{ext}^{dif})^{-1} Y_{ext}^{Short} + (Y_{ext}^{Open})^{-1} Y_{int}^{Short}] \\ C &= -Y_{int}^{Open} [I + (Y_{ext}^{dif})^{-1} Y_{ext}^{Open}]^{-1} (Y_{ext}^{Open})^{-1} \\ D &= -[I + (Y_{ext}^{dif})^{-1} Y_{ext}^{Open}]^{-1} (Y_{ext}^{Open})^{-1} \end{aligned} \quad (\text{II.23})$$

Il reste à calculer les matrices Y_{int}^{Short} et Y_{int}^{Open} dues aux effets de VIA et des couplages entre les lignes.

3.2 Extraction des paramètres S des standards

3.2.1 Extraction des paramètres S des standards par simulation électromagnétique

Ce paragraphe décrit une méthode permettant de calculer S_{int}^{Short} et S_{int}^{Open} correspondant à Y_{int}^{Short} et Y_{int}^{Open} à l'aide des simulations électromagnétiques [51]. Le principe de base est

de simuler la structure "Pad+Ligne" de la figure II.9 en 4 ports, c'est à dire relier les ports intrinsèques de la structure à des ports 50 Ω . Ensuite, on partitionne la matrice [S] obtenue en 4 sous matrices (voir la matrice II.24). Les plans extrinsèques et intrinsèques en fonction de cette méthode sont représentés dans la figure II.11.

$$S = \begin{pmatrix} S_{ee} & S_{ei} \\ S_{ie} & S_{ii} \end{pmatrix} \quad (\text{II.24})$$

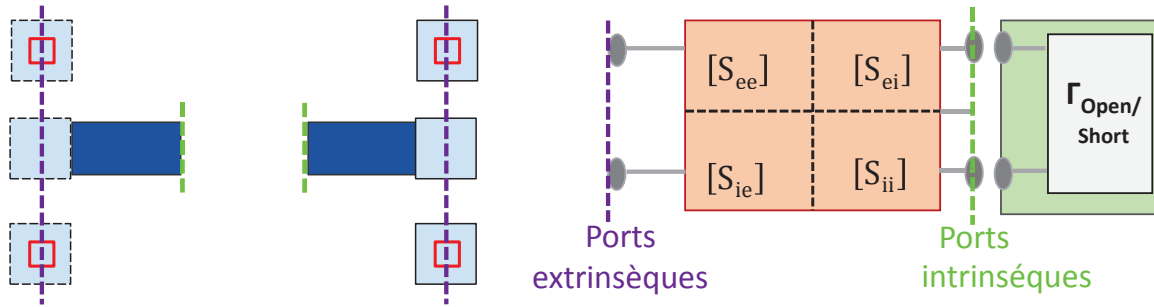


FIGURE II.11 – Représentation des ports extrinsèques et intrinsèques du standard "Open" en fonction de la méthode d'extraction utilisée.

L'équation permettant de relier les paramètres S_{ext} aux paramètres intrinsèques S_{int} est la suivante :

$$S_{ext} = S_{ee} + S_{ei} \cdot (I - S_{int} \cdot S_{ii})^{-1} \cdot S_{int} \cdot S_{ie} \quad (\text{II.25})$$

où, S_{ext} est la matrice [S] de la structure non idéale (Open ou Short) en 2-accès.

I est la matrice identité en 2-accès.

Dans notre cas, le circuit de test est équilibré, c'est-à-dire que le nombre des ports extrinsèques est égal au nombre des ports intrinsèques. Donc, l'équation II.25 peut être inversée :

$$S_{int} = S_{ei}^{-1} \cdot (S_{ext} - S_{ee}) \cdot (S_{ie} + S_{ii} \cdot S_{ei}^{-1} \cdot (S_{ext} - S_{ee}))^{-1} \quad (\text{II.26})$$

Par la suite, les matrices S_{int}^{Short} et S_{int}^{Open} déterminées sont converties en paramètres Y afin d'extraire Y_{int}^{Short} et Y_{int}^{Open} .

3.2.2 Extraction des paramètres S des standards par la méthode TRL

Afin de valider la méthode décrite dans le paragraphe précédent, nous avons réalisé et mesuré un kit d'épluchage TRL. Le design des standards est décrit dans la figure II.12. Le standard "Reflect" a les mêmes caractéristiques que le standard "Open" du Kit POS, la longueur du standard "Line" est choisie de telle sorte que l'épluchage soit valide dans la bande [6Ghz - 40Ghz]. Le but de cette étude est d'évaluer la validité de l'épluchage POS avec des

standards non idéaux à hautes fréquences avant de réaliser un kit POS multi-ports personnalisé.

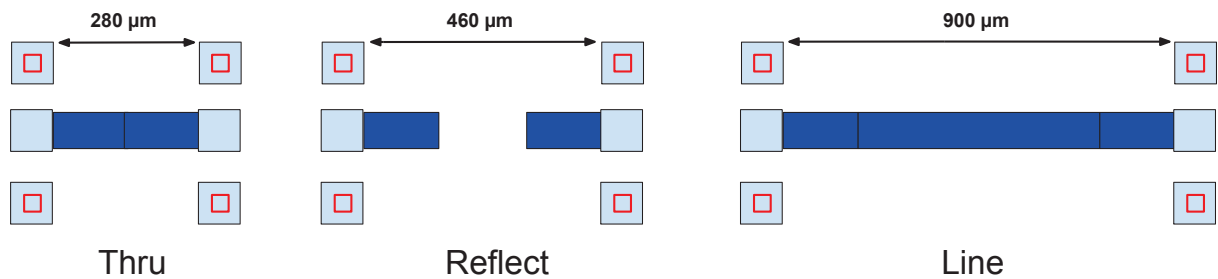


FIGURE II.12 – Design d'un kit TRL on wafer.

Nous avons effectué des mesures RF sous pointes avec l'analyseur de réseau vectoriel (VNA) Keysight PNA-X sur la bande de fréquence [6 GHz - 40 GHz]. La première étape consiste à calibrer le banc de mesure avec un étalonnage qui ne modifie pas l'écart des pointes. Dans notre cas, on a utilisé un étalonnage Short-Open-Load-Through (SOLT) sur un kit de étalonnage ISS, lequel présente notamment l'intérêt d'être symétrique. Ensuite, nous avons caractérisé les différents standards de l'épluchage TRL afin de calculer les paramètres [S] des lignes. Une fois que nous avons déterminé les paramètres [S] des lignes, sachant que l'on connaît les paramètres [S] du standard "Short", nous avons épluché les paramètres [S] des lignes des paramètres [S] du standards "Short" de manière à récupérer les paramètres [S] du VIA hole.

Sur la figure suivante, les coefficients de réflexion S_{11} et S_{22} du VIA, obtenus grâce a un épluchage TRL (en bleu) ainsi que les résultats obtenus avec les simulations électromagnétique (en rouge), sont tracés en fonction de la fréquence.

Nous pouvons voir que les valeurs des coefficients de réflexion S_{11} et S_{22} du VIA hole sont proches des valeurs attendues sur l'ensemble de la bande de fréquence étudiée. En effet, les résultats donnés par la méthode « TRL » sont légèrement différents des résultats obtenus avec les simulations électromagnétiques. Cette différence peut être expliquée par les incertitudes de mesures.

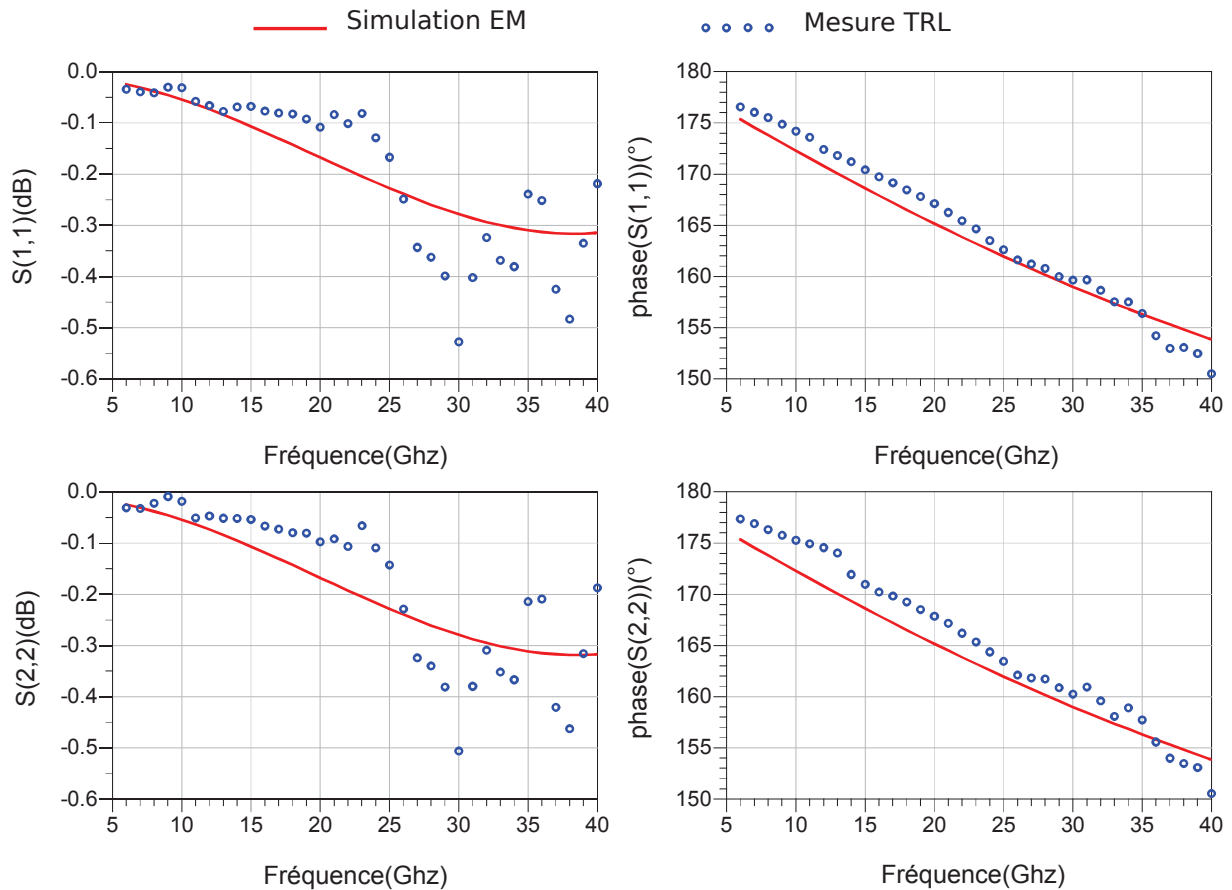


FIGURE II.13 – Comparaison entre les paramètres $[S]$ du VIA obtenus avec des simulations EM et les paramètres obtenus avec un épluchage TRL.

4 Mise en application de la méthode d'épluchage Pad Open Short modifiée à des composants multi-ports

Dans le paragraphe précédent, nous avons amélioré la précision de l'épluchage POS en prenant en compte les imperfections des standards non idéaux. Par la suite, nous allons, dans ce paragraphe, proposer une extension de la méthode POS à des composants 3-accès. Le modèle équivalent-circuit d'un circuit de test 3-accès est présenté figure II.14. Le circuit présente 18 impédances complexes indépendantes qui représentent les parasites. Ces paramètres sont répartis de façon similaire entre Y_e , Z_s et Y_i : 9 termes dont 3 de couplage pour chaque matrice.

4.1 Motif de test

Dans cette partie, nous allons appliquer cette méthode pour un composant 3-accès afin d'étudier la validité de (POS) multi-ports. La figure II.15 montre le layout du composant à caractériser.

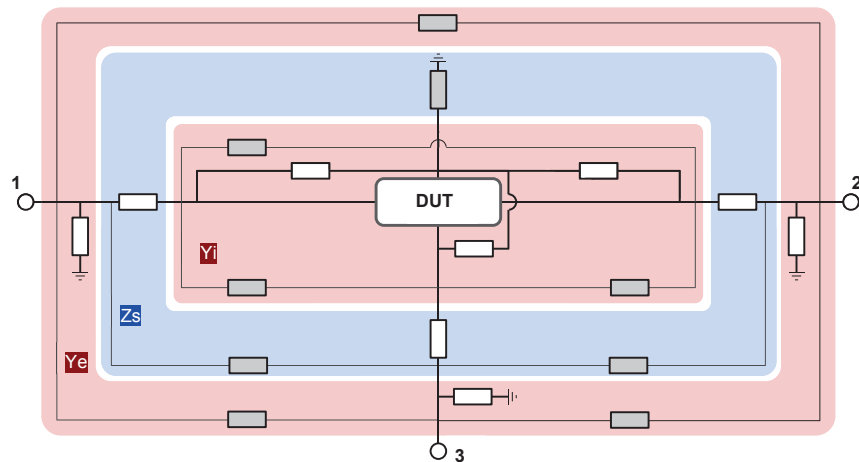


FIGURE II.14 – Schéma électrique équivalent de l'épluchage par la méthode "Pad Open Short" pour un dispositif sous test 3-ports. Les termes de couplage sont illustrés en gris.

Le composant à caractériser est un stub présenté dans la figure II.15. Les dimensions de ce dispositif sous test correspondant à une structure de transistor pHEMT/AsGa qu'on va caractériser et modéliser dans le chapitre suivant. Le composant comporte trois ligne de transmission différentes. Les deux plus longues lignes sont connectées à deux capacités MIM de valeurs différentes. Les blocs marron représentent les VIAs hole. Les tableaux ci-dessous présentent les dimensions des lignes et les valeurs des capacités.

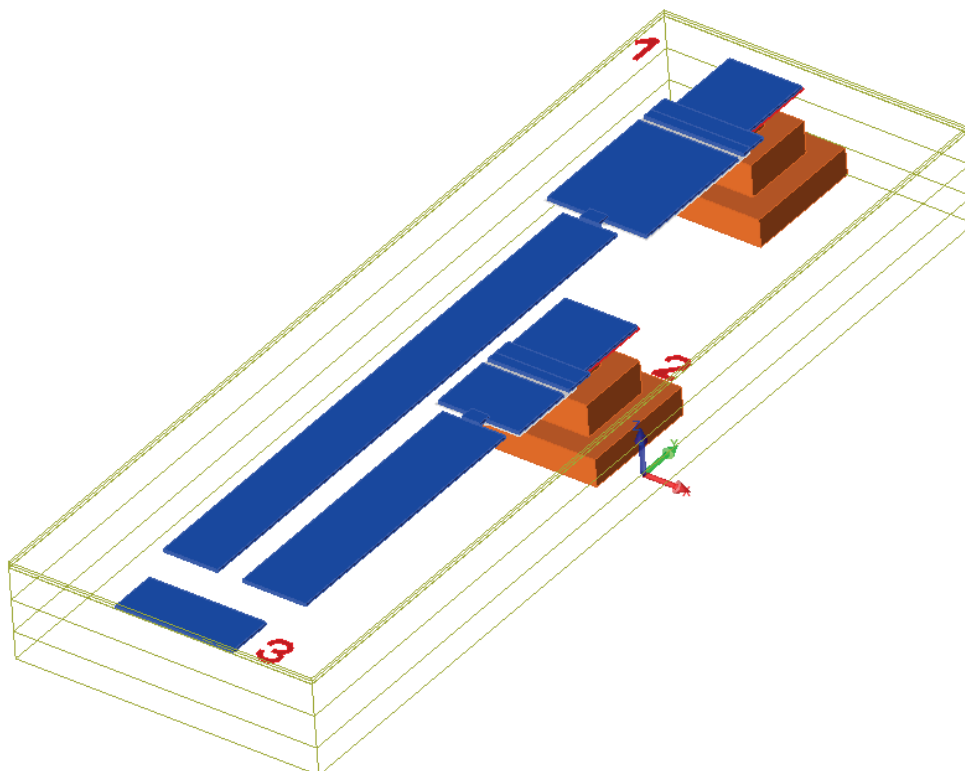


FIGURE II.15 – Design du composant sous test étudié.

Ligne	Largeur	Longueur
L1	60 μm	600 μm
L2	70 μm	300 μm
L3	130 μm	51 μm

Tableau II.1 – Dimensions des lignes utilisées.

Capacité	valeur	Largeur
C1	5 pF	110 μm
C2	2 pF	90 μm

Tableau II.2 – Caractéristiques des capacités utilisées.

Les dimensions des lignes et les valeurs de capacités ont été choisies de manière à avoir des coefficients de transmission différents. Les simulations électromagnétiques des paramètres [S] de dispositif sont présentées dans la figure II.16.

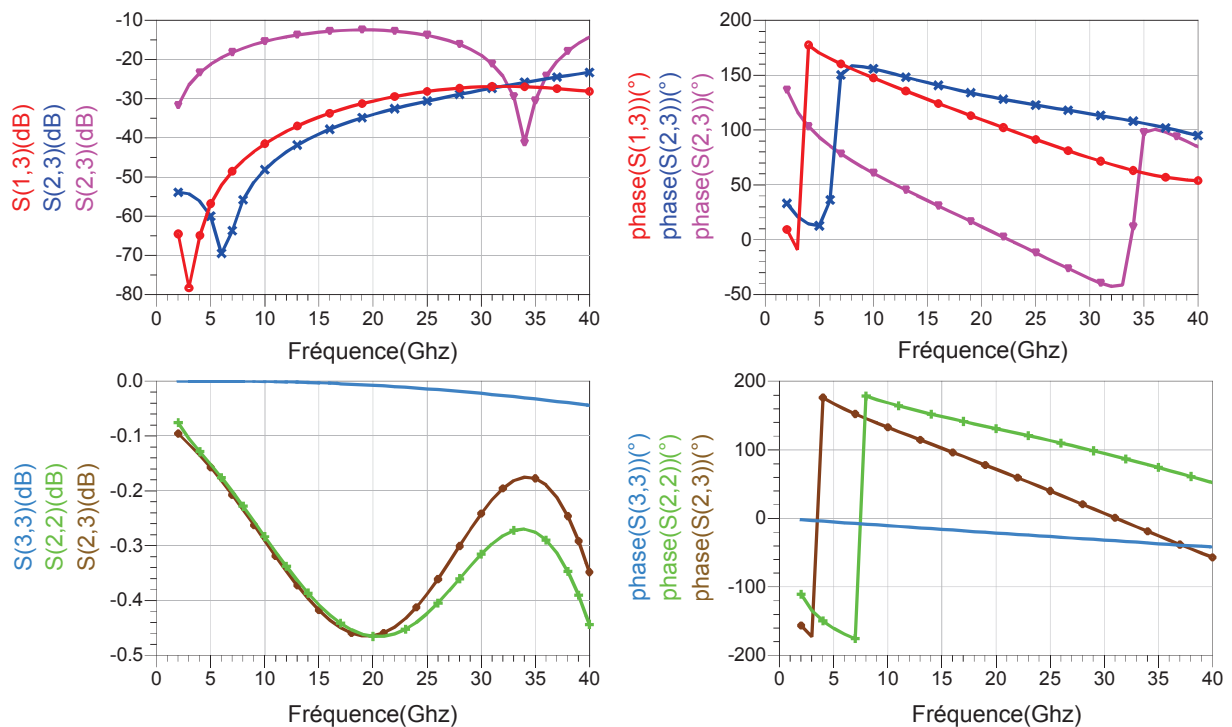


FIGURE II.16 – Les paramètres S simulé du composant étudié.

4.2 Résultats par simulation électromagnétique

L'épluchage permet d'extraire les caractéristiques intrinsèques d'un composant. Dans le cas d'un composant intégré, il n'est pas possible de mesurer le composant sans mesurer l'ensemble des lignes d'accès. Il est donc impossible de valider la précision d'un épluchage par la mesure. C'est pourquoi, nous avons décidé d'utiliser les simulations électromagnétiques du composant pour comparer les deux méthodes d'épluchage. La nouvelle méthode d'épluchage, permet de prendre en considération les imperfections des standards, contrairement à la méthode classique qui suppose que les standards sont idéaux. Par conséquent, nous avons simulé en EM l'ensemble des standards nécessaires à l'épluchage. Le design de ce kit est présenté dans la figure II.17.

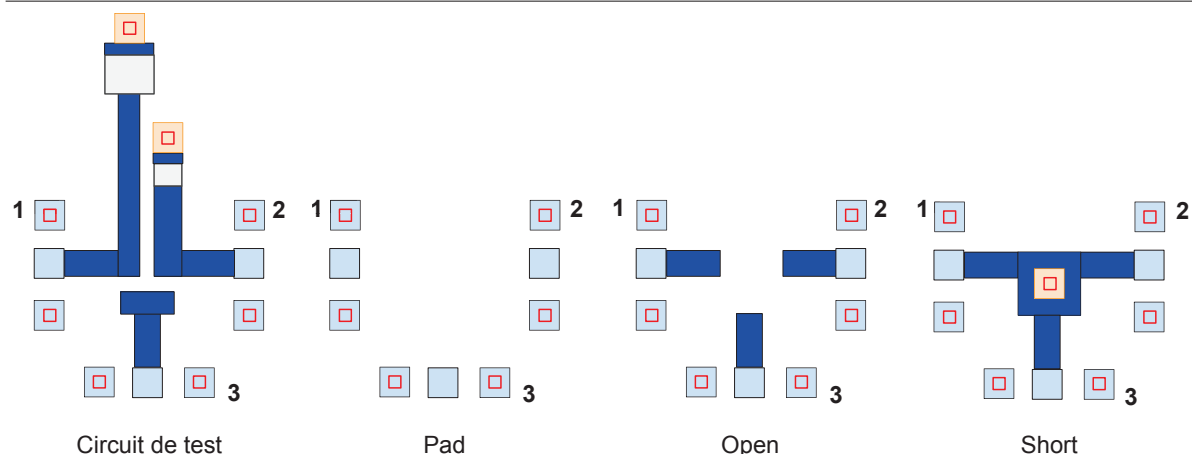


FIGURE II.17 – Design d'un kit d'épluchage POS 3-accès.

La première structure est le circuit de test utilisé pour caractériser le stub; les lignes de transmission de cette structure sont identiques. Elles ont une impédance caractéristique de 50Ω et une longueur de ligne d'interconnexion de $140 \mu\text{m}$. Les dimensions des Pads sont de $88 \mu\text{m} \times 88 \mu\text{m}$. Les structures Pad, Open et Short sont le kit POS associé à ce circuit de test. La figure II.18 permet de comparer les paramètres [S] de transmission (amplitude et phase) obtenus par ces deux méthode avec les paramètres [S] du stub. La simulation du composant est présentée en rose, les paramètres calculés avec le POS classique sont en bleu et les résultats obtenus grâce à la nouvelle méthode sont en rouge. En outre, Y_{int}^{Short} et Y_{int}^{Open} les paramètres d'admittance intrinsèques des standards "Short" et "Open" utilisés dans la nouvelle méthode d'épluchage sont déterminés par des simulations EM conformément à la procédure d'extraction expliquée dans la paragraphe 3.2.1.

Nous pouvons voir que la nouvelle méthode permet un épluchage acceptable là où la méthode conventionnelle ne le permet pas car les motifs "Court-circuit" et "circuit ouvert" des lignes ne peuvent pas être considérés comme idéaux pour des fréquences élevées.

À partir de cette comparaison, nous constatons que le S_{21} , calculé avec la méthode classique, est décalé en fréquence par rapport au S_{21} simulé mais cette erreur reste négligeable. En revanche, pour le S_{23} et le S_{13} , on observe que les paramètres calculés (amplitude et phase) sont beaucoup plus décalés en fréquence que les paramètres simulés. L'erreur, qui se produit entre les accès (1-3) et (2-3), montre que l'écart entre les ports influence sur l'épluchage multi-ports avec la méthode classique. En effet, l'écart entre l'accès 1 et 2 est égal à $618 \mu\text{m}$ alors que l'écart entre les accès 1 et 3 ainsi que celui entre les accès 2 et 3 est égal à $352 \mu\text{m}$ presque le moitié de l'écart (1-2). Ceci peut provoquer plus de couplage inductif et capacitif entre les lignes. En conséquence, les effets parasites produits par les standards ne peuvent pas être négligeables pour des caractérisations de MMIC multi-ports à des fréquences élevées.

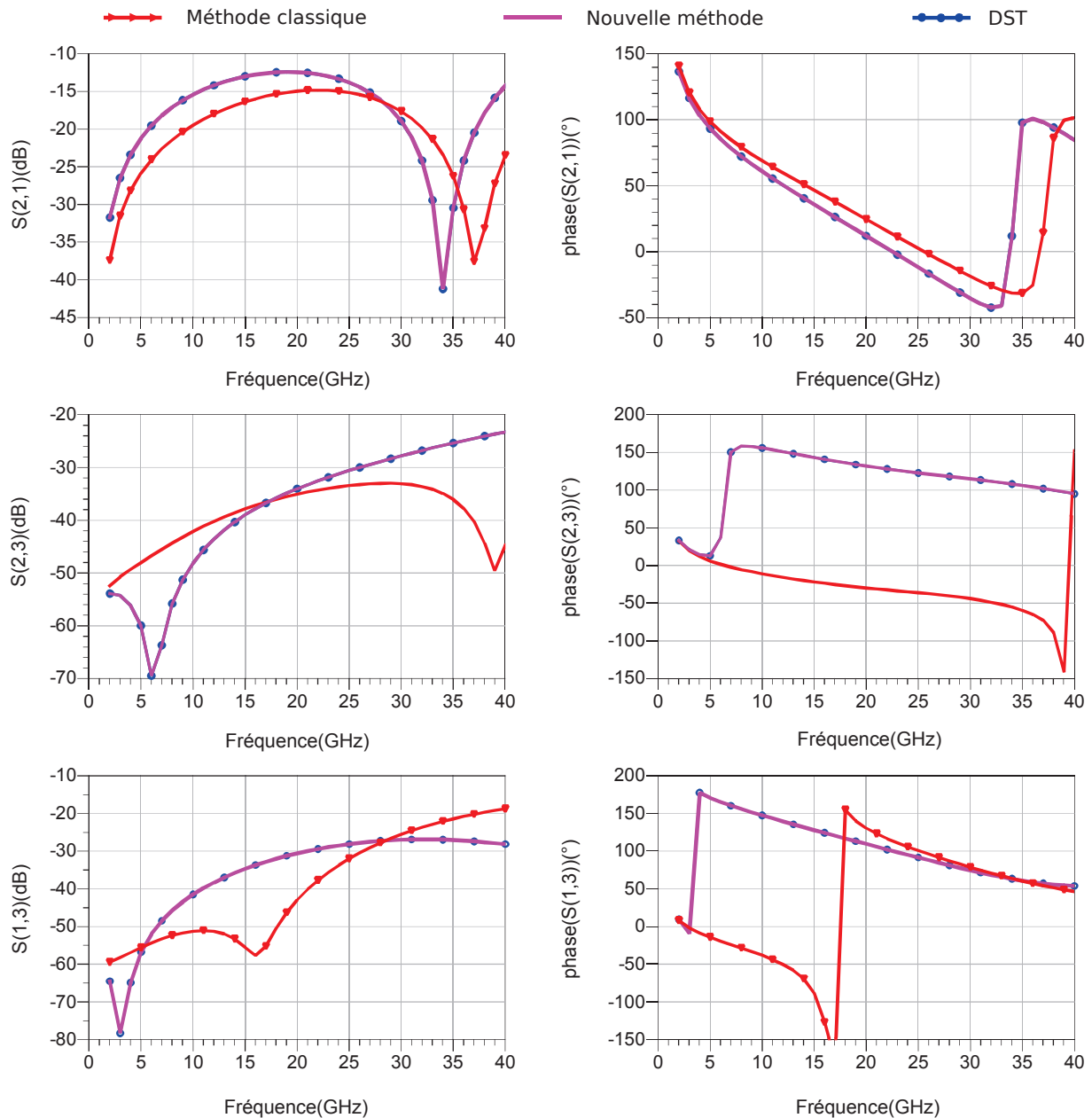


FIGURE II.18 – Comparaison des résultats des 2 méthodes d'épluchage par épluchage "Pad Open Short" et simulation du composant.

5 Mesures et validation

Afin de valider la méthode proposée, les motifs présentés dans la figure II.17 ont été mesurés avec un analyseur de réseau vectoriel (VNA) Keysight PNA-X et une station sous pointes entre 6GHz à 40GHz. Avant de mesurer les structures de test, le VNA et la station sous pointes ont été étalonnés avec un kit d'étalonnage (SOLT) placé sur un substrat standard d'impédance (ISS). Ce plan de référence est notre plan extrinsèque. Les structures (Pad + Ligne) "Open" et "Short" ainsi que le "Pad", présentés dans la figure II.17, ont été simulés et mesurés. Les figures II.19, II.20 et II.21 illustrent les coefficients de réflexion de ces struc-

tures.

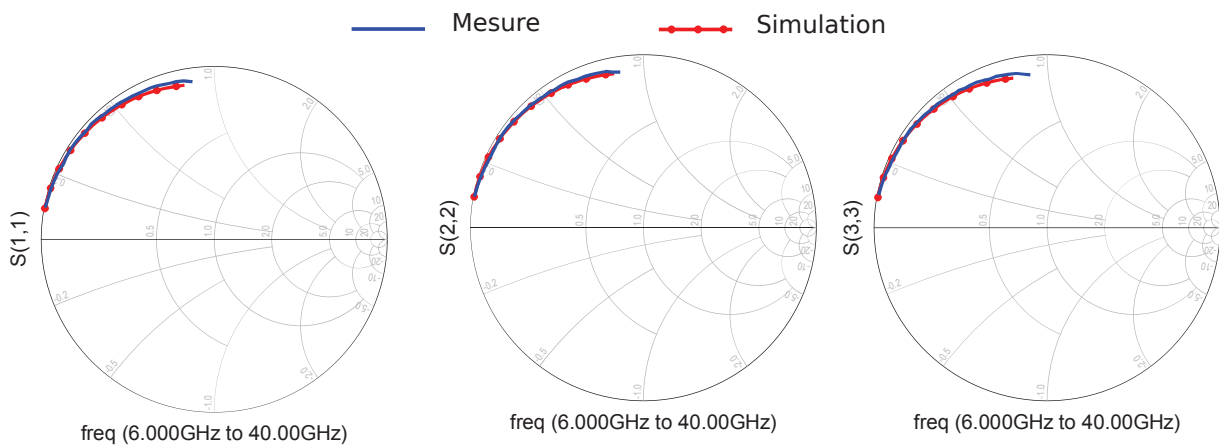


FIGURE II.19 – Simulations et mesures des coefficients de réflexion de motif de test (Pad + Ligne) en "Short".

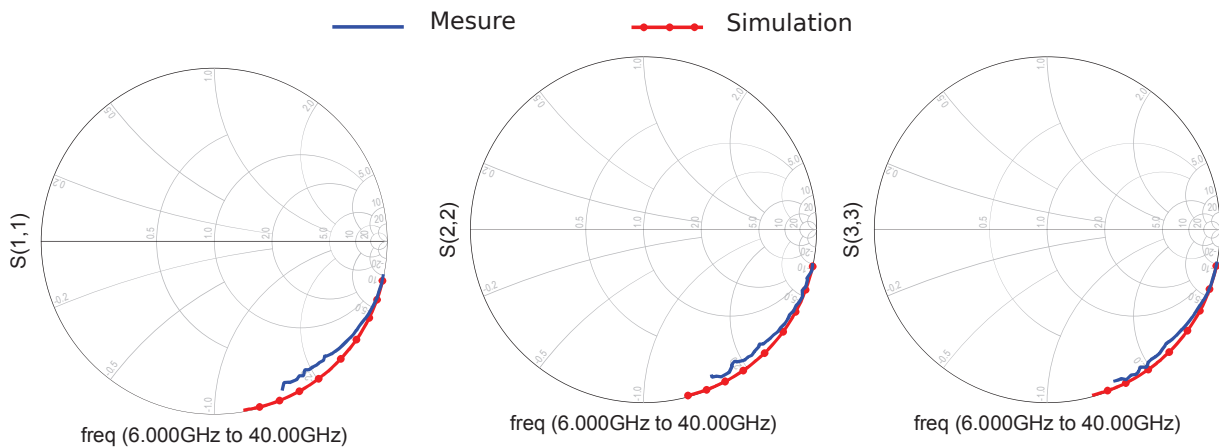


FIGURE II.20 – Simulations et mesures des coefficients de réflexion de motif de test (Pad + Ligne) en "Open".

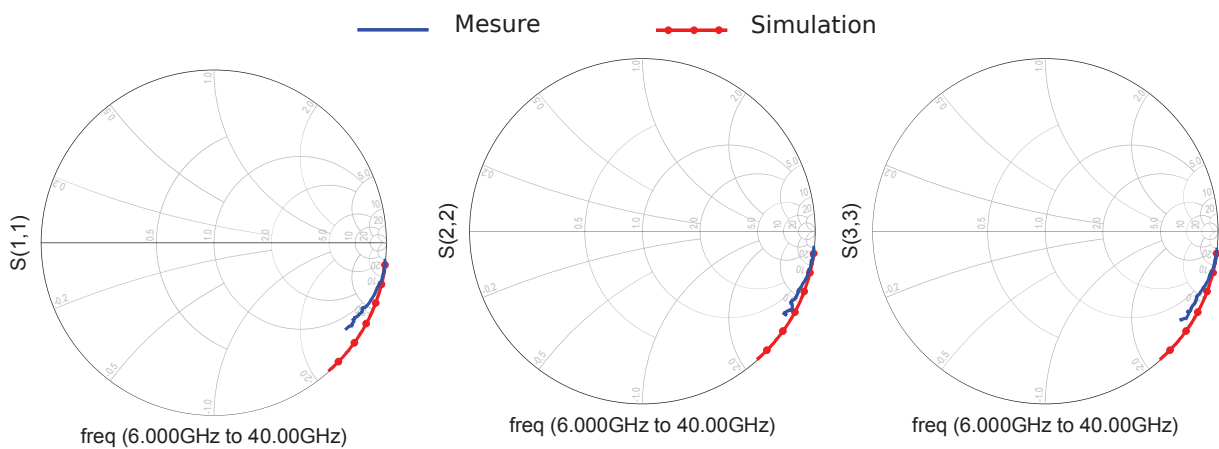


FIGURE II.21 – Simulations et mesures des coefficients de réflexion de motif de test "Pad".

Nous pouvons observer que les courbes simulées et mesurées sont proches les unes des autres dans le cas du standard "Short", ce qui valide les résultats de la simulation et justifie les hypothèses sur ce standard. En revanche, nous constatons que pour les standard "Open" et "Pad" les courbes mesurées s'écartent des courbes simulées. Ceci s'explique par le fait que les couplages mesurés entre les lignes sont plus importants qu'en simulation. Dans notre cas, l'imperfection du standard "Pad" n'influe pas sur la correction des mesures jusqu'à 40GHz. Cependant, pour des mesures à des fréquences plus élevées, il faut tenir compte de cette imperfection.

Nous avons déterminé les paramètres Y_{int}^{Short} et Y_{int}^{Open} des standards non idéaux 3 accès en nous appuyant sur les paramètres [S] des lignes obtenus avec la méthode TRL. En effet, les lignes de transmission des deux kits ont les mêmes caractéristiques. Par ailleurs, les coefficients de réflexion en (Short et Open) pour les 3-accès sont très proches. Dans les figures ci-dessus, nous avons présenté les coefficient de réflexion intrinsèques de deux standards non idéaux.

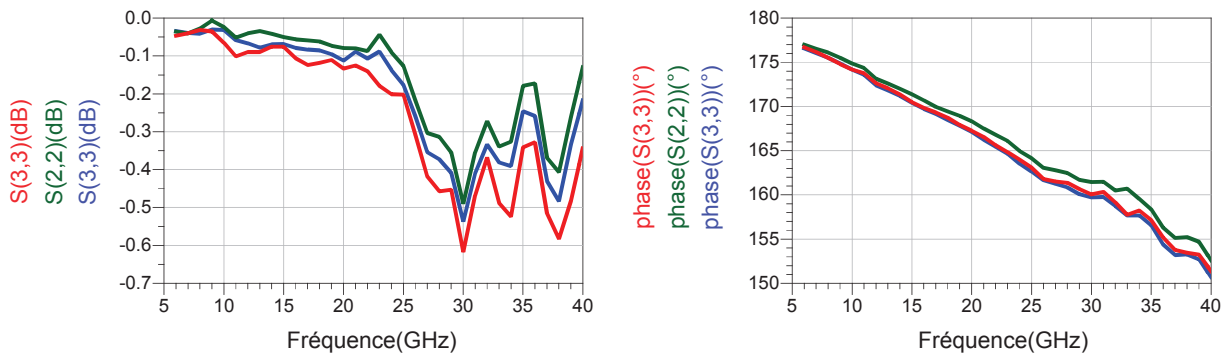


FIGURE II.22 – Les coefficient de réflexion intrinsèques du standards Short 3-accès.

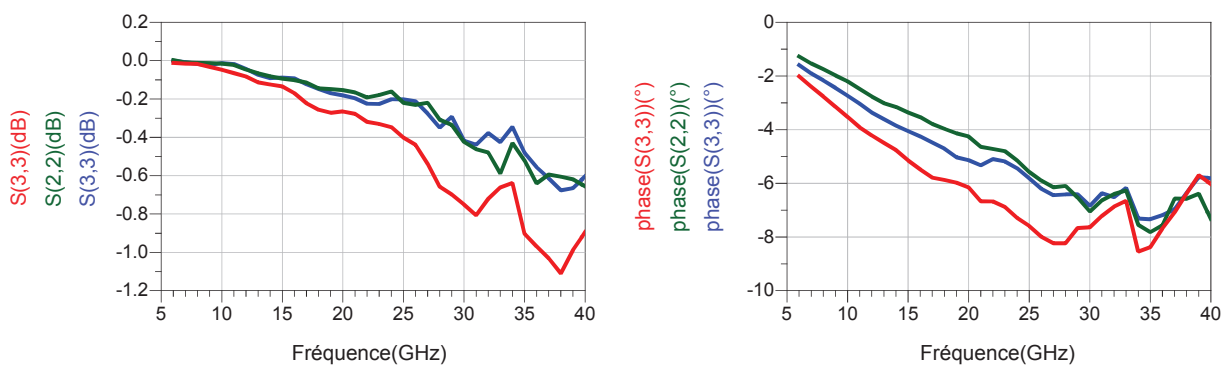


FIGURE II.23 – Les coefficient de réflexion intrinsèques du standards Open 3-accès.

Nous avons également comparé les paramètres [S] de transmission (S_{21} , S_{31} , S_{23}) mesurés et simulés avant épluchage du circuit de test présenté dans le paragraphe 4.2. La comparaison est illustrée dans la figure II.24. Nous pouvons clairement constater que le S_{21} mesuré

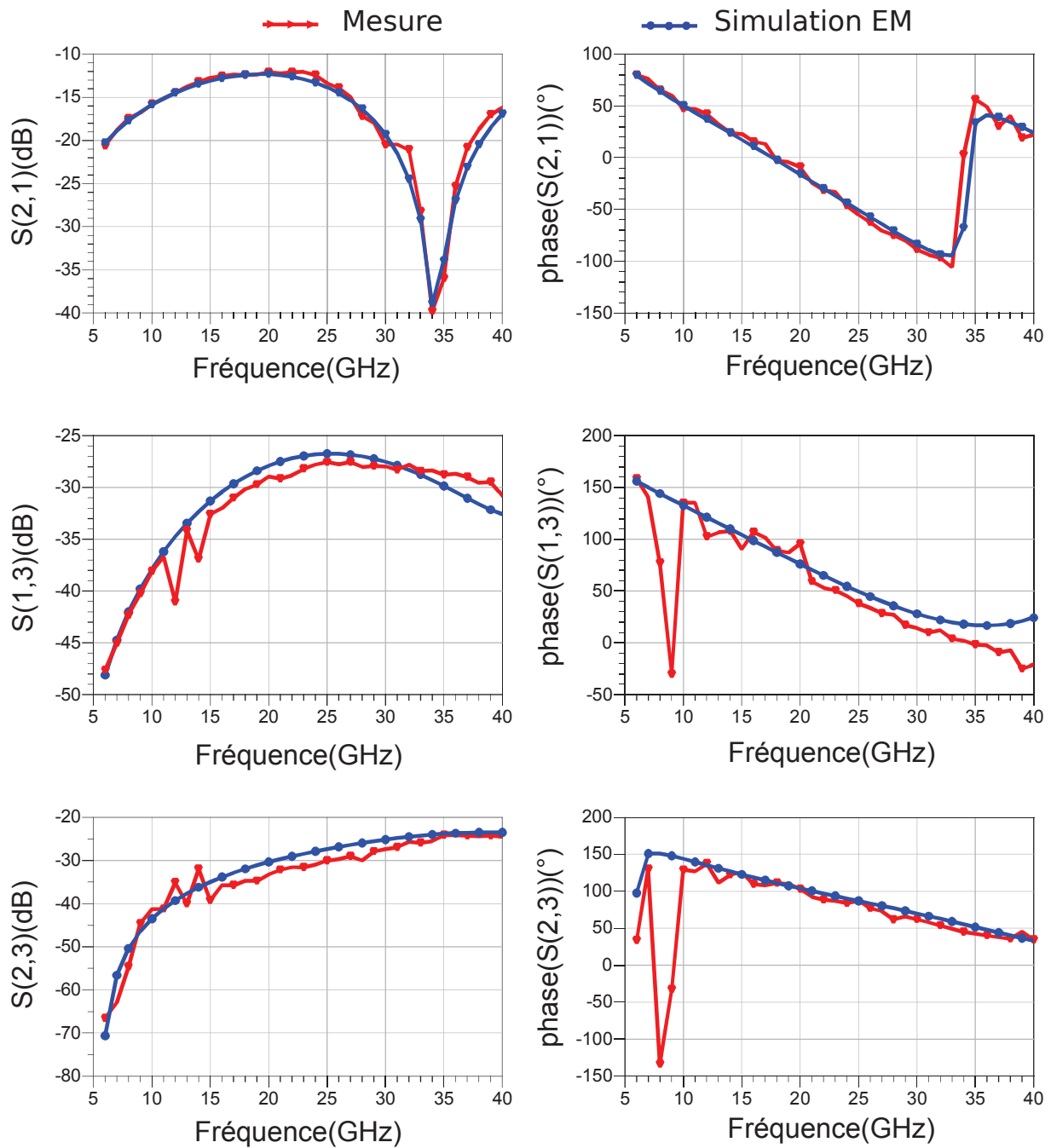


FIGURE II.24 – Simulations et mesures des coefficients de transmission du composant étudié

et simulé coïncident parfaitement. En revanche, les S_{23} et S_{21} présentent quelques imperfections. Ce problème est lié aux effets parasites existant entre les accès 1 et 3 ainsi qu'entre les accès 2 et 3.

Après calcul des paramètres [S] du composant avec la nouvelle méthode d'épluchage, les paramètres S de transmission (S_{21} , S_{23} et S_{13}) sont comparés aux résultats de simulation électromagnétique dans la figure II.25.

Nous pouvons de nouveau observer que la nouvelle méthode d'épluchage donne des ré-

sultats très proches des simulations électromagnétique du DST pour la bande de fréquences de 6GHz à 40GHz, ce qui valide la conception des motifs et la nouvelle méthode d'épluchage.

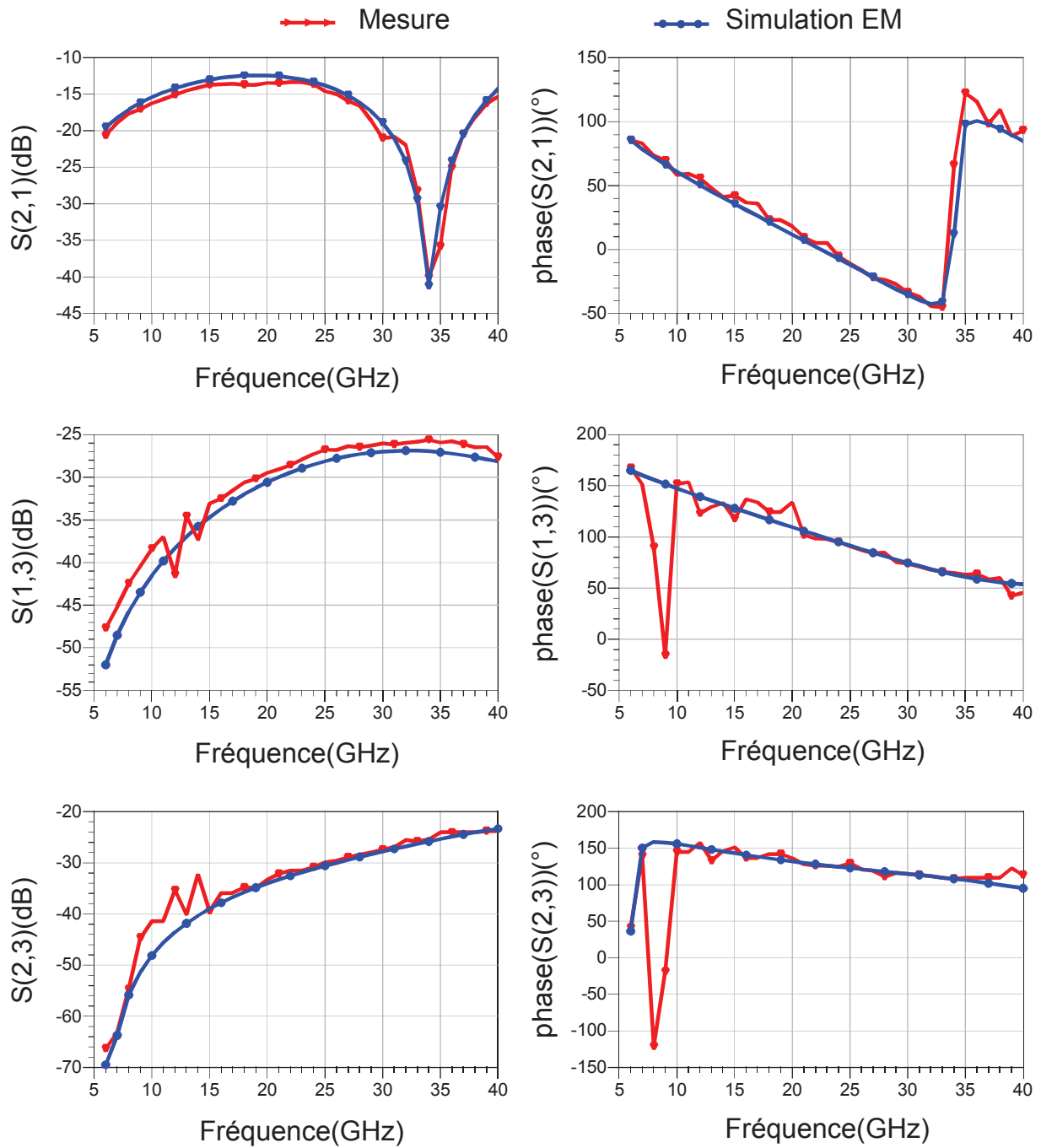


FIGURE II.25 – Résultats de mesure d'épluchage obtenus en utilisant la nouvelle méthode "Pad-Open-Short" comparés avec ceux de la simulation électromagnétique.

6 Conclusion

Dans ce chapitre, nous avons expliqué les limitations de la méthode d'épluchage classique "Pad Open Short". Nous avons montré que l'impact des standards non idéaux dans la procédure d'épluchage n'est pas négligeable, et cela d'autant plus quand on monte en fréquence. Par ailleurs, nous avons proposé une nouvelle méthode prenant en compte les imperfections des standards afin de garantir un épluchage optimal. En effet, nous avons proposé une méthode simple d'obtention des paramètres[S] intrinsèques des standards d'étalement par simulation électro-magnétique. De plus, nous avons validé cette méthode avec la méthode TRL. Ensuite, nous avons proposé une extension de la méthode POS à des composants multi-ports ainsi que la topologie d'un circuit de test à 3 accès. Un circuit de test à 3-access à été développé afin de valider et vérifier expérimentalement la méthode jusqu'à 40GHz en mode multi-ports.

Chapitre **III**

Modélisation électrique 3-accès d'un transistor

Sommaire

1	Introduction	56
2	Caractérisation de transistor en 3-accès	56
2.1	Le transistor pHEMT/AsGa 8*60 μm	56
2.2	Banc de caractérisation I(V) en impulsion	57
2.3	Banc de caractérisation des paramètres S/I(V) continu	58
2.4	Épluchage 3-accès du transistor	59
3	Principe et modélisation linéaire et non linéaire des transistors	60
3.1	Principe de la modélisation linéaire	60
3.2	Principe de la modélisation non linéaire	63
4	Validation du modèle en régime petit signal	74
5	Conclusion	78

1 Introduction

Dans le premier chapitre, nous avons montré l'intérêt de la modélisation 3-accès des transistors aux fréquences micro-ondes. De plus, nous avons montré, dans la partie précédente, l'importance de d'épluchage pour la caractérisation des composants MMIC à des fréquences élevées. En outre, nous avons étudié et amélioré la méthode d'épluchage (Pad Open Short), et nous avons également validé les résultats de cette méthode par des mesures allant jusqu'à 40GHz. Cette méthode est maintenant appliquée à la modélisation du transistor.

Nous présenterons ainsi dans ce chapitre la modélisation 3-accès de pHEMT/AsGa, telle qu'elle est effectuée au laboratoire XLIM. Tout d'abord, nous introduirons les moyens nécessaires à la caractérisation des transistors 3-accès, qui permettent d'une part d'évaluer leurs performances électriques ainsi que d'obtenir toutes les informations utiles pour leur modélisation. Ensuite, nous décrirons la méthodologie de modélisation à suivre dans ce travail. En effet, nous utiliserons une méthodologie d'extraction des paramètres du modèle non linéaire basée sur des mesures 3-accès. Cette méthodologie est basée sur l'identification des paramètres admittance du transistor. Par la suite, un modèle électrique sera décrit et des résultats de simulation seront comparés avec des mesures de transistors de la filière PH25 d'UMS afin de valider sa description ainsi que les méthodes proposées d'extraction des paramètres.

2 Caractérisation de transistor en 3-accès

2.1 Le transistor pHEMT/AsGa 8*60 μm

Le transistor, que nous allons caractériser et modéliser au cours de cette étude, est le transistor pHEMT sur un substrat AsGa de la filière PH25, traité par United Monolithic Semiconductors (UMS). La figure III.1 montre la photographie de ce transistor de développement de grille 480 μm présentant 8 doigts de 60 μm .

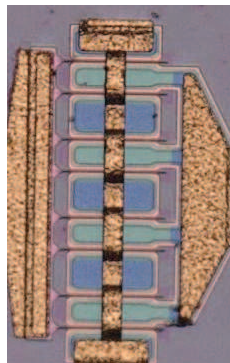


FIGURE III.1 – Photographie du transistor de développement de grille 8*60 μm .

2.2 Banc de caractérisation I(V) en impulsion

La mesure des caractéristiques I(V) en impulsions est une étape nécessaire pour la caractérisation isotherme des transistors micro-ondes. En effet, des tensions et courants de polarisation impulsions sont utilisés pour s'affranchir du phénomène d'auto-échauffement du transistor. Ainsi, les régions à risque telle que l'avalanche ou la saturation peuvent être explorées sans détruire le composant. En effet, les impulsions explorent toutes les régions où le transistor est susceptible de fonctionner dans des conditions de polarisation imposées par l'utilisateur (figure III.2).

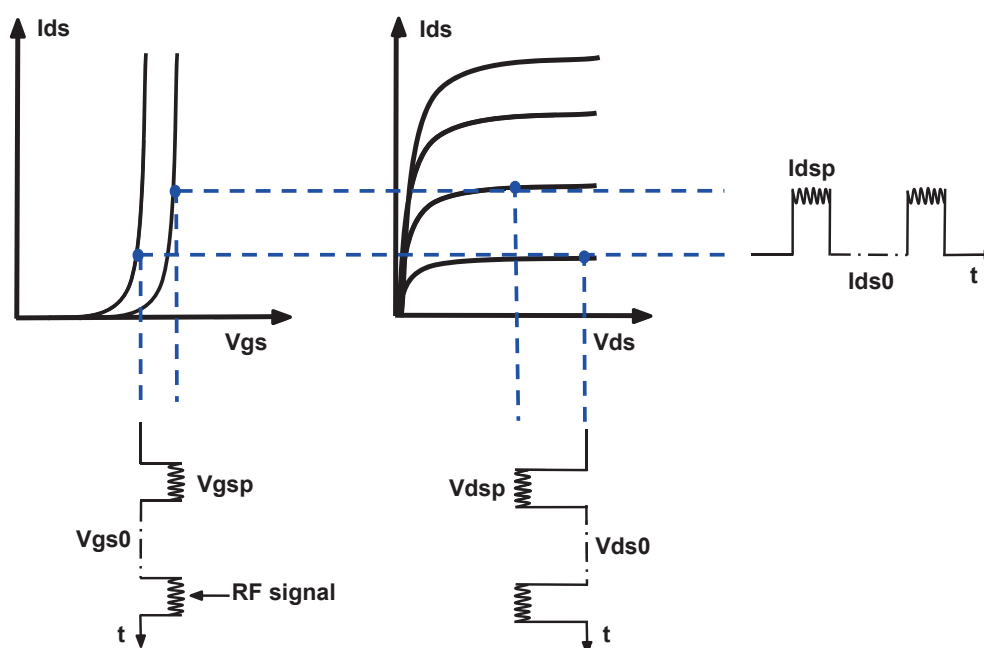


FIGURE III.2 – Principe de mesure I(V) en impulsion [52].

Afin de satisfaire le caractère isotherme de la mesure, la longueur des impulsions et leurs récurrences doivent remplir les spécifications suivantes :

- La durée d'impulsion (T_p) doit être inférieure à la constante de temps thermique du transistor.
- La durée de l'impulsion (T_p) doit être suffisamment longue pour atteindre l'état établi et pouvoir faire une mesure précise des tensions et courants.
- Le taux de récurrence des impulsions (T_r) doit être très grand devant la durée de l'impulsion afin que l'état thermique soit bien défini par le point de polarisation.

Cette mesure I(V) est souvent couplée à une mesure de paramètres [S] dans l'impulsion [53, 54]. Cependant, dans notre cas nous avons effectué ces deux mesures séparément. En effet, l'instrument utilisé XLIM qui permet de récupérer les paramètres [S] 3-accès jusqu'à 40GHz, l'analyseur de réseau vectoriel (VNA) Keysight PNA-X, ne dispose pas de l'option de mesure impulsionnelle.

Le banc exécutant cette caractérisation est décrit en figure III.3.

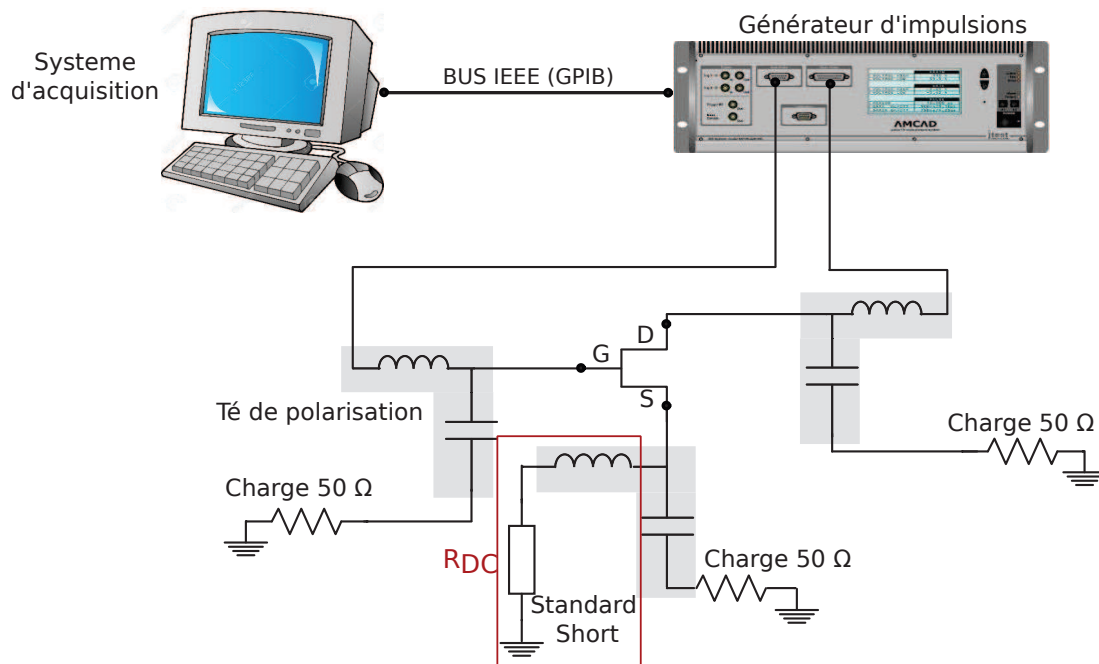


FIGURE III.3 – Organisation du banc de mesure I[V] en impulsion.

Ce banc est composé :

- de générateur d'impulsions continues [55],
- des tés de polarisation,
- d'un standard Short,
- de 3 standards Load 50 Ω ,
- d'un ordinateur afin de synchroniser les différents appareils entre eux et d'acquérir les données.

Dans cette mesure nous nous intéressons aux caractéristiques I(V) 2-accès intrinsèques du transistor. Pour cela nous avons connecté un standard "Short" sur l'accès DC de la source. Néanmoins, ce standard n'est pas idéal car des effets parasites résistifs sont introduits par le banc de mesure (standard Short, té de polarisation ...) sur l'accès DC de la source. Ces effets sont modélisés par R_{DC} dans la figure III.3. La mesure montre que la valeur de cette résistance vaut 2 Ω .

Sur la figure III.3 nous pouvons observer également que les accès RF sont connectés aux standards load 50 Ω afin d'assurer la stabilité du transistor et de se mettre dans la même configuration que celle des mesures hyperfréquences.

2.3 Banc de caractérisation des paramètres S/I(V) continu

Le banc de mesure est composé d'un analyseur de réseau vectoriel (VNA) Keysight PNA-X, de deux alimentations DC Keysight Agilent (E363X) pour polariser le transistor, ainsi que

d'une station sous pointes de 5GHz à 40GHz. L'analyseur de réseau vectoriel comprend des té de polarisation interne. Tout les appareils de ce montage sont gérés par un programme d'automatisation MATLAB développé par Clément HALLEPEE au sien de notre laboratoire. Les mesures des paramètres [S] doivent être faites en chaque point du réseau I(V). De la même façon l'accès DC de la source a été court circuité par un standard Short au niveau de té de polarisation interne du PNA-X. La figure III.4 schématise le câblage du banc de mesure.

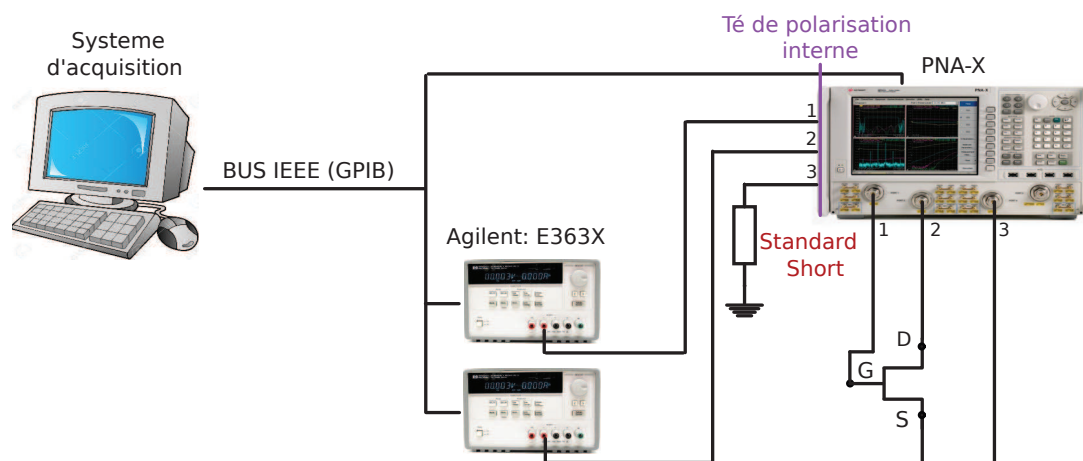


FIGURE III.4 – Schéma du banc de mesure 3-accès complet.

La caractérisation est réalisée sur puce à l'aide de pointes de test. L'étape importante lors de la mesure des paramètres petits signaux est la calibration, qui consiste à ramener la mesure dans des plans au plus près du transistor que nous cherchons à modéliser. Il s'agit donc de déterminer les pertes et les déphasages introduits par les câbles et les probes reliant le PNA-X au transistor afin de les soustraire à la mesure. Dans la littérature, il existe plusieurs méthodes de calibration tel que TRL, SOLT, LRRM, etc. Dans notre cas, nous avons étalonné le PNA-X et la station sous pointes avec un kit SOLT placé sur un substrat standard d'impédance (ISS). En effet, ce plan de référence est notre plan extrinsèque.

2.4 Épluchage 3-accès du transistor

Après avoir abordé la méthode de mesure hyperfréquences, nous présenterons dans cette partie le motif de test 3-accès réalisé ainsi que la méthode d'épluchage des plots de mesure. Comme nous l'avons évoqué précédemment, l'épluchage consiste à soustraire les effets des accès du transistor pour remonter aux paramètres S dans le plan d'entrée du transistor. En effet, les accès de transistor (la grille, le drain et la source) sont connectés à des plots afin de réaliser des mesures sous pointes. La figure III.5 décrit la structure de test réalisée. Cette dernière est composée de lignes de transmission identiques ayant une impédance caractéristique de 50Ω et une longueur de ligne d'interconnexion de $140 \mu\text{m}$. Les pads (Ground-

Signal-Ground), ont une dimension de $88 \mu\text{m} \times 88 \mu\text{m}$. Les dimensions de cette structure de test ont été choisies afin d'utiliser le même kit d'épluchage (Pad Open Short) que celui réalisé dans le deuxième chapitre. Ainsi, un kit d'épluchage (Pad Open Short) avec des standards non idéaux est appliqué à ce motif de test.

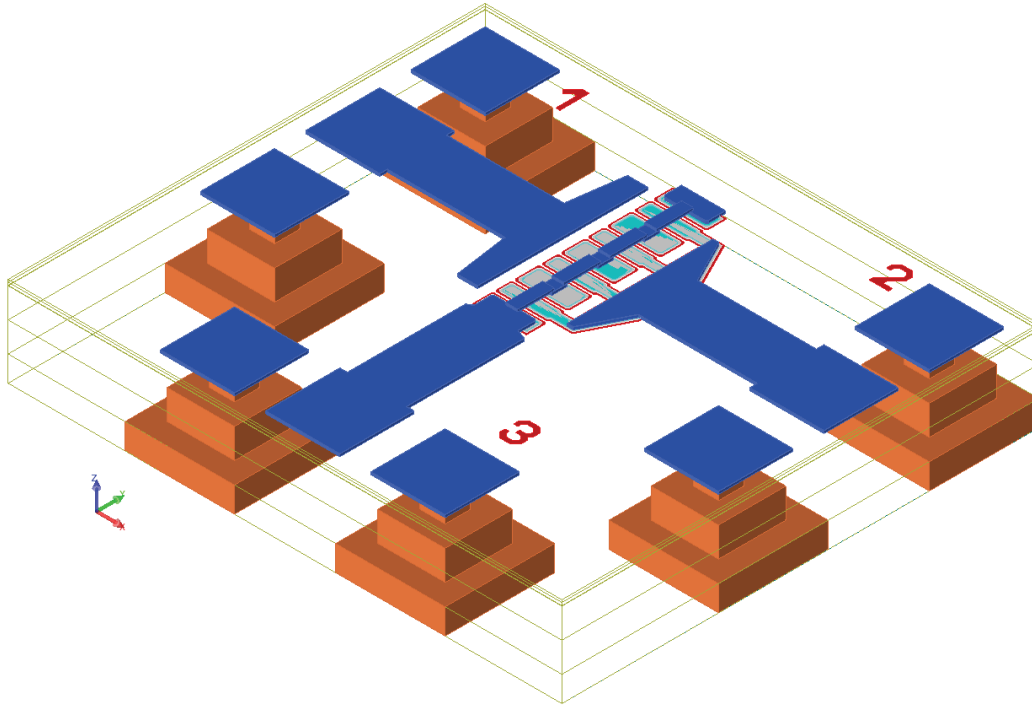


FIGURE III.5 – Vue en perspective du motif de test.

3 Principe et modélisation linéaire et non linéaire des transistors

3.1 Principe de la modélisation linéaire

Nous détaillons ici la procédure de la modélisation des composants HEMT. Nous présentons la méthodologie d'extraction du modèle linéaire développée au sein du laboratoire XLIM [56].

Actuellement, le modèle le plus utilisé est le modèle équivalent en éléments localisés. Le schéma équivalent petit signal est composé de deux parties : une partie intrinsèque et une partie extrinsèque (figure IV.5). Chaque élément modélise un comportement physique ou une propriété électronique du transistor à effet de champs. Pour l'extraction du modèle, il faut réaliser un changement de plan de référence, appelé de-embedding [57], pour enlever les lignes et les plots de connexion et extraire les mesures du transistor intrinsèque.

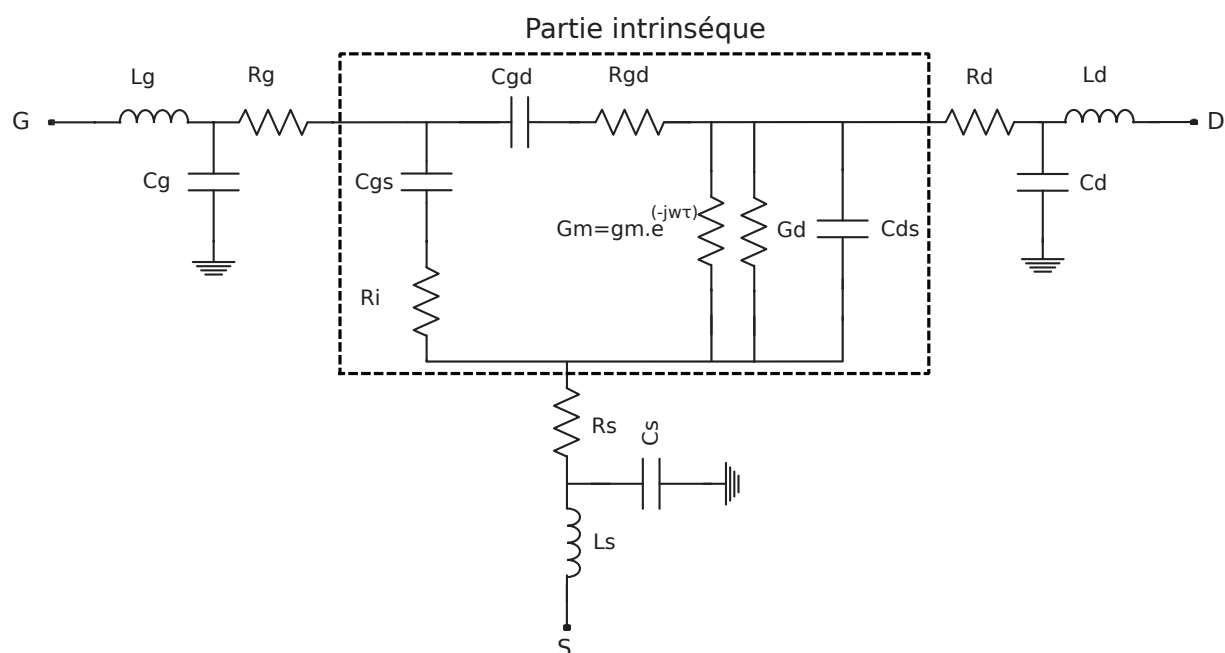


FIGURE III.6 – Modèle équivalent petit signal d'un transistor 3-accès.

3.1.1 Méthode de détermination des éléments extrinsèques/intrinsèques

La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Pour cela, nous avons utilisé une méthode d'extraction basée sur le fait qu'il n'existe qu'un seul jeu de paramètres extrinsèques (R_g , L_g , C_g , R_d , L_d , C_d , R_s , C_s , L_s) pour lesquels les paramètres intrinsèques (G_m , G_d , C_{gs} , C_{gd} , C_{ds} , R_i , R_{gd}) sont indépendants de la fréquence [56]. Cet algorithme d'extraction permet de déterminer les valeurs des éléments extrinsèques puis d'en déduire les valeurs des éléments intrinsèques quelque soit le point de polarisation du transistor. Pour un jeu de paramètres extrinsèques, on extrait la matrice admittance intrinsèque $[Y]^{int}$ à partir des paramètres $[S]$ mesurés (extraction direct) [56]. Ensuite, à partir de la matrice admittance intrinsèque on extrait par calcul analytique l'ensemble des paramètres intrinsèques du modèle. La matrice $[Y]^{int}$ est obtenue par transformations successives de la matrice $[S]$ mesurée (figure III.7).

Cette méthode d'extraction directe permet de déterminer instantanément la valeur des différents éléments intrinsèques du modèle dont les relations relatives aux paramètres $[Y]$ du modèle intrinsèque sont résumées ci-dessous :

$$C_{gd} = \frac{-Im(Y_{12})}{\omega} \left[1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})} \right)^2 \right], \quad (III.1)$$

$$R_{gd} = \frac{-Re(Y_{12})}{C_{gd}^2 \omega^2} \left[1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})} \right)^2 \right], \quad (III.2)$$

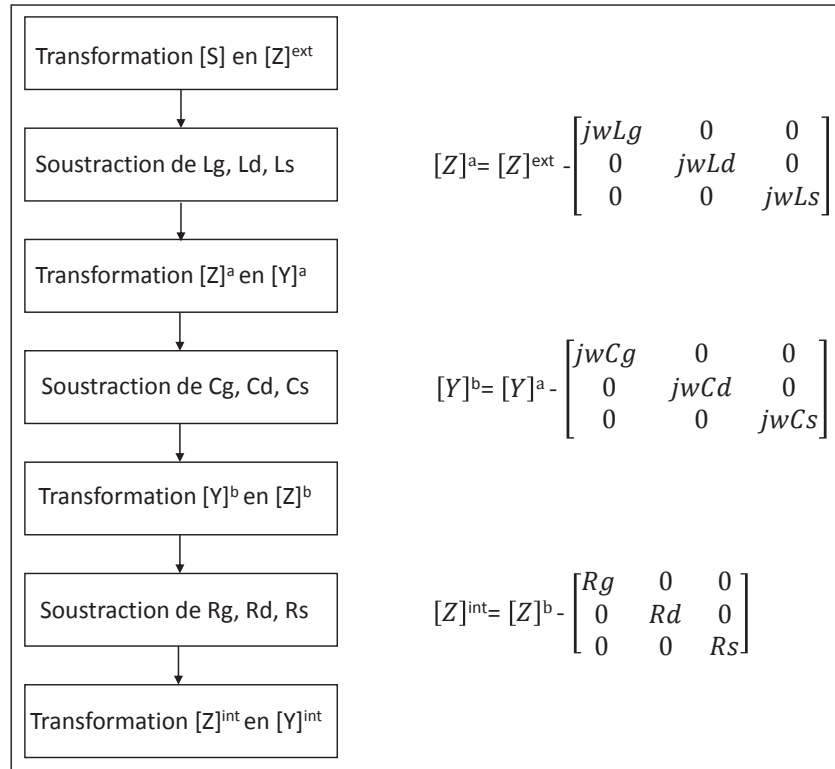


FIGURE III.7 – Détermination de la matrice admittance intrinsèque du transistor.

$$Cgs = \frac{-Im(Y_{13})}{\omega} \left[1 + \left(\frac{Re(Y_{13})}{Im(Y_{13})} \right)^2 \right], \quad (\text{III.3})$$

$$Ri = \frac{-Re(Y_{13})}{Cgs^2 \omega^2} \left[1 + \left(\frac{Re(Y_{13})}{Im(Y_{13})} \right)^2 \right], \quad (\text{III.4})$$

$$Cds = \frac{1}{2\omega} Im(Y_{32}), \quad (\text{III.5})$$

$$Gd = -Re(Y_{32}), \quad (\text{III.6})$$

$$Gm = |Y_{12} - Y_{21}|, \quad (\text{III.7})$$

$$\tau = -\frac{1}{2\omega} \arg(Y_{12} - Y_{21}), \quad (\text{III.8})$$

Dans la suite, nous appliquerons ce procédé pour l'extraction des éléments extrinsèques et intrinsèques du transistor 8*60μm pHEMT/AsGa.

3.1.2 Détermination des éléments extrinsèques et intrinsèques du transistor 8*60 μm pHEMT/AsGa

Les paramètres du modèle sont extraits pour le point de polarisation de l'application visée. Ce point de repos de référence correspond à ($V_{gs0} = -0,5 \text{ V}$, $V_{ds0} = 2 \text{ V}$, $I_{ds0} = 36 \text{ mA}$). A ce point de polarisation est associé un fichier de mesures contenant les paramètres [S] de 5 à 40GHz par pas de 1GHz. La méthode d'extraction décrite précédemment est appliquée à ce fichier de paramètres S, ce qui permet d'obtenir les éléments du schéma petit signal dont les valeurs sont indiquées dans les tableaux ci-dessous.

Paramètres extrinsèques								
Rg (Ω)	Rd (Ω)	Rs (Ω)	Lg (pH)	Ld (pH)	Ls (pH)	Cg (fF)	Cd (fF)	Cs (fF)
0,5	1,36	1,75	33	32,5	36	16,2	16,6	15

Tableau III.1 – Valeurs des paramètres extrinsèques extraits au point de polarisation de repos $V_{gs0} = -0,5 \text{ V}$, $V_{ds0} = 2 \text{ V}$, $I_{ds0} = 36 \text{ mA}$ du transistor 8*60 μm pHEMT/AsGa.

Paramètres intrinsèques							
Ri (Ω)	Rgd (Ω)	Cgs (pF)	Cgd (pF)	Cds (pF)	Gd(mS)	Gm(mS)	τ (ps)
2,552	0,416	0,227	0,103	0,12	10	249	1,54

Tableau III.2 – Valeurs des paramètres intrinsèques extraits au point de polarisation de repos du transistor 8*60 μm .

La figure III.8 montre une bonne corrélation entre les paramètres [S] mesurés pour ce point de polarisation et les paramètres [S] issus du modèle petit signal dans la bande [5GHz-40GHz].

3.1.3 Détermination des éléments intrinsèques du transistor 8*60 μm pHEMT/ AsGa à froid

Nous appliquons la même méthode d'extraction pour le transistor à froid afin d'obtenir les éléments intrinsèques. Le point de polarisation ici correspond à ($V_{gs} = 0 \text{ V}$, $V_{ds} = 0 \text{ V}$). Les paramètres extrinsèques trouvés lors de l'extraction au point de polarisation de repos ($V_{gs0} = -0.5 \text{ V}$, $V_{ds0} = 2 \text{ V}$, $I_{ds0} = 36 \text{ mA}$) ont été réajustés pour ce point de polarisation. Les valeurs des paramètres intrinsèques et extrinsèques sont regroupées dans les tableaux III.4. Par ailleurs, nous avons moyenné les différentes valeurs extrinsèques obtenues pour ces point de polarisation pour paramétrer le modèle final, qui sera utilisé par la suite.

3.2 Principe de la modélisation non linéaire

La topologie du modèle non linéaire de caractéristiques I(V), que nous allons utiliser pour toute la suite de notre étude, est présentée dans la figure III.9. Ce modèle fournit une

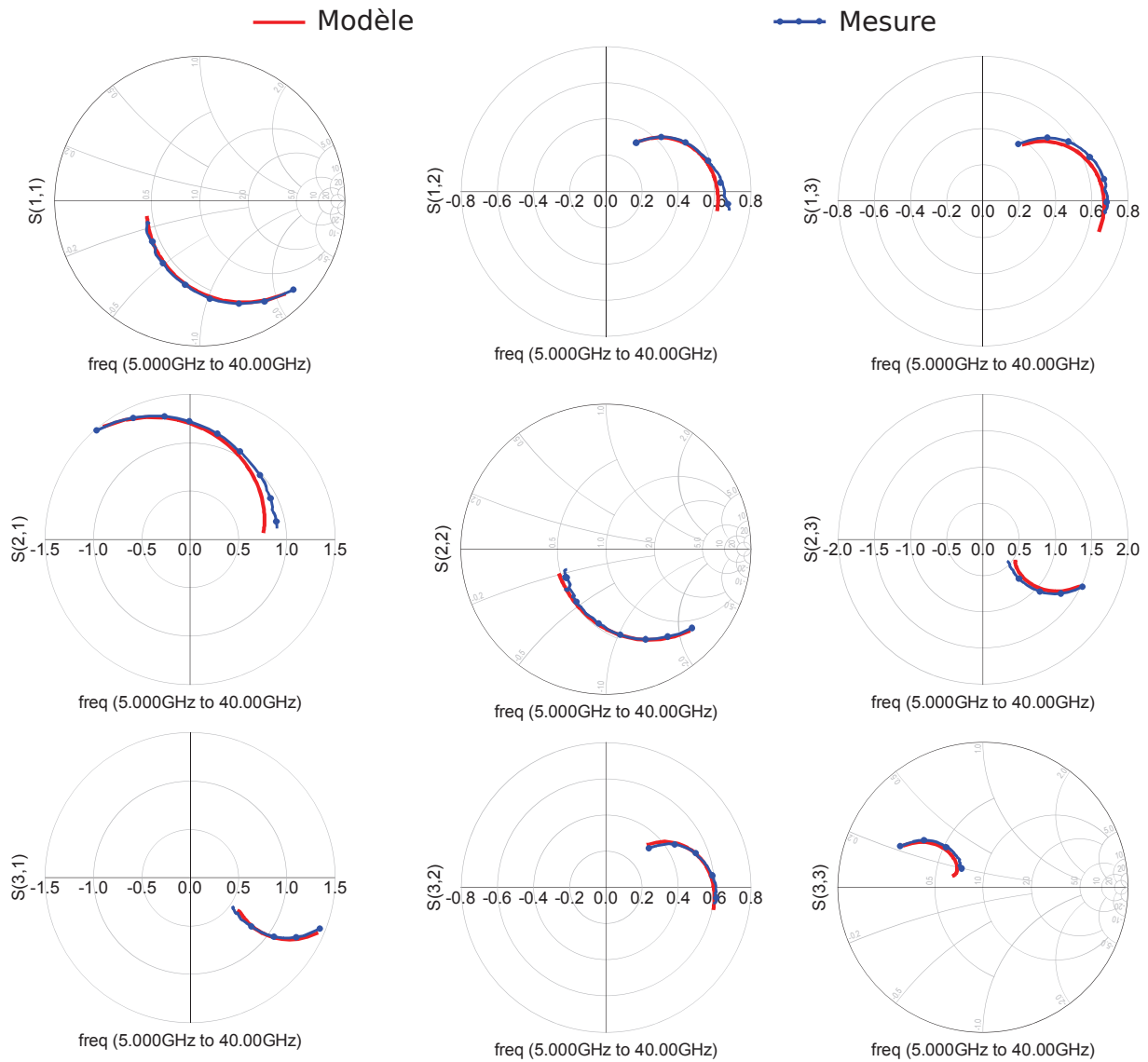


FIGURE III.8 – Comparaison mesures/modèle des paramètres [S] pour le point de polarisation $V_{gs0} = -0,5V$, $V_{ds0} = 2V$.

Paramètres extrinsèques								
Rg (Ω)	Rd (Ω)	Rs (Ω)	Lg (pH)	Ld (pH)	Ls (pH)	Cg (fF)	Cd (fF)	Cs (fF)
0,36	1,6	1,4	36,73	40	37,2	16,43	16,75	15,12

Tableau III.3 – Valeurs des paramètres extrinsèques extraits à froid du transistor $8*60 \mu m$.

Paramètres intrinsèques							
Ri (Ω)	Rgd (Ω)	Cgs (pF)	Cgd (pF)	Cds (pF)	Gd(mS)	Gm(mS)	τ (ps)
1,475	0,16	0,4773	0,144	11	0	0	1,5

Tableau III.4 – Valeurs des paramètres intrinsèques extraits à froid du transistor $8*60 \mu m$.

description complète du comportement statique du transistor. En effet, il se décompose de plusieurs éléments, tels que les résistances d'accès (Rg, Rd, Rs), le modèle de la source de

courant (I_{ds}) et les diodes d'entrées ($I_{D_{GS}}$, $I_{D_{GD}}$).

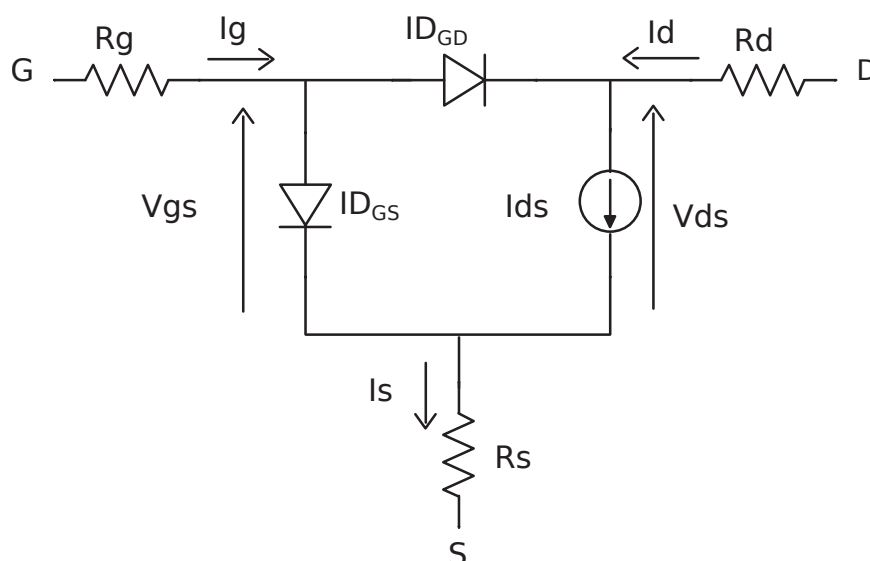


FIGURE III.9 – Modèle non linéaire convectif de transistor HEMTs.

Comme nous l'avons présenté précédemment, les paramètres résistifs (R_g , R_d , R_s) sont extraits des mesures hyperfréquences. En effet, les résistances R_d et R_s peuvent être obtenues à partir des mesures $I(V)$, cependant de manière moins précise. La somme $R_{on} = R_d + R_s + R_{canal}$ est accessible grâce au réseau $I(V)$. En revanche, il est préférable de garder les valeurs des résistances R_s et R_d extraites avec les mesures hyperfréquences et de ne les rajuster que si nécessaire. Par ailleurs, la modélisation de la partie convective et de la partie hyperfréquence sont étroitement liées et les phases de modélisation linéaire et non linéaire doivent être réalisées de telle sorte à garder une cohérence entre les mesures statiques et les mesures hyperfréquences.

Dans la prochaine partie, nous allons proposer deux modèles statiques. Le premier est basé sur les équation de Tajima modifié, et est extrait à partir des mesures $I(V)$ pulsées. Tandis que le deuxième est extrait à partir des mesures $I(V)$ en continu et est modélisé à partir des équation du modèle GAMM proposé par O. Jardel. Celui ci permet la description du réseau $I(V)$ négatif et donc d'élargir son domaine à des applications de commutation.

3.2.1 Modélisation du source de courant avec le modèle de Tajima modifié et le modèle de diodes idéales

3.2.1.1 La source de courant I_{ds} : L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions V_{gs} et V_{ds} . Dans notre cas, nous avons utilisé comme modèle de base celui de tajima [58] dont le modèle de la source de courant décrit assez précisément les caractéristiques de sortie du transistor de

la zone de pincement jusqu'à la limite de la zone de conduction de grille pour les valeurs positives de V_{ds} . A ce modèle, un terme multiplicatif " $Correct_{GmGd}$ " est ajouté de façon à prendre en compte la décroissance de la conductance G_m et à régler l'amplitude de la résistance de sortie ($R_{ds}=1/G_d$). La formulation complète (souvent appelée "modèle de Tajima modifié" [59]) utilisée pour la modélisation de la source de courant est

$$I_d = I_{d_{Tajima}} \times Correct_{GmGd} \quad (III.9)$$

avec :

$$Correct_{GmGd} = 1 + \beta g_m \times (V_{ds} + V_{dm}) \times (1 + \tanh(\alpha g_m \times (V_{gs} - V_{gm}))) \quad (III.10)$$

$$I_{d_{Tajima}} = \frac{I_{dss}}{1 - \frac{1}{m}(1 - e^{-m})} [V_{GSN} - \frac{1}{m}(1 - e^{mV_{GSN}})] \times [1 - e^{-V_{DSN}(1 - aV_{DSN} - bV_{DSN}^e)}] \quad (III.11)$$

$$V_{GSN} = 1 + \frac{V_{GS}((t - \tau) - V_{\phi})}{V_P} \quad (III.12)$$

$$V_{DSN} = \frac{V_{DS}}{V_{DSP}(1 + w \frac{V_{GS}(t - \tau)}{V_p})} \quad (III.13)$$

$$V_P = V_{P0} + pV_{DSP} + V_{\phi} \quad (III.14)$$

3.2.1.2 Les diodes d'entrées ID_{GD} et ID_{GS} : Les diodes d'entrées représentent des générateurs de courant non linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives de V_{gs} et des valeurs de V_{ds} faibles. Les expressions utilisées pour modéliser ce courant sont les suivantes :

$$ID_{GS} = I_{sgs} \cdot [e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot k \cdot T}} - 1] \quad (III.15)$$

$$ID_{GD} = I_{sgd} \cdot [e^{\frac{q \cdot V_{gd}}{N_{gd} \cdot k \cdot T}} - 1] \quad (III.16)$$

3.2.1.3 Paramètres de la source de courant et des diodes du transistor pHEMT/AsGA 8*60 : Afin d'obtenir les caractéristiques $I(V)$ du transistor et pour extraire les paramètres de la source du courant, des mesures pulsées ont été effectuées à température ambiante. Les paramètres de la source du courant ont été extraits à partir des mesures pulsées $I(V)$ pour le point de polarisation de repos $V_{gs0} = -0,5V$, $V_{ds0} = 2V$, ce qui correspond au point de l'application visée. Les mesures $I(V)$ en impulsion, ont été effectuées pour une période et une

largeur d'impulsions respectivement de $100\mu\text{s}$ et $4,5\mu\text{s}$, une tension V_{gsi} variant de -1V à $+0,9\text{V}$ et pour une tension V_{ds} variant de 0V à $3,5\text{V}$ pour chaque point de tension V_{gsi} .

La figure III.10 montre une comparaison entre les mesures impulsionnelles et les caractéristiques obtenues grâce à ce modèle. Nous pouvons constater une bonne corrélation entre les mesures et le modèle. Les valeurs des paramètres obtenues pour la source de courant principale sont présentées dans le tableau IV.6. Il faut noter que la valeur de la résistance R_{DC} introduite par le banc de mesure sur l'accès DC de la source est prise en compte lors de cette extraction.

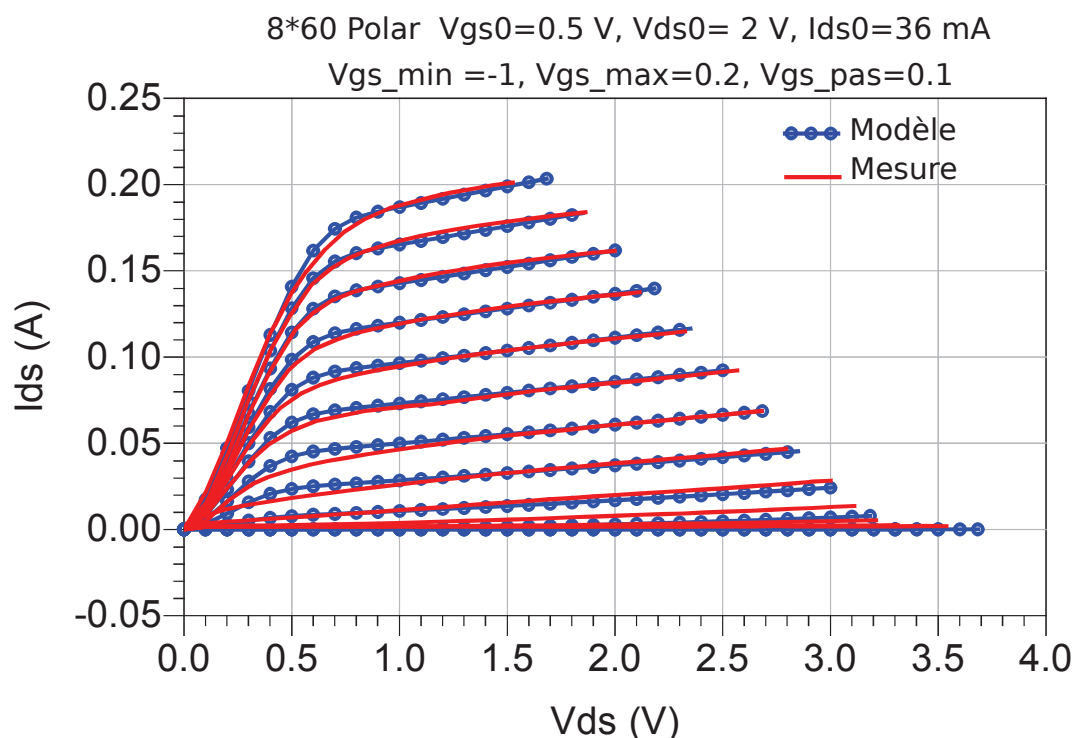


FIGURE III.10 – Comparaison mesures/modèle du réseau de sortie $I_{ds}=f(V_{ds})$ en impulsions au point de polarisation de repos $V_{gs0} = -0,5\text{V}$, $V_{ds0} = 2\text{V}$, (V_{gs} est de $-1,5\text{V}$ à $+0,2\text{V}$ avec un pas de $0,1\text{V}$)

Source de courant principale						
I_{dss}	P	V_{p0}	V_{dsp}	V_{ϕ}	A	B
0,3468	0,03508	0,68	3,275	0,612	147,7	0
M	W	β_{gm}	α_{gm}	V_{gm}	V_{dm}	τ
9,272	$1,716e^{-005}$	0,944	0,188	8,2888	3,4694	$1,54e^{-12}$

Tableau III.5 – Valeur des paramètres de la source de courant du transistor, en utilisant le modèle de Tajima modifié.

La figure III.11 illustre la comparaison entre le courant de grille mesuré et modélisé. Nous observons une bonne corrélation entre les mesures et le modèle. Les valeurs des diodes idéales sont ainsi reportées dans le tableau III.6.

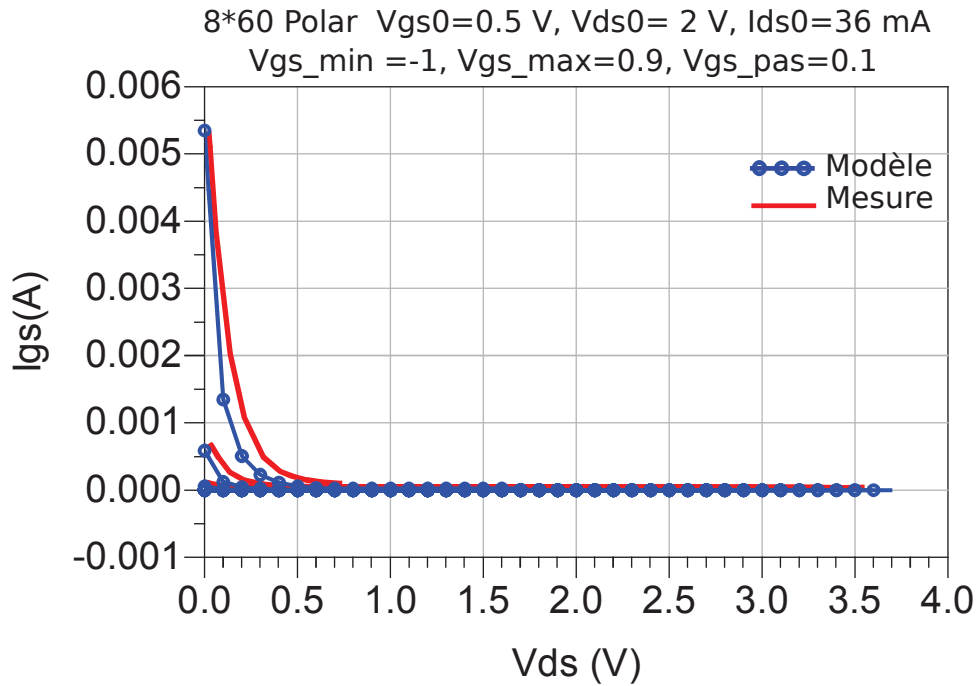


FIGURE III.11 – Comparaison mesures/modèle du réseau d'entrée $I_{gs}=f(V_{ds})$ au point de polarisation de repos $V_{gs0} = -0,5V$, $V_{ds0} = 2V$, (V_{gs} est de $-1V$ à $+0,9V$ avec un pas de $0,1V$)

Diode Grille-Source		Diode Grille-Drain	
I_{sgs}	N_{gs}	I_{sgd}	N_{gd}
$1,31e^{-018}$	1,47	$5,67e^{-015}$	1,6492

Tableau III.6 – Valeurs des paramètres des diodes idéales du transistor.

3.2.2 Modélisation de la source de courant avec le modèle de GAMM

le modèle de Tajima ne peut pas fonctionner pour des valeurs négatives de V_{ds} . Cet inconvénient n'est pas contraignant pour les utilisations en mode d'amplification, mais rendent ce modèle inutilisable pour des applications de type switch ou mélangeur. Les modèles splines, qui sont généralement utilisés par les concepteurs, décrivent les dérivés partielles G_m et G_d au voisinage de $V_{ds} = 0V$ avec une erreur importante puisqu'elles sont très sensibles aux imperfections de mesures. Par conséquent, il peuvent devenir une source d'erreurs considérant qu'ils ne permettent pas d'extrapoler correctement les caractéristiques $I(V)$ mesurées.

La recherche d'une modélisation correcte du courant pour des tensions négative du drain a amené O. Jardel à proposer une solution alternative permettant de définir le courant du drain I_{ds} en fonction des tensions V_{ds} et V_{gs} pour les tensions de drain aussi bien positives que négatives. Également, une nouvelle équation pour le diode grille-source (D_{GS}) a été redéfinie afin de permettre un ajustement précis de son ouverture [60].

La formulation complète de ce modèle, appelé modèle GAMM, est donnée dans l'équation III.17. En effet, l'équation de la source du courant principal n'est pas donnée directe-

ment, mais peut être obtenue par $I_{ds} = I_d + I_{gd}$:

$$I_d = I_{ds} - I_{gd} = I_{dss} \cdot dhyp[V_{dsn} + A \cdot V_{dsn}^3] \cdot V_{gsn}^3 \quad (III.17)$$

Avec :

$$V_{gsn} = V_{gslin} \cdot [1 + \frac{V_{p0}}{vp}]^N \quad (III.18)$$

$$V_{dsn} = \frac{V_{ds}}{V_{dsp} \cdot [1 + W \cdot (V_{gsn} - 1)]} \quad (III.19)$$

$$V_p = V_{p0} + above[-V_{ds}, \beta_{neg}, 0] + P \cdot V_{ds} \quad (III.20)$$

$$V_{gslin} = above[\frac{V_{satpos} + vp}{above(V_{satpos} + vp + V_{p0}, V_{satneg}, \frac{-vp}{vp0})}, V_{satneg}, 0] \quad (III.21)$$

$$V_{satpos} + under[\frac{V_{gs}}{2}, S_{sat1pos}, V_{sat1pos}] + under[\frac{V_{gs}}{2}, S_{sat2pos}, V_{sat2pos} - V_{sat1pos}] \quad (III.22)$$

$$V_{satneg} = above[\beta_{neg} - under(V_{ds}, S_{satneg}, V_{satneg}), \beta_{neg}, 0] \quad (III.23)$$

$$A = cval(A_{pos}, A_{neg}, V_{ds}, \alpha_{trval}) \quad (III.24)$$

$$W = cval(W_{pos}, W_{neg}, (V_{gs} + vp0), \alpha_{trval}) \quad (III.25)$$

Les équations de cette source de courant reposent sur quatre fonction :

- La fonction *dhyp* (équation III.17) permet de reconstituer l'enveloppe du courant et possède une structure similaire à la fonction tangente hyperbolique.

$$dhyp(x) = \frac{x}{\sqrt{1 + x^2}} \quad (III.26)$$

- La fonction *cval* (équation III.22) assure la transition du paramètre x depuis la valeur x_{neg} à x_{pos} au voisinage de $V = 0$, avec une douceur de transition paramétrable par α_{trval} .

$$cval(x_{pos}, x_{neg}, V, \alpha_{trval}) = \frac{x_{pos} - x_{neg}}{2} \cdot \tanh(\alpha_{trval} \cdot V) + \frac{x_{pos} + x_{neg}}{2} \quad (III.27)$$

- les fonctions *above* (équation III.20) et *under* (équation III.22) permettent de faire saturer une fonction aux valeurs respectives $-x_n$ et x_p avec une douceur de transition

paramétrable par a.

$$\text{hypfneg}(x) = \begin{cases} \frac{1}{2 \cdot (\sqrt{1+x^2}-x)} & \text{si } x > 1 \\ \frac{-1}{2 \cdot x \cdot (1+\sqrt{1+\frac{1}{x^2}})} & \text{sinon} \end{cases} \quad (\text{III.28})$$

$$\text{above}(x, a, x_n) = \begin{cases} x + a \cdot \text{hypfneg}\left(\frac{-(x+x_n)}{a}\right) & \text{si } x > -x_n \\ -x_n + a \cdot \text{hypfneg}\left(\frac{(x+x_n)}{a}\right) & \text{sinon} \end{cases} \quad (\text{III.29})$$

$$\text{under}(x, a, x_p) = \begin{cases} x_p - a \cdot \text{hypfneg}\left(\frac{-(x_p-x)}{a}\right) & \text{si } x > x_p \\ x - a \cdot \text{hypfneg}\left(\frac{(x-x_p)}{a}\right) & \text{sinon} \end{cases} \quad (\text{III.30})$$

Le modèle de la diode grille-drain est modifié car le modèle classique de la diode grille-source (équation III.15) suffit pour obtenir une bonne adéquation entre les mesures et les modèles. Les expressions utilisées pour modéliser les diodes sont données par :

$$ID_{GD} = I_{sgd} \cdot [e^{\frac{q \cdot (V_{gd} - \alpha_{gs} \cdot (V_{gs} - V_{td}))}{N_{gd} \cdot K \cdot T}} - 1] \quad (\text{III.31})$$

$$ID_{GS} = I_{sgs} \cdot [e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot K \cdot T}} - 1] \quad (\text{III.32})$$

3.2.2.1 Paramètres de la source de courant et des diodes non idéales du transistor pHEMT

AsGA 8*60 Les mesures DC continues, qui ont été effectuées sur le transistor, nous ont amené à caractériser le transistor pour des valeurs de Vds négative. La source de courant est basée sur les équations du modèle de GAMM. La figure III.12 présente une comparaison entre les mesures DC continues et le modèle de GAMM. Il faut plus particulièrement relever la bonne corrélation pour des valeurs de Vds positives. Cependant, ce modèle est moins précis pour les valeurs de Vds négatives. Ce problème est dû à la limitation du courant de drain que nous avons introduite lors des mesures DC continues. Nous pouvons constater malgré tout une bonne concordance entre les mesures et les simulations, ce qui rend ce modèle utile pour des applications de type switch.

Dans le tableau III.7, nous présentons l'ensemble des valeurs des paramètres convectifs qui nous ont servi pour la modélisation du réseau de sortie.

Les mesures statiques continues ont été réalisées avec une tension Vgsi variant de -1V à +0,3V et une tension Vds variant de -3V à 3,5V pour chaque point de tension Vgsi. Pour un $V_{gs_{max}} = 0,3V$, le courant I_{GS} était presque nul. Comme les mesures I(V) sont continues, nous n'avons pas pu dépasser la valeur de $V_{gs_{max}}$ de 0,3V afin de ne pas dégrader le composant (cette valeur est mentionnée dans le datasheet du transistor). Pour cette raison, le courant d'entrée du modèle proposé est nul.

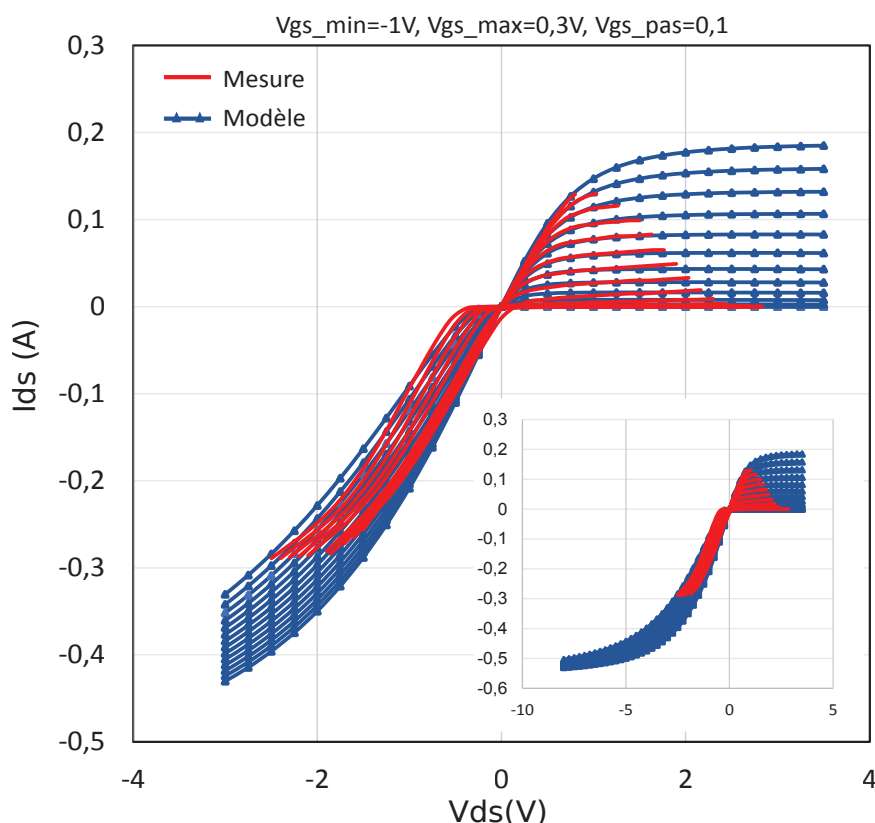


FIGURE III.12 – Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ en utilisant le modèle GAMM (V_{gs} est de $-1V$ à $+0,3V$ avec un pas de $0,1V$).

Source de courant principale								
I_{dss}	V_{p0}	P_0	W_{neg}	W_{pos}	A_{neg}	A_{pos}	V_{dsp}	τ
0,555815	1,40585	-0,002	-2	0,875	0,16084	0,0001	1,555	$1,45e^{-12}$
$S_{sat1pos}$	$V_{sat1pos}$	$S_{sat2pos}$	$V_{sat2pos}$	β_{neg}	S_{satneg}	V_{satneg}	α_{trval}	N
3,53	0,73	0,69	0	0,3	0,4785	1,4895	3,6	2,997

Tableau III.7 – Valeurs des paramètres de la source de courant principale avec le modèle du GAMM.

La valeur résistive R_{DC} , introduite par le banc de mesure sur l'accès DC de la source, est prise en compte également lors de cette extraction.

3.2.3 Extraction et modélisation des capacités non linéaires C_{gs} et C_{gd}

Les capacités C_{gs} et C_{gd} du modèle sont des paramètres intrinsèques. Il est nécessaire d'extraire leurs valeurs en tout point de fonctionnement du composant. En général, pour une application d'amplification de puissance, celles-ci sont extraites sur une droite de charge idéale [61].

Cette droite de charge est tracée sur le réseau $I(V)$ mesuré en mode impulsif avec la polarisation de repos de l'application visée ($V_{gs0} = -0,5V$, $V_{ds0} = 2V$, $I_{ds0} = 36mA$) (voir figure

III.13).

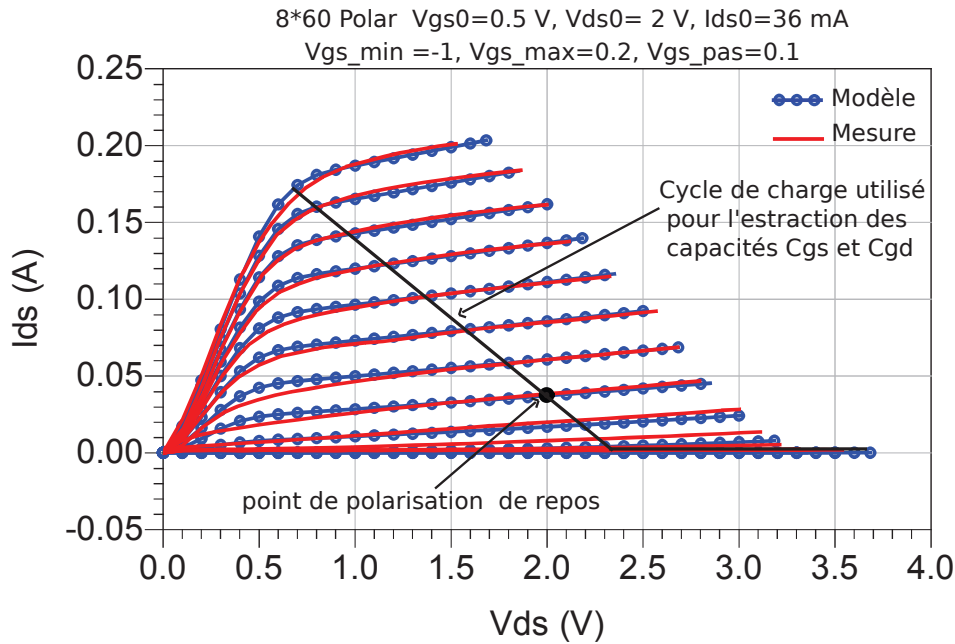


FIGURE III.13 – Cycle de charge choisi dans le réseau $I_{ds}(V_{ds})$, l'extraction des capacités non linéaires est faite seulement le long de de cycle de charge.

L'extraction multi-polarisations des capacités C_{gs} et C_{gd} à partir des paramètres [S] montre que ces deux capacités dépendent des tension de commande V_{gs} et V_{ds} .

Cependant, O. Jardel a étudié, dans [62], l'impact de l'utilisation de capacités non linéaires à deux dimensions et à une seule dimension sur la modélisation des transistors. Il a montré que le taux d'erreur introduit par la capacité avec une seule dimension est faible et n'a pas d'impact sur le modèle. Ainsi, la modélisation des capacités non linéaires peut être simplifiée, en limitant leur dépendance à une seule variable qui est la tension à leur borne. Une équation en tangente hyperbolique est utilisée suivant la tension de commande V_{gs} et V_{gd} respectivement.

L'équation qui décrit la variation de la capacité C_{gs} en fonction de la tension V_{gs} est la suivante :

$$C_{gs} = C_{gs0} + \frac{C_{gs1} - C_{gs0}}{2} [1 + \tanh(a.(V_{gs} + V_m))] - \frac{C_{gs2}}{2} [1 + \tanh(b.(V_{gs} + V_p))] \quad (\text{III.33})$$

Avec : C_{gs0} , C_{gs1} , C_{gs2} , a , b , V_m , V_p qui représentent les différents paramètres à optimiser. De même, l'équation décrivant la variation de la capacité C_{gd} en fonction de la tension V_{gd} est la suivante :

$$C_{gd} = C_{gd0} + \frac{C_{gd1} - C_{gd0}}{2} [1 + \tanh(c.(V_{gd} + V_n))] - \frac{C_{gd2}}{2} [1 + \tanh(d.(V_{gd} + V_q))] \quad (\text{III.34})$$

Similairement : C_{gd0} , C_{gd1} , C_{gd2} , c , d , V_n , V_q représentent les différents paramètres à op-

timiser.

La figure III.14 présente la comparaison mesure-modèle des capacités C_{gs} et C_{gd} extraites le long du cycle de charge estimé. Nous pouvons constater sur cette figure que la définition des capacités par une équation à une dimension est adéquate. Même si celle-ci ne passe pas par l'ensemble des valeurs mesurées, nous avons constaté lors des étapes de validation qu'une telle définition était convenable.

Le Tableau III.8 présente l'ensemble des valeurs des paramètres relatifs à la modélisation des capacités C_{gs} et C_{gd} .

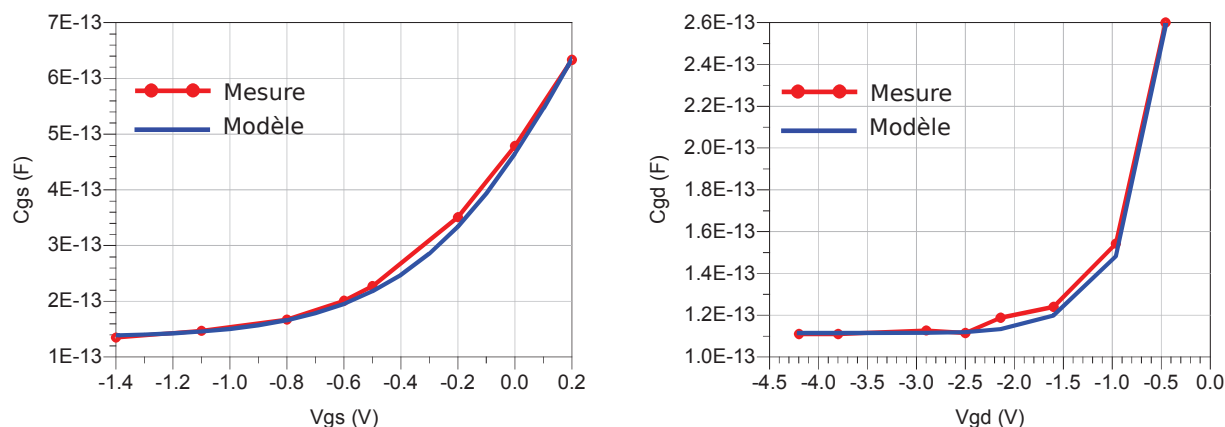


FIGURE III.14 – Comparaison mesures/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge

Capacité non linéaire C_{gs}		Capacité non linéaire C_{gd}	
C_0 (F)	$3,825e^{-13}$	C_0' (F)	$1,218e^{-12}$
C_1 (F)	$1,55e^{12}$	C_1' (F)	$3e^{-14}$
C_2 (F)	$5,1246e^{-13}$	C_2' (F)	$1.10e^{-12}$
a	1,6	c	2,6
b	0,01	d	1,4
V_m	-0,12	V_n	-6,4
V_p	0	V_q	4,87

Tableau III.8 – Valeurs des paramètres des capacités non linéaire C_{gs} et C_{gd} .

4 Validation du modèle en régime petit signal

La vérification du modèle en régime petit signal consiste à simuler les paramètres[S] aux différents points de polarisation de la droite de charge. En effet même si l'extraction du modèle linéaire a été faite à partir de ces paramètres S, les valeurs de certains paramètres ont pu être modifiées lors de la phase de modélisation de la partie non linéaire. Les deux capacités C_{gs} et C_{gd} qui ont un comportement non linéaire, ainsi que les dérivées partielles du courant I_{ds} par rapport à V_{gs} et V_{ds} (G_m et G_d), sont déterminées à partir des équations de la source de courant.

La validation du modèle est faite en comparant les paramètres S mesurés à ceux issus du modèle proposé pour les trois points de polarisation suivants :

- M1 : $V_{ds_i}=2V$, $I_{ds_i}=36mA$ (Transistor ON),
- M2 : $V_{ds_i}=1V$, $I_{ds_i}=114mA$ (Transistor ON),
- M3 : $V_{ds_i}=2,8V$, $I_{ds_i}=0mA$ (Transistor OFF).

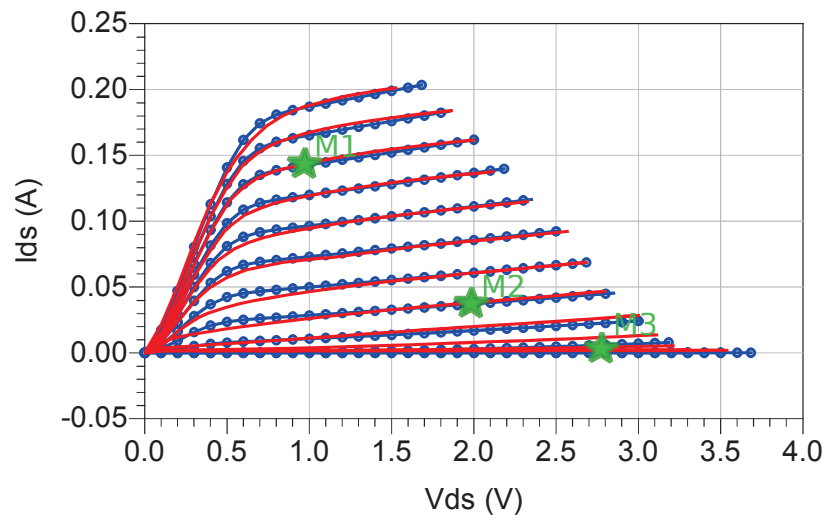


FIGURE III.15 – Repérage des points M1, M2, M3 retenus pour la comparaison mesure/modèle.

Ces points correspondent à des points de fonctionnement particuliers situés sur la droite de charge en mode transistor ON et OFF pour les tensions V_{ds} positives (figure III.15). Le transistor est à l'état ON lorsque la zone de fonctionnement est localisée dans la zone ohmique ou la zone de saturation et à l'état OFF lorsque le composant à proximité de la zone de pincement.

Dans les figures III.16, III.17, III.18 nous présentons cette comparaison petit signal obtenue pour différents points de polarisation. La bande de fréquence s'étend de 5GHz jusqu'à 40GHz.

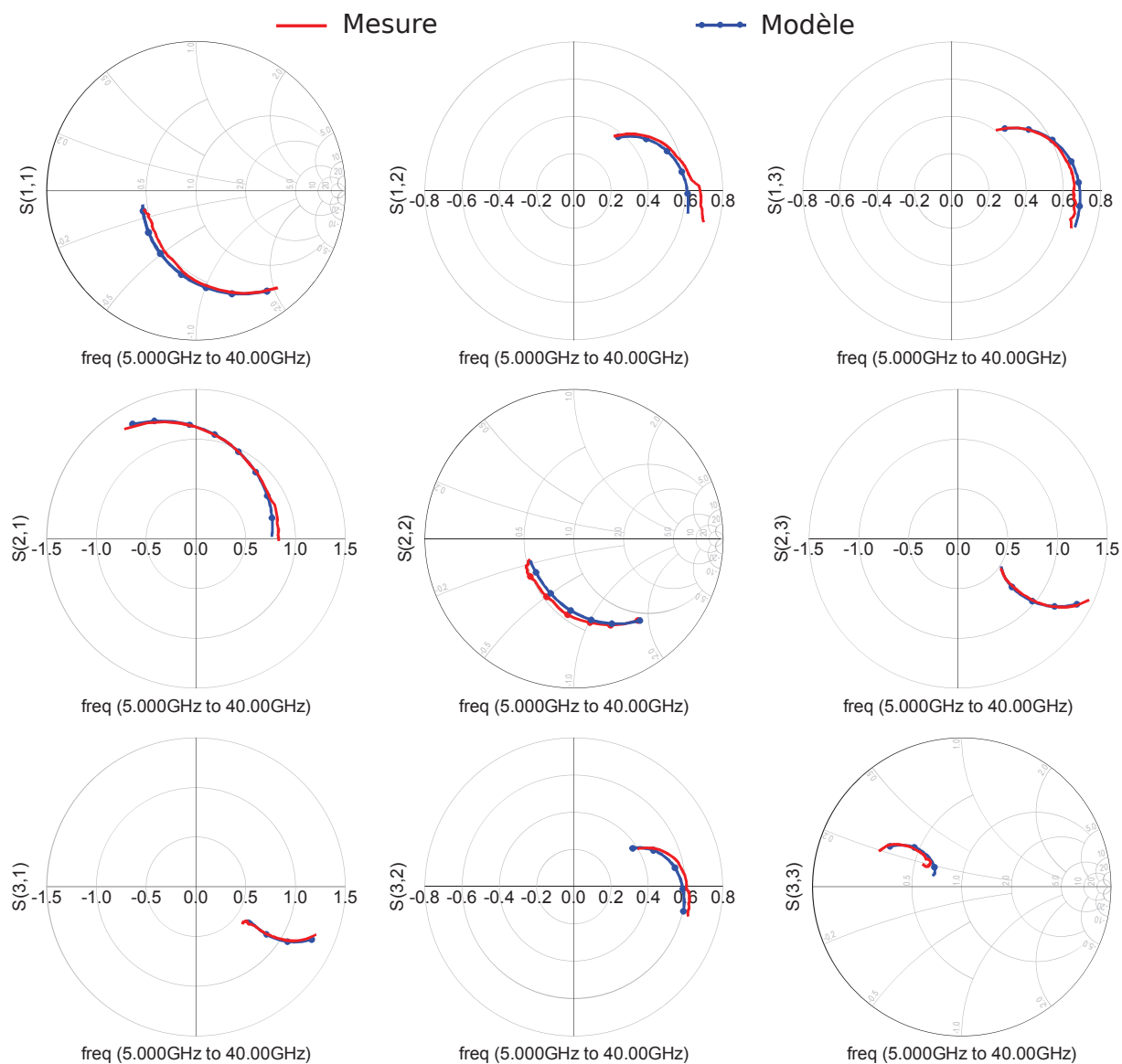


FIGURE III.16 – Comparaison mesures/modèle des paramètres [S] au point de polarisation M1, transistor ON ($V_{ds} = 1V$, $I_{ds} = 114mA$).

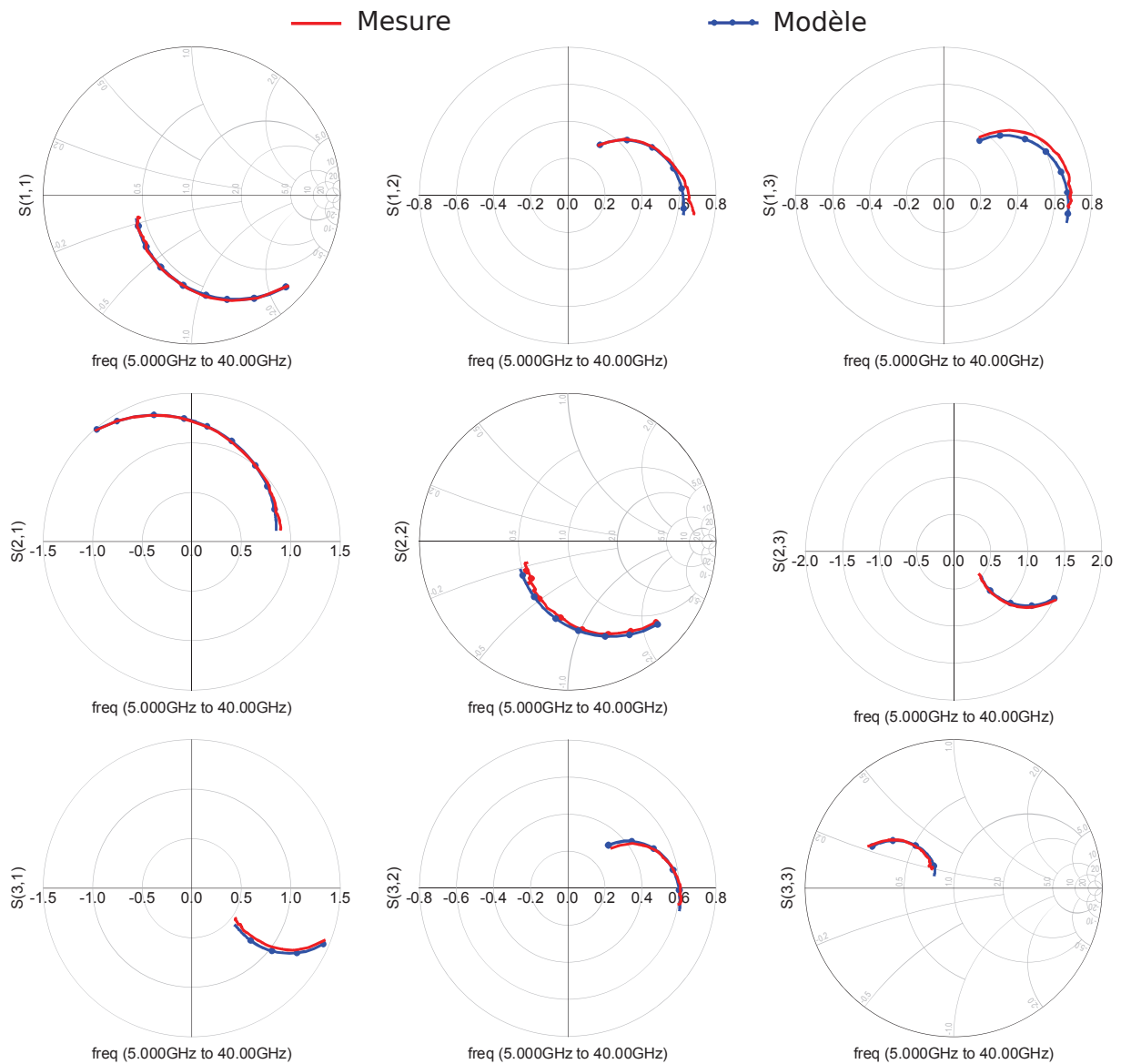


FIGURE III.17 – Comparaison mesures/modèle des paramètres [S] au point de polarisation M2, transistor ON pour ($V_{ds} = 2V$, $I_{ds} = 36mA$).

Nous pouvons constater qu'il ya un bon accord entre la mesure et la simulation pour les points de polarisation situés dans la zone de fonctionnement (M1, M2). Cependant, sur la figure III.18 nous observons un léger décalage entre la mesure et le modèle. Cette variation peut être expliquée par le fait que le modèle a été optimisé pour des points de polarisation particuliers. Toutefois, nous constatons une bonne concordance entre les mesures et le modèle. Cela nous permet de valider le modèle en régime petit signal.

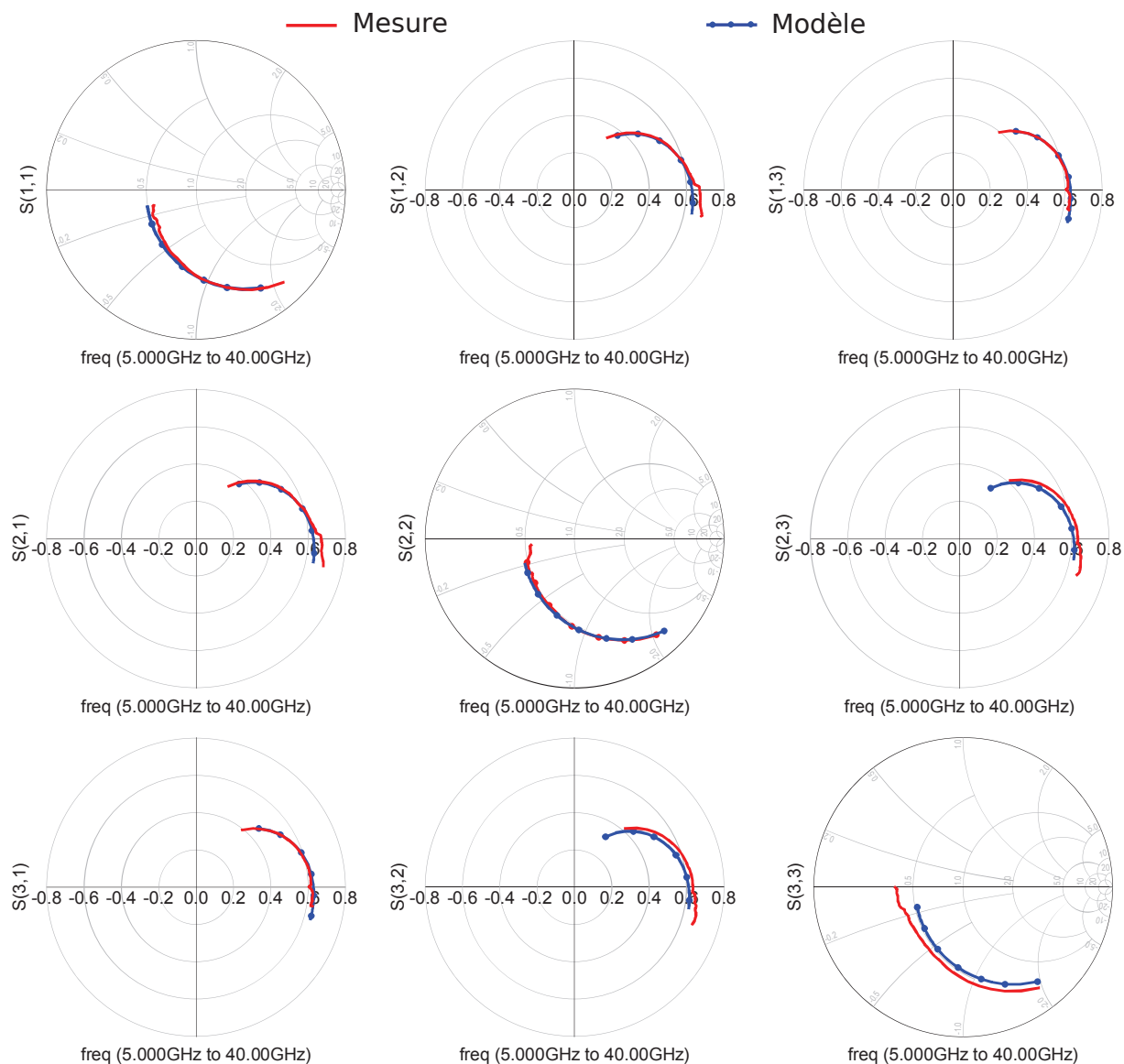


FIGURE III.18 – Comparaison mesures/modèle des paramètres [S] au point de polarisation M3, transistor OFF pour $V_{ds} = 2,8V$, $I_{ds} = 0mA$).

Nous avons également fait une autre comparaison entre le modèle proposé et la mesure. Dans ce cas, nous avons intégré la source du courant modélisée dans le paragraphe 3.2.2 à l'aide du modèle GAMM. Les valeurs des capacités intrinsèques (C_{gs} , C_{gd} , C_{ds}) sont celles issues de l'extraction linéaire. Par ailleurs, nous avons souvent gardé la même valeur de capacité drain-source pour les applications d'amplification de puissance [62]. Cependant, cette approximation ne peut pas être faite dans le cas d'un fonctionnement en commutation. Aussi, nous avons intégré la valeur de C_{ds} obtenue lors de l'extraction pour ce point de polarisation. Les valeurs de G_m et G_d sont déterminées directement à partir de la dérivée de la source du courant. Les simulations de paramètres [S] obtenues pour ce modèle au point de polarisation ($V_{gs} = 0V$, $V_{ds} = 0V$) sont comparées aux paramètres [S] issus directe-

ment de la mesure (figure III.19). Nous constatons que le modèle est moins précis. En effet, nous constatons un décalage pour les paramètres S_{21} et S_{22} . Cela est dû à la moins bonne concordance des caractéristiques I(V) dans cette zone.

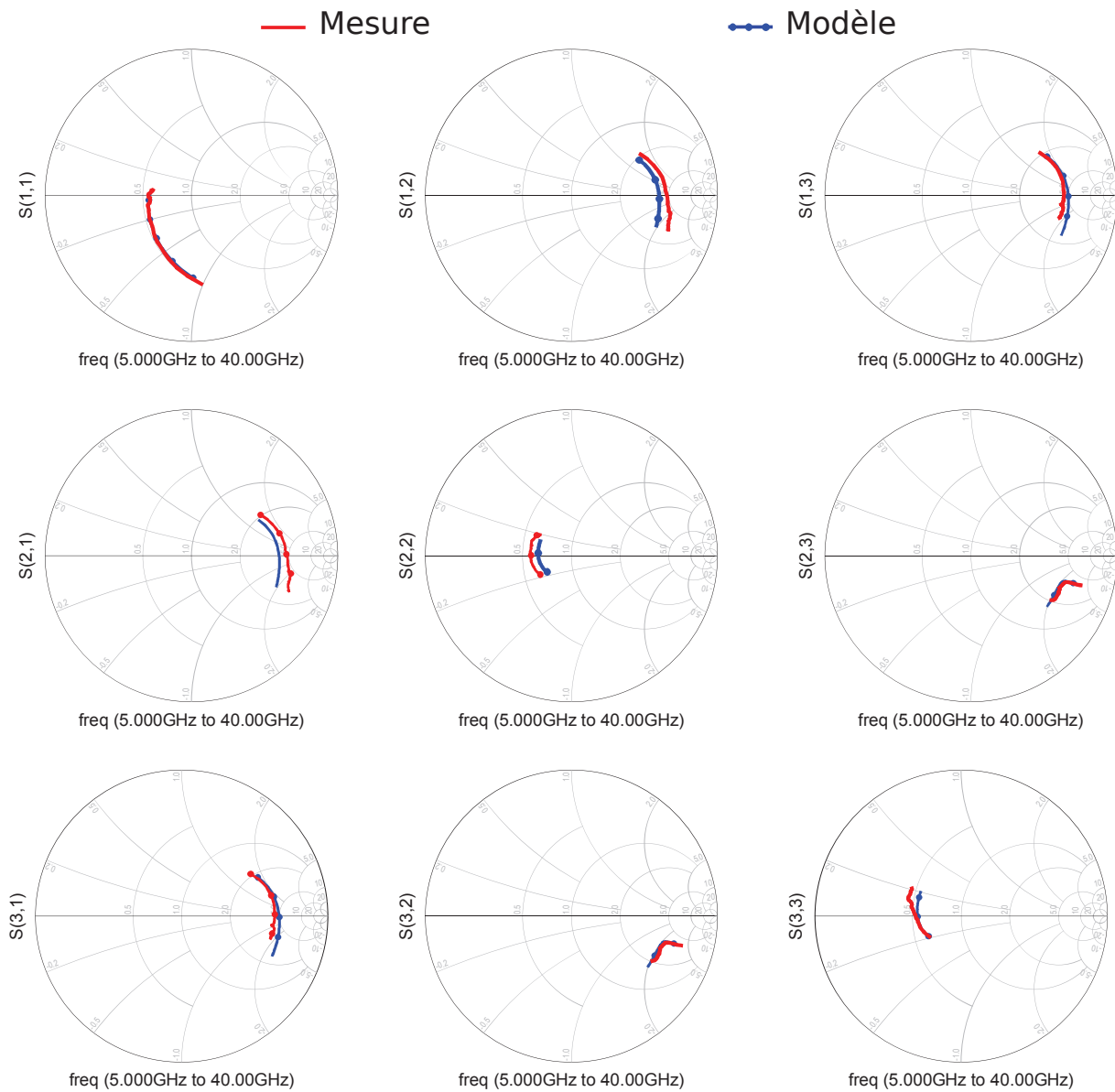


FIGURE III.19 – Comparaison mesures-modèle des paramètres [S] pour le point de polarisation $V_{gs} = 0V$, $V_{ds} = 0V$.

5 Conclusion

Dans ce chapitre nous avons présenté les différentes mesures utilisées pour l'extraction et la caractérisation du modèle électrique du transistor, tout en faisant un point sur la problématique de la caractérisation 3-accès. Deux banc de caractérisation spécifiques ont été

mis au point pour mesurer les paramètres [S] et les caractéristiques $I(V)$ du composant en configuration 3-accès. Dans la deuxième partie de ce chapitre, nous avons présenté un modèle phénoménologique de transistor 3-accès pHEMT pour la CAO des circuits. Ce modèle non linéaire a été conçu à partir des mesures $I(V)$ et paramètres [S] autour de deux points de fonctionnement différents. Une comparaison entre les mesures et le modèle montre une bonne concordance en régime petit signal. Ceci permet de valider ce modèle pour des applications faible signal.

Chapitre IV

Modélisation non linéaire distribué du transistor 4-accès

Sommaire

1	Introduction	82
2	Caractérisation du transistor en 4-accès	82
2.1	Motif de mesure	82
2.2	Banc de caractérisation des paramètres S/I(V) continue 4-accès .	83
2.3	Épluchage 4-accès	83
3	Principe de modélisation linéaire distribué en 4-accès	84
3.1	Topologie du modèle intrinsèque proposé pour deux doigts de grille	85
3.2	Simulations électromagnétique des éléments extrinsèques	86
3.3	Validation du modèle linéaire	90
4	Extraction et validation du modèle non linéaire 4-accès	95
4.1	Détermination du modèle non linéaire	95
4.2	Comparaison mesure/simulation des paramètres [S]	97
5	Validation du modèle sur d'autres structures	98
5.1	Configuration 3-accès	98
5.2	Configuration classique 2-accès	100
5.3	Configuration 2-accès dotée d'un unique VIA hole	102
6	Conclusion	104

1 Introduction

La conception et la réalisation d'un circuit hyperfréquence ayant de bonnes performances sont très dépendantes de la qualité des modèles non linéaires des transistor utilisés durant la phase de CAO. Les transistors sont autant que possible de faible largeur afin de ne pas être perturbés par des phénomènes de propagation. Cependant, pour les transistors de puissance, cela revient à mettre en parallèle plusieurs doigts de grille. Il est donc intéressant d'envisager la modélisation de transistor multi-doigts à des fréquences élevées [63], [64]. Ainsi, des études prenant en compte le phénomène de propagation distribuée ont été proposées dans [65], [66]. Un transistor est composé d'une partie passive et d'une autre partie active. La partie passive est décrite par une structure des lignes couplées. Ces dernières peuvent être déterminées par une simulation électromagnétique. Par ailleurs, la partie active est décrite par un schéma équivalent petit signal. Ces modèles permettent de prédire avec précision les phénomènes de propagation entre la grille et le drain dans une structure du transistor 2-accès. Cependant, il ne donnent aucune information sur les performances du transistor prenant en compte les phénomènes de propagation entre les deux accès de source.

Dans ce chapitre, nous allons proposer un modèle distribué 4-accès. Le principe de cette modélisation consiste à considérer le transistor multi-doigts comme une association d'éléments actifs liés entre eux par des réseaux passifs extrinsèques. Une analyse électromagnétique permet de définir le schéma électrique équivalent des réseaux passifs alors que la partie active interne est définie par un modèle électrique équivalent. Nous allons valider ce modèle en le comparant aux résultats de mesures 4-accès de transistor en bande Ku. La précision de ce modèle sera également illustrée par la comparaison des différentes configurations de transistors :

- configuration 3-accès (circuit ouvert sur le deuxième accès de source) ;
- configuration source commune (un VIA est localisé à chaque accès de source) ;
- configuration source commune avec un seul VIA hole (circuit ouvert sur le deuxième accès de source).

L'objet de ce travail est de modéliser plus finement les phénomènes physiques et d'améliorer la convergence de simulation des fonctions utilisant les modèles développés

2 Caractérisation du transistor en 4-accès

2.1 Motif de mesure

La figure IV.1 illustre le layout du motif de mesure 4-accès. En effet, cette structure a les mêmes caractéristiques que le motif de mesure 3-accès présenté dans le chapitre 3. Les lignes sont d'impédance caractéristique 50Ω et de longueur $140 \mu\text{m}$, les dimension des pads

sont de $88 \mu\text{m} \times 88 \mu\text{m}$. L'accès 1 et l'accès 2 sont respectivement connectés à la grille et le drain, les accès 3 et 4 sont les deux accès de source. Le transistor considéré dans cette partie est le même transistor que celui étudié dans le chapitre précédent, i.e. le 8×60 pHEMT/AsGa processé par UMS.

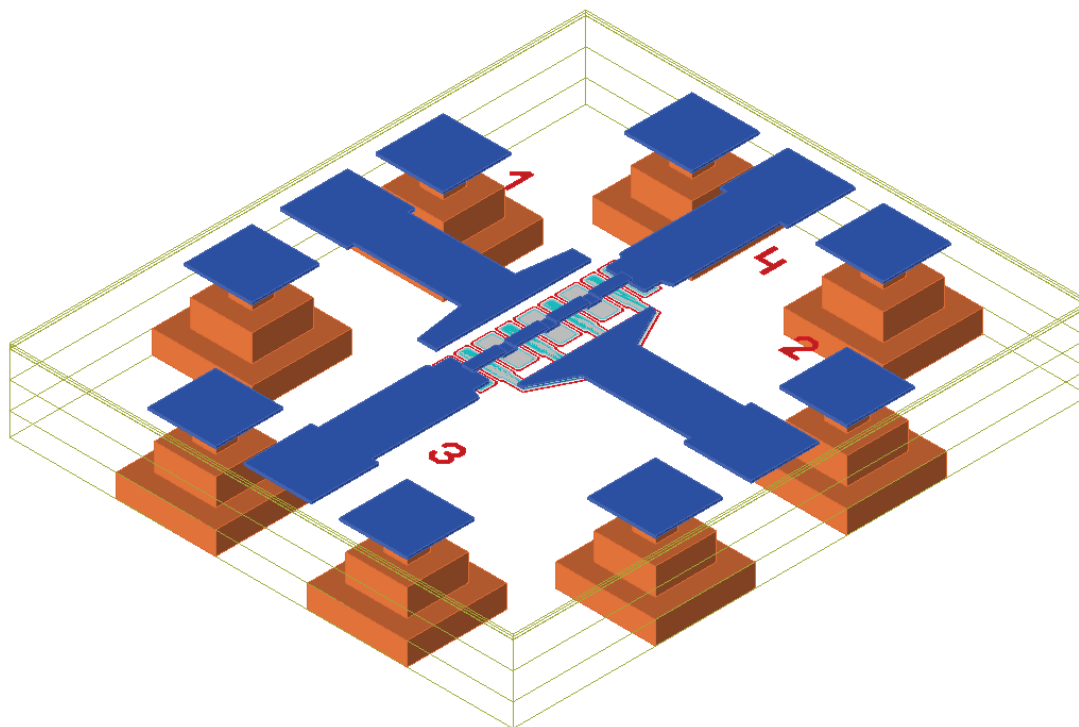


FIGURE IV.1 – Structure du motif de mesure.

2.2 Banc de caractérisation des paramètres S/I(V) continue 4-accès

Nous avons gardé le même principe de montage que pour les mesures des paramètres $S/I(V)$ continus 3-accès. La figure IV.2 illustre le schéma complet du câblage. Les paramètres S sont calculés pour chaque point de polarisation de réseau $I(V)$. Les accès DC des sources ont été court-circuités en les reliant à des standards Short. En effet, cette mesure permet d'avoir une idée générale sur le comportement RF du transistor 4-accès et en même temps de relever les paramètres DC 2-accès.

La calibration du PNA-X et de la station sous pointes est assurée par la méthode SOLT classique dans la bande de fréquence [5Ghz - 40Ghz].

2.3 Épluchage 4-accès

Dans le chapitre 2, nous avons montré que la méthode d'épluchage (Pad Open Short) avec des standards non idéaux est extensible, quelque soit le nombre d'accès pris en compte. Par conséquent, nous avons conçu un kit d'épluchage 4-accès associé au motif de mesure

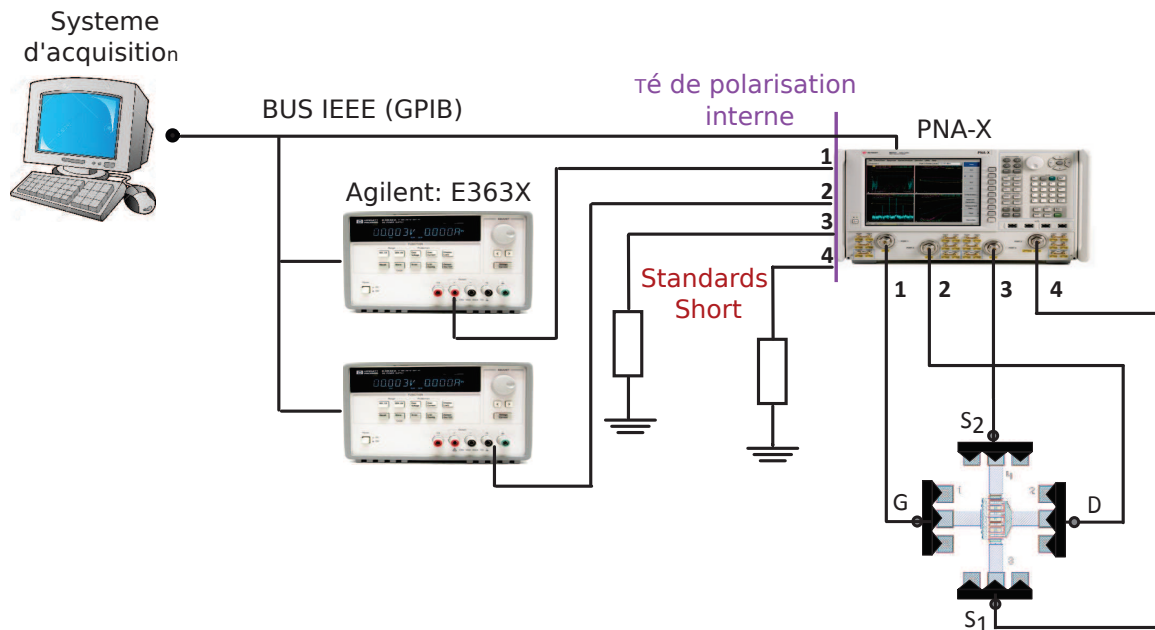


FIGURE IV.2 – Banc de mesure en 4-accès.

présenté précédemment. La figure IV.3 illustre le dessin du layout de ce kit. Nous avons

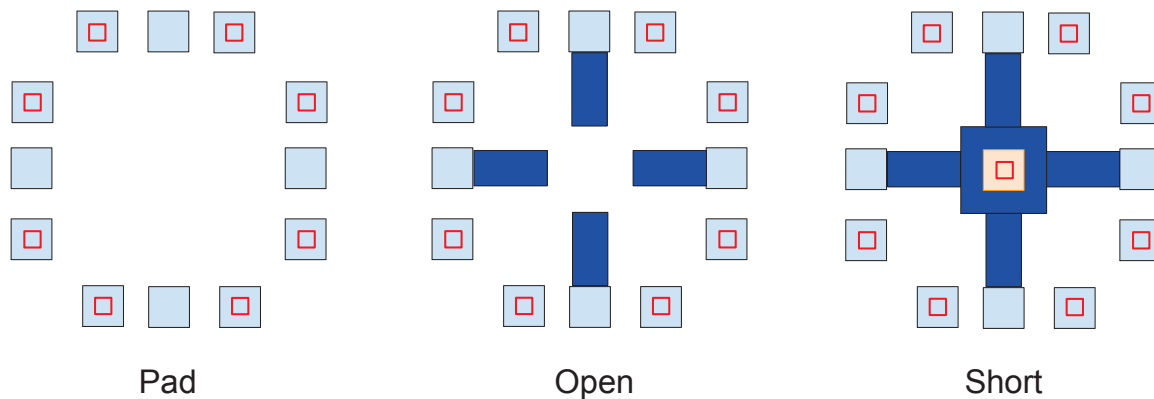


FIGURE IV.3 – Kit d'épluchage 4-accès.

déterminé les paramètres S du transistor en appliquant cette méthode de d'épluchage. De plus, les paramètres [S] intrinsèques des standards Short et Open en 4-accès ont été extraits conformément au principe expliqué dans le paragraphe 3.2.2.

3 Principe de modélisation linéaire distribué en 4-accès

L'approche de modélisation que nous allons proposer repose sur la décomposition de la structure du transistor 4-accès en une partie intrinsèque et une partie extrinsèque. Nous considérons la partie intrinsèque comme plusieurs modèles élémentaires (ME) placés le long des doigts de transistor. Spécifiquement, chaque bloc constitué de deux doigts

de grille définit un modèle élémentaire. Par ailleurs, la connexion entre deux modèle élémentaires est effectuée par un réseau d'éléments passifs.

La partie extrinsèque du transistor correspond à la structure parasite qui est répartie entre les éléments de métallisation de la grille, du drain et de la source.

La figure IV.4 illustre la décomposition de la structure du transistor $8 \times 60 \mu\text{m}$.

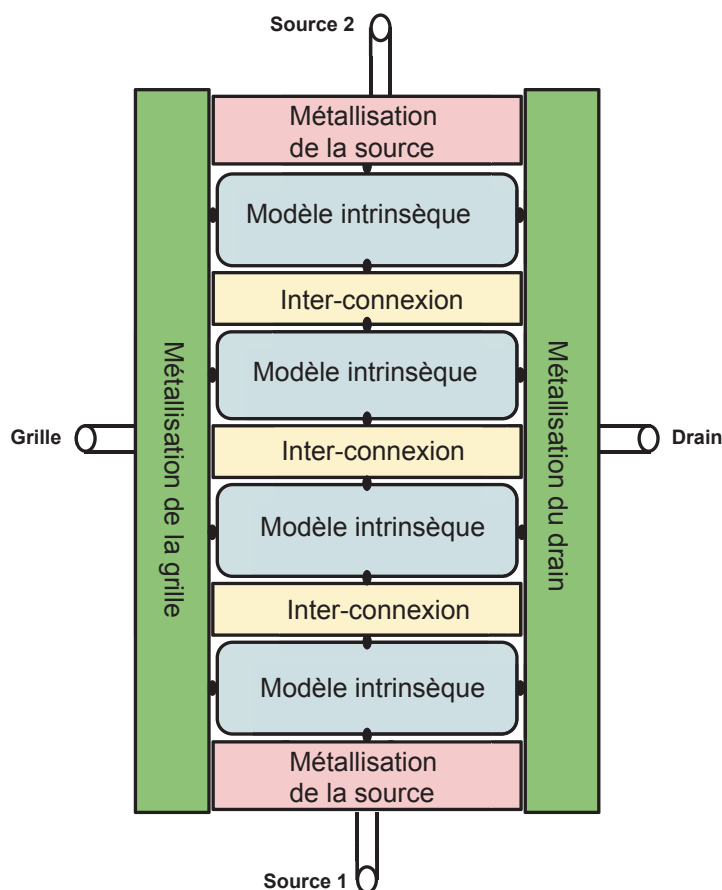


FIGURE IV.4 – Décomposition de la structure du transistor.

La partie suivante décrit le modèle électrique 4-accès équivalent à deux doigts de grille ainsi que la modélisation de chaque partie du réseau passif par des circuits en éléments localisés.

3.1 Topologie du modèle intrinsèque proposé pour deux doigts de grille

Le modèle élémentaire est décrit autour de l'architecture d'un modèle phénoménologique, et sa représentation est donnée dans la figure IV.5. Le circuit équivalent à ce modèle élémentaire comporte 4 sous circuits différents :

- Le circuit (Lg, Rg, Ld) correspond aux 2 doigts de la grille,

- Le principe de l'effet de champ décrit par une structure classique avec ses 8 paramètres (C_{gd} , R_{gd} , R_i , C_{gs} , G_m , G_d , τ et C_{ds}),
- Le circuit (L_d , C_g) équivalent au seul doigt de drain,
- L'effet de propagation entre les deux accès de la source est décrit par la mise en série d'une inductance L_s et d'une résistance R_s , en parallèle avec deux inductances L_{s1} et L_{s2} .

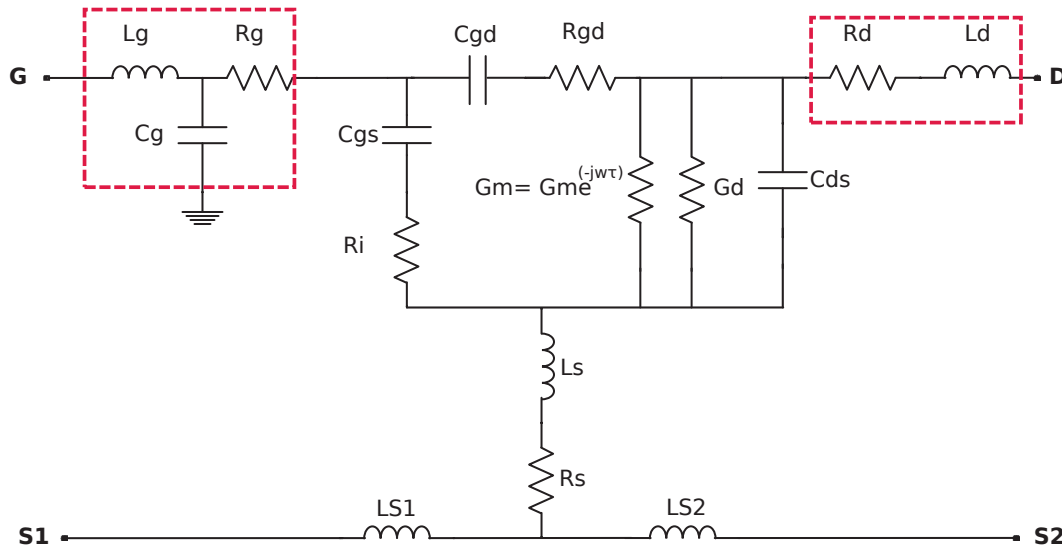


FIGURE IV.5 – Modèle équivalent 4-accès pour 2 doigts de grille.

3.2 Simulations électromagnétique des éléments extrinsèques

Les modèles électriques équivalents des éléments passifs du transistor sont présentés dans les paragraphes ci-dessous. À titre illustratif, une comparaison des paramètres [S] issus des simulation EM et du modèle pour chaque partie sera présentée après chaque description des modèles.

3.2.1 Modèle électrique équivalent à la métallisation grille/drain

Afin de modéliser le réseau correspondant à la métallisation des accès de grille et de drain, nous avons simulé la structure présentée dans la figure IV.6. Les ports 1 et 2 dans cette structure sont les ports extrinsèques grille et drain du transistor, tandis que les autres ports sont les points de connexion entre les modèles élémentaires et les parties extrinsèque du transistor. Dans la figure IV.6, nous avons présenté une comparaison des paramètres [S] de cette structure. A partir de cette comparaison, nous pouvons constater que les paramètres [S] intrinsèques ainsi que les couplages sont identiques. Par conséquent, nous avons simplifié cette structure en présentant les 4 ports intrinsèques de chaque côté par un seul port.

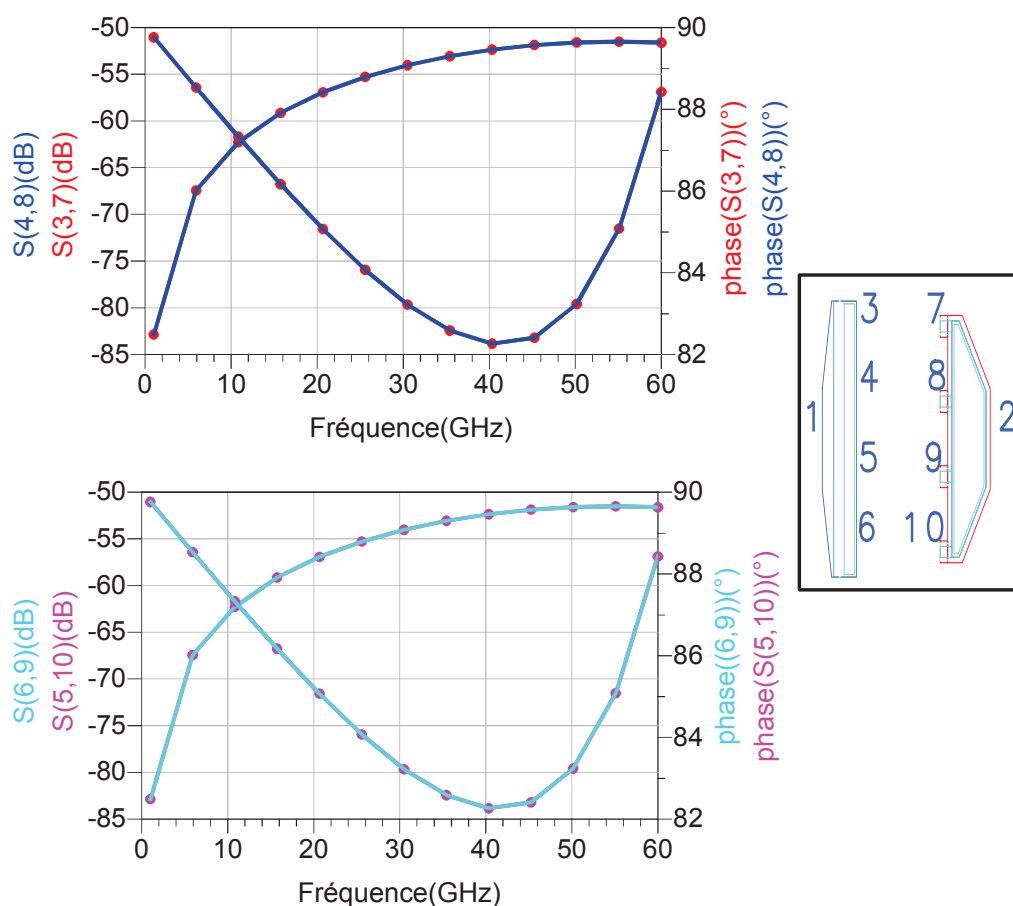


FIGURE IV.6 – Comparaison des paramètres intrinsèques de la structure grille drain.

Le circuit équivalent de cette métallisation est représenté sur la figure IV.7. Une comparaison des paramètres [S] issus des simulation EM et du modèle électrique de la métallisation des accès extrinsèque grille et drain est donnée par la figure IV.8 ci-dessous. Les valeurs des paramètres obtenues pour cette modélisation sont présentées dans le tableau IV.1.

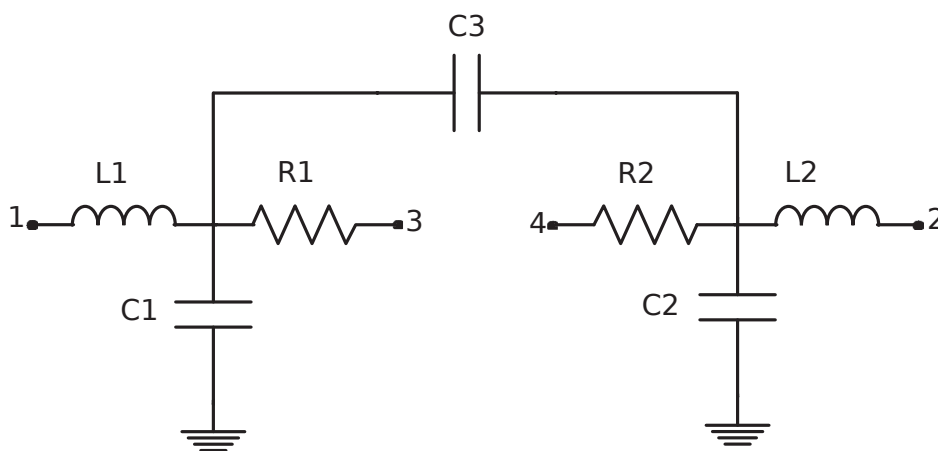


FIGURE IV.7 – Circuit électrique équivalent à la métallisation grille/drain.

L1 (pH)	C1 (fF)	R1 (Ω)	R2 (Ω)	C2(fF)	L2 (pH)	C3(fF)
5,2	31,6	0,0053	0,00653	30,5	5,383	0,909

Tableau IV.1 – Valeurs des éléments localisés correspondant à la métallisation grille drain et à leur couplage.

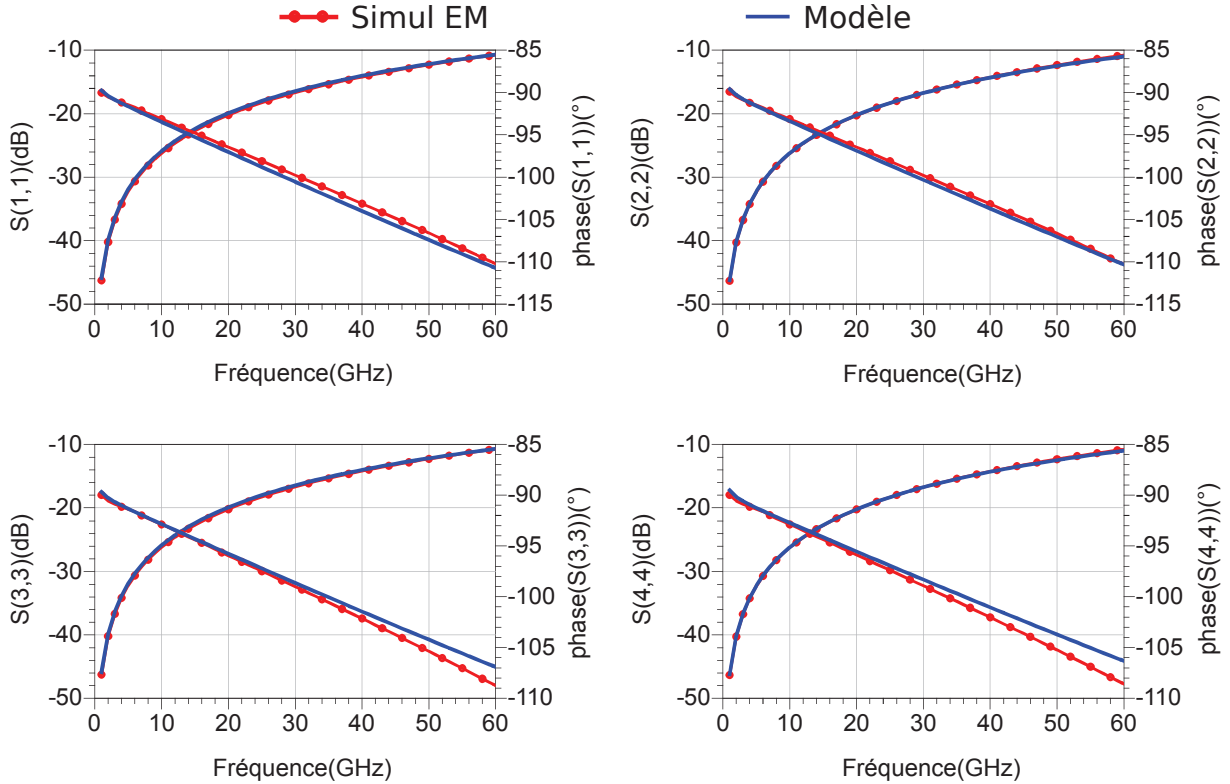


FIGURE IV.8 – Comparaison simulation EM/modèle électrique.

3.2.2 Modèle électrique équivalent à la métallisation du source

Le circuit équivalent à la métallisation de l'accès de source est représenté dans la figure IV.9. La figure IV.10 illustre une comparaison issue des simulations EM et du modèle des couches métalliques de la source. Les valeurs des éléments du circuit équivalent sont données dans le tableau IV.2.

C1 (fF)	L1 (pF)(Ω)	C2 (pH)	L2(pF)	R1 (Ω)	C3(fF)	R2 (Ω)
5,542	3,554	6,251	0,367	0,130	0,4175	0,367

Tableau IV.2 – Valeurs des éléments localisés équivalent à la métallisation de la source.

3.2.3 Modèle électrique équivalent au VIA hole

Le modèle électrique équivalent consiste en la mise en série d'une résistance R2 avec une inductance à la masse. Ces derniers sont en parallèle avec la résistance R1. Le schéma électrique est présenté par la figure IV.11 ci-dessous :

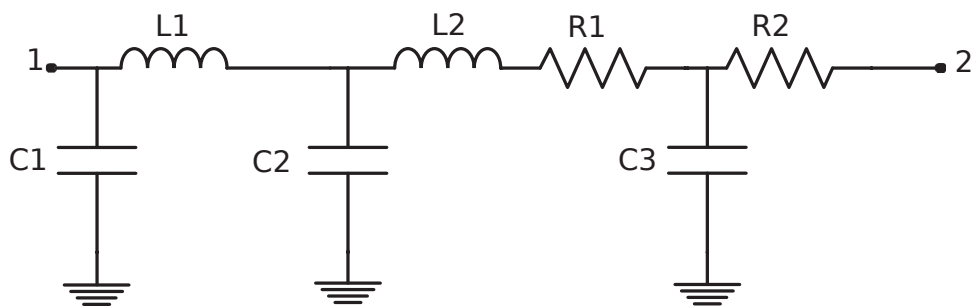


FIGURE IV.9 – Circuit électrique équivalent à la métallisation d'accès de la source.

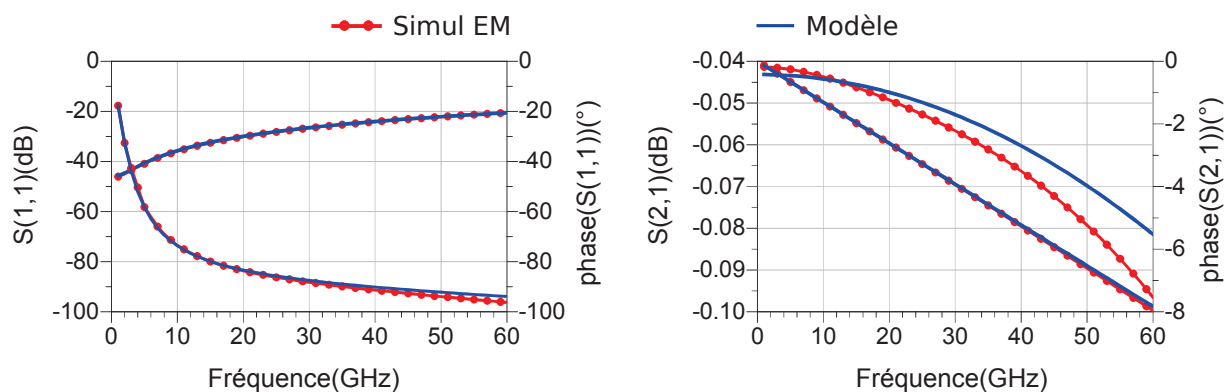


FIGURE IV.10 – Comparaison simulation EM/modèle des paramètres [S].

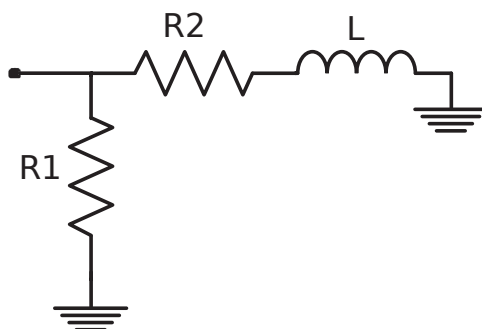


FIGURE IV.11 – Circuit électrique équivalent d'un via-hole 1port.

R1(Ω)	R2 (Ω)	L (pH)
171,327	0,0181	39,82

Tableau IV.3 – Valeurs des éléments localisés pour 1 VIA-hole un port.

Afin d'illustrer le modèle, la figure IV.12 présente la comparaison simulation EM/modèle du paramètre S_{11} pour un via hole un port jusqu'à 60GHz.

3.2.4 Modèle électrique équivalent à l'accès inter-transistor intrinsèque

Les couches métalliques qui permettent de connecter deux modèle élémentaires intrinsèque sont décrites par le circuit ci dessous.

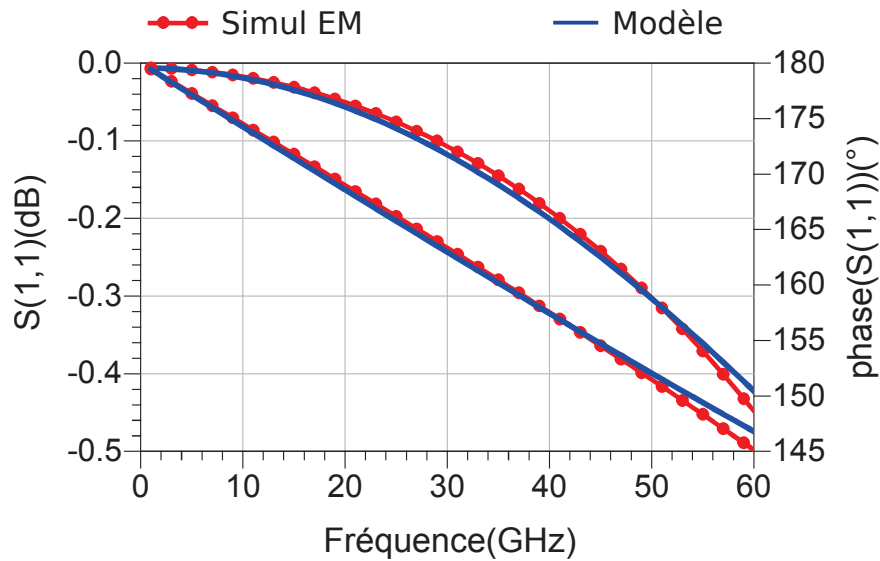


FIGURE IV.12 – Comparaison simulation EM/modèle sur le paramètre S_{11} pour un VIA-hole un port.

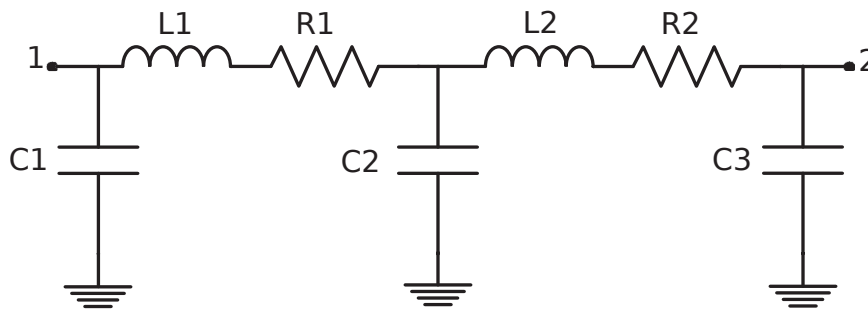


FIGURE IV.13 – Circuit électrique équivalent à la métallisation entre deux transistor élémentaire .

C1 (fF)	L1 (PH)	R1 (Ω)	C2 (fF)	L2(pF)	R2 (Ω)	C3(fF)
6,645	2,512	0,01	2,077	0,0022	0,002	3,3845

Tableau IV.4 – Valeurs des éléments localisés.

La figure ci-dessous présente une comparaison des simulation EM/modèle des paramètres S_{11} et S_{21} . Le tableau IV.4 présente l'ensemble des valeurs des paramètres relatifs à la modélisation des couches métalliques entre deux transistors intrinsèques.

On peut constater une bonne adéquation entre les simulations EM et les modèles électriques proposés pour les différents parties passives du transistor sur la bande [1GHz - 60GHz].

3.3 Validation du modèle linéaire

Une fois que nous avons décrit chaque partie du layout du transistor par un circuit à éléments localisés, les modèles élémentaires ont été intégrés dans le réseau passif défini de manière appropriée. Ensuite, les valeurs des paramètres du modèle élémentaire ont été

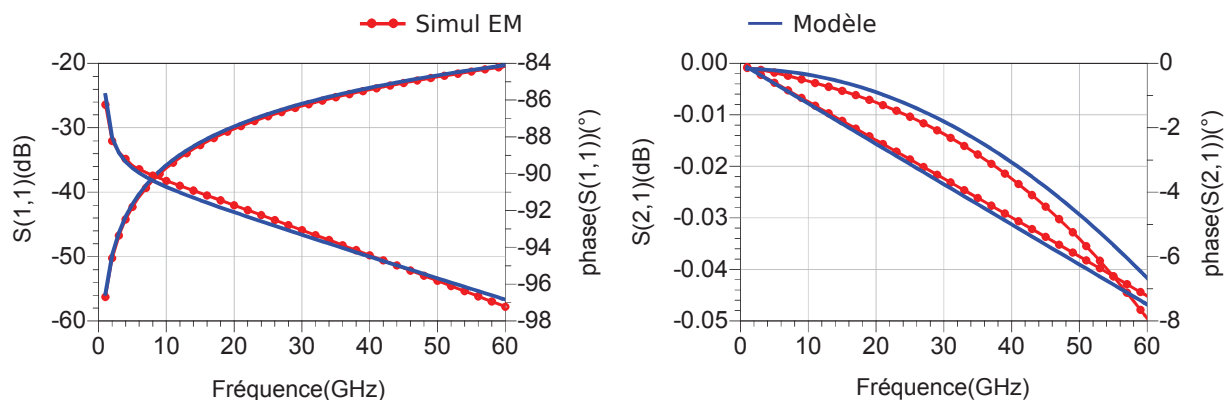


FIGURE IV.14 – Circuit électrique équivalent à la métallisation entre deux transistor élémentaire.

optimisées par rapport au paramètres [S] mesurés. Il convient de noter que les valeurs des paramètres extrinsèques ont été initialisées par les valeurs trouvées à l'aide de simulations électromagnétiques, avant optimisation. L'ajustement de ces paramètres doit être très précis afin d'obtenir les valeurs des éléments les plus précis possible. D'une part, la qualité de la modélisation des capacités non linéaires en dépend, et d'autre part, les résultats donnés par ce modèle seront utilisés pour une comparaison des paramètres [S] des différentes configurations du transistor pHEMT/AsGa $8 \times 60 \mu\text{m}$.

Le modèle linéaire obtenu est comparé avec les mesures au point de polarisation $V_{ds} = 2,2\text{V}$, $I_{ds} = 22\text{mA}$. Cette comparaison est illustrée dans les figures IV.15, IV.17 et IV.16. Les valeurs intrinsèques d'un modèle élémentaire, ainsi trouvées pour ce point, sont données dans le tableau IV.5.

Lg (pH)	Rg (Ω)	Cg (fF)	Ri (Ω)	Cgs(pF)	Cgd (fF)	Rgd (Ω)
11,99	0,3	1,2	0,2	0,095	25,35	0.6
Gm (mS)	Gd (mS)	Cds (fF)	Rd (Ω)	Ls (pH)	Rs(Ω)	Ls1 (pH)
0,0696	0,004	33,9452	0,7	7	4,5	3,2
Ls2 (pH)	Ld (pH)	τ (ps)				
2,8	8,99	1,23				

Tableau IV.5 – Valeurs des paramètres intrinsèques du modèle élémentaire.

Les comparaisons des résultats de mesure avec ceux obtenus en simulation démontrent un très bon accord, seule la forme du paramètre S_{34} simulé ne correspond pas exactement au mesures à partir de 30GHz. Autour de cette fréquence, on observe sur la mesure une courbure sur la courbe d'amplitude en dB. Cet effet est difficile à reproduire avec le modèle et nous considérons cette différence comme acceptable vis à vis de la bonne correspondance entre les mesures et les simulations pour les autres paramètres.

Cette comparaison a été effectuée sur plusieurs points du réseau $I_{ds}(V_{ds})$ en variant juste

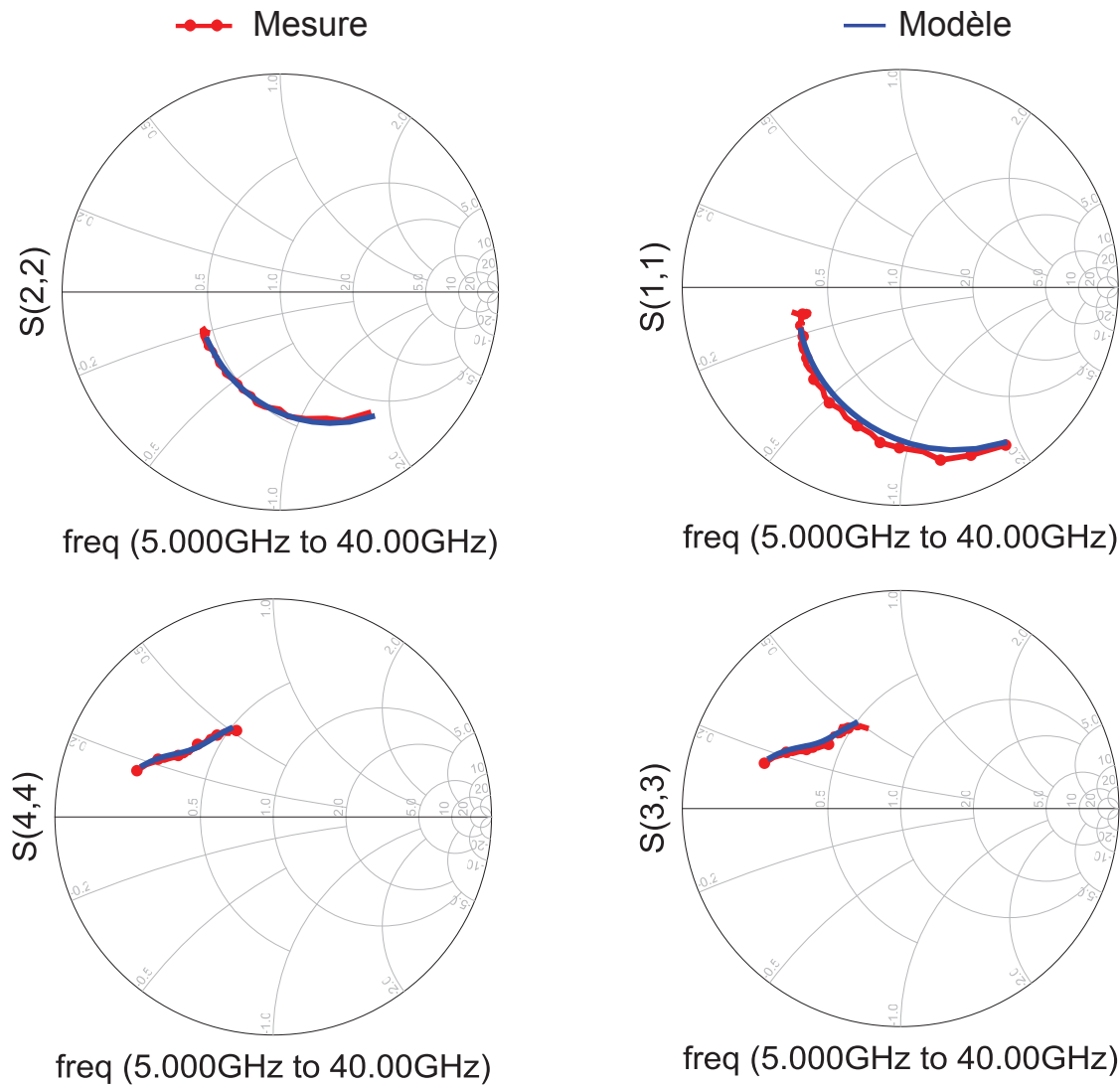


FIGURE IV.15 – Comparaison entre les paramètres S_{11} , S_{22} , S_{33} , S_{44} obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$.

les valeurs des paramètres non linéaires (G_m , G_d , C_{gs} et C_{gd}). En effet, cette comparaison permet de valider le modèle linéaire et d'évaluer l'amélioration apportée par l'optimisation réalisée sur les éléments extrinsèques.

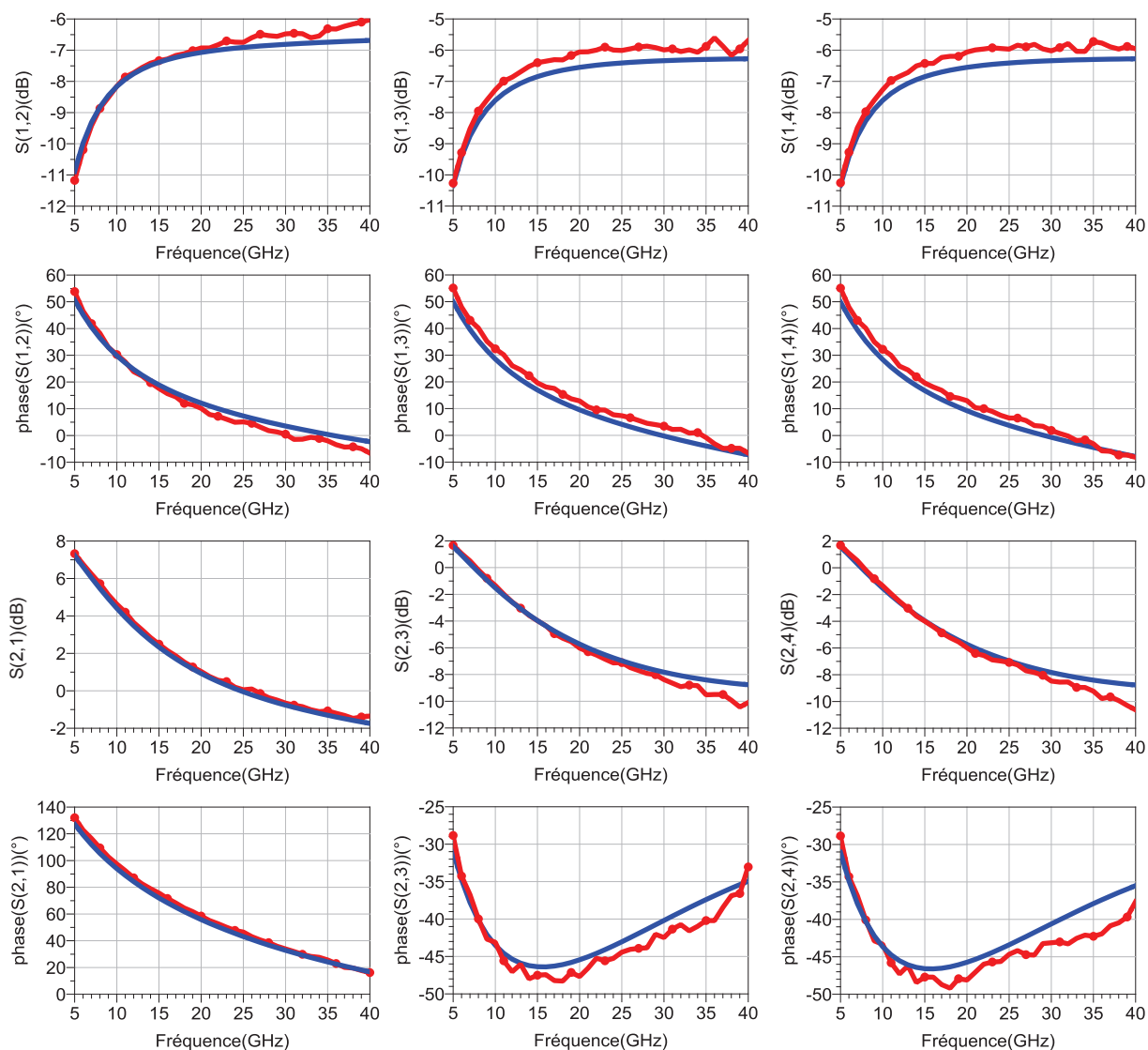


FIGURE IV.16 – Comparaison entre les différents paramètres [S] de transmission obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$.

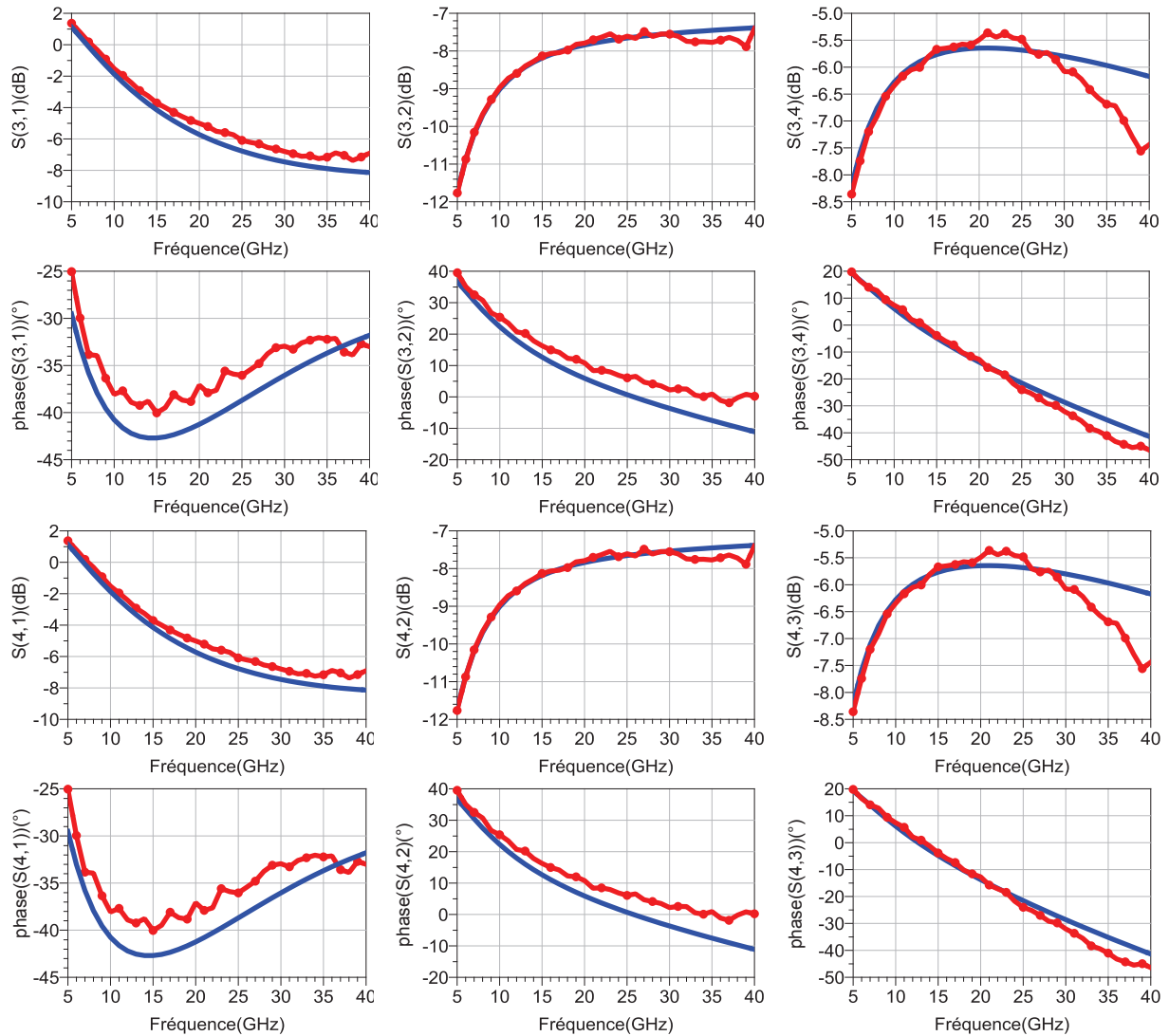


FIGURE IV.17 – Comparaison entre les différents paramètres [S] de transmission obtenus par la simulation du modèle linéaire et par la mesure au point de polarisation $V_{ds} = 2,2V$, $I_{ds} = 22mA$

4 Extraction et validation du modèle non linéaire 4-accès

4.1 Détermination du modèle non linéaire

Afin d'extraire le modèle non linéaire, nous allons inclure la source de courant et les capacités non linéaires.

4.1.1 Extraction des paramètres de source de courant avec le modèle de Tajima modifié

L'effet fondamental d'un modèle élémentaire de transistor (2 doigts de grille), à savoir la source du courant non linéaire a été décrit par le modèle de Tajima [58] avec 9 paramètres d'ajustement. La modélisation du réseau de sortie de transistor $8 \times 60 \mu\text{m}$ a été effectuée de la manière suivante : Nous avons gardé constants tous les paramètres obtenus à partir de la modélisation linéaire, ensuite nous avons optimisé les paramètres du modèle DC. Cette optimisation a été effectuée sur les quatre ME simultanément, puisque ces derniers sont identiques. Sur la figure IV.18, nous présentons l'ajustement obtenu par modélisation de la source du courant sur les caractéristiques $I(V)$ mesurées. Les mesures statiques ont été réalisées pour une tension V_{gsi} variant de -1V à $+0,2\text{V}$ et pour une tension V_{ds} variant de 0V à $3,5\text{V}$. Les paramètres du modèle $I(V)$ obtenus pour un modèle élémentaire sont reportés dans le tableau IV.6. Il faut noter que la valeur de la résistance induite par les court circuits appliqués aux accès de source ont été soustraites durant cette phase de modélisation.

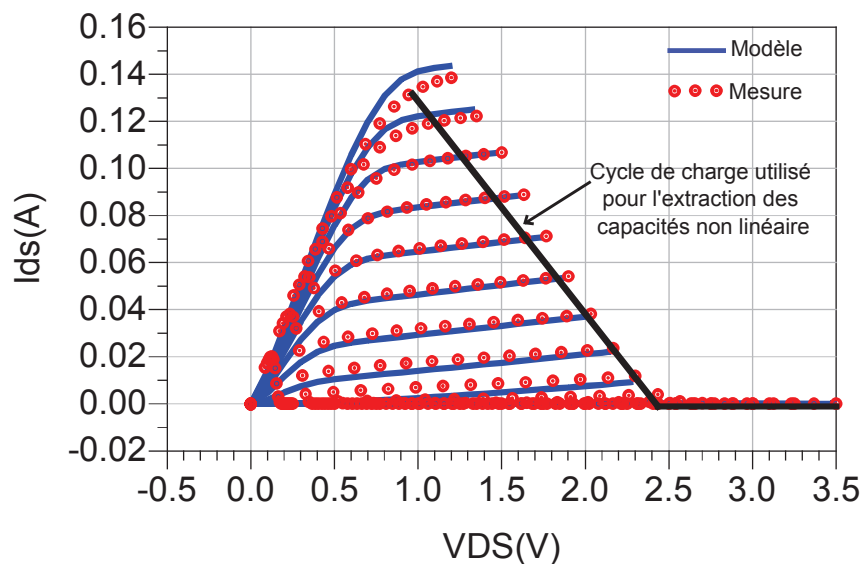


FIGURE IV.18 – Comparaison mesure/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de $-1,5\text{ V}$ à $+0,2\text{ V}$ avec un pas de $0,1\text{ V}$).

Source de courant principale							
Idss	P	V _{P0}	Vdsp	V _φ	A	B	R _{DC} (Ω)
0,131	0,053	0,553	3,5445	0,466	210	5,2	2
M	W	β _{gm}	α _{gm}	Vgm	Vdm	τ(s)	
6,2016	3,822 ⁻⁰⁰⁵	1,7	0,2264	11,20	11,95484	1,23e ⁻¹²	

Tableau IV.6 – Valeur des paramètres de la source de courant d'un modèle élémentaire, en utilisant le modèle de Tajima modifié.

4.1.2 Modélisation des capacités non linéaires Cgs et Cgd

Les capacités Cgs et Cgd du modèle sont des paramètres intrinsèques, qu'il est nécessaire d'extraire en tout point de fonctionnement du composant, elles sont extraites sur une droite de charge idéale [61]. Cette droite charge est tracée sur le réseau I(V) de la figure IV.18.

Le jeu de paramètres extraits est présenté dans le tableau IV.7. Ces valeurs permettent d'obtenir la superposition modèles/mesures des capacités comme illustré dans la figure IV.19.

Capacité non linéaire Cgs		Capacité non linéaire Cgd	
C0(F)	2,61e ⁻¹³	C0'(F)	1,131e ⁻¹²
C1(F)	6,35e ¹³	C1'(F)	1e ⁻¹²
C2(F)	4,599e ⁻¹³	C2'(F)	1,10e ⁻¹²
a	1,386	c	0,78
b	-0,01	d	1,4
Vm	-0,17	Vn	-4
Vp	-1	Vq	6,61

Tableau IV.7 – Valeurs des paramètres des capacités non linéaires Cgs et Cgd.

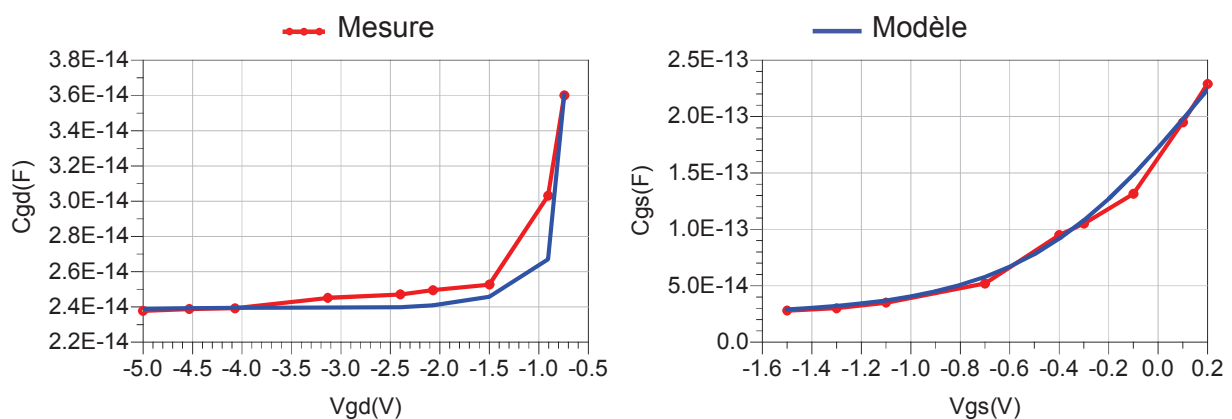


FIGURE IV.19 – Comparaison mesure/modèle des capacités Cgs et Cgd en fonction de Vgs et Vgd extraites le long du cycle de charge.

4.2 Comparaison mesure/simulation des paramètres [S]

Nous nous intéressons ici aux paramètres S_{11} , S_{21} , S_{22} , S_{44} en module et phase. La comparaison mesure/modèle est faite pour des points de polarisation de la droite de charge présentée dans la figure IV.18. La bande de fréquence s'étend de 5GHz jusqu'à 40GHz.

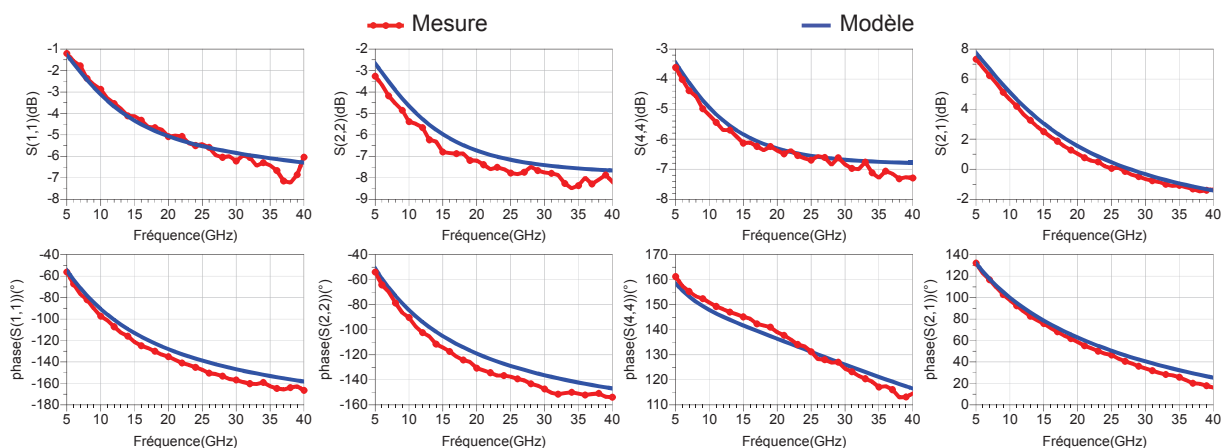


FIGURE IV.20 – Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2V$, $I_{ds} = 22mA$.

La figure IV.20 montre une très bonne concordance entre la mesure et la simulation. Le deuxième point de comparaison se situe sur le coude du réseau I(V), pour le point de polarisation suivant : $V_{ds}=0,94V$, $I_{ds}=137mA$.

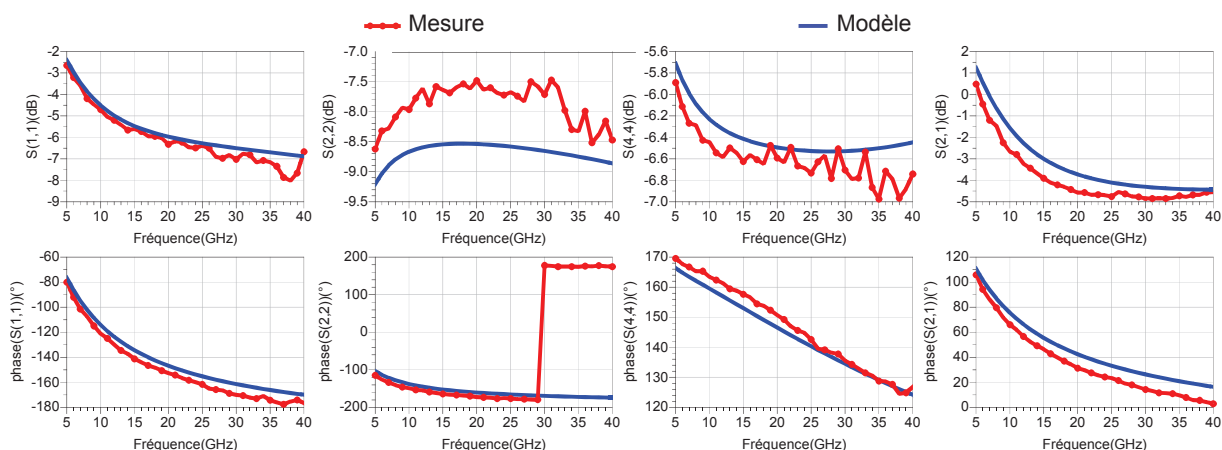


FIGURE IV.21 – Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 1V$, $I_{ds} = 137mA$.

Nous remarquons que le modèle est moins précis dans cette zone de fonctionnement. En effet, nous constatons un décalage sur le module et la phase de S_{22} . Cela est dû à la moins bonne concordance des caractéristiques I(V) sur le coude.

5 Validation du modèle sur d'autres structures

Afin de valider cette méthode de modélisation, nous avons réalisé 3 configurations de transistor pHEMT/AsGa $8 \times 60 \mu\text{m}$. Ces 3 structures sont présentées dans la figure IV.22.

- configuration 3-accès (circuit ouvert sur le deuxième accès de source);
- configuration source commune (un VIA est localisé à chaque accès de source);
- configuration source commune doté d'un unique VIA hole (circuit ouvert sur le deuxième accès de source).

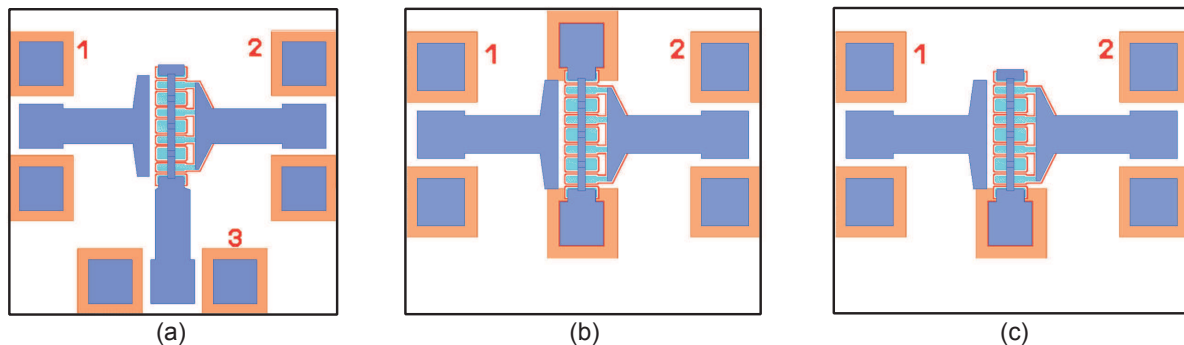


FIGURE IV.22 – Layout des différentes configurations réalisées pour vérifier la topologie du modèle distribué.

La figure IV.22 présente les layouts des transistors ainsi que les lignes d'accès et les plots. Afin d'obtenir les paramètres S des transistors, nous avons appliqué un épluchage sur ces 3 structures. Pour la première structure, nous avons réalisé un épluchage (Pad Open Short), alors que pour les deux autres structures nous avons déterminé les paramètres S du transistor en appliquant la méthode TRL.

5.1 Configuration 3-accès

Dans la première structure de la figure IV.22, le transistor mesuré est monté en configuration 3-accès avec le deuxième accès de source laissé ouvert. Avant de comparer les paramètres S obtenus par les mesures à ceux du modèle distribué, en se mettant dans la même configuration de mesure, nous avons comparé les mesures statiques de deux structures respectivement 3-accès et 4-accès. Cette comparaison est illustrée dans la figure IV.23.

Nous pouvons constater que les mesures statiques de la structure 3-accès (lignes vertes) sont en dessous des mesures statiques de la structure 4-accès (lignes rouges) dans la zone de saturation. Par ailleurs, le circuit ouvert sur le deuxième accès de source influe non seulement sur les paramètres S, mais peut aussi avoir un impact sur les caractéristiques $I(V)$ étant donné qu'il y a un accès de source en court circuit.

Le circuit ouvert du deuxième accès de source n'est pas parfait. Pour se mettre dans la même configuration simulation/mesure, nous avons connecté un seul accès de source à un

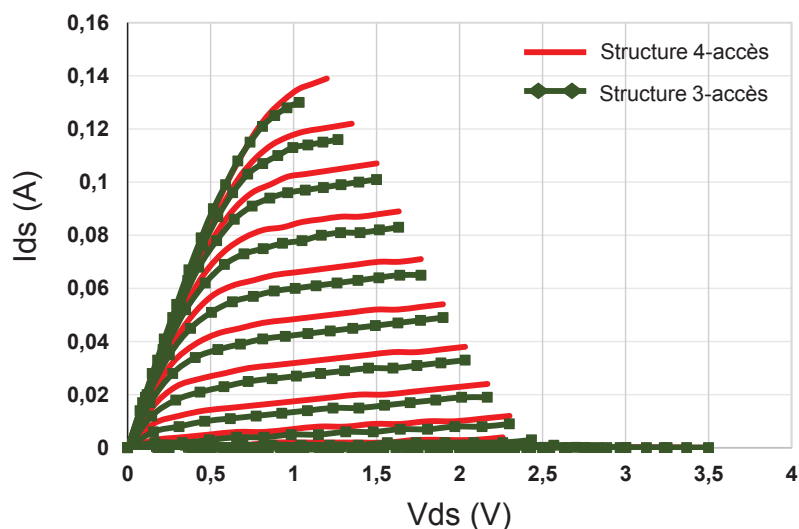


FIGURE IV.23 – Comparaison du courant de sortie $I_{ds}(V_{ds})$ des structures 3 et 4-accès.

port 50Ω pour le fonctionnement RF et à un court circuit pour le fonctionnement DC, tandis que le deuxième accès est relié à un circuit équivalent au circuit ouvert (open). En effet, nous avons pu modéliser cet open par une capacité, dont sa valeur est égale à $4,2\text{fF}$. La valeur de cette dernière a été optimisée afin d’assurer une cohérence entre les mesures et les simulations des paramètres $[S]$, tout en gardant les paramètres du modèle distribué constants. La comparaison entre les paramètres S_{11} , S_{21} , S_{22} , S_{23} , S_{33} mesurés et ceux obtenus par simulation est présentée dans la figure IV.24.

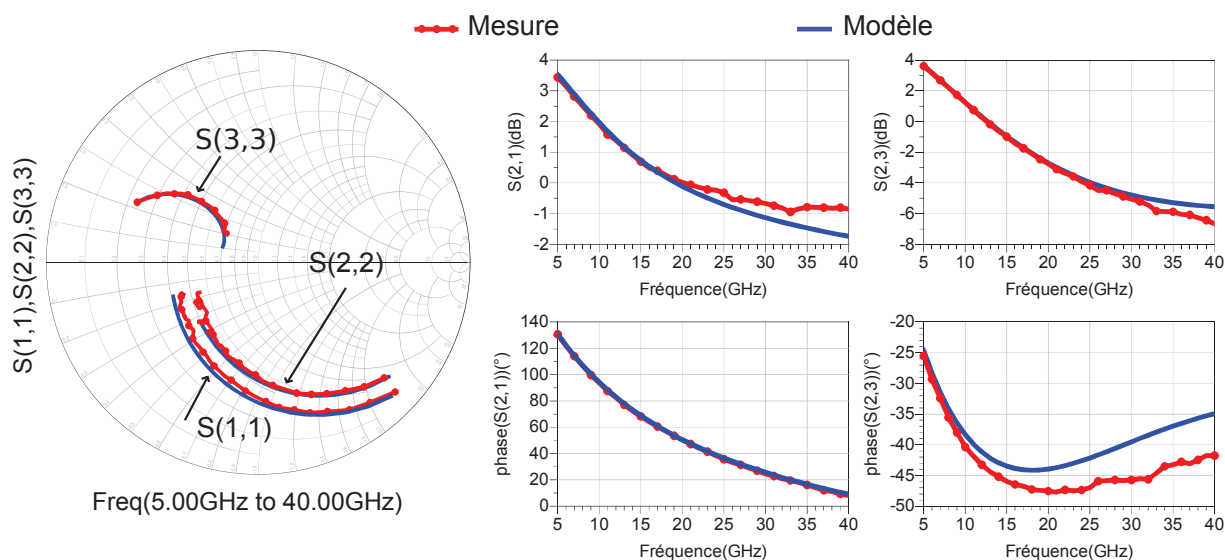


FIGURE IV.24 – Comparaison mesure/modèle des paramètres $[S]$ à $V_{ds} = 2,2$, $I_{ds} = 22\text{mA}$.

Nous présentons également la comparaison du réseau du courant de sortie $I_{ds}(V_{ds})$ dans la figure IV.25

Nous constatons un très bonne concordance entre modèle et mesure pour toutes les ana-

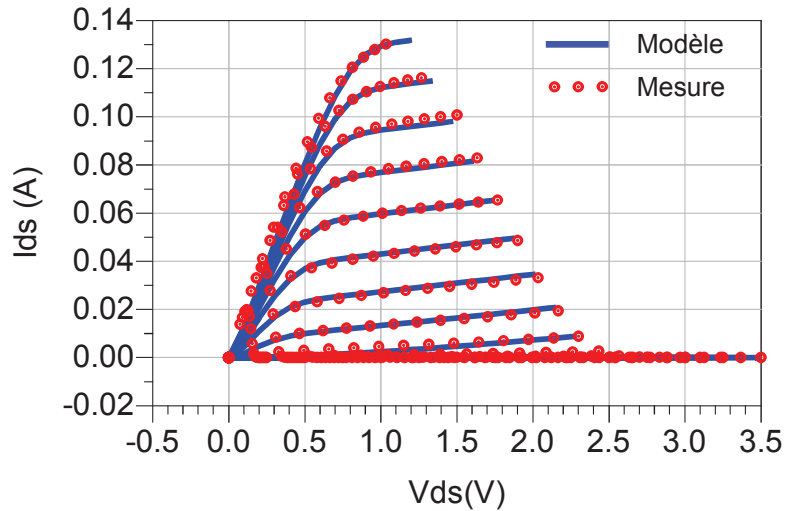


FIGURE IV.25 – Comparaison mesure/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de $-1,5$ V à $+0,2$ V avec un pas de $0,1$ V).

lyses de cette partie.

5.2 Configuration classique 2-accès

La configuration classique d'un transistor est présentée dans la figure IV.22 (b). C'est la structure d'un transistor 2-accès en source commune. Pour se mettre dans cette configuration, nous avons connecté les deux accès de source à la masse par un VIA hole. De plus, nous avons optimisé ces valeurs afin de trouver la combinaison des valeurs adéquates pour le modèle. Le tableau IV.8 présente l'ensemble des valeurs relatives à cet ajustement. Ces valeurs sont proches à celles mentionnées dans la datasheet du transistor. Une comparaison entre les paramètres [S] simulés et mesurés du transistor est illustrée dans la figure IV.26.

Valeurs des éléments localisés du VIA		
R1 (Ω)	R2 (Ω)	L (pH)
171,327	0,2	9,24

Tableau IV.8 – Valeurs des paramètres du VIA hole.

Nous pouvons constater qu'il y a un bon accord entre les mesures et la simulation dans la bande de fréquence [5GHz - 40GHz].

D'autre part, nous avons comparé les réseaux $I_{ds}(V_{ds})$ mesurés de deux structure 4-accès et 2-accès. Cette comparaison est illustrée dans la figure IV.27 ci-dessous. La figure IV.27 montre que les deux structures n'ont pas le même réseau $I(V)$, ce qui est normal puisque le court circuit partie DC de la structure 4-accès est appliqué au niveau du té de polarisation c'est à dire sur le banc de mesure, alors que le court circuit d'une structure (source commune) est réalisé sur le layout de transistor.

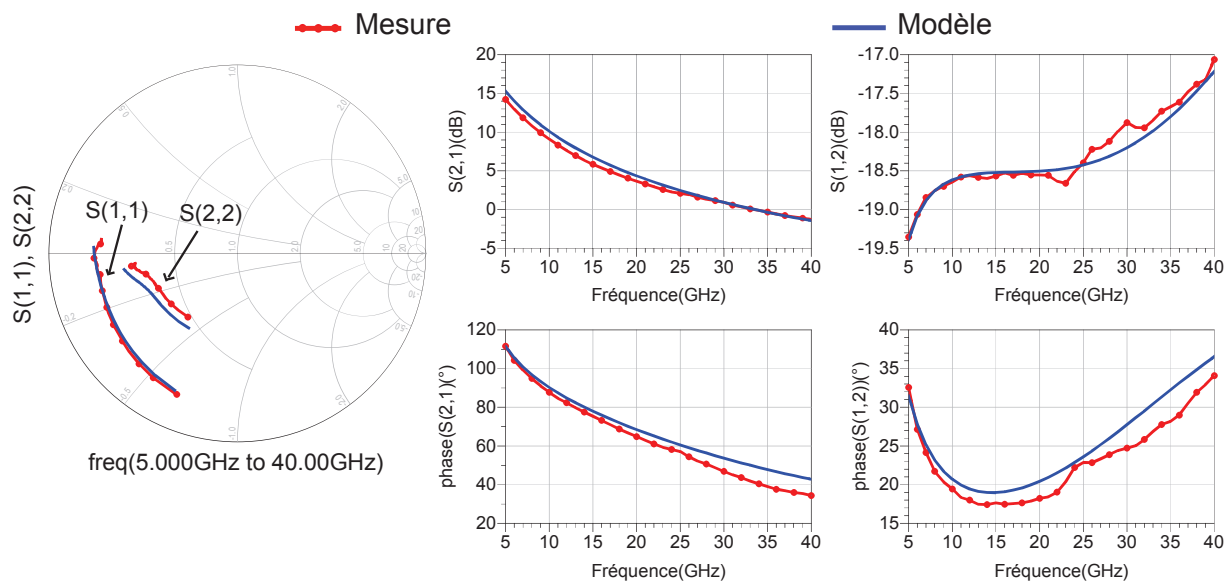


FIGURE IV.26 – Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2$, $I_{ds} = 22\text{mA}$.

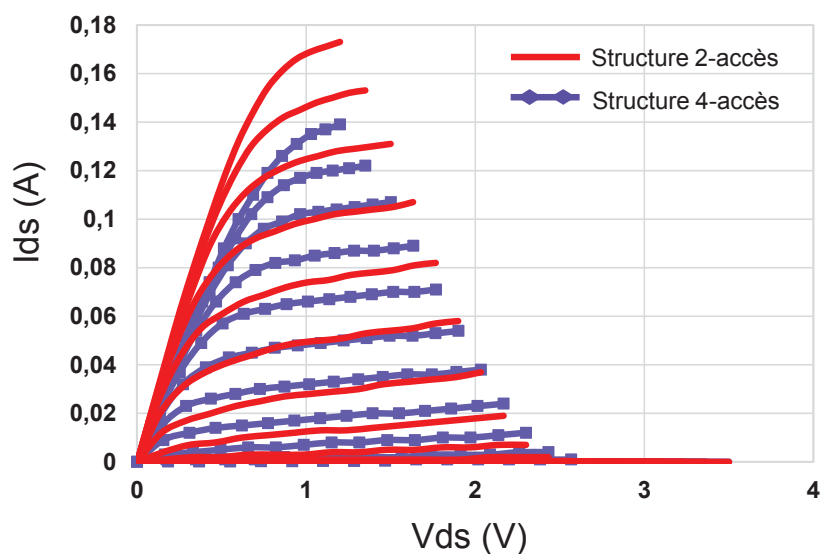


FIGURE IV.27 – Comparaison du courant de sortie $I_{ds}(V_{ds})$ de la structure classique avec la structure 4-accès.

En simulation, lorsque nous relient le circuit électrique équivalent d'un VIA hole aux deux accès de source du modèle distribué, nous obtenons les résultats illustrés dans la figure IV.28. Les mesures coïncident parfaitement avec la simulation, ce qui permet de valider la modélisation de la partie convective du modèle distribué.

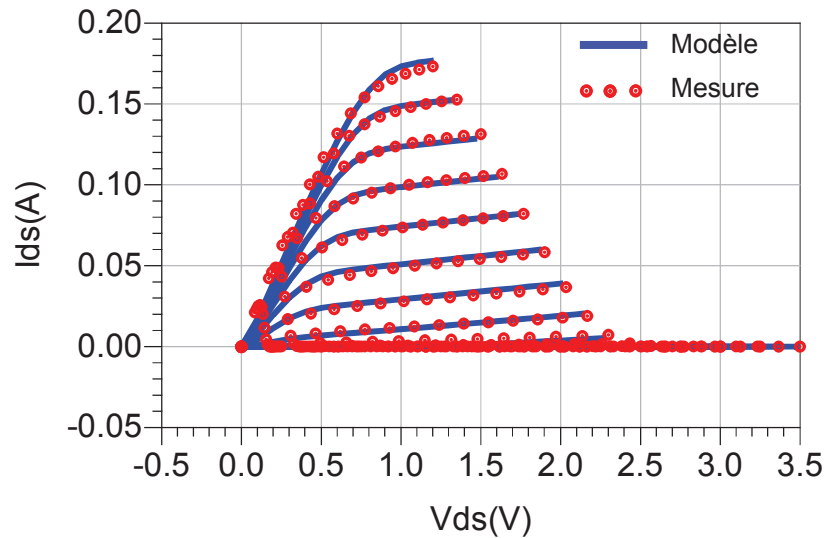


FIGURE IV.28 – Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de -1,5 V à +0,2 V avec un pas de 0,1 V).

5.3 Configuration 2-accès dotée d'un unique VIA hole

Dans la dernière structure de la figure IV.22, un accès de source est relié à la masse et l'autre est laissé en circuit ouvert. Avant d'expliquer le démarche suivie pour cette dernière structure, nous allons comparer les paramètres [S] ainsi que les réseaux de courant de sortie $I_{ds}(V_{ds})$ mesurés pour la structure classique (source commune) et pour la structure 2-accès dotée d'un unique VIA hole. Cette comparaison est illustrée dans les figures IV.30 et IV.29.

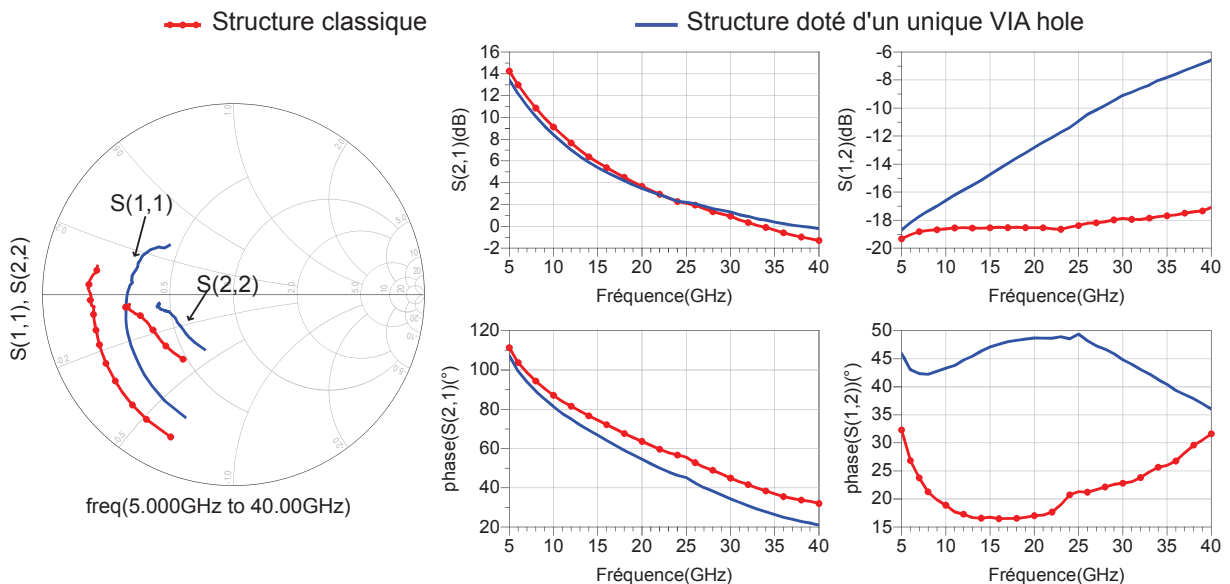


FIGURE IV.29 – Comparaison des paramètres [S] de la structure classique avec la structure ne comportant qu'un VIA hole.

Nous constatons que les deux structures présentent presque le même gain S_{21} en mo-

dule, et un écart de phase inférieur à 10° au maximum. Cet écart reste acceptable, tandis que pour les autres paramètres S_{11} , S_{12} , S_{22} l'écart est important. Par conséquent, lors de la conception d'un circuit tel que le LNA, cet écart influe sur les circuits d'adaptation d'entrée et de sortie. Pour les caractéristiques $I(V)$ (figure IV.29), nous remarquons que dans la zone de saturation, les courbes du réseau de sortie de la structure dotée d'un VIA hole unique sont en dessous de celles correspondant à la structure classique.

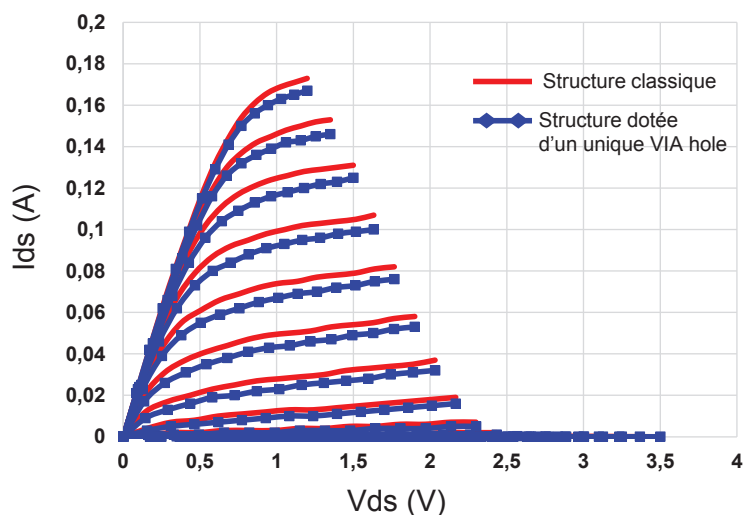


FIGURE IV.30 – Comparaison du courant de sortie $I_{ds}(V_{ds})$ de la structure classique avec la structure dotée d'un unique VIA hole.

Pour comparer les résultats du modèle distribués avec ceux mesurés de la structure dotée d'un unique VIA hole, nous avons appliqué le même principe que pour la configuration 3-accès, c'est à dire que nous avons connecté une capacité à la place du circuit ouvert parfait. La valeur de cette capacité est de 6fF, alors que l'autre accès est connecté au circuit équivalent d'un VIA. La figure IV.32 présente une comparaison des paramètres [S] entre les mesures et le modèle distribué.

Nous constatons qu'il y a une bonne concordance entre les paramètres S_{22} et S_{21} . Cependant, nous avons un écart sur la phase du paramètre S_{12} . Cela est dû à la valeur de la capacité de couplage entre la grille et le drain. Nous faisons une erreur sur la valeur de cette capacité et par conséquent, une erreur sur S_{12} . Cependant, nous constatons que cette erreur influe peu sur le modèle.

La figure IV.32 présente la comparaison mesure/modèle de la partie convective. Nous constatons un bon accord entre le modèle et les mesures.

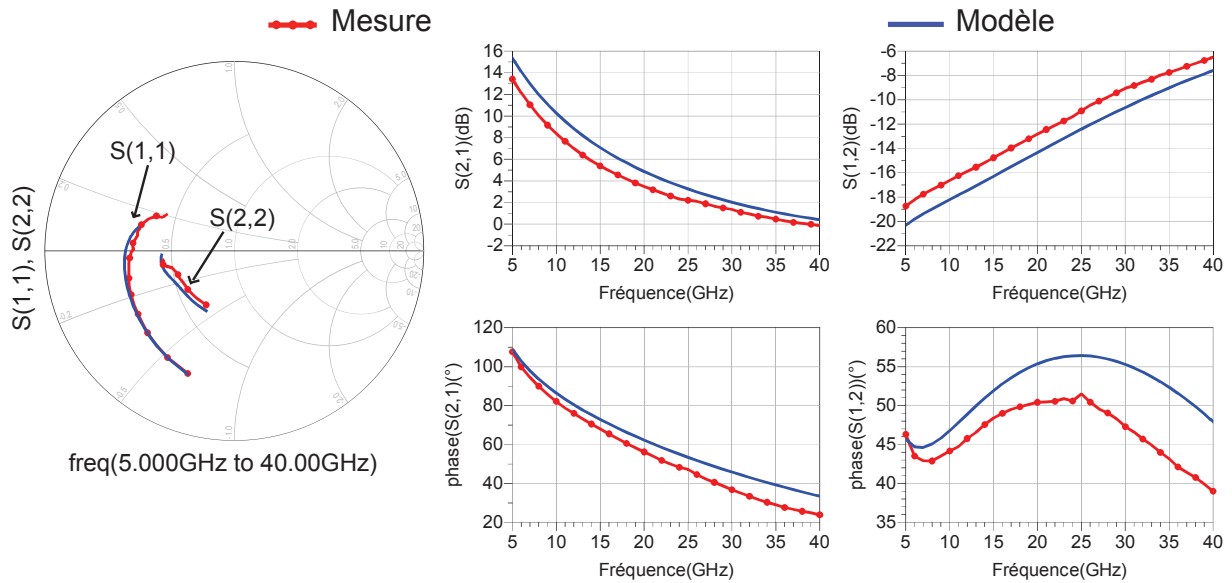


FIGURE IV.31 – Comparaison mesure/modèle des paramètres [S] à $V_{ds} = 2,2$, $I_{ds} = 22\text{mA}$.

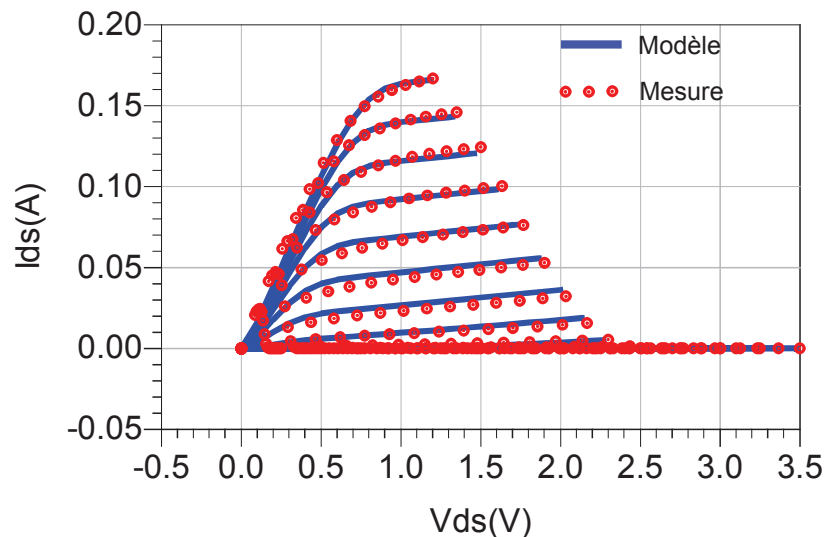


FIGURE IV.32 – Comparaison mesures/modèle du réseau $I_{ds}(V_{ds})$ (V_{gs} est de $-1,5\text{ V}$ à $+0,2\text{ V}$ avec un pas de $0,1\text{ V}$).

6 Conclusion

Dans ce chapitre, nous avons présenté une technique de modélisation d'un transistor en tenant compte des phénomènes de propagation entre les deux accès de source. la structure du transistor a été décomposée en deux parties : D'une part, une partie passive modélisée par des éléments localisés; et d'autre part, une partie active représentée par une cascade de blocs élémentaires non-linéaires. Chaque bloc élémentaire de deux doigts de grille est modélisé par un schéma électrique équivalent. Cette méthode de modélisation a été appliquée à un transistor pHEMT/AsGa ($8 \times 60\mu\text{m}$).

Le modèle non linéaire proposé à été développé à partir des paramètres [S] 4-accès et des

mesures statiques $I(V)$. Il a été validé en régime petit signal en comparant les mesures et les résultats du modèle pour plusieurs points de polarisation.

La validation de ce modèle 4-accès a été effectuée ainsi dans trois configurations de transistor :

- configuration 3-accès (circuit ouvert sur le deuxième accès de source) ;
- configuration source commune (un VIA est localisé à chaque accès de source) ;
- configuration source commune avec un seul VIA hole relié à la masse (circuit ouvert sur le deuxième accès de source).

Ces configurations ont permis non seulement de valider l'approche généraliste de modélisation distribuée 4-accès mais également de déterminer l'impact de la topologie du transistor utilisé sur les performances du circuit final.

Conclusion générale

La conception des amplificateurs faible bruit dotés de bonnes performances à des fréquences toujours plus élevées conduit à réaliser une modélisation des transistors multi-ports. Dans ce contexte, cette thèse présente une nouvelle méthode d'épluchage pour des circuits MMIC multi-ports et des modèles de transistors où 3 et 4-accès sont considérés. Ces modèles doivent prendre en compte les phénomènes physiques produits lorsque les accès de source ne sont pas tout connectés à la masse.

Dans une première partie, nous avons rappelé les critères de conception d'un LNA ainsi que les différentes architectures qui montrent l'intérêt d'une modélisation multi-ports du transistor. Le principe de fonctionnement des transistors, ainsi que leurs structures physiques ont été présentés. Ces derniers sont les points de départ de la modélisation. Différentes approches de modélisation électrique sont présentées afin de choisir judicieusement les méthodes optimales qui seront appliquées dans les parties suivantes.

La deuxième partie se focalise sur les méthodes d'épluchage de dispositifs RF. Dans un premier temps, différentes méthodes existantes, ainsi que leurs avantages et inconvénients, sont présentées. Il apparaît alors que la méthode la mieux adaptée à la conception d'un kit d'épluchage multi-ports est la méthode "Pad-Open-Short" (POS). Cependant, cette méthode présente des limitations en fréquences. En effet, les standards utilisés, qui sont supposés idéaux, présentent en réalité des effets parasites qui ne peuvent pas être négligeables à des fréquences élevées. Par conséquent, nous avons proposé une nouvelle méthode prenant en compte les imperfections des standards afin d'assurer d'un épluchage optimal. Cette méthode est basée sur le calcul des paramètres [S] intrinsèques des standards d'étalonnage par simulation électro-magnétique. Cette nouvelle méthode a été validée avec la méthode TRL. Nous avons proposé ensuite, une extension de la méthode POS appliquée à des composants multi-ports. Un circuit de test à 3-accès a été développé afin de valider et vérifier expérimentalement la méthode jusqu'à 40 GHz en mode multi-ports.

Le troisième chapitre présente le processus de modélisation 3-accès d'un transistor RF. Dans un premier temps, deux banc de caractérisation spécifiques ont été mis au point pour mesurer les paramètres [S] et les caractéristiques I(V) en configuration 3-accès. Dans un second temps, un modèle phénoménologique de transistor 3-accès HEMT/AsGa pour la CAO des circuits a été développé à partir des caractérisations précédentes. Ce modèle non linéaire a été conçu autour de deux points de fonctionnement différents. Une comparaison entre les mesures et le modèle montre une bonne concordance en régime petit signal. Ceci permet de valider le modèle pour des application faible signal de type LNA.

Enfin, le dernier chapitre présente une méthode de modélisation de transistor en configuration 4-accès. Cette méthode prend en compte des phénomènes physiques dispersifs présents sur les deux accès de source. Pour ce travail, la structure du transistor a été décomposée en deux parties : une partie passive est modélisée par des éléments localisés; et une partie active est représentée par une mise en cascade de blocs élémentaires non-linéaires. Chaque bloc élémentaire représente deux doigts de grille du transistor. Un modèle 4-accès d'un transistor HEMT/AsGa $8 \times 60 \mu\text{m}$ de la fonderie UMS a été développé en s'appuyant sur cette approche. Ce modèle a été développé à partir de mesures 4-accès (paramètres [S] et courbes I(V)). La validation de ce modèle 4-accès a été effectuée pour trois configurations de transistor :

- configuration 3-accès (circuit ouvert sur le deuxième accès de source);
- configuration source commune (un VIA est connecté à chaque accès de source);
- configuration source commune avec un seul VIA hole (circuit ouvert sur le deuxième accès de source).

Ces configurations ont permis de valider l'approche généraliste de modélisation distribuée 4-accès et de déterminer l'impact de la topologie utilisée du transistor sur les performances du circuit final.

En perspective à ce travail, il sera intéressant d'évaluer les performances des modèles en régime fort signal. Un banc de mesure de type Source-Pull / Load-Pull en configuration multi-ports serait alors à développer. Par ailleurs, il serait intéressant de compléter cette analyse par une modélisation en bruit 3 ou 4-accès afin d'extraire la matrice de corrélation du dispositif sous test [67] [68].

Bibliographie

- [1] J. C. Rudell, J.-J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and P. R. Gray, "A 1.9 GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications," in *1997 IEEE International Solids-State Circuits Conference. Digest of Technical Papers*, Feb 1997, pp. 304–305.
- [2] G. Girlando and G. Palmisano, "Noise figure and impedance matching in rf cascode amplifiers," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 46, no. 11, pp. 1388–1396, Nov 1999.
- [3] T. Yao, M. Q. Gordon, K. K. W. Tang, K. H. K. Yau, M. T. Yang, P. Schvan, and S. P. Voinigescu, "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 5, pp. 1044–1057, May 2007.
- [4] C. Garuda, X. Cui, P.-C. Lin, S. J. Doo, P. Zhang, and M. Ismail, "A 3-5 GHz fully differential CMOS LNA with dual-gain mode for wireless UWB applications," in *48th Midwest Symposium on Circuits and Systems, 2005.*, vol. 1, Aug 2005, pp. 790–793.
- [5] R. G. Meyer and W. D. Mack, "A 1-GHz BiCMOS RF front-end IC," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 3, pp. 350–355, Mar 1994.
- [6] A. R. Shahani, D. K. Shaeffer, and T. H. Lee, "A 12 mW wide dynamic range CMOS front end for a portable GPS receiver," in *1997 IEEE International Solids-State Circuits Conference. Digest of Technical Papers*, Feb 1997, pp. 368–369.
- [7] M. Tiebout and E. Papparisto, "LNA design for a fully integrated CMOS single chip UMTS transceiver," in *Proceedings of the 28th European Solid-State Circuits Conference*, Sept 2002, pp. 835–838.
- [8] B. Razavi, "Architectures and circuits for RF CMOS receivers," in *Proceedings of the IEEE 1998 Custom Integrated Circuits Conference (Cat. No.98CH36143)*, May 1998, pp. 393–400.
- [9] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, May 1997.

-
- [10] P. Leroux, J. Janssens, and M. Steyaert, "A 0.8-dB NF ESD-Protected 9-mW CMOS LNA operating at 1.23 GHz," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 6, pp. 760–765, Jun 2002.
- [11] W. Shockley, "The theory of p-n junctions in semiconductors and p-n junction transistors," *The Bell System Technical Journal*, vol. 28, no. 3, pp. 435–489, July 1949.
- [12] C. T. Kirk, "A theory of transistor cutoff frequency (f_t) falloff at high current densities," *IRE Transactions on Electron Devices*, vol. 9, no. 2, pp. 164–174, March 1962.
- [13] J.-S. Rieh, L.-H. Lu, L. P. B. Katehi, P. Bhattacharya, E. T. Croke, G. E. Ponchak, and S. A. Alterovitz, "X- and Ku-band amplifiers based on Si/SiGe HBT's and micromachined lumped components," *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 5, pp. 685–694, May 1998.
- [14] J. Li, C. Cismaru, P. Zampardi, A. Wu, E. Babcock, M. Sun, K. Stevens, and R. Ramathan, "Development of High Breakdown Voltage InGaP/GaAs DHBTs," in *CS MANTECH Conference, Austin, Texas, 2007*, pp. 177–180.
- [15] A. Baca, P. Chang, J. Klem, C. Ashby, and D. Martin, "Vertical AlGaAs/GaAs heterojunction bipolar transistors with 106 V breakdown," *Solid-State Electronic*, vol. 45, pp. 721–725, 2001.
- [16] T. Johansson, J. Soderstrom, L. Eastman, and D. Woodard, "A study of L-band GaAlAs/GaAs HBTs for high-voltage RF-power," *International Journal of Electronics*, vol. 87, no. 4, pp. 497–510, 2000.
- [17] S. Estrada, A. Stonas, A. Huntington, H. Xing, L. Coldren, S. DenBaars, U. Mishra, and E. Hu, "The First Wafer-fused AlGaAs-GaAs-GaN Heterojunction Bipolar Transistor," *MRS Proceedings*, vol. 743, p. L12.10, 2002.
- [18] W. Shockley, "A unipolar "field-effect" transistor," *Proceedings of the IRE*, vol. 40, no. 11, pp. 1365–1376, Nov 1952.
- [19] W. L. Pribble, J. W. Palmour, S. T. Sheppard, R. P. Smith, S. T. Allen, T. J. Smith, Z. Ring, J. J. Sumakeris, A. W. Saxler, and J. W. Milligan, "Applications of SiC MESFETs and GaN HEMTs in power amplifier design," in *2002 IEEE MTT-S International Microwave Symposium Digest*, vol. 3, June 2002, pp. 1819–1822.
- [20] S. T. Allen, W. L. Pribble, R. A. Sadler, T. S. Alcorn, Z. Ring, and J. W. Palmour, "Progress in high power SiC microwave MESFETs," in *1999 IEEE MTT-S International Microwave Symposium Digest*, vol. 1, June 1999, pp. 321–324.
- [21] C. A. Mead, "Schottky barrier gate field effect transistor," *Proceedings of the IEEE*, vol. 54, no. 2, pp. 307–308, Feb 1966.

- [22] W. Baechtold, K. Daetwyler, T. Forster, T. O. Mohr, W. Walter, and P. Wolf, "Si and GaAs 0.5 μm -gate Schottky-barrier field-effect transistors," *Electronics Letters*, vol. 9, no. 10, pp. 232–234, May 1973.
- [23] S. Pajic, N. Wang, and Z. Popovic, "Comparison of X-band MESFET and HBT class-E power amplifiers for EER transmitters," in *IEEE MTT-S International Microwave Symposium Digest, 2005.*, June 2005.
- [24] R. Khelil, "Étude d'un gaz bidimensionnel d'électrons dans des hétérostructures Al-GaAs/GaAs par des mesures courant-tension et bruit basses fréquences en température," Ph.D. dissertation, Université de Reims Champagne-Ardenne, 2003.
- [25] R. Gupta, S. K. Aggarwal, M. Gupta, and R. Gupta, "Analytical non-linear charge control model for InAlAs/InGaAs/InAlAs double heterostructure high electron mobility transistor (DH - HEMT) ," *Solid-State Electronics*, vol. 49, pp. 167–174, 2005.
- [26] M. Lazaro, I. Santamaria, and C. Pantaleon, "A smooth and derivable large-signal model for microwave HEMT transistors," in *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century.*, vol. 4, 2000, pp. 713–716.
- [27] R. L. Anderson, "Experiments on Ge-GaAs heterojunctions," *IRE Transactions on Electron Devices*, vol. 9, no. 6, pp. 509–509, Nov 1962.
- [28] R. Plana, L. Escotte, O. Llopis, H. Amine, T. Parra, M. Gayral, and J. Graffeuil, "Noise in AlGaAs/InGaAs/GaAs pseudomorphic HEMTs from 10 Hz to 18 GHz," *IEEE Transactions on Electron Devices*, vol. 40, no. 5, pp. 852–858, May 1993.
- [29] D. H. Kim and J. A. D. Alamo, "30-nm InAs PHEMTs with $f_T = 644$ GHz and $f_{max} = 681$ GHz," *IEEE Electron Device Letters*, vol. 31, no. 8, pp. 806–808, Aug 2010.
- [30] J. Turner and B. Wilson, "implications of carrier velocity saturation in a gallium arsenide filed effect transisotrs," in *Procedding of the Symposium on Gallium Arsenide*, 1968, pp. 195–204.
- [31] C. A. Liechti, "Microwave field-effect transistors - 1976," *IEEE Transactions on Microwave Theory and Techniques*, vol. 24, no. 6, pp. 279–300, Jun 1976.
- [32] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*. John wiley & sons, 2006.
- [33] R. J. Trew and U. K. Mishra, "Gate breakdown in MESFETs and HEMTs," *IEEE Electron Device Letters*, vol. 12, no. 10, pp. 524–526, Oct 1991.
- [34] W. Demenitroux, C. Maziere, T. Gasseling, B. Gustavsen, M. Campovecchio, and R. Quéré, "A new multi-harmonic and bilateral behavioral model taking into account short term memory effect," in *The 40th European Microwave Conference*, Sept 2010, pp. 473–476.
- [35] D. Schreurs, J. Verspecht, E. Vandamme, N. Vellas, C. Gaquiere, M. Germain, and G. Borghs, "ANN model for AlGaN/GaN HEMTs constructed from near-optimal-load

- large-signal measurements,” in *IEEE MTT-S International Microwave Symposium Digest, 2003*, vol. 1, June 2003, pp. 447–450.
- [36] J. Horn, D. E. Root, and G. Simpson, “GaN Device Modeling with X-Parameters,” in *2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, Oct 2010, pp. 1–4.
- [37] D. Resca, A. Santarelli, A. Raffo, R. Cignani, G. Vannini, F. Filicori, and D. M. M. P. Schreurs, “Scalable nonlinear FET model based on a distributed parasitic network description,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 4, pp. 755–766, April 2008.
- [38] L. Escotte and J. C. Mollier, “Semidistributed model of millimeter-wave fet for parameter and noise figure predictions,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, no. 6, pp. 748–753, Jun 1990.
- [39] A. Cidronali, G. Collodi, G. Vannini, and A. Santarelli, “A new approach to fet model scaling and mmic design based on electromagnetic analysis,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 6, pp. 900–907, Jun 1999.
- [40] M. T. Hickson, P. Gardner, and D. K. Paul, “A semidistributed HEMT model for accurate fitting and extrapolation of S-parameters and noise parameters,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, no. 8, pp. 1709–1712, Aug 1992.
- [41] R. T. Webster, A. J. Slobodnik, and G. A. Roberts, “Determination of InP HEMT noise parameters and S-parameters to 60 GHz,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 6, pp. 1216–1225, Jun 1995.
- [42] Z. Chen, Y. L. Wang, Y. Liu, and N. H. Zhu, “Two-port calibration of test fixtures with OSL method,” in *2002 3rd International Conference on Microwave and Millimeter Wave Technology, 2002. Proceedings. ICMMT 2002.*, Aug 2002, pp. 138–141.
- [43] G. F. Engen and C. A. Hoer, “Thru-reflect-line : An improved technique for calibrating the dual six-port automatic network analyzer,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 27, no. 12, pp. 987–993, Dec 1979.
- [44] R. F. Bauer and P. Penfield, “De-embedding and unterminating,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 22, no. 3, pp. 282–288, Mar 1974.
- [45] P. J. V. Wijnen, H. R. Claessen, and E. A. Wolsheimer, “A new straightforward calibration and correction procedure for “on-wafer” high frequency S-parameter measurements (45 MHz–18 GHz),” in *Proceedings of the Bipolar / BiCMOS Circuits and Technology Meeting*, Sep 1987, pp. 70–73.
- [46] T. E. Kolding, “A four-step method for de-embedding gigahertz on-wafer cmos measurements,” *IEEE Transactions on Electron Devices*, vol. 47, no. 4, pp. 734–740, Apr 2000.

- [47] L. F. Tiemeijer, R. J. Havens, A. B. Jansman, and Y. Bouttement, "Comparison of the "pad-open-short" and "open-short-load" deembedding techniques for accurate on-wafer RF characterization of high-quality passives," *IEEE Trans. on MTT*, vol. 53, no. 2, pp. 723–729, 2005.
- [48] H. Cho and D. E. Burk, "A three-step method for the de-embedding of high-frequency S-parameter measurements," *IEEE Transactions on Electron Devices*, vol. 38, no. 6, pp. 1371–1375, Jun 1991.
- [49] D. A. Bini, B. Iannazzo, and B. Meini, *Numerical solution of algebraic Riccati equations*. SIAM, 2012.
- [50] A. Laub, "A Schur method for solving algebraic Riccati equations," *IEEE Trans. on Automatic Control*, vol. 24, no. 6, pp. 913–921, 1979.
- [51] A. Ferrero, U. Pisani, and K. J. Kerwin, "A new implementation of a multiport automatic network analyzer," *IEEE Trans. on MTT*, vol. 40, no. 11, pp. 2078–2085, 1992.
- [52] N. Labrousse, "Développement de fonctions intégrés incluses dans les transistors de puissance conçus en technologie Idmos," Ph.D. dissertation, Université de Limoges, 2009.
- [53] Z. Ouarch, M. Perez, J. P. Teyssier, and P. Bouysse, "Band de caractérisation sous pointes de composants actifs en régime imulsionnel dans la bande 1-40ghz," in *JNM*, Mai 1997, pp. 510–511.
- [54] J. P. Teyssier, P. Bouysse, Z. Ouarch, T. Peyretailade, and R. Quéré, "40 GHz/150 ns Versatile Pulsed Measurement System for Microwave Transistor Isothermal Characterization," *IEEE MTT*, Décembre 1998.
- [55] AMCAD Engineering, "Pulse IV SYSTEM - AM3200 Series 3," https://www.amcad-engineering.com/content/uploads/2018/06/PIV3200_Brochure_rev9.pdf.
- [56] J. Portilla, M. Campovecchio, R. Quéré, and J. Obregon, "A new coherent extraction method of FETs and Hemts models for MMIC applications," *GaAs Symposium*, Avril 1994.
- [57] I. Angelov, K. Kanaya, S. Goto, and M. Abbasi, "On the High Frequency de-embedding modeling of FET devices," in *2009 73rd ARFTG Microwave Measurement Conference*, June 2009, pp. 1–4.
- [58] Y. Tajima and P. D. Miller, "Design of Broad-Band Power GaAs FET Amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 32, no. 3, pp. 261–267, Mar 1984.
- [59] J. P. Teyssier, J. P. Viaud, and R. Quéré, "A new nonlinear I(V) model for FET devices including breakdown effects," *IEEE Microwave and Guided Wave Letters*, vol. 4, no. 4, pp. 104–106, April 1994.

-
- [60] O. Jardel, "Contribution à la modélisation des transistors pour l'amplification de puissance aux fréquences microondes. développement d'un nouveau modèle électrothermique de HEMT AlGa_N/Ga_N incluant les effets de pièges," Ph.D. dissertation, Université de Limoges, 2008.
- [61] S. Forestier, T. Gasseling, P. Bouysse, R. Quéré, and J. M. Nébus, "A new nonlinear capacitance model of millimeter wave power PHEMT for accurate AM/AM-AM/PM simulations," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 1, pp. 43–45, Jan 2004.
- [62] O. Jardel, F. D. Groote, T. Reveyrand, J. C. Jacquet, C. Charbonniaud, J. P. Teyssier, D. Floriot, and R. Quéré, "An Electrothermal Model for AlGa_N/Ga_N Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 12, pp. 2660–2669, Dec 2007.
- [63] Y. A. Hussein, S. M. El-Ghazaly, and S. M. Goodnick, "An efficient electromagnetic-physics-based numerical technique for modeling and optimization of high-frequency multifinger transistors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 12, pp. 2334–2346, Dec 2003.
- [64] M. Farina, L. Pierantoni, and T. Rozzi, "Electromagnetic 3-D model for active linear devices : application to pHEMTs in the linear regime," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 2, pp. 469–474, Feb 2004.
- [65] M. Ariaudo, E. Bourdel, and D. Pasquet, "Variation in intrinsic parameters of transistor with gate width," *Journal of electromagnetic*, vol. 36, no. 15,21, pp. 1255–1334, Jul 2000.
- [66] M. Ariaudo, E. Bourdel, A. Samet, D. Pasquet, and A. Bouallegue, "Prise en compte des phénomènes de propagation dans la modélisation d'un transistor," *Optique Hertzienne et Diélectriques*, Sep 2001.
- [67] C. Enguehard, "Analyse et Mesure des Structures Différentielles RF Faible Bruit," Ph.D. dissertation, Université de Limoges, 2011.
- [68] L. Boglione, "Generalized determination of device noise parameters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 10, pp. 4014–4025, Oct 2017.

List of Publications

W. Khelifi, T. Reveyrand, J. Lintignat, B. Jarry, R. Quéré, L. Lapierre, V. Armengaud «Distributed modeling of 4-port transistor for linear mmW design application.» Asia-Pacific Microwave Conference (APMC), Kyoto, Japan, November 2018.

W. Khelifi, T. Reveyrand, J. Lintignat, B. Jarry, R. Quéré, D. Langrez, L. Lapierre, V. Armengaud «Non-linear Characterization and Modeling of 3-port Transistor.» Integrated Non-linear Microwave and Millimetre-wave Circuits (INMMIC 2018), Brive-la-gaillarde, France, July 2018.

W. Khelifi, T. Reveyrand, J. Lintignat, B. Jarry, R. Quéré, L. Lapierre, V. Armengaud, D. Langrez «Pad-Open-Short De-embedding Method Extended for 3-Port Devices and Non-Ideal Standards.» 89th ARFTG Symposium, IMS 2017, Honolulu, HI, June 2017.

W. Khelifi, T. Reveyrand, J. Lintignat, B. Jarry, R. Quéré, L. Lapierre, V. Armengaud, D. Langrez «Extension de la méthode de de-embedding "Pad-Open-Short" à des dispositifs 3-ports et des standards d'étalonnage non idéaux.» 20eme Journées Nationales Micro-ondes (JNM), Saint-Malo, Mai 2017.

Résumé

Modélisation multi-ports des transistors hyperfréquences

Ce document traite de la caractérisation et la modélisation des transistors multi-ports. Une caractérisation des transistors pHEMT à base de l'AsGa est réalisée. Une importance particulière est donnée aux méthodes de caractérisation RF sous pointes. En effet, une étude sur les méthodes d'épluchage est réalisée. Ensuite, après avoir relevé un défaut dans la méthode choisie (à savoir la méthode Pad-Open-Short), une solution est proposée concernant les standards non idéaux. Finalement, des modèles non linéaires 3 et 4 ports sont développés, ils ont pour objectifs de réduire le temps, des phases de conception et de fiabiliser le prototypage des fonctions micro-ondes utilisant ces composants. Les travaux présentés ici sont dédiés à l'amélioration de la modélisation électrique des transistors axée, comme leur application, sur la bande Ku.

Mots clé : transistor, épluchage, modélisation

Abstract

Multiport modeling of microwave transistor

This paper presents an approach for the de-embedding and modeling of multi-port transistors. First, the proposed de-embedding method is an extension of a three step method (Pad-Open-Short) for accurate on wafer (MMIC) S-parameters measurements. The novelty of this approach lies in the fact that the proposed de-embedding method for multi-port devices takes into account the imperfections of the standards. Then, we present two approach for the modeling of 3 and 4 ports GaAs HEMT transistors. The non-linear model was developed from I-V and S-parameters measurements. The methodology for 3-port device modeling allows us to determine accurate non-linear model in high frequencies. The second approach is dedicated for the distributed modeling of a 4-port transistor. The original electrical models of multi-port transistors developed in this thesis aims to reduce the time and the design phases, and to make reliable the prototyping of microwave functions using these components. The work presented here is therefore dedicated to improving the electrical modeling of transistors focused as their application on the Ku band.

Key words : transistor, de-embedding, modeling