

N°d'ordre NNT : 2017LYSEI042

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
INSA Lyon

Ecole Doctorale N° 160

Spécialité de doctorat : Électronique, Électrotechnique, Automatique

Discipline : Génie Électrique

Soutenue publiquement le 31/05/2017, par :
Ilyas DCHAR

Conception d'un module d'électronique de puissance «Fail-to-short» pour application haute tension

Devant le jury composé de :

Forest François	Professeur	Univ. de Montpellier	Examinateur
Lefebre Stéphane	Professeur	CNAM	Rapporteur
Richardeau Frédéric	DR CNRS	Univ. de Toulouse	Rapporteur
Berkani Mounira	Maître de conférences	Université Paris Est	Examinateur
Mermet-Guyennet Michel	Directeur du prog ;SuperGrid Institute		Invité
Morel Hervé	DR CNRS	Université de Lyon	Examinateur
Buttay Cyril	CR CNRS	Université de Lyon	Examinateur

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	**CHIMIE DE LYON** **http://www.edchimie-lyon.fr** Sec : Renée EL MELHEM Bat Blaise Pascal 3e etage secretariat@edchimie-lyon.fr Insa : R. GOURDON	M. Stéphane DANIELE Institut de Recherches sur la Catalyse et l'Environnement de Lyon IRCELYON-UMR 5256 Équipe CDFA 2 avenue Albert Einstein 69626 Villeurbanne cedex directeur@edchimie-lyon.fr
E.E.A.	**ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE** **http://edeea.ec-lyon.fr** Sec : M.C. HAVGOUDOUKIAN Ecole-Doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60.97 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	**EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION** **http://e2m2.universite-lyon.fr** Sec : Sylvie ROBERJOT Bât Atrium - UCB Lyon 1 04.72.44.83.62 Insa : H. CHARLES secretariat.e2m2@univ-lyon1.fr	M. Fabrice CORDEY CNRS UMR 5276 Lab. de géologie de Lyon Université Claude Bernard Lyon 1 Bât Géode 2 rue Raphaël Dubois 69622 VILLEURBANNE Cédex Tél : 06.07.53.89.13 cordey@univ-lyon1.fr
EDISS	**INTERDISCIPLINAIRE SCIENCES-SANTE** **http://www.ediss-lyon.fr** Sec : Sylvie ROBERJOT Bât Atrium - UCB Lyon 1 04.72.44.83.62 Insa : M. LAGARDE secretariat.ediss@univ-lyon1.fr	Mme Emmanuelle CANET-SOULAS INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 avenue Jean Capelle INSA de Lyon 696621 Villeurbanne Tél : 04.72.68.49.09 Fax :04 72 68 49 16 Emmanuelle.canet@univ-lyon1.fr
INFOMATHS	**INFORMATIQUE ET MATHEMATIQUES** **http://infomaths.univ-lyon1.fr** Sec :Renée EL MELHEM Bat Blaise Pascal, 3e étage Tél : 04.72. 43. 80. 46 Fax : 04.72.43.16.87 infomaths@univ-lyon1.fr	M. Luca ZAMBONI Bâtiment Braconnier 43 Boulevard du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél :04 26 23 45 52 zamboni@maths.univ-lyon1.fr
Matériaux	**MATERIAUX DE LYON** **http://ed34.universite-lyon.fr** Sec : Marion COMBE Tél:04-72-43-71-70 –Fax : 87.12 Bat. Direction ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 71.70 Fax 04 72 43 85 28 Ed.materiaux@insa-lyon.fr
MEGA	**MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE** **http://mega.universite-lyon.fr** Sec : Marion COMBE Tél:04-72-43-71-70 –Fax : 87.12 Bat. Direction mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72 .43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	**ScSo*** **http://recherche.univ-lyon2.fr/scso/** Sec : Viviane POLSINELLI Brigitte DUBOIS Insa : J.Y. TOUSSAINT Tél : 04 78 69 72 76 viviane.polsinelli@univ-lyon2.fr	M. Christian MONTES Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

REMERCIEMENTS

Avant tout, je tiens à remercier chaleureusement mon directeur de thèse, M. Cyril Buttay, pour son soutien, sa disponibilité, son travail, ses connaissances et son écoute tout au long de ma thèse.

J'exprime toute ma reconnaissance et gratitude à mon encadrant industriel, Monsieur Michel Mermet-Guyennet, directeur de programme à SuperGrid Institute. Je le remercie d'avoir cru en moi et de m'avoir toujours soutenu. J'adresse également mes profonds remerciements à Monsieur Hervé Morel pour m'avoir encadré tout au long de cette thèse.

Je tiens à m'adresser mes sincères remerciements à mes amis du programme 3 de SuperGrid pour la bonne ambiance et l'eprit d'équipe.

Merci à mes parents, à ma femme, à mon petit frère Mehdi, à qui je dois tout. Merci pour vos encouragements et de m'avoir toujours soutenu. Mes remerciements touchent tous ceux qui ont participé de près ou de loin à la réalisation de ce modeste travail.

Je tiens enfin à remercier les membres du jury devant lesquels j'aurais le grand honneur d'exposer mon travail.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Conception d'un module électronique de puissance "Fail-to-short" pour des applications haute tension

Résumé

Les convertisseurs de forte puissance sont des éléments critiques des futurs réseaux HVDC. À ce titre, leur fiabilité et leur endurance sont primordiales. La défaillance d'un composant se produit soit en circuit ouvert, ou en court-circuit. Le composant défaillant en circuit ouvert est inadmissible pour les convertisseurs utilisant une topologie de mise en série. En particulier, dans certaines applications HVDC, les modules doivent être conçus de telle sorte que lorsqu'une défaillance se produit, le module défaillant doit se comporter comme un court-circuit et supporter ainsi le courant nominal qui le traverse. Un tel comportement est appelé "défaillance en court-circuit" ou "failure-to-short-circuit".

Actuellement, tous les modules de puissance ayant un mode de défaillance en court-circuit disponibles dans le commerce utilisent des semi-conducteurs en silicium. Les potentialités des semi-conducteurs en carbure de silicium (SiC) poussent, aujourd'hui, les industriels et les chercheurs à mener des investigations pour développer des modules Fail-to-short à base des puces SiC. C'est dans ce contexte que se situe ce travail de thèse, visant à concevoir un module à base de puces SiC offrant un mode de défaillance de court-circuit. Pour cela nous présentons d'abord une étude de l'énergie de défaillance des puces SiC, afin de définir les plages d'activation du mécanisme Fail-to-short. Ensuite, nous démontrons la nécessité de remplacer les interconnexions classiques (fils de bonding) par des contacts massifs sur la puce. Enfin, une mise en œuvre est présentée au travers d'un module "demi pont" à deux transistors MOSFET.

Mots-Clés: Press-Pack, Structure sandwich, Module conventionnel, Convertisseurs HVDC, Packaging, Défaillance, Court-circuit, Avalanche, Enérgie critique, Explosion, Stabilité, SiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Designing a Power Module with Failure to Short Circuit Mode Capability for High Voltage Applications

Abstract

The reliability and endurance of high power converters are paramount for future HVDC networks. Generally, module's failure behavior can be classified as open-circuit failure and short-circuit failure. A module which fails to an open circuit is considered as fatal for applications requiring series connection. Especially, in some HVDC application, modules must be designed such that when a failure occurs, the failed module still able to carry the load current by the formation of a stable short circuit. Such operation is referred to as short circuit failure mode operation.

Currently, all commercially available power modules which offer a short circuit failure mode use silicon semiconductors. The benefits of SiC semiconductors prompts today the manufacturers and researchers to carry out investigations to develop power modules with Fail-to-short-circuit capability based on SiC dies. This represents a real challenge to replace silicon power module for high voltage applications in the future. The work presented in this thesis aims to design a SiC power module with failure to short circuit failure mode capability. The first challenge of the research work is to define the energy leading to the failure of the SiC dies in order to define the activation range of the Fail-to-short mechanism. Then, we demonstrate the need of replacing the conventional interconnections (wire bonds) by massive contacts. Finally, an implementation is presented through a "half bridge" module with two MOSFETs.

Keywords : Press-Pack, Sandwich structure, conventional module, HVDC converter, Packaging, Failure, Short-circuit, Avalanche, Critical energy, Explosion, Stability, SiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Contents

A. INTRODUCTION GÉNÉRALE 14

A.1. Contexte de la thèse 14

A.2. Pourquoi est-il nécessaire de développer un module « Fail-to-short » 15

A.3. Problème de fiabilité des boitiers conventionnels 16

A.4. Objectif de la thèse 17

B. CHAPITRE I: FIABILITE DES MODULES DE PUISSANCE: ÉTAT DE L'ART 19

B.1. Introduction : 20

B.2. Eléments constituant un module de puissance : 20

B.2.1. Puces semi-conducteur 20

B.2.2. Packaging 23

B.3. Fiabilité des modules de puissance: 32

B.3.1. Mécanismes de défaillance des puces 32

B.3.2. Mécanismes de défaillance du packaging 35

B.3.3. Synthèse des mécanismes de défaillance d'un module de puissance 41

B.4. Exemples de module de puissance existant ayant un mode de défaillance de court-circuit "Fail to short-circuit" 42

B.4.1. Intérêt technologique: 42

B.4.2. Boitiers Press-Pack : 44

B.4.3. Boitiers StakPak: 47

B.5. Conclusion : 49

C. CHAPITRE II : LES MODES DE DEFAILLANCE DES PUCES SIC DANS LES BOITIERS CONVENTIONNELS 50

C.1. Introduction: 51

C.2. État de l'art sur les méthodes de test en régimes de fonctionnement extrêmes: .. 52

C.2.1. Régime de sur-courant: 52

C.2.2. Régime d'avalanche 53

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.3. Banc de test réalisé pour les régimes de fonctionnement extrêmes: 55
C.3.1. Essai en régime de sur-courant: 55
C.3.2. Essai en régime d'avalanche: 59

C.4. Résultats des essais en régimes extrêmes: 61
C.4.1. MOSFET SiC 62
C.4.2. Diode SiC 68
C.4.3. Comparaison des densités surfaciques d'Energies/Puissances Critiques. 71

C.5. Synthèse: 72

C.6. Analyse numérique et discussion 74
C.6.1. Modèle 3D du MOSFET Cre 74
C.6.2. Estimation de la densité surfacique d'énergie critique en mode de fonctionnements extrêmes : . 76

C.7. Conclusion 78

D. CHAPITRE III: LES MODES DE DEFAILLANCE DES PUCES SIC DANS LES BOITIERS PRESS-PACK. 79

D.1. Introduction 80

D.2. Mise en œuvre des dispositifs expérimentaux 80
D.2.1. Description du véhicule de test 80
D.2.2. Protocole de test 82

D.3. Résultats expérimentaux de robustesse des puces diodes SiC dans des boîtiers Press-Pack 84
D.3.1. Feuillard cuivre (Cu) 84
D.3.2. Feuillard argent (Ag) 88
D.3.3. Feuillard aluminium (Al) 92
D.3.4. Feuillard nickel (Ni) 95
D.3.5. Discussion 99

D.4. Résultats experimentaux des puces montées sur substrat DBC 102
D.4.1. Description du véhicule de test 102
D.4.2. Résultats du régime de court-circuit 103

D.5. Conclusion 109

E. CHAPITRE IV: REALISATION D'UN MODULE SIC « FAIL-TO-SHORT » 110

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.1. Introduction 111

E.2. Conception d'un module Fail-to-short 111

E.2.1. Structure du module 112

E.2.2. Les puces SiC 114

E.2.3. Les substrats DBC 114

E.2.4. Frittage d'argent 115

E.2.5. Encapsulant 115

E.3. Réalisation expérimentale 115

E.3.1. Préparation des substrats DBC 115

E.3.2. Description de l'assemblage de la structure sandwich 123

E.3.3. Isolation 127

E.4. Résultats des tests experimentaux : 129

E.4.1. Résultats de test Module (A) 129

E.4.2. Résultats de test Module (B) 136

E.4.3. Résultats de test Module (C) 137

E.5. Synthèse 139

E.6. Conclusion 140

F. CONCLUSION GÉNÉRALE 141

F.1. Conclusion 141

F.2. Prespectives conceptuelles 142

Bibliographie 145

Annexe 149

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Figure A-1: Principe de la technologie HVDC. 14
Figure A-2: Comparaison des coûts de transmission HVDC Vs HVAC. 14
Figure A-3: Exemple de topologie utilisée dans les convertisseurs HVDC : Les convertisseurs Modulaire Multiniveaux MMC [4]. 16
Figure A-4: Exemple d'un test court-circuit réalisé sur d'un module (3.3 kV/1200 A) @ E=1.17 kJ. Le test a conduit à la projection de débris du boitier ainsi qu'à la rupture des fils de bonding résultant à un mode de défaillance circuit ouvert. 17
Figure B-1: Exemple d'une puce de puissance (Coupe transversale schématique d'une diode) [7] 20
Figure B-2: Comparaison des propriétés des semi-conducteurs [12]. 22
Figure B-3 : Température d'emballement thermique de matériaux semi-conducteurs en fonction de leur tenue en tension [12]. 22
Figure B-4: Résistance à l'état de passant de matériaux semi-conducteurs en fonction de la tenue en tension [12]. 22
Figure B-5: Classification des composants de puissance selon leurs tenues en tension [13]. 23
Figure B-6: Vue en coupe d'un module de puissance « conventionnel » [15]. 24
Figure B-7: Vue d'un module puissance utilisant des connexions par fils de bonding en aluminium [17] 25
Figure B-8: Module de puissance utilisant des rubans en aluminium [6] 25
Figure B-9: Schéma de principe de la technologie MPIPPS [17] 26
Figure B-10: Module de puissance utilisant des bumps cylindrique en cuivre [19] 26
Figure B-11: Schéma de principe de la technologie "Direct Solder Interconnexion" [21]. 27
Figure B-12: Exemples de module IGBT en boitier plastique. 29
Figure B-13: Exemple de radiateur utilisé pour le refroidissement de composants de puissance 30
Figure B-14: Refroidissement d'un module de puissance par plaque à eau [24]. 31
Figure B-15: Principe de refroidissement en caloduc [25]. 31
Figure B-16: Causes de défaillance dans un module de puissance. 32
Figure B-17: Formation de gerbes de particules par interaction des rayons cosmiques avec l'atmosphère [26]. 33
Figure B-18: Fusion locale du silicium d'une puce (vue en coupe) due au rayonnement cosmique [29]. 33
Figure B-19: Cas de défaillance d'une diode en régime de surcourant [33]. 34
Figure B-20: Défaillance d'un MOSFET SiC testé en régime d'avalanche [35]. 35
Figure B-21: a) Levée des fils de bonding sur des puces IGBT suite à des cycles de puissance/(b). Fracture au niveau des pieds bonding [36]. 36
Figure B-22: Cas illustrant la fusion des fils de bonding causée par l'application d'une surcontrainte en courant de longue durée. 36
Figure B-23: (a) Métallisation d'un émetteur IGBT avant cyclage/(b) Reconstruction de la métallisation après cyclage thermique actif [22]. 37
Figure B-24: Formation des cavités dans la brasure puce/substrat [38]. 37
Figure B-25: Fracture d'une céramique AlN dans un substrat DCB [38]. 38
Figure B-26: Substrat DCB avec des trous : (a) Vue du dessus/ (b) Vue en coupe transversale [39] 38
Figure B-27: Conducteur en aluminium ayant subi une électro-migration [6] 39
Figure B-28: Localisation des DP pour un substrat AlN intégré dans un gel de silicone. Les décharges sont situées au niveau des bords extérieurs DCB (9.5kV) [31]. 39
Figure B-29: Rupture des fils de bonding à cause du phénomène de corrosion [38]. 40
Figure B-30: Topologie d'un convertisseur MMC [44]. 42
Figure B-31: Photo d'un module (conventionnel) IGBT défaillant (3.3 kV/1200 A) illustrant le cas de décharge de l'énergie stockée par le condensateur (1.7 kJ) dans le module. Le test destructif a conduit à un mode de défaillance circuit ouvert [48]. 43
Figure B-32: Solution utilisée par Alstom et Siemens pour court-circuiter le sous-module en cas de défaillance d'un des IGBTs [46]. 44
Figure B-33: Photo d'un module (Press-Pack) IGBT (6.5 kV/1390 A) illustrant le cas de décharge de l'énergie stockée par le condensateur (10.5 kJ) dans le module. Ce test destructif a conduit à un mode de défaillance en court-circuit [48]. 44
Figure B-34: Structure interne d'un module press-pack [45]. 45
Figure B-35: Exemple de mise en série des thyristors press-pack dans une bride [51] 46
Figure B-36: Le déroulement de la défaillance au sein d'une structure Press-Pack [54] 47
Figure B-37: Exemple de défaillance d'un Module Press-Pack IGBT en court-circuit [55] 47
Figure B-38 : Photo d'un module StakPak IGBT (4.5kV/2000A) développé par ABB [57]. 48
Figure B-39: Structure interne d'un StakPak IGBT [55]. 48
Figure B-40: Observation au MEB d'un canal conducteur traversant la puce défaillante, causant le mode de défaillance de court-circuit du module StakPak [56]. 48
Figure C-1: Cas d'un défaut survenant sur les lignes DC d'un convertisseur MMC [59]. 52

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Figure C-2: Schéma de principe utilisé pour l'étude des composants SiC en régime de court-circuit [60]. 53
Figure C-3: Schéma d'une cellule utilisé dans un convertisseur HVDC-MMC: illustration un cas de défaillance en avalanche [62]. 54
Figure C-4: Schéma de principe du banc UIS (Unclamped Inductive Switching) pour les tests en avalanche..... 54
Figure C-5: Formes d'ondes relevées avec la méthode UIS. 54
Figure C-6: Schéma de principe du banc de test des IGBTs et MOSFETs en régime de sur-courant [63]. 55
Figure C-7: Schéma de principe du banc de test des diodes en régime de sur-courant. 56
Figure C-8: Photo du banc de test réalisé pour les régimes de fonctionnement extrême. 56
Figure C-9: Formes d'ondes V_{ds}-I_{ds} du MOSFET SiC C2M0080120D à l'ouverture du courant de court-circuit (T_c=25°C, U_{dc}=260V; V_{GS}=15V; R_{Goff}=1.2kΩ) 57
Figure C-10: Formes d'ondes lors d'un court-circuit destructif effectué sur un MOSFET SiC C2M0080120D (Tc=25°C, V_{GS}=+15 V; V_{DS}=260 V; R_{Goff}=1.2 kΩ). 58
Figure C-11: photographie d'un MOSFET SiC C2M0080120D testé en régime de sur-courant. Le test destructif a conduit à la projection d'une partie du boitier TO-247 58
Figure C-12: Formes d'ondes idéalisées du comportement d'un MOSFET en régime de court-circuit: (a) Cas d'une défaillance qui s'est produite avant l'ouverture du composant ; (b) Cas d'une défaillance qui a eu lieu après l'ouverture du composant (Défaillance retardée). 59
Figure C-13: Banc de test expérimental réalisé pour l'évaluation de la robustesse des composants aux régimes d'avalanche. 60
Figure C-14: Formes d'ondes idéalisées du comportement d'une diode Schottky en essai d'avalanche (Cas d'une défaillance). 61
Figure C-15: Essai de court-circuit non-destructif réalisé sur un MOSFET SiC (C2M0080120D), T_{CC} = 51 µs, V_{GS} = +15 V, T_c = 25° C. 62
Figure C-16: Essai de court-circuit destructif réalisé sur un MOSFET SiC (C2M0080120D): T_{cc} = 56 µs, T_c = 25 ° C. 63
Figure C-17: Courbe de robustesse en régime de sur-courant, MOSFET SiC 1200V C2M0080120D (VGS=+15V, Tc=25 °C). 63
Figure C-18: Comparaison des énergies critiques des MOSFETs SiC (C2M0080120D) et IGBT Si (NGTB25N120IHLWG) soumis à des tests de court-circuit. 64
Figure C-19: Impact de l'augmentation de la durée de court-circuit sur les formes d'ondes (V_{GS} et I_{DS}) du MOSFET SiC (C2M0080120D). La tension d'alimentation V_{dc} a été fixée à 260 V. Puis, nous avons augmenté le pas de court-circuit jusqu'à l'apparition de la défaillance (T_C=25 °C). 65
Figure C-20: Formes d'ondes du courant ID et de la tension VDS du transistor MOSFET (C2M0080120D) pendant un test d'avalanche non destructif. Tc=25°C ; Tav= 24 µs. 66
Figure C-21: Formes d'ondes du courant I_D et de la tension V_{DS} du transistor MOSFET (C2M0080120D) pendant un test d'avalanche destructif : T_C=25°C ; T_{AV}= 35.4 µs ; V_{BR}=1854 V. 66
Figure C-22: Courbe de robustesse en avalanche du MOSFET SiC (C2M0080120D) à Tc=25 °C 67
Figure C-23: Localisation de la défaillance sur une puce SiC MOSFET (C2M0080120D) après un test d'avalanche. E=1,11J ; T_{AV}= 35.4 µs ; V_{BR}=1854V. 67
Figure C-24: Relevées de l'énergie, courant et tension en fonction du temps (Régime du sur-courant). 68
Figure C-25: Photo d'une diode SiC (C4D20120A) après un test en régime de sur-courant. 68
Figure C-26: Tension et courant relevées aux bornes la diode SiC (C4D20120A) dans des conditions d'avalanche. T_c = 25 ° C; T_{AV} = 42 µs; E_C = 0,55 J; V_{BR} = 1800 V. 69
Figure C-27: Courbe de robustesse en avalanche des diodes SiC (C4D20120A) à T_c=25 °C 69
Figure C-28: Puissance critique en fonction de la durée d'avalanche. 70
Figure C-29: Défaillance d'une diode SiC Schottky (C4D20120A) lors d'un test d'avalanche. T_{AV} = 42 µs; E_C = 0.55 J; V_{BR} = 1800 V. 70
Figure C-30: Défaillance en circuit ouvert d'une diode SiC Schottky (C4D20120A) lors d'un test d'avalanche. T_{AV}=240 µs; E=4.4 J; V_{BR}=1800 V. Ici, l'essai a été prolongé quelques certaines de µs après la défaillance entrainant un élargissement de la zone affectée. 71
Figure C-31: Courbe de robustesse (P=f(t)) des diodes (C4D20120A) et MOSFETs (C2M0080120D) en régimes de fonctionnement extrêmes. 71
Figure C-32: Courbe de robustesse (E=f(t)) des diodes (C4D20120A) et MOSFETs (C2M0080120D) en régimes de fonctionnement extrêmes. 72
Figure C-33: Organigramme synthétisant les différents cas de défaillance des composants de puissance (MOSFET & diodes SiC) en régime de fonctionnement extrême. 73
Figure C-34: Modèle thermique 3D du MOSFET SiC Cree (C2M0080120D) 74
Figure C-35: Dimensions du modèle du MOSFET SiC (C2M0080120D). 74
Figure C-36: Conditions aux limites appliquées au modèle thermique 75
Figure C-37: Résultats de simulation : échauffement de la métallisation de la puce lors de l'injection d'une

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

puissance à la surface de la puce SiC 76
Figure C-38: Résultats des densités de puissances dissipées issues de la simulation et des tests expérimentaux pour les régimes de fonctionnement extrêmes (MOSFET SiC C2M0080120D). 77
Figure C-39: Résultats des densités d'énergies dissipées issues de la simulation et des tests expérimentaux pour les régimes de fonctionnement extrêmes (MOSFET SiC C2M0080120D). 77
Figure D-1: Réalisation d'un support de test Press-Pack pour des puces SiC. Ce support mesure 15 cm de haut environ. 80
Figure D-2: Vue des mâchoires supérieure et inférieure. 81
Figure D-3: Procédures de préparation des véhicules de test 82
Figure D-4: Mesure de la résistance des échantillons après test destructif. 83
Figure D-5: Photo d'un échantillon sous test (Puce SiC + feuillard Al) après un test destructif et un test passage de courant, une fois la partie supérieure du support retirée. 84
Figure D-6: Courbes (Courant, tension et Energie dissipée) mesurées lors d'un test en court-circuit. 84
Figure D-7: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Cu) détruit en court-circuit. 85
Figure D-8: Photo de l'échantillon défaillant lors du test en court-circuit (feuillard cuivre) et après un test de passage de courant (10 A). 85
Figure D-9: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.18 J 86
Figure D-10: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Cu) détruit en avalanche. 86
Figure D-11: Photo de l'échantillon défaillant lors du test en avalanche (feuillard cuivre) et après passage de courant (10 A). 87
Figure D-12: Observation en EDX de la puce SiC détruite lors du test en avalanche. 87
Figure D-13: Courbes (Courant, Energie dissipée et tension) mesurées lors d'un test en court-circuit. 88
Figure D-14: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Ag) détruit en court-circuit. 88
Figure D-15: Coupe transversale de l'échantillon défaillant lors du test en court-circuit et après passage de courant (10 A). 89
Figure D-16: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.6 J 89
Figure D-17: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Ag) détruit en avalanche. 90
Figure D-18: Photo illustrant le perçage de l'échantillon défaillant (Puce SiC/Feuillard argent) conduisant à un mode de défaillance en court-circuit. 90
Figure D-19: Observation MEB de la puce SiC défaillante en avalanche (feuillard argent). 91
Figure D-20 : Observation MEB du feuillard argent (droit) et analyse d'éléments (gauche). 92
Figure D-21: Courbes (Courant, tension et énergie dissipée) mesurées lors d'un test en court-circuit. 92
Figure D-22: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Al) détruit en court-circuit. 93
Figure D-23: Vue de dessus de l'échantillon défaillant (Puce SiC/feuillard Al) 93
Figure D-24: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.3 J 94
Figure D-25 : Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Al) détruit en avalanche. 94
Figure D-26: Vue illustrant la zone de perçage conduisant à un court-circuit entre l'anode et cathode de la puce SiC. 94
Figure D-27: Courbes (Courant, tension et énergie dissipée) mesurées lors d'un test en court-circuit. 95
Figure D-28: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Ni) détruit en court-circuit. 95
Figure D-29: Observation microscopique de l'échantillon (puce SiC/feuillard Ni) défaillant lors du test de court-circuit. 96
Figure D-30: Observation EDX de la zone encerclée sur la Figure D-30. 96
Figure D-31: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 9.7 J 97
Figure D-32: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Ni) détruit en avalanche. 97
Figure D-33: Observation microscopique de la puce SiC et feuillard nickel. 98
Figure D-34: Observation en EDX de la puce SiC détruite en avalanche. 98
Figure D-35: Comparaison des résistances des échantillons (Après un test destructif de court-circuit) subissant un

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

test de passage de courant 10 A. 99
Figure D-36: Vérification de la reproductibilité des résultats de la Figure D-35. 100
Figure D-37: Comparaison des résistances des échantillons (détruits en régime d'avalanche) subissant un test de passage de courant 10 A. 101
Figure D-38: Méthode de préparation d'un échantillon à base d'un substrat DBC. 102
Figure D-39: Evolution des résistances des puces montées sur substrat DBC (défaillant en régime de court-circuit) subissant un test de passage de courant 10 A. 103
Figure D-40: Observation en EDX d'un échantillon (à base d'un substrat DBC et d'une métallisation Al) détruit en court-circuit @ E=7.6 J. 104
Figure D-41: Impact de l'augmentation du courant traversant l'échantillon défaillant (à base d'un substrat DBC et d'une métallisation Cu) sur la stabilité de sa résistance de contact Rcc. 105
Figure D-42: Observation par microscope optique d'un échantillon (à base d'un substrat DBC et un feuillard Cu) subissant les conditions de test de la Figure D 41. 106
La Figure D-44 présente l'analyse MEB de l'échantillon défaillant de la figure précédente. L'inspection en surface nous a permis de voir un mélange de différents matériaux fondus (sous forme d'une éclaboussure) déposé sur la surface active de la puce (Figure D-44 (a)). Des analyses EDX ont été effectuées pour connaitre la composition de ce mélange ainsi pour inspecter zone encerclée dans la Figure D-43 (a). 106
Figure D-44: Observation MEB de la puce défaillante. 107
Figure E-1: Représentation 3D du démonstrateur Fail-to-short. 112
Figure E-2:Vue 3D des deux substrats utilisés pour le développement du module «Fail to short ». 113
Figure E-3: Principe de la prise de contact sur les électrodes de la puce. 113
Figure E-4: Dimensions de la puce SiC MOSFET. 114
Figure E-5 : Organigramme résumant les principales étapes de préparation des substrats DBC. 116
Figure E-6: Substrats céramiques après nettoyage. 116
Figure E-7: Substrats DBC après enduction par de la résine MC dip coating. 117
Figure E-8: (a) Photo de la machine de l'aligneur de masques (Q-2001CT)/ (b) Exemples de masques utilisés pour la fabrication du substrat source 118
Figure E-9: (a) Face avant du substrat après 23 minutes de gravure et dissolution de la résine ; (b) Face arrière du substrat. 118
Figure E-10: (a) Machine de laminage; (b) Substrat après laminage d'un film PM 275 119
Figure E-11: Substrat après les 2^{ème}et 3ème étapes de photolithographie. 120
Figure E-12: Photo du substrat source après l'étape finale de gravure. (a) face avant/ (b) face arrière 120
Figure E-13 : Dimensions du module Fail-to-short. (a) Dimensions des substrats Drain; (b) Dimension du substrat source; (c) épaisseur du module. 121
Figure E-14: Exemple de dépôt d'argent sur les métallisations cuivre du substrat source. (a) Face avant ; (b) Face arrière. 121
Figure E-15: Mesure de l'épaisseur du substrat "Source" subissant toutes les étapes de la section E.3.1. La mesure a été réalisée à l'aide du profilomètre Dektak 150 (Veeco). 122
Figure E-16: Dimensions du plot de cuivre utilisé pour le contact de grille du MOSFET. (a) avant gravure ; (b) après deux opérations de gravure en perchlorure de fer. 122
Figure E-17: Processus d'assemblage du module Fail-to-short. 123
Figure E-18:Processus de sérigraphie. (a) Substrat source ; (b) Machine à sérigraphie Tecprint 400 (CIF); (c) Dépôt de la pâte d'argent sur un pochoir ; (d) Substrat source fraichement sérigraphie. 124
Figure E-19 : (a) Machine de "pick and place" utilisée pour placer avec précision les deux puces MOSFET sur le substrat "Source" ; (b) Placement des deux puces MOSFETs sur le substrat source. 125
Figure E-20: Presse chauffante développée au laboratoire Ampère pour le frittage de la pâte d'argent / (b) Le profil de température utilisé pour le frittage. 125
Figure E-21: Sérigraphie du substrat drain. 126
Figure E-22: Procédure d'assemblage du module entier. (a) Guide en aluminium utilisé pour réalisation de l'assemblage du module entier; (b) Le substrat drain est placé au fond du guide; (c) Assemblage du module entier. 126
Figure E-24:Frittage du module entier. 127
Figure E-25: Photo du premier démonstrateur de module "Fail to short". 127
Figure E-26: Processus d'encapsulation du module "Fail-to-short". (a) Dégazage sous vide du gel dans le gobelet de mélange; (b) Remplissage du module par du gel; (c) Dégazage sous vide du module ; (d) Phase de Polymérisation. 128
Figure E-27: Vue du gel transparent encapsulant le module "Fail-to-short". 128
Figure E-28: Câblage du module "Fail to short" pour réaliser des tests destructifs en régime de sur-courant. 129
Figure E-29: Essai de court-circuit lors de la défaillance, Tcc = 56 µs, Tc = 25 ° C. 130
Figure E-30: Evolution au cours du temps de la résistance Rcc du MOS 1 après une injection de courant de 10 et

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

20 A. 131
Figure E-31: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant..... 131
Figure E-32: Evolution au cours du temps de la résistance RCC du MOS 2 après une injection de courant 10 A. 132
Figure E-33: Vue du substrat "drain" incluant les deux MOSFETs défaillants en régime de sur-courant. 132
Figure E-34: Vue du substrat "source". 133
Figure E-35: Observation MEB du MOSFET 1 défaillant en régime de sur-courant. 134
Figure E-36: Observation MEB du MOSFET 2 défaillant en régime de sur-courant. 135
Figure E-37: Observation MEB du plot de cuivre utilisé pour le contact source du MOSFET 2. 135
Figure E-38: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant..... 136
Figure E-39: Evolution au cours du temps de la résistance RCC du MOSFET défaillant après une injection de courant 10 A. 136
Figure E-40: Vue de la puce défaillante après le test de passage de courant. 137
Figure E-41: Photo du démonstrateur Fail-to-short rempli par de la résine époxyde..... 137
Figure E-42: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant..... 138
Figure E-43: Photo du module (encapsulé par la résine époxyde) testé en régime de sur-courant. (a) Substrat source ; (b) substrat drain incluant les puces MOSFETs..... 138
Figure F-1: Vue 2D de la structure proposée pour un module Fail-to-short à base de puces SiC. 142

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Tableau B-1 : Propriétés des semi-conducteurs [11]. 21
Tableau B-2: Températures caractéristiques de quelques alliages de brasure [6]. 28
Tableau B-3: Proporiétes physiques des céramiques utilisées dans les modules de puissance [23]. 29
Tableau B-4: Synthèse des mécanismes de défaillance dans un module de puissance (type conventionnel). 41
Tableau B-5: Coefficients de dilatation thermique (CTE) des différents matériaux. 45
Tableau B-6: Comparaison entre les deux technologies de modules press-pack et conventionnel. 49
Tableau C-1: Récapitulatif des transistors testés en régime de sur-courant et d'avalanche. 61
Tableau C-2: Propriétés Physique des matériaux utilisés dans le modèle thermique 3D 75
Tableau D-1: Caractéristiques de la puce utilisée dans le véhicule de test. 81
Tableau D-2: Récapitulatif des résultats de tests en régime de court-circuit. 100
Tableau D-3: Récapitulatif des résultats de tests en régime de court-circuit des puces montées sur substrat DBC. 104
Tableau D-4: Synthèse des résultats de test de la structure Press-Pack (sans et avec substrat) en régime de court-circuit. 108
Tableau E-1 : Caractéristiques électriques des puces SiC utilisées dans le cadre du développement du démonstrateur Fail-to- short. 114
Tableau E-2: Récapitulatif des échantillons testés en régime de sur-courant. L'encapsulation du module (C) est décrite plus loin. 129
Tableau E-3: Composition des trois points A, B et C de la Figure E-35. 133
Tableau E-4: Composition des trois points A', B' et C' de la Figure E-36. 134
Tableau E-5: Synthèse des résultats de tests en sur-courants des différents échantillons. 139

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

A. Introduction Générale

A.1. Contexte de la thèse

Grâce à l'évolution des composants de puissance, l'utilisation du courant continu à haute tension est devenue possible, permettant de développer des convertisseurs HVDC, ou encore CCHT pour l'appellation française « Courant Continu à Haute Tension ». Ces convertisseurs sont conçus pour acheminer la puissance d'un réseau A vers un réseau B en utilisant une liaison continue (Figure A-1). Leur principe est de convertir, grâce à l'électronique de puissance, un courant alternatif [1] en courant continu (redresseur). Puis, transporter cette puissance sur des lignes à grandes distances. Enfin, reconvertir la puissance en sens inverse (onduleur). Les liaisons HVDC présentant aujourd'hui des records en terme de distance, puissance totale transportée et tension sont Nuozhadu-Guangdong en chine (6400 MW, 800 kV, 1300 km), Rio Madeira au Brésil (3x2150 MW, 600 kV, 2375 km) et Jinping-Sunan en chine (7200 MW, 800 kV, 2090 km) [2].



Figure A-1: Principe de la technologie HVDC.

Le transport d'énergie HVDC présente plusieurs avantages qui le rendent beaucoup plus attractif que le transport HVAC, principalement dans le domaine de la transmission de puissance sur de longues distances [2]:

- Les pertes dans les câbles HVDC sont inférieures aux pertes des câbles HVAC.
- Les liaisons HVDC n'acheminent aucune puissance réactive. Dans le cas des HVAC, il est nécessaire d'ajouter une compensation de puissance réactive (filtres d'harmoniques [3]).
- Les systèmes HVDC sont plus compétitifs en termes de coût pour des distances supérieures à quelques centaines de kilomètres (Figure A-2).

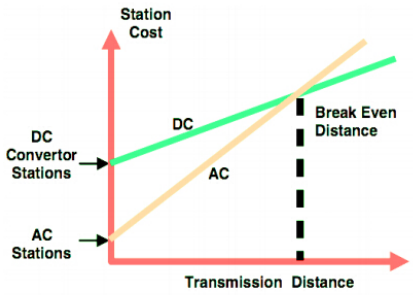


Figure A-2: Comparaison des coûts de transmission HVDC Vs HVAC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Les convertisseurs de puissance jouent un rôle primordial dans le domaine du transport en courant continu à haute tension. Leur robustesse et leur fiabilité revêtent une importance considérable pour assurer la disponibilité du courant électrique. Ces systèmes de transport doivent être performants non seulement en régime normal mais aussi en régimes de fonctionnement extrêmes. Ces régimes extrêmes correspondent aux conditions inhabituelles de fonctionnement : Défaut de commande, court-circuit, délestage... . Dans ces conditions, les modules pouvant fonctionner en dehors de leurs zones de sécurité (SOA), entraînant des défaillances qui peuvent conduire à la destruction du module voire, dans les cas les plus graves à l'arrêt du système.

Un convertisseur HVDC est constitué de plusieurs éléments tels que les modules de puissance, les circuits de commande (drivers), les condensateurs et les inductances. L'expérience montre que les modules de puissance sont souvent les éléments les moins robustes par rapport aux autres composants (inductances et condensateurs) [4]. En effet, ils sont les premières victimes de toutes contraintes inhabituelles de fonctionnement survenant au sein du convertisseur (ex. court-circuit de la charge). La défaillance d'un module est généralement un évènement hautement critique tant par le risque d'explosion du boîtier que par la propagation de la défaillance au sein du convertisseur. Cette problématique est évidemment une préoccupation de premier plan dans les applications de très forte puissance et qui nous intéresse en particulier dans cette thèse.

A.2. Pourquoi est-il nécessaire de développer un module « Fail-to-short »

Les convertisseurs modulaires multiniveaux dit MMC représentent une des topologies les plus utilisées dans les systèmes de transport et distribution de l'énergie. Cette topologie est construite par la mise en série de sous modules (submodules) identiques, composés chacun d'une cellule de commutation et d'un condensateur (voir Figure A-3). Un tel système de conversion peut comporter un grand nombre de cellules en série afin d'augmenter le niveau de tension globale et la qualité des signaux en sortie. À titre indicatif, environ 800 sous-modules en série par phase sont utilisés dans la station d'interconnexion HVDC Espagne-France (2x 1000 MW, 640 kV, 64 km) [5]. Pour des raisons de fiabilité, il faut s'assurer que la défaillance d'une de ces cellules n'aura pas d'effet sur le bon fonctionnement de l'ensemble du convertisseur. Un tel comportement nécessite des cellules redondantes, pour que la tension soit redistribuée de façon homogène au niveau des cellules opérationnelles tandis que le module défaillant doit se comporter comme un court-circuit et arrive à supporter le courant nominal (un module qui passerait en circuit ouvert lors de sa défaillance mettrait en effet hors-service l'ensemble du système, toutes les cellules étant connectés en série). C'est dans ce contexte que se situe ce travail de thèse, qui vise à concevoir des modules assurant un mode de défaillance en court-circuit (″Fail-to-short″).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

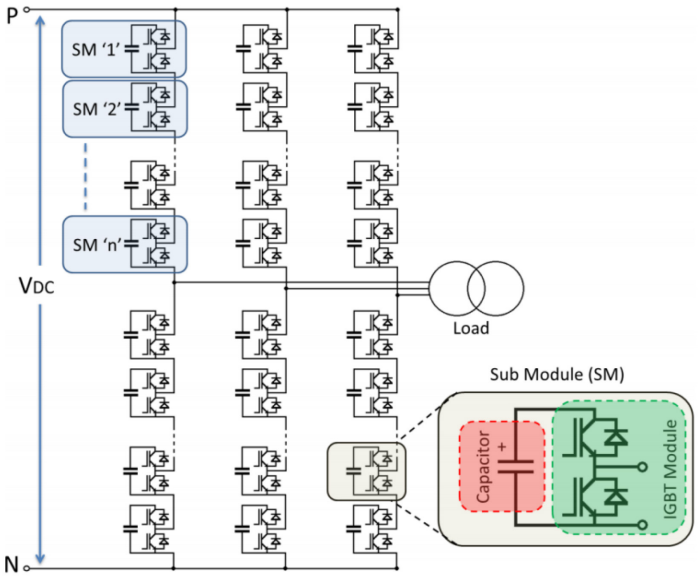


Figure A-3: Exemple de topologie utilisée dans les convertisseurs HVDC : Les convertisseurs Modulaire Multiniveaux MMC [4].

A.3. Problème de fiabilité des boitiers conventionnels

Le packaging des composants de puissance est aujourd'hui dominé par les boîtiers conventionnels dans lesquels la liaison électro-thermique est réalisée par une brasure en face arrière des puces et la liaison électrique en face avant est assurée par des fils de bonding. Cette technologie est en pleine maturité avec une bonne maîtrise des moyens de production et une bonne connaissance des modes de défaillance. Malgré tout, cette technologie présente des limites notamment pour les applications hautes puissances. La plus forte provient de la fusion des fils de bonding en cas d'une surcharge électrique. En outre, dans certaines conditions, la défaillance de ce type de module s'accompagne de sa destruction mécanique. Suivant l'énergie mise en jeu lors de la défaillance, le module peut exploser et projeter des débris (Figure A-4). En pratique, ce mode de défaillance est surtout critique dans les applications HVDC. La défaillance des convertisseurs entraînant l'explosion des composants en boîtiers conventionnel peut engendrer un circuit ouvert et provoquer donc une rupture du fonctionnement du convertisseur. Cette limitation force le concepteur de modules de puissance à s'orienter vers d'autres solutions d'assemblages tout en trouvant un compromis entre les contraintes de fiabilité, thermiques et CEM.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

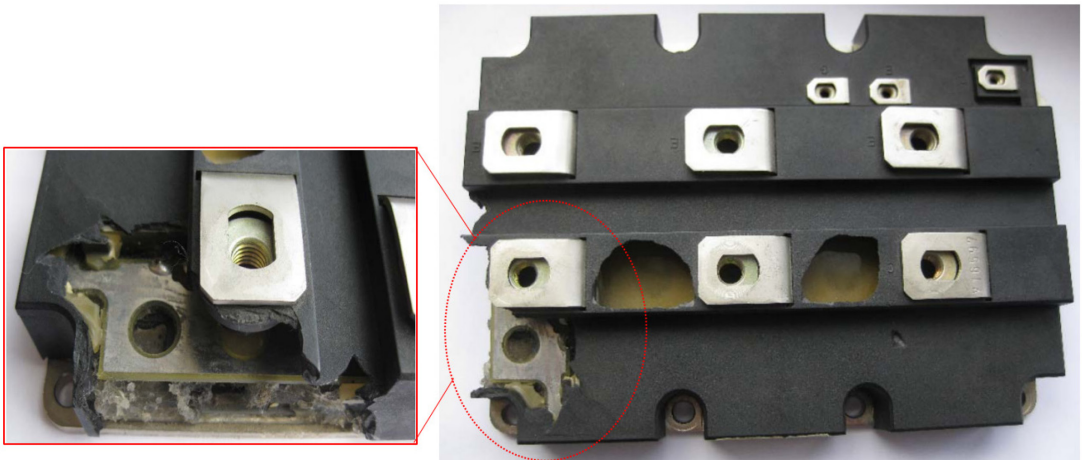


Figure A-4: Exemple d'un test court-circuit réalisé sur d'un module (3.3 kV/1200 A) @ E=1.17 kJ. Le test a conduit à la projection de débris du boitier ainsi qu'à la rupture des fils de bonding résultant à un mode de défaillance circuit ouvert.

A.4. Objectif de la thèse

L'ensemble de ce travail propose une nouvelle architecture de module de puissance, à base de puces en carbure de silicium, ayant un comportement de défaillance de court-circuit adapté à un convertisseur haute tension équipés de modules branchés en série.

Dans le premier chapitre, nous décrirons le contexte dans lequel prennent place les travaux, en listant tout d'abord les principaux mécanismes de défaillance des puces semi-conductrice et du packaging ainsi que leurs conséquences sur le fonctionnement du module de puissance. Ensuite, nous présenterons deux modules de puissance existant dans l'industrie qui possèdent un comportement «Fail-to-short». Les différentes technologies d'assemblage de ces modules seront décrites et, pour chaque structure, nous essaierons de dégager les points forts et les points faibles.

Le Second chapitre de la thèse se concentre sur l'étude des modes de défaillance des puces SiC dans des boitiers standard (discrets) en régimes extrêmes de fonctionnement. Dans un premiers temps, nous présenterons les bancs de tests et les protocoles expérimentaux employés durant les essais. Dans un deuxième temps, nous contraindrons en fonctionnement extrêmes les différents composants SiC afin de déterminer les énergies qu'ils peuvent supporter. Enfin, Les résultats expérimentaux obtenus seront synthétisés principalement sous forme d'une «courbe de robustesse», qui délimitera les zones de fonctionnement des boitiers conventionnels.

Dans le troisième chapitre, nous proposerons une étude exploratoire, principalement expérimentale, visant à caractériser le ou les modes de défaillance des puces packagées en boitier Press-Pack. Pour chaque test, nous caractérisons la résistance électrique de la puce défaillante et nous

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

déterminerons sa stabilité dans le temps. Les résultats obtenus dans ce chapitre nous permettront d'affiner les choix technologiques en vue de la conception d'un module de puissance ayant un mode de défaillance en court-circuit.

Dans le quatrième chapitre, nous détaillerons les étapes de réalisation d'un démonstrateur de module SiC «Fail-to-short» multi-puces, avec lequel nous validerons la structure ainsi que la propriété de défaillance en court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B. CHAPITRE I: Fiabilité des modules de puissance: État de l'art

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.1. Introduction :

Ce chapitre constitue un état de l'art des modules de puissance qui sont principalement utilisés dans les convertisseurs HVDC. Nous exposerons dans un premier temps les différents éléments constituant un module de puissance. Nous listerons ensuite les différents mécanismes de défaillance des puces semi-conductrice et du packaging ainsi que leurs conséquences sur le fonctionnement du module de puissance. Enfin, et afin de mieux comprendre toutes les spécificités du module « Fail-to-short», nous effectuerons un état de l'art sur des modules de puissance existant dans l'industrie ayant un mode de défaillance en court-circuit.

B.2. Eléments constituant un module de puissance :

B.2.1. Puces semi-conducteur

B.2.1.1 Constitution

Les éléments actifs d'un module de puissance sont les puces à semi-conducteur (MOSFET, Diode et IGBT). Elles sont composées d'une part d'un matériau semi-conducteur de quelques centaines de micromètres d'épaisseur, et d'autre part de deux métallisations : une sur la face supérieure où seront réalisées les connexions électriques (fils de bonding, bumps, …) et l'autre sur la face inférieure pour le brasage de la puce sur le substrat céramique métallisé. La bordure supérieure de la puce est recouverte par une couche de passivation qui permet de réduire les risques de claquage électrique [6].

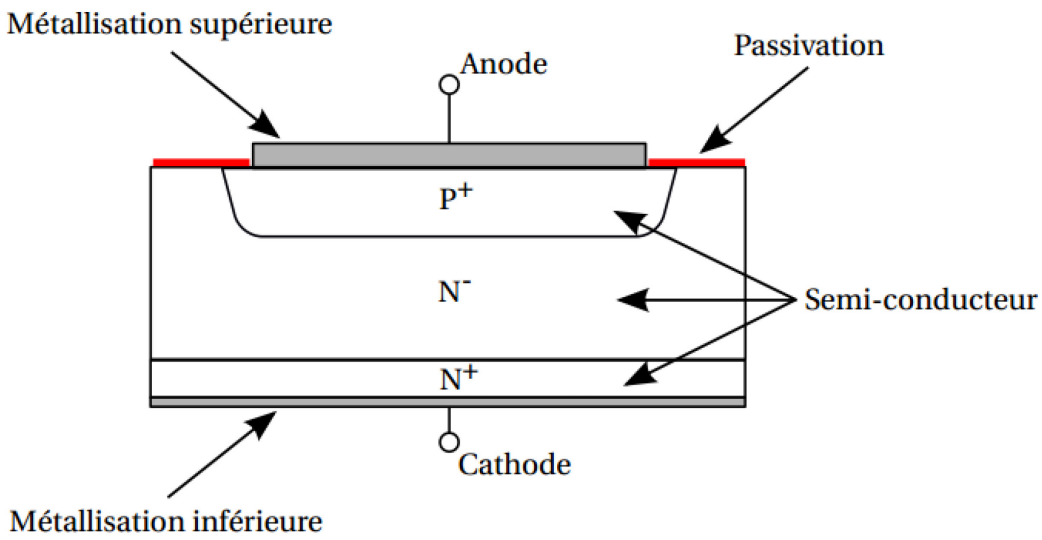


Figure B-1: Exemple d'une puce de puissance (Coupe transversale schématique d'une diode) [7]

De nos jours, les puces à semi-conducteur sont presque exclusivement réalisées en silicium. Depuis quelques années, des études sont menées afin de remplacer le silicium (Si) par des matériaux à large bande d'énergie interdite, ou "grand gap".

Le Tableau B-1 montre les principales propriétés des matériaux semi-conducteurs dans lequel on compare le silicium (Si) avec le carbure de silicium (SiC) ainsi que le gallium (GaN) et le diamant (C). Par rapport au

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

silicium, les principaux bénéfices apportés par les matériaux « grand gap» sont un bon fonctionnement sur une large gamme de température, et un champ critique élevé [8]. Parmi les matériaux "grands gaps", on trouve le carbure de silicium (SiC) et le nitrure de gallium (GaN) qui sont considérés comme les matériaux formant une sorte de compétition, dans une bataille de performances par rapport aux coûts [9]. Concernant le GaN, les wafers disponibles actuellement sont composés d'une fine couche de GaN sur un substrat silicium et ne permettent pas de faire des composants de puissance haute tension [10]. À l'heure actuelle, on peut dire que le SiC représente un meilleur compromis entre les propriétés et la maturité commerciale.

	Si	3C-SiC	6H-SiC	4H-SiC	GaN	C
Bande interdite Eg (eV)	1,12	2,3	2,9	3,2	3,39	5,6
Mobilité des électrons μ_n $(cm^2.V^{-1}.s^{-1})$	1450	1000	415	950	1000	2200
Mobilité des trous μ_p $(cm^2.V^{-1}.s^{-1})$	450	45	90	115	350	1800
Champ électrique critique Ec $(V.cm^{-1})$	3.10^5	2.10^6	$2{,}5.10^6$	3.10^6	5.10^6	$5{,}6.10^7$
Vitesse de saturation Vsat $(cm.s^{-1})$	10^7	$2{,}5.10^7$	2.10^7	2.10^7	2.10^7	3.10^7
Conductivité thermique λ $(W.cm^{-1}.K^{-1})$	1,3	5	5	5	1,3	20
Permitivité ϵ_r $(F.m^{-1})$	11,7	9,6	9,7	9,7	8,9	5,7

Tableau B-1 : Propriétés des semi-conducteurs [11]**.**

D'après la Figure B-2, on voit clairement que les propriétés intrinsèques du SiC dépassent celles du silicium. Un composant semi-conducteur SiC peut être utilisé à haute température. Théoriquement, les composants SiC peuvent fonctionner jusqu'à plus de 600 °C. Tandis que ceux en silicium peuvent fonctionner à une température de jonction inférieure à 200 °C pour des applications haute tension (V_{BR} = 1000V) (Figure B-3).
En plus, le champ de claquage du SiC est 10 fois supérieur à celui du silicium. Pour les composants unipolaires de calibre en tension identique, les composants de puissance en SiC ont une résistance spécifique plus faible (Figure B-4), car la zone de tenue en tension est plus mince et plus dopée. Il est ainsi possible de réduire le nombre de composants à mettre en série pour supporter une tension donnée. Le SiC permet donc une réduction significative de l'encombrement des systèmes de puissance.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

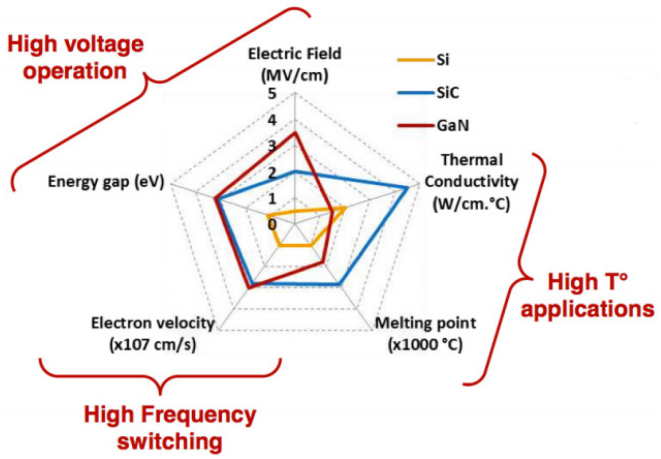


Figure B-2: Comparaison des propriétés des semi-conducteurs [12].

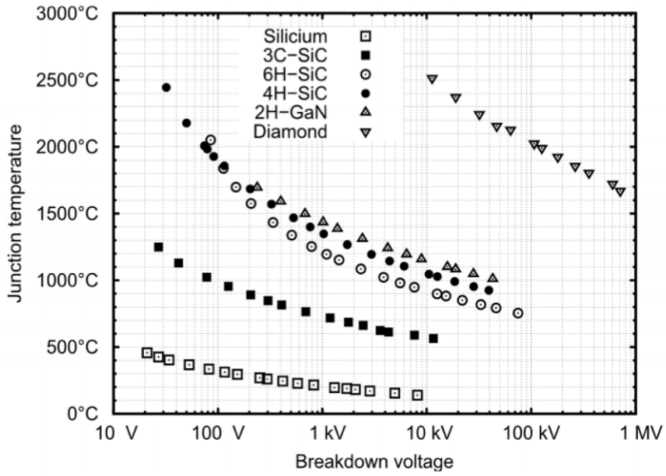


Figure B-3 : Température d'emballement thermique de matériaux semi-conducteurs en fonction de leur tenue en tension [12].

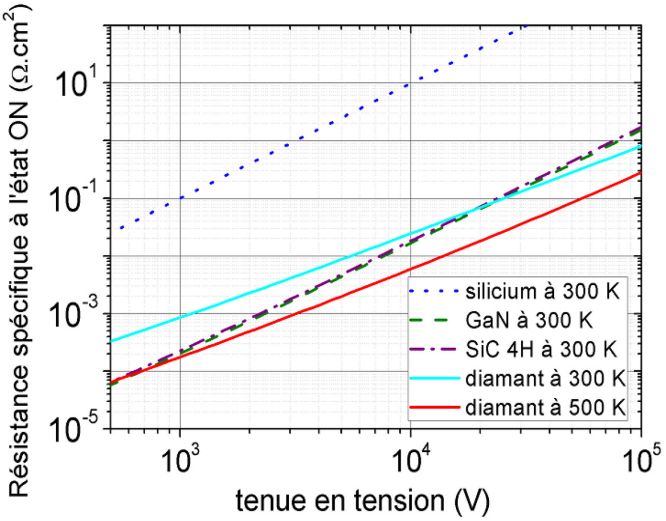


Figure B-4: Résistance à l'état de passant de matériaux semi-conducteurs en fonction de la tenue en tension [12].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.2.1.2 Exemple de composants de puissance

Les composants dits de puissance se classent en deux catégories : bipolaires et unipolaires, en fonction du mode de conduction. On peut également distinguer trois grands groupes de composants: la famille thyristor (bipolaire) pour les très grandes puissances, les MOSFETs (unipolaire) pour les applications hautes fréquences et les IGBTs (bipolaire) pour les puissances et les fréquences moyennes. Pour les plus grandes puissances, le thyristor et le GTO (Gate Turn Off Thyristor) sont les plus appropriés mais ils restent limités en terme de fréquence d'utilisation (fmax=1-2 kHz pour silicium). De nos jours les MCT (Mos Controlled Thyristor) et les BJT ont été pratiquement remplacés par l'IGBT. En effet, les composants IGBT ont un domaine d'application qui recouvre totalement celui des transistors bipolaires de puissance, des MOSFETs et partiellement celui des GTO (Figure B-5). Les IGBTs sont également utilisés dans les applications fortes puissances, notamment pour leur grande simplicité de commande ainsi que leurs faibles pertes par conduction. Le développement des composants bipolaires en SiC revêt aujourd'hui une importance majeure dans les applications fortes puissances.

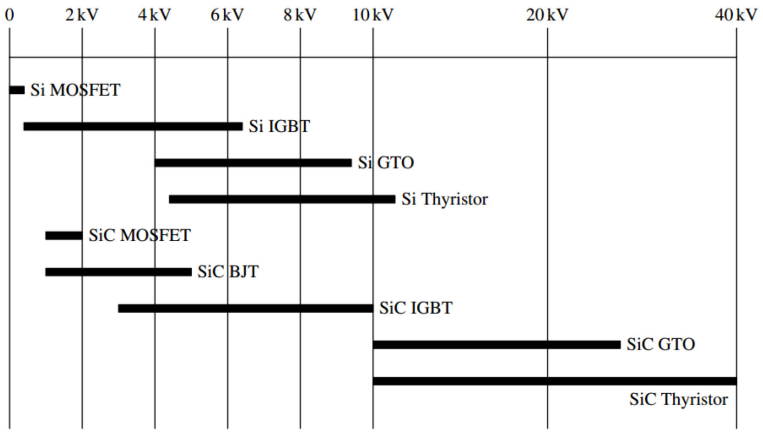


Figure B-5: Classification des composants de puissance selon leurs tenues en tension [13].

B.2.2. Packaging

Le packaging est "une combinaison de techniques et de solutions technologiques pour transformer un ensemble d'éléments (Puces) en un produit autonome (module de puissance)" [14]. Le packaging représente plus précisément l'environnement rapproché de la puce de puissance (à semi-conducteur). Il doit remplir certaines fonctions:

• ***L'interconnexion électrique*** entre les composants et le circuit extérieur : à la fois pour le circuit de puissance et pour le circuit de commande ;

• ***L'interconnexion thermique*** : il doit permettre l'évacuation de la chaleur produite par les puces semi-conducteur en fonctionnement ;

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

• ***La protection mécanique***: Cette fonction est assurée en utilisant une enceinte (souvent en plastique ou céramique).

• ***Une isolation électrique***: Cette dernière permet d'une part d'assurer la tenue diélectrique du module, d'autre part de protéger les puces contre toute infiltration de corps étrangers (humidité, poussières…).

La Figure B-6 illustre les différents éléments constituant un module de puissance « conventionnel ». La suite de ce chapitre propose une brève description de chacun de ces éléments.

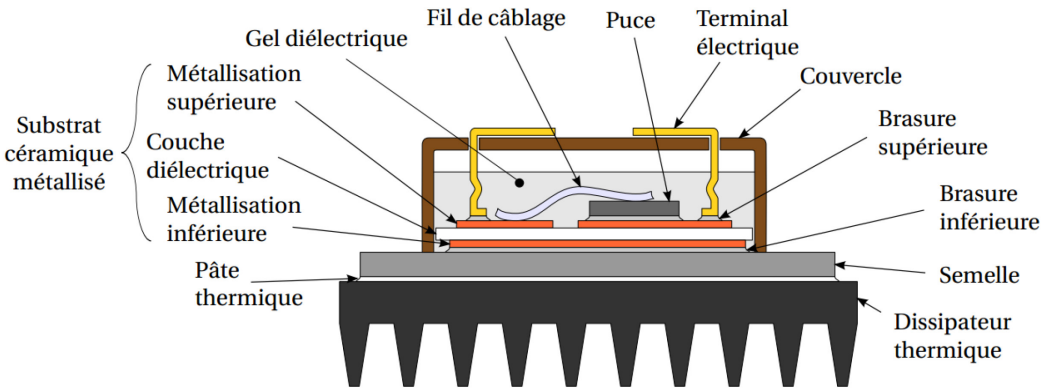


Figure B-6: Vue en coupe d'un module de puissance « conventionnel » [15].

B.2.2.1 Les connexions de puissance :

Les modules de puissance utilisent différentes solutions de connexion internes afin de lier les puces semi-conductrice aux terminaux électriques. Dans cette partie nous présentons un état de l'art de quelques solutions d'interconnexion (fils de bonding, rubans, bumps,...) :

B.2.2.1.1 Wire bonding (fils de connexion)/Ruban

Les fils de câblage ou (wire bonding) sont des connexions internes du module de puissance. Ces éléments servent à connecter le composant actif au substrat et doivent avoir une bonne conductivité électrique. Ils sont généralement, soit en aluminium, soit en or. En électronique de puissance, les fils de connexion ont souvent un diamètre compris entre 100 et 500 µm [16]. Le matériau le plus utilisé est l'aluminium car il offre une bonne conductivité électrique avec un coût faible. En général, les fils de bonding sont responsables d'inductances parasites et sources de défaillances. Ils présentent également l'inconvénient de ne permettre qu'un refroidissement simple face, limitant ainsi les performances thermiques du module.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

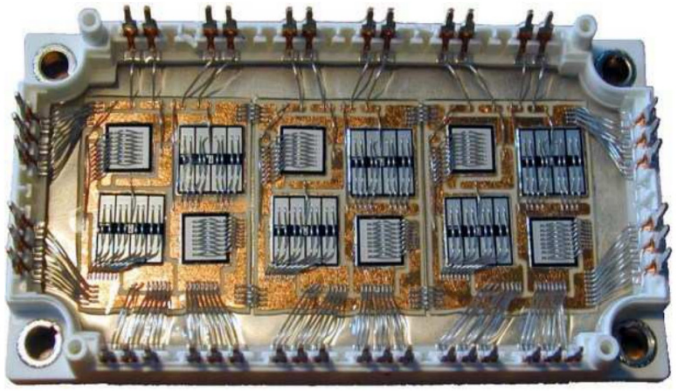


Figure B-7: Vue d'un module puissance utilisant des connexions par fils de bonding en aluminium [17]

Une solution alternative aux fils de bonding consiste à utiliser des rubans qui permettent de faire circuler plus de courant avec des inductances parasites plus faibles. En plus, l'utilisation des rubans s'avère une solution moins couteuse que les fils de bonding [6]. Cependant, les rubans restent moins flexibles que les fils de bondings ce qui nécessite un support pour résister aux fortes contraintes lors de la réalisation [6].



Figure B-8: Module de puissance utilisant des rubans en aluminium [6]

B.2.2.1.2 Technologies alternatives aux bondings

Malgré une bonne maturité technologique, la solution "wire bonding" possède des limites électriques (inductance parasite importante) et thermiques (refroidissement simple face) qui ne permettent pas de réaliser un module fonctionnant à des densités de puissance élevées. Pour dépasser ces limites, plusieurs technologies d'interconnexion 3D ont été développées qui reposent sur le principe de connexions massives et qui va servir de base aux travaux décrits dans la suite de ce manuscrit. Parmi ces solutions, on trouve:

La technologie dite "Metal Post interconnection" permet un fonctionnement à des valeurs élevées de courant en limitant les inductances parasites. Elle est basée sur des poteaux en cuivre reportés par brasure sur la face avant des puces [17]. Les substrats sont également reportés par brasure sur les poteaux et les faces arrière des puces. La Figure B-9 illustre le principe de cette technologie. Cette approche permet de réduire la résistance électrique de l'assemblage, d'avoir un échange thermique plus efficace et d'augmenter la durée de vie du module [18].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

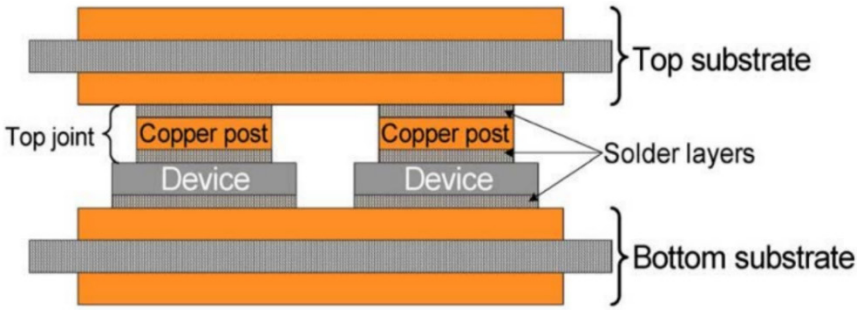


Figure B-9: Schéma de principe de la technologie MPIPPS [17]

La technologie connexion par bump: Le remplacement des fils de bonding par des billes (bumps) de brasure permet une superposition de deux substrats isolants et un refroidissement des deux faces. Ces billes peuvent être en Sn/Pb, Sn/Ag/Cu ou Au. Le diamètre des billes varie généralement entre quelques dizaines et quelques centaines de microns. Cette technologie assure des résistances thermiques et électriques plus faibles que celle d'un fil de câblage. Les puces sont refroidies des deux côtés, et par conséquent la gestion thermique se fait de manière plus efficace.

Vue la taille du module de puissance ainsi que la puissance électrique mise en jeu, d'autres connectiques sous forme de cylindres en cuivre ou en molybdène ont été utilisées au laboratoire PEARL, comme illustré dans la Figure B-10. Les cylindres peuvent être disposés soit à l'horizontale soit à la verticale sous la forme de colonnes.

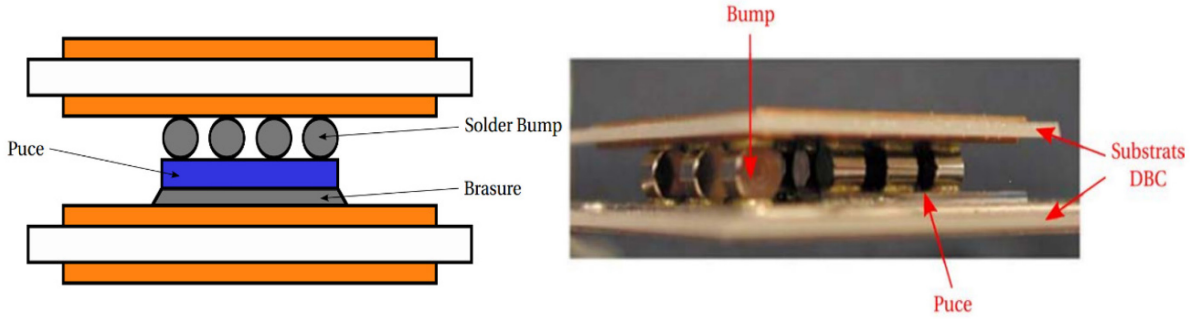


Figure B-10: Module de puissance utilisant des bumps cylindrique en cuivre [19]**.**

La technologie DSI "Direct Solder Interconnexion": Cette solution consiste à relier la puce des deux côtés à des DBC par l'intermédiaire d'une brasure. La Figure B-11 montre la structure 2D de l'assemblage du module, dans lequel la puce est prise entre deux substrats métallisés. Les larges surfaces de contact entre les puces et les substrats permettent de faire circuler plus de courant avec des inductances parasites plus faibles [20]. Cet assemblage offre un refroidissement double face des puces. Par ailleurs, il garantit une grande durée de vie des puces ainsi qu'une excellente fiabilité. Cette solution d'assemblage va servir comme base de nos développements.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

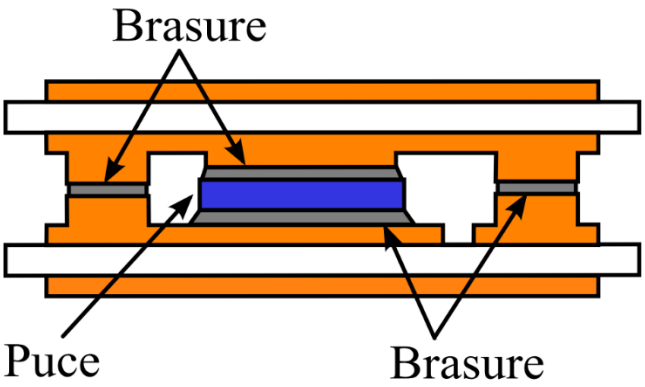


Figure B-11: Schéma de principe de la technologie "Direct Solder Interconnexion" [21].

B.2.2.2 La brasure

Les brasures sont utilisées pour assurer l'assemblage entre différents constituants (puce-substrat/substrat-semelle). L'épaisseur de ces brasures est comprise entre quelques dizaines et centaines de micromètres. Le choix des brasures doit tenir compte des critères vus ci-dessous :

- ***Bonne conductivité thermique*** pour permettre une meilleure évacuation de la chaleur dissipée par les puces.
- ***Bonne conductivité électrique*** afin de faciliter la circulation du courant électrique.
- ***Bonne tenue mécanique et bonne mouillabilité*** entre les différents matériaux de l'alliage.

Parmi les solutions utilisées en électronique de puissance, nous citons la connexion par alliages de brasure et par frittage de poudre métallique :

B.2.2.2.1 Connexion par brasage :

Les brasures utilisées dans les composants de puissance sont traditionnellement des alliages à base d'étain et plomb. La brasure Sn_5Pb_{95} est l'alliage le plus utilisée dans les applications électroniques pour sa facilité de mise en œuvre et faible coût. Par contre, elle présente une faible température de fusion (312°C) ce qui limite son utilisation à haute température (Tableau B-2) : pour des raisons de fiabilité, il ne faut pas dépasser une certaine température maximale d'utilisation bien inférieure à la température de fusion. La directive européenne RoHS entrée en vigueur en Juillet 2006 prévoit l'interdiction de six substances dangereuses dont le plomb dans les systèmes électroniques, à cause de sa toxicité pour la santé humaine et l'environnement. Plusieurs travaux de recherche sont donc menés afin de remplacer les alliages en plomb par d'autres alliages avec de meilleures propriétés.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Alliage	Température Liquidus (°C)
$Sn_{63}Pb_{37}$	183
Sn_5Pb_{95}	312
$Sn_{96.5}Ag_{3.5}$	221
$Sn_{99.3}Cu_{0.7}$	227
$Au_{80}Sn_{20}$	280
$Au_{88}Ge_{12}$	356

Tableau B-2: Températures caractéristiques de quelques alliages de brasure [6].

B.2.2.2.2 Connexion par frittage d'argent:

Le frittage d'argent est une des technologies les plus prometteuses pour les attaches de puces. Cette technique permet d'obtenir un matériau massif à partir d'une pâte chauffée en dessous du point de fusion du matériau [19]. Elle fait appel à une pâte composée de particules d'argent et de liants organiques, que l'on applique par sérigraphie. L'assemblage est obtenu en portant le joint à une température modérée (240 °C), avec application simultanée de pression (10 MPa). À cette température, nettement inférieure à la température de fusion de l'argent (961 °C), les particules s'agglomèrent (processus de frittage) pour former un solide faiblement poreux [19]. Le principal avantage de cette solution, c'est que le joint ainsi obtenu est théoriquement très proche des propriétés électrique et thermique de l'argent massif.

B.2.2.3 La semelle

Dans un module de puissance, une semelle est utilisée afin d'assurer un maintien mécanique de l'ensemble du module sur le refroidisseur thermique. Cette semelle assure également l'épanouissement du flux de chaleur produit par les puces pour permettre une évacuation des calories plus efficace. Une semelle doit être choisie selon ses performances mécaniques et thermiques (conductivité thermique, CTE...). Généralement, les boîtiers utilisent des semelles en cuivre. Toutefois, il existe des semelles composites en aluminium et carbure de silicium (noté AlSiC). L'AlSiC possède une conductivité thermique satisfaisante et présente un coefficient de dilatation thermique plus proche du nitrure d'aluminium que le cuivre [22].

B.2.2.4 L'encapsulation

L'encapsulation vise principalement à assurer la protection des pièces dans le boîtier contre toute infiltration de corps étrangers. Les solutions adoptées pour le packaging doivent tenir compte de la tenue mécanique et surtout diélectrique de l'assemblage. En gros, l'encapsulation d'un module s'effectue en deux phases principales:

- L'ensemble des éléments (Puces + matériaux d'assemblages) sont enfermé dans un boîtier en plastique ou céramique qui les protège contre l'infiltration des éléments parasites extérieurs. Le boîtier comporte des connexions extérieures qui permettent de réaliser le branchement électrique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

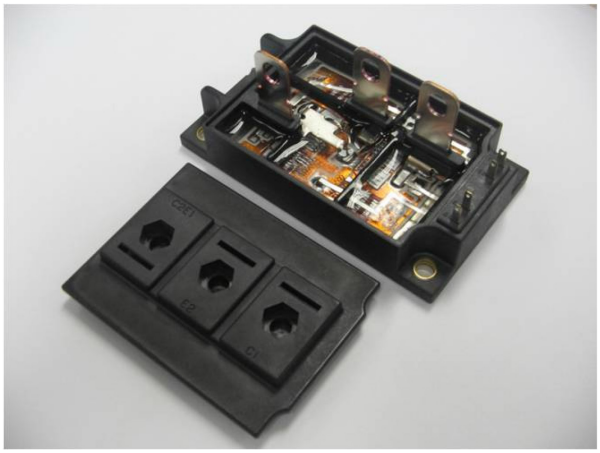


Figure B-12: Exemples de module IGBT en boitier plastique.

- La deuxième phase concerne le remplissage du module de puissance par un isolant. Généralement l'isolation des modules est assurée par du gel silicone. Grâce à sa bonne résistance à l'humidité et à la température et à ses propriétés diélectriques peu sensibles au vieillissement, le gel assure une protection des puces et métallisations contre la pollution par une étanchéité satisfaisante. Il permet également d'isoler électriquement les différentes électrodes du module tout en évitant les risques de claquages au sein du module.

B.2.2.5 Substrat

Dans un module de puissance, le substrat se situe entre les puces à semi-conducteur et la semelle. Ses fonctions sont:

- Le substrat contient les pistes conductrices qui permettent l'interconnexion des puces.
- Le substrat a pour rôle d'assurer une isolation électrique entre les puces et le support sur lequel le module de puissance est fixé.
- Le substrat doit favoriser l'extraction de la chaleur des puces vers le système de refroidissement.

Le Tableau B-3 résume les différentes céramiques utilisées pour la fabrication du substrat et leurs propriétés physiques : l'alumine ou oxyde d'aluminium (Al2O3), le nitrure d'Aluminium (AlN), le nitrure de silicium (Si3N4) et l'oxyde de Béryllium (BeO). Malgré une bonne conductivité thermique de ce dernier, il n'est que rarement utilisé en raison de sa toxicité.

Substrat	Conductivité thermique (W.m-1. °C-1)	Coefficient de dilatation (ppm/°C)	Contrainte à la flexion (Mpa)
AlN	150-180	4.6	360
Si_3N_4	70	3	932
Al_2O_3 (99 %)	33	7.2	345
Al_2O_3 (96 %)	24	6	317
BeO	270	7	250

Tableau B-3: Proporiétes physiques des céramiques utilisées dans les modules de puissance [23]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.2.2.6 Dissipateur thermique:

Un dissipateur thermique est un des éléments les plus volumineux dans un convertisseur de puissance. Il doit avoir une faible densité et permettre l'évacuation d'un maximum de chaleur vers l'extérieur du module de puissance. Le choix du dissipateur tient en compte de plusieurs paramètres:

- Nombre et type des puces à refroidir ;
- Mode de refroidissement souhaité ;
- Quantité de chaleur à évacuer ;
- Intégration du module dans son environnement final.

Le dissipateur classique utilisé dans les composants de puissances est le «radiateur à ailettes » (Figure B-13). C'est un système à air robuste avec un coût acceptable. Par contre, sa masse et son volume sont importants et ses performances sont moins bonnes que celles d'autres types de systèmes de refroidissement. Les matériaux les plus employés dans ce type de dissipateur sont le cuivre et l'aluminium [6]. Les valeurs assez élevées de CTE et de la densité de ces matériaux amènent à avoir un recours à une variété de matériaux composites qui ont une meilleure conductivité thermique et un plus faible CTE. Ces composites sont caractérisés par des matrices en cuivre, aluminium, ou argent... .

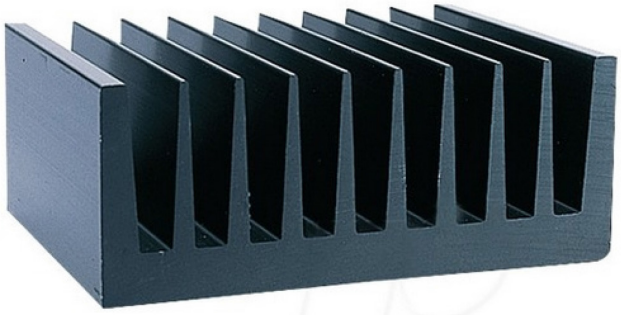


Figure B-13: Exemple de radiateur utilisé pour le refroidissement de composants de puissance

Le second système de refroidissement est la plaque à eau. C'est un dispositif comprenant une plaque à eau, tuyauteries, pompe et échangeur eau-air [24]. La résistance thermique de la plaque est faible. Certaines plaques sont capables d'évacuer plusieurs kilowatts de pertes par composant. L'inconvénient de l'utilisation de plaques froides est l'obligation de refroidir l'eau qui s'est échauffée en traversant les plaques. Cette opération est réalisée soit avec un échangeur thermique eau - air, soit une citerne contenant un volume de liquide suffisant pour que la température moyenne de l'eau ne s'élève pas trop. Ce dernier point constitue le grand obstacle de ce type de refroidisseurs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

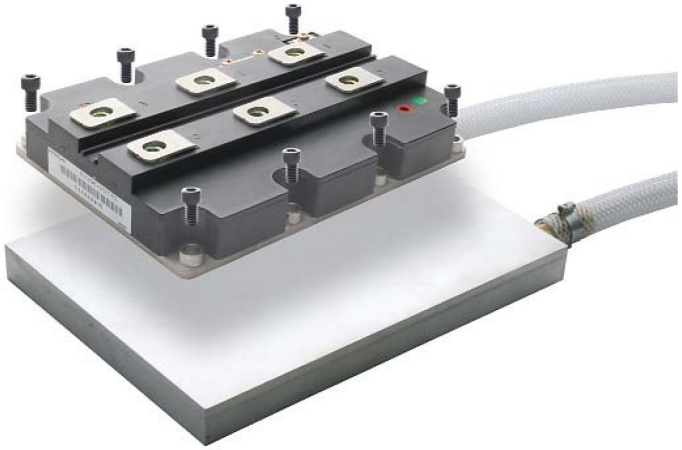


Figure B-14: Refroidissement d'un module de puissance par plaque à eau [24].

Il existe également une autre technique de refroidissement basée sur l'utilisation des caloducs pour le transport des grandes quantités de chaleur. Ce type de refroidisseur est constitué d'une chambre (évaporateur) reliée en circuit fermé avec un échangeur (condenseur), qui renferme sous pression un liquide. Ce dernier absorbe la chaleur de l'évaporateur et passe en phase gazeuse (voir Figure B-13). Il restitue la chaleur lors de son passage à l'intérieur du condenseur, redevient liquide, et reprend son chemin dans la chambre à eau [25]. Ce type de refroidisseur peut-être intégré directement sur le substrat ou fixé sous les puces semi-conductrices. Cependant, comme pour le cas de refroidissement à eau, la technologie de refroidissement en caloduc nécessite un échangeur avec l'air ambiant, d'où le volume important.

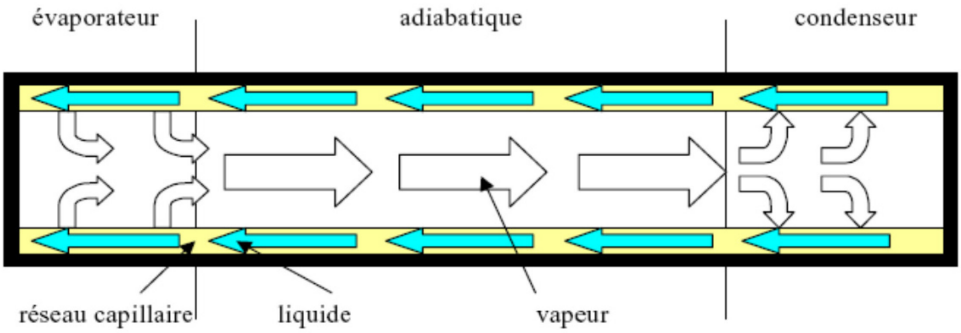


Figure B-15: Principe de refroidissement en caloduc [25].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.3. Fiabilité des modules de puissance:

Les causes de défaillance d'un convertisseur sont nombreuses et très dépendantes de l'application. Une des causes les plus évidentes est l'utilisation d'un module en dehors de ses spécifications (il s'agit d'une tension, d'un courant, d'une température ambiante ou d'une combinaison des trois). En général, les causes de la défaillance d'un module de puissance de puissance peuvent être soit (voir Figure B-16) :

- ***Internes*** i.e. liés au fonctionnement propre du convertisseur (il s'agit alors d'un problème de fiabilité de l'électronique de puissance, de sa commande, des puces ou du vieillissement des assemblages).
- ***Externe***, i.e. liés aux actions de l'extérieur (réseau de connexion pollué, refroidissement insuffisant, rayon cosmique) ou d'une charge défaillante (surcharge prolongée, court-circuit,…).

Les retours d'expérience sont précieux à ce niveau pour tenter de classifier les principaux mécanismes de défaillance des modules de puissance. Dans ce paragraphe, on présentera à partir d'une étude bibliographique les différents mécanismes rencontrés. On accentuera notre étude sur les mécanismes de défaillance des puces semi-conductrices et de leur packaging, qui sont considérés comme les principaux modes de dysfonctionnement des modules de puissance.

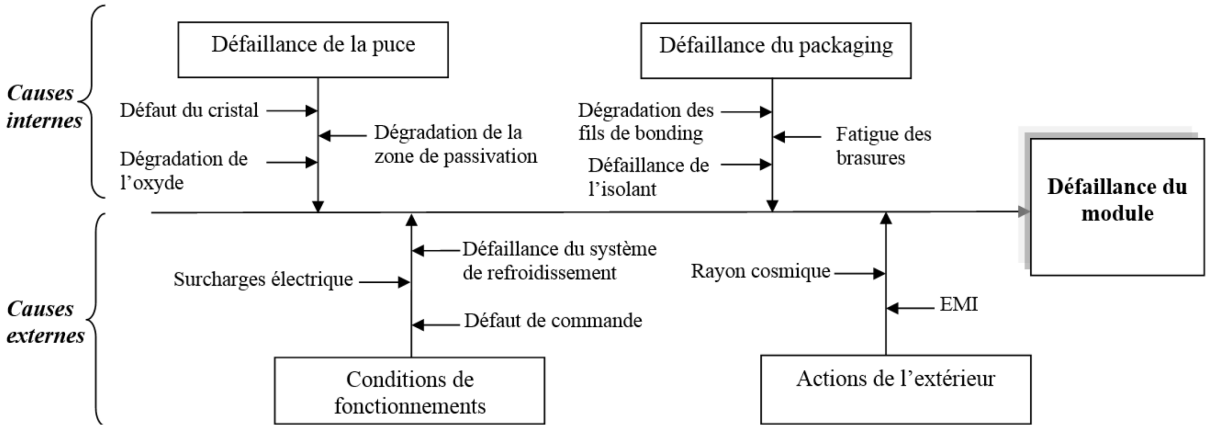


Figure B-16: Causes de défaillance dans un module de puissance.

B.3.1. Mécanismes de défaillance des puces

B.3.1.1 Rayon cosmique :

Les rayons cosmiques sont composés de particules énergétiques provenant de l'espace produisant des particules dites secondaires à leur entrée dans l'atmosphère [26]. C'est ce que l'on connaît sous le nom de *grandes* gerbes de particules ou gerbes électromagnétiques qui naissent avec la première collision de la particule du rayonnement cosmique avec un des atomes de l'atmosphère, et par collision successives peuvent descendre jusqu'au niveau du sol (Figure B-17) [27]. Ces particules, en interagissant avec la matière (le semi-conducteur) vont la modifier localement par ionisation et ainsi perturber le fonctionnement du composant semi-conducteur. En effet, sur les composants électroniques, ces particules peuvent générer des charges par collision dans les oxydes de grille et dans le corps du composant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

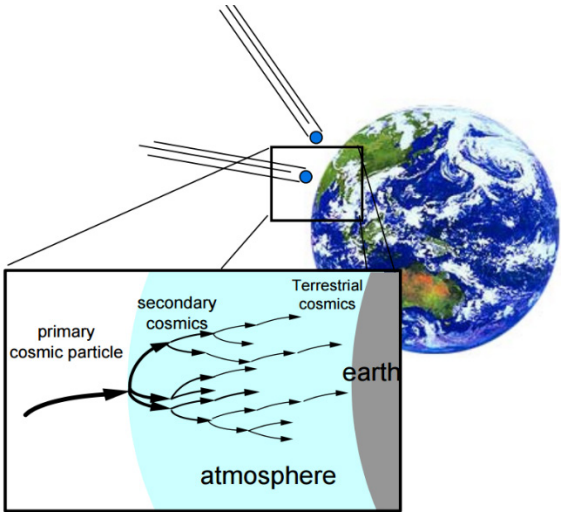


Figure B-17: Formation de gerbes de particules par interaction des rayons cosmiques avec l'atmosphère [26].

La défaillance causée par le rayonnement cosmique est liée à une augmentation importante du courant de fuite et à la perte de capacité de blocage des dispositifs. La figure suivante représente une coupe transversale d'une puce détériorée par le rayonnement cosmique.

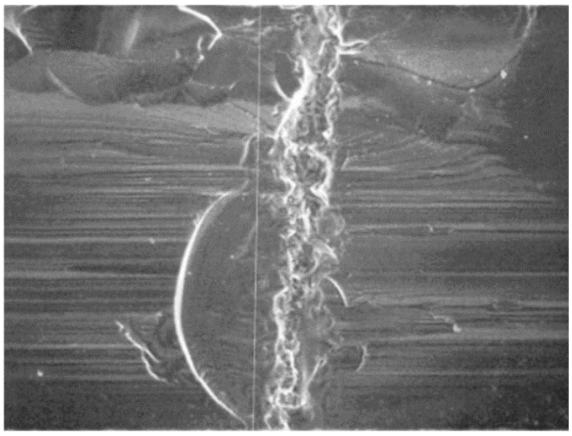


Figure B-18: Fusion locale du silicium d'une puce (vue en coupe) due au rayonnement cosmique [29].

B.3.1.2 Dégradation de l'oxyde de grille :

Dans les composants de puissance à grilles isolées comme les MOSFETs et IGBTs, l'oxyde de silicium joue le rôle d'un diélectrique pour la grille. La perte de ses propriétés isolantes constitue un mécanisme de défaillance bien connu dans ce type de composant. La défaillance de l'oxyde de grille se traduit généralement par l'apparition d'un courant de fuite local traversant la couche d'oxyde. L'origine de cette dégradation peut être l'injection de charges électriques dans la couche d'oxyde à cause de l'application du champ électrique excessif [30]. Si ce phénomène semble peu prépondérant pour le silicium, la dégradation de l'oxyde apparaît beaucoup plus facilement sur des composants à grand gap comme le SiC [31]. A titre d'exemple, la dégradation de l'oxyde est un des principaux risques de défaillance actuel dans les MOSFETs SiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.3.1.3 Surcourant (Surge current):

Le cas de défaillance des composants due à une contrainte en surcourant est relativement fréquent dans les convertisseurs de puissance. En effet, un surcourant impulsionnel imposé par l'extérieur peut entrainer la destruction des composants du convertisseur. Il faut noter qu'une surcontrainte en courant n'entraîne pas obligatoirement la défaillance du composant. Un surcourant n'est critique que dans le cas où il dépasserait la valeur maximale du courant (impulsionnel) donnée par le constructeur. À titre d'exemple, la tenue en surcourant d'une diode (pour une durée de 1 ms) est généralement de 10 à 12 fois le courant nominal [32].

Suivant la valeur du courant, soit la défaillance par surcourant conduit à la fusion de la puce (le composant se présente alors comme un court-circuit à faible impédance), soit la valeur du courant est plus importante et dans ce cas les connexions de la puce vont fondre. Le composant se présente alors comme un circuit ouvert. La Figure B-19 illustre un cas de défaillance d'une diode en régime de surcourant. La défaillance a été observée sur la surface active de la diode et se traduit par la fusion d'une partie de la métallisation de la puce (aux pieds des fils de bonding).

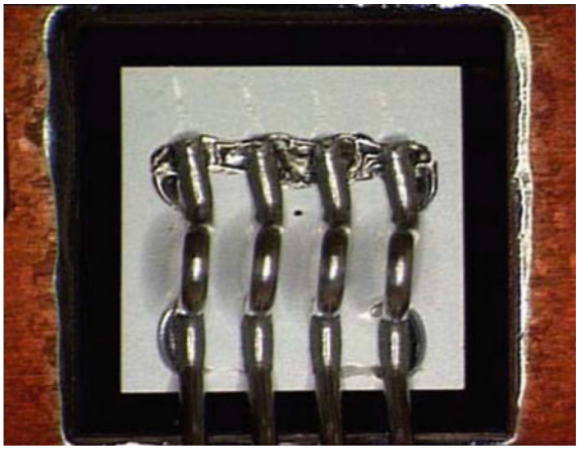


Figure B-19: Cas de défaillance d'une diode en régime de surcourant [33].

B.3.1.4 Surtension (Avalanche):

La défaillance en avalanche se produit quand la tension de fonctionnement du composant dépasse la tension de claquage (V_{BR}) donnée dans le document constructeur. Un courant circule alors dans le composant, générant une forte dissipation de puissance. La dispersion du courant dans la puce peut être due à sa géométrie ou à la présence d'un défaut [34]. Sous ses conditions, une densité de courant importante dans une zone résistive entraîne une augmentation de la température du silicium qui peut atteindre la température critique. À cette température il y a emballement thermique local, rendant une zone de la puce conductrice. L'emballement conduit la température de la puce de façon localisée à celle de la fusion.
La Figure B-20 présente un exemple de défaillance d'un MOSFET SiC testé sous des conditions d'avalanche. La défaillance a été observée sur la métallisation source de la puce. Le test en avalanche a conduit à un mode de défaillance de court-circuit entre les terminaux du composant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

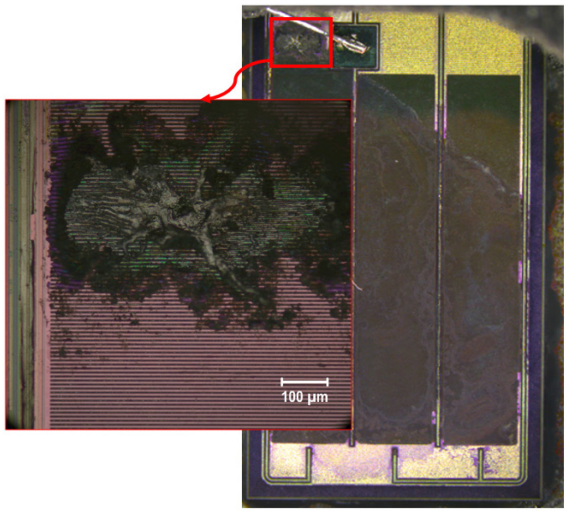


Figure B-20: Défaillance d'un MOSFET SiC testé en régime d'avalanche [35]**.**

B.3.2. Mécanismes de défaillance du packaging

B.3.2.1 Défaillance des fils de bonding

La défaillance des fils de bonding peut être causée par deux différents mécanismes. La fissuration et levée des fils de bonding est l'un de ces mécanismes observé dans les modules de puissance [36]. Il se produit souvent entre le fil de bonding et la métallisation de puce et plus rarement au point de contact entre le fil de bonding et le cuivre du substrat DBC. La variation de température sur le cuivre du substrat céramique est plus faible que celle au niveau de la métallisation de puce et d'autre part, les différences de CTE sont plus importantes entre l'aluminium (23-24 ppm/K) et le silicium (2,6 ppm/K) qu'entre l'aluminium et le cuivre (17-18 ppm/K) [36]. Comme le montre la Figure B-21, la dégradation du contact entre le fil et la métallisation de puce s'initie au niveau du contact avec la métallisation [36]. Des fissures se propagent par la suite jusqu'à la levée complète du fil. Pour améliorer la fiabilité des fils de bonding sous l'effet de cyclage thermique, quelques solutions peuvent être utilisées. L'une de ces solutions est d'introduire une couche tampon de molybdène entre le fil et la métallisation. L'utilisation de ce matériau répartira la différence de CTE entre l'aluminium et la puce [6]. Une autre solution consiste à rapporter une couche de matériau polymère après la soudure ultrasonique au niveau du pied du fil de bonding. Cette couche va permettre de conserver un contact électrique entre le fil de bonding et la métallisation malgré la fissuration à l'interface entre fil et la métallisation de puce [36].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

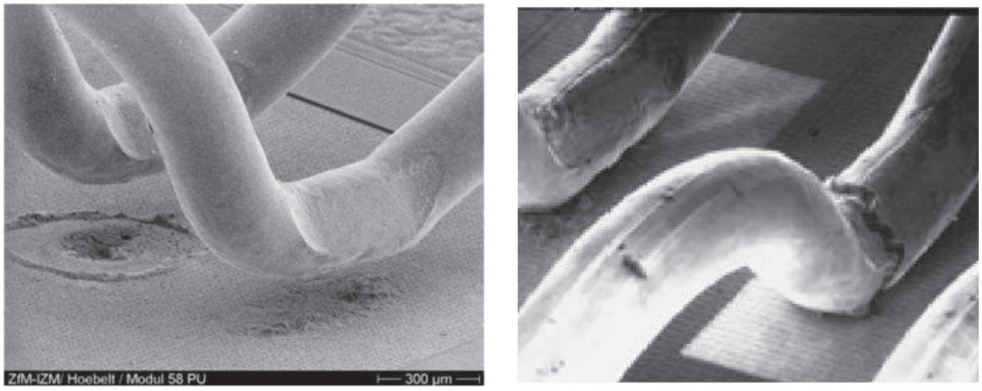


Figure B-21: a) Levée des fils de bonding sur des puces IGBT suite à des cycles de puissance/(b). Fracture au niveau des pieds bonding [36]**.**

Le deuxième mécanisme de défaillance concerne la fusion des fils de bonding. Ces derniers sont particulièrement sensibles à des modes de surcourants. Dans le cas où le courant imposé par l'extérieur n'est pas limité, la chaleur excessive générée dans la puce et dans les fils peut provoquer une fusion rapide des faisceaux de bonding, résultant en une défaillance du module en circuit ouvert [37].

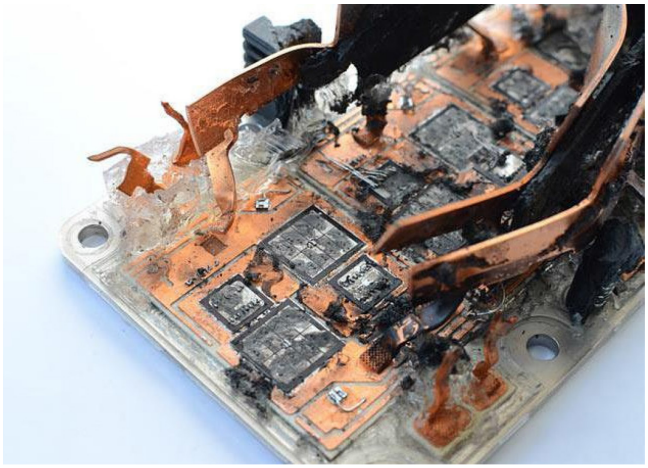


Figure B-22: Cas illustrant la fusion des fils de bonding causée par l'application d'une surcontrainte en courant de longue durée.

B.3.2.2 Déformation des métallisations des puces

Une couche de métallisation est de l'ordre de quelques micromètres d'épaisseur. À cause de la différence entre les coefficients de dilatation thermique (CTE) de l'aluminium et du silicium, la couche de métallisation est soumise en cours de fonctionnement à des contraintes cycliques de compression et de dilatation conduisant à la déformation de cette dernière et à la "reconstruction" des grains d'aluminium qui la constituent [6]. La Figure B-23 montre à l'aide d'un Microscope Electronique à Balayage (MEB) le changement de l'état physique de la métallisation subissant des cyclages thermiques. Selon [36], La reconstruction de la métallisation a été observée dans les endroits de plus forte amplitude de température, c'est à dire au centre de la puce où la température de la jonction est généralement maximale ou au voisinage des pieds de fils de bonding à cause des échauffements liés à la focalisation du courant. Pour limiter ce phénomène, une fine couche protectrice et rigide (Nitrure de silicium, polyimide...) peut être déposée sur la métallisation [22].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

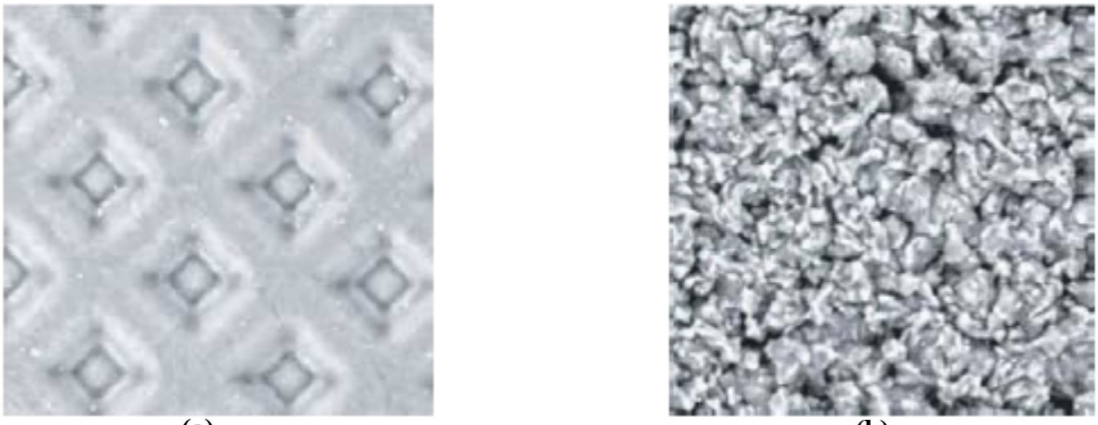


Figure B-23: (a) Métallisation d'un émetteur IGBT avant cyclage/(b) Reconstruction de la métallisation après cyclage thermique actif [22].

B.3.2.3 Fatigue de la brasure

Dans les modules conventionnels (utilisant des fils de bonding), il existe deux brasures qui assemblent d'une part la puce sur le substrat et d'autre part le substrat à la semelle. La brasure la plus fragile se trouve être celle qui lie le substrat et la semelle en raison de sa grande surface et à la grande différence des coefficients de dilatation. Cela a pour effet d'augmenter les contraintes thermomécaniques et cause la fissuration des brasures. Ces cavités illustrées sur la Figure B-24 ont un impact sur la conduction thermique de l'assemblage (augmentation de la température de jonction des puces qui peut accélérer d'autres phénomènes de vieillissement tel que le décollement des fils de bonding).

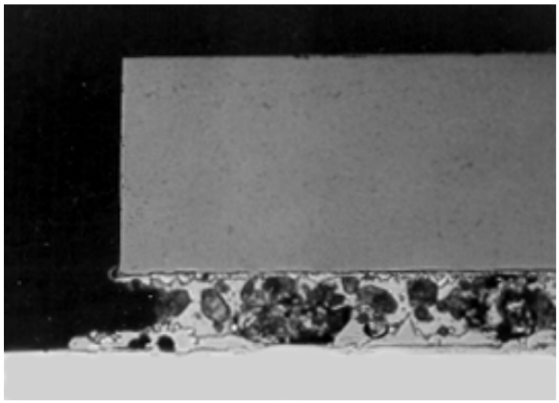


Figure B-24: Formation des cavités dans la brasure puce/substrat [38].

B.3.2.4 Dégradation du substrat

Dans un module de puissance, le substrat assure la fonction d'isolation électrique entre les puces semi-conductrices et le dissipateur. Il doit aussi favoriser l'extraction du flux de chaleur des puces vers le système de refroidissement. Toutefois, durant des cycles de température de grande amplitude, le substrat DCB subit des contraintes thermomécaniques liées aux différences de CTE entre les métallisations cuivre et la céramique. Au cours du temps, la fatigue et le durcissement de la métallisation cuivre entraîne le décollement du cuivre du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

substrat DCB. Ce décollement engendre des contraintes dans la céramique impliquant des microfissures au bord du substrat. Ces microfissures, peuvent croitre et provoquer une rupture de la céramique (Figure B-25). Comme pour la dégradation de la brasure, la fissuration de la céramique se traduit par une dégradation des performances thermiques qui accélère les autres modes de défaillance.

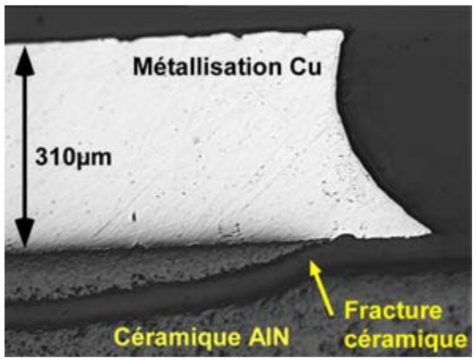
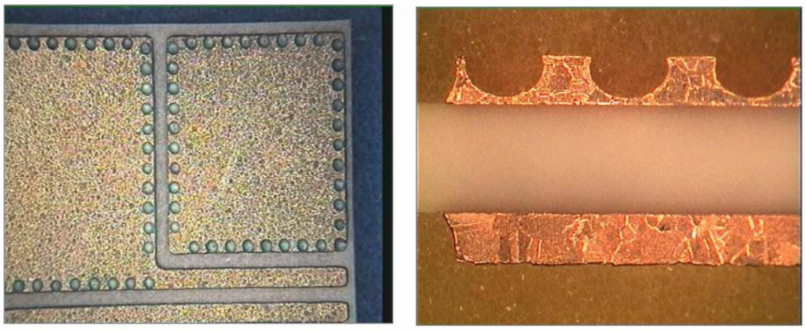


Figure B-25: Fracture d'une céramique AlN dans un substrat DCB [38]**.**

Afin de réduire les contraintes thermomécaniques sur la céramique, différentes solutions ont été proposées [38]:

- Utilisation d'une céramique plus robuste telle que (Si_3N_4) ;
- Remplacer le cuivre des DCB par de l'aluminium (DAB), qui offre une limite d'élasticité plus faible et une plasticité plus élevée que le cuivre.
- Créer des trous (des dimples) qui permettent de réduire localement l'épaisseur de la métallisation.



(a) **(b)**

Figure B-26: Substrat DCB avec des trous : (a) Vue du dessus/ (b) Vue en coupe transversale [39]**.**

B.3.2.5 Electro-migration

L'électro-migration est un phénomène qui apparait à des densités de courant très élevées. Ce phénomène se traduit par le déplacement des atomes dans le conducteur sous l'effet du flux des électrons. Dans les circuits intégrés, l'électro-migration se produit sur l'interface entre la métallisation et la puce où on peut observer la migration des atomes d'aluminium ou de silicium. La Figure B-27 illustre une image obtenue avec un microscope électronique à balayage (MEB) de la dégradation d'un conducteur en aluminium dû au mécanisme

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

de l'électro-migration [6]. Dans cette figure, on voit clairement que l'aluminium de la métallisation peut migrer et créer des lacunes ou des vides sur la métallisation. La création du vide engendre une accumulation de matière ailleurs. Cela, peut engendrer soit un circuit ouvert conduisant à la défaillance du composant. A noter que l'apparition de ce phénomène demande des densités de courant très élevées et des temps beaucoup plus longs que d'autres mécanisme de défaillance, ce qui le rend rarement observé dans les modules de puissance.

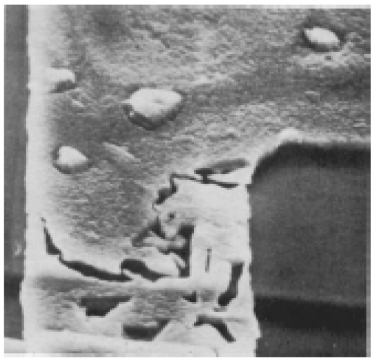


Figure B-27: Conducteur en aluminium ayant subi une électro-migration [6]**.**

B.3.2.6 Décharges partielles

Une décharge partielle est une «décharge électrique localisée qui court-circuite partiellement l'intervalle isolant séparant des conducteurs» [40]. Dans les modules de puissance, les décharges partielles (DP) apparaissent sous l'application d'une tension élevée (Figure B-28). Elles provoquent la dégradation du matériau et peuvent conduire au claquage de l'isolant ou du diélectrique. Les DP peuvent également apparaitre à des tensions beaucoup plus faibles en raison de la présence de cavités (fissurations) à proximité des bords du substrat céramique. A long terme, ces décharges peuvent provoquer une perforation de l'isolant. Cette perforation débouche sur la création d'un canal conducteur dans le substrat et d'un court-circuit entre la puce et le dissipateur. Un certain nombre d'études sur la détection et la localisation des DP dans les modules de puissance IGBT ont été réalisé afin d'évaluer leur fiabilité [41] [42]. Les mesures de décharges partielles sont réalisé généralement sous contrainte alternative en suivant la norme CEI 60270 qui traite les méthodes de détection des décharges partielles, et la norme CEI 1287 qui décrit le protocole de mesure pour qualifier l'isolation [43].

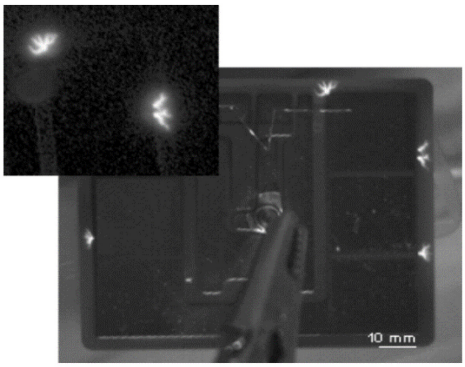


Figure B-28: Localisation des DP pour un substrat AlN intégré dans un gel de silicone. Les décharges sont situées au niveau des bords extérieurs DCB (9.5kV) [31]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.3.2.7 Corrosion

La corrosion est un phénomène qui peut toucher les différentes parties métalliques d'un module de puissance. En effet, les métallisations et les fils de bonding peuvent subir une somme de réactions chimiques ou électrochimiques entre ces métaux et leurs environnements. La corrosion électrochimique peut apparaitre dans un environnement particulier tel que [38]:

- Présence d'humidité dans le boîtier,
- Présence d'ions tels que Cl^- ou Na^+ agissant comme des catalyseurs dans les réactions.

La Figure B-29 montre un phénomène de corrosion qui a conduit à une détérioration et au détachement des fils de bonding. Ce type de corrosion a été obtenu lors d'un test de cyclage de plus d'un million de cycles. Les effets de la corrosion des faisceaux de bonding sont amplifiés par le cyclage thermique (en plus de la corrosion, les bondings sont soumis à des efforts mécaniques qui accélèrent leurs ruptures). Dans un module de puissance, la corrosion peut également causer une apparition des bulles de gaz dans le gel silicone durant des essais à haute température (ce phénomène se traduit par un dégagement gazeux dû aux différentes réactions chimiques).

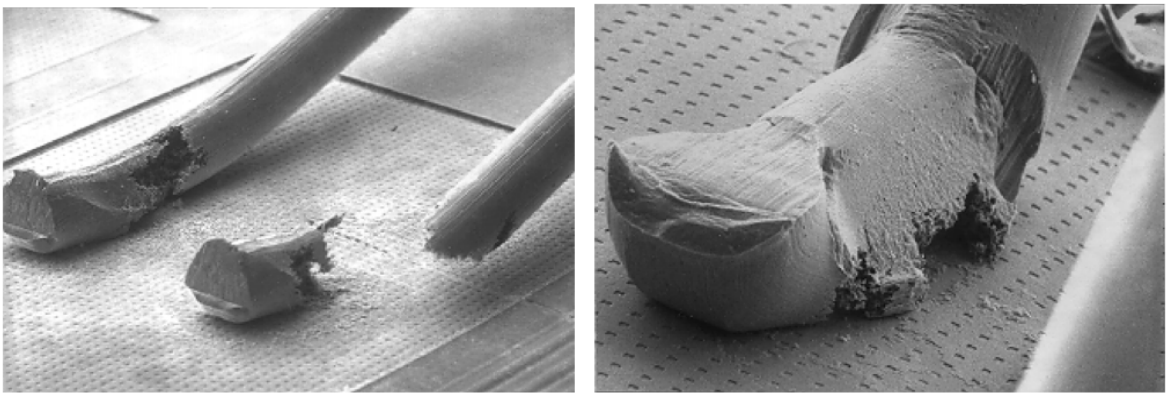


Figure B-29: Rupture des fils de bonding à cause du phénomène de corrosion [38]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.3.3. Synthèse des mécanismes de défaillance d'un module de puissance

Le tableau ci-dessous résume les différents mécanismes de défaillance cités précédemment et présente pour chacun de ces mécanismes, les conséquences physiques, électriques et thermiques et enfin, défini les modes de défaillance rattachés à tous ces mécanismes. Le mode de défaillance fait référence à l'état du module de puissance après sa défaillance (typiquement circuit ouvert ou court-circuit).

Mécanisme de défaillance	Conséquence Physique	Mode de défaillance
Fatigue thermique	Décollement des fils de bonding. Fracture au niveau de la céramique. Déformation de la métallisation de la puce. Fatigue des brasures.	***Circuit ouvert***
Électro-migration	Augmentation de la résistance électrique. Réparation inhomogène du courant.	***Circuit ouvert***
Rayon cosmique	Génération des charges dans les oxydes de grille. Dégradation physique des puces en silicium. Rupture diélectrique de l'oxyde de grille.	***Court-circuit***
Corrosion	Attaque chimique des fils de bonding et de la métallisation. Déconnexion des faisceaux de bonding.	***Circuit ouvert***
Surcourant/court-circuit/ avalanche	Explosion du boitier. Fusion des fils de bonding.	***Circuit ouvert***
Dégradation de l'oxyde de grille	Rupture diélectrique du substrat. Injection de charges dans l'oxyde. Dégradation de la qualité de l'oxyde.	***Court-circuit***
Décharge partielle / Claquage du substrat	Création d'un canal conducteur dans le substrat	***Court-circuit***

Tableau B-4: Synthèse des mécanismes de défaillance dans un module de puissance (type conventionnel).

D'après le Tableau B-4, nous observons que les origines de la défaillance des modules sont multiples : électriques, thermomécaniques, chimiques. Bien qu'elles soient issues de phénomènes physiques différents il apparaît que, à l'exception des défaillances dues aux fatigues thermiques, surcourant et corrosion (qui affectent les fils de bonding), les modules conventionnels possèdent toujours le même mode de défaillance initial: celui du court-circuit. D'après cette étude, nous pouvons conclure que l'utilisation des fils de bonding doit être évitée dans le cadre de conception de notre module "fail to short" où la fiabilité est la propriété la plus importante pour la continuité du fonctionnement du convertisseur.

Dans la suite de ce chapitre, nous évoquerons les principales technologies de modules utilisées dans les applications hautes puissances. Nous allons traiter les deux grandes familles de boitiers des modules qui sont les "Press-Pack" et les "StakPak".

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

B.4. Exemples de module de puissance existant ayant un mode de défaillance de court-circuit "Fail to short-circuit".

B.4.1. Intérêt technologique:

Aujourd'hui, les convertisseurs de puissance éléments essentiels de conversion d'énergie sont de plus en plus nombreux dans les applications HVDC. Récemment, la mise au point de la technologie modulaire appelée MMC (Modular Multilevel Converter), a permis d'apporter plusieurs avantages (Suppression des filtres harmoniques, diminution des pertes, …) [1]. Cette topologie est constituée de plusieurs sous-modules connectés en séries. Chaque sous-module contient deux IGBTs avec leurs diodes antiparallèles et un condensateur qui sert de réservoir d'énergie. La Figure B-30 illustre la structure en trois phases de la topologie du MMC. Cette dernière est composé de (n) SMs par demi-bras, ce qui se traduit par une tension phase-terre ayant une forme d'onde de (n + 1) niveaux [44]. Le regroupement de plusieurs sous-modules en série forme un demi-bras. Coté alternatif, chaque phase est constituée de deux demi-bras. Des inductances L0 sont rajoutées en série dans chaque demi-bras afin de lisser le courant et de le limiter lors de défauts [45]. Chaque SM est constituée d'un convertisseur en demi-pont tel que présenté dans Figure B-30.

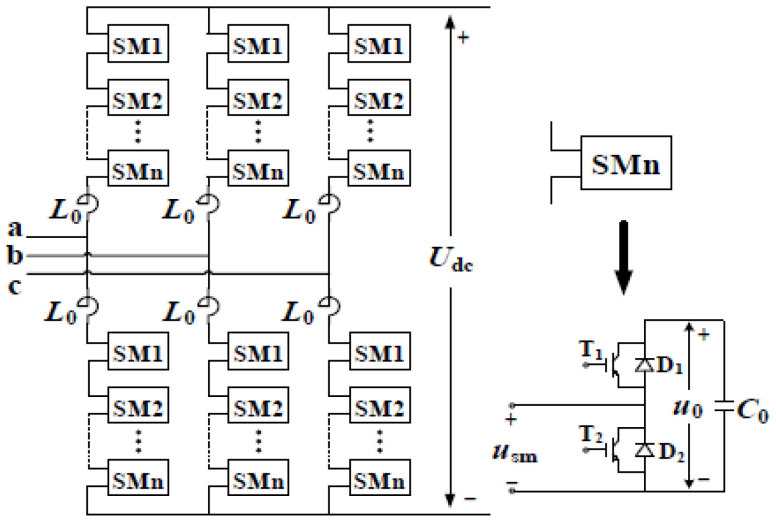


Figure B-30: Topologie d'un convertisseur MMC [44]**.**

Durant le fonctionnement d'un convertisseur MMC-HVDC, les deux IGBTs d'un sous-module peuvent subir des défaillances permanentes irréversibles. Dans la conception du convertisseur, des cellules redondantes sont inclues dans le convertisseur. Cela permet un fonctionnement ininterrompu du convertisseur en cas de défaillance d'un module IGBT. Le système HVDC doit continuer de fonctionner pendant un an sans qu'il soit nécessaire d'interrompre la puissance transmise pour remplacer les sous-modules endommagés [46].

Comme décrit précédemment, il existe deux modes de défaillance des modules de puissance, le court-circuit ou le circuit ouvert. Au sein du convertisseur MMC-HVDC, le défaut en circuit ouvert est plus contraignant que celui du court-circuit. En effet, lors de la défaillance, en mode circuit ouvert d'un des IGBTs du sous

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

module, cela mettrait hors-service l'ensemble du système. Au lieu de cela, le module défaillant doit avoir un mode de défaillance de court-circuit. Par ailleurs, le module défaillant en court-circuit doit être capable de conduire le courant nominal du convertisseur jusqu'à ce qu'il soit enlevé et remplacé pendant la période de maintenance planifiée.

Pour comprendre l'intérêt d'utilisation des modules (Fail-to-short) ainsi les différentes répercussions sur le fonctionnement d'un convertisseur MMC-HVDC, prenons l'exemple de la défaillance d'un des IGBTs du sous module de la Figure B-31. Dans cette figure, si nous supposons que la capacité du condensateur est de 1500 µF et que cette dernière est chargée sous une tension de 1250 V, l'énergie stockée dans le condensateur serait de 1.17 kJ. Lors d'un défaut apparaissant sur l'un des IGBTs, toute l'énergie locale stockée dans le condensateur sera dissipée à l'intérieur du module. Cela conduit à la fusion des fils de bonding ainsi à une éventuelle explosion du boitier résultant en une défaillance de module en circuit ouvert et à la panne du convertisseur. Afin de résoudre cette problématique, plusieurs solutions ont été proposées par les industriels et qui envisagent les possibilités de fonctionnement post-défaillance.

Une de ces solutions, utilisée par Alstom et Siemens, consiste à intégrer un relais de puissance dans le sous module. En cas de défaillances d'un IGBT du sous-module, le système de contrôle et de surveillance du convertisseur détectera le sous-module défectueux, et mettra sous tension le relais de puissance. Ce dernier court-circuitera le sous-module et l'exclura du bras du convertisseur, comme illustré sur la Figure B-32. Par ailleurs, le système de contrôle du convertisseur inclut et insère le sous-module redondant sur le bras. Cette action de commande est réalisée sans perturber le fonctionnement normal du convertisseur [46].

La deuxième solution d'ABB propose d'utiliser une technologie de module nommé press-pack et qui a été conçue pour que le module défaillant ait un mode de défaillance sécurisé de court-circuit, en excluant ainsi la nécessité d'un relais de puissance. Les boitiers press-pack sont également conçus pour éviter l'explosion du module dans la majorité des cas de défaillance (Figure B-33) [47]. En effet, les modules presse-pack offrent la possibilité de confiner le gaz formé au moment de sa défaillance à l'intérieur du boitier. Ce confinement est supporté par des forces de serrage axiales.

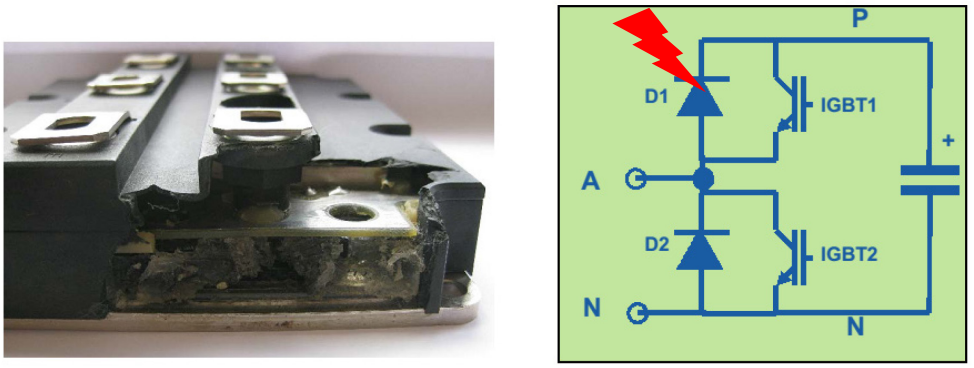


Figure B-31: Photo d'un module (conventionnel) IGBT défaillant (3.3 kV/1200 A) illustrant le cas de décharge de l'énergie stockée par le condensateur (1.7 kJ) dans le module. Le test destructif a conduit à un mode de défaillance circuit ouvert [48].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

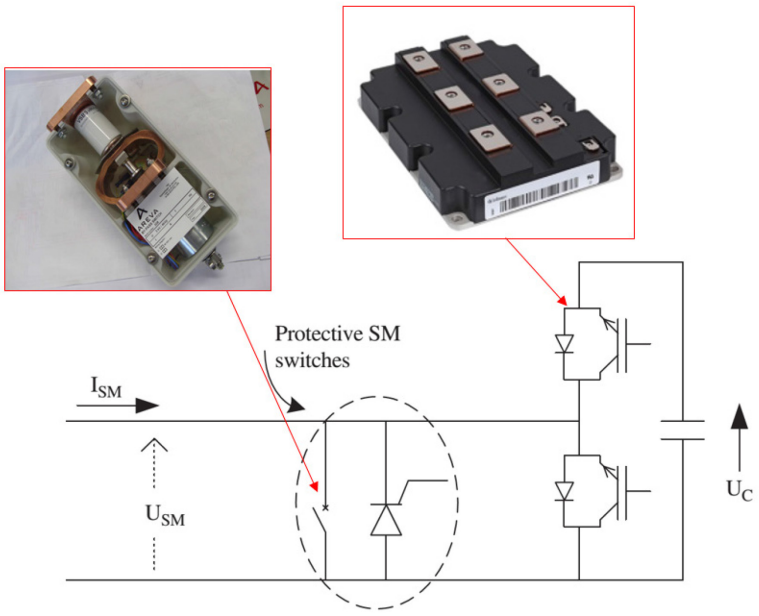


Figure B-32: Solution utilisée par Alstom et Siemens pour court-circuiter le sous-module en cas de défaillance d'un des IGBTs [46].

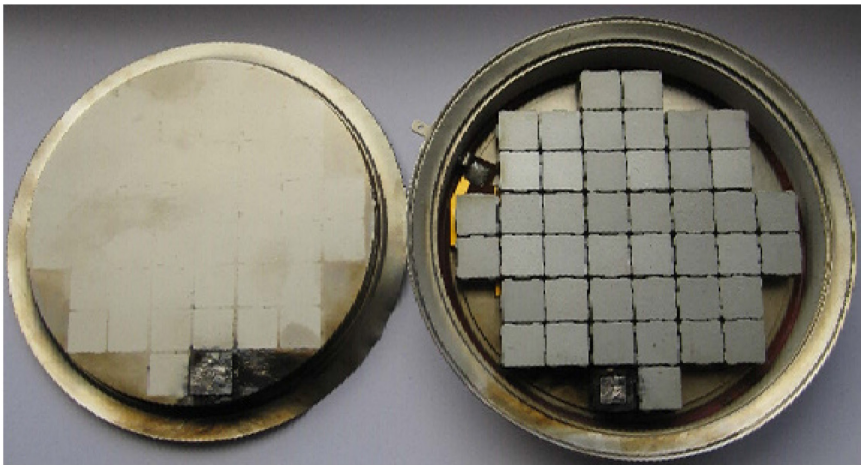


Figure B-33: Photo d'un module (Press-Pack) IGBT (6.5 kV/1390 A) illustrant le cas de décharge de l'énergie stockée par le condensateur (10.5 kJ) dans le module. Ce test destructif a conduit à un mode de défaillance en court-circuit [48].

B.4.2. Boitiers Press-Pack :

La technologie press-pack est aujourd'hui la technologie la plus répandue dans des gammes de puissance allant de jusqu'à une centaine de MW [49]. Le premier press-pack apparu était à base de thyristor. Son brevet a été déposé en 1966 [50]. Le principe cette technologie consiste à presser une puce en silicium entre deux plaques rigides parallèles qui servent à la fois comme dissipateurs thermiques et borniers électriques. La puce est par conséquent refroidie des deux côtés, ce qui est un avantage considérable parce que la surface d'échange thermique est doublée. Par rapport à un module conventionnel, un assemblage press-pack a la particularité de ne pas contenir de brasures qui peuvent se délaminer et de fils de bonding qui peuvent se fissurer ou se décoller de la puce. En outre, les boitiers press-pack sont hermétiques, ce qui signifie que l'humidité ou les contaminants en général ne peuvent pas pénétrer à l'intérieur du module et causer de corrosion. Pour ces raisons, un module

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

presse-pack est la technologie la plus fiable et la plus robuste disponible aujourd'hui [46]. Le press-pack est le dispositif idéal pour les applications HVDC, où la fiabilité est la propriété la plus importante au niveau du système.

La Figure B-34 représente une vue en coupe transversale d'un module press-pack thyristor. D'après cette figure, la puce silicium est pressée entre deux disques de molybdène (Mo), qui sont recouverts d'une fine couche de rhodium (ou parfois de ruthénium) pour empêcher son oxydation [46]. Les contacts électriques se font par les pôles d'anode et cathode (ces pôles sont généralement en cuivre nickelé). L'utilisation de disques en molybdène entre la puce de silicium et les pôles de cuivre permet de réduire les contraintes appliquées sur la puce (Le coefficient d'expansion thermique du molybdène est proche de celui du silicium). D'après le Tableau B-5, le CTE du molybdène est deux fois plus élevé que celui du silicium, alors que le CTE du cuivre est six fois plus élevé que celui du silicium. Selon la Figure B-34, les bords de la puce de silicium sont découpés à des angles spécifiques afin de minimiser la concentration du champ électrique aux bords de la puce. Ce processus de découpe est appelé "beveling" [46]. En outre, des anneaux en caoutchouc sont utilisés aux extrémités de la puce comme une passivation pour éviter le risque de claquage. À l'extérieur, un boîtier en céramique rainuré protège mécaniquement la puce silicium et fournit une distance d'isolement suffisante entre les pôles d'anode et cathode.

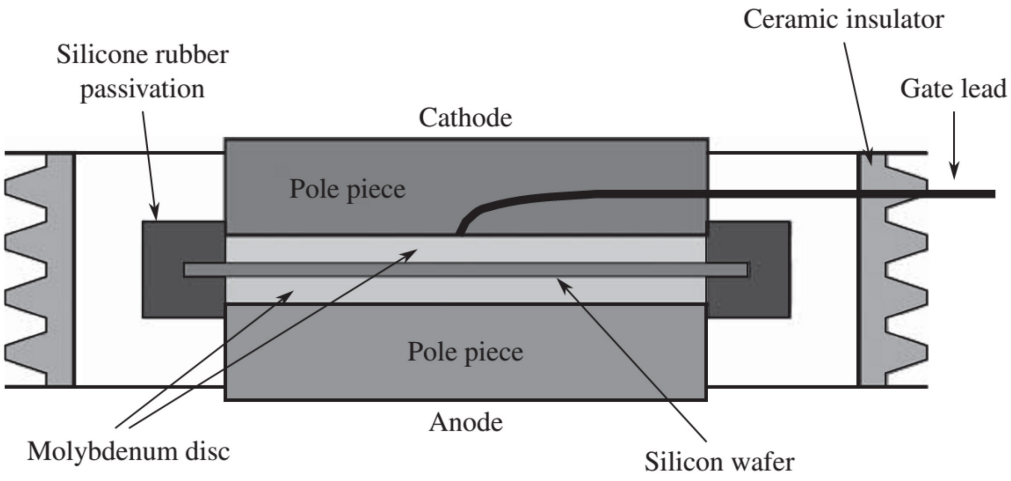


Figure B-34: Structure interne d'un module press-pack [45].

Matériaux	CTE (ppm/K)
Si	2.6
SiC	4
Cu	16
Al	23
Mo	5.2

Tableau B-5: Coefficients de dilatation thermique (CTE) des différents matériaux.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La mise en fonctionnement des boîtiers press-pack fait appel à un système de serrage nommé «clamping device». Ce type de montage permet la mise en série de plusieurs composants dans un volume réduit pour réaliser des interrupteurs à haute tension (Figure B-35). Pour un bon fonctionnement, les boitiers doivent être maintenus en pression. La qualité du contact électrique et thermique dépend fortement de la pression. La mise en pression au niveau des composants doit être uniforme afin d'assurer un bon contact thermique et électrique. Un contact non uniforme peut entraîner une focalisation des densités de courant sur les puces, entrainant l'apparition d'un point « chaud » et la destruction du module. Les dissipateurs utilisés dans les brides sont principalement des plaques à eau déminéralisée (Figure B-35). L'utilisation de plaque à eau se justifie par le niveau important de flux thermique à extraire.

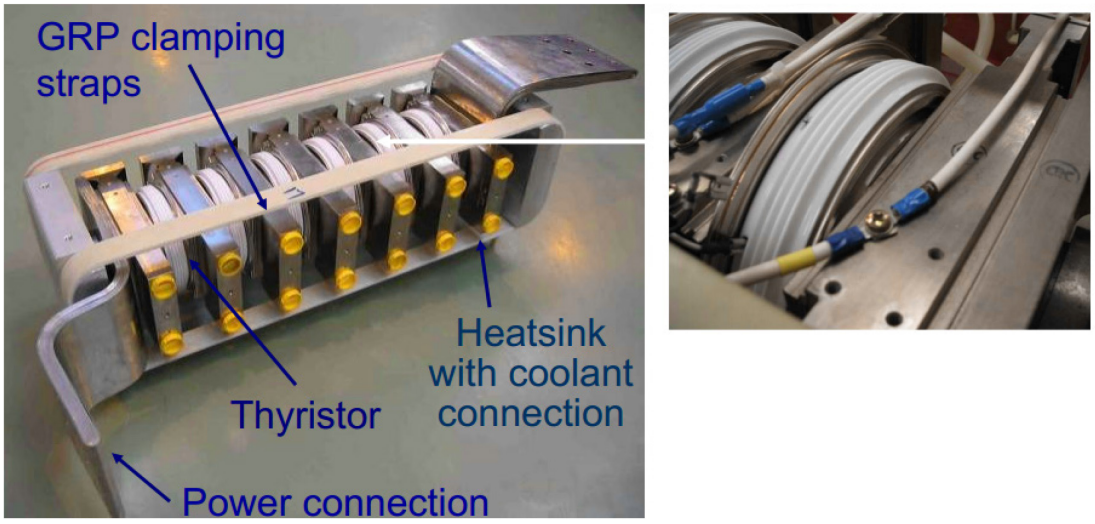


Figure B-35: Exemple de mise en série des thyristors press-pack dans une bride [51]**.**

D'un point de vue électrique, le point fort des structures press-pack repose sur leur capacité à « mourir » en court-circuit, ce qui représente un atout pour la fiabilité des convertisseurs HVDC. Cette solution initialement développée par ABB a fait l'objet de plusieurs brevets [52] [53] et consiste à utiliser une couche métallique composée d'un matériau approprié en contact direct avec les électrodes de la puce Si (Figure B-36). Les matériaux tels que l'argent (Ag) ou l'aluminium (Al) sont utilisés car ils permettent d'obtenir des alliages à bas point de fusion avec le silicium. En cas de défaut, une densité de courant importante traverse une zone résistive entraînant une augmentation de la température du silicium qui peut atteindre sa température critique. A cette température, il y a emballement thermique local, la génération thermique de porteurs dépasse le niveau de dopage rendant le silicium incapable de bloquer le courant. L'emballement conduit localement le silicium à la fusion (1414°C) et aboutit à la destruction de la puce par filamentation du cristal semi-conducteur. Le composant se présente alors comme un court-circuit (voir *la phase 1* de la Figure B-36). Par passage du courant nominal dans la puce défaillante, un conducteur à l'état fondu commence à se former sur la surface de contact entre Al et Si (*Phase 2* de la Figure B-36*)*. La zone de fusion va ensuite s'étendre sur toute l'épaisseur de la puce Si, formant un canal conducteur, qui fournit un court-circuit stable (*Phase 3* de la Figure B-36 , Figure B-37). L'augmentation de section apparente amène à une réduction de la résistance électrique et de l'effet joule.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

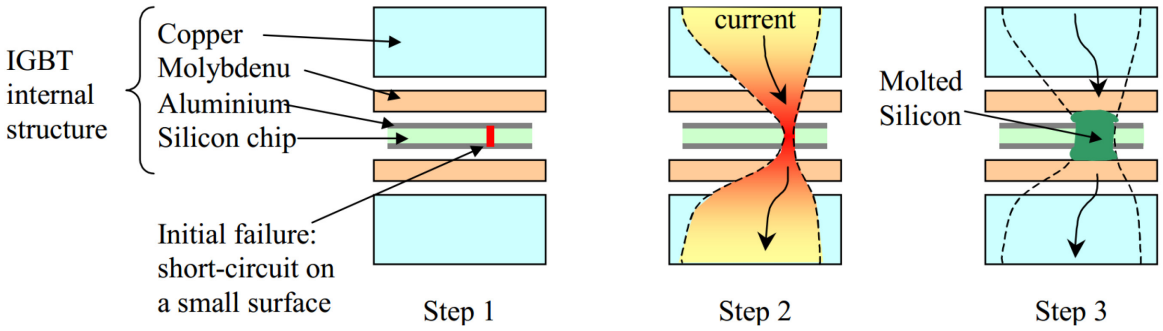


Figure B-36: Le déroulement de la défaillance au sein d'une structure Press-Pack [54]

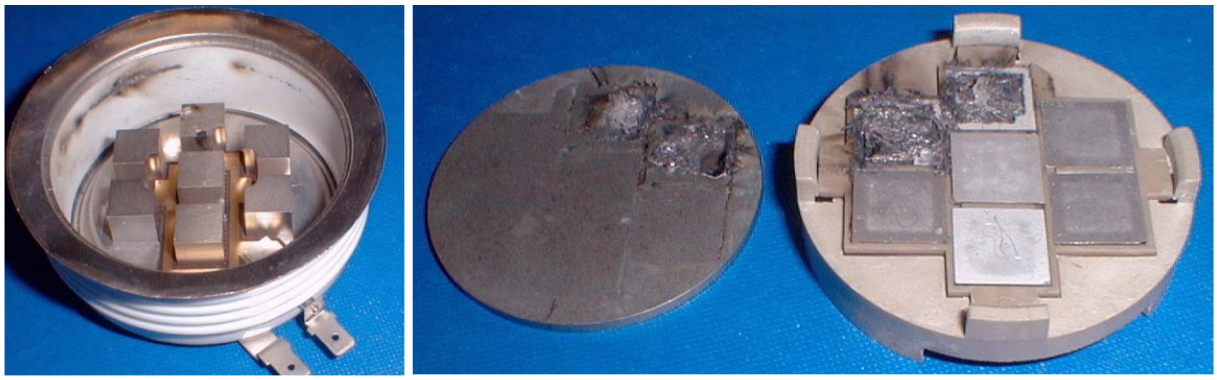


Figure B-37: Exemple de défaillance d'un Module Press-Pack IGBT en court-circuit [55].

B.4.3. Boitiers StakPak:

Les boitiers que nous venons de décrire sont relativement bien connus et exploités pour les applications HVDC. Toutefois, leur point limitant provient de la difficulté à assurer une pression homogène au niveau des puces mises en parallèle. ABB a résolu ce problème en développant une nouvelle génération de module appelé "StakPak". Ce dernier combine les technologies de contact par ressorts et *Press Pack*. La Figure B-38 montre une photo d'un module StakPak. Les zones rectangulaires grises sur la face supérieure du module représentent les surfaces de collecteur des sous-ensembles du module de puissance. Chaque sous-ensemble contient un certain nombre de puces qui sont mises en contact électriquement et thermiquement à l'aide d'un système de ressorts individuels pour chaque puce. Une pression globale est exercée sur le couvercle du module. Grâce aux ressorts, cette dernière est répartie individuellement sur chacune des puces. La Figure B-39 montre la structure interne d'un module IGBT StakPak. Dans cette figure, on voit que les puces sont brasées en face arrière par un joint SnPb sur un substrat molybdène assurant la compatibilité des CTE sur une grande surface de boîtier. Comme pour les boitiers Press-Pack, le mode défaillance de court-circuit est obtenu en utilisant une couche d'aluminium ou d'argent en contact avec l'électrode du silicium. En cas de défaillance d'une puce, cette dernière dissipe une puissance amenant à la fusion de la couche d'aluminium. Une fois que le point eutectique est atteint, la métallisation fondu forme un alliage conducteur avec le silicium et fournit ainsi un court-circuit

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

stable. La Figure B-40 illustre un exemple de l'alliage résultant Al-Si obtenu après un test destructif effectué sur module StakPak. Cet alliage conducteur a une composition correspondant à l'eutectique avec 87% Al et 13% Si (pourcentage en masse) [56].



Figure B-38 : Photo d'un module StakPak IGBT (4.5kV/2000A) développé par ABB [57]**.**

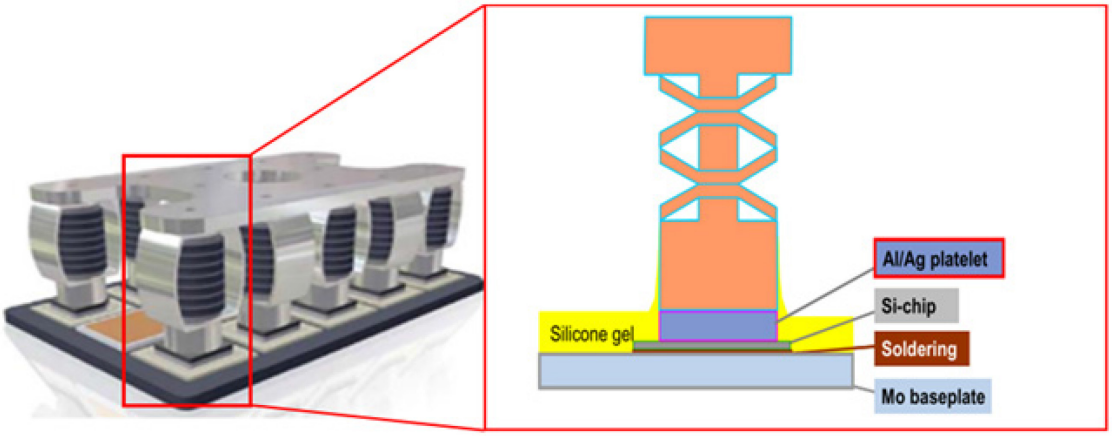


Figure B-39: Structure interne d'un StakPak IGBT [55].

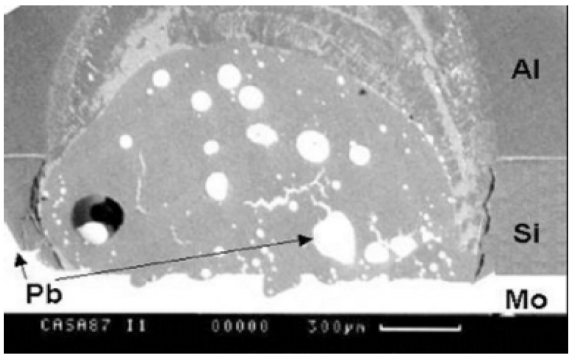


Figure B-40: Observation au MEB d'un canal conducteur traversant la puce défaillante, causant le mode de défaillance de court-circuit du module StakPak [56]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Dans le tableau ci-dessous, nous proposons une synthèse des points forts et des points faibles de chacune des deux grandes familles de boitiers des modules de puissance à savoir les "Press-Pack/StakPak et "les modules conventionnels".

Caractéristique	Press-Pack/StakPak	Module conventionnel
Refroidissement	Couteux, refroidissement double faces avec de l'eau déminéralisée.	Simple, refroidissement sur une seule face des composants.
Robuste aux explosions	Oui	Non, une énergie disruptive peut entrainer la dislocation du module.
Montage	Couteux, montage sous forme de « Stack ».	Simple, montage sur dissipateur thermique isolé.
Durée de vie	Grande: Aucun fils de bonding.	Moyenne : Contraintes thermomécaniques élevées (Dégradation des brasures et fils de bonding).
Mode de défaillance	Court-circuit	Circuit ouvert
Redondance	Possibilité de concevoir un convertisseur avec des éléments redondants.	Non, défaillance du module en circuit ouvert. Nécessite un interrupteur mécanique en parallèle.

Tableau B-6: Comparaison entre les deux technologies de modules press-pack et conventionnel.

B.5. Conclusion :

Nous avons commencé ce chapitre introductif en présentant une description des différents constituants d'un module de puissance. Dans cette partie nous nous sommes intéressés aux différentes techniques de connexion. Nous avons énuméré par la suite les principaux mécanismes de défaillance que l'on rencontre dans les modules de puissance. Durant cette étude, nous avons pu classer ceux-ci en fonction de leur mode de défaillance (court-circuit ou circuit ouvert). Au cours de cette partie nous avons constaté que les origines de la défaillance des modules de puissance sont multiples : vieillissements thermique, surcontraintes électrique, défaillances dues à la commande,….

Bien qu'elles soient issues de phénomènes physiques différents, il apparaît que, à l'exception des défaillances dues au cyclage thermique et corrosion, les modules possèdent toujours le même mode de défaillance initial : celui du court-circuit. C'est suite aux contraintes électriques appliquées après défaillance que l'impédance du module défaillant évolue. Par exemple, un surcourant imposé par l'extérieur peut entraîner la fusion de fils de bonding entre les puces et le boîtier et donc une évolution du module vers celle d'un circuit ouvert. La présence des fils de bonding est ainsi un maillon faible dans la recherche de fiabilité des modules de puissance. En vue de la conception du module Fail-to-short, le remplacement des fils de bonding par d'autres solutions d'interconnexion s'avère nécessaire.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C. CHAPITRE II : Les modes de défaillance des puces SiC dans les boitiers conventionnels.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.1. Introduction:

La fiabilité d'un convertisseur HVDC passe par celle des composants pris individuellement. Dans la mise en série des composants haute tension, les causes de sur-contraintes électriques sont nombreuses: influence de l'inductance parasite (due au câblage), décalages des ordres de commande ou encore répartition non uniforme entre les composants suite à la défaillance d'un d'entre eux. Si on suppose que les composants ne sont pas protégés, ils ont alors à supporter des phases de fonctionnement extrême (sur-courant ou avalanche). L'utilisation de ces composants dans des applications haute tension nécessite au préalable des phases de test sous ces conditions sévères afin d'étudier leur robustesse.

Dans ce contexte, l'étude que nous allons présenter dans ce chapitre vise à analyser le comportement des interrupteurs de puissance en carbure de silicium en boîtiers conventionnels quand ils sont soumis à des régimes d'avalanche et de sur-courant. Cette étude est réalisée dans l'optique de vérifier la robustesse des composants étudiés, d'identifier leurs énergies critiques, et enfin d'analyser les modes de défaillances des puces SiC en boitiers conventionnels. Elle servira de base de comparaison pour l'étude des boîtiers "Fail-to-short" présentée dans les chapitres 3 et 4.

La première partie du chapitre sera consacrée à la description des bancs de test ainsi que des protocoles expérimentaux que nous avons utilisé. Ensuite, nous présenterons une synthèse comparative qui évalue la robustesse des différents composants de puissance en SiC. Enfin, un modèle éléments finis thermique 3D a été réalisé afin de mieux appréhender le comportement des composants.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.2. État de l'art sur les méthodes de test en régimes de fonctionnement extrêmes:

C.2.1. Régime de sur-courant:

Le régime de sur-courant est un mode de fonctionnement accidentel qui survient lorsqu'un composant de puissance se trouve dans un état de conduction avec un courant très élevé. Dans ce cas de figure, seules les caractéristiques intrinsèques du composant et l'inductance de câblage seront capable de limiter le courant du défaut. Ce régime de fonctionnement est extrêmement critique en raison du niveau d'énergie dissipée par le composant. Si on prend l'exemple d'un convertisseur MMC-HVDC (Figure C-1), en cas d'un défaut de court-circuit survenant sur les lignes DC, les diodes antiparallèles du convertisseur seront exposées à des courants transitoires très élevés, qui peuvent être plus de 10 fois supérieur au courant nominal [58]. L'utilisation des composants SiC (Ex. MOSFET, BJT) dans les applications HVDC, nécessite une étude approfondie pour évaluer la fiabilité et la robustesse de ces composants dans un tel mode de fonctionnement.

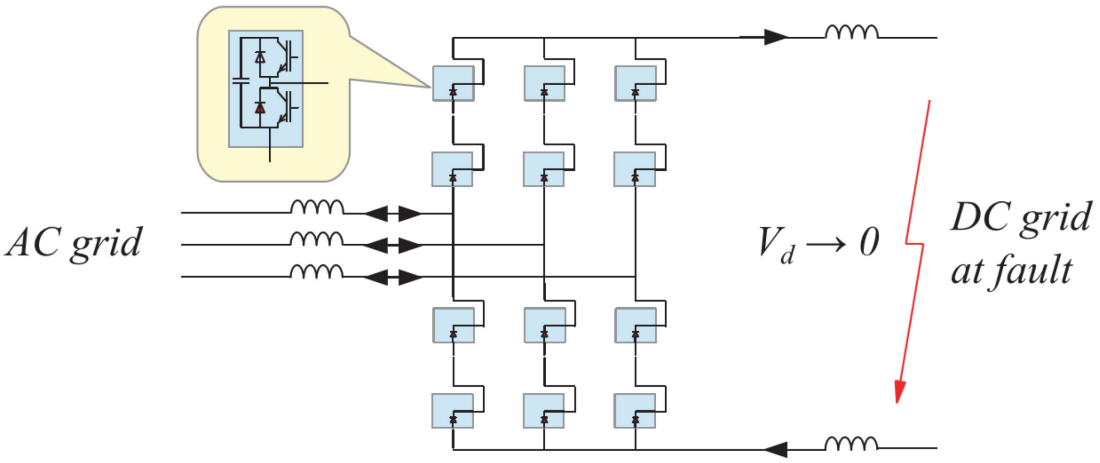


Figure C-1: Cas d'un défaut survenant sur les lignes DC d'un convertisseur MMC [59].

La Figure C-2 présente le schéma de principe pour tester les composants en régime de court-circuit et éventuellement en sur-courant. D'après cette figure, on peut définir deux types de court-circuit (type I et type II) auxquels peuvent être soumis les composants de puissances et qui peuvent aboutir à leurs destruction [60].

- ***Le court-circuit de type I*** se produit lorsque la complémentarité de conduction est interrompue suite à un défaut de commande. Considérons le schéma de la Figure C-2, et supposons que l'IGBT 1 est à l'état bloqué pendant que l'IGBT 2 passant. En appliquant une impulsion de +15 V sur le transistor du bas, le bras est court-circuité pendant une durée fixée par exemple à 5 µs. En phase de court-circuit, il apparaît un fort courant de court-circuit qui circule à travers les deux IGBTs. Le front de courant de court-circuit $\frac{dIcc}{dt}$ est imposé par l'impédance équivalente du circuit (IGBTs, câblage). Par ailleurs, suivant les caractéristiques statiques Ic=f(Vce) des IGBTs, pour différents seuils de V_{GE} et un courant de court-circuit I_{cc} donné, c'est l'IGBT ayant la plus faible tension de grille à l'instant du défaut qui rentre dans sa zone de désaturation, et donc limite le courant de court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

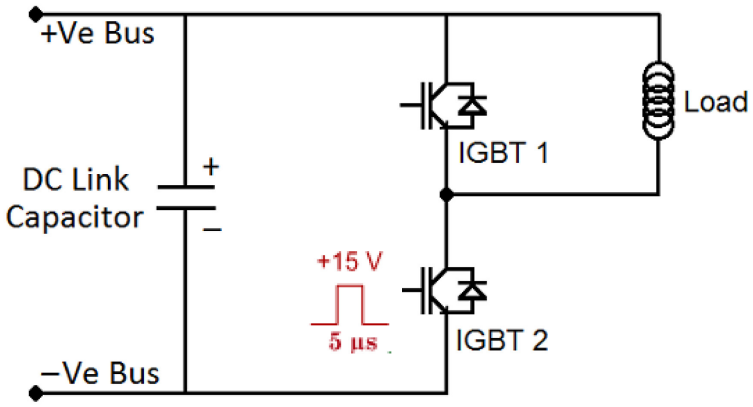


Figure C-2: Schéma de principe utilisé pour l'étude des composants SiC en régime de court-circuit [60].

- ***Le court-circuit de type II*** se produit lorsque la défaillance en court-circuit d'un interrupteur ou de la charge pendant que l'autre composant du même bras est en conduction. Reprenons l'exemple de la Figure C-2, en supposant cette fois-ci que la charge est court-circuitée alors que l'IGBT 2 est déjà à l'état passant. Dans ce cas, la source de tension Ve est immédiatement court-circuitée. la rapide variation de tension aux bornes de l'IGBT 2 va conduire à une élévation de la tension de grille par effet capacitif Miller, qui aura pour effet d'augmenter transitoirement la valeur du courant de court-circuit limitée par l'IGBT [61]. A l'inverse du court-circuit type I, le front de courant de court-circuit $\frac{dIcc}{dt}$ est plus contraignant qu'un défaut de type I.

Dans ces deux cas, L'énergie de court-circuit E_{CC} dissipée dans le composant est calculée par l'équation suivante : $E_{cc} = \int V_{ce}(t).i_{cc}(t).dt$ (1)

C.2.2. Régime d'avalanche

En général, les composants de puissance sont conçus de façon à tenir, à l'état bloqué, des surtensions supérieures à la tension nominale donnée dans le document constructeur. Cependant, lorsque la tension à l'état bloqué dépasse une certaine valeur, dite tension de claquage par avalanche (notée V_{BR}), le composant peut rentrer dans une phase de destruction. Dans une application HVDC, rappelons que les composants sont connectés de façon à se répartir la tension globale à l'état ouvert (Figure C-3). La répartition non uniforme entre les composants suite à la défaillance d'un d'entre eux peut entraîner des surcontraintes sur les composants encore en fonctionnement, qui peuvent aboutir à leur destruction. Le montage classiquement employé, pour caractériser les composants en régime d'avalanche, utilise la technique d'ouverture sur source de courant (Figure C-4). Cette méthode décrite dans une norme JEDEC [8] consiste à faire croître un courant dans une inductance (L) à travers un interrupteur fermé (K). Puis, en bloquant le composant sous test, on le fait entrer en régime d'avalanche. La tension d'avalanche, largement supérieure à la tension d'alimentation du banc (Vdc), permet l'annulation du courant dans l'inductance. Les formes d'ondes idéalisées sont représentées dans la Figure C-4. Le calcul de l'énergie dissipée par le composant en phase d'avalanche peut se faire à partir de la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Figure C-5 qui n'est autre que l'intégrale du produit $I_L.V_{AK}$ entre les instants t = t_1 et t = t_2 où la tension supportée par le composant est égale à la tension de claquage dynamique V_{BR}.

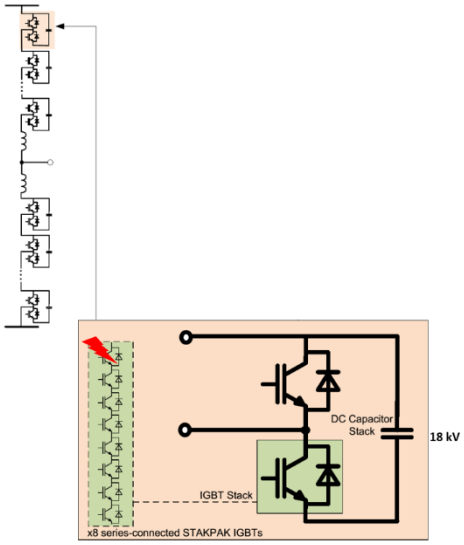


Figure C-3: Schéma d'une cellule utilisé dans un convertisseur HVDC-MMC: illustration un cas de défaillance en avalanche [62].

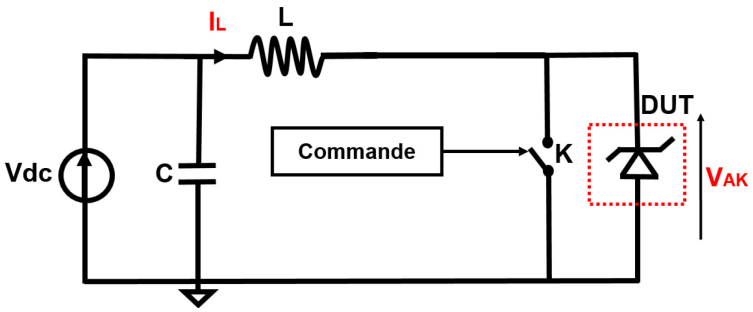


Figure C-4: Schéma de principe du banc UIS (Unclamped Inductive Switching) pour les tests en avalanche.

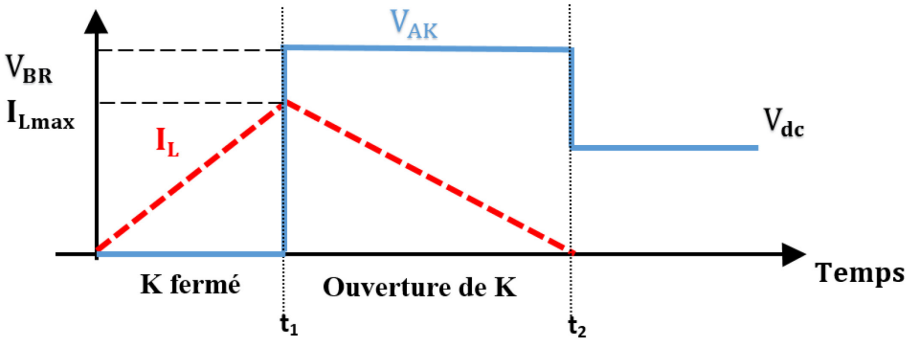


Figure C-5: Formes d'ondes relevées avec la méthode UIS.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.3. Banc de test réalisé pour les régimes de fonctionnement extrêmes:

C.3.1. Essai en régime de sur-courant:

C.3.1.1 Description du montage

Le banc de sur-courant utilisé dans notre étude est un banc similaire à celui qu'on trouve dans la littérature pour les tests en court-circuit des MOSFETs ou IGBTs [63]. Le schéma de principe du banc est représenté sur la Figure C-6. Le banc est constitué des éléments suivants :

- Une alimentation haute tension continue (3 kV, 400 mA).
- Un banc de capacité de 1250 µF. Ce banc est composé de deux condensateurs haute puissance à film de 2500 µF /2 kV_{DC}. Ces derniers sont reliés en série afin de tenir jusqu'à 4 kV_{DC} ou connectés en parallèle pour les essais de court-circuit à plus faible tension.
- La mise en conduction du composant sous test court-circuite la source de tension continue. Le composant sous test se retrouve ainsi en régime de court-circuit. En cas de défaillance, le courant dans la maille de puissance croît très rapidement selon les valeurs imposées par la source de tension continue d'alimentation et celle de l'inductance parasite du circuit. Un module IGBT 3.3 kV/500 A, mis en série avec le composant sous test (Device Under Test noté DUT), permet d'interrompre le courant avant que le DUT n'explose. En d'autres mots, le module IGBT joue le rôle ici d'un disjoncteur statique. Lorsque le courant dans circuit de puissance dépasse un certain seuil (Ex. 300 A), l'IGBT doit s'ouvrir rapidement.
- Une carte de commande qui comporte deux circuits de commande. Un pour contrôler l'IGBT de protection et l'autre pour commander le composant sous test ou le cas d'un interrupteur supplémentaire dans le cas où le DUT est une diode (Annexe 4).
- L'ensemble du banc est commandé par générateur d'impulsion. Ce dernier permet de contrôler la durée de la phase de sur-courant.

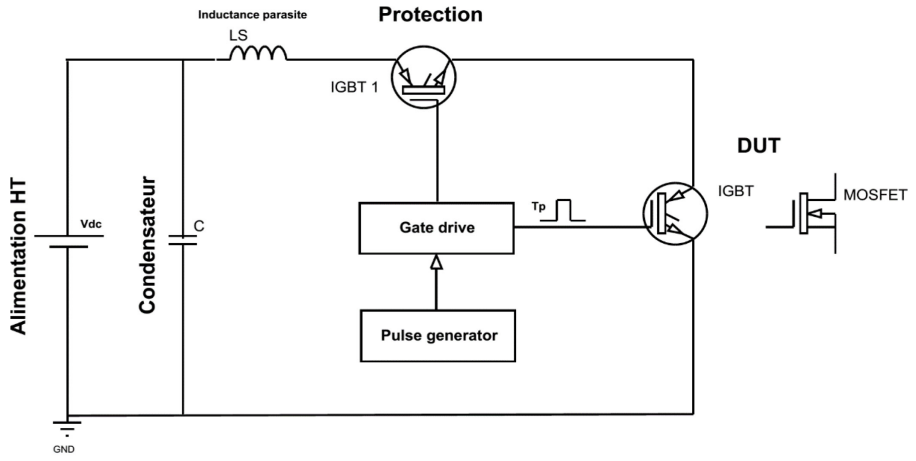


Figure C-6: Schéma de principe du banc de test des IGBTs et MOSFETs en régime de sur-courant [63].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

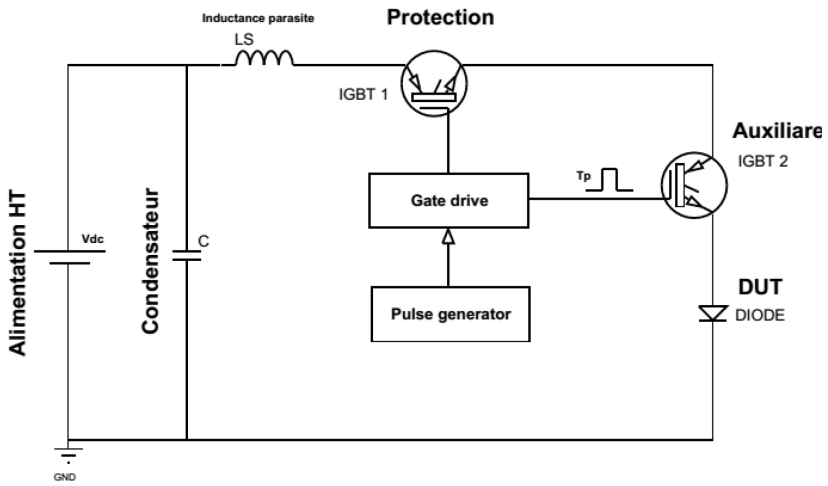


Figure C-7: Schéma de principe du banc de test des diodes en régime de sur-courant.

La Figure C-8 présente le banc de test développé pour réaliser les essais en régime de fonctionnement extrême. L'interface de commande a été conçue pour pouvoir accueillir la carte électronique (qui doit piloter à la fois DUT et IGBT de protection). Comme on le voit sur l'Annexe 1, divers boutons de commandes ont été placés sur la face avant du pupitre afin d'alimenter et de contrôler le banc.



Figure C-8: Photo du banc de test réalisé pour les régimes de fonctionnement extrême.

Des dispositifs de sécurité ont été intégrés dans le banc permettant la protection de l'utilisateur au moment des tests. Pour empêcher l'accès à des pièces nues sous tension, on a utilisé un contacteur haute tension 3 kVDC /125 A (Annexe 2) de telle sorte qu'au moment de l'ouverture du capot, on isole la zone de test par rapport au banc de capacités. À l'arrêt du banc, une résistance de puissance ($48\ k\Omega; P = 187\ W$) est utilisée afin de décharger le banc de capacités. Enfin, pour veiller à ce que ce dernier est bien déchargé, un sectionneur a été rajouté permettant un court-circuit physique du banc capacité ainsi que la mise à la terre du circuit (Annexe 3).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La Figure C-9 présente les formes d'ondes du courant de drain, I_D, et de la tension drain-source, V_{DS}, pendant un essai de court-circuit d'un MOSFET SiC (C2M0080120D) non destructif. Pendant la phase de court-circuit, le MOSFET est rendu passant avec une tension V_{GS} = +15 V. Au début de cette phase, le courant de drain augmente rapidement et présente un pic de 260 A, puis diminue progressivement jusqu'à la fin de la phase de court-circuit. On note que la forte valeur de la résistance de grille R_{GOFF} permet de limiter la vitesse de variation du courant au blocage ($\frac{dI}{dt}$ de l'ordre de 10-20 A/µs), ce qui évite une trop forte surtension au blocage (Dans l'exemple ci-dessous, la surtension relevée est de 100 V).

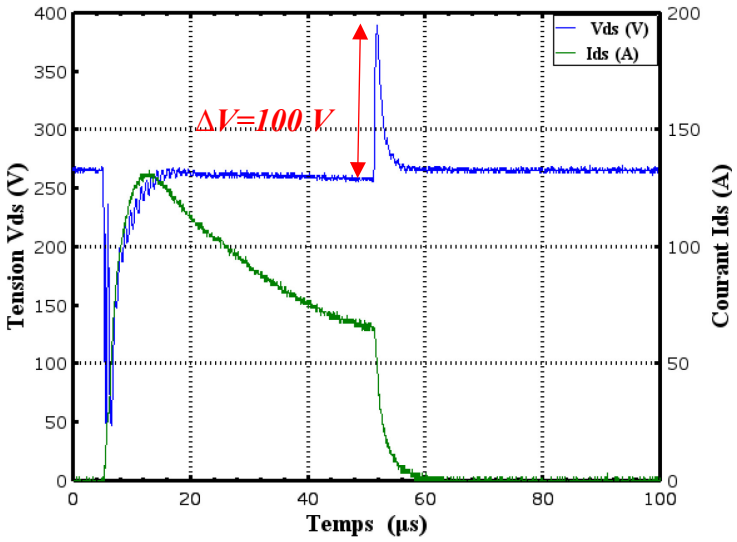


Figure C-9: Formes d'ondes V_{ds}-I_{ds} du MOSFET SiC C2M0080120D à l'ouverture du courant de court-circuit (T_c=25°C, U_{dc}=260V; V_{GS}=15V; R_{Goff}=1.2kΩ).

L'IGBT de protection a un double rôle:

- *Limiteur de courant:* Sa tension de commande est choisie de façon à ce qu'il passe en saturation pendant la phase de court-circuit du DUT, assurant aussi une limitation du courant de défaut.
- *Disjoncteur statique :* En cas de défaillance du composant, le courant a tendance à augmenter très rapidement, cela peut engendrer une éventuelle explosion du composant sous test. La Figure C-10 présente les formes d'ondes (I_{DS} et V_{DS}) mesurées aux bornes d'un MOSFET SiC subissant un test d'un court-circuit destructif. La destruction du MOSFET se manifeste à t=86 µs sous forme d'une augmentation rapide du courant dans la maille de puissance. Dès que ce courant excède 500 A, l'ordre de blocage est appliqué sur l'IGBT de protection. Le blocage n'est pas rapide, et le courant de défaut continu d'augmenter pour atteindre une valeur maximale proche de 1320 A provoquant l'explosion du boitier (Figure C-11). Il faut ensuite environ 32 µs pour ramener le courant traversant le MOSFET à zéro. Cette durée élevée est liée à la valeur élevée de l'inductance de câblage et à la faible vitesse de commutation de l'IGBT de protection.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

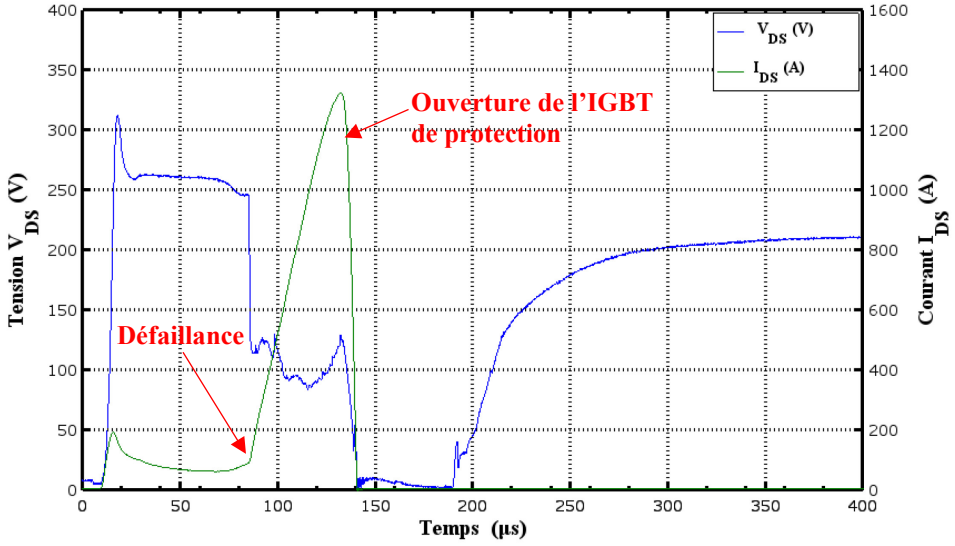


Figure C-10: Formes d'ondes lors d'un court-circuit destructif effectué sur un MOSFET SiC C2M0080120D (Tc=25°C, V_{GS}=+15 V; V_{DS}=260 V; R_{Goff}=1.2 kΩ).

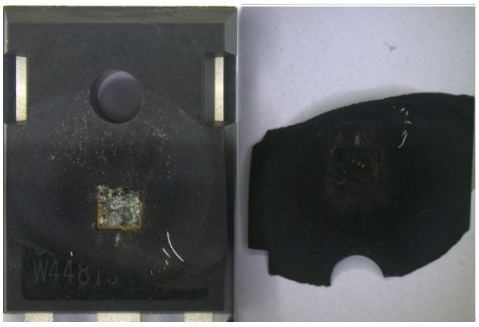


Figure C-11: photographie d'un MOSFET SiC C2M0080120D testé en régime de sur-courant. Le test destructif a conduit à la projection d'une partie du boitier TO-247.

C.3.1.2 Protocole expérimental:

On appellera "l'énergie critique" comme l'énergie minimale amenant à la défaillance directe du composant sous test.

Pour estimer l'énergie critique, nous avons choisi le protocole de test décrit ci-dessous. Ce dernier concerne tous les essais réalisés sur différents composants en régime de sur-courant :

- Tous les tests sont réalisés à température ambiante (25°C).
- La durée de court-circuit appliquée aux composants sous test est commandée par un générateur d'impulsion en mode "mono-pulse".
- Durant chaque test, on fixe la valeur de la tension du banc de capacités. Puis, on augmente progressivement l'énergie dissipée en augmentant la durée de court-circuit jusqu'à faire apparaitre la défaillance. Le test s'achève lorsque la commande du composant sous test devient inopérante.

L'énergie critiqué notée "E_C" est déterminée grâce aux formes d'ondes courant/tension relevées aux bornes du composant durant la phase court-circuit. Deux cas de figure sont distingués pour le calcul de cette énergie:

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

- Lorsque le DUT est détruit avant qu'il ne reçoive l'ordre de commande au blocage au niveau de la grille, l'énergie critique, E_c, est déterminée à partir de l'instant de la mise en conduction du composant jusqu'à l'instant de la défaillance, qui se traduit par une croissance très rapide du courant de court-circuit (Figure C-12 (a)).
- Si le composant n'est pas détruit pendant le court-circuit, mais quelques dizaines de microsecondes après la phase de blocage (défaillance retardée), le calcul de l'énergie s'effectue de l'instant de la mise en conduction du composant jusqu'à l'apparition du défaut. Ce cas de figure est illustré par la Figure C-12 (b) présentant une défaillance retardée du composant pendant un essai de court-circuit.

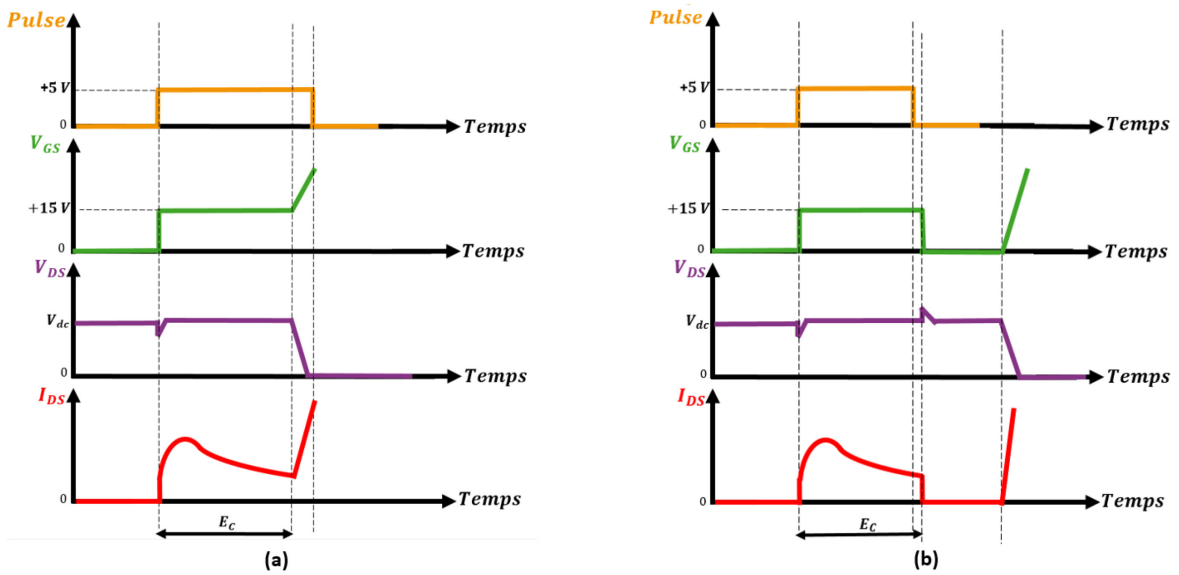


Figure C-12: Formes d'ondes idéalisées du comportement d'un MOSFET en régime de court-circuit: (a) Cas d'une défaillance qui s'est produite avant l'ouverture du composant ; (b) Cas d'une défaillance qui a eu lieu après l'ouverture du composant (Défaillance retardée).

C.3.2. Essai en régime d'avalanche:

C.3.2.1 Description du montage

Le schéma présenté dans la Figure C-4, a l'avantage de la simplicité de réalisation. Néanmoins, elle demande l'utilisation des différentes inductances pour contrôler l'énergie d'avalanche. Pour des raisons de praticité, nous avons préféré une autre approche, qui nous permet de réutiliser le même banc que pour les tests en court-circuit. En particulier, nous utilisons le même élément pour le stockage de l'énergie (le banc de capacités). Le schéma de principe du banc d'avalanche est représenté dans la Figure C-13. Le principe de fonctionnement est d'appliquer un créneau de haute-tension sur le composant à caractériser en régime d'avalanche en fermant l'interrupteur K et en limitant le courant de défaut grâce à la résistance R.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

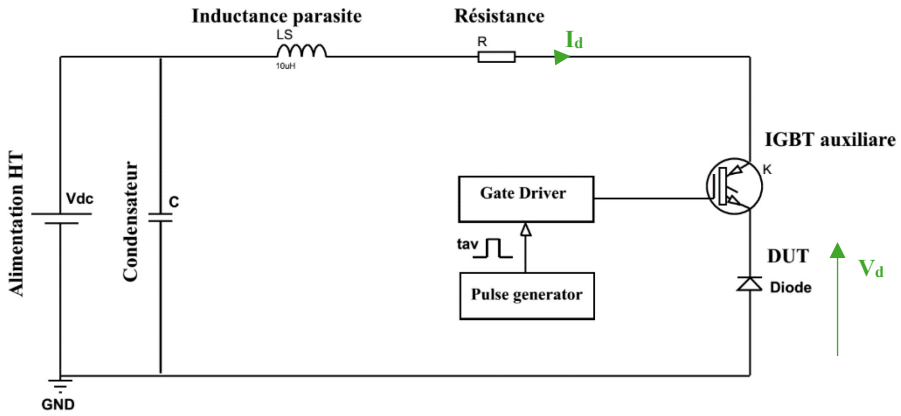


Figure C-13: Banc de test expérimental réalisé pour l'évaluation de la robustesse des composants aux régimes d'avalanche.

C.3.2.2 Protocole de test :

Les tests d'avalanche sont réalisés à 25 °C avec une résistance de limitation de courant (10 Ω). Pour chaque test, on fixe la valeur de la durée d'avalanche à travers un IGBT auxiliaire mis en série avec le composant sous test. Puis, on augmente progressivement l'énergie dissipée en augmentant la durée d'alimentation du banc jusqu'à faire apparaitre la défaillance. Avant la défaillance, le composant peut supporter plusieurs impulsions haute tension. Cependant, au moment de sa défaillance, le composant n'est plus capable de maintenir une tension continue à ses bornes. L'énergie conduisant à la défaillance de l'appareil est déterminée en mesurant la tension et le courant inverse du DUT en utilisant respectivement une sonde de courant (Pearson 4997) et une sonde à haute tension (PHV 662-L). Le calcul de l'énergie critique peut aisément se faire à partir de la Figure C-14 qui n'est autre que l'intégrale du produit $I_d.V_d$, entre les instants $t = t_1$ et $t = t_2$.

La Figure C-14 montre les formes d'ondes idéales d'un composant défaillant obtenues en fonctionnement avalanche: V_{GE} est le signal de grille appliquée à l'IGBT auxiliaire K (orange); I_d est le courant inverse dans le DUT (violet); V_D est la tension inverse mesurée aux bornes du DUT (vert) et E représente l'énergie dissipée dans le composant sous test (rouge). Dans cette figure, nous pouvons distinguer trois phases distinctes :

- **Phase 1:** Quand l'interrupteur K est ouvert, V_D est initialement égal à $V_i \approx 0$.
- **Phase 2:** Une fois que l'impulsion est appliquée à l'IGBT auxiliaire ($t_1 \leq t \leq t_3$), et si la tension d'alimentation du banc est supérieure à la tension de claquage de la diode ($V_{BR} < V_{DC}$), un courant circule à travers la diode. À ce stade, le courant d'avalanche est limitée par la résistance ($I = (V_{dc} - V_{BR}) / R$) à quelques ampères.
- **Phase 3:** Au moment de la défaillance (t_2 sur la Figure C-14), la tension aux bornes du DUT s'écroule, tandis que le courant augmente à $I = V_{dc}/ R$. Si aucune résistance de limitation n'était utilisée, le courant pourrait alors atteindre des valeurs très élevées, l'échauffement entraînerait alors la destruction du composant empêchant toute analyse de défaillance.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

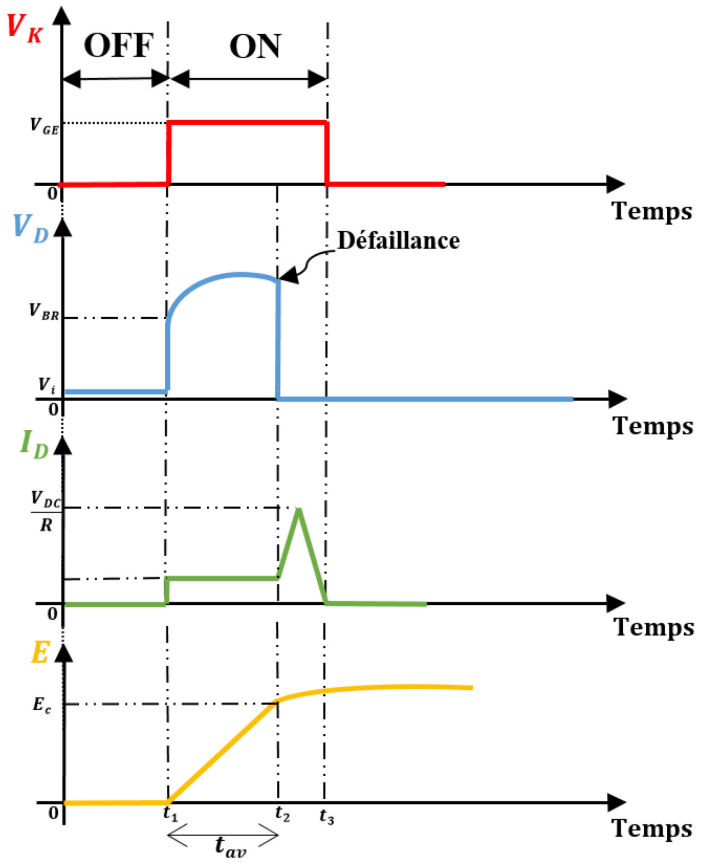


Figure C-14: Formes d'ondes idéalisées du comportement d'une diode Schottky en essai d'avalanche (Cas d'une défaillance).

C.4. Résultats des essais en régimes extrêmes:

Dans ce chapitre, nous avons testé différents composants de puissance (MOSFET, IGBT et diode) de deux fabricants, d'un calibre en courant de 20 à 36 A, de tenue en tension 1200 V. Tous les essais ont été réalisés sur des composants mono-puce. Le Tableau C-1 ci-dessous récapitule les principales caractéristiques des composants testés. Nous allons nous intéresser dans ce chapitre aux modes de défaillance des puces en boîtiers conventionnels. Nous nous concentrons en particulier sur la valeur de l'énergie dissipée dans les régimes de fonctionnement extrêmes.

Composant (Réf)	V (V)	I (A)	Ron (mΩ)	Dimensions de la puce (mm²)	Type de test réalisé	Boîtier
MOSFET SiC (C2M0080120D)	1200	36	80	3.1 x 3.36	Sur-courant Avalanche	TO-247
Diode SiC (C4D20120A)	1200	20	80	3.08 x 3.08	Sur-courant Avalanche	TO-220
IGBT Si (NGTB25N120IHLWG)	1200	25	--	4.1 x 5.3	Sur-courant	TO-247

Tableau C-1: Récapitulatif des transistors testés en régime de sur-courant et d'avalanche.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.4.1. MOSFET SiC

C.4.1.1 Régime de sur-courant :

Pour déterminer l'énergie critique, l'énergie à partir de laquelle apparait la défaillance, nous faisons évoluer progressivement l'énergie dissipée dans le composant jusqu'à l'apparition de la défaillance. Nous faisons donc l'hypothèse que l'énergie de défaillance est indépendante au nombre des essais réalisés auparavant sur le composant sous test. Pour ce faire, nous commençons par une faible durée de court-circuit puis nous l'augmentons avec un faible pas de temps de l'ordre de la microseconde. Les formes d'ondes (V_{DS}, V_{GS}, I_{DS}) sont enregistrées à chaque essai.

La Figure C-15 présente à titre d'exemple les formes d'ondes du courant (I_{DS}), et de la tension (V_{DS}), relevé lors d'un test de court-circuit non destructif sur un MOSFET SiC (C2M0080120D). Pendant le régime de court-circuit, le composant sous test est rendu passant sous une tension V_{GS} = +15 V. Au début de cette phase, le courant I_{DS} augmente pendant les premières 12 µs du court-circuit et présente un pic d'une valeur de 129 A. Le composant conduisant un fort courant voit sa température interne augmenter rapidement. Cette élévation de température provoque par la suite une diminution du courant I_{DS}. Cela est dû à la corrélation entre l'élévation de température et la dégradation de la mobilité des porteurs de charges. Ainsi la résistivité du semi-conducteur tend à augmenter [64].
Comme indiqué dans la Figure C-15, le MOSFET assure bien l'ouverture du courant de court-circuit sans défaillance, le composant sous test est bloqué en appliquant une tension nulle à sa grille. L'énergie dissipée pendant ce test est de 1.1 J.

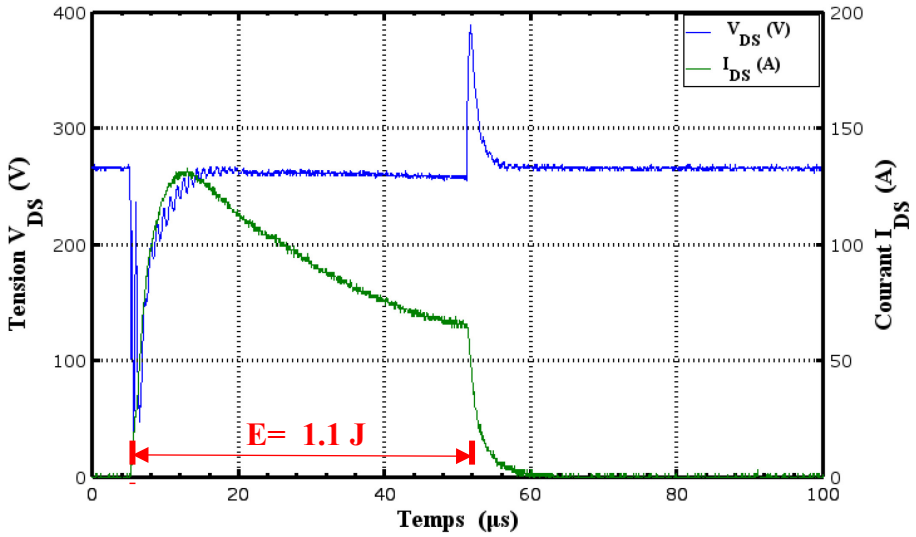


Figure C-15: Essai de court-circuit non-destructif réalisé sur un MOSFET SiC (C2M0080120D), T_{cc} = 51 µs, V_{GS} = +15 V, T_c = 25° C.

La Figure C-16 présente les formes d'ondes du courant (I_{DS}) et des tensions (V_{GS} et V_{DS}) à la défaillance d'un MOSFET. La défaillance apparait pour une durée de court-circuit T_{cc} = 56 µs ce qui correspond à une énergie dissipée de 1.21 J. A l'instant du défaut, la commande devient inopérante, le courant augmente très rapidement

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

tandis que la tension V_{DS} s'écroule jusqu'à s'annuler. La défaillance observée laisse supposer une destruction ressemblant à un phénomène de Latch-up dynamique. Le mode de défaillance observé est un court-circuit entre les trois terminaux (Grille-Drain-Source) du MOSFET [59].

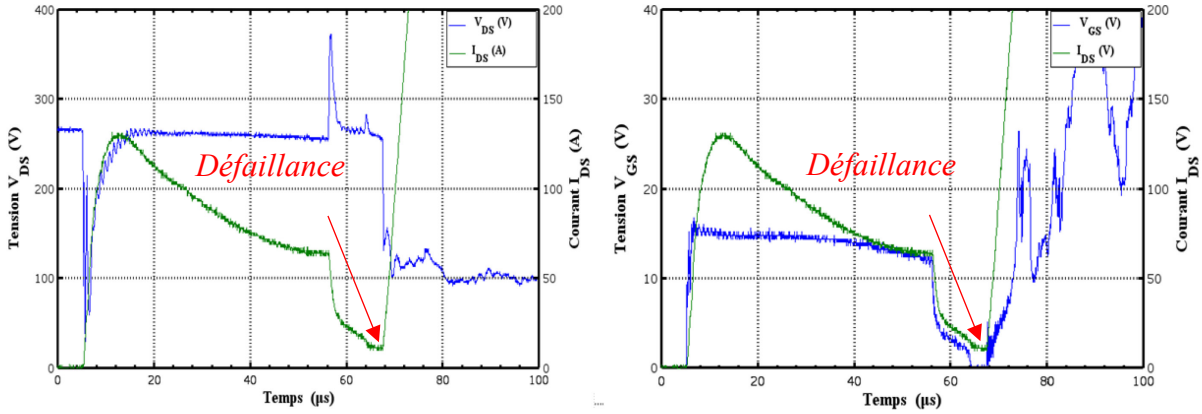


Figure C-16: Essai de court-circuit destructif réalisé sur un MOSFET SiC (C2M0080120D): T_{cc} = 56 µs, T_c = 25 ° C.

La Figure C-17 synthétise les résultats de robustesse en court-circuit obtenus sur plusieurs MOSFET SiC (1200 V/36 A) à T_c = 25°C. Dans cette figure, chaque composant testé jusqu'à sa destruction est représenté par un point, en fonction de son énergie critique et la durée de court-circuit qu'il a été en mesure de supporter avant que la défaillance n'apparaisse. Nous avons effectué plusieurs tests pour une même valeur de tension d'alimentation, afin de vérifier la reproductibilité des conditions de test.

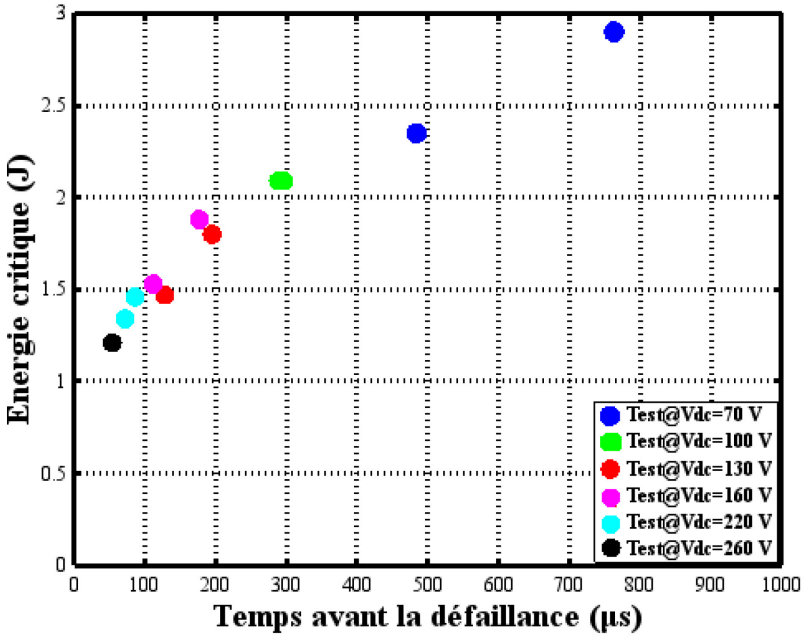


Figure C-17: Courbe de robustesse en régime de sur-courant, MOSFET SiC 1200V C2M0080120D (VGS=+15V, Tc=25 °C).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

En appliquant les mêmes conditions de test, on observe une légère variation de l'énergie dissipée principalement due à la précision de l'alimentation haute tension du banc (Résolution de l'affichage : 10 V). D'autre part, nous constatons que l'énergie critique dépend fortement de la tension d'alimentation (V_{DC}). En effet, les valeurs des énergies critiques décroissent de l'ordre de 70% lorsque la tension évolue de 70 V à 260 V. La Figure C-18 compare les énergies critiques pendant des tests de court-circuit pour le cas des IGBTs Si (NGTB25N120IHLWG) et MOSFETs SiC (C2M0080120D). D'après cette figure, on peut noter que les valeurs des énergies critiques des IGBT Si restent constantes. Au contraire, l'énergie critique évolue avec la tension d'alimentation (ou la durée d'impulsion) dans le cas des MOSFETs SiC.

Pour mieux comprendre ce qui se passe, nous avons suivi l'évolution de la tension de commande V_{GS}, durant les essais et à chaque augmentation de la durée de court-circuit. Les résultats montrent qu'au cours du court-circuit, la tension grille-source diminue (Figure C-19). De nombreux travaux de recherche [65] [66] ont étudié ce phénomène. Selon ces auteurs, la défaillance des MOSFETs SiC est souvent précédée par une dégradation significative de la grille lors du fonctionnement en court-circuit. Cette dégradation est due à l'apparition d'un courant de fuite significatif qui se manifeste soit au niveau de la grille (par une décroissance de la tension grille-source), soit entre drain et source par des changements au niveau de la forme d'onde du courant de saturation pendant le court-circuit, comme illustré sur la Figure C-19. Selon [67], il s'avère que le courant de fuite n'apparait que pour des épaisseurs d'oxyde très faibles ce qui n'est pas le cas des IGBT Si, d'où la différence de variation des énergies critiques des composants SiC et celle de leurs homologues en Si (Figure C-18).

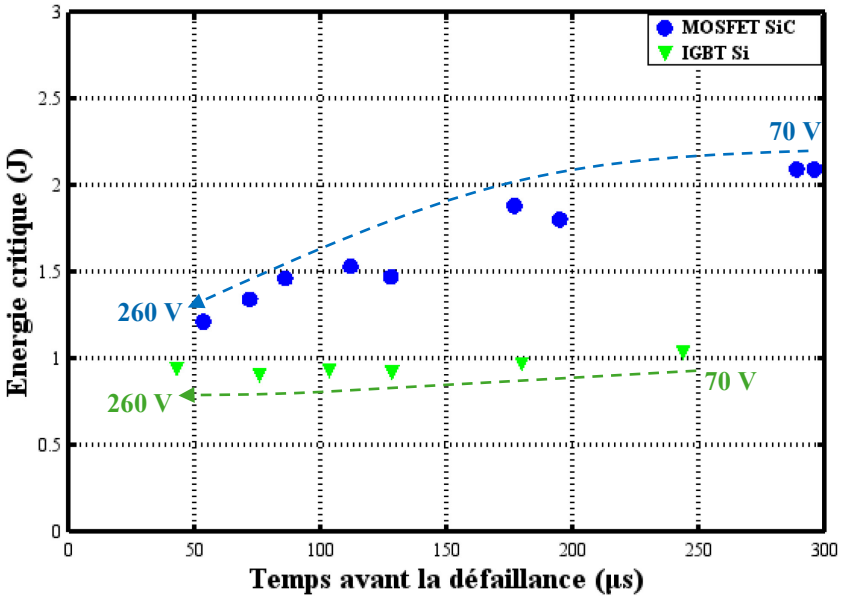


Figure C-18: Comparaison des énergies critiques des MOSFETs SiC (C2M0080120D) et IGBT Si (NGTB25N120IHLWG) soumis à des tests de court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

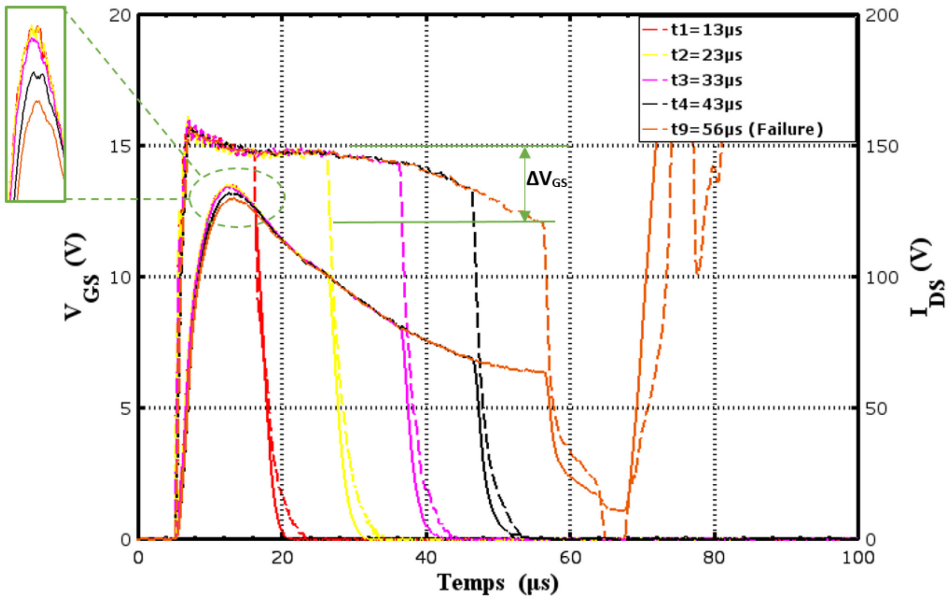


Figure C-19: Impact de l'augmentation de la durée de court-circuit sur les formes d'ondes (V_{GS} et I_{DS}) du MOSFET SiC (C2M0080120D). La tension d'alimentation V_{dc} a été fixée à 260 V. Puis, nous avons augmenté le pas de court-circuit jusqu'à l'apparition de la défaillance (T_C=25 °C).

Au regard des différents résultats des tests de court-circuit réalisés sur MOSFET SiC, deux modes de défaillance ont été identifiés:

- Une défaillance qui se produit au niveau de la grille, à l'état ouvert du composant et sous forme d'un court-circuit physique entre grille et source. Le défaut apparaît au niveau de la tension de grille V_{GS}, qui s'annule au moment du blocage (court-circuit entre grille et source). D'autre part, et à l'instant de l'apparition du défaut, le courant I_D s'annule et le composant continue à supporter la tension (circuit ouvert entre drain et source).
- Une défaillance qui se traduit par une augmentation rapide du courant de saturation et un écroulement de la tension V_{DS} (Figure C-16). Cette défaillance résulte de la forte élévation de température au sein du cristal et provoque une fusion locale au niveau de la puce SiC (court-circuit entre Grille-Drain-Source).

C.4.1.2 Régime d'avalanche :

Tous comme pour les essais effectués en régime de sur-courant, nous avons fait varier l'énergie dissipée dans le MOSFET SiC (1200 V-31.6 A) jusqu'à l'apparition de la défaillance (sous des conditions d'avalanche). La Figure C-20 présente des formes d'ondes du courant de drain I_D, et de la tension V_{DS}, pendant la phase d'avalanche du composant avant la défaillance. Dans cet exemple, le MOSFET supporte une phase d'avalanche de 24µs, correspondant à une énergie critique de 0.77 J, soit 7.39 J/cm².

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

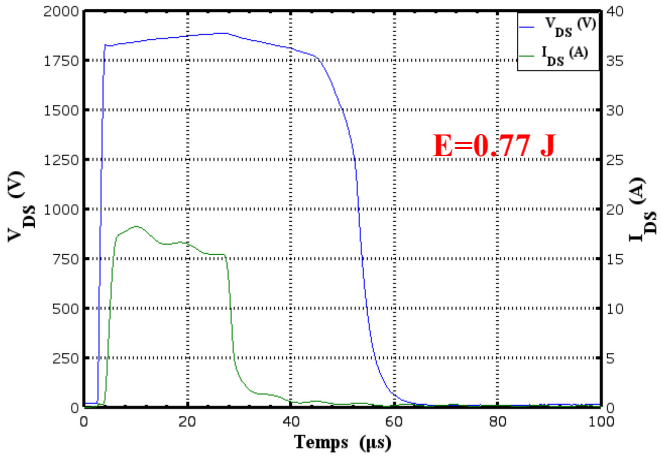


Figure C-20: Formes d'ondes du courant ID et de la tension VDS du transistor MOSFET (C2M0080120D) pendant un test d'avalanche non destructif. Tc=25°C ; Tav= 24 µs.

La Figure C-21 présente les formes d'ondes du courant ID et de la tension VDS lors de la défaillance. Le défaut a lieu pour une durée t_{av} = 35.4 µs, ce qui correspond à une énergie dissipée égale à E=1.02 J. Au début de la phase d'avalanche, le courant de drain croît pendant que la tension d'avalanche est maintenue à 1,854 kV. Après la défaillance, le courant de drain ré-augmente significativement et la tension drain-source s'écroule brusquement. Le transistor se trouve ainsi en court-circuit avec un courant qui n'est plus limité de par la résistance R (Figure C-13).

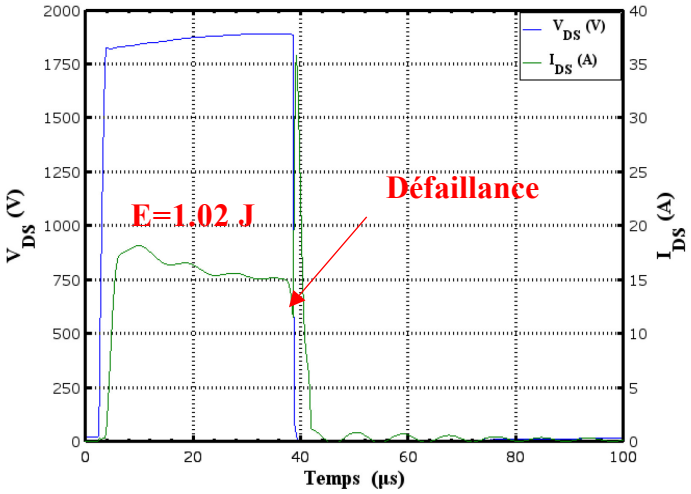


Figure C-21: Formes d'ondes du courant ID et de la tension VDS du transistor MOSFET (C2M0080120D) pendant un test d'avalanche destructif : TC=25°C ; TAV= 35.4 µs ; VBR=1854 V.

À titre de synthèse, un récapitulatif des principaux résultats de robustesse en avalanche du MOSFET SiC (C2M0080120D) est présenté sur la Figure C-22. Pour faire varier l'énergie dissipée, nous jouons sur la durée de conduction du transistor sous test. Les différents lots de MOSFETs SiC ont montré une très bonne tenue en tension, largement supérieure à la valeur spécifiée dans la documentation du composant (1200 V).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

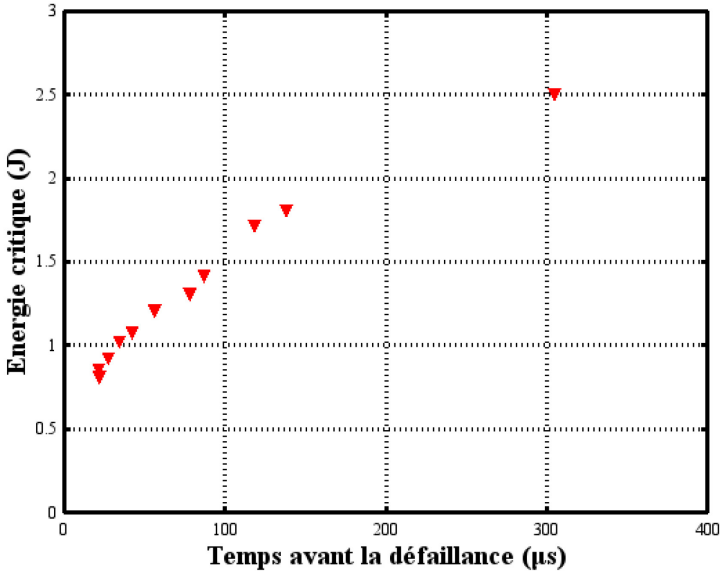


Figure C-22: Courbe de robustesse en avalanche du MOSFET SiC (C2M0080120D) à Tc=25 °C

La Figure C-23 illustre un exemple de défaillance des MOSFETs SiC (C2M0080120D) en régime d'avalanche. D'un point de vue électrique, cette défaillance se traduit par un court-circuit entre les trois terminaux du composant (Grille-Drain-Source). À travers les différents tests en avalanche réalisés sur MOSFET SiC, nous observons que l'avalanche est toujours localisée dans une petite zone entraînant une forte dissipation de puissante, et très haute température (suffisante pour causer une fusion localisée dans la puce résultant en un court-circuit entre les trois terminaux du MOSFET). En outre, il a été observé que les défaillances se produisent de façon aléatoire sur la surface active de la puce [35].

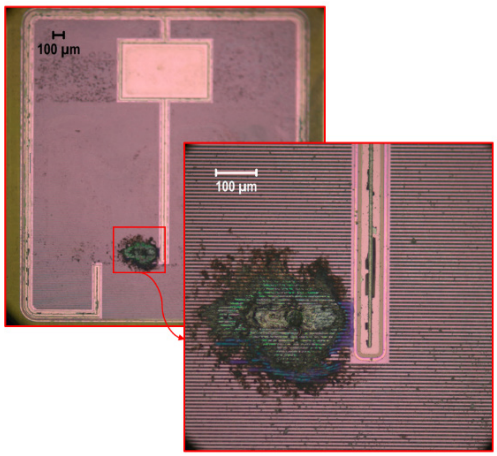


Figure C-23: Localisation de la défaillance sur une puce SiC MOSFET (C2M0080120D) après un test d'avalanche. E=1,11J ; T_{AV}= 35.4 µs ; V_{BR}=1854V.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.4.2. Diode SiC

C.4.2.1 Régime de sur-courant :

La courbe verte sur la Figure C-24 montre le courant mesuré dans la diode SiC (C4D20120A).Ce courant est sous forme d'un demi-sinus d'une durée de 260 µs correspondant à la décharge oscillante du banc de capacités dans l'inductance de câblage du système. Au début de la phase de sur-courant, le courant à travers la diode présente un pic d'environ 1600A, soit 16.86 kA/cm^2, puis décroit rapidement jusqu'à l'annulation. Sur la même figure, la courbe verte nous renseigne sur l'énergie dissipée par la diode.

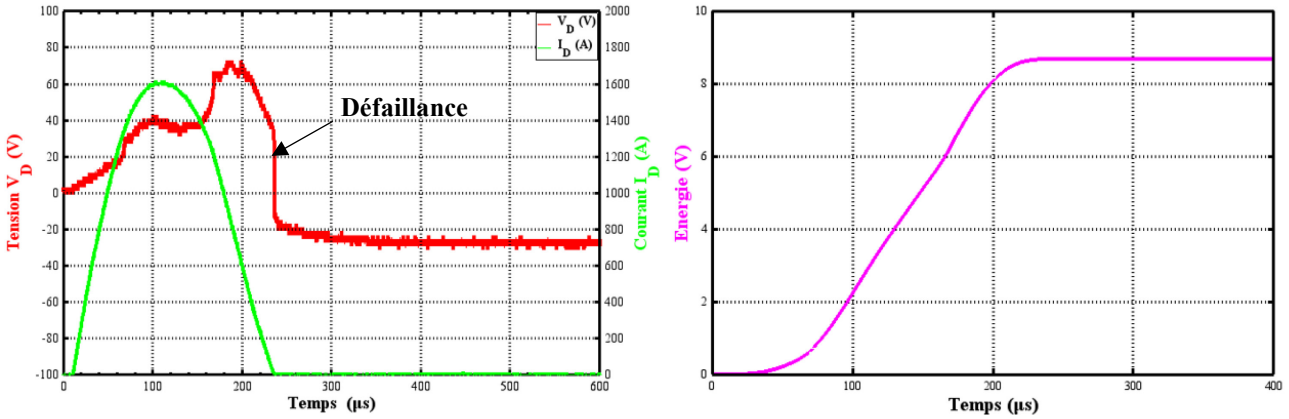


Figure C-24: Relevées de l'énergie, courant et tension en fonction du temps (Régime du sur-courant).

Les contraintes thermiques introduites par les conditions test de la Figure C-24 (E=8.6 J) ont abouti à la rupture des fils de bonding du composant sous test. La défaillance de la diode s'est accompagnée d'une explosion du boîtier résultant en un circuit-ouvert (Figure C-25).



Figure C-25: Photo d'une diode SiC (C4D20120A) après un test en régime de sur-courant.

C.4.2.2 Régime d'avalanche:

Le protocole décrit dans le paragraphe C.3.2.2 est repris pour les diodes SiC (C4D20120A). La Figure C-26 montre les formes d'onde (courant/tension) relevées lors d'un test destructif en avalanche. Une fois que la tension aux bornes du DUT est suffisamment élevée, le phénomène d'avalanche apparait à t = 20 µs lorsque le courant commence à circuler à travers la diode. Dans ces conditions d'essai, la défaillance du composant sous

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

test est observée à t = 50 µs. La défaillance du composant se traduit par un écroulement brusque de la tension inverse aux bornes de la diode. Le composant SiC se trouve ainsi en court-circuit. L'énergie dissipée par le DUT avant la défaillance (l'énergie critique) est égale à 0,55 J.

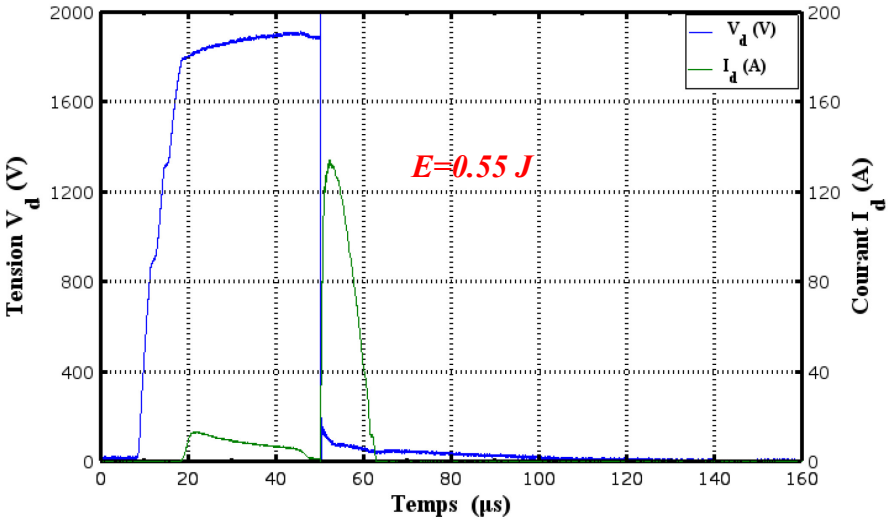


Figure C-26: Tension et courant relevées aux bornes la diode SiC (C4D20120A) dans des conditions d'avalanche. T_c = 25 ° C; T_{AV} = 42 µs; E_C = 0,55 J; V_{BR} = 1800 V.

La Figure C-27 présente les résultats de robustesse en avalanche pour les diodes SiC (C4D20120A) à une température ambiante de 25°C. Sur cette figure, chaque point est le résultat d'un test destructif en avalanche. Sur l'axe Y l'énergie critique (mesurée entre t1 et t2 sur la Figure C-14) et sur l'axe X la durée d'avalanche mesurée avant la défaillance (t_{AV}). Comme illustré sur la figure ci-dessous, une grande dispersion des énergies critiques est observée en faisant varier la durée des avalanches. La moyenne de l'énergie critique est de 0.87J.

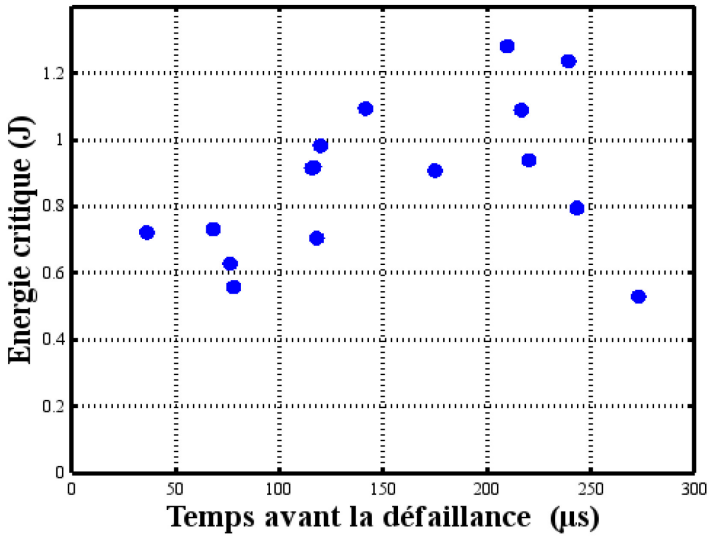


Figure C-27: Courbe de robustesse en avalanche des diodes SiC (C4D20120A) à T_c=25 °C

La courbe de la puissance critique en fonction de la durée d'avalanche est donnée sur Figure C-28. La puissance critique a été calculée en divisant les valeurs des énergies critiques présentées sur la Figure C-27 par la durée d'avalanche (t_{AV}). D'après la figure ci-dessous, on constate que plus on augmente la durée d'avalanche plus la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

puissance critique décroit. La ligne rouge sur Figure C-28 représente la puissance correspondant à une énergie de 0,877 J (la moyenne de l'énergie critique). Cela montre que l'hypothèse d'une énergie critique constante pour des durées d'avalanche courtes (300 µs) est acceptable.

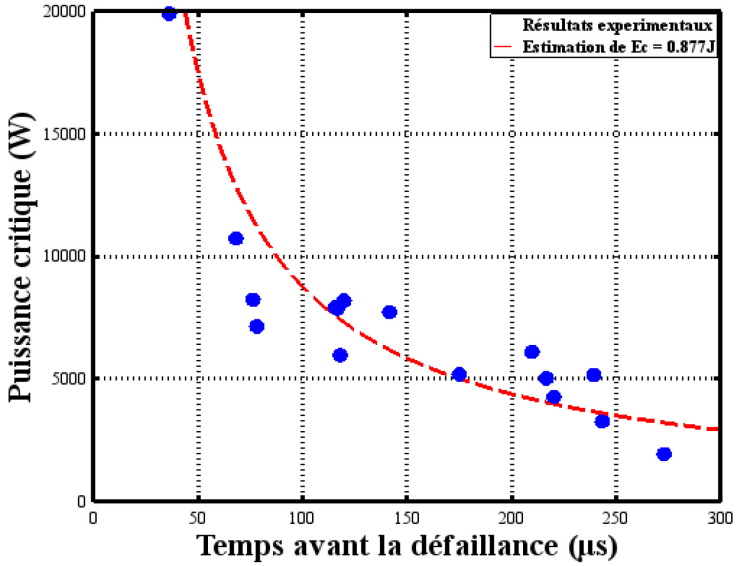


Figure C-28: Puissance critique en fonction de la durée d'avalanche.

Les résultats de test en avalanche des diodes SiC ont montré que la défaillance se produit à un niveau d'énergie relativement faible (5.79 J/cm^2). La Figure C-29 montre la localisation de la défaillance sur la puce d'une diode Schottky (C4D20120A) après un essai à une énergie E=0.55 J. La défaillance a été observée en bordure de puce, à proximité des anneaux de garde assurant la tenue en tension du composant. Cette défaillance résulte en un effondrement de la tension aux bornes de la diode (mode de défaillance de court-circuit). Cependant, si un courant est maintenu à travers la diode après sa défaillance, la sur-énergie dissipée cause des dégradations importantes de la puce SiC qui masquent l'endroit d'origine de la défaillance (Figure C-30). Cette dégradation peut aboutir éventuellement à une explosion du composant et donc à un circuit ouvert.

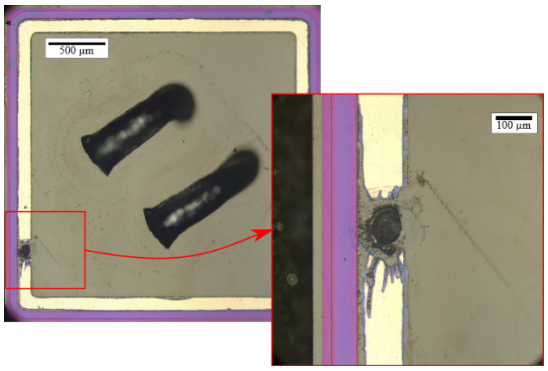


Figure C-29: Défaillance d'une diode SiC Schottky (C4D20120A) lors d'un test d'avalanche. T_{AV} = 42 µs; E_C = 0.55 J; V_{BR} = 1800 V.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

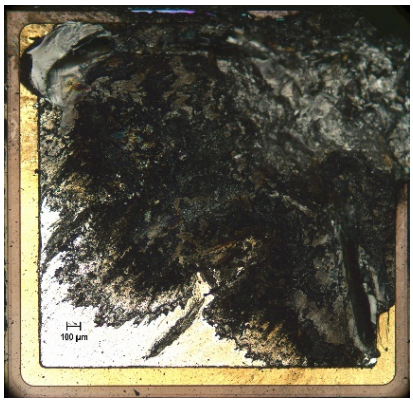


Figure C-30: Défaillance en circuit ouvert d'une diode SiC Schottky (C4D20120A) lors d'un test d'avalanche. T_{AV}=240 µs; E=4.4 J; V_{BR}=1800 V. Ici, l'essai a été prolongé quelques certaines de µs après la défaillance entrainant un élargissement de la zone affectée.

C.4.3. Comparaison des densités surfaciques d'Energies/Puissances Critiques.

Afin de pouvoir comparer les différents composants testés, nous avons synthétisé les résultats précédents dans la figure ci-dessous, en indiquant pour chaque composant testé la densité surfacique d'énergie/puissance critique. Comme illustré sur Figure C-31 et Figure C-32, les MOSFETs Cree (C2M0080120D) présentent des niveaux de densités d'énergie (puissance) critiques très voisines pour les deux régimes (avalanche et court-circuit).

En ce qui concerne les diodes SiC (C4D20120A), leur tenue en sur-courant est nettement supérieure à leur tenue en avalanche. En fonctionnement en avalanche, la défaillance des diodes se produisaient à des énergies assez faibles (0.877 J en moyenne). Elles sont donc moins robustes que les MOSFET pour ce type de fonctionnement.

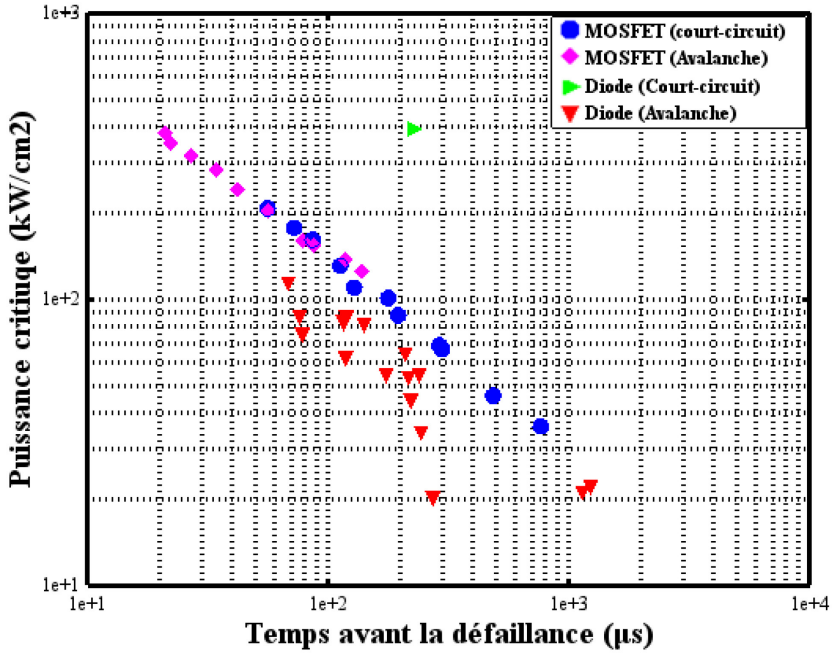


Figure C-31: Courbe de robustesse (P=f(t)) des diodes (C4D20120A) et MOSFETs (C2M0080120D) en régimes de fonctionnement extrêmes.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

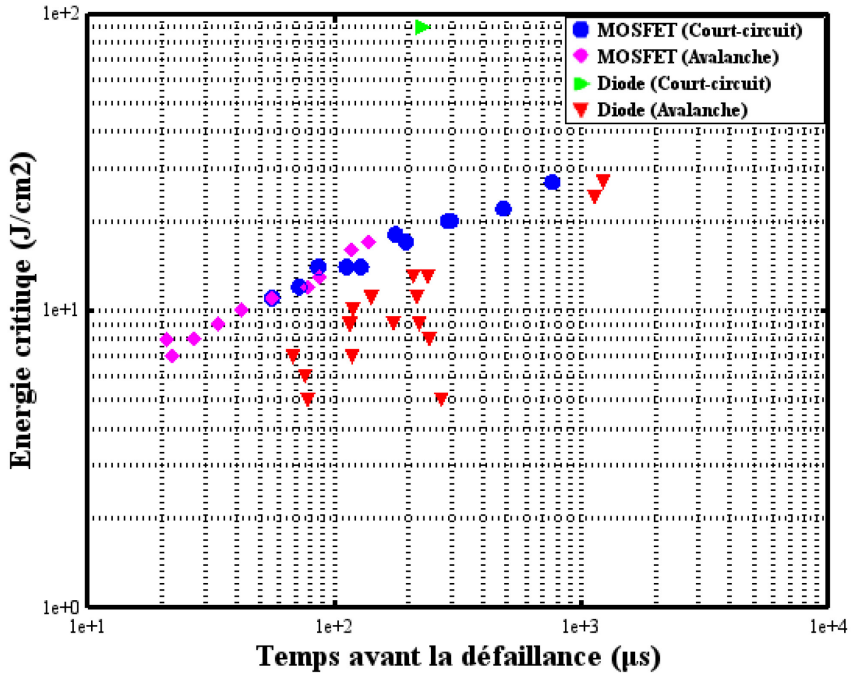


Figure C-32: Courbe de robustesse (E=f(t)) des diodes (C4D20120A) et MOSFETs (C2M0080120D) en régimes de fonctionnement extrêmes.

C.5. Synthèse:

Cette première partie de chapitre a été consacré à l'étude du comportement des MOSFETs et les diodes SiC (en boîtier conventionnels) pendant des essais en régime de sur-courant et d'avalanche. Durant ces tests, nous avons pu évaluer les énergies dissipées par ces composants de puissance, estimer leurs énergies critiques et mettre en évidence les différents modes de défaillance. À titre de synthèse, un récapitulatif des principaux modes de défaillances des composants testés est présenté sur la Figure C-33.

Concernant le fonctionnement en régime d'avalanche (en mode limitation de courant), les MOSFETs et les diodes présentent un mode de défaillance identique (court-circuit). Pour les diodes, l'analyse microscopique révèle que les défaillances sont localisées au niveau de la protection périphérique (Figure C-29). Toutefois, nous avons pu constater, dans le cas des MOSFETs, que les défaillances ont toujours eu lieu sur la métallisation source de la puce (Figure C-23). Les essais en régime d'avalanche ont montré que les MOSFETs sont plus robustes que les diodes. En ce qui concerne le fonctionnement en régime de sur-courant, les résultats de test ont révélé deux modes de défaillance pour le MOSFET. Le premier sous forme d'un court-circuit entre les trois terminaux (Grille-Drain-Source) du composant. Le deuxième est sous forme d'un court-circuit entre Grille-Source et un circuit ouvert entre Drain-Source. Enfin, que ce soit pour les tests en régime de sur-courant ou pour les essais en avalanche, nous notons que si le courant est maintenu après la défaillance du composant. Cela entraine une explosion du boîtier et donc une évolution vers un circuit ouvert.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

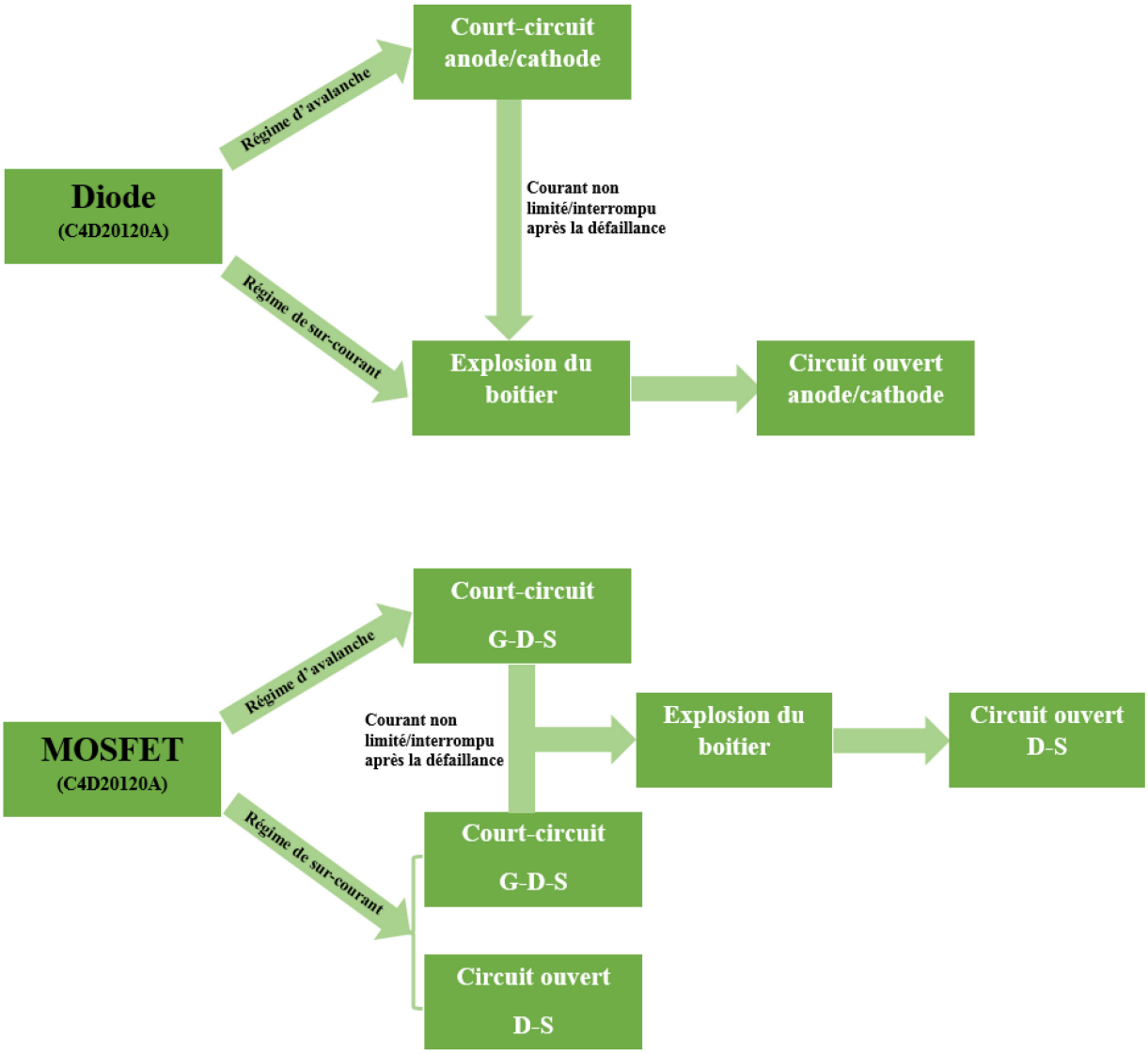


Figure C-33: Organigramme synthétisant les différents cas de défaillance des composants de puissance (MOSFET & diodes SiC) en régime de fonctionnement extrême.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.6. Analyse numérique et discussion

C.6.1. Modèle 3D du MOSFET Cre

C.6.1.1 Description du modèle

L'objectif de ce paragraphe est d'analyser le comportement d'un composant de puissance par simulation. Cette étude permettra d'identifier les niveaux de puissance conduisant à la défaillance des composants. Dans ce cadre, nous avons mené des investigations, sur un MOSFET SiC (C2M0080120D) testé expérimentalement. Le modèle développé dans Figure C-34 est composé d'une puce SiC, une semelle en cuivre et une brasure. Dans notre modèle, nous n'avons pas considéré le boiter d'époxy.

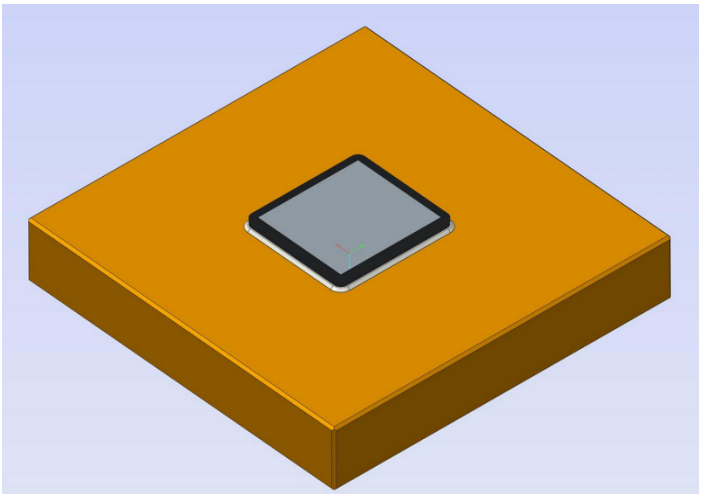


Figure C-34: Modèle thermique 3D du MOSFET SiC Cree (C2M0080120D)

Le tableau suivant résume les dimensions des différents matériaux utilisé dans ce modèle ainsi que les dimensions de la géométrie étudiée.

	Epaisseur (mm)	Largeur (mm)	Longueur (mm)
Semelle (Cu)	1.7	10	10
Solder (SnAg)	0.05	--	--
Puce (SiC)	0.18	3.1	3.36
Métallisation (Al)	0.004	2.7	2.96

Figure C-35: Dimensions du modèle du MOSFET SiC (C2M0080120D).

Le modèle 3D du MOSFET SiC est développé sous ANSYS Mechanical, un logiciel de calcul par éléments finis. Ce logiciel nous permet d'effectuer des simulations thermiques transitoires. Dans modèle, nous cherchons à résoudre l'équation de la chaleur ci-dessous :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

$$\nabla(\lambda.\vec{\nabla}T) + Q = \rho C_P \frac{\partial T}{\partial t} \quad (2)$$

Avec : T la distribution de te température dans la structure, λ la conductivité thermique, ρ la densité du matériau, C_P la chaleur spécifique et enfin Q la source de chaleur correspondant à la dissipation de la puissance dans la puce SiC.

Nous ferons l'hypothèse que la puissance est dissipée uniformément à la surface supérieure de la puce et que toutes les frontières sont adiabatiques hormis la surface inférieure de la semelle, qui est considérée isotherme (Tc=25 °C, Figure C-36). Pour les conditions initiales, nous avons pris les hypothèses suivantes :

$$\lambda.\vec{\nabla}T = 0 \text{ (Sur les parois)} \quad (3)$$

$$T(t=0) = Tc \quad (4)$$

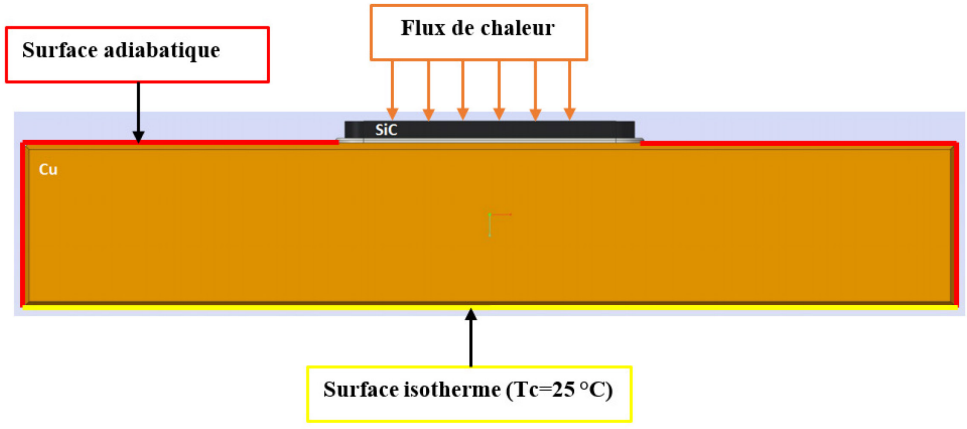


Figure C-36: Conditions aux limites appliquées au modèle thermique

Les propriétés thermique des matériaux utilisés pour les simulations sont données dans le tableau suivant. Ceux-ci sont considérés isotropes.

Propriétés	Al	SiC	Cu	Solder
Conductivité thermique λ (W m-1 K-1)	237.5	380	400	55.5
Densité volumique ρ (kg m-3)	2689	3215	8933	7360
Chaleur spécifique Cp (J kg-1 K-1)	951	640	385	180

Tableau C-2: Propriétés Physique des matériaux utilisés dans le modèle thermique 3D

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Dans un premier temps, nous injectons différents profils de puissance à la surface de la puce correspondant aux valeurs observées durant les essais (Figure C-37). Dans les deux régimes de fonctionnement, court-circuit et avalanche, la température de jonction estimée lors de la défaillance est supérieure à 800°C (entre 900°C et 1000°C selon le régime extrême considéré). Pour identifier la puissance critique, nous avons supposé que l'apparition de la défaillance est lié à la fusion de la métallisation aluminium des puces (Tf=660.3 °C).

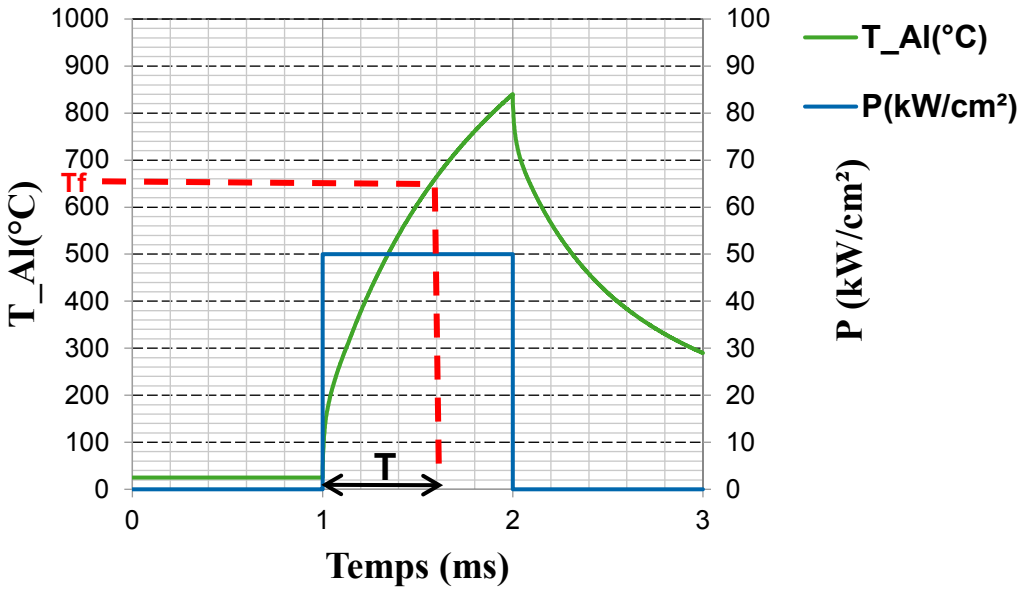


Figure C-37: Résultats de simulation : échauffement de la métallisation de la puce lors de l'injection d'une puissance à la surface de la puce SiC

C.6.2. Estimation de la densité surfacique d'énergie critique en mode de fonctionnements extrêmes :

À partir du modèle numérique 3D développés sous ANSYS Mechanical, on a pu tracer les niveaux de puissance dissipées par le MOSFET SiC et qui permettent d'atteindre le point de fusion de la métallisation (aluminium). Les résultats des simulations sont représentés sur Figure C-38 où nous pouvons comparer les niveaux des densités de puissances obtenues lors des tests expérimentaux en régimes de fonctionnement extrêmes (les courbes en rose et bleu) avec les résultats de puissances obtenues par simulation (courbe rouge). D'après la Figure C-38, nous constatons que les courbes issues des tests expérimentaux et de simulation se superposent de façon satisfaisante. Les niveaux de puissance obtenus expérimentalement restent très voisins aux valeurs des puissances dissipées par simulation.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

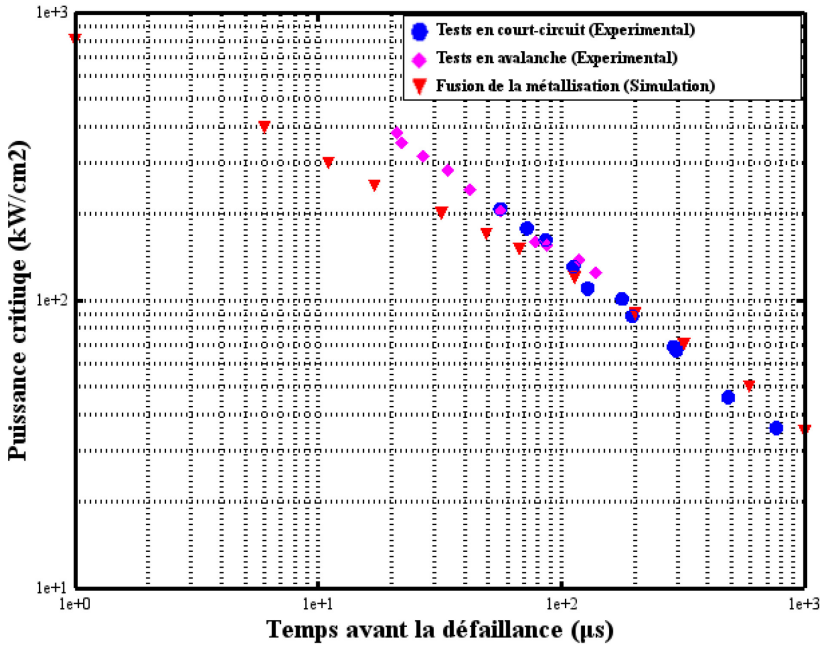


Figure C-38: Résultats des densités de puissances dissipées issues de la simulation et des tests expérimentaux pour les régimes de fonctionnement extrêmes (MOSFET SiC C2M0080120D).

La Figure C-39 montre l'évolution de l'énergie dissipée dans le MOSFET obtenues par simulation et tests expérimentaux. L'hypothèse que nous avons faites (que la défaillance des puces se produit lors de la fusion de leur métallisation en aluminium) semble donc validée. Selon cette hypothèse, durant les régimes d'avalanches et de court-circuit, la puissance est dissipée uniformément à la surface de la puce. Les défaillances localisées observées expérimentalement seraient dues à un déséquilibre local qui s'ajouterait à l'échauffement global de la puce. Pour le cas des essais en avalanche sur des diodes, par contre, la faible énergie critique montre que la dissipation de puissance ne se fait pas sur toute la surface de la puce.

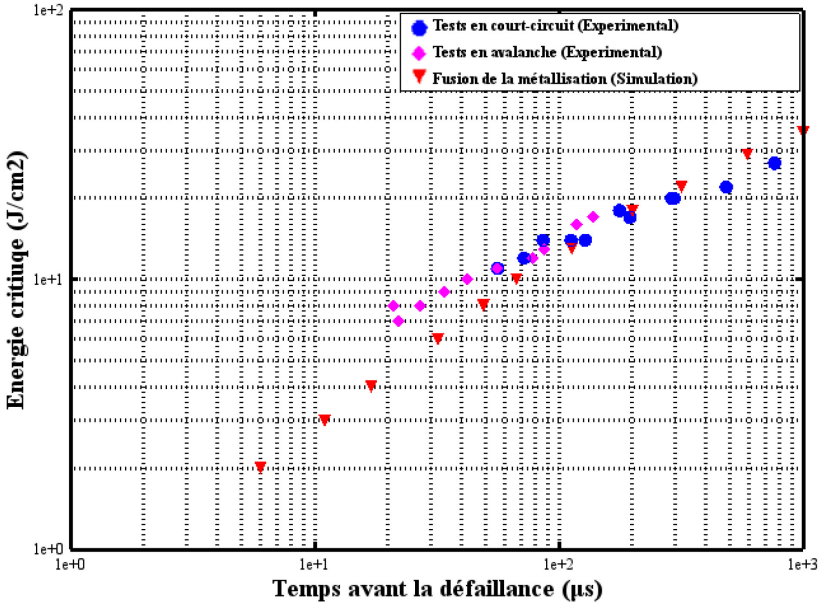


Figure C-39: Résultats des densités d'énergies dissipées issues de la simulation et des tests expérimentaux pour les régimes de fonctionnement extrêmes (MOSFET SiC C2M0080120D).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

C.7. Conclusion

Ce chapitre traite l'étude de la robustesse des différents composants de puissance en carbure de silicium dans des boîtiers conventionnels. Au cours de ce chapitre, nous avons tout d'abord présenté les différents types de composants testés ainsi que la façon de représenter les essais réalisés sur ceux-ci par le biais de courbes de robustesse. Nous avons mis en évidence la présence d'une énergie critique, en-dessous de laquelle les composants sont capables de supporter un régime de fonctionnement extrême. Contrairement aux IGBTs silicium, cette valeur d'énergie critique dépend de la durée de la sollicitation. Ensuite, nous avons détaillé les différents modes de défaillance survenant pendant des conditions sévères, selon la valeur de l'énergie dissipée mise en jeu. Pour quelques composants défaillants, nous avons également réalisé des ouvertures de puces pour localiser la défaillance. Enfin, nous avons développé un modèle thermique par éléments finis qui nous a servi à compléter les points de la courbe de robustesse des composants SiC (Diodes, MOSFETs). Ce modèle montre que pour les MOSFETs SiC, on peut considérer que la puissance est dissipée uniformément sur la surface de la puce. Les énergies critiques en court-circuit et avalanche sont donc comparables. Ce n'est pas le cas de la diode, qui est très robuste en court-circuit et très fragile en avalanche.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D. CHAPITRE III: Les modes de défaillance des puces SiC dans les boîtiers Press-Pack.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.1. Introduction

Pour orienter nos choix de conception de module SiC ayant un mode de défaillance en court-circuit, notre point de départ était d'étudier la robustesse de quelques composants de puissance SiC (Diodes et MOSFETs) en boîtiers conventionnels (utilisant des "fils de bonding"), soumis à des régimes extrêmes de fonctionnement. Cette première démarche nous a permis d'évaluer les énergies dissipées par ces interrupteurs de puissance pendant les tests destructifs, et de mettre en évidence leurs modes de défaillance. À travers les résultats expérimentaux, il a été observé qu'au-delà d'un certain niveau d'énergie, les boîtiers conventionnels explosent, arrachant les fils de bonding, et ce qui produit une défaillance en circuit ouvert. La présence des fils de bonding est ainsi un maillon faible dans la recherche de fiabilité des modules de puissance. Dans ce chapitre, la technologie "fils de bonding" a été remplacé par une technologie d'assemblage qui s'appuie sur une prise de contact par mise en pression (Press-Pack). Cette technologie est essentiellement réservée aujourd'hui aux composants silicium de fortes puissances. Nous allons évaluer la robustesse de ce type de contact soumis aux régimes extrêmes de fonctionnement et les conséquences sur les modes de défaillance. Dans un premier temps, nous détaillerons la maquette expérimentale pour réaliser des tests destructifs sur des puces diodes SiC (1200 V/20 A). Ensuite, nous présenterons les résultats expérimentaux obtenus (grandeurs électriques). Enfin, nous présenterons une analyse microscopique des zones de défaillance.

D.2. Mise en œuvre des dispositifs expérimentaux

D.2.1. Description du véhicule de test

Les schémas de principe des bancs de test dédiés à l'étude de la robustesse des boîtiers Press-Pack en régime de court-circuit et d'avalanche sont présentés respectivement sur la Figure C-7 et Figure C-13. Un support de test Press-Pack a été conçu afin de réaliser des tests destructifs sur des puces SiC non packagées. La Figure D-1 représente le schéma de principe du dispositif de test que nous avons mis au point. Un soin particulier a été pris pour assurer un serrage non destructif des puces.

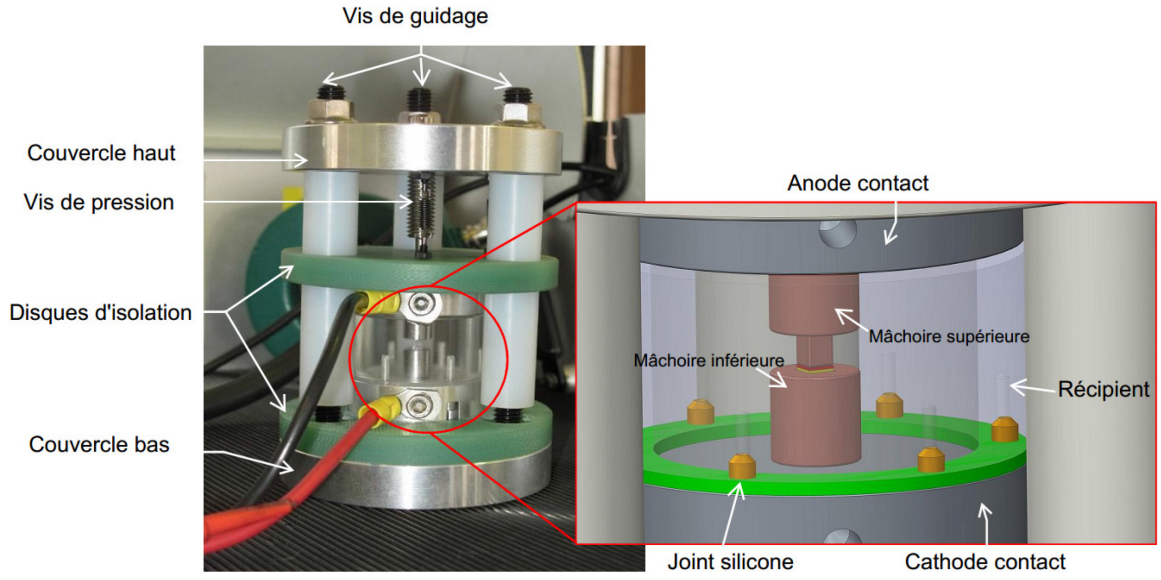


Figure D-1: Réalisation d'un support de test Press-Pack pour des puces SiC. Ce support mesure 15 cm de haut environ.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Le dispositif de serrage "Press-Pack" des puces SiC (Figure D-1) est constitué des éléments suivants :

- **Un système de serrage** composé d'une vis de pression, ressort et d'une bille permettant d'appliquer une pression uniforme sur la surface de la puce. Il constitue une liaison rotule qui garantit un contact coplanaire entre la mâchoire supérieure et la puce.
- **Mâchoires supérieure/inférieure:** Le dispositif expérimental est constitué de deux pièces cylindriques en molybdène qui pressent la puce sous test (Figure D-2). La puce SiC est placée dans un logement usiné de la mâchoire inférieure, tandis que la mâchoire supérieure repartit uniformément la pression sur la surface de la puce. Le molybdène a été choisi en raison de sa tenue en température (2623 °C). Pour les essais, un morceau de feuillard métallique de composition donnée est inséré entre la puce et la mâchoire supérieure pour étudier son effet sur le mode de défaillance.

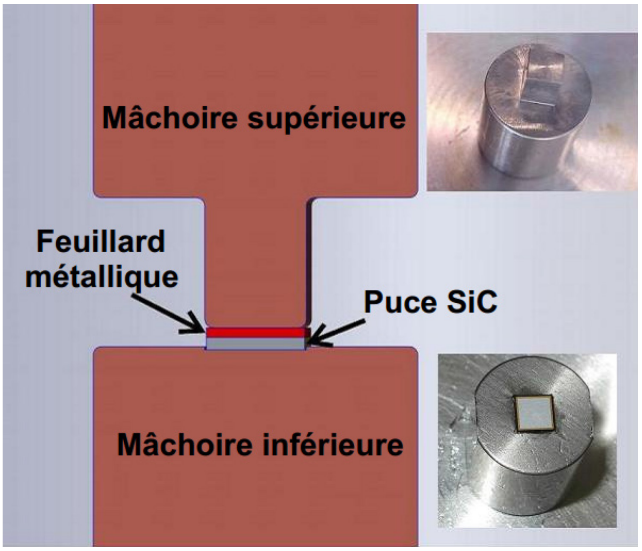


Figure D-2: Vue des mâchoires supérieure et inférieure.

- **Deux disques isolants** (en composite verre-époxy) qui assurent la fonction d'isolation électrique entre l'étage supérieur et l'étage inférieur du dispositif.
- **Trois vis de guidage verticales** isolées sur lesquelles coulisses le plateau supérieur.
- **L'échantillon sous test** est composé des éléments suivants:
  a. *Une puce diode SiC* de Wolfspeed ayant une métallisation Al (4 µm) sur le côté anode et une métallisation Ni/Ag (1.4 µm) sur le côté cathode. Les caractéristiques de la puce sont résumées dans le tableau suivant :

Réf	Tension (V)	Courant (A)	Surface (mm²)
CPW4-1200S020B	1200	20	3.08 x 3.08

Tableau D-1: Caractéristiques de la puce utilisée dans le véhicule de test.

  b. *Feuillard métallique (notée MUT) :* Ce feuillard est mis en contact avec la puce SiC. Sa taille est 2.5 mm × 2.5 mm × 0.2 mm (L×W×H). 4 compositions différentes sont étudiées ici : Cuivre, Nickel, Aluminium et Argent. Tous les feuillards ont été fournis par Goodfellows, ils

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

ont une épaisseur de 200 µm, et une pureté de 99%. Ils ont été découpés à la taille voulue en utilisant la scie Disco DAD 3220 disponible au laboratoire INL (Villeurbanne).

- **Contacts Cathode/Anode** (en Aluminium) permettent de connecter les terminaux de l'objet sous test avec le circuit de puissance.
- **Récipient** (en Polycarbonate) contenant un fluide diélectrique à base d'ester synthétique (MIDEL 7131, Annexe 5). Ce dernier assure une isolation entre les contacts d'anode et cathode pour éviter tout phénomène d'arcage électrique entre ces deux pièces lors des essais en avalanche.

D.2.2. Protocole de test

D.2.2.1 Préparation du véhicule de test

Comme illustré sur la Figure D-3, la puce sous test est placée dans un premier temps sur la mâchoire inférieure. Une feuille de métal (MUT) est ensuite placée sur l'anode de la diode SiC. L'ensemble est rempli avec un fluide diélectrique (MIDEL 7131). Puis la mâchoire supérieure est abaissée jusqu'à ce qu'elle touche la métallisation. Enfin, La vis de pression est serrée à l'aide d'une clé dynamométrique calibrée pour atteindre la pression spécifiée.

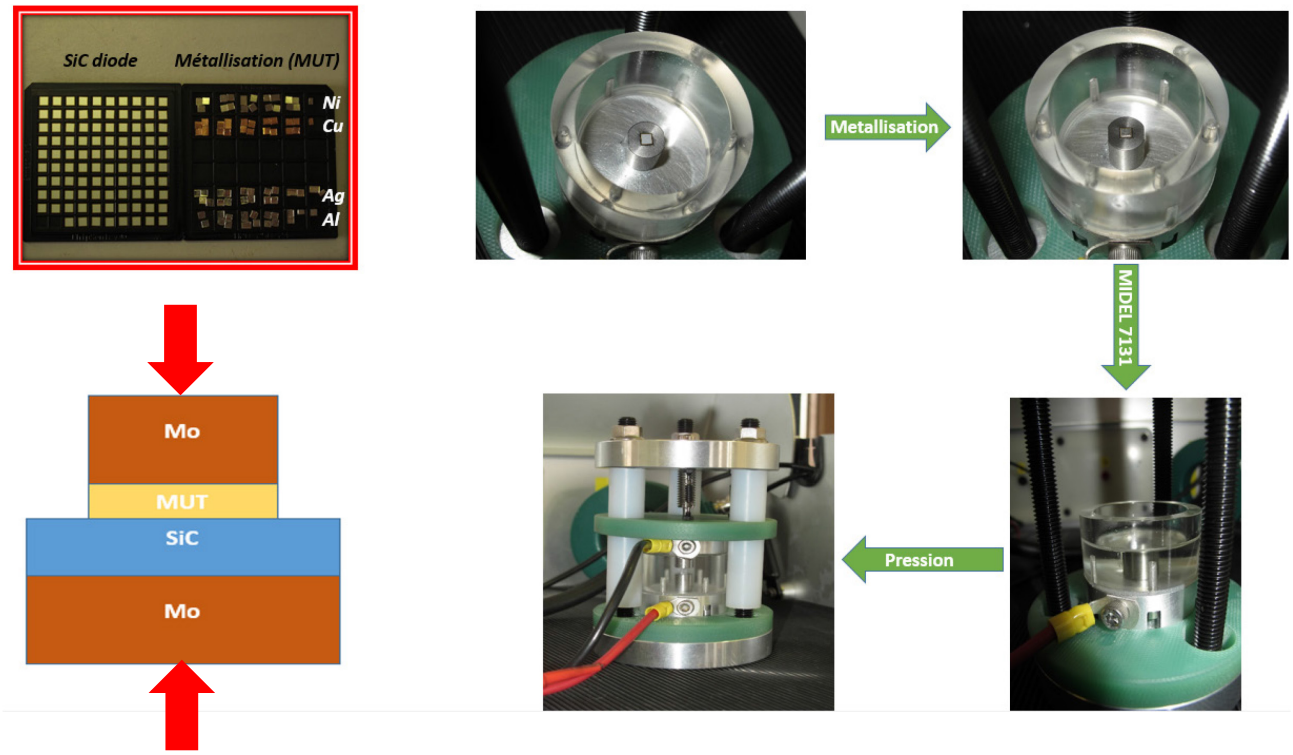


Figure D-3: Procédures de préparation des véhicules de test

Les tests de fonctionnement extrêmes ont été réalisé en utilisant différents matériaux métalliques tel que Cu, Ag, Al et Ni. Ces matériaux ont été choisis en se basant sur la solution utilisée dans les Press-Packs en silicium [68]. Pour tous les échantillons décrits dans ce chapitre, les tests destructifs ont été réalisés en utilisant les circuits de puissance de Figure C-7 et Figure C-13, et le support press-pack décrit ci-dessus.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.2.2.2 Suivi de la défaillance en court-circuit (Mesure de la résistance Rcc)

Après test destructifs, les échantillons montrant un comportement fail-to-short sont soumis à un passage de courant (10 ou 20 A) pendant une longue durée (plusieurs heures). Nous rappelons que la diode SiC utilisé dans les tests a une tenue en courant max de 20 A. Le but est d'évaluer la qualité et la durabilité du mode de défaillance en court-circuit. Nous relevons la résistance électrique entre anode et cathode au cours du temps. L'évolution de ces mesures donnera par la suite une image de la stabilité du court-circuit. Si la résistance du dispositif défaillant ne change pas au fil du temps (ou diminue), le court-circuit est appelé stable. Si la résistance augmente de manière significative au fil du temps, alors le mode de défaillance en court-circuit sera appelé instable.

La mesure de la résistance (notée R_{cc}) est réalisée en configuration quatre points. À partir de l'injection d'un courant connu et de la mesure de la chute de tension au niveau de l'échantillon à caractériser, il est possible de calculer la résistance de l'échantillon. La Figure D-4 montre une photo du dispositif de mesure comprenant un générateur de courant 20 A (ELEKTRO-AUTOMATIK), un multimètre numérique de précision (KEITHLEY) et une résistance shunt 0.01 Ω.

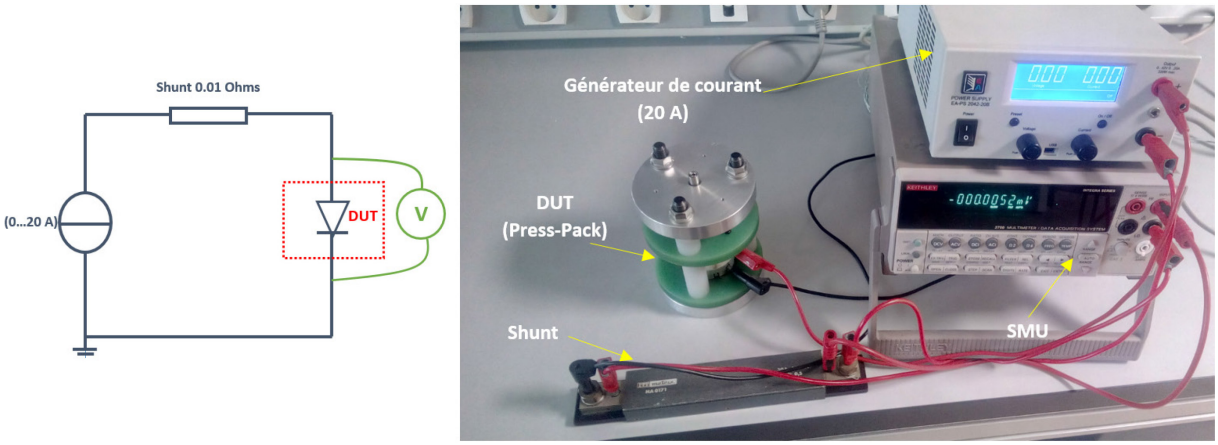


Figure D-4: Mesure de la résistance des échantillons après test destructif.

D.2.2.3 Analyse microscopique des défaillances

Après avoir effectué le test de passage de courant, les échantillons sous test sont retirés du support Press-Pack (comme illustré sur Figure D-5). Une première observation est alors effectuée avec un microscope ou une loupe binoculaire. Lorsque la métallisation se sépare naturellement de la puce, les surfaces de contact sont étudiées plus précisément (y compris par microscope électronique). Lorsque la métallisation reste collée, nous procédons à une coupe métallographique : les échantillons sont placées dans un moule et encapsulés dans de la résine (Buehler Varikleer). Ils sont ensuite découpés à proximité de la zone affectée par la défaillance. Enfin, ils sont polis en utilisant respectivement des solutions de 3 µm et 1 µm de diamant. Les sections sont ensuite analysées en utilisant un microscope optique et/ou un microscope électronique à balayage (MEB-EDX) afin d'identifier la composition des éléments présents au niveau des zones de défaillance.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

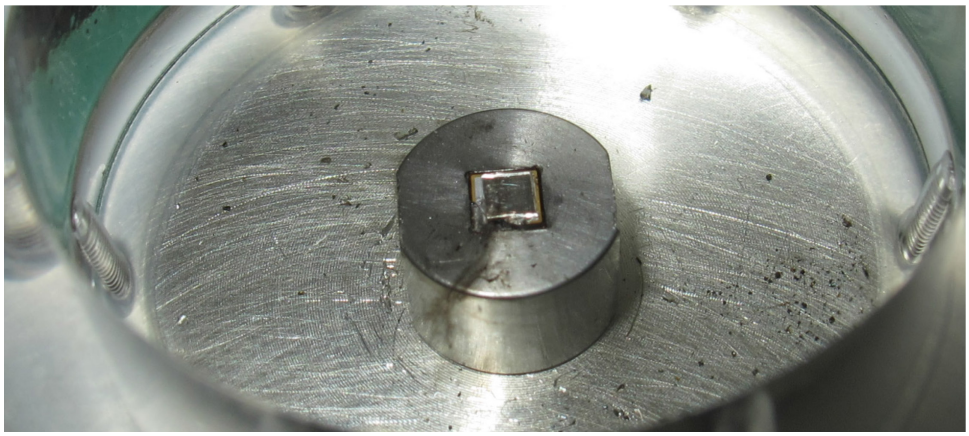


Figure D-5: Photo d'un échantillon sous test (Puce SiC + feuillard Al) après un test destructif et un test passage de courant, une fois la partie supérieure du support retirée.

D.3. Résultats expérimentaux de robustesse des puces diodes SiC dans des boîtiers Press-Pack

Cette section présente, pour chaque type de feuillard métallique, les mesures électriques durant l'essai en régime extrême (court-circuit ou avalanche), l'évolution de la résistance au cours du temps, et les observations microscopiques.

D.3.1. Feuillard cuivre (Cu)

D.3.1.1 Résultats en régime de court-circuit

D.3.1.1.1 Résultats électriques

Le courant mesuré à travers le véhicule sous test est présenté sur la Figure D-6. Les diodes ayant une bonne robustesse dans ce type de test, les courants employés sont élevés (1500 A). À l'issue de ce test, l'échantillon est défaillant en court-circuit.

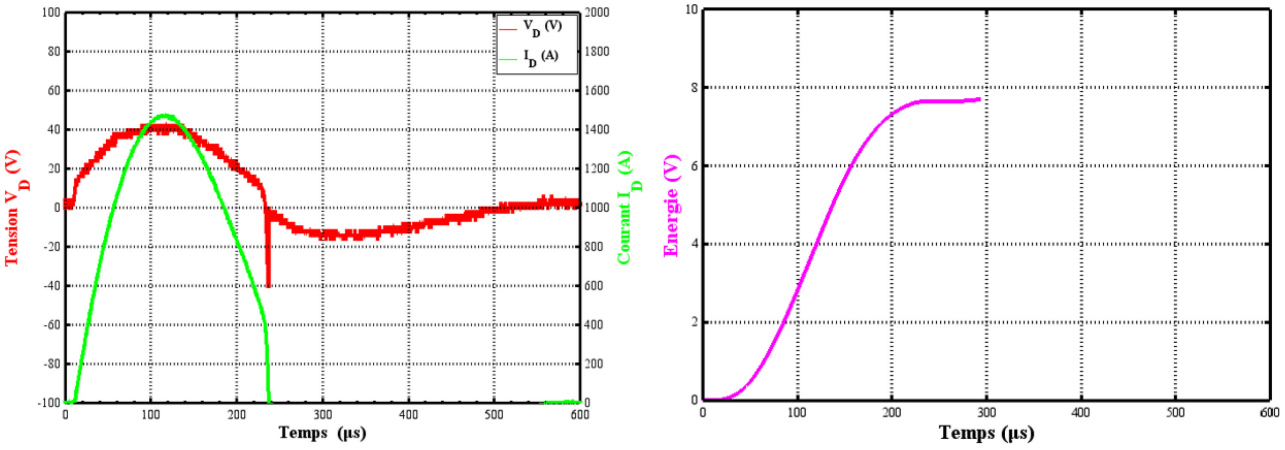


Figure D-6: Courbes (Courant, tension et Energie dissipée) mesurées lors d'un test en court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La Figure D-7 montre le profil de la résistance mesurée aux bornes de l'échantillon en polarisation continue. Elle reste constante (124 mΩ) durant les deux heures d'essai, ce qui confirme qu'il s'agit bien d'un court-circuit stable.

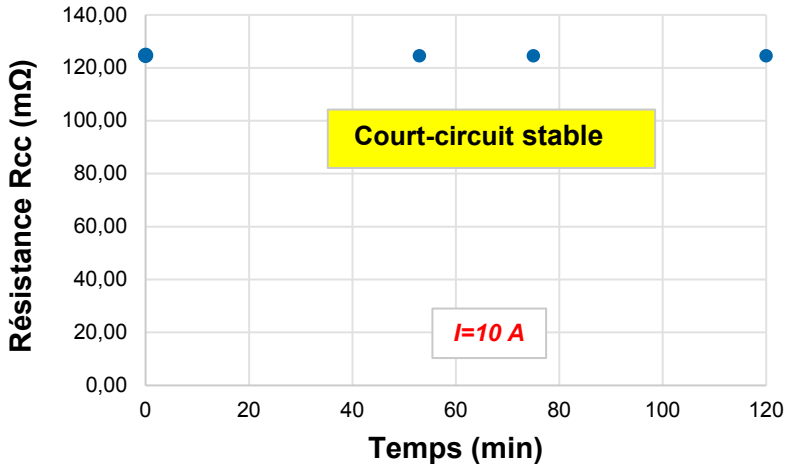


Figure D-7: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Cu) détruit en court-circuit.

D.3.1.1.2 Observation microscopique

La Figure D-8 montre la surface de la puce et de la métallisation à l'issue des essais électriques. On observe que la métallisation se détache de la puce (pas d'adhésion). La puce est largement fissurée, avec des fragments manquants. Sur la métallisation, la seule modification est l'apparition d'un petit cratère (encerclé en rouge), qui correspond à une marque sur la puce.

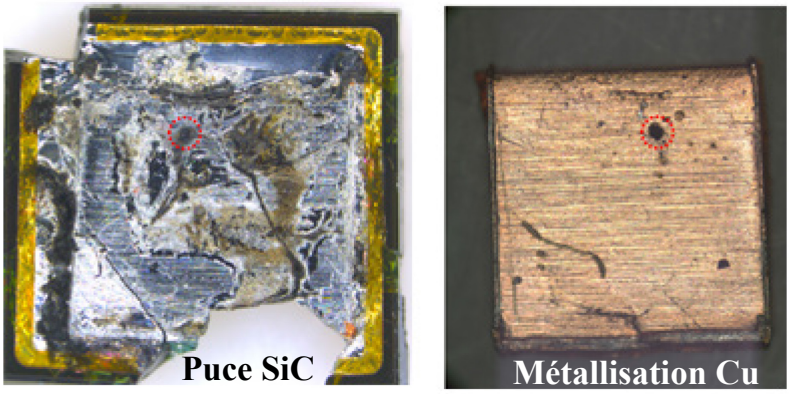


Figure D-8: Photo de l'échantillon défaillant lors du test en court-circuit (feuillard cuivre) et après un test de passage de courant (10 A).

D.3.1.2 Résultats en régime d'avalanche

D.3.1.2.1 Résultats électriques

Durant ce test, l'énergie dissipée par la puce est estimée à E=6.18 J (l'essai a été maintenu sur une durée plus longue que strictement nécessaire pour obtenir la défaillance de la puce). Les formes d'ondes (courant /tension) relevées lors de ce test sont représentées sur Figure D-9. À partir de ces formes d'onde, on peut observer que

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

l'échantillon sous test a un mode de défaillance en court-circuit puisque la tension passe à zéro au moment de la défaillance.

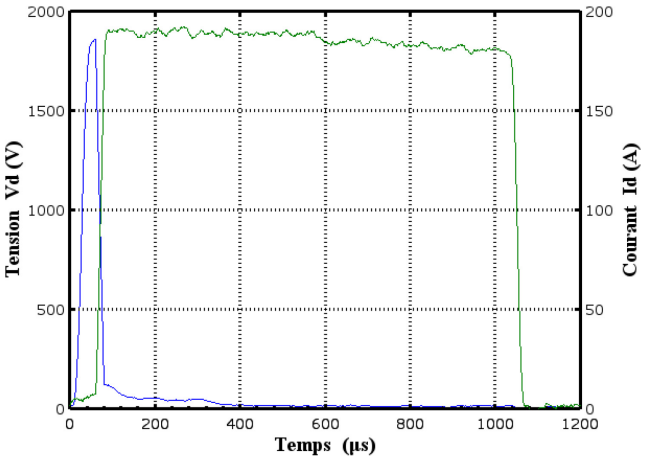


Figure D-9: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.18 J

L'évolution de la résistance (sous 10 A) au cours du temps est donnée Figure D-10. Après une forte décroissance initiale, la résistance remonte pour atteindre 500 mΩ. Le court-circuit est donc considéré comme instable. De plus, il faut noter que 500 mΩ sous 10 A correspond à 50 W de puissance dissipée, une valeur très importante (530 W/cm^2 au niveau de la puce).

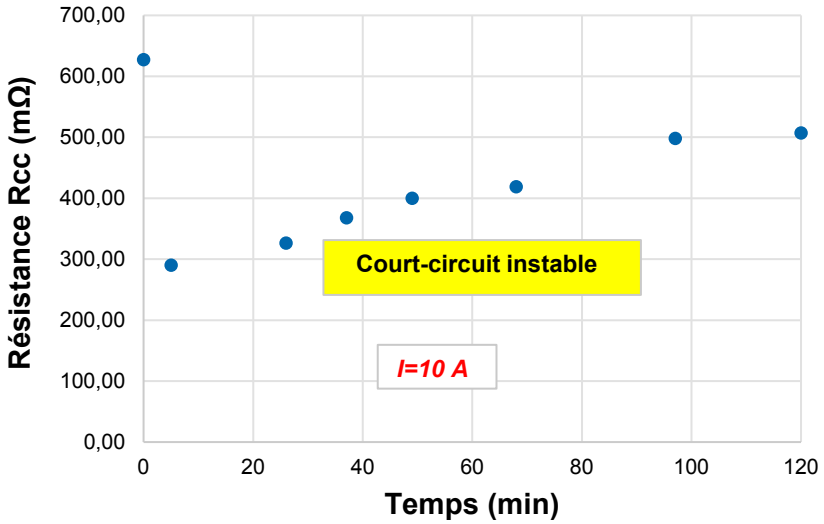


Figure D-10: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Cu) détruit en avalanche.

D.3.1.2.2 Observation microscopique

Les observations de la Figure D-11 montrent que la puce est largement fissurée, avec de nombreux fragments manquants (probablement perdus lors de l'extraction de la puce du support press-pack). Comme pour les essais en court-circuit, la métallisation de cuivre ne montre pas de changement d'aspect, hormis un petit cratère.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

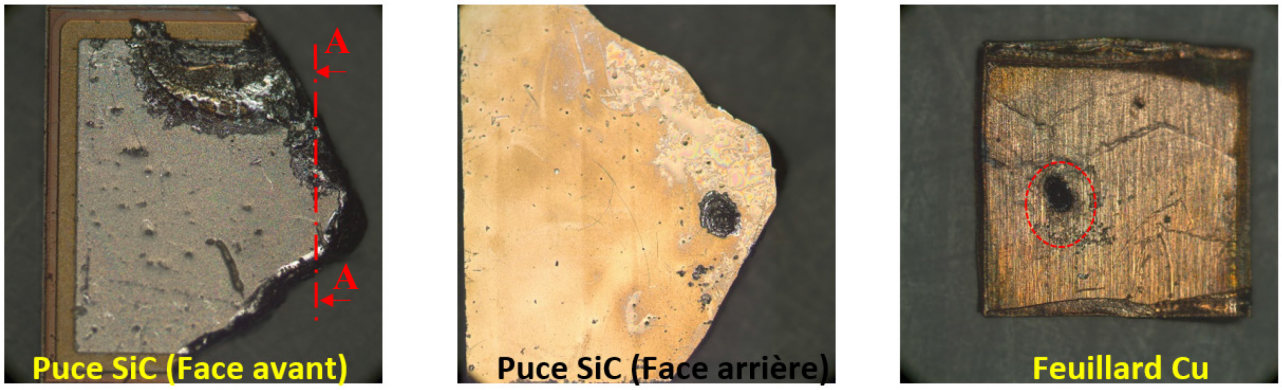


Figure D-11: Photo de l'échantillon défaillant lors du test en avalanche (feuillard cuivre) et après passage de courant (10 A).

Une analyse microscopique a été réalisée au sens de l'axe (A) de la puce défaillante de la Figure D-11. Des analyses EDX ont été réalisées plus précisément sur la zone encerclée de la Figure D-12. Ces analyses montrent une présence importante du silicium, et quelques traces d'aluminium. Même si des très fines couches d'aluminium sont présentes au niveau de cette zone laissant penser qu'un courant pourrait y circuler entre les terminaux de l'échantillon, il est difficile de prouver que cet endroit puisse permettre la circulation un courant de 10 A. Une autre zone située dans le plan XY de la puce (non visible sur le plan d'observation) peut être l'origine de la défaillance en court-circuit de l'échantillon.

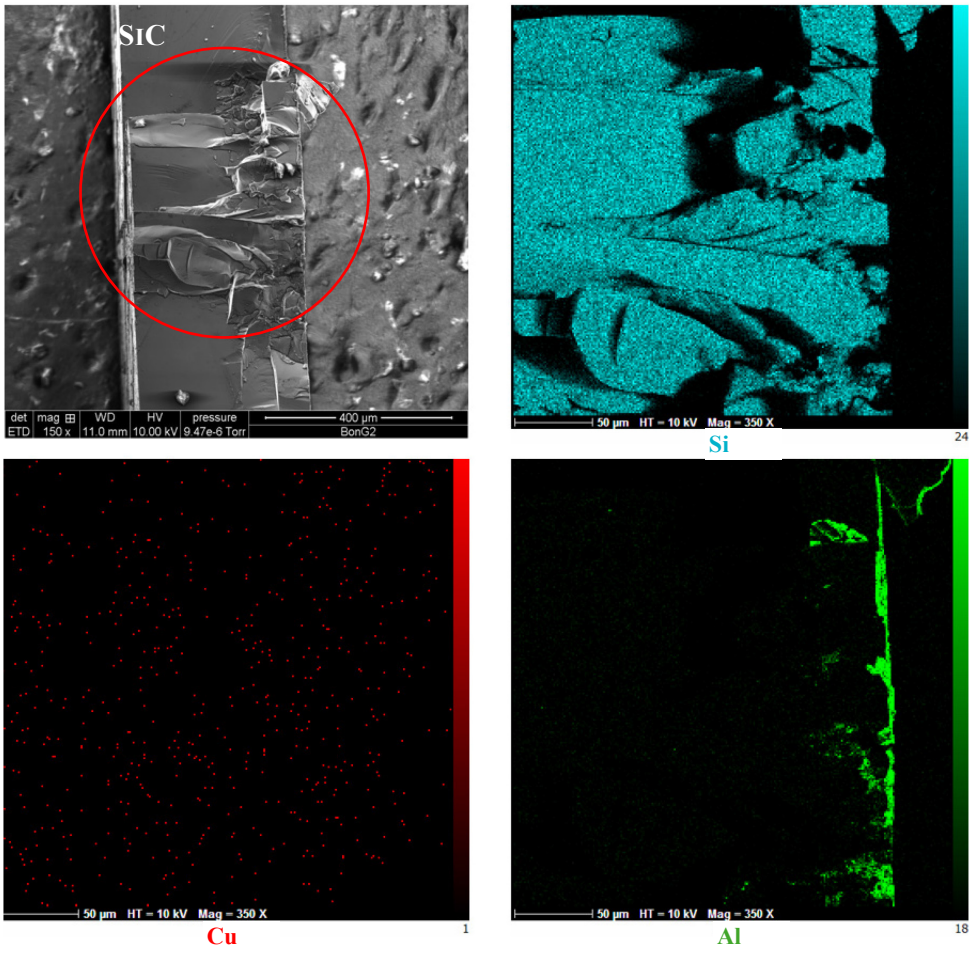


Figure D-12: Observation en EDX de la puce SiC détruite lors du test en avalanche.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.2. Feuillard argent (Ag)

D.3.2.1 Résultats en régime de court-circuit

D.3.2.1.1 Résultats électriques

La Figure D-13 expose les formes d'ondes du courant de drain (I_d), et l'énergie dissipée (E), de l'échantillon sous test pendant la phase de court-circuit. L'énergie dissipée pour la durée de court-circuit T_{cc} = 242 µs est estimée à 6,9 J, soit une densité surfacique d´énergie de 76 J/cm^2. Pour déterminer si la défaillance en court-circuit est stable ou non, nous réalisons un test de passage de courant (Figure D-14). Il en résulte que le court-circuit est stable avec une valeur R_{CC} constante (140 mΩ).

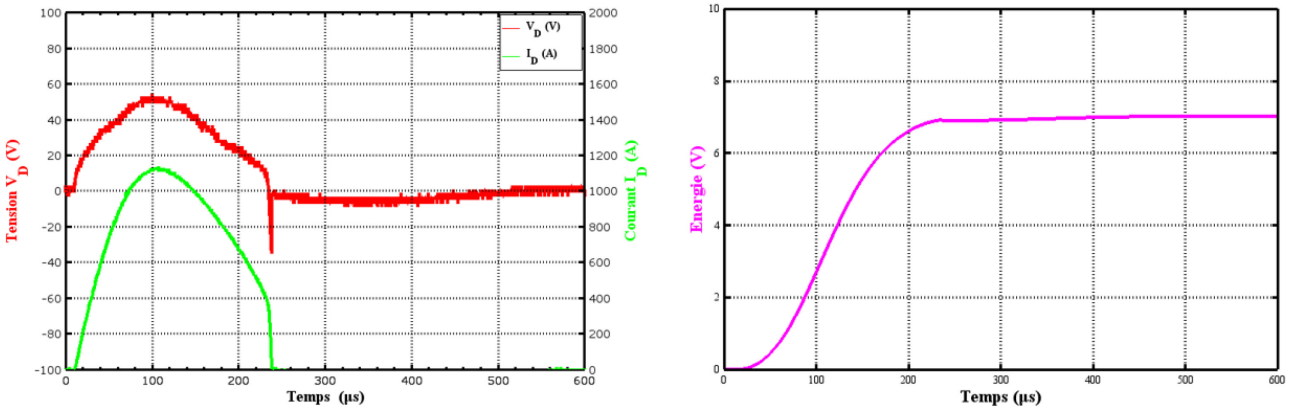


Figure D-13: Courbes (Courant, Energie dissipée et tension) mesurées lors d'un test en court-circuit.

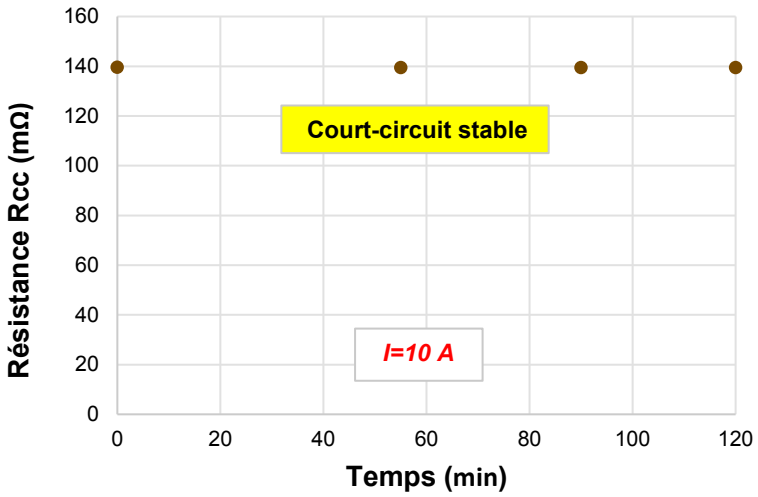


Figure D-14: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Ag) détruit en court-circuit.

D.3.2.1.2 Observation microscopique

A l'issue des essais électriques, le feuillard reste collé à la puce. La Figure D-15 montre que la puce est largement fissurée, mais les fragments restent en place du fait de leur adhésion au feuillard. Une coupe métallographique est effectué, et la section est donnée Figure D-15. Des fissures sont observées sur toute l'épaisseur de la puce. Sur la section présentée Figure D-15, aucune zone conductrice n'apparait clairement.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Une zone de défaillance présente mais non visible dans le plan de coupe est sans doute responsable de la création du court-circuit entre les terminaux de la puce.

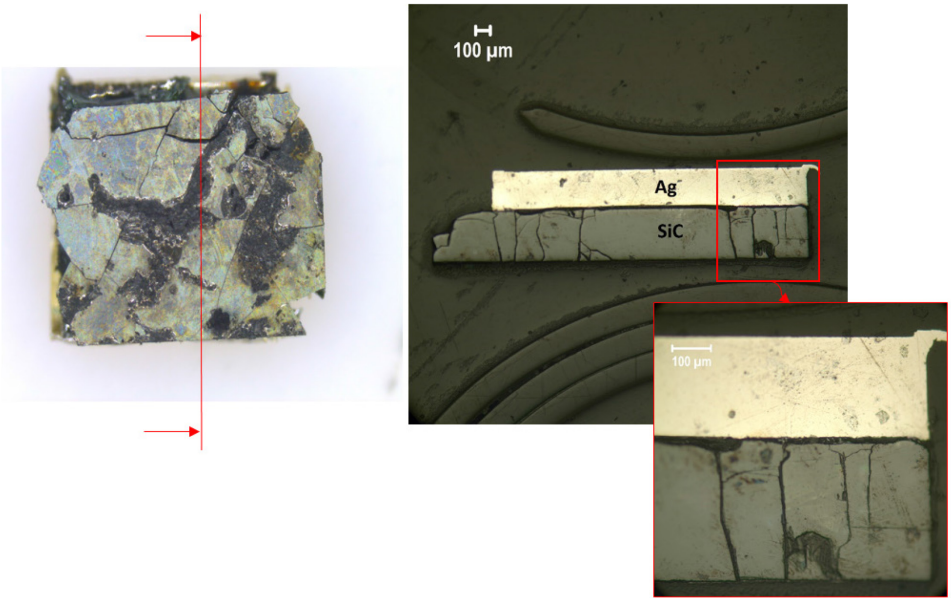


Figure D-15: Coupe transversale de l'échantillon défaillant lors du test en court-circuit et après passage de courant (10 A).

D.3.2.2 Résultats en régime d'avalanche

D.3.2.2.1 Résultats électriques

La Figure D-16 présent les formes d'ondes lors de la défaillance de l'échantillon sous test en avalanche. Dans cette figure, la défaillance apparait à Tav = 130 µs. L'énergie dissipée au cours de ce test est estimée à 6.6 J. ce qui correspond à une densité d'énergie dissipée, E_{Diss} = 73 J/cm2.

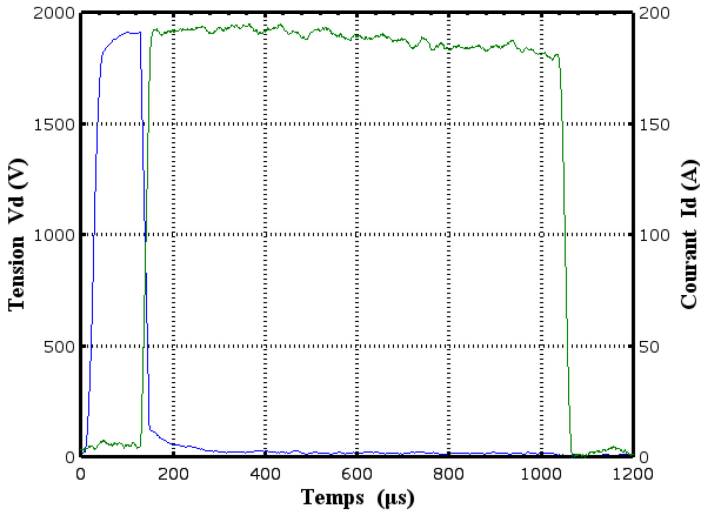


Figure D-16: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.6 J

A l'issue du test destructif en avalanche, nous avons procédé à l'injection du courant (10 A) dans l'échantillon détruit. Les résultats de ce test sont fournis dans la Figure D-17. Nous observons que la résistance initiale du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

court-circuit était de 123 mΩ. Puis une très légère diminution a été observée après deux heures de passage de courant. Dans ces conditions, il s'agit d'un court-circuit stable.

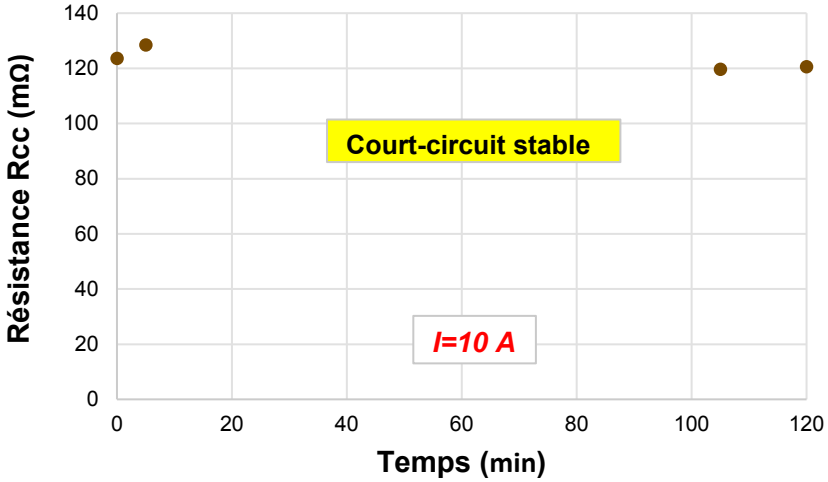


Figure D-17: Evolution au cours du temps de la résistance Rcc d'un échantillon (SiC puce/feuillard Ag) détruit en avalanche.

D.3.2.2.2 Observation microscopique

L'échantillon défaillant est visible sur la Figure D-18. À l'aide d'un microscope optique, nous observons une zone fondue au niveau de la puce SiC ainsi sur la métallisation Ag. Le trou encerclé sur la Figure D-18 traverse tout l'épaisseur de la puce. Pour affiner cette analyse, une spectroscopie par rayon-X (EDX) a été réalisée sur la surface de la puce (Figure D-19).



Figure D-18: Photo illustrant le perçage de l'échantillon défaillant (Puce SiC/Feuillard argent) conduisant à un mode de défaillance en court-circuit.

La Figure D-19 (a) illustre le cratère formé lors du test destructif en avalanche sur la puce. La cartographie EDX est présentée dans la Figure D-19 (b). Dans la Figure D-19 (c), la phase sombre représente Si tandis que la phase claire correspond à l'Ag et Al. La composition des matières au point A est Si 11.8 at%, Ag 60.8 at%, Al 7.8 at% et C 4 at%. Au point B, elle est Si 73 à%, Ag 0.85 at%, C 22 à% et Al 3.78 at%.

D'après la Figure D-19 (d), nous observons des filaments métalliques sur les parois du cratère. Ces filaments d'argent et d'aluminium sont probablement responsables du comportement faiblement résistif de la puce après

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

défaillance. La Figure D-20 montre l'analyse de la métallisation argent sous MEB. La composition des matériaux au point C est Si 38 at%, Ag 3.24 at%, C 34 at%. Tandis que la composition au point D est Si 0,68 at%, Ag 64 at%, C 4 at% et Al 22 at%. Il apparait donc qu'un fragment de SiC (en noir Figure D-20 (a)) est resté collé au feuillard.

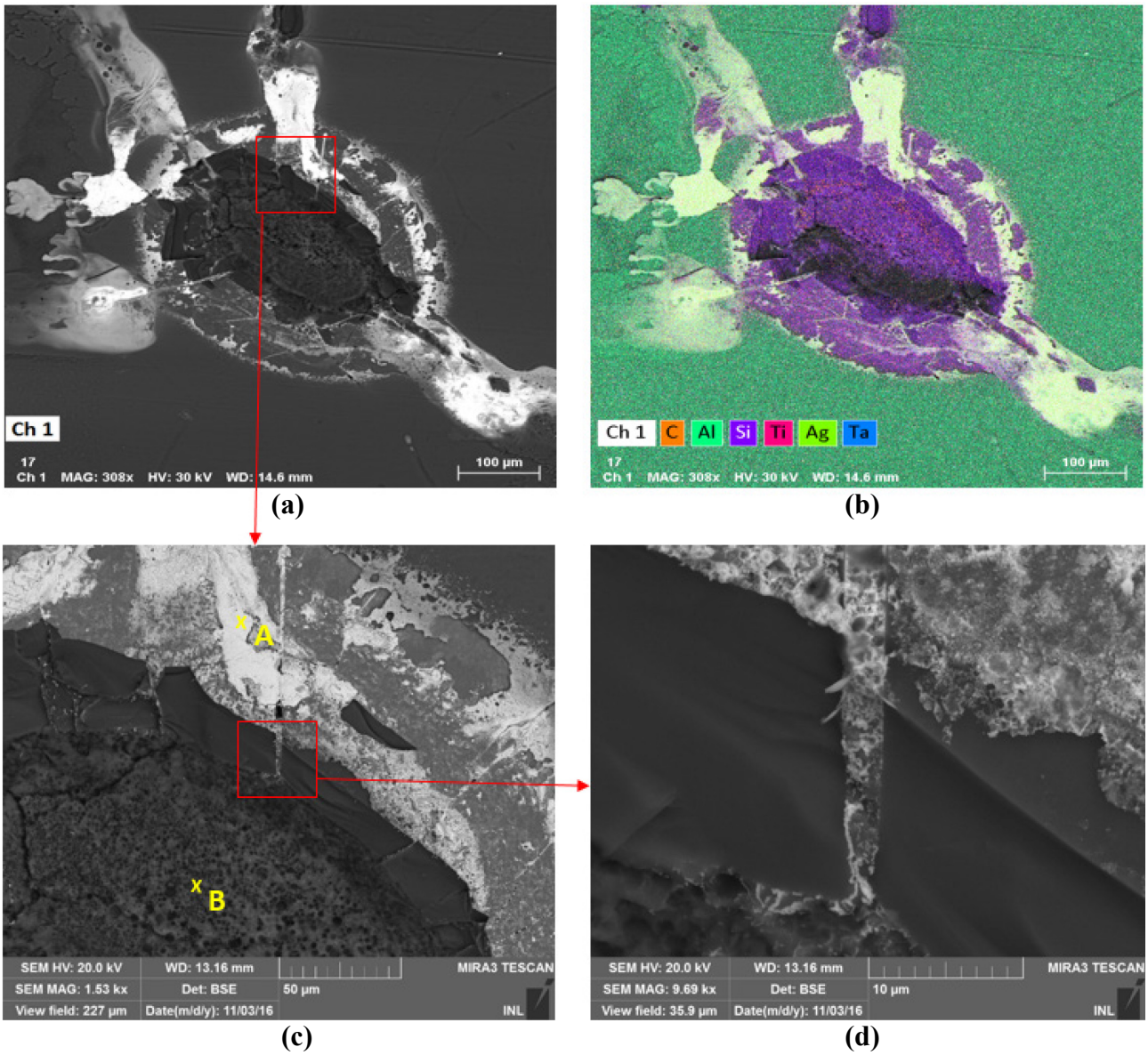


Figure D-19: Observation MEB de la puce SiC défaillante en avalanche (feuillard argent).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

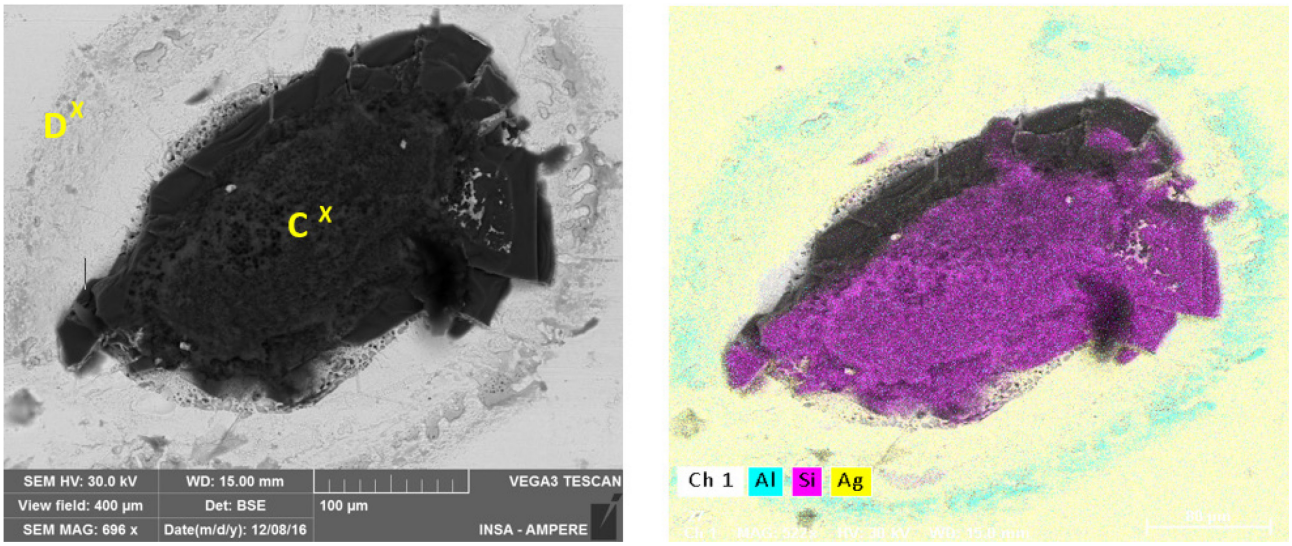


Figure D-20 : Observation MEB du feuillard argent (droit) et analyse d'éléments (gauche).

D.3.3. Feuillard aluminium (Al)

D.3.3.1 Résultats en régime de court-circuit

D.3.3.1.1 Résultats électriques

La Figure D-21 présente les formes d'ondes du courant (I_d), et de l'énergie dissipé (E) pendant la phase de court-circuit. La défaillance apparait pour une durée de court-circuit égale à 238 µs. Le défaut apparait sur la tension de la diode (V_d) qui s'annule au moment du blocage du transistor auxiliaire. L'énergie dissipée est estimée à 7.8 J, soit une densité surfacique d´énergie de 86 J/cm^2.

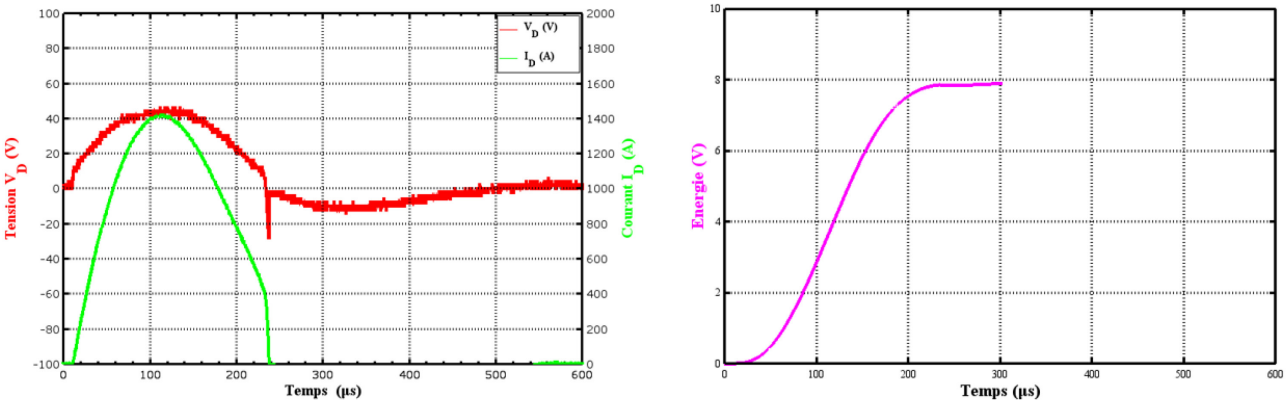


Figure D-21: Courbes (Courant, tension et énergie dissipée) mesurées lors d'un test en court-circuit.

La Figure D-22 présente l'évolution de la résistance électrique de l'échantillon défaillant, en fonction du temps. Nous observons que la résistance initiale de court-circuit est restée constante après deux heures de passage de courant (10 A).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

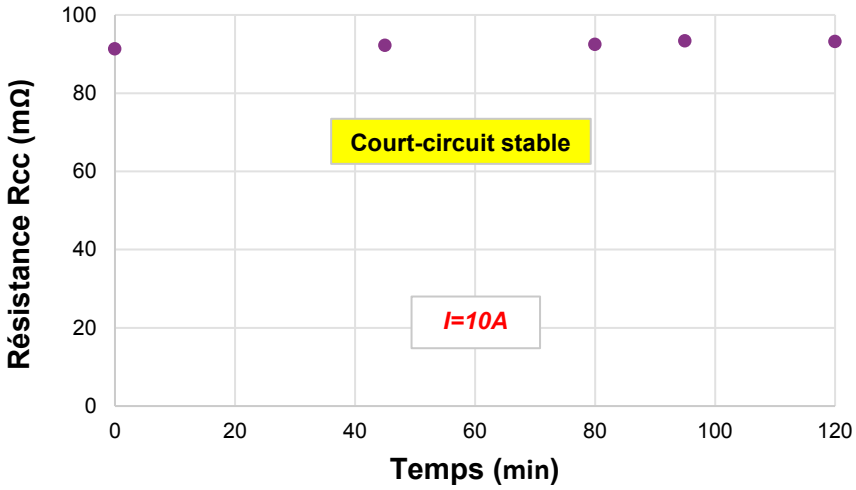


Figure D-22: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Al) détruit en court-circuit.

D.3.3.1.2 Observation microscopique

La Figure D-23 présente une vue de dessus l'échantillon sous test. Nous observons qu'une grande partie de la puce SiC a été cassé durant le test en court-circuit.

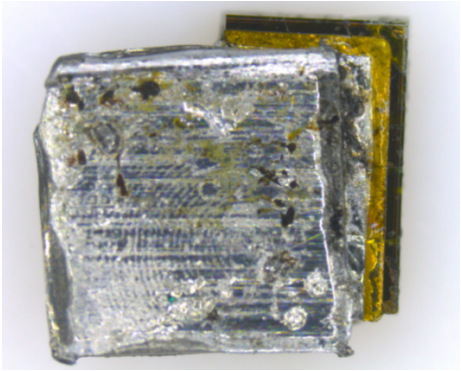


Figure D-23: Vue de dessus de l'échantillon défaillant (Puce SiC/feuillard Al)

D.3.3.2 Résultats en régime d'avalanche

D.3.3.2.1 Résultats électriques

La Figure D-24 présente les formes d'ondes du courant (I_d) et de tension (V_d) de l'échantillon défaillant pendant le test en avalanche. Quelques centaine de microsecondes après la phase d'avalanche, un court-circuit apparaît entre les terminaux de la diode. L'énergie dissipée au cours de ce test est estimée à 6.3 J ce qui correspond à une densité d'énergie dissipée, E_{Diss} = 70 J/cm^2. L'évolution de la résistance au cours du temps est présentée Figure D-25. Le court-circuit est instable, et de résistance élevée.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

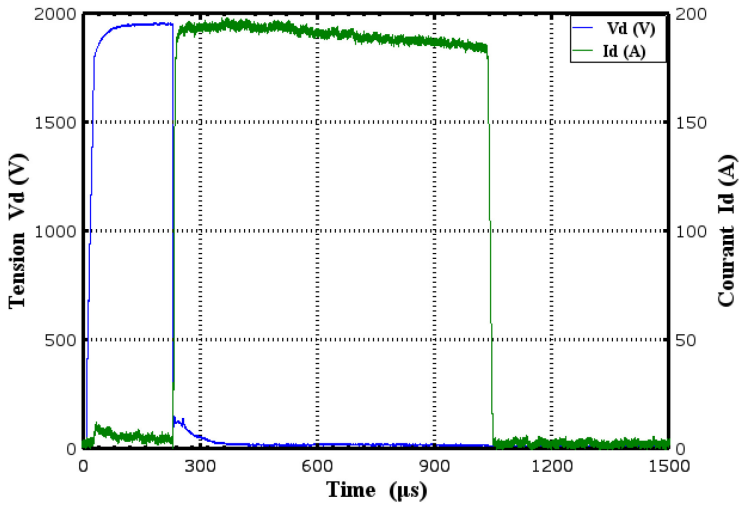


Figure D-24: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 6.3 J

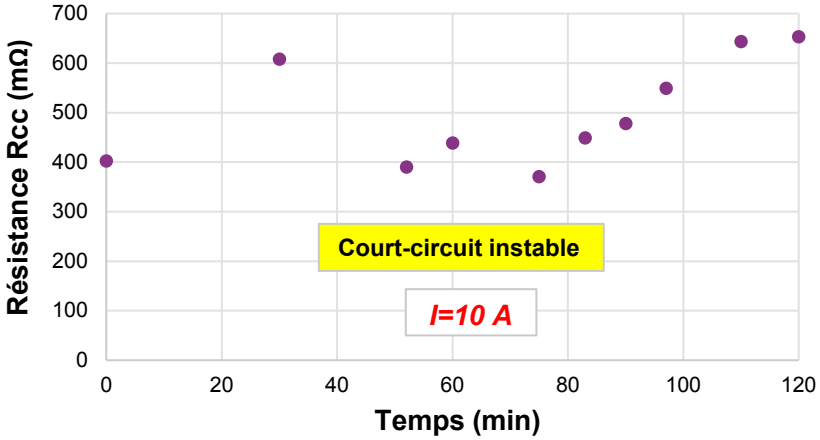


Figure D-25 : Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Al) détruit en avalanche.

D.3.3.2.2 Observation microscopique

La valeur élevée de R_{CC} se traduit par une forte dissipation durant l'essai de stabilité. En conséquence, la température atteinte au niveau du contact est très élevée, comme visible sur la Figure D-26, puisqu'on observe une émission lumineuse. À la fin des essais, il apparait que la métallisation aluminium a flué et qu'elle a changé de forme.



Figure D-26: Vue illustrant la zone de perçage conduisant à un court-circuit entre l'anode et cathode de la puce SiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.4. Feuillard nickel (Ni)

D.3.4.1 Résultats en régime de court-circuit

D.3.4.1.1 Résultats électriques

La Figure D-27 expose les formes d'ondes du courant de drain, Id, et de l'énergie dissipée E, pendant la phase destructif de court-circuit. L'énergie dissipée pour la durée de court-circuit T_{cc} = 240 µs est estimée à 7 J, soit une densité surfacique d'énergie de 77.7 J/cm^2.

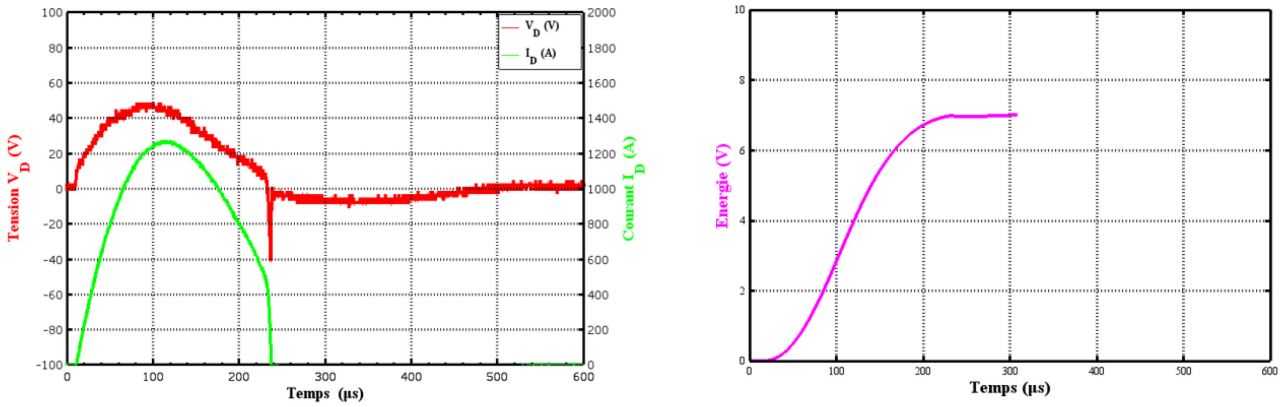


Figure D-27: Courbes (Courant, tension et énergie dissipée) mesurées lors d'un test en court-circuit.

Les résultats de vieillissement de la résistance de contact Rcc au cours du passage de courant (10 A) sont montrés sur la Figure D-28. Nous observons que la résistance initiale du court-circuit est de 140 mΩ. Cette valeur reste constante après deux heures de passage de courant.

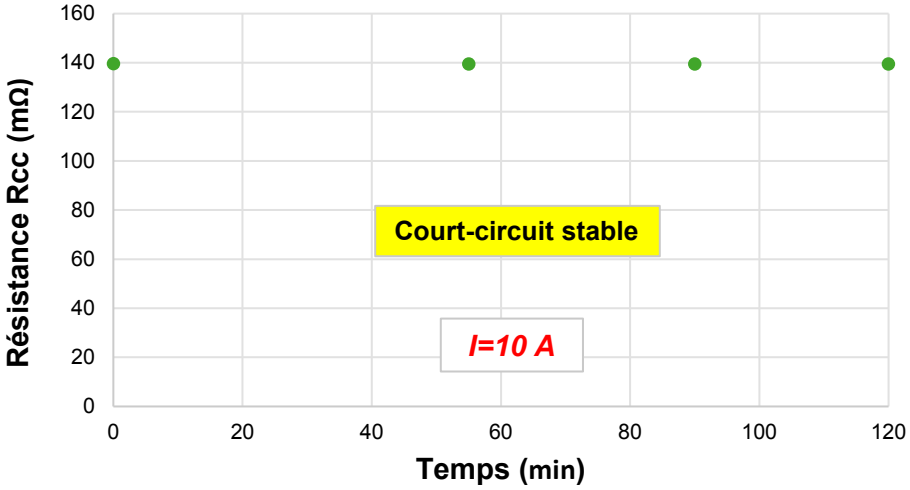


Figure D-28: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Ni) détruit en court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.4.1.2 Observation microscopique :

Les images révèlent un endommagement d'une partie importante de la puce. Nous avons réalisé une micro-section de la puce selon le trait fin sur la Figure D-29. Cet endommagement laisse penser qu'un courant pourrait circuler à travers la zone encerclée sur la Figure D-29. Pour vérifier cette hypothèse, des analyses spectroscopie par rayon-X (EDX) ont été réalisées pour connaitre la composition élémentaire de cette zone.

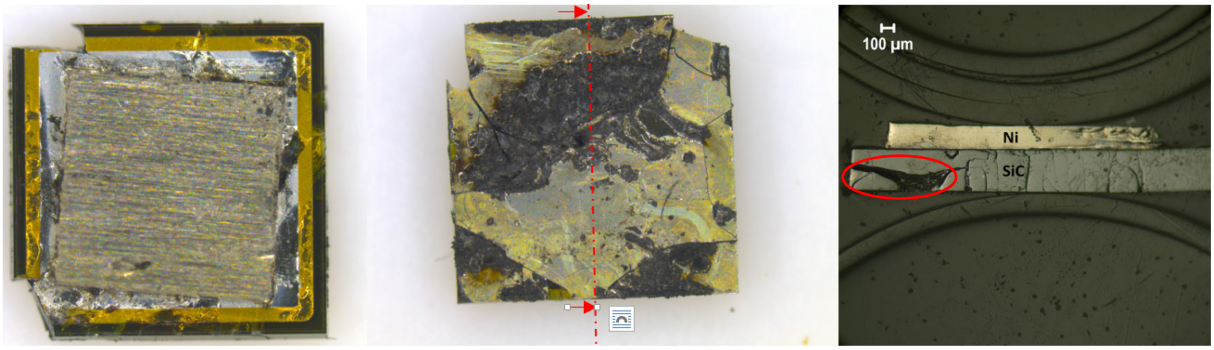


Figure D-29: Observation microscopique de l'échantillon (puce SiC/feuillard Ni) défaillant lors du test de court-circuit.

L'analyse MEB de la zone encerclée de la Figure D-29 révèle des pics dominants du silicium (Figure D-30). Il s'avère que cette zone fondue est peu voire non-conductrice. Un cratère non visible sur notre plan de coupe est probablement responsable de la création du court-circuit entre l'anode et cathode de la puce.

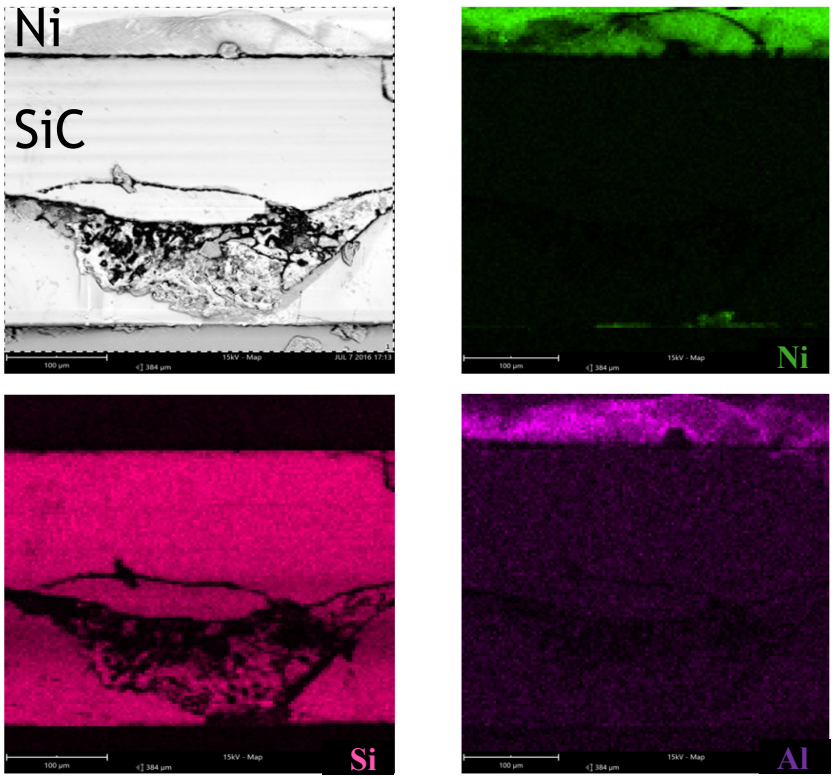


Figure D-30: Observation EDX de la zone encerclée sur la Figure D-30.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.4.2 Résultats en régime d'avalanche

D.3.4.2.1 Résultats électriques

La Figure D-31 présente les formes d'ondes du courant (I_d) et de tension (V_d) de l'échantillon défaillant durant un essai en avalanche. À l'instant du défaut, le courant augmente très rapidement et la tension V_d s'écroule. L'échantillon se trouve ainsi en court-circuit. L'énergie dissipée au cours de ce test est estimée à 9.7 J, ce qui correspond à une densité d'énergie dissipée, E_{Diss} = 107 J/cm^2.

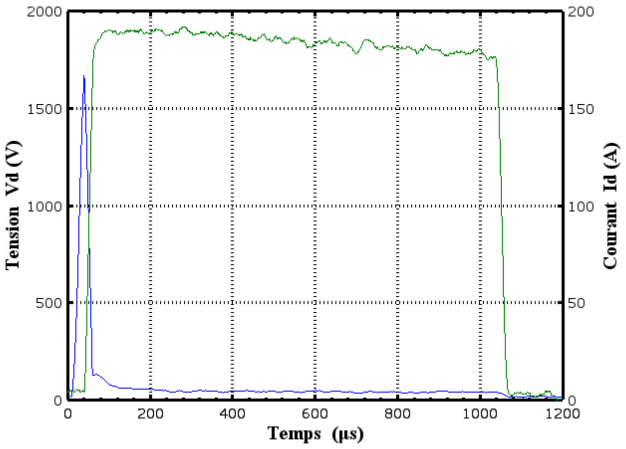


Figure D-31: Formes d'ondes (Tension/courant) mesurées aux bornes du véhicule de test lors d'un test en avalanche @ 9.7 J.

La Figure D-32 montre le profil de résistance de contact électrique de l'échantillon défectueux en court- circuit. En injectant un courant de 10 A dans la puce défaillante, nous observons une phase de décroissance puis d'augmentation de la résistance (et donc de l'effet joule). Au bout de deux heures de passage de courant, le mode de court-circuit est jugé instable.

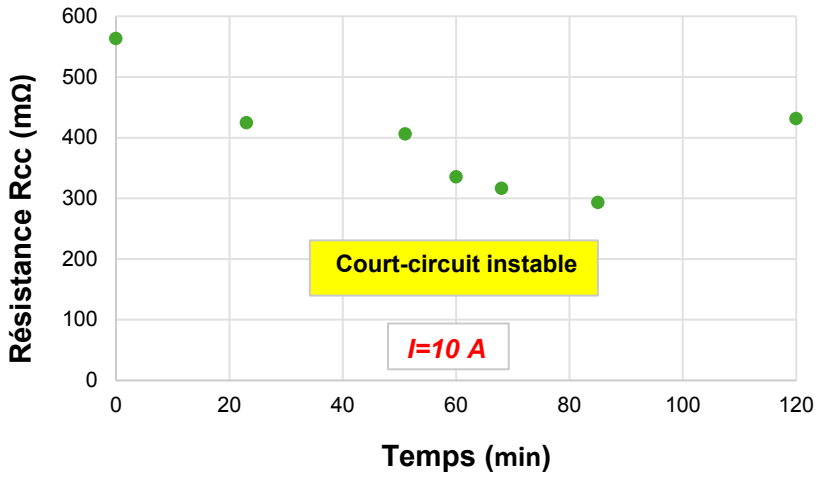


Figure D-32: Evolution au cours du temps de la résistance Rcc d'un échantillon (feuillard Ni) détruit en avalanche.

D.3.4.2.2 Observation microscopique

Une inspection en surface de l'échantillon défaillant nous permet de voir un cratère formé au niveau de la puce SiC et du feuillard Ni. Cette zone est encerclée sur la Figure D-33. Sa création laisse penser qu'une

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

augmentation locale de la température s'est produite lors du test d'avalanche. Pour étayer l'analyse de ce phénomène nous avons reproduit des analyses EDX pour connaitre la composition élémentaire de la zone engendrant le court-circuit entre les terminaux de puce.

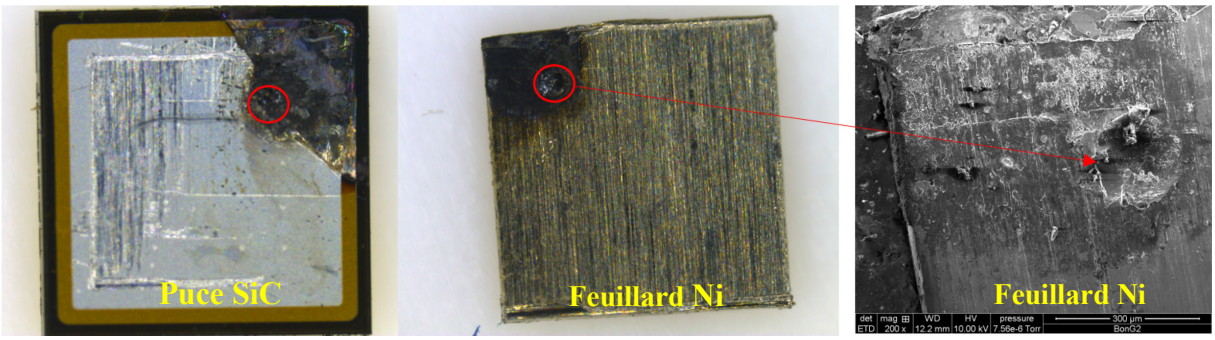


Figure D-33: Observation microscopique de la puce SiC et feuillard nickel.

La section observée suit la ligne de fissure représentée par un trait fin sur la figure ci-dessous. À partir des images obtenues, nous observons clairement la zone de perçage du SiC fondu. Les cartographies EDX montrent que le nickel ne s'est pas déposé sur la tranche de la puce. Seule une légère présence d'aluminium est observée. Elle peut expliquer la résistance anode-cathode mesurée. La très fine couche de métal trouvée sur les bords de la zone fondue ne permet pas de garantir une bonne qualité du mode de défaillance en court-circuit. Cela justifie l'allure instable de la résistance présentée sur la Figure D-32.

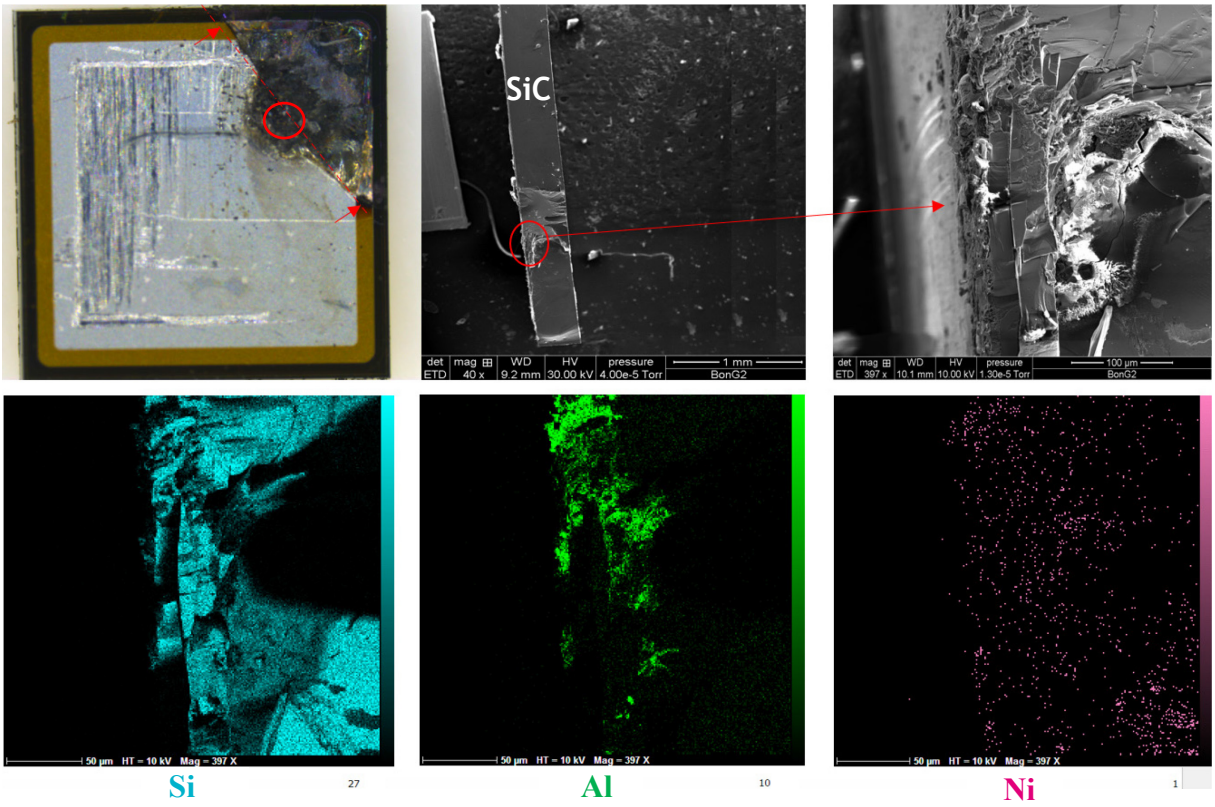


Figure D-34: Observation en EDX de la puce SiC détruite en avalanche.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.5. Discussion

D.3.5.1 Régime de court-circuit

Les tests de court-circuit ont été réalisés en utilisant des puces SiC en contact avec différents matériaux métalliques (Cu, Ag, Al et Ni). Durant chaque test, l'échantillon est pressé entre deux pièces métalliques, séparées par un fluide diélectrique. Nous avons cherché à évaluer le mode de défaillance de cette structure Press-Pack sous des conditions de fonctionnement extrême. À cet effet, un lot d'échantillons a été détruit en court-circuit, puis leurs résistances (Rcc) ont été mesurées en injectant un courant dans les puces défaillantes. Les résultats sont reproduits sur la Figure D-35. Dans cette figure, nous comparons les profils de résistance relevés lors du test de passage de courant (10 A) pour tous les échantillons défaillant en régime de court-circuit. Comme illustré sur la Figure D-35, tous les échantillons utilisant un feuillard Al, Ag, Cu et Ni donnent un court-circuit stable. À noter qu'il n'y a pas eu de différences notables entre l'utilisation de ces différentes métallisations. En effet, après 2 heures de test de vieillissement en courant (10 A), les valeurs des résistances des échantillons sont comprises entre 93 mΩ (pour le cas de l'aluminium) et 139 mΩ (pour une métallisation argent). D'autre part, d'après la courbe orange de la Figure D-35, l'utilisation d'un échantillon sans métallisation (c'est-à-dire que la puce SiC est en contact direct avec les deux pièces en molybdène) présentait une résistance initiale de 457 mΩ. Cependant, en injectant un courant de 10 A dans la puce défaillante, nous apercevons une phase transitoire d'augmentation de la résistance (et donc de l'effet joule) et qui atteint 3000 mΩ après 2 heures du test de passage en courant.

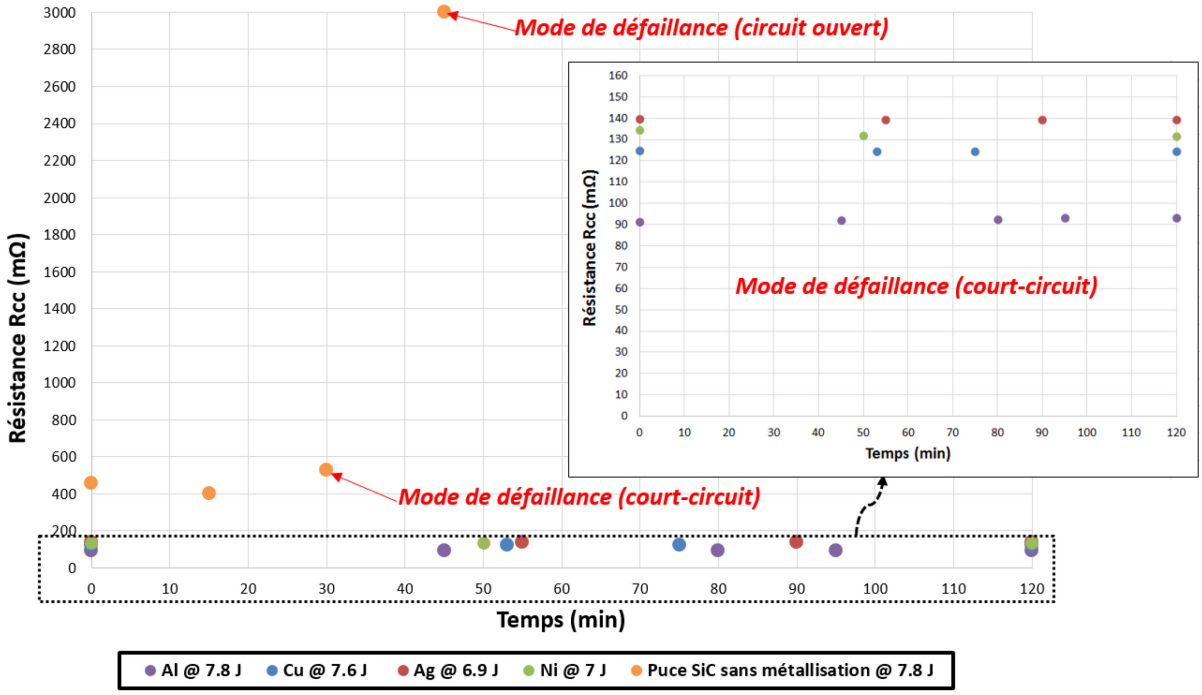


Figure D-35: Comparaison des résistances des échantillons (Après un test destructif de court-circuit) subissant un test de passage de courant 10 A.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Le Tableau D-2 reproduit les résultats de tests en régime de court-circuit présentés dans la Figure D-35. À partir de l'analyse des données expérimentales, on peut noter que les échantillons utilisant des métallisations Al, Ag, Cu et Ni (à l'exception du Mo) ont tous un mode de défaillance de court-circuit stable.

Échantillon	Énergie de défaillance (J)	Résistance initiale (mΩ)	Résistance finale (mΩ)	Temps de passage de courant @ 10 A (min)	État du court-circuit
(Puce sans métallisation en contact avec Mo)	7.8	457	3000	45	Instable
Cuivre	7.6	124	124	120	Stable
Aluminium	7.8	91	93	120	Stable
Argent	6.9	139	139	120	Stable
Nickel	7	134	131	120	Stable

Tableau D-2: Récapitulatif des résultats de tests en régime de court-circuit.

Une des premières questions qui vient à l'esprit est de savoir si les résultats obtenus dans la Figure D-35 et Tableau D-2 sont reproductibles. À ce sujet, la Figure D-36 met évidence une forte dispersion des valeurs de Rcc montrant que la reproductibilité est médiocre, mettant en jeu une forte sensibilité aux conditions expérimentales. Selon les courbes tracées sur la Figure D-36, les résultats de test sont non reproductibles. Le comportement ohmique de la structure testée lors de la défaillance est par conséquent erratique.

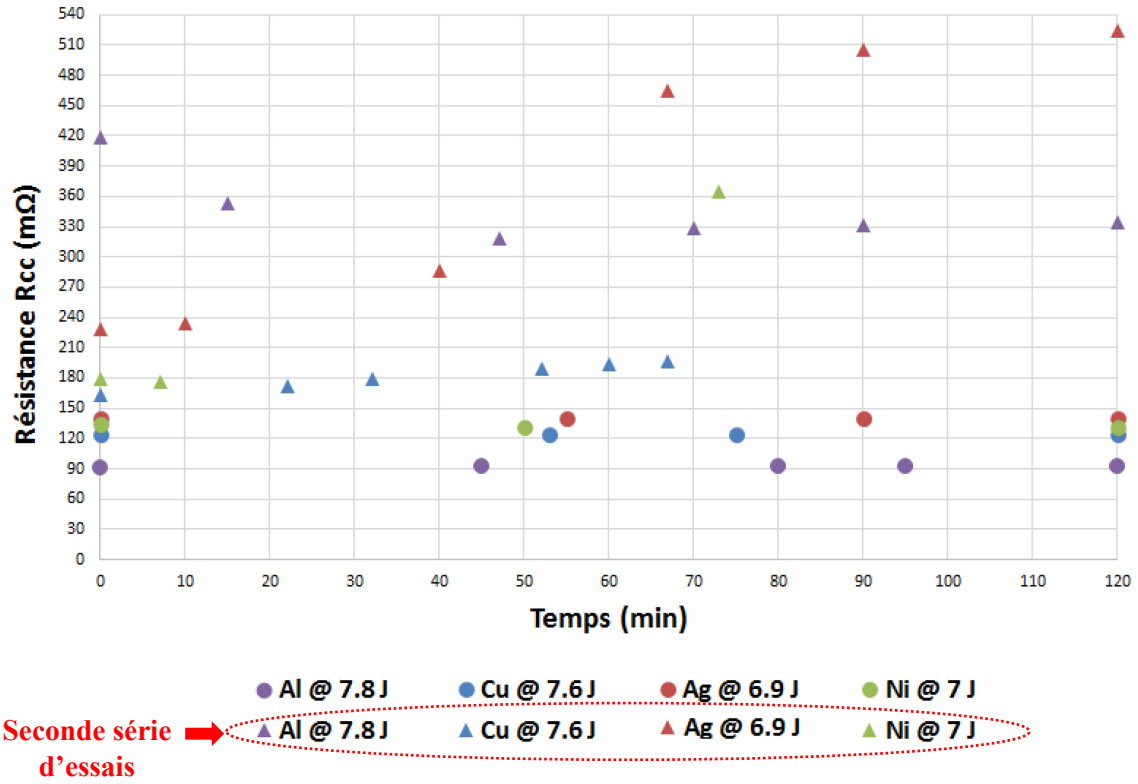


Figure D-36: Vérification de la reproductibilité des résultats de la Figure D-35.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.3.5.2 Régime d'avalanche

La Figure D-37 compare les profils de résistance électrique lors du test de passage de courant pour tous les échantillons détruits en régime d'avalanche utilisant la structure présentée dans la Figure D-3. Selon les courbes de la figure ci-dessous, les résistances des échantillons utilisant les feuillards Al, Cu et Ni offrent un mode de défaillance de court-circuit instable. L'échantillon à base d'Ag permet d'obtenir une résistance initiale de 123 mΩ. Cependant, ce résultat n'a pas été reproduit sur d'autres échantillons en Ag et ne semble pas généralisable. Nous ne savons pas aujourd'hui expliquer cette tendance.

Bien que les échantillons testés aient tous un mode de défaillance en court-circuit lors des essais en avalanche, le comportement ohmique de cette structure est cependant instable avec des résistances mesurées avec un rapport variable. En effet, les échantillons pourraient avoir soit un mode de défaillance stable avec une résistance inférieur à 200 mΩ ou un mode défaillance instable avec une résistance supérieure à 400 mΩ.

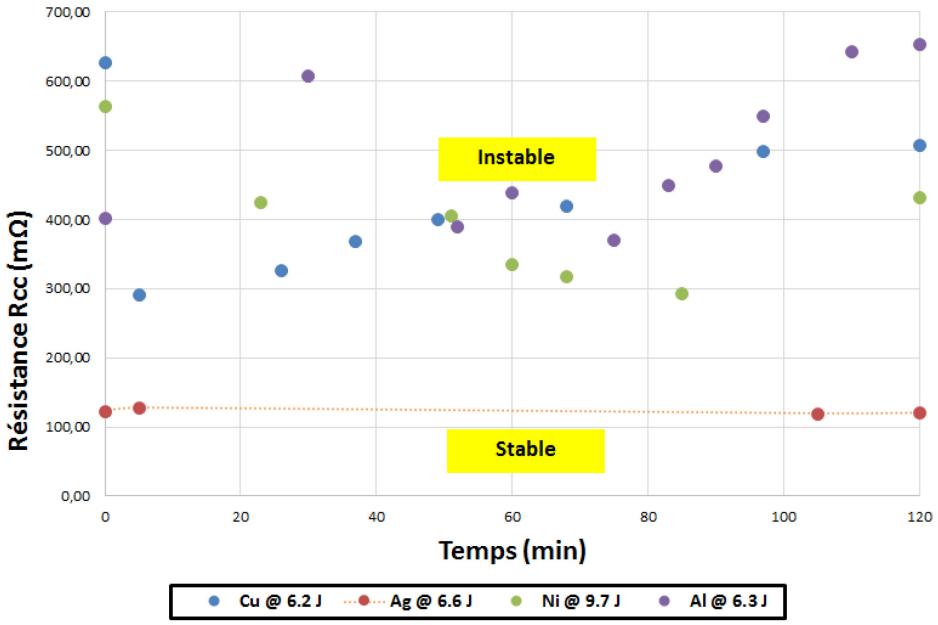


Figure D-37: Comparaison des résistances des échantillons (détruits en régime d'avalanche) subissant un test de passage de courant 10 A.

Une des hypothèses qui peut expliquer la grande dispersion expérimentale observée est que lors des essais, les puces sont cassées en une multitude de fragments. Ces fragments étant libres de bouger (Il arrive fréquemment que nous ne le retrouvions pas tous à la fin des essais), leur déplacement peut interrompre la circulation du courant et causer de mauvais contacts.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.4. Résultats experimentaux des puces montées sur substrat DBC

D.4.1. Description du véhicule de test

Pour se rapprocher de la structure réelle d'un module de puissance, nous avons reporté des puces SiC sur un substrat DBC. Cela permet également d'étudier le comportement des puces brasées sur un substrat (dans les essais précédents, les puces étaient simplement maintenues dans un logement du support). Pour des raisons de simplicité expérimentale, seuls les essais en court-circuit sont effectuées ici (Les essais d'avalanche nécessitent une isolation, et les DBC étaient trop grand pour notre système). Les échantillons sont préparés en utilisant les étapes suivantes:

- Les substrats DBC sont tout d'abord nettoyés en utilisant de l'acétone puis de l'éthanol pour se débarrasser de toute pollution organique (Figure D-38 (a)).
- Un pochoir d'inox est utilisé pour déposer de la pâte d'argent Heraeus (ASP 295) comme illustré sur la Figure D-38 (b).
- La puce est placée sur le dépôt de pâte d'argent. L'ensemble est placé dans un four pour effectuer le frittage de la pâte d'argent. Le cycle thermique est le suivant : rampe 3°C/min jusqu'à 170° C, pallier de 30 min puis échelon rapide jusqu'à 240°C et palier d'une heure. Les puces utilisées dans la préparation des échantillons sont les mêmes que celles utilisées précédemment (Puce diode SiC 1200V/20 A).
- Les tests de fonctionnement extrême ont été réalisés en utilisant les mêmes feuillards métalliques (MUT) Cu, Ag, Al et Ni.

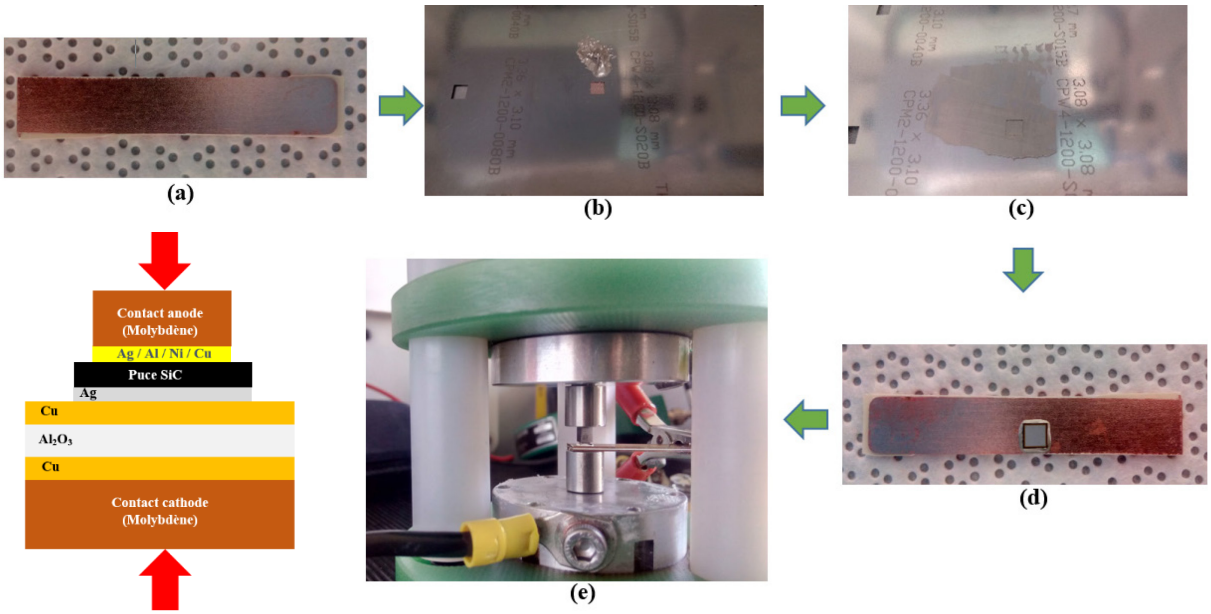


Figure D-38: Méthode de préparation d'un échantillon à base d'un substrat DBC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.4.2. Résultats du régime de court-circuit

La Figure D-39 et Tableau D-3 présentent les résultats de mesure des résistances R_{CC} lors vieillissement en courant (10 A) pour tous les échantillons défaillants à base des puces SiC brasées sur des substrats DBC. À la différence de la structure utilisée dans la Figure D-3, la structure de la Figure D-38 permettent d'obtenir des résultats reproductibles. Le comportement ohmique de cette structure est stable avec des résistances mesurées variant entre 72 à 172 mΩ.

D'après la figure ci-dessous, nous observons que l'échantillon sans métallisation (courbe orange) présente une résistance initiale de 433 mΩ. Cette dernière augmente pour atteindre 700 mΩ après deux heures de passage de courant (10 A). Il en résulte que si la puce SiC est en contact direct avec le molybdène, cela conduit à un court-circuit instable. Les résultats de la Figure D-39 montrent que l'utilisation des feuillards métalliques (Cu, Al, Ag et Ni) permettent d'offrir un court-circuit stable. La résistance de l'échantillon qui utilise un feuillard argent est très stable avec une résistance initiale de 129 mΩ et qui a finalement atteint 72 mΩ après 2 heures de passage de courant. L'échantillon à base d'Al permet d'obtenir une résistance de contact initiale de 179 mΩ, tandis que celui qui utilise un feuillard de cuivre présente une résistance initiale assez faible, 139 mΩ. Au cours du test de passage en courant, sa résistance atteint 142 mΩ, ce qui est considéré comme stable. Plusieurs modules de puissance existant dans le commerce, utilisent des solutions de connexion internes à base de cuivre (ex Bumps). De ce fait, l'utilisation du Cu en tant que matériel d'interconnexion peut être utile pour le développement du démonstrateur de module Fail-to-short.

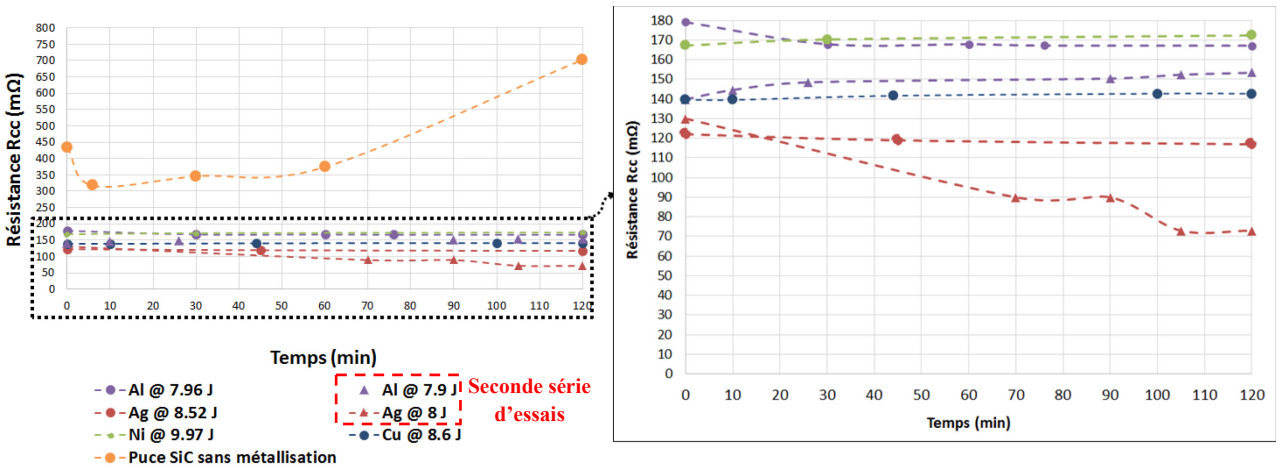


Figure D-39: Evolution des résistances des puces montées sur substrat DBC (défaillant en régime de court-circuit) subissant un test de passage de courant 10 A.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Échantillon	Énergie de défaillance (J)	Résistance initiale (mΩ)	Résistance finale (mΩ)	Temps de passage de courant @ 10 A (min)	État du court-circuit
(Puce sans métallisation en contact avec Mo)	8	433	722	120	***Instable***
Cuivre	8.6	139	142		***Stable***
Aluminium	7.96	179	167		***Stable***
	7.9	139	153		***Stable***
Argent	8	129	72		***Stable***
	8.52	122	117		***Stable***
Nickel	7	134	131		***Stable***

Tableau D-3: Récapitulatif des résultats de tests en régime de court-circuit des puces montées sur substrat DBC.

La Figure D-40 présente un exemple de coupe transversale réalisé sur un échantillon utilisant un feuillard d'Al. Des analyses EDX ont été effectuées pour connaitre la composition élémentaire de la zone de fusion observée au niveau de l'échantillon. Ce dernier a été métallisé en Au afin que sa surface soit conductrice. Cela évite que l'échantillon charge quand il est exposé dans le MEB. L'analyse EDX montre une présence prépondérante du silicium, des teneurs importantes en carbone et en oxygène et des faibles teneurs en cuivre. Le spectre et les résultats quantitatifs de la zone inspectée sont représentés sur la Figure D-40. Au regard des résultats obtenus, une hypothèse peut être construite: Si nous supposons que la présence de l'Al provient de la métallisation, la remontée de cuivre en surface pourrait prouver la création d'une zone de perçage au niveau de l'échantillon au moment de sa défaillance. La création de cette zone (remplie par une très fine couche d'aluminium) forme un pont métallique, traversant toute l'épaisseur de la puce et réalisant ainsi un véritable court-circuit entre les terminaux de la puce SiC.

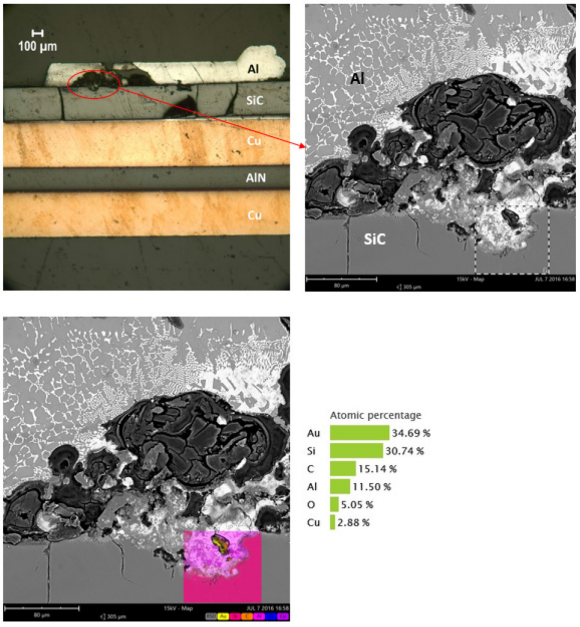


Figure D-40: Observation en EDX d'un échantillon (à base d'un substrat DBC et d'une métallisation Al) détruit en court-circuit @ E=7.6 J.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Dans cette partie, nous nous intéresserons à l'effet du courant traversant la puce défaillante sur la stabilité de la résistance de l'échantillon. À cet effet, la Figure D-41 reproduit les résultats de mesure de la résistance R_{cc} mesurée au borne d'un échantillon utilisant un feuillard de cuivre et subissant un test de passage de courant à 10 A puis un deuxième test à 20 A.

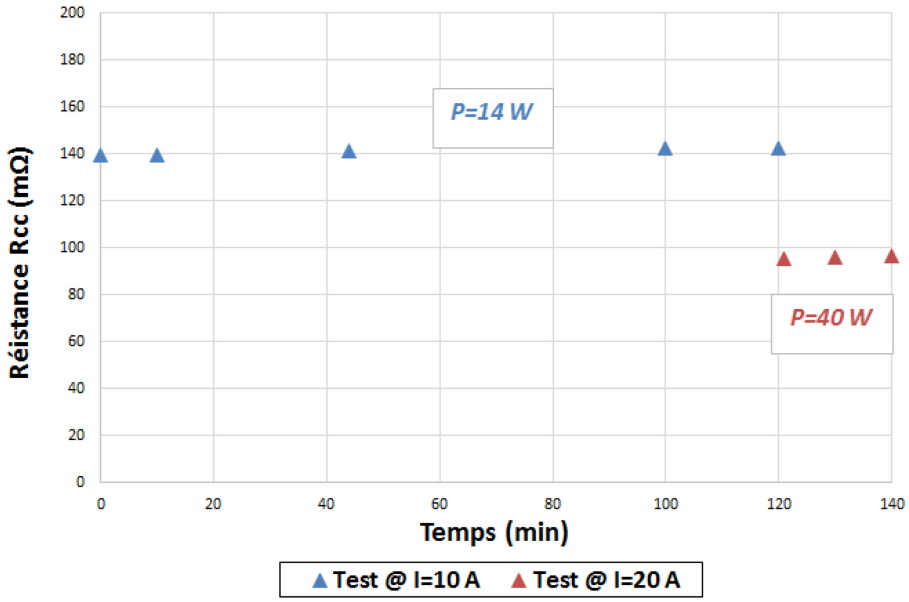


Figure D-41: Impact de l'augmentation du courant traversant l'échantillon défaillant (à base d'un substrat DBC et d'une métallisation Cu) sur la stabilité de sa résistance de contact Rcc.

Lors des deux premières heures de test de passage de courant à 10 A (Courbe bleu de la Figure D-41), nous constatons que la résistance R_{cc} de l'échantillon reste invariable avec une puissance dissipée constante de 14 W. Cependant, en injectant un courant de 20 A dans la puce défaillante, nous apercevons une phase transitoire de décroissance de la résistance, qui atteint 95 mΩ (Courbe Marron de la Figure D-41) qui s'accompagne d'une augmentation de la puissance dissipée dans la puce (40 W). Ce phénomène a été observé sur plusieurs échantillons testés. Une hypothèse est que l'échauffement (estimé à plusieurs centaines de °C, les échantillons étant isolés thermiquement) entraine la fusion (ou augmente la mobilité) des couches métalliques, qui viennent renforcer les filaments conducteurs et améliorer le contact.

L'augmentation de la section de la zone conductrice responsable du court-circuit entre les terminaux de la puce a tendance à réduire la résistance Rcc de l'échantillon (Courbe Marron de la Figure D-41). La Figure D-42 illustre un cas concret de l'impact de l'augmentation du courant sur l'échantillon défaillant. Dans cette figure, on y voit clairement la création d'un trou de diamètre 600 µm (encerclée sur Figure D-42) traversant toute l'épaisseur de la puce SiC, réalisant ainsi un véritable shunt de l'échantillon.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

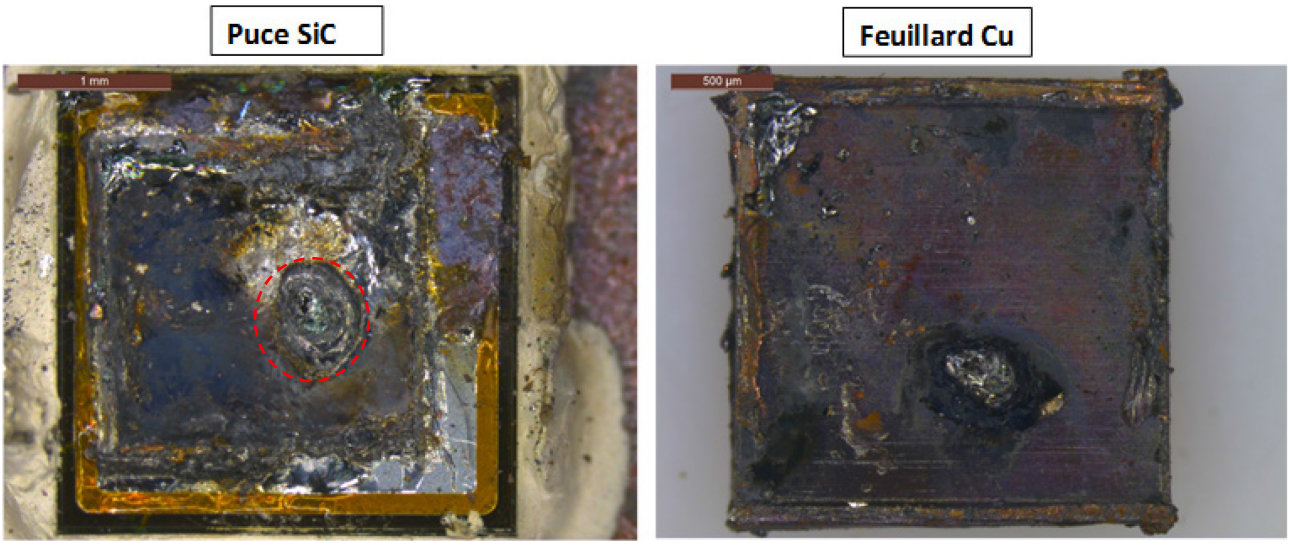


Figure D-42: Observation par microscope optique d'un échantillon (à base d'un substrat DBC et un feuillard Cu) subissant les conditions de test de la Figure D 41.

La Figure D-44 présente l'analyse MEB de l'échantillon défaillant de la figure précédente. L'inspection en surface nous a permis de voir un mélange de différents matériaux fondus (sous forme d'une éclaboussure) déposé sur la surface active de la puce (Figure D-44 (a)). Des analyses EDX ont été effectuées pour connaitre la composition de ce mélange ainsi pour inspecter zone encerclée dans la Figure D-43 (a).

La cartographie EDX de la puce défaillante est représentée dans la Figure D-44 (b). Dans cette figure, on peut observer une présence prépondérante de l'aluminium, des teneurs importantes de silicium et du cuivre, ainsi des traces d'argent. La présence du cuivre sur la surface de la puce laisse penser qu'une augmentation locale importante de la température (au moins 1083 °C) s'est produite au moment de la défaillance de l'échantillon et qui a contribué à la fusion d'une partie du feuillard de cuivre.

La cartographie EDX du cratère (formé au niveau de la surface active de la puce) est présentée dans la Figure D-44 (d). D'après cette figure, si nous supposons que le cuivre et l'aluminium proviennent des métallisations et que l'argent est celui de la brasure, la remontée de l'argent en surface pourrait démontrer que le cratère encerclé dans la figure ci-dessous semble être l'origine du passage de courant après la défaillance de l'échantillon en court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

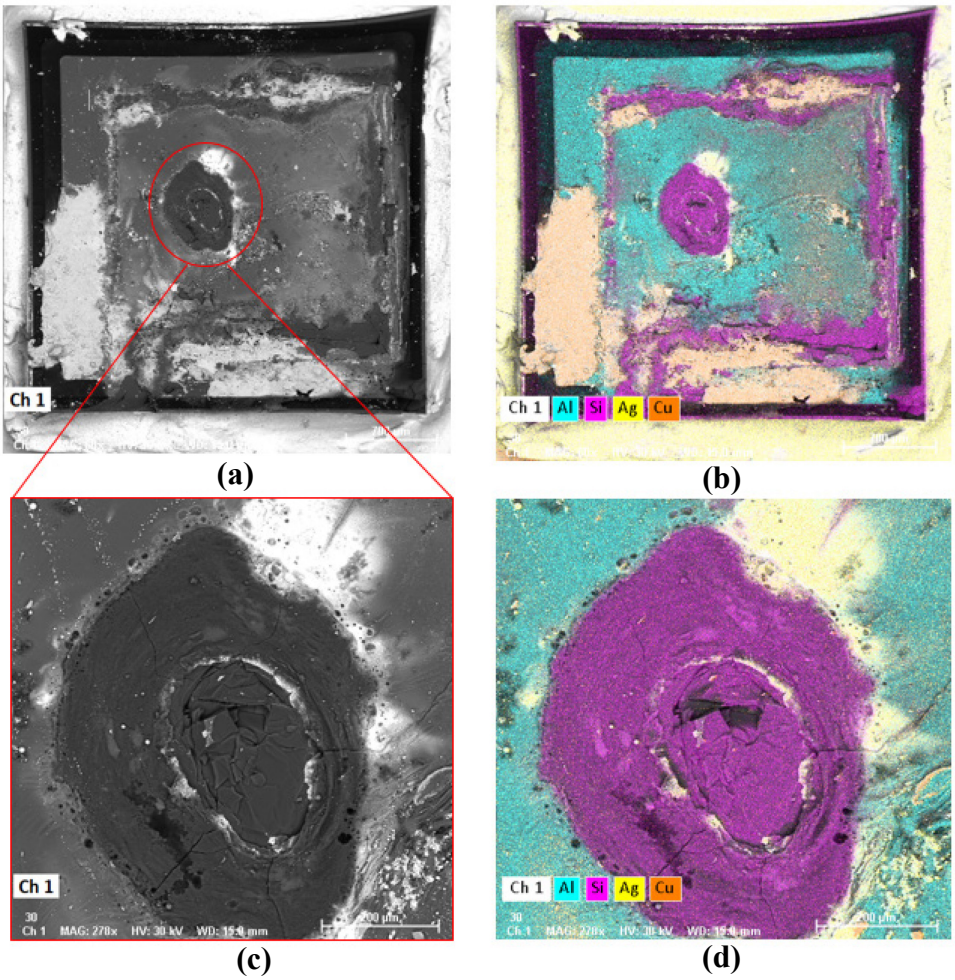


Figure D-44: Observation MEB de la puce défaillante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Le Tableau D-4 synthétise tous les résultats de test en régime de court-circuit réalisé sur une structure Press-Pack (avec et sans substrat DBC). Les résultats du tableau révèlent que l'introduction du substrat permet d'améliorer la stabilité de mode de défaillance en court-circuit.

	Échantillon	Énergie de défaillance (J)	Résistance initiale (mΩ)	Résistance finale (mΩ)	Temps de passage de courant @ 10 A (min)	État du court-circuit
Structure Press-Pack sans DBC (Figure D-3)	(Puce sans métallisation en contact avec Mo)	7.8	457	3000	45	*Instable*
	Cuivre	7.6	124	124	120	*Stable*
		7.6	163	197	67	*Instable*
	Aluminium	7.8	91	93	120	*Stable*
		7.8	418	333	67	*Instable*
	Argent	6.9	139	139	120	*Stable*
		6.9	228	524	120	*Instable*
	Nickel	7	134	131	120	*Stable*
		7	179	365	73	*Instable*
Structure Press-Pack avec DBC (Figure D-38)	(Puce sans métallisation en contact avec Mo)	8	433	722	40	*Instable*
	Cuivre	8.6	139	142	120	*Stable*
	Aluminium	7.96	179	167	120	*Stable*
		7.9	139	153	120	*Stable*
	Argent	8	129	72	120	*Stable*
		8.52	122	117	120	*Stable*
	Nickel	7	134	131	120	*Stable*

Tableau D-4: Synthèse des résultats de test de la structure Press-Pack (sans et avec substrat) en régime de court-circuit.

Nous rappelons que nous n'avons pas pu réaliser des tests en avalanche sur les échantillons à base de substrat DBC. En effet, ces derniers étaient trop grands pour notre système.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

D.5. Conclusion

Ce chapitre traite de la robustesse des puces SiC en technologie Press-Pack. Dans la première partie, nous avons présenté le support de test qui nous a servi à réaliser des tests destructifs sur des puces SiC non packagées. Ensuite, nous avons décrit les protocoles expérimentaux que nous avons utilisés.

Dans la deuxième partie de ce chapitre, nous avons présenté les principaux résultats de robustesse des puces SiC soumises à des régimes contraignants (court-circuit et d'avalanche). Durant ces tests, la résistance de contact a été relevée afin d'évaluer la qualité et la stabilité du mode défaillance de l'échantillon. Puis, nous avons mené des investigations en vue de comprendre la cause de défaillance des boîtiers Press-Pack en court-circuit. Pour ce faire, des analyses fines ont été effectuées, telles que des observations optiques et des microanalyses par rayon X (EDX), qui nous ont permis d'observer et identifier la composition des zones susceptibles d'être à l'origine de la défaillance des échantillons testés.

L'analyse des résultats a montré que tous les échantillons packagés en Press-Pack ont été en mesure d'offrir un mode de défaillance en court-circuit lors des tests destructif en court-circuit et en avalanche. À travers tous les tests réalisés, nous avons observé la formation de cratères au niveau des puces défaillantes. Les premiers tests ont été réalisés sur des puces SiC pressées entres deux blocs de molybdène. Il a été trouvé que cette structure n'était pas en mesure d'obtenir un SCFM stable car la résistance de contact augmentait après quelques heures du test de passage en courant. Pour identifier la structure offrant une meilleure stabilité de court-circuit, des feuilles de différents matériaux (Cu, Ni, Al et Ag), ont été placés en dessus des puces SiC. Les échantillons ont subi par la suite un test de passage de courant (10 A) pour une durée de 2 heures. Bien que les résultats obtenus indiquent que ces échantillons peuvent donner un court-circuit stable, la reproductibilité de ses résultats est cependant insuffisante.

Une hypothèse pouvant expliquer la mauvaise reproductibilité des court-circuits est que la fragmentation de la puce durant l'essai destructif cause de mauvais contacts. Pour maintenir les fragments, et pour nous approcher d'une structure réaliste, nous avons introduit un substrat DBC dans notre structure Press-Pack. L'utilisation de ce substrat offre un mode de défaillante en court-circuit stable et surtout des résultats reproductibles. Parmi tous les échantillons testés, la plus faible résistance électrique a été obtenue en utilisant des échantillons à base d'Ag. Ce dernier semble être le meilleur candidat retenu pour l'interconnexion de notre démonstrateur de module Fail-to-short puisqu'il combine tous les avantages (offrir bonne stabilité à la défaillance en court-circuit, une bonne conductivité thermique et électrique).

Enfin, il faut noter que contrairement aux résultats présentés dans la littérature pour des composants Si, nous n'avons pas observé de réaction métallurgique entre le SiC et les feuillards métalliques. La conductivité après défaillance semble liée à la présence de fins filaments métalliques en surface du SiC. L'augmentation du courant d'essai semble cependant renforcer la conductivité, ce qui est positif.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E. CHAPITRE IV: Réalisation d'un Module SiC « Fail-to-short ».

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.1. Introduction

Cette quatrième et dernière partie présente la mise en œuvre de l'ensemble des résultats et de concepts décrits dans le chapitre précédent, au travers d'un premier démonstrateur de module SiC ayant un mode de défaillance en court-circuit. L'objectif est de démontrer la potentialité de la fonction Fail-to-short pour un module multi-puces utilisant des puces SiC.

Dans ce chapitre, nous proposons une structure de module 3D de type sandwich (DBC/Puce/DBC). Cette technologie, inspirée des travaux de Raphaël RIVA [7] consiste à relier la puce des deux côtes à des substrats DBC par une liaison réalisée avec du frittage d'argent. Nous allons démontrer ici que cette technologie permet d'obtenir un module ayant un mode de défaillance en court-circuit stable.

Dans un premier temps, nous présentons toutes les étapes de conception et réalisation du démonstrateur de module « Fail to short ». Ensuite, nous exposons les résultats expérimentaux obtenus à partir des tests destructifs. Enfin, nous présenterons une analyse microscopique des échantillons des modules défaillants. Ces observations auront pour objectif d'identifier les zones de défaillance ainsi de comprendre le comportement des modules testés au moment de leurs défaillances.

E.2. Conception d'un module Fail-to-short

Ce chapitre décrit les étapes de conception d'un module de puissance Fail-to-short de type bras d'onduleur destiné aux applications hautes tension. Ce module est réalisé à base de deux puces MOSFETs SiC.

Comme présenté dans les deux chapitres précédents, la fonctionnalité "Fail-to-short" nécessite le remplacement des fils de bondings par un contact massifs. Les solutions de prise de contact entre les puces semi-conducteurs peuvent être multiples. Nous pouvons avoir recours au contact pressé comme le cas dans les modules Press-Pack. Nous pouvons aussi faire le choix d'une structure de type sandwich (DBC/Puce/DBC). Chaque solution a ses propres contraintes tant au niveau de la mise en œuvre que de l'exploitation.

Notre choix s'est porté sur la technologie sandwich (Figure E-1). Cette dernière consiste à relier la puce des deux côtés à des substrats DBC en utilisant du frittage d'argent. Il nous semblait préférable d'avoir recours à cette technologie en vue de sa facilité de mise en œuvre, qui ne nécessite pas de système de serrage particulier (ce qui est le cas des boîtiers Press-Pack). Cependant, le souci majeur dans la mise en œuvre de ce type de module est de garantir un bon contact au niveau de la grille à cause de la petite taille des puces SiC utilisées.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

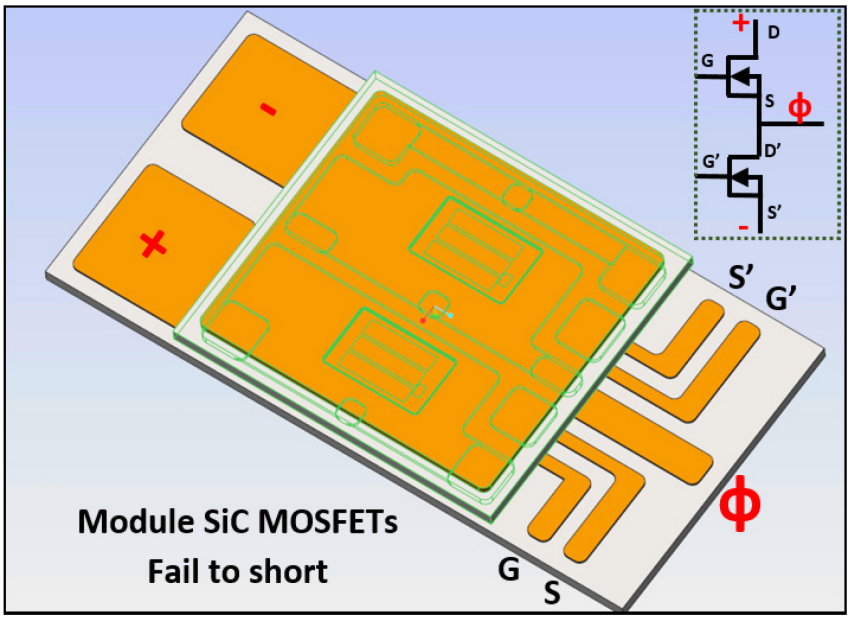


Figure E-1: Représentation 3D du démonstrateur Fail-to-short.

E.2.1. Structure du module

La structure de module Fail-to-short est présentée dans la Figure E-2. Les deux substrats sont préparés avant l'assemblage et subissent des phases de gravure. Le premier substrat nommé "Substrat drain" permet d'établir les contacts de drain des puces MOSFETs. Nous avons utilisé deux gravures successives au perchlorure de fer. La première permet d'obtenir, sur la face supérieure du substrat, 9 plots en surélévation. La seconde permet de séparer électriquement les pistes de cuivre. Les faces arrière des deux MOSFETs sont reportées sur les deux zones de cuivres. Le drain du MOSFET 1 (violet) est reporté sur la zone de gauche du substrat tandis que le drain du MOSFET 2 (Vert) est reporté sur la partie droite. Les plots d'interconnexion situés au milieu du substrat permettent de connecter la source du MOSFET 1 au drain du MOSFET 2 et ainsi former un bras d'onduleur (Figure E-2).

En outre, le deuxième substrat (Source) permet d'assurer les contacts grilles/sources des puces MOSFETs. Comme pour le premier substrat, deux gravures successives au perchlorure de fer sont nécessaires. La première permet d'obtenir, sur la face supérieure du substrat, les plots de contact grille/source. La deuxième gravure permet de séparer électriquement les pistes de cuivre. Ces derniers sont séparées par une distance de 1 mm afin d'éviter tout phénomène d'arcage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

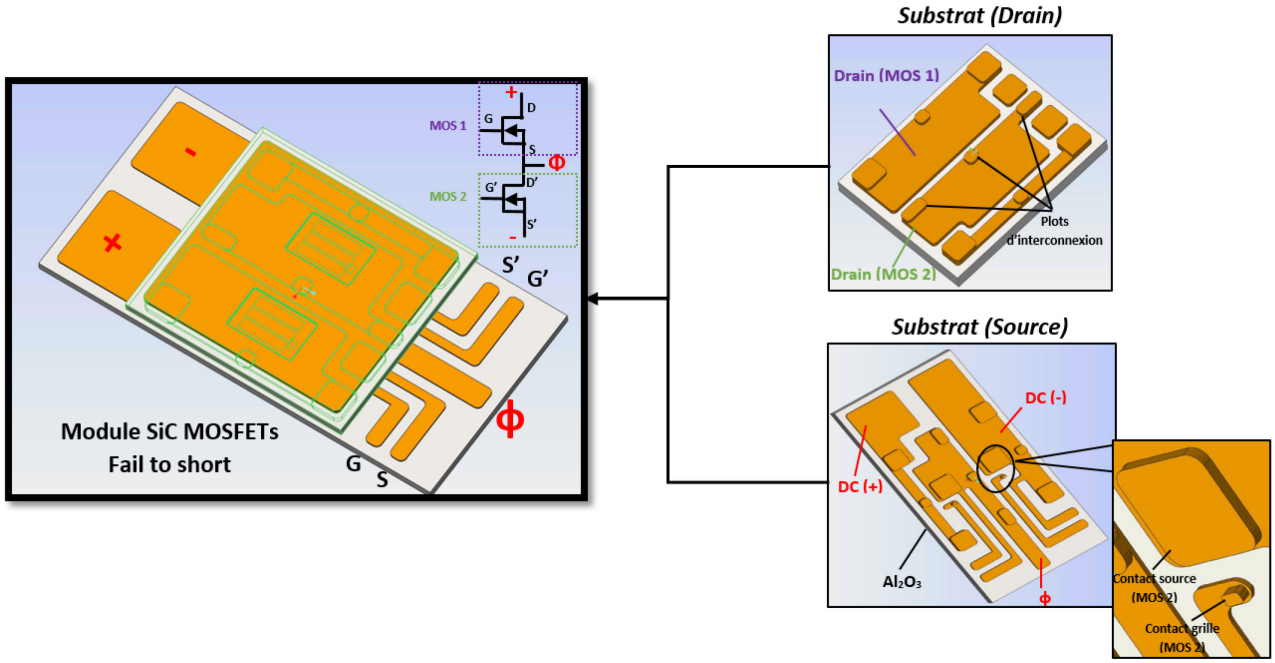


Figure E-2:Vue 3D des deux substrats utilisés pour le développement du module «Fail to short ».

La stratégie que nous avons adoptée pour l'interconnexion des puces SiC consiste à utiliser les métallisations de cuivre du substrat. L'assemblage est réalisé de façon à ce que des plots en cuivre puissent pointer sur les électrodes Grille/Source du MOSFET (Figure E-3). La particularité de cette structure repose sur le fait que les contacts de la puce sont directement pris sur le cuivre massif du substrat. Ce choix d'interconnexion était motivé par le fait que nous cherchions à atteindre un grand niveau fiabilité tout en évitant les problèmes liés au fils de bonding (Fusion, fissuration des fils). La Figure E-3 présente la structure 2D contenant un DBC supérieure (Drain) et un DBC inférieur (Source). La puce MOSFET est prise au milieu. L'attache des deux faces de la puce entre les deux substrats DBC est réalisée par du frittage d'argent.

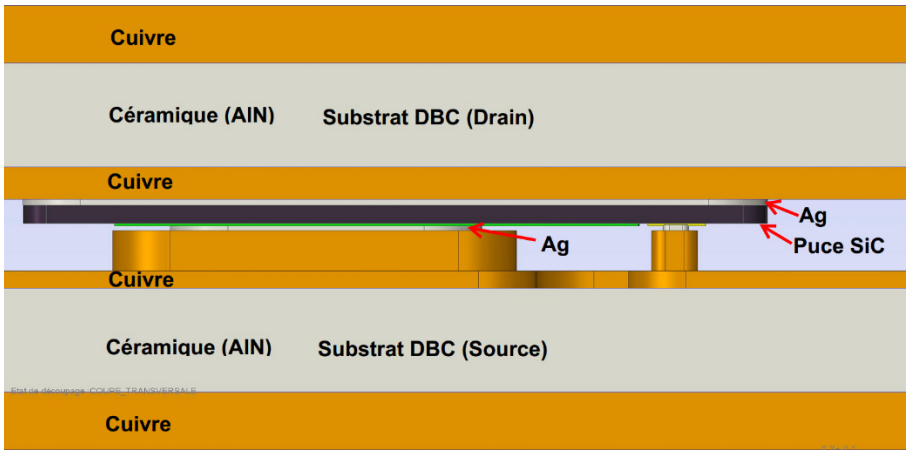


Figure E-3: Principe de la prise de contact sur les électrodes de la puce.

Nous allons maintenant présenter les choix technologiques que nous adoptés pour le développement de notre démonstrateur "Fail-to-short".

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.2.2. Les puces SiC

Les interrupteurs que nous avons utilisés pour la réalisation du démonstrateur « Fail-to-short » sont des MOSFETs SiC de Wolfspeed dont les caractéristiques électriques sont données dans le Tableau E-1. Pour des raisons de disponibilité et de coût, nous avons utilisé des transistors 1200 V. La géométrie en surface de la puce MOSFET est présentée dans la Figure E-4. La face avant de la puce est recouverte par une métallisation aluminium de ≈ 4 µm d'épaisseur. Tandis que la face arrière est recouverte par une métallisation nickel/argent de ≈ 0.8 µm d'épaisseur. La puce MOSFET dispose de trois contacts :

- Un contact de grille sur la face avant de la puce
- Un contact de source sur la face avant de la puce
- Un contact de drain sur la face arrière de la puce.

Une des difficultés auxquelles nous avons été confrontés lors de l'assemblage est la prise de contact de la grille due à sa petite taille (0.8 x 0.5 mm²).

Réf	V_{DS} (V)	I_{DS} (A)	R_{DSon} (mΩ)
CPM2-1200-0025B	1200	50	25

Tableau E-1 : Caractéristiques électriques des puces SiC utilisées dans le cadre du développement du démonstrateur Fail-to-short.

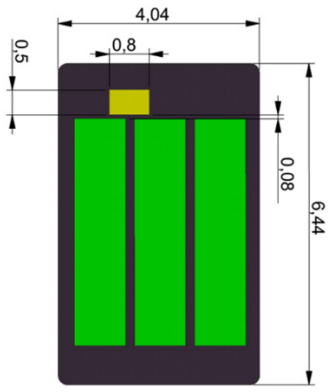


Figure E-4: Dimensions de la puce SiC MOSFET.

E.2.3. Les substrats DBC

Les substrats céramiques DBC constituent les éléments de base pour le développement de notre module «Fail-to-short ». Pour des raisons de disponibilité, nous avons utilisé des substrats céramiques en alumine (Al_2O_3). Le choix de ce type de substrat est lié principalement à sa facilité de mise en œuvre. En effet, Il permet une gravure de ses métallisations en cuivre par une simple attaque chimique au perchlorure de fer. Les substrats utilisés, provenant de Rogers-Curamik, ont une métallisation cuivre de 500 µm d'épaisseur.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.2.4. Frittage d'argent

Pour attacher les puces sur les substrats, nous avons fait appel à la technique de frittage d'argent. Cette dernière est une alternative attractive à la brasure, car elle permet en théorie un fonctionnement à température très élevée (supérieure à 300°C) [69]. D'autre part, une fois le frittage effectué, on obtient une couche d'argent massive qui, comme nous l'avons vu au chapitre précédent, permet d'obtenir une faible résistance après défaillance.
Enfin, le point de fusion de l'argent (961 °C) étant bien plus élevé que la température du frittage, il est possible d'enchainer deux étapes de frittage sans problèmes. Si nous avons fait appel à un assemblage par brasure, deux alliages (ayant des points de fusion distincts) auraient été nécessaires pour reporter les puces sur le premier substrat puis pour assembler les deux substrats.
Dans le cadre du développement de notre démonstrateur Fail-to-short, nous utiliserons une micro pâte d'argent (ASP 295) développée et commercialisée par Heraeus.

E.2.5. Encapsulant

Une fois l'assemblage des deux substrats DBC et des deux puces MOSFET SiC réalisé, la cavité du module est ensuite noyée dans un encapsulant. Ce dernier a pour objectif, d'une part d'assurer la tenue diélectrique du module, et d'autre part de protéger les puces semi-conductrices des infiltrations externes (humidité, poussière…).
Notre choix d'encapsulant s'est porté sur un gel silicone nommé SilGel 612A/B produit par la société Wacker (Annexe 6). Ce matériau polymère sous forme de liquide peut être polymérisé à une température ambiante ou à plus haute température. Les caractéristiques du SilGel se résument par un CTE très élevé de l'ordre de 300 ppm/°C, une conductivité thermique faible autour de 0,2 $W.m^{-1}.K^{-1}$ et une tenue diélectrique de 23 kV/mm [70]. Le tableau de l'annexe 6 récapitule toutes les caractéristiques du gel utilisé pour l'encapsulation de notre démonstrateur.

E.3. Réalisation expérimentale

Dans un premier temps, nous présentons les étapes de préparation des substrats. Puis, nous présenterons la stratégie d'assemblage du module entier.

E.3.1. Préparation des substrats DBC

Cette partie décrit la procédure de réalisation des substrats DBC présentés dans la Figure E-5. À noter que ces substrats ont été réalisés à Ampère. Pour ce faire, plusieurs étapes sont nécessaires. Les paragraphes ci-dessous présentent de façon chronologique la méthode de fabrication à partir d'une plaque de DBC entière à un substrat prêt à être assemblé. Le processus de fabrication est identique et applicable pour les deux substrats "Drain" et "Source" de la Figure E-5. Dans la suite, nous allons prendre l'exemple de fabrication du substrat "Source", puisque c'est celui qui nécessite les gravures les plus fines.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

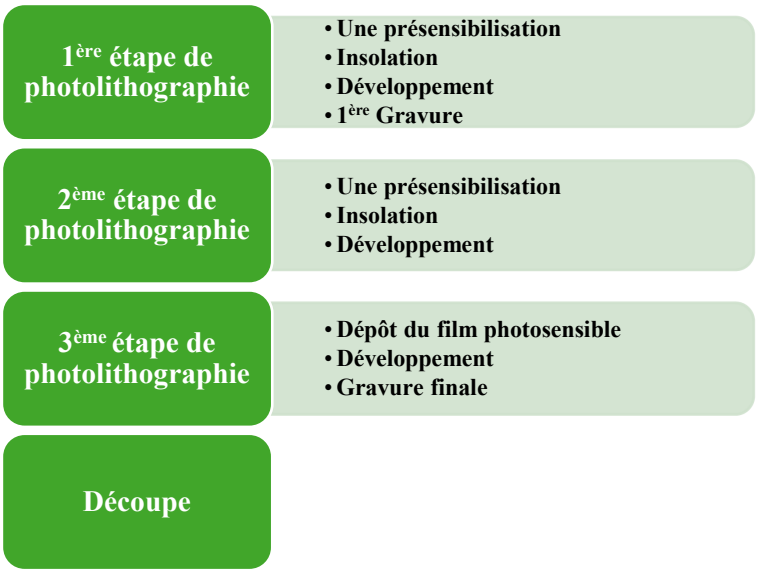


Figure E-5 : Organigramme résumant les principales étapes de préparation des substrats DBC.

E.3.1.1 1ère phase de photolithographie

E.3.1.1.1 Nettoyage des substrats

La première étape de préparation des substrats DBC concerne le nettoyage des substrats. Avant de recouvrir le substrat en résine ou en film photosensible, il est important de s'assurer que ce dernier est propre. En effet, un substrat contenant de résidus ou de particules peut entraîner une mauvaise adhésion de la résine ou du film. Les étapes de nettoyage réalisé lors de la préparation du substrat sont les suivantes [7]:

- Trempage dans l'acétone en bain ultrasonore pour supprimer les contaminants organiques.
- Elimination des résidus d'acétone en utilisant de l'éthanol en bain à ultrasons.
- Rinçage avec de l'eau déionisée pour retirer toute trace de solvant du substrat.
- Trempage dans une solution d'acide chlorhydrique HCl à 37%, pendant 1 min à température ambiante pour la désoxydation du cuivre.
- Nettoyage à l'eau déionisée pour retirer toutes traces d'acide du substrat.
- Rinçage avec de l'éthanol.
- Séchage avec une soufflette d'azote

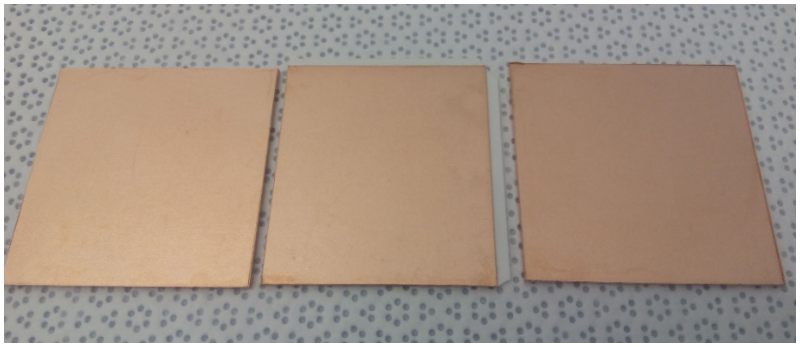


Figure E-6: Substrats céramiques après nettoyage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.3.1.1.2 Présensibilisation

Cette étape consiste à enduire les deux faces du substrat DBC d'une résine photosensible nommée MC Dip Coating (Microchemicals). Pour réaliser cette opération, nous avons utilisé une machine développée au laboratoire Ampère appelé "dip coater". Le substrat DBC est maintenu par une pince par une de ses extrémités, puis trempé dans la résine. Les vitesses d'entrée et d'extraction de la machine ont été réglées à 6 mm/s pour obtenir des couches homogènes sur les deux faces du substrat. D'après [7], la résine MC Dip Coating a une épaisseur variable comprise entre 2 µm et 10 µm pour des vitesses de dépôt respectivement comprises entre 3 mm/s et 15 mm/s.

Une fois le dépôt de la résine réalisé, le substrat est ensuite placé au four. Il est important de laisser s'évaporer les solvants contenus dans la résine afin d'obtenir une couche solide et homogène. Le recuit de la résine MC Dip Coating est réalisé à une température de 100 °C pendant 5 minutes. La Figure E-7 illustre un exemple de dépôt de la résine MC Dip Coating sur des substrats DBC.

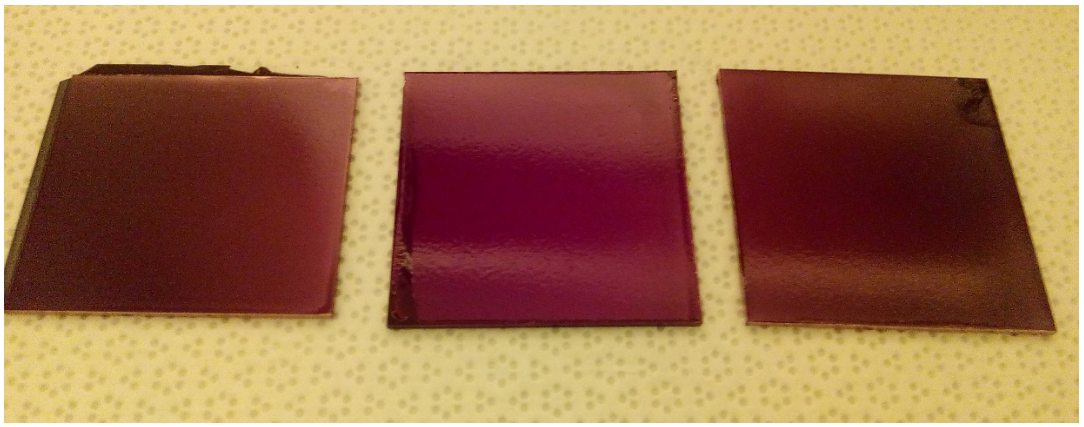


Figure E-7: Substrats DBC après enduction par de la résine MC dip coating.

E.3.1.1.3 Insolation

Les deux faces du substrat sont ensuite exposées aux ultraviolets (UV) à travers jeu de masques. Cette opération est réalisé en utilisant un aligneur de masque Q-2001 CT (Figure E-8 (a)). Un exemple de masque utilisé pour la fabrication du substrat source est donné sur la Figure E-8 (b). D'après cette figure, les motifs que l'on souhaite garder sur le substrat sont noirs. Les endroits transparents du masque correspondent aux zones de résine qui doivent être éliminées lors du développement du substrat. Une fois le masque aligné avec le substrat, un temps d'exposition au rayonnement ultraviolet de 90 s est choisi afin d'insoler correctement la résine. À noter qu'une exposition trop longue ou trop courte peut engendrer des problèmes lors du développement.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés



(a) (b)

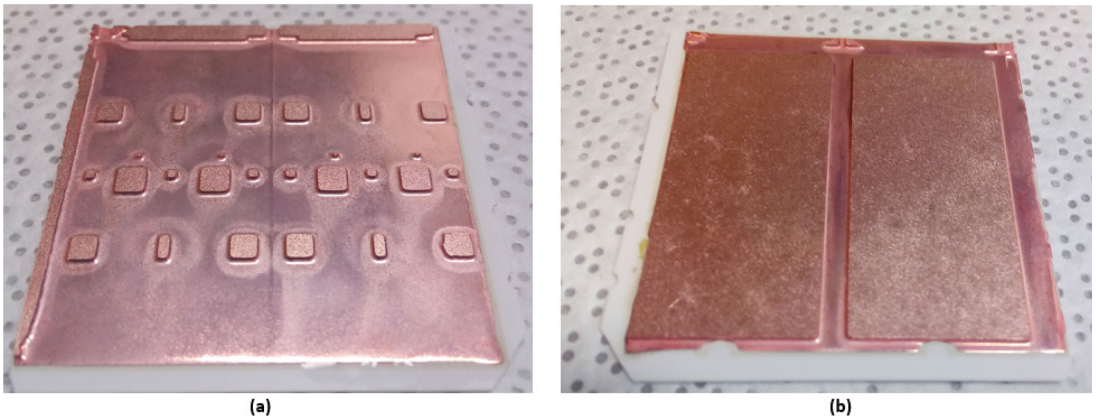
Figure E-8: (a) Photo de la machine de l'aligneur de masques (Q-2001CT)/ (b) Exemples de masques utilisés pour la fabrication du substrat source

E.3.1.1.4 Développement

Cette étape consiste à tremper le substrat exposé aux rayons UV dans une solution de développement adaptée à la résine (MA-331, Micro resist technology). Le substrat est plongé dans 30 ml de développeur pendant 1 minute et 30 secondes [7].

E.3.1.1.5 Gravure

Le substrat est gravé à l'aide d'une machine de gravure rotative PR 2030-S (Bernier Electronik). Il subit une attaque chimique au perchlorure de fer. L'objectif est d'enlever une épaisseur de 350 µm de ses métallisations en cuivre aux endroits non protégés par la résine. A noter que les métallisations supérieure et inférieure du substrat ont une épaisseur initiale de ≈ 500 µm. La Figure E-9 présente un exemple de gravure réalisé sur un substrat DBC après 23 minutes de gravure, et un nettoyage identiques à celui décrit dans la section E.3.1.1.1.



(a) (b)

Figure E-9: (a) Face avant du substrat après 23 minutes de gravure et dissolution de la résine ; (b) Face arrière du substrat.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.3.1.2 2ème étape de photolithographie

Comme pour la première phase, cette phase de photolithographie est constituée de trois étapes principales: une présensibilisation, une insolation et un développement. Dans un premier temps, les deux faces gravées du substrat (Figure E-9) sont replongés dans un bécher rempli par la résine MC Dip Coating (Présensibilisation). Les deux faces du substrat enduits sont exposées par la suite aux UV à travers un second jeu de masques (Insolation). Ce dernier est aligné par rapport aux motifs précédemment gravés dans les métallisations en cuivre. Enfin, Le substrat est plongé dans 30 ml de la solution de développement (ma-D 331). Pendant une durée de développement fixée à 1 minute et 30 secondes, les zones de résines exposées aux UV disparaissent.

E.3.1.3 3ème étape de photolithographie

Avant de passer à la seconde étape de gravure du cuivre, il est nécessaire de renforcer la couche de résine. Comme présenté dans [71], la résine protège correctement les flancs et les surfaces du cuivre, mais pas les crêtes. Une couche photosensible, sous forme d'un film épais, permet d'assurer la protection de ces crêtes (mais sa rigidité empêche une bonne protection des flancs, d'où l'utilisation simultanée des deux techniques). Cette dernière phase de photolithographie se déroule en trois étapes. Dans un premier temps, un film photosensible est déposé à l'aide d'une machine de laminage sur le substrat DBC (Figure E-10). Pour réaliser cette opération, nous utilisons un film (Riston Plate Master PM 275). Ce dernier a une épaisseur de 75 µm. Les faces supérieures et inférieure du PM 275 (une en polyéthylène et une en polyester) ont pour rôle de protéger le film contre toutes détériorations [21]. Une fois le dépôt de film réalisé sur substrat, un troisième masque est aligné sur les motifs du substrat. Le temps d'exposition aux UV a été réglé à 9.6 s. Ensuite, le film PM 275 est développé dans une solution de carbonate de sodium à 1 % (5 g de Na_2CO_3 dilué dans 500 ml d'eau déionisée) avec un système de jet rotatif. La solution est projetée pendant 2 min sur le film, les zones non exposées aux UV sont dissoutes par le développeur, tandis que les zones exposées aux rayons UV subsistent pour protéger le cuivre. La Figure E-11 présente un exemple de substrat métallisé après la 3ème phase de photolithographie (Insolation, dépôt de film et développement). Dans cette figure, nous avons utilisé un ruban adhésif (en Jaune) afin d'éviter la gravure d'une zone de résine rayée.

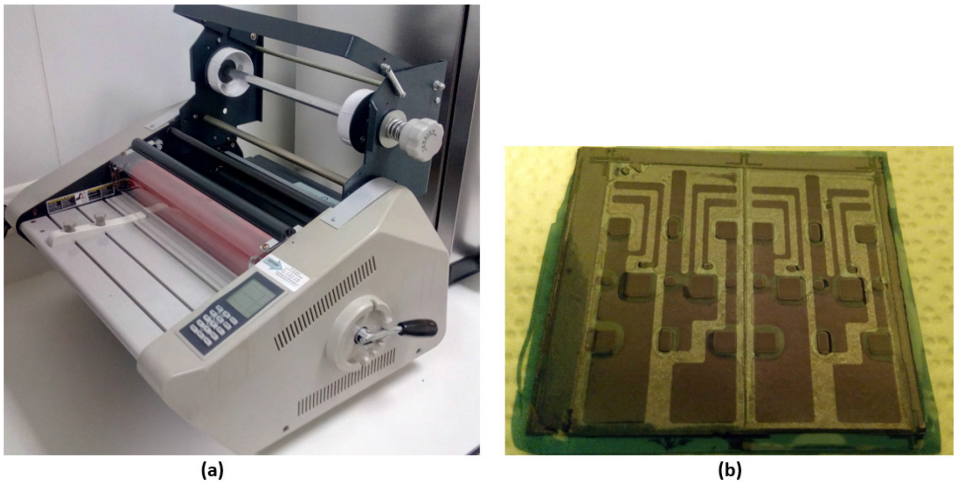


Figure E-10: (a) Machine de laminage; (b) Substrat après laminage d'un film PM 275.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

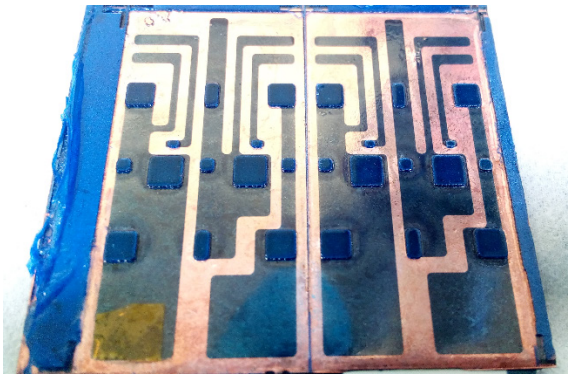


Figure E-11: Substrat après les 2ème et 3ème étapes de photolithographie.

Enfin, le substrat de la Figure E-12 est gravé jusqu'à la céramique. En utilisant une machine de gravure, le substrat subit une attaque chimique au perchlorure de fer. Le but est de retirer les 150 µm de cuivre restants aux endroits non protégés par la résine et le film. Le substrat est de nouveau nettoyé après la gravure. La Figure E-12 montre une photo du substrat source après l'étape finale de gravure.

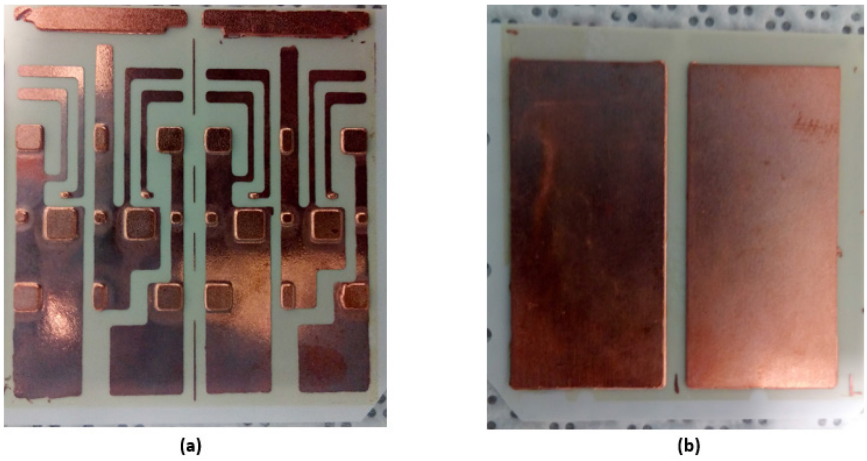


Figure E-12: Photo du substrat source après l'étape finale de gravure. (a) face avant/ (b) face arrière

E.3.1.4 Découpe des substrats et dépôt d'argent:

Après la réalisation des étapes de gravure de cuivre, les substrats sont nettoyés en suivant la procédure présentée dans la section E.3.1.1.1. La seconde étape de la préparation des substrats consiste à réaliser un dépôt d'argent sur les métallisations cuivre du substrat. Cela permet d'assembler les deux substrats drain et source par frittage d'argent. En effet, il est important de déposer une métallisation à base d'argent pour avoir une surface propice au frittage [72]. Pour ce faire, la métallisation Ag est faite au service d'électronique de l'université de Paul Sabatier à Toulouse. Elle se fait en voie humide, par le procédé Alphastar 300 A/B (société Enthone). La Figure E-14 illustre un exemple de dépôt d'argent sur un substrat source. Dans cette figure, on voit que la métallisation supérieure et inférieure du substrat source a été recouverte par une finition d'argent. Une fois le dépôt d'argent réalisé, les substrats de dimension 44 x 40 mm^2 sont ensuite découpés à l'aide d'une scie équipée d'une lame diamantée. Le substrat drain est découpé en quatre substrats de dimension 20 x 22

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

mm^2 (Figure E-13 (a)). Tandis que, le substrat source est découpé en deux parties de dimension 20 x 22 mm^2 (Figure E-13 (b)).

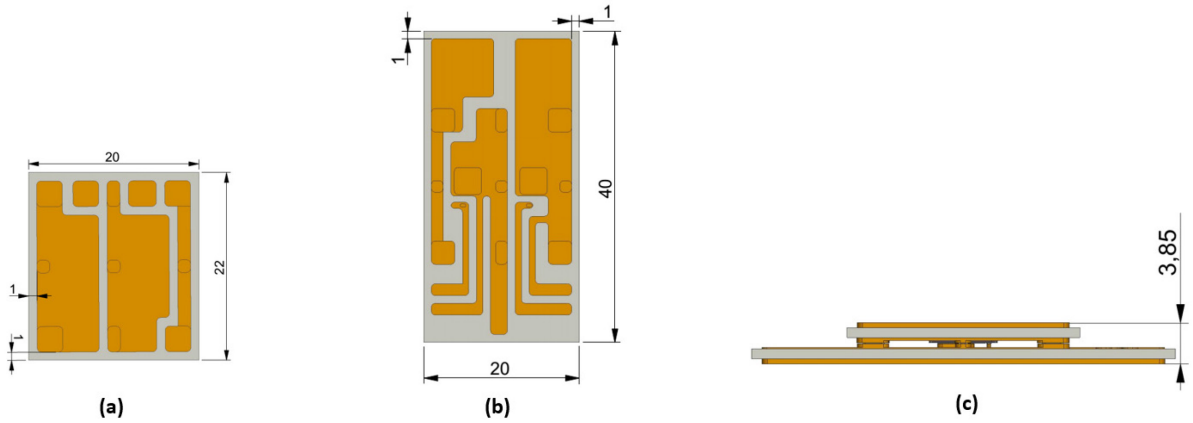


Figure E-13 : Dimensions du module Fail-to-short. (a) Dimensions des substrats Drain; (b) Dimension du substrat source; (c) épaisseur du module.

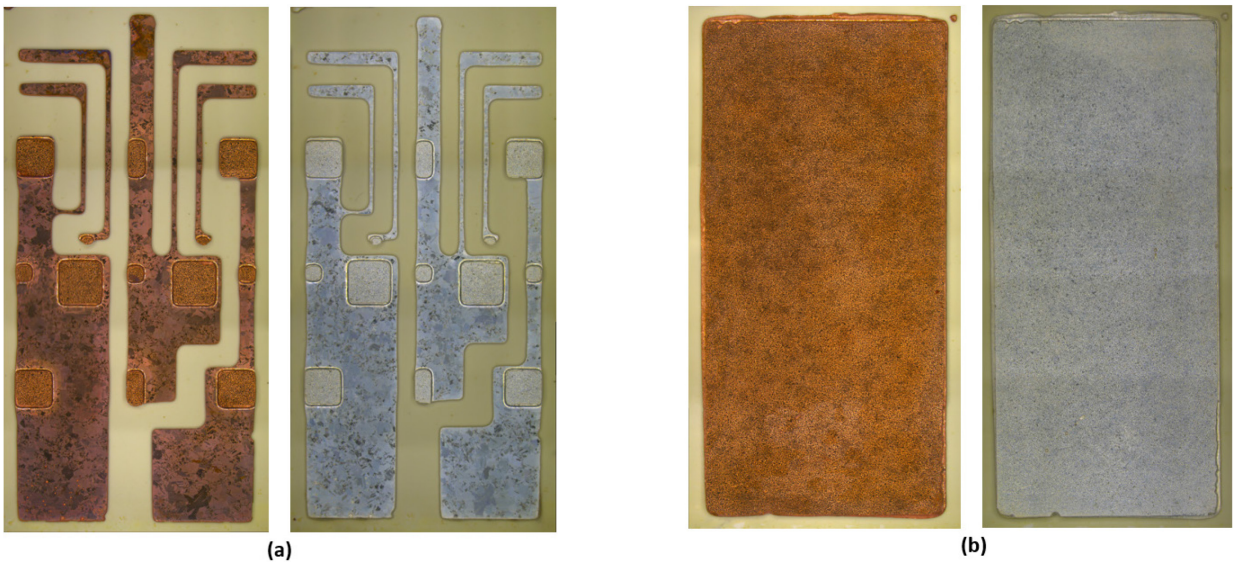


Figure E-14: Exemple de dépôt d'argent sur les métallisations cuivre du substrat source. (a) Face avant ; (b) Face arrière.

E.3.1.5 Caractérisation:

La Figure E-15 présente un profil d'épaisseur du substrat source après les étapes de préparations décrites précédemment. D'après cette figure, la métallisation de la face supérieure du substrat à une épaisseur totale de ≈ 500 µm. La mesure réalisée par un profilomètre mécanique montre la surépaisseur des plots de cuivre (350 µm) par rapport à la piste de cuivre. Ce dernier à une épaisseur de 150 µm par rapport à la céramique. Le choix de ces épaisseurs permet d'avoir une distance suffisante entre le substrat "Source" et les protections périphériques des puces pour éviter tout risque d'amorçage électrique que pourraient générer de fortes tensions appliquées.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

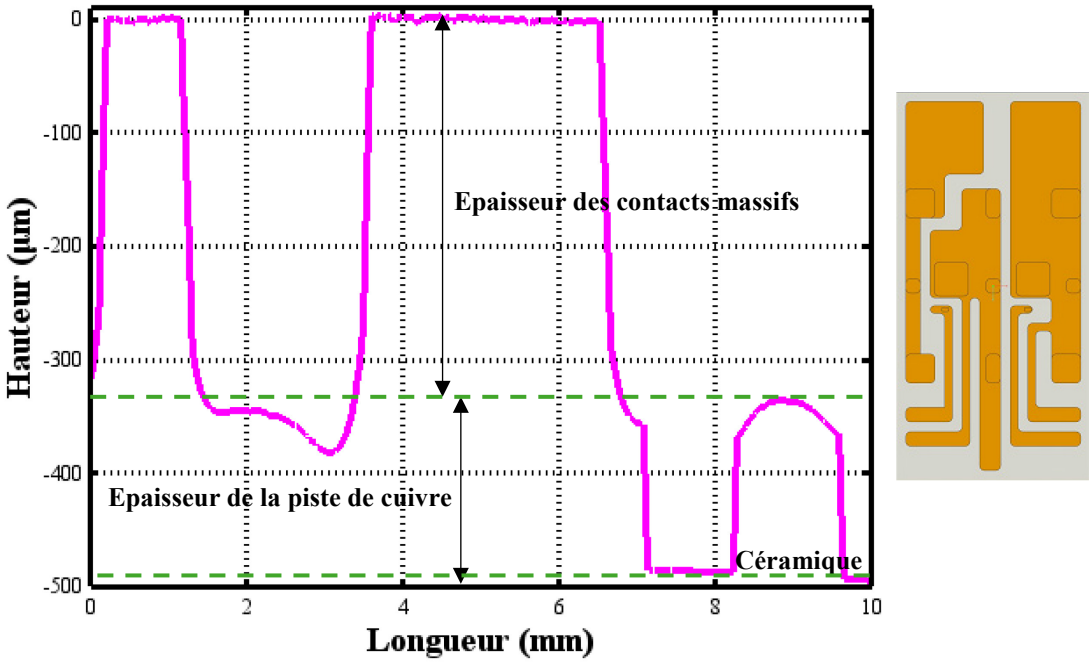


Figure E-15: Mesure de l'épaisseur du substrat Source'subissant toutes les étapes de la section E.3.1. La mesure a été réalisée à l'aide du profilomètre Dektak 150 (Veeco).

La Figure E-16 représente les dimensions du plot de contact de la grille avant et après gravures. D'après la figure ci-dessous, nous observons que les dimensions du plot de grille est nettement plus petites après deux phases de gravures. En effet, la grille est passée de 826 x 1151 µm^2 à 204 x 404 µm^2. Il est possible de connecter les contacts de grille et source du MOSFET sans risque de court-circuit. Cette sur-gravure du cuivre était inévitable, il convient d'agrandir les motifs des masques pour en tenir compte.

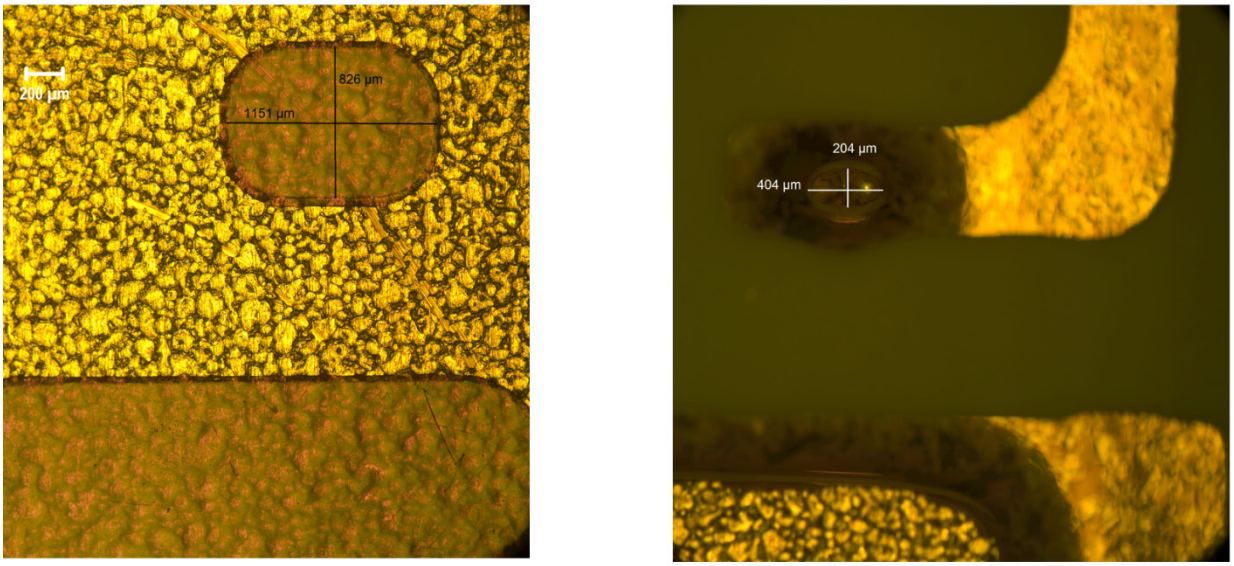


Figure E-16: Dimensions du plot de cuivre utilisé pour le contact de grille du MOSFET. (a) avant gravure ; (b) après deux opérations de gravure en perchlorure de fer.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.3.2. Description de l'assemblage de la structure sandwich

Cette partie décrit toutes les étapes d'assemblage du module Fail to short. La Figure E-17 montre les éléments le constituant : un substrat (Source), un substrat (Drain), et deux puces MOSFETs SiC. La face arrière des puces possède une métallisation (Ni/Ag) qui est compatible avec le processus de frittage d'argent. Cependant, la métallisation supérieure de la puce (en aluminium) n'est pas adaptée au frittage. Pour résoudre ce problème, nous avons déposé une seconde métallisation Ti/Ag d'épaisseur 0.2 µm (par une évaporation sous vide) sur la face avant des puces au travers d'un masque métallique pour permettre de les attacher sur le substrat. Dans la suite de ce paragraphe, nous allons détailler toutes les phases d'assemblage.

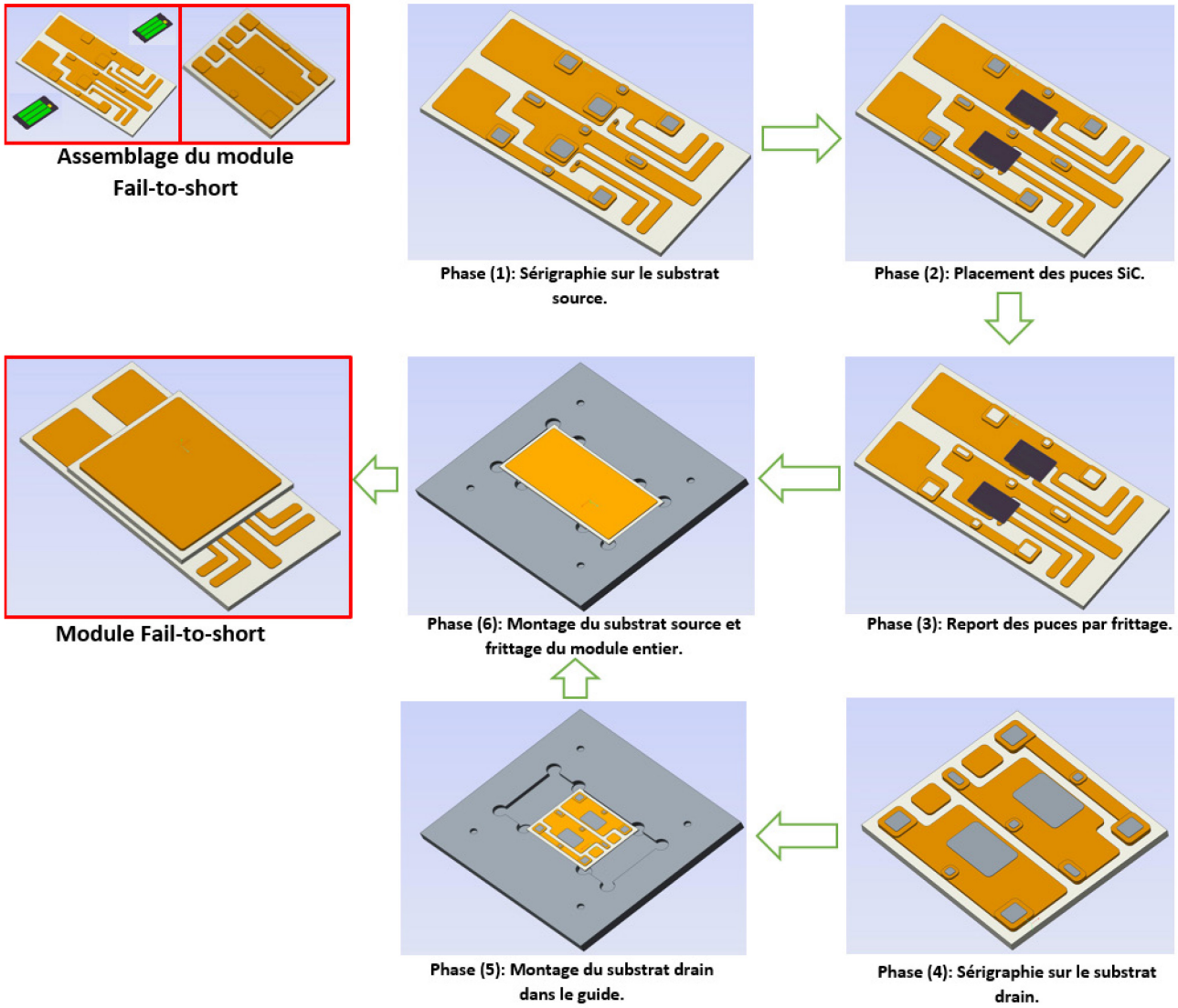


Figure E-17: Processus d'assemblage du module Fail-to-short.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La liste ci-dessous détaille de manière succincte le processus d'assemblage du module Fail to short:

- **Phase 1 (Sérigraphie sur le substrat source):** Le substrat source (Figure E-18 (a)) est placé sous le bâti de sérigraphie ((Figure E-18 (b)). La pâte d'argent est étalée au travers d'un pochoir inox d'épaisseur 50 µm (DB Products). Les ouvertures ménagées dans ce pochoir sont des dimensions réduites de 50 µm de chaque côté par rapport aux motifs gravés dans le cuivre, pour tenir compte des tolérances d'alignement et de gravure. Le substrat est placé dans un four à 85°C pendant 2 minutes pour avoir un léger séchage de la pâte et éviter son étalement. Les puces sont placées sur la pâte qui conserve une légère adhérence, ce qui permet de maintenir l'alignement puce/substrat lors des phases suivantes.

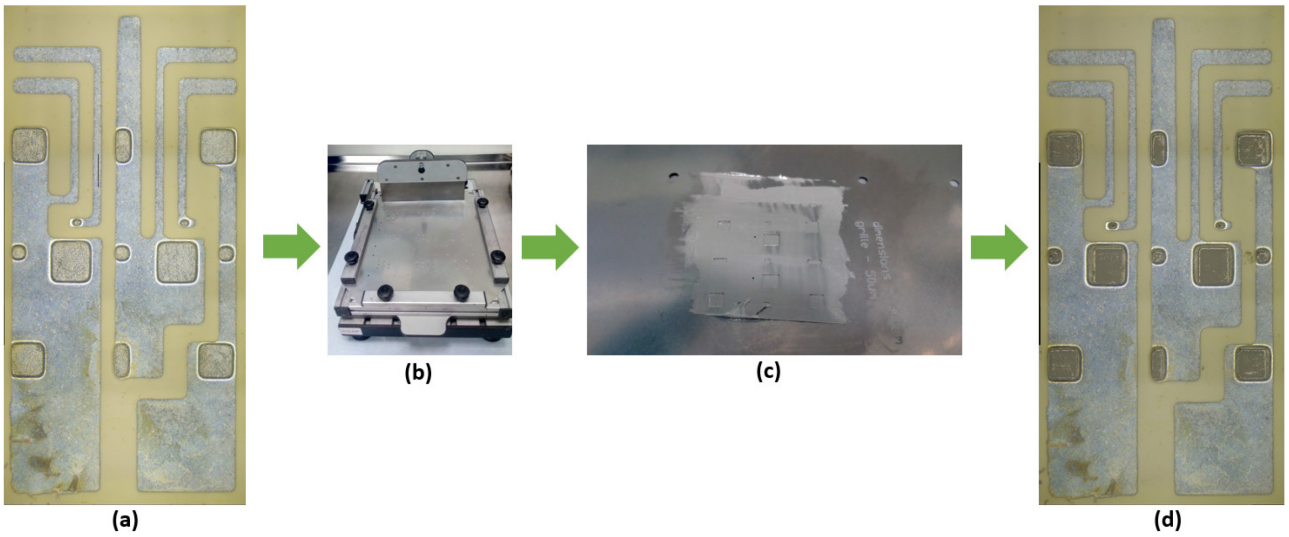


Figure E-18:Processus de sérigraphie. (a) Substrat source ; (b) Machine à sérigraphie Tecprint 400 (CIF); (c) Dépôt de la pâte d'argent sur un pochoir ; (d) Substrat source fraichement sérigraphie.

- **Phase 2 (Placement des puces):** Cette étape consiste à placer les deux puces MOSFETs SiC sur le substrat source. Pour ce faire, nous utilisons une machine de « pick and place » comme illustrée sur la Figure E-19 (a). Cette machine est composée de deux caméras. Une situé à gauche permettant de visualiser la puce à déplacer, tandis que la caméra de droite permet de visualiser l'endroit où nous souhaitons déposer les puces. Cette machine ne possède pas de fonctionnalité "flip chip", permettant d'aligner la face inférieure d'une puce avec le substrat (on ne dispose que de la vue de dessus). Pour effectuer les réglages d'alignement, on utilise donc une lame de verre (sur laquelle on a sérigraphié le motif d'argent) en lieu et place du DBC. Sa transparence permet de vérifier à la fois le bon alignement de la puce avec l'argent sérigraphie et l'absence d'étalement de la pâte.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

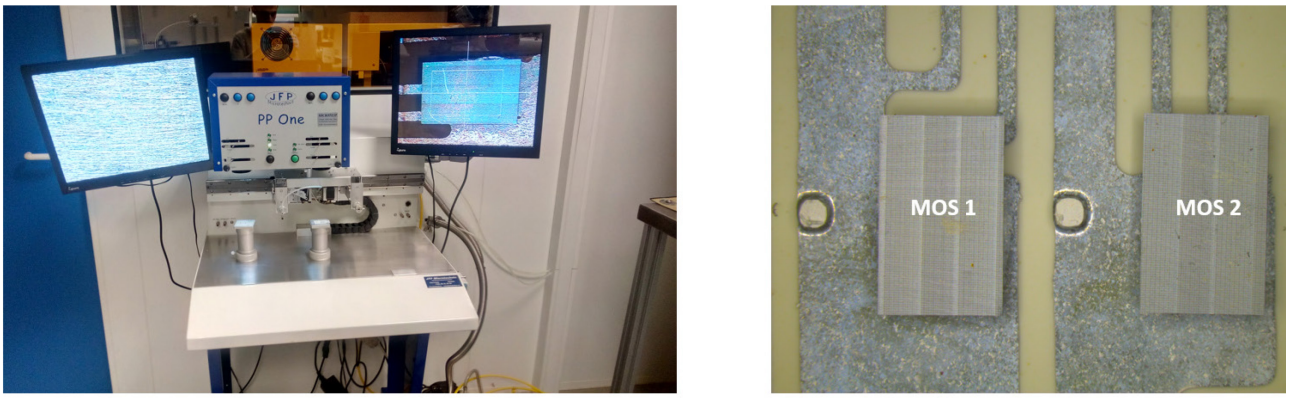


Figure E-19 : (a) Machine de "pick and place" utilisée pour placer avec précision les deux puces MOSFET sur le substrat "Source" ; (b) Placement des deux puces MOSFETs sur le substrat source.

- **Phase 3 (Report des puces par frittage):** La réalisation de cette phase nécessite l'utilisation d'une presse chauffante développée au laboratoire (Figure E-20 (a)). Un profil de température spécifique est appliqué pour réaliser le séchage puis le frittage de la pâte. Comme illustré sur la Figure E-20 (b), les conditions utilisées pour frittage sont: Une rampe de 3 °C/min suivi d'un palier à 170°C pour une durée de 30 min. Une deuxième rampe de 40 °C/min est appliquée sur le module suivi d'un palier de frittage de 60 minutes à 240 °C. Dès qu'on atteint 120 °C, une pression de 2 Mpa est appliquée sur le module pour réaliser l'opération de frittage.

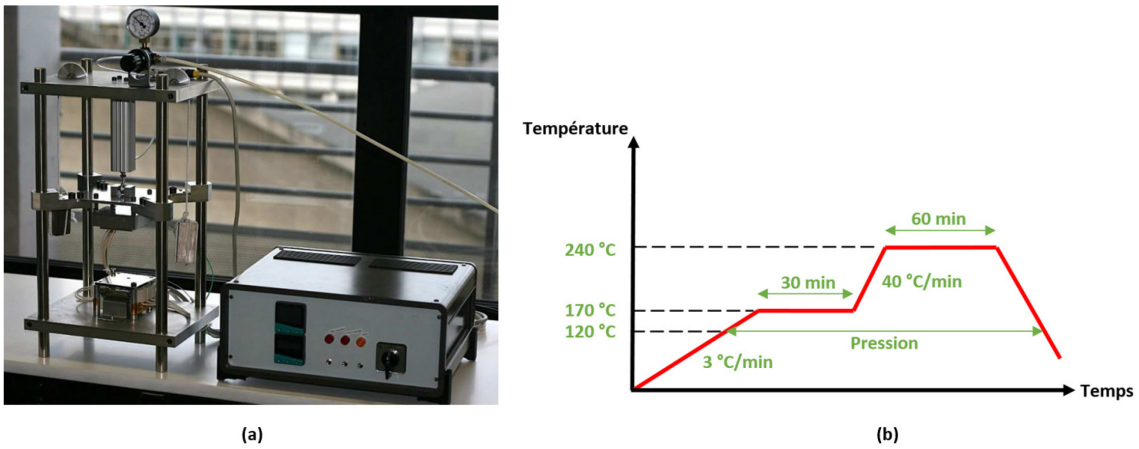


Figure E-20: Presse chauffante développée au laboratoire Ampère pour le frittage de la pâte d'argent / (b) Le profil de température utilisé pour le frittage.

- **Phase 4 (Sérigraphie du substrat drain):** La pâte d'argent (ASP 295-26P2) est déposée par sérigraphie en deux étapes. Dans un premier temps, l'argent est mis sur les deux zones A et B (Figure E-21) ensuite sur les 9 plots saillants du substrat. Enfin, le substrat "Drain" sérigraphie est placé dans un four à 85°C pendant 2 minutes pour sécher légèrement la pâte et éviter qu'elle ne s'étale lorsque les deux substrats sont assemblés.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

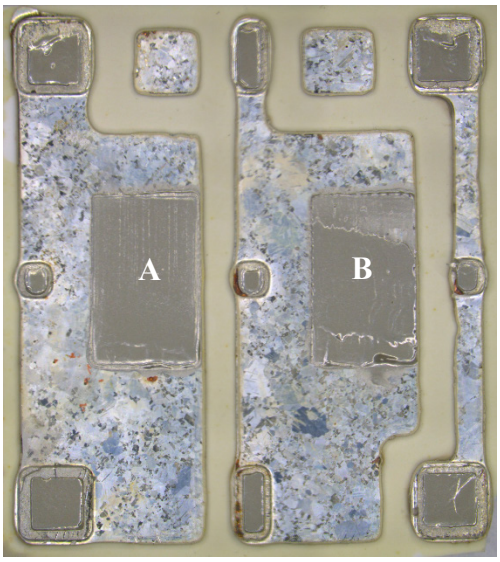


Figure E-21: Sérigraphie du substrat drain.

- **Phase 5 (Montage de substrat drain, source et puces dans un support de guidage):** Cette étape consiste à assembler le module entier. Un guide en aluminium représenté sur Figure E-22 (a) a été conçu et usiné pour assembler correctement le module. Pour réaliser cette opération, nous plaçons dans un premier temps le substrat drain au fond de la pièce de guidage (Figure E-22 (b)). Ensuite, le substrat source (incluant les puces SiC) est positionné (Figure E-22 (c)).

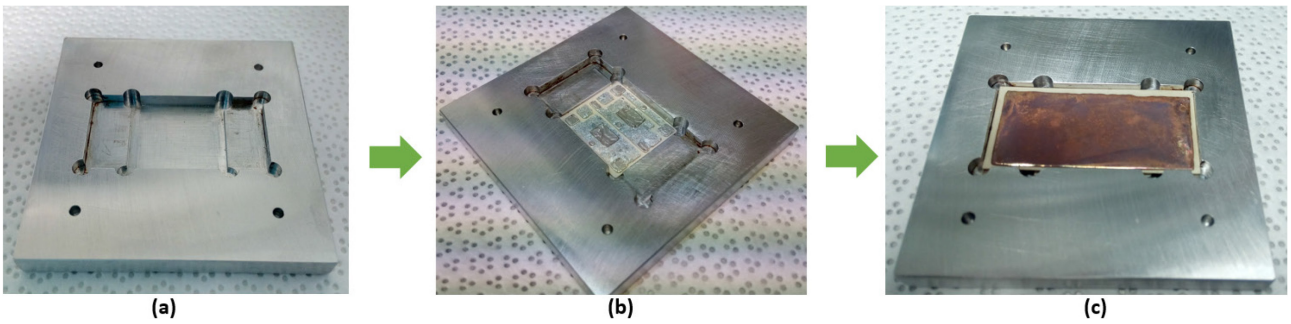


Figure E-22: Procédure d'assemblage du module entier. (a) Guide en aluminium utilisé pour réalisation de l'assemblage du module entier; (b) Le substrat drain est placé au fond du guide; (c) Assemblage du module entier.

- **Phase 6 (Frittage du module entier):** L'ensemble (pièce de guidage, substrats drain et source) est placé sur le plateau de la presse chauffante pour réaliser le frittage (Figure E-23). Les conditions utilisées pour cette phases sont les mêmes que celles de la phase 3.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

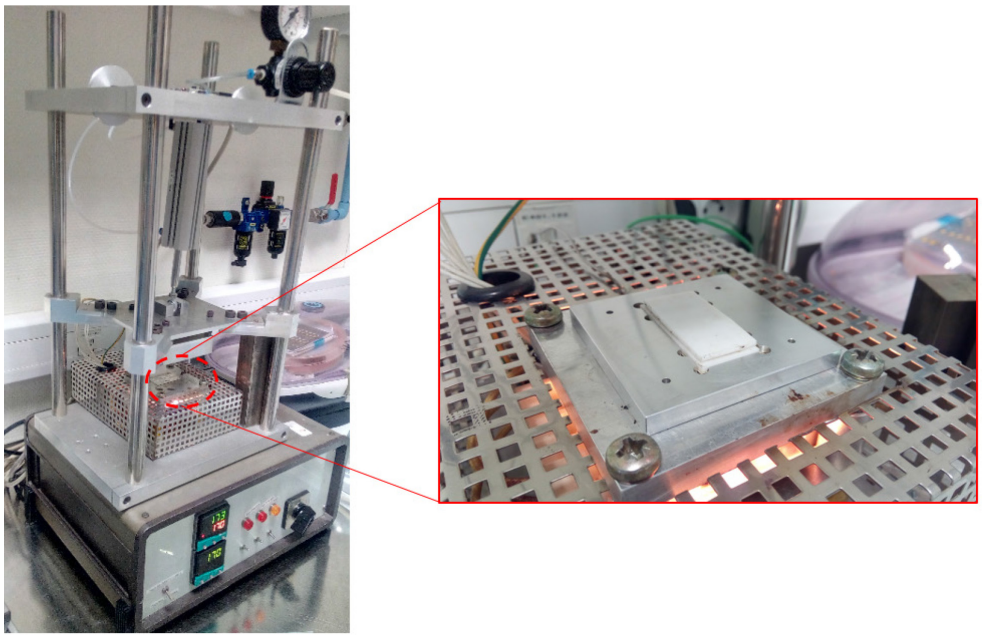


Figure E-24:Frittage du module entier.

La Figure E-25 présente l'ensemble du module. Nous voyons la structure tridimensionnelle contenant le DBC supérieur et le DBC inférieur. Les MOSFETs SiC se situent au milieu (partie invisible). Au total, quatre modules, basé sur la même stratégie d'assemblage ont été réalisé, pour pouvoir tester plusieurs échantillons.

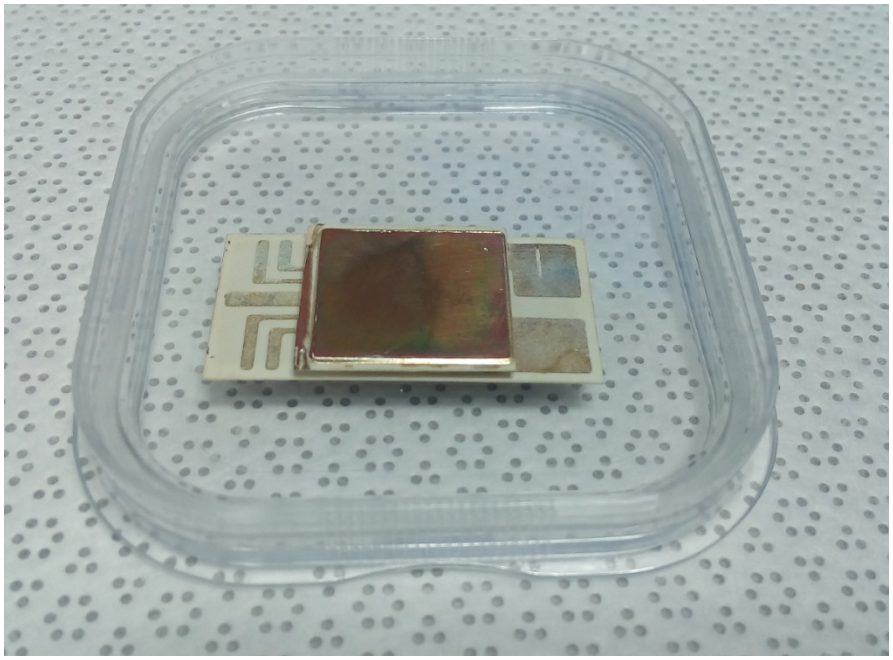


Figure E-25: Photo du premier démonstrateur de module "Fail to short"

E.3.3. Isolation

Cette dernière phase de réalisation consiste à encapsuler le module avec du gel silicone (WACKER SilGel 612A/B). L'encapsulation se fait en 5 étapes:

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

- Mélanger les deux composants A et B du gel, qui représentent respectivement le réticulant et le catalyseur au platine.
- La deuxième étape consiste d'abord à dégazer le gel (sous vide) afin d'éviter la formation de bulles d'air (Figure E-26 (a)). En effet, les bulles d'air résiduelles sont des lieux propices aux décharges partielles pouvant provoquer une réduction de la tenue en tension [73].
- La troisième étape est le remplissage du module par du gel en utilisant une pipette. Un adhésif polyimide est placé sur trois côtés du module afin de contenir le gel entre les deux substrats DBC (Figure E-26 (b)).
- Le module est placé à nouveau sous vide (Figure E-26 (c)). Un environnement dépressurisé autour de 0.1 bar est nécessaire pour éviter la formation de bulles.
- La dernière étape est la polymérisation. Cette dernière désigne la réaction chimique par lesquels des molécules réagissent entre elles pour former des molécules de masses molaires plus élevées. Sous l'effet de la chaleur, nous obtenons des polymères [73]. Pour réaliser cette opération, l'ensemble du module est placé dans un four à une température de 100 °C pour une durée de 15 min (Figure E-26 (d)).

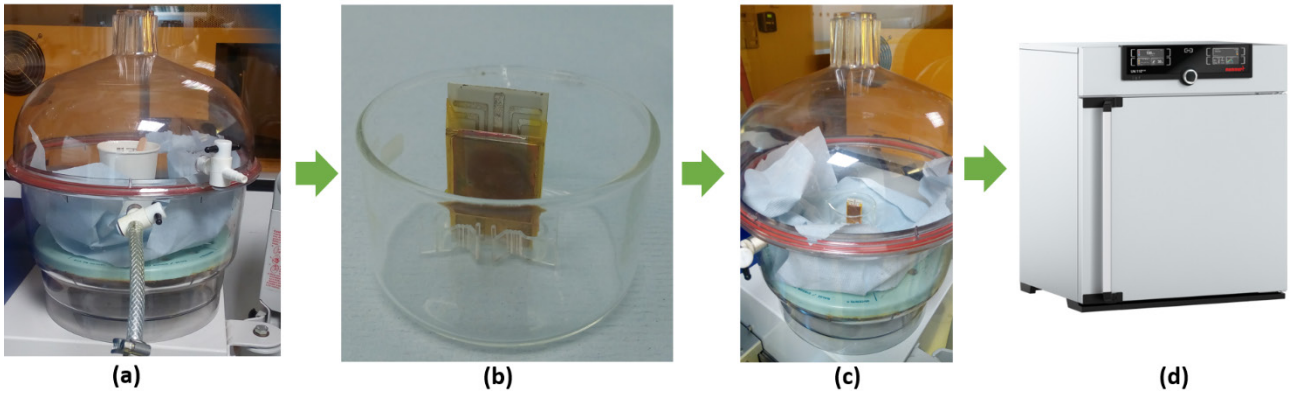


Figure E-26: Processus d'encapsulation du module "Fail-to-short".(a) Dégazage sous vide du gel dans le gobelet de mélange; (b) Remplissage du module par du gel; (c) Dégazage sous vide du module ; (d) Phase de Polymérisation.

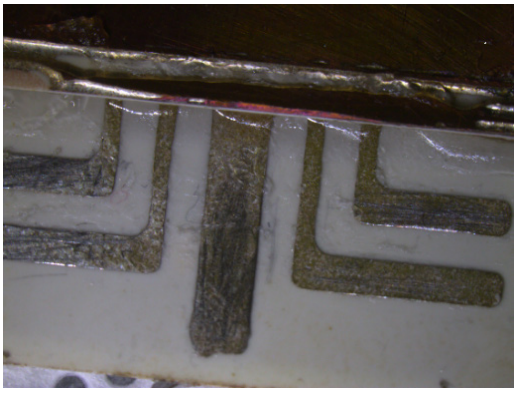


Figure E-27: Vue du gel transparent encapsulant le module "Fail-to-short".

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.4. Résultats des tests experimentaux :

Les tests de fonctionnent extrêmes ont été réalisé en utilisant les échantillons des modules présentés dans Tableau E-2. Durant chaque test, l'échantillon est maintenu à l'aide du support (utilisé dans le chapitre III). Ce support vise à tenir le module pour qu'il ne soit pas emporté par les fils de connexion (Figure E-28), et à empêcher une éventuelle séparation des substrats lors des tests destructifs. Dans le concept décrit en fin de mémoire, un dispositif de maintien sera présenté pour remplacer ce support. Des fils d'amenée de courant ont été soudés sur les terminaux du module afin de connecter ce dernier au banc de puissance. Pour tous les échantillons, les tests destructifs ont été réalisés en utilisant le circuit de puissance de la Figure C-6. Dans chaque configuration de test, le module est connecté au banc de capacité, l'IGBT mis en série avec l'objet sous test est ensuite déclenché à travers sa grille causant une décharge de l'énergie dans le module sous test. À l'issue des tests, les modules sont soumis à une évaluation de la résistance de court-circuit obtenue, comme présenté dans le chapitre précédent.

Echantillon	Encapsulant	Type de test
Module (A)	Aucun	Sur-courant
Module (B)	Gel silicone	Sur-courant
Module (C)	Colle époxyde	Sur-courant
Module (D)	Gel silicone	Sur-courant

Tableau E-2: Récapitulatif des échantillons testés en régime de sur-courant. L'encapsulation du module (C) est décrite plus loin.

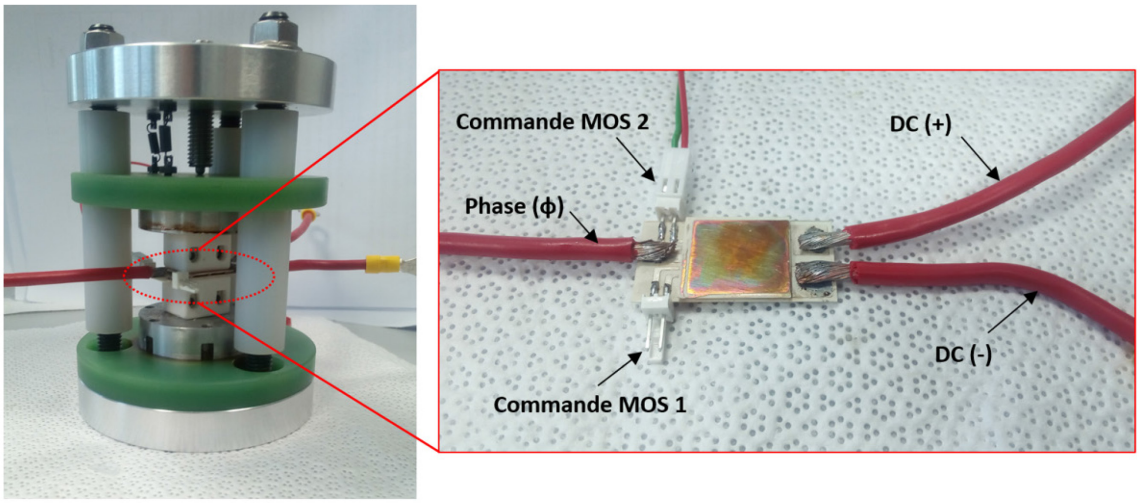


Figure E-28: Câblage du module 'Fail to short'pour réaliser des tests destructifs en régime de sur-courant.

E.4.1. Résultats de test Module (A)

E.4.1.1 Résultats de test sur MOS 1

Le premier MOSFET du bras de module a été testé en court-circuit. Durant ce test, la tension aux bornes du composant n'a pas été enregistrée correctement car la pince de la sonde de tension s'est détachée. Il n'a donc pas été possible de mesurer l'énergie dissipée durant l'essai. Nous avons toutefois relevé les formes d'ondes courant (I_{DS}) /tension (V_{GS}) qui sont représentées sur Figure E-29. À partir des formes d'onde, on peut observer

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

que la défaillance apparait pour une durée de court-circuit T_{cc} = 85 µs. À l'instant du défaut, le courant augmente très rapidement, de même que la tension V_{GS}. La défaillance observée laisse supposer une destruction ressemblant à un phénomène de Latch-up dynamique engendrant un mode de défaillance en court-circuit entre les trois terminaux (Grille-Drain-Source) du MOSFET.

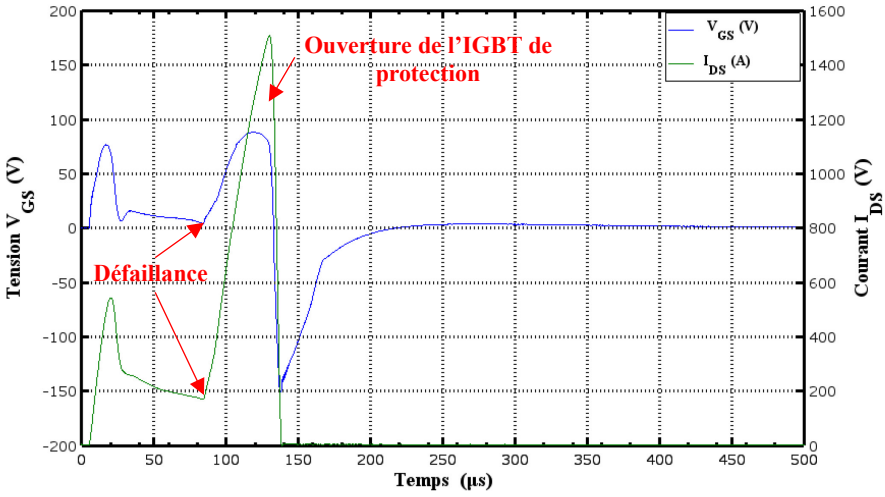


Figure E-29: Essai de court-circuit lors de la défaillance, Tcc = 56 µs, Tc = 25 ° C.

À l'issue du test destructif en court-circuit, nous avons procédé à l'injection du courant (10 A) dans le MOS détruit. La Figure E-30 montre la mesure de la résistance électrique de l'échantillon défaillant en court-circuit. Au cours de l'essai de passage en courant, on a observé une décroissance de la résistance initiale du court-circuit de 186 mΩ. Lors des 2,5 heures de test, la résistance décroit pour attendre 77 mΩ. Cette valeur est restée stable après 6 heures de passage de courant.

Dans la suite, nous nous sommes intéressés à l'étude de l'effet du courant traversant le MOS défaillant sur la stabilité de la résistance de l'échantillon. À cet effet, la Figure E-30 reproduit les résultats de mesure de la résistance R_{cc} mesurée au borne du MOS subissant un test de passage de courant à 20 A. D'après cette figure, l'augmentation du courant de polarisation de 10 à 20 A produit une augmentation de résistance, de 77 à 113 mΩ, puis à nouveau une diminution lente pour arriver à 44 mΩ à 9.5h. Ce phénomène semble lié au fort échauffement subi par le module durant les essais : pour le maintenir sur le support, nous avons utilisé des blocs en céramiques d'un peu plus d'un centimètre d'épaisseur. Dans ces conditions, le module est très mal refroidi. Il est donc probable que les points chauds du module ont dépassé les 200 °C. Cette haute température peut avoir augmenté la mobilité des métaux autour de point de défaillance, réduisant progressivement la résistance de contact. À titre de comparaison, le R_{DSON} des puces MOSFET (avant destruction) est de 25 mΩ.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

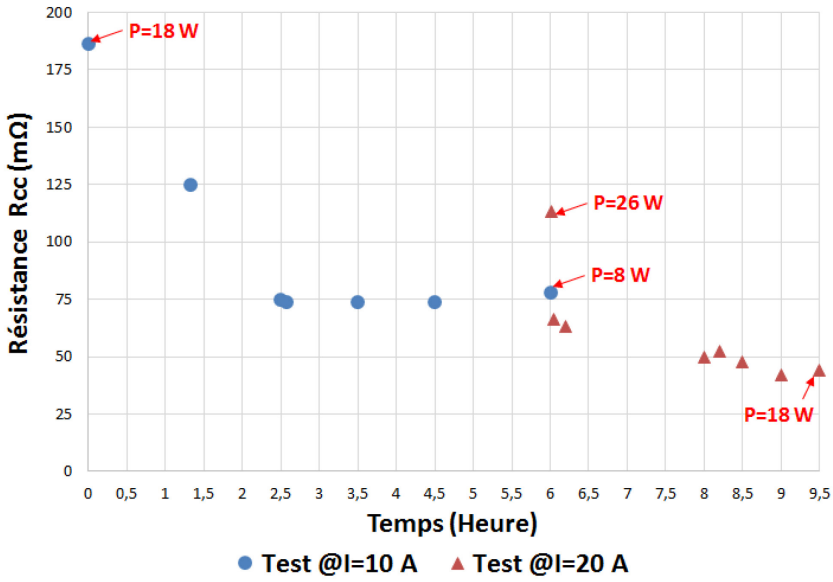


Figure E-30: Evolution au cours du temps de la résistance Rcc du MOS 1 après une injection de courant de 10 et 20 A.

E.4.1.2 Résultats de test sur MOS 2

La Figure E-31 présente les formes d'ondes du courant (I_{DS}), des tensions (V_{GS} et V_{DS}) et de l'énergie dissipée pendant la phase de court-circuit du MOSFET 2.

Au début de la phase de court-circuit (Figure E-31), le courant de saturation augmente rapidement et présente un pic de plus de 2000 A, soit 7692 A/cm², puis diminue progressivement jusqu'à la fin de la phase de court-circuit. L'énergie dissipée pour la durée de court-circuit Tcc = 140 µs, est estimée à 8.8 J. La défaillance apparait à l'ouverture du MOSFET, sous forme d'un court-circuit entre les trois terminaux du DUT (G-D-S)

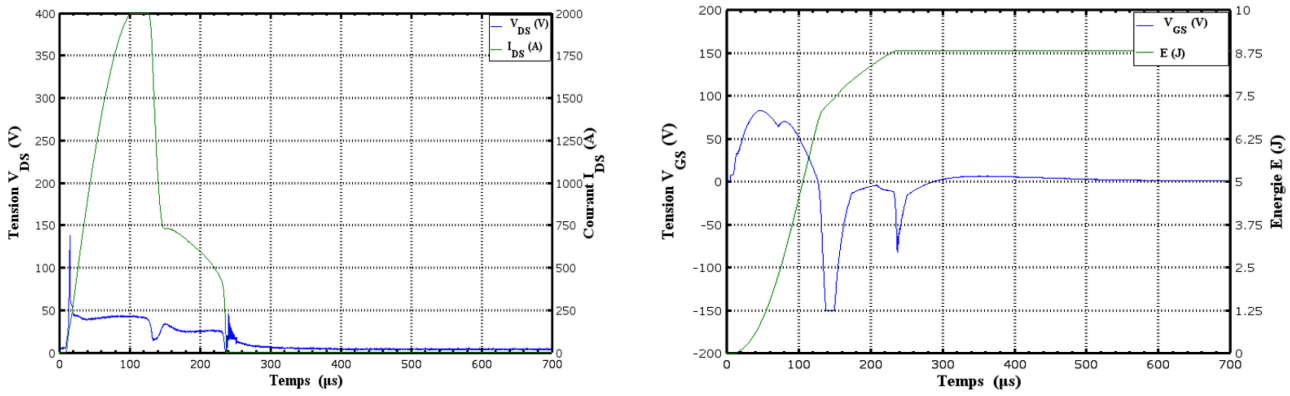


Figure E-31: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant.

La Figure E-32 montre le profil de résistance de contact électrique du MOSFET 2 défaillant en court- circuit. En injectant un courant de 10 A dans la puce défaillante, nous observons une phase de croissance puis de décroissance de la résistance, celle-ci reste stable après 6 heures de passage de courant. Dans ces conditions de test, le mode de court-circuit est jugé stable.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

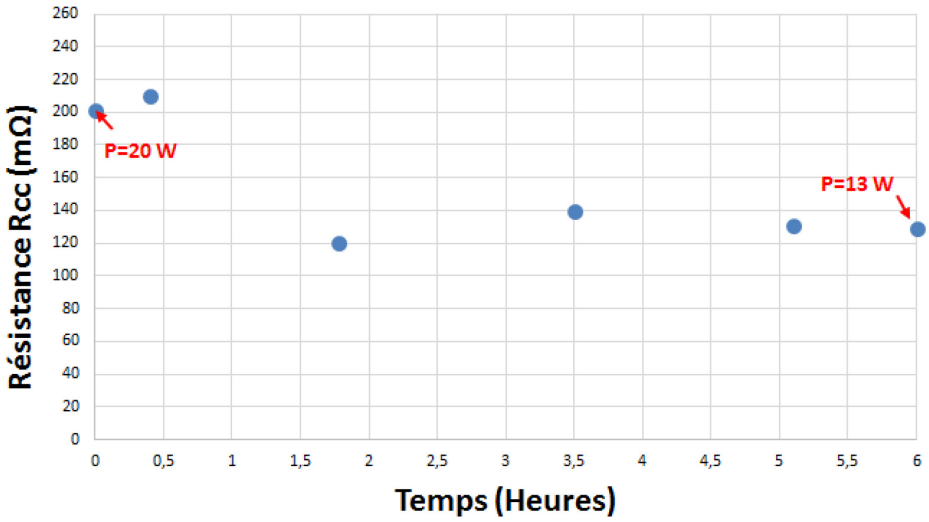


Figure E-32: Evolution au cours du temps de la résistance RCC du MOS 2 après une injection de courant 10 A.

E.4.1.3 Observation microscopique

Suite aux essais destructifs réalisés sur les deux MOSFETs du module (A), une analyse microscopique a été réalisée sur les deux substrats du module défaillant. Les Figure E-33 et Figure E-34 montrent respectivement le substrat "Drain" et "Source" du module Fail-to-short. Les deux substrats ont été séparés afin d'effectuer un analyse surfacique sur les deux MOSFETs SiC ainsi sur les plots de contact des puces. D'après la Figure E-33, l'application des tests en sur-courant ont abouti à la casse d'une grande partie des deux puces SiC. Pour une analyse plus fine, nous avons effectué une microanalyse par Energie Dispersive de rayon X (EDX) sur les deux puces dans l'objectif d'identifier les compositions qualitative et/ou quantitative.



Figure E-33: Vue du substrat "drain" incluant les deux MOSFETs défaillants en régime de sur-courant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

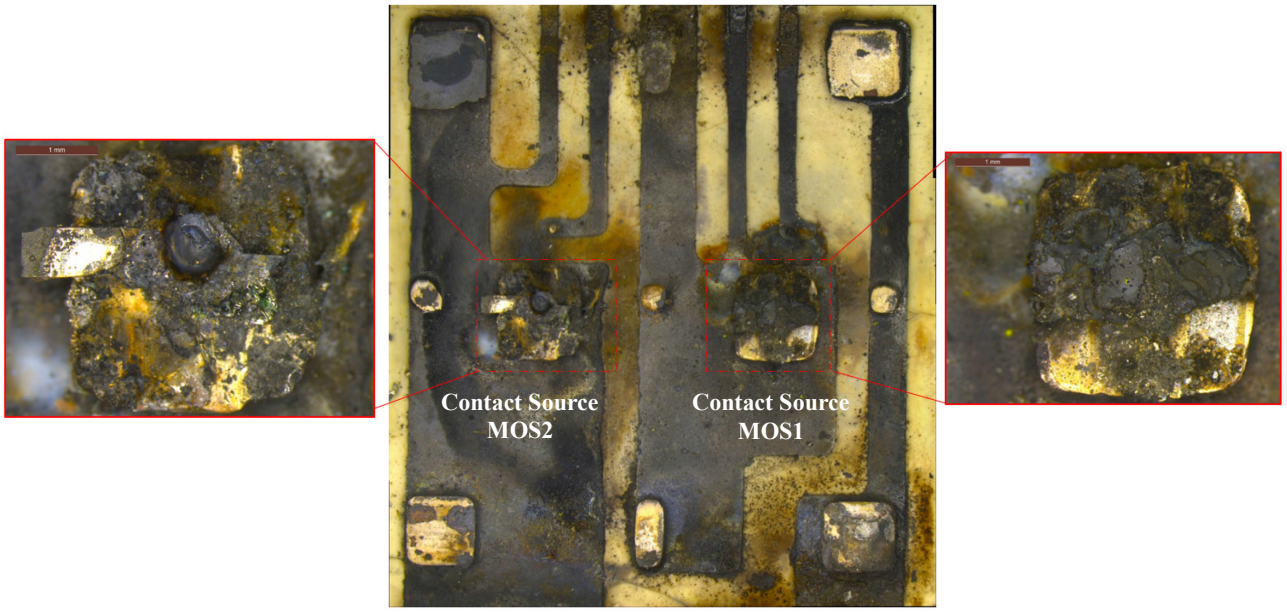


Figure E-34: Vue du substrat "source".

Pour le premier MOSFET analysé (Figure E-35), une inspection en surface nous permet de voir une zone de fusion au niveau de la métallisation source. Cette zone est encerclée sur la Figure E-35. La fusion et le débordement de la métallisation de source semblent être à l'origine du court-circuit physique entre la source et la grille observé lors de la défaillance du MOSFET. Cela laisse penser qu'une augmentation locale importante de la température s'est produite dans cette zone lors de la défaillance et qui est responsable de ces déformations. Des analyses EDX ont été effectuées pour connaitre la composition des trois points situées dans la zone encerclées sur la :

- Pour le point A, l'analyse montrent une présence prépondérante d'argent (37 at%), des teneurs importantes en oxygène (21 at%) et d'aluminium (13 at%), ainsi des faibles teneurs en silicium (11 at%). Une partie de la métallisation de puce (Al) semble donc être restée à cet endroit.
- Pour le point B, les observations permettent de quantifier des hautes teneurs en silicium (61 at%), des teneurs importantes en oxygène (28 at%), de faibles proportions en argent (2.23 at%) et de carbone (8 at%). L'absence d'aluminium semble indiquer qu'à cet endroit, la métallisation est restée accrochée au substrat source.
- Pour le point C, l'analyse MEB quantifier des teneurs importantes en silicium (43 at%) et de carbone (52 at%), de faibles proportions en oxygène (3.2 at%). Cette zone semble donc principalement correspondre à du SiC.

Le tableau suivant récapitule le composition des trois points analysés MEB :

	Al (at%)	Ag (at%)	Si (at%)	C (at%)	O (at%)
Point A	13	37	11.57	3.28	21.24
Point B	--	2.23	61	8	28
Point C	--	--	43	52	3.2

Tableau E-3: Composition des trois points A, B et C de la Figure E-35.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

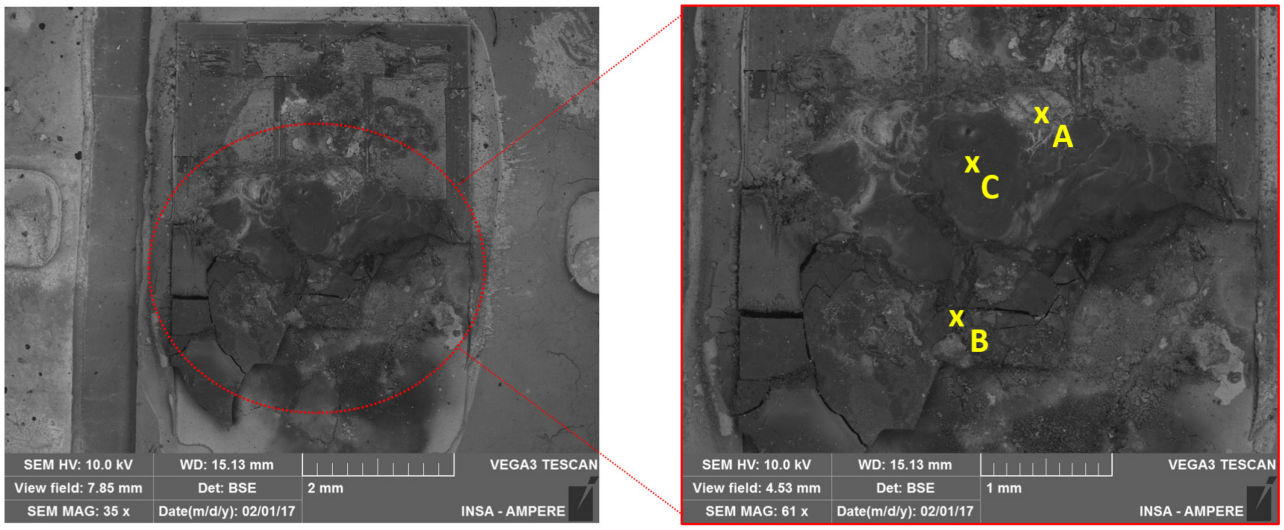


Figure E-35: Observation MEB du MOSFET 1 défaillant en régime de sur-courant.

Pour le deuxième MOSFET étudié, nous apercevons également une autre zone de fusion, cette fois-ci sous forme de cratère. Cette zone est encerclée et agrandie sur la Figure E-36. Le premier constat qui ressort de cette figure est que les parois du cratère sont recouvertes d'une couche métallique. Cette dernière pourrait provenir de la métallisation de la puce SiC, et/ou de la pâte d'argent, qui auraient fondu pour former un mince revêtement conducteur. Pour confirmer notre analyse, des observations EDX ont été réalisés pour connaitre la composition élémentaire de cette zone. À partir de la Figure E-36, on peut voir que la composition des matières au point A' est Si 12 at%, Ag 75 at%, Al 0.28 at% et Cu 5.2 at%. La composition au point B' est Si 62 at%, Ag 5.15 at%, C 27 at% et Cu 4.17 %. Pour le point C', l'analyse MEB montre des hautes teneurs en plomb (76 at%) et quelques traces d'oxygène, de carbone et d'étain. L'apparition du plomb et de l'étain en surface de la puce provient de la soudure utilisée pour connecter le module au banc de puissance. La température atteinte lors du test de passage de courant a contribué probablement à la fusion et le déplacement de la soudure au sein du module.

	Cu (at%)	Ag (at%)	Si (at%)	C (at%)	Al (at%)	Pb (at%)	Sn (at%)	O (at%)
Point A'	5.2	75.67	12	2.48	0.28	--	--	4.27
Point B'	4.17	5.15	62	27	--	--	--	0.56
Point C'	--	--	--	9		76	1.22	10

Tableau E-4: Composition des trois points A', B' et C' de la Figure E-36.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

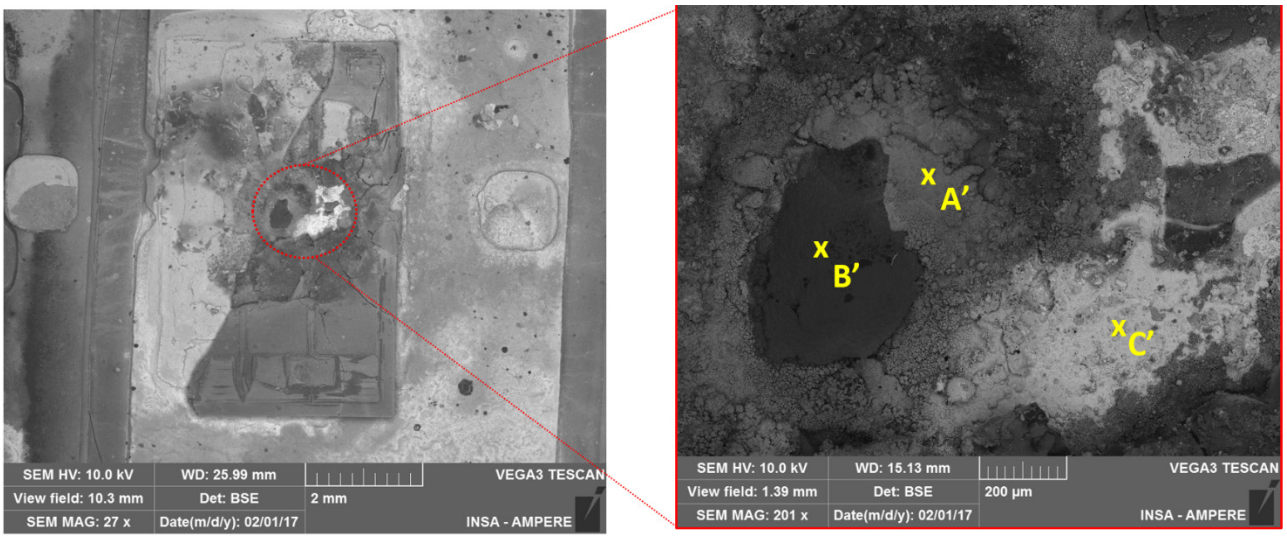


Figure E-36: Observation MEB du MOSFET 2 défaillant en régime de sur-courant.

La Figure D-20 montre l'analyse du plot du cuivre utilisé pour l'interconnexion du MOSFET 2. Une partie de la puce MOSFET est resté attachée sur la surface de contact du plot (l'autre est restée sur le substrat drain). Dans cette partie de la puce, nous observons clairement le cratère qui traverse tout l'épaisseur de la puce et qui semble probablement responsable du passage du courant après la défaillance de la puce. L'analyse des trois points de cette zone montre :

- La composition des matériaux au point D' est Si 1,78 at%, Ag 91 at%, C 1.5 at% et O 5.2 at%.
- Pour le point E', l'analyse EDX montre une présence prépondérante de Si (47 at%) et de carbone (43 at%), et quelques traces d'argent (3 at%), et de cuivre (6 at%).
- La composition des matières au point F' est Pb 82 at%, O 11 at%, C 4.48 at% et Si 2 at%. La présence du plomb (provenant de la soudure des fils) a été observée respectivement sur la face supérieure et inférieure de la puce.

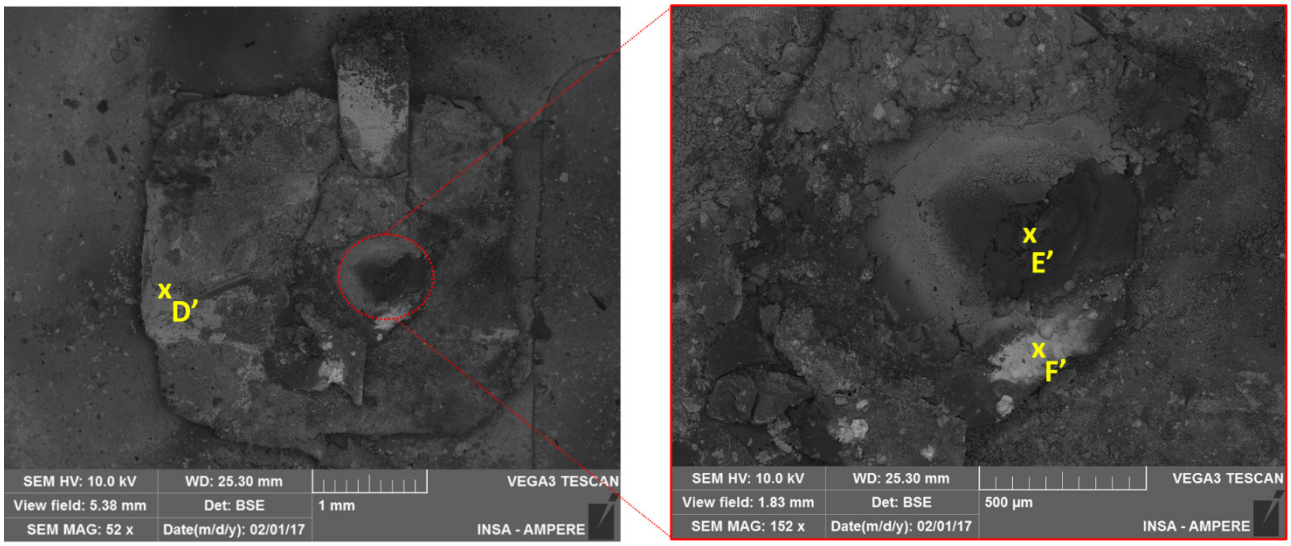


Figure E-37: Observation MEB du plot de cuivre utilisé pour le contact source du MOSFET 2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.4.2. Résultats de test Module (B)

Nous avons réalisé les mêmes tests décrits plus haut sur les deux transistors MOSFETs de l'échantillon B (encapsulé en gel silicone). Pour des raisons de simplicité, je ne présente qu'un test réalisé sur le premier transistor du bras de module. La Figure E-38 présente les formes d'ondes du courant (I_{DS}), des tensions (V_{GS} et V_{DS}) et de l'énergie dissipée pendant la phase de court-circuit du MOSFET défaillant pendant le régime de sur-courant. A l'instant du défaut, les trois terminaux du MOSFET se trouvent en court-circuit. L'énergie dissipée au cours de ce test est estimée à 21 J ce qui correspond à une densité d'énergie dissipée, E_{Diss} = 80 J/cm^2.

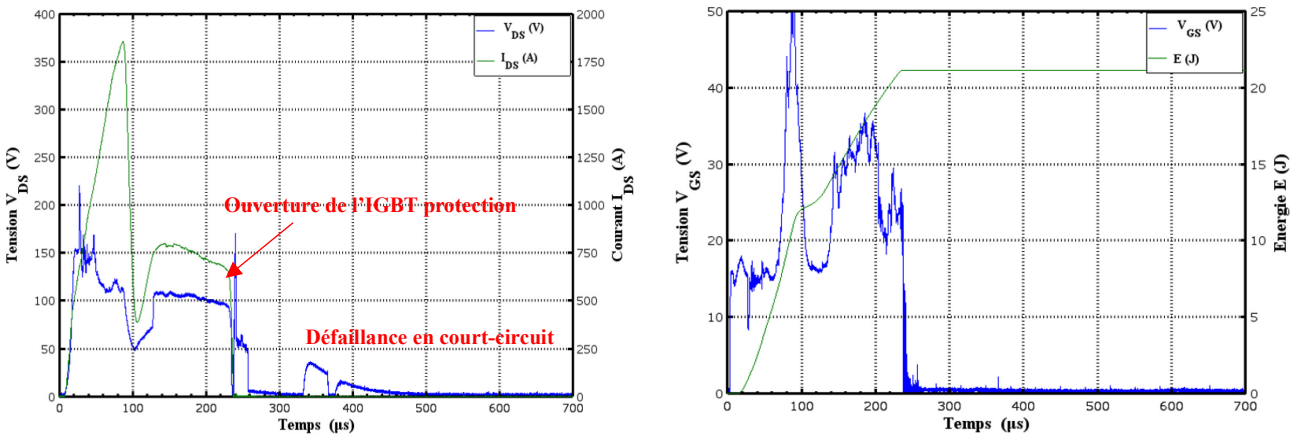


Figure E-38: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant.

La Figure E-39 illustre le profil de résistance électrique correspondant. En injectant un courant de 10 A dans la puce défaillante, la résistance passe de 188 mΩ (P=19 W) à 167 mΩ (P=17 W) après 6 h de test.

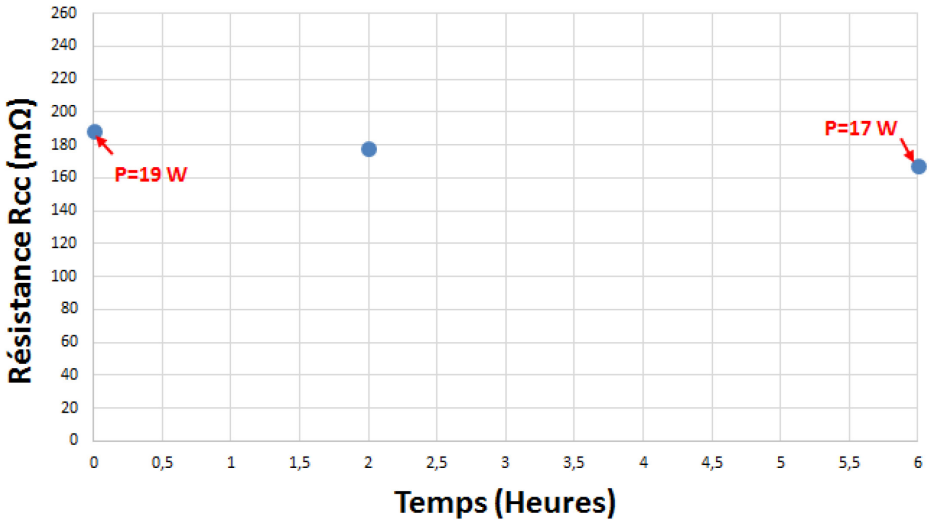


Figure E-39: Evolution au cours du temps de la résistance RCC du MOSFET défaillant après une injection de courant 10 A.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La Figure E-40 montre l'état de la puce après le test destructif en régime de sur-courant et vieillissement de 6h par un courant 10 A. D'après cette Figure, le test a provoqué un endommagement important au niveau de la puce où l'on aperçoit une grande zone noire située au milieu de la surface active de la puce. À ce stade, il est très difficile de conclure si cette zone est responsable de la création du court-circuit entre les terminaux Drain-Source de la puce.



Figure E-40: Vue de la puce défaillante après le test de passage de courant.

E.4.3. Résultats de test Module (C)

Pour des raisons pratiques (manipulation plus facile), le module C a été collé sur une plaque d'aluminium. La colle utilisée (colle époxy chargée en alumine duralco 133) supporte des températures de fonctionnement élevées. Si elle est relativement visqueuse à température ambiante, elle devient beaucoup plus fluide à 100 °C (température de polymérisation). De ce fait, la colle est rentrée à l'intérieur du module, constituant une encapsulation rigide que nous avons voulu évaluer. En effet, nous avons vu au chapitre II que l'encapsulant solide éclatait lors des essais destructifs, et entrainait une défaillance en circuit ouvert. La colle constituant néanmoins un encapsulant rigide qui maintient fortement les substrats céramique de notre module. Nous avons décidé de faire des essais sans le support "press-pack" utilisé précédemment.



Figure E-41: Photo du démonstrateur Fail-to-short rempli par de la résine époxyde.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

La Figure E-42 présente les formes d'ondes du courant (I_{DS}), des tensions (V_{GS} et V_{DS}) et de l'énergie dissipée pendant la phase de court-circuit du MOSFET. D'après la Figure E-42, nous observons qu'au début de la phase de court-circuit, le courant augmente rapidement et présente un pic de de 1700 A. L'énergie dissipée pour la durée de court-circuit Tcc = 238 µs, est estimée à 9.7 J. La défaillance apparait à l'ouverture du MOSFET, sous forme d'un circuit ouvert entre les deux terminaux (Drain-Source) du MOSFET. La défaillance a conduit à une explosion de l'échantillon sous test. En absence d'une force de serrage sur le module, les deux substrats "Drain" et "Source" se sont séparés résultant en une défaillance circuit ouvert.

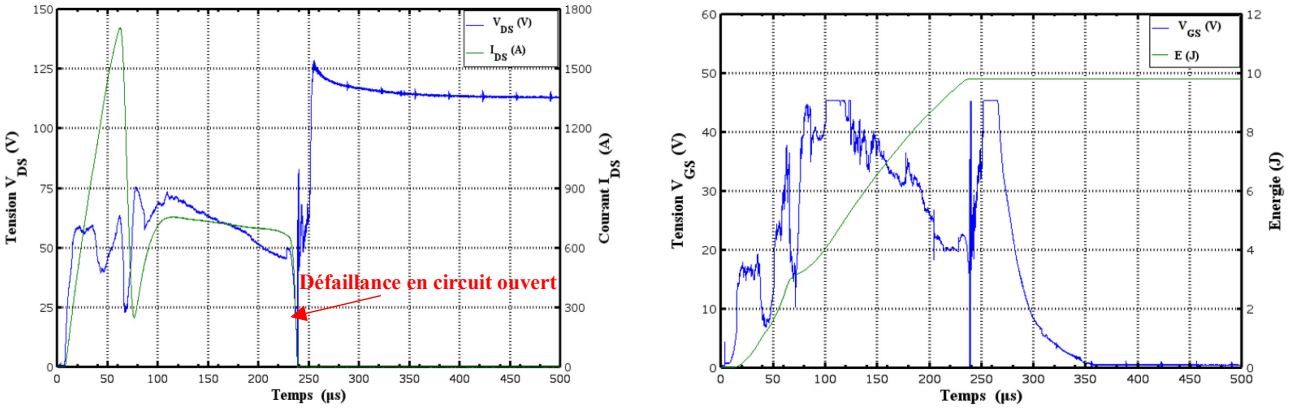


Figure E-42: Formes d'ondes (V_{DS}, I_{DS}, V_{GS}, E) du MOS 2 relevées en régime de sur-courant.

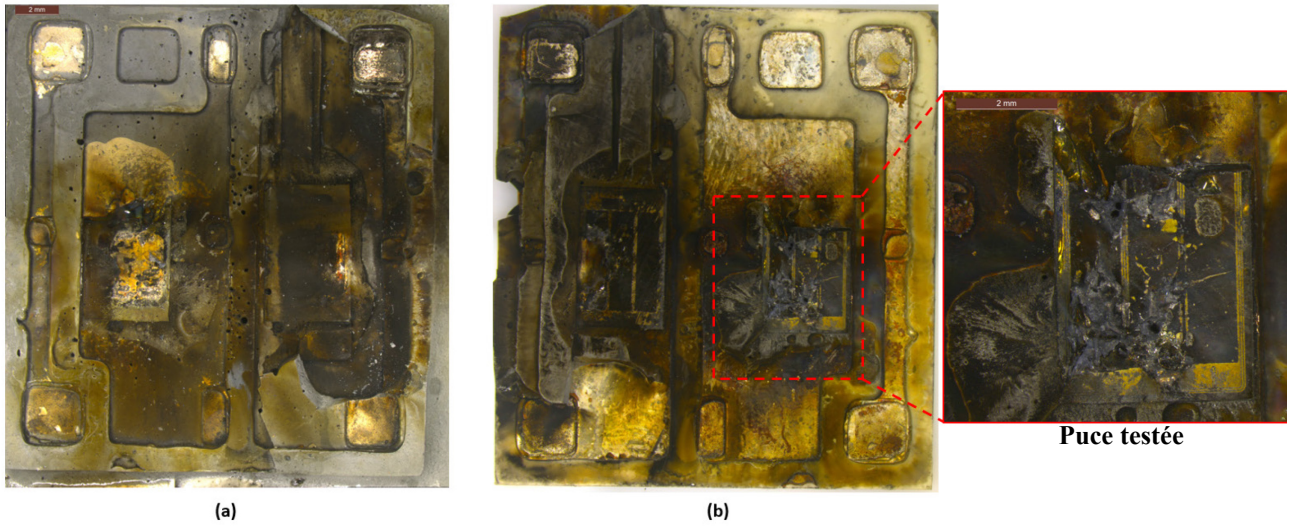


Figure E-43: Photo du module (encapsulé par la résine époxyde) testé en régime de sur-courant. (a) Substrat source ; (b) substrat drain incluant les puces MOSFETs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.5. Synthèse

Les travaux de ce chapitre se sont axés sur la réalisation d'un premier démonstrateur Fail-to-short à base de puces SiC. Un ensemble de tests a été reproduit sur des échantillons de modules avec et sans encapsulation. Les résultats des différents tests sont résumés dans le Tableau E-5.

Échantillon		Encapsulant	E (J)	Pression	Résistance initiale (mΩ)	Résistance finale après 6h @ 10 A (mΩ)	Mode de défaillance
Module (A)	MOS 1	Aucun	--	Oui	186	**77**	***Court-circuit***
	MOS 2		8.8		201	128	
Module (B)	MOS1	Gel silicone	20	Oui	165	120	***Court-circuit***
	MOS2		1		188	167	
Module (C)	MOS 1	Colle époxy	9.7	Non	--	--	***Circuit ouvert***
Module (D)	MOS 1	Gel silicone	2.24	Oui	180	158	***Court-circuit***

Tableau E-5: Synthèse des résultats de tests en sur-courants des différents échantillons.

D'après le Tableau E-5, les résultats des quatre échantillons (A), (B), (C) et (D) permettent de comparer comportement du module selon différents conditions de test en régime de sur-courant. Il a été trouvé expérimentalement que les trois échantillons (A), (B) et (D) avaient un mode de défaillance de court-circuit. En injectant un courant 10 A dans les puces défaillantes, le comportement ohmique de ses trois échantillons est stable avec des résistances mesurées variant entre 77 à 167 mΩ après 6h de passage de courant. L'utilisation du frittage d'argent s'avère très prometteuse puisqu'elle était en mesure d'offrir un mode de défaillance en court-circuit stable et notamment d'obtenir des résultats reproductibles.

Seul l'échantillon (C), avec une encapsulation rigide, présente un mode de défaillance en circuit ouvert. La présence de la résine semble être un maillon faible dans la recherche de fiabilité des modules de puissance. En effet, en cas d'une surcharge en courant, il s'avère que l'utilisation d'une encapsulation époxyde conduit à la projection de débris. Dans le cas des applications HVDC, ce scénario est critique car l'énergie cinétique des débris éjectés peut causer des endommagements mécaniques importants au niveau des équipements adjacents. Une façon de faire face à ce problème serait de concevoir un boîtier qui peut résister à une éventuelle explosion. Pour ce faire, la solution proposée est de contenir le gaz généré par la défaillance à l'intérieur du boîtier. À travers les tests réalisés dans ce chapitre, nous avons pu observer l'importance de la mise en pression du module sur le confinement de la défaillance. Afin de répondre aux exigences de fiabilité, il est très important de faire appel à une force de serrage (Dans le sens de l'axe oy) du boîtier pour contourner la défaillance à l'intérieur. Au même temps, le boîtier doit résister à la pleine pression (Dans le sens de l'axe ox). Cela est possible avec une conception appropriée et un choix judicieux du matériau du boîtier. Des propositions en ce sens sont formulées dans la conclusion générale du mémoire.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

E.6. Conclusion

Ce chapitre a été destiné à la conception, à la réalisation et au test d'un module Fail-to-short intégrant deux MOSFETs SiC. La solution proposée consiste à relier la puce des deux côtes à des substrats DBC par frittage d'argent (Structure sandwich). La première partie de ce chapitre a été consacré à la description des étapes technologiques pour la réalisation de cet assemblage. Par la suite, des tests destructifs ont été réalisés sur des modules. Cela, nous a permis de vérifier la fonctionnalité Fail-to-short de notre module.

Les essais en régimes de sur-courant réalisés sur les modules (avec et sans encapsulation en gel) ont révélé un mode de défaillance de court-circuit. Ces essais ont été accompagnés par une analyse de défaillance pour tenter d'identifier les zones du module assurant la continuité du courant.

Nous avons ensuite réalisé un test sur un module encapsulé avec de la résine époxyde et sans faire appel cette fois-ci au système de pressage externe. Ce test a été effectué dans le but d'étudier l'influence de la force de serrage et du matériau d'encapsulation sur le comportement du module pendant la phase de sur-courant. Les résultats obtenus ont révélé que la force de serrage est un élément indispensable pour éviter le détachement des deux substrats du module, autrement dit une défaillance en circuit ouvert. De plus, nous avons pu constater, dans le cas d'une encapsulation en résine époxyde, une projection de débris au moment de la défaillance du module. Ce cas critique notamment pour l'application HVDC nécessite un soin particulier pour le choix d'un boîtier qui puisse confiner les débris à l'intérieur du module tout en évitant un endommagement des équipements à proximité du module.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

F. Conclusion Générale

F.1. Conclusion

Actuellement, tous les modules de puissance Fail-to-short disponibles dans le commerce utilisent des semi-conducteurs en silicium. Les potentialités des semi-conducteurs SiC incitent aujourd'hui les industriels et les chercheurs à développer des modules Fail-to-short à base de puces SiC. Ces derniers ouvriront de réelles possibilités de réduction globale de masse/volume des convertisseurs, ce qui répond aussi aux exigences de l'industrie HVDC. Ce mémoire s'inscrit dans cette volonté de concevoir un module Fail-to-short en carbure de silicium destiné aux applications haute tension.

Le premier chapitre de ce mémoire retrace les différents mécanismes de défaillance des modules de puissance. Nous avons constaté par cette étude bibliographique que malgré une bonne maturité de la technologie de connexion "wire bonding", celle-ci reste une des faiblesses des modules conventionnels. En effet, il existe deux principaux mécanismes de défaillance des fils: le décollement (et la fissuration) en régime de cyclage thermique, et la fusion des fils de bonding en régime de sur-courant. Les deux mécanismes conduisent à la défaillance du module en circuit ouvert. Ce dernier est généralement un scénario hautement critique dans les applications HVDC dû au risque de la propagation de la défaillance au sein du convertisseur. La présence des fils de bonding est ainsi un maillon faible dans la recherche de fiabilité des modules de puissance. Cette contrainte nous incite, par conséquent, à remplacer des fils de bonding par d'autres solutions d'interconnexion.

Le deuxième chapitre de ce manuscrit a été consacré à l'étude des boîtiers conventionnels en régime extrême de fonctionnent, en particulier en régime d'avalanche et de sur-courant. Ces travaux avaient pour objectif d'identifier les énergies critiques des composants SiC et de déterminer les modes de défaillance qui pouvaient être susceptibles d'apparaitre sous de tels régimes contraignants. Lorsque le courant de défaut était limité, les essais réalisés sur des diodes et MOSFETs SiC en régime extrêmes ont tous montré une défaillance en court-circuit. Au contraire, si le courant n'est pas interrompu ou limité au moment de la défaillance du composant, on observe une explosion du boîtier entrainant une défaillance du composant en circuit-ouvert.

La troisième partie de ce mémoire a été dédiée à l'étude des modes de défaillance d'une technologie press-pack. Des échantillons à base de diodes ont été construits et testés pour évaluer leurs capacités de défaillance en court-circuit. Ces essais ont été accompagnés par des observations microscopiques pour une analyse de défaillance. Les résultats ont révélé que la structure press-pack a été en mesure d'offrir un mode de défaillance de court-circuit avec une faible résistance électrique initiale (de l'ordre de la centaine de milliohms). Un intérêt particulier a été accordé à l'étude de la stabilité du court-circuit après la défaillance de la puce. Pour ce faire, nous avons réalisé des tests de vieillissement en injectant un courant dans la puce défaillante en suivant

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

l'évolution de la résistance électrique de contact. Ces essais ont montré que les puces SiC (frittées sur des substrats DBC) en contact avec des feuillards Al, Ag, Cu ou Ni donnent un court-circuit stable.
Enfin, le dernier chapitre de ce mémoire présente une mise en œuvre des résultats des chapitres précédents, à travers un premier démonstrateur de module SiC Fail-to-short. Notre choix s'est porté sur une structure sandwich. Nous avons effectué une série de test en régime de sur-courant (jusqu'à 2000 A). À partir des résultats de ces tests, nous avons mis en évidence d'une part, l'importance des forces de serrage pour assurer un mode de défaillance en court-circuit, et d'autre part l'importance d'une conception d'un boîtier robuste qui évite la projection de débris qui peut conduire éventuellement à endommager les équipements voisins au module.

F.2. Prespectives conceptuelles

Les travaux présentés dans cette thèse ont démontré la faisabilité d'un packaging Fail-to-short pour des puces SiC. Cela fait ressortir les principaux points clés à prendre en compte lors du développement du futur module Fail-to-short multipuces (Figure F-1) :

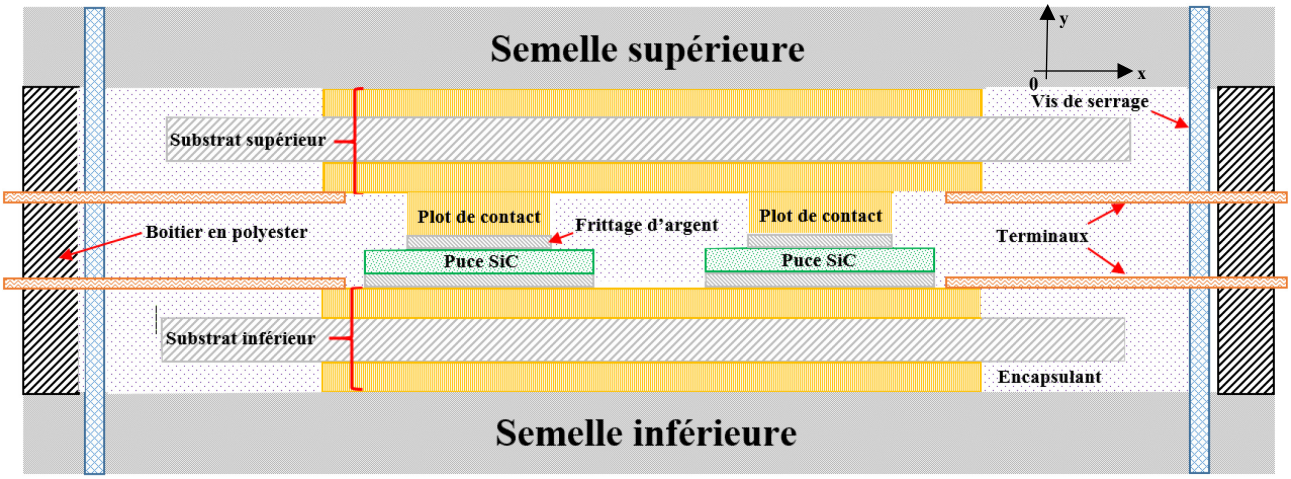


Figure F-1: Vue 2D de la structure proposée pour un module Fail-to-short à base de puces SiC.

- **Isolation:** Les substrats céramiques permettent d'isoler électriquement les interfaces thermiques (à la différence d'un press-pack). Cette isolation est optionnelle dans le cas d'un composant simple (diode par exemple). Elle devient nécessaire pour des fonctions plus complexes (bras d'onduleur par exemple).

- **Contact des puces:** La prise de contact entre la puce et son environnement constitue un point fondamental du module Fail-to-short. En effet, la solution d'interconnexion doit en permanence favoriser les échanges thermiques entre la puce et son boîtier tout en garantissant une continuité de passage de courant en cas d'une défaillance. Les travaux présentés dans ce mémoire de thèse ont mise

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

en évidence la nécessité d'une prise de contact massive. Cette technique semble offrir de réelles performances (Refroidissement double face) et permet d'atteindre des niveaux de fiabilité satisfaisants. Dans le cadre du développement de notre futur démonstrateur Fail-to-short, nous pouvons avoir recours soit à un contact utilisant un relief du substrat (Technique retenue pour nos travaux, Figure F-1), ou à une interconnexion par bumps [74]. Le recours à ces deux solutions se révèle un très bon choix pour la réalisation d'un package fiable pour des applications fortes puissances.

- **Encapsulant:** Les dommages causés par l'explosion d'un module dépendent en grande partie de la conception du module et du convertisseur. Selon [75], un premier type de dommage est causé par les gaz générés lors de la défaillance. Le deuxième type est causé par des aérosols émis constitués de particules de gel et de caoutchouc finement dispersées. Même si aucun dommage mécanique n'est causé, ce matériau formera une couche collante sur les objets à proximité du module. Cela implique des opérations de nettoyage coûteuses [75]. Cette limitation force le concepteur de modules de puissance à trouver d'autres alternatives. Dans notre recherche de solution, nous proposons d'utiliser un matériau d'encapsulation, MIDEL 7131 (sous forme d'huile), pour assurer à la fois une bonne isolation électrique du module et pour limiter les dégâts causés par la projection de l'encapsulant en cas de l'explosion du module.

- **Stabilité de court-circuit:** Une des spécifiés d'un module Fail-to-short repose sur sa stabilité lors de la défaillance en court-circuit. En effet, le module défaillant doit être capable de conduire le courant jusqu'à ce qu'il puisse être enlevé et remplacé pendant la période de maintenance planifiée. Les essais réalisés dans ce mémoire ont révélé que l'utilisation des puces (attachées à des substrats DBC) en contact avec différents feuillards Ag, Al, Ni et Cu permet d'obtenir une défaillance en court-circuit stable.

- **Robustesse du boîtier:** Dans tous les cas de défaillance, le module doit passer en court-circuit stable. Cependant, dans certaines conditions, les modules peuvent être soumis à des décharges de courant de milliers d'ampères pour des durées de centaines de microsecondes. Cela pourrait conduire à une explosion due à l'effet de la pression de vapeur. Le boîtier doit par conséquent résister à une telle contrainte sans rupture du fonctionnement du convertisseur. Dans le sens de l'axe (oy) cela peut être réalisé en faisant appel à des vis de serrage comme illustré sur la Figure F-1. Pour des raisons de sécurité, il est également nécessaire de résister à la pleine pression (Dans le sens de l'axe ox). Cela nécessite de porter une attention particulière à la conception du boîtier et au choix de du matériau. Selon [76], les seuls matériaux qui répondent à cette exigence sont les matériaux composites à fibres longues (Par exemple à base de polyester).

Nous proposons quelques perspectives comme continuité des travaux réalisés :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Une première perspective concerne la réalisation d'un boîtier du module présenté dans la Figure F-1. Une étape essentielle serait d'examiner le comportement du module pour voir comment ce dernier se comporte dans une vraie application MMC, où toute l'énergie stockée pourrait se décharger dans le module. Pour cela, il faudrait revoir la conception du banc de test. Il faudrait également penser à faire des tests de vieillissement en courant correspondant à la durée fixée pour la maintenance des stations HVDC (ex. 8000 h [77]). Cela permettra d'observer au plus près le profil de la résistance électrique après la défaillance en court-circuit.

Ces essais en grandeur réelle permettront d'évaluer la tenue du boitier en explosion. Enfin, pour conclure sur ce mémoire de thèse, il sera nécessaire d'évaluer le comportement d'autres puces SiC, plus adaptées aux applications haute tension, comme les transistors bipolaires.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Bibliographie

[1] F. D'EUSTACHIO, "Les enjeux des systèmes HVDC dans les réseaux de transport d'électricité," CNAM, 2013.

[2] T. T. N. VU, "Étude des phénomènes de charges d'espace dans des matériaux de câbles et câbles modèles destinés à des applications au transport d'énergie en Haute Tension Continue (HVDC)," l'Université Toulouse III – Paul Sabatier, 2014.

[3] J. V. A. Martin FUNCK, "Liaisons HVDC: structure, contrôle et modélisation," EPL, 2016.

[4] I. Yaqub, "Investigation into stable failure to short circuit in IGBT power modules," Thèse de doctorat, Université de Nothingham, 2015.

[5] *The France -Spain HVDC link, HVDC VSC MMC modeling challenge*. Sébastien Dennetière.

[6] H. Madjahed, "Contribution à la simulation électro-thermomécanique numérique 3d : appliquée à l'étude de la fiabilité des interrupteurs à semiconducteurs packagés, utilisés en traction ferroviaire," 2012.

[7] R. RIVA, "Solutions d'interconnexions pour la haute temperature," Thèse de doctorat, INSA Lyon, 2014.

[8] JEDEC, "Single Pulse Unclamped Inductive Switching (UIS) Avalanche Test Method," *JEDEC STANDARD*.

[9] D. Tournier, "Composants de puissance en SiC : Technologie," *Techniques de l'ingénieur*, 2007.

[10] J. & C. Camassel, "Matériaux semiconducteurs à grand gap : le carbure de silicium (SiC)," *Techniques de l'ingénieur*, 2012.

[11] Yole, "SiC market and industry update," Proceedings ISiCPEAW.

[12] C. Raynaud, D. Tournier, H. Morel, and D. Planson, "Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices," *Diamond and Related Materials*, vol. 19, no. 1, pp. 1–6, 2010.

[13] J. Arrillaga, *Flexible Power Transmission : The HVDC options*. 2007.

[14] L. MÉNAGER, "Conditionnement des modules de puissance," *Techniques de l'ingénieur*, 2010.

[15] C. BUTTAY, "Modules et boîtiers de puissance (packaging)," *Techniques de l'ingénieur Composants actifs en électronique de puissance*, vol. base documentaire : TIB245DUO., no. ref. article : d3116, 2016.

[16] X. Cao, T. Wang, K. D. T. Ngo, and G. Q. Lu, "Parametric Study of Joint Height for a Medium-Voltage Planar Package," *IEEE Transactions on Components and Packaging Technologies*, vol. 33, no. 3, pp. 553–562, 2010.

[17] B. Mouawad, "Assemblages innovants en électronique de puissance utilisant la technique de « spark plasma sintering »," Thèse de doctorat, INSA Lyon, 2013.

[18] S. Haque, K. Xing, R.-L. Lin, C. T. A. Suchicital, G.-Q. Lu, D. J. Nelson, D. Borojevic, and F. C. Lee, "An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 2, pp. 136–144, May 1999.

[19] A. Masson, "Mise en oeuvre de techniques d'attaches de puces alternatives aux brasures pour des applications haute température," thèse de doctorat, INSA Lyon, 2012.

[20] J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G.-Q. Lu, "Three-Dimensional Packaging for Power Semiconductor Devices and Modules," *IEEE Transactions on Advanced Packaging*, vol. 28, no. 3, pp. 404–412, Aug. 2005.

[21] B. Mouawad, "Assemblages innovants en électronique de puissance utilisant la technique de « spark plasma sintering," INSA Lyon, 2013.

[22] M.BERKANI, "Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides," Thèse de doctorat, ENS Cachan, 2008.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

[23] W. W. Sheng and R. P. Colino, “Power electronic modules : design and manufacture,” *CRC Press*.
[24] C. BUTTAY, “Composant actif pour l’électronique de puissance,” *Laboratoire Ampère*, 2013.
[25] M. TAWK, “Etude et réalisation d’un système de refroidissement pour l’électronique de puissance basé sur la mise en mouvement d’un fluide conducteur électrique.,” Laboratoire de Génie Electrique de Grenoble (G2Elab), 2006.
[26] “Sciences à l’école .Disponible sur: http://www.sciencesalecole.org.” .
[27] I. Lhenry-Yvon, “Les rayons cosmiques : historique et enjeux actuels,” *Ecole de Gif, la Gande Motte*.
[28] J. Vallon, “Introduction à l’étude de la fiabilité des cellules de commutation à IGBT sous fortes contraintes,” Thèse de doctorat, INPT, Toulouse.
[29] Abbsem, “Failure rates of fast recovery diodes due to cosmic rays,” ABB, 2013.
[30] J. Moussodji, “Caractérisation et modélisation électro-thermique distribué d’une puce IGBT : Application aux effets du vieillissement de la métallisation d’émetteur,” *Thèse de doctorat, ENS Cachan*, 2014.
[31] T. A. Nguyen, “Instrumentation électronique et diagnostic de module de puissance à semi-conducteur,” *Thèse de doctorat, ENS Cachan*, 2013.
[32] J. Lutz, *Semiconductor Power Devices*. Springer, 2011.
[33] M. Netzel, R. Lerner, R. Siemieniec, and J. Lutz, “PT-IGBT and freewheeling diode for 3.3 kV using lifetime control techniques and low-efficiency emitters,” in *2002 23rd International Conference on Microelectronics. Proceedings (Cat. No.02TH8595)*, 2002, vol. 1, pp. 167–170 vol.1.
[34] Y. LAUSENAZ, “Contribution à la fiabilité des interrupteurs haute tension matriciels,” Université Aix-Marseille III, 2000.
[35] I. Dchar, M. Zolkos, C. Buttay, H.Morel, “Robustness of SiC MOSFET under Avalanche Conditions,” *IEEE*, 2017.
[36] M. Ciappa, “Selected failure mechanisms of modern power modules,” *Microelectronics Reliability*, vol. 42, no. 4–5, pp. 653–667, 2002.
[37] J. B. Glasdam, *Application of Power Electronic Devices in Transmission Systems*. Springer, 2016.
[38] M. Ciappa, “Some Reliability Aspects of IGBT Modules for High-Power Applications,” *SERIES IN MICROELECTRONICS*.
[39] G. CIVRAC, “Vers la réalisation de composants haute tension, forte puissance sur diamant CVD,” INPT.
[40] *CEI 60270, clause 3.1, version 2000*. .
[41] A. T. V. THI, “Propriétés diélectriques de matériaux isolants sous contraintes impulsionelle répétitive. Application aux modules de commutation en électronique de puissance,” Université de Grenoble, 2006.
[42] C. DUCHESNE, “Contribution à l'étude de la gradation de potentiel dans les modules de puissance haute tension,” Université de Toulouse, 2009.
[43] *CEI 60270, Partial discharges measurement, 3rd edition, 1998*. .
[44] Z. Y. H. G.F. Tang M. Ding G.J. Ding, “Topology Mechanism and Modulation Scheme of a New Multilevel Voltage Source Converter Modular,” *Proceedings of the CSEE*, 2009.
[45] H. A. SAAD, “Modélisation et simulation d'une liason de type HVDC VSC-MMC,” École polytechnique de Montréal, 2015.
[46] K. Sharifabadi, *Design, control and application of MMC for HVDC transmission system*. John Wiley & Ons, 2016.
[47] F. J. Wakeman and G. W. Lockwood, “Electromechanical evaluation of a bondless pressure contact IGBT,” *IEE Proceedings - Circuits, Devices and Systems*, vol. 148, no. 2, pp. 89–93, Apr. 2001.
[48] IXYS, “Short circuit failure modes in press pack devices.”, June 2014.
[49] C. Busca, R. Teodorescu, F. Blaabjerg, L. Helle, and T. Abeyasekera, “Dynamic thermal

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

modelling and analysis of press-pack IGBTs both at component-level and chip-level," *Industrial Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE*, pp. 677–682, Nov. 2013.
[50] F. Mulski, "Semiconductor devices adapted for pressure mounting," *US Patent 3,457,472*.
[51] C. Davidson, "LCC HVDC Valves," *Alstom*, 2011.
[52] S. Gunturi and D. Schneider, "Press pack power semiconductor module," U.S. Patent US 7,538,436 B22009.
[53] T. Lang and H. R. Zeller, "Short-circuit-resistant IGBT module," 2002.
[54] G. Flury, B. Gollentz, and C. Conilh, "Fault-tolerant inverter for subsea applications," in *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, 2009, pp. 1–10.
[55] P. E. Delft, "Press-pack IGBT, towards the next generation of super switch."
[56] S. Gunturi, J. Assal, D. Schneider, and S. Eicher, "Innovative metal system for IGBT press pack modules," *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03. 2003 IEEE 15th International Symposium on*, pp. 110–113, Apr. 2003.
[57] C. Liu, D. Cottet, F. Brem, and S. Kicin, "Power semiconductor module and method of manufacturing there same." Google Patents, 2016.
[58] N. Ahmed, A. Haider, D. V. Hertem, L. Zhang, and H. P. Nee, "Prospects and challenges of future HVDC SuperGrids with modular multilevel converters," in *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, 2011, pp. 1–10.
[59] D. P. Sadik, S. Heinig, K. Jacobs, D. Johannesson, J. K. Lim, M. Nawaz, F. Dijkhuizen, M. Bakowski, S. Norrga, and H. P. Nee, "Investigation of the surge current capability of the body diode of SiC MOSFETs for HVDC applications," in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016, pp. 1–10.
[60] R. Chokhawala, J. Catt, and L. Kiraly, "A discussion on IGBT short circuit behavior and fault protection schemes," in *Proceedings Eighth Annual Applied Power Electronics Conference and Exposition,*, 1993, pp. 393–401.
[61] F. st eve, "Influence des régimes extrêmes de fonctionnement sur la durée de vie de composants à semiconducteurs de puissance," ENS CACHAN.
[62] M. Sztykiel, R. da Silva, R. Teodorescu, L. Zeni, L. Helle, and P. C. Kjaer, "Modular multilevel converter modelling, control and analysis under grid frequency deviations," in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, pp. 1–11.
[63] S. Lefebvre, Z. Khatir, and F. Saint-Eve, "Experimental behavior of single-chip IGBT and COOLMOS devices under repetitive short-circuit conditions," *Electron Devices, IEEE Transactions on*, vol. 52, no. 2, pp. 276–283, Feb. 2005.
[64] A. Benmansour, S. Azzopardi, J. C. Martin, and E. Woirgard, "Failure mechanisms of Trench IGBT under various short-circuit conditions," in *2007 IEEE Power Electronics Specialists Conference*, 2007, pp. 1923–1929.
[65] T.-T. Nguyen, A. Ahmed, T. V. Thang, and J.-H. Park, "Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation," *Power Electronics, IEEE Transactions on*, vol. 30, no. 5, pp. 2445–2455, May 2015.
[66] Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, "Investigation of 1.2 kV investigation of SiC MOSFETs for aeronautics applications," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, 2013, pp. 1–9.
[67] D. Othman, "Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques," Université Paris-Saclay, 2015.
[68] S. Gunturi and D. Schneider, "On the operation of a press pack IGBT module under short circuit conditions," *Advanced Packaging, IEEE Transactions on*, vol. 29, no. 3, pp. 433–440, Aug. 2006.
[69] A. Masson, "Report de puce par frittage d'argent - mise en oeuvre et analyse.," *EPF*, 2012.
[70] WACKER, "Technical data sheet for WACKER SilGel® 612 A/B," 2008.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

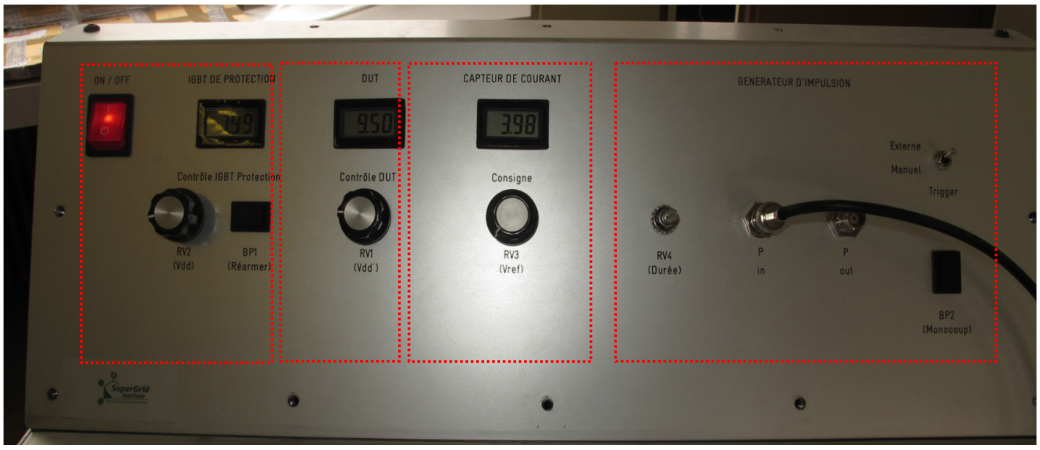
[71] R. RIVA, “Solutions d’interconnexions pour la haute temperature,” Thèse de doctorat, INSA Lyon, 2014.
[72] S. Kraft, A. Schletz, and M. Maerz, “Reliability of Silver Sintering on DBC and DBA Substrates for Power Electronic Applications,” in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–6.
[73] M. B. Keyrouz, “Etude des matériaux isolants d’encapsulation pour la montée en température des modules de puissance haute tension.,” Université Paul Sabatier - Toulouse III, 2011.
[74] C.-C. Tsai, L.-L. Liao, Y.-F. Su, T. Y. Hung, and K. N. Chiang, “Reliability analysis of copper bump interconnection in double-sided power module,” in *2015 16th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*, 2015, pp. 1–4.
[75] S. Gekenidis, E. Ramezani, and H. Zeller, “Explosion tests on IGBT high voltage modules,” *Power Semiconductor Devices and ICs, 1999. ISPSD ’99. Proceedings., The 11th International Symposium on*, pp. 129–132, 1999.
[76] S. Kaufmann, T. Lang, and R. Chokhawala, “Innovative press pack modules for high power IGBTs,” in *Power Semiconductor Devices and ICs, 2001. ISPSD ’01. Proceedings of the 13th International Symposium on*, 2001, pp. 59–62.
[77] F. Wakeman, J. Pitman, and S. Steinhoff, “Long term short-circuit stability in Press-pack IGBTs,” in *2016 18th European Conference on Power Electronics and Applications (EPE’16 ECCE Europe)*, 2016, pp. 1–10.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Annexe

Annexe 1: Interface de commande utilisée pour le banc de test en régime de fonctionnement extrême.

- *Un bouton marche/arrêt:* Il établit ou coupe l'alimentation de l'ensemble des circuits du banc.
- *Trois potentiomètres:* pour contrôler les tensions de grille du DUT, l'IGBT de protection et enfin pour contrôler le seuil du courant à ne pas dépasser dans la maille de puissance. En cas de dépassement du seuil fixé, l'IGBT de protection s'ouvre.
- *Trois Voltmètre LCD:* Ils permettent d'afficher les tensions de grille appliquées respectivement à l'IGBT de protection et DUT ainsi que le seuil du courant à ne pas dépasser dans le circuit de puissance.
- 1 borne BNC raccordée au générateur d'impulsion.



Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

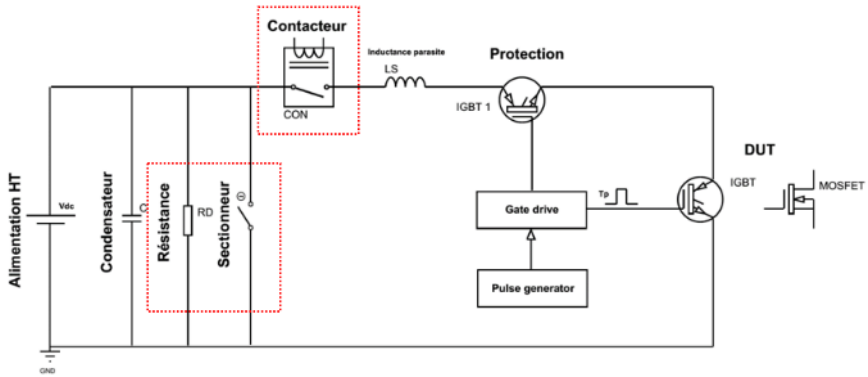
Annexe 2: Fiche technique du contacteur

Technical data				
Type	HzS 1000.63S	HzS 4000.16S	HzS 4000.50S	HzS 3000.100
Switching Element				
Main contact (normally open contact)	1	1	1	1
Rated insulation voltage U_i (VDE 0110 / group D)	AC 1.5 kV	DC 3 kV	DC 3 kV	DC 3 kV
Rated thermical current I_{th}	80 A	40 A	80 A	125 A
Rated Breaking Capacities				
Resistive Load				
AC 16⅔ Hz 1000 V	63 A	16 A	50 A	100 A
AC 50 Hz 1500 V	40 A	10.7 A	33.4 A	66.8 A
DC 1500 V	-	10.7 A	33.4 A	66.8 A
DC 3000 V	-	5.3 A	16.7 A	33,4 A
Switching category DC 4/5 750 V	-	10 A	25 A	-
Auxiliary Switch [1]				
Rated thermical current I_{th}	10 A			
Rated breaking capacities [3] DC 24 V (DC 110 V)	3 (0.5) A			
Solenoid Coil				
Rated control supply voltage U_S [2]	DC 24 / 110 V ± 25%			
Coil suppression	VDR + Diode			
Solenoid coil power consumption	10 W	7 W	12 W	16 W
Other				
Mounting position	vertical as shown in the following dimensional drawing			
Degree of protection	IP00			
Mechanical life expectancy	10×10^6	10×10^6	10×10^6	1×10^6
Weight approx.	3.5 kg	3.4 kg	4.1 kg	7 kg

[1] Please indicate with order, up to 2 x 1NO 1NC possible, [2] Other voltages on demand, [3] L/R = 30 ms



HzS 4000.16S HzS 4000.50S



Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Annexe 3: Fiche technique du séctionneur

Données techniques

	Symbole	Unité	BTE 03.04	BTE 03.04 R
CIRCUIT PRINCIPAL				
Tension assignée	U_n	[kVac/dc]	3	3
Tension assignée d'emploi	U_e	[kVac/dc]	3.6	3.6
Courant thermique conventionnel à l'air libre	I_{th}	[A]	400	400
Courant de courte durée admissible	$I_p/I_k/t$	[kA]/[kA]/[s]	63/25/1	63/25/1
Nombre de pôles			2 ou 4	2 ou 4
Tension assignée de tenue aux chocs				
- Pôle-pôle	U_{Ni}	[kV]	30	30
- Pôle-terre	U_{Ni}	[kV]	40	40
Tension assignée de tenue à fréquence industrielle	U_a	[kV]	14	14
CIRCUIT DES CONTACTS AUXILIAIRES				
Nombre maximum de contacts auxiliaires			2a(NO) + 2b(NC)	2a(NO) + 2b(NC)
Tension assignée (contact libre de potentiel)		[Vdc]	24 à 110	24 to 110
Courant de coupure maximum				
- Charge ohmique à 110 Vdc		[A]	1	1
- Charge inductive τ = 15 ms à 110 Vdc		[A]	0.3	0.3
Courant minimum de conduction à 24 Vdc (1)		[mA]	10	10
(1) Dans un environnement sec et propre				
CONDITIONS DE SERVICE				
Installation			Intérieure	Extérieure
Température ambiante extérieure	T_{amb}	[°C]	-40 à +70	-40 à +70
Durabilité mécanique minimale	N	opérations	20'000	20'000
Altitude		[m]	<1400	<1400
Humidité			Classe 5K2	Classe 5K2
Catégorie de surtension				
- Pole-pole			OV3	OV3
- Pole-earth			OV4	OV4
Degré de pollution			PD4	PD4
Etanchéité à l'installation			Délivré avec un joint O-ring	

Conformité aux normes IEC 60077-1-2

Photo du sectionneur utilisé dans le banc de test :



Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Annexe 4: Montages de commande du DUT et IGBT Protection

La Figure 1.A montre le schéma de principe de la commande du transistor sous test en utilisant un circuit intégré (TC4423A). Ce dernier contient deux transistors montés en Push-Pull permettant de générer une tension positive pour la fermeture du composant ainsi une tension nulle pour son blocage. En outre, les résistances R_{Gon} et R_{Goff} ont été utilisé afin de contrôler simultanément les vitesses de mise en conduction et blocage du DUT. Dans ce circuit, Nous avons fixé la valeur de résistance de blocage R_{Goff} à 1,2 kΩ pour limiter la surtension apparaissant lors du blocage du transistor (à cause de la valeur élevée de l'inductance parasite de câblage 10 µH), et on a pris une résistance d'amorçage R_{Gon} égale à 47 Ω [61].

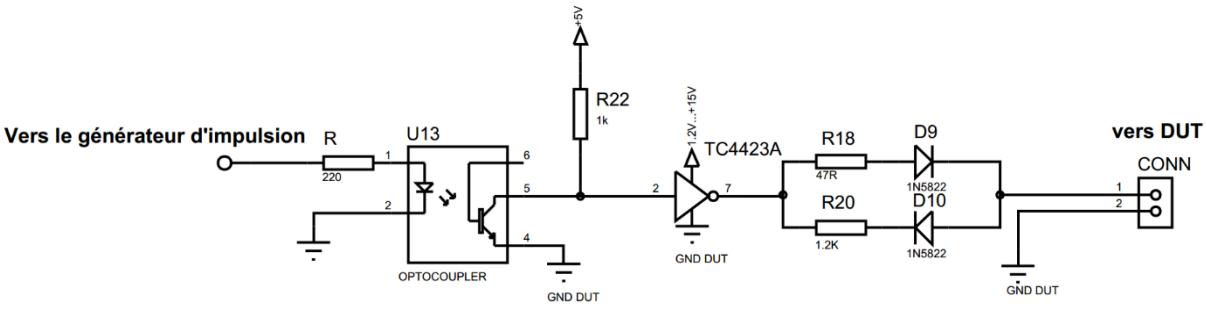


Figure 1.A. Commande rapprochée des composants sous test.

Le circuit de commande de l'IGBT de protection est représenté sur la Figure 2.A Il est constitué à base d'un driver (TC4427). Ce dernier reçoit de façon complémentaire un train d'impulsion provenant d'un circuit de détection de sur-courant (Tant que le courant dans la maille de puissance est inférieur à 500 A, le driver continue de recevoir les trains d'impulsion). L'isolation de la commande de la Figure 2.A est assurée par l'intermédiaire d'un transformateur d'impulsions. Ce transformateur transmet les signaux complémentaires générés par le driver (TC4427) au secondaire. Par la suite, le pont de diode redresse la tension et rend passant l'IGBT de protection sous une tension de grille contrôlée par un régulateur ajustable. Enfin, le blocage de l'IGBT de protection se fait par le circuit de décharge constitué du transistor bipolaire PNP, à travers une résistance élevée de grille (470 Ω) afin de limiter la surtension au blocage de cet IGBT lors de l'ouverture du courant très élevé après destruction du composant sous test.

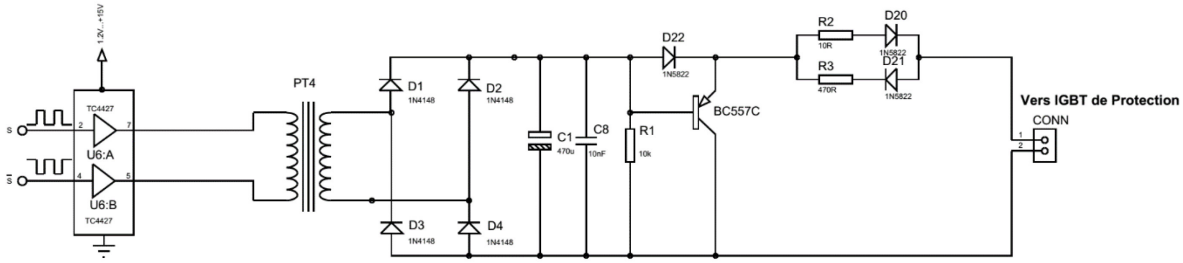


Figure 2.A. Schéma de principe de commande de l'IGBT de protection [61]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Annexe 5: Fiche technique du diélectrique utilisé pour l'encapsulation du démonstrateur Press-Pack

MIDEL®

MIDEL® 7131

Dielectric Insulating Fluid Overview

Table 1 - Characterisation of Type T1 Transformer Ester According to IEC 61099 and DIN VDE 0375

	Unit	Test Method	Requirement	MIDEL 7131
Physical Properties According to IEC 61099				
Colour	HU	ISO 2211	max. 200	125
Appearance	-	IEC 61099 7.1.2	clear, free from suspended matter and sediment	clear, free from suspended matter and sediment
Density at 20°C	kg/dm^3	ISO 3675	max. 1.00	0.97
Kinematic Viscosity at 40°C	mm^2/s	ISO 3104	max. 35.0	28
Kinematic Viscosity at -20°C	mm^2/s		max. 3000	1400
Flash Point	°C	ISO 2719	min. 250	260
Fire Point	°C	ISO 2592	min. 300	316
Pour Point	°C	ISO 3016	max. -45	-60
Crystallisation	-	IEC 61099 (2010) Annex A	No crystals	No crystals
Chemical Properties According to IEC 61099				
Water Content	mg/kg	IEC 60814	max. 200	50
Neutralisation Value	mg KOH/g	IEC 62021-2	max. 0.03	<0.03
Oxidation Stability - Total Acid Content - Total Sludge Content	 mg KOH/g % mass	IEC 61125	 max. 0.3 max. 0.01	 0.01 <0.01
Net Calorific Value	MJ/kg	ASTM D 240-02	<32	31.6
Dielectric Properties According to IEC 61099				
Breakdown Voltage	kV	IEC 60156	min. 45	>75
Dielectric Dissipation Factor Tan δ at 90°C and 50 Hz	-	IEC 60247	max. 0.03	<0.008
Volume Resistivity DC at 90°C	Gohm-m	IEC 60247	min. 2	>30

Data quoted above are typical values, may be altered without notice and do not constitute a specification

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

Annexe 6 : Fiche technique du SilGel utilisé pour l'encapsulation du module Fail-to-short

Product data

Typical general characteristics	Inspection Method	Value
Product data (uncured)		
Component A		
Color		clear
Viscosity at 23 °C	ISO 3219	1000 mPa s
Density at 23 °C		0,97 g/cm³
Component B		
Color		clear
Viscosity at 23 °C	ISO 3219	1000 mPa s
Density at 23 °C		0,97 g/cm³
Product data (catalyzed A + B)		
Platinum-catalyst in component		B
Mix ratio	A : B	1 : 1
Viscosity of mix	ISO 3219	1000 mPa s
Pot life at 23 °C		150 min
Product data (cured)		
Color		clear
Density at 23 °C	ISO 2781	0,97 g/cm³
Penetration (150 g hollow cone)	DIN ISO 2137	300 mm/10
Permittivity	IEC 60250	2,7
Volume resistivity	IEC 60093	10^{15} Ω cm
Refractive index	n_D^{25}	1,404
Flame retardancy	UL listing	94 HB

Cured for 30 min at 150 °C in a circulating air oven.
These figures are only intended as a guide and should not be used in preparing specifications.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

→ *Conférence Internationale :*

- I.DCHAR, C. BUTTAY, M. ZOLKOS H.MOREL "Robustness of SiC MOSFET under Avalanche Conditions," *IEEE*, APEC, 2017. ***Outstanding Presentation Award (Tampa, USA).***

→ *Journal:*

- Ilyas Dchar, Cyril Buttay, Hervé Morel. Avalanche robustness of SiC Schottky diode. *Microelectronics Reliability*, Elsevier, ESREF, 2016.
- Ilyas Dchar, Cyril Buttay, Hervé Morel. SiC power devices packaging with short-circuit Failure Mode Capability. *Microelectronics Reliability*, Elsevier, ESREF, 2017. (*En cours de publication*)

→ *Fiche d'innovation:*

- Rédaction d'une fiche d'innovation sur un module MOSFET SiC ayant un mode de défaillance en court-circuit, en vue d'une protection industrielle (Brevet, dossier de conception, …).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés

FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : DCHAR
(avec précision du nom de jeune fille, le cas échéant)

DATE de SOUTENANCE :

Prénoms : Ilyas

TITRE : Conception d'un module d'électronique de puissance «Fail-to-short» pour application très haute tension.

NATURE : Doctorat

Numéro d'ordre : 2017LYSEI042

Ecole doctorale : Électronique, Électrotechnique, Automatique de Lyon

Spécialité :

RESUME : Les convertisseurs de forte puissance sont des éléments critiques des futurs réseaux HVDC. À ce titre, leur fiabilité et leur endurance sont primordiales. La défaillance d'un composant se produit soit en circuit ouvert, ou en court-circuit. Le composant défaillant en circuit ouvert est inadmissible pour les convertisseurs utilisant une topologie de mise en série. En particulier, dans certaines applications HVDC, les modules doivent être conçus de telle sorte que lorsqu'une défaillance se produit, le module défaillant doit se comporter comme un court-circuit et supporter ainsi le courant nominale qui le traverse. Un tel comportement est appelé "Fail-to-short-circuit".

Actuellement, tous les modules de puissance ayant un mode de défaillance en court-circuit disponibles dans le commerce utilisent des semi-conducteurs en silicium. Les potentialités des semi-conducteurs en carbure de silicium (SiC) poussent, aujourd'hui, les industriels et les chercheurs à mener des investigations pour développer des modules Fail-to-short à base des puces SiC. C'est dans ce contexte que se situe ce travail de thèse, visant à concevoir un module à base de puces SiC offrant un mode de défaillance de court-circuit. Pour cela nous présentons d'abord une étude de l'énergie de défaillance des puces SiC, afin de définir les plages d'activation du mécanisme Fail-to-short. Ensuite, nous démontrons la nécessité de remplacer les interconnexions classiques (fils de bonding) par des contacts massifs sur la puce. Enfin, une mise en œuvre est présentée au travers d'un module"demi pont" à deux transistors MOSFET.

MOTS-CLÉS : Press-Pack, Structure sandwich, Module conventionnel, Convertisseurs HVDC Packaging, Défaillance, Court-circuit, Avalanche, Enérgie critique, Explosion, Stabilité, SiC.

Laboratoire (s) de recherche : Ampère – UMR 5005

Directeur de thèse: Cyril Buttay

Président de jury :

Composition du jury :

- François Forest (Professeur, Université de Montpellier, examinateur)
- Stéphane Lefebvre (Professeur, CNAM) (rapporteur)
- Frédéric Richardeau (DR CNRS, ENSEIIHT, rapporteur)
- Mounira Berkani (Maître de conférences, Université Paris Est, examinateur)
- Michel Mermet-Guyennet (Supergrid Institute, invité)
- Hervé Morel (DR CNRS, Université de Lyon, examinateur)
- Cyril BUTTAY (CR CNRS, Université de Lyon, examinateur)

,

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2017LYSEI042/these.pdf
© [I. Dchar], [2017], INSA Lyon, tous droits réservés