

THESE

Présentée à l'Université de Lille

Ecole Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : **Electronique, Microélectronique, Nanoélectronique
et Micro-Ondes**

Par

Riad KABOUCHE

**Caractérisations de composants et Conceptions de
circuits à base d'une filière émergente AlN/GaN pour
applications de puissance en gamme d'ondes
millimétriques**

Soutenance le 20 décembre 2017 devant la Commission d'examen :

Rapporteurs :	M. Jean Michel NEBUS	Professeur (XLIM)
	Mme. Daniela DRAGOMIRESCU	Professeur INSA (LAAS)
Directeurs de thèse :	M. Christophe LOYEZ	Directeur de recherche CNRS (IEMN)
	M. Farid MEDJDOUB	Chercheur CNRS (IEMN)
Examineurs :	M. Jean Christophe NALLATAMBY	Professeur (XLIM)
	M. Didier THERON	Directeur de recherche CNRS (IEMN)
	M. Philippe FELLON	Ingénieur UMS (United Monolithic Semiconductors)
	M. Francis DOUKHAN	Ingénieur DGA





THESE

Présentée à l'Université de Lille
Ecole Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : **Electronique, Microélectronique, Nanoélectronique
et Micro-Ondes**

Par

Riad KABOUCHE

Caractérisation de composants et Conceptions de circuits à base d'une filière émergente AlN/GaN pour applications de puissance en gamme d'ondes millimétriques

Soutenance le 20 décembre 2017 devant la Commission d'examen :

Rapporteurs :	M. Jean Michel NEBUS	Professeur (XLIM)
	Mme. Daniela DRAGOMIRESCU	Professeur INSA (LAAS)
Directeurs de thèse :	M. Christophe LOYEZ	Directeur de recherche CNRS (IEMN)
	M. Farid MEDJDOUB	Chercheur CNRS (IEMN)
Examineurs :	M. Jean Christophe NALLATAMBY	Professeur (XLIM)
	M. Didier THERON	Directeur de recherche CNRS (IEMN)
	M. Philippe FELLON	Ingénieur UMS (United Monolithic Semiconductors)
	M. Francis DOUKHAN	Ingénieur DGA



A mes parents, A ma famille

Remerciements

Ce travail a été effectué au Département Circuit, Systèmes et Applications des Micro-Ondes et GaN de l'Institut d'Electronique de Microélectronique et de Nanotechnologie de l'Université des Sciences et Technologies de Lille, dirigé par Monsieur **L. BUCHAILLOT**, directeur de recherche au CNRS.

Je souhaite tout d'abord remercier et exprimer ma profonde et amicale reconnaissance à mes deux Directeurs de Thèse. **Dr. Farid MEDJDOUB**, Chargé de recherche à l'IEMN, pour son expertise reconnue mondialement, sa disponibilité sans faille, son enthousiasme et surtout pour sa passion communicative pour sa thématique de recherche qui m'a permis d'évoluer scientifiquement et humainement. **Dr. Christophe LOYEZ**, Directeur de Recherche à l'IEMN, pour ses compétences et sa rigueur scientifique, pour ses qualités humaines hors du commun, ses discussions et ses conseils avisés qui m'ont permis d'entreprendre ces trois années de thèse en toute sérénité.

Je remercie **D. THERON**, Directeur de Recherche au CNRS (IEMN), pour avoir accepté de présider cette commission d'examen.

J'adresse mes sincères remerciements à **Monsieur Jean Michel NEBUS**, Professeur au laboratoire XLIM de Limoge et à **Madame Daniela DRAGOMIRESCU**, Professeur du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) qui m'ont fait l'honneur de rapporter ce travail.

Merci à **Monsieur Philippe FELLON**, Ingénieur UMS (United Monolithic Semiconductors), **Monsieur Jean Christophe NALLATAMBY**, Professeur au laboratoire XLIM et **Monsieur Francis DOUKHAN** Ingénieur à la Direction générale de l'armement (DGA) d'avoir accepté de faire partie de ce jury.

Je tiens à remercier aussi, l'ensemble des partenaires et financeurs, UMS, XLIM, EpiGaN, III-Lab, la Direction Générale de l'Armement et l'ANR LHOM pour m'avoir accompagné tout au long de ma thèse.

Je tiens à remercier l'ensemble des personnes de la centrale de caractérisation avec qui j'ai eu le plaisir de travailler, qui ont su me faire profiter de leur expérience : Vanessa AVRAMOVIC, Sylvie LEPILLIET, Sophie ELIET et surtout **Etienne OKADA** pour son application majeure au développement du banc LoadPull, sa patience, sa disponibilité sans limite et pour son travail toujours consciencieux.

Je tiens à remercier **Dr. Malek ZEGAOUI**, Ingénieur de Recherche au sein de l'équipe GaN à l'IEMN, pour son savoir-faire technologique, son expérience, sa bonne humeur quotidienne et communicative et son coaching précieux en fin de thèse qui m'a permis de soutenir sereinement.

Je souhaite remercier l'ensemble de mes collègues et amis que j'ai pu côtoyer tout au long de ma thèse à l'IRCICA : **Aymeric PASTRE**, **Paul SANGARE**, **Mauro L. de FREITAS** et surtout **Kévin CARPENTIER**, pour, comme il le dit si bien, « avoir toujours raison », pour tous ces midis passés à regarder toutes les séries qui peuvent exister et enfin pour m'avoir accompagné durant toute ma thèse amicalement et scientifiquement.

Je voudrai aussi remercier, l'ensemble de mes collègues et amis avec qui j'ai eu la chance de travailler à l'IEMN :

Astrid pour son entièreté connue de tous et son second degré illustré par ses phrases cultes : « Ma présence suffit comme cadeau », « Astrid... tout est dit... », « ça fait du bien de savoir que je suis un génie », « Il faut toujours un brouillon avant le chef d'œuvre... c'est pourquoi que j'ai une grande sœur... » ou encore « je me dis que j'ai quand même un bel humour », « Donald Trump ?? Coin Coin... tu as failli louper cette super bonne blague... » et « On descend tous des souris... ».

Ezgi, pour sa gentillesse sans égale mais aussi pour tous les « vents » (force 12) que j'ai subi de sa part, pour son « rhooooooon » légendaire prononcé à chaque fois qu'elle observait quelque chose de mignon, pour avoir été ma première vraie formatrice au banc de mesure haute tension et encore merci de nous avoir pardonné d'être parti à la préfecture le matin de ton pot de départ.

Romain, mon compère de caractérisation, pour son travail sans limite qui m'a apporté beaucoup en caractérisation, son calme et son sang-froid à toute épreuve, pour tous ces surnoms qu'il m'a attribués : « blanc neige et ses sept naines, Tictac (dur à l'extérieur et fondant à l'intérieur) ... » pour sa ponctualité toujours contrôlée et pour sa faculté à pouvoir communiquer avec les bancs de mesure par la parole.

Sarah, la star du groupe avec une vidéo YouTube qui doit comptabiliser pas moins de 100 vues à l'heure actuelle, pour sa gentillesse extraordinaire, pour toutes les discussions toujours très constructives en « carac » et en dehors que j'ai pu avoir avec elle, pour sa maturité malgré son jeune âge et enfin merci pour toujours nous reprendre sur notre prononciation en anglais.

Je souhaite aussi un bon courage à l'ensemble des nouveaux arrivant dans l'équipe GaN, **Tommy**, **Idriss** et **Lena**.

Je voudrai remercier, l'ensemble de mes collègues et amis que j'ai eu la chance de côtoyer durant ma thèse : **Kévin Robert** pour avoir participer, malgré lui, à la première chasse au trésor organisée à l'IEMN, **Fuanki** pour être le seul digne d'être dans la liste très sélecte des « #fdm », **Damien**, **Sarah**, **Maxime**, **Botayna** et pleins d'autres que j'ai sûrement oublier. Je tiens aussi, pour finir, faire un remerciement tout particulier à PanPan, Stomy, Bugzy et PanPette qui se reconnaîtront.

Je n'oublie pas ma famille qui ma soutenue tout au long de mon travail de thèse. Je tiens à témoigner toute ma reconnaissance à ma mère, qui sans elle, ce travail de thèse aurait été très difficile, mon père, ma sœur et mon frère pour être venu me soutenir lors de ma soutenance.

Résumé

La technologie Nitrure de Gallium s'impose actuellement comme le candidat idéal pour les applications de forte Puissance en gamme d'ondes millimétriques. Les caractéristiques de ce matériau le prédisposent à un fonctionnement à haute tension sans sacrifier la montée en fréquence, illustrées par son champ de claquage et sa vitesse de saturation des électrons élevés. Ces travaux de recherche s'inscrivent, dans un premier temps, dans le développement d'un banc de mesures permettant la caractérisation « grand signal », dite LoadPull dans la bande Ka et Q, en mode continu et impulsionnel de cette technologie émergente. En effet, la forte densité de puissance qu'est capable de générer la technologie GaN a rendu le développement de ce banc indispensable et relativement unique. Par ailleurs, cette étude s'est focalisée, dans la caractérisation de plusieurs filières innovantes qui ont mis en évidence des performances à l'état de l'art, avec un rendement en puissance ajoutée PAE de 46.3% associée à une densité de puissance de 4.5W/mm obtenue pour une fréquence d'opération de 40 GHz en mode continu. Enfin, ces travaux de thèse ont permis de générer la conception et la réalisation de deux amplificateurs de puissance en technologie GaN sur substrat silicium (basée sur la filière industrielle OMMIC) en bande Ka, représentant la finalité d'une démarche cohérente de l'étude de transistors en technologie GaN à la réalisation de circuits de type MMIC. Ces deux amplificateurs ont été conçus pour des objectifs bien précis : combiner puissance élevée et rendement PAE élevé et repousser les limites en termes de largeur de bande.

Abstract

Gallium Nitride (GaN) technology is now the ideal candidate for high power applications in the millimeter wave range. The characteristics of this material enable high voltage operation at high frequency, as illustrated by its breakdown field and high electron saturation velocity. This research work has initially allowed the development of a test bench capable of "Large Signal" characterization, called LoadPull up to Q band, in continuous-wave and pulsed mode of this emerging technology. Indeed, the high power density generated by the GaN technology has made the development of this bench unavoidable and relatively unique. In addition, this study has focused on the characterization of several innovative types of devices that have demonstrated state-of-the-art performance, with a power added efficiency (PAE) above 46% associated to a power density of 4.5 W/mm obtained for an operating frequency of 40 GHz in continuous-wave. Finally, this work aimed the design and fabrication of two power amplifiers on silicon substrate (based on the industrial OMMIC technology) in the Ka-band, showing the possibility of achieving MMIC type circuits from advanced GaN transistors technology. These two amplifiers were designed for specific purposes: combining high power and high PAE performance and pushing bandwidth limits.

Sommaire

Introduction générale	13
Chapitre 1 : Technologie GaN pour les applications hyperfréquences de puissance	17
I. Introduction.....	18
II. Acteurs académiques et industriels dans la technologie GaN	19
1. Acteurs industriels.....	19
2. Acteurs académiques	20
III. Le transistor HEMT en technologie GaN	21
1. Structure physique du transistor HEMT	21
2. Caractéristiques typiques du transistor HEMT.....	22
3. L'état de l'art	24
IV. Amplificateur de puissance en technologie GaN.	25
1. Figures de mérite d'un amplificateur de puissance.	25
2. Topologies disponibles pour la réalisation d'un amplificateur de puissance.	26
i. Amplificateurs à Adaptation Réactive	26
ii. Amplificateurs distribués.....	28
3. Etude préliminaire à la réalisation d'un amplificateur de puissance.	30
i. Point de polarisation	30
ii. Développement du transistor	30
iii. Nombre d'étages	31
iv. Stabilité.....	32
4. Etat de l'art.....	33
V. Conclusion	34
Chapitre 2 : Développement d'un Banc NVNA « Non-linear Vector Network Analyser » pour la caractérisation grand signal de la technologie GaN.	35
I. Introduction.....	36
II. Description du système NVNA	36
1. Description interne du NVNA	36
2. Description externe du système NVNA.....	37
III. Développement du banc NVNA pour mesures LoadPull.....	38
1. Développement des différents types de mesures LoadPull.....	39

i.	LoadPull Passif	39
ii.	LoadPull actif	41
iii.	LoadPull Hybride.....	42
2.	Mise en place d'un « test set externe »	43
3.	Développement de mesures en mode Impulsionnel pour caractérisation non-linéaire.	44
4.	Développement d'un logiciel sur Labview pour commander les mesures LoadPull.....	46
IV.	Protocole de Calibrage	48
1.	Caractérisation du Quadripôle d'erreur formé par l'ensemble « pointe + pont de réflectométrie ».....	48
2.	Calibrage en mode NVNA.....	50
i.	Calibrage en puissance	50
ii.	Calibrage en Phase	51
iii.	Calibrage vectorielle.....	51
V.	Conclusion	52
Chapitre 3 : Caractérisation Grand Signal de différentes technologies GaN hyperfréquences		
.....		53
I.	Introduction.....	54
II.	Validation du banc NVNA	55
III.	Etude de différentes structures de transistor en technologie GaN.	56
1.	Etude de la structure <i>AlN/GaN</i> DHFET sur substrat SiC avec une longueur de grille de 120 nm. 56	
i.	Caractérisation « petit signal » de la structure DHFET.....	57
ii.	Caractérisation grand signal de la structure DHFET.....	58
iii.	Bilan.....	63
2.	Etude de la structure dopée Carbone sur substrat SiC avec une longueur de grille de 150 nm. 64	
i.	Caractérisation « petit signal » de la structure HEMT dopée Carbone.....	65
ii.	Caractérisation « grand signal » de la structure HEMT dopée Carbone.	67
iii.	Bilan.....	74
3.	Etude comparative structure dopée Carbone vs structure DHFET sur substrat SiC	75
i.	Description des différences notables entre les deux échantillons.....	75
ii.	Comparaison caractérisation « petit signal »	76
iii.	Comparaison caractérisation « grand signal »	77
iv.	Bilan.....	79
4.	Etude d'une structure <i>AlGaIn/GaN</i> sur substrat SiC avec une longueur de grille de 250 nm développée par UMS (United Monolithique Semiconductors).....	80

i.	Description de l'échantillon UMS.....	80
ii.	Caractérisation « petit signal ».....	81
iii.	Caractérisation « grand signal » de la filière UMS.	82
iv.	Bilan.....	87
5.	Etude d'une structure DHFET avec un buffer à faible taux d'Aluminium et également dopé Carbone sur substrat SiC.	88
i.	Description de la structure.....	88
ii.	Caractérisations statiques et « petit signal ».....	89
iii.	Caractérisation « grand signal ».....	91
iv.	Bilan.....	93
IV.	Récapitulatif de différentes études effectuées dans le cadre de ma thèse.....	94
V.	Conclusion.....	96
Chapitre 4 : Conception d'Amplificateurs de Puissance en technologie MMIC à base de GaN sur substrat Silicium en bande Ka.		97
I.	Introduction.....	98
II.	Conception et réalisation d'un amplificateur de puissance 10W à 35 GHz.....	99
1.	Cahier de charges.....	99
2.	Etudes préliminaires.....	100
i.	Présentation de la filière technologique GaN MMIC utilisée.....	100
ii.	Dimensionnement de l'étage de puissance.....	100
iii.	Dimensionnement des étages de Gain.....	102
3.	Conception des réseaux d'adaptation.....	103
4.	Présentation des résultats de simulation.....	110
i.	Paramètre S et stabilité de l'amplificateur.....	110
ii.	Résultats de simulation non-linéaire.....	115
iii.	Etude de sensibilité et thermique.....	116
5.	Mesures et Retro-simulations.....	117
III.	Conception d'un amplificateur de puissance 28-40 GHz de 2W.....	118
1.	Cahier de charges.....	118
2.	Etude préliminaire.....	118
i.	Dimensionnement de l'étage de puissance.....	118
ii.	Dimensionnement des étages de Gain.....	119
iii.	Conception des réseaux d'adaptation.....	120
3.	Présentation des résultats de simulation.....	125
i.	Paramètre S et stabilité de l'amplificateur.....	125

ii. Résultats de simulation non-linéaire.....	126
iii. Etude de sensibilité et thermique.....	128
4. Mesures et Retro-simulations.....	129
IV. Conclusion.....	130
Conclusion Générale.....	131
Perspectives et futurs travaux.....	134
I. Optimisations supplémentaires du banc NVNA.....	135
I. Optimisation de longueur de grille.....	137
Bibliographie.....	138
Liste des Publications.....	145

Introduction générale

Les composants à base de Nitrure de Gallium (GaN) ont fait leur apparition dans les années 90 et deviennent, à l'heure actuelle, la nouvelle génération de transistor incontournable en gamme millimétrique. Cette nouvelle technologie a d'ores et déjà démontré une rupture des performances des circuits à haute fréquence comparées aux technologies déjà existantes. De nombreuses études ont démontré la possibilité d'obtenir une combinaison unique de puissance, de rendement ainsi qu'une bande passante plus élevée et une stabilité à haute température supérieure avec le matériau GaN comparés aux technologies à base d'arséniure de gallium (GaAs) ou de Silicium.

A l'heure actuelle, la seule technologie permettant la réalisation de systèmes à fortes puissances en gamme millimétrique, est celle à base de tubes à ondes progressives. Les tubes à ondes progressives ou encore *Travelling-Wave Tubes* sont utilisés pour la réalisation d'amplificateur à forte puissance de l'ordre du kilowatt pour une fréquence pouvant aller jusqu'à 94 GHz. Malheureusement, cette technologie possède un inconvénient de taille : son encombrement. En effet, malgré des performances encore inégalées [1][2][3], cette technologie n'est plus adaptée aux systèmes embarqués modernes. Cet inconvénient légitime donc le développement de la technologie compacte à base de composants électroniques GaN qui permettront de délivrer des performances équivalentes les tubes à ondes progressives avec un encombrement réduit de manière significative.

Cette combinaison (performances + faible encombrement) fait de la technologie GaN, le candidat idéal pour des applications de puissance en gamme d'ondes millimétriques (systèmes d'émission/réception, application radar, télécommunications civiles, militaires et aérospatiales...).

Le contexte de ces travaux de thèse s'inscrit dans le cadre de plusieurs projets (ANR CROCUS, FUI VeGaN, projet Européen EDA EUGaNiC) tous ayant pour but le développement d'une nouvelle technologie GaN sur substrat de silicium (Si) ou Carbure de Silicium (SiC) pour la bande Ka et au-delà. La démarche est décrite Figure 1.1. Entre la source d'épitaxie (un empilement de couches de matériaux nécessaire à la réalisation d'un transistor) et l'application visée, il existe plusieurs étapes faisant partie de mon projet de thèse.

Cette démarche commence tout d'abord par la réalisation de transistors effectuée au laboratoire de l'IEMN (Institut d'électronique, de microélectronique et nanotechnologie). Les recherches menées à l'IEMN sur le matériau GaN pour des applications hyperfréquences ont pour but plusieurs objectifs bien définis. Premièrement, le développement d'une technologie robuste capable de montrer des performances hyperfréquences (> 30 GHz) tout en maintenant des tensions d'opération élevées ($V_{DS} > 20$ V)[4][5][6]. Deuxièmement, une technologie capable de repousser les limites en termes de densité de puissance, de densité de courant et de rendement à haute fréquence [4]. Et troisièmement, une technologie peu affectée par les effets thermiques et les effets de pièges.

Par la suite, une étape de caractérisation est nécessaire afin d'évaluer les performances des transistors. Plusieurs types de caractérisations sont effectuées : statique, petit signal, grand signal et impulsionnelle toujours à l'IEMN (toutes détaillées dans la suite du manuscrit). Cette étape concerne à la fois le transistor et les circuits réalisés.

Vient ensuite, une étape de modélisation qui consiste à reproduire le comportement du composant à l'aide de schémas électriques comprenant des composants élémentaires (capacités, inductances, résistances...). Les modèles ont été effectués au sein du laboratoire XLIM en collaboration avec l'IEMN dans le cadre du projet CROCUS.

Une fois que le modèle électrique reproduit de manière fidèle le comportement du composant, l'étape suivante consiste à la conception de circuits. Basé sur ce modèle, plusieurs fonctions peuvent être conçues. Dans le cadre de ces recherches, la conception s'est focalisée sur des amplificateurs de puissance. Un cahier des charges précis a été fixé pour la conception de ces amplificateurs afin de répondre aux besoins actuels des acteurs industriels dans le cadre de futures applications (télécommunications, militaires ou encore spatiales) : Thalès, BluWan...

Mes recherches se sont focalisées sur les étapes clés suivantes (en rouge sur la Figure 1.1) : la caractérisation de la technologie développée à l'IEMN, la conception, la réalisation et le test de circuits en GaN en gamme d'onde millimétrique. Mes travaux de recherche ont été effectués au sein du thème GaN dont le responsable est Farid Medjdoub qui développe une technologie GaN à la fois sur substrat Si et SiC à très haute tension d'opération pour les applications haute fréquence et haute puissance. Mes travaux se sont également inscrits dans le cadre des activités de conception de circuits intégrés du groupe CSAM dont le responsable est Christophe Loyez : l'objectif est d'étudier le passage de cette technologie à l'échelle d'un circuit actif tel qu'un amplificateur de puissance ainsi que les filières à base de GaN développées par les industriels tels que la compagnie OMMIC.

Le chapitre 1 aura pour but la description de la technologie GaN : son rôle pour les applications hyperfréquences de puissance et les principaux acteurs industriels et académiques. Pour cela, nous décrirons, dans un premier temps, la structure HEMT (*High Electron Mobility Transistor*) en technologie GaN ainsi qu'une présentation de l'état de l'art sur les transistors GaN. Nous finirons par la présentation d'amplificateur de puissance : les figures de mérite, les différentes topologies permettant la réalisation d'un amplificateur de puissance, et enfin une présentation de l'état de l'art des circuits intégrés correspondant à cette filière émergente.

Le chapitre 2 décrit le développement d'un banc de mesure : analyseur de réseau vectoriel non linéaire (NVNA) pour la réalisation de mesure dite LoadPull en mode continue (CW) et en mode impulsionnelle (Mode Pulsé) jusqu'en bande Q. Pour cela, nous définirons dans un premier temps en quoi consiste les mesures dites LoadPull. Dans un second temps, nous nous attacherons à décrire toutes les optimisations qui ont été nécessaires afin de pouvoir réaliser ce type de mesures à l'aide du banc NVNA disponible à l'IEMN.

Le chapitre 3 présente la caractérisation et l'étude comportementale de la technologie nitrure de gallium sur substrat silicium et carbure de silicium. Dans ce chapitre, plusieurs structures de transistor seront étudiées afin d'en extraire les performances. Par ailleurs, ces structures seront amenées à être comparées entre elles selon certains critères suivants : la taille de grille, le type de dopage, le substrat utilisé, la source d'épitaxie.

Le chapitre 4 est consacré à la conception, la réalisation et la caractérisation d'amplificateurs de puissance en technologie GaN sur substrat Silicium en bande Ka. Ce chapitre décrit deux amplificateurs conçus dans l'optique de répondre aux besoins industriels. Ces deux amplificateurs ont pour objectifs d'exploiter la forte densité de puissance offerte par le matériau GaN et le comportement large bande.

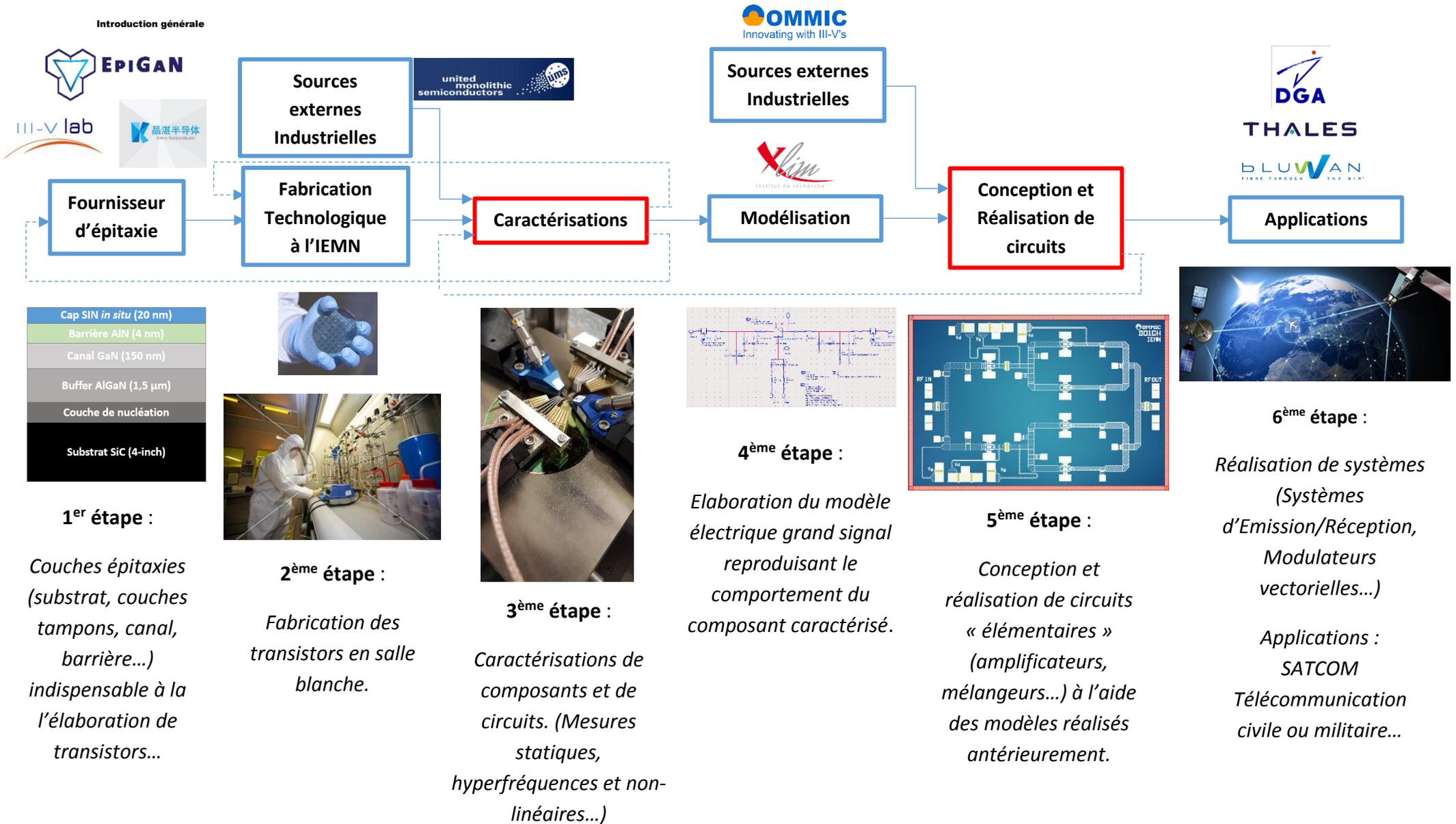


Figure 1.1 : Chaîne simplifiée de la source d'épitaxie à la réalisation du système en technologie GaN.

Chapitre 1 : Technologie GaN pour les applications hyperfréquences de puissance

I. Introduction

Le nitrure de gallium est le matériau incontournable pour les applications de puissance hyperfréquence illustré par plusieurs paramètres[7][8][9][10] clés tels que :

- **Le champ de claquage** ou champ critique (E_c)
- **La bande interdite**
- **La conductivité électronique**
- **La tenue en température**

	Si	GaAs	4H-SiC	Diamant	GaN	Impacts
Champ de claquage (10^6 V/cm)	0.3	0.4	3	10	3.3	<i>Fortes tensions et fortes puissances</i>
Bande interdite @ 300°C	1.1	1.4	3.2	5.48	3.4	<i>Fortes tensions et hautes températures</i>
Mobilité des électrons ($cm^2/V.s$)	1400	8500	700	4500	900 2000*	<i>Hautes fréquences</i>
Mobilité des trous ($cm^2/V.s$)	600	400	-	3800	30	-
Vitesse de saturation des électrons (10^7 cm/s)	1	2	2	2.7	3	<i>Hautes fréquences</i>

Figure 1.2 : Tableau représentant les caractéristiques physiques des matériaux Si, GaAs et GaN.

*mobilité atteinte pour une hétérostructure AlGaIn/GaN [11].

Comme évoqué précédemment dans l'introduction générale, la technologie GaN présente une combinaison de caractéristiques optimales pour ce type d'applications, illustré tout d'abord par son champ de claquage très élevé et une grande bande interdite qui lui permet l'utilisation de cette technologie à très forte tension et très haute température. De plus, même si le Nitrure de Gallium ou tous matériaux à grande bande interdite ne sont pas connus pour leurs fortes mobilités électroniques, le GaN se démarque très nettement par une vitesse de saturation élevée de 3.10^7 cm/s (trois fois supérieure à celle de la technologie Si) primordiale pour les applications à haute fréquence. De plus, le matériau GaN permet la croissance d'hétérostructures (In)(Al)GaIn/GaN formant un transistor de type HEMT (High Electron Mobility Transistor). Cette hétérostructure permet d'obtenir une mobilité électronique de plus de 2000 $cm^2/V.s$.

Au-delà de ces caractéristiques, la technologie GaN, comme toute technologie de transistor, est toujours associée à un substrat. Pour la majorité des applications, deux substrats sont associés à la technologie GaN : le Silicium (Si) et le Carbure de Silicium (SiC). Il existe trois critères pour évaluer la qualité d'un substrat pour tous types de technologies. Le désaccord de maille, qui quantifie la discontinuité des liaisons interatomiques à l'interface entre le matériau GaN et le substrat. Le second

critère est la conductivité thermique. En effet, une bonne conductivité thermique est primordiale pour les applications hyperfréquences de forte puissance. Et enfin, le troisième critère est le coût du substrat. Une différence de prix allant jusqu'à un facteur 10 peut exister entre ces deux substrats. Il faut noter que ce dernier critère est directement dépendant du type d'application visée et présente donc une importance relative. En prenant en compte ces trois critères, le substrat SiC paraît nettement meilleur par rapport au Si. Avec un désaccord de maille d'uniquement 3.5% (4 fois inférieur à celle du substrat Si) et une conductivité thermique ($4.9 \text{ Wcm}^{-1}\text{K}^{-1}$) trois fois supérieure à celle du Si, le substrat SiC est logiquement le choix le plus utilisé sur le marché. Cependant, il existe un facteur 10 sur le coût entre le substrat SiC et le substrat Si qui sont de plus disponibles sur de plus larges diamètres. De plus, la plateforme Si rend les composants GaN compatibles avec les technologies silicium éprouvées CMOS de manière monolithique. C'est pourquoi, le GaN sur Si est développé au niveau académique et même au niveau industriel.

II. Acteurs académiques et industriels dans la technologie GaN

1. Acteurs industriels



Figure 1.3 : Carte représentant les principaux acteurs industriels dans la technologie GaN.

Représenté respectivement par Qorvo, Fujitsu et UMS ou encore OMMIC, on dénombre trois grands pôles sur trois continents différents où la technologie GaN est développée industriellement[12] : les USA[13], le Japon[14] et l'Europe[15]. Une estimation du marché, montrée sur la Figure 1.4, provenant d'un rapport effectué par la compagnie Yole[16] montre l'évolution de l'investissement de la technologie GaN selon les secteurs activités. On y note que l'évolution de l'investissement ne cesse de croître en fonction du temps, jusqu'à atteindre une estimation de 2.5 milliards de dollars pour l'année 2022. Un tel engouement, s'explique par le fait que le Nitrure de Gallium jouera un rôle majeur dans de nombreuses applications. Il y a donc une nécessité certaine pour chaque pôle de se munir d'une technologie GaN mûre pour palier à toutes dépendances. Même

si des amplificateurs sont disponible en bande Ka (27.5-31 GHz) sur le marché industriel, à l'heure actuelle les transistors proposés ne vont pas au-delà de 18 GHz pour des raisons techniques.

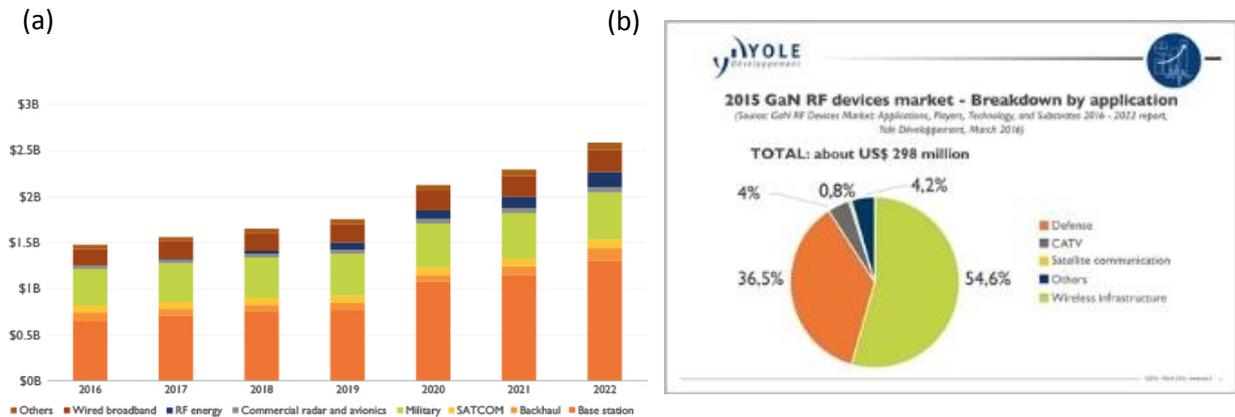


Figure 1.4 : Estimation de l'investissement sur la technologie GaN en fonction du temps pour plusieurs secteurs d'activités(a), Marché du GaN spécifique aux applications radiofréquences pour l'année 2015 (b).

Même si les secteurs d'activités sont très variés, il existe deux grandes familles bien distinctes dans la technologie GaN :

- **Les applications hyperfréquences**[17][18] qui rassemblent les applications télécommunications civiles[19] (réseau 5G...), militaires (systèmes d'émission/réception, radars...)[20], spatiales[21] (SATCOM...).
- **Les applications de puissance**[22][23] qui rassemblent le marché de l'automobile (électriques et hybrides), l'électronique de puissance (convertisseur DC/DC, redresseurs...)[24][25], les secteurs de l'éclairage[26][27] et de l'électronique de consommation.

2. Acteurs académiques

Au-delà des acteurs industriels, de nombreux acteurs académiques existent dans le domaine des composants GaN hyperfréquences par le biais de laboratoires publics :

- IEMN (Institut d'électronique micro et nanotechnologie) [4] [28] (France)
- XLIM [29][30] (France)
- LAAS [31][32] (France)
- IAF [33][34] (Allemagne)
- FBH[35][36] (Allemagne)
- Université de Cornell [37] [38] (USA)
- UCSB (Université de Californie Santa Barbara) [39] [40] (USA)
- MIT (Université du Massachusetts) [41] [42] (USA)
- EPFL (Ecole Polytechnique Fédérale de Lausanne) [43] [44] (Suisse)
- Université ULM [13] [45] (Allemagne)
- ...

Même si les applications visées sont différentes, tous les acteurs académiques cités précédemment sont tous très actifs dans le développement de la technologie à base de nitrure de gallium. A titre d'exemple, le département de l'énergie des Etats-Unis a investi pas moins de 70 millions de dollars pour le développement de la technologie GaN et ses applications en mai 2013[46]. Cependant, la liste non-exhaustive présentée précédemment ne représente évidemment pas la totalité des laboratoires exerçant une recherche intense dans ce domaine.

III. Le transistor HEMT en technologie GaN

1. Structure physique du transistor HEMT

Il existe plusieurs types de transistors en technologie GaN. Cependant les transistors de type HEMT (*High Electron Mobility Transistor*) sont les plus représentés pour les applications hyperfréquences de puissance. Successeur direct du MESFET (*MEtal Semiconductor Field Effect Transistor*)[47][48], c'est dans les années 80 que les premiers transistors HEMT font leurs apparitions et deviennent, très vite, les composants de référence en termes de faible consommation et de faible bruit.

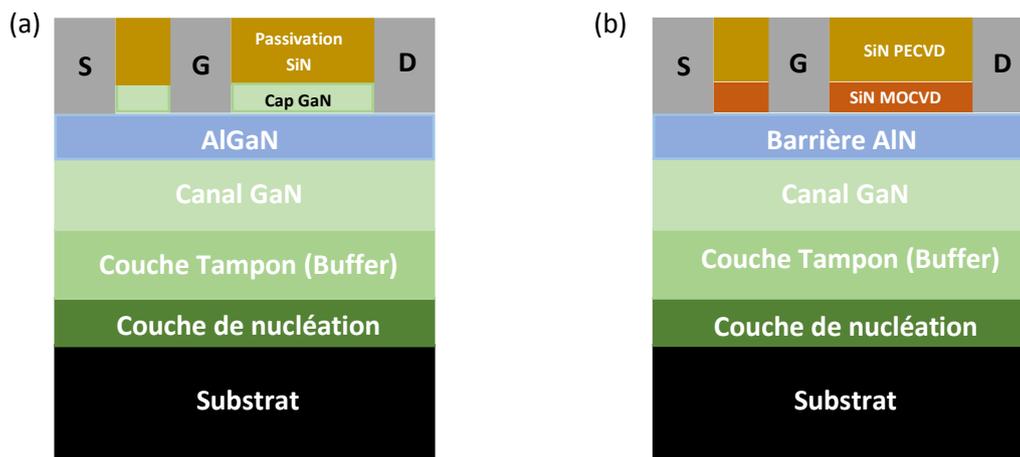


Figure 1.5 : Schéma d'une structure typique d'un transistor HEMT de type AlGaIn/GaN (a), Schéma d'une structure typique d'un transistor HEMT de type AlN/GaN développé à l'EMN[49][50][51].

Le schéma de la structure montrée Figure 1.5 (b) est une celle d'un transistor de type HEMT développé à l'EMN. Cette structure est composée, tout d'abord, d'un substrat Si ou SiC (*selon les applications visées*). Vient ensuite une couche de nucléation qui permet la transition entre le substrat et la couche tampon. Les couches tampons (communément appelées buffer) peuvent être composées de différents matériaux : AlGaIn ou GaN dopé Carbone. Dans la suite du manuscrit, une comparaison entre ces deux types de buffer sera présentée pour mettre en évidence les qualités et les inconvénients de chaque buffer. Puis, le canal GaN avec les propriétés physiques détaillées précédemment. Au lieu d'une barrière en AlGaIn, c'est le développement d'une barrière en AlN (nitrure d'aluminium) qui a été entrepris. En effet, une nouvelle hétérostructure à base d'AlN/GaN de haute qualité a été développée à l'EMN en collaboration avec le fournisseur industriel d'épitaxie EpiGaIn. Cette nouvelle technologie a démontré une rupture des performances des composants et circuits à haute fréquence

[4][52][53][5]. Cette configuration permet d'accroître la densité de porteurs du transistor par un facteur 2 à 3 par rapport aux structures HEMT standards AlGaIn/GaN tout en offrant un rapport d'aspect (longueur de grille/distance grille-canal) très favorable à la montée en fréquence. Ceci est lié à la possibilité de bénéficier d'une épaisseur de barrière ultra-mince (sub-10 nm) avec cette configuration. Un autre élément clé de cette nouvelle structure est l'implémentation d'une couche SiN dont la croissance est réalisée *in-situ* dans le bâti MOCVD (Metal Organic Chemical Vapor Deposition). Cela permet non seulement de protéger la surface lors du procédé de fabrication en évitant notamment toute oxydation potentielle mais aussi de « passiver » les charges de surfaces. C'est cette passivation qui permet d'endiguer l'apparition de charges parasites et de réduire considérablement les effets de pièges et ainsi augmenter la fiabilité des composants. Pour finir, une autre couche de passivation de SiN est déposée par PECVD (*Plasma Enhanced Chemical Vapor Deposition*) afin de réduire plus encore les effets de pièges de surface et de protéger la partie active de toute « agression » externe (humidité, oxydation etc.).

2. Caractéristiques typiques du transistor HEMT

La figure 1.6 représente le courant de drain I_d et la transconductance G_m en fonction de la tension de grille V_{gs} . Cette caractéristique nous permet d'évaluer les performances DC d'un transistor par le biais d'indicateurs présentés ci-dessous.

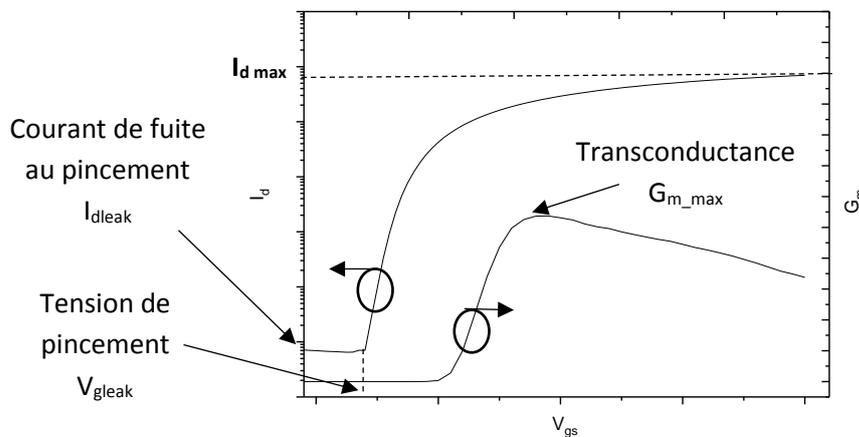


Figure 1.6 : Caractéristique $I_d(V_{gs})$ et transconductance G_m .

- $I_{d\text{max}}$ représente le courant de drain maximal que peut délivrer le transistor à canal ouvert.
- $I_{d\text{leak}}$ représente le courant de fuite du transistor à l'état fermé.
- $G_{m\text{max}}$, la transconductance du transistor représente la variation de courant de drain en fonction de la tension de grille à tension de drain constant.

$$G_m = \frac{\delta I_D}{\delta V_{GS}}$$

- La fréquence de transition F_t représente la fréquence de coupure du gain en courant

$$F_t = \frac{G_m}{2\pi(C_{gs} + C_{gd})}$$

Où C_{gs} et C_{gd} sont respectivement la capacité de couplage entre la grille et la source et la grille et le drain.

- La fréquence maximale d'oscillation F_{max}

$$F_{max} = \frac{G_m}{2\sqrt{R_g + R_{ds}}}$$

Où R_g et R_{ds} les résistances respectivement en entrée (grille) et en sortie (entre le drain et la source) intrinsèques au transistor.

3. L'état de l'art

Comme mentionné précédemment, la technologie GaN représente un marché fortement concurrentiel, il n'est donc pas étonnant de recenser de nombreuses publications chaque année comme présenté figure 1.7.

Fréquence (GHz)	Substrat	Densité de Puissance (W/mm)	Rendement (%)	Laboratoires/Industriel
18	SiC	4.2	43	Xlim[54]
18	SiC	9.1	23.7	Université de l'Illinois[55]
18	SiC	4.25	18.1	Fraunhofer[56]
18	Saphir	2.9	28	IEMN[57]
18	SiC	3.65	42	Hebei Semiconductor Research Institute[58]
18	Si	5.1	20	IEMN[59]
18	SiC	6.3	38	IEMN[28]
30	SiC	5	55	HRL[60]
33	SiC	5	55	HRL[60]
35	SiC	5.8	43.6	AFRL[61]
35	SiC	4	5.3	Nanjing Electron Devices Institute[62]
36	SiC	5	55	HRL[60]
40	Si	2	13.8	ETH[63]
40	SiC	4.5	46.3	IEMN[4]
40	SiC	4.5	24	ETH[64]
40	SiC	5.8	24	ETH[64]
40	SiC	10.5	33	MiT[65]
40	SiC	1.25	37.5	NRL[66]

Figure 1.7 : Etat de l'art des transistors en technologie GaN

IV. Amplificateur de puissance en technologie GaN.

En vue de ses prédispositions naturelles pour les fortes densités de puissance à hautes fréquences, le GaN se place comme le candidat idéal pour la réalisation d'amplificateur de puissance. Ce type d'amplificateur est amené à remplacer l'ensemble des amplificateurs à tubes à ondes progressives afin de miniaturiser les systèmes d'amplifications.

1. Figures de mérite d'un amplificateur de puissance.

L'amplificateur de puissance est essentiel pour tout type de système d'émission/réception hyperfréquences et bien d'autres applications. Pour pouvoir évaluer les performances d'un amplificateur de puissance il existe six critères principaux :

- **La puissance délivrée** par l'amplificateur. En pratique, il existe deux façons pour évaluer la puissance de l'amplificateur. La puissance de saturation (P_{sat}) qui représente la puissance maximale que peut délivrer l'amplificateur. Et enfin le point de compression à 1 dB en sortie (P_{1dB}) qui permet de quantifier le comportement linéaire de l'amplificateur.

- **Le Gain en puissance** (G_p).
$$G_p = P_{RFOUT} - P_{RFIN}. \quad \text{Eq 1.1}$$

- **Le rendement** ou encore **PAE** (*Power Added Efficiency*) qui représente le rapport entre le Gain en puissance et la puissance de consommation P_{DC} .

$$PAE = \frac{P_{RFOUT} - P_{RFIN}}{P_{DC}} \quad \text{Eq 1.2}$$

- **La bande passante.** Plus la bande passante est grande, plus le choix des applications de l'amplificateur est important. Cependant, atteindre des valeurs optimales de puissance et de rendement sur une large bande passante représente un vrai défi en termes de conception et de technologie.
- **La stabilité.** Ce paramètre est primordial pour assurer le fonctionnement de l'amplificateur, d'autant que ce paramètre est rarement considéré lors de la phase de réalisation du transistor. Assurer cette stabilité à l'échelle de l'amplificateur représente une étape importante de la conception de l'amplificateur.
- **Dimensionnement de la puce.** Ce paramètre a un impact très fort sur la conception de l'amplificateur. En effet, plus le dimensionnement est grand plus la manœuvrabilité de la conception sera grande. Les réseaux d'adaptation nécessaires pour relier les différents transistors constituant l'amplificateur nécessitent beaucoup de place.

Où

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2$$

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2$$

$$C_1 = S_{11} - \Delta * S_{22}^*$$

$$C_2 = S_{22} - \Delta * S_{11}^*$$

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12} * S_{21}|}$$

$$\Delta = S_{11} * S_{22} - S_{12} * S_{21}$$

Le facteur « K » représente le facteur de stabilité et a un impact direct sur l'expression de $\Gamma_{G\ opt}$ et le $\Gamma_{L\ opt}$. Si $K < 1$ (cas où il n'y a pas de stabilité inconditionnel), l'adaptation en « MSG » n'est pas définie. Si $K \geq 1$ (stabilité inconditionnel) alors l'adaptation est définie et le « MSG » s'exprime :

Si $|S_{12}| > 0$ et $B_1 > 0$

$$\mathbf{MSG} = \frac{|S_{21}|}{|S_{12}|} * (\mathbf{K} - \sqrt{\mathbf{K}^2 - 1}) \quad \text{Eq 1.9}$$

Si $|S_{12}| > 0$ et $B_1 < 0$

$$\mathbf{MSG} = \frac{|S_{21}|}{|S_{12}|} * (\mathbf{K} + \sqrt{\mathbf{K}^2 - 1}) \quad \text{Eq 1.10}$$

Si $|S_{12}| = 0$

$$\mathbf{MSG} = \frac{|S_{21}|^2}{(1 - |S_{11}|^2) * (1 - |S_{22}|^2)} \quad \text{Eq 1.11}$$

- **Adaptation en « LoadPull »**

L'adaptation en « MSG » permet d'obtenir le maximum de Gain, malheureusement, l'impédance $\Gamma_{L\ opt}$ est très souvent éloignée, comme le montre la figure 1.11, de la zone où l'adaptation en Puissance et Rendement, aussi appelé Power Added Efficiency (PAE), est optimale.

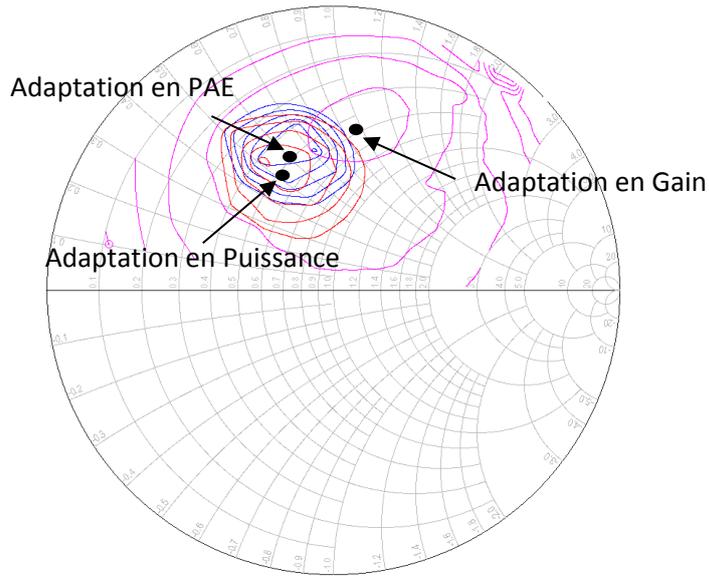


Figure 1.11 : Zone d'adaptation d'un transistor en Gain, en Puissance et en PAE.

ii. Amplificateurs distribués

L'amplificateur distribué est la topologie de référence lorsque l'on cherche à atteindre une très large bande de fréquence [70][71]. Cette topologie est réalisée en mettant les transistors en parallèle tout en reliant les Sources par des lignes micro-ruban (modélisant des inductances) finies par une charge 50Ω et de même avec les Drains comme montré figure 1.8.

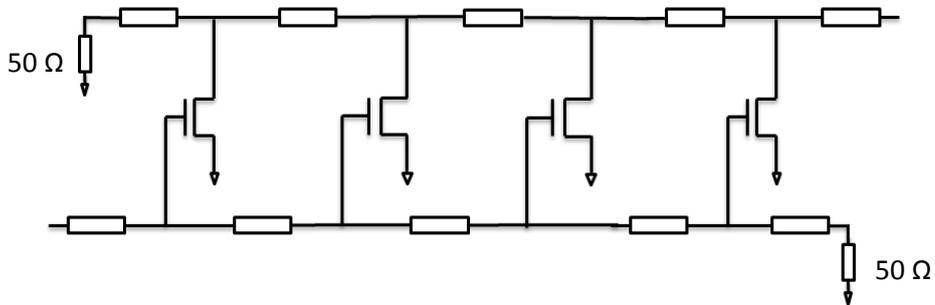


Figure 1.8 : Amplificateur distribué

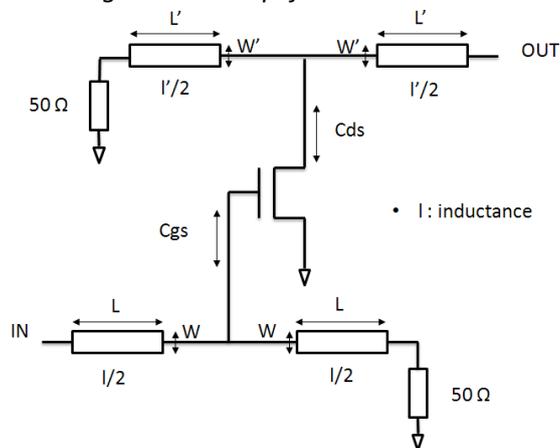


Figure 1.9 : Cellule unitaire d'un amplificateur distribué.

$$\sqrt{\frac{l}{C_{gs}}} = 50 \Omega \qquad \sqrt{\frac{l'}{C_{ds}}} = 50 \Omega \qquad \text{Eq 1.12}$$

$$F_c = \frac{1}{2\pi\sqrt{l * C_{gs}}} \qquad F_{c'} = \frac{1}{2\pi\sqrt{l' * C_{ds}}} \qquad \text{Eq 1.13}$$

$$l * C_{gs} = l' * C_{ds} \qquad \text{Eq 1.14}$$

Les équations 1.3, 1.4 et 1.5 représentent les conditions d'adaptation d'un amplificateur distribué, où C_{gs} et C_{ds} représentent respectivement les capacités grille-source et drain-source intrinsèques au transistor. C'est ainsi que le couple C_{gs} et l'inductance « l » (modélisée par une ligne de longueur L et de largeur W) en entrée, de même en sortie avec C_{ds} et « l' », fixe la fréquence de coupure et donc la bande de fréquence de l'amplificateur distribué.

Comme précisé précédemment, cette topologie est optimale pour atteindre de large bande de fréquence. Néanmoins, même si elle peut être optimisée par l'utilisation du montage cascode[72], les performances non-linéaires (puissance et rendement) en hautes fréquences sont loin de pouvoir exploiter le potentiel en puissance de la technologie GaN. En effet, le Gain offert par la topologie distribuée est lié à la fréquence de coupure de la façon suivant :

$$G = \frac{n^2 \times g_m^2}{(4\pi \times C_{gs} \times F_c)^2} \qquad \text{Eq 1.15}$$

Où n est le nombre d'étages constituant l'amplificateur distribué, g_m la transconductance, C_{gs} la capacité grille-source et F_c la fréquence de coupure de l'amplificateur distribué. On remarque que le Gain décroît en fonction du carré de la fréquence de coupure limitant donc très fortement les performances offertes par cette topologie pour les applications hautes fréquences. A noter que cette expression du Gain est valable dans le cas d'une adaptation parfaite et ne prend pas en compte les pertes des lignes.

3. Etude préliminaire à la réalisation d'un amplificateur de puissance.

i. *Point de polarisation*

Le point de polarisation fixe la classe de fonctionnement du transistor et donc celle de l'amplificateur de puissance. Différentes classes de fonctionnement existent selon les spécifications demandées par le cahier de charges.

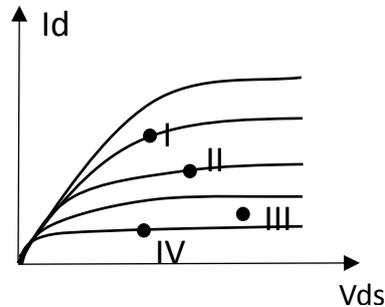


Figure 1.12 : Caractéristique du courant de drain I_d en fonction de la tension de drain V_{ds} .

La classe de fonctionnement **I** permet d'atteindre un gain petit signal maximal grâce à un courant I_d élevé. En **II**, communément appelé classe A et placé au milieu de la caractéristique $I(V)$, est le point de polarisation permettant d'atteindre la puissance de sortie linéaire maximale. En **III**, communément appelé la classe AB, est la classe qui permet d'atteindre un meilleur rendement au détriment d'un sacrifice sur la linéarité. Et enfin en **IV**, ce point de polarisation permet d'obtenir le faible bruit.

ii. *Développement du transistor*

Le choix du développement est une étape cruciale pour la conception d'amplificateur car un surdimensionnement des transistors engendre une surconsommation qui aura un impact direct et néfaste sur le rendement. Au contraire, un sous dimensionnement des transistors générera une trop faible puissance de sortie.

Le choix du développement se fait à partir de la puissance de sortie maximum délivrée par un transistor. On définit P_{max} comme la puissance maximum délivrée par un transistor en W/mm, P_{out} la puissance à atteindre imposée par le cahier des charges et D le développement du transistor.

$$P_{max_unitaire} = P_{max} * D \quad \text{Eq 1.15}$$

Où $P_{max_unitaire}$ est la puissance maximale pouvant être délivrée par un seul transistor de dimensionnement D .

Si $P_{max_unitaire} < P_{out}$ alors deux solutions s'imposent pour atteindre P_{out} :

- 1) Augmenter le développement D . Cependant, un transistor de taille importante aura un Gain plus faible et induira une baisse du rendement.

- 2) Mettre plusieurs transistors en parallèles pour atteindre P_{out} . Néanmoins, le nombre est limité par les pertes des lignes utilisées pour relier les transistors mais aussi par le dimensionnement de la puce.

Sachant que :

	Gain	Puissance	Stabilité
Si le développement D est faible (petit transistor)	++	+	-
Si le développement D est important (gros transistor)	-	++	++

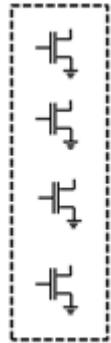


Figure 1.13 : Etage de Puissance (Power Stage) constitué de 4 transistors $4 \times 50 \mu m$.

iii. Nombre d'étages

Le nombre d'étages utilisé lors de la conception joue directement sur le Gain total de l'amplificateur. En effet, très souvent un seul étage ne suffit pas pour assurer un Gain suffisant.

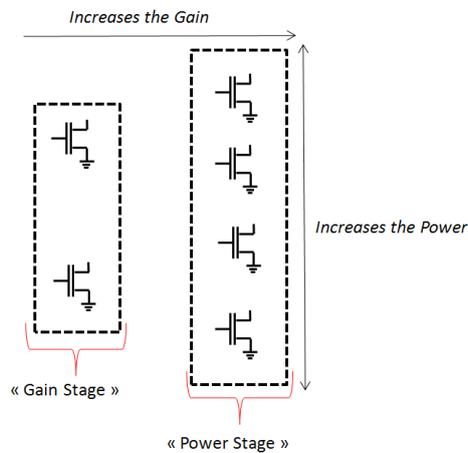


Figure 1.14 : Schéma conceptuel de l'évolution du Gain et de la Puissance en fonction de la disposition des transistors.

Dans le cas d'un amplificateur à deux étages (figure 5.6), le premier étage « Gain Stage » est l'étage où le dimensionnement des transistors est choisi pour augmenter le Gain total de l'amplificateur. De plus, il doit être également dimensionné pour pouvoir fournir assez de puissance afin de saturer l'étage de puissance « Power Stage ».

iv. Stabilité

L'étude de la stabilité d'un amplificateur est une étape cruciale lors de la conception de celui-ci. Il existe plusieurs méthodes pour savoir si l'amplificateur conçu est stable :

- Le facteur de Rollet (*déjà mentionné plutôt*)

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12} * S_{21}|} \tag{Eq 1.16}$$

où

$$\Delta = S_{11} * S_{22} - S_{12} * S_{21}$$

Le facteur de Rollet nous permet de savoir si l'amplificateur est inconditionnellement stable ou conditionnellement stable.

Si $K > 1$ et $|\Delta| < 1$ alors l'amplificateur est **inconditionnellement stable** (Fig1.15 (a)).

Si $K < 1$ alors l'amplificateur est **conditionnellement stable** (Fig1.15(b)).

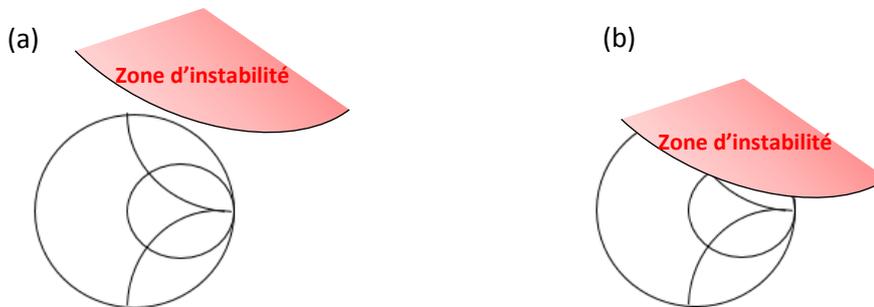


Figure 1.15 : Zone d'instabilité pour un amplificateur inconditionnellement stable (a) et conditionnellement stable (b).

Dans le cas où l'amplificateur est conditionnellement stable une étude stabilité est nécessaire pour s'assurer de la stabilité dans toute la bande de fréquence de fonctionnement. Une étude dite du NDF (*Normalized Determinant Function*) qui permet d'évaluer la stabilité de chaque transistor utilisé pour la conception de l'amplificateur individuellement en boucle ouverte (*l'application de cette méthode sera décrite dans le chapitre 4*).

4. Etat de l'art

L'utilisation du GaN pour la conception d'amplificateurs de puissance (HPA) radiofréquences est en pleine expansion[73][74][75][19][76]. Néanmoins, pour une grande majorité des amplificateurs de filière industrielle proposés, le substrat SiC est préféré au Si, en particulier sur la bande Ka où très peu d'acteurs sont présents sur substrat de silicium, comme l'atteste la Figure 1.16. Le leader mondial en termes d'amplificateurs de puissance en bande Ka reste l'entreprise Qorvo. Toutefois, il existe d'autres acteurs comme l'entreprise OMMIC (France) qui propose des HPA en substrat Si et SiC en cours de qualification.

Bande de fréquence (GHz)	Substrat	Gain (dB)	Puissance (W)	PAE (%)	Taille de puce (mm ²)	Laboratoires /Industriels
26-36	SiC	13	4	25	-	Rockwell[77]
35	SiC	8	3.45	22	-	Cree[78]
27-34	Si	23	5.6	32	4.5x3.5	OMMIC[52]
32-38	SiC	17	5	34	3.55	Qorvo[79]
32-38	SiC	27	10	35	9.9	Qorvo[79]
29.5	SiC	28	6	37	5.6	Qorvo[80]
30	SiC	28	11	30	11.7	Qorvo[80]

Figure 1.16 : Etat de l'art des amplificateurs GaN (performances CW).

V. Conclusion

Dans ce chapitre, nous avons mis en évidence le potentiel exceptionnel du matériau Nitrure de Gallium pour les applications hyperfréquences de puissance. En effet, la bande interdite élevée associée à une bonne mobilité des électrons, font de ce matériau le candidat idéal pour la réalisation de transistors et donc de circuits robustes. Ce qui ouvre la voie à des performances sans précédent en gamme d'ondes millimétriques. De plus, nous avons mis en exergue qu'il existe de nombreux acteurs mondiaux industriels et académiques créant un écosystème qui se focalisent sur la technologie GaN. Cela prouve clairement l'intérêt et l'importance de ce matériau pour les applications hyperfréquences de puissance. Par la suite, nous avons montré les figures de mérites à travers le transistor HEMT et l'amplificateur de puissance nécessaires à évaluer leurs performances et leurs robustesses ainsi que l'état de l'art.

Mes recherches s'inscrivent dans un projet ambitieux comme montré Figure 1.1. De l'étude de la filière GaN mise au point à l'IEMN à la conception de circuit passant par le développement d'un banc de mesure capable de caractériser cette technologie jusqu'en bande Q et par la modélisation de cette filière par notre partenaire XLIM.

Dans le chapitre suivant, nous détaillerons le développement d'un banc « Non-linear Vector Network Analyser » (NVNA) pour la caractérisation dites LoadPull de la technologie GaN. Ce banc nous a permis de caractériser la technologie GaN mise au point à l'IEMN mais aussi de caractériser les amplificateurs de puissance conçus dans le cadre de ces travaux.

Chapitre 2 : Développement d'un Banc NVNA « Non-linear Vector Network Analyser » pour la caractérisation grand signal de la technologie GaN.

I. Introduction

La technologie GaN suscite beaucoup d'intérêt surtout pour les applications radiofréquences où la puissance et la PAE sont des critères clés pour estimer les performances de cette filière technologique. Il est donc crucial de mettre en place un système permettant de caractériser le comportement non-linéaire de cette technologie. Pour cela, dans le cadre de ma thèse, j'ai été amené à développer un banc de mesures vectorielles non-linéaire (NVNA) permettant des mesures de type « LoadPull » dans la bande Ka et Q[81]. En effet à l'heure actuelle, il n'existe pas de solution « clé en mains » permettant la caractérisation « grand signal » dû à la forte densité de puissance qu'est capable de générer la technologie GaN. L'enjeu a été donc d'optimiser un système déjà existant afin de pouvoir caractériser cette technologie jusqu'en bande Q.

Avant l'entame de ces travaux, la centrale de caractérisation de l'IEMN était déjà munie de deux systèmes permettant des mesures LoadPull en bande Ka :

- Un banc LSNA [82] (*Large Signal Network Analyser*) permettant des mesures LoadPull en mode CW uniquement.
- Un banc NVNA permettant de caractériser les composants en mode CW avec LoadPull passif

L'enjeu a été d'optimiser les fonctionnalités du banc NVNA pour permettre des mesures utilisant différentes techniques de LoadPull (passif, actif et hybride) en mode CW mais aussi en mode Pulsé. Ce qui représente une vraie valeur ajoutée scientifique (*qui sera détaillée par la suite*) et une différence majeure par rapport au LSNA disponible à l'IEMN.

Dans ce chapitre, nous présenterons dans un premier temps, l'analyseur de réseau vectoriel non-linéaire NVNA et tous les éléments qui constituent le système NVNA permettant les mesures LoadPull. Dans un second temps, nous présenterons toutes les optimisations que nous avons apportées : le développement des différents types de LoadPull (actif, passif et hybride), la mise en place d'un « test set » externe, le développement des mesures en mode impulsionnel et enfin, l'élaboration d'un programme de commande permettant le pilotage de l'ensemble du système de façon centralisé.

II. Description du système NVNA

1. Description interne du NVNA

L'analyseur de réseau vectoriel non-linéaire, de modèle PNA-X (N5245A-NVNA) est commercialisé par l'industriel KEYSIGHT[83] et permet de caractériser le comportement non-linéaire sous 50Ω de 600 MHz à 50 GHz. Le principe de fonctionnement du NVNA est similaire à celui du LSNA. Les quatre ondes a_i et b_i sont mesurées à travers des coupleurs formant ce que l'on appelle le « test set » ou encore pont de réflectométrie pour enfin subir une conversion hétérodyne vers la fréquence de fonctionnement interne du NVNA (oscillateur local) à l'aide de mélangeurs tous commandés par le même oscillateur local, voir Fig. 2.1. Contrairement au LSNA qui, à l'aide d'échantillonneur, converti le spectre fréquentiel complet vers les basses fréquences, le NVNA ne convertit qu'une harmonique à la fois, ce qui rend la mesure plus longue. Il est nécessaire d'utiliser un générateur d'harmonique de référence dont le déphasage entre chaque harmonique est connu afin de mesurer avec précision

chaque déphasage. Pour cela, il est impératif que le générateur externe d'harmoniques de références et le NVNA soient synchrones, ici par un signal d'horloge interne au NVNA de 10 MHz.

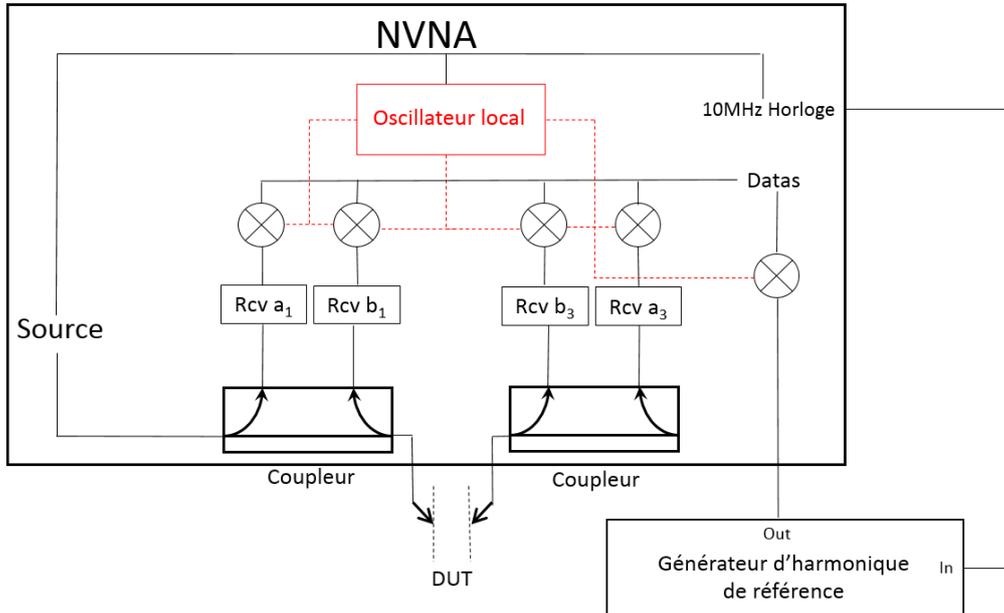


Figure 2.1 : Schéma de principe interne simplifié du NVNA.

2. Description externe du système NVNA

Le NVNA seul ne permet que des mesures sous 50Ω , or, pour pouvoir caractériser performances en puissance d'un transistor, il faut être capable d'effectuer des mesures dites « LoadPull ». Pour cela, plusieurs équipements doivent être intégrés au système de mesures comme montré Fig. 2.2.

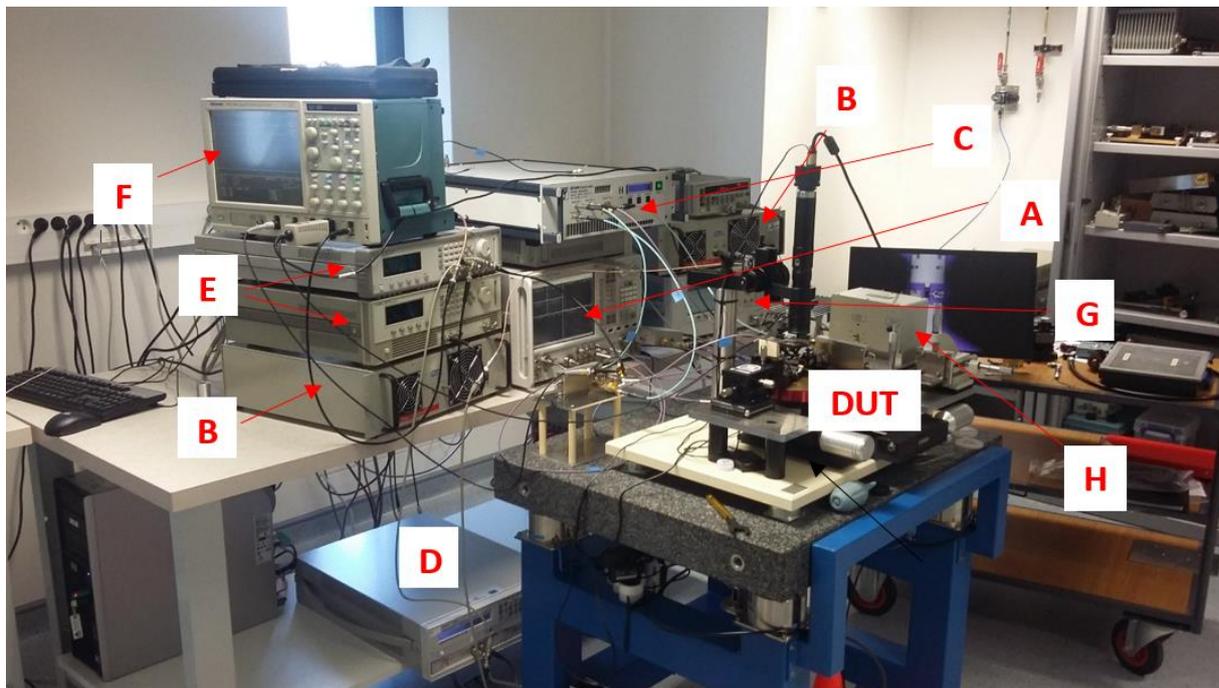


Figure 2.2 : Photo du setup NVNA.

- **A** : L'analyseur de réseau vectoriel non-linéaire PNA-X N5245A-NVNA
- **B** : Deux amplificateurs 6-18 GHz 10 W.
- **C** : Deux amplificateurs 40-44 GHz 2 W et 5 W.
- **D** : « Source Monitoring Unit » (SMU) alimentation DC.
- **E** : Générateur d'impulsion.
- **F** : Oscilloscope + sondes de courant et sondes de tension.
- **G** : « Power Signal Generator » (PSG).
- **H** : « Tuner » adaptateur passif électromécanique.

Dans l'optique de caractériser des transistors multi-doigts et permettre la mesure à de fortes tension de drain, il a été entrepris l'achat d'un nouvel amplificateur 39.1-40.1 GHz 12W fait sur mesure présenté ci-dessous Figure 2.3.

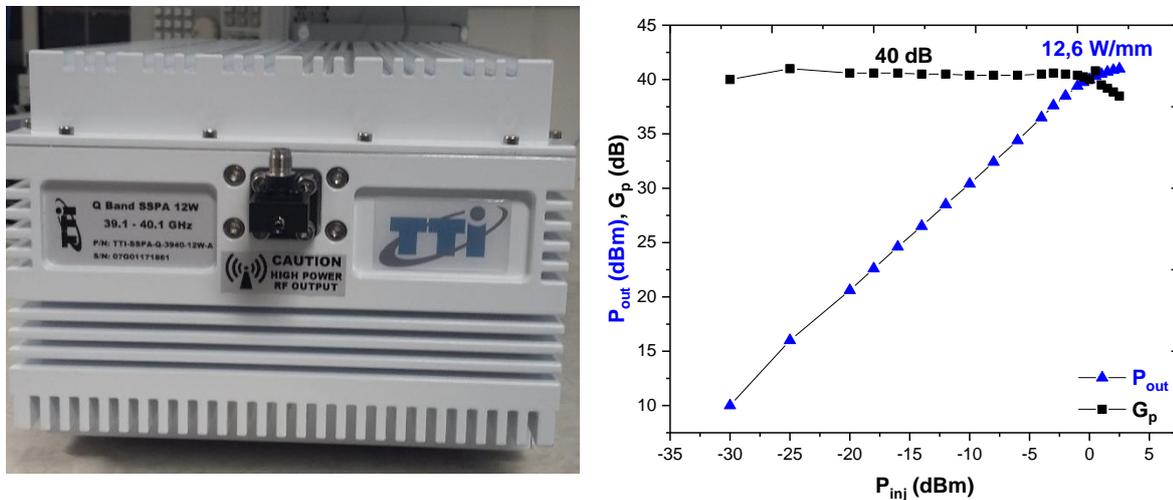


Figure 2.3 : Photo et performances de l'amplificateur 39.1-40.1 GHz 12W.

Malheureusement à l'heure de la rédaction de ce manuscrit cet amplificateur n'a pas pu être implémenté sur notre banc. Par ailleurs, en complément, toujours dans le but de caractériser à des tensions de drain supérieures à 30V, l'achat de coupleurs et de tés de polarisation a été effectué. En effet, les coupleurs et les tés de polarisation utilisés pour l'ensemble de l'étude détaillée par la suite ont une limite de 30V (*constructeur*) en mode CW.

III. Développement du banc NVNA pour mesures LoadPull

Les mesures LoadPull sont définies par la présentation en sortie d'un transistor d'un éventail d'impédances dans le but de localiser la charge optimale ($\neq 50 \Omega$) afin de l'adapter en puissance, en Gain ou en PAE. La mesure, en elle-même, consiste dans un premier temps à polariser le transistor dans la classe de fonctionnement souhaitée ou imposée. D'autre part, une puissance est injectée progressivement en entrée du transistor afin d'atteindre son état de saturation. Au même moment, en sortie du transistor, une impédance est présentée afin de l'adapter. Lors de la mesure, le courant de grille est monitoré afin de s'assurer l'intégrité du transistor. La fin de la mesure est délimitée soit par l'obtention de l'état de saturation du transistor, soit par la destruction de celui-ci.

1. Développement des différents types de mesures LoadPull.

Trois types de mesures LoadPull sont disponibles sur notre banc de mesure : le LoadPull actif, passif et hybride.

i. LoadPull Passif

Le LoadPull passif permet de contrôler la charge présentée en sortie du dispositif sous test (DUT) au moyen d'un tuner d'impédance hyperfréquence. Les tuners d'impédance sont des systèmes électromécaniques constitués d'une ligne de transmission et d'un ou plusieurs « slug » mobiles (*pièces métalliques qui viennent changer le rapport entre les diamètres internes et externes de la ligne de transmission*) voir Fig.2.4.

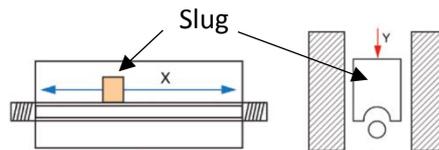


Figure 2.4 : Représentation en coupe simplifiée d'un tuner d'impédance.

La position du ou des slugs par rapport à la ligne de transmission permet de modifier l'impédance caractéristique du système et donc le coefficient de réflexion à son entrée.

1^{er} méthode : Mesure à travers le tuner.

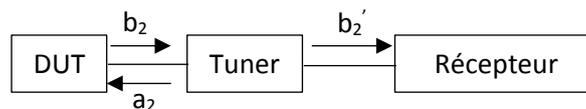


Figure 2.5 : Schéma de principe du LoadPull passif avec mesure à travers le tuner.

Le tuner est installé directement en sortie du DUT et l'un des récepteurs du NVNA mesure le signal à sa sortie (b_2'). Les ondes a_2 et b_2 en sortie du DUT sont calculées grâce aux expressions suivantes :

$$a_2 = \frac{S11_{tuner}}{S21_{tuner}} \times b_2' \quad \text{Eq 2.1}$$

$$b_2 = \frac{b_2'}{S21_{tuner}} \quad \text{Eq 2.2}$$

Pour utiliser cette technique, les paramètres hyperfréquences du tuner ($S11_{tuner}$ et $S21_{tuner}$) doivent être préalablement mesurés et cela pour chacune des positions, on parle de calibrage du tuner. Cette étape est cruciale et peut s'avérer longue et complexe. Par ailleurs, les caractéristiques hyperfréquences du tuner sont susceptibles de dériver (*modification indésirable des paramètres en fonction du temps*), notamment en cas de variation de la température ambiante. En effet les variations de températures peuvent entraîner une légère dilatation ou contraction des matériaux constituant le tuner. Ces variations mécaniques sont très faibles mais le positionnement du ou des slugs étant réalisé

avec une précision micrométrique, elles peuvent impacter les paramètres hyperfréquences du tuner et entraîner des erreurs drastiques sur les mesures. En conséquence, le calibrage du tuner doit être renouvelé régulièrement.

Dans certain cas, cette méthode présente un autre inconvénient. Le seul paramètre réellement mesurée est b_2' , en sortie du tuner. Le problème apparaît lorsque l'on cherche à atteindre des coefficients de réflexion de grande amplitude avec le tuner. Si celui-ci présente un coefficient de réflexion à l'entrée de proche de 1 alors la quasi-totalité du signal b_2 est réfléchi vers le dispositif sous test ($a_2 \approx b_2$). La faible partie transmise par le tuner va encore perdre en puissance du fait des pertes intrinsèques de transmission de celui-ci. A la sortie du tuner le signal résultant peut présenter une amplitude très faible et potentiellement difficile à mesurer.

2^{ème} méthode :

Une méthode plus précise consiste à mesurer directement a_2 et b_2 en sortie du DUT comme ci-dessous.

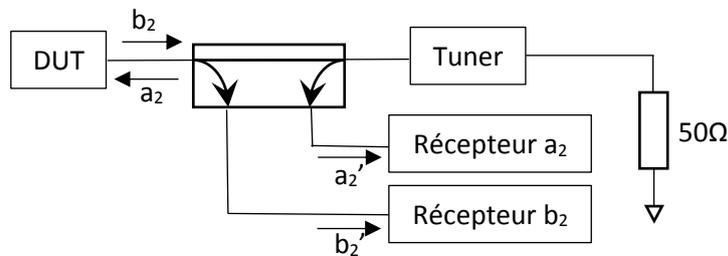


Figure 2.6 : Schéma de principe du LoadPull passif avec mesure en sortie du DUT.

Cette méthode permet une caractérisation plus précise et plus fiable des ondes a_2 et b_2 en sortie du dispositif sous test grâce à la mesure des ondes a_2' et b_2' . Dans ce cas, les rapports b_2'/b_2 et a_2'/a_2 sont fixes, connus et ne dépendent pas de la charge présentée par le tuner. Une dérive des paramètres hyperfréquences du tuner n'a donc pas d'impact sur la qualité et la fiabilité de la mesure des ondes.

Néanmoins, cette méthode nécessite l'ajout de coupleurs de mesures entre la sortie du DUT et l'entrée du tuner. Cela a pour effet de réduire significativement le module maximal du coefficient de réflexion présenté à la sortie du dispositif sous test. Cet inconvénient, communs à tous les systèmes LoadPull passifs, sera présenté plus en détails ci-après.

Le LoadPull passif présente un avantage important :

- La charge présentée par ce système est fixe et d'une très grande stabilité. Celle-ci ne variant pas en fonction du niveau de puissance de sortie du dispositif de test, le réglage de l'impédance n'est nécessaire qu'une fois en début de mesure. Elle permet donc des mesures très rapides.

Toutefois des inconvénients sont à signaler :

- Les tuners sont capables de présenter à leurs entrées des impédances sur la quasi-totalité de l'abaque de Smith. Pour conserver ces performances, le dispositif de test doit être directement connecté au tuner, ce qui est impossible pour des mesures « on wafer ». L'ajout des pointes coplanaires et adaptateurs sont nécessaires aux mesures et induisent des pertes entre la sortie du dispositif de test et l'entrée du tuner. Cela a pour effet de diminuer fortement le module maximal du coefficient de réflexion présenté à la sortie du DUT. En effet, pour atteindre les forts coefficients de réflexion en sortie du DUT, il faut que le niveau de puissance du signal incident sur celle-ci (a_2) tende vers le niveau de puissance de sortie du DUT (b_2). Or, si l'on intercale des pertes entre le DUT et le tuner, alors a_2 sera forcément plus faible que b_2 du double des pertes en question (dans le cas idéal d'un tuner qui présenterait un coefficient de réflexion de module égal à 1).

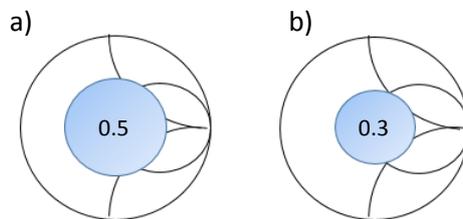


Figure 2.7 : Zone de l'abaque Smith atteignable avec le LoadPull Passif à 18 GHz (a) et 40 GHz (b).

- Pour finir, les tuners d'impédance permettent une sélection précise du coefficient de réflexion souhaité à la fréquence fondamentale. Cependant, on ne maîtrise pas les impédances présentées aux fréquences harmoniques, ce qui peut engendrer des phénomènes d'instabilité sur certains composants. Il existe des tuners multi-harmoniques mais leurs mises en œuvre et leurs calibrages sont beaucoup plus complexes.

ii. **LoadPull actif**

Le LoadPull actif consiste à appliquer en sortie du dispositif sous test un éventail d'impédance, à l'aide d'un synthétiseur de fréquence (PSG), un signal proportionnel à celui du signal de sortie du dispositif sous test. Le rapport entre les deux signaux complexes représente un coefficient de réflexion virtuelle. En contrôlant l'amplitude et la phase du signal appliqué, on peut donc faire varier la charge virtuelle présentée à la sortie du transistor.

Le LoadPull actif présente les avantages suivant :

- Cette technique permet d'atteindre des coefficients de réflexion très élevés (jusqu'à 0.99) en sortie du composant. Le coefficient de réflexion maximal atteignable par la charge active est seulement limité par la puissance maximale du synthétiseur de fréquence. Pour pallier cette

limitation, l'utilisation d'un amplificateur de puissance est nécessaire, plus particulièrement pour les composants dédiés aux applications de puissance.

- Cette technique a aussi l'avantage de présenter un coefficient de réflexion fixe et centré sur 50Ω aux fréquences harmoniques, ce qui est un avantage en termes de stabilité du composant et de répétabilité des mesures.

Mais ce type de LoadPull présente aussi des inconvénients :

- La complexité de la mise en œuvre est un premier inconvénient.
- La stabilité du coefficient de réflexion présenté dépend uniquement de la stabilité des sources hyperfréquences utilisées en entrée et en sortie du dispositif de test. Celles-ci doivent être synchronisées en fréquences l'une par rapport à l'autre et doivent être le plus stable possible en amplitude et en phase.
- L'amplitude et la phase de la charge active doivent être corrigées en temps réel pour conserver un coefficient de réflexion constant.

iii. LoadPull Hybride

Le LoadPull Hybride, comme son nom l'indique, est un mélange du LoadPull actif et passif. Réunissant la stabilité du LoadPull passif et pouvant atteindre l'intégralité de l'abaque de Smith à l'aide du LoadPull actif, ce type de mesures présente une alternative très intéressante en termes de performances. Dans cette technique, le tuner permet d'atteindre les « petits » coefficients de réflexion de façon fixe et très stable. Il permet aussi une préadaptation tandis que la partie active favorise l'obtention de coefficients de réflexion plus élevés.

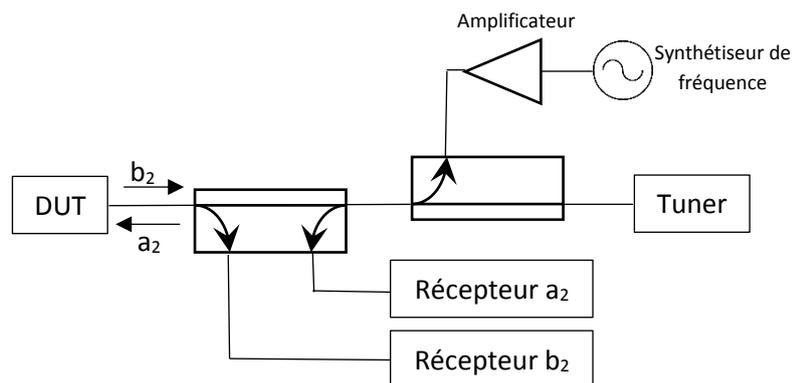


Figure 2.8 : Schéma de principe du LoadPull hybride.

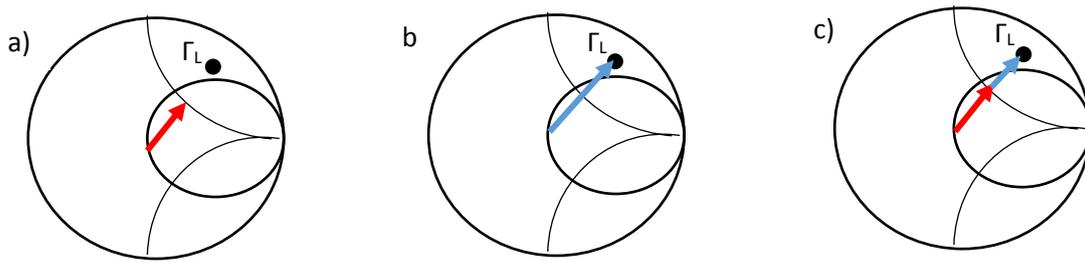


Figure 2.9 : Représentation simplifiée du LoadPull passif (a), actif (b) et hybride (c) sur un abaque de Smith.

2. Mise en place d'un « test set externe »

Le NVNA est muni d'un « test set » interne (dispositif de répartition des ondes), voir Fig. 3.10, composé de coupleurs permettant l'excitation et la mesure du dispositif de test.

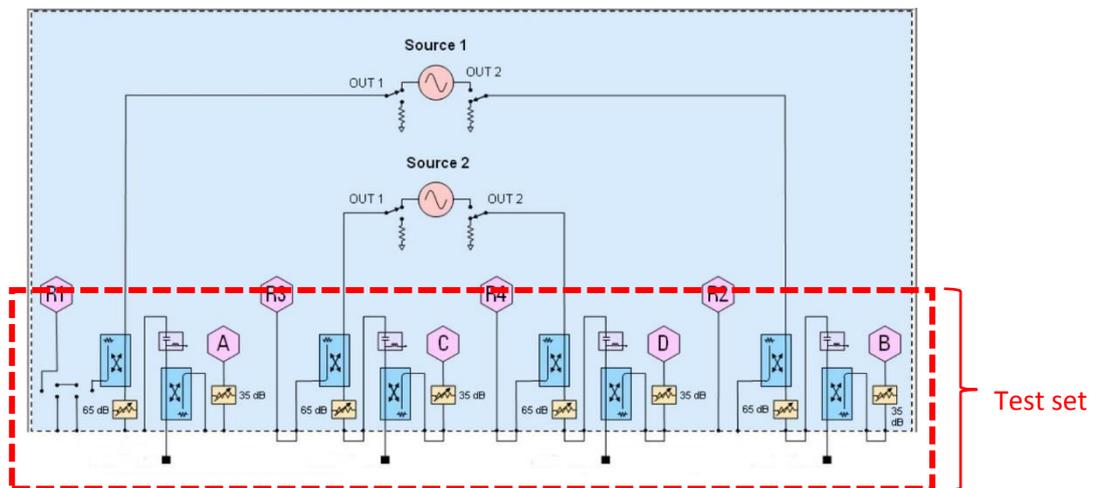


Figure 2.10 : Setup interne du NVNA.

L'analyseur de réseau vectoriel non-linéaire ne peut délivrer que 13 dBm au maximum en sortie de ses ports, ce qui est loin d'être suffisant pour permettre la saturation des transistors en technologie GaN. L'ajout d'un amplificateur entre le port d'excitation du NVNA et l'entrée du dispositif de test n'est pas envisageable car la mesure de l'onde réfléchie en entrée du transistor serait impossible du fait du caractère unidirectionnel de l'amplificateur.

Pour endiguer ce problème, un « test set » externe a été mis en place comme le montre la Fig. 2.11.

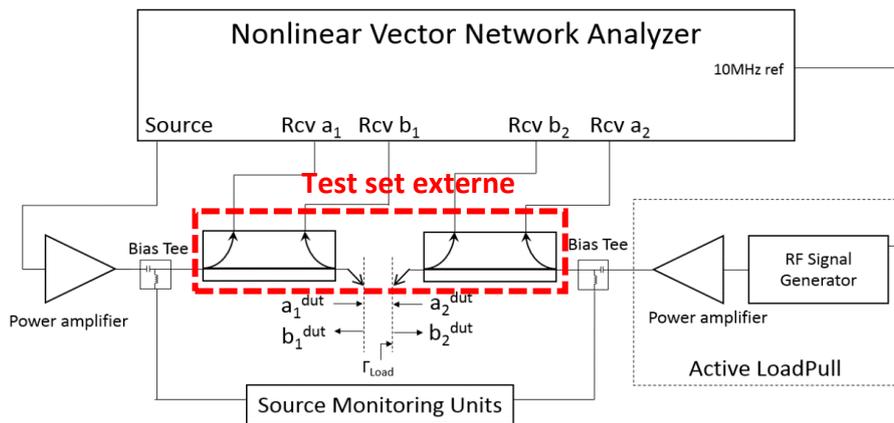


Figure 2.11 : Configuration du NVNA avec « test set » externe.

Avec cette nouvelle configuration, ce sont des coupleurs externes qui sont utilisés pour effectuer les mesures. L'amplificateur est placé en amont entre le port d'excitation et le pont de réflectométrie. Cela permet à la fois une mesure précise et la calibration des ondes incidentes et réfléchies à l'entrée du dispositif de test. Le pont de réflectométrie en sortie permet, quant à lui, la mesure des ondes incidentes et réfléchies à la sortie du DUT et les mesures LoadPull. Cette nouvelle disposition permet donc de lever la limitation due au caractère unidirectionnel de l'amplificateur. Aucun équipementier ne propose de solution répondant aux exigences de la technologie investiguée et l'un des objectifs de ma thèse était de développer un tel dispositif de test.

3. Développement de mesures en mode Impulsionnel pour caractérisation non-linéaire.

Deux modes d'excitation sont possibles pour effectuer des mesures de puissances :

- Le mode « continuous wave » (CW), qui consiste à exciter en RF et polariser le dispositif de test de façon continue tout au long de la mesure.
- Le mode Impulsionnel, qui consiste à venir exciter en RF et polariser pendant un laps de temps très court (de l'ordre de 1 μ s) de façon périodique.

La possibilité de pouvoir effectuer des mesures impulsionnelles en mode non-linéaire d'un transistor à des fréquences très élevées (40 GHz) est l'atout principal du banc et une valeur ajoutée majeure afin de développer et caractériser la nouvelle filière technologique GaN mise au point à l'IEMN. En effet, ce mode nous permet d'étudier, en condition réel, l'impact selon la classe de fonctionnement :

- Des effets pièges [84][85][86][87]
- Des effets thermiques [88][85][89] sur les performances du transistor.

Le NVNA, de modèle PNA-X N5245A-NVNA de l'industriel KEYSIGHT Technologies, est équipé de plusieurs générateurs impulsionnels ainsi que de modulateurs hyperfréquences permettant d'injecter, en mode Impulsionnel, la puissance P_{inj} en entrée du transistor. Les paramètres temporels du signal de sortie sont paramétrables dans l'application embarquée du NVNA. Pour pouvoir réaliser

des mesures en mode Impulsionnel, des générateurs d'impulsion DC externes sont aussi utilisés pour polariser le dispositif sous test, ainsi qu'une charge active pouvant présenter un éventail d'impédances en mode Impulsionnel. Comme montré sur la Fig. 2.12, nous utilisons, pour effectuer les mesures LoadPull en mode Impulsionnel, un pulse d'excitation de 1 μ s avec un rapport cyclique de 1% (période de 100 μ s). Le rapport cyclique de 1% nous permet de réduire de manière significative les effets thermiques étant donné que 99% du temps de mesure, le transistor est à l'état « off ». Le pulse de 1 μ s nous permet de nous affranchir de tous les pièges ayant une constante de temps supérieur à 1 μ s.

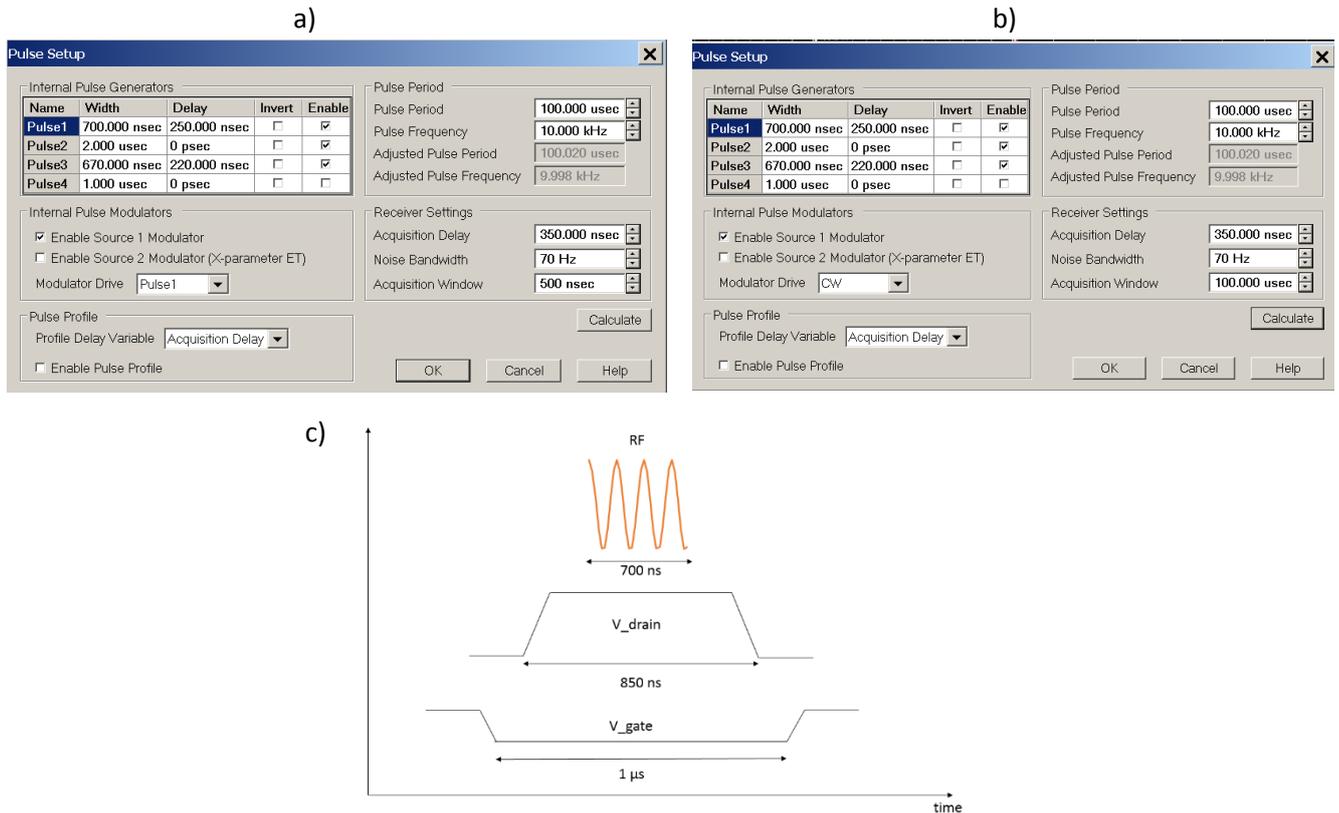


Figure 2.12 : Configuration du mode pulsé (a), du mode CW (b) et représentation en fonction du temps d'excitation RF et DC simplifiée en mode Impulsionnel (c).

La Fig.2.12 (a) nous montre la configuration utilisée en mode Impulsionnel. Le générateur interne d'impulsion « Pulse1 » est affecté au contrôle du modulateur hyperfréquence. « Pulse2 » est utilisé comme signal de synchronisation pour les générateurs impulsionnels de polarisation. Et enfin « Pulse3 » est affecté au modulateur du synthétiseur de la charge active. Les excitations, en mode impulsionnel, doivent se faire dans un certain ordre pour ne pas détruire le transistor surtout à fort V_{ds} . Tout d'abord, le transistor est polarisé en V_g sur un pulse de 1 μ s, puis le pulse de drain de 850 ns avec un « delay » (temps de retard) afin d'éviter le phénomène « d'overshoot » créé par le pulse de grille. L'excitation commence toujours par l'alimentation DC afin de s'assurer que l'excitation RF soit appliquée sur un transistor polarisé. Ensuite, vient l'excitation en entrée du dispositif de test (P_{inj}) représenté par le « Pulse1 » dans l'onglet « Internal Pulse Generators » de 700 ns avec un « delay » de 250 ns afin d'éviter « l'overshoot » du pulse de drain. Et enfin, l'excitation de la charge active représentée par le « Pulse3 » de 670 ns avec un « delay » de 220 ns. Une fenêtre d'acquisition de 500 ns est utilisée pour effectuer les mesures LoadPull en mode impulsionnel.

4. Développement d'un logiciel sur Labview pour commander les mesures LoadPull

Etant donnée la complexité du banc, un logiciel de commande a été réalisé sur Labview. Représenté sur la Fig. 2.13, le programme permet de commander le NVNA, les SMUs, les générateurs impulsionsnels et la charge active. Il centralise toutes les commandes à utiliser pour des mesures LoadPull hormis les paramètres d'excitation en mode impulsionsnel vue précédemment car le programme interne au NVNA le permet déjà.

Il existe deux méthodes pour piloter les mesures LoadPull :

- La première consiste à présenter un ensemble d'impédances sur une zone plus ou moins étendu sur l'abaque de Smith en sortie du transistor à puissance injectée fixe afin de localiser l'impédance qui donne les meilleures performances. Enfin, en présentant l'impédance préalablement localisée en sortie du transistor, une dernière mesure est effectuée en faisant varier la puissance injectée jusqu'à atteindre la saturation du transistor.
- La deuxième consiste à réaliser une étude de paramètres S préliminaire afin de mesurer le paramètre S_{22} du transistor. En effet, le S_{22} conjugué (S_{22}^*) en sortie du transistor donne une forte indication sur la localisation de la zone d'adaptation en puissance et en PAE. Toutefois, une étude est réalisée autour de cette zone afin de s'assurer d'obtenir les meilleures performances.

Pour la suite, c'est la deuxième méthode qui a été privilégiée car plus rapide.

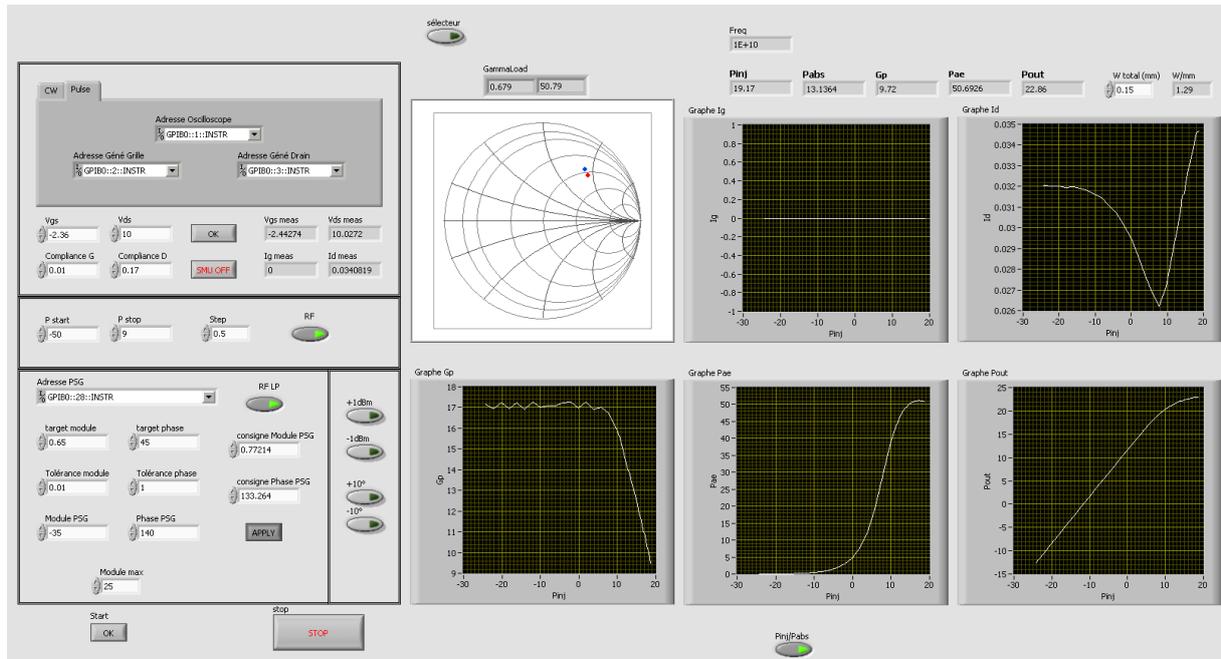


Figure 2.13 : Interface de commande pour les mesures LoadPull.

Le protocole de mesure commence par la polarisation du transistor. Le logiciel nous permet à la fois de polariser et de contrôler en direct les courants – tensions des composants à travers les SMUs en mode CW. En mode Impulsionnel, la polarisation est réalisée au moyen de générateurs impulsionnels DC. Les mesures des courants-tensions sont effectuées à l'aide de sondes de courant et de sondes de tension associées à un oscilloscope. Une fois la polarisation fixée, le logiciel permet de contrôler la puissance injectée. Pendant la caractérisation LoadPull, le pas de mesure peut ainsi être modifié pour augmenter la précision dans la zone « critique » (zone où la PAE devient maximum). Enfin, le logiciel permet de commander la charge active. En effet, en utilisant une convergence par dichotomie, le logiciel asservit la charge active en temps réel afin de présenter l'impédance désirée en sortie du composant.

Pendant la mesure, le logiciel permet d'observer en direct en fonction de la puissance injectée :

- L'impédance présentée en sortie du composant
- Le courant de grille I_g
- Le courant de drain I_d
- Le Gain en puissance
- La PAE
- Et la puissance de sortie délivrée par le transistor.

Le Gain en puissance, la PAE et la puissance délivrée par le transistor sont calculés par le logiciel à l'aide des ondes a_i et b_j mesurées par le NVNA. L'observation en direct en fonction de la puissance injectée de tous ces paramètres énumérés précédemment est primordiale. En effet, en plus de montrer les performances en temps réel du composant, cela permet surtout de pouvoir stopper la mesure avant destruction du transistor ou, la dégradation des éléments constituant le banc de mesure. La mesure peut effectivement être arrêtée avant d'atteindre la zone de saturation du transistor. Lors de la mesure en mode CW, le courant de grille est observé. Si une augmentation significative est constatée alors la mesure est interrompue et le transistor est considéré comme détruit. En mode Impulsionnel, les courants sont mesurés à l'aide de sondes de courant. Malheureusement, notre banc de mesure n'est pas équipé de sonde de courant capable de mesurer des courants en dessous du milliampère. Il nous est donc impossible de contrôler le courant de grille (de l'ordre du microampère voir du nano-ampère) durant la mesure LoadPull. C'est pourquoi, entre chaque mesure LoadPull, le transistor est mesuré au pincement en CW à l'aide des SMUs afin de vérifier tous signes de détériorations.

IV. Protocole de Calibrage

Comme pour un analyseur de réseau vectoriel (VNA) conventionnel, une phase préliminaire de calibrage est essentielle. Pour cela, plusieurs étapes sont nécessaires afin de calibrer le banc NVNA afin de pouvoir effectuer des mesures LoadPull sous pointes.

1. Caractérisation du Quadripôle d'erreur formé par l'ensemble « pointe + pont de réflectométrie »

La première étape consiste à effectuer un calibrage en mode VNA sous pointes directement entre le port 1 et le port 3 (cf. Fig.2.14 a). Pour cela, nous réalisons un étalonnage LRRM (Line, Reflect for Open, Reflect for Short, and Match) en utilisant le logiciel « WinCal » (*logiciel dédié pour le calibrage sous pointes*) de Cascade Microtech (cf. Fig.3.1 b).

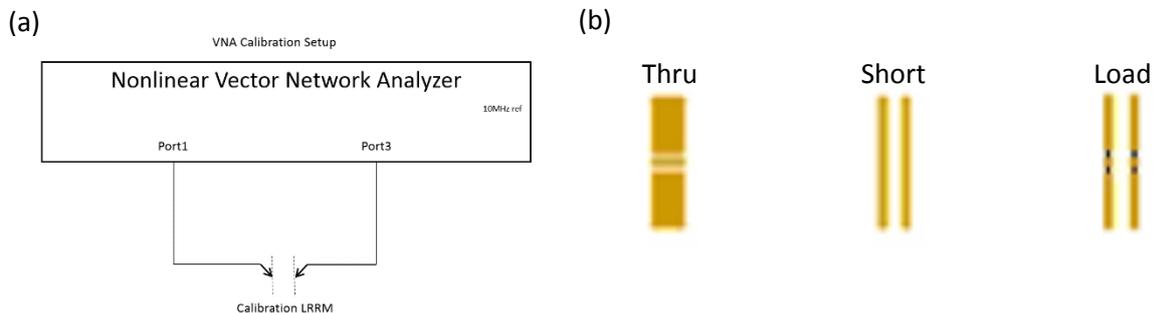


Figure 2.14 : Schéma simplifié de calibrage en mode VNA (a) étalons « on wafer » utilisés pour le calibrage (b).

A la différence d'un calibrage vectoriel simple, le calibrage du NVNA nécessite aussi un calibrage en puissance et en phase. Le « power-meter » utilisé pour calibrer en puissance est un instrument en structure coaxiale, or le plan du dispositif sous test, est sous pointes. Nous ne pouvons donc pas calibrer en puissance directement sous pointes.

L'ensemble « pointe + pont de réflectométrie » (entre ① et ②), montré Figure 2.15, permet la transition entre l'entrée coaxiale du « power-meter » et l'environnement sous pointes du banc, cependant l'ajout de cette ensemble ne nous permet plus de calibrer dans le plan du dispositif de test. Il est donc nécessaire d'effectuer une phase de « de-embedding » qui consiste à venir « déplacer » le plan de mesure dans le plan des pointes. Pour cela, les caractéristiques hyperfréquences formant le quadripôle d'erreur de l'ensemble « pointe + pont de réflectométrie » (Quad) doivent être connues pour pouvoir les compenser. Pour le caractériser, une ligne à très faibles pertes est placée entre les pointes coplanaires en ① dans un premier temps. Dans un second temps, un kit de calibrage coaxial est utilisé en ② (cf. Fig. 2.15) pour venir présenter en sortie de l'ensemble un circuit ouvert (CO) et un court-circuit (CC) ainsi qu'une charge 50Ω (Load). Ainsi, en mesurant l'onde b_1 réfléchi en port1, nous pouvons à l'aide d'un protocole de mesure développé en interne sur ICCAP de l'industriel Keysight (logiciel de pilotage de mesure DC et RF), caractériser les paramètres S de l'ensemble « pointe + pont de réflectométrie » (cf. Fig.2.16 a).

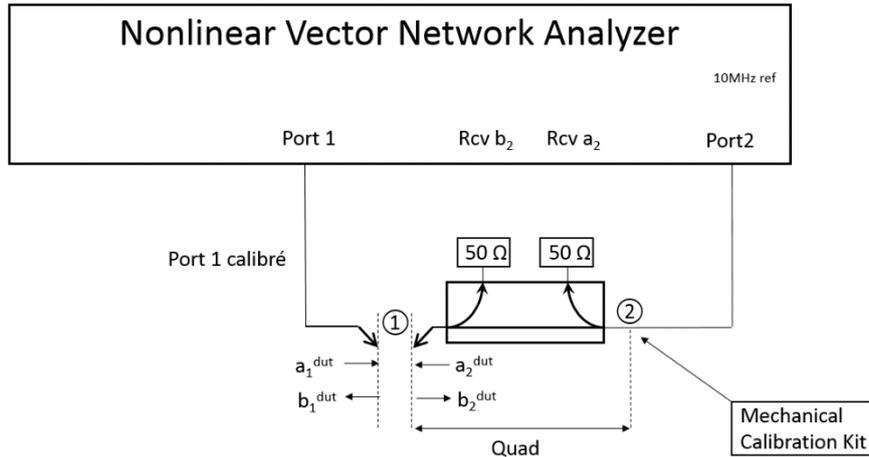


Figure 2.15 : Setup de mesure du « quad ».

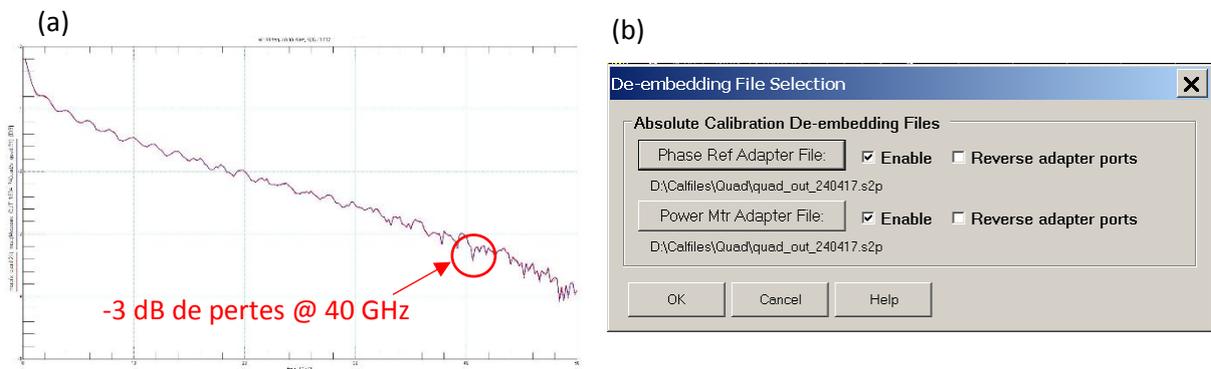


Figure 2.16 : Pertes de l'ensemble « pointe + pont de réflectométrie » (a) et option « De-embedding » disponible du NVNA (b).

A noter qu'à 40 GHz, l'ensemble « pointe + pont de réflectométrie » présente des pertes de -3 dB, ce qui rend indispensable cette étape de « de-embedding » lors du calibrage (voir Fig.2.16 (a)). Une fois le « Quad » caractérisé, un fichier est généré par ICCAP. Le fichier est par la suite utilisé dans l'application du NVNA (cf. Fig.2.16 b) qui tiendra compte des pertes entre le point de mesure de puissance et le plan de référence.

2. Calibrage en mode NVNA

Comme précédemment, le NVNA nécessite un calibrage vectoriel, en puissance et en Phase (cf. Fig.3.4).

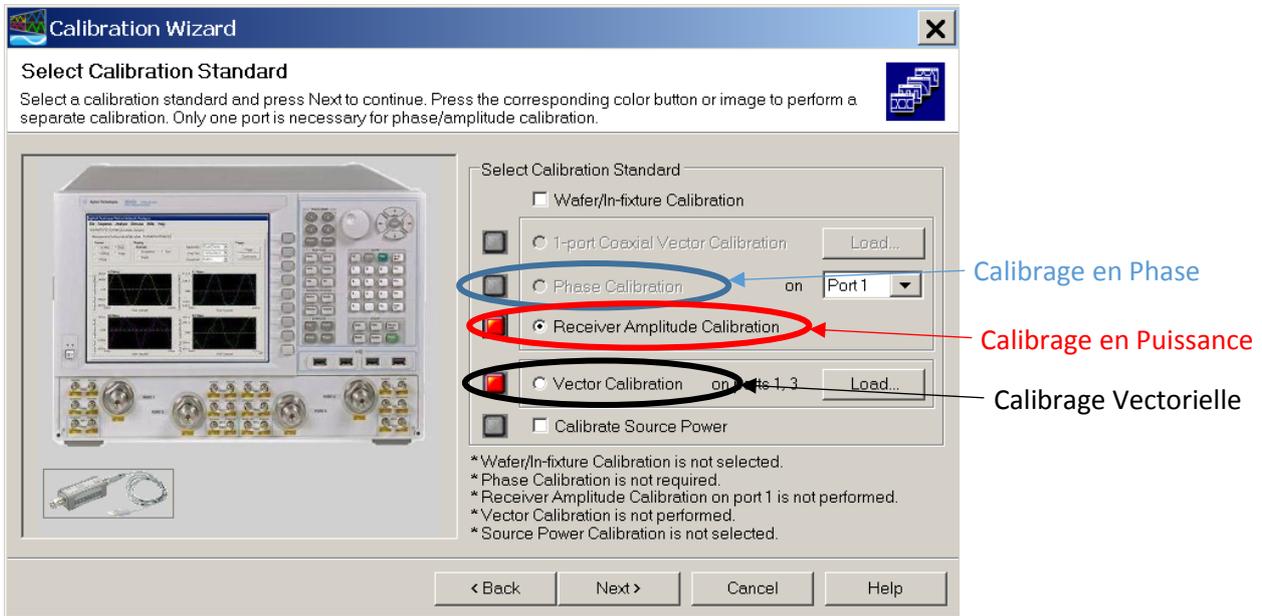


Figure 2.17 : Calibrages disponibles sur le NVNA.

i. Calibrage en puissance

Pour le calibrage en puissance, le « power-meter » coaxial est présenté en sortie du pont de réflectométrie et, comme pour l'étape de caractérisation de l'ensemble « pointe + pont de réflectométrie », une ligne à très faibles pertes est placée entre les pointes coplanaires (cf. Fig.2.18). Le « power-meter », permet de mesurer la puissance de la source de puissance RF du port1. La mesure de l'amplitude de l'onde a_1 qui passe traverse la ligne à très faibles pertes et le « Quad », permet de calibrer en puissance dans le plan des pointes grâce à l'étape de « de-embedding ».

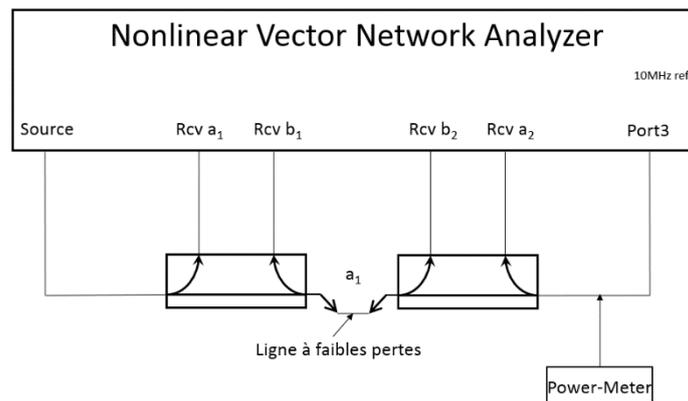


Figure 2.18 : Setup du banc NVNA pour calibrage en puissance.

ii. Calibrage en Phase

Pour le calibrage en phase, le protocole et le setup du banc est identique au cas du calibrage en puissance. Un « Comb Generator » ou référence de phase est utilisé pour calibrer le déphasage entre les harmoniques. La référence de phase délivre un signal riche en harmoniques où les relations de phase entre chaque harmonique sont connues, ce qui permet le calibrage en phase. A noter que cette étape de calibrage n'est pas nécessaire quand il n'y a pas d'harmoniques à mesurer. En effet, pour des mesures à 40 GHz, seule l'harmonique fondamentale est mesurée car les harmoniques au delà de 50 GHz ne sont pas dans la bande de fréquence du NVNA.

iii. Calibrage vectorielle

En mode NVNA, l'utilisation d'un logiciel externe comme WinCal n'est pas possible. Le software disponible dans l'application du NVNA propose uniquement deux types de calibrages : TRL (Thru, Reflect et Line) ou SOLT (Short, Open, Load et Thru). Pour cette étape, le calibrage TRL a été préféré après une étude de précision préalablement effectuée. En effet, ce type de calibrage est plus précis et moins dépendant de la précision du kit de calibrage sous pointes.

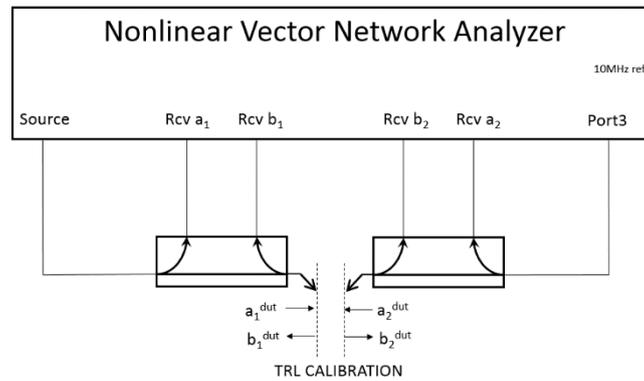


Figure 3.6 : Setup du banc NVNA pour calibrage vectorielle.

V. Conclusion

Dans ce chapitre, il a été décrit le fonctionnement de notre analyseur de réseau non-linéaire ainsi que son rôle très important dans l'étude et la caractérisation de la filière technologique GaN. Le NVNA seul ne permet pas la réalisation de mesures LoadPull qui consistent à venir présenter en sortie du dispositif sous test un éventail d'impédance dans le but de localiser la charge optimale ($\neq 50 \Omega$) et j'ai donc assuré le développement et la mise en œuvre d'un banc, permettant de lever cette limitation.

Pour cela, une optimisation en quatre étapes a été réalisée : le développement de différents types de LoadPull (actif, passif et hybride), dont chacun présente des avantages et des inconvénients, permettant de présenter la charge optimale en sortie du transistor. La mise en place d'un « test set » externe qui assure un meilleur contrôle sur la puissance injectée en entrée du dispositif de test. Le développement des mesures en mode Impulsionnel qui représente l'atout majeur de ce banc LoadPull relativement unique, permettant des mesures LoadPull jusqu'en bande Q de 1 μ s de largeur d'excitation avec un rapport cyclique de 1% éradiquant une très grande partie des effets thermiques et de pièges. Et enfin, l'élaboration d'un logiciel sur Labview afin de pouvoir communiquer et commander l'analyseur de réseau, les SMUs, les générateurs impulsionnels. L'agencement et la semi-automatisation de ce banc par Labview permet d'effectuer des mesures systématiques dans le cadre des campagnes faisant l'objet du chapitre 3.

Au-delà de permettre la caractérisation LoadPull de la technologie GaN, le banc intervient dans le processus de modélisation des composants délivrés par l'IEMN. En effet, dans le cadre de la collaboration entre l'IEMN et ses partenaires, le banc NVNA permet de fournir les éléments essentiels à la modélisation non-linéaire des composants.

Chapitre 3 : Caractérisation Grand Signal de différentes technologies GaN hyperfréquences

I. Introduction

Dans le chapitre précédent, nous avons décrit l'ensemble des optimisations apportées au banc de caractérisation (analyseur de réseau non-linéaire) afin d'effectuer des mesures LoadPull en mode Continuous Wave (CW) et en mode Impulsionnel. En mode CW, le transistor est soumis à une excitation radiofréquence (RF) couplé à une polarisation continue (DC). Dans cette configuration, les performances RF obtenues peuvent souffrir d'effets de pièges et d'effets thermiques. Au contraire, en mode impulsionnel ou mode Pulsé, ces mêmes effets de pièges et thermiques sont très fortement réduits, voire inexistants. Afin de s'affranchir de la majorité de ces effets parasites, une largeur de pulse de 1 μ s avec un rapport cyclique de 1% sont relativement suffisants. Les performances RF obtenues dans ce mode sont représentatives d'un fonctionnement quasi-idéal. La comparaison entre ces deux modes nous permet ainsi d'étudier l'impact des effets de pièges et des effets thermiques sur les performances RF.

Ce chapitre sera focalisé sur la caractérisation de transistors en technologie GaN pour différentes structures et différents substrats réalisés à l'IEMN mais aussi provenant de fonderie industrielle UMS. Les études suivantes seront présentées :

- 1) *Structure AlN/GaN DHFET sur substrat SiC avec une longueur de grille de 120 nm développée à l'IEMN dans le cadre du projet VeGaN.*
- 2) *Etude de la structure dopée Carbone sur substrat SiC avec une longueur de grille de 150 nm développée à l'IEMN dans le cadre du projet Européen EuGaNic.*
- 3) *Etude comparative des structures HEMT dopée Carbone et DHFET sur substrat SiC.*
- 4) *Etude d'une structure HEMT sur substrat SiC avec une longueur de grille de 250 nm correspondant à la filière qualifiée Européenne développée par UMS (United Monolithique Semiconductors) dans le cadre du projet EuGaNic.*
- 5) *Structure DHFET avec un buffer à faible taux d'Aluminium et également dopé Carbone sur substrat SiC avec une longueur de grille de 150 nm développée à l'IEMN dans le cadre du projet LHOM.*

II. Validation du banc NVNA

Avant d'effectuer nos mesures, une étape de validation de notre banc de mesure est nécessaire. Pour cela, nous avons utilisé des mesures LoadPull déjà réalisées sur le banc LSNA en mode CW (seul mode réalisable sur ce banc) comme mesure de référence. Nous avons utilisé le même transistor (technologie GaN sur SiC) en respectant les mêmes conditions de mesures qui avaient été utilisées lors des mesures sur le banc LSNA. Le même point de polarisation a été appliqué ($V_{ds} = 15\text{ V}$; $I_d = 40\text{ mA/mm}$) avec la même impédance de charge $Z_{load}(10\text{ GHz}) = 0.85 \angle 7^\circ$.

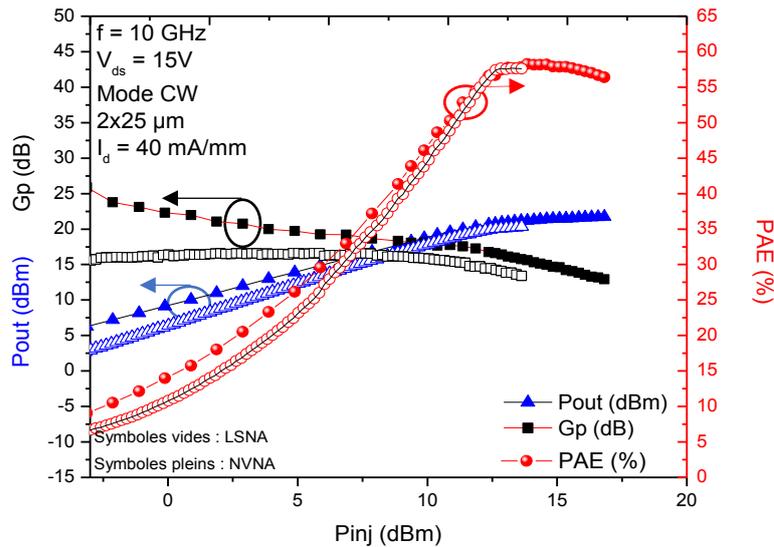


Figure 3.1 : Comparaison entre les mesures LoadPull sur le banc LSNA (symboles vides) et les mesures LoadPull sur le banc NVNA (symboles pleins) @ 10 GHz.

Comme le montre la Fig.3.1, on observe une superposition quasi parfaite entre les mesures LoadPull provenant du banc LSNA et les mesures réalisées sur le banc NVNA. Toutefois, une légère discordance notable est observée au niveau du Gain en puissance qui peut être expliquée par la durée entre les deux campagnes mesures (plusieurs années), l'évolution comportementale de l'échantillon (technologie non-qualifiée) et aussi par une différence notable de l'environnement de mesure (station et pointes différentes...).

III. Etude de différentes structures de transistor en technologie GaN.

1. Etude de la structure AlN/GaN DHFET sur substrat SiC avec une longueur de grille de 120 nm.

Tout l'intérêt du développement du banc NVNA est de pouvoir étudier le comportement non-linéaire de la technologie GaN, mise au point à l'IEMN, en mode CW et en mode Impulsionnel. En étroite collaboration avec la compagnie EpiGaN[90] (fournisseur d'épitaxies), une nouvelle structure DHFET (*Double Hetero-structure Field Effect Transistor*) sur substrat SiC (*Carbure de Silicium*) a été mise au point à l'IEMN (voir Fig.3.2). L'objectif ultime est la démonstration de performance en puissance accrue à 40 GHz et au-delà. Pour ce faire, nous avons adopté la méthodologie suivante :

- Optimisation de l'hétérostructure utilisée dans le cadre de cette étude
- Optimisation du procédé de fabrication associé ainsi que de la topologie des transistors élémentaires

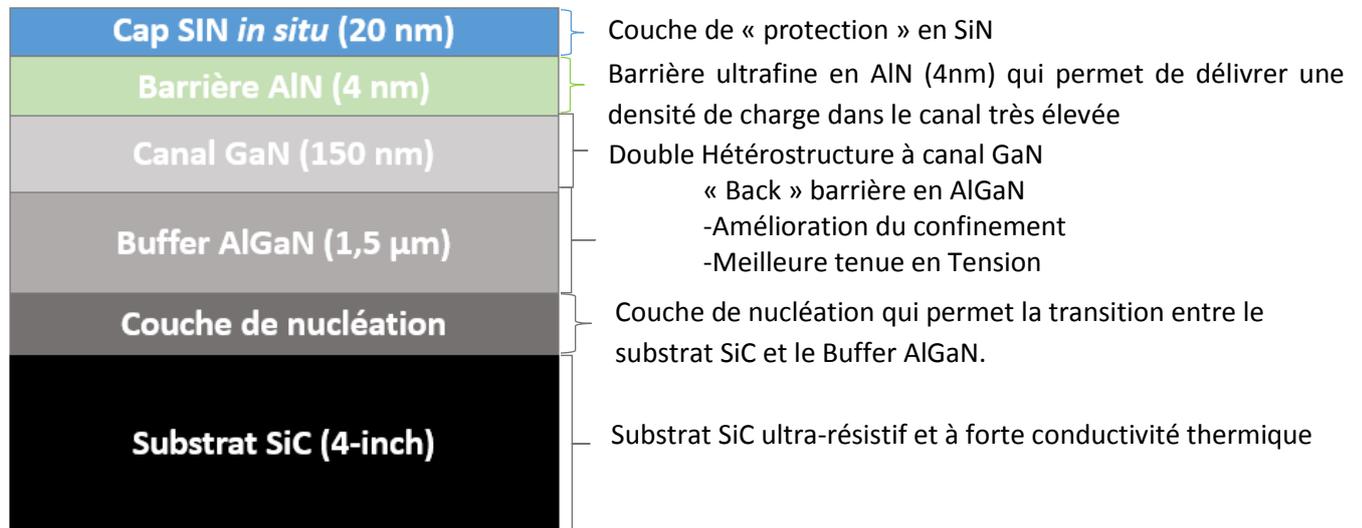


Figure 3.2 : Structure simplifiée du DHFET.

Ce type de structure a été élaboré pour concevoir des transistors pouvant fonctionner dans la gamme millimétrique à de fortes tensions de drain. Le développement d'une hétérostructure basée sur une barrière ultrafine en AlN permet également de délivrer une densité de charge dans le canal extrêmement élevée avec une épaisseur de barrière de seulement de 4 nm. La couche de nucléation fait office de couche de transition entre le substrat SiC et le buffer AlGaN. L'implémentation d'une couche SiN dont la croissance est réalisée *in-situ* dans le bâti MOCVD (Metal Organic Chemical Vapor Deposition) permet non seulement de protéger la surface de toute oxydation/contamination éventuelle lors du procédé de fabrication mais aussi de « passiver » les charges de surfaces. C'est notamment cette passivation qui permet d'endiguer l'apparition de charges parasites et de réduire considérablement les effets de pièges, augmentant ainsi la robustesse des composants. La longueur de grille (L_g) est un paramètre qui a un impact direct sur la fréquence de fonctionnement du transistor. Plus la grille est courte plus la fréquence de fonctionnement est élevée, en effet la longueur de grille joue directement sur la capacité C_{gs} et le G_m et donc la fréquence de coupure. C'est pourquoi, une grille

courte de 120 nm a été implémentée afin de pouvoir observer des performances RF à 40 GHz élevées comme le montre le tableau Figure 3.3.

i. Caractérisation « petit signal » de la structure DHFET

Avant l'étude non-linéaire de notre structure, des études DC et paramètres S ont été réalisées.

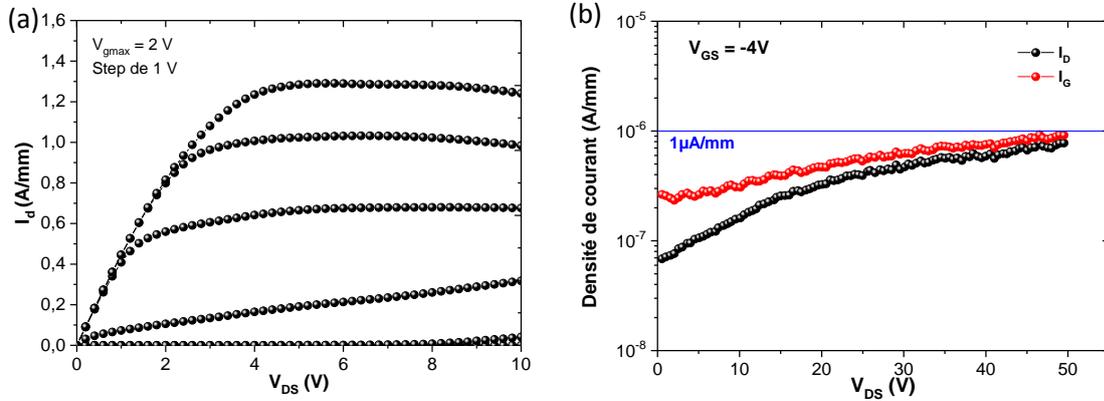


Figure 3.3 : Caractéristique $I_d (V_{ds})$ normalisée (a) et courants de fuite I_g et I_d à l'état off jusqu'à $V_{ds} = 50$ V d'un transistor $0.12 \times 50 \mu\text{m}$ en structure DHFET.

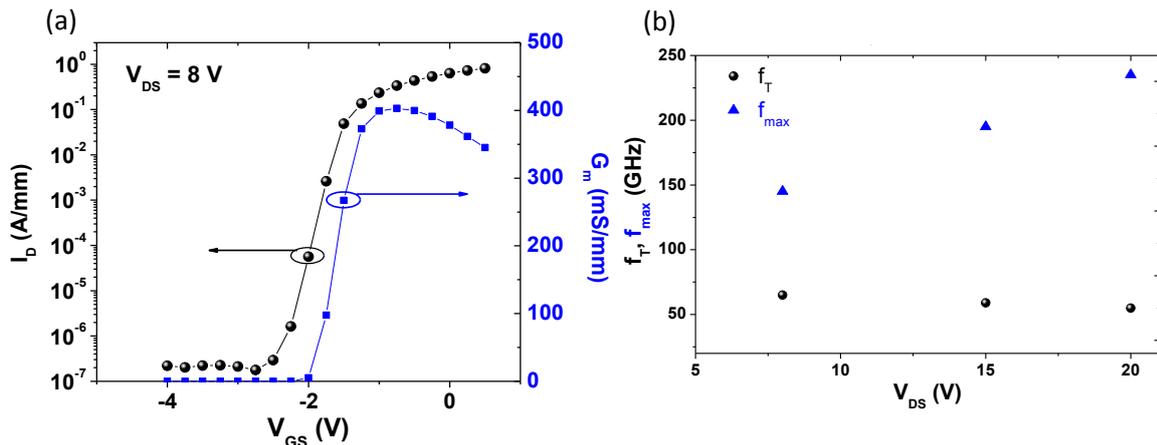


Figure 3.4 : Caractéristique $I_d (V_{gs})$ et transconductance (G_m) normalisées (a) et fréquences de coupure F_t et F_{max} d'un transistor $0.12 \times 50 \mu\text{m}$ en structure DHFET.

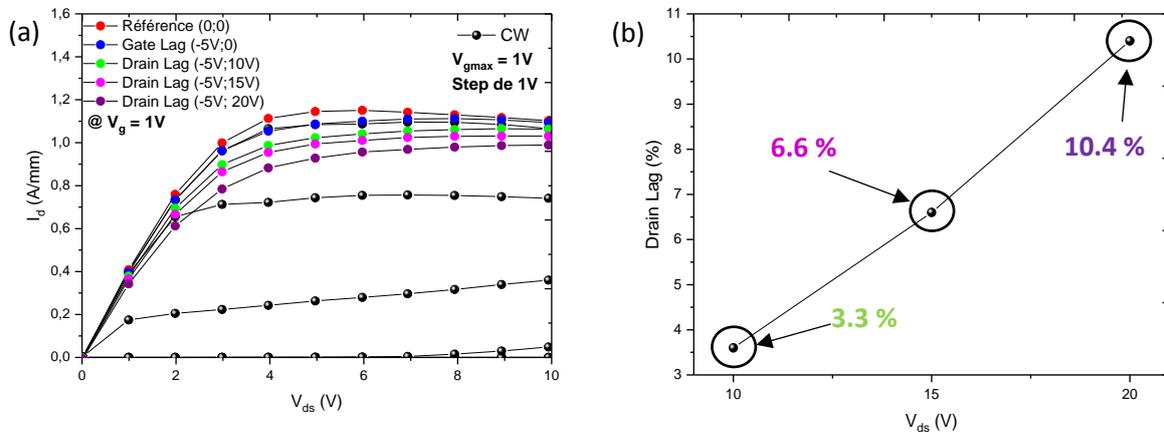


Figure 3.5 : Caractéristique $I_d (V_{ds})$ normalisée et mesures en mode DC Impulsionnel à $V_g = +1\text{V}$ (a) et taux de « Drain Lag » en fonction de $V_{ds,Q}$ (10V, 15V et 20V).

Au regard de la Fig.3.3, on constate que cette structure DHFET (barrière AlN de 4nm) sur SiC permet d'atteindre une densité de courant de drain maximum de **1.3 A/mm** avec un courant de fuite inférieur à **1 μ A/mm** jusqu'à 50 V, ce qui met en exergue, l'intérêt de cette double hétérostructure AlN/GaN/AlGaIn et de la barrière AlN. Une transconductance de **400 mS/mm** est obtenue pour une tension $V_{ds} = 8V$ mettant en évidence la faible distance grille-canal associée à une forte densité de porteurs. La longueur de grille de 120 nm associé à un rapport d'aspect favorable (barrière ultrafine de 4 nm) permet d'obtenir des fréquences de coupure f_{max} de **235 GHz** et f_T de **55 GHz** pour une tension de drain V_{ds} de 20 V (voir Fig.3.4). Ces performances permettent d'entreprendre des caractérisations non-linéaires en gamme d'onde millimétrique (> 30 GHz) avec un gain important. Il est intéressant de remarquer le rapport F_{max}/F_T élevé de l'ordre de 4, ce qui n'est pas atteignable avec des structures AlGaIn/GaN standards. Ce résultat est attribué au rapport d'aspect (longueur de grille/distance grille-canal) très favorable ainsi qu'à la topologie de grille présentant un « chapeau » à plus de 250 nm de hauteur minimisant les capacités parasites. Pour les mesures DC Impulsionnelles (voir Fig.3.5), les mêmes conditions employées pour les mesures LoadPull sont utilisées avec un pulse d'excitation de 1 μ s associé à un rapport cyclique de 1%. Peu d'effets de pièges et d'effets thermiques sont observés jusqu'à $V_{DS} = 20 V$. Toutefois, un « Drain Lag » (effets de pièges se situant entre la grille et le drain) non-négligeable est constaté et quantifié (voir Fig.3.6 b). On remarque une évolution linéaire en fonction de la tension de repos $V_{ds,Q}$, même si l'impact reste limité (< 11%).

ii. *Caractérisation grand signal de la structure DHFET.*

Le but de la caractérisation grand signal est une étude comportementale de la structure DHFET sur substrat SiC à l'aide de mesures LoadPull en mode impulsionnel et CW à 40 GHz. En plus des performances RF, plusieurs critères peuvent être étudiés : la robustesse (dégradation du transistor en fonction de la tension de drain appliquée en régime dynamique), l'impact des effets de pièges et des effets thermiques.

Les mesures LoadPull sont effectuées pour plusieurs V_{ds} en régime CW et impulsionnel à courant de drain I_d fixe. La robustesse est évaluée au travers de la dégradation du courant de grille en fonction de la tension de drain appliquée. En effet, entre chaque mesure LoadPull (en impulsionnel et en CW), le courant de grille est mesuré au pincement afin de vérifier l'intégrité du transistor. Si une dégradation est observée ($I_g > \sim 100 \mu A$) alors la tension de drain V_{ds} de la dernière mesure LoadPull définit la tension de rupture du transistor. La dégradation observée est directement liée aux effets thermiques générés par une température de jonction trop importante. Cela se répercute par une dégradation de la couche de barrière sous la grille induisant un phénomène d'effet tunnel sous fort champ électrique. Malgré la forte conductivité thermique du substrat SiC, une conduction parasite se crée donc entre la grille et le canal GaN à travers la barrière AlN dû à une mauvaise dissipation thermique des couches tampons en AlGaIn générant une résistance thermique très élevée. Cette dégradation du courant de fuite de grille par effet tunnel est irréversible.

L'impact des effets de pièges et des effets thermiques de notre structure sont étudiés au travers de la comparaison des performances en puissance entre le mode CW et le mode Impulsionnel. En effet, avec une largeur de pulse de 1 μ s qui permet de s'affranchir de la majorité des effets de pièges et un rapport cyclique de 1% qui réduit fortement les effets thermiques, le mode Impulsionnel permet

une caractérisation optimale des performances RF de notre structure, ce qui en fait le mode de « référence ». Et c'est donc, la comparaison entre les deux modes (CW et Impulsionnel) qui permet de quantifier les effets de pièges et thermiques sous différentes conditions de polarisation spécifiques. Pour ce faire, une comparaison cohérente entre le mode CW et le mode impulsionnel doit être respecté. Il est indispensable de garder les mêmes conditions de mesures pour les deux régimes. Dans le cadre de notre étude, les mesures avaient pour but d'atteindre la PAE maximale, c'est pourquoi, pour les deux modes, le point de polarisation et la charge optimale présentée en sortie du transistor ont été choisis à cet effet. Une classe AB profond a été utilisée dans les deux cas afin de favoriser également le rendement PAE des composants. Il faut tout de même noter que la même charge optimale ne peut être présentée dans les deux régimes. La charge optimale permettant d'atteindre la PAE maximale d'un mode n'est pas forcément la même pour l'autre mode. Selon l'impact des effets des pièges et de la thermique, les paramètres S d'un transistor en mode CW et en mode Impulsionnel peuvent différer, comme le montre la Fig.3.6.

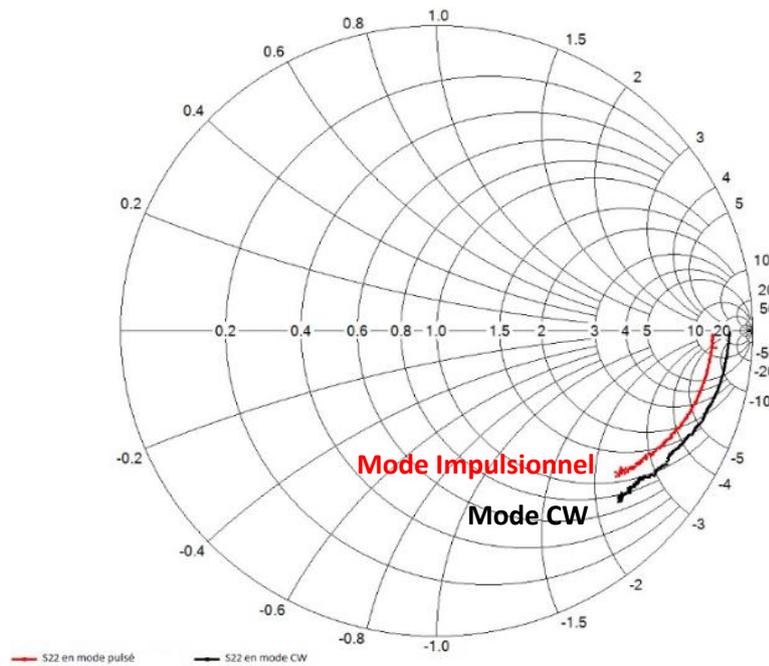


Figure 3.6 : Paramètre S_{22} pour le même point de polarisation ($V_{gs} = -2.6 \text{ mA}$; $V_{ds} = 10 \text{ V}$) en mode Impulsionnel (rouge) et en mode CW (noir).

Même si l'étude en paramètres S (CW et Impulsionnel), nous donne une forte indication sur la zone de l'abaque de Smith où se trouve l'impédance optimale pour une adaptation en PAE par le biais du paramètre S_{22} , une étude complète en mesure LoadPull doit être réalisée dans les deux modes. Dans le but d'obtenir l'impédance optimale pour une adaptation en PAE, plusieurs impédances sont donc présentées en sortie du dispositif de test en prenant comme impédance de départ $Z_{Load} = S_{22}^*$ (S_{22} conjugué) et par dichotomie, l'impédance optimale est ainsi déterminée.

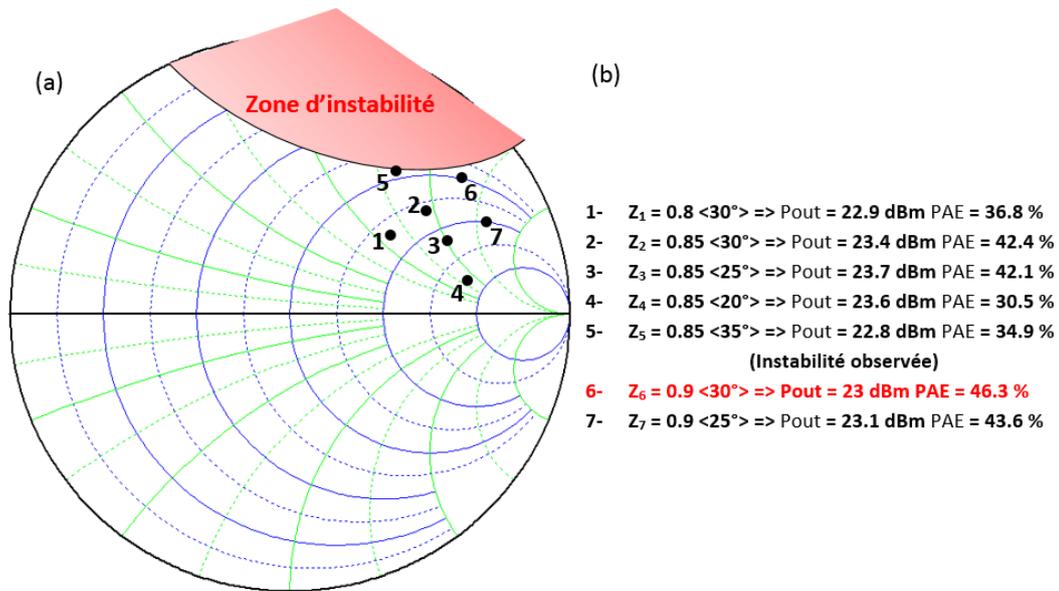


Figure 3.7 : Cartographie des impédances présentées en sortie d'un transistor DHFET 2x25 μm en mode CW à 40 GHz pour une tension V_{ds} de 20 V + zone d'instabilité à 40 GHz (a) et les puissances de sortie (puissance mesurée au maximum de PAE) et la PAE associée (b).

Comme le montre la Fig.3.7, plusieurs impédances ont été présentées en sortie de notre transistor DHFET. Z_1 ($0.8 \langle 30^\circ \rangle$) représente le paramètre S_{22} conjugué, mesuré lors de l'étude petit signal. Il est donc utilisé comme impédance de départ. La Fig.3.7 nous montre aussi la zone d'instabilité du transistor à 40 GHz. Grâce à l'outil ADS (Advanced Design System) et aux paramètres S du transistor, la zone d'instabilité peut être prédéterminée. Cette zone peut présenter des risques pour l'intégrité du transistor. En effet, dans cette zone le transistor peut subir des oscillations et donc potentiellement être détruit. C'est pourquoi, il est impératif de prédéterminer cette zone d'instabilité avant de commencer les mesures LoadPull.

Après une recherche dichotomique de l'impédance optimale, c'est donc en $Z_6 = 0.9 \langle 30^\circ \rangle$ que la PAE maximale est localisée avec une valeur de **46.3 %** associée à **une puissance de saturation de 4.5 W/mm** (23.6 dBm) à **40 GHz** pour une tension de drain de V_{ds} de **20 V** (voir Fig.3.8 (a)). Cette valeur de PAE représente une performance RF à l'état de l'art pour une technologie GaN sur substrat SiC, comme le montre le benchmark de la Fig.3.9[4]. La Fig.3.8 (b), nous montre la mesure en puissance en mode Impulsionnel de notre structure DHFET pour une tension de drain $V_{ds} = 25 \text{ V}$. Une densité de puissance de saturation de **6.1 W/mm** est obtenue avec une PAE associée de **35 %**. Cette densité de puissance obtenue représente également une performance à l'état de l'art pour une barrière de moins de 10 nm d'épaisseur. Ces performances mettent en évidence l'intérêt de cette double hétérostructure AlGaIn/GaN et reflète le bénéfice du « Cap Layer » en SiN permettant de minimiser les effets parasites en régime dynamique.

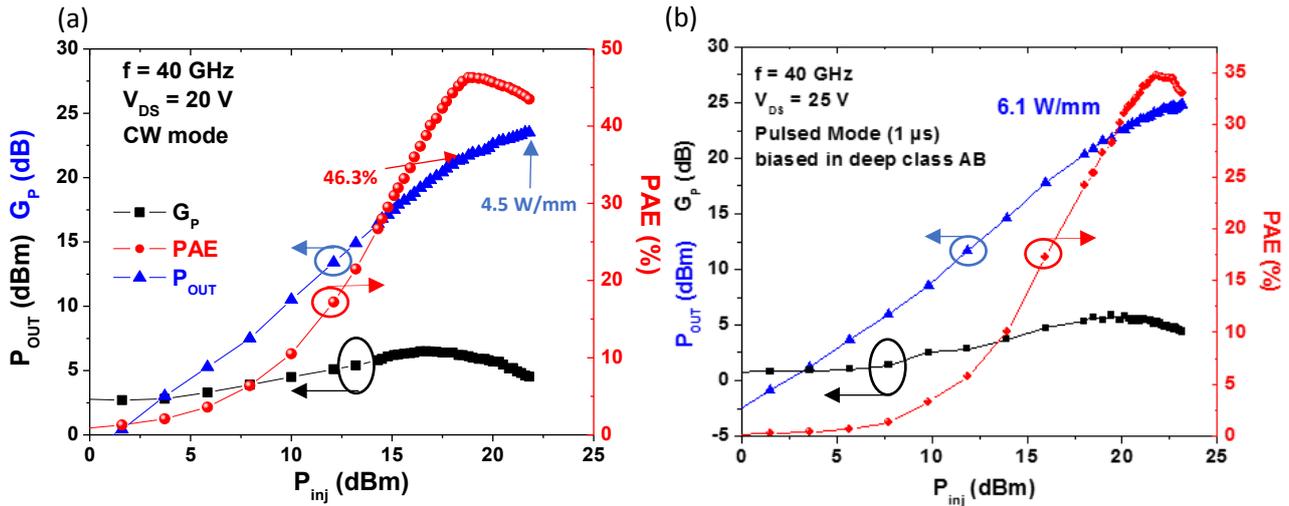


Figure 3.8 : Mesure de puissance d'un transistor DHFET 2x25 μm à 40 GHz en mode CW pour une tension de drain $V_{ds} = 20$ V (a) et en mode Impulsionnel pour une tension de drain $V_{ds} = 25$ V (b).

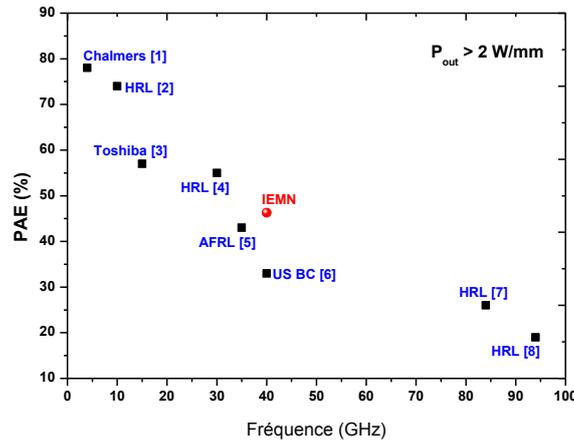


Figure 3.9 : Etat de l'art du rendement PAE en fonction de la fréquence pour les transistors à base de GaN.

Les mesures LoadPull en mode CW ont été menées jusqu'à une tension de drain de 20 V (voir Fig.3.10). Dans cette configuration, le transistor subi de façon continu l'excitation DC et RF. A $V_{DS} = 20$ V, un courant de grille très élevé de plus de 10 mA/mm est observé au pincement ($V_{gs} = -5$ V ; $V_{ds} = 10$ V) au bout de sept mesures LoadPull, ce qui nous amène à considérer le transistor comme détruit. Cela s'explique, comme mentionné précédemment, par la conséquence des effets de la thermique sur la grille et donc la création d'une conduction parasite par effet tunnel entre la grille et le canal GaN à travers la barrière AlN. A noter qu'en mode CW, une mesure LoadPull dure en moyenne 10 minutes. Dans ces conditions (environ une heure de mesure continue pour un point de polarisation), nous pouvons considérer ces mesures comme un test de robustesse pertinent au vue de ce que subi le transistor. En mode Impulsionnel, les mesures LoadPull ont été menées jusqu'à une tension de drain $V_{ds} = 30$ V. Avec un rapport cyclique de 1 % et une période d'excitation de 100 μs, le mode impulsionnel permet de s'affranchir de problème éventuel de dissipation thermique tout en minimisant fortement les effets de pièges. L'arrêt des mesures à $V_{ds} = 30$ V n'est pas dû à une dégradation du courant de fuite dans la grille. Comme montré sur la Fig. 3.10 (a), en mode impulsionnel aucune dégradation n'est

observée. Jusqu'à $V_{ds} = 30$ V, le courant de grille au pincement reste de l'ordre de $1 \mu\text{A}/\text{mm}$. L'arrêt des mesures LoadPull à $V_{ds} = 30$ V est dû à l'observation de la saturation de la densité de puissance de sortie du transistor (voir Fig. 3.11 (b)). A $V_{ds} = 25$ V, une densité de puissance de 6.1 W/mm est observée contre 6.2 W/mm à $V_{ds} = 30$ V. L'augmentation la tension de polarisation ne permettrait plus d'observer une évolution significative de la densité de puissance.

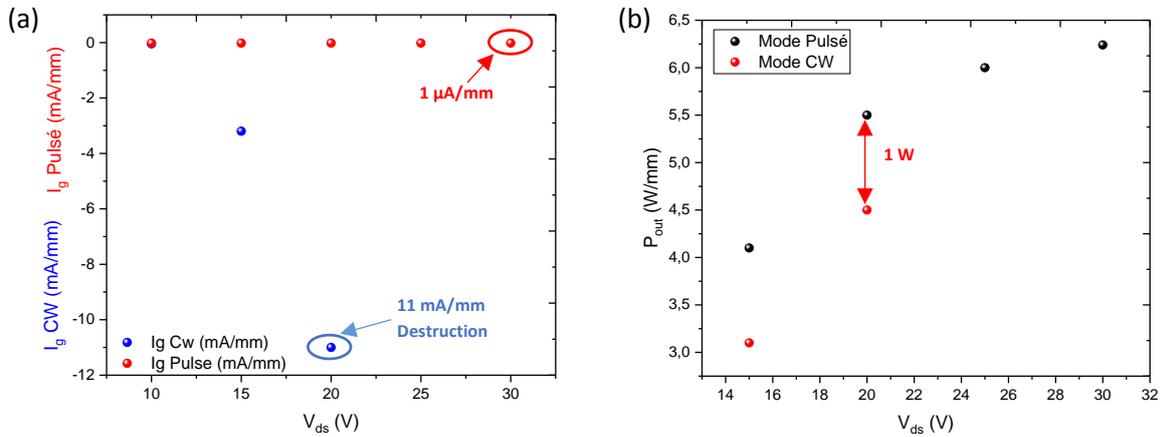


Figure 3.10 : Densité de courant de grille I_g en mA/mm mesurée au pincement entre chaque mesure LoadPull en fonction de V_{ds} (a) et évolution de la puissance de sortie en mode CW (rouge) et en mode Impulsionnel (noir) en fonction de V_{ds} .

iii. *Bilan*

Dans cette étude de la double hétérostructure AlN/AlGaN/GaN, les caractérisations DC et petit signal montrent une densité de courant maximal de **1.3 A/mm** pour une tension de grille $V_{gs} = +2$ V. Des performances fréquentielles avec une longueur de grille de **120 nm**, F_{max} de **235 GHz** et F_t de 55 GHz ont été obtenues, mettant en relief l'avantage d'une barrière ultramince (< 10 nm). L'étude DC Impulsionnel, quant à elle, a mis en évidence l'intérêt du « Cap Layer » SiN de 20 nm en montrant peu d'effets de pièges illustrés par un « Gate Lag » (effets de pièges se situant sous la grille uniquement) quasi inexistant et un niveau de « Drain Lag » faible de l'ordre de 10 % à 20 V.

En régime grand signal, un rendement PAE, à l'état de l'art, de **46.3 %** à 40 GHz pour une tension de 20 V a été obtenu sur cette double hétérostructure. Cette étude a fait aussi ressortir, les deux principaux atouts que représentent les mesures LoadPull en mode Impulsionnel. D'une part, la possibilité d'observer tout le potentiel de la structure par l'utilisation de tensions de drain plus importantes pour 30 V en mode Impulsionnel sans dégrader le transistor ($I_g = 1 \mu\text{A/mm}$). Cela nous a notamment permis d'obtenir d'une part, une densité de puissance de **6.2 W/mm** à 40 GHz pour une tension de 30V et d'autre part, de quantifier en conditions réelles les effets néfastes de pièges et de thermiques. Pour l'illustrer, on note qu'à même tension de drain ($V_{ds} = 20$ V), les puissances de sortie mesurées dans les deux modes ne sont pas identiques. Effectivement, une puissance de saturation de 4.5 W/mm en mode CW est mesurée pour une puissance de saturation de 5.5 W/mm en mode Impulsionnel. Une différence de 20% est observée entre les deux régimes due aux effets de pièges et surtout aux effets thermiques comme nous le verrons par la suite.

2. Etude de la structure dopée Carbone sur substrat SiC avec une longueur de grille de 150 nm.

Nous présenterons dans cette partie, une nouvelle structure HEMT dopée Carbone. Le choix du remplacement de la « back barrière » en AlGaN par un dopage Carbone a été motivé pour deux raisons :

1. Le buffer GaN à dopage Carbone ne génère de déplétion du canal (contrairement au buffer AlGaN) et offre ainsi une densité de charge plus élevée laissant espérer des performances accrues.
2. Ce type de dopage ne dégrade pas la dissipation thermique à l'inverse de la couche tampon en AlGaN présente dans la structure DHFET, ce qui laisse espérer une meilleure tenue en température et donc une robustesse améliorée sous fort champ électrique.

Une structure HEMT (*High Electron Mobility Transistor*) comprenant une couche tampon GaN de 1 μm dopée Carbone sur substrat SiC a donc été développée en collaboration avec notre partenaire EpiGaN. La couche tampon d'AlGaN de 1.5 μm a ainsi été remplacée par une couche GaN dopée Carbone de 1 μm . En conséquence, une densité de charge de $1.8 \times 10^{13} \text{ cm}^{-2}$ est atteinte (contre $1.6 \times 10^{13} \text{ cm}^{-2}$ pour la structure DHFET) avec une mobilité des électrons de $1100 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. La structure HEMT dopée Carbone présente un cap SiN in situ de 10 nm (20 nm pour la DHFET).

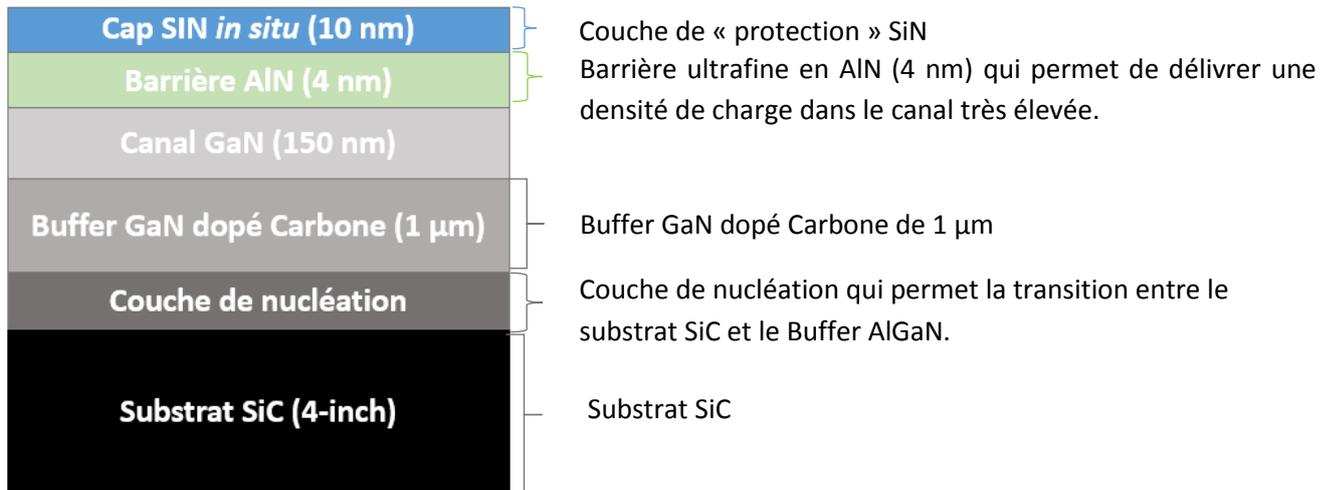


Figure 3.11 : Schéma simplifiée de la structure HEMT dopé carbone.

i. Caractérisation « petit signal » de la structure HEMT dopée Carbone.

Nous présentons ci-dessous une photo MEB (Microscopie Electronique à Balayage) de la grille ainsi que les caractéristiques d'un transistor de type HEMT dopée Carbone pour un transistor 2x25 μm .

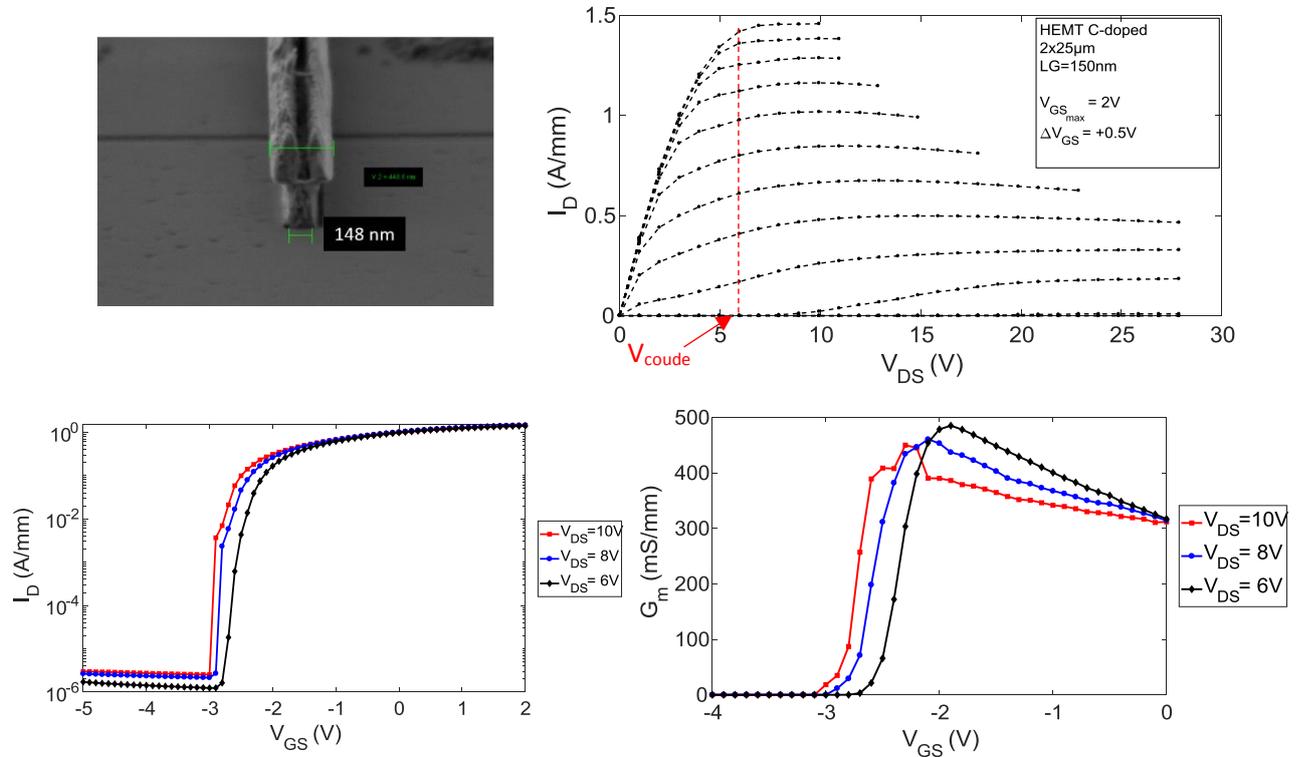


Figure 3.12 : Photo MEB de la grille, caractéristique $I_d(V_{ds})$ normalisée, caractéristique $I_d(V_{gs})$ normalisée et transconductance G_m normalisée d'un transistor HEMT 0.15x50 μm .

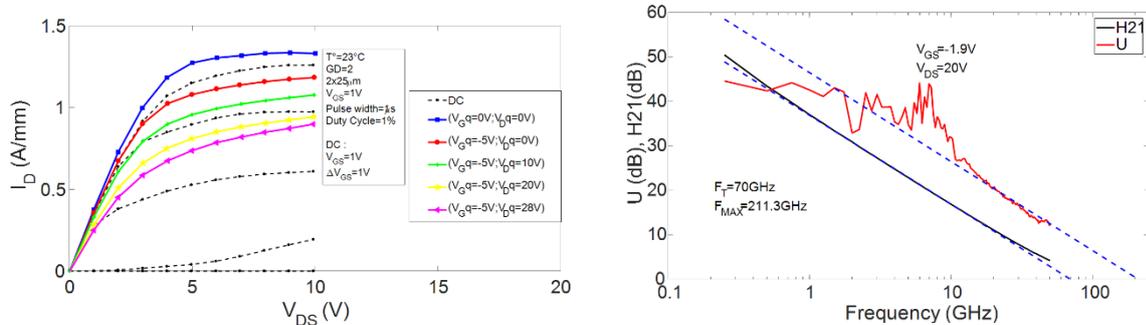


Figure 3.13 : Caractéristiques $I_d(V_d)$ DC Impulsionnelles (a) et caractéristiques fréquentielles F_t et F_{max} d'un transistor HEMT 0.15x50 μm (b).

La densité de charge très élevée ($1.8 \times 10^{13} \text{ cm}^{-2}$) sur la structure HEMT dopée Carbone se reflète sur le courant de drain avoisinant **1.5 A/mm** (voir Fig.3.13), associé à une transconductance de **500 mS/mm** à $V_{ds} = 6\text{V}$ et au-delà de **450 mS/mm à 10V**. Cela représente une amélioration notable par rapport à la structure DHFET qui présentait un courant de saturation de 1.3 A/mm pour une transconductance associée de 400 mS/mm. Par ailleurs, les caractéristiques $I_d(V_{ds})$ nous montrent un niveau de courant fuite inférieur à **0.01 mA/mm** jusqu'à $V_{DS} = 28\text{V}$, ce qui prouve qu'un très bon confinement peut être obtenu par l'utilisation d'une compensation par dopage distribuée de manière

appropriée. Des fréquences de coupure f_T de **70 GHz** pour un F_{max} de **211 GHz** sont atteintes, mettant en évidence un ratio F_{max}/f_T proche de **4**. Ces performances « petit signal » peuvent être expliquées par l'utilisation d'une barrière AlN ultra fine (4nm) associée à une densité de charge et une transconductance très élevées. Les caractéristiques $I_d(V_{ds})$ DC Impulsionnelles laissent apparaître des effets de pièges et thermiques non négligeable dès 10V illustrée par un « Gate lag » et « Drain lag » prononcés en fonction de la tension de $V_{ds,Q}$. A ce stade, il n'est pas encore possible d'attribuer ces effets parasites à l'épitaxie ou au procédé de fabrication qui pourrait encore être optimisé.

Finalement les cartographies montrées Figure 3.14 sur quelques dizaines de composants du courant à canal ouvert ($V_{GS} = +2V$), du pic de transconductance et du courant de fuite à l'état off ($V_{GS} = -5 V$) qui sont pour l'ensemble relativement uniforme montrant le potentiel en terme de reproductibilité de cette technologie.

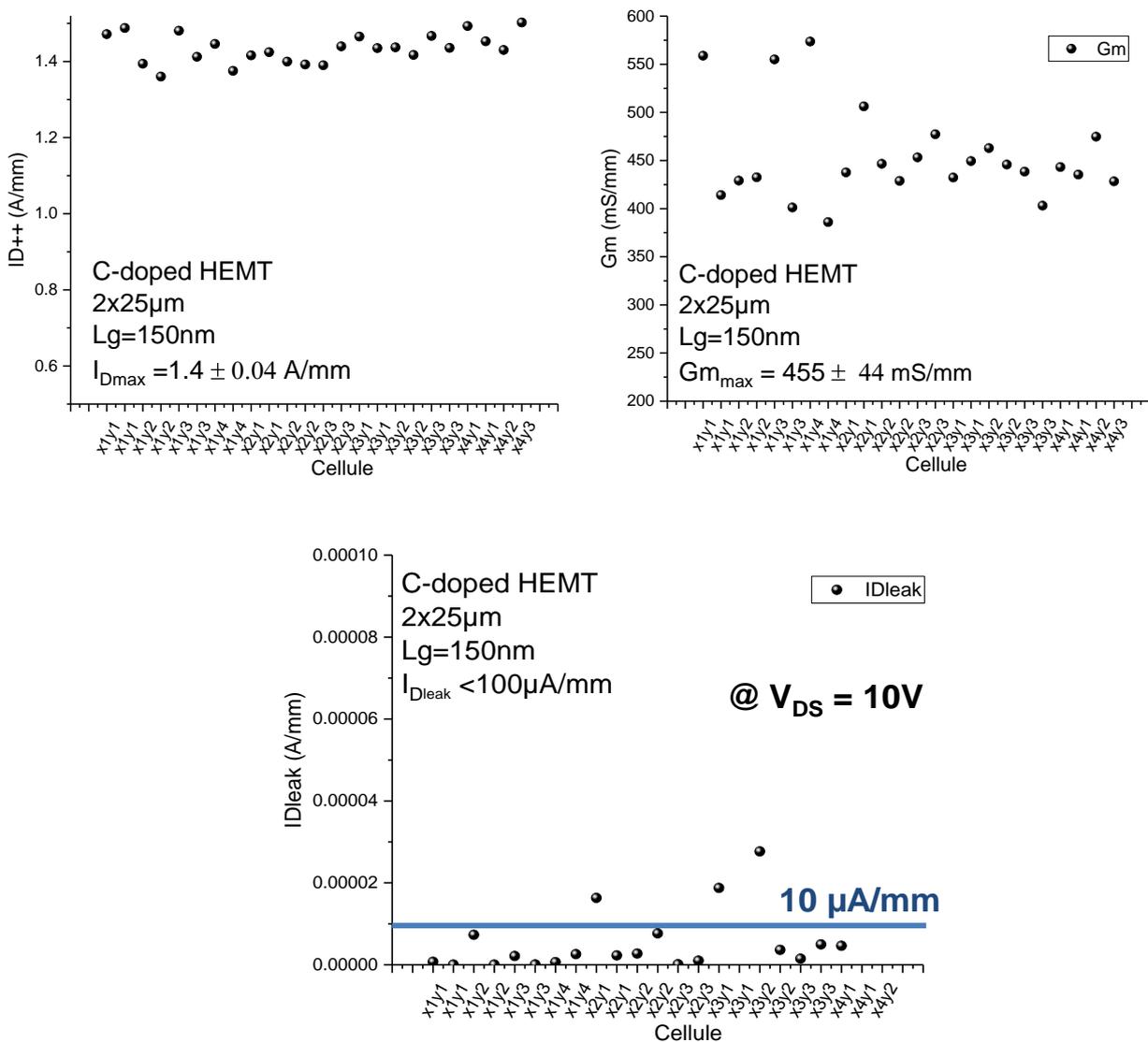


Figure 3.14 : Cartographie du courant à canal ouvert ($V_{GS} = +2V$), du pic de transconductance et du courant de fuite à l'état off ($V_{GS} = -5 V$).

ii. **Caractérisation « grand signal » de la structure HEMT dopée Carbone.**

Le but de cette étude est de caractériser le comportement de la structure HEMT dopée Carbone à une fréquence d'opération de 40 GHz. Une comparaison entre le mode CW et le mode Impulsionnel sera effectuée afin d'étudier l'impact des pièges et des effets thermiques sur les performances RF de notre structure. Le protocole de caractérisation « grand signal » reste exactement le même que pour l'étude précédente. Une étude en fonction de la tension de drain V_{ds} a été réalisée afin de quantifier la robustesse et les performances RF de cette structure HEMT spécifique. Cependant, même si l'on conserve un point de polarisation correspondant à une classe AB profonde, l'adaptation LoadPull n'aura pas pour but d'atteindre uniquement la PAE maximale. En effet, pour la suite de cette étude, une adaptation en puissance sera privilégiée pour évaluer le potentiel en densité de puissance de ce type de structure.

• **Etude à 40 GHz en mode CW**

L'étude à 40 GHz présentée ci-dessous a été effectuée pour une tension de drain de 10V jusqu'à 30V en mode CW.

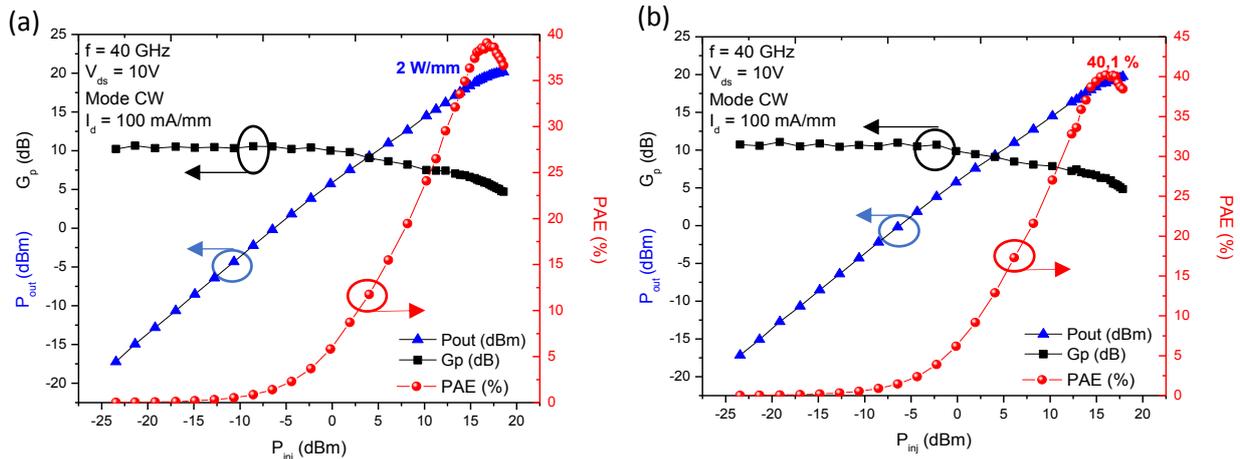


Figure 3.15 : Mesure de puissance en mode CW d'un transistor HEMT $2 \times 25 \mu\text{m}$ à 40 GHz pour une tension de drain $V_{ds} = 10 \text{ V}$ favorisant une adaptation en puissance (a) et une adaptation en PAE (b).

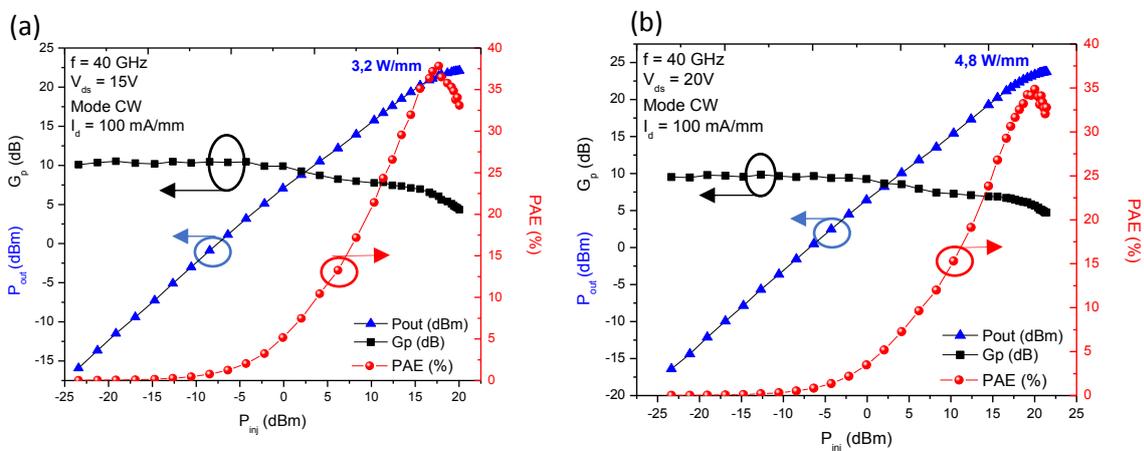


Figure 3.16 : Mesure de puissance en mode CW d'un transistor HEMT $2 \times 25 \mu\text{m}$ à 40 GHz pour une tension de drain $V_{ds} = 15 \text{ V}$ (a) et pour $V_{ds} = 20 \text{ V}$ (b).

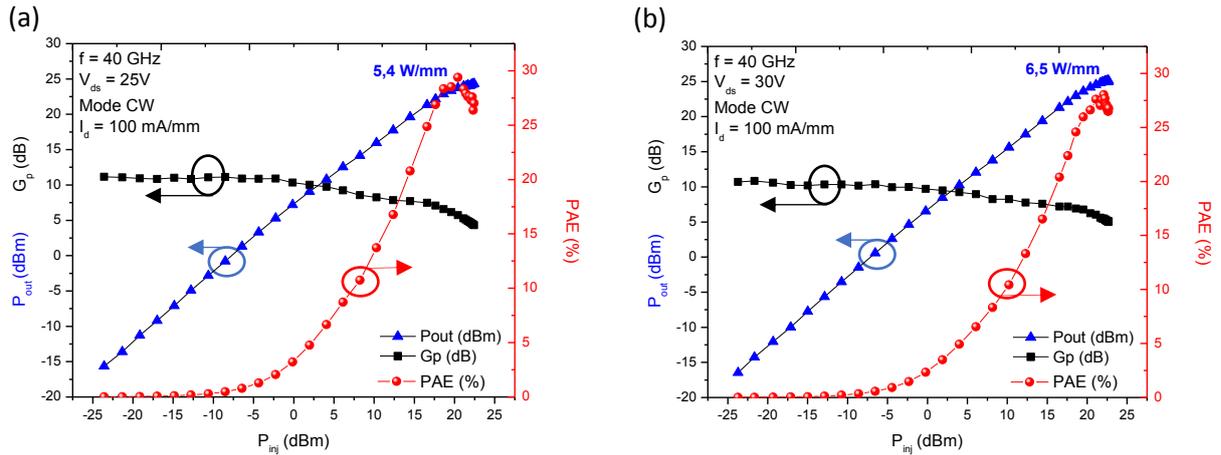


Figure 3.17 : Mesure de puissance en mode CW d'un transistor HEMT $2 \times 25 \mu m$ à 40 GHz pour une tension de drain $V_{ds} = 25 V$ (a) et pour $V_{ds} = 30 V$ (b).

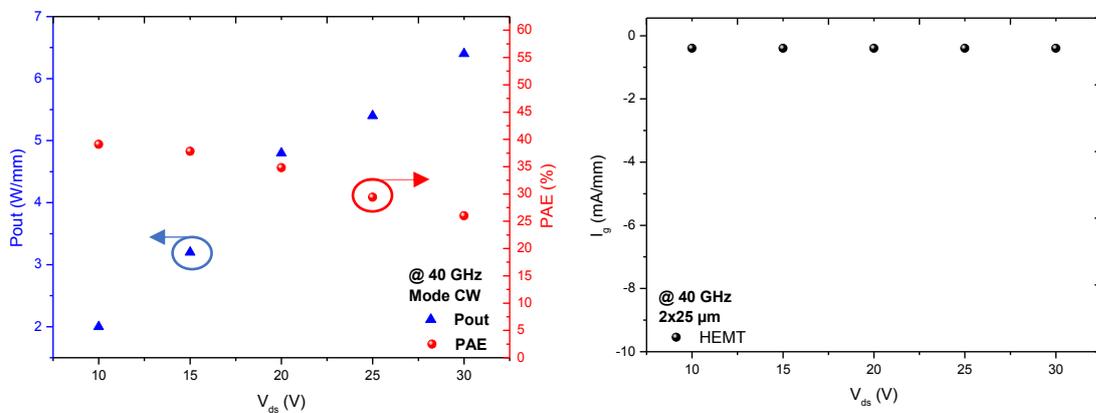


Figure 3.18 : Evolution de la densité de puissance (bleu) et de la PAE (rouge) en fonction de V_{ds} à 40 GHz pour une adaptation LoadPull en puissance (a) et Courant de grille I_g en mA/mm mesurée au pincement entre chaque mesure LoadPull en fonction de V_{ds} (b).

Les mesures de la Fig.3.15, nous montrent la même mesure LoadPull ($V_{ds} = 10 V$) pour deux adaptations différentes. En effet, la mesure de la Fig.3.15 (a) est obtenue pour une impédance $Z_{load1} = 0.7 \angle 40^\circ$ et présente une densité de puissance de **2 W/mm** associée à une PAE de **39.1%**. Alors que la mesure de la Fig.3.15 (b) est obtenue pour une impédance $Z_{load2} = 0.8 \angle 40^\circ$ et présente une densité de puissance de **1.8 W/mm** pour une PAE associée qui atteint **40.1%**. Avec une densité de puissance de 2.2 W/mm pour une tension de V_{ds} de 10V, l'impédance Z_{load1} représente donc l'adaptation de puissance et Z_{load2} représente l'adaptation en PAE. Les figures 3.16 et 3.17 représentent les mesures LoadPull pour une adaptation en puissance et des tensions de drain de 15V, 20V, 25V et 30V. L'évolution de la densité de puissance et de la PAE en fonction de la tension V_{ds} est représentée sur la Fig.3.18. On remarque que l'évolution de la densité de puissance est totalement linéaire avec un pic de puissance de **6.5 W/mm** pour une PAE associée de **26%** à $V_{ds} = 30V$. Au même moment, la PAE subit une légère décroissance en fonction de V_{ds} tout en conservant une valeur de 26% à 30 V. En termes de robustesse, la structure HEMT dopée Carbone, avec une densité de courant très inférieure à 1 mA/mm jusqu'à 30V (voir Fig.3.18 (b)) met en évidence une robustesse fortement améliorée. Ce

courant de grille I_g faible jusqu'à 30V illustre un très bon confinement des électrons et une absence de conduction parasite liée au procédé de fabrication ou aux matériaux épitaxiaux.

- **Etude à 40 GHz en mode Impulsionnel**

Toujours dans le but de conserver une comparaison cohérente, la même classe de fonctionnement et le même type d'adaptation (adaptation en puissance) ont été utilisés pour le mode Impulsionnel.

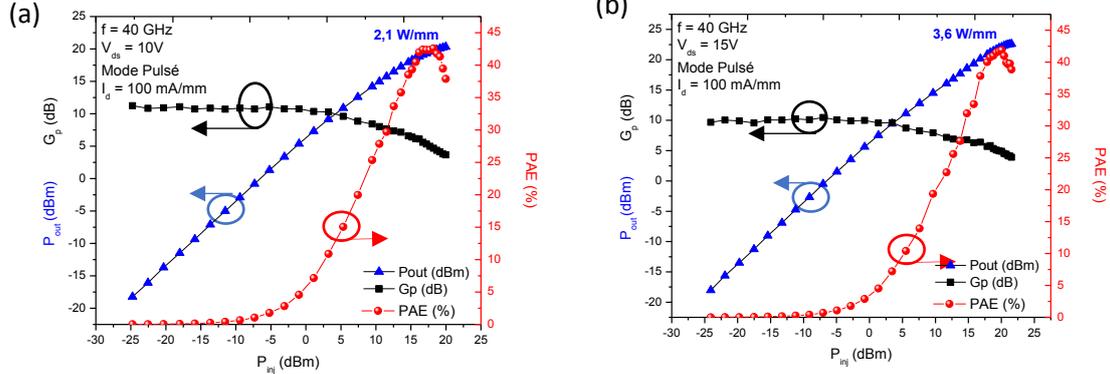


Figure 3.19 : Mesure de puissance en mode Impulsionnel d'un transistor HEMT 2x25 μm à 40 GHz pour une tension de drain $V_{ds} = 10V$ (a) et pour $V_{ds} = 15V$ (b).

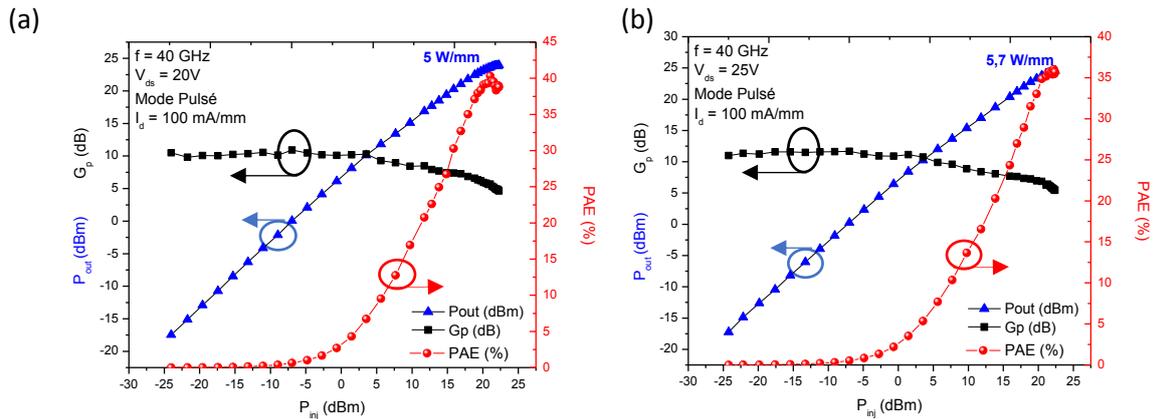


Figure 3.20 : Mesure de puissance en mode Impulsionnel d'un transistor HEMT 2x25 μm à 40 GHz pour une tension de drain $V_{ds} = 20V$ (a) et pour $V_{ds} = 25V$ (b)

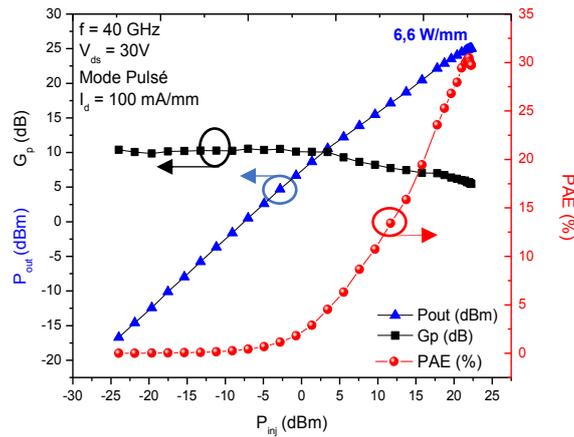


Figure 3.21 : Mesure de puissance en mode Impulsionnel d'un transistor HEMT $2 \times 25 \mu\text{m}$ à 18 GHz pour une tension de drain $V_{ds} = 30$ V.

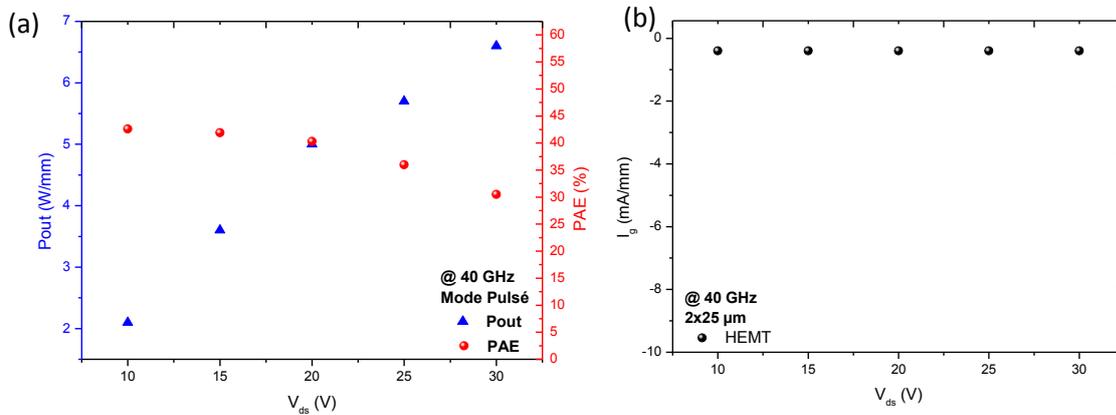


Figure 3.22 : Evolution de la densité de puissance (bleu) et de la PAE (rouge) en fonction de V_{ds} à 40 GHz pour une adaptation LoadPull en puissance en mode Impulsionnel (a) et Courant de grille I_g en mA/mm mesurée au pincement entre chaque mesure LoadPull en fonction de V_{ds} (b).

Les figures 3.19, 3.20 et 3.21 représentent les mesures LoadPull pour une adaptation en puissance à des tensions de drain de 10V, 15V, 20V, 25V et 30V. L'étude en mode Impulsionnel (1 μs de pulse pour un rapport cyclique de 1%) nous a permis d'atteindre une PAE de **42.6 %** associée à une densité de puissance de **2.1 W/mm** pour un $V_{ds} = 10$ V, ainsi qu'une densité de puissance de **6.6 W/mm** associée à une PAE de **30.5%** à $V_{ds} = 30$ V.

L'évolution de la densité de puissance et de la PAE en fonction de la tension V_{ds} apparait sur la Fig.3.22. On remarque que l'évolution de la densité de puissance est linéaire jusqu'à $V_{ds} = 30$ V. D'autre part, l'évolution de la PAE reste quasi-constante en conservant un rendement en puissance ajoutée toujours au-dessus de 30% jusqu'à 30V. En termes de robustesse, comme attendu, la structure HEMT dopée Carbone ne montre aucun signe de détérioration jusqu'à $V_{ds} = 30$ V en mode Impulsionnel.

• Bilan de l'étude à 40 GHz en mode CW et Impulsionnel

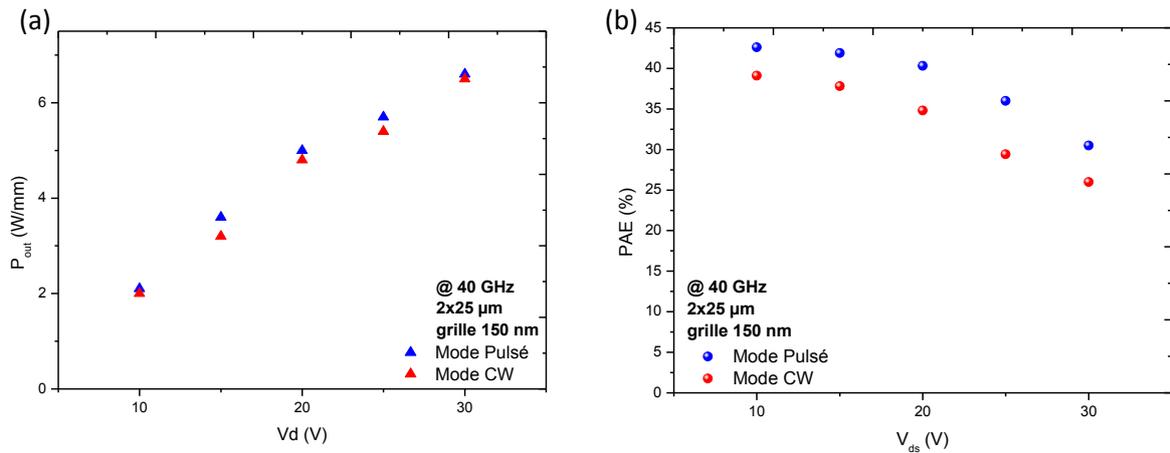


Figure 3.23 : Evolution de la densité de puissance en fonction de V_{ds} en mode CW vs Impulsionnel (a) et évolution de la PAE en mode CW vs Impulsionnel (b).

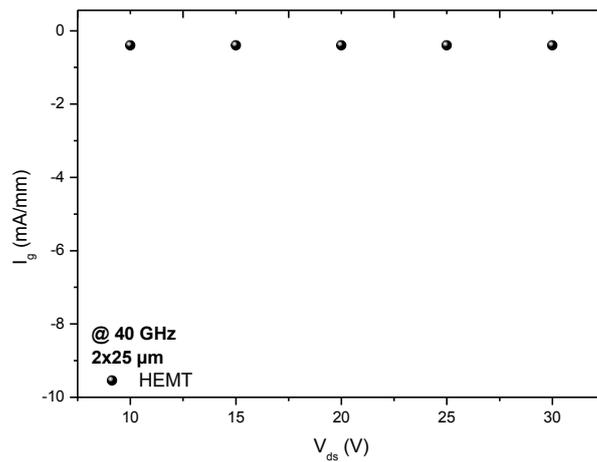


Figure 3.24 : Evolution du courant de grille I_g en mA/mm mesurée au pincement entre chaque mesure LoadPull en fonction de V_{ds} Mode CW vs Impulsionnel.

Tension V_{ds} (V)	Gain en Puissance (dB)					Puissance de Saturation (W/mm)					PAE (%)				
	10	15	20	25	30	10	15	20	25	30	10	15	20	25	30
Mode Impulsionnel	11,2	10,2	10,9	11,7	12,5	2,1	3,6	5	5,7	6,6	42,6	41,9	40,3	36	30,5
Mode CW	10,7	10,4	9,8	11,2	10,7	2	3,2	4,8	5,4	6,5	39,1	37,8	34,8	29,4	26

Figure 3.25 : Tableau de la densité de puissance, de la PAE et du Gain en puissance en fonction de V_{ds} mode CW vs mode Impulsionnel.

Les figures 3.23 et 3.24 montrent la comparaison des performances RF et de la robustesse de notre structure HEMT dopée Carbone entre le mode CW et Impulsionnel. La comparaison des performances RF ne met pas en évidence un écart prononcé entre le mode CW et le mode Impulsionnel comme pouvait laisser prétendre l'étude DC Impulsionnelle.

En effet, la figure 3.23 (a) montre la comparaison entre l'évolution de la densité de puissance en mode CW et Impulsionnel. Cette comparaison est instructive car elle met en évidence, dans un premier temps, le fait qu'entre les deux régimes, l'évolution est quasi identique jusqu'à $V_{DS} = 30V$ démontrant la bonne tenue en tension de la structure. Dans un second temps, on observe qu'en fonction de V_{ds} la différence entre les deux régimes reste faible, laissant apparaître une quasi concordance jusqu'à 30V, ne mettant donc pas en évidence a priori d'impacts des effets thermiques et de pièges. Or, lors de l'étude DC Impulsionnelle, l'impact des effets de pièges et thermiques a été mis en évidence illustré par des effets de « Gate Lag » et « Drain Lag » prononcés. La question alors se pose quant à l'interprétation des mesures DC Impulsionnelles au vue de la comparaison des mesures LoadPull en mode CW et en mode Impulsionnel qui montre des effets de pièges beaucoup moins prononcés. Les mesures LoadPull inclut l'excitation RF et polarisation le transistor représentant les conditions réelles d'utilisation. Il apparaît clairement que l'impact des effets de pièges dépend fortement des conditions de polarisation du transistor mais aussi du signal RF injecté. La corrélation entre les mesures DC Impulsionnelles et la comparaison entre le mode CW et le mode Impulsionnel en mesure LoadPull n'est pas trivial et nécessite plus d'investigations.

Ne constatant aucun signe de détérioration, les mesures LoadPull aurait pu être poursuivies à V_{ds} plus élevée. Néanmoins, à cette fréquence d'opération (40 GHz), les amplificateurs utilisés sur le banc NVNA ne permettent pas de délivrer assez de puissance pour des tensions de drain aussi élevées. Comme indiqué dans le chapitre précédent, le banc à 40 GHz est équipé de deux amplificateurs : le premier pouvant délivrer une puissance de 2 W et le deuxième 5 W. Pour le mode CW, les tés de polarisations ne permettent pas d'aller au-delà de 30V (limite constructeur). Or, en mode Impulsionnel, ne sollicitant pas les tés de polarisation de façon continue, il est possible d'aller au-delà de 30 V. Cependant, l'amplificateur en sortie du dispositif ne permet pas à la charge active de présenter l'impédance nécessaire pour adapter en puissance le transistor.

La figure 3.23 (b) décrit la comparaison de l'évolution de la PAE entre le mode CW et le mode Impulsionnel. La PAE étant un paramètre beaucoup plus sensible à l'impact des effets de pièges et des effets thermiques, on note une différence beaucoup plus prononcée avec en moyenne une différence de 5% entre les deux régimes en fonction de V_{ds} . A noter qu'en fonction de la tension V_{ds} , l'écart de la PAE reste constant.

Et enfin la figure 3.24, montre la comparaison du courant de grille mesuré au pincement entre chaque mesure LoadPull. Pour les deux régimes, la structure présente une excellente robustesse jusqu'à 30V. Une telle stabilité du courant de grille s'explique par la couche de GaN dopée Carbone qui possède une résistivité très élevée et surtout une conductivité thermique bien plus importante que la couche AlGaIn utilisée au sein du DHFET [91].

• Etude comparative « on-Wafer » à 40 GHz grille 150 nm vs 200 nm

Lors de la fabrication de ces transistors, il a été entrepris de réaliser deux longueurs de grilles différentes : 150 nm et 200 nm. La réalisation de ces deux longueurs de grille a été effectuée afin d’observer et de quantifier l’impact de la longueur de grille sur les performances RF. L’étude a été réalisée en mode CW à une fréquence d’opération de 40 GHz.

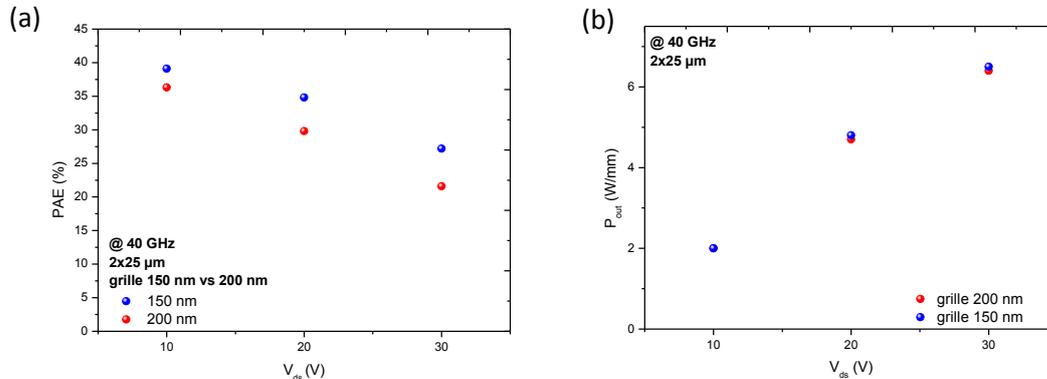


Figure 3.26 : Evolution de la PAE en fonction de V_{ds} (a) et évolution de la densité de (b) pour une grille de longueur de 150nm vs 200 nm.

	Gain en Puissance (dB)			Puissance de Saturation (W/mm)			PAE (%)		
	10	20	30	10	20	30	10	20	30
Tension V_{ds} (V)	10	20	30	10	20	30	10	20	30
Grille 150 nm	10,7	9.8	10,7	2	4.8	6.5	39,1	34,8	26
Grille 200 nm	9.5	8.5	9.1	2	4.7	6.4	36.3	29.8	21.6

Figure 3.27 : Tableau de la densité de puissance, de la PAE et du Gain en puissance en fonction de V_{ds} pour une grille de 150 nm et 200 nm.

L’étude comparative « on-Wafer » de ces deux longueurs de grilles mettent en évidence deux tendances :

Premièrement, un écart constant et significatif est observé sur la PAE et le Gain en puissance mettant en avant le lien inversement proportionnel entre la longueur de grille et l’évolution des performances RF en fonction de la fréquence. En effet, on observe une dégradation d’environ 1 dB sur le Gain en fonction de la longueur de grille qui se répercute sur la PAE avec une différence de l’ordre de 3-4% observée (voir figure 3.27).

Deuxièmement, on remarque que pour les deux longueurs grilles les densités de puissance restent identiques. En effet, malgré une longueur de grille relativement large de 200 nm, la structure maintient un Gain suffisant pour permettre de délivrer une densité de puissance à 40 GHz comparable à celle obtenue avec une grille de 150 nm. Cela s’explique de nouveau par la densité de charges élevée ainsi que le rapport d’aspect élevé offerte par la structure HEMT dopée Carbone. Ces résultats montrent qu’un gain en puissance élevé reste primordial pour l’obtention d’un haut rendement PAE.

iii. *Bilan*

Dans le cadre de cette étude, nous avons montré par des caractérisations DC, petit signal et grand signal, le fort potentiel de la structure HEMT dopée Carbone pour des applications radiofréquences. Une densité de courant maximale de drain proche de **1.5 A/mm** pour une tension de grille de +2V ainsi qu'une transconductance de **500 mS/mm** sont observées. L'étude DC impulsionnelle, quant à elle, nous a montré un « Gate Lag » et un « Drain Lag » non négligeables et de plus en plus prononcés en fonction de la tension $V_{ds,Q}$. En petit signal, des fréquences de coupure f_T de **70 GHz** associé à un F_{max} de **211 GHz** ont été obtenues à $V_{ds} = 20V$.

En caractérisation grand signal, une étude à la fréquence d'opération de 40 GHz a été réalisée en régime CW et Impulsionnel. Notre structure présente une évolution linéaire de la densité de puissance jusqu'à $V_{DS} = 30 V$ en mode CW et en mode Impulsionnel sans montrer **aucun signe de détérioration**. En termes de performance, la structure a montré une PAE de **39.2%** en mode CW contre **42.6%** en mode Impulsionnel pour une tension de drain de 10V. D'autre part, une densité de puissance de **6.5 W/mm** associée à une PAE de **26%** a été obtenue en mode CW à $V_{ds} = 30V$. En parallèle La structure HEMT dopée Carbone délivre une forte densité de puissance de **6.6W/mm** associée à une PAE de **30.5%** en mode Impulsionnel à $V_{ds} = 30V$. Cette densité de puissance obtenue en mode Impulsionnel associée une PAE au-delà de 30% est représentative du potentiel unique de cette structure. Par ailleurs, la comparaison entre le mode CW et le mode Impulsionnel a mis en exergue un faible impact des effets de pièges et thermique illustré par la concordance quasi parfaite de l'évolution de la densité de puissance observée figure 3.27. Ce faible écart entre les mesures LoadPull CW et pulsées vient a priori contredire la mesure DC impulsionnelle, mettant en évidence une corrélation non triviale entre ces deux méthodes de mesures.

Enfin, nous avons observé l'influence de la longueur de grille (150 nm et 200 nm réalisée sur le même échantillon). Cette comparaison nous a notamment confirmé l'importance du Gain en puissance pour l'obtention de haut rendement PAE lorsque les phénomènes de pièges sont relativement maîtrisés. Contrairement à la densité de puissance optimum à 40 GHz qui ne requière pas forcément de grille ultracourte, le rendement PAE nécessite clairement de maximiser le gain en puissance tout en maintenant un faible impact des pièges.

Dans la suite, une comparaison directe entre la structure DHFET et la structure HEMT dopée Carbone est effectuée afin d'observer l'apport et les améliorations de cette dernière.

3. Etude comparative structure dopée Carbone vs structure DHFET sur substrat SiC

Nous présenterons dans cette partie, une comparaison entre les deux structures présentées précédemment : DHFET et HEMT dopée Carbone. La structure DHFET avec une grille de 120 nm a montré des performances au-delà de l'état de l'art en termes de PAE pour une fréquence de 40 GHz. Cependant, nous avons observé, en mode CW dès $V_{DS} = 15V$ une détérioration illustrée par le courant I_g relevé entre chaque mesure LoadPull. Toujours dans l'optique d'atteindre des performances en termes de puissance et de PAE tout en garantissant une robustesse pour de haute tension de drain, il a donc été entrepris de réaliser une nouvelle structure HEMT dopée Carbone. Nous présenterons dans cette partie, une comparaison entre la structure HEMT dopée Carbone et la DHFET. L'étude de ces deux structures a été effectuée à 40 GHz en mode CW et mode Impulsionnel. A noter, que les structures ne présentent malheureusement pas la même longueur de grille. Il sera donc intéressant de quantifier l'impact de cette différence sur les performances présentées par les deux structures. Enfin, cette étude a pour but de mettre en évidence le potentiel extraordinaire en termes de performances et de robustesses de la structure HEMT dopée Carbone.

i. *Description des différences notables entre les deux échantillons*

Les deux structures ne possèdent pas exactement la même longueur de ligne. La structure dopée Carbone a été réalisée avec une grille de 150 nm pour 120 nm sur la structure DHFET. La réalisation des grilles au sein du procédé de fabrication nécessite une gravure verticale afin de positionner la grille directement sur la barrière AlN à travers le cap SiN formant un contact Schottky. Cependant, du fait de sa nature isotrope, une gravure latérale du pied de grille apparaît fixer la longueur de grille comme montré figure 3.28. Malheureusement, au moment de la réalisation de l'échantillon, le procédé de gravure horizontale n'était pas totalement optimisé offrant une tolérance de plus ou moins 30 nm sur la longueur de grille. A noter qu'une telle précision de l'ordre de la dizaine de nanomètre est complexe à obtenir et nécessite la réalisation de nombreux lots de fabrication.

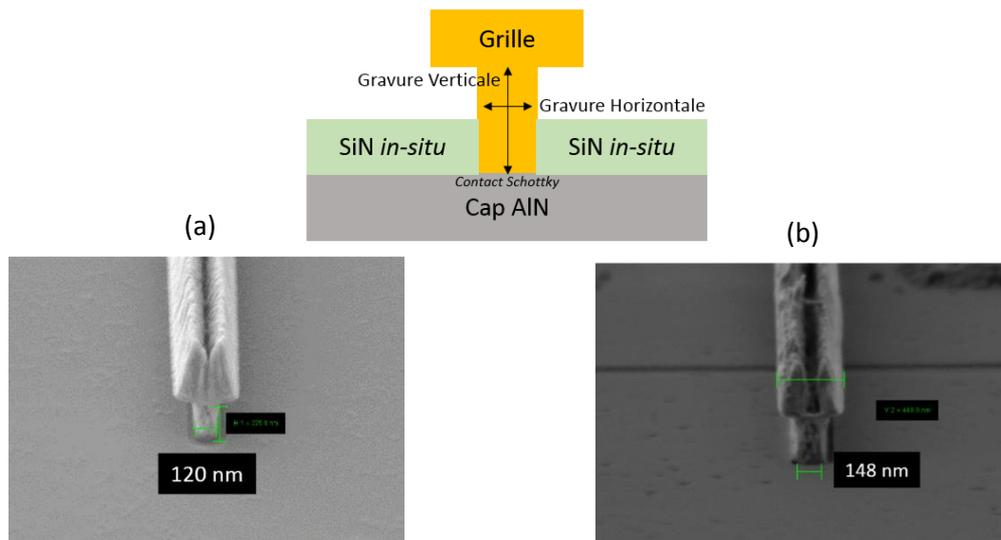


Figure 3.28 : Photo de la grille pour la structure DHFET (a) et de la structure HEMT dopée Carbone (b).



Figure 3.29 : Représentation de la distance entre la grille et drain pour la structure DHFET (a) et de la HEMT dopée Carbone (b).

Comme le montre la figure 3.29, la structure DHFET a été réalisée avec une distance grille-drain de 1 μm contre 2 μm sur la structure HEMT dopée Carbone. La distance physique grille-drain est modélisée par une résistance dite « résistance d'accès ». Plus la résistance d'accès est faible, moins elle impacte la transconductance et donc les performances RF. Partant de ce fait, la configuration optée sur la structure DHFET est plus avantageuse en vue de la distance grille-drain de 1 μm comparée à 2 μm pour la structure HEMT dopée Carbone. Cependant, si la distance grille-drain influence directement la résistance d'accès, elle influe également sur la tension de claquage du transistor. En effet, la tenue en tension est proportionnelle à la distance entre la grille et le drain. Le choix de la distance grille-drain se fait donc en fonction de l'objectif imposé par l'application visée. Une distance élevée assurera une tension d'opération plus élevée avec des performances altérées et inversement avec une distance grille-drain faible. Partant de ces constatations et des différences notables entre les deux échantillons, il est tout de même intéressant de constater l'impact global sur la comparaison des performances.

ii. Comparaison caractérisation « petit signal »

Dans cette partie, nous présentons un tableau récapitulatif des caractéristiques « petit signal » des deux structures.

	I_{max} (A/mm)	Confinement (μA/mm)	Transconductance G_{m,max} (mS/mm)	F_t (GHz)	F_{max} (GHz)
DHFET	1.3	< 1 @ V _{ds} = 50V	400 @ V _{ds} = 8V	55 @ V _{ds} = 20V	235 @ V _{ds} = 20V
HEMT dopée Carbone	1.5	10 @ V _{ds} = 28V	500 @ V _{ds} = 6V	70 @ V _{ds} = 20V	211 @ V _{ds} = 20V

Figure 3.30 : Tableau récapitulatif des caractéristiques « petit signal » de la structure DHFET (bleu) et HEMT dopée Carbone (rouge).

La comparaison montrée figure 3.30 est très instructive et met en avant les points forts et les points faibles des deux structures. En effet, la densité de charges élevée offerte par la simple hétérojonction se répercute sur le courant de drain maximum et la transconductance. Il est intéressant de noter que même avec une distance de grille-drain plus longue, le G_{m,max} fourni par la structure HEMT dopée Carbone est plus important que celle de la DHFET.

Le confinement des électrons observé sur les deux structures est très satisfaisant même si la DHFET délivre des courants de fuite légèrement inférieurs illustrant tout de même l'intérêt de la double hétérostructure AlN/GaN/AlGaN.

Enfin, les fréquences de coupure F_t et F_{max} sont directement liées à la longueur de grille et la distance grille-drain. En effet, la structure DHFET (*qui, pour rappel, présente une grille et une distance grille-drain plus courte*) montre un F_t de 55 GHz pour 50 GHz pour une tension de drain de 20V sur la structure HEMT dopée Carbone mais surtout un F_{max} de 235 GHz comparé à 211 GHz obtenue pour l'autre structure. On remarque que l'impact de la longueur de grille et la distance grille-drain est plus prononcé sur la fréquence F_{max} .

$$F_t = \frac{G_m}{2\pi(C_{gs} + C_{gd})} \quad F_{max} = \frac{F_t}{2\sqrt{R_g + R_{ds}}} \quad \text{Eq 3.1}$$

En effet les équations ci-dessus nous montrent mathématiquement comment la longueur de grille et la distance grille-drain influent sur la fréquence de coupure et la fréquence maximale d'oscillation. Les valeurs des capacités C_{gs} et C_{gd} sont directement à la longueur de grille. Par ailleurs, la capacité C_{gd} représente la capacité entre la grille et le drain et sa valeur est donc directement liée à la distance entre la grille et le drain.

iii. Comparaison caractérisation « grand signal »

La comparaison des deux structures a été effectuée pour une fréquence d'opération de 40 GHz en mode CW dans le but d'évaluer le compromis robustesse/performances RF.

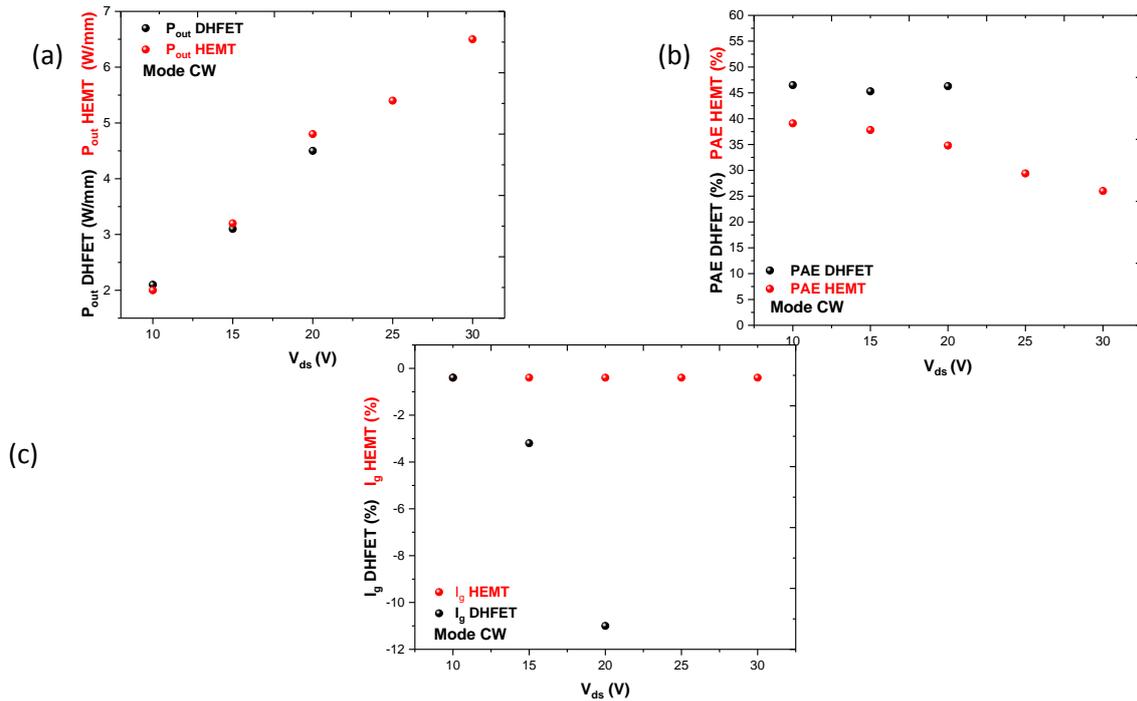


Figure 3.31 : Comparaison des deux structures en termes de densité de puissance (a), PAE (b) et courant de grille mesuré au pincement entre chaque mesure LoadPull (c) à 40 GHz en mode CW.

Les densités de puissance, montré Figure 3.31 (a), mettent en évidence l'impact du courant de drain maximum I_{dmax} . En effet, il existe une relation permettant d'estimer la puissance de saturation en fonction du courant de drain maximum et de la tension de drain qui est la suivante :

$$P_{out} = \frac{I_{dmax} \times (V_{ds} - V_{coude})}{8} \quad \text{Eq 3.2}$$

Où le V_{ds} représente la tension de drain à laquelle est effectuée la mesure LoadPull et V_{coude} (tension de déchet) délimite le commencement de la zone saturée sur la caractéristique $I_d(V_{ds})$ voir Figure 3.13.

Cette équation souligne le lien direct entre le courant de drain maximum et la puissance de sortie du transistor. Constatant antérieurement que le courant de drain maximum est légèrement plus important pour la structure HEMT dopée Carbone ($1.5 A/mm$ pour $1.3 A/mm$ sur la structure DHFET), il est donc logique d'observer un léger écart quasi constant entre les deux densités de puissance. A noter que, l'écart non constant s'explique aussi par le fait que les deux échantillons ne présentent pas les mêmes effets de pièges et thermiques.

D'autre part, la Figure 3.31 (b) met en exergue une différence notable et prévisible entre les deux structures. En effet, une PAE constante est supérieure à 45 % est observée pour la structure DHFET alors que pour la structure HEMT dopée Carbone, une PAE de 39.1% est observé à 10V pour atteindre 26% à 30V. L'écart entre les valeurs de PAE pour les deux structures s'explique par la différence de longueur de grille et la distance grille-drain. On note que pour une différence de 30 nm entre deux longueurs de grille, on observe un écart de 5% en moyenne sur la PAE, ce qui laisse espérer l'obtention d'une PAE de l'ordre de 50% pour une fréquence d'opération de 40 GHz avec une grille de 100 nm.

Enfin, la figure 3.31 (c) montre la robustesse des deux structures par l'intermédiaire du courant de grille mesuré au pincement entre chaque mesure LoadPull. Cette figure met en évidence une rupture flagrante entre la structure HEMT dopée Carbone et la DHFET. En effet, la structure DHFET montre des signes de détérioration dès $V_{DS} = 15V$, ce qui amène une destruction à $V_{ds} = 20V$ alors que la structure HEMT dopée Carbone ne montre aucun signe de détérioration jusqu'à $V_{ds} = 30V$. Cette différence macroscopique de dégradation ne peut pas être expliquée par la géométrie du transistor. La dissipation thermique accrue au sein de la structure HEMT dopée Carbone explique sa meilleure robustesse sous fort champ électrique qui est directement liée à la température de jonction.

iv. Bilan

Dans cette étude, une comparaison entre deux structures de transistor sur substrat SiC a été effectuée. Une structure DHFET présentant une double hétérostructure AlN/GaN/AlGaIn avec un cap SiN *in-situ* de 20 nm et une structure HEMT dopée Carbone avec un cap SiN *in-situ* de 10 nm. Cependant deux différences entre les deux échantillons ont été notées. Premièrement, l'échantillon présentant la structure DHFET montre une taille de grille de 120 nm alors que l'échantillon présentant la structure HEMT dopée Carbone montre une taille de 150 nm. La différence entre ces longueurs de grille pour la structure DHFET et HEMT dopée Carbone s'explique par des gravures latérales sur des « *cap layer* » SiN de différentes épaisseurs. Deuxièmement une différence notable a été notée sur la distance grille-drain : 1 μm pour la DHFET et 2 μm pour la HEMT. Ces deux différences non négligeables sont très nettement à l'avantage de la structure DHFET.

Le courant de drain maximum nous a prouvé l'intérêt de la structure HEMT dopée Carbone en montrant un courant de 1.5 A/mm pour 1.3 A/mm pour la structure DHFET. Par ailleurs, la transconductance maximum présentée par la structure HEMT est de 500 mS/mm pour 400 mS/mm pour la DHFET. Cette comparaison met évidence qu'en présentant une distance grille-drain plus longue (2 μm) que celle de la DHFET, la densité de charges élevée délivrée par la simple hétérojonction permet d'obtenir une transconductance très élevée et supérieure à la DHFET. D'autre part, les F_t et F_{max} de la structure DHFET présentent de meilleures performances illustrées par un F_{max} de 235 GHz à $V_{\text{ds}} = 20$ V pour 211 GHz pour la structure HEMT. Cet écart s'explique par la longueur de grille et la distance grille-drain plus faible sur l'échantillon correspondant à la structure DHFET.

Pour la caractérisation « grand signal », la différence de longueur de grille et de distance grille-drain se fait ressentir. En effet, la comparaison de la PAE entre les deux structures en est la plus représentative. Un écart de 5% en moyenne en faveur de la structure DHFET est observé. Cependant, la densité de puissance a montré un léger écart en fonction de la tension de drain en faveur de la structure HEMT. Ce léger écart est attribué au courant de drain maximum plus élevé sur cette structure.

Enfin, la dernière comparaison s'est portée sur l'évaluation de la robustesse. A ce niveau, la structure HEMT dopée Carbone a prouvé sa suprématie en offrant une robustesse absolue jusqu'à $V_{\text{DS}} = 30$ V en mode CW. La structure DHFET, quant à elle, a montré des signes de détérioration dès $V_{\text{DS}} = 15$ V. Avec cette dernière comparaison et au vue des performances obtenues, la structure HEMT dopée Carbone se positionne en tant que structure de référence pour les optimisations futures dans le cadre des applications en gamme d'onde millimétrique. A noter que plus de tests sont nécessaires afin de réellement quantifier la robustesse de cette structure par le biais de mesures LoadPull à plus hautes tensions ainsi que de test de fiabilité en fonction du temps et de la température. L'ensemble de ces suggestions feront l'objet d'investigations au sein de notre laboratoire dans le cadre des projets existants.

4. Etude d'une structure AlGaIn/GaN sur substrat SiC avec une longueur de grille de 250 nm développée par UMS (United Monolithique Semiconductors)

L'échantillon étudié dans cette partie correspondant à la filière GaN GH25 sur substrat SiC développée par UMS. Cette filière GaN sur SiC est, à l'heure actuelle, la seule à être qualifiée en Europe. Cette étude a pour but de quantifier les performances et la robustesse de cette filière mais surtout de la comparer à la technologie HEMT dopée Carbone développée à L'IEMN. Cet échantillon nous donne l'opportunité de caractériser une filière industrielle dans le cadre d'une collaboration entre l'IEMN et UMS afin de valider un peu plus le banc de caractérisation non-linéaire présentée dans le chapitre 2. Dans cette partie, nous présenterons une étude comparative en mode CW et mode impulsionnel pour deux fréquences 10 GHz et 18 GHz.

i. *Description de l'échantillon UMS*

L'échantillon proposé par UMS est montré Figure 3.32. Plusieurs tailles de transistors sont disponibles allant d'un développement de $2 \times 75 \mu\text{m}$ jusqu'à $8 \times 150 \mu\text{m}$. Pour la suite, l'étude sera focalisée uniquement sur le développement $2 \times 75 \mu\text{m}$ car, au moment de la rédaction de ce manuscrit, les tés de polarisation ne permettaient pas la mesure de plus gros développements. La structure proposée par UMS est basée sur une longueur de grille de 250 nm. Cette filière est qualifiée pour une tension de drain de 30V.

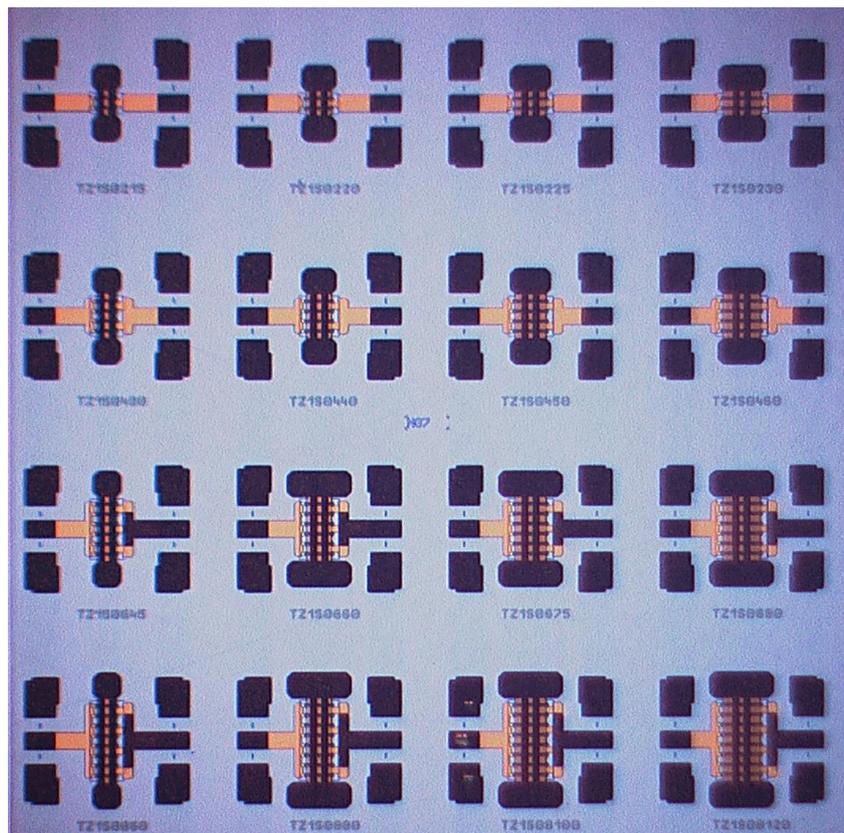


Figure 3.32 : Photo de l'échantillon fournis par UMS.

ii. **Caractérisation « petit signal »**

Les caractéristiques présentées ci-dessous représentent les performances DC d'un transistor 2x75 μm de la filière UMS.

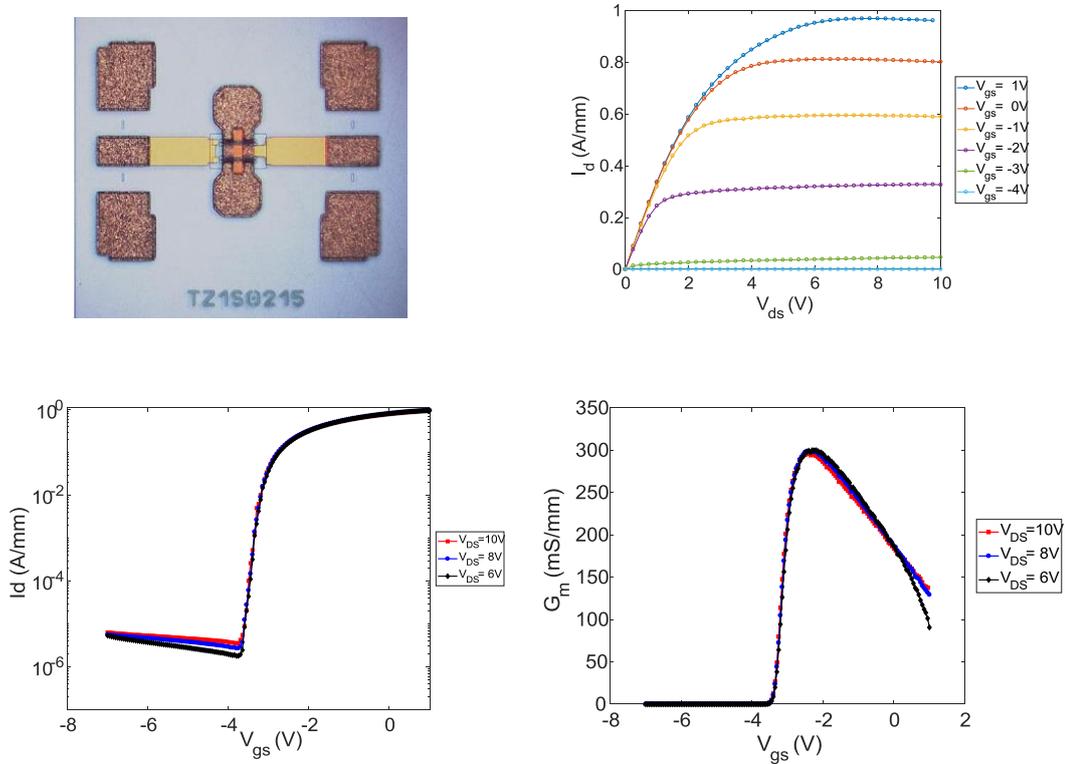


Figure 3.33 : Photo, caractéristique $I_d(V_{ds})$ normalisée, caractéristique $I_d(V_{gs})$ normalisée et transconductance G_m normalisée d'un transistor HEMT $0.25 \times 150 \mu\text{m}$ de la filière UMS.

La filière UMS présente un courant de drain maximum de **0.9 A/mm** pour une tension de grille de $V_{gs} = +1\text{V}$ comme annoncé par le fondeur. Une transconductance de **300 mS/mm** est constatée pour une tension de drain $V_{DS} = 10\text{V}$. La filière UMS présentée dans cette partie est qualifiée pour une tension de drain de 30 V qui se traduit par un très bon confinement des électrons dans le canal illustré Figure 3.34. La mesure DC impulsionnelle nous montre des effets de pièges et thermiques non négligeables illustrés par un effet de « Gate Lag » prononcé.

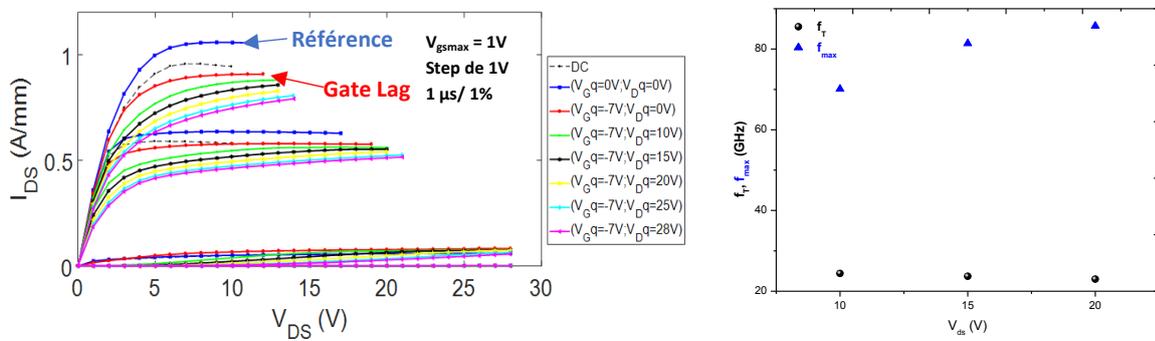


Figure 3.34 : Caractéristique $I_d(V_{ds})$ DC Impulsionnel (a) et caractéristique F_t et F_{max} d'un transistor HEMT $0.22 \times 150 \mu\text{m}$ (b).

iii. **Caractérisation « grand signal » de la filière UMS.**

Au vue de la longueur de grille de 250 nm, il a été entrepris de réaliser la caractérisation « grand signal » pour deux fréquences d’opérations 10 et 18 GHz en mode CW et Impulsionnel. Pour respecter les standards de mesures UMS, les mesures LoadPull ont été réalisées pour un courant de drain de 200 mA/mm. La caractérisation s’est effectuée pour une tension de drain allant jusqu’à 30 V pour le mode CW (*tension maximale des tés de polarisation du banc NVNA*) et 40V pour le mode Impulsionnel.

• **Etude à 10 GHz**

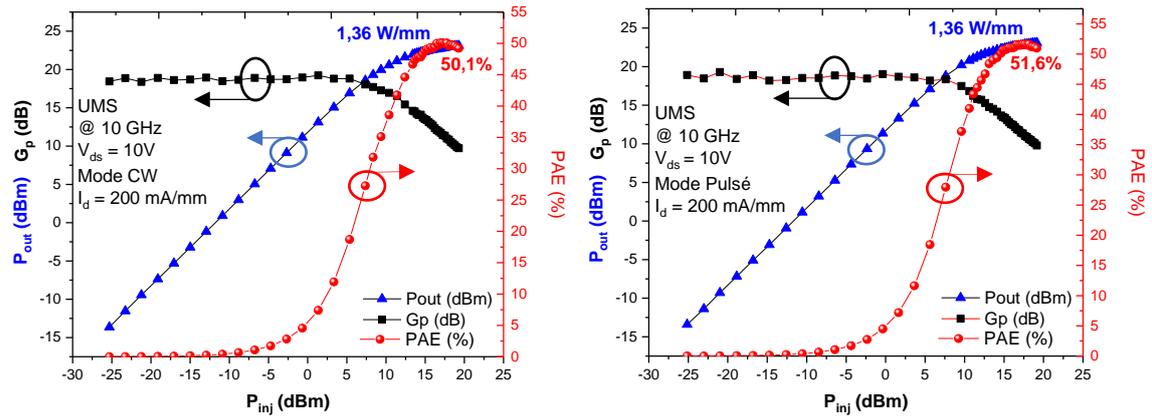


Figure 3.35 : Mesure de puissance d’un transistor HEMT $2 \times 75 \mu m$ à 10 GHz pour une tension de drain $V_{ds} = 10 V$ en mode CW (a) en mode Impulsionnel (b).

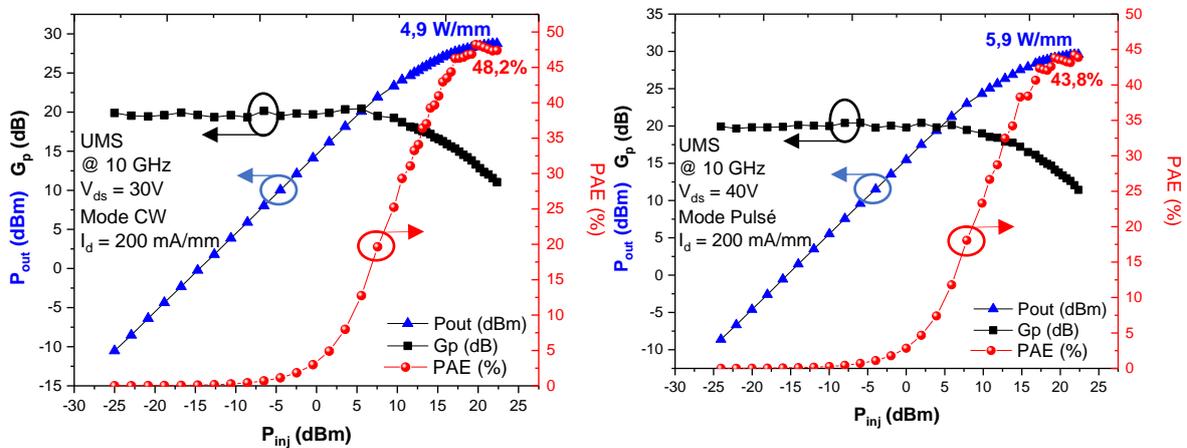


Figure 3.36 : Mesure de puissance d’un transistor HEMT $2 \times 75 \mu m$ à 10 GHz pour une tension de drain $V_{ds} = 30 V$ en mode CW (a) et pour $V_{ds} = 40V$ en mode Impulsionnel (b).

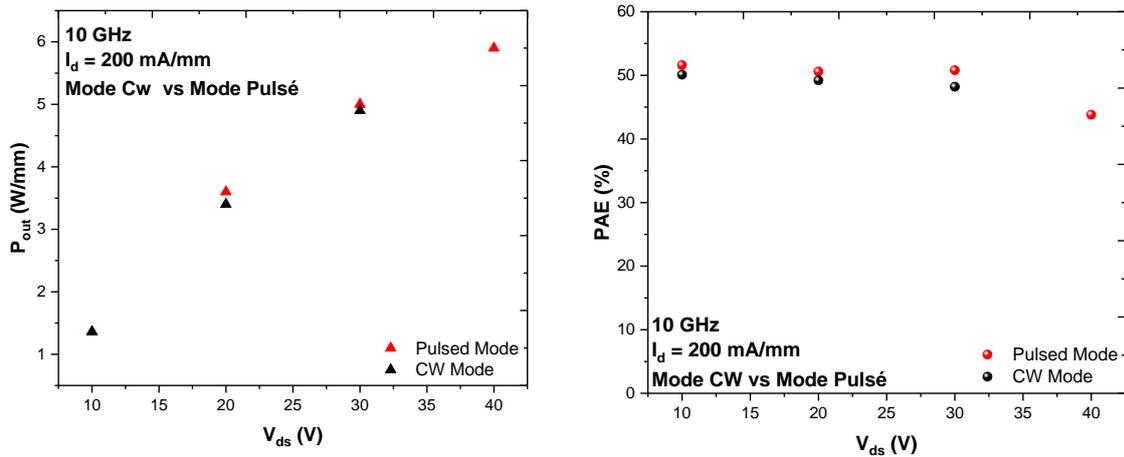


Figure 3.37 : Evolution de la densité de puissance en fonction de V_{ds} mode CW vs mode Impulsionnel (a) et évolution de la PAE mode CW vs mode Impulsionnel (b).

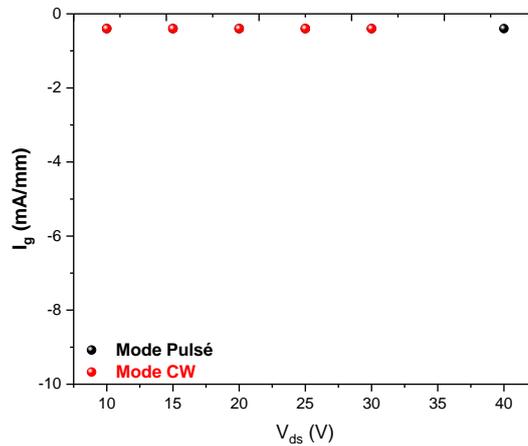


Figure 3.38 : Courant de grille I_g en mA/mm mesurée au pincement entre chaque mesure LoadPull en fonction de V_{ds} en mode CW et mode Impulsionnel.

Les mesures LoadPull à $V_{ds} = 10$ V pour une fréquence d'opération de 10 GHz sont montrées Figure 3.39. Elles mettent en évidence une PAE de **50.1%** associée à une densité de puissance de **1.36 W/mm** en mode CW pour **51.6%** en mode Impulsionnel. D'autre part, la Figure 3.36 montre les mesures LoadPull effectuées en mode CW pour $V_{DS} = 30$ V et en mode Impulsionnel pour $V_{DS} = 40$ V. En mode CW, une PAE de 48.2% associée à une densité de 4.9 W/mm est atteinte. Le récapitulatif des performances RF à 10 GHz est illustré Figure 3.37 pour le mode CW et le mode Impulsionnel. Pour les deux modes de mesures, une densité de puissance atteinte est de 5 W/mm à $V_{DS} = 30$ V. De plus, on note que la PAE reste supérieure à 50% jusqu'à $V_{DS} = 30$ V. Ces résultats attestent de la bonne qualité du matériau et du procédé de fabrication associé et sont cohérent avec les mesures réalisées par notre partenaire industriel.

Cette comparaison vient, comme pour l'étude précédente, contredire la constatation d'un impact prononcé des effets de pièges et thermiques constatés lors de l'étude DC impulsionnel (voir

Figure 3.38). En effet, la densité de puissance et la PAE sont quasi identiques entre le mode CW et le mode Impulsionnel en fonction de la tension de drain jusqu'à $V_{ds} = 30V$, symptotique d'un très faible impact des effets de pièges et thermiques sous ces conditions de polarisation. Par ailleurs, l'évolution de la densité de puissance montre une croissance linéaire sans aucun signe de saturation, preuve d'une excursion en puissance optimum à travers le réseau $I_D(V_{DS})$. Comme pour l'étude de la structure HEMT dopée Carbone, les causes de cette non corrélation entre l'étude DC et la comparaison mesure LoadPull en mode CW et mode Impulsionnel restent floues. A noter que l'étude DC impulsionnelle a aussi été réalisée par l'industriel UMS constatant le même phénomène. L'hypothèse la plus vraisemblable à cette divergence reste qu'entre ces deux études, le transistor n'est pas soumis aux mêmes phénomènes. Comme dit précédemment, cette constatation fait à l'heure actuelle, l'objet de recherche intensive afin de déterminer et de quantifier ces effets néfastes. L'objectif étant de dissocier l'impact des effets de pièges et des effets thermiques et également déterminer l'impact du signal RF sur les effets de pièges.

Enfin, la robustesse de la filière qualifiée UMS est illustrée par le courant I_D Figure 3.38. La filière UMS montre, de façon prévisible pour une filière qualifiée, une robustesse absolue jusqu'à 40V. Cette constatation vient justifier la tension d'opération de 30V annoncée par UMS.

- **Etude à 18 GHz**

Dans cette partie, une étude comparative sera effectuée à 18 GHz entre le mode CW et le mode Impulsionnel toujours pour un courant de drain de 200 mA/mm.

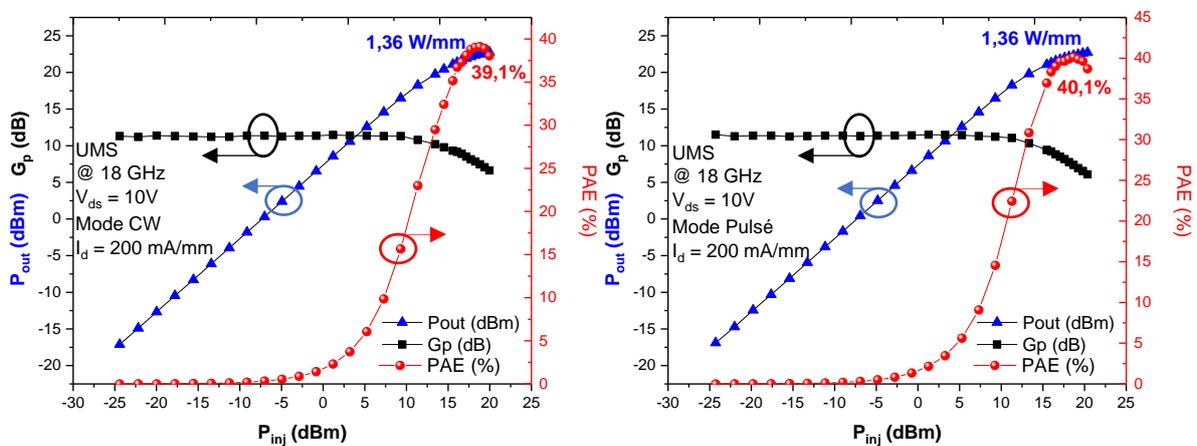


Figure 3.39 : Mesure de puissance d'un transistor HEMT $2 \times 75 \mu m$ à 18 GHz pour une tension de drain $V_{ds} = 10 V$ en mode CW (a) en mode Impulsionnel (b).

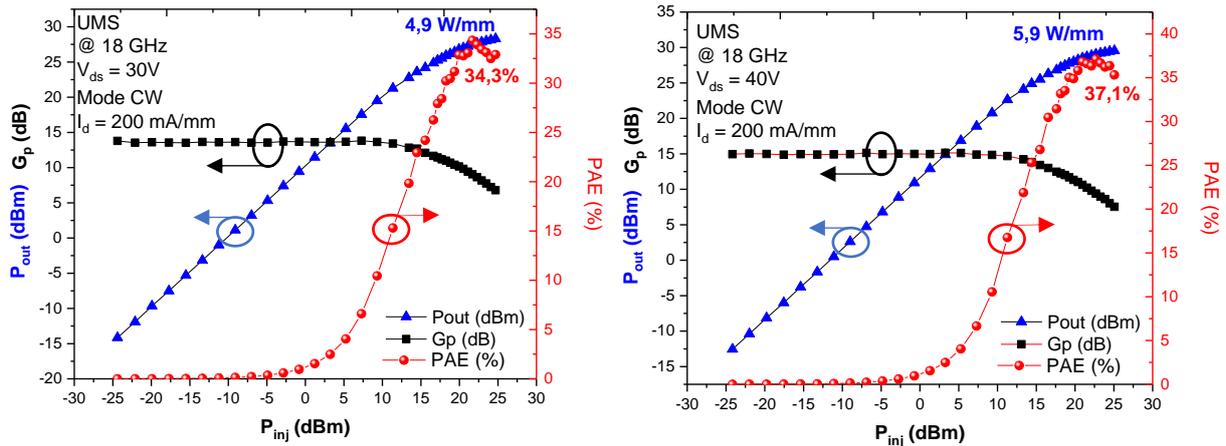


Figure 3.40 : Mesure de puissance d'un transistor HEMT $2 \times 75 \mu\text{m}$ à 18 GHz pour une tension de drain $V_{ds} = 30V$ en mode CW (a) et pour $V_{ds} = 40V$ en mode Impulsionnel (b).

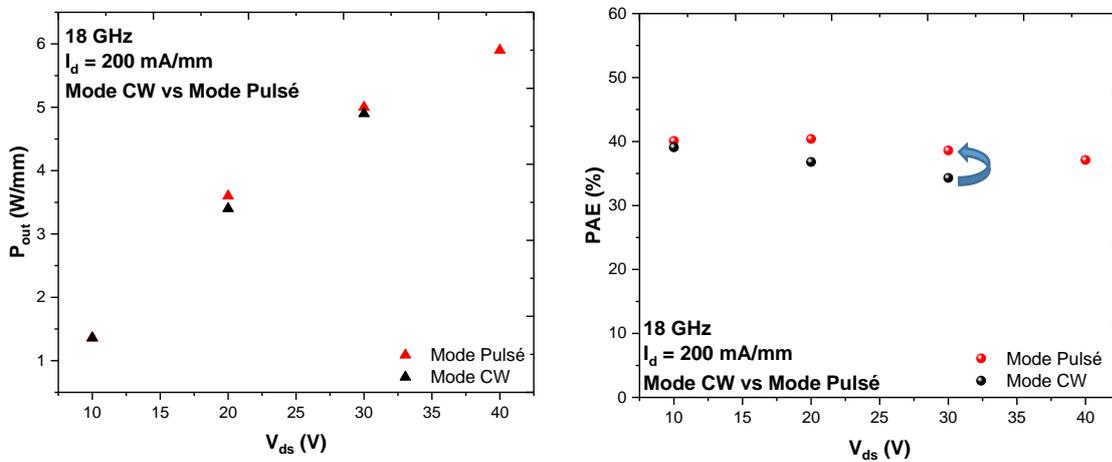


Figure 3.41 : Evolution de la densité de puissance en fonction de V_{ds} mode CW vs mode Impulsionnel (a) et évolution de la PAE mode CW vs mode Impulsionnel (b).

On observe Figure 3.39, que la PAE atteint en mode CW est de **39.1 %** en mode CW pour **40.1%** en mode Impulsionnel contre une PAE de 50.1% à une fréquence de 10 GHz en mode CW. La comparaison révèle donc une perte de plus de **20%** entre 10 GHz et 18 GHz. Cependant, à 18 GHz, la densité de puissance reste identique à celle obtenu à 10 GHz. La structure UMS fourni assez de Gain en puissance à cette fréquence pour pouvoir délivrer une densité de puissance optimale, voir Figure 3.40. L'évolution de la PAE en mode CW et en mode Impulsionnel, expose une vulnérabilité aux effets de pièges et thermiques en fonction de la fréquence d'opération et de la tension de drain. En effet, on observe un écart plus drôné sur la PAE entre le mode CW et Impulsionnel illustré Figure 3.41. Toutefois, malgré ce faible écart entre les deux modes de mesures LoadPull (*écart très faible*), cette observation ne corrobore pas l'impact prononcé observé en étude DC Impulsionnelle. A noter que, la même excellente robustesse a été retrouvée à cette fréquence de 18 GHz.

- Etude à 40 GHz

Pour confirmer l'impact de la longueur de grille et de la structure non-adaptée sur les performances RF à plus haute fréquence, il a été entrepris de réaliser des mesures LoadPull uniquement à 10V en mode CW.

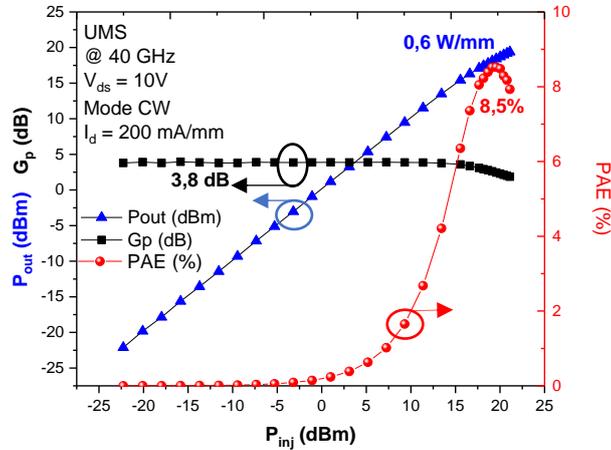


Figure 3.42 : Mesure de puissance d'un transistor HEMT $2 \times 75 \mu\text{m}$ à 40 GHz pour une tension de drain $V_{ds} = 10 \text{ V}$ en mode CW.

La Figure 3.42 nous montre une mesure LoadPull effectuée à $V_{DS} = 10V$ pour une fréquence de 40 GHz en adaptation PAE. On s'aperçoit qu'à cette fréquence, le gain de 3.8 dB ne permet pas au transistor de délivrer la puissance maximale. En effet, une puissance de 0.6 W/mm est mesurée associée à une PAE de 8.5%, essentiellement limitée par la structure d'épitaxie (épaisseur de barrière générant un rapport d'aspect longueur de grille/ distance grille-canal défavorable) et une longueur de grille trop large. Cette étude met en évidence l'importance du développement d'une nouvelle structure pour les applications en gamme d'ondes millimétriques.

iv. *Bilan*

Dans le cadre cette étude, nous avons eu l'opportunité de caractériser une filière qualifiée de l'industriel UMS. La filière UMS propose des composants AlGa_N/Ga_N sur substrat SiC présentant une longueur de grille de 250 nm. Les composants ont montré un courant de drain maximum de 0.9 A/mm pour un $V_{GS} = +1V$ associée à une transconductance de 300 mS/mm.

En caractérisation « grand signal », la filière UMS délivre une PAE de 50.1% en CW comparé à 51.6% en mode Impulsionnel à une fréquence de 10 GHz et une tension de drain de 10V. A 18 GHz, une PAE de 39.1% a été atteinte pour 40.1% en mode Impulsionnel. La densité de puissance, quant à elle, n'a pas variée en fonction de la fréquence. En effet, pour les deux fréquences, nous avons mesuré 1.36 W/mm à $V_{DS} = 10V$ en mode CW pour atteindre 5W/mm à $V_{DS} = 30V$ et même 5.9 W/mm à 40V en mode Impulsionnel. Une étude a été entreprise à 40 GHz bien que cette filière ne soit pas adaptée à une telle fréquence avec une longueur de grille de 250 nm. Nous avons constaté qu'à cette fréquence le composant délivré une puissance de 0.6 W/mm associée à une PAE de 8.5% confirmant la nécessité d'une structure d'épitaxie optimisée. Par ailleurs et comme attendu pour une filière qualifiée, les composants UMS ont montré une robustesse absolue jusqu'à 40V.

D'autre part, cette étude nous a permis de confirmer par le biais d'une filière industrielle qualifiée, le phénomène de non corrélation entre les mesures DC impulsionnelles et les mesures LoadPull en mode CW et impulsionnel quant à l'impact des effets de pièges et thermiques. En effet, comme pour l'étude de la structure HEMT dopée Carbone, un impact prononcé a été observé lors de l'étude DC impulsionnelle mais pas validé par la comparaison en mode CW et impulsionnel en mesures LoadPull.

5. Etude d'une structure DHFET avec un buffer à faible taux d'Aluminium et également dopé Carbone sur substrat SiC.

i. Description de la structure

En étroite collaboration avec le laboratoire III-VLab[92] (*Thalès*) et dans le cadre du projet ANR LHOM, il a été entrepris d'élaborer une nouvelle structure innovante HEMT à base de InAlGaN/GaN et dont le buffer couple à la fois une « back » barrière AlGaN et le dopage Carbone dans le but de réaliser des transistors opérationnels en gamme de fréquence millimétrique. Cette étude a également pour but la caractérisation de transistors provenant d'une autre source d'épitaxie. En effet, toutes les études présentées précédemment avaient pour point commun la même source d'épitaxie, en l'occurrence, l'industriel EpiGaN. Dans ce projet, la réalisation de l'épitaxie a été prise en charge par l'industriel III-VLab et est présentée ci-dessous Figure 3.36.

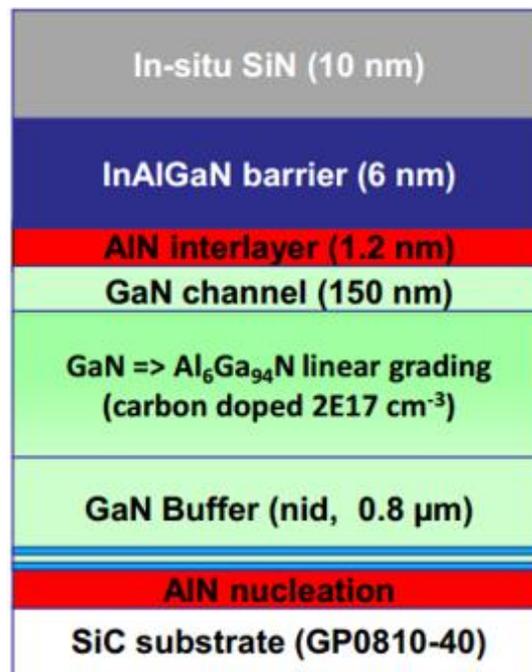


Figure 3.43 : Structure simplifiée de la structure HEMT dopée carbone.

La source d'épitaxie proposée par III-VLab présente une structure dite « quaternaire » présentant un substrat SiC sur lequel est déposé un buffer GaN de 0.8 µm. D'autre part, la structure propose un gradient AlGaN à faible taux d'Al (6%) dopée Carbone. Enfin, la structure est composée d'une barrière en InAlGaN de 6nm terminée par un un cap SiN *in-situ* de 10 nm dont la croissance est réalisée au sein du bâti MOCVD. Pour ce premier échantillon, il a été choisi d'appliquer une grille de longueur de 250 nm.

ii. **Caractérisations statiques et « petit signal »**

La figure 3.37 ci-dessous présente la caractérisation statique d'un transistor 2x25 μm réalisé à l'IEMN à partir d'une source épitaxiale fourni par III-VLab.

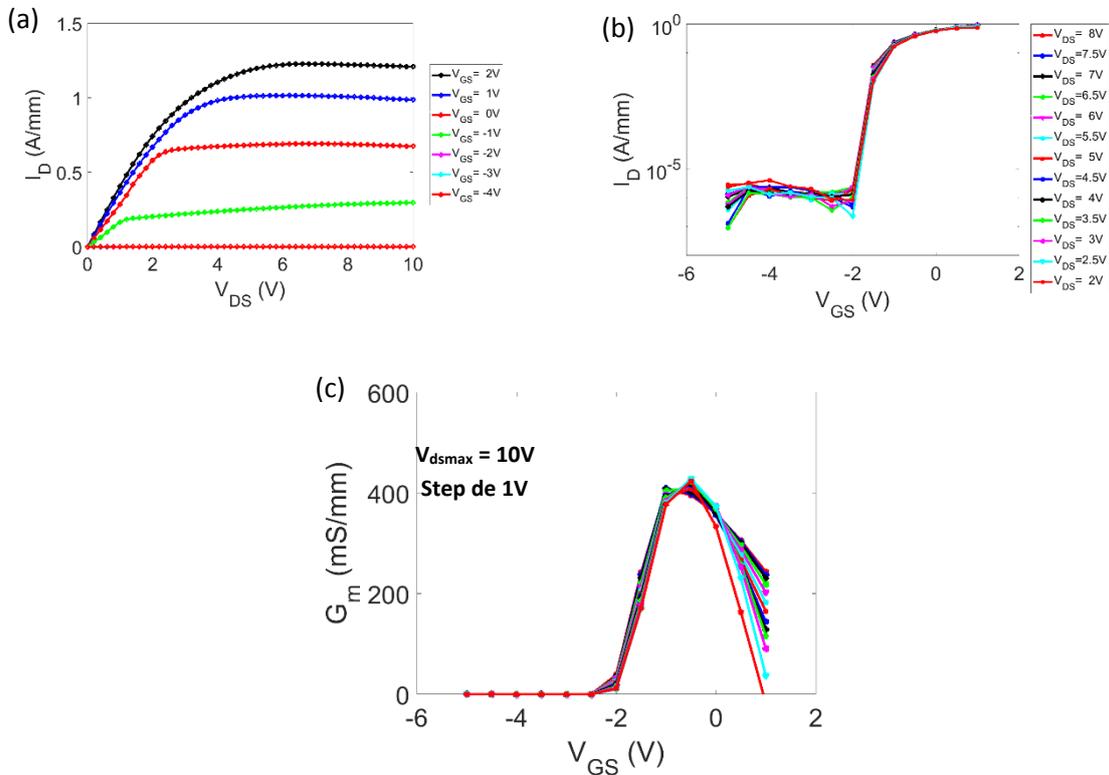


Figure 3.44 : Caractéristique $I_d (V_{ds})$ normalisée (a), caractéristique $I_d (V_{gs})$ normalisée (b) et transconductance G_m normalisée (c) d'un transistor HEMT 0.25x50 μm

La Figure 3.44 met en évidence un courant de drain maximum de **1.3 A/mm** mesuré pour un $V_{gs} = +2\text{V}$. Une transconductance supérieure à **400 mS/mm** est constatée pour un $V_{ds} = 10\text{V}$. Un courant de fuite au pincement inférieur à $10 \mu\text{A/mm}$ est constaté et illustré par la caractéristique $I_d(V_{gs})$.

Cependant, des effets de pièges très visibles sont observés par le biais de la caractéristique DC Impulsionnelle présentée Figure 3.45.

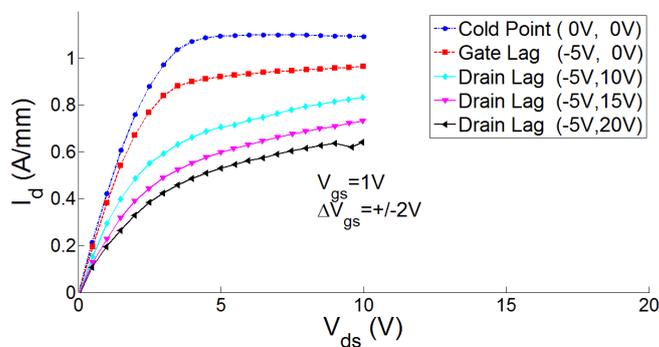


Figure 3.45 : Caractéristique $I_d (V_{ds})$ DC Impulsionnel.

La Figure 3.45 met en évidence l'impact des effets de pièges illustré par le « Gate Lag » et « Drain Lag » montrant une détérioration croissante et prononcée en fonction de la tension de repos $V_{ds,Q}$. Lors de la campagne de mesures effectuée sur cet échantillon, les effets de pièges étaient déjà visible lors des mesures DC en mode CW comme le prouve la Figure 3.46.

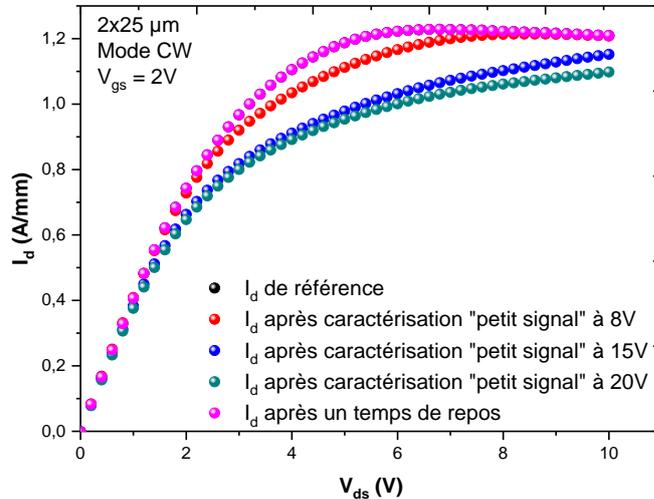


Figure 3.46 : Caractéristiques $I_d(V_{ds})$ DC en mode CW pour une tension de grille $V_{gs} = +2V$.

Les caractéristiques $I_d(V_{ds})$ représentent le courant de drain I_d pour une tension $V_{gs} = +2V$ mesuré au repos ainsi qu'entre chaque mesure « petit signal » (*mesures Paramètres S pour évaluation des fréquences F_t et F_{max}*). Lors du protocole de mesures, une vérification de l'intégrité du transistor est effectuée entre chaque mesure pouvant amener une éventuelle détérioration, notamment du courant de fuite de grille. Lors de la phase de caractérisation DC et « petit signal », les vérifications sont réalisées sur le courant de fuite et le courant de drain maximum. Dans le cas de cet échantillon, un phénomène de détérioration a été observé après une caractérisation « petit signal » pour une tension $V_{ds} = 8V$. Cette détérioration est accentuée en fonction de la tension de drain mettant en évidence des effets de pièges très lents, visibles en mesure DC en mode CW. Après un temps de repos (*de l'ordre de quelques minutes*), le courant de drain maximum revient à son état initial. Comme mentionné précédemment, la structure proposée présente une croissance du cap SiN *in-situ* qui à l'heure de cette campagne de mesure était non-optimisé et en cours de développement chez III-VLab.

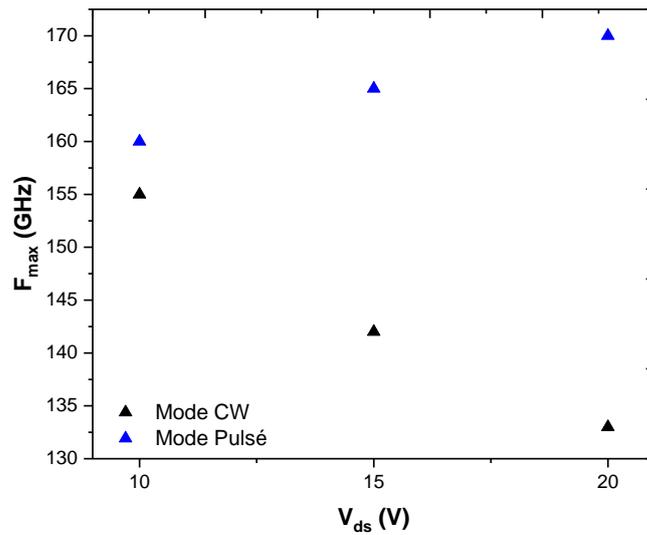


Figure 3.47 : Comparaison de la fréquence F_{max} entre le mode CW et le mode Impulsionnel.

Pour mettre encore plus en relief les effets néfastes des pièges, une étude en paramètre S en mode CW et Impulsionnel a été entreprise (montré Figure 3.47). Cette étude vient confirmer l'impact néfaste observé auparavant. En effet, on observe une nette différence entre le mode CW et le mode Impulsionnel sur la fréquence maximale d'oscillation en termes de valeur mais aussi en termes d'évolution. En mode CW, on constate une décroissance du F_{max} en fonction de la tension de drain qui traduit une fois de plus la présence de charges de surface parasite dû à un cap SiN non-optimisé.

iii. Caractérisation « grand signal »

Dans cette partie, l'étude a été réalisée pour une fréquence d'opération de 40 GHz répondant aux objectifs du projet LHOM décrit ci-dessous :

- Fréquence d'opération de 40 GHz
- Puissance de saturation supérieure à 4 W/mm

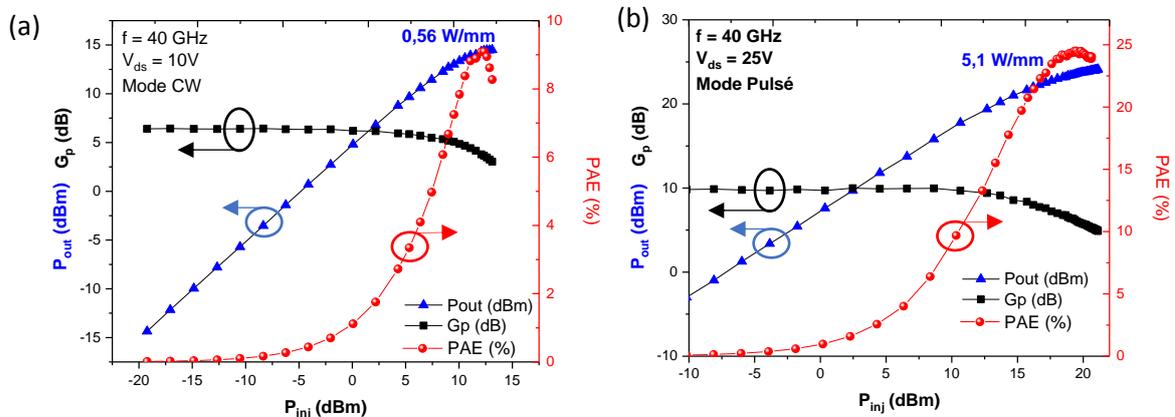


Figure 3.48 : Mesure de puissance en mode CW d'un transistor HEMT $2 \times 25 \mu\text{m}$ à 40 GHz pour une tension de drain $V_{DS} = 10$ V en mode CW (a) et une tension de 25V en mode Impulsionnel (b).

La Figure 3.48 (a) représente la mesure LoadPull en mode CW pour une tension V_{DS} de 10V (a) affichant une densité de puissance de **0.56 W/mm** bien loin de la valeur escomptée au vue du courant de drain maximum. En mode Impulsionnel, pour une tension V_{DS} de 25V, la Figure 3.48 (b) met en évidence une densité de puissance de **5.1 W/mm** associée à une PAE de **24.5 %**. Malgré une longueur de grille trop large pour une fréquence d'opération de 40 GHz, les objectifs fixés par le projet ont été atteints, prouvant le potentiel de cette structure. Il reste, néanmoins, à maîtriser les phénomènes de pièges au sein de cette structure avec notamment le contrôle des charges de surface nécessitant l'optimisation du cap layer SiN.

iv. Bilan

Cette nouvelle structure, bien qu'en cours de développement, présente déjà des caractéristiques encourageantes en régime statique illustré par un courant de drain maximal de **1.3 A/mm** mesuré pour un $V_{gs} = +2V$ ainsi qu'un bon confinement des électrons et de faible courant de fuite. Une transconductance supérieure à 400 mS/mm a été constatée. Cet échantillon a déjà permis de remplir les objectifs de densité de puissance à 40 GHz en délivrant plus de **5 W/mm** pour une tension $V_{DS} = 25V$ en mode Impulsionnel.

Cependant, symptomatique d'une structure non-optimisée, des effets de pièges ont été observés lors des mesures DC en mode CW au travers d'une dégradation du courant de drain. De même, la caractérisation « petit signal » a confirmé la présence d'effets de pièges à constante de temps lente.

En conséquence, nous observons très nettement l'impact des effets de pièges sur la densité de puissance, ce qui confirme le phénomène observé auparavant. En effet, la Figure 3.49 met en exergue un écart de plus **70%** à $V_{ds} = 10V$ représentant plus de 3 fois la valeur obtenue en CW, pour atteindre un écart de plus de **80%** à 20V.

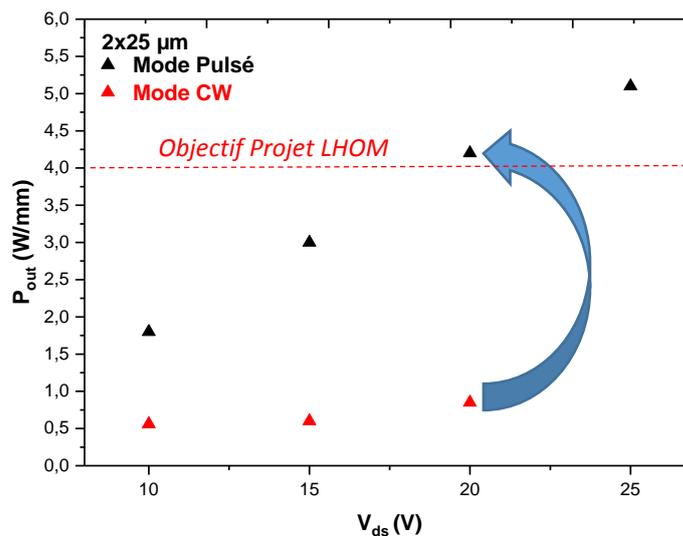


Figure 3.49 : Evolution de la densité de puissance en fonction de V_{ds} mode CW vs mode Impulsionnel.

Dans la suite de ce projet, il a été entrepris d'optimiser l'étape de croissance du cap SiN *in-situ* afin de minimiser les charges de surfaces parasites qui ont un impact très néfaste sur les performances de cette structure. D'autre part, afin d'assurer des performances RF élevées, l'échantillon suivant sera réalisé avec une longueur de grille plus courte de l'ordre de 100-150 nm afin d'atteindre les objectifs visés dans la gamme de fréquence millimétrique. ≠

IV. Récapitulatif de différentes études effectuées dans le cadre de ma thèse.

Nom	Descriptions	Structure	Courant I_{dmax} (A/mm) à $V_g = +2V$	G_m (mS/mm)	F_t/F_{max} (GHz) à $V_{ds} = 20V$	Fréquence Mode CW/Impulsionnel	Densité de puissance ⁽¹⁾ (W/mm)	PAE ⁽²⁾ (%)	Robustesse en mode CW
VeGaN5 SiC	Echantillon réalisé dans le cadre du projet VeGaN et EuGaNic (grille de 120 nm)	DHFET	1.3	400	55/235	40 GHz CW et Impulsionnel	6.3	46.3	Signe de détérioration à $V_{ds} = 15V$ Destruction à $V_{ds} = 20V$
EP7711 SiC	Echantillon réalisé dans le cadre du projet EuGaNic (grille de 150 nm)	HEMT Dopé Carbone	1.5	500	55/180	40 GHz CW et Impulsionnel	6.5 (CW) 6.6 (Impulsionnel)	40.1 42.6	Aucun signe de détérioration observé Jusqu'à $V_{ds} = 30V$
UMS	Echantillon caractériser dans le cadre de la collaboration UMS-IEMN (grille de 250 nm)	AlGaIn/GaN SiC	0.9 à $V_{gs} = +1V$	300	23/85.7	10/18/40 GHz CW et Impulsionnel	5.9 (Impulsionnel)	51.6	Aucun signe de détérioration observé Jusqu'à $V_{ds} = 30V$
TS968	Echantillon réalisé dans le cadre du projet LHOM (grille de 250 nm)	AlGaIn/GaN Dopée Carbone	1.3	400	28/133	40 GHz CW et Impulsionnel	5.1 (Impulsionnel)	24.5	Destruction à $V_{ds} = 20V$

(1) Densité de puissance maximale mesurée

(2) PAE maximale mesurée

Figure 3.50 : Tableau récapitulatif des échantillons étudiés et présentés.

Nom de l'échantillon	Descriptions	Substrat	Structure	Fréquence	Mode CW/Impulsionnel	Commentaires
VeGaN6	Echantillon réalisé dans le cadre du projet VeGaN et EuGaNic (grille de 120 nm)	SiC	DHFET	40 GHz	CW et Impulsionnel	Echantillon pour test de passivation optimisé par la suite.
1582 1581-1583-1584	Echantillon test Grille 250 nm	Si	DHFET HEMT Dopé Carbone	10 GHz	CW et Impulsionnel	Optimisation de buffer. Passage à la structure HEMT dopée Carbone
1981	Echantillon test	Si	DHFET	40 GHz	Impulsionnel	Technologie non optimisée.
EP4131 EP4121	Echantillon pour étude de dopage Carbone et comparaison avec structure DHFET (grille de 220 nm)	Si	HEMT Dopé Carbone DHFET	18 GHz	Impulsionnel	Longueur de grille à optimiser.
967-971	Echantillon dans le cadre du projet LHOM	SiC	AlGaIn/GaN Dopé Carbone	40 GHz	CW et Impulsionnel	Résultats non concluant : trop d'effets de pièges en fonction de V_{ds} .
CH0006	Echantillon EnKris[93] (fondeur) avec cap SIN de 11 nm	Si	DHFET	40 GHz	Impulsionnel	Effet de pièges quasi inexistant, procédure de fabrication non optimisée.
EP5061	Echantillon dans le cadre des projets VeGaN et EuGaNic (grille 220 nm)	SiC	DHFET	18-40 GHz	CW et Impulsionnel	Longueur de grille à optimiser.

Figure 3.51 : Tableau récapitulatif des échantillons étudiés non optimisés.

V. Conclusion

Dans ce chapitre, plusieurs études ont été entreprises dans le cadre de la recherche intensive menée à IEMN. Le laboratoire s'est imposé plusieurs objectifs clairs dans la thématique GaN: une densité de puissance élevée, une PAE élevée accompagnée d'une forte robustesse. La densité de puissance élevée représente un enjeu primordial en termes de circuit. En effet, plus la densité de puissance est élevée moins de transistors sont nécessaires à la réalisation de fonctions tel que l'amplificateur de puissance, ce qui permet de réduire la dimension des circuits. Une PAE élevée, quant à elle, permet d'affaiblir l'impact des effets thermiques et enfin la robustesse dans le but de réaliser des composants de calibre industriel.

Pour répondre à ces objectifs, j'ai pu mener différentes études sur des structures variées. Plusieurs sources d'épitaxies ont été utilisées provenant d'industriels chevronnés dans le domaine (EpiGaN, III-VLabs, EnKris). Par ailleurs, en plus de la caractérisation des composants réalisés à l'IEMN, j'ai eu l'opportunité dans le cadre d'une collaboration entre UMS et l'IEMN de caractériser une filière GaN sur substrat SiC qualifiée.

Les études proposées dans ce chapitre ont mis en évidence des performances à l'état de l'art fournit par la structure DHFET (double hétérojonction) avec une PAE de **46.3%** associée à une densité de puissance de **4.5W/mm** obtenue pour une fréquence d'opération de **40 GHz** en mode CW. Malheureusement, une dégradation à partir de $V_{DS} = 15$ V a été observée, attribuée au phénomène d'auto-échauffement dû à la faible dissipation thermique de la « back barrière » AlGaIn. Pour pallier à cette limitation thermique, nous avons mis au point, une structure à buffer GaN dopé Carbone. Cette structure a montré d'excellentes performances radiofréquences illustrées par une densité de puissance de 6.5 W/mm en mode CW à $V_{DS} = 30$ V. Plus important encore, cette nouvelle structure a montré une rupture avec la structure DHFET en terme de robustesse en montrant une faible dégradation jusqu'à $V_{ds} = 30$ V.

L'ensemble des études que j'ai été amené à réaliser dans le cadre de ma thèse mettent en évidence l'expertise des recherches menées au sein de l'IEMN dans la thématique GaN, ceci étant illustré par l'obtention de performances à l'état de l'art et par l'évolution au fil de temps de l'obtention de la robustesse.

Chapitre 4 : Conception d'Amplificateurs de Puissance en technologie MMIC à base de GaN sur substrat Silicium en bande Ka.

I. Introduction

La technologie GaN est appelée à se développer dans le cadre d'applications liées à la Défense et l'aérospatiale. Egalement, les applications dans le domaine grand public telles que le LMDS (Local Multipoint Distribution Service) opérant à des fréquences très proches de la gamme millimétrique (26-29 GHz) sont en pleine expansion. Dans ce contexte d'applications grand public grandissant, la technologie GaN sur substrat silicium présente un intérêt véritable en termes de combinaison coût – performance à ces fréquences. L'objet de ce chapitre est d'étudier les limitations actuelles d'une telle technologie.

L'aboutissement d'une filière GaN en gamme de fréquence millimétrique à l'échelle du circuit intégré nécessite de développer les circuits passifs adéquats tels que les lignes de transmissions, les capacités de découplage et de liaisons afin de réaliser un circuit intégré à intégration monolithique MMIC (Monolithic Microwave Integrated Circuits). Ce développement n'a pas été entrepris dans le cadre de cette thèse et impose donc une intégration hybride des transistors GaN précédemment décrits avec des passifs réalisés sur substrats céramiques (alumine par exemple). Cette intégration hybride délicate en fréquence millimétrique nécessite un modèle grand signal de la technologie développée à l'IEMN.

Un tel modèle n'étant pas suffisamment abouti, l'étude menée dans ce chapitre se focalise sur la filière OMMIC D01GH [52]. La filière GaN sur substrat Si modélisée par l'industriel OMMIC propose des transistors ayant une tension d'opération de 12V. Par ailleurs, l'industriel assure une transconductance de 650 mS/mm, une densité de puissance de 3.3 W/mm et un « Maximum Stable Gain » (MSG) de 14.5 dB pour une fréquence d'opération de 30 GHz.

Les résultats obtenus à l'échelle du circuit ne permettront pas de donner une première estimation des performances pouvant être atteintes par la technologie développée à l'IEMN mais d'étudier à l'échelle du circuit une technologie GaN basée sur la même épitaxie.

Dans ce chapitre, deux amplificateurs de puissance en technologie GaN sur substrat silicium en bande Ka seront présentés, représentant la finalité d'une démarche cohérente de l'étude de transistors en technologie GaN à la réalisation de circuits. Ces deux amplificateurs ont été conçus pour des objectifs bien précis : combiner puissance élevée et PAE élevée et repousser les limites en termes de largeur de bande.

Sur la base de cette technologie MMIC, deux approches différentes sont présentées ci-après : la première consiste à étudier les limites de la technologie D01GH en termes de puissance de sortie combinée à la meilleure PAE possible. Cette combinaison ne peut être obtenue en bande étroite d'autant plus que des contraintes de taille de circuit sont imposées par le fondeur (taille maximale = 3 x2 mm²).

La seconde approche vise à explorer les potentialités de cette technologie en termes de bande passante tout en assurant des performances en termes de puissance et de PAE intéressantes pour les applications liées à l'instrumentation de pointe.

II. Conception et réalisation d'un amplificateur de puissance 10W à 35 GHz

1. Cahier de charges

Pour la réalisation de cet amplificateur, un objectif clair a été fixé : l'obtention de puissance de sortie très élevée. Le choix de la conception d'un amplificateur très haute puissance en technologie GaN sur substrat silicium représente un challenge et un risque certain sachant la faible conductivité thermique du silicium. C'est pourquoi, une attention particulière a été apportée au cahier des charges dans l'obtention d'une PAE supérieure à 25% afin de minimiser les effets thermiques.

Cahier des charges :

- **PAE supérieure à 25%.**
- **Bande passante 34-36 GHz.**
- **Puissance maximal de saturation (P_{SAT}) de 10W.**
- **Gain supérieur à 15 dB.**
- **Taille de la puce (dice) de 3*2 mm².**

Le tableau ci-dessus situe les objectifs fixés par rapport à l'état de l'art :

Bande de fréquence (GHz)	Substrat	Gain (dB)	Puissance (W)	PAE (%)	Taille de puce (mm ²)	Laboratoires /Industriels
35	Si	15	10	25	3x2	IEMN
35	SiC	8	3.45	22	-	Cree[78]
27-34	Si	23	5.6	32	4.5x3.5	OMMIC[52]
32-38	SiC	17	5	34	3.55	Qorvo[79]
32-38	SiC	27	10	35	9.9	Qorvo[79]
29.5	SiC	28	6	37	5.6	Qorvo[80]
30	SiC	28	11	30	11.7	Qorvo[80]

La comparaison des objectifs pour la réalisation de l'amplificateur de puissance avec l'état de l'art met en évidence l'ambition d'atteindre une densité puissance élevée sur une surface très restreinte. Ce choix reste risqué car il est entrepris sur substrat Silicium d'autant plus que malheureusement le « Design Kit » avec laquelle a été conçu l'amplificateur ne présente pas de modèle électrothermique. En absence de ce modèle, il est malheureusement impossible de prévoir le comportement du transistor en fonction sa température interne.

2. Etudes préliminaires

i. Présentation de la filière technologique GaN MMIC utilisée

En parallèle de ces travaux, j'ai été amené à développer une expertise et concevoir des amplificateurs en technologie GaN sur substrat silicium sur une filière industrielle. La technologie utilisée pour concevoir les différents amplificateurs présentés dans ce manuscrit est la technologie D01GH proposée par OMMIC. Cette technologie présente les caractéristiques adéquates (voir Figure 4.1) à la conception d'amplificateur de puissance en bande Ka en technologie MMIC (*Monolithic Microwave Integrated Circuit*).

Parameter	Typical value
Frequency Cutoff	105 GHz
Maximum Stable Gain at 30 GHz	14.5 dB
Minimum noise figure / Associated Gain at 40 GHz	1.8 dB / 7.5 dB
RF power density	3.3 W/mm (5.7 W/mm peak)
Transconductance	650 mS/mm
Source resistance	0.18 Ohm.mm
Low field drain-source resistance	0.8 Ohms.mm
Breakdown voltage	40 V
Quiescent VDD	12 V

Figure 4.1 : Tableau récapitulatif des performances proposées par filière OMMIC [52].

ii. Dimensionnement de l'étage de puissance

J'ai été amené à concevoir cet amplificateur de puissance par étape en commençant par le dernier étage, celui dont la vocation est de délivrer la puissance maximale en sortie, suivant un ordre chronologique bien spécifique. Illustré figure 4.2

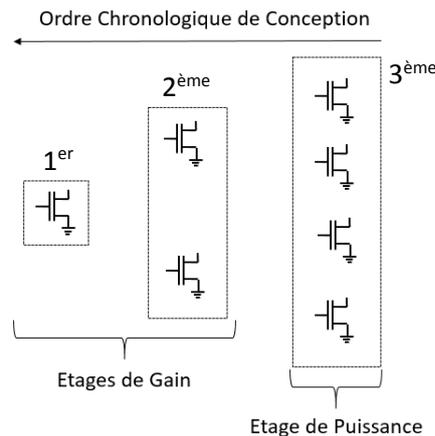


Figure 4.2 : Topologie simplifiée d'un amplificateur à 3 étages.

Comme son nom l'indique, cet étage doit être conçu dans le but de fournir la puissance imposée par le cahier des charges. Pour cela, trois paramètres rentrent en compte : le choix de la polarisation, celui du développement des transistors et le nombre de transistors à utiliser dans l'étage de puissance (celui-ci étant contraint par la taille maximale du circuit autorisée par le fondeur). Le choix

de la polarisation impose la classe de fonctionnement des transistors et donc de celui de l'amplificateur. Pour atteindre notre objectif de 10 W en puissance de sortie mais en prenant aussi en compte la PAE de 25% souhaitée, une classe AB a été choisie induite par le point de polarisation $V_{gs} = -1.2V$ pour une tension de drain $V_{ds} = 12V$ (polarisation préconisée par OMMIC).

Une fois le point de polarisation choisi, le dimensionnement des transistors est l'étape suivante. Avec une exigence de 10W à délivrer en sortie de l'amplificateur à un encombrement restreint de la puce (3x2 mm²), il est impératif d'utiliser des transistors de développement important correspondant au compromis optimal gain-puissance de sortie. Pour cela, le choix du développement s'est porté sur des transistors **8x100 µm**. En effet, ce développement de transistor est à même de fournir la puissance et le gain nécessaires en respectant les contraintes d'encombrement précédemment évoqués comme le montre la figure 4.3.

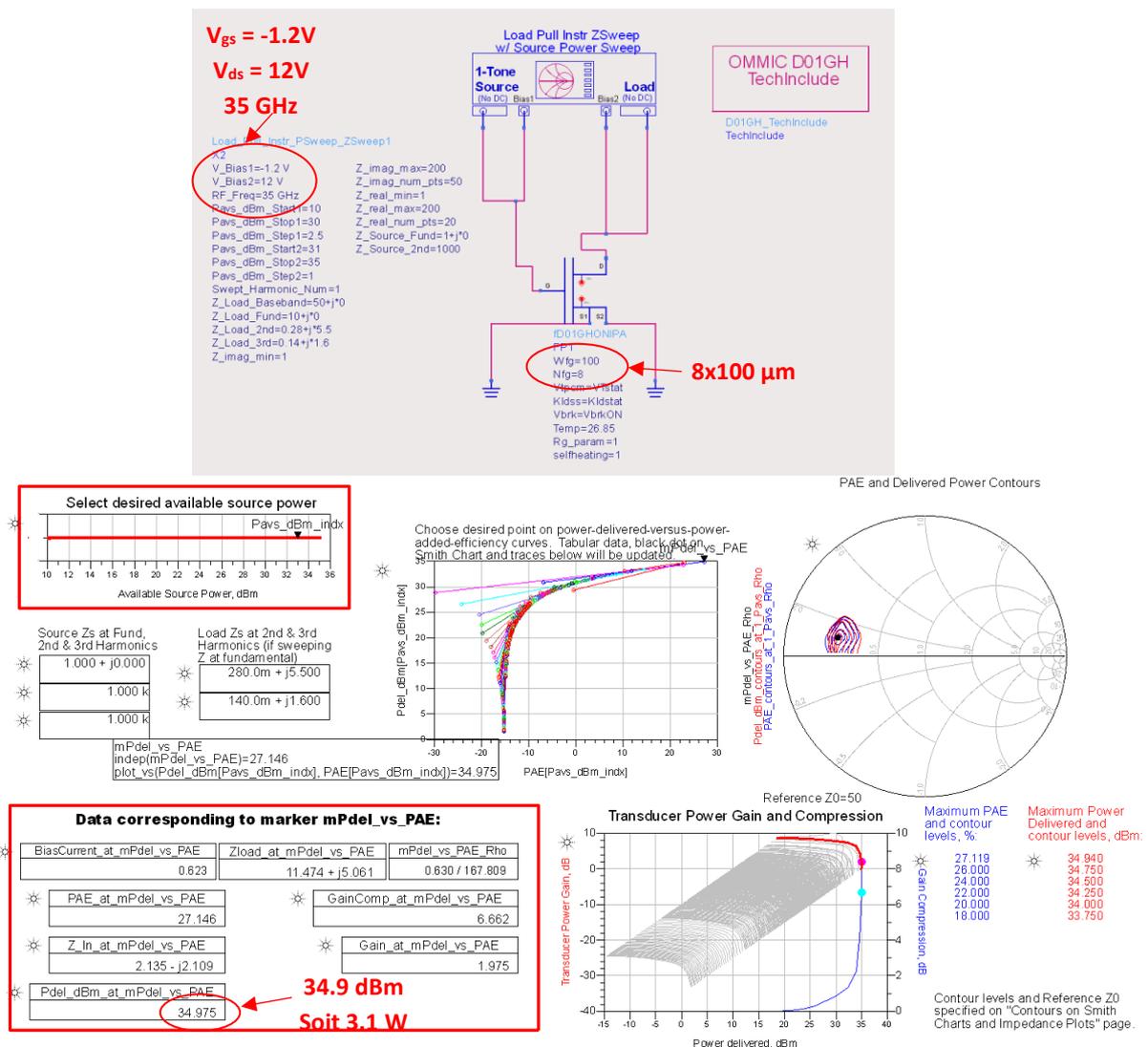


Figure 4.3 : Simulation LoadPull/SourcePull d'un transistor 8x100 µm.

La Figure 4.3 montre une simulation LoadPull/SourcePull (ADS) relative à un transistor 8x100 µm pour une tension de grille de -1.2V et une tension de drain de 12V, ce à la fréquence de 35 GHz. On observe qu'à cette fréquence et pour ce point de polarisation, le transistor est capable de délivrer une puissance de 34.9 dBm soit **3.1W**. Il sera donc nécessaire d'utiliser **quatre transistors** délivrant

ainsi une puissance au-delà de **12W**. Cette valeur qui représente la puissance délivrée par quatre transistors $8 \times 100 \mu\text{m}$ mis en parallèle peut laisser penser à un surdimensionnement des transistors. Cependant, ce résultat illustre les performances de cet étage dans un cadre uniquement idéal excluant les pertes des éléments passifs. En effet, les pertes amenées par les réseaux d'adaptations sont à prévoir.

iii. Dimensionnement des étages de Gain

A la différence du dimensionnement de l'étage de puissance, le dimensionnement de l'étage de Gain, voire des étages de Gain présente un degré de complexité supérieur. En effet, le dimensionnement ne se cantonne pas au Gain délivré par le transistor mais aussi à sa puissance. Le ou les transistors formant l'étage de Gain doivent fournir assez de Gain pour respecter le cahier des charges mais aussi délivrer assez de puissance aux transistors constituant l'étage de puissance comme illustré figure 4.4.

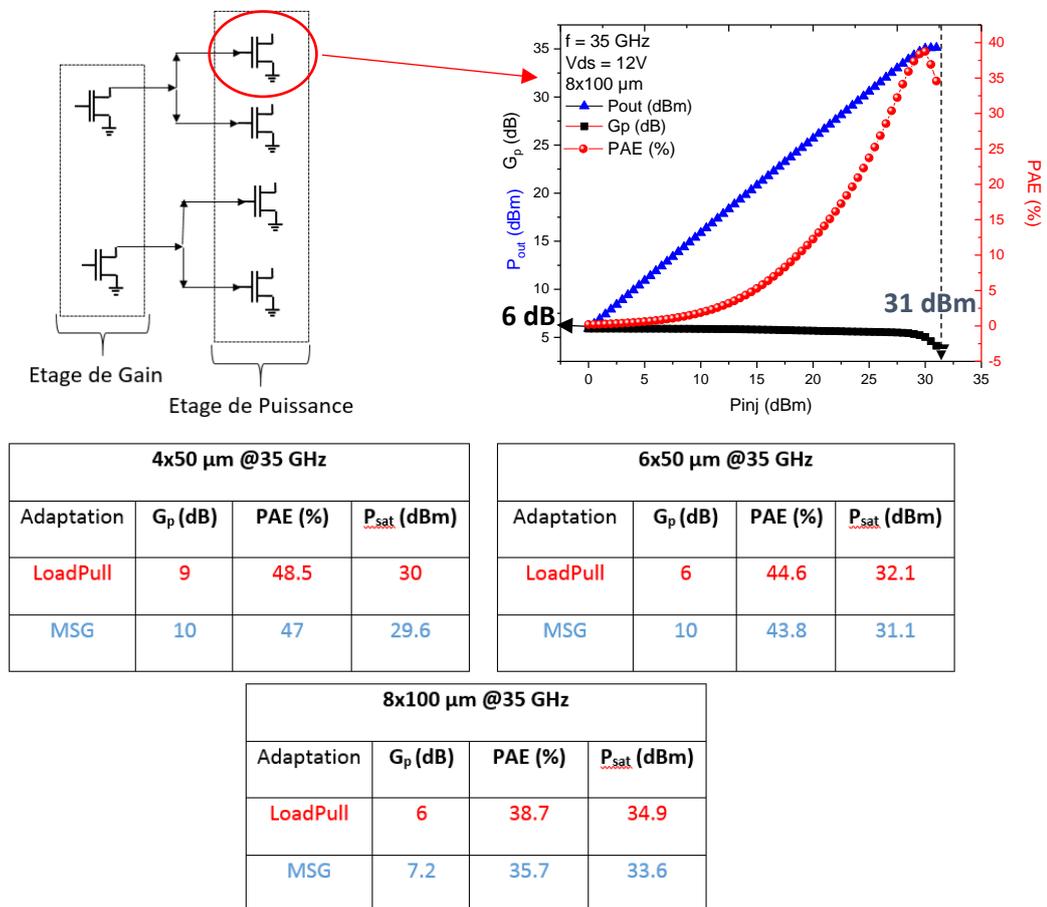


Figure 4.4 : Topologie simplifiée d'un amplificateur à deux étages, caractéristique de puissance simulée d'un transistor $8 \times 100 \mu\text{m}$ à 35 GHz et tableaux récapitulatifs des performances de plusieurs développements en fonction de deux types d'adaptation : Maximum Stable Gain et LoadPull.

La figure 4.4 montre la caractéristique de puissance d'un des transistors constituant l'étage de puissance. Cette caractéristique nous donne les informations nécessaires au dimensionnement des transistors constituant l'étage de Gain. En observant la figure, on note que pour pouvoir saturer le transistor $8 \times 100 \mu\text{m}$ il faut une puissance en entrée de 31 dBm. Etant donné que chaque transistor de

l'étage de Gain doit pouvoir saturer deux transistors de l'étage de puissance, il faut donc un transistor capable de fournir 31+3 dBm soit 34 dBm idéalement, ce qui nécessiterait un transistor de développement trop important et donc ne fournissant pas assez de Gain. Pour pouvoir assurer un Gain au-delà de 15 dB tout en garantissant assez de puissance pour commander l'étage de puissance, des transistors 6x50 μm ont été choisis formant le parfait compromis puissance/Gain.

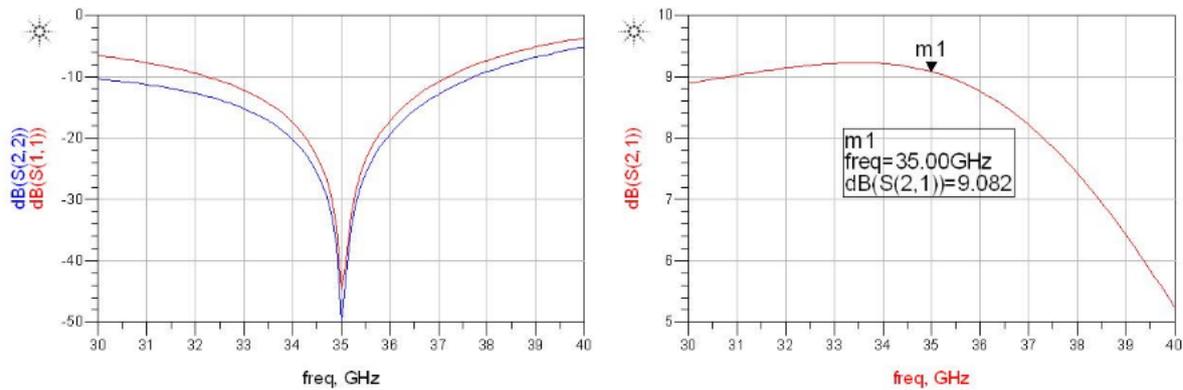


Figure 4.5 : Paramètre S simulés d'un transistor 6x50 μm adapté à 35 GHz.

Comme le montre la figure 4.4 l'étage de puissance fournit un MSG de 6 dB et comme le montre la figure 4.5 l'étage de Gain quant à lui fournit un MSG de 9 dB. Ce qui nous donne un total de 15 dB pour l'ensemble de l'amplificateur. Malheureusement, comme dit précédemment pour la puissance, ce résultat ne prend pas en compte les pertes inévitables dûs aux réseaux d'adaptations essentiels pour relier les étages entre eux. C'est pourquoi, il est nécessaire de rajouter un second étage de Gain afin d'être assuré de respecter le cahier des charges (comme montré figure 4.2).

Le choix du dimensionnement du transistor constituant le deuxième étage de Gain doit prendre deux critères en compte. Le transistor doit délivrer assez de puissance pour saturer le premier étage de Gain et doit être assez robuste pour supporter toute la puissance en entrée nécessaire à l'amplificateur en entier. Pour cela, un transistor 6x50 μm a été choisi.

3. Conception des réseaux d'adaptation.

Maintenant que le dimensionnement des transistors de chaque étage est effectué, il reste à réaliser les réseaux d'adaptation (RA) permettant de relier les étages entre eux. Les réseaux d'adaptation sont essentiels à la conception d'un amplificateur et agissent comme « convertisseur d'impédance » comme le montre la figure 4.6.



Figure 4.6 : Schéma de principe d'un réseau d'adaptation.

Il existe plusieurs méthodes pour réaliser un réseau d'adaptation adapté à un circuit MMIC. Dans la démarche de conception de cet amplificateur seul deux méthodes ont été envisagées :

- Réseau d'adaptation utilisant des éléments localisés : réseau LC.

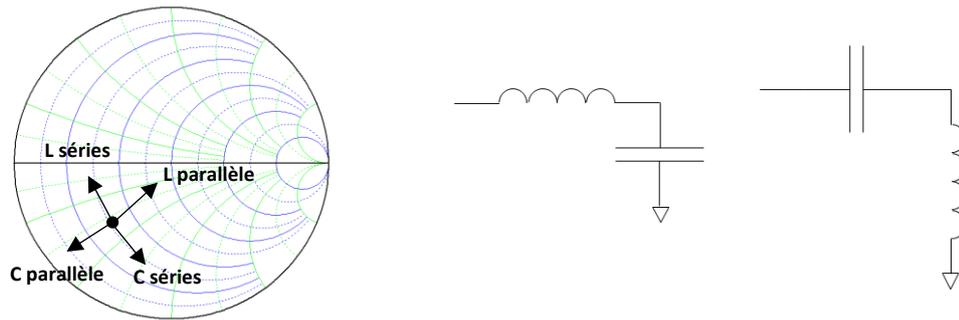


Figure 4.7 : Réseau d'adaptation à base de réseau LC.

Typiquement les éléments localisés sont préférés pour les fréquences basses.

- Réseau d'adaptation simple stub.

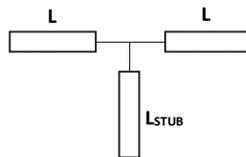


Figure 4.8 : Réseau d'adaptation simple stub.

Ces deux méthodes d'adaptation sont adéquates pour la réalisation de notre amplificateur. Cependant, elles présentent des avantages et des inconvénients à ne pas négliger. Les deux structures peuvent théoriquement modéliser l'intégralité de l'abaque de Smith. Cependant, l'adaptation offerte par l'impédance présentée dans le cas du réseau LC sera très faible bande. Toutefois, le réseau d'adaptation simple stub quant à lui présente des pertes (dues aux pertes linéiques) plus conséquentes.

N'ayant pas à assurer un amplificateur large bande par le cahier des charges (34-36 GHz), le réseau LC semble approprié dans notre cas. Néanmoins, l'utilisation d'inductance dans la réalisation de notre amplificateur en bande Ka n'est pas envisageable. En effet, à ces fréquences les valeurs d'inductance nécessaire à l'adaptation sont trop faibles (comme l'atteste la figure 4.9) et ne permettent donc pas géométriquement en pratique la connexion entre deux éléments. Par ailleurs, dans cette bande de fréquences les inductances sont très difficiles à modéliser.

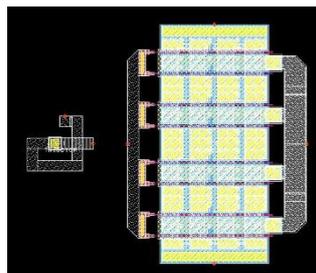


Figure 4.9 : Comparaison entre une inductance et un transistor $8 \times 100 \mu\text{m}$.

C'est pourquoi pour la réalisation de cet amplificateur, le choix s'est porté sur un mélange de ces deux méthodes. Pour ce faire la démarche est la suivante :

1) Adaptation du transistor à l'aide d'un réseau LC

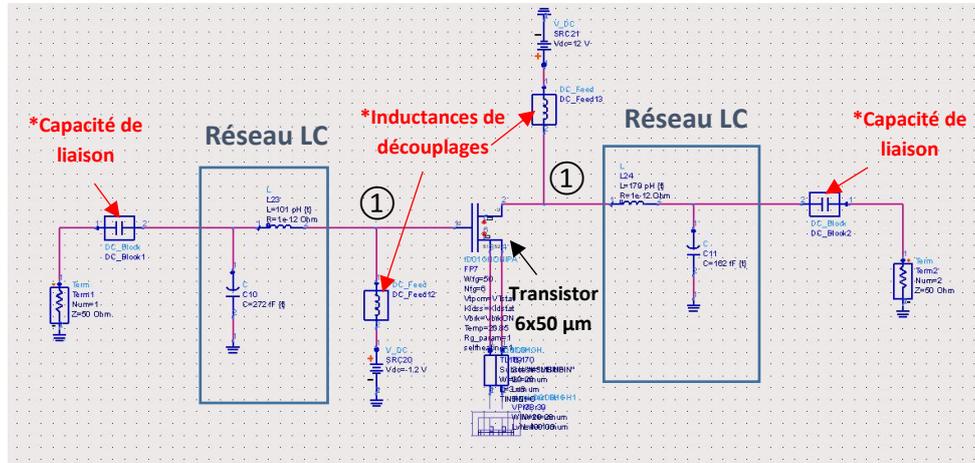


Figure 4.10 : Transistor 6x50 μm adapté à l'aide d'un réseau LC.

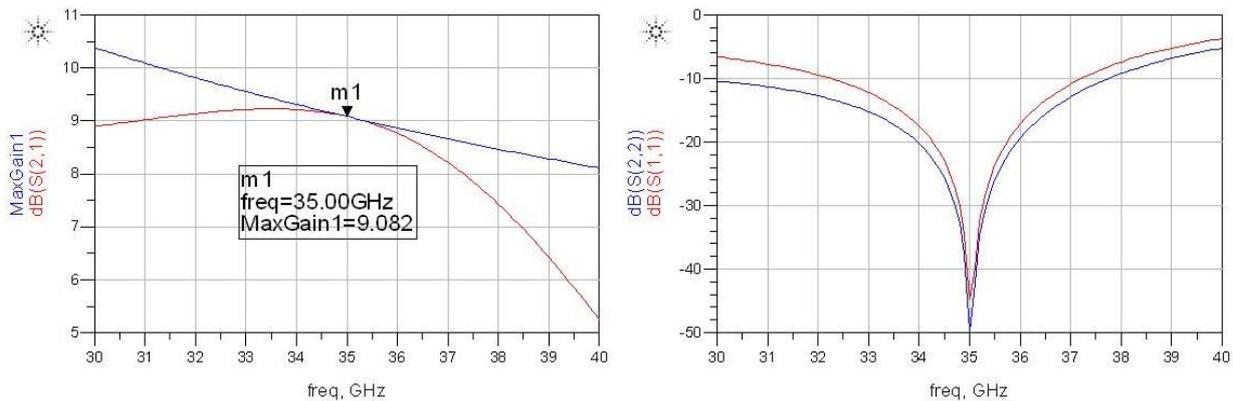


Figure 4.11 : Paramètres S obtenus avec un réseau LC.

Les inductances et les capacités utilisées dans ce cas sont des éléments considérés comme parfaits ne présentant donc aucune perte. L'inductance est délicate à modéliser, à ces fréquences, les inductances nécessaires pour l'adaptation sont très souvent trop faibles et ne peuvent donc pas être utilisées en pratique.

*Les capacités de liaisons et les inductances de découplages forment des filtres respectivement passe-haut et passe-bas de protection. En effet les capacités de liaison protègent la source de puissance d'entrée et le récepteur de sortie de l'alimentation DC. Les inductances de découplages quant à elles protègent les alimentations DC de toutes puissances RF. En pratique, ces inductances sont reliées au circuit par des lignes de longueur effective de $\lambda_g/4$ afin de présenter un circuit ouvert en ①. En effet, pour convertir le circuit fermé présenté par la capacité de découplage reliée à la masse (non représentée sur la Figure 4.10 mais visible sur le layout Figure 4.16) une longueur de $\lambda_g/4$ est requise afin de présenter l'équivalent à un circuit ouvert en ① ce qui permet d'amener aucune perturbation sur le plan du circuit.

2) Adaptation du transistor à l'aide d'un réseau « ligne + capacité ».

La deuxième étape consiste à remplacer l'inductance, inutilisable pour la conception, par une ligne micro ruban reproduisant le même comportement formant ainsi un réseau « ligne + capacité ». Ce réseau permet de rendre l'adaptation réalisable en termes de « layout ».

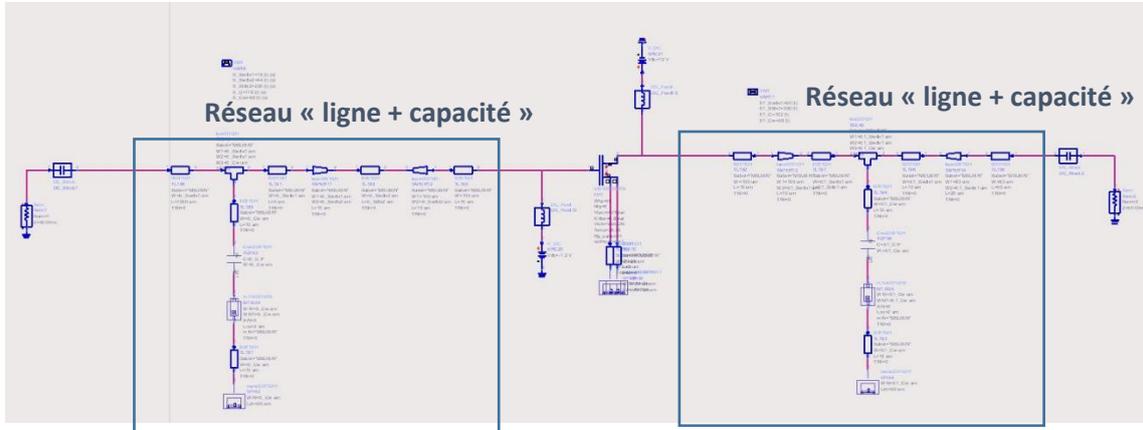


Figure 4.12 : Transistor 6x50 μm adapté à l'aide d'un réseau « ligne + capacité ».

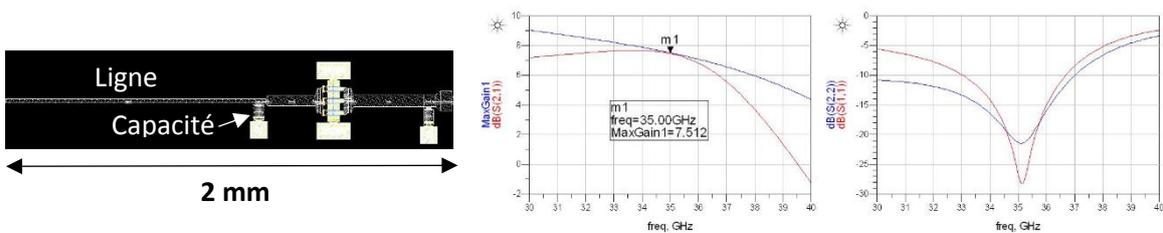


Figure 4.13 : Layout d'un transistor 6x50 μm adapté à l'aide d'un réseau « ligne + capacité » et les paramètres S obtenus.

On observe en remplaçant les éléments parfaits par des éléments utilisables pour réaliser le layout, une diminution du Gain de **1.5 dB**. D'autre part, il est à remarquer qu'adapter le transistor à l'aide ligne micro ruban prend beaucoup de place et représente donc un challenge certains en vue de la dimension de la puce imposée par le cahier des charges de 3x2 mm². Cet encombrement devra donc être maîtrisé par des ajustements géométriques.

Maintenant que la démarche d'adaptation a été décrite pour un transistor, il suffit d'appliquer cette méthode pour l'ensemble des transistors constituant l'amplificateur comme montré figure 4.14.

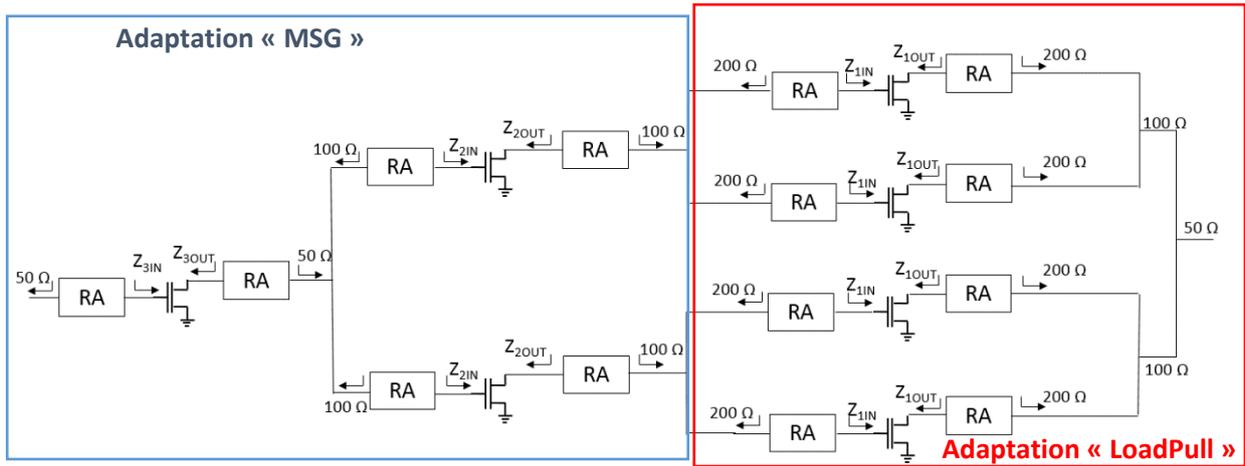


Figure 4.14 : Schéma de principe d'un amplificateur à 3 étages avec réseaux d'adaptation.

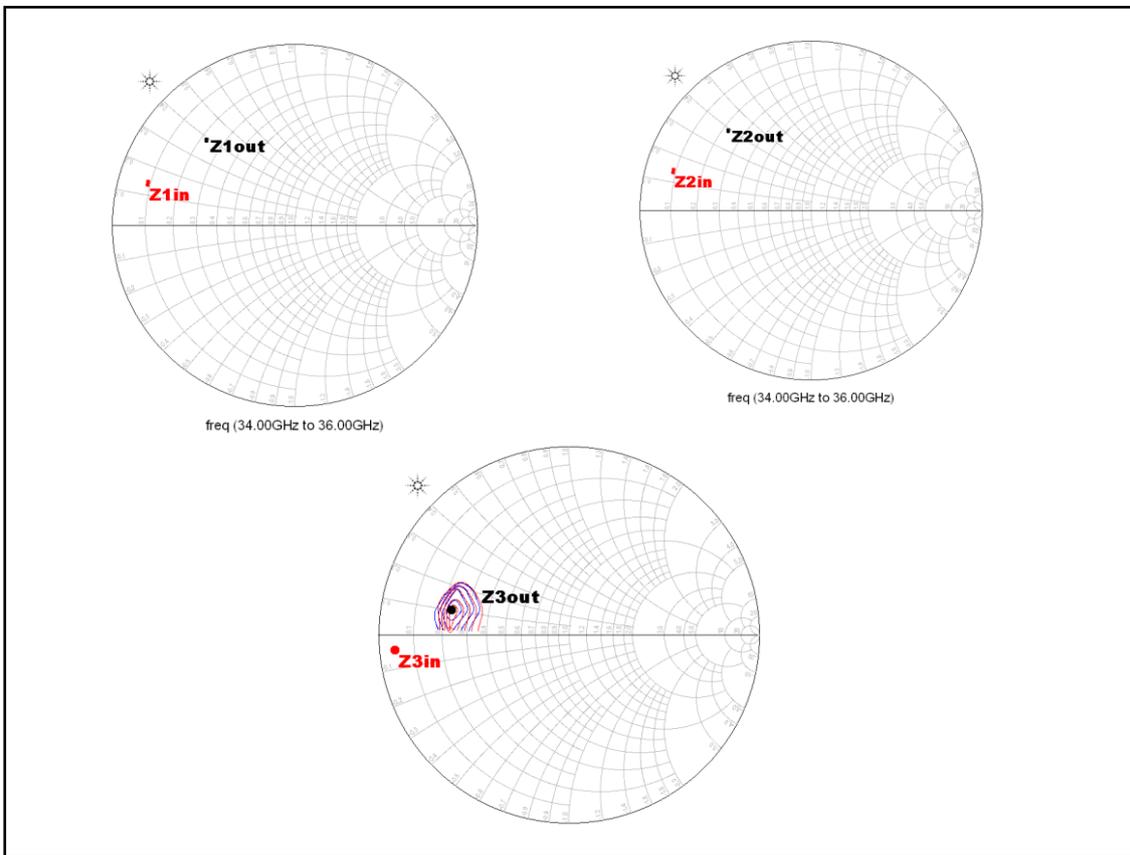


Figure 4.15 : Représentation des impédances présentées en entrée et en sortie des transistors.

	IN	OUT
Z_1	$Z_0 * (0.09 + j*0.141)$	$Z_0 * (0.224 + j*0.389)$
Z_2	$Z_0 * (0.09 + j*0.141)$	$Z_0 * (0.224 + j*0.389)$
Z_3	$1.978 - j*2.627$	$11.474 + j*5.061$

Z_0 représente une impédance de 50 Ω

En sortie de l'étage de puissance (**encadrée en rouge**) montré Figure 4.14, les réseaux d'adaptation ont été conçus pour présenter en sortie du transistor l'impédance optimale Z_{1OUT} afin que le transistor délivre le maximum de puissance (*impédance obtenue à l'aide d'une simulation LoadPull*). Ce même réseau d'adaptation a été prévu aussi pour présenter en sa sortie 200Ω . Cette valeur a été choisie pour obtenir directement 50Ω lorsque les quatre transistors formant l'étage de puissance sont reliés par des lignes à faibles pertes. Ce choix nous permet d'exclure l'utilisation de *power combiner* (trop encombrant). En effet, les transistors constituant l'étage de puissance fournissent un S_{12} de l'ordre -20 dB assurant donc une isolation suffisante entre les différentes voies parallèles.

Pour les étages de Gain, une adaptation ayant pour but d'atteindre le maximum de Gain a été privilégiée. Z_{1IN} , Z_{2IN} , Z_{1OUT} et Z_{2OUT} correspondent aux impédances à présenter en entrée et en sortie de chaque transistor formant les étages de Gain pour obtenir le maximum de Gain. Ces impédances ont été représentées Figure 4.15 dans la bande de fréquence 34-36 GHz. On remarque que l'évolution fréquentielle des impédances à présenter en entrée et sortie des transistors est très faible, illustré par une zone très restreinte sur l'Abaque de Smith. La figure 4.14 illustre le layout de l'amplificateur global issues de cette approche.

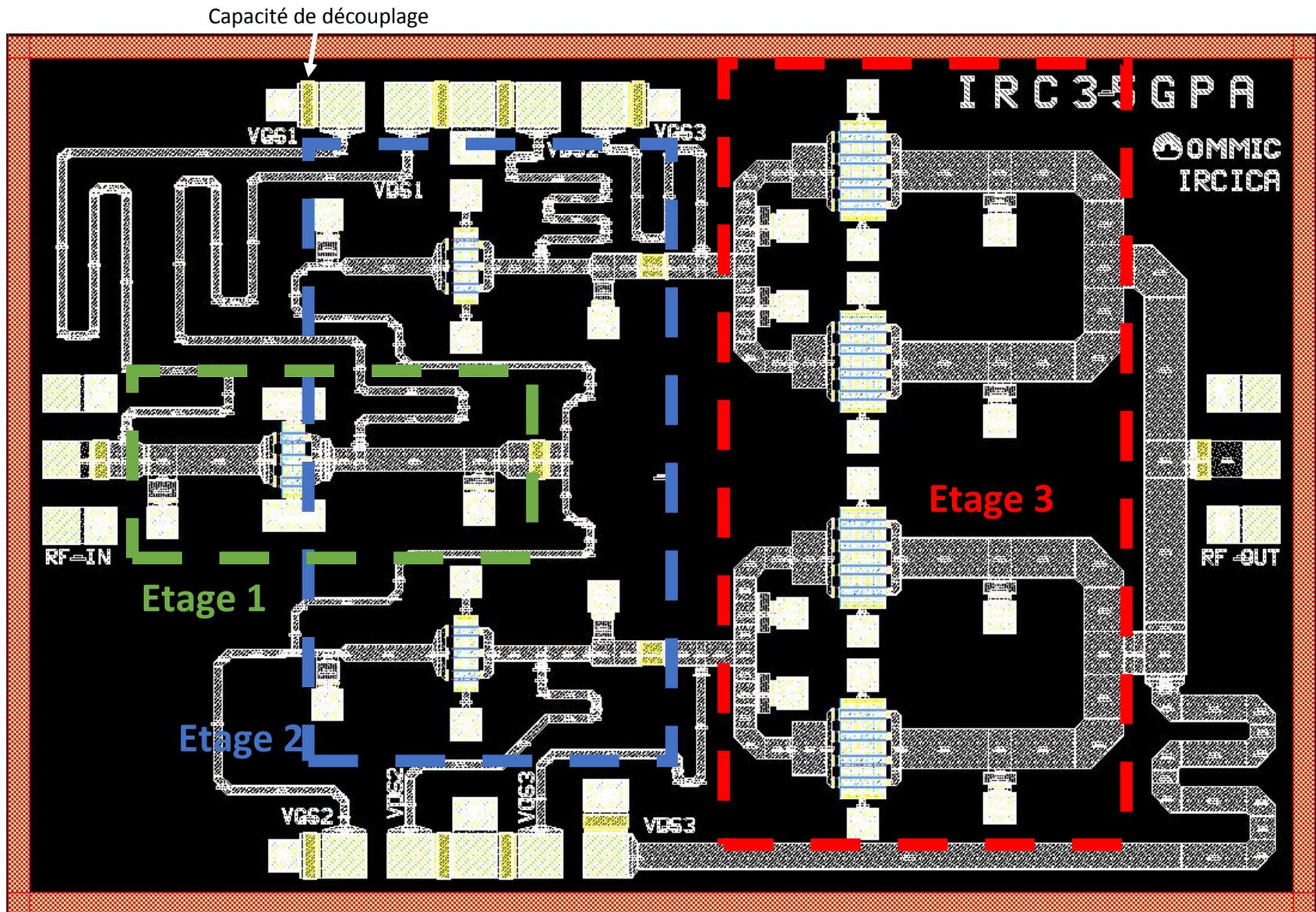


Figure 4.16 : Layout final de l'amplificateur 35 GHz

4. Présentation des résultats de simulation

i. Paramètre S et stabilité de l'amplificateur

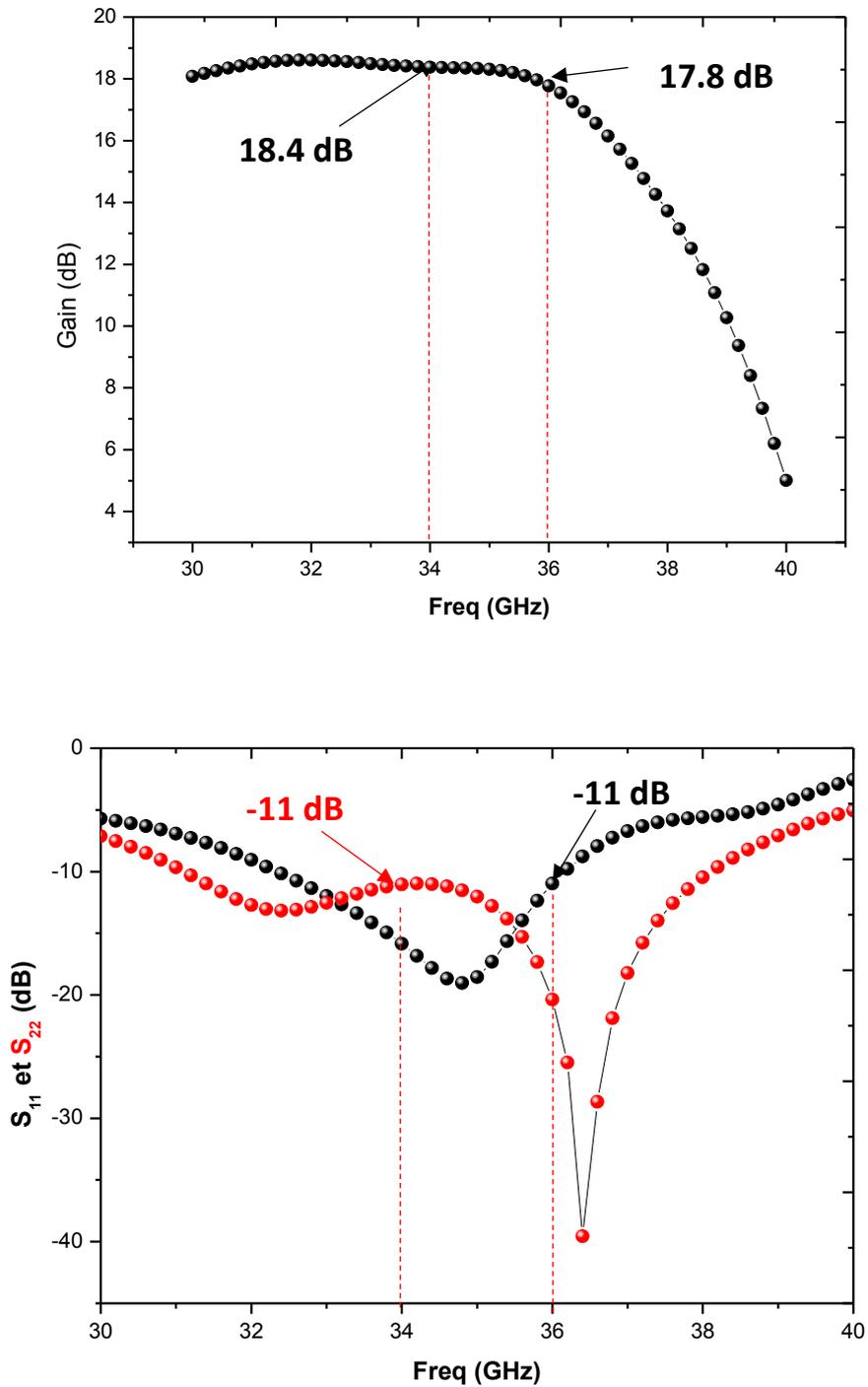


Figure 4.17 : Paramètres S de l'amplificateur 35 GHz obtenus en simulation.

Nous observons figure 4.17, que l'amplificateur conserve un Gain bien au-delà des 15 dB imposés par le cahier des charges. En effet, le **Gain** obtenu en simulation est de **18.4 dB** en début de bande pour atteindre **17.8 dB** en fin de bande. La figure 4.15 nous montre aussi les paramètres de réflexion de notre amplificateur. On note une **adaptation** dans la bande 34-36 GHz de **-11 dB**. La figure 4.18, quant à elle, met en évidence un facteur de Rollet répondant aux conditions de stabilité de l'amplificateur. Pour la bande de fréquences comprises entre 200 MHz et 200 GHz (*fréquence correspondant environ au F_{max}*), l'amplificateur ne montre aucun signe d'instabilité potentielle (facteur de Rollet supérieur à 1 dans toute la bande). Cependant, afin de prévenir les risques pouvant venir d'instabilité liée au phénomène de boucle de contre-réaction, une deuxième étude a été entreprise pour s'assurer du bon fonctionnement de l'amplificateur par l'étude NDF mentionné dans le chapitre 1.

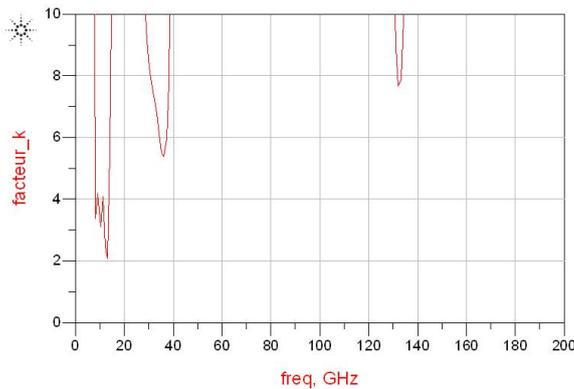


Figure 4.18 : Facteur de Rollet simulé de l'amplificateur.

L'étude NDF (*Normalized Determinant Function*) consiste à évaluer les risques d'oscillations de chaque transistor un par un constituant l'amplificateur. Pour cela, il faut tout d'abord avoir accès au schéma équivalent constitué d'éléments localisés modélisant le comportement du transistor comme montré figure 4.19.

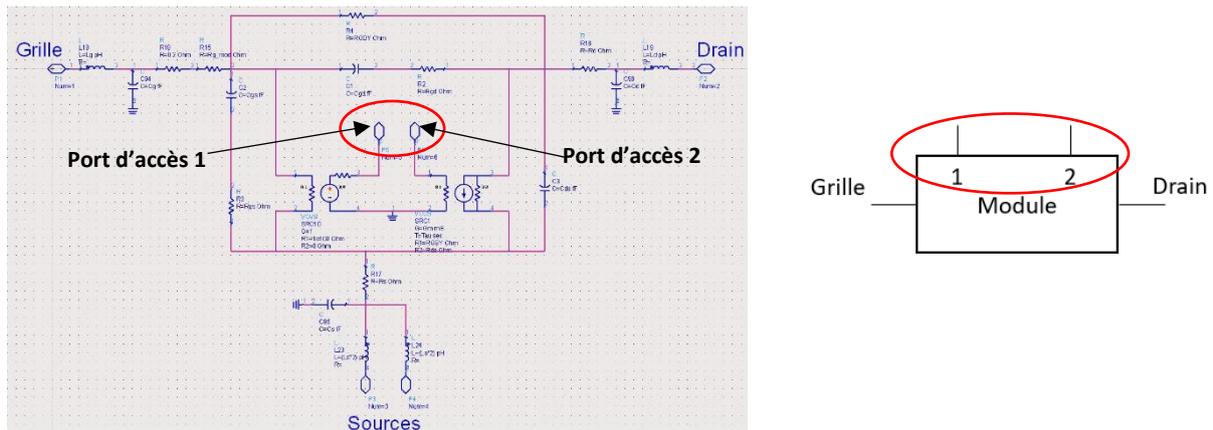


Figure 4.19 : Schéma équivalent d'un transistor disponible sur le Design Kit OMMIC.

Les ports d'accès 1 et 2 seront les ports où seront mesurés les différents NDFs de chaque transistor. Le NDF est défini par :

$$NDF = 1 - \frac{S_{12}}{2}$$

Et c'est la multiplication des NDF de chaque transistor qui donne le NDF total de l'amplificateur. Néanmoins, la simulation de chaque NDF doit suivre un protocole bien précis. Selon tel ou tel liaison des ports d'accès, on obtient trois états différents présentés figure 4.18.

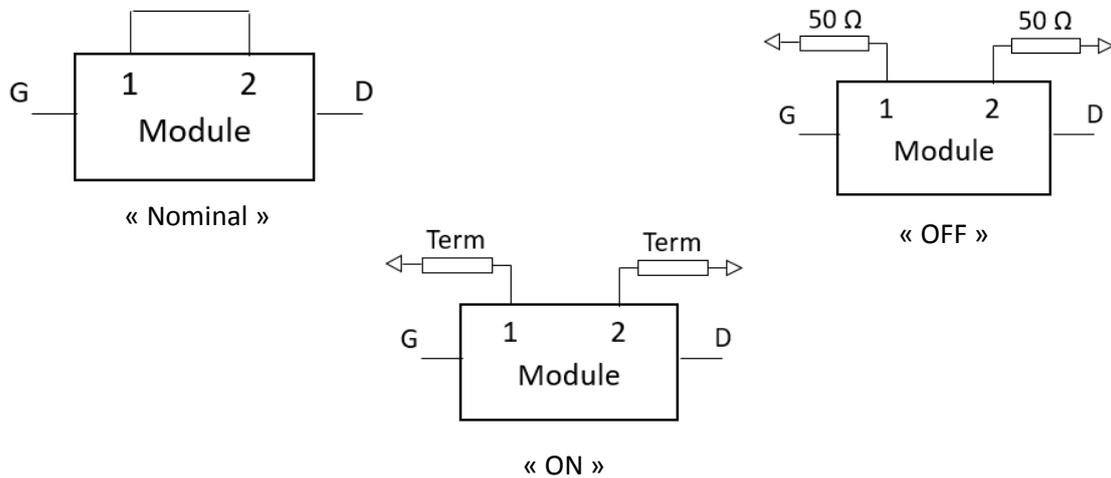


Figure 4.20 : Les trois différents états nécessaires à l'évaluation du NDF.

L'état « Nominal » représente le mode où les ports d'accès 1 et 2 sont court-circuités. L'état « OFF » quant à lui, reflète le mode où les ports d'accès sont tous les deux reliés sur 50Ω. Et enfin l'état « ON » représente le mode où les ports d'accès 1 et 2 sont reliés aux terminaisons disponibles pour la simulation du NDF.

L'évaluation du NDF de chaque transistor s'effectue de la façon suivante :

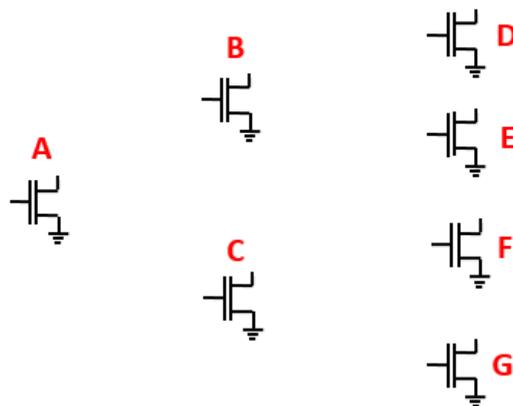


Figure 4.21 : Disposition des transistors pour l'étude NDF.

	A	B	C	D	E	F	G
1^{er} simulation	ON	Nominal	Nominal	Nominal	Nominal	Nominal	Nominal
2^{ème} simulation	OFF	ON	Nominal	Nominal	Nominal	Nominal	Nominal
3^{ème} simulation	OFF	OFF	ON	Nominal	Nominal	Nominal	Nominal
4^{ème} simulation	OFF	OFF	OFF	ON	Nominal	Nominal	Nominal
5^{ème} simulation	OFF	OFF	OFF	OFF	ON	Nominal	Nominal
6^{ème} simulation	OFF	OFF	OFF	OFF	OFF	ON	Nominal
7^{ème} simulation	OFF	OFF	OFF	OFF	OFF	OFF	ON

Une fois l'ensemble de l'étude NDF effectués, il nous suffit uniquement de multiplier l'ensemble des NDF évalués pour chaque transistor et obtenir ainsi l'illustration de la stabilité de l'amplificateur. Comme le montre la figure 4.22, chaque NDF est représenté sur un cercle polaire. Le transistor est considéré comme instable si la représentation du NDF entoure le zéro du cercle polaire. Pour les sept transistors composant l'amplificateur, on constate qu'aucun NDF n'entoure le zéro pour une bande de fréquence allant de 400 MHz à 200 GHz. Pour pouvoir s'assurer de la stabilité de notre amplificateur, des dispositions ont été entreprises. Il existe plusieurs méthodes pour pouvoir stabiliser un amplificateur. La plus commune (qui a été utilisée pour cet amplificateur) est celle qui consiste à introduire un élément inductif entre les sources et les vias (*trous métallisés reliant les sources au plan de masse métallique*). Cette méthode permet généralement de stabiliser l'amplificateur, malheureusement en altérant les performances.

On en déduit donc que l'amplificateur est totalement stable dans cette bande de fréquence. L'analyse complète du NDF ne fait que confirmer la précédente conclusion. En effet, afin de conclure sur la stabilité de l'amplificateur à l'aide du NDF global, il suffit tout d'abord de tracer une droite passant par l'origine du cercle polaire assurant un angle de 135° par rapport à l'axe des réels (montré figure 4.20). Si le nombre de fois où le NDF total coupe cette droite dans le sens horaire est égal au nombre de fois où le NDF total coupe cette droite dans le sens antihoraire alors l'amplificateur est considéré comme stable.

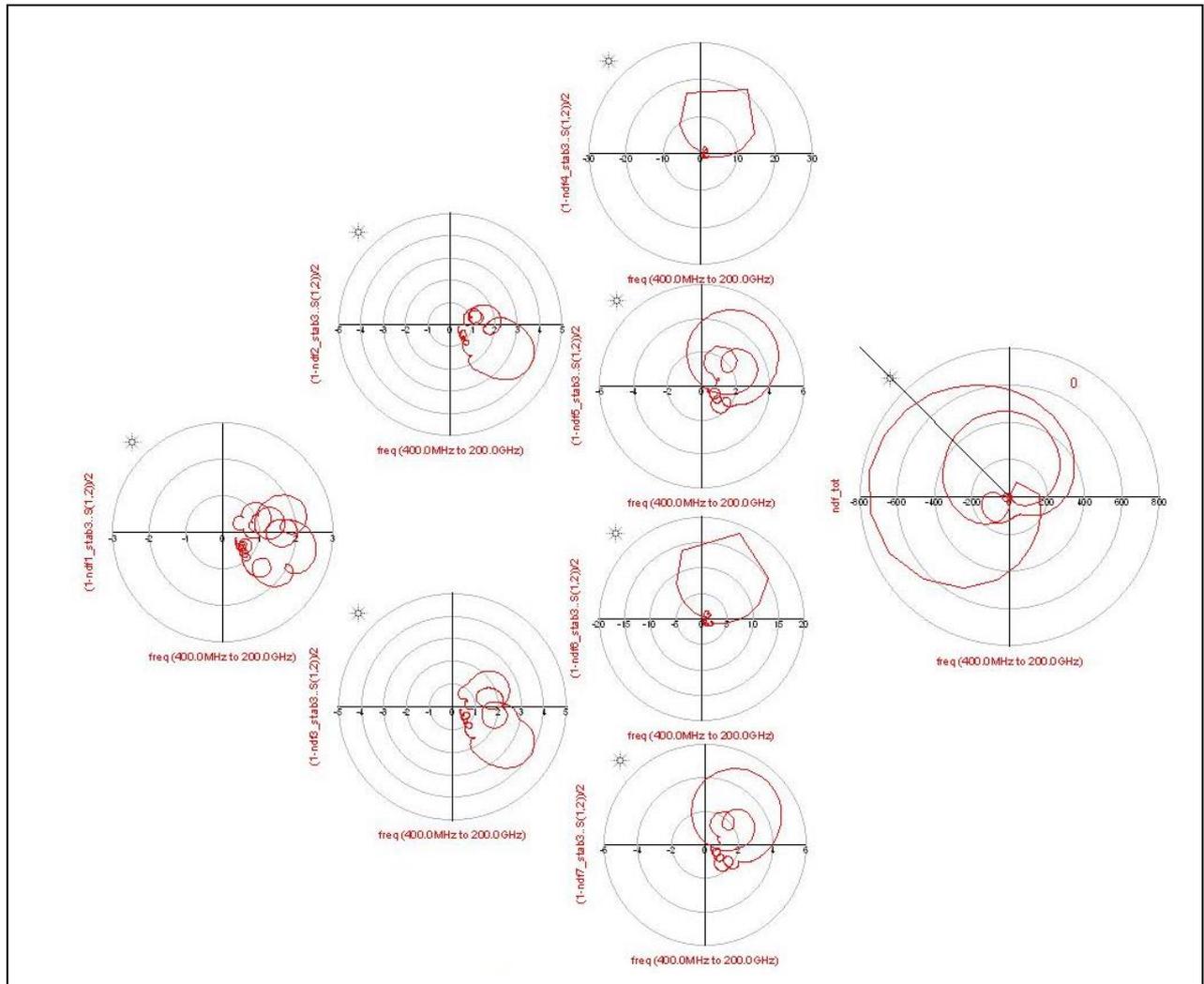


Figure 4.22 : Représentation du NDF de chaque transistor et le NDF global.

ii. Résultats de simulation non-linéaire

Les résultats non-linéaires représentent la puissance de saturation (P_{SAT}), la PAE et le Gain en puissance comme montré figure 4.21.

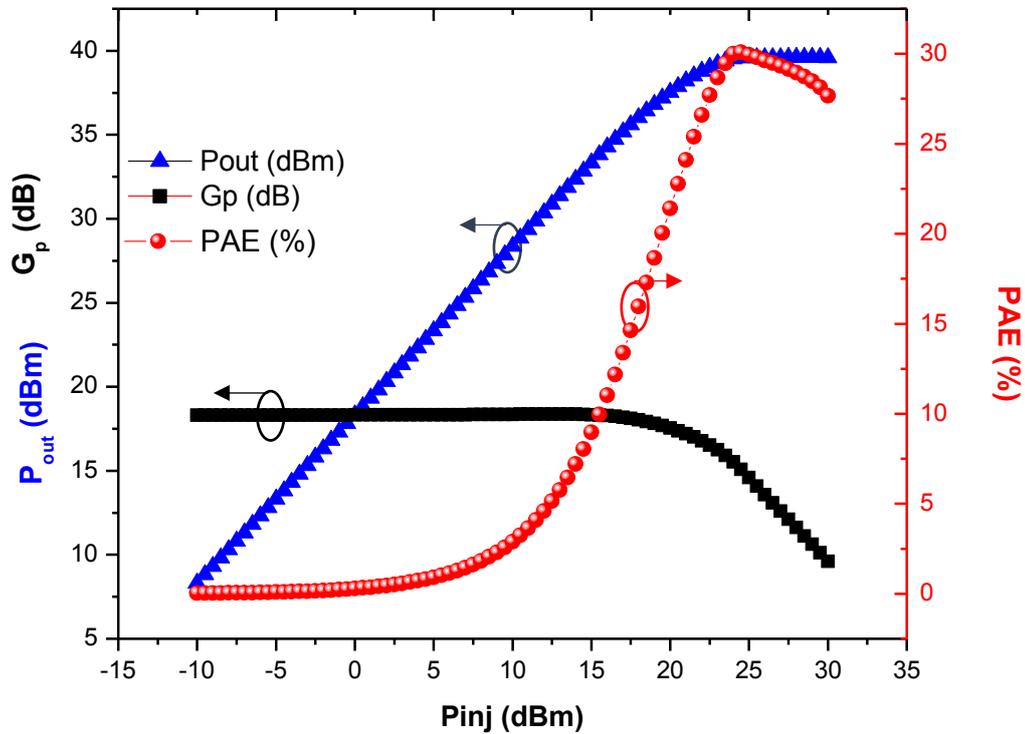


Figure 4.23 : Puissance de sortie, PAE et Gain en puissance en fonction de la puissance injectée en entrée à 35 GHz de l'amplificateur.

L'amplificateur présente une **PAE de 30%** supérieure à celle préconisée par le cahier des charges (25%). D'autre part, **une puissance de 39.6 dBm soit 9.2 W** au regard des 10W imposés. Même si les 10W ne sont pas atteints, la configuration actuelle reste la plus optimale en vue du cahier des charges. En effet, des modifications ont été entreprises afin d'atteindre la puissance exigée. Un redimensionnement des transistors constituant le premier étage de Gain a été envisagé ($6 \times 50 \mu\text{m} \rightarrow 8 \times 50 \mu\text{m}$). L'apport en puissance amené par le redimensionnement n'est pas assez significatif vis-à-vis de la détérioration du Gain. La nouvelle configuration où les transistors $6 \times 50 \mu\text{m}$ sont remplacés par des transistors $8 \times 50 \mu\text{m}$ n'apporte qu'une augmentation de la puissance de 0.2 W soit 9.4 W pour un Gain de 16 dB dans la bande soit une détérioration de 2 dB en simulation. Par ailleurs, la réalisation de cette nouvelle configuration n'est pas possible en pratique. En effet, les réseaux d'adaptation nécessaire pour adapter les transistors $8 \times 50 \mu\text{m}$ ne permettent pas la réalisation de l'amplificateur sur une puce de $3 \times 2 \text{ mm}^2$ car trop volumineux.

Rappelons tout de même, qu'au vue de l'absence de modèle électrothermique ce résultat obtenu est difficile à appréhender du point de vue thermique.

iii. Etude de sensibilité et thermique.

L'étude de sensibilité montrée figure 4.22 consiste à balayer statistiquement les valeurs des différents éléments intrinsèques du modèle des transistors selon une fonction de distribution donnée (résistances et capacités de grille et de drain). L'étude prend également en compte l'épaisseur du substrat.

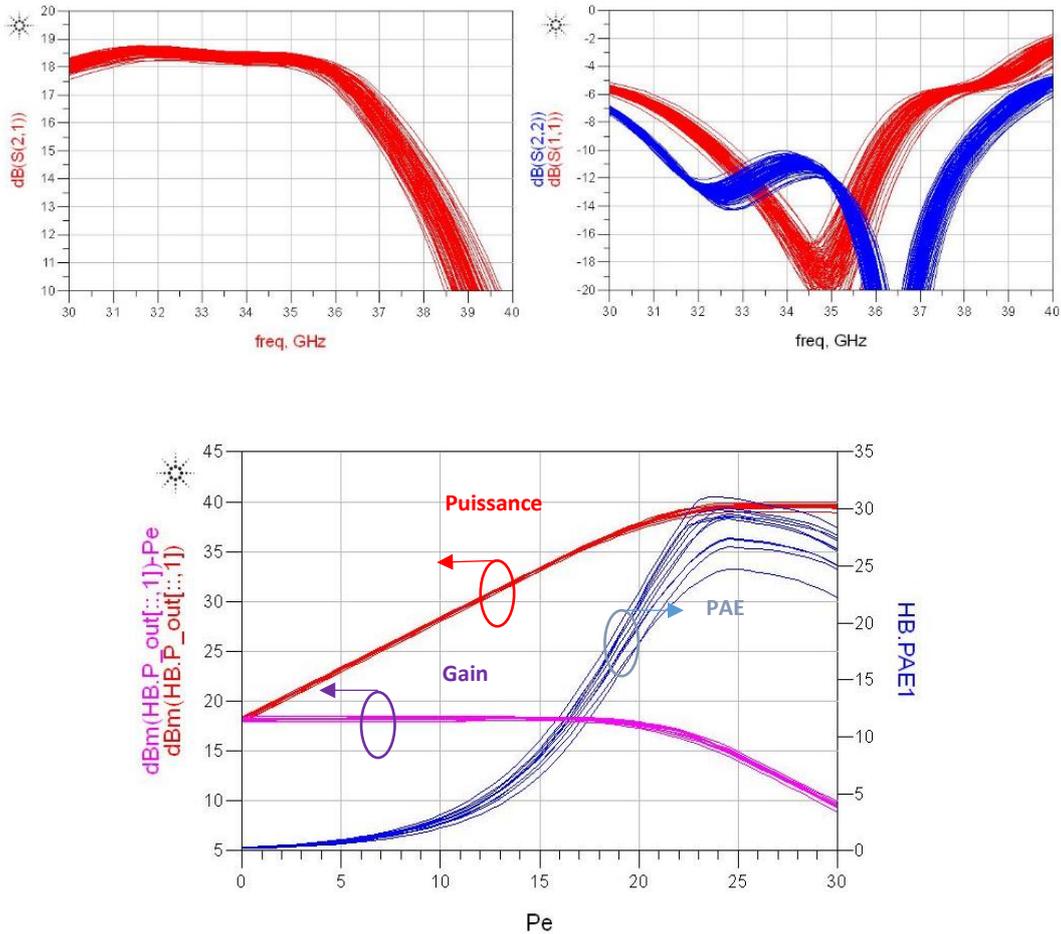


Figure 4.24 : Etude de sensibilité de l'amplificateur sur les paramètres S et sur la caractéristique de puissance.

L'étude de sensibilité nous montre une variation de 1 dB sur le Gain dans la bande 34-36 GHz. Sur la caractéristique de puissance, on remarque que la variation des valeurs intrinsèques des transistors a peu d'impact sur la puissance et le Gain. Cependant, on note une sensibilité non négligeable sur la PAE.

La figure 4.25 quant à elle nous montre l'étude thermique réalisée sur notre amplificateur. L'étude consiste à faire varier la température ambiante de -25° à 100° par pas de 25 degrés Celsius. Le design Kit fourni par OMMIC ne permet malheureusement pas de faire d'étude électrothermique.

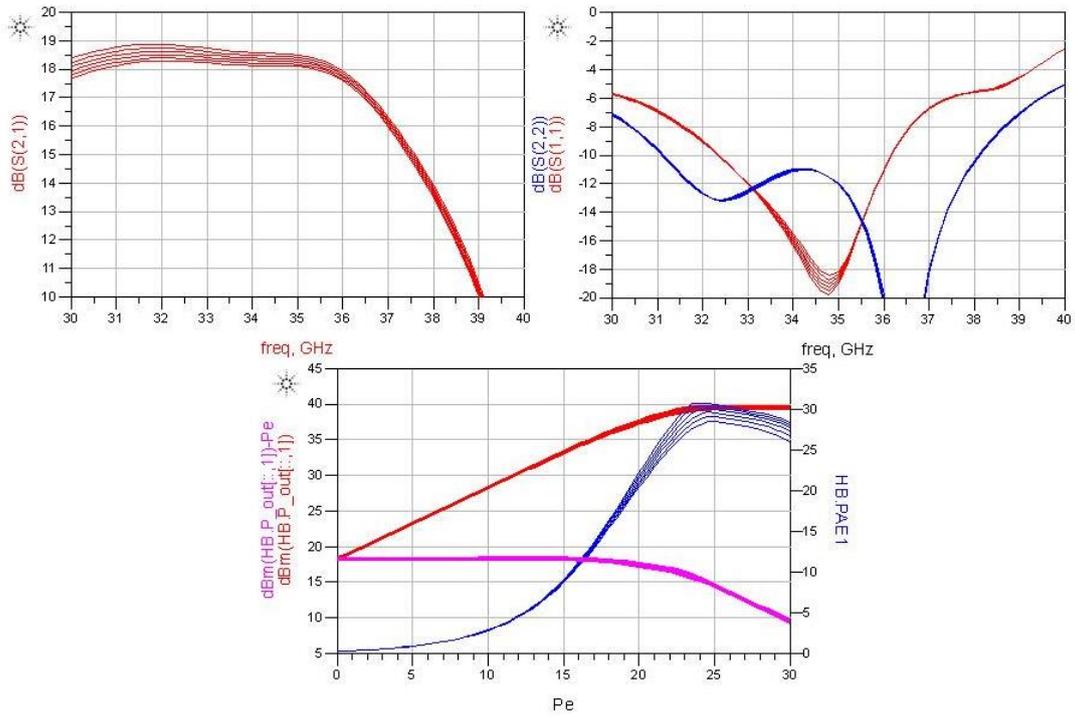
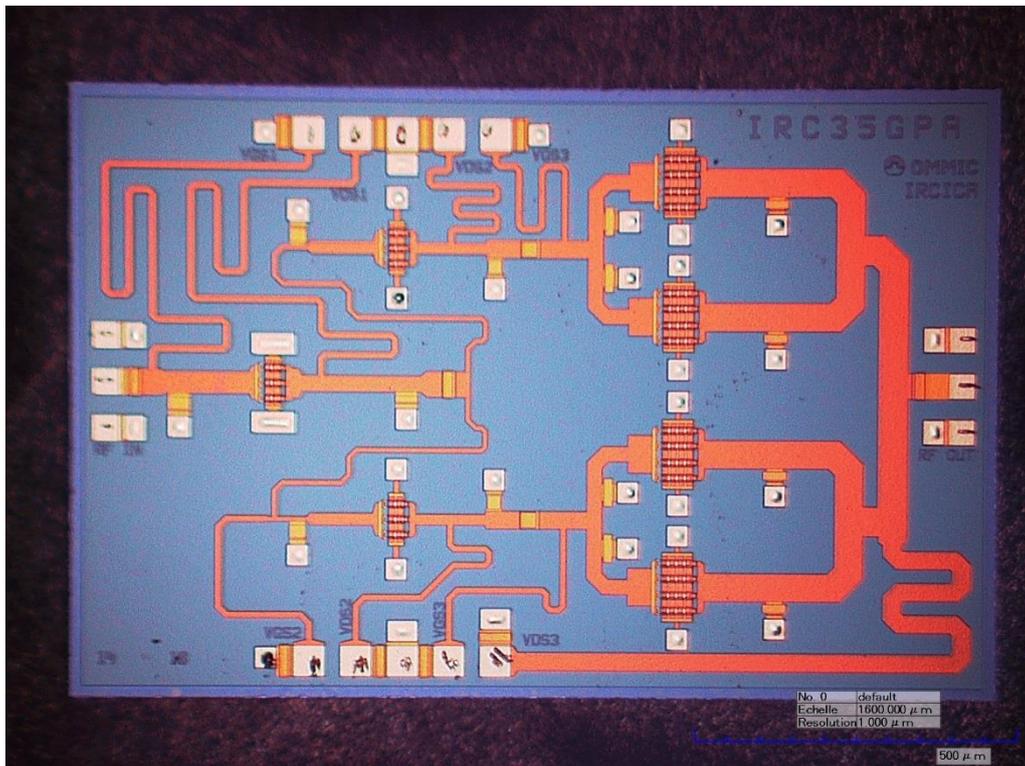


Figure 4.25 : Impact de l'étude thermique sur l'amplificateur 35 GHz.

5. Mesures et Retro-simulations

A l'heure de la rédaction de ce manuscrit, l'amplificateur a été réalisé par l'industriel OMMIC et est en cours de test.



III. Conception d'un amplificateur de puissance 28-40 GHz de 2W.

1. Cahier de charges

Pour cet amplificateur, les objectifs diffèrent de l'amplificateur précédemment présenté. La conception de cet amplificateur a pour but d'exploiter le comportement large bande de la technologie GaN. Pour cela, nous avons défini dans l'ambition de couvrir plusieurs bandes de fréquence un cahier des charges répondant à des contraintes industrielles (Thalès, BluWan...).

Cahier des charges :

- PAE supérieure à 30% à 30GHz et au-delà de 20% dans toute la bande.
- Bande passante 28-40 GHz.
- Puissance maximal de saturation (P_{SAT}) de 2W et un $P_{1dB} > 1W$ à 30 GHz.
- Gain supérieur à 15 dB.
- Taille de la puce (dice) de 3x2 mm².

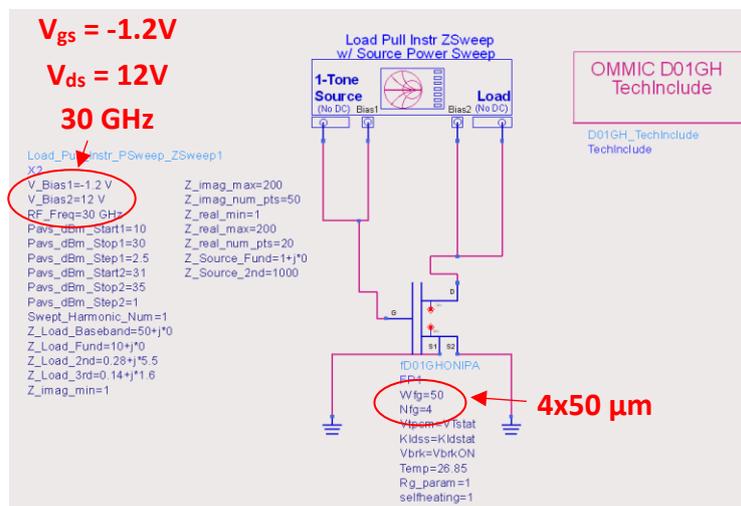
Le défi pour la réalisation de cet amplificateur réside dans le meilleur compromis puissance-bande passante possible. En effet, cet amplificateur doit pouvoir fournir des performances à l'état de l'art, voire au-delà, dans toute la bande de fréquence 28-40 GHz.

2. Etude préliminaire

i. Dimensionnement de l'étage de puissance

Comme pour l'amplificateur précédent, la topologie à adaptation réactive a été retenue pour la conception de cet amplificateur en dépit de la topologie d'amplificateur distribué (vue chapitre 1) préconisée pour obtenir une large bande. Choix qui se justifie tout naturellement par la PAE exigé par le cahier des charges inatteignable par la topologie d'amplificateur distribué. L'ordre chronologique de dimensionnement des étages reste, quant à lui, identique au cas précédent. Pour cet amplificateur, une puissance de saturation de 2 W est imposée.

Le dimensionnement des transistors formant l'étage de Gain s'est porté sur des transistors 4x50 μm .



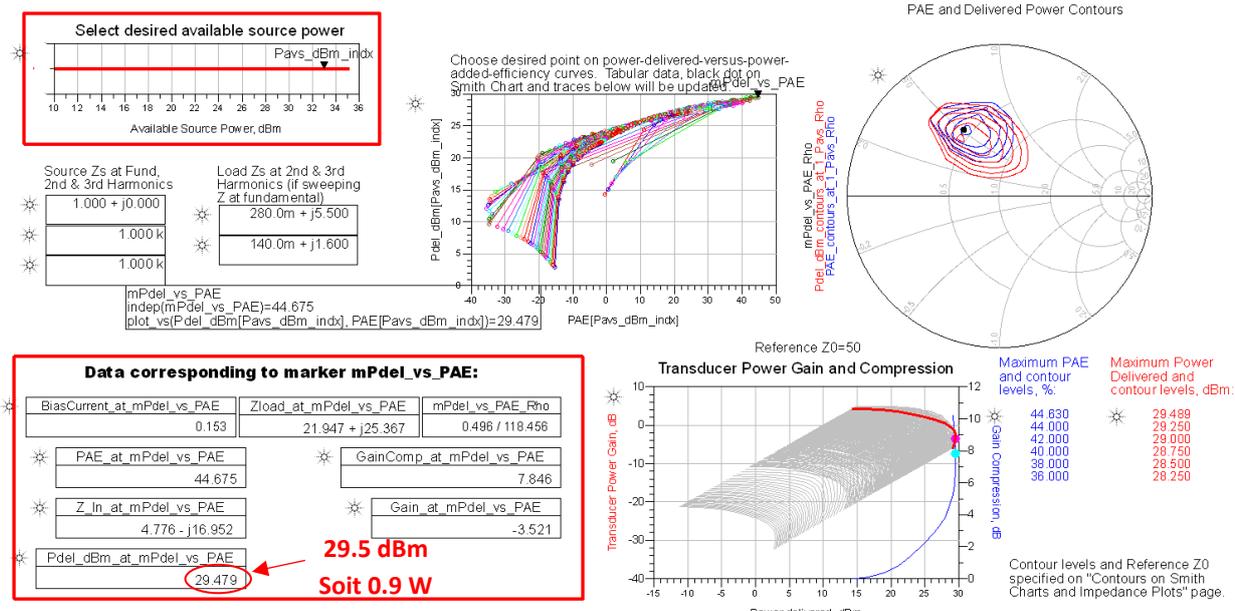


Figure 4.26 : Simulation LoadPull et SourcePull d'un transistor 4x50 μm.

Comme l'atteste la simulation LoadPull/SourcePull dont les résultats sont détaillés figure 4.24, le transistor 4x50 μm est capable de fournir 0,9 W. Pour atteindre la puissance de 2W tout en anticipant les pertes inhérentes aux réseaux d'adaptation, quatre transistors délivrant ensemble 3.6W seront nécessaire pour réaliser l'étage de puissance.

ii. Dimensionnement des étages de Gain

Pour le dimensionnement de l'étage de Gain, des transistors 4x50 μm ont également été choisis. En effet pour pouvoir amener assez de puissance en entrée des transistors composant l'étage de puissances, les transistors de l'étage de Gain doivent être capable de fournir 22+3 dBm soit 25 dBm comme le montre la figure 4.27.

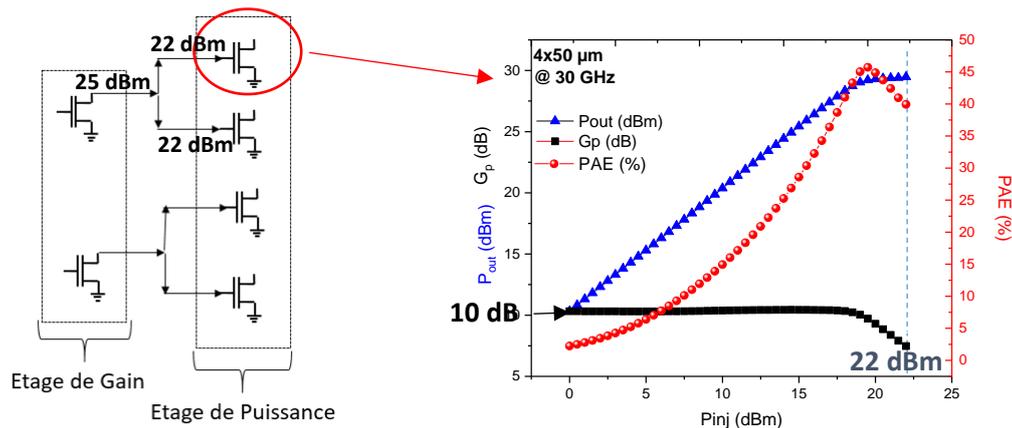


Figure 4.27 : Topologie simplifiée d'un amplificateur à deux étages et caractéristique de puissance simulée d'un transistor 4x50 μm à 30 GHz.

Avec un Gain de 10 dB et une puissance de 29,5 dBm le transistor 4x50 μm se présente comme le candidat idéal pour être utilisé dans l'étage de Gain. Le Gain totale obtenu par ces deux étages

(puissance + Gain) est de 20 dB. Rappelons que ces résultats représentent le cas idéal où les pertes liées aux réseaux d'adaptation ne sont pas prises en compte.

iii. Conception des réseaux d'adaptation.

Pour pouvoir assurer la largeur de bande imposée par le cahier des charges, les réseaux d'adaptation eux même doivent pouvoir fournir une adaptation dans la bande 28-40 GHz. Ces réseaux doivent être en mesure d'exploiter le comportement large bande de la technologie GaN, ce comportement étant illustré figure 4.28.

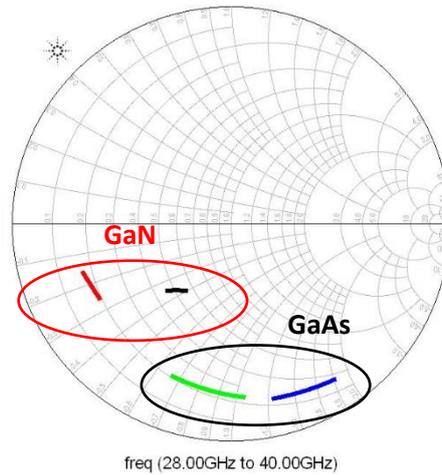


Figure 4.28 : Représentation des paramètres de réflexion (S_{11} et S_{22}) d'un transistor $4 \times 50 \mu\text{m}$ en technologie GaN sur Si et GaAs (Arséniure de Galium) sur Si.

La figure 4.28 représente les paramètres S pour un transistor $4 \times 50 \mu\text{m}$ pour deux technologies différentes : le GaN (en rouge) et le GaAs (en noir). La simulation a été effectuée pour les deux technologies dans les mêmes conditions pour une comparaison petit signal cohérente. La même bande de fréquence correspondant à la bande imposée par le cahier des charges de 28-40 GHz a été utilisée. On remarque que les paramètres de réflexion de la technologie GaN sont très nettement plus confinés sur l'abaque de Smith comparativement à la technologie GaAs. Ce qui nous permet d'en conclure que la technologie GaN est plus à même à être utilisée pour des applications large bande. En effet, le très net confinement des paramètres de réflexion offert par la technologie GaN permet aux réseaux d'adaptation de couvrir une plus petite zone de l'abaque de Smith et donc de présenter une adaptation sur une plus large bande.

Cependant même si la technologie GaN est propice à un comportement large bande, la conception des réseaux d'adaptation reste néanmoins un challenge à réaliser. En effet, les réseaux doivent être capables de présenter une adaptation dans toute la bande pour les deux étages. Pour cela, il est nécessaire d'offrir plus de degrés de liberté en considérant des réseaux d'adaptation à double structure « lignes + capacité ». Comparativement aux réseaux à structure « lignes + capacités » précédemment évoqués, ces réseaux offrent une plus grande flexibilité sur le lieu d'impédance réduite à modéliser. Cet avantage se traduit par une adaptation assurée sur une bande de fréquence étendue, mise en évidence Figure 4.29.

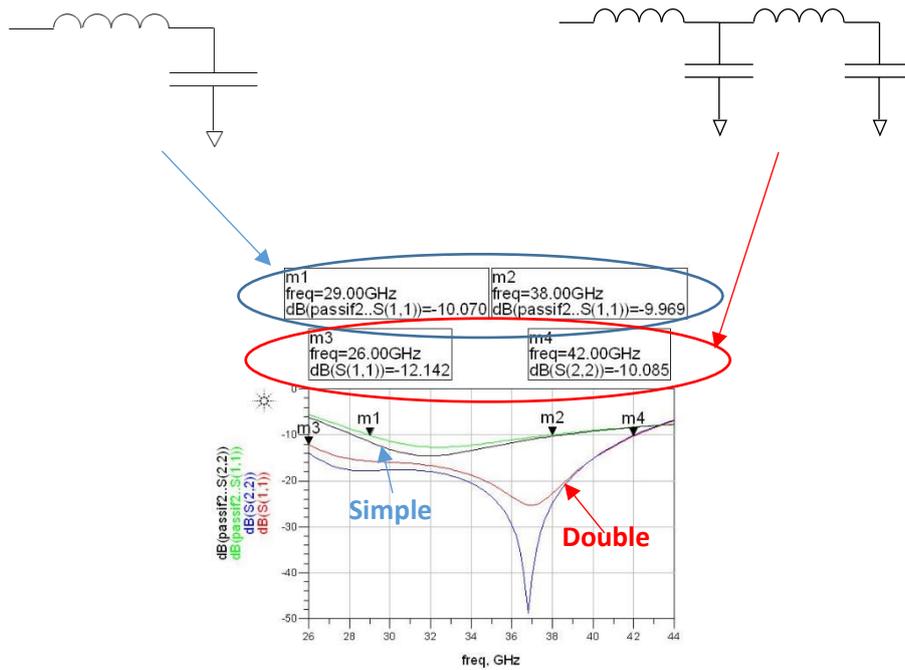


Figure 4.29 : Comparaison de l'adaptation apportée par un réseau simple « ligne + capacité » et d'un réseau double « ligne + capacité ».

La comparaison entre les deux réseaux nous montre une capacité d'adaptation plus efficace pour un réseau double « ligne + capacité ». En effet, les paramètres de réflexion détaillés Figure 4.29 met en évidence une capacité adaptation prise à -10 dB dans une bande allant de 26 GHz à 42 GHz pour ce réseau. Pour le réseau simple « ligne + capacité » l'adaptation obtenue est tout autre avec une bande allant de 29 GHz à 38 GHz (*bande ne respectant pas le cahier des charges*). Cet écart de performance entre les deux structures de réseau s'explique par le fait que le réseau double « ligne + capacité » offre une plus grande marge de manœuvre sur l'abaque de Smith. En effet, cette structure permet une plus grande mobilité sur l'abaque de Smith et est donc la plus à même de venir épouser la zone d'adaptation du transistor.

Gain. Le fait de présenter $2xZ_{2OUT}$ en sortie du réseau d'adaptation permet de pouvoir directement obtenir Z_{2OUT} en sortie du transistor.

La figure 4.32, nous montre le layout final de l'amplificateur large bande.

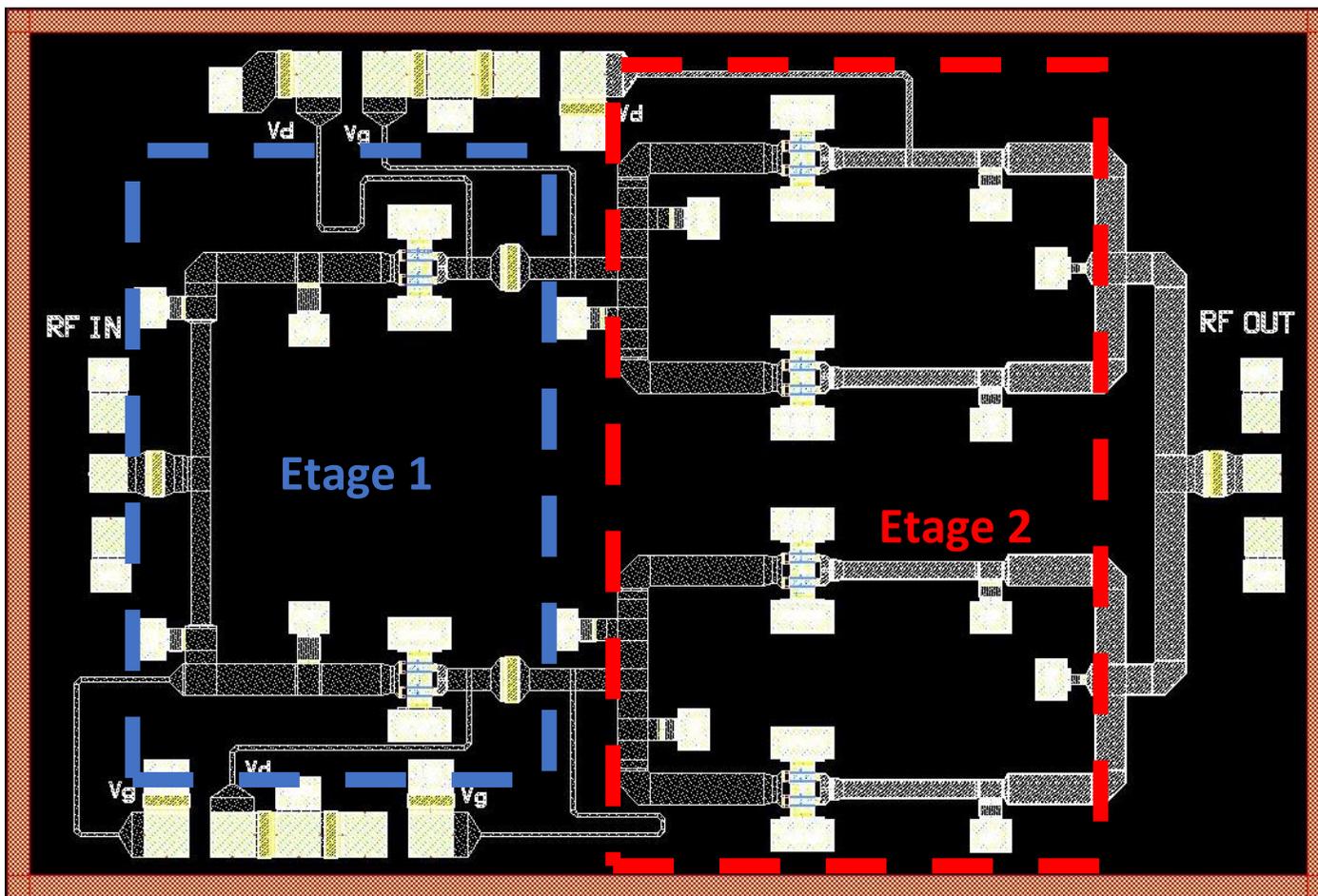


Figure 4.32 : Layout final de l'amplificateur 28-40 GHz.

3. Présentation des résultats de simulation

i. Paramètre S et stabilité de l'amplificateur

La figure 4.33 et la figure 4.34 présentent respectivement les paramètres S de l'amplificateur ainsi que le facteur de stabilité.

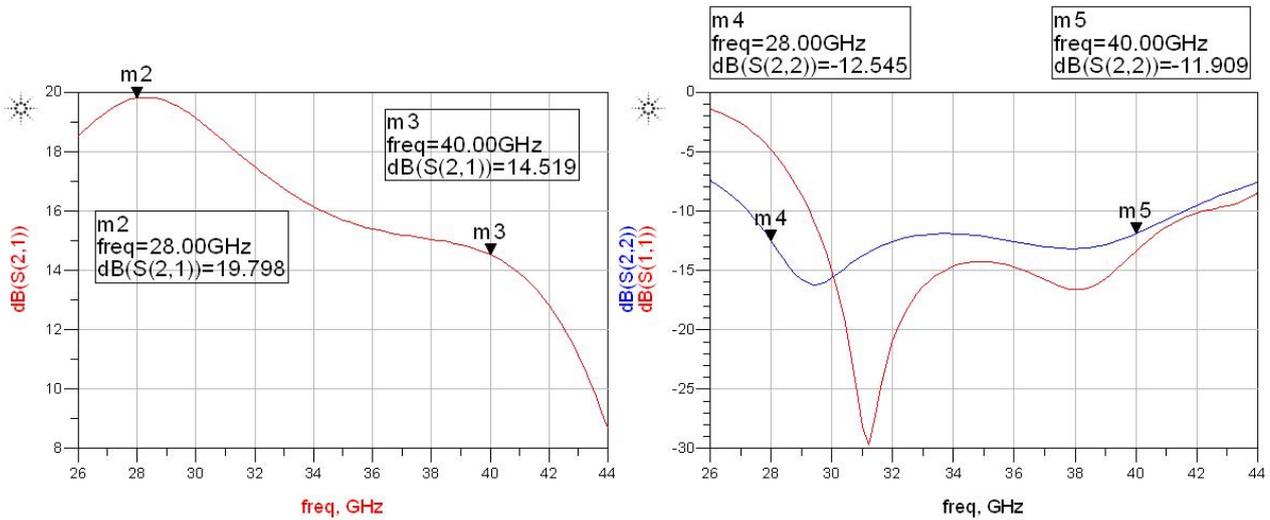


Figure 4.33 : Paramètres S de l'amplificateur 28-40 GHz obtenus en simulation.

L'amplificateur présente un Gain de **19.8 dB** en début de bande pour un Gain de **14.5 dB** en fin de bande. Même si le Gain en fin de bande ne respecte pas scrupuleusement le cahier des charges (15 dB imposé), la valeur reste acceptable. L'adaptation quant à elle est respectée dans tout la bande comme l'atteste les paramètres de réflexion.

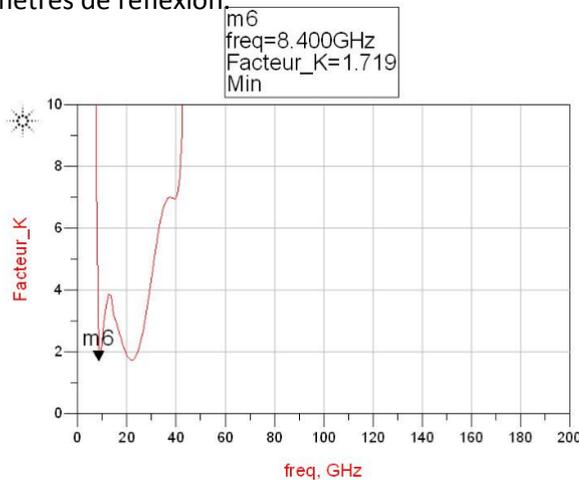


Figure 4.34 : Facteur K de l'amplificateur 28-40 GHz obtenu en simulation pour une bande 400 MHz à 200 GHz.

La figure 4.34 nous montre le facteur de stabilité de l'amplificateur 28-40 GHz simulé pour une bande de 400 MHz à 200 GHz. Le facteur reste toujours supérieur à 1 dans toute la bande de simulation ce qui confirme la stabilité de notre amplificateur. De plus, une étude NDF a été réalisée et conforte ce constat de stabilité.

ii. Résultats de simulation non-linéaire

Les résultats non-linéaires représentent la puissance de saturation (P_{SAT}), la PAE et le Gain en puissance à 30 GHz comme présentée Figure 4.35.

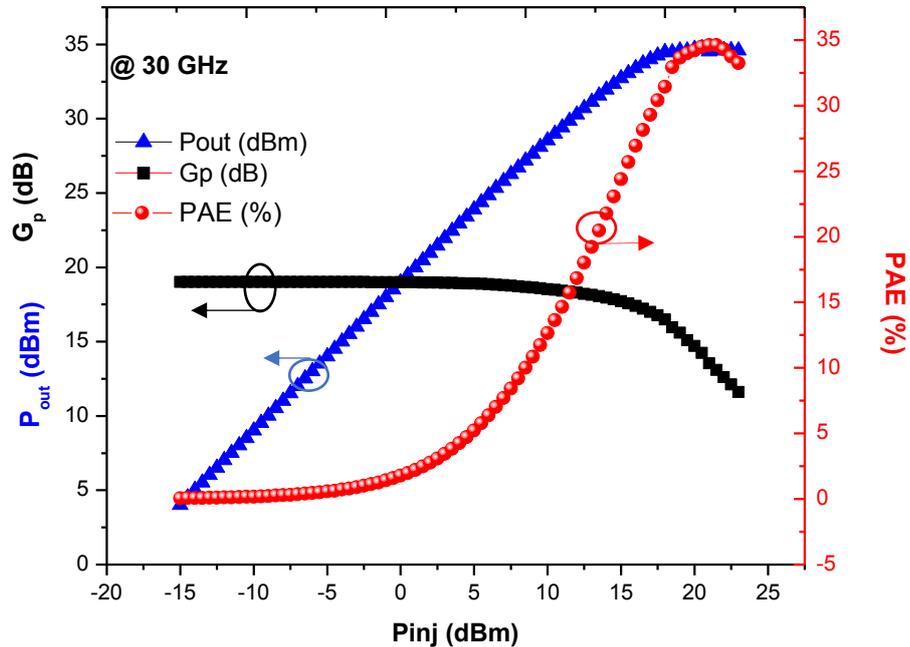


Figure 4.35 : Puissance de sortie, PAE et Gain en puissance en fonction de la puissance injectée en entrée à 30 GHz de l'amplificateur.

Comme atteste la figure 4.32, l'amplificateur présente **une PAE de 34.6 % à 30 GHz**, ce qui respecte totalement le cahier des charges. Par ailleurs, la puissance de saturation délivrée est de **34.7 dBm soit 3W** bien supérieur à la valeur imposée par le cahier des charges (2 W). Le point de compression à 1 dB est obtenu quant à lui à une puissance de **31.7 dBm soit 1.5 W**. Au-delà des performances obtenues à 30 GHz, la conception de cet amplificateur a eu pour but, la présentation de résultats pertinents dans toute la bande 28-40 GHz. Les performances de l'amplificateur en fonction de la bande de fréquence sont présentées figure 4.33.

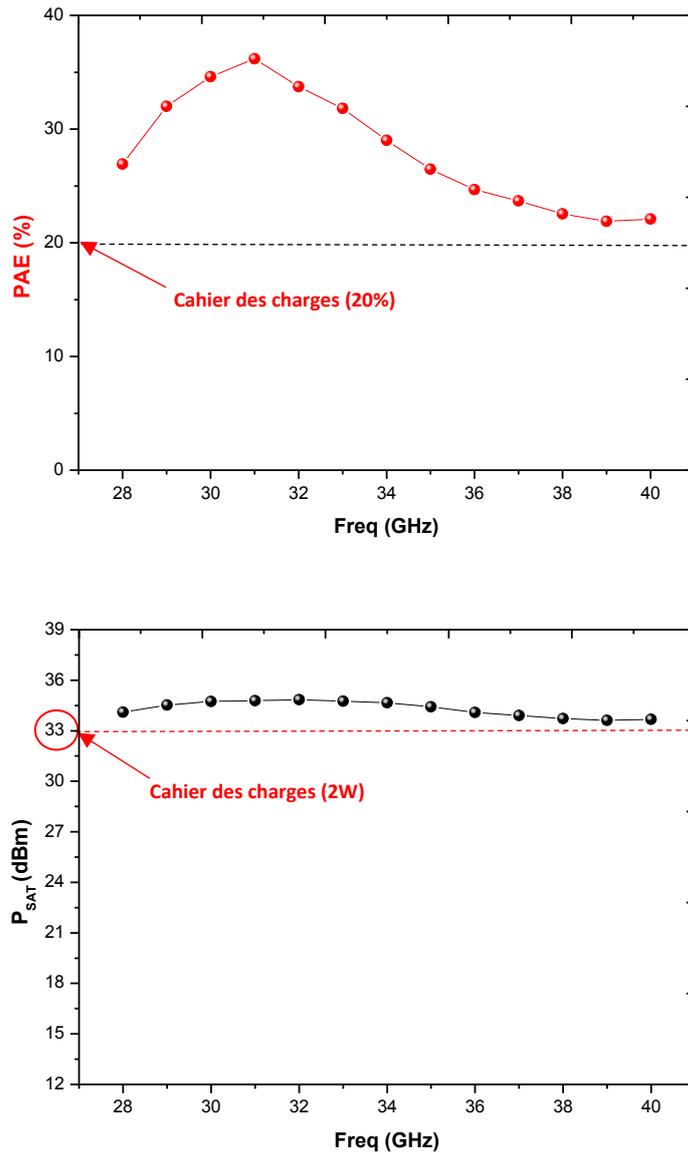


Figure 4.36 : PAE et Puissance de saturation en dBm en fonction de la fréquence.

Pour rappel, le cahier des charges imposé une PAE supérieur à 20 % dans toute la bande. Les résultats montrés Figure 4.36 met en évidence une PAE bien supérieur. En effet, l'amplificateur présente un pic à **36.2 %** pour une fréquence de **31 GHz** et une PAE minimale de 22 % à 40 GHz. D'autre part, une puissance de saturation au-delà de 2 W (soit 33 dBm) dans toute la bande est présentée figure 4.36.

iii. Etude de sensibilité et thermique.

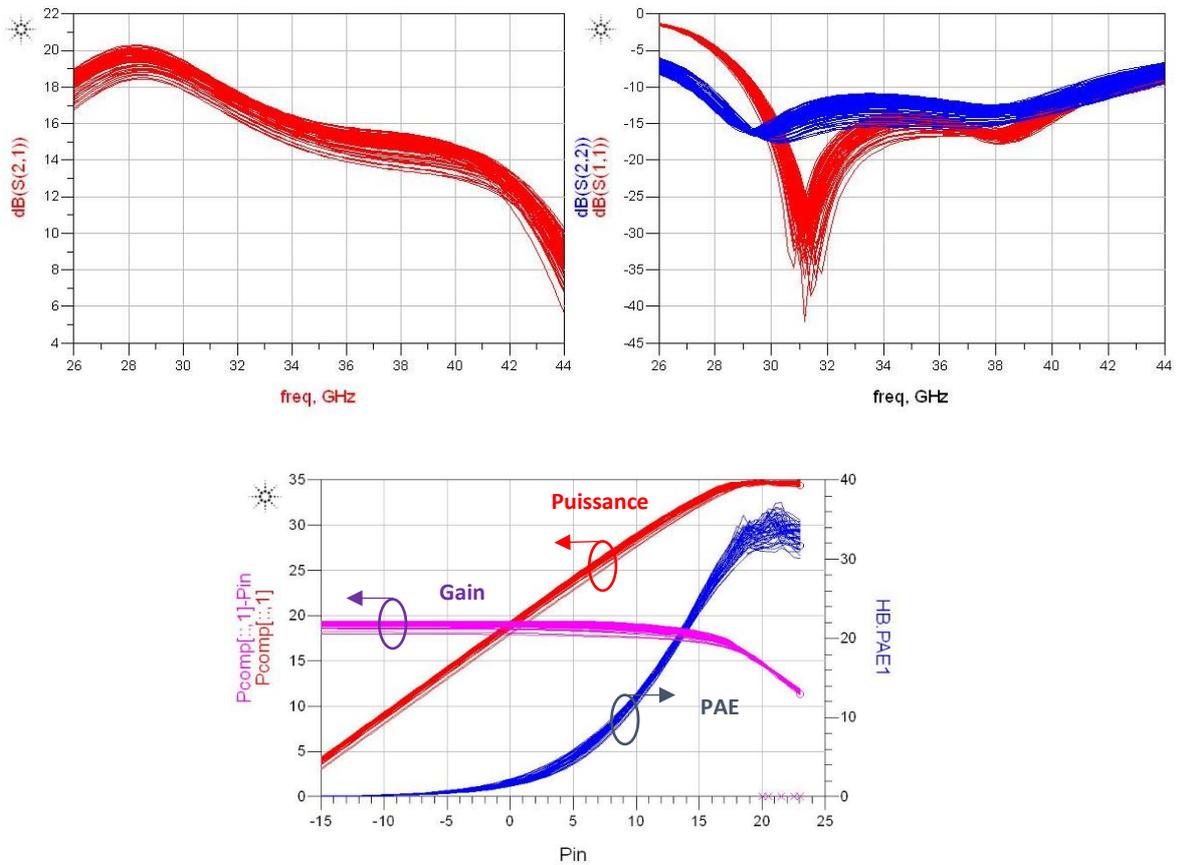


Figure 4.37 : Etude de sensibilité de l'amplificateur sur les paramètres S et sur la caractéristique de puissance.

L'étude de sensibilité montre une variation du Gain petit signal d'environ 1 dB. Cette étude montre également la variation que les éléments intrinsèques au modèle ne désadaptent pas notre amplificateur. Pour les performances « grand signal », la variation n'a que très peu d'impact sur le Gain et la puissance. Néanmoins, une variation de 3 % sur la PAE est observée.

La figure 4.38 montre l'étude thermique sur notre amplificateur 28-40 GHz. L'étude a pour but de faire varier la température ambiante de l'amplificateur de -25° à 100° Celsius et d'en observer l'impact sur les performances.

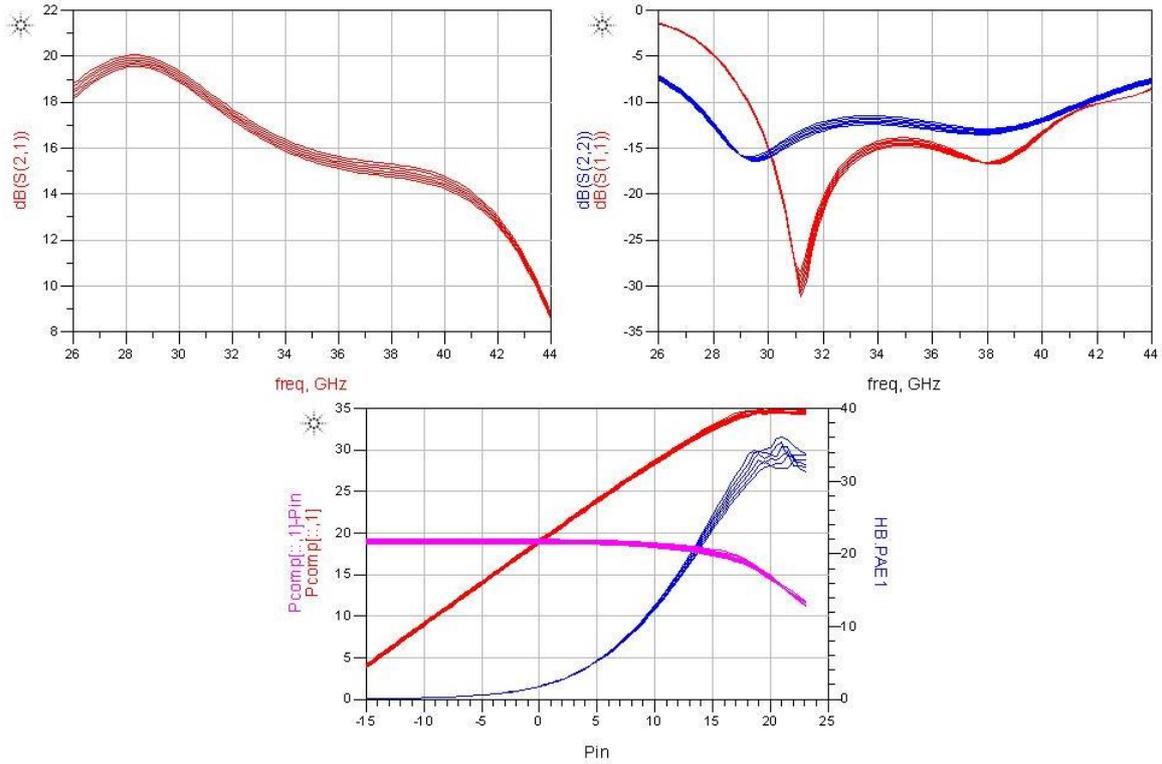


Figure 4.38 : Impact de l'étude thermique sur l'amplificateur 28-40 GHz sur les paramètres S et la caractéristique $P_s(P_e)$ à 30 GHz.

4. Mesures et Retro-simulations

A l'heure de la rédaction du manuscrit, l'amplificateur est en cour de réalisation.

IV. Conclusion

Il a été présenté dans ce chapitre, l'exploitation de la filière industrielle D01GH proposée par OMMIC présentant la même source d'épithaxie que l'échantillon DHFET présenté dans le chapitre 3. Le but a été la conception d'amplificateurs répondant aux besoins industriels. Pour cela, j'ai été amené à concevoir deux amplificateurs ayant deux objectifs bien distincts : la puissance élevée associée à la meilleur PAE possible et l'obtention d'une large bande de fonctionnement. Pour les deux amplificateurs la démarche complète qui a menée à la conception finale des amplificateurs a été présentée. Du choix du développement utilisé pour les transistors qui vont constituer l'amplificateurs à l'élaboration des réseaux d'adaptation, plusieurs étapes complexes sont nécessaires avant l'obtention du circuit complet. La taille du circuit de 3x2 mm² été imposée par le fondeur. Cette taille a été une réelle contrainte dans la conception des deux amplificateurs surtout lors de la conception des réseaux d'adaptation.

Le premier amplificateur a été conçu dans le but d'atteindre la puissance de saturation de 10 W pour une fréquence d'opération de 35 GHz. Les résultats de simulation ont montré qu'une puissance de 9.2 W associée à une PAE de 30% ont été atteintes. Cependant, les résultats obtenus par la simulation ne prennent pas en compte les effets thermiques n'ayant pas eu accès à un modèle électrothermique. L'absence de ce modèle ne permet donc pas de prévoir l'impact de ces effets sur les performances de l'amplificateur en conditions réelles.

Le deuxième amplificateur avait pour ambition de présenter une bande de 28-40 GHz associée à une puissance de saturation de 2W. Le défi de cette conception réside dans le fait de devoir présenter cette puissance et une bonne PAE dans toute la bande d'opération. Pour cela, la démarche de conception a été adaptée à cette contrainte. En effet, les réseaux d'adaptation ont été conçus pour permettre l'adaptation dans toute la bande. Les résultats obtenus en simulation montrent que dans la bande 28-40 GHz, une adaptation est obtenue illustrée par les paramètres de réflexions inférieurs à -10 dB. En grand signal, l'amplificateur délivre une puissance de 3 W pour une PAE de 34.6 %. Dans toute la bande, la PAE se maintient au-dessus de 20%, alors que la puissance de saturation reste supérieure à 2 W.

Au moment de la rédaction de ce manuscrit, l'amplificateur de 10W a été réalisé et est en cours de test.

Conclusion Générale

A l'heure de la miniaturisation et des systèmes embarqués, il ne fait plus aucun doute que la technologie GaN représente le futur pour les applications hyperfréquences de puissance. De la source d'épitaxie à l'application visée, cette technologie doit passer par plusieurs étapes décrites Figure 1.1, tous nécessitant une vraie expertise à part entière. Ma démarche scientifique s'est focalisée sur deux étapes clés :

- La caractérisation statique, petit signal, grand signal et impulsionnelle de cette technologie sur différents substrats et provenant de plusieurs sources industrielles et internes.
- La conception et la réalisation de circuits en technologie MMIC à l'aide d'une filière industrielle.

Nous avons, tout d'abord, présenté dans le chapitre 1, le potentiel exceptionnel de la technologie GaN pour les applications hyperfréquences de puissance. D'autre part, nous avons énuméré les principaux acteurs industriels et académiques illustrant l'engouement de la technologie GaN.

Par la suite, nous avons constaté dans le chapitre 2 qu'il n'existait pas de système « prêt à l'emploi » pour la caractérisation « grand signal » de composants en technologie GaN. Il a donc été entrepris, le développement d'un banc dit « LoadPull » permettant cette caractérisation tout en offrant la possibilité d'effectuer des mesures en mode continu et en mode impulsionnel. La faculté de réaliser des mesures LoadPull dans ces deux modes représente un apport scientifique significatif. En effet, la comparaison des performances obtenues entre le mode continu et le mode impulsionnel, nous permet d'observer, dans les conditions réelles d'utilisation, l'impact des effets de pièges et thermiques sur les composants caractérisés.

Par ailleurs, dans le chapitre 3, il a été présenté plusieurs études de structures réalisées à l'IEMN mais également par l'industriel UMS. Dans le cadre de la collaboration entre UMS et l'IEMN, j'ai eu l'opportunité de caractériser la filière GaN sur SiC qualifiée proposée par UMS. Plusieurs structures ont donc été étudiées, commençant par la structure à double hétérojonction DHFET utilisant une longueur de grille de 120nm. Cette structure a montré des performances à l'état de l'art[4] illustrées par une PAE de 46.3% obtenue en mode continu pour une fréquence d'opération de 40 GHz. Malheureusement, des signes détériorations ont été visibles à partir d'une tension de drain $V_{ds} = 15V$, ce qui nous a poussé à élaborer, en coopération avec l'industriel EpiGaN (source d'épitaxie), un autre type de structure : HEMT dopée Carbone. Cette nouvelle structure a été élaborée dans le but de concevoir des transistors offrant de meilleures performances comparées à la structure DHFET tout en garantissant une meilleure robustesse. Cette nouvelle structure a donc été caractérisée par le biais de transistors ayant une longueur de grille de 150 nm. Un courant de saturation d'environ 1.5 A/mm a été mesuré associé à une transconductance proche de 500 mS/mm. Une PAE de 39.1% a été observé à 10V et une puissance de 6.6 W/mm pour une tension de drain de 30V, mais surtout une robustesse absolue a été constatée jusqu'à cette tension $V_{DS} = 30 V$. Cette constatation met en évidence l'intérêt de cette nouvelle structure à la fois en termes de performances mais surtout en terme de robustesse. D'autre part, une structure quaternaire proposée par le laboratoire III-VLab a été étudiée. Cette étude qui présentait une structure toujours en cours d'optimisation, nous a permis de mettre en évidence l'importance de l'impact des effets de pièges sur le comportement du transistor. En effet, il a été

observé un impact de ses effets néfastes sur la caractérisation statique, illustré par une détérioration du courant de drain maximal en fonction de la tension de drain à laquelle a été effectuée l'étude paramètre S.

Enfin dans le chapitre 4, nous avons présenté la conception de deux amplificateurs ayant pour ambition d'exploiter deux critères clés de la technologie GaN : sa prédisposition aux fortes puissances et son comportement large bande. Pour cela, une filière industrielle (OMMIC) a été utilisée pour la conception de ces amplificateurs. Cette filière (D01GH) propose une technologie GaN sur substrat Si. Le premier amplificateur a été conçu pour atteindre une puissance avoisinant les 10 Watts pour une fréquence d'opération de 35 GHz. L'amplificateur a montré en simulation un Gain au-delà de 17 dB dans la bande 34-36 GHz et une puissance de 9.2 Watts associée à une PAE de 30%. Il est très difficile d'appréhender ce résultat sans la possibilité de simulation électrothermique. En effet, compte tenu de la taille de la puce imposée (3x2 mm²), l'utilisation d'un substrat en silicium et la puissance de 9.2W délivrée, il est impossible de prévoir le comportement thermique de notre amplificateur. Par la suite, un deuxième amplificateur a été conçu dans le but de présenter une bande de fonctionnement de 28-40 GHz à une puissance moindre de 2 Watts. Les simulations ont montré une PAE au-delà de 20% dans toute la bande, ce qui représente le réel défi de cette conception.

Perspectives et futurs travaux

I. Optimisations supplémentaires du banc NVNA

Comme décrit dans le chapitre 2 et malheureusement constaté dans le chapitre 3, le banc NVNA, au moment de la rédaction de ce manuscrit, ne permet pas la mesure en mode CW au-delà de $V_{DS} = 30V$. Cette limitation est due aux tés de polarisation ainsi qu'aux coupleurs utilisés lors de nos mesures qui ont une limite de 30V. Pour pallier à cette limitation, il a été entrepris l'achat de nouveaux tés de polarisation et de coupleurs permettant des mesures en mode continu jusqu'à $V_{DS} = 50V$.

D'autre part, les amplificateurs utilisés pour nos mesures effectuées à 40 GHz (2W et 5W) ne permettent pas la mesure de transistor à développement élevé et la montée en tension au-delà de $V_{DS} = 40V$ (mode impulsionnel). En effet, dans cette configuration, les amplificateurs ne permettent pas, soit de délivrer assez de puissance en entrée du transistor afin de le saturer, soit de présenter un coefficient de réflexion élevé en sortie du transistor pour des tensions élevées. Pour cela, l'achat d'un nouvel amplificateur 12 Watts 39.1-40.1 GHz a été réalisé, comme mentionné dans le chapitre 2.

Par ailleurs, dans la suite de ma démarche scientifique, il sera entrepris le développement de la configuration LoadPull hybride comme montré Figure 5.1. Bien que plus complexe à mettre en place, le LoadPull hybride rassemble les qualités du LoadPull actif et passif sans leurs inconvénients.

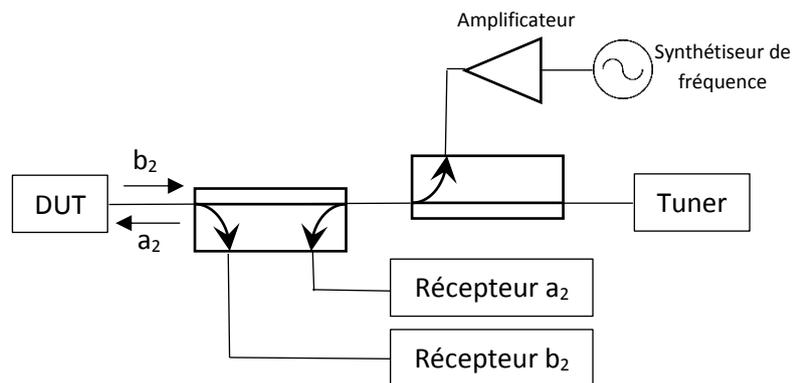


Figure 5.1 : Schéma de principe du LoadPull hybride.

Enfin, l'optimisation réalisée sur le banc NVNA aura pour but l'exploitation des « Loadlines ». En effet, le banc ne permet pas actuellement leurs extractions. La phase de « De-embedding » de l'ensemble « pointe + pont de réflectométrie » n'est pas compatible avec des mesures de « Loadlines » cohérentes. Pour remédier à ce problème, il sera entrepris un calibrage en puissance et en phase directement sur le port 1 comme illustré Figure 5.2. L'intérêt de cette nouvelle méthode réside dans le fait que le calibrage en puissance ou en phase ne fait plus intervenir l'ensemble « pointe + pont de réflectométrie ». Cette nouvelle méthode fera intervenir le « quad » uniquement pour le calibrage vectoriel. L'exploitation des « Loadlines » sont essentiels. En effet, l'excursion de ces « Loadlines » sur le réseau $I_d(V_{ds})$ est un autre outil qui permet d'observer l'impact des effets de pièges sur nos composants.

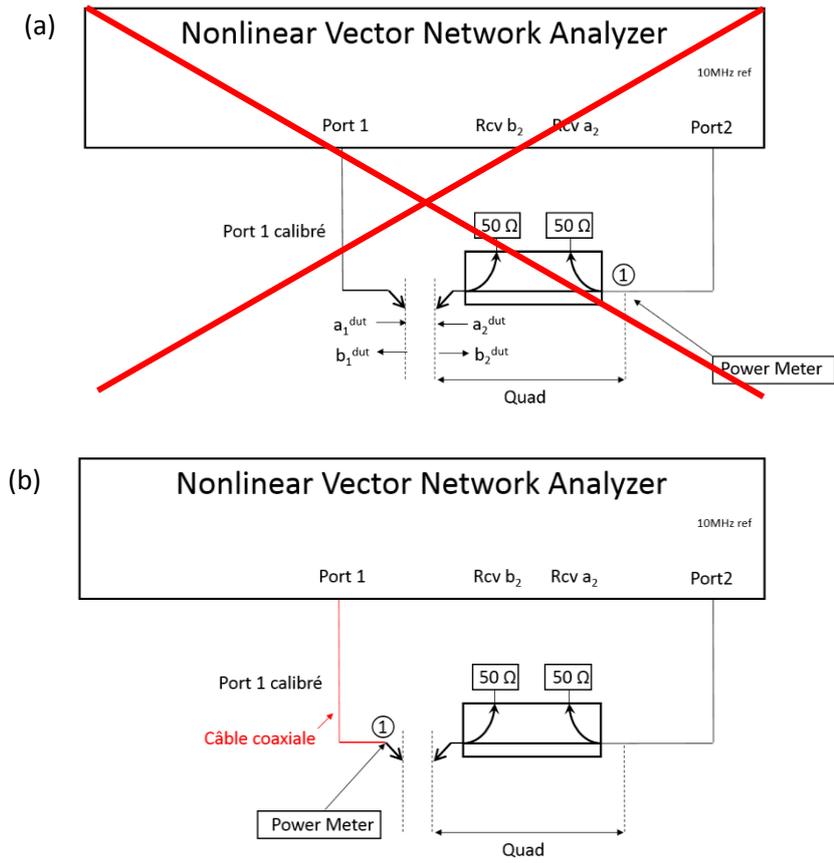


Figure 5.2 : Schémas de principe de l'étape de calibrage en puissance.

I. Optimisation de longueur de grille

Dans le chapitre 3, nous avons constaté l'impact de longueur de grille sur les performances de nos composants en fonction de la fréquence d'opération. Pour rappel, nous montrons Figure 5.2 la comparaison sur la PAE entre une longueur de grille de 200 nm et 150 nm sur le même type de structure HEMT dopée Carbone.

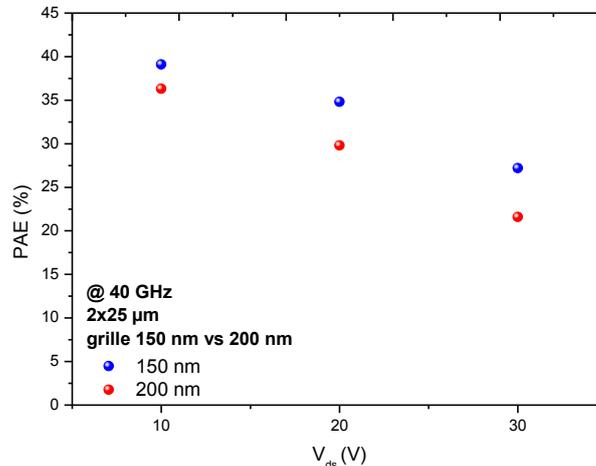


Figure 5.2 : Evolution de la PAE en fonction de V_{ds} pour une grille de longueur de 150nm vs 200 nm.

La réalisation de composants ayant une longueur de grille sub-150 nm sera donc effectuée afin d'observer le vrai potentiel de la structure HEMT dopée Carbone à 40 GHz et plus. En effet, dans le chapitre 3, il a été mis en évidence qu'une grille de 150 nm ne permettait pas d'obtenir des rendements PAE au-delà de 45%.

Par ailleurs, en collaboration avec l'industriel UMS et dans l'optique de la réalisation de composants répondant à la contrainte industrielle. La fabrication de transistors multi-doigts, jusqu'à 8 doigts, sera effectuée afin de répondre aux besoins de la conception de circuits en bande Ka et au-delà.

Enfin, un protocole de mesures de fiabilité sera mis en place sur le banc NVNA afin de tester la robustesse de nos composants en fonction du temps en condition réelle d'utilisation. Pour cela, la mesure LoadPull sera effectuée à puissance injectée fixe correspondant à la PAE maximale délivré par le transistor. A chaque période de temps fixée (6h, 24h etc.), un test d'intégrité sera effectué tout en monitorant la densité de puissance, le gain en puissance, le rendement PAE ainsi que le courant de fuite de grille.

Bibliographie

- [1] X. Guo, W. Liu, and C. Zhao, "Design of a folded waveguide traveling-wave tube amplifier above 0.3THz," *Proc. IEEE 9th UK-Europe-China Work. Millimetre Waves Terahertz Technol. UCMMT 2016*, pp. 161–163, 2017.
- [2] C. D. Joye, M. A. Shapiro, J. R. Sirigiri, and R. J. Temkin, "Demonstration of a 140-GHz 1-kW confocal gyro-traveling-wave amplifier," *IEEE Trans. Electron Devices*, vol. 56, no. 5, pp. 818–827, 2009.
- [3] Z. Geng, P. Liu, Y. Su, Q. Xue, and G. Yuan, "P2 . 21 : Design of a Ku-band 110-kW TE 11 Mode Gyrotron Traveling Wave Tube Amplifier," vol. 32, no. 3, p. 4244, 2008.
- [4] E. Dogmus, R. Kabouche, A. Linge, E. Okada, M. Zegaoui, and F. Medjdoub, "High power , high PAE Q-band sub-10," vol. 1, pp. 1–4.
- [5] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, and P. A. Rolland, "First demonstration of high-power GaN-on-silicon transistors at 40 GHz," *IEEE Electron Device Lett.*, vol. 33, no. 8, pp. 1168–1170, 2012.
- [6] F. Medjdoub, B. Grimbert, D. Ducatteau, and N. Rolland, "Record Combination of Power-Gain Cut-Off Frequency and Three-Terminal Breakdown Voltage for GaN-on-Silicon Devices," *Appl. Phys. Express*, vol. 6, no. 4, p. 44001, Apr. 2013.
- [7] A. Martin, "Etude d' une nouvelle fili ` ere de composants sur technologie nitrure de gallium . Conception et r ´ ealisation d' amplificateurs distribu ´ es de puissance large bande ` a cellules cascodes en montage flip-chip et technologie."
- [8] S. de Meyer, "Étude d'une nouvelle filière de composants HEMT sut technologie GaN. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande," p. 209, 2005.
- [9] A. De and P. Medrel, "a haut rendement en technologie GaN int ´ ole de polarisation de grille Thèse de doctorat Thèse pour obtenir le grade de," 2014.
- [10] F. D. D. Théron, B. Boudart, V. Hoel, C. Gaquière, R. F. et J. C. De Jaeger., and N. V. Thésards : Y. Guhel, "COMPOSANTS HYPERFRÉQUENCES à BASE de GaN.," 2001.
- [11] J. Tartarin, "La technologie GaN et ses applications pour l'électronique robuste, haute fréquence et de puissance," *Hal-00341009, Version 1*, pp. 1–16, 2008.
- [12] O. Bonnaud, "Physique des Solides , des Semiconducteurs et Dispositifs," no. 0, 2003.
- [13] R. Rieger, A. Klaassen, P. Schuh, and M. Oppermann, "GaN based wideband T/R module for multi-function applications," *Eur. Microw. Week 2015 "Freedom Through Microwaves", EuMW 2015 - Conf. Proceedings; 2015 45th Eur. Microw. Conf. Proceedings, EuMC*, pp. 514–517, 2015.
- [14] Y. Nanishi, H. Miyamoto, A. Suzuki, H. Okumura, and N. Shibata, "Development of AlGaIn/GaN High Power and High Frequency HFETs under NEDO's Japanese National Project," *CS MANTECH Conf.*, no. 1, pp. 45–48, 2006.
- [15] G. Gauthier and F. Reptin, "KORRIGAN : Development of GaN HEMT Technology in Europe," vol. 33, no. 0, pp. 49–52, 2006.
- [16] "http://www.yole.fr/GaNRF_Market.aspx#.Wcl4atWOPRZ." .

- [17] H. Ueda, M. Sugimoto, T. Uesugi, and T. Kachi, "Wide-bandgap semiconductor devices for automobile applications," *CS MANTECH Conf.*, no. 1, pp. 37–40, 2006.
- [18] Georg Fisher, "Next-Generation Base Station Radio Frequency Architecture," *Bell Labs Tech. J.*, vol. 18, no. 4, pp. 3–17, 2014.
- [19] Z. Popovic, "the PA for 5G," no. April, pp. 137–149, 2017.
- [20] S. Yoshida *et al.*, "A 76 GHz GaN-on-silicon power amplifier for automotive radar systems," *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 665–668, 2009.
- [21] D. C. Streit, A. Gutierrez-Aitken, M. Wojtowicz, and R. Lai, "The future of compound semiconductors for aerospace and defense applications," *Tech. Dig. - IEEE Compd. Semicond. Integr. Circuit Symp. CSIC*, pp. 5–8, 2005.
- [22] B. Ozpineci and L. M. Tolbert, *Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications*. 2003.
- [23] L. Tolbert and B. Ozpineci, "Wide bandgap semiconductors for utility applications," ..., pp. 1–5, 2003.
- [24] P. K. Prasobhu, V. Raveendran, G. Buticchi, and M. Liserre, "Active Thermal Control of a DC / DC GaN-based Converter," *2017 IEEE Appl. Power Electron. Conf. Expo.*, pp. 1146–1152, 2017.
- [25] M. Antivachis, M. Kasper, D. Bortis, and J. W. Kolar, "Analysis of capacitive power transfer GaN ISOP multi-cell DC/DC converter systems for single-phase telecom power supply modules," *IECON Proc. (Industrial Electron. Conf.)*, pp. 1280–1287, 2016.
- [26] C. Hsu, S. Chen, W. Chen, C. Chang, and C. Chen, "Study of a GaN-Based LED With an Al / AZO Composite Transparent Conductive Layer," vol. 64, no. 9, pp. 1–5, 2017.
- [27] A. Hirano *et al.*, "Development of AlGaIn-based deep-ultraviolet (DUV) LEDs focusing on the fluorine resin encapsulation and the prospect of the practical applications," vol. 9926, no. September, pp. 1–13, 2016.
- [28] R. Pecheux *et al.*, "Importance of buffer configuration in GaN HEMTs for high microwave performance and robustness," pp. 4–7.
- [29] M. Ayad, E. Byk, G. Neveux, M. Camiade, D. Barataud, and A. G. H. Technology, "HEMT Doherty Power Amplifier," pp. 4–7, 2017.
- [30] A. Dasgupta *et al.*, "High Speed and Highly Efficient S-Band 20 W Mixerless Vector Power Modulator," *Int. Microw. Symp.*, pp. 969–972, 2017.
- [31] M. Zerarka, P. Austin, A. Bensoussan, F. Morancho, and A. Durier, "TCAD Simulation of the Single Event Effects in Normally-off GaN Transistors after Heavy Ion Radiation," *IEEE Trans. Nucl. Sci.*, vol. 64, no. 8, pp. 1–1, 2017.
- [32] J. G. Tartarin, D. Saignon, O. Lazar, G. Maillot, and L. Bary, "Understanding traps locations and impact on AlGaIn/GaN HEMT by LFN noise & transient measurements, and T-CAD simulations," *2017 Int. Conf. Noise Fluctuations, ICNF 2017*, pp. 2–5, 2017.
- [33] M. Mikulla *et al.*, "High-speed technologies based on III-V compound semiconductors at Fraunhofer IAF," *Microw. Integr. Circuits Conf. (EuMIC), 2013 Eur.*, pp. 169–171, 2013.

- [34] E. Ture and P. Br, "First Demonstration of W-Band Tri-gate GaN-HEMT Power Amplifier MMIC With 30 dBm Output Power," pp. 30–32, 2017.
- [35] C. Andrei, O. Bengtsson, R. Doerner, S. A. Chevtchenko, W. Heinrich, and M. Rudolph, "Dynamic behaviour of a low-noise amplifier GaN MMIC under input power overdrive," *Eur. Microw. Week 2015 "Freedom Through Microwaves", EuMW 2015 - Conf. Proceedings; 2015 45th Eur. Microw. Conf. Proceedings, EuMC*, pp. 231–234, 2015.
- [36] J. Wurfl, "European GaN device technologies for microwave and power switching applications," *Microw. Conf. (APMC), 2014 Asia-Pacific*, pp. 917–919, 2014.
- [37] U. k. M. Lester F. Eastman, "The Toughest," *Ieee Spectr.*, p. 28, 2002.
- [38] Z. Hu *et al.*, "1.1 kV Vertical GaN p-n Diodes with p-GaN Regrown by Molecular Beam Epitaxy," *IEEE Electron Device Lett.*, vol. 3106, no. c, pp. 10–13, 2017.
- [39] S. Keller *et al.*, "Gallium nitride based high power heterojunction field effect transistors: Process development and present status at UCSB," *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 552–559, 2001.
- [40] J. S. Speck and D. A. Cohen, "Prospects for high power nonpolar and semipolar GaN-based laser diodes," *Proc. 2015 High Power Diode Lasers Syst. Conf. HPD 2015 - Co-located with Photonex 2015*, pp. 1–2, 2016.
- [41] U. Radhakrishna, P. Choi, L. S. Peh, and D. Antoniadis, "MIT Virtual Source RF Model as a Tool for GaN-Based LNA and Oscillator Design," *2015 IEEE Compd. Semicond. Integr. Circuit Symp. CSICS 2015*, no. 8, pp. 1–4, 2015.
- [42] U. Radhakrishna, P. Choi, S. Goswami, L. S. Peh, T. Palacios, and D. Antoniadis, "MIT virtual source GaNFET-RF compact model for GaN HEMTs: From device physics to RF frontend circuit design and validation," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015–Febru, no. February, p. 11.6.1-11.6.4, 2015.
- [43] J. Ma and E. Matioli, "High Performance Tri-Gate GaN Power MOSHEMTs on Silicon Substrate," *IEEE Electron Device Lett.*, vol. 38, no. 3, pp. 367–370, 2017.
- [44] J. Ma and E. Matioli, "High-voltage and low-leakage AlGaIn/GaN tri-anode schottky diodes with integrated tri-gate transistors," *IEEE Electron Device Lett.*, vol. 38, no. 1, pp. 83–86, 2017.
- [45] Z. Quan *et al.*, "High Bandwidth Freestanding Semipolar (11-22) InGaIn/GaN Light Emitting Diodes," *IEEE Photonics J.*, vol. 8, no. 5, pp. 1–1, 2016.
- [46] "[http://www.inmesol.fr/blog/le-nitruure-de-gallium-un-candidat-tres-prometteur-pour-lelectronique-moderne.](http://www.inmesol.fr/blog/le-nitruure-de-gallium-un-candidat-tres-prometteur-pour-lelectronique-moderne)"
- [47] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart, and N. T. Linh, "Two-dimensional electron gas m.e.s.f.e.t. structure," *Electron. Lett.*, vol. 16, no. 17, p. 667, 1980.
- [48] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}As Heterojunctions," *Jpn. J. Appl. Phys.*, vol. 19, no. 5, pp. L225–L227, May 1980.
- [49] F. Medjdoub *et al.*, "Can InAlN/GaN be an alternative to high power / high temperature AlGaIn/GaN devices?," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 1, pp. 1–4, 2006.

- [50] F. Medjdoub *et al.*, "Low on-resistance high-breakdown normally off AlN/GaN/AlGaN DHFET on Si substrate," *IEEE Electron Device Lett.*, vol. 31, no. 2, pp. 111–113, 2010.
- [51] J. C. D. and E. K. F. Medjdoub, J.-F. Carlin, M. Gonschorek, M.A. Py, N. Grandjean, S. Vandenbrouck, C. Gaquiere, "Small-signal characteristics of AlInN/GaN HEMTs," *Trans. Korean Inst. Electr. Eng.*, vol. 57, no. 6, pp. 982–984, 2008.
- [52] R. Leblanc *et al.*, "6W Ka band power amplifier and 1.2 dB NF X-band amplifier using a 100nm GaN / Si process," pp. 6–9, 2016.
- [53] F. Medjdoub, M. Zegaoui, B. Grimbert, N. Rolland, and P.-A. Rolland, "Effects of AlGaN Back Barrier on AlN/GaN-on-Silicon High-Electron-Mobility Transistors," *Appl. Phys. Express*, vol. 4, no. 12, p. 124101, Nov. 2011.
- [54] O. Jardel *et al.*, "Electrical performances of AlInN/GaN HEMTs. A comparison with AlGaN/GaN HEMTs with similar technological process," *Int. J. Microw. Wirel. Technol.*, vol. 3, no. 3, pp. 301–309, 2011.
- [55] V. Kumar, G. Chen, S. Guo, B. Peres, and I. Adesida, "IEF," vol. 25, pp. 61–62, 2004.
- [56] F. van Raay, R. Quay, R. Kiefer, M. Schlechtweg, and G. Weimann, "Large signal modeling of AlGaN/GaN HEMTs with $P_{sat} \geq 4$ W/mm at 30 GHz suitable for broadband power applications," *Microw. Symp. Dig. 2003 IEEE MTT-S Int.*, vol. 1, pp. 451–454 vol.1, 2003.
- [57] F. Lecourt *et al.*, "InAlN / GaN HEMTs on Sapphire Substrate With 2.9-W / mm Output Power Density at 18 GHz," vol. 32, no. 11, pp. 1537–1539, 2011.
- [58] Z. H. Feng *et al.*, "18-GHz 3.65-W/mm enhancement-mode AlGaN/GaN HFET using fluorine plasma ion implantation," *IEEE Electron Device Lett.*, vol. 31, no. 12, pp. 1386–1388, 2010.
- [59] D. Ducatteau *et al.*, "Output power density of 5.1/W/mm at 18 GHz with an AlGaN/GaN HEMT on Si substrate," *IEEE Electron Device Lett.*, vol. 27, no. 1, pp. 2005–2007, 2006.
- [60] J. S. Moon *et al.*, "55% PAE and high power Ka-band GaN HEMTs with linearized transconductance via n+ GaN source contact ledge," *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 834–837, 2008.
- [61] A. Crespo *et al.*, "High-power ka-band performance of AlInN/GaN HEMT with 9.8-nm-thin barrier," *IEEE Electron Device Lett.*, vol. 31, no. 1, pp. 2–4, 2010.
- [62] C. Ren *et al.*, "Field plated 0.15 μ m GaN HEMTs for millimeter-wave application," *J. Semicond.*, vol. 34, no. 6, p. 64002, 2013.
- [63] D. Marti, S. Tirelli, A. R. Alt, J. Roberts, and C. R. Bolognesi, "150-GHz cutoff frequencies and 2-W/mm output power at 40 GHz in a millimeter-wave AlGaIn/GaN HEMT technology on silicon," *IEEE Electron Device Lett.*, vol. 33, no. 10, pp. 1372–1374, 2012.
- [64] S. Tirelli, L. Lugani, D. Marti, J. F. Carlin, N. Grandjean, and C. R. Bolognesi, "AlInN-based HEMTs for large-signal operation at 40 GHz," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3091–3098, 2013.
- [65] T. Palacios *et al.*, "High-Power AlGaIn / GaN HEMTs for Ka-Band Applications," vol. 26, no. 11, pp. 781–783, 2005.

- [66] B. P. Downey, D. J. Meyer, D. S. Katzer, and J. A. Roussos, "SiN_x/InAlN/AlN/GaN MIS-HEMTs With 10.8 THz · V Johnson Figure of Merit," *IEEE Electron Device Lett.*, vol. 35, no. 5, pp. 527–529, 2014.
- [67] Christophe GAQUIÈRE, "ANALYSE ET OPTIMISATION DE TRANSISTORS À EFFET DE CHAMP À HÉTÉROJONCTION POUR L'AMPLIFICATION DE PUISSANCE DANS LA BANDE Ka," *Thèse*, 2007.
- [68] I. D. Robertson and S. Lucyszyn, *RFIC and MMIC Design and Technology RFIC and MMIC Design and Technology*. 2001.
- [69] A. S. Sedra and K. C. Smith, *the Oxford Series in Electrical and Computer*. 2004.
- [70] H. Park *et al.*, "A 6-18 GHz GaN distributed power amplifier using reactive matching technique and simplified bias network," *Dig. Pap. - IEEE Radio Freq. Integr. Circuits Symp.*, pp. 394–397, 2017.
- [71] H. H. Yan, K. Narendra, and T. A. Latef, "Efficiency enhancement for distributed power amplifier design with GaN HEMT technology," *2016 IEEE Asia-Pacific Conf. Appl. Electromagn.*, no. December, pp. 226–228, 2016.
- [72] J. S. Moon *et al.*, ">70% power-added-efficiency dual-gate, cascode GaN HEMTs without harmonic tuning," *IEEE Electron Device Lett.*, vol. 37, no. 3, pp. 272–275, 2016.
- [73] O. Silva, I. Angelov, and H. Zirath, "4 W highly linear and reliable GaN power amplifier for C-band applications," *Asia-Pacific Microw. Conf. Proceedings, APMC*, vol. 3, pp. 3–5, 2015.
- [74] J. Custer, J. Walker, C. Circle, E. Segundo, A. G, and S. Ldmos, "A 100W Decade Bandwidth , High-Efficiency GaN Amplifier," pp. 540–543, 2014.
- [75] J. Moon *et al.*, "100 MHz – 8 GHz Linear Distributed GaN MMIC Power Amplifier with Improved Power-added Efficiency," vol. 1, pp. 40–43, 2017.
- [76] H. Q. Tao, W. Hong, B. Zhang, and X. M. Yu, "A Compact 60W X-Band GaN HEMT Power Amplifier MMIC," *IEEE Microw. Wirel. Components Lett.*, vol. 27, no. 1, pp. 73–75, 2017.
- [77] A. M. Darwish, K. Boutros, B. Luo, B. Huebschman, E. Viveiros, and H. A. Hung, "4-Watt Ka-B and AlGa_N / GaN Power Amplifier MMIC," pp. 730–733, 2006.
- [78] P. M. Chavarkar, P. Parikb, and S.-A. G. H. E. W. S, "3.5-Watt AlGa_NIGaN HEMTs and Amplifiers," pp. 579–582.
- [79] S. Chen, S. Nayak, C. Campbell, and E. Reese, "High Efficiency 5W / 10W 32 - 38GHz Power Amplifier MMICs Utilizing Advanced 0 . 15 μ m GaN HEMT Technology," pp. 32–35, 2016.
- [80] C. F. Campbell, Y. Liu, M. Y. Kao, and S. Nayak, "High efficiency Ka-band Gallium Nitride power amplifier MMICs," *2013 IEEE Int. Conf. Microwaves, Commun. Antennas Electron. Syst. COMCAS 2013*, no. October, pp. 21–23, 2013.
- [81] R. Kabouche, E. Okada, E. Dogmus, A. Linge, M. Zegaoui, and F. Medjdoub, "Power Measurement Setup for On-Wafer Large Signal Characterization Up to Q-Band," *IEEE Microw. Wirel. Components Lett.*, vol. 27, no. 4, pp. 419–421, 2017.
- [82] D. Ducatteau, "Caractérisation non linéaire et analyse de transistors à effet de champ pour applications hyperfréquences dans le domaine temporel," *Thèse*, 2008.

- [83] "<http://www.keysight.com/en/pdx-x201768-pn-N5245A/pna-x-microwave-network-analyzer-50-ghz?cc=FR&lc=fr>," p. 201768.
- [84] X. Zheng, S. Feng, Y. Zhang, X. He, and Y. Wang, "ANALYSIS OF THE HYBRID TRAPPING EFFECT IN GAN HEMTS BASED ON THE CURRENT TRANSIENT $V : i . J$," vol. 2, pp. 3–5.
- [85] F. Lin, W. Qian, L. Li, and M. Khan, "GaN device and modeling with emphasis on trapping effect and thermal challenges for PA design (Invited)," *2015 IEEE MTT-S Int. Microw. Work. Ser. Adv. Mater. Process. RF THz Appl. IEEE MTT-S IMWS-AMP 2015 - Proc.*, 2015.
- [86] J. J. Freedman, T. Kubo, and T. Egawa, "Analyses of hetero-interface trapping properties in AlGaIn/GaN high electron mobility transistor heterostructures grown on silicon with thick buffer layers," *Appl. Phys. Lett.*, vol. 101, no. 1, 2012.
- [87] S. Piotrowicz *et al.*, "Pulsed characterisation of trapping dynamics in AlGaIn/GaN HEMTs," *Electron. Lett.*, vol. 49, no. 22, pp. 1406–1407, 2013.
- [88] A. Lorenz *et al.*, "Influence of thermal anneal steps on the current collapse of fluorine treated enhancement mode SiN/AlGaIn/GaN HEMTs," *Phys. Status Solidi Curr. Top. Solid State Phys.*, vol. 6, no. SUPPL. 2, pp. 996–998, 2009.
- [89] D. McCann and C. Zhu, "Improving upon pulse-To-pulse stability in GaN RADAR amplifiers compromised by the presence of GaN trapping effects," *Eur. Microw. Week 2015 "Freedom Through Microwaves", EuMW 2015 - Conf. Proceedings; 2015 45th Eur. Microw. Conf. Proceedings, EuMC*, pp. 634–637, 2015.
- [90] "<http://www.epigan.com/>." .
- [91] W. Liu and A. A. Balandin, "Thermal conduction in Al_xGa_{1-x}N alloys and thin films," *J. Appl. Phys.*, vol. 97, no. 7, pp. 1–6, 2005.
- [92] "<http://www.3-5lab.fr/>." .
- [93] "<http://www.enkris.cn/>." .

Liste des Publications

Articles dans une revue internationale avec comité de lecture - Papiers réguliers

1. High power, high PAE Q-band sub-10 nm barrier thickness AlN/GaN HEMTs
DOGMUS E., KABOUCHE R., LINGE A., OKADA E., ZEGAOUI M., MEDJDOUB F.
 Phys. Status Solidi A-Appl. Mat. Sci. **214**, 8 (2017) 1600797, 4 pages (*available online may 15, 2017 ; published august 2017*)
[doi: 10.1002/pssa.201600797](https://doi.org/10.1002/pssa.201600797)**Abstract**
2. Power measurement setup for on-wafer large signal characterization up to Q-band
KABOUCHE R., OKADA E., DOGMUS E., LINGE A., ZEGAOUI M., MEDJDOUB F.
 IEEE Microw. Wirel. Compon. Lett. **27**, 4 (2017) 419-421 (*available online march 22, 2017 ; published april 2017*)
[doi: 10.1109/LMWC.2017.2678424](https://doi.org/10.1109/LMWC.2017.2678424)**Abstract**
3. High electron confinement under high electric field in RF GaN-on-silicon HEMTs
MEDJDOUB F., KABOUCHE R., DOGMUS E., LINGE A., ZEGAOUI M.
 Electronics **5**, 1 (2016) 12, 5 pages (*available online march 18, 2016 ; published march 2016*)
[doi: 10.3390/electronics5010012](https://doi.org/10.3390/electronics5010012)**Abstract**
4. InAlGa_N/Ga_N HEMTs at cryogenic temperatures
DOGMUS E., KABOUCHE R., LEPILLIET S., LINGE A., ZEGAOUI M., BEN-AMMAR H., CHAUVAT M.P., RUTERANA P., GAMARRA P., LACAM C., TORDJMAN M., MEDJDOUB F.
 Electronics **5**, 2 (2016) 31, 5 pages (*available online june 22, 2016 ; published june 2016*)
[doi: 10.3390/electronics5020031](https://doi.org/10.3390/electronics5020031)**Abstract**
5. High electron mobility in high-polarization sub-10 nm barrier thickness InAlGa_N/Ga_N heterostructure
MEDJDOUB F., KABOUCHE R., LINGE A., GRIMBERT B., ZEGAOUI M., GAMARRA P., LACAM C., TORDJMAN M., DI FORTE-POISSON M.A.
 Appl. Phys. Express **8**, 10 (2015) 101001, 4 pages (*published september 16, 2015*)
[doi: 10.7567/APEX.8.101001](https://doi.org/10.7567/APEX.8.101001)

Communications internationales avec actes

- **Présentation orale**

1. Q-band high power AlN/GaN HEMTs with over 45% PAE
DOGMUS E., KABOUCHE R., OKADA E., LINGE A., ZEGAOUI M., MEDJDOUB F.
 Proceedings of 8th Wide Bandgap Semiconductor and Components Workshop, Harwell, UK, september 12-13, 2016, 5 pages
<http://esaconferencebureau.com/2016-events/16c14/proceedings>**Abstract**

Communications sans actes

- **Présentation orale**

1. Low RF losses up to 110 GHz in GaN-on-silicon HEMTs
PECHEUX R., KABOUCHE R., DOGMUS E., LINGE A., ZEGAQUI M., MEDJDOUB F.
41st Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe, WOCS-DICE 2017, Las Palmas de Gran Canaria, Spain, may 21-24, 2017
2. [Invité] Composants GaN pour les applications allant de la conversion DC/DC de forte puissance jusqu'au domaine THz
DOGMUS E., HERBECQ N., KABOUCHE R., LINGE A., ZEGAQUI M., MEDJDOUB F.
15èmes Journées Nano, Micro et Optoélectronique, JNMO 2016, Les Issambres, France, 30 mai-1 juin, 2016
3. Q-band high power AlN/GaN HEMTs with over 45% PAE
KABOUCHE R., DOGMUS E., OKADA E., ZEGAQUI M., MEDJDOUB F.
International Workshop on Nitride Semiconductors, IWN 2016, Orlando, FL, USA, october 2-7, 2016, session C0.1 - Electronic Devices I, paper C0.1.04

- **Présentation par affiche**

1. Impact of gate-drain spacing engineering on DC and noise performances of SiN in-situ passivated InAlGaN/GaN HEMTs
RZIN M., ROUTOURE J.M., GUILLET B., MECHIN L., KABOUCHE R., DOGMUS E., ZEGAQUI M., MEDJDOUB F., LACAM C., GAMARRA P., BEN-AMMAR H., CHAUVAT M.P., MORALES M., RUTERANA P.
European Materials Research Society Fall Meeting, E-MRS Fall 2016, Symposium F - AlN and AlGaN materials and devices, Warsaw, Poland, september 19-22, 2016, paper F.P.1.12
<http://www.european-mrs.com/aln-and-algan-materials-and-devices-emrsAbstract>
2. State-of-the-art Q-band high power AlN/GaN HEMT with over 45% PAE
DOGMUS E., KABOUCHE R., OKADA E., LINGE A., ZEGAQUI M., MEDJDOUB F.
15èmes Journées Nano, Micro et Optoélectronique, JNMO 2016, Les Issambres, France, 30 mai-1 juin, 2016

Diffusion de la connaissance dans le milieu socio-économique

1. Quaternary III-nitride barrier boosts two-dimensional electron gas
MEDJDOUB F., KABOUCHE R., LINGE A., GRIMBERT B., ZEGAQUI M., GAMARRA P., LACAM C., TORDJMAN M., DI FORTE-POISSON M.A.
Semiconductor Today News, october 7, 2015
http://www.semiconductor-today.com/news_items/2015/oct/iemn_071015.shtml