

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National Polytechnique de Toulouse (INP Toulouse)

Discipline ou spécialité :

Micro Nano Systèmes

Présentée et soutenue par :

M. LUCAS PERBET

le mercredi 26 avril 2017

Titre :

Optimisation de blocs constitutifs d'un convertisseur A/N pipeline en technologie CMOS 0.18 µm pour utilisation en environnement spatial

---

Ecole doctorale :

Génie Electrique, Electronique, Télécommunications (GEET)

Unité de recherche :

Laboratoire d'Analyse et d'Architecture des Systèmes (L.A.A.S.)

Directrice de Thèse :

MME HELENE TAP

Rapporteurs :

M. PASCAL NOUET, UNIVERSITE MONTPELLIER 2

M. YANN DEVAL, UNIVERSITE DE BORDEAUX

Membres du jury :

M. JEAN-DIDIER LEGAT, UNIVERSITE CATHOLIQUE DE LOUVAIN, Président

Mme HELENE TAP, INP TOULOUSE, Membre

M. OLIVIER BERNAL, INP TOULOUSE, Membre

Résumé

L'imagerie constitue un axe majeur de l'exploration de l'univers et de la Terre depuis l'espace, que l'on se trouve dans le domaine du visible ou non. Ainsi dans le domaine spatial, les données sont le plus souvent récupérées par un capteur CCD (Charge-Coupled Device, ou Dispositif à Transfert de Charge (DTC)) qui fournit des tensions analogiques vers un convertisseur analogique-numérique (CAN), dont la sortie sera transmise à une chaîne de traitement, puis envoyée sur terre.

Ainsi, les CAN sont des éléments clés dans l'imagerie par satellite. De leur précision et de leur vitesse va dépendre la qualité de la représentativité de la chaîne de signaux binaires. Il est donc crucial de réaliser une conversion de données de grande qualité (vitesse, précision) tout en s'assurant de la résistance du CAN à l'environnement radiatif.

L'objectif de cette thèse est d'améliorer la robustesse à l'environnement spatial, tout en optimisant les performances, de plusieurs fonctions élémentaire d'un convertisseur analogique-numérique de type pipeline 14bits, 5MS/s, réalisées en technologie XFAB 0,18µm. Les trois fonctions ciblées sont les interrupteurs (notamment la résolution des problèmes liés au phénomène d'injection de charges en environnement spatial), les comparateurs (durcissement) et l'amplificateur à capacités commutées (amélioration du gain par une technique prédictive sans pénaliser la puissance consommée).

Abstract

Imaging is a major issue in the observation of the Universe and the Earth from space, whether in the visible domain or not. Thus, in the spatial field, data is often gathered by a CCD (charge-Coupled Device) sensor, that supplies analog voltages to an Analog-to-Digital Converter (ADC), which outputs will be delivered to a processing chain, and then sent to earth.

Consequently, ADCs are key elements in satellite imaging. Their precision and speed will indeed define the quality and the representativeness of the binary signal. It is then crucial to perform a high quality (speed & precision) conversion of the data, while making sure that the ADC can cope with the harsh irradiative environment.

The purpose of this thesis is to improve the robustness to the space environment (hardening), while optimizing the performances, of several elementary devices that compose a 14 bits, 5MS/s pipeline ADC, made with the XFAB 180nm technology. The three targeted functions are the switches (especially the problems linked to coping with the charge injection problems in a space environment), the comparators (hardening) and the switched-capacitor amplifier (gain boosting through a predictive architecture with no penalty on the power consumption).

Remerciements

En premier lieu, je tiens à remercier chaleureusement ma directrice de thèse Hélène TAP, dont le soutien indéfectible et la patience m'ont permis de garder la motivation nécessaire pour persévérer tout au long de cette thèse. Grâce à ses remarques et réflexions toujours pertinentes, elle m'a donné les clés pour ne pas m'égarer sur ce chemin sinueux qu'est la thèse de doctorat. Ces années passées à travailler sous sa direction m'ont fait grandir, aussi bien professionnellement que personnellement.

Je tiens à adresser un remerciement tout particulier à Olivier BERNAL, sans qui cette thèse ne serait pas ce qu'elle est. Son aide au quotidien, ses (bons) conseils, son recul et sa patience m'ont forgé une éducation et une méthode scientifique me permettant de passer d'un ingénieur fraîchement diplômé à un candidat au titre de docteur. Surtout, sa présence dans certains moments difficiles fut d'une aide inouïe. Il a contribué à faire de moi la personne que je suis aujourd'hui.

J'exprime ma profonde reconnaissance à Yann DEVAL et à Pascal NOUET, qui m'ont fait l'honneur, en tant que rapporteurs, de juger ce travail de thèse, ainsi qu'à Jean-Didier LEGAT pour avoir accepté d'en être l'examinateur pour la soutenance.

Je souhaite également remercier Jean-Yves SEYLER du CNES et Philippe AYZAC de Thales Alénia Space de m'avoir accordé leur confiance en me donnant l'opportunité et les moyens de réaliser ce doctorat.

En outre, je serai éternellement reconnaissant envers l'ensemble de l'équipe du groupe de recherche OSE du LAAS, qui m'a accueilli, accompagné, soutenu pendant l'ensemble de cette thèse. Au-delà des réunions, nous avons partagé tant de bons moments autour d'un café, d'un repas ou d'une partie de carte, que vous m'avez apporté quotidiennement ma dose de bonne humeur. Je ne cite personne par peur de commettre un impair, mais le temps passé en votre compagnie fut véritablement appréciable et apprécié.

Par ailleurs, je tiens à adresser un grand merci à Philippe BOURDEU D'AGUERRE à l'AIME pour sa patience et son aide inestimable.

Passons à présent à des remerciements plus personnels.

Je désire exprimer avant tout ma gratitude envers mes parents pour avoir su me faire confiance et m'épauler tout au long de mes études, et dont les visites fréquentes m'ont permis de prendre un recul toujours bienvenu. Envers mes frères et sœurs et tous leurs bouts de chou pour tous ces moments de joie, d'émerveillement et de rires. Envers toute ma famille qui m'a toujours apporté amour et soutien.

Merci à mes amis les plus proches, Mimie et Pierre, pour tous ces rires, débats, et jeux idiots, et à Christophe qui, même de l'autre côté de l'Atlantique, restera toujours à la fois un ami, mon binôme de percus, un compagnon de route. Vous êtes attentionnés mais vous savez être badins (bande de freluquets), vous êtes brillants mais vous savez être bêtes, bref, que Toulouse est vivante et agréable à vos côtés depuis maintenant une décennie !

Merci à mes *Dudes* Eric et Vincent pour toutes ces marrades au fil des ans, en ligne et en vrai. J'ai appris à la fois la musique, le frag, mes meilleurs calembours et contrepèteries, ma quantité insondable de mauvaise foi et le surf en votre compagnie.

Merci bien sûr aux copains du Gimmick Five Syndicate et des Trous Balourds pour avoir supporté mes humeurs et mes absences, mais surtout pour tous ces week-ends passés sur les routes de France et d'Europe à jouer, jouer pour le plaisir, jouer jusqu'au petit matin, jouer pour remplir le contrat, jouer jusqu'à jouer faux, jouer jusqu'à plus savoir jouer.

Merci à tous les copains, Margaux, Py, Fillot, Mr Peavey, Raph, Javier, Thib, Warel, la polska rodzina et tous ceux que je ne peux pas citer ici.

Merci enfin à Amélie pour ton soutien infaillible au quotidien, je te dois en grande partie l'accomplissement de ce projet.

Encore un immense merci à tous ceux qui ont croisé mon chemin durant ces années de doctorat et qui ont contribué, d'une manière ou d'une autre, à mener à bien cette thèse !

“I believe that men are here to grow
themselves into best good that they can be.
At least, this is what I want to do.”

John Coltrane

Table des Matières

RÉSUMÉ I

ABSTRACT I

REMERCIEMENTS III

TABLE DES MATIERES VII

TABLE DES FIGURES XII

INTRODUCTION 1

CHAPITRE I 5

ENVIRONNEMENT SPATIAL ET CIRCUITS DEDIES 5

I.1. L'environnement spatial 5

I.1.1. Le rayonnement cosmique 6

I.1.2. Les vents et éruptions solaires 6

I.1.3. Les ceintures de radiation de Van Allen 7

I.2. Effets des particules et radiations sur les circuits CMOS 8

I.2.1. La technologie CMOS basse consommation 8

I.2.1.a. Structure d'un transistor MOS 9

I.2.1.b. Fonctionnement d'un transistor 10

I.2.1.c. Courants et paramètres 13

I.2.1.c.i. Courants à V_{DS} constant 13

I.2.1.c.ii. Courants à V_{GS} constants 14

I.2.1.c.iii. Effets du deuxième ordre sur le courant 14

I.2.2. Généralités sur l'interaction avec la matière 16

I.2.3. L'effet de dose ionisante 18

I.2.3.a. Mécanisme de base 18

I.2.3.b. Impact des charges sur la tension de seuil 20

I.2.3.c. Impact des charges sur les courants de fuite 21

I.2.4. Les évènements singuliers (SEE) 22

I.2.4.a. Single-Event Upset 22

I.2.4.b. Single-Event Latchup 23

I.2.4.c. Single-Event Transient 23

I.2.4.d. Autres évènements singuliers notables 24

I.3. Durcissement de l'électronique aux radiations spatiales 24

I.3.1. Présentation de la technologie XFAB XH018 26
I.3.1.a. Le Shallow Trench Isolation (STI) 26
I.3.1.b. L'épaisseur d'oxyde de grille 29
I.3.1.c. Les transistors isolés 30
I.3.1.d. Autres caractéristiques 31
I.3.2. Techniques de durcissement aux niveaux schématique et layout 32
I.3.2.a. Techniques de durcissement au niveau design 32
I.3.2.b. Techniques de durcissement au niveau layout 33

I.4. Conclusion 34

I.5. Références 35

CHAPITRE II 41

CHOIX D'UN CONVERTISSEUR ANALOGIQUE-NUMERIQUE 41

II.1. Principe de fonctionnement d'un convertisseur analogique-numérique 41
II.1.1. Principe de conversion et définitions 42
II.1.2. Différentes mesures de l'erreur de conversion 43

II.2. Les différentes architectures de CAN 46
II.2.1. Le convertisseur flash 46
II.2.2. Le convertisseur à approximations successives (SAR) 48
II.2.3. Le convertisseur Pipeline 51
II.2.4. Le convertisseur Sigma-Delta 52
II.2.5. Synthèse 53

II.3. Le convertisseur pipeline 55
II.3.1. Fonctionnement d'un étage à 1,5 bits 55
II.3.2. Fonctionnement d'un étage à 2,5 bits 57
II.3.3. Influence de la résolution sur les performances de l'étage 58
II.3.3.a. Effets de la contrainte de linéarité sur le choix de la résolution par étage 58
II.3.3.a.i. Erreurs de gain, d'offset et de non-linéarité dans l'ADSC 58
II.3.3.a.ii. Erreurs de gain, d'offset, et de non-linéarité dans le DAC 59
II.3.3.a.iii. Erreurs de gain, d'offset, et de non-linéarité dans le SHA 60
II.3.3.b. Effets de la résolution par étage sur la vitesse de conversion, la surface du circuit et la consommation 62
II.3.3.b.i. Effets sur la vitesse de conversion 62
II.3.3.b.ii. Effets sur la surface du circuit 62
II.3.3.b.iii. Effets sur la puissance dissipée 63
II.3.3.c. Erreurs simultanées 63
II.3.3.c.i. Erreurs corrélées 64
II.3.3.c.ii. Bruit thermique et non-appariement des capacités 64
II.3.3.d. Conclusion 65
II.3.4. Identification des blocs fondamentaux 66

II.4. Conclusion **66**

II.5. Références **68**

CHAPITRE III **71**

CONCEPTION D'UN INTERRUPTEUR ANALOGIQUE OPTIMISE POUR L'ENVIRONNEMENT SPATIAL **71**

III.1. Présentation de l'interrupteur analogique **71**

III.1.1. Le phénomène d'injection de charges [RAZAVI1] 73

III.1.2. Le phénomène de clock-feedthrough [RAZAVI1] 74

III.2. Amélioration des performances d'un interrupteur analogique **74**

III.2.1. L'utilisation de « dummy » ou transistor fantôme [RAZAVI1] 75

III.2.2. Le Bottom-plate sampling [RAZAVI1] 76

III.2.3. La porte de transmission (ou porte CMOS) [RAZAVI1] 76

III.2.4. Le Bootstrapping [DESSOUKY1] 77

III.3. Interrupteur durci proposé **79**

III.4. Réalisation et tests des différents interrupteurs **81**

III.4.1. Conception des blocs communs 82

III.4.1.a. Dimensionnement de M_1 82

III.4.1.b. Buffer 82

III.4.1.c. Le générateur d'horloges non-recouvrantes 83

III.4.2. Conception de l'interrupteur durci 86

III.4.3. Simulations fonctionnelles au niveau schématique des différents interrupteurs 88

III.4.3.a. Mesure de la résistance d'accès (R_{ON}) 88

III.4.3.b. Injection de charges 89

III.4.3.c. Consommation des blocs 92

III.5. Conclusion **94**

III.6. Références **95**

CHAPITRE IV **97**

CONCEPTION D'UN COMPARATEUR DURCI AUX RADIATIONS **97**

IV.1. Présentation du comparateur analogique [ALLEN] **97**

IV.1.1. Caractérisation d'un comparateur 97

IV.1.1.a. Caractéristiques statiques 98

IV.1.1.b. Caractéristiques dynamiques 100

IV.1.1.b.i. Dynamique petit signal 100

IV.1.1.b.ii. Dynamique grand signal 102

IV.1.2. Les comparateurs à temps discret 102

IV.1.3. Durcissement et réduction de l'offset d'entrée par la technique d'Auto-Zero 103

IV.1.3.a. L'auto-zero et l'élimination de l'offset 103
IV.1.3.b. L'auto-zero et le durcissement 106
IV.1.4. Les comparateurs à haute vitesse 107

IV.2. Durcissement d'un comparateur haute vitesse différentiel 108

IV.3. Réalisation et tests des différents comparateurs 113
IV.3.1. Conception des comparateurs 113
IV.3.1.a. Le préamplificateur faible gain 114
IV.3.1.a.i. Le préamplificateur de référence 114
IV.3.1.a.ii. Le préamplificateur dual-path 116
IV.3.1.b. Le Latch 117
IV.3.1.c. Le buffer de sortie 118
IV.3.2. Simulations fonctionnelles au niveau schématique des comparateurs 119

IV.4. Conclusion 121

IV.5. Références 122

CHAPITRE V 123

CONCEPTION D'UN AMPLIFICATEUR A CAPACITES COMMUTEES AUX PERFORMANCES OPTIMISEES 123

V.1. Présentation et fonctionnement d'un amplificateur à capacités commutées 123
V.1.1. Fonctionnement idéal 124
V.1.2. Fonctionnement avec amplificateur réel 125

V.2. Présentation et fonctionnement prédictif de l'amplificateur à capacités commutées 126
V.2.1. L'approche prédictive à double échantillonnage corrélé (Predictive Correlated Double Sampling ou P-CDS) [LIU] 126
V.2.2. Calcul théorique de l'impact sur l'erreur 128

V.3. Choix de l'amplificateur 129
V.3.1. Généralités sur la paire différentielle 129
V.3.2. Les amplificateurs Folded-Cascode (FC) et Recycling Folded-Cascode (RFC) 131
V.3.2.a. Architecture Folded-Cascode 131
V.3.2.b. Architecture Recycling Folded-Cascode 131
V.3.3. L'amplificateur à deux étages 134
V.3.4. L'amplificateur rail-to-rail 135

V.4. Réalisation et tests des différentes structures 137
V.4.1. Conception des structures à capacités commutées 138
V.4.1.a. L'amplificateur 139
V.4.1.b. La boucle de contrôle de mode commun 142
V.4.1.c. Le monostable 143
V.4.2. Simulations fonctionnelles au niveau schématique des amplificateurs 144

V.4.2.a. Performances de l'amplificateur 144
V.4.2.b. Architecture non-prédictive 146
V.4.2.c. Architecture prédictive 148
V.4.2.d. Comparaison des architectures non-prédictives et prédictives 150
V.4.2.e. Analyse de la consommation de l'architecture prédictive 151
V.4.2.e.i. Cas de l'architecture prédictive 152
V.4.2.e.ii. Cas du double étage avec compensation 152

V.5. Conclusions 153

V.6. Références..... 154

CONCLUSION GENERALE ET PERSPECTIVES 157

ANNEXES 161

Table des Figures

Figure I-1 : Représentation de la magnétosphère terrestre, incluant le rayonnement cosmique, les vents solaires et les ceintures de particules piégées [KAMIDE]. 6

Figure I-2: Dose typique reçue par an par le Silicium pour quelques orbites terrestres [NASA]. 7

Figure I-3 : Application de la Loi de Moore sur les processeurs Intel entre 1970 et 2010 [INTEL]. 9

Figure I-4 : Vue en coupe d'une structure NMOS et d'une structure PMOS dans une technologie CMOS à substrat P et puits N (a) et leurs symboles électriques associés (b)..... 10

Figure I-5 : Un transistor NMOS contrôlé en tension par la grille (a), création de la zone de déplétion (b), formation de la couche d'inversion (c) [RAZAVI1]. 11

Figure I-6 : Allure simplifiée d'une caractéristique I_D (V_G) représentée en échelle logarithmique (rouge) et en échelle linéaire (bleu) 12

Figure I-7 : Représentation du courant de drain en fonction de la tension drain-source pour plusieurs valeurs de la tension grille-source [RAZAVI1]..... 12

Figure I-8 : A gauche, allure des charges sous le canal lorsque $V_{DS} = V_{DSsat}$, à droite lorsque $V_{DS}>V_{DSsat}$ [RAZAVI1]. 15

Figure I-9 : Pente en saturation résultante de la modulation de la longueur du canal. 15

Figure I-10 : Illustration des mécanismes d'interaction photon-silicium prépondérants suivant l'énergie du photon incident [VIRMONTOIS]. 17

Figure I-11 : Création de paires électron-trous dans l'oxyde de grille d'un transistor, en fonction de l'orientation du champ électrique [SAIGNE]..... 19

Figure I-12 : Effets des rayons ionisants sur une structure NMOS 20

Figure I-13 : a) représentations des charges piégées dans un oxyde de type Shallow-Trench Isolation (STI) [SCHWANK] et b) impact du courant de fuite après irradiation dans le cas d'un transistor à STI de W/L = 120nm/80nm [REZZAK]. 22

Figure I-14 : Effets causés par une particule énergétique frappant une jonction PN [LACOE]. 22

Figure I-15 : Principe de mise en conduction du thyristor parasite dans le cas d'un inverseur, causant un Single-Event Latchup [BERNAL]. 23

Figure I-16 : Exemple de SET observé dans le cas d'un Amplificateur Opérationnel LM124 de National Semiconductor [BOULGHASSOUL]. 24

Figure I-17 : Tenue à la TID (a) et LET des seuils des SEU et SET (b) en fonction du noeud technologique[DODD] 25

Figure I-18 : Images par Transmission Electron Micrograph (TEM) d'une isolation de type (a) LOCOS et (b) STI.[HUGHES] 27

Figure I-19 : Illustration de l'augmentation du courant de fuite d'une technologie STI 90nm en fonction de la surface active pour plusieurs taux de radiation [REZZAK]. 28

Figure I-20 : Illustration de l'augmentation du courant de fuite d'une technologie STI 90nm pour de faibles W [REZZAK]. 28
Figure I-21 : Illustration de l'augmentation du courant de fuite d'une technologie STI (TSMC 0,25µm) avec l'augmentation de la tension V_{DS} [JOHNSTON]. 28
Figure I-22 : Variation de la tension de seuil due aux radiations en fonction de l'épaisseur d'oxyde [ANELLI]. 29
Figure I-23 : a) Technologie simple-puits, b) technologie double-puits [ROCHE], c) technologie triple-puits (XH018) utilisant un puits n profond pour isoler le puits p formant le NMOS du substrat (datasheet XH018). 30
Figure I-24 : Exemple de layout d'inverseur avec contact à l'îlot P autour du NMOS et à l'îlot N autour du PMOS [ANELLI]. Ici, le NMOS est à grille fermée. 33

Figure II-1 : Exemple de conversion analogique-numérique dans le cas d'un convertisseur ayant une résolution de 4 bits [PELGROM1]. 42
Figure II-2 : Exemple de fonction de transfert idéale d'un CAN [PELGROM1] 44
Figure II-3 : Illustration de la NLI ou INL [PELGROM1]. 44
Figure II-4 : Illustration de la NLD ou DNL [PELGROM1]. 45
Figure II-5 : Illustration de la non-monotonie et d'un code manquant sur une fonction de transfert [PELGROM1]. 45
Figure II-6 : Passage du MSB de '0' à '1' dans le cans d'un convertisseur unaire (a) et logarithmique (b) [PELGROM1]. 46
Figure II-7 : Exemple d'un flash 4 bits [PELGROM2] 47
Figure II-8 : Exemple de fonctionnement d'un CAN SAR 5 bits [RAZAVI2]. 49
Figure II-9 : Publications sur les CANs SAR en fonction de l'année [CHO] 49
Figure II-10 : Exemple d'un CAN pipeline 15-bits, avec une résolution de 3 bits par étage [GALTON]. 51
Figure II-11 : Principe de la modulation Sigma-Delta [PELGROM1]. 53
Figure II-12 : Synoptique des architectures les plus utilisées en fonction des performances requises [MURMANN] 54
Figure II-13 : Graphique récapitulatif des CAN publiés dans l'IEEE JSSC entre Janvier 2006 et Mars 2012, en fonction de leur architecture, de la résolution et de la vitesse de conversion. Seuls des convertisseurs pipeline sont présents dans la zone d'intérêt. . 54
Figure II-14 : Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline. Il est constitué d'un ADSC, d'un DAC et d'un SHA [VANDEP]. 55
Figure II-15 : Fonction de transfert idéale d'un étage 1,5 bits 56
Figure II-16 : Vue simplifiée du SHA d'un étage 2,5 bits, en phase d'échantillonnage (a) et en phase de soustraction/amplification (b) [RARBI]. 57
Figure II-17 : Fonction de transfert idéale d'un étage 2,5 bits 58
Figure II-18 : Résistance aux offsets d'un Sub-ADC 1,5 bits [LEWIS]. 59
Figure II-19 : Représentation d'une erreur non linéaire de type offset dans le DAC [LEWIS]. 59
Figure II-20 : Représentation d'une erreur de gain dans le DAC [LEWIS]. 60

Figure II-21 : Représentation d'une erreur de gain dans l'ESA [LEWIS]. 60
Figure II-22 : Représentation schématique de l'ESA durant l'amplification [LEWIS]. 61
Figure II-23 : Impact du nombre d'étages à 2,5 bits en entrée de chaîne sur un CAN 14 bits composée du reste d'étages de résolution 1,5 bit sur l'erreur totale normalisée sur l'erreur moyenne 65

Figure III-1 : Interrupteur analogique NMOS 72
Figure III-2 : Représentation a) de la conductance et b) de la résistance d'accès d'un interrupteur NMOS 72
Figure III-3 : Représentation de l'injection de charges lorsque l'on éteint l'interrupteur 73
Figure III-4 : Clock-feedthrough dans un circuit d'échantillonnage 74
Figure III-5 : Principe du transistor fantôme 75
Figure III-6 : Suppression du clock-feedthrough par l'utilisation du transistor fantôme 75
Figure III-7 : Principe du bottom-plate sampling 76
Figure III-8 : Porte de transmission 76
Figure III-9 : Variation de la résistance d'accès d'une porte de transmission 77
Figure III-10 : Principe du bootstrapping 78
Figure III-11 : Présentation du switch bootstrappé compatible spatial 80
Figure III-12 : Circuit de mesure de l'injection de charges pour chacun des interrupteurs 82
Figure III-13 : Circuit de mesure de la résistance d'accès de chacun des interrupteurs 82
Figure III-14 : Buffer de sortie 83
Figure III-15 : Illustration de la nécessité d'horloges non-recouvrantes dans le cas d'un amplificateur à capacités commutées [SPILKA]. 84
Figure III-16 : Générateur d'horloges non-recouvrantes conventionnel [SPILKA]. 84
Figure III-17 : Générateur d'horloges non-recouvrantes utilisé [SPILKA]. 85
Figure III-18 : Horloges non-recouvrantes générées 85
Figure III-19 : Interrupteur durci et dimensions des transistors, avec en bleu les transistors spécifiques à son optimisation en environnement spatial. 87
Figure III-20 : Courant traversant chacun des interrupteurs. 88
Figure III-21 : Comparaison des résistances d'accès pour les trois différents interrupteurs 89
Figure III-22 : Test de l'interrupteur NMOS en schématique 89
Figure III-23 : Test de l'interrupteur CMOS en schématique 90
Figure III-24 : Test de l'interrupteur durci en schématique 90
Figure III-25 : Régime transitoire de l'interrupteur NMOS, mise en évidence de l'injection de charges 91
Figure III-26 : Comparaison des tensions de décalages dues à l'injection de charges (en amont du buffer). En bleu clair, l'interrupteur NMOS, en bleu foncé l'interrupteur CMOS, et en rose l'interrupteur durci. 91
Figure III-27 : Comparaison des tensions de décalages dues à l'injection de charges (sortie du buffer sur charge 2pF) 92

Figure III-28 : Courant moyen consommé dans les blocs de test d'injection de charge 93
Figure III-29 : Courant consommé, contribution de l'interrupteur durci..... 93

Figure IV-1 : Symbole d'un comparateur single-ended..... 98
Figure IV-2 : Caractéristiques d'un comparateur idéal (a) et d'un comparateur à gain fini (b). 98
Figure IV-3 : Caractéristique d'un comparateur présentant un offset en entrée..... 99
Figure IV-4 : Manifestation de l'influence du bruit sur une caractéristique de comparateur. 99
Figure IV-5 : Représentation du temps de propagation t_p d'un comparateur..... 100
Figure IV-6 : Réponse transitoire petit signal d'un comparateur..... 101
Figure IV-7 : Exemple de latch NMOS. 102
Figure IV-8 : Modèle simple d'un comparateur présentant un offset V_{OS} en entrée. 103
Figure IV-9 : Architecture d'un comparateur avec Auto-Zero. 104
Figure IV-10 : Comparateur avec auto-zero pendant la phase ϕ_1 (a) et pendant la phase ϕ_2 (b)..... 104
Figure IV-11 : Comparateur différentiel à capacités commutées..... 106
Figure IV-12 : Comparateur différentiel à capacités commutées avec auto-zero..... 106
Figure IV-13 : Réponse à un échelon d'un préamplificateur et d'un latch. 108
Figure IV-14 : Comparateur différentiel à capacités commutées [OLSON]. 109
Figure IV-15 : Structure du comparateur avec dual-path utilisé dans [OLSON] (a), et schématique simplifiée du préamplificateur (illustration [OLSON]) (b). 110
Figure IV-16 : Courants à travers les transistors d'entrée du préamplificateur durant la phase d'évaluation (ϕ_2). La tension différentielle d'entrée est de 75mV, et la charge déposée de 23fC sur V_{PA_A+} [OLSON]. Le courant dans la branche 1 reste supérieur à celui dans la branche 2 grâce au transistor $M1_B$ qui préserve une information correcte..... 111
Figure IV-17 : Courants à travers les transistors d'entrée du préamplificateur durant la phase d'évaluation (ϕ_2). La tension différentielle d'entrée est de 45mV, et la charge déposée de 23fC sur V_{PA_A+} [OLSON]. La tension différentielle d'entrée est trop faible pour que le transistor $M1_B$ puisse fournir un courant assez important pour dépasser la somme des courants traversant $M2_A$ et $M2_B$. 111
Figure IV-18 : Représentation des zones d'erreur en fonction de la charge déposée et de la tension différentielle d'entrée dans le cas de l'architecture présentée Figure IV-14 (a), de la même architecture mais avec les capacités d'entrée doublées (b), et de l'architecture avec dual-path (c) [OLSON]..... 112
Figure IV-19 : Schéma simplifié du comparateur à auto-zero non-durci..... 113
Figure IV-20 : Schéma simplifié du comparateur à auto-zero durci avec la technique du dual-path..... 113
Figure IV-21 : Préamplificateur du comparateur de référence..... 114
Figure IV-22 : Dimensions des transistors du préamplificateur..... 114
Figure IV-23 : Structure de test du préamplificateur. 115

Figure IV-24 : Tensions différentielles d'entrée (bleu clair) et de sortie (bleu foncé) du préamplificateur. 116
Figure IV-25 : Préamplificateur du comparateur avec dual-path. 116
Figure IV-26 : Dimensions des transistors du préamplificateur de la Figure IV-25..... 117
Figure IV-27 : Schéma simplifié du latch. 117
Figure IV-28 : Inverseur amélioré avec entrée Enable. 118
Figure IV-29 : Schéma du buffer de sortie. 118
Figure IV-30 : Dimensions des transistors du buffer de sortie. 118
Figure IV-31 : Régime transitoire du comparateur à auto-zéro. 119
Figure IV-32 : Histogramme représentant l'offset d'entrée du comparateur de référence sous 40 tirs en simulation de Monte-Carlo. 120
Figure IV-33 : Histogramme représentant l'offset d'entrée du comparateur avec dual-path sous 40 tirs en simulation de Monte-Carlo. 120

Figure V-1 : Schéma de principe d'un étage classique simple sortie (single-ended) de 1,5 bits d'un CAN pipeline [VANDEP]. 124
Figure V-2 : Caractéristique idéale d'un CAN 1,5 bits. 125
Figure V-3 : Représentation single-ended des trois phases du système prédictif : remise à zéro et échantillonnage (a), prédiction (b), et amplification finale (c). 127
Figure V-4 : Représentation schématique des trois phases du système prédictif correspondant à une période de traitement du signal d'entrée. 127
Figure V-5 : Paries différentielles avec charges PMOS connectées en diodes (a) et charges PMOS en miroirs de courant (b). 129
Figure V-6 : Structure Folded-Cascode classique. 131
Figure V-7 : Structure Recycling Folded-Cascode [ASSAAD]. 132
Figure V-8 : Représentation simplifiée d'un amplificateur à deux étages [RAZAVI1]. 134
Figure V-9 : Exemple d'architecture d'amplificateur différentiel double étage simple. 134
Figure V-10 : Amplificateur rail-to-rail proposé. 135
Figure V-11 : Schéma petit signal équivalent simplifié du circuit de la Figure V-10. 136
Figure V-12 : Schématique de la structure de test des performances de l'amplificateur. 137
Figure V-13 : Schématique de la structure non-prédictive. 138
Figure V-14 : Schématique de la structure prédictive. 138
Figure V-15 : Représentation de la tension de sortie de l'amplificateur pour le calcul de la bande passante. 140
Figure V-16 : Boucle de mode commun [SANSEN]. 143
Figure V-17 : Circuit retenu pour le monostable. 144
Figure V-18 : Simulation du monostable sous Cadence (Spectre). 144
Figure V-19 : Diagramme de Bode de l'amplificateur sur une charge de 2,925pF. 145
Figure V-20 : Diagramme de Bode en pire cas à 27° et à -40° et 125° dans le cas typique. .. 145

Figure V-21 : Consommation en courant (en mA), en fonction de la tension d'entrée en mV dans toute la gamme de température. 146
Figure V-22 : Sortie différentielle de l'architecture non-prédictive. 147
Figure V-23 : Mesure de l'erreur (tension différentielle de sortie idéale moins tension différentielle de sortie réelle) de l'architecture non-prédictive. 147
Figure V-24 : Consommation en courant de l'architecture non-prédictive. 148
Figure V-25 : Sortie différentielle de l'architecture prédictive. 148
Figure V-26 : Mesure de l'erreur (tension différentielle de sortie idéale moins tension différentielle de sortie réelle) de l'architecture prédictive. 149
Figure V-27 : Consommation en courant de l'architecture prédictive. 149
Figure V-28 : Comparaison des erreurs des circuits non-prédictifs (bleu) et prédictifs (rouge) au niveau schématique. 150
Figure V-29 : Comparaison des consommations en courant des circuits non-prédictif (bleu ciel) et prédictif (bleu foncé) au niveau schématique. 151

Introduction

L'imagerie, que l'on se trouve dans le domaine du visible ou non, constitue un axe majeur de l'exploration de l'univers ainsi que de l'observation de la Terre depuis l'espace. Si les missions d'observation de l'univers permettent d'en savoir davantage sur sa naissance et sur les phénomènes qui le régissent (Gaia, PLANCK, PICARD ou INTEGRAL, pour l'ESA), les programmes axés sur la Terre garantissent l'accès à de nombreuses données permettant l'étude de phénomènes variés, tels que l'urbanisation, les phénomènes naturels (respiration des sols, marées,…), ou les ressources de notre planète (SPOT, PLEIADE ou ENVISAT pour l'ESA) **[HUSSON]**. Les données recueillies sont donc le plus souvent de nature visuelle, et sont généralement récupérées par un capteur CCD (Charge-Coupled Device, ou en français « dispositif à transfert de charge » (DTC)) **[RICHARDS]**. Ce dernier présentant à sa sortie des tensions analogiques, il sera indispensable d'utiliser un dispositif appelé Convertisseur Analogique-Numérique (CAN, ou ADC pour Analog-to-Digital Converter), permettant de générer des signaux numériques images des tensions de sortie du capteur, dont la nature « binaire » permet un traitement (analyse, calculs,…) simplifié et moins coûteux, et de faciliter l'envoi sur Terre **[AHMED]**.

Ainsi, les CAN sont des éléments clés de l'imagerie par satellite. De leur précision va dépendre la qualité de la représentativité de la chaîne de signaux binaires. Il est donc crucial de réaliser une conversion de données de haute qualité (vitesse, précision) tout en s'assurant, par la conformation aux normes ISO/NP 14621-1 et ISO/NP 14621-2, de la résistance du CAN à l'environnement spatial. En effet, ce dernier implique de développer une électronique résistant à la fois à la large gamme de températures (-40°C à 125°C) et aux radiations spatiales : on parle de durcissement de l'électronique. Afin de répondre à ces problématiques, les technologies et les méthodes de conception utilisées sont le plus souvent spécifiques à cet environnement **[ARAI] [SHINDOU] [NEMOTO]**. Mais l'usage d'une technologie dédiée implique un surcoût dû aux contraintes supplémentaires imposées aux fondeurs et aux faibles volumes concernés, et engendre l'impossibilité de profiter des dernières avancées de la micro-électronique en termes de consommation, performances, et encombrement. Face à cet état de fait, des acteurs majeurs du domaine spatial comme le CNES ou Thales Alenia Space (TAS) se sont investis depuis quelques années dans la conception d'Application-Specific Integrated Circuits (ASIC) **[SHINDOU]** à partir de technologies CMOS sub-microniques classiques en s'imposant des règles de durcissement au niveau conception (design) comme au niveau du dessin des masques (layout). Cette solution

est devenue possible grâce à l'évolution des technologies CMOS vers des grilles plus fines rendant ces technologies naturellement plus immunes aux effets de dose cumulée. Elle présente l'avantage de permettre la réalisation de fonctions spécifiques –voire l'intégration de plusieurs fonctions au sein d'un même circuit–, mais demande de mettre en œuvre des règles de durcissement au niveau design comme au niveau layout pour lutter notamment contre les effets transitoires des radiations énergétiques.

Dans ce contexte, les objectifs de cette thèse sont, d'une part, d'évaluer la résistance naturelle aux radiations de la technologie XFAB CMOS 0.18µm choisie en amont de la thèse car utilisée par l'un des co-financeurs de celle-ci, TAS, pour des raisons développées au chapitre I ; d'autre part d'identifier des techniques permettant d'améliorer les performances et la tenue aux radiations (notamment de type évènements singuliers ou SEE pour Single-Event Effect) d'un CAN dont les performances correspondent aux besoins d'un capteur CCD d'observation de la Terre.

Afin de répondre à ces problématiques, une étude des phénomènes générés par un environnement radiatif dans les semi-conducteurs et les techniques classiques de durcissement, le tout adapté aux caractéristiques de la technologie XFAB 0.18µm, seront tout d'abord présentés.

Par la suite, il s'agira de choisir, parmi les multiples architectures de CAN existantes, la plus adaptée aux performances requises à la fois par les capteurs CCD et l'environnement spatial, ce qui fera l'objet d'un deuxième chapitre. Ce chapitre permettra en effet d'identifier les points clefs qui seront étudiés avec soin dans cette thèse, à savoir le design des interrupteurs analogiques, des comparateurs, et de l'amplificateur, dans l'objectif d'allier performances optimisées et tenue aux radiations.

Ainsi, les problématiques liées à l'utilisation d'un interrupteur analogique, notamment l'injection de charges et l'incompatibilité des méthodes de réduction de ses effets avec l'environnement spatial, seront développés dans un court chapitre, présentant en outre une architecture novatrice adaptée au contexte spatial.

Puis, deux techniques de durcissement permettant d'éviter les SET dans les comparateurs d'un CAN ont été retenues et mises en œuvre : l'Auto-Zeroing, et le Dual-Path Hardening. La première, assez classique, permet d'annuler une partie importante de l'offset en le stockant sur des capacités « tampons », tandis que la deuxième est une amélioration de la première, et permet théoriquement de réduire de manière significative le taux d'erreur du comparateur par rapport au cas précédent. Celle-ci se base sur la multiplication des

chemins d'accès au préamplificateur par autant de capacités d'entrée, sans perte de performance.

Enfin, le dernier chapitre abordera la conception d'un amplificateur à capacités commutées utilisant le concept de Predictive Correlated Double Sampling (P-CDS), consistant à réaliser une estimation de la sortie grâce à un système parallèle utilisant une horloge fonctionnant à fréquence double, afin de s'approcher au mieux du résultat idéal. Cette technique permet, comme nous le verrons, d'améliorer en théorie le gain effectif de l'amplificateur au prix d'une consommation supplémentaire relativement faible.

Pour ces trois derniers chapitres, des tests et résultats au niveau schématique et post-layout seront présentés afin de valider les approches théoriques mises en œuvre.

Références

[AHMED] N. Ahmed and K.R. Rao, *"Orthogonal Transforms for Digital Signal Processing,"* Springer-Verlag, 1975.

[ARAI] Y. Arai *et.al.*, *"Development of SOI pixel process technology,"* 7th International Hiroshima Symposium on the Development and Application of Semiconductor Tracking Detectors, Avril 2011.

[HUSSON] André HUSSON, *"Panorama des missions d'observation de la Terre,"* CNES DCT/OT, Atelier Droit et Espace, 22 Septembre 2010.

[NEMOTO] Norio Nemoto, *"Development Status of JAXA EEE Parts,"* European Space Components Conference (ESCCON), Mars 2013.

[RICHARDS] John A. Richards & Xiuping Jia, "*Remote Sensing Digital Image Analysis,"* Springer 2006.

[SHINDOU] Hiroyuki SHINDOU, *"Current status of SOI / MPU and ASIC development for space,"* The 23rd Microelectronics Workshop of Electronic Devices and Materials Group &Aerospace Research and Development Directorate, JAXA, Novembre 2010.

Chapitre I

Environnement spatial et circuits dédiés

Dans ce chapitre, nous décrirons tout d'abord brièvement l'environnement radiatif spatial, nous présenterons par la suite les effets des radiations spatiales sur l'électronique de type CMOS, puis, nous aborderons les méthodes de durcissement applicables à la technologie XFAB 0.18µm après l'avoir brièvement présentée. En effet, la contrainte spatiale implique de tenir compte des flux de particules dus notamment au rayonnement cosmique et aux vents solaires. Face à ces phénomènes, une multitude de techniques au niveau design et layout ont été étudiées afin de garantir une électronique fiable, reproductible et durable. Il faudra donc identifier les méthodes de durcissement pertinentes dans le cadre d'une technologie CMOS 0,18µm et plus particulièrement de la technologie utilisée dans cette thèse.

I.1. L'environnement spatial

En règle générale, lorsque l'on pense à l'espace, on imagine d'abord une immense étendue vide séparant les astres. Ce n'est pas tout à fait vrai. En effet, si l'absence d'air et la densité quasi-nulle incitent à utiliser ce terme de vide spatial, de nombreux flux de particules variées habitent ce milieu, et ceux-ci peuvent dégrader les performances des instruments de mesure embarqués sur satellite. Comme nous allons le voir, dans le système solaire (et plus précisément dans l'environnement proche de la Terre), ces flux sont dus à 3 phénomènes en particulier, représentés sur la Figure I-1 :

- Le rayonnement cosmique diffus, particules de haute énergie, de sources galactiques et inter-galactiques,
- Les vents solaires et éruptions solaires, constitués de particules émises par le soleil,
- Les ceintures de radiation (ceintures de Van Allen), composées de charges piégées par le champ magnétique terrestre.

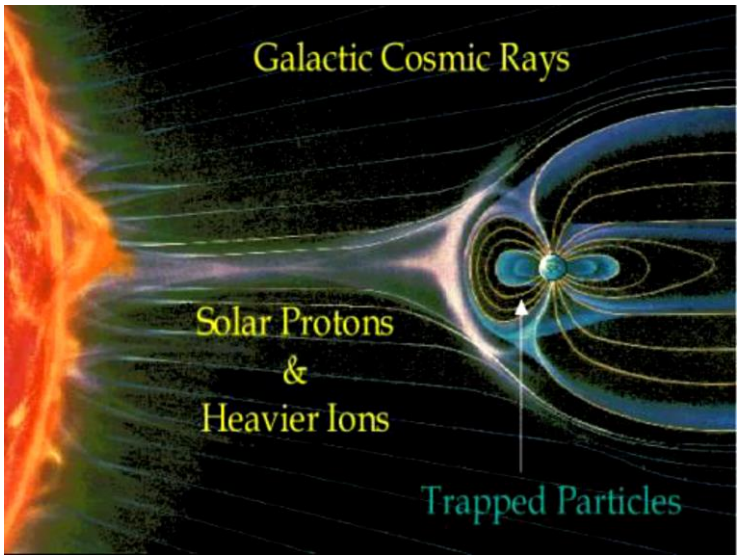


Figure I-1 : Représentation de la magnétosphère terrestre, incluant le rayonnement cosmique, les vents solaires et les ceintures de particules piégées [KAMIDE].

I.1.1. Le rayonnement cosmique

Le rayonnement cosmique est un flux constitué environ à 83% de protons, à 13% de particules alpha (He^{2+}), à 3% d'électrons, et à 1% de noyaux lourds. Il provient des astres de tout l'univers, et est réparti uniformément dans ce dernier. Si le flux est négligeable devant celui des vents solaires (dans le cas d'une particule d'énergie de 10^{11}GeV, le flux est d'environ une particule par kilomètre carré par an), les hautes énergies mises en jeu (pouvant aller jusqu'à quelques TeV) **[BOURDARIES]** font qu'il est indispensable de tenir compte de ces phénomènes potentiellement destructifs afin de garantir un bon fonctionnement sur toute la durée d'une mission.

I.1.2. Les vents et éruptions solaires

L'agitation thermique de la couronne solaire engendre un flux de particules d'énergies inférieures à 100keV, éjectées entre 400km.s^{-1} et 1000km.s^{-1} **[LANTOS]**. Ce flux est estimé à environ 10^{12} particules par centimètre carré et par seconde, et est appelé vent solaire, et est principalement constitué d'électrons, de protons, et d'hélium. Son intensité dépend de l'activité solaire, qui décrit un cycle d'environ 11 ans (22 si l'on tient compte de la polarité du champ magnétique).

Mais le soleil est également responsable d'un autre phénomène source de radiations. En effet, les éruptions solaires sont de gigantesques éjections de matière coronale, générant un flux de plasma ponctuel supplémentaire. Celui-ci est principalement constitué de

photons, mais certaines éruptions peuvent également causer des « évènements à protons » (ou SPE- Solar Proton Event), lors desquels les particules les plus énergétiques, de l'ordre de plusieurs centaines de MeV sont émises, lesquelles sont difficilement stoppées par les blindages. Ces phénomènes sont responsables de la majorité des évènements nuisibles à la micro-électronique embarquée.

I.1.3. Les ceintures de radiation de Van Allen

L'interaction entre le champ magnétique terrestre et les vents solaires donne naissance à une couche appelée magnétosphère, qui s'étend sur environ 60000km côté jour et plus d'un million de km côté nuit. Cette couche est en principe imperméable aux vents solaires, toutefois, certaines particules chargées peuvent rester piégées par les courants en jeu dans cette couche, notamment lorsque la composante du champ magnétique interplanétaire le long de l'axe du dipôle terrestre est dans le sens du moment magnétique terrestre. L'ensemble de ces particules forme les ceintures de Van Allen, de forme toroïdale et entourant l'équateur magnétique, et constituées principalement de protons d'énergies allant de 1 keV à plusieurs centaines de MeV, et d'électrons d'énergies allant de 1 keV à 30 MeV. On prend généralement en considération deux ceintures principales :

- la ceinture intérieure, située environ entre 500 km et 10000 km d'altitude, composée majoritairement de protons ayant un flux pouvant aller jusqu'à plusieurs milliers de particules par centimètre carré par seconde,
- la ceinture extérieure, entre 13000 km et 65000 km, constituée d'électrons, avec un flux similaire.

La connaissance de ces ceintures implique que la mise en orbite d'un satellite tient généralement compte des maximums de densité (autour de 3000 km et de 25000 km) afin d'éviter d'y séjourner.

Orbite	Géostationnaire	GPS	Orbite Basse Terrestre
Apogée (km)	35796	20189	1600
Périgée (km)	35795	20172	1600
Inclinaison (degrés)	0	55	60
Dose rad(Si)/an	6600	59000	17300

Figure I-2: Dose typique reçue par an par le Silicium pour quelques orbites terrestres [NASA].

La réaction nucléaire entre les particules piégées et les molécules de la haute atmosphère terrestre (oxygène, azote) donnent naissance aux aurores boréales, observables depuis la Terre.

I.2. Effets des particules et radiations sur les circuits CMOS

Ainsi, les circuits embarqués dans l'espace sont soumis à un environnement radiatif, où les particules présentent des caractéristiques très variées en provenance, en nature, en flux, et en énergie.

Il est nécessaire de bien connaître les phénomènes en jeu et les risques encourus par les circuits pour pouvoir s'en prémunir, et ainsi garantir leur bon fonctionnement sur toute la durée d'une mission.

I.2.1. La technologie CMOS basse consommation

En 1963, sous l'impulsion de Frank Wanlass et C. T. Sah, une technologie combinant des transistors complémentaires à canal n et à canal p permet à des circuits logiques symétriques d'avoir une consommation quasi-nulle au repos. Wanlass dépose le brevet de ce que l'on appelle aujourd'hui la technologie CMOS, pour Complementary Metal-Oxide-Semiconductor **[WANLASS]**.

Depuis, cette technologie s'est développée à un rythme effréné. En 1965, Gordon E. Moore, co-fondateur d'Intel, conjecture que le nombre de transistors par puce doublerait tous les deux ans **[MOORE]**, ce qui s'est révélé étonnamment proche de la réalité : entre 1971 et 2001, la densité des transistors a doublé chaque 1,96 année (Figure I-3). On parle communément de « Loi de Moore ».

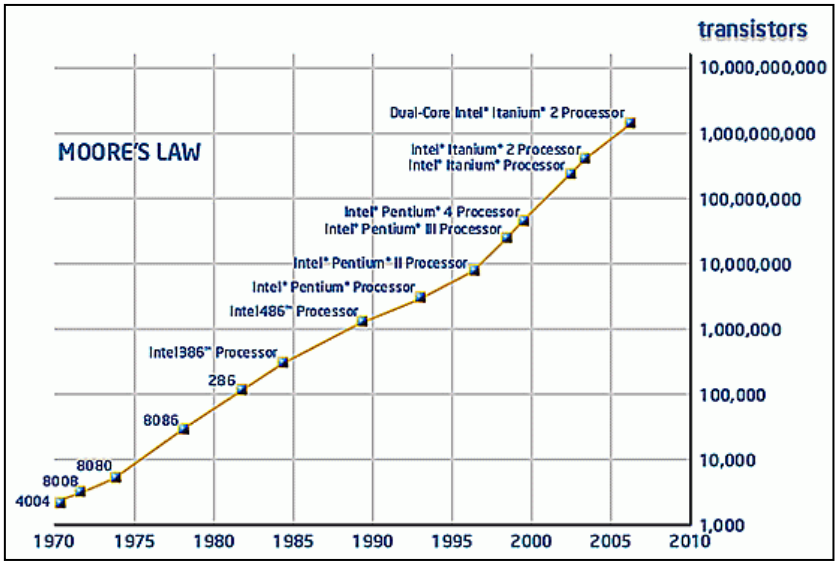


Figure I-3 : Application de la Loi de Moore sur les processeurs Intel entre 1970 et 2010 [INTEL].

Dans les années 2010, près de 95% des circuits intégrés sont fabriqués en utilisant cette technologie **[BAKER]**, et son utilisation pour des applications spatiales s'est généralisée **[TURCHETTA] [DEMOOR]**, notamment depuis le début des années 90, afin notamment de faire face aux besoins en résolution de l'imagerie, et aux limitations en consommation. Sa basse consommation, sa fiabilité et sa compacité l'ont rendue très intéressante pour les applications numériques, toutefois son utilisation dans le domaine analogique reste plus délicate, et a fait l'objet de très nombreux ouvrages **[GEIGER] [LAKER] [RAZAVI1] [ALLEN]**.

I.2.1.a. Structure d'un transistor MOS

La Figure I-4 propose une vue en coupe de deux transistors complémentaires N-MOS et P-MOS dans une technologie CMOS classique.

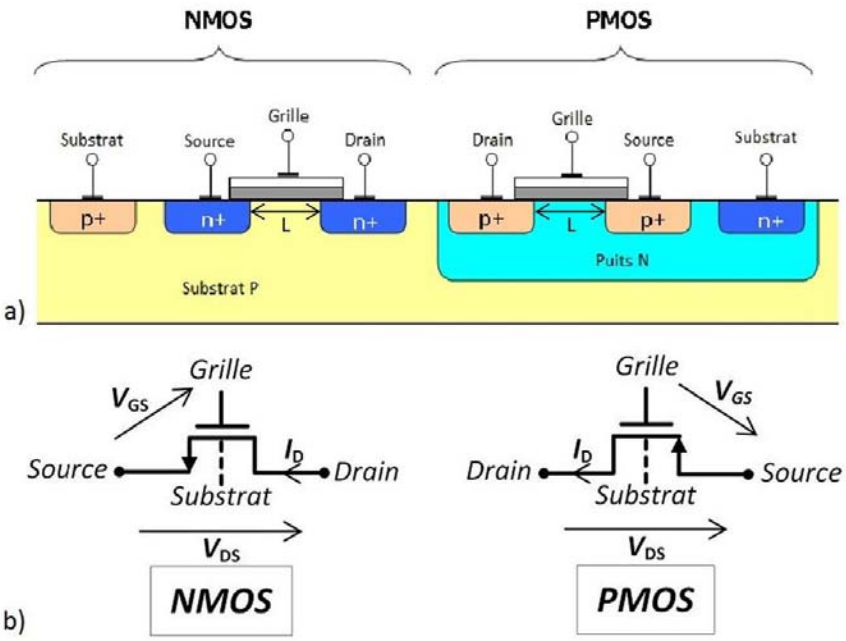


Figure I-4 : Vue en coupe d'une structure NMOS et d'une structure PMOS dans une technologie CMOS à substrat P et puits N (a) et leurs symboles électriques associés (b).

Dans un souci d'amélioration des performances, la tendance est à la réduction de la taille de ces transistors. En effet, plus les transistors seront de petite taille, plus il sera possible d'en intégrer sur une puce d'une taille donnée. En parallèle à cela, un transistor plus petit aura une vitesse de fonctionnement plus élevée : lorsque la longueur (L, voir Figure I-4), la largeur (W) et l'épaisseur d'oxyde (t_{ox}) sont réduits d'un même facteur α, la résistance du canal reste inchangée, alors que la capacité de grille est réduite de ce facteur α, réduisant ainsi la constante de temps RC du transistor de ce même facteur α **[DENNARD]**.

Pour faire face à cette réduction de taille, il est nécessaire de diminuer également la tension d'alimentation, afin de maintenir le champ électrique à un niveau acceptable **[ENZ]**. Le bénéfice direct est que l'on réduit ainsi efficacement la consommation dynamique du circuit, celle-ci étant proportionnelle au carré de la tension d'alimentation.

I.2.1.b. Fonctionnement d'un transistor

Dans ce chapitre, considérons un transistor NMOS (un raisonnement analogue peut être mené pour un transistor PMOS permettant d'obtenir des résultats similaires) connecté suivant la Figure I-5 (a). Puisque la grille et le substrat forment une capacité (l'oxyde étant isolant), lorsque l'on augmente la tension de grille V_G, les trous du substrat dopé *p* seront repoussés en profondeur afin de contrebalancer la charge positive sur la grille, laissant ainsi à proximité de l'interface oxyde-substrat des ions négatifs : on a la création d'une zone de déplétion (Figure I-5 (b)). Dans ces conditions, on ne peut pas avoir de courant car il n'y a pas de porteurs libres disponibles.

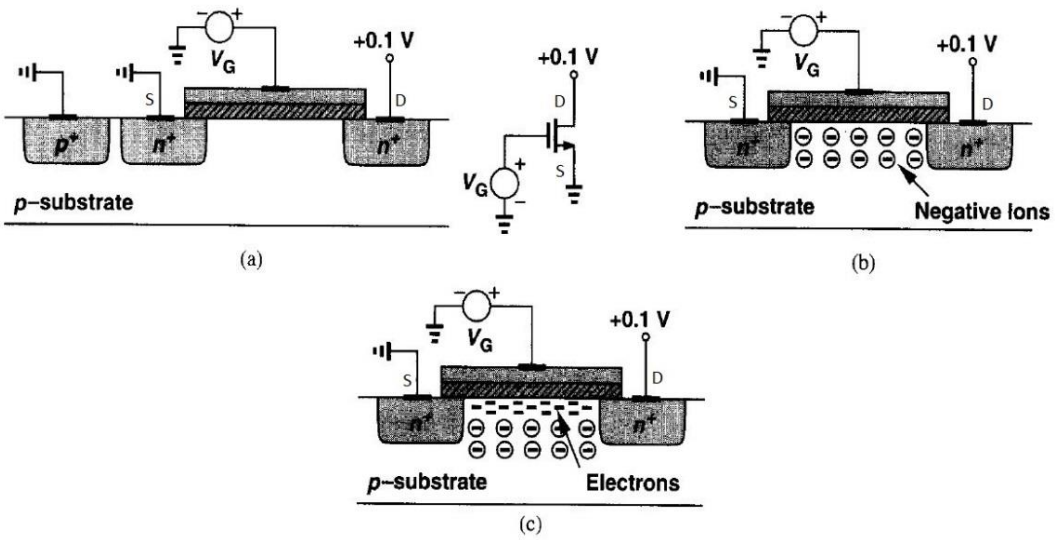


Figure I-5 : Un transistor NMOS contrôlé en tension par la grille (a), création de la zone de déplétion (b), formation de la couche d'inversion (c) [RAZAVI1].

Si l'on continue d'augmenter la tension de grille, l'épaisseur de la zone de déplétion fait de même, jusqu'à ce que V_G atteigne une tension dite « tension de seuil »V_{TH}, définie comme étant la tension pour laquelle « l'interface est autant de type *n* que le substrat est de type *p* », on dit que l'interface est « inversée » **[TSIVIDIS]** (Figure I-5 (c)), et un courant peut circuler entre la source et le drain. Si l'on continue d'augmenter V_G au-delà de V_{TH}, la densité de charges dans le canal continue à augmenter, permettant ainsi à un courant plus important de circuler. On parle alors d'« allumage » du transistor **[RAZAVI1]**.

Il peut être prouvé qu'en première approximation, la tension de seuil V_{TH} vaut **[LU]** :

$$V_{\mathrm{TH}} = \Phi_{\mathrm{MS}} + 2\Phi_{\mathrm{F}} + \frac{Q_{dep}}{C_{ox}}$$

Où Φ_{MS} est la différence des fonctions de travail entre la grille et le substrat (en V), $2\Phi_F$ la chute de potentiel sur la zone déplétée (la source et le canal étant au même potentiel), Q_{dep} la charge dans la zone de déplétion.

En réalité, le phénomène d'allumage du transistor n'est pas discontinu autour de V_{TH} ; une idée de l'allure d'une caractéristique du courant de drain I_D en fonction de V_G à V_{DS} constant est représentée Figure I-6.

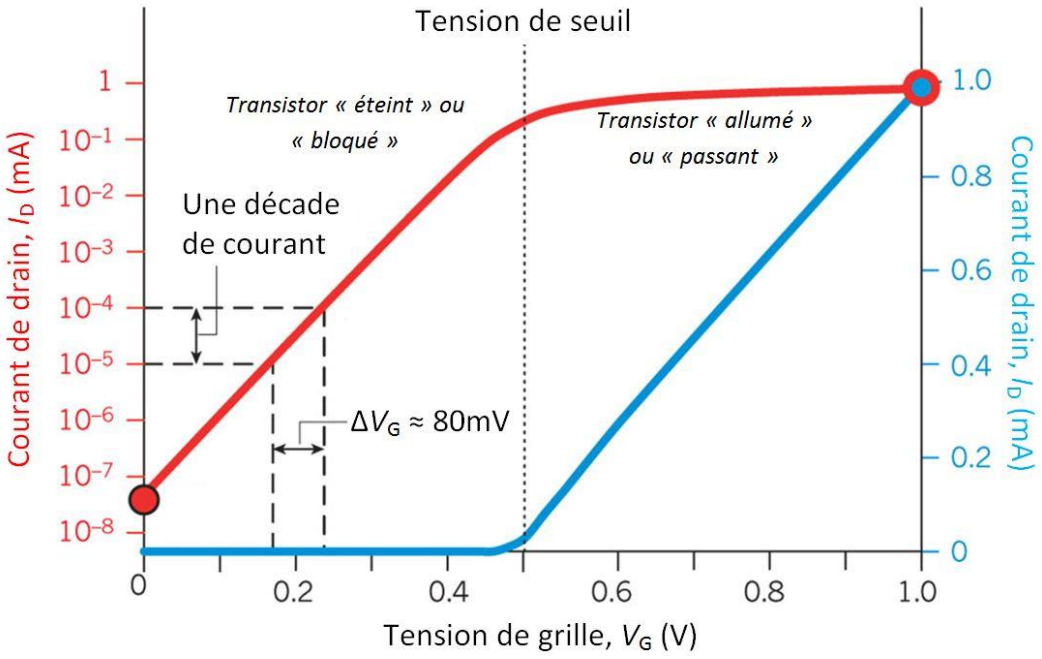


Figure I-6 : Allure simplifiée d'une caractéristique I_D (V_G) représentée en échelle logarithmique (rouge) et en échelle linéaire (bleu)

Si, en revanche, l'on fixe V_G à une tension supérieure à V_{TH} et que l'on augmente V_{DS} progressivement, le courant va d'abord augmenter de manière linéaire et le transistor se comporte comme une résistance (pour $V_{DS} << 2(V_{GS} - V_{TH})$). Puis le courant va atteindre un niveau presque constant : le transistor est saturé. Lorsque l'on trace I_D en fonction de V_{DS} pour différentes valeurs de V_{GS} -ou V_G, la source étant à la masse pour un NMOS- (Figure I-7), les zones linéaires et saturées sont séparées par une parabole décrite par $V_{DS} = V_{GS} - V_{TH}$.

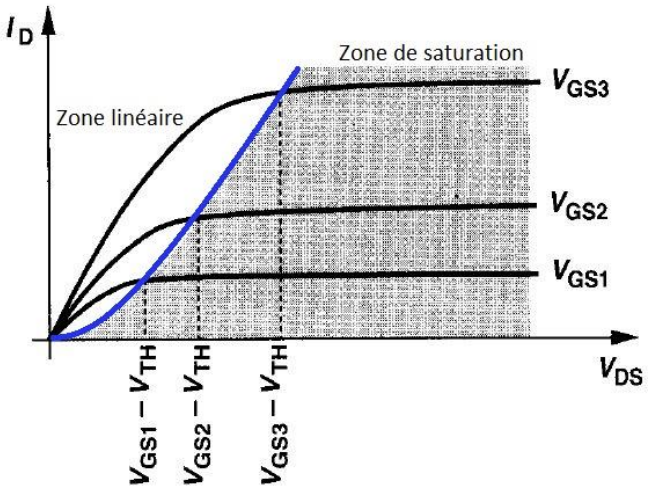


Figure I-7 : Représentation du courant de drain en fonction de la tension drain-source pour plusieurs valeurs de la tension grille-source [RAZAVI1].

Si, dans les applications numériques, il est généralement intéressant d'avoir des tensions de commande de 0V ou V_{DD} (représentant respectivement un '0' et un '1' logiques),

en conception analogique les tensions de grilles sont aux environs de la tension de seuil (zones de faible inversion et d'inversion modérée), afin de contrôler plus précisément le courant I_D. Ceci présente en outre un bon compromis entre vitesse et gain lorsqu'on utilise le transistor en mode amplificateur, les vitesses les plus élevées étant obtenues en forte inversion.

I.2.1.c. Courants et paramètres

I.2.1.c.i. Courants à V_{DS} constant

Dans le cas d'un NMOS, et dans la zone de forte inversion, on peut montrer que le courant vaut **[RAZAVI1]** :

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2$$

Où μ_n est la mobilité des électrons (en cm²/V.s.), et C_{ox} la capacité de l'oxyde de grille par unité de surface (en F/cm²).

Puisque dans cette zone, le transistor fournit un courant en réponse à une tension de grille lorsqu'elle est supérieure à V_{TH}, il est intéressant d'utiliser une grandeur quantifiant la variation de courant en fonction de la variation de la tension de grille. Ce paramètre, appelé transconductance, et noté g_m, peut être exprimée ainsi :

$$g_m = \frac{\delta I_D}{\delta V_{GS}}\bigg|_{V_{DS}\ const.}$$

$$= \mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH}) \quad \text{(II-1)}$$

$$= \sqrt{2\mu_n C_{ox}\frac{W}{L}I_D} \quad \text{(II-2)}$$

$$= \frac{2I_D}{V_{GS} - V_{TH}} \quad \text{(II-3)}$$

Avoir trois expressions pour le même paramètre donne souvent lieu à des ambiguïtés, notamment : g_m est-il proportionnel au courant de drain, ou à sa racine carrée ? Pour bien comprendre le rapport entre ces trois relations, il est nécessaire de vérifier les autres paramètres mis à contribution : lorsque l'on réalise des mesures, W/L reste de toute évidence constant, et l'expression II-2 prévaut : doubler le courant de drain augmentera le g_m de 41% seulement. Toutefois, pendant la conception, on fixera $V_{GS} - V_{TH}$ à une certaine

valeur, et g_m sera alors proportionnel au courant, et l'on se basera sur les équations II-1 et II-3.

Dans la zone de faible inversion, la relation entre I_D et V_{GS} n'est pas quadratique et est donnée par la relation suivante :

$$I_D = \frac{W}{L} I_{D0} e^{q\frac{V_{GS}}{nkT}}$$

Avec I_{D0} le courant de drain lorsque $V_{GS} = V_{TH}$, n un paramètre appelé Slope factor, k la constante de Boltzmann et T la température en degrés Kelvin.

En posant I_S le courant spécifique tel que :

$$I_S = 2n\mu_n C_{ox} \left(\frac{kT}{q}\right)^2 \frac{W}{L}$$

Et $\alpha_I = I_D / I_S$ le rapport du courant de drain et du courant spécifique, on a **[ENZ]**:

$$g_m = \frac{1}{\sqrt{\alpha_I + \frac{1}{2}\sqrt{\alpha_I} + 1}} \times \frac{qI_D}{nkT}$$

I.2.1.c.ii. Courants à V_{GS} constants

Lorsque l'on trace I_D en fonction de V_{DS} (à V_{GS} constant), on a, en zone linéaire, la relation suivante :

$$I_D = \mu_n C_{ox} \frac{W}{L}\left[(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}{V_{DS}}^2\right]$$

Le maximum de cette parabole est la frontière avec la zone de saturation, et vaut :

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L}(V_{GS} - V_{TH})^2$$

Comme dans le cas précédent. En première approximation (I_D constant pour tout $V_{DS} > V_{DSsat} = V_{GS} - V_{TH}$), c'est le courant de saturation.

I.2.1.c.iii. Effets du deuxième ordre sur le courant

Toutefois, deux effets du deuxième ordre, sont à signaler. Le premier, nommé effet substrat (ou body-effect), venant du fait que la tension effective du substrat sous la grille n'est pas nécessairement la même que la source (généralement dans des circuits où la source n'est pas reliée à la masse pour un NMOS ou à V_{DD} pour un PMOS), peut modifier la

tension de seuil effective. Le paramètre lié à cet effet est noté γ, et la nouvelle tension de seuil vaut :

$$V_{\mathrm{TH}} = V_{\mathrm{TH0}} + \gamma \left(\sqrt{|2\Phi_F + V_{\mathrm{SB}}|} - \sqrt{|2\Phi_F|} \right)$$

Avec V_{TH0} la valeur de tension de seuil décrite dans le chapitre I.2.1.b, et V_{SB} la tension source-substrat. γ vaut généralement autour de 0,3 à 0,4 $V^{1/2}$. Ceci modifie directement la valeur du courant de drain.

Le deuxième effet du deuxième ordre à relever est l'effet de la modulation de la longueur du canal. Lorsque la tension V_{DS} atteint V_{DSsat} (= V_{GS} - V_{TH}), on dit que le canal est « pincé », la densité de charge locale sous le canal au niveau du drain étant quasi-nulle. Au-delà de V_{DSsat}, la zone à partir de laquelle la densité de charge sous la grille devient nulle se rapproche graduellement de la source (Figure I-8).

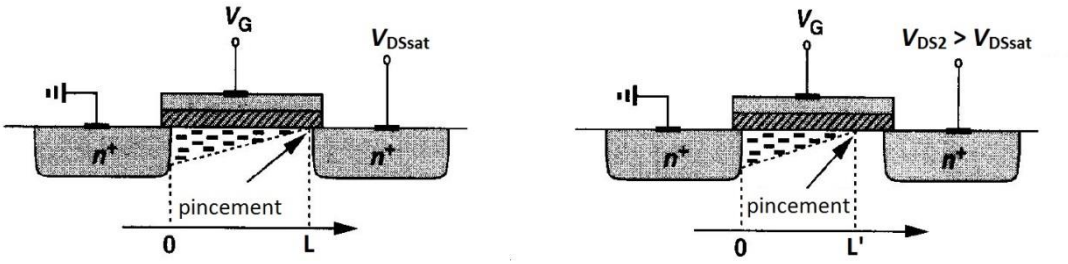


Figure I-8 : A gauche, allure des charges sous le canal lorsque $V_{DS} = V_{DSsat}$, à droite lorsque $V_{DS} > V_{DSsat}$ [RAZAVI1].

Le courant traversant le canal sera donc modulé par la largeur effective du canal L', qui est en réalité fonction de V_{DS}. En posant L' = L – ΔL, et en supposant que la relation entre ΔL/L et V_{DS} est linéaire, telle que ΔL/L = λV_{DS}, on a en saturation :

$$I_{\mathrm{D}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{\mathrm{GS}} - V_{\mathrm{TH}})^2 (1 + \lambda V_{\mathrm{DS}})$$

Avec λ le coefficient de modulation de la longueur du canal.

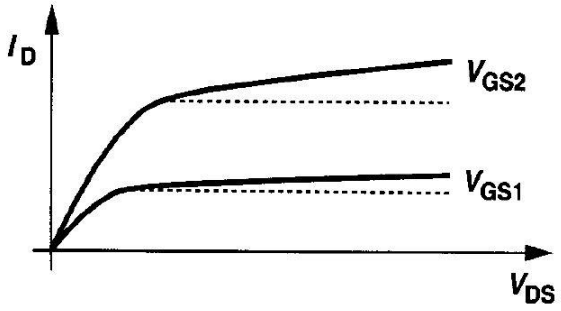


Figure I-9 : Pente en saturation résultante de la modulation de la longueur du canal.

I.2.2. Généralités sur l'interaction avec la matière

Lorsqu'elle est soumise à un environnement radiatif, la matière va recevoir une partie ou la totalité de l'énergie des particules incidentes. Les effets de ces chocs sont de deux natures :

- On parle d'effet ionisant lorsque la particule excite la matière ou créé des paires électron-trou,
- On parle d'effet non-ionisant lorsque la particule génère des déplacements dans le réseau cristallin.

Dans le cas des effets non-ionisants, le paramètre NIEL, noté *Sd*, est utilisé pour quantifier leur impact sur le réseau cristallin. Généralement, on assiste, dans certains cas, à des déplacements de matière, provoquant des modifications de densité du réseau. Ceci va se répercuter au niveau de la mobilité, de la durée de vie, et de la densité des porteurs de charge.

Afin de quantifier les courants générés par l'ionisation, on utilise communément le *LET* pour Linear Energy Transfert, qui va dépendre d'une part de la nature et de l'énergie de la particule incidente, et d'autre part du matériau absorbant, et qui s'exprime de la manière suivante :

$$LET = \frac{1}{\rho}\frac{\delta E}{\delta x}$$

Où ρ est la masse volumique de la matière en kg/m^3, et δE/δx l'énergie moyenne communiquée à la matière par unité de longueur, exprimée en J/m. Le LET est généralement exprimé en MeV.cm^2/kg, et est très utile car il permet de connaître, avec l'énergie de la particule incidente, le nombre de paires électron-trou générées en divisant par l'énergie nécessaire à une telle création (environ 17 eV pour le SiO_2) l'énergie totale transférée sur toute la longueur du matériau.

A titre d'exemple, dans le cas du photon, en fonction de son énergie, on distingue plusieurs types d'interactions, détaillées dans le Tableau I-1.

Energie	qq eV	<100 keV	≈ MeV	>1.022MeV	6-25 MeV	>GeV
Effet	Excitation	Effet Photoélectrique	Effet Compton	Effet de Paire	Réaction Photo-nucléaire	Production de méson

Tableau I-1 : Effets des photons sur le Silicium en fonction de leur énergie, répertoriés par [ANELLI].

Lorsqu'il s'agit du Silicium, les trois effets principaux des photons sont les effets photoélectriques, Compton et de paires, et sont représentés sur la Figure I-10.

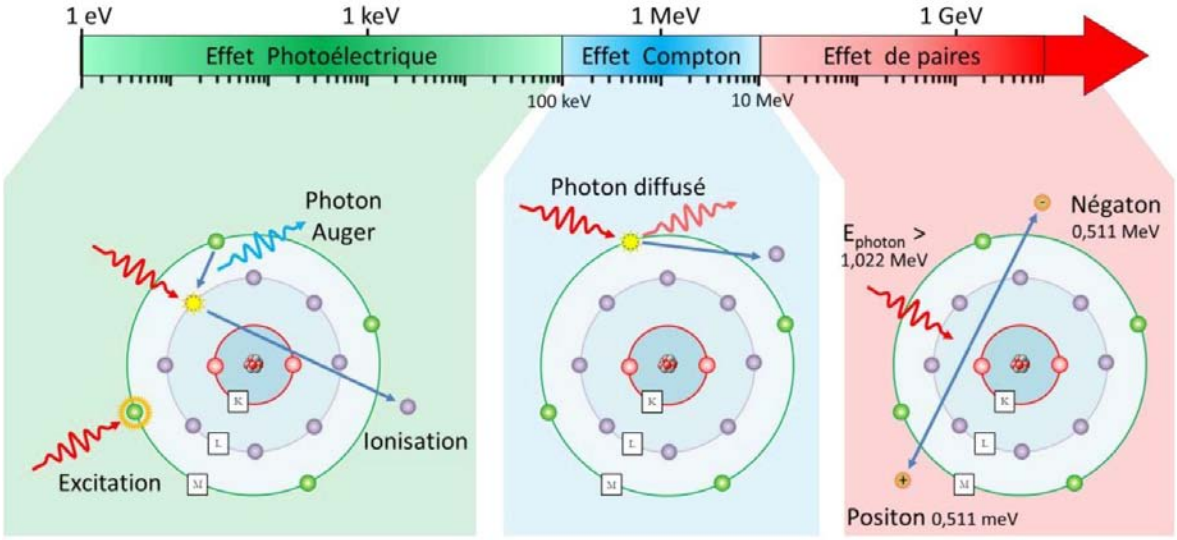


Figure I-10 : Illustration des mécanismes d'interaction photon-silicium prépondérants suivant l'énergie du photon incident [VIRMONTOIS].

- **Effet photoélectrique**

On parle d'effet photoélectrique lorsqu'un photon incident a assez d'énergie pour détacher un électron de l'atome, c'est l'ionisation. L'atome est alors instable, et génère un photon X pour se retrouver dans un état stable.

- **Effet Compton**

Un photon peut percuter un électron périphérique et le séparer de l'atome, tout en continuant sa course au sein du réseau, et il pourra continuer à interagir avec les autres atomes. Il s'agit de l'effet Compton.

- **Effet de paires**

L'effet de paire peut intervenir lorsqu'un photon traverse le champ magnétique d'un atome. On a alors génération d'un positon et d'un négaton (électron), de même énergie, mais de directions opposées.

Lorsque les particules incidentes sont des électrons ou des ions lourds, des mécanismes similaires vont générer des paires électron-trous, qui peuvent provoquer divers dysfonctionnements électroniques au sein des circuits. On divise généralement en deux catégories les dommages subis par les circuits, selon que l'on s'intéresse à la dose totale reçue par le circuit, ou TID (Total Ionizing Dose) ou bien aux effets du taux de radiation (évènements singuliers, ou SEE pour Single Event Effect).Nous allons maintenant voir en détail ces deux catégories.

I.2.3. L'effet de dose ionisante

I.2.3.a. Mécanisme de base

Le nombre de paires électron-trous créées dans le Silicium peut être calculé à partir de la dose totale absorbée, représentant l'énergie déposée dans le matériau par la particule responsable, indépendamment de sa nature. La dose totale est exprimée en gray (Gy) dans le système international, mais est traditionnellement exprimée en rad (pour Radiation Absorbed Dose), et la relation entre ces différentes unités est la suivante :

$$1\,Gy = 1\,J.kg^{-1} = 100\,rad$$

La création de paires électron-trous dans l'oxyde de grille d'un transistor MOS (SiO_2 dans notre cas) peut avoir des effets néfastes à long terme sur son fonctionnement. Généralement, la majorité des paires créées se recombinent dans les pico-secondes suivant leur création. Toutefois, il y a une dépendance entre l'angle d'attaque et l'orientation du champ électrique dans l'oxyde de grille, comme on peut le constater sur la Figure I-11. En effet, lorsque le champ est dans la même orientation que le proton incident, de nombreuses paires se recombineront naturellement, puisque les porteurs en jeu se déplaceront suivant le même axe mais dans des directions opposées. Toutefois, dans le cas extrême où la trajectoire du proton et le champ électrique seront perpendiculaires, on observera une recombinaison minimum, et les dommages seront maximums.

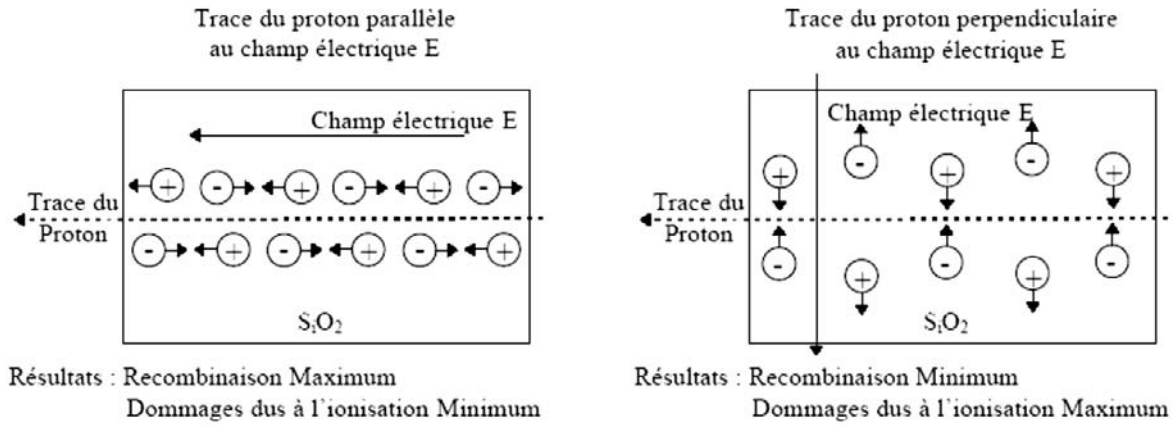


Figure I-11 : Création de paires électron-trous dans l'oxyde de grille d'un transistor, en fonction de l'orientation du champ électrique [SAIGNE].

Du fait de la nature isolante de l'oxyde, les charges restantes dans l'oxyde y resteront piégées, et vont s'y accumuler durant la durée d'une mission. En réalité, le champ électrique va entraîner un déplacement de charges non-nul, mais très lent au sein de l'oxyde. Les électrons y ayant une mobilité bien plus importante que les trous, ils seront évacués dans le cas d'un transistor NMOS plus aisément que ces derniers vers le contact en métal de l'électrode de grille, alors que les trous vont se déplacer lentement en direction de l'interface Si/SiO_2, suivant la direction du champ, par effet tunnel. Mais à cette interface, de nombreux défauts du réseau cristallin sont présents (maille différente, impuretés, …), et ceux-ci forment des pièges pour les trous, qui y resteront en proportion non-négligeable. Ils formeront à leur tour des pièges pour les électrons du canal.

La Figure I-12 résume ce processus :

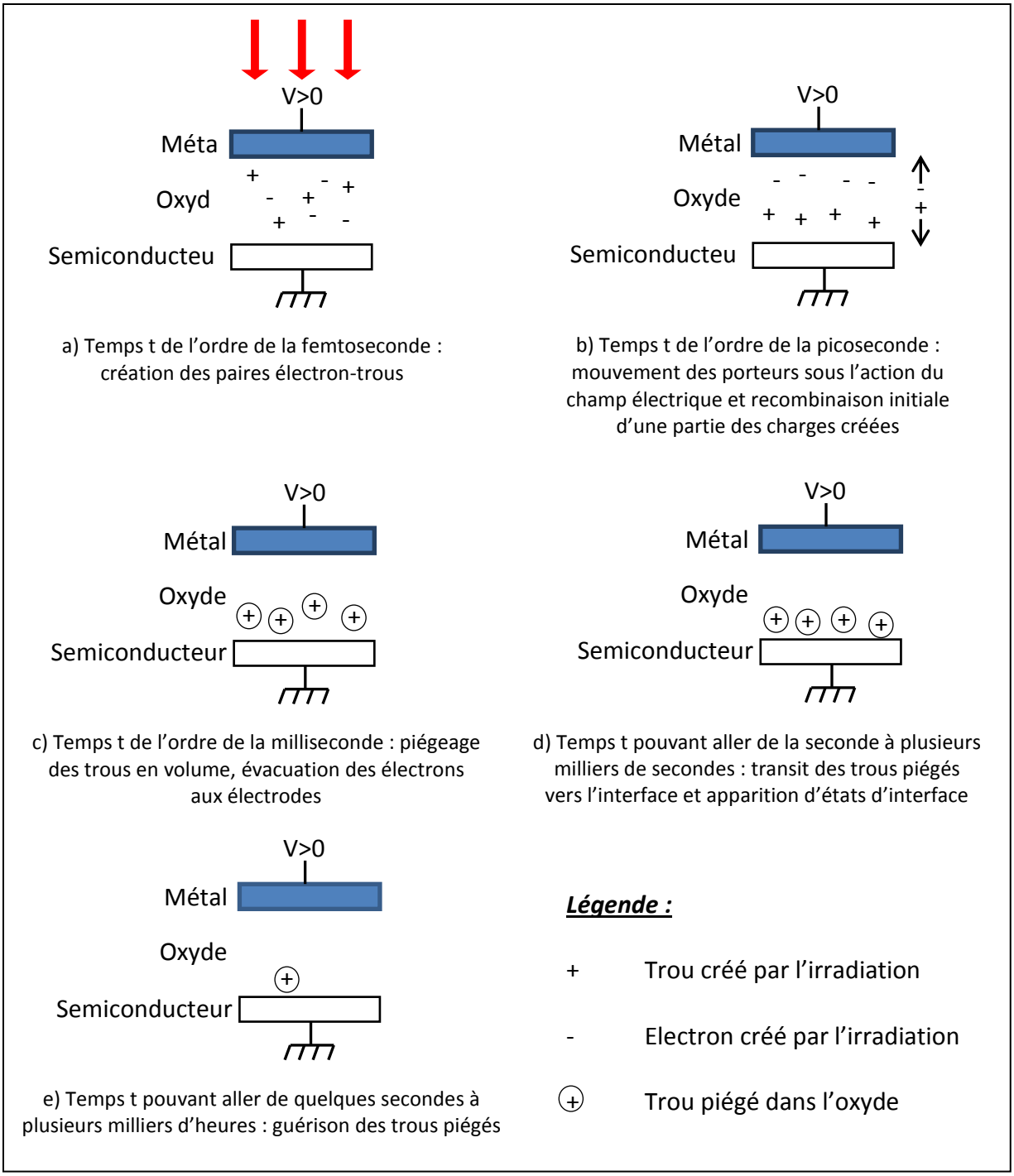


Figure I-12 : Effets des rayons ionisants sur une structure NMOS

Dans le cas d'un transistor PMOS, le phénomène est semblable, et encore une fois des trous resteront piégés dans l'oxyde, mais seront en moyenne plus proche de la grille, puisqu'elle sera chargée négativement par rapport au substrat.

I.2.3.b. Impact des charges sur la tension de seuil

Les charges positives piégées dans l'oxyde vont naturellement attirer des électrons dans le canal, ce qui implique une modification du champ à appliquer pour observer le

phénomène d'inversion. Ceci se traduit par une dérive de la tension de seuil du transistor. De même, les charges à l'interface produisent un effet similaire.

La variation due aux charges dans l'oxyde s'exprime de la manière suivante :

$$\Delta Vth = -\frac{1}{Cox}\int_0^{tox}\frac{x}{tox}\rho(x)dx$$

Avec ρ(x) la distribution de charges dans l'oxyde, x étant orienté suivant l'épaisseur de l'oxyde.

On observe que la variation de tension de seuil est inverse au type de charge piégé, et que l'impact est d'autant plus grand que les charges sont proches de l'interface Si/SiO_2. Un transistor PMOS sera donc plus résistant qu'un NMOS à ces variations, puisque la polarisation négative de la grille éloigne les trous de l'interface Si/SiO_2.

Dans le cas des charges à l'interface, la variation s'exprime de manière similaire, les charges étant toutes à une distance *tox* de la grille :

$$\Delta Vth = -\frac{Q_{interface}}{Cox}$$

On remarque que l'influence des charges sur la tension de seuil augmente avec l'épaisseur d'oxyde. Ainsi, il est préférable d'utiliser des technologies utilisant un t_{ox} le plus faible possible, et c'est ce qui justifie l'immunité naturelle croissante des technologies CMOS avec le temps concernant la dérive de la tension de seuil.

I.2.3.c. Impact des charges sur les courants de fuite

Ainsi, si la tension de seuil est altérée suite à l'exposition aux radiations, lorsqu'elle est inférieure à sa valeur de base, des courants de fuite peuvent apparaître. De plus, si des charges ont été piégées dans l'oxyde de grille, d'autres l'ont été dans l'oxyde de champ séparant les transistors. Celles-ci seront également sources de courants de fuite : en effet, les charges piégées dans l'oxyde de champ à proximité de la grille vont créer des transistors parasites responsables, après irradiation, d'un courant de fuite qui peut être important dans certaines technologies (LOCOS ou STI, voir chapitre I.3.1.a), comme on peut le voir sur la Figure I-13.

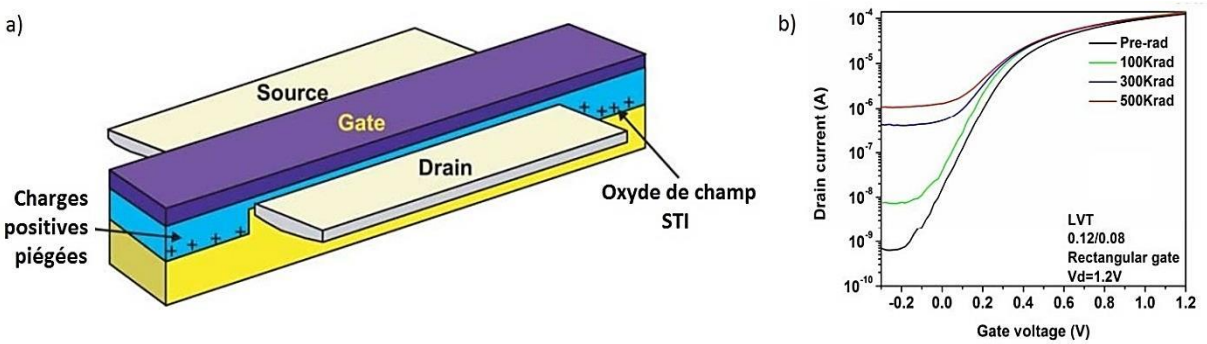


Figure I-13 : a) représentations des charges piégées dans un oxyde de type Shallow-Trench Isolation (STI) [SCHWANK] **et b) impact du courant de fuite après irradiation dans le cas d'un transistor à STI de W/L = 120nm/80nm** [REZZAK].

I.2.4. Les évènements singuliers (SEE)

Les évènements singuliers, ou Single Event Effects (SEE) se produisent lorsqu'une particule très énergétique ionise la jonction PN d'un nœud sensible du circuit, causant un allongement de la zone de dépeuplement et générant un courant dû au déplacement des électrons et des trous sous l'effet du champ électrique (Figure I-14), causant alors une erreur momentanée, voire une destruction du composant.

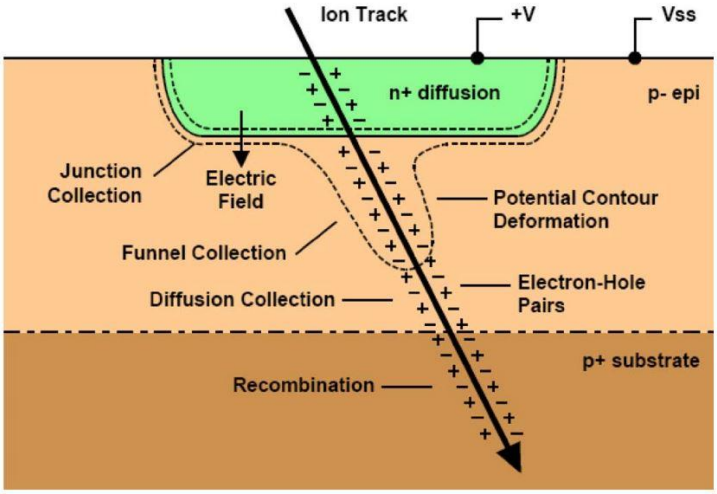


Figure I-14 : Effets causés par une particule énergétique frappant une jonction PN [LACOE].

Ces erreurs peuvent prendre de nombreuses formes, et sont classées suivant leurs effets.

I.2.4.a. Single-Event Upset

Un Single-Event Upset est le changement de l'état logique mémorisé ou en cours de traitement d'un transistor dans un circuit numérique dû à l'ionisation par un ion lourd. Cet évènement n'endommage pas de manière permanente le fonctionnement du circuit en question.

I.2.4.b. Single-Event Latchup

On parle de Single-Event Latchup lorsqu'une particule énergétique incidente cause la mise en conduction d'un thyristor PNPN parasite (Figure I-15). Ce phénomène peut être transitoire ou destructif, en cas de courant trop important. Par ailleurs, la présence d'un substrat fortement dopé, en facilitant la conduction, va favoriser l'apparition de SEL.

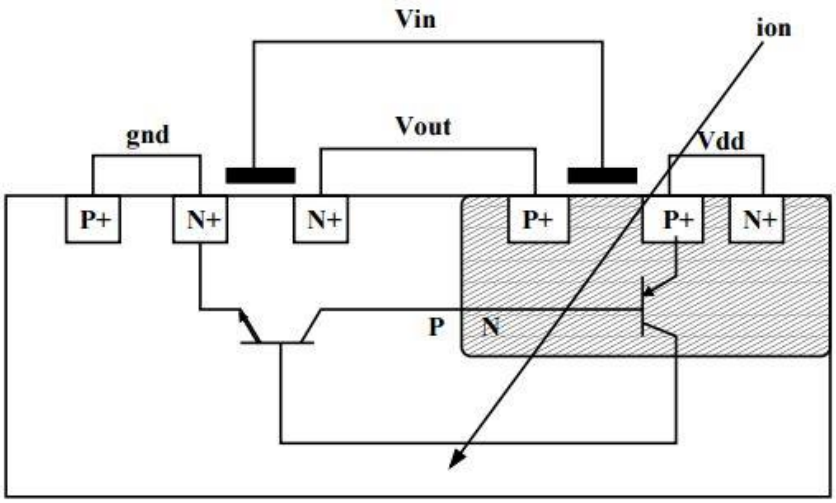


Figure I-15 : Principe de mise en conduction du thyristor parasite dans le cas d'un inverseur, causant un Single-Event Latchup [BERNAL].

I.2.4.c. Single-Event Transient

Le Single-Event Transient est un effet causant la perturbation transitoire d'une donnée par les charges collectées suite à l'impact d'une particule incidente. Un exemple de cet évènement est proposé Figure I-16.

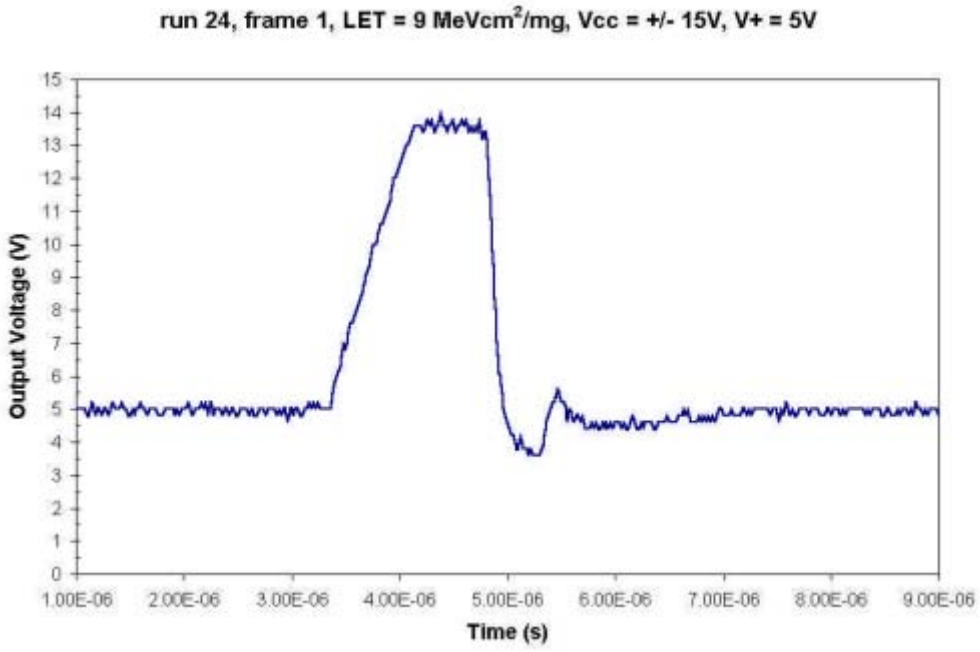


Figure I-16 : Exemple de SET observé dans le cas d'un Amplificateur Opérationnel LM124 de National Semiconductor [BOULGHASSOUL].

I.2.4.d. Autres évènements singuliers notables

Les effets de l'ionisation sont nombreux, et la liste proposée ici se veut non-exhaustive, toutefois il est important de parler de certains évènements tels que le Single-Event Burnout (déclenchement d'un transistor parasite dans le substrat sous le transistor), le Single-Event Gate Rupture (destruction irréversible de l'oxyde de grille par une particule), ou bien encore le Single-Event Snapback (mise en conduction du transistor bipolaire parasite situé sous le transistor MOS impacté), ces trois effets étant principalement observés dans le cas des transistors de puissance ou à haute tension, ce qui n'est pas le cas dans le cadre des travaux de cette thèse.

Comme nous l'avons vu, les effets dus à l'environnement radiatif spatial sont de natures variées en termes de durée et de gravité, et il est nécessaire de protéger les circuits électroniques en conséquence afin de garantir leur bon fonctionnement : c'est le durcissement.

I.3. Durcissement de l'électronique aux radiations spatiales

Les techniques permettant de se prémunir des effets des radiations ont fait l'objet de nombreuses études depuis l'incorporation de l'électronique dans les sciences aérospatiales.

On les classe généralement en trois différentes catégories :

- Les techniques relatives au choix de la technologie : process de fabrication adaptés, permettant par exemple l'utilisation de grilles nitritées, de Silicon on Insulator (SOI, utilisant une couche isolante d'oxyde de Silicium entre le transistor et le substrat),
- Les techniques de conception au niveau schématique (on parlera de durcissement par design ou RHBD pour Radiation Hardened by Design),
- Les techniques de dessin des masques (on parlera de durcissement par layout).

Les premières, bien qu'ayant prouvé leur efficacité, sont généralement très coûteuses (prix d'un wafer environ 5 fois supérieur dans le cas d'une technologie SOI par rapport à une technologie CMOS classique). Ainsi, le choix de s'orienter vers une technologie CMOS classique du commerce est de plus en plus souvent fait afin de diminuer les coûts tout en profitant de technologies éprouvées et optimisées.

En règle générale, le choix de la technologie se fait en fonction de la durée de la mission et des niveaux de radiation auquel le circuit devra faire face (relatif à son orbite, cf. chapitre I.1). Une étude datant de 2010 **[DODD]** a analysé le durcissement de différents nœuds technologique à la dose totale (Figure I-17 a)) et aux évènements singuliers (Figure I-17 b)).

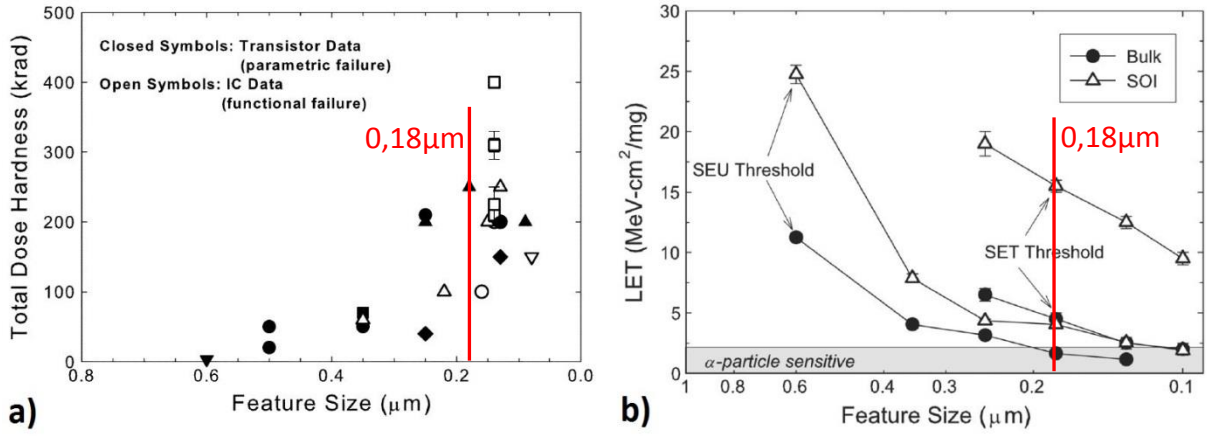


Figure I-17 : Tenue à la TID (a) et LET des seuils des SEU et SET (b) en fonction du noeud technologique[DODD]

Comme on peut le voir, lorsqu'on réduit la taille de la technologie (notamment en-dessous de 0,2µm), la tenue à la dose totale augmente (100krad minimum), tandis qu'elles sont davantage sensibles aux évènements singuliers, notamment en technologie substrat. En effet, le nœud étant de plus petite taille, la capacité de nœud diminue également, et ce qui était intéressant du point de vue de la vitesse de fonctionnement rend les transistors plus sensibles aux courants induits par les particules. Une autre manière de voir les choses est de

réaliser qu'une technologie de plus petite taille sera de fait plus sensible à une particule d'énergie équivalente. Toutefois, cette affirmation est à nuancer avec le constat suivant : une fonction donnée utilisera une surface plus petite avec une technologie plus fine. Ainsi, proportionnellement, moins de particules entreront en contact avec le circuit, qui présentera par conséquent moins d'erreurs.

D'après la Figure I-17, on peut affirmer qu'un bon compromis entre l'utilisation d'une technologie commerciale à la fois assez mature pour être fiable et assez fine pour permettre une bonne tenue aux effets de dose et un gain en vitesse de fonctionnement conséquent sans être trop sensible aux évènements singuliers semble être une technologie à largeur de grille minimum de 0,18µm **[MANGHISONI] [OCONNOR]**. C'est le cas dans le cadre de cette thèse, où la technologie XFAB 0,18µm (XH018) a été choisie en amont, pour des raisons développées au chapitre suivant. L'un des objectifs de ces travaux est notamment de valider la pertinence de cette technologie dans le cadre d'une utilisation en environnement radiatif spatial.

I.3.1. Présentation de la technologie XFAB XH018

Cette technologie de type CMOS est utilisée dans des domaines variés, comme par exemple dans le cadre de la réalisation de system-on-chip (SOC) pour l'industrie automobile, ou encore des applications embarquées à tensions élevées dans le domaine des télécommunications.

Cette technologie est utilisée par TAS au démarrage de ces travaux, et ce pour plusieurs raisons. D'une part, dans le cadre d'une application à signaux mixtes comme c'est le cas ici avec pour cible la réalisation d'un CAN, il est intéressant d'avoir accès à un cœur numérique fonctionnant à basse tension (1,8V ici) et un bloc analogique fournissant un budget en tension plus élevé (3,3V ici). Par ailleurs, la possibilité de réaliser des circuits en Multi-Project Wafer (MPW) permet de diminuer le coût de production des prototypes. Enfin, comme nous allons le voir, la présence de Shallow Trench Isolation (STI) et de MOS isolés sont importants pour les applications spatiales d'une technologie 0,18µm.

I.3.1.a. Le Shallow Trench Isolation (STI)

Afin d'éviter les courants de fuite entre transistors voisins, il est nécessaire de les isoler. La technique traditionnelle, le LOCal Oxidation of Silicon (LOCOS), a été largement utilisée pour les technologies de taille supérieure à 500nm. Toutefois, comme le montre la Figure I-18, la présence d'une zone en bec d'oiseau diminue la largeur effective des transistors, tout en réduisant la densité maximum et en augmentant la sensibilité aux

radiations à cause de l'accumulation de charges positives dans le bec d'oiseau (à l'origine notamment d'un courant de fuite important) et des contraintes mécaniques dans ces zones **[KASAMA86] [KASAMA87]**. Le STI permet d'éviter ces problèmes, tout en assurant une isolation correcte **[HUGHES] [DODD] [SCHWANK] [REZZAK]**.

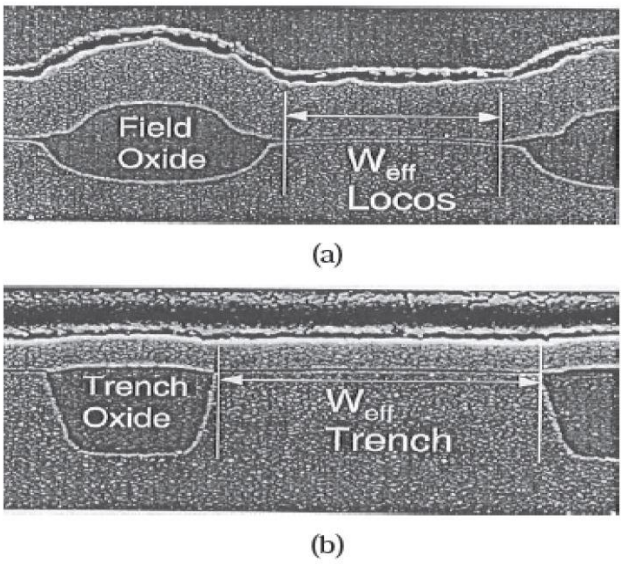


Figure I-18 : Images par Transmission Electron Micrograph (TEM) d'une isolation de type (a) LOCOS et (b) STI [HUGHES].

La vulnérabilité aux radiations des dispositifs à STI dépend de nombreux facteurs, et augmente notamment avec :

- L'augmentation de la surface active (distance entre la grille et l'isolation) (Figure I-19)
- La diminution de la largeur du transistor (Figure I-20)
- L'augmentation de la tension V_{DS} (Figure I-21)

Les figures I-19, I-20 et I-21 illustrent l'augmentation du courant de fuite en fonction de ces différents paramètres pour deux technologies différentes.

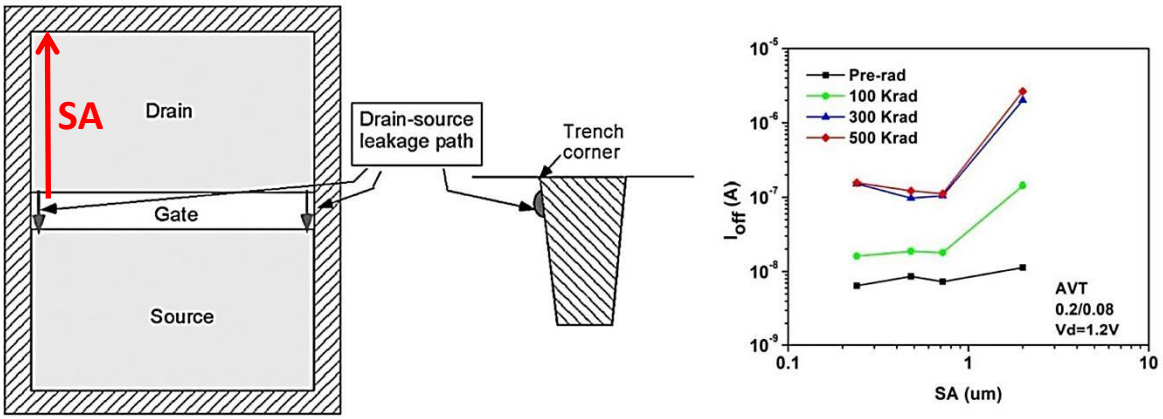


Figure I-19 : Illustration de l'augmentation du courant de fuite d'une technologie STI 90nm en fonction de la surface active pour plusieurs taux de radiation [REZZAK].

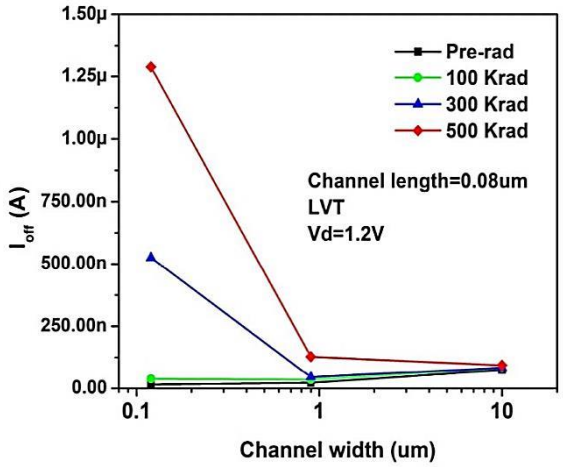


Figure I-20 : Illustration de l'augmentation du courant de fuite d'une technologie STI 90nm pour de faibles W [REZZAK].

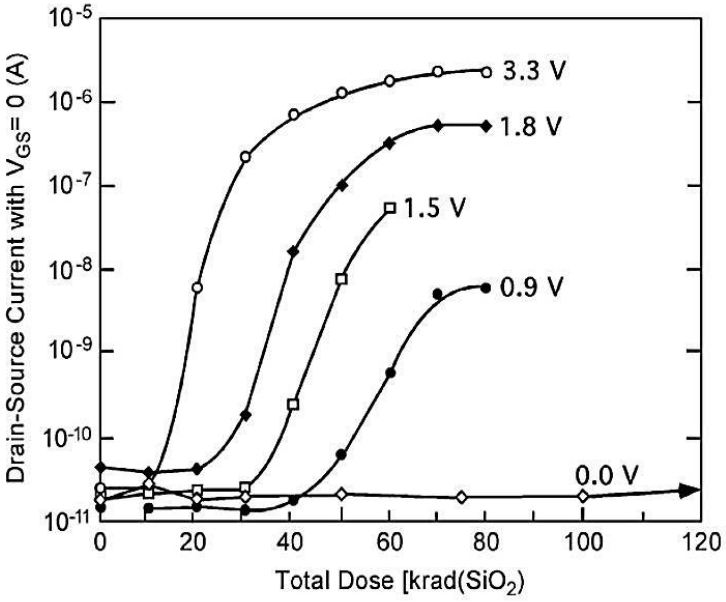


Figure I-21 : Illustration de l'augmentation du courant de fuite d'une technologie STI (TSMC 0,25µm) avec l'augmentation de la tension V_{DS} [JOHNSTON].

I.3.1.b. L'épaisseur d'oxyde de grille

L'épaisseur d'oxyde de grille, ou t_{ox}, est un paramètre important dans la tenue à la dose cumulée d'une technologie. Il a été démontré qu'une épaisseur d'oxyde plus faible permettait une meilleure tenue aux radiations **[ANELLI]**. Une représentation de la tenue à la TID est représentée Figure I-22.

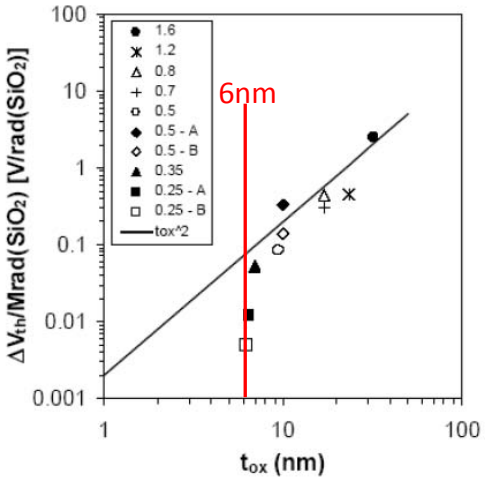


Figure I-22 : Variation de la tension de seuil due aux radiations en fonction de l'épaisseur d'oxyde [ANELLI].

Le parallèle entre la tenue aux radiations et la réduction de t_{ox} peut s'expliquer d'une part par le fait que la faible épaisseur réduit le chemin à parcourir pour être évacuées et facilite l'évacuation par effet tunnel, et d'autre part par le fait que les oxydes plus fins sont présents sur les technologies plus récentes, et sont donc de meilleure qualité.

Dans notre cas, le nœud 3,3V dédié au design analogique de la technologie XH018 présente une épaisseur d'oxyde typique de t_{ox} = 6,5nm pour un NMOS et de t_{ox} = 6,3nm pour un PMOS. Il a été démontré que dans cette gamme d'épaisseur, deux problèmes pouvaient advenir : les courants de fuite dus aux radiations (ou RILC pour Radiation Induced Leakage Current), localisés principalement dans l'oxyde de grille, et les phénomènes de ruptures de grilles causés par évènement singulier (ou SEGR pour Single-Event Gate Rupture) **[CONLEY] [CESCHIA] [FLEETWOOD00]**. Il faut néanmoins nuancer l'importance de ces phénomènes car il ressort des études les concernant qu'ils se produisent normalement dans des conditions de polarisation hors de la zone typique d'utilisation.

Les oxydes encore plus fins présentent de nouvelles problématiques, et les questions relatives à leur pertinence dans un environnement spatial font l'objet de nombreuses études récentes **[FLEETWOOD13] [REN]** et n'est pas encore tranchée.

Ainsi, une épaisseur d'oxyde de 6nm semble être un bon compromis et nous permet de nous prémunir d'une grande partie des effets de dose relatifs à ce facteur.

I.3.1.c. Les transistors isolés

Le durcissement de circuits aux SEE peut être réalisé en diminuant la collection de charges aux nœuds critiques. Pour ce faire, il est possible d'ajouter des couches dopées supplémentaires pour limiter la collection du substrat (Figure I-23) **[ROCHE]**.

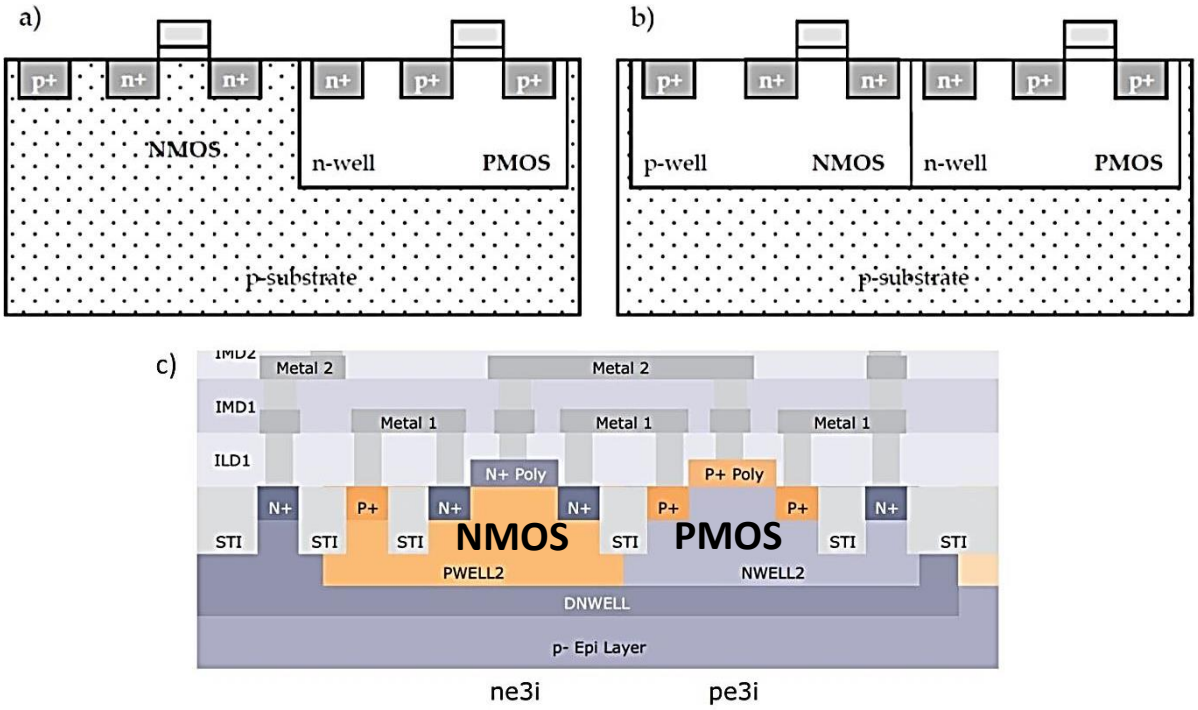


Figure I-23 : a) Technologie simple-puits, b) technologie double-puits [ROCHE]**, c) technologie triple-puits (XH018) utilisant un puits n profond pour isoler le puits p formant le NMOS du substrat (datasheet XH018).**

En technologie CMOS, les transistors N et P sont utilisés en association avec des puits P et/ou N, en fonction du dopage du substrat et du process :

- Le process simple puits, illustré ci-dessus en Figure I-23 (a), utilise un puits N dans un substrat P. Cette technologie est la moins onéreuse à produire, mais elle nécessite un substrat fortement dopé, augmentant ainsi la probabilité d'avoir des SEL.
- Le process double-puits Figure I-23 (b) utilise un substrat légèrement dopé, et l'on aura soit un type P avec un puits P pour des NMOS soit un type N avec un puits N pour des PMOS. Cette technologie offre une base pour optimiser les NMOS et les PMOS, rendant ainsi le réglage de manière indépendante de la tension de seuil par l'intermédiaire de l'effet substrat ou body effect, et de la transconductance du canal pour les deux types de transistors, ce qui garantit

de meilleures performances. Le fait que le substrat soit légèrement dopé permet d'avoir une zone de haute résistivité, diminuant de fait le risque de SEL **[ROCHE]**.

- Dans le cas d'un process triple-puits, lorsque le substrat est de type P Figure I-23 (c), un PMOS sera réalisé dans un puits N comme dans les technologies précédentes, toutefois le puits P d'un NMOS sera inclus dans un puits N en profondeur (le troisième puits). Ainsi, les deux types de transistors seront isolés du substrat par une jonction inverse. Ceci permet de limiter le bruit provenant du substrat, réduit encore davantage le risque de SEL **[ROCHE]**, mais réduit également le Soft-Error Rate (SER, nombre d'erreurs constatées par unité de temps), les électrons généré dans le substrat étant collectées plus efficacement par la couche N enterrée, et mieux évacuées par les contacts **[ROCHE] [KISHIMOTO] [BURNETT] [NODA] [SATO]**.

I.3.1.d. Autres caractéristiques

Les caractéristiques électroniques des transistors isolés de la technologie XH018 sont disponibles dans le Tableau I-2.

Transistor	**V_{th} [V]**	**I_{DS} [µA/µm]**	**I_{off} [pA/µm]**	**BV_{DS} [V]**	**Max V_{DS} [V]**	**Max V_{GS} [V]**
Iso.NMOS	0.69	615	< 3	> 5.0	3.6	3.6
Iso.PMOS	0.63	315	< 3	> 5.0	3.6	3.6

Tableau I-2 : Caractéristiques des transistors isolés de la technologie XH018 (datasheet XH018)

Où :

- V_{th} représente la tension de seuil,
- I_{DS} représente le courant par unité de largeur du transistor,
- I_{off} représente le courant de fuite du transistor éteint par unité de largeur du transistor,
- BV_{DS} représente la tension de claquage,
- Max V_{DS} et Max V_{GS} représentent respectivement les tensions drain/source et grille/source maximales recommandées

Ainsi, la technologie XH018 semble présenter des caractéristiques favorables à une utilisation en environnement spatial. En effet, même s'il s'agit d'une technologie standard (non-dédiée au spatial) et donc peu coûteuse, l'utilisation du STI, la faible épaisseur d'oxyde

et la possibilité d'utiliser des puits isolés nous permettent de garantir une tenue aux radiations suffisante.

Par la suite, nous nous intéresserons uniquement aux techniques de durcissement applicables dans le cadre de la réalisation de nos travaux avec cette technologie.

I.3.2. Techniques de durcissement aux niveaux schématique et layout

Il existe de nombreuses règles de conception permettant d'améliorer la tenue à la dose totale et aux SEE d'un circuit électronique, à la fois au niveau du design et au niveau du layout. Ce chapitre propose une liste exhaustive de techniques de durcissement utilisables dans le cadre de la technologie XH018.

I.3.2.a. Techniques de durcissement au niveau design

Des règles générales de conception analogiques ont été dégagées, comme le fait de ne pas utiliser les dimensions minimum pour les transistors, afin d'éviter que le champ électrique horizontal soit trop fort, diminuant ainsi les risques de snapback et de détérioration de l'interface Si/SiO2 par création de défauts cristallins**[ANELLI]**.

On peut ajouter aussi l'interdiction d'avoir des tensions grille-substrat supérieures à la tension d'alimentation, afin d'éviter une rupture de la grille en cas de particule incidente **[CONLEY] [CESCHIA]**. Cette règle est particulièrement contraignante, puisqu'elle implique de ne pas utiliser de bootstrapping dans le cas d'interrupteurs analogiques. Ce phénomène ainsi que des solutions sont développés au chapitre III.

Dans le cadre des comparateurs analogiques, l'utilité de la technique d'Auto-Zero **[ALLEN]**, consistant à mémoriser l'offset sur les capacités d'entrée du comparateur avant de le réinjecter en sortie, a été démontrée dans le cadre du durcissement, lorsque des charges dues à l'impact d'une particule sur un nœud critique du circuit (notamment la grille d'entrée du pré-amplificateur **[OLSON]**), sont responsables d'un offset en entrée **[MIKKOLA]**. Cette technique, ainsi qu'une variante permettant une immunité améliorée à l'environnement radiatif sont développées dans le Chapitre IV.

Enfin, dans le cadre de la conception d'amplificateurs, il est recommandé de favoriser un faible gain et une large bande passante **[STERNBERG]**, afin respectivement de diminuer l'effet en sortie d'un évènement singulier (notamment d'un SET), et d'évacuer plus rapidement les charges mises en œuvre.

I.3.2.b. Techniques de durcissement au niveau layout

Il est généralement recommandé, pour des raisons de process, d'apparier au maximum les transistors fonctionnant de manière complémentaire, comme les paires différentielles, les miroirs de courant, etc… Ceci permet de répartir les perturbations (variations de process, gradient de température, …) de manière différentielle, et ainsi d'en minimiser les effets. Pour les mêmes raisons, l'appariement permet également de limiter l'impact de l'environnement radiatif.

Par ailleurs, afin d'éviter les phénomènes de Single-Event Latchup, outre l'oxyde d'isolation STI, l'utilisation d'anneaux de garde (ou guard-rings) est fortement recommandée. Ceux-ci consistent en un anneau de contact servant à polariser les puits au plus proche de chaque transistor ou groupement de transistors appariés (Figure I-24), afin d'éviter la mise en conduction du thyristor parasite.

Enfin, on pourra utiliser des transistors NMOS à grille fermée ou « MOS ronds » **[MAYER] [CHEN]** (Figure I-24), dont la grille entoure la source ou le drain, afin de supprimer les transistors latéraux parasites, ce qui garantit une tenue accrue à la dose cumulée, puisque les charges ne s'accumulent plus dans l'oxyde latéral.

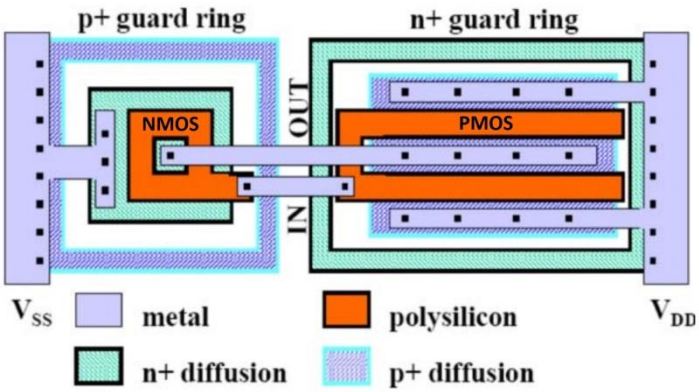


Figure I-24 : Exemple de layout d'inverseur avec contact à l'îlot P autour du NMOS et à l'îlot N autour du PMOS [ANELLI]**. Ici, le NMOS est à grille fermée.**

Toutefois, cette technique présente plusieurs inconvénients :

- Perte de la symétrie drain/source,
- Impossibilité d'utiliser des transistors à géométrie minimale (rapport W/L, W et L),
- Difficultés de modélisation pour simulations,
- Diminution de la densité (surface à peu près 3,5 fois supérieure),
- Diminution du facteur d'appariement.

Ainsi, dans le cadre de cette thèse, il a été décidé de ne pas utiliser de MOS ronds car d'une part le modèle dans cette technologie n'existait pas, et d'autre part les dispositifs réalisés par la suite présentent essentiellement des innovations sur la tenue aux SEE. De plus, des travaux antérieurs au laboratoire **[BOUYJOU]** ont fait état d'une tenue aux effets de dose (> 300 krad) en technologie CMOS HV 0,35µm, grâce à l'emploi systématique de caissons isolés et de guard rings autour de chaque transistor, et à l'épaisseur de son oxyde de grille (7,5nm) qui permet d'évacuer par effet tunnel une partie des charges piégées. Cette immunité aux effets de dose obtenue par l'emploi de techniques de durcissement par layout simples, semble tout à fait suffisante pour cette première étude.

Pour résumer cette étude sur le durcissement, on peut noter qu'à travers cette liste de règles de conception, nous avons pu dégager une feuille de route à suivre lors de la réalisation des différents circuits présentés dans cette thèse, d'optimiser la tenue aux radiations.

I.4. Conclusion

Ainsi, l'étude et la compréhension des phénomènes mis en jeu dans l'environnement spatial et de leurs effets sur l'électronique embarquée nous a permis de dégager, dans le cadre de la technologie XFAB-XH018, des règles de conception pertinentes, afin de réaliser un CAN durci, c'est-à-dire à même d'évoluer dans un environnement radiatif. Les consignes de conception retenues se déclinent aussi bien au niveau design qu'au niveau layout.

Toutefois, avant de mettre en application ces règles, il s'agit maintenant de choisir quel type de CAN est le plus approprié au cahier des charges.

I.5. Références

[ALLEN] P.E. Allen & D.R. Holberg, *"CMOS Analog Circuit Design – 2nd Ed.,"* Oxford University Press, 2002.

[ANELLI] G. Anelli, *"Design and characterization of radiation tolerant integrated circuits in deep submicron CMOS technologies for the LHC experiments,"*Institut National Polytechnique de Grenoble, 2000.

[BAKER] R. J. Baker, "*CMOS : Circuit Design, Layout, and Simulation,"* ser. IEEE Press Series on Microelectronic Systems, Wiley, 2011.

[BERNAL] Olivier Bernal, "*Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales,"* Thèse, INP Toulouse 2006.

[BOULGHASSOUL] Y. Boulghassoul *et.al.*, *"Circuit modeling of the LM124 operational amplifier for analog single-event transient analysis,"* IEEE Transactions on Nuclear Science, Vol. 49, n°6, Décembre 2002.

[BOURDARIE] S. Bourdarie, *"Space radiation environment and its effects on spacecraft components and systems,"* Cepadues, Ed., Toulouse, p. 57-82, Juin 2004.

[BOUYJOU] Florent Bouyjou, *« Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique, »* Thèse, INP Toulouse 2011.

[BURNETT]D. Burnett, C. Lage, and A. Bormann, *"Soft-error-rate improvement in advanced BiCMOS SRAMs,"* Proc. 31st Annu. Int. Reliability Physics Symp., Atlanta, GA, Mars 1993, pp. 156–160.

[CESCHIA] M. Ceschia, A. Paccagnella, S. Sandrin, G. Ghidini, J. Wyss, M. Lavale, and O. Flament, *"Low field leakage current and soft breakdown in ultrathin gate oxyde after heavy ions, electrons or x-ray irradiation,"* IEEE Transaction on Nuclear Science, 47, Juin 2000.

[CHEN]Li Chen and Douglas M. Gingrich : "Study of N-Channel MOSFETs With an Enclosed-Gate Layout in a 0.18 µm CMOS Technology," IEEE Transactions On Nuclear Science, VOL. 52, n° 4, Août 2005.

[CONLEY] J. F. Jr. Conley, J.S. Suehle, A.H. Johnston et. al.: *"Heavy-ion-induced soft breakdown of thin gate oxides,"* IEEE Transaction on Nuclear Science, 48, Décembre 2001.

[DEMOOR] Piet de Moor, *"CMOS, CCDs Invade Space Imagers,"* EETimes Blog, Novembre 2013.

[DENNARD] Bob Dennard *et.al.*, *"Design of ion-implanted MOSFET's with very small physical dimensions,"* IEEE Journal of Solid-State Circuits, Volume 9, n°5, Octobre 1974.

[DODD] Dodd, P.E., et al., "Current and Future Challenges in Radiation Effects on CMOS Electronics." Nuclear Science, IEEE Transactions, Vol.57, n°4, pp.1747-1763, 2010.

[ENZ]Enz, C.C. et Vittoz, E.A., "Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design." s.l. : Wiley, 2006.

[FLEETWOOD00] Daniel M. Fleetwood, Leonard C. Riewe *et.al.*, *"Dielectric breakdown of thin oxides during ramped current temperature stress,"* IEEE Transaction on Nuclear Science, 47, Décembre 2000.

[FLEETWOOD13] Daniel M. Fleetwood *et.al.*, *"Total Ionizing Dose Effects in MOS and Low-Dose-Rate-Sensitive Linear-Bipolar Devices,"* IEEE Transactions On Nuclear Science, Vol.60, n° 3, Juin 2013.

[GEIGER] Randall L. Geiger, Phillip E. Allen, and Noel R. Strader, *"VLSI design techniques for analog and digital circuits."* MacGraw-Hill, 1990.

[HUGHES]H. L. Hughes and J. M. Benedetto, *"Radiation Effects and Hardening of MOS Technology,"* IEEE Transactions On Nuclear Science, VOL. 50, n° 3, Juin 2003, pp. 500-521.

[INTEL] "*Intel Technology and research,"* site internet d'Intel.

[JOHNSTON]Johnston et al.: *"Low Dose Rate Effects In Shallow Trench Isolation Regions,"* IEEE Transactions On Nuclear Science, VOL. 57, n°6, Décembre 2010.

[KAMIDE] Yohsue Kamide, *"Handbook of the Solar-Terrestrial Environment,"* Springer 2007

[KASAMA86] K. Kasamaet. al.: "Mechanical Stress Dependence Of Radiation Effects In MOS Structures," IEEE Transactions On Nuclear Science, Vol. NS-33, n°6, Decembre 1986

[KASAMA87] K. Kasamaet. al.: "Correlation Between Mechanical Stress And Hydrogen-Related Effects On Radiation-Induced Damage In MOS Structures," IEEE Transactions On Nuclear Science, Vol. NS-34, n° 6, Decembre 1987

[KISHIMOTO] T. Kishimoto, N. Takai, Y. Ohno, H. Sayama, and T. Nishimura, *"Suppression of ion-induced charge collection against soft-error,"* Proc. 11th Int. Conf. Ion Implantation Technology, Austin, TX, Juin 1996, pp. 9–12.

[LACOE] R. C. Lacoe, "Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology," IEEE Transactions On Nuclear Science, VOL. 55, n°4, Août 2008, pp. 1903-1925

[LAKER] K.R. Laker & W.M.C. Sansen, *"Design of Analog Integrated Circuits and Systems,"* McGraw-Hill, Inc., 1994.

[LANTOS] P. Lantos, *"The sun, the solar wind and their effects on earth's environment, Space radiation environment and its effects on space-craft components and systems,"* Cepadues, Ed., Toulouse, Juin 2004, p.57-82

[LU] N.C.C. Lu et al., "Modeling and Optimization of Monolithic Polycrystalline Silicon Resistors," IEEE Trans. Electron Devices, vol. ED-28, pp. 818-830, Juillet 1981

[MANGHISONI] Massimo Manghisoni, "Comparison of ionizing radiation effects in 0.18 and 0.25 µm CMOS technologies for analog applications," IEEE Transactions on Nuclear Science Vol. 50 n°6, Janvier 2004.

[MAYER] Donald C. Mayer, Ronald C. Lacoe, Everett E. King, and Jon V. Osborn : "Reliability Enhancement in High-Performance MOSFETs by Annular Transistor Design," IEEE Transactions On Nuclear Science, VOL. 51, n°6, Décembre 2004.

[MIKKOLA]E. Mikkola et al., "SET Tolerant CMOS Comparator", IEEE Transactions On Nuclear Science, VOL. 51, n°6, DECEMBER 2004

[MOORE] Gordon E. Moore, *"Progress In Digital Integrated Electronics, IEEE Text speech,"* 1975.

[NASA] Nasa, *"Space radiation effects on electronic components in low-earth orbit,"* 1996.

[NODA] K. Noda et. al.: *"An ultrahigh-density high-speed loadless four-transistor SRAM macro with twisted bitline architecture and triple-well shield,"* IEEE J. Solid- State Circuits, vol. 36, no. 3, pp. 510–515, Mars 2001.

[OCONNOR] Paul O'Connor, *"Future Trends in Microelectronics – Impact on Detector Readout,"* International Symposium on Detector Development, présentation powerpoint, 2006.

[OLSON] Brian D. Olson et. al.: *"Single-Event Effect Mitigation in Switched-Capacitor Comparator Designs,"* IEEE Transactions On Nuclear Science, VOL. 55, n° 6, Décembre 2008.

[RAZAVI1] Behzad Razavi, *"Design of Analog CMOS Integrated Circuits,"* McGraw-Hill International Edition, 2001.

[REN] Shufeng Ren *et.al.*, *"Total Ionizing Dose (TID) Effects in Extremely Scaled Ultra-Thin Channel Nanowire (NW) Gate-All-Around (GAA) InGaAs MOSFETs,"* IEEE Transactions On Nuclear Science, Vol.62, n° 6, Décembre 2015.

[REZZAK] N. Rezzak, "The effect of shallow trench isolation (STI) topology, sidewall doping and layout-related stress on radiation-induced leakage current," Thèse de doctorat, Vanderbilt University

[ROCHE] P. Roche G. Gasiot, *"Impacts of front-end and middle-end process modifications on terrestrial soft error rate,"* Device and Materials Reliability, IEEE Transactions On Nuclear Science, VOL. 5, n°3, p. 382, Sep. 2005.

[SAIGNE] Frédéric SAIGNE, *"Une Nouvelle Approche de la Selection des Composants de Type MOS pour l'Environnement Radiatif Spatial,"* thèse de doctorat, Université de Montpellier, 1998.

[SATO]H. Sato et. al.: *"A 500-MHz pipelined burst SRAM with improved SER immunity,"* IEEE J. Solid-State Circuits, vol. 34, no. 11, pp. 1571–1579, Novembre 1999.

[SCHWANK] J. R. Schwank *et al.*, J. R. Schwank et al., "Radiation Effects in MOS Oxides," IEEE Transactions on Nuclear Science, Vol. 55, n°4, Août 2008, pp. 1833-1853

[STERNBERG] Sternberg et al., *"Effect of Amplifier Parameters on Single-Event Transients in an Inverting Operational Amplifier,"* IEEE Transactions On Nucl. Science, Vol. 49, n° 3, Juin 2002

[TSIVIDIS] Y. Tsividis, *"Operation and modeling of the MOS transistor,"* Oxford Univ. Pr. 2010

[TURCHETTA] Renato Turchetta, *"Analog Electronics for Radiation Detection,"* CRC Press, 2016.

[VIRMONTOIS] C. Virmontois, "Analyse des effets des déplacements atomiques induits par l'environnement radiatif spatial sur la conception des imageurs CMOS," Thèse de doctorat, ISAE 2012

[WANLASS] F. Wanlass and C. Sah, “Nanowatt logic using field-effect metal-oxide semiconductor triodes,” IEEE International Conference on Solid-State Circuits, Digest of Technical Papers, vol. 6, Février 1963, pp. 32–33.

Chapitre II

Choix d'un convertisseur analogique-numérique

Les contraintes de l'environnement spatial présentées, il s'agit maintenant de choisir l'architecture de convertisseur analogique-numérique adaptée à nos besoins, en vue de son optimisation à l'environnement spatial. Dans ce chapitre, nous commencerons par présenter le principe de fonctionnement d'un Convertisseur Analogique-Numérique (CAN) d'un point de vue fonctionnel, avant de s'intéresser aux différents types de convertisseurs existants avec leurs avantages et leurs inconvénients. Il s'agira alors d'identifier les blocs les plus sensibles à l'environnement spatial et sur lesquels des innovations seront proposées.

II.1. Principe de fonctionnement d'un convertisseur analogique-numérique

Depuis le premier tube à vide, inventé il y a plus d'un siècle, l'électronique a tellement évolué vers une numérisation galopante que l'on pourrait croire le domaine de l'électronique analogique obsolète. A la fin des années 90, certains allaient jusqu'à anticiper la disparition de l'analogique, et des conférences internationales du Solid-State Circuit Group étaient organisées afin de déterminer si l'électronique analogique aurait toujours sa place dans les années à venir **[PANEL]**. Toutefois, cette discipline n'a eu de cesse de dépasser ses limites et de trouver des applications pratiques, en dépit de l'essor de l'électronique numérique. Et, puisque l'environnement qui nous entoure est par nature analogique, la très large majorité des circuits de traitement du signal nécessite (au moins) un convertisseur analogique-numérique.

Dans le domaine de l'électronique embarquée sur satellite, un ou plusieurs convertisseurs analogique-numérique sont souvent requis, et ce pour diverses raisons. Les deux principales applications sont l'observation de la Terre (notamment les télémesures, en sortie d'une matrice de capteurs CCD) et les télécommunications (besoins en traitement du signal pour instrumentation haute résolution). En effet, les signaux acquis sont toujours de nature analogique, et les besoins en calcul et traitement du signal requièrent un signal numérique. Ces calculs seront parfois réalisés grâce à l'électronique embarquée sur le satellite, mais le plus souvent les signaux convertis seront renvoyés sur une base terrestre,

où sera réalisé le traitement du signal numérique, afin d'alléger l'instrumentation du satellite.

II.1.1. Principe de conversion et définitions

Le principe d'un CAN est de transformer un signal analogique, donc à temps et à amplitude continus, et représentant une quantité physique (signal sonore, vitesse, rayonnement,…), en un signal numérique discret, quantifié par un nombre défini de '0' et de '1' (4 dans l'exemple de la Figure II-1) appelés « bits ». Ce nombre est appelé « résolution », et de sa valeur va dépendre la précision obtenue et donc la complexité du convertisseur. Le bit représentant la valeur la plus forte est appelé « MSB » pour Most Significant Bit, et le bit représentant la valeur la plus faible est appelé « LSB » pour Least Significant Bit.

Un autre paramètre fondamental (et complémentaire) est la fréquence de conversion, et celle-ci se définit par le nombre de conversions effectuées par secondes. On parle aussi de « bande passante » d'un convertisseur, qui représente la fréquence maximum du signal à convertir, et est égale à la moitié de la fréquence de conversion afin de respecter le critère de Nyquist.

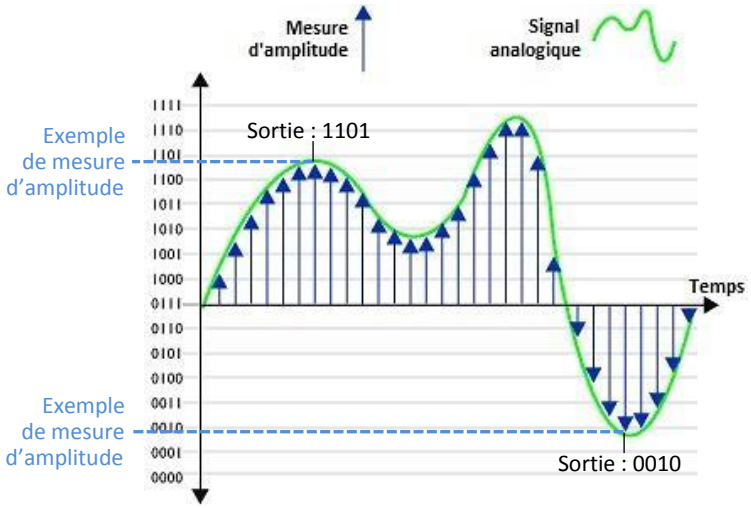


Figure II-1 : Exemple de conversion analogique-numérique dans le cas d'un convertisseur ayant une résolution de 4 bits [PELGROM1].

En plus d'une inexactitude de conversion inhérente au caractère discret du signal numérique, de nombreux signaux parasites vont augmenter l'erreur en sortie (distorsion, bruit thermique, bruit d'horloge, etc…), c'est pourquoi, afin de refléter la résolution réelle, on parle souvent d'*ENOB* (Effective Number Of Bits), ou nombre de bits effectifs. Il se définit comme tel **[KESTER]** :

$$ENOB = \frac{SINAD - 1{,}76}{6{,}02}$$

Avec le *SINAD* (SIgnal to Noise And Distorsion), exprimé en dB, défini comme étant le rapport entre la valeur rms du signal fondamental et la racine carrée de la somme des carrés des composantes harmoniques et du bruit, le terme *1,76* étant dû au bruit de quantification ($10*\log_{10}(3/2)$), et le terme 6,02 étant dû à la transformation dB/Bits ($20*\log_{10}(2)$).

Ainsi, il existe une relation linéaire entre le nombre de bits effectifs et le rapport entre le signal efficace et les bruits et distorsions. C'est pourquoi on peut voir l'un ou l'autre utilisé comme échelle de référence.

Enfin, le dernier paramètre important est sa consommation électrique. Bien entendu, les 3 caractéristiques évoquées sont liées entre elles, et il est nécessaire, pour comparer les différents convertisseurs, de disposer d'une évaluation quantitative de l'efficacité de conversion, afin d'apprécier la qualité de conception d'un CAN par rapport aux autres. C'est pourquoi une figure de mérite, ou *F.o.M.*, est fréquemment utilisée, et s'exprime comme suit **[WALDEN]** :

$$F.o.M. = \frac{P_{Conso}}{2^{ENOB} \times 2BP}$$

Avec la *FoM* en pJ/conversion, P_{Conso} la puissance consommée en mW, et *BP*, la bande passante en Hertz.

II.1.2. Différentes mesures de l'erreur de conversion

Au-delà des performances brutes, il est également nécessaire de pouvoir estimer l'erreur de fonctionnement, qui se traduit par des conversions imparfaites. Dans ce but, on utilise généralement la fonction de transfert du CAN (Figure II-2).

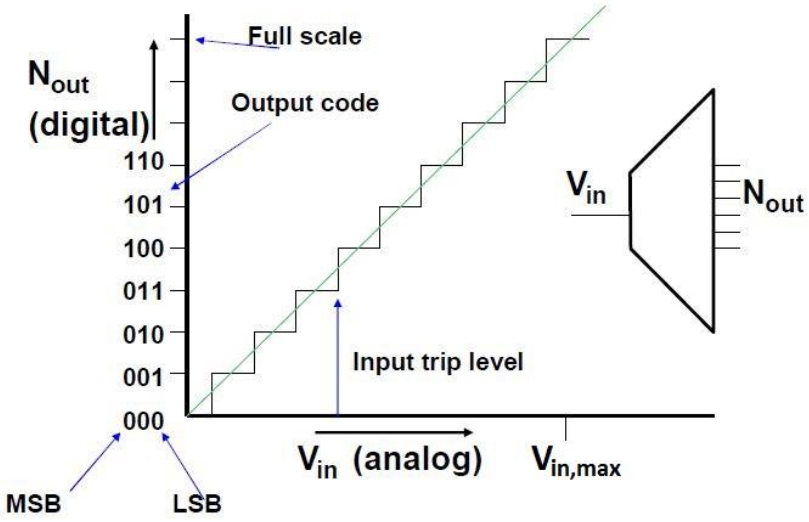


Figure II-2 : Exemple de fonction de transfert idéale d'un CAN [PELGROM1]

A partir de cette représentation fonctionnelle, on peut observer et mesurer les erreurs de non-linéarité intégrale (NLI, ou INL en anglais) et de non-linéarité différentielle (NLD, ou DNL en anglais).

La NLI se définit comme étant l'écart en tension entre les transitions idéales et réelles, et est généralement normalisée par rapport à la tension analogique correspondant à un changement d'un bit de poids faible (LSB), comme illustré Figure II-3.

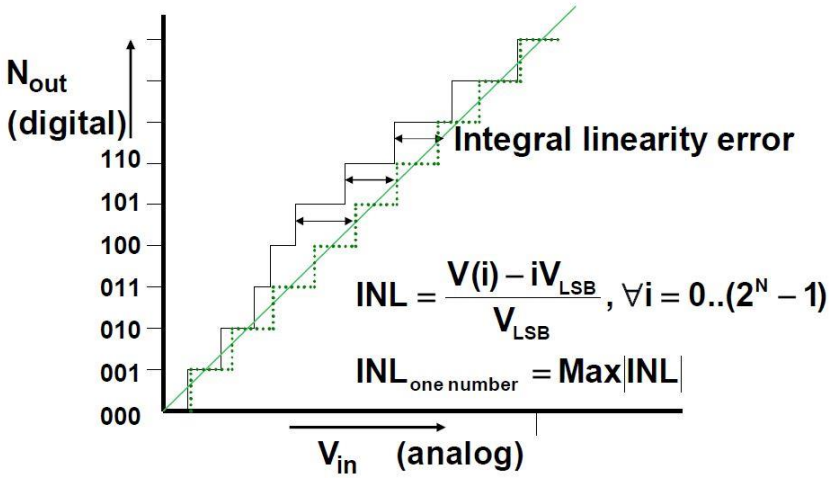


Figure II-3 : Illustration de la NLI ou INL [PELGROM1].

La NLD se définit comme étant l'écart en tension entre les plateaux réels et idéaux, et est généralement normalisée par rapport à la tension analogique correspondant à un changement d'un bit de poids faible (LSB), comme illustré Figure II-4.

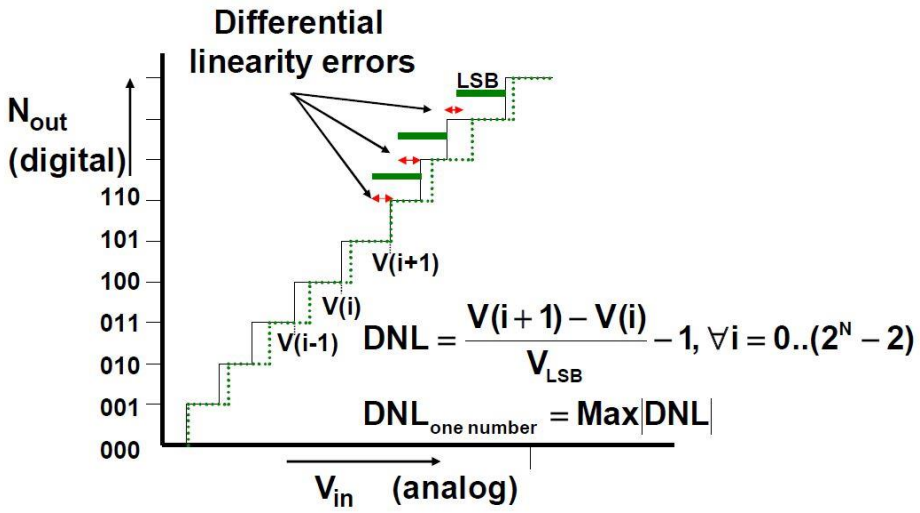


Figure II-4 : Illustration de la NLD ou DNL [PELGROM1].

La fonction de transfert permet également d'apprécier les erreurs comme la non-monotonie (fonction de transfert non-strictement croissante) et les codes manquants (Figure II-5).

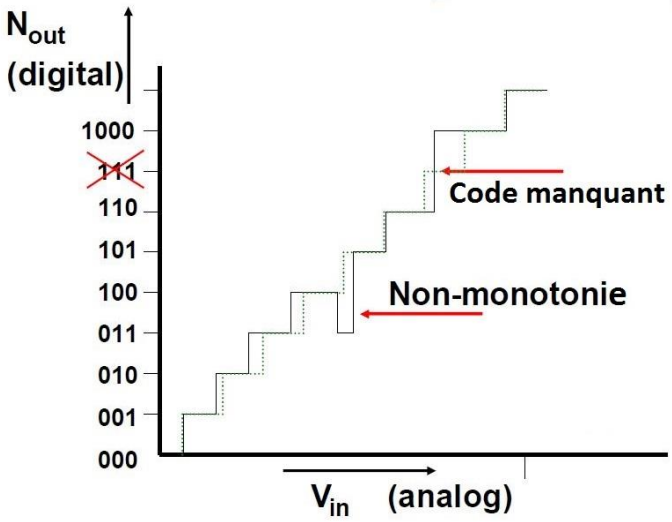


Figure II-5 : Illustration de la non-monotonie et d'un code manquant sur une fonction de transfert [PELGROM1].

On notera enfin une donnée importante permettant d'évaluer les performances d'un système numérique : le taux d'erreurs binaires, ou TEB, ou encore BER. Celui-ci quantifie le nombre d'erreurs numériques (bits à la mauvaise valeur) en sortie sur une fenêtre temporelle donnée.

Maintenant que le fonctionnement et l'évaluation d'un convertisseur ont été étudiés, abordons les principales architectures de CAN existantes.

II.2. Les différentes architectures de CAN

Il existe de nombreuses architectures, et on peut les classer en trois grandes familles : les convertisseurs unaires, les convertisseurs logarithmiques ou binaires (Figure II-6), et les convertisseurs à base temporelle (convertisseurs Sigma-Delta).

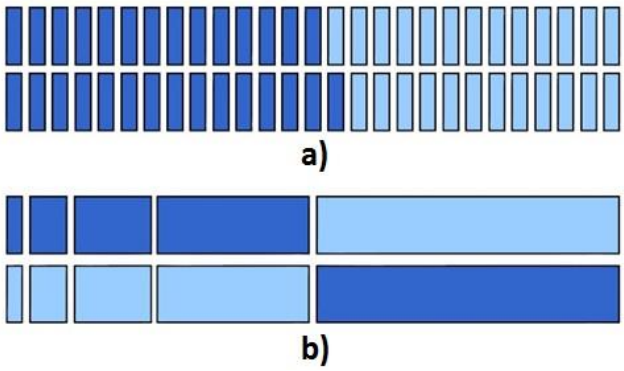


Figure II-6 : Passage du MSB de '0' à '1' dans le cans d'un convertisseur unaire (a) et logarithmique (b) [PELGROM1].

Dans le premier cas, on a 2^N valeurs en parallèle, et la monotonie est globalement garantie dans la majorité des cas car chaque passage à un niveau adjacent ne met en jeu qu'une seule tension (Figure II-6 a)). Dans le cas logarithmique, on a N valeurs en parallèle, et le passage à un niveau adjacent peut parfois mettre en jeu l'ensemble des tensions (exemple sur la Figure II-6 b) dans le cas où l'on passe d'un niveau correspondant au signal numérique [0,1,…,1] au niveau correspondant à [1,0,…,0], et où l'ensemble des signaux de sortie va changer d'état). Un retard ou écart sur l'une de ces tensions peut dans certains cas entraîner une rupture de la monotonie.

En fonction de leur mode de fonctionnement, chaque type de convertisseur sera adapté à un cahier des charges donné. Intéressons-nous donc maintenant aux architectures les plus communes de CAN dans la gamme de fréquence qui nous intéresse [100kHz, 10GHz] (ce qui exclut les convertisseurs de type rampe/double rampe ou à conversion tension-fréquence).

II.2.1. Le convertisseur flash

La structure flash, unaire, est basée sur le principe de conversion directe : en un coup d'horloge, on convertit N bits à partir de 2^N niveaux (Figure II-7).

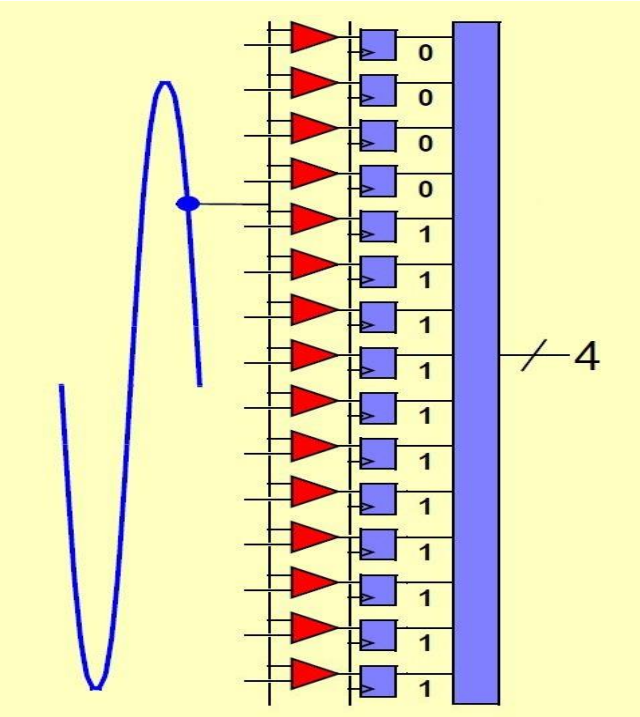


Figure II-7 : Exemple d'un flash 4 bits [PELGROM2].

La valeur d'entrée sera comparée aux 2^N-1 tensions de références (via autant de comparateurs, suivis d'une bascule), généralement réalisées à partir d'une échelle de résistance, allant le plus souvent de la masse à la tension d'alimentation. Au niveau layout, cette échelle est faite d'une résistance diffusée, parsemée de contacts sur sa longueur, linéairement répartis. Ainsi, le système garantit la monotonie grâce à un code « thermomètre » : dans le cas d'une tension d'entrée croissante, l'état logique de la sortie du comparateur associé au changement va passer de '0' à '1', alors que tous les autres comparateurs garderont la même sortie.

C'est l'architecture présentant la meilleure bande passante. Par ailleurs, il est possible de disposer davantage de bascules à la suite des comparateurs afin d'améliorer grandement le TEB en forçant la tension de sortie à représenter une valeur numérique, c'est-à-dire en lui imposant d'être à V_{DD} ou à la masse. Toutefois, les convertisseurs Flash présentent quelques inconvénients.

Tout d'abord, il est délicat d'atteindre de hautes résolutions. En effet, puisqu'il faut $2^N - 1$ comparateurs, chaque bit additionnel double presque le nombre de comparateurs, ce qui se traduit par autant de surface et de consommation supplémentaire. De plus, un facteur limitant dans la résolution maximum est la disparité (ou mismatch) de l'échelle de résistance, qui peut impacter les tensions de référence. Des techniques ont été développées pour réduire cette disparité, comme les structures dites « cross-connectées », afin de

compenser les gradients **[PELGROM2]**. Evidemment, il faut que les comparateurs aient une haute résolution (<0,5 LSB) afin de pouvoir réaliser une estimation correcte, mais un fort gain est également requis, afin de pouvoir amplifier les plus petites différences de tension. Une alternative est, comme évoqué plus haut, de disposer 2 bascules ou plus en sortie du comparateur, afin de s'assurer d'avoir une valeur numérique en sortie (c'est-à-dire à s'assurer que la sortie est à V_{DD} ou à la masse, et n'a pas une valeur intermédiaire), ce qui affectera la latence mais pas la vitesse de conversion **[BULT]**. Enfin, les comparateurs doivent pouvoir amplifier des signaux de quelques milliVolts à haute vitesse, ce qui implique peu de nœuds et des transistors courts, et ceci avec une précision maximale, ce qui signifie de nombreux étages d'amplification et de longs transistors. Ces 2 objectifs sont donc clairement antagonistes. Puisque le problème de l'amplification est résolu en partie par l'utilisation de bascules, reste le problème de la précision. Ainsi, si l'on utilise par exemple un convertisseur Flash 7 bits, pour augmenter la résolution d'un bit, il sera nécessaire d'augmenter la taille des transistors d'entrée d'un facteur proche de 5 pour garantir un bruit en entrée suffisamment faible pour ne pas perturber la mesure. Puisque l'on va également doubler le nombre de ces transistors (puisque l'on multiplie par 2 le nombre de comparateurs d'entrée afin de réaliser une conversion 8 bits), la capacité d'entrée va être multipliée par un facteur proche de 10, ce qui va limiter l'usage de CAN Flash haute vitesse haute résolution.

En résumé, on peut conclure qu'avec leur structure parallèle, les CAN Flash sont idéaux pour des applications haute vitesse (> 1Géch/s) mais sont limités en résolution (<10 bits), et ont un faible rendement énergétique [SCHVAN] [HAYUN].

II.2.2. Le convertisseur à approximations successives (SAR)

Les convertisseurs de type SAR (pour Successive Approximation Register) appartiennent à la famille des convertisseurs logarithmiques : pour convertir le signal analogique d'entrée en N bits, ils ont besoin, dans le cas d'une architecture à 1bit par étage, de N coups d'horloge pour réaliser N conversions d'une valeur logarithmique (1 bit).

La Figure II-8 représente le cas d'un CAN SAR 5 bits. La structure est constituée d'un comparateur qui va amplifier la différence entre la tension d'entrée et une valeur de référence, d'un pointeur qui sélectionnera le bit considéré, d'un registre qui sera rempli du MSB au LSB avec la valeur numérique du signal, et enfin d'un Convertisseur Numérique-Analogique (CNA ou DAC) qui va créer la tension de référence en fonction de la valeur du registre.

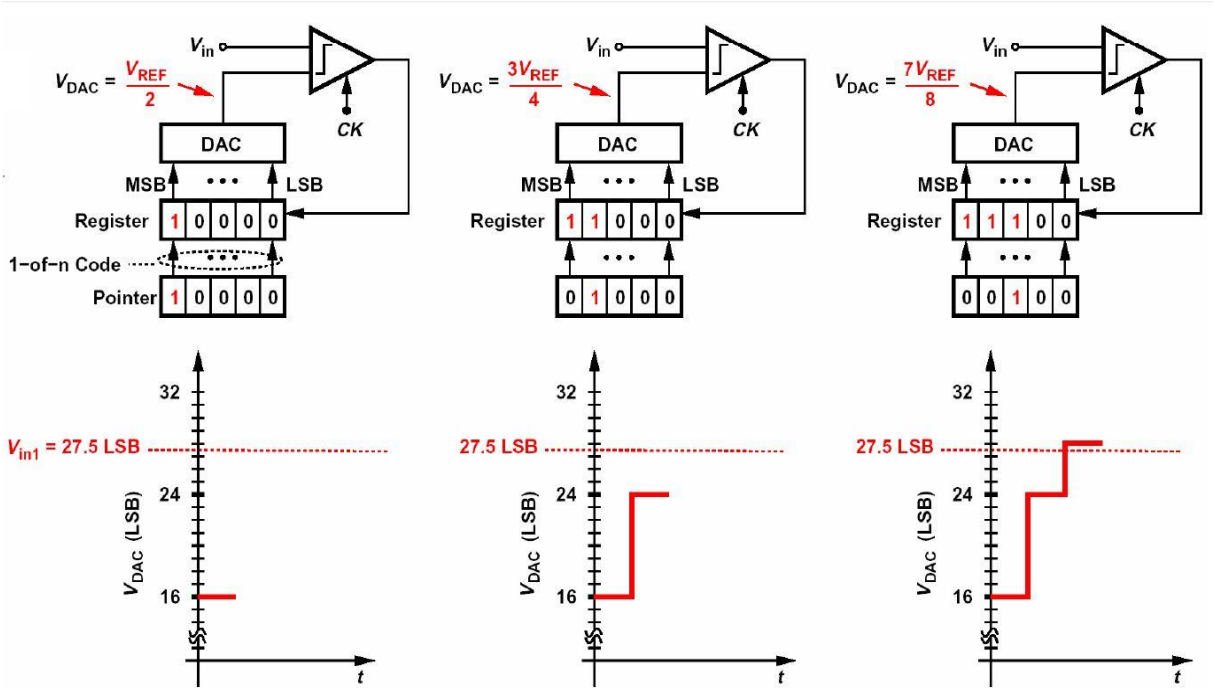


Figure II-8 : Exemple de fonctionnement d'un CAN SAR 5 bits [RAZAVI2].

Au début de la conversion, toutes les valeurs du registre sont à '0'. Puis, le MSB est mis à '1', afin de créer une tension de Vref/2 (tension milieu). Si le comparateur indique que la valeur en entrée est supérieure à cette tension, alors le MSB gardera sa valeur, et dans le cas contraire, le MSB passera à '0'. Le pointeur passe alors au bit suivant, et le processus se répète jusqu'au LSB.

Les publications sur les convertisseurs SAR ont fortement augmenté entre 2002 et 2010 -soit en amont de mes travaux de thèse, débutés en 2011-, comme on peut le constater Figure II-9. Ceci s'explique par le fait que les SAR combinent de nombreux avantages.

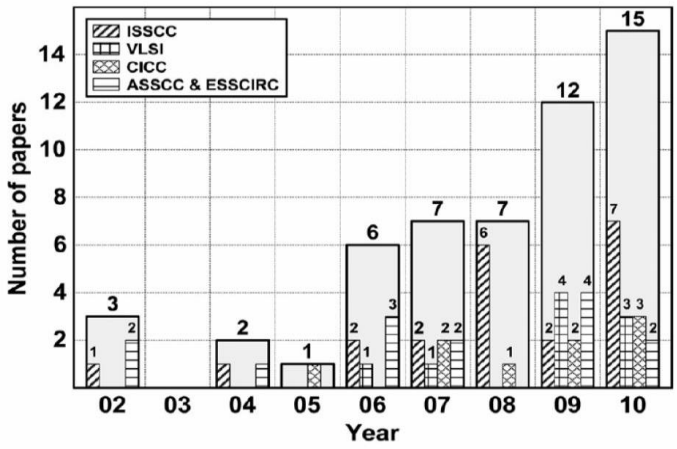


Figure II-9 : Publications sur les CANs SAR en fonction de l'année [CHO]

En effet, ils n'ont pas besoin d'amplificateur opérationnel susceptible de présenter une erreur de gain, ce qui entraînerait des erreurs de non-linéarité. Aussi, il n'y a pas de soustraction analogique, opération qui peut être critique. De plus, l'offset d'entrée du comparateur n'est pas critique car il affectera l'ensemble de la ligne, ce qui ne causera pas de non-linéarité. Un autre atout du convertisseur SAR est sa consommation statique quasi-nulle, puisque la tension de sortie du CNA est réalisée à partir d'une échelle de capacités de poids « binaires » (C, 2C, 4C, …) ou « segmentés » linéairement (cette dernière solution évite la non monotonie et réduit la NLD, mais est peu efficace en termes de surface), de sorte que lorsque la tension atteint sa valeur finale, le courant d'alimentation sera proche de zéro **[RAZAVI2]**. Par ailleurs, le fait que l'ensemble de l'architecture tienne en un étage rend sa conception moins délicate que pour un équivalent pipeline (cf. chap. II.2.3). Enfin, cette structure est aussi « numérique » que peut l'être un CAN : seul le comparateur traite des signaux analogiques, tandis que le CNA, le registre et le pointeur gèrent des valeurs numériques.

Toutefois, ils sont aussi limités par quelques éléments clés. Tout d'abord, la nécessité d'avoir N coups d'horloge pour résoudre N bits réduit considérablement la bande passante du système à haute résolution. La bande passante est alors :

$$BP = \frac{f_{CLK}}{2N}$$

Avec f_{CLK} la fréquence d'horloge.

Un autre facteur important est la taille du CNA à redistribution de charges. En effet, ce dernier est souvent réalisé *via* une échelle de capacités, d'où le rapide besoin d'un grand nombre de celles-ci. Dans les cas d'échelles binaires et unaires, une haute résolution va augmenter la surface totale. Chaque bit additionnel va doubler la surface occupée par les capacités. Par exemple, un CNA 10 bits va prendre la surface de 1024 capacités unitaires.

Aussi, la tension de sortie du CNA aura besoin d'un temps d'établissement qui dépendra de la résolution, à cause de la constante de temps créée par le réseau de capacités. De plus, puisqu'il n'y a pas d'amplification du résidu, le bruit du comparateur et de la référence deviennent un problème pour les résolutions supérieures à 8 bits, et le comparateur devra répondre rapidement pour une différence d'un LSB.

La structure SAR est parfaite pour les conversions à résolution moyenne (≤ 12 bits) à vitesse moyenne avec un rendement énergétique très efficace [YOSHIOKA] [LIEU].

L'étalonnage numérique est recommandé pour des résolutions supérieures à 8 bits [WEMBO].

II.2.3. Le convertisseur Pipeline

Cette structure est à approximation logarithmique, et ses caractéristiques dépendent, comme dans le cas du CAN SAR, du nombre de bits résolus par étage. Pour une architecture où n bits seront résolus par étage, au moins k = N/n étages seront requis pour réaliser une conversion de N bits. La valeur numérique de sortie sera seulement retardée, mais ce n'est généralement pas un problème puisque la sortie sera toujours disponible à la fréquence de l'horloge.

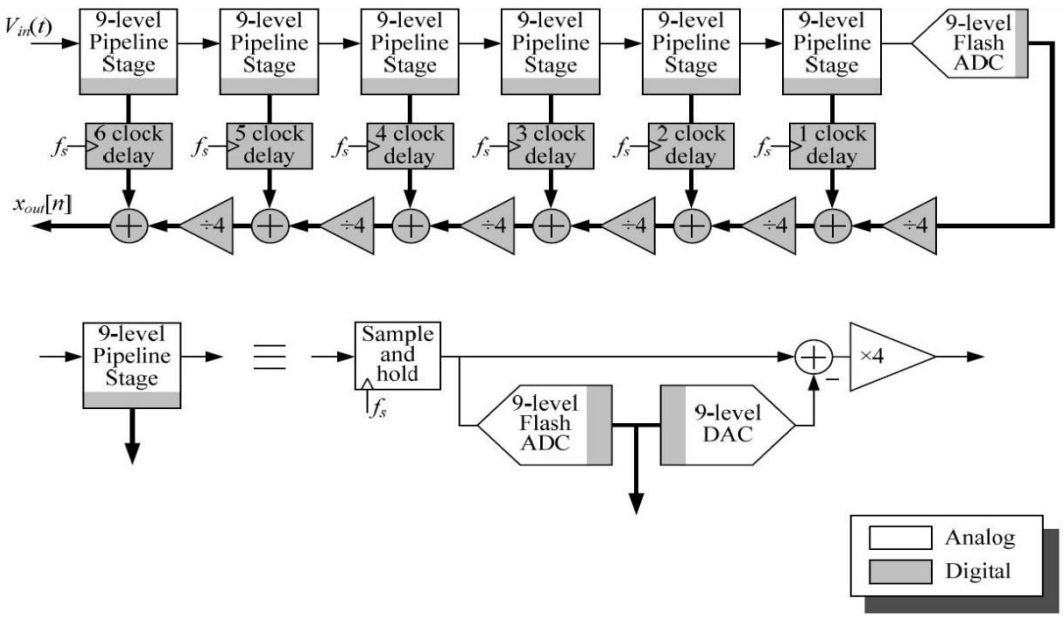


Figure II-10 : Exemple d'un CAN pipeline 15-bits, avec une résolution de 3 bits par étage [GALTON].

La Figure II-10 présente une vue système d'un convertisseur pipeline 15 bits, avec 7 étages convertissant chacun 3 bits. Les bits supplémentaires ici servent à la redondance, qui garantit un *ENOB* correct. Chaque étage est constitué d'un circuit échantillonneur-bloqueur (Sample-and-Hold, ou parfois SHA pour Sample and Hold Amplifier lorsque l'amplificateur de bout de ligne tient aussi le rôle d'échantillonneur-bloqueur pour l'étage suivant), d'un sous-CAN (Analog to Digital Sub Converter, ADSC) et de son convertisseur numérique-analogique (CNA ou DAC) correspondant, et d'un soustracteur et d'un amplificateur souvent réunis par un système à capacités commutées. Le signal d'entrée est comparé à son équivalent numérique (tension de sortie du CNA). La différence entre ces signaux est appelée le résidu : il représente l'erreur de quantification, inhérente à un CAN. Ce résidu sera amplifié, de

manière à ce que l'étage suivant reçoive théoriquement une entrée dans la même gamme de tension que le précédent.

Dans le cas de cet exemple, étant donné que chaque étage convertira 3 bits, la plage d'entrée maximum pour chaque étage est de 8 x $LSB_{étage}$. Toutefois, l'erreur de quantification maximum étant de 0,5$LSB_{étage}$, la valeur de sortie maximale de l'étage est de 4 x 0,5$LSB_{étage}$ = 2$LSB_{étage}$. On peut alors se demander pourquoi on n'amplifie pas le résidu de manière à avoir une entrée pleine échelle à l'étage suivant. Cette technique, appelée « over-range », permet une marge pour s'accommoder du fait que les comparateurs du CAN Flash peuvent présenter un offset en entrée. Ainsi, si un offset cause un résidu supérieur à 0,5 LSB, l' « information » ne sera pas perdue à cause d'un dépassement en sortie de l'amplificateur. De plus, ceci permet au résidu amplifié de rester dans la zone la plus linéaire : en effet, les extrémités de la pleine échelle souffrent en général d'une faible linéarité à cause de la tension de polarisation des transistors les plus proches des nœuds d'alimentation. Cependant, l'erreur d'offset sera éliminée puisque la combinaison avec l'étage suivant va numériquement « restituer » le signal [HOMA].

Toutefois, cette architecture requiert un gain précis et une bonne linéarité de l'amplificateur de résidus et du CNA, ainsi qu'une marge de plage de tension suffisante. Les deux premiers besoins ont également besoin d'être résolus dans le cas d'un convertisseur flash idéal (afin d'éliminer avec précision le bruit de quantification), tandis que la marge de plage est le prix à payer pour s'assurer que le CAN pipeline est insensible à la performance d'un sous-CAN non-idéal. De même que pour les convertisseurs SAR, des méthodes numériques ont été développées ([GALTON], [TSENG]) afin de répondre aux exigences en terme de précision de gain, mais les contreparties sont une complexité de conception et une consommation plus élevés.

Pour conclure, les convertisseurs pipeline sont recommandés pour les applications où à la fois une haute vitesse (de 1Méch/s à 1Géch/s) et une haute résolution (≥12 bits) sont requis, mais ces performances sont contrebalancées par une surface et une consommation supérieures à celles d'un SAR.

II.2.4. Le convertisseur Sigma-Delta

Les convertisseurs Sigma-Delta font partie de la famille des CAN à base temporelle, et leur principe est basé sur la théorie du sur-échantillonnage. La modulation Sigma-Delta consiste à convertir le signal analogique en un train de pulsations (généralement de type unaire) qui portera une information en fréquence plutôt qu'en tension ou courant (Figure

II-11). L'utilisation de pulsations se justifie par le fait qu'ils sont en pratique insensibles au bruit : une variation de 10mV sur une pulsation de 1V ne va pas changer sa valeur numérique.

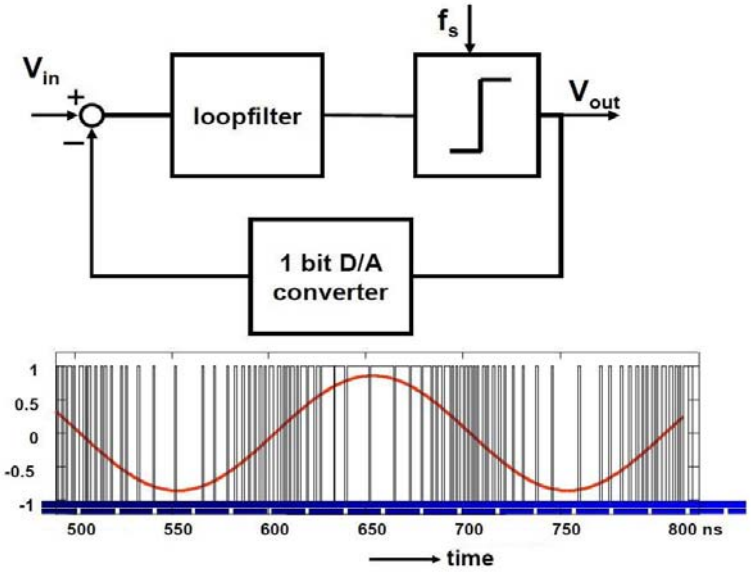


Figure II-11 : Principe de la modulation Sigma-Delta [PELGROM1].

Le filtre de boucle (loopfilter) est de type passe-bas, afin d'exclure le bruit haute-fréquence du spectre du résidu ($V_{IN} – V_{DAC}$). Puis, le comparateur évaluera si le résidu est supérieur ou inférieur à la tension de mode commun, et sa sortie sera l'entrée du CNA. La moyenne du signal de sortie numérique (V_{out}) sur un intervalle donné représente la moyenne du signal analogique sur le même intervalle. Puisque le comparateur est bien plus rapide que le signal filtré, la conversion peut être réalisée à très haute résolution.

Toutefois, le sur-échantillonnage est indispensable si l'on veut une estimation précise du signal. La conversion est donc nécessairement à une vitesse bien moins élevée que l'horloge.

Ces raisons expliquent pourquoi les convertisseurs Sigma-Delta sont très répandus dans des domaines comme l'échantillonnage audio, où une haute résolution est prépondérante par rapport à la vitesse **[PEREZ]**. Ces convertisseurs sont ceux qui permettent actuellement les résolutions les plus élevées (≥ 18 bits).

II.2.5. Synthèse

Comme nous avons pu le voir à travers cette présentation non-exhaustive des principaux types de convertisseurs, chaque CAN va correspondre à un besoin particulier, qu'il soit en vitesse, en résolution ou en consommation, de même que chaque architecture a

ses avantages et inconvénients en matières de performances, et de facilité de conception. Ajoutons qu'il existe de nombreux CANs hybrides (Pipeline/ΣΔ, …).

Une vue d'ensemble des différentes architectures en fonction des performances est proposée Figure II-12.

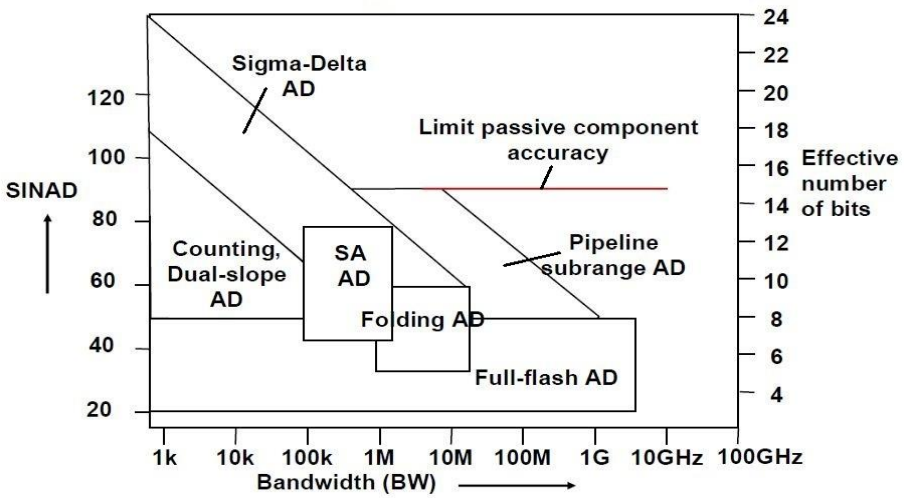


Figure II-12 : Synoptique des architectures les plus utilisées en fonction des performances requises [MURMANN]

Nous avons également effectué une synthèse portant sur les CAN SAR, Pipelines et hybrides publiés dans l'IEEE Journal of Solid-State Circuits (JSSC) entre Janvier 2006 et Mars 2012 (Figure II-13).

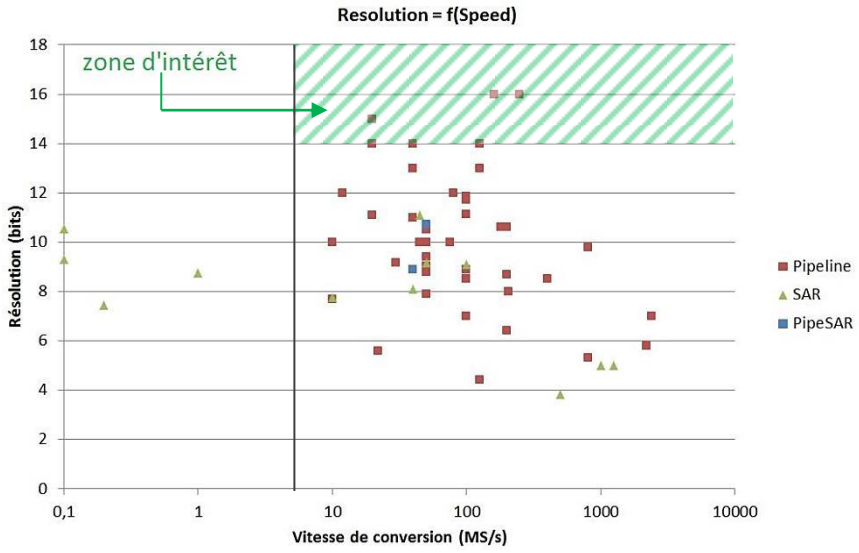


Figure II-13 : Graphique récapitulatif des CAN publiés dans l'IEEE JSSC entre Janvier 2006 et Mars 2012, en fonction de leur architecture, de la résolution et de la vitesse de conversion. Seuls des convertisseurs pipeline sont présents dans la zone d'intérêt.

Dans le cadre de cette thèse, il s'agit d'adapter à l'environnement spatial un CAN permettant de faire l'acquisition de données en télémesure. Ces applications requièrent en

général une résolution de 14 bits pour une fréquence d'échantillonnage de 5 Méch/s. Même si ces dernières années, avec des technologies de plus en plus fines (<100nm), les SAR tendent vers des performances accrues (résolution, vitesse) comparé à d'autres architectures aux performances proches mais ayant une consommation plus élevée, les impératifs initiaux d'une technologie de 180nm (350nm pour la partie analogique) et surtout d'une résolution > 12 bits, imposent le choix d'un convertisseur de type pipeline. C'est donc sur ce type d'architecture que nous allons concentrer nos efforts.

II.3. Le convertisseur pipeline

L'architecture pipeline étant choisie, étudions désormais un peu plus précisément le fonctionnement global d'un étage classique 1,5 bits (Figure II-14).

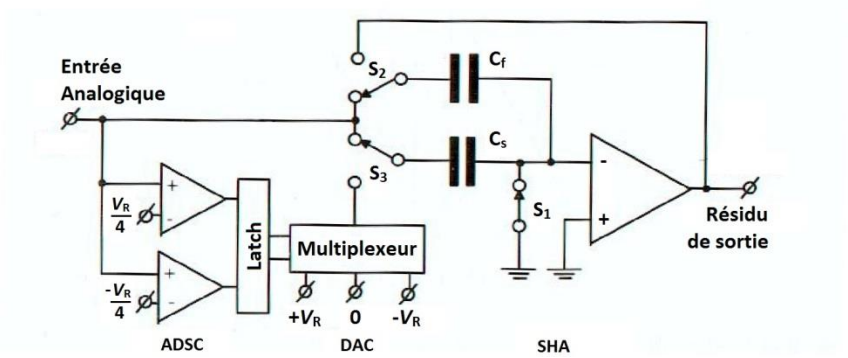


Figure II-14 : Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline. Il est constitué d'un ADSC, d'un DAC et d'un SHA [VANDEP].

II.3.1. Fonctionnement d'un étage à 1,5 bits

Il s'agit d'une structure à capacités commutées. Un étage classique (à 1,5 bits) est constitué :

- D'un sous-CAN flash (comparateurs et bascules),
- D'un multiplexeur,
- De capacités d'échantillonnage (C_s) et de retour (C_f),
- D'un amplificateur-soustracteur,
- D'interrupteurs analogiques.

Ici, la plage totale (full-scale) tolérée en entrée va de $-V_R$ à $+V_R$. Lors de la première phase, dite d'échantillonnage, l'entrée analogique est appliquée aux capacités C_s et C_f, ainsi qu'aux comparateurs du sous-CAN afin d'évaluer la valeur de l'entrée par rapport à $-V_R/4$ et $+V_R/4$. Puis, durant la deuxième phase, dite de soustraction-amplification, C_f est connectée à

la sortie (contre-réaction), alors que C_s est connectée à la sortie du multiplexeur, délivrant une tension valant $-V_R$ (si Vin < $-V_R/4$), 0V (si $-V_R/4$ < Vin < $V_R/4$), ou $+V_R$ (si Vin > $V_R/4$).

L'équation des charges donne alors :

$$V_{out} = \left(1 + \frac{C_s}{C_f}\right) \times V_{in} - \frac{C_s}{C_f} \times \varepsilon \times V_R$$

Où :

$$\varepsilon = \begin{cases} 1 \; si \; V_{in} > \dfrac{V_R}{4} \\ 0 \; si \; -\dfrac{V_R}{4} < V_{in} < \dfrac{V_R}{4} \\ -1 \; si \; V_{in} < -\dfrac{V_R}{4} \end{cases}$$

Généralement, on prend $C_s = C_f$, ce qui donne donc :

$$V_{out} = \begin{cases} 2V_{in} - V_R \, , si \; V_{in} > \dfrac{V_R}{4} \\ 2V_{in} \, , si \; -\dfrac{V_R}{4} < V_{in} < \dfrac{V_R}{4} \\ 2V_{in} + V_R \, , si \; V_{in} < -\dfrac{V_R}{4} \end{cases}$$

Ainsi, l'amplificateur a un gain de 2 en boucle fermée et la fonction de transfert idéale est la suivante (Figure II-15) :

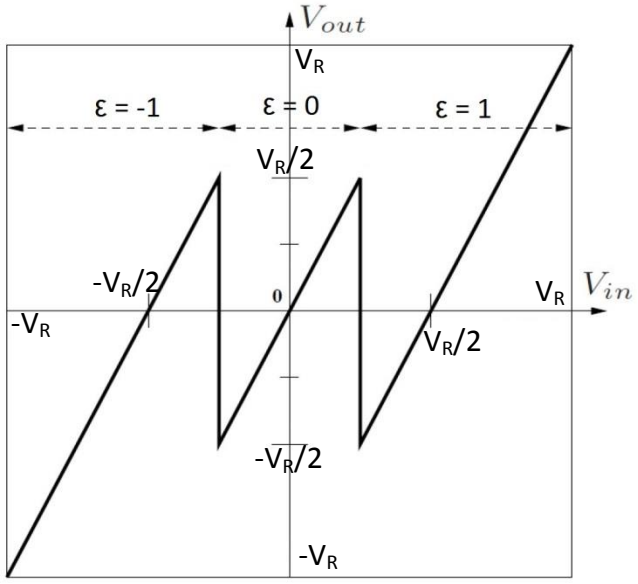


Figure II-15 : Fonction de transfert idéale d'un étage 1,5 bits

L'avantage de ce type d'amplification du résidu est que l'on profite de la bonne linéarité en milieu de plage, celle-ci se dégradant lorsque l'on se rapproche de la pleine échelle.

II.3.2. Fonctionnement d'un étage à 2,5 bits

Il est possible de réaliser une conversion plus importante à chaque étage, afin de relaxer les étages suivants. Le convertisseur Flash comportera 6 comparateurs pour 7 niveaux possibles. Comme pour un étage 1,5 bits, il est constitué du Sub-ADC, d'un DAC et d'un SHA. Voici la vue simplifiée du SHA à capacités commutées d'un étage 2,5 bits (Figure II-16) :

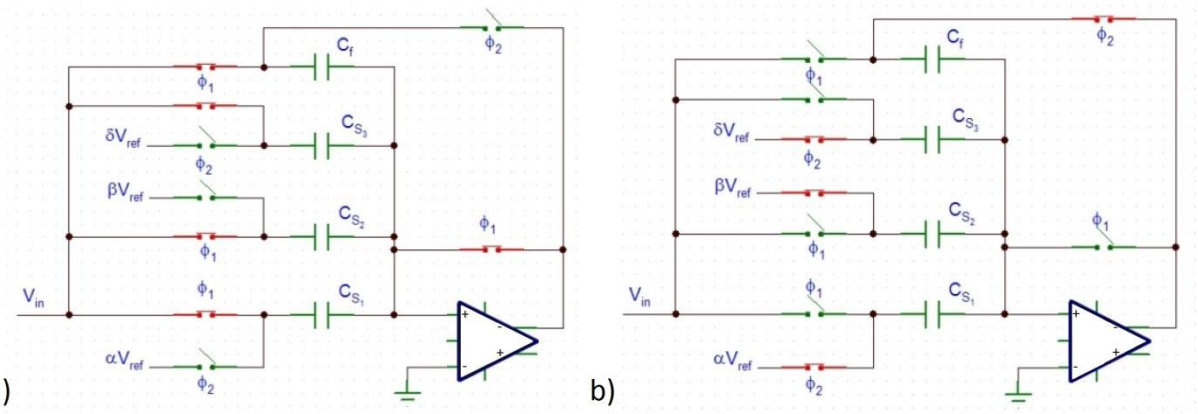


Figure II-16 : Vue simplifiée du SHA d'un étage 2,5 bits, en phase d'échantillonnage (a) et en phase de soustraction/amplification (b) [RARBI].

De même que dans le cas précédent, on a une phase d'échantillonnage, et une phase de soustraction/amplification du résidu. Mais ici, lors de la deuxième phase, les trois capacités d'échantillonnage C_{S1}, C_{S2} et C_{S3} sont connectées respectivement à αV_{ref}, βV_{ref} et δV_{ref}, avec α, β, et δ valant -1, 0 ou +1 en fonction du niveau de V_{in}. La fonction de transfert est donc la suivante (Figure II-17) :

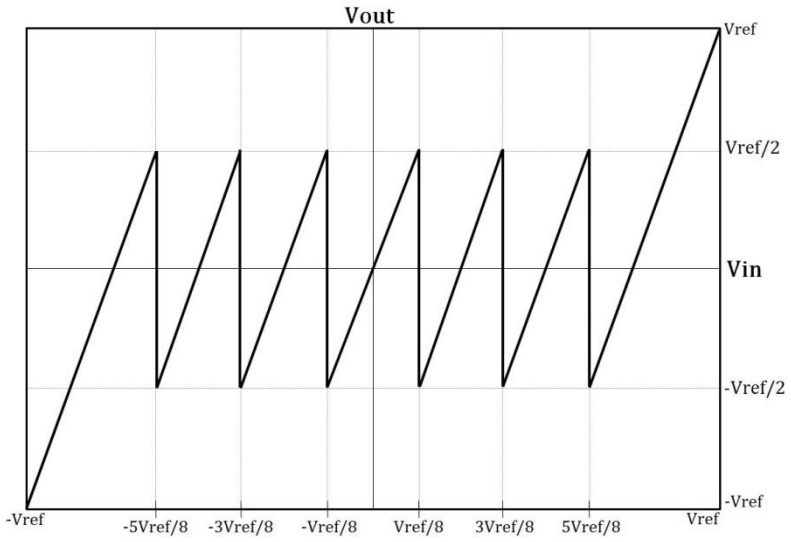


Figure II-17 : Fonction de transfert idéale d'un étage 2,5 bits

II.3.3. Influence de la résolution sur les performances de l'étage

Si le fait d'avoir une résolution minimum par étage augmente le nombre d'étages, il faut garder à l'esprit que chaque bit supplémentaire par étage double le nombre de comparateurs. En réalité, chaque type d'étage a ses avantages et ses inconvénients, et il convient d'étudier l'impact du choix de la résolution par étage sur les performances afin de garantir un fonctionnement optimal.

II.3.3.a. Effets de la contrainte de linéarité sur le choix de la résolution par étage

Comme nous l'avons vu, chaque étage du CAN peut être divisé en trois blocs principaux : le sous-convertisseur analogique-numérique (ADSC), le convertisseur numérique-analogique (DAC), et l'échantillonneur-soustracteur-amplificateur (ESA ou SHA). Etudions l'impact des erreurs dans chacun de ces blocs.

II.3.3.a.i. Erreurs de gain, d'offset et de non-linéarité dans l'ADSC

Ces erreurs viennent changer les niveaux de décision de l'ADSC ; toutefois la redondance de l'étage permettra le plus souvent d'éliminer les effets de ces phénomènes. Ainsi, l'effet principal de ce type d'erreur dans le choix de la résolution de l'étage se portera sur le choix de la résolution de redondance, que l'on choisira de telle sorte qu'elle fournisse assez de marge de correction pour éliminer les effets de ces erreurs sur tous les étages (hormis le dernier). En règle générale, on prendra x = 0.5, x étant la résolution de redondance de l'étage (chaque étage résout n-x bits, n étant la résolution totale de l'étage). La Figure II-18 montre qu'une redondance de 0,5 bit suffit à résoudre les erreurs tant qu'elles restent dans des valeurs usuelles.

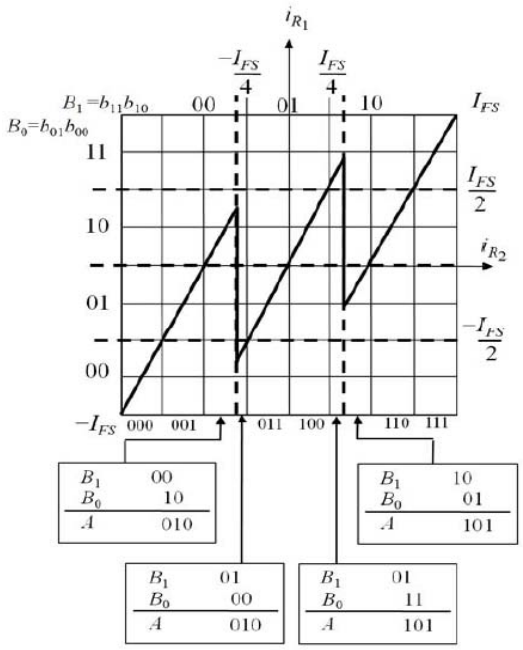


Figure II-18 : Résistance aux offsets d'un Sub-ADC 1,5 bits [LEWIS].

II.3.3.a.ii. Erreurs de gain, d'offset, et de non-linéarité dans le DAC

L'erreur de non-linéarité dans le DAC de l'étage i peut être représentée par δ_i (Figure II-19).

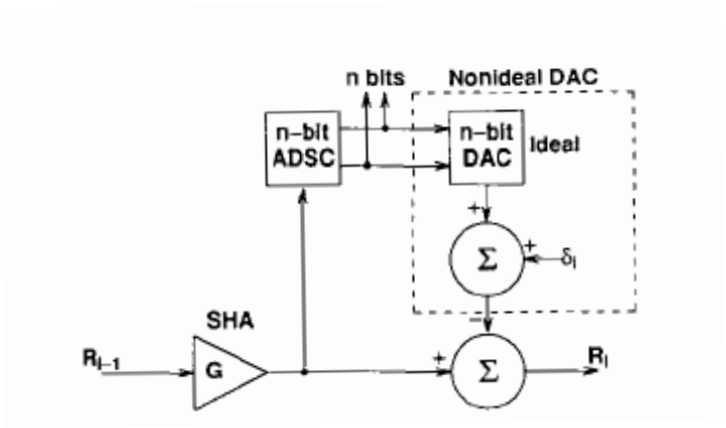


Figure II-19 : Représentation d'une erreur non linéaire de type offset dans le DAC [LEWIS].

L'étage devant présenter une erreur de non-linéarité $|\delta_i|_{min}$ la plus faible possible est le premier étage [LEWIS], et cette erreur doit être inférieure ou égale à :

$$|\partial_i|_{\min} = |\partial_1| \leq \frac{\mathrm{FS}}{2^{N+1}}$$

Avec FS la pleine échelle, et N la résolution totale du CAN. Ainsi, la résolution par étage (n) n'a pas d'influence sur la non-linéarité.

Prenons maintenant le cas d'une erreur de gain Δ_i (Figure II-20) :

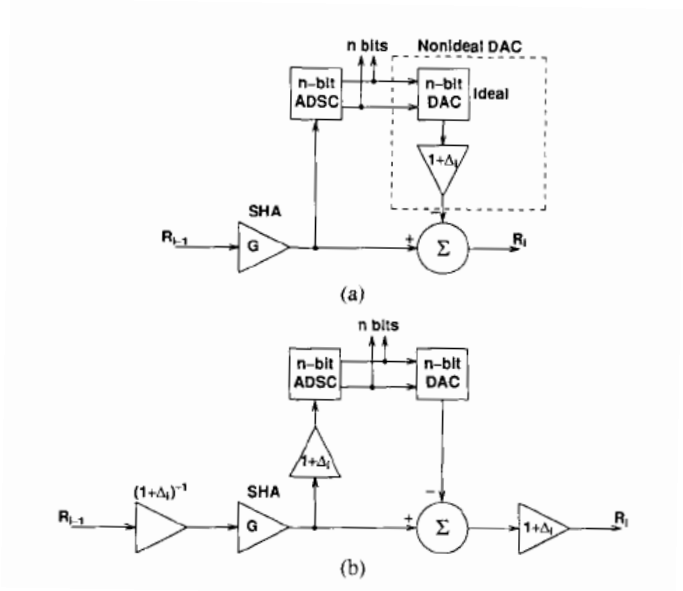


Figure II-20 : Représentation d'une erreur de gain dans le DAC [LEWIS].

Cette erreur de gain peut être due à trois erreurs : l'une en entrée du SHA, une autre en série avant l'ADSC, et enfin une dernière en sortie. Si l'erreur ne dépasse pas la plage de correction possible, l'erreur en série avant l'ADSC sera corrigée par la redondance et la correction numérique. Les deux autres erreurs ont une influence sur l'ADC comparable à des erreurs de gain sur les SHA, que nous allons étudier maintenant.

II.3.3.a.iii. Erreurs de gain, d'offset, et de non-linéarité dans le SHA

Un offset dans le SHA peut être dû à un offset dans le DAC le précédant, on peut donc se rapporter aux conclusions précédentes sur le $|\partial_i|_{min}$.

Prenons maintenant une erreur de gain dans le SHA, qui peut être modélisée selon le schéma de la Figure II-21 :

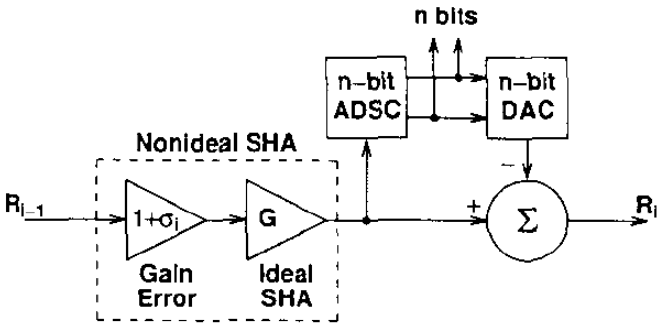


Figure II-21 : Représentation d'une erreur de gain dans l'ESA [LEWIS].

Il est démontré que l'erreur de gain minimale acceptable repose sur le SHA du deuxième étage (qui est le premier amplificateur inter-étage), et vaut **[LEWIS]** :

$$|\sigma_i|_{min} = |\sigma_2| \leq \frac{1}{2^{N-(n-x)}}$$

Avec n la résolution effective de l'étage (par exemple dans le cas d'un étage 2,5 bits, n = 2 et x = 0,5). Ainsi, cette équation nous montre qu'augmenter la résolution de l'étage diminue la contrainte sur l'erreur de gain, car la résolution requise après le premier SHA inter-étage diminue avec l'augmentation de n.

Toutefois, durant la phase d'amplification, le SHA peut être schématisé selon la représentation de la Figure II-22.

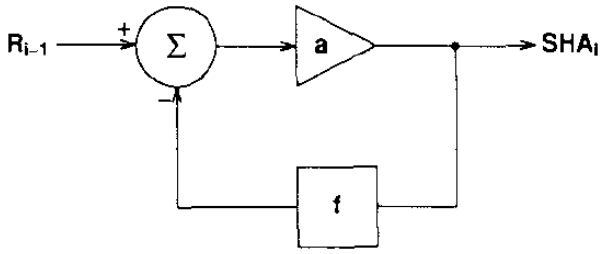


Figure II-22 : Représentation schématique de l'ESA durant l'amplification [LEWIS].

Soit un gain en boucle fermée G valant :

$$G = \frac{1}{f}\frac{af}{1+af}$$

avec a le gain en boucle ouverte et f le facteur de retour (feedback factor) qui vaut :

$$f = \frac{1}{2^{n-x}}$$

Il se trouve que l'on désire obtenir un gain de :

$$G = 2^{n-x} = \frac{1}{f}$$

Ainsi, augmenter la résolution de l'étage n augmente l'erreur tolérable sur le gain mais diminue le facteur de retour f. La contrainte sur le gain en boucle ouverte peut donc être considérée comme indépendante de la résolution de l'étage.

II.3.3.b. Effets de la résolution par étage sur la vitesse de conversion, la surface du circuit et la consommation

II.3.3.b.i. Effets sur la vitesse de conversion

Soit le taux de conversion *CR* (Conversion Rate). D'après [LEWIS], le taux de conversion maximum est donné par :

$$CR_{max} \leq \frac{f_u}{(N-n+x)2^{n-x+1}\ln(2)}$$

Avec f_u la fréquence correspondant à un gain unitaire en boucle ouverte.

Ainsi, lorsque l'on augmente la résolution de l'étage, on diminue le taux de conversion maximum, ce qui favorise donc les étages de plus faible résolution lorsque la vitesse est un facteur déterminant.

II.3.3.b.ii. Effets sur la surface du circuit

L'aire d'un étage $A_{étage}$ peut être divisée en 3 sous-surfaces :

$$A_{étage} = A_{SHA} + A_{DAC} + A_{ADSC}$$

Or, si le DAC et le SHA partagent le réseau de capacité et l'amplificateur opérationnel comme c'est souvent le cas, et puisque l'aire du sous convertisseur analogique-numérique peut être réduite à l'aire d'un comparateur A_C multipliée par le nombre de comparateurs dans l'étage, on obtient :

$$A_{étage} = A_{SHA} + A_C(2^n - 1)$$

, dans le cas où l'on utilise un ADSC de type flash.

Notons que diminuer n augmente le nombre de SHA, mais diminue le nombre de comparateurs.

La surface totale est donnée par :

$$A_T = \left(\frac{N-x}{n-x}\right) A_{étage}$$

Soit R_A le rapport entre l'aire de lu SHA et l'aire d'un comparateur :

$$R_A = \frac{A_{SHA}}{A_C}$$

On peut obtenir la surface totale :

$$\frac{A_T}{A_C} = \left(\frac{N-x}{n-x}\right)(R_A + 2^n - 1)$$

Par ailleurs on sait qu'avec la redondance et la correction numérique, A_C est indépendante de n, tandis que A_{SHA} est proportionnelle au gain du SHA (pour augmenter la transconductance sans ajouter de pôle au gain en boucle ouverte), tout comme la puissance dissipée (ce qui nous sera utile par la suite). On a donc :

$$R_A = \alpha 2^{n-x}$$

Avec α une constante.

Dans ce cas-là, diminuer la résolution n'augmente pas la surface cumulée des SHA car leur aire diminue plus rapidement que leur quantité ne s'accroît. Ainsi, la question de minimiser la taille totale est réduite à la diminution du nombre de comparateurs, ce que l'on obtient en réduisant la résolution par étage.

Par conséquent, la résolution minimum par étage garantit une surface du circuit minimale.

II.3.3.b.iii. Effets sur la puissance dissipée

Il est possible d'utiliser le même raisonnement que précédemment, pour obtenir :

$$\frac{P_T}{P_C} \approx \left(\frac{N-x}{n-x}\right)(R_P + 2^n - 1)$$

Avec

$$R_P = \frac{P_{SHA}}{P_C}$$

Ainsi, P_{SHA}, tout comme A_{SHA}, est presque proportionnelle au gain du SHA.

On en déduit que la résolution minimale garantit également la consommation minimale.

II.3.3.c. Erreurs simultanées

Avec un convertisseur pipeline, le nombre d'étages n'a que très peu d'influence sur la vitesse de conversion, ce qui permet de choisir la résolution de chaque étage en fonction de contraintes autres que la seule vitesse de conversion maximale.

Par ailleurs, nous avons vu qu'une résolution minimale par étage permettait d'augmenter le taux de conversion, mais aussi de diminuer la surface totale et la puissance consommée.

En revanche, comme on peut le voir dans la plupart des publications portant sur des ADCs aux caractéristiques similaires à celles désirées (à titre d'exemple, citons [MULDER], [GULATI], [VANDEVEL]), les architectures présentent généralement en entrée entre 1 et 3 étages à la définition relativement élevée (couramment de 2,5 à 4 bits par étage), puis le reste de la chaîne est le plus souvent constitué d'étages de 1,5 bits par étage. On peut alors s'interroger sur la pertinence de ces étages à haute résolution en début de chaîne de traitement. La réponse se trouve, comme nous allons le voir, dans l'étude de la transmission des erreurs d'un étage à l'autre.

Alors que nous avons vu les impacts des diverses erreurs au sein d'un même étage, voyons les répercussions d'une erreur sur la globalité de la chaîne.

II.3.3.c.i. Erreurs corrélées

Certaines sources d'erreurs, comme par exemple un mauvais gain de l'A.O., peuvent être présentes sur tous les étages. Lorsqu'elles sont mises en relation les unes aux autres vis-à-vis de l'entrée, on obtient le résultat suivant :

$$V_{\varepsilon,tot} = V_{\varepsilon,1} + \frac{1}{G_1} V_{\varepsilon,2} + \frac{1}{G_1 G_2} V_{\varepsilon,3} + \ \ldots$$

Où $V_{\varepsilon,tot}$ est l'erreur totale, $V_{\varepsilon,i}$ l'erreur due à l'étage i, et G_i le gain de l'étage i.

On en déduit plusieurs informations. Tout d'abord, que l'erreur du premier étage est l'erreur dominante. Ainsi, si l'on considère l'erreur moyenne par étage V_ε, l'erreur totale dans le cas 1,5 bits par étage (soit un gain de 2) est d'environ $V_{\varepsilon,tot} \approx 2V_\varepsilon$, alors que dans le cas 2,5 bits par étage (soit un gain de 4), l'erreur n'est plus que d'environ $V_{\varepsilon,tot} \approx 1{,}3V_\varepsilon$.

II.3.3.c.ii. Bruit thermique et non-appariement des capacités

Pour ce qui est des erreurs dues au bruit thermique et au non-appariement des capacités, le fait qu'elles soient décorrélées donne :

$${V_{n,tot}}^2 = V_{n,1}^2 + \left(\frac{1}{G_1} V_{n,2}\right)^2 + \left(\frac{1}{G_1 G_2} V_{n,3}\right)^2 + \ \ldots$$

Où $V_{n,tot}$ est l'erreur totale imputable au bruit thermique et au non-appariement des capacités, $V_{n,i}$ l'erreur imputable au bruit thermique et au non-appariement des capacités à l'étage i, et $G_i$le gain de l'étage i.

Ici, dans le cas 1,5 bits, l'erreur totale est alors d'environ $V_{n,tot} \approx 1{,}15V_n$, alors que dans le cas 2,5 bits, l'erreur totale est presque uniquement celle due au premier étage.

On comprend, avec les deux équations précédentes, la généralisation de la présence d'étages de 2,5 bits en entrée de chaîne, ceux-ci permettant de réduire les erreurs cumulatives, le bruit thermique et l'impact de capacités mal appariées.

II.3.3.d. Conclusion

Ainsi, même si au long de l'étude nous avons pu voir que la résolution d'1,5 bits était globalement la plus avantageuse à de nombreux points de vue (taille, consommation, vitesse), elle présente toutefois quelques défauts, notamment le fait que son gain de 2 empêche de minimiser les erreurs cumulatives. Toutefois, on peut admettre que, comme en atteste la Figure II-23 représentant l'erreur totale en fonction du nombre d'étages à 2,5 bits (les suivants étant de 1,5 bit) pour une résolution de 14 bits, la présence de seulement deux ($V_{\varepsilon,tot} \approx 1{,}375V_\varepsilon$) ou trois ($V_{\varepsilon,tot} \approx 1{,}34V_\varepsilon$) étages de 2,5 bits permet d'atteindre un niveau d'erreur sensiblement équivalent à celui que l'on obtiendrait si l'ensemble des étages faisaient 2,5 bits ($V_{\varepsilon,tot} \approx 1{,}333V_\varepsilon$).

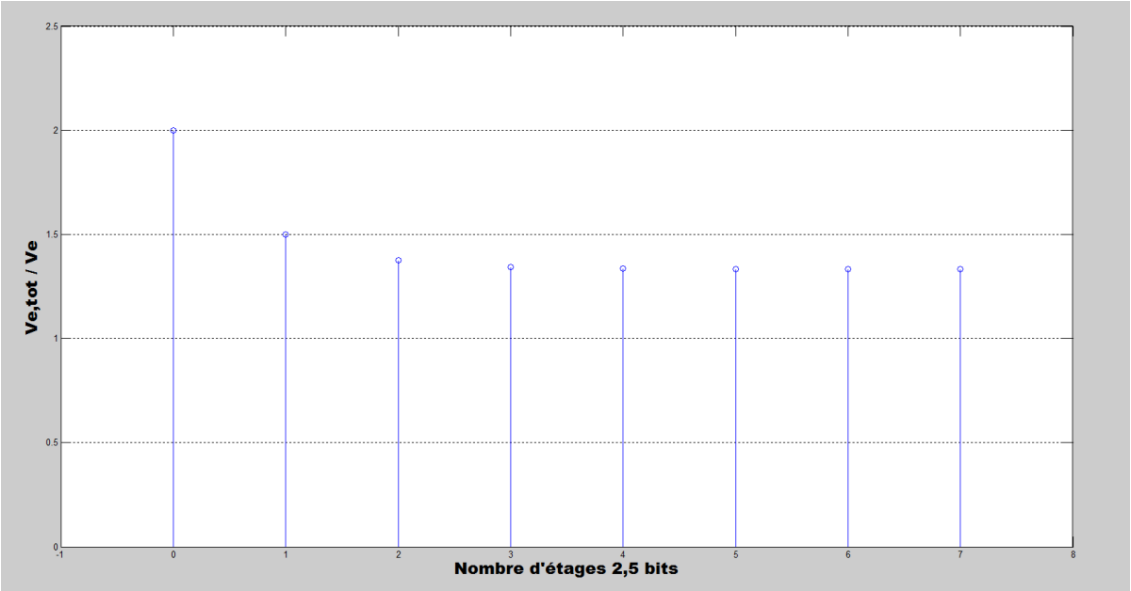


Figure II-23 : Impact du nombre d'étages à 2,5 bits en entrée de chaîne sur un CAN 14 bits composée du reste d'étages de résolution 1,5 bit sur l'erreur totale normalisée sur l'erreur moyenne

Pour résumer, une résolution par étage plus importante permet d'obtenir une meilleure linéarité, alors qu'une résolution plus faible diminue les facteurs prépondérants

que sont la taille, la puissance consommée, et le taux de conversion. Aux vues des études des erreurs simultanées d'un point de vue global, on peut donc affirmer que la présence d'étages à résolution supérieure (entre 1 et 3) en entrée, suivis d'étages de faible résolution semble être le meilleur compromis permettant d'assurer un fonctionnement optimal tout en ayant un circuit plus compact et consommant le moins possible.

II.3.4. Identification des blocs fondamentaux

Une fois le fonctionnement d'un étage de convertisseur pipeline étudié, il s'agit d'identifier les composants qui auront le plus d'influence sur les performances de l'étage, ainsi que les plus sensibles aux radiations.

D'une part, les interrupteurs analogiques souffrent d'un problème d'injection de charges lorsque l'interrupteur s'ouvre, et d'autre part de la variation de sa résistance drain-source en fonction de la tension appliquée **[RAZAVI1]**. Tout ceci nuit à la précision d'un élément pourtant présent à de nombreux endroits d'un étage. Une technique classique nommée « bootstrapping », réduisant les problèmes liés à l'injection de charge et de variation de la résistance d'accès du transistor servant d'interrupteur en le faisant toujours fonctionner à une tension grille-source de V_{DD}, indépendamment de la tension d'entrée, est utilisée dans l'électronique terrestre, mais est inapplicable dans l'espace car elle implique des tensions grille-substrat pouvant aller jusqu'à $2V_{DD}$, augmentant ainsi le risque de SEGR. Le chapitre III présentera une technique imaginée dans le cadre de cette thèse, permettant d'adapter le « bootstrapping » à l'environnement spatial, afin d'améliorer la précisions des divers interrupteurs analogiques dans le cadre de l'injection de charges.

Par ailleurs, en environnement radiatif, les comparateurs peuvent présenter un nombre d'erreurs élevé, le plus souvent à cause de particules générant des SEU et/ou des SET. Ainsi le chapitre IV présentera une méthode de durcissement novatrice mise au point dans le cadre de cette thèse, visant à réduire le taux d'erreur binaire d'un comparateur fonctionnant dans le domaine spatial.

Enfin, dans un but d'améliorer les performances de l'amplificateur à capacités commutées, une technique innovante de gestion des capacités sera présentée dans le chapitre V.

II.4. Conclusion

Comme nous l'avons vu au cours de ce chapitre, il existe de nombreuses architectures permettant la conversion d'un signal analogique en un signal numérique, et

chacune présente ses avantages et inconvénients en termes de performances. En fonction des performances visées, on a vu que le choix d'une architecture de type pipeline, semblait la plus judicieuse. L'étude du fonctionnement d'un étage nous a permis d'identifier les fonctions nécessitant une attention particulière.

Ainsi, sur les bases d'un étage classique, les travaux exposés dans la suite de cette thèse porteront sur :

- Un interrupteur présentant une méthode de réduction d'injection de charges compatible avec l'environnement spatial (Chapitre III),
- Un comparateur durci (Chapitre IV),
- Un amplificateur mettant en œuvre une méthode avancée de capacités commutées (Chapitre V).

II.5. Références

[BULT] K. Bult, "Embedded Analog-to-Digital Converters," Advanced Engineering Course on High-Performance Data Converters, EPFL 2012.

[CHO] Cho, JSSCC 2011

[GALTON] I. Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters", IEEE Transactions on Circuits & Systems II : Analog and Digital signal processing, March 2000

[GULATI] K. Gulati *et al.*, "A Highly Integrated CMOS Analog Baseband Transceiver With 180 MSPS 13-bit Pipelined CMOS ADC and Dual 12-bit DACs," IEEE Journal Of Solid-State Circuits, VOL. 41, NO. 8, Août 2006

[HAYUN] Hayun Chung et. al., "A 7.5-GS/s 3.8-ENOB 52-mW flash ADC with clock duty cycle control in 65nm CMOS", VLSI 2009

[HOESCHELE] David F. Hoeschele "Analog-to-Digital and Digital-to-Analog Conversion Techniques," John Wiley and Sons, 1994.

[HOMA] A. Homa, "A 150 MBPS A/D and D/A conversion system", Comsat Technical Review, vol. 2, no. 1, pp 52-57, 1972.

[KESTER] Walt Kester, "Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor," Tutorial, Analog Devices, MT-003, 2009.

[LEWIS] Stephen H. Lewis, "Optimizing the Stage Resolution in Pipelined, Multistage, Analog-to-Digital Converters for Video-Rate Applications," IEEE Transactions on Circuits & Systems, Vol.39 N°8, 08/1992

[LIEU] C.-C. Lieu et. al., "A 10b 100MS/s 1.13mW SAR ADC with Binary-Scaled Error Compensation", ISSCC 2010

[MULDER] Jan Mulder *et al.*, "An 800MS/s Dual-Residue Pipeline ADC in 40nm CMOS," IEEE International Solid-State Circuits Conference, Décembre 2011

[MURMANN] B. Murmann, " ADC Performance Survey 1997 – 2012 "

[PANEL] Panel " How much analog is going to survive on large digital chips ? " ISSCC 1998.

[PELGROM1] M. Pelgrom, "Overview of High-Performance Data Converters," Advanced Engineering Course on High-Performance Data Converters, EPFL 2012.

[PELGROM2] M. Pelgrom, " High-Performance Data Converters : Full-Flash ADC," Advanced Engineering Course on High-Performance Data Converters, EPFL 2012.

[PEREZ] A. Pena Perez et. al., "A 84dB SndR 100khz Bandwidth low-power Single op-amp Third-order ΔΣ Modulator consuming 140µW"(13,6 ENOB), ISSCC 2011

[RARBI] F. Rarbi, D. Dzahini et. al., *"A 12-bit — 35-MS/s pipeline ADC with dynamic element matching correction for ILC/CALICE integrated read-out,"* IEEE Nuclear Science Symposium Conference Record (NSS/MIC), 2009.

[RAZAVI1] Behzad Razavi, *"Design of Analog CMOS Integrated Circuits,"* McGraw-Hill International Edition, 2001.

[RAZAVI2] B. Razavi, "Recent developments in SAR ADC," Advanced Engineering Course on High-Performance Data Converters, EPFL 2012.

[SCHVAN] P. Schvan et. al., "A 22GS/s 5b ADC in 130nm SiGe BiCMOS" (3W Power consumption), ISSCC 2006.

[TSENG] Chien-Jian Tseng et.al., "A 10-b 320-MS/s Stage-Gain-Error Self Calibration Pipeline ADC", IEEE Journal of SSC Vol 47, NO.6 – June 2012

[VANDEP] Rudy van de Plassche, *"CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters,"* Kluwer Academic Publishers, 2003.

[VANDEVEL] H. Van de Vel *et al*, "A 1.2V 250mW 14b 100MS/s Digitally Calibrated Pipeline ADC in 90nm CMOS," 2008 Symposium on VLSI Circuits Digest of Technical Papers

[WALDEN] R. H. Walden, "Analog-to-digital converter survey and analysis," IEEE Journal on Selected Areas in Communications," Avril 1999.

[WEMBO] Wembo Liu et.al., "A 12-bit, 45-MSs, 3-mW Redundant SAR ADC with Digital Calibration", IEEE JSSC, Vol. 46 no. 11, November 2011

[YOSHIOKA] M. Yoshioka et. al., "A 10b 50MS/s 820µW SAR ADC with On-Chip Digital Calibration", ISSCC 2010

Chapitre III

Conception d'un interrupteur analogique optimisé pour l'environnement spatial

L'architecture de convertisseur ayant été choisie et les interrupteurs analogiques ayant été identifiés comme source potentielle d'erreur, il s'agit maintenant d'étudier leur fonctionnement afin de proposer des améliorations pertinentes. Les interrupteurs analogiques traditionnels présentent de nombreux défauts de linéarité sur la gamme d'entrée, et, comme nous allons le voir, les techniques standards d'amélioration de performances ne sont pas applicables dans le domaine spatial. Ce chapitre est consacré à la conception d'un interrupteur analogique présentant des performances optimisées en termes de précision et de linéarité, et utilisable dans le cadre d'un environnement radiatif.

III.1. Présentation de l'interrupteur analogique

Dans les circuits à capacités commutées tels qu'un étage de convertisseur pipeline, les interrupteurs analogiques jouent un rôle prédominant au cœur de l'échantillonneur/bloqueur (E/B), et ses défauts vont avoir des conséquences sur les performances du CAN. Le principe est, sur un niveau haut d'horloge, de transmettre (« échantillonner ») une donnée. En général cette donnée est mémorisée sous forme de tension aux bornes d'une capacité, ces dernières étant facilement intégrées sur les technologies CMOS. Sur l'état bas de l'horloge, il s'agira de conserver (« bloquer ») cette tension stockée par la capacité, sans variation de valeur au cours du temps.

Il existe de nombreuses réalisations possibles de cette fonction. Etudions tout d'abord la réalisation la plus simple, consistant en un simple transistor NMOS (Figure III-1), afin de comprendre les limites de cette architecture, pour aborder ensuite des architectures plus complexes permettant d'améliorer les performances.

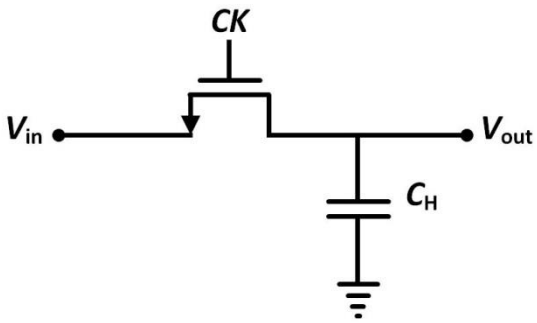


Figure III-1 : Interrupteur analogique NMOS

La conductance du transistor est donnée par la relation suivante **[GEIGER]** :

$$g_{on} = \mu C_{ox} \frac{W}{L} \left(V_{gs} - V_{th0} - \gamma \left(\sqrt{2\Phi_f + V_{in}} - \sqrt{2\Phi_f} \right) - V_{ds} \right) \qquad \text{(III-1)}$$

où V_{gs} est la tension grille-source, V_{ds} la tension drain-source, V_{th0} la tension de seuil, γ le paramètre d'effet substrat, et Φ_f le potentiel de Fermi.

Or, en régime linéaire (zone ohmique), et en négligeant l'effet substrat, on a :

$$\begin{aligned} g_{on} &= \mu C_{ox} \frac{W}{L} \left(V_{gs} - V_{th0} \right) \\ &= \mu C_{ox} \frac{W}{L} \left(V_{DD} - V_{in} - V_{th0} \right) \end{aligned}$$

Ainsi, on peut représenter la conductance et la résistance en fonction de l'entrée (Figure III-2) :

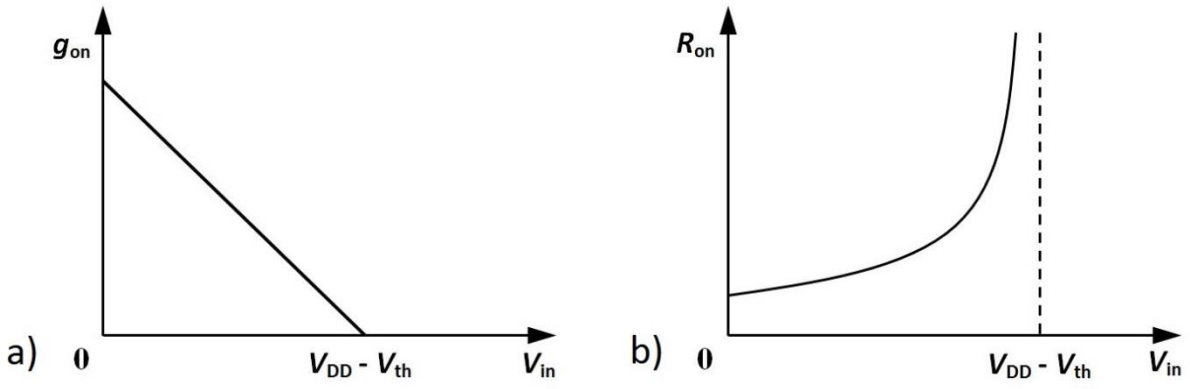


Figure III-2 : Représentation a) de la conductance et b) de la résistance d'accès d'un interrupteur NMOS

On observe ainsi une limite de la plage de validité, allant de 0V à V_{DD}-V_{th} : ceci est en inadéquation avec la nécessité d'un commutateur utilisé en rail-to-rail (sur toute la plage de tension de 0V à V_{DD}). Dans le cas d'un transistor PMOS, la plage d'utilisation irait de V_{th} à V_{DD}, ce qui ne convient pas non plus.

Enfin, un tel interrupteur présente également un autre problème d'ordre temporel. En effet, la constante de temps pour charger la capacité de sortie est de type $R_{on}C_H$. Or, comme nous l'avons vu, R_{on} dépend de la tension d'entrée. Par conséquent, la constante de temps d'échantillonnage dépend de la tension d'entrée, ce qui provoque des distorsions.

Par ailleurs, deux problèmes supplémentaires sont observés : le phénomène d'injection de charges et le clock-feedthrough.

III.1.1. Le phénomène d'injection de charges [RAZAVI1]

Considérons le commutateur représenté Figure III-3. Lorsque le transistor est passant, des charges circulent dans le canal. Puis, quand l'horloge passe de l'état haut à l'état bas, les charges présentes dans ce canal vont être réparties entre l'entrée (elles sont généralement absorbées par la source, et ne créent pas d'erreur), le substrat, et la capacité de sortie C_H, donnant ainsi naissance à une tension d'erreur ΔV.

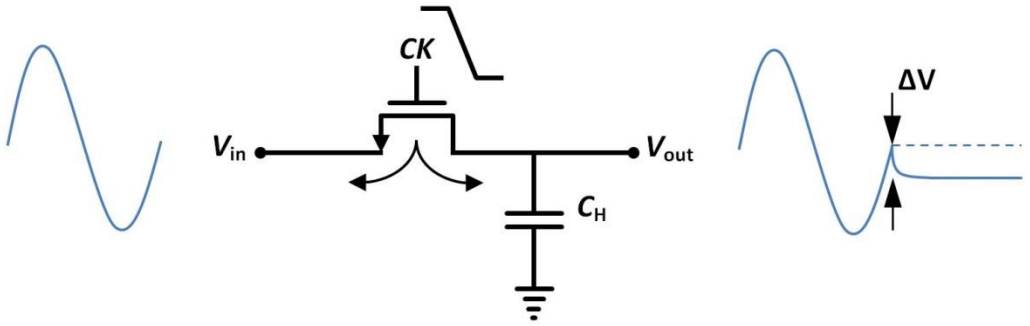


Figure III-3 : Représentation de l'injection de charges lorsque l'on éteint l'interrupteur

La quantité de charges présente dans le canal lors du fonctionnement peut s'exprimer ainsi :

$$\begin{aligned} Q_{ch} &= WLC_{ox}\left(V_{gs} - V_{TH}\right) \\ &= WLC_{ox}(V_{DD} - V_{in} - V_{TH}) \end{aligned} \qquad \text{(III-2)}$$

Si la moitié des charges est évacuée vers C_H, l'erreur en tension est donc de :

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{2C_H}$$

Dans le pire cas, l'intégralité des charges sera accumulée sur C_H, auquel cas :

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H}$$

Remarque : la tension de seuil dépend de la tension d'entrée V_{in} à cause de l'effet substrat. Cette erreur due à l'injection de charges n'est donc pas linéaire

III.1.2. Le phénomène de clock-feedthrough [RAZAVI1]

En plus de l'injection de charges, les capacités de recouvrement entre la grille et le drain d'une part et entre la grille et la source d'autre part vont coupler le signal d'horloge à la capacité d'échantillonnage (Figure III-4).

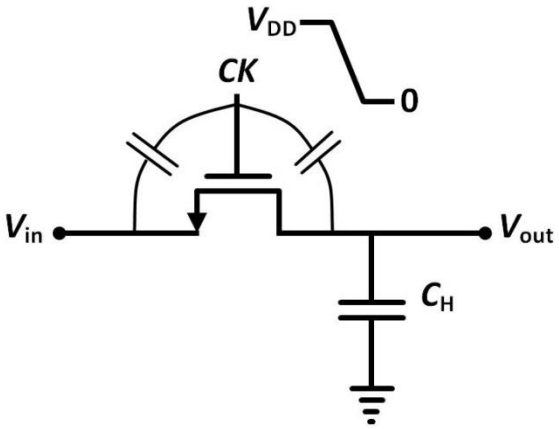


Figure III-4 : Clock-feedthrough dans un circuit d'échantillonnage

En admettant que la capacité de recouvrement C_r est constante, la tension d'erreur est alors :

$$\Delta V = - V_{DD} \frac{C_r}{C_r + C_H}$$

III.2. Amélioration des performances d'un interrupteur analogique

Comme nous l'avons vu, un commutateur constitué uniquement d'un transistor NMOS présente de nombreux inconvénients : variation importante de la résistance d'accès sur la plage d'entrée, elle-même limitée (utilisation rail-to-rail proscrite), injection de charges du canal et couplage capacitif de l'horloge.

Afin de limiter ces effets, de nombreuses méthodes existent. Nous proposons ici une étude non-exhaustive des principales architectures utilisées pour améliorer les performances d'un interrupteur analogique.

III.2.1. L'utilisation de « dummy » ou transistor fantôme [RAZAVI1]

Soit le circuit représenté sur la Figure III-5. Le principe est d'ajouter un transistor M2, piloté par une horloge complémentaire à celle pilotant le commutateur M1, et dont le canal, lorsque le transistor M2 sera passant, absorbera les charges injectées.

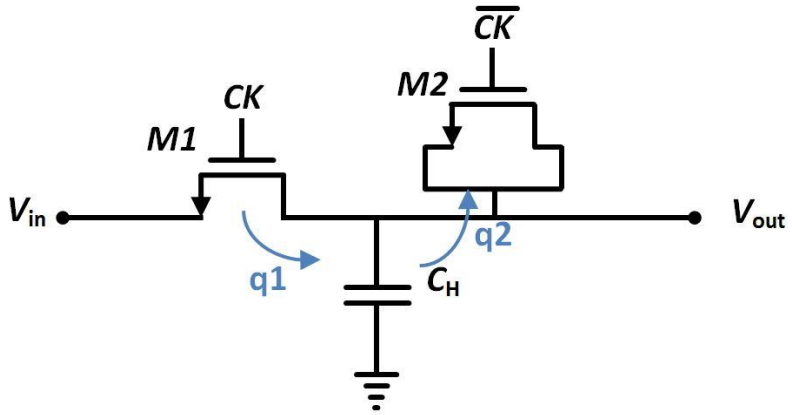


Figure III-5 : Principe du transistor fantôme

Soit q1 les charges injectées par M1, et en admettant que la moitié des charges sera absorbée par C_H, on a :

$$q1 = \frac{W_1 L_1 C_{ox}(V_{DD} - V_{in} - V_{TH1})}{2}$$

Comme on a :

$$q2 = W_2 L_2 C_{ox}(V_{DD} - V_{in} - V_{TH2})$$

Alors si l'on prend W_2 = 0.5 W_1 et L_2 = L_1, on a q1 = q2. Malheureusement, en pratique on a rarement exactement la moitié des charges injectées absorbées par C_H, ce qui rend ce système peu fiable. Toutefois, on remarque qu'avec ce choix de dimensions, le phénomène de clock-feedthrough est supprimé. En effet sur la Figure III-6, on a C_{ov1} = C_{ov2}.

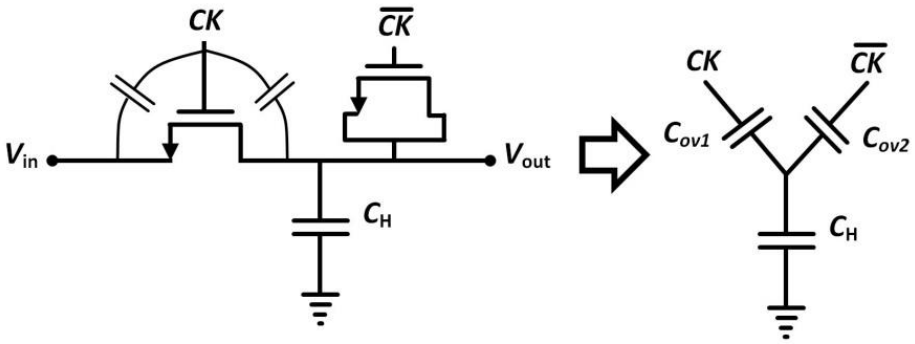


Figure III-6 : Suppression du clock-feedthrough par l'utilisation du transistor fantôme

III.2.2. Le Bottom-plate sampling [RAZAVI1]

Le principe du bottom-plate sampling repose sur l'utilisation d'un deuxième transistor entre la capacité de sortie et la masse (Figure III-7).

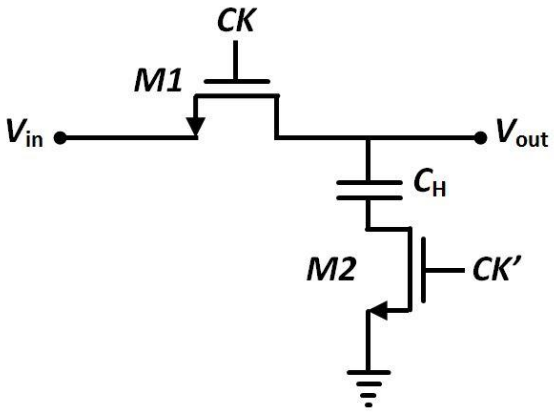


Figure III-7 : Principe du bottom-plate sampling

L'horloge CK' s'éteindra légèrement en avance de phase par rapport à l'horloge CK, ainsi M2 s'éteindra avant M1, rendant C_H flottante. L'injection n'affecte plus la tension aux bornes de C_H. Toutefois, un couplage capacitif existe entre CK' et la tension d'entrée, rendant la précision du bottom-plate sampling assez variable.

III.2.3. La porte de transmission (ou porte CMOS) [RAZAVI1]

La porte de transmission (Figure III-8) est la mise en regard d'un transistor NMOS (M1) avec un transistor PMOS (M2), afin d'utiliser leur complémentarité pour augmenter la plage d'entrée admissible et diminuer la résistance d'accès du commutateur.

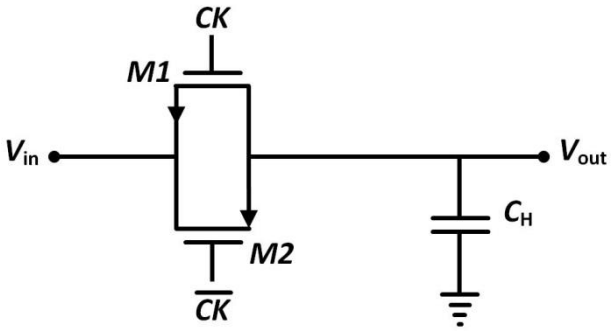


Figure III-8 : Porte de transmission

Dans ce cas, il est critique que les horloges soient bien complémentaires, afin que les transistors s'éteignent simultanément, afin d'éviter une distorsion.

Par ailleurs, même si la résistance est nettement diminuée, il reste une variation (Figure III-9) qui, en modifiant la constante de temps liée à l'échantillonnage du signal suivant l'amplitude de ce dernier, entraîne une distorsion d'ordre 2 en sortie.

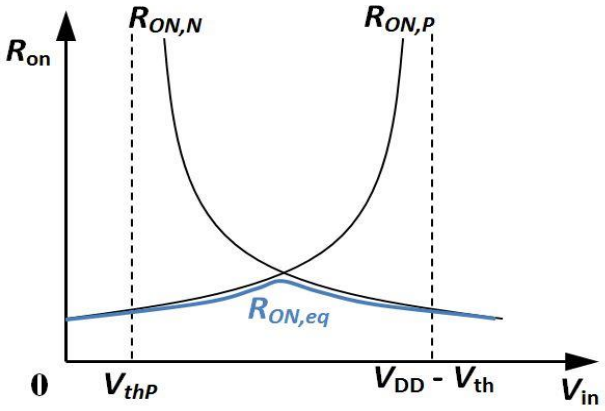


Figure III-9 : Variation de la résistance d'accès d'une porte de transmission

En outre, la porte CMOS ne permet pas une annulation des charges injectées, mais en diminue fortement la valeur. En effet, en considérant que la moitié des charges sera absorbée par C_H :

$$q_{inj} = q_{injN} + q_{injP} + q_{clk}$$

$$= C_{ox}\left(\frac{W_2L_2(V_{DD} - V_{in} - V_{THP})}{2} - \frac{W_1L_1(V_{DD} - V_{in} - V_{THN})}{2}\right)$$

$$- V_{DD}C_H\left(\frac{C_{rN}}{C_{rN} + C_H} - \frac{C_{rP}}{C_{rP} + C_H}\right)$$

Enfin, dans le cas de tensions d'alimentations faibles par rapport aux tensions de seuil, il est possible d'avoir une zone où aucun des deux transistors n'est passant.

III.2.4. Le Bootstrapping [DESSOUKY1]

En se basant sur les équations (III-1) et (III-2), on constate qu'avec un V_{gs} constant lorsque le transistor est passant, pour toutes les valeurs d'entrée, il est possible de rendre la conductance et l'injection de charges constantes, tout en couvrant l'ensemble de la plage d'alimentation (si l'on ne tient pas compte de l'effet substrat). C'est le principe du bootstrapping (Figure III-10), qui consiste, via une capacité (Cboost) chargée lorsque l'interrupteur est bloqué, à toujours appliquer la tension d'alimentation (VDD) au transistor M1 entre la grille et l'entrée lorsque ce dernier est passant, afin d'éliminer la dépendance à la tension d'entrée **[DESSOUKY1]**, **[STEENS]**, **[DESSOUKY2]**, **[WALTARI]**, **[LILLE]**, **[KESKIN]**.

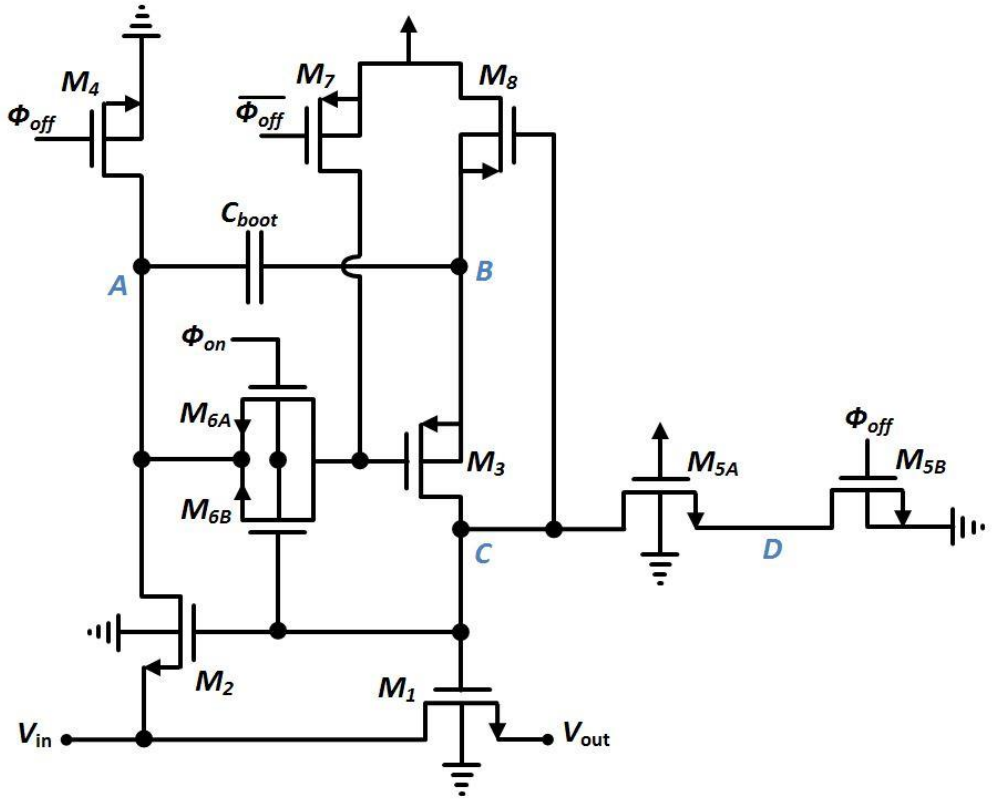


Figure III-10 : Principe du bootstrapping

L'opération se déroule en deux phases :

- Φ_{off} : Lors de cette phase, M_4, M_{5B} et M_7 sont passants, et M_{6B} ne l'est pas. Ainsi, M_8 est également passant et M_3 ne l'est pas. M_1 et M_2 sont OFF, leurs grilles étant reliées à la masse via M_{5A} et M_{5B}. Par ailleurs, le point A étant connecté à la masse par M_4 et le point B étant connecté à V_{DD} par M_8, C_{boost} est chargée à une tension V_{DD}.
- Φ_{on} : Initialement, M_4, M_{5B} et M_7 sont OFF afin de mettre M_1 en conduction pendant que M_3 et M_{6A} sont passants. Puis, la tension de grille de M_1 (et M_2) va monter progressivement jusqu'à la tension de seuil *via* M_3. Lorsque la tension de seuil est atteinte, M_2 va relier le point A à la tension d'entrée V_{in}, revenant ainsi à appliquer la tension $V_{DD} + V_{in}$ à la grille de M1, lui assurant ainsi une tension grille-source indépendante de la tension d'entrée.

Le pire cas se produit lorsque $V_{in} = V_{DD}$, la tension au point C pouvant alors atteindre $2V_{DD}$. D'où la présence du transistor M_{5A} **[DESSOUKY2]**, servant à empêcher le transistor M_{5B} d'avoir une tension grille-drain de $2V_{DD}$. Cependant, la tension au point D n'est pas contrôlée avec précision et peut potentiellement dépasser V_{DD}.

Ainsi, même si ce système de commutateur bootstrappé est très efficace et utilise un nombre minimum de transistors, il pose de nombreux problèmes dans le cas d'une utilisation en milieu radiatif puisque différentes tensions peuvent dépasser le maximum autorisé par la technologie (qui est généralement une tension différentielle maximale de V_{DD} entre deux nœuds d'un transistor ou, dans le cas d'une marge de 10%, de $1.1V_{DD}$).

Ainsi, les différences de potentiels qui, potentiellement, peuvent ne pas respecter la norme, sont :

- La tension grille-substrat de M_1, nécessitant de rendre la tension de substrat de M_1 dépendante de la tension d'entrée,
- La tension grille-source de M_1, dans le cas où V_{out} = 0V au début de l'opération.

Et les précautions à prendre sont les suivantes:

- La tension au point D doit être maintenue à V_{DD} pendant la phase Φ_{on},
- Le substrat de M_{5A} doit être relié à la source.

Ce système, bien que performant, doit être modifié afin de supporter les contraintes d'un environnement radiatif spatial.

III.3. Interrupteur durci proposé

Dans le but de pallier les problèmes potentiels sus-cités rendant une utilisation du bootstrapping en milieu radiatif impossible, une structure innovante a été proposée.

Cette architecture est représentée Figure III-11. Les transistors NMOS M_{6A}, M_{6B} et M_2 ont été remplacés par une porte de transmission (M_{6N} et M_{6P} d'une part, M_{2N} et M_{2P} d'autre part). Le substrat du transistor M_1 ne peut pas être relié à sa source afin d'éviter des courants de fuite lorsque M_1 est éteint, il est ainsi relié au point A *via* la porte de transmission constituée de M_{9N} et M_{9P}, respectivement pilotés par V_{DD} et la masse, la rendant toujours passante. Cette porte CMOS sert à limiter la tension grille-substrat du transistor M_1 en régime transitoire. Par ailleurs, M_{5A2} et M_{10} ont été ajoutés pour protéger M_{5B} et M_{5A} dans les cas où une surtension source-drain aurait lieu. Enfin, la diode D_1 sert à limiter une éventuelle surtension de très brève durée pendant la commutation de M_1.

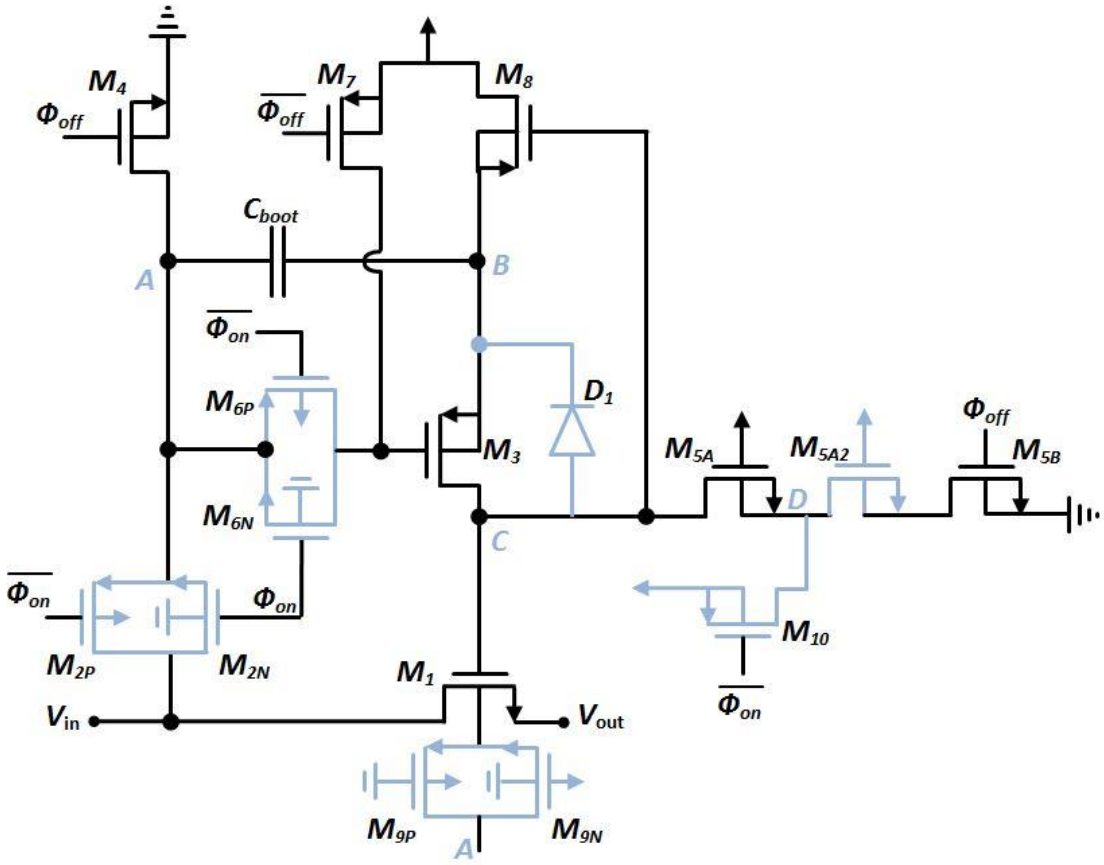


Figure III-11 : Présentation du switch bootstrappé compatible spatial

Pour s'assurer que la tension grille-source de M_1 ne dépasse pas V_{DD}, il est nécessaire de s'assurer que la tension V_C augmente moins vite que la tension V_{out}, notamment dans le pire cas où $V_{in} = V_{DD}$ et $V_{out} = 0V$. Au début de la phase Φ_{on}, le nœud C est principalement chargé par M_{5A}. Lorsque $V_C = V_{DD} - V_{GD5A}$, le flux de charges se tarit et le nœud est chargé par le système de bootstrap *via* M_3. Admettons que la tension de substrat de M_1 augmente à la même vitesse que sa source, et que l'on peut négliger l'influence de M_2, alors la constante de temps τ_{M1} dépend de la résistance d'accès de M_3 et de la capacité parasite C_p au nœud C.

τ_{M1} peut alors s'exprimer par :

$$\tau_{M1} = \frac{C_p}{K_3(V_{DD} - V_{THP})} \qquad \text{(III-3)}$$

Avec $K_3 = \mu_p C_{ox} W_3/L_3$ où μ_p est la mobilité des trous dans le canal, C_{ox} la capacité surfacique de l'oxyde de grille, et W_3 et L_3 respectivement la largeur et la longueur du transistor M_3.

Ainsi, la dérivée maximum de la tension au point C peut s'écrire :

$$\left.\frac{\mathrm{d}V_C(t)}{dt}\right|_{max} = \frac{V_{DD}}{\tau_{M1}} \qquad \text{(III-4)}$$

La tension de sortie V_{out} doit augmenter de manière similaire à V_C. Puisque l'effet substrat est négligé pour M_1, ce dernier travaille en régime saturé, et la tension grille-source restant à peu près constante, la vitesse de charge de la capacité C_L peut s'écrire :

$$\frac{\mathrm{d}V_{out}}{dt} = \frac{K_1}{2}\frac{\left(V_{gs} - V_{THN}\right)^2}{C_L} \qquad \text{(III-5)}$$

Avec $K_1 = \mu_n C_{ox} W_1/L_1$ où μ_n est la mobilité des électrons dans le canal, C_{ox} la capacité surfacique de l'oxyde de grille, et W_1 et L_1 respectivement la largeur et la longueur du transistor M_1.

En combinant les équations (III-3), (III-4) et (III-5), on obtient :

$$\frac{C_p}{C_L}\frac{1}{V_{DD}}\frac{K_1}{2K_3}\frac{\left(V_{DD} - V_{diode,M5A} - V_{THN}\right)^2}{V_{DD} - V_{THP}} = 1 \qquad \text{(III-6)}$$

III.4. Réalisation et tests des différents interrupteurs

Afin de comparer les différentes structures évoquées, il a été décidé d'intégrer dans un ASIC 4 blocs de test :

- Un interrupteur NMOS simple qui permettra de mesurer l'injection de charges,
- Une porte de transmission CMOS,
- L'interrupteur bootstrappé durci,
- Une structure de mesure de la résistance d'accès R_{ON} des trois différents interrupteurs.

Les trois interrupteurs seront testés à l'aide du circuit de la Figure III-12, et le R_{ON} des trois interrupteurs sera mesuré avec le circuit présenté sur la Figure III-13.

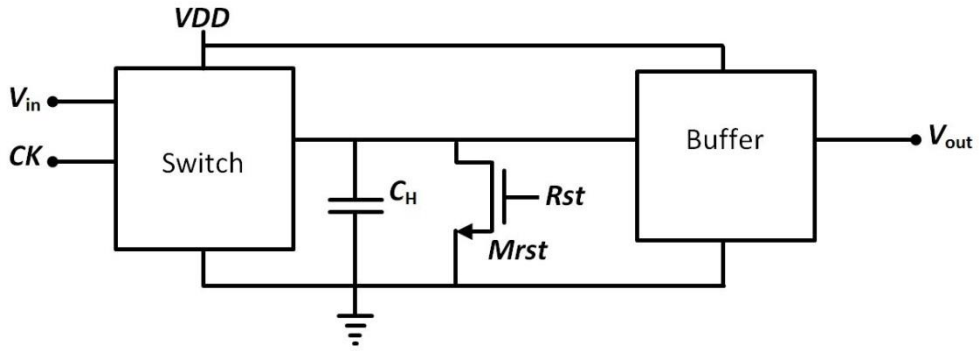


Figure III-12 : Circuit de mesure de l'injection de charges pour chacun des interrupteurs

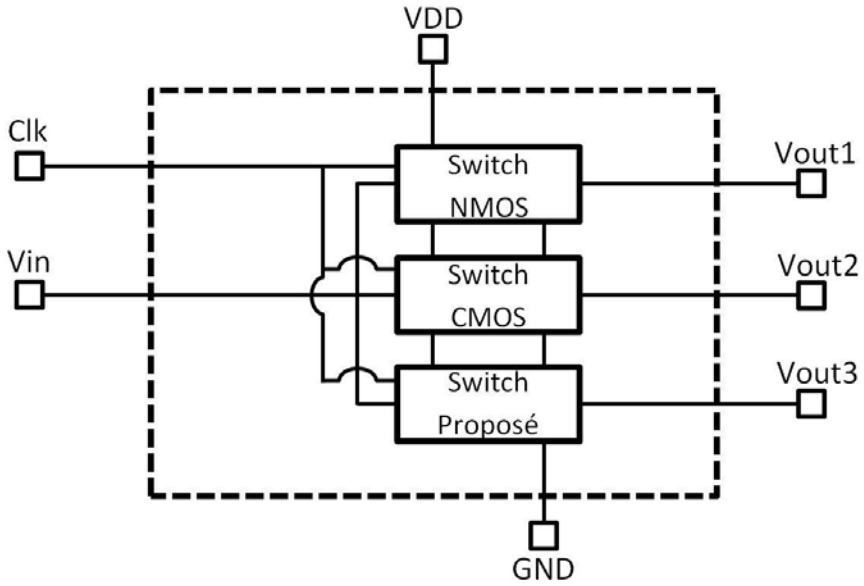


Figure III-13 : Circuit de mesure de la résistance d'accès de chacun des interrupteurs

III.4.1. Conception des blocs communs

Certains transistors et sous-circuits sont utilisés dans plusieurs ou dans tous les cas. Leur conception est développée dans ce sous-chapitre.

III.4.1.a. Dimensionnement de M_1

Dans le but d'unifier les résultats, il est nécessaire de prendre une même dimension pour le transistor NMOS principal de l'interrupteur. Le choix de 12 transistors de W/L = 5µm/400nm en parallèle (équivalents à 1 transistor de 60µm/400nm) a été effectué, afin d'avoir une erreur suffisamment grande pour être observable en sortie.

III.4.1.b. Buffer

Pour éviter que l'impédance des pads de sortie n'influence la tension de sortie des interrupteurs, il a été décidé d'ajouter des buffers. Ceux-ci ont été réalisés grâce à un montage à drain commun (Figure III-14).

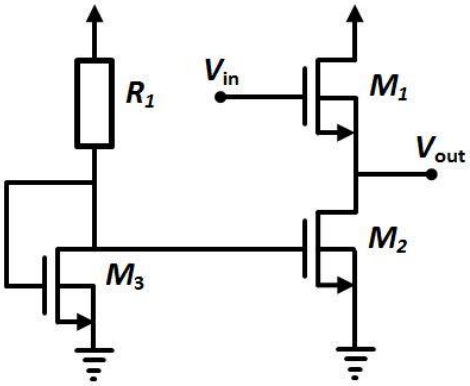


Figure III-14 : Buffer de sortie

M_1 est configuré en suiveur de tension et M_2 recopie le courant initié dans la branche constituée par R_1 et M_3 via un miroir de courant simple. La résistance R_1 est de 250kΩ, et les dimensions des transistors sont détaillées dans le tableau ci-dessous :

	W	L
M1	100µm	350nm
M2	100µm	350nm
M3	1µm	350nm

Bien entendu, il est nécessaire d'avoir une tension d'entrée du buffer supérieure à 1V environ pour pouvoir observer l'injection, afin de s'assurer que $V_{in} > V_{GS1} + V_{DSsat2}$ pour le bon fonctionnement du buffer.

III.4.1.c. Le générateur d'horloges non-recouvrantes

Bien qu'ici il ne soit utilisé que par l'interrupteur amélioré, ce bloc est un composant essentiel des circuits à capacités commutées, servant à garantir qu'une capacité ne soit pas reliée à deux points du circuit en même temps alors qu'elle ne devrait pas l'être, et ainsi éviter des courts-circuits (Figure III-15). Ainsi, la place importante dans la schématique et le layout prise par ce bloc n'intervient pas directement dans l'analyse de la surface utilisée et de la complexité du design de cet interrupteur.

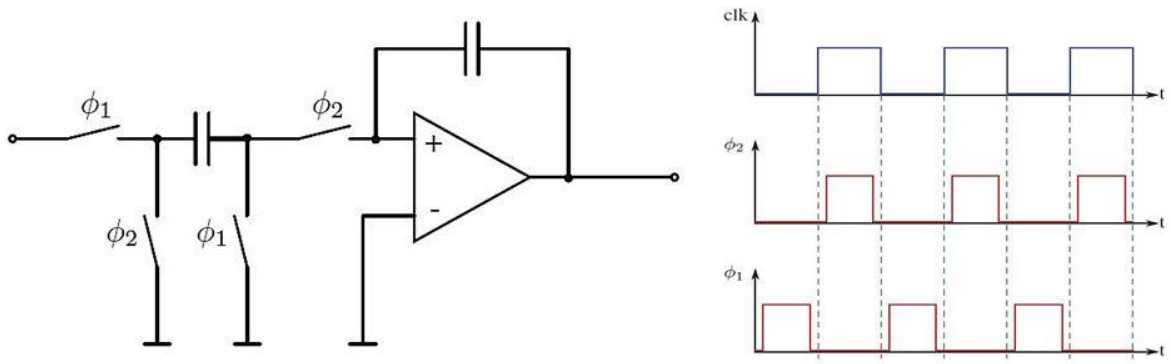


Figure III-15 : Illustration de la nécessité d'horloges non-recouvrantes dans le cas d'un amplificateur à capacités commutées [SPILKA].

Dans le cadre de l'interrupteur durci proposé, il s'agit donc de réaliser un jeu de phases (Φ_{on} et Φ_{off} ici, ainsi que leurs complémentaires) fonctionnant à la même fréquence que l'horloge, mais ayant toutefois un décalage dans les fronts.

La méthode la plus communément utilisée est présentée Figure III-16, et est basée sur le principe d'une bascule RS. Ses inconvénients sont d'une part d'avoir un rebouclage pouvant générer des états métastables, et d'autre part un retard sur l'un des chemins dû à la présence d'un inverseur supplémentaire.

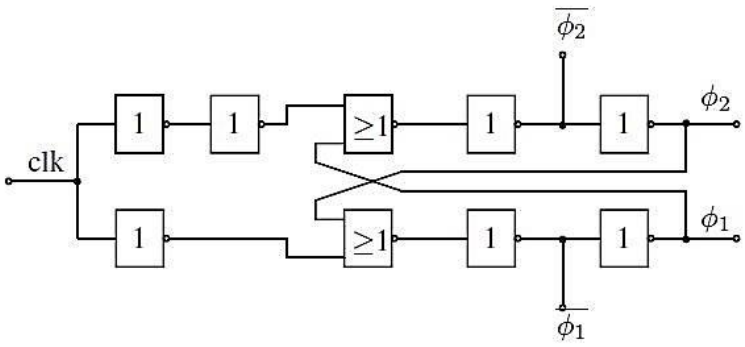


Figure III-16 : Générateur d'horloges non-recouvrantes conventionnel [SPILKA].

Une autre méthode développée dans **[SPILKA]** permet d'éviter ces deux problèmes, et annule le retard de phase dû aux derniers inverseurs du cas précédent (Figure III-17).

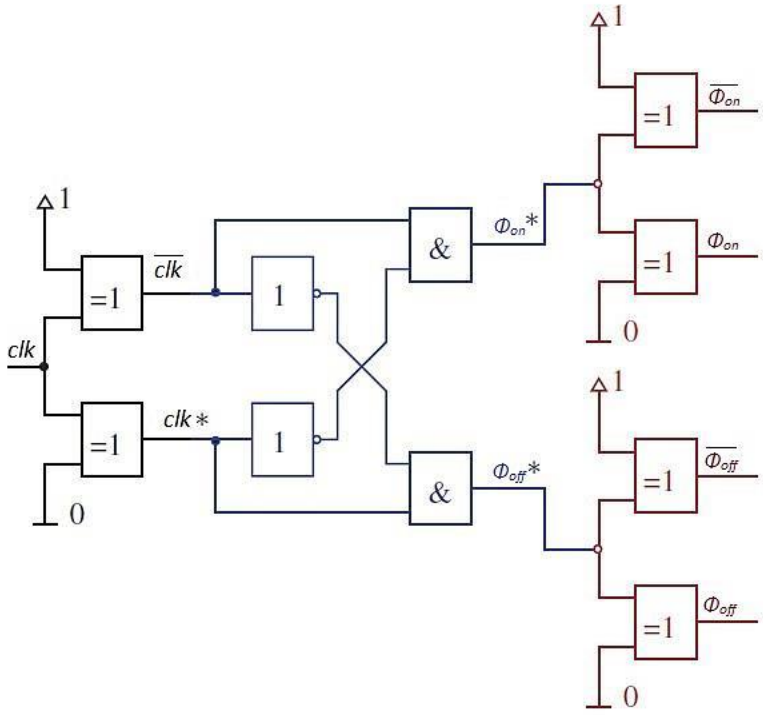


Figure III-17 : Générateur d'horloges non-recouvrantes utilisé [SPILKA].

Remarque : en pratique, d'autres inverseurs ont été ajoutés en série avec les deux présents ici, ainsi qu'après les portes ET, afin de s'assurer du non-recouvrement dans les pires cas.

Les horloges Φ_{on} et Φ_{off} obtenues sont représentées Figure III-18, pour une horloge d'entrée de 100MHz :

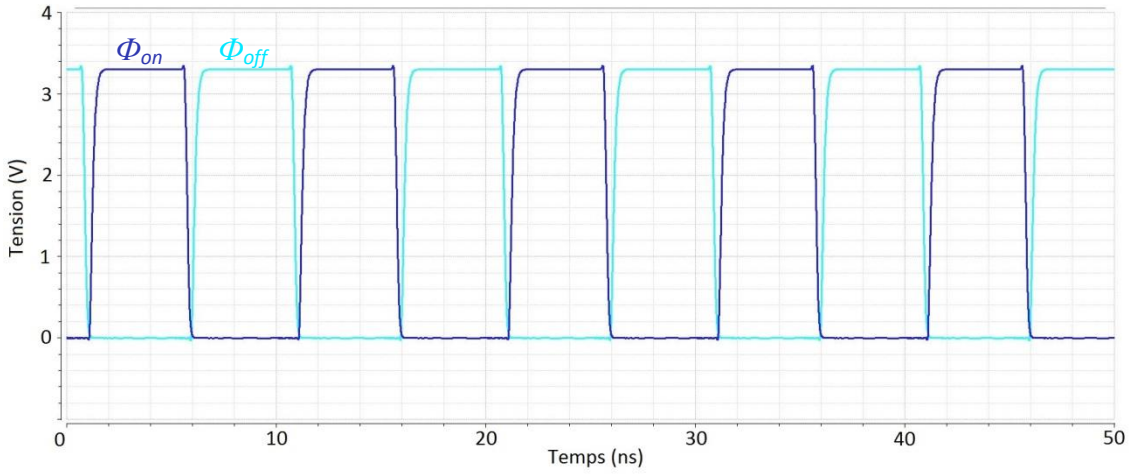


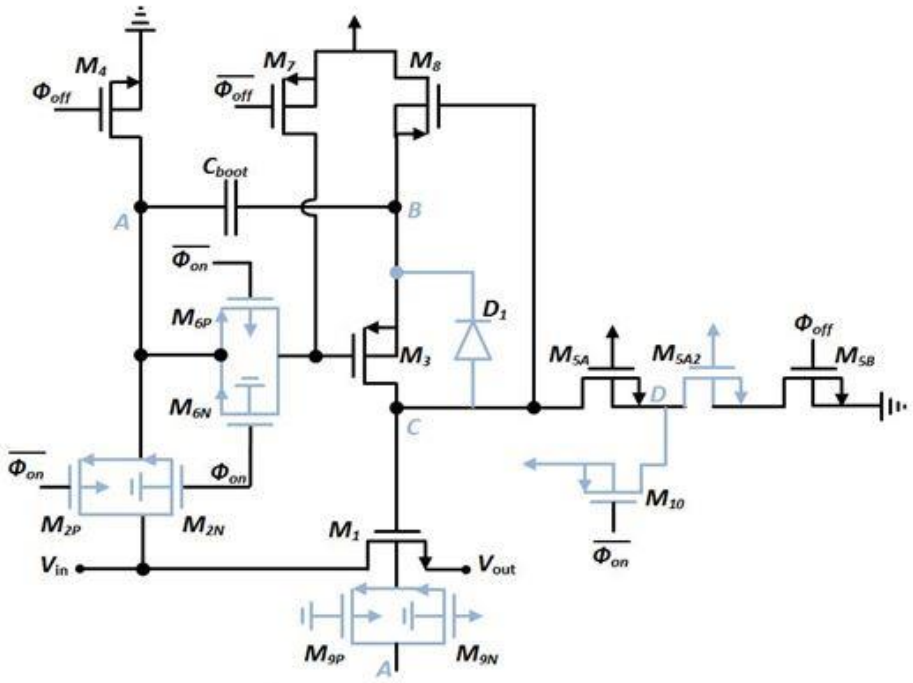
Figure III-18 : Horloges non-recouvrantes générées

L'analyse de la durée entre deux fronts (l'un descendant et le suivant montant) franchissant 0,6V nous donne dans les deux cas (Φ_{on} montant et Φ_{off} descendant d'une part,

Φ_{on} descendant et Φ_{off} montant d'autre part) un écart moyen de 200ps, et un minimum de 175ps.

III.4.2. Conception de l'interrupteur durci

A partir des contraintes développées dans le chapitre III.3, les transistors optimisant le comportement de l'interrupteur en environnement spatial ont été dimensionnés de manière à satisfaire les conditions de polarisation notamment (Figure III-19).



	W (µm)	L (µm)
M1	60	0.4
M2P	4	0.4
M2N	4	0.35
M3	9	0.4
M4	10	0.35
M5A	10	0.35
M5A2	2	0.35
M5B	10	0.35
M6P	0.35	0.4
M6N	0.35	0.35
M7	2	0.3
M8	2	0.3
M9P	10	0.4
M9N	5	0.4
M10	10	0.4

Figure III-19 : Interrupteur durci et dimensions des transistors, avec en bleu les transistors spécifiques à son optimisation en environnement spatial.

Concernant le choix de la capacité de bootstrapping C_{boot}, il faut que celle-ci soit grande afin que, lorsque M_3 est passant afin de connecter C_{boot} à la grille de M_1 pour le commander à l'état passant, la redistribution des charges sur la grille de M_1 n'engendre pas de modification trop importante de la tension en ce point. Autrement dit, afin de ne pas modifier la tension de grille du transistor M_1, il est nécessaire de prendre une capacité très grande devant les capacités parasites au nœud C.

On peut écrire :

$$C_{\text{boot}} \gg C_{GS1} + C_{GB1} + C_{GD1} + C_{DS5A} + C_{GD8}$$
$$= 13{,}8\ fF + 51{,}76\ fF + 13{,}8\ fF + 8{,}44\ fF + 2\ fF$$
$$\approx 90\ fF$$

Ainsi, la capacité C_{boot} a été choisie à 2pF.

III.4.3. Simulations fonctionnelles au niveau schématique des différents interrupteurs

Dans cette section, les tests fonctionnels des différents blocs évoqués au niveau schématique seront présentés.

III.4.3.a. Mesure de la résistance d'accès (R_{ON})

On réalise une simulation transitoire sur 200ns. Un générateur est placé à chaque sortie, et génère une tension supérieure à la tension d'entrée de 50mV. Lorsque les interrupteurs sont allumés, on déduit du courant débité la valeur de la résistance d'accès.

Un tracé du courant débité dans chacun des blocs permet en premier lieu de s'assurer du bon fonctionnement des interrupteurs (Figure III-20) :

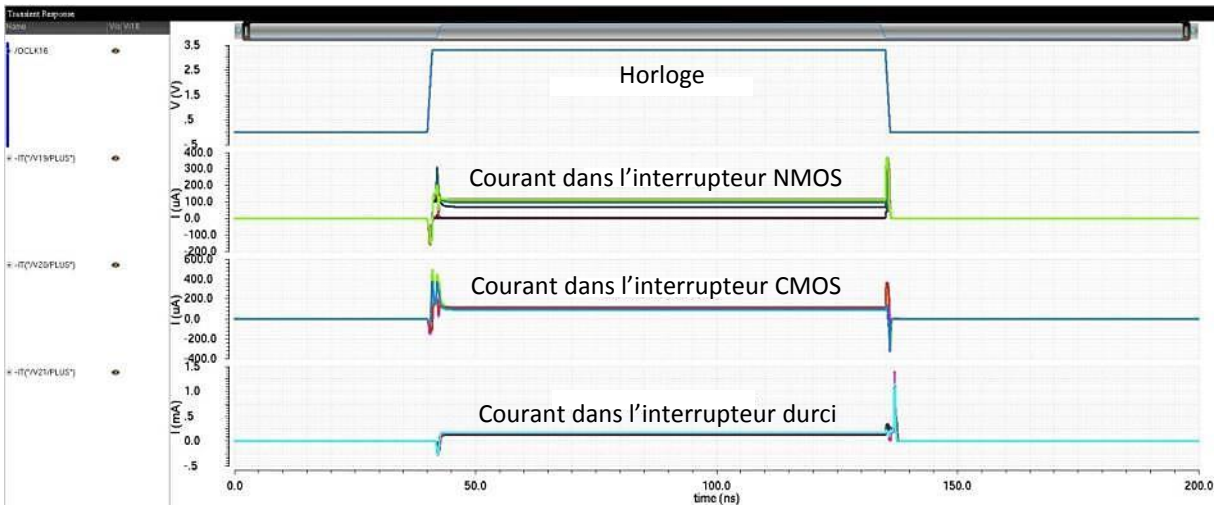


Figure III-20 : Courant traversant chacun des interrupteurs.

Conformément à nos attentes, le courant ne passe que lorsque l'interrupteur est passant, et l'interrupteur NMOS est ouvert pour des tensions d'entrée supérieures à V_{DD}-V_{TH}.

On trace ensuite la résistance d'accès (R_{ON}) des trois différents interrupteurs (Figure III-21) :

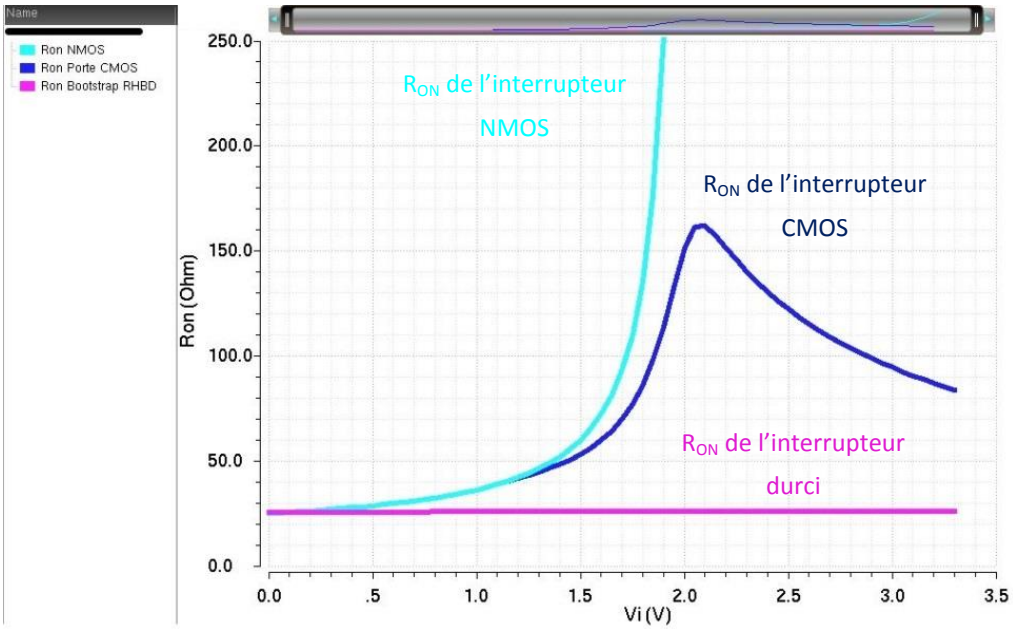


Figure III-21 : Comparaison des résistances d'accès pour les trois différents interrupteurs

On constate que dans le cas de l'interrupteur durci, la résistance d'accès reste constante autour de 25Ω tandis que, conformément à la théorie, celle de l'interrupteur CMOS présente un pic proche de VDD/2, autour de 160Ω. L'interrupteur NMOS, quant à lui, se ferme progressivement à l'approche de $V_{DD} - V_{TH}$. Au-delà, l'interrupteur est ouvert et il n'y a plus de courant drain-source, la résistance est donc théoriquement infinie.

III.4.3.b. Injection de charges

Les premiers tests sont réalisés en amont du buffer et sans tenir compte des plots de sortie, afin de pouvoir observer le fonctionnement de l'interrupteur seul.

Ainsi, on testera respectivement l'interrupteur NMOS, l'interrupteur CMOS et l'interrupteur durci dans les conditions présentées dans les figures III-22, III-23 et III-24.

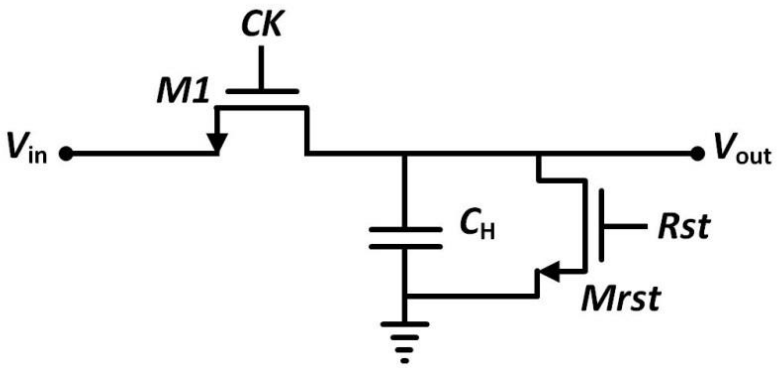


Figure III-22 : Test de l'interrupteur NMOS en schématique

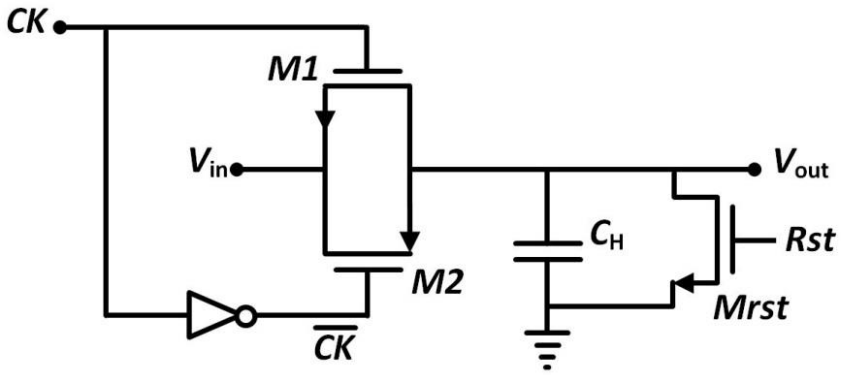


Figure III-23 : Test de l'interrupteur CMOS en schématique

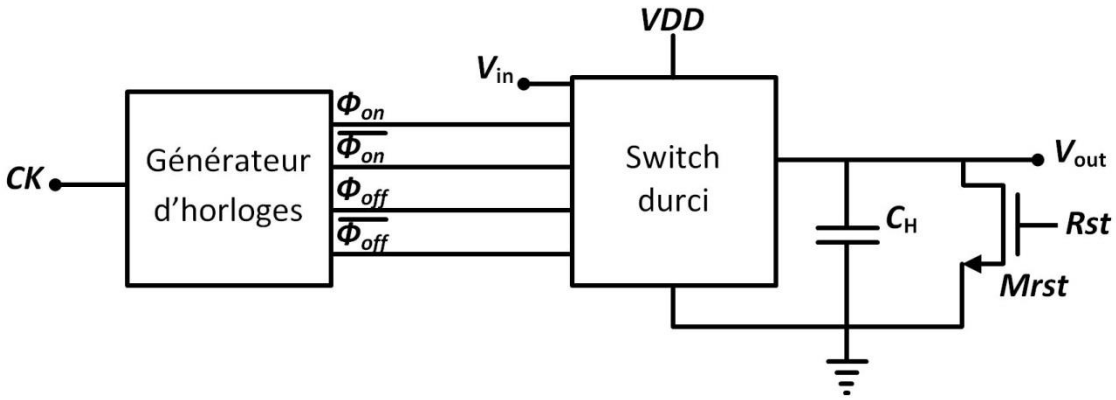


Figure III-24 : Test de l'interrupteur durci en schématique

Dans les 3 cas, on réalise un test transitoire de 250ns, avec une période de 100ns. Durant la première phase, l'interrupteur est allumé, il relie l'entrée à la sortie. Puis il est éteint, on mesure alors l'écart de tension avant et après son extinction, écart qui doit être proportionnel à l'injection de charges. Enfin, la sortie est mise à la masse durant la phase de remise à zéro (reset) (Figure III-25).

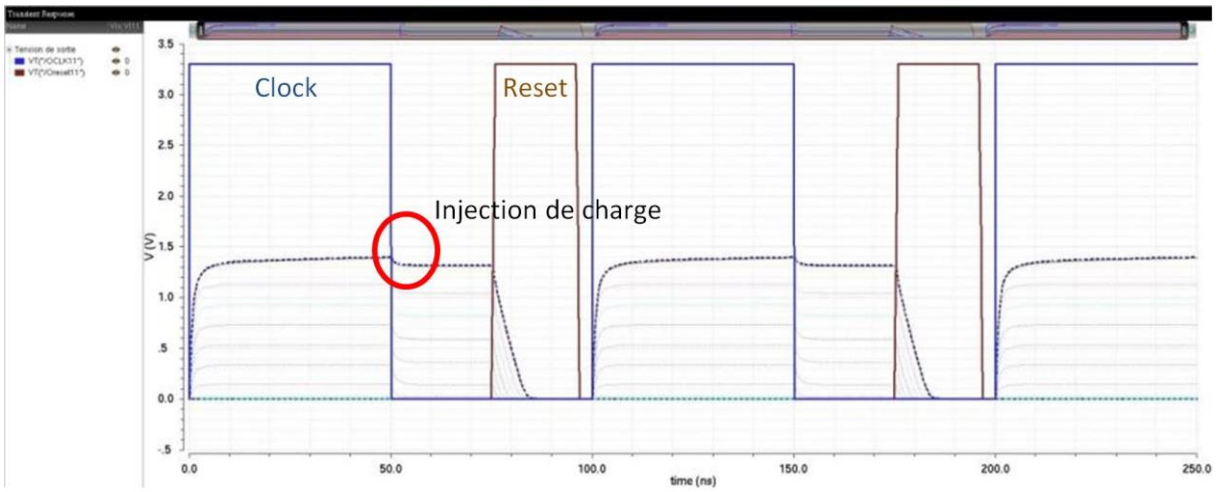


Figure III-25 : Régime transitoire de l'interrupteur NMOS, mise en évidence de l'injection de charges

Afin de comparer l'injection des différents interrupteurs, on trace la tension de décalage en fonction de la tension d'entrée (Figure III-26) :

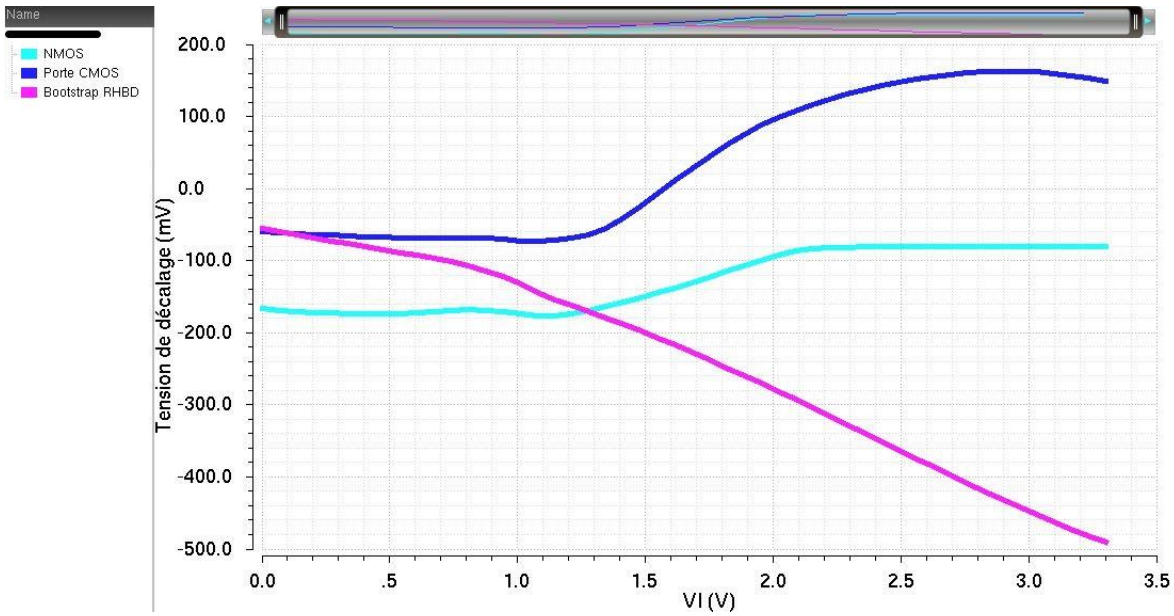


Figure III-26 : Comparaison des tensions de décalages dues à l'injection de charges (en amont du buffer). En bleu clair, l'interrupteur NMOS, en bleu foncé l'interrupteur CMOS, et en rose l'interrupteur durci.

On observe sur ces simulations sans buffer que l'injection de charges de l'interrupteur durci est bien plus linéaire, donc plus facile à corriger.

L'erreur linéaire de l'interrupteur durci est principalement due à l'effet de clock-feedthrough *via* les capacités de recouvrement.

En effet, dans le cas de l'interrupteur NMOS, la tension de grille du transistor passant de 0V à V_{DD}, on a :

$$\Delta V = - V_{DD} \frac{C_r}{C_r + C_H}$$

Or, dans le cas de l'interrupteur durci, lorsque le switch devient passant, la tension de grille du NMOS passe de 0 à $V_{DD} + V_{in}$, ce qui donne :

$$\Delta V = - (V_{DD} + V_{in}) \frac{C_r}{C_r + C_H}$$

D'où une erreur variant linéairement avec la tension d'entrée.

Avec l'ajout du buffer, la simulation est présentée sur la Figure III-27 :

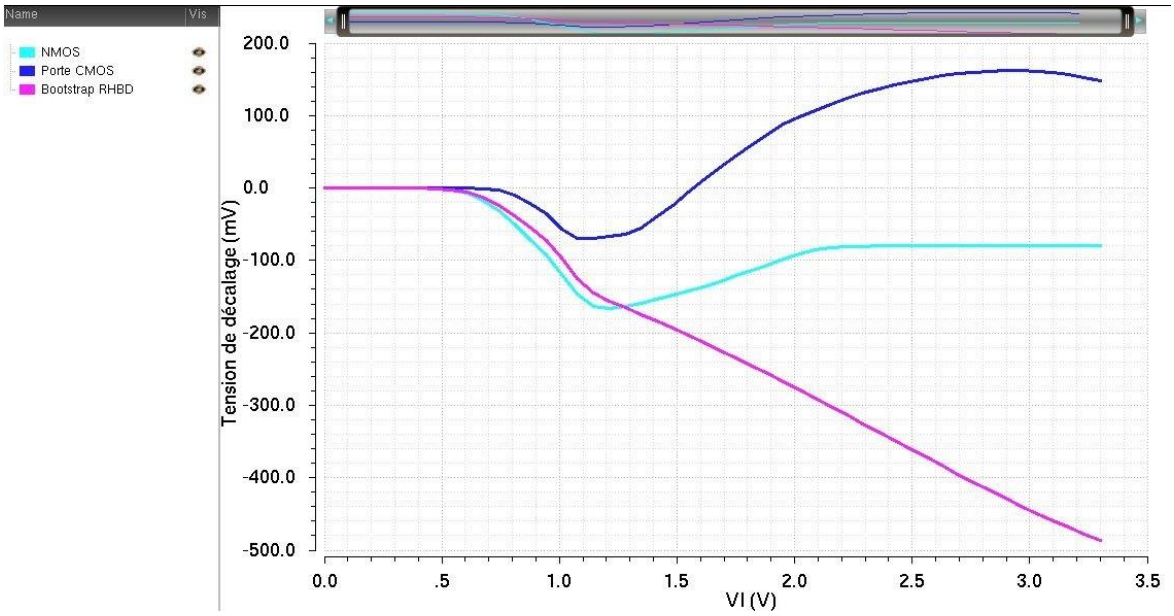


Figure III-27 : Comparaison des tensions de décalages dues à l'injection de charges (sortie du buffer sur charge 2pF)

En comparant la Figure III-26 et la Figure III-27 , on voit bien l'influence du buffer et sa mise en marche pour des tensions d'entrée inférieures à environ 1V. Dans la zone d'intérêt, l'interrupteur durci est bien plus linéaire que les deux autres. Quant à l'interrupteur NMOS, la tension d'entrée est trop élevée pour le rendre passant lorsqu'elle est supérieure à 2,3V.

III.4.3.c. Consommation des blocs

On compare d'abord les consommations des blocs de test de l'injection de charge. Pour ce faire, pour chaque valeur d'entrée testée, on intègre le courant débité par la source sur deux périodes, que l'on divise par la durée d'intégration (200ns). On obtient ainsi le graphique présenté sur la Figure III-28 :

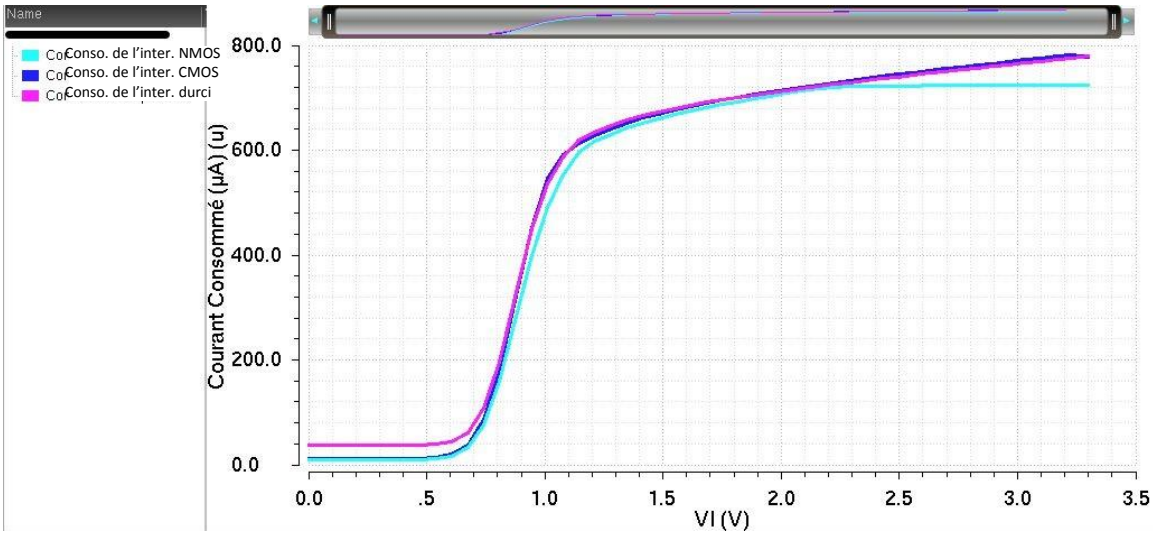


Figure III-28 : Courant moyen consommé dans les blocs de test d'injection de charge

On observe ici que le courant est comparable pour les trois blocs, ce qui s'explique par le fait que la consommation provient principalement des buffers, identiques dans les trois cas. Pour de basses tensions d'entrée (buffer inactif), le courant consommé dans le cas de l'interrupteur durci l'est principalement dans le générateur d'horloges. Enfin, pour des tensions d'entrée supérieures à 2,2V, la consommation du bloc de test du NMOS reste constante, puisque la tension de sortie de l'interrupteur reste constante (interrupteur ouvert).

Pour la consommation du dispositif de test de la résistance d'accès, on intègre le courant consommé durant une période, et l'on divise par la période (190ns). On trace le courant moyen consommé, ainsi que la contribution de l'interrupteur durci (Figure III-29).

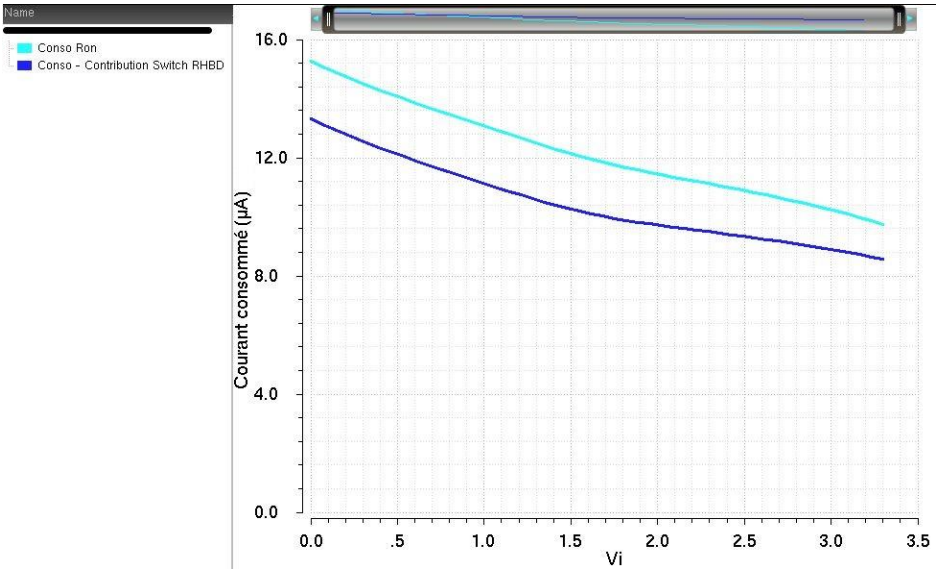


Figure III-29 : Courant consommé, contribution de l'interrupteur durci

On observe ici que la majorité de la consommation du dispositif de test vient du switch durci. Une étude plus approfondie a montré qu'il s'agit principalement du générateur d'horloges. Toutefois, cette consommation reste faible.

III.5. Conclusion

Ainsi, la réalisation de 3 interrupteurs de complexité croissante nous a permis de mettre en avant une réduction de la résistance d'accès nette dans le cas d'un switch bootstrappé durci.

Si les interrupteurs étaient taillés pour obtenir le même R_{ONMax} (ce qui est généralement la contrainte utilisée pour dimensionner un switch), l'injection de charges serait bien moindre dans le cas bootstrappé. En effet, on pourrait concevoir un interrupteur bootstrappé et durci environ 6 fois plus petit, ce qui réduirait du même facteur l'injection de charges de cet interrupteur. Toutefois, pour pouvoir mesurer en sortie de l'ASIC une injection de charges suffisamment grande, il faut qu'elle soit relativement importante, c'est pourquoi nous conserverons ces tailles.

Quoi qu'il en soit, l'injection de charge est bien plus linéaire dans le cas du bootstrap RHBD, ce qui la rend plus facile à prévoir et à corriger (erreur plus similaire à une erreur de gain). Par ailleurs, le R_{ON} du Bootstrap RHBD est constant, ce qui permet d'éviter la distorsion d'ordre 2 provoquée par le pic de résistance de la porte de transmission.

Il faut cependant noter qu'une étude expérimentale devra être menée afin de quantifier la dérive des caractéristiques de l'interrupteur en fonction de la dose cumulée. En comparant cette dérive à celle des architectures plus simples, nous pourrons valider le durcissement effectif de l'interrupteur bootstrappé.

III.6. Références

[DESSOUKY1] M. Dessouky & A. Kaiser, “Input switch configuration suitable for rail-to-rail operation of switched opamp circuits,” Electronics Letters, 35, January 1999.

[DESSOUKY2] M. Dessouky & A. Kaiser, “Very Low-Voltage Digital-Audio ΔΣ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping,” IEEE Journal of Solid-State Circuits, Mars 2001.

[GEIGER] Randall L. Geiger, Phillip E. Allen, and Noel R. Strader, “VLSI design techniques for analog and digital circuits.” MacGraw-Hill, 1990.

[KESKIN] Mustafa Keskin, “A low-voltage cmos switch with a novel clock boosting Scheme,” IEEE Transactions on Circuits and Systems II, 52, Avril 2005.

[LILLE] Christian Lillebrekke, Carsten Wulff, & Trond Ytterdal, “Bootstrapped switch in low-voltage digital 90nm CMOS technology,” IEEE Journal of Solid-State Circuits, 2002.

[RAZAVI1] Behzad Razavi, “Design of Analog CMOS Integrated Circuits,” McGraw-Hill International Edition, 2001.

[SPILKA] R. Spilka, G. Hilber et al.: “Generation of Non-Overlapping Clock Signals without using a Feedback Loop”, 2012 IEEE 15th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), Avril 2012

[STEENS] Jesper Steensgaard, “Bootstrapped low-voltage analog switches,” IEEE Journal of Solid-State Circuits, 1999.

[WALTARI] M. Waltari and K. Halonen, “Bootstrapped switch without bulk effect in standard CMOS technology,” Electronics Letters, 38, Juin 2002.

Chapitre IV

Conception d'un comparateur durci aux radiations

L'architecture de convertisseur de type pipeline a été choisie au chapitre II.

Dans cette famille de convertisseurs, les comparateurs, éléments essentiels de la conversion en estimant la valeur de la tension analogique d'entrée par rapport à des tensions de référence, doivent être conçus avec soin.

Ce chapitre est consacré à la conception d'un comparateur permettant de réaliser une estimation suffisamment précise de l'entrée, tout en présentant une immunité optimisée à l'environnement radiatif.

IV.1. Présentation du comparateur analogique [ALLEN]

Un comparateur analogique est un dispositif servant comme son nom l'indique à comparer une tension d'entrée analogique à une autre tension analogique appelée « référence », et dont la sortie sera numérique, et sa valeur basée sur la comparaison. Son utilisation est largement répandue dans la conversion analogique numérique. En effet, dans sa forme la plus simple et sous certaines conditions, le comparateur peut être vu comme un convertisseur analogique-numérique 1-bit. Comme nous l'avons vu dans le Chapitre III, un étage de convertisseur pipeline 1,5 bits (ou 2,5 bits) utilisera respectivement 2 (ou 6) comparateurs afin de réaliser la conversion de l'étage à proprement parler.

Dans ce chapitre, nous verrons tout d'abord comment se caractérise un comparateur et quels sont ses paramètres fondamentaux, puis les différents types de comparateurs analogiques avec leurs avantages et inconvénients en termes de performances et d'immunité à l'environnement spatial.

IV.1.1. Caractérisation d'un comparateur

Soit le comparateur représenté sur la Figure IV-1 par son symbole. Lorsque la tension appliquée à l'entrée V_P est supérieure à la tension appliquée à l'entrée V_N, la sortie est « positive ». A l'inverse, lorsque la tension appliquée à l'entrée V_N est supérieure à la tension appliquée à l'entrée V_P, la sortie est « négative ». Par la suite, nous appellerons V_{OH} et V_{OL} les limites des tensions de sortie respectivement positives et négatives (généralement V_{DD} et

GND dans le cas d'une sortie single-ended, $+V_{DD}$ et $-V_{DD}$ dans le cas d'une sortie différentielle)

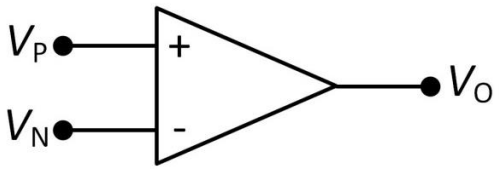


Figure IV-1 : Symbole d'un comparateur single-ended.

IV.1.1.a. Caractéristiques statiques

Soient les caractéristiques représentées Figure IV-2. En a) on peut voir la caractéristique idéale : la tension de sortie passe immédiatement de V_{OL} à V_{OH} lorsque V_P devient supérieur à V_N. En b) est représentée la caractéristique d'un comparateur à gain fini : si V_P est proche de V_N, le gain ne sera pas suffisant pour que la sortie atteigne V_{OL} ou V_{OH}. Le gain peut alors s'exprimer sous la forme :

$$A_V = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}}$$

Où V_{IH} et V_{IL} représentent les différences de tension d'entrée V_P - V_N requises pour saturer la tension de sortie, autrement dit pour que la sortie atteigne V_{OH} ou V_{OL}.

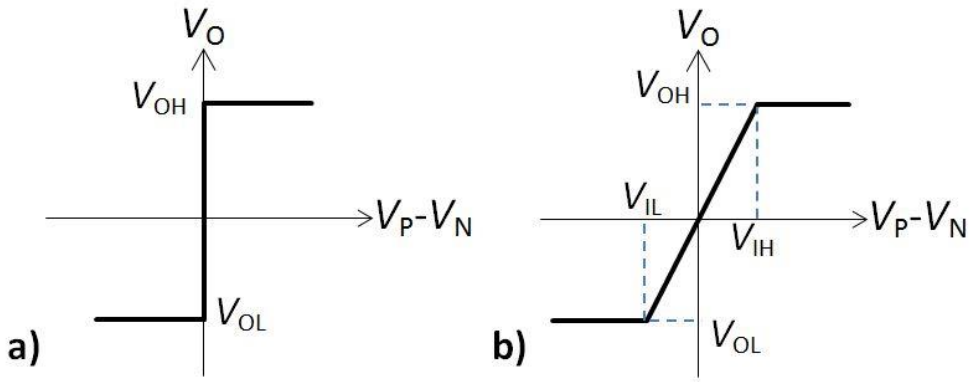


Figure IV-2 : Caractéristiques d'un comparateur idéal (a) et d'un comparateur à gain fini (b).

V_{IH} et V_{IL} sont appelées « résolution » de l'étage, et permettent de quantifier la différence minimale requise entre les deux signaux comparés pour avoir une sortie correcte. En effet, V_{OH} et V_{OL} sont généralement en adéquation avec l'entrée de l'étage numérique suivant, c'est-à-dire qu'elles doivent permettre à celle-ci d'être assez proche des valeurs numériques '0' et '1' pour que l'étage numérique en question ne fasse pas d'erreur de lecture. En technologie CMOS elles sont généralement respectivement autour de 70% et 30% de la tension d'alimentation « rail-to-rail » (plage de tension maximale accessible).

Un autre effet non-linéaire notable est la tension d'offset d'entrée (Figure IV-3). En effet, dans le cas idéal la sortie change de signe lorsque la tension différentielle d'entrée est différente de zéro. Si la sortie change de signe pour une tension différentielle d'entrée de $V_{OS} \neq 0$, V_{OS} est appelé tension d'offset d'entrée. Celle-ci peut être positive ou négative. Le problème est qu'elle peut difficilement être évaluée, et varie de manière aléatoire d'un circuit à un autre pour une même architecture **[ALLSTOT]**.

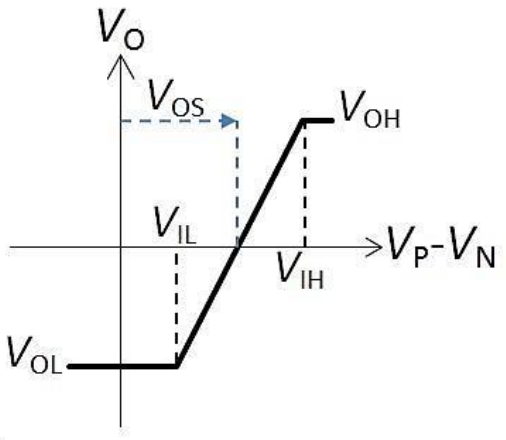


Figure IV-3 : Caractéristique d'un comparateur présentant un offset en entrée

En plus des caractéristiques décrites précédemment, signalons qu'un comparateur réel présente du bruit qui génèrera une incertitude sur le point de transition, comme mis en évidence sur la Figure IV-4.

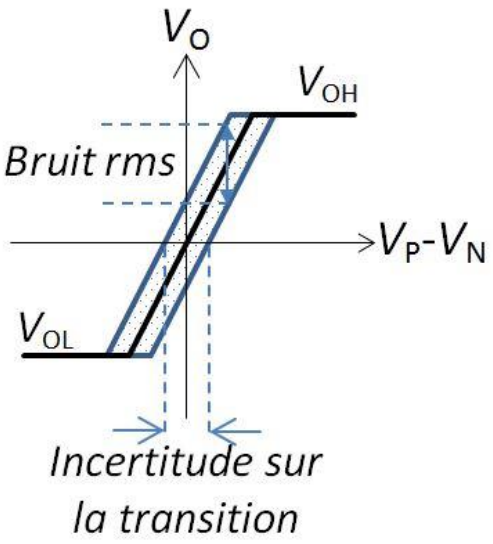


Figure IV-4 : Manifestation de l'influence du bruit sur une caractéristique de comparateur.

Enfin, signalons la présence dans un comparateur réel d'une résistance et d'une capacité différentielles non nulles en entrée, ainsi que d'une résistance de sortie finie.

IV.1.1.b. Caractéristiques dynamiques

Le temps (ou délai) de propagation t_p d'un comparateur représente le temps qui s'écoule entre l'excitation en entrée et le changement d'état en sortie (Figure IV-5). Ce paramètre est très important car il est souvent le facteur limitant la vitesse de conversion d'un CAN (surtout pour les architectures Flash).

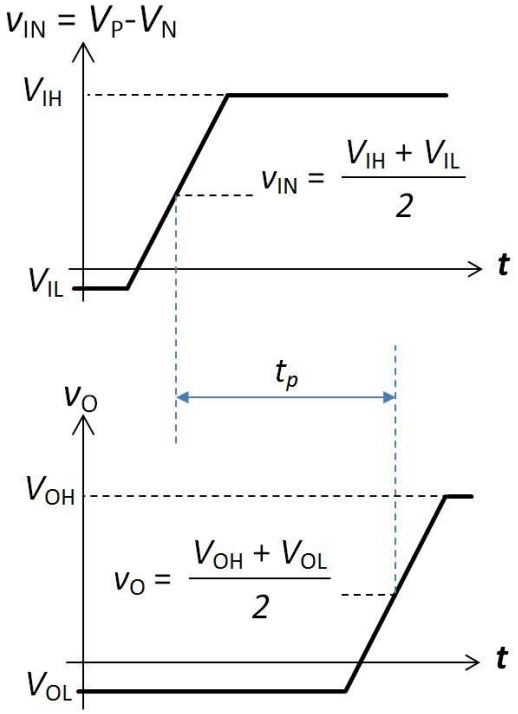


Figure IV-5 : Représentation du temps de propagation t_p d'un comparateur

Le temps de propagation est généralement fonction de l'amplitude du signal d'entrée : si cette dernière est plus importante, le délai sera réduit, jusqu'à une certaine limite où une augmentation de la tension différentielle d'entrée ne modifiera plus le temps de propagation. Il est donc nécessaire de séparer cette limite entre une étude petit signal et une étude grand signal.

IV.1.1.b.i. Dynamique petit signal

En dynamique petit signal, le gain du comparateur peut être assimilé à un système du premier ordre, qui s'exprime sous la forme :

$$A(p) = \frac{A_0}{1 + \tau_c p}$$

Où A_0 est le gain statique du comparateur, et τ_c la constante de temps.

Supposons que le la variation minimum de tension en entrée du circuit vaut la résolution en entrée du comparateur (afin d'observer une tension de sortie allant de V_{OL} à V_{OH}), on peut la définir comme étant :

$$v_{in,min} = \frac{V_{OH} - V_{OL}}{A_0}$$

Si l'on applique une telle tension en entrée, on observera une réponse du premier ordre (Figure IV-6).

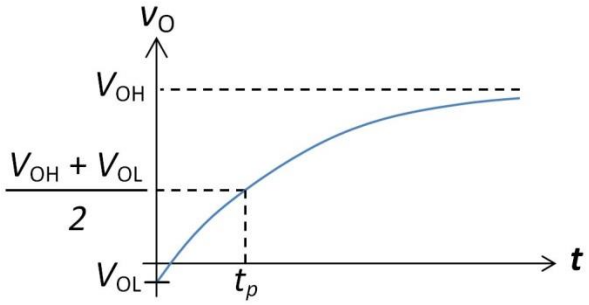


Figure IV-6 : Réponse transitoire petit signal d'un comparateur.

Etant donné que l'on veut que la sortie atteigne la valeur $\frac{V_{OH}+V_{OL}}{2}$ en partant de V_{OL}, elle doit donc parcourir :

$$\frac{V_{OH} + V_{OL}}{2} - V_{OL} = \frac{V_{OH} - V_{OL}}{2}$$

On peut donc écrire :

$$\begin{aligned} v_O(t_p) &= A(t_p)v_i(t_p) \\ \frac{V_{OH} - V_{OL}}{2} &= A_0\left(1 - e^{-t_p/\tau_c}\right)v_{in,min} \\ &= A_0\left(1 - e^{-t_p/\tau_c}\right)\frac{V_{OH} - V_{OL}}{A_0} \end{aligned}$$

On peut ainsi montrer **[ALLEN]** que le temps de propagation maximum vaut :

$$t_{p,max} = \tau_c \ln(2)$$

Et que dans le cas où la tension différentielle d'entrée serait *k* fois plus grande que $v_{in,min}$, ce temps de propagation vaut :

$$t_p = \tau_c \ln\left(\frac{2k}{2k-1}\right)$$

IV.1.1.b.ii. Dynamique grand signal

Dans le cas grand signal, ce qui limite principalement la réduction du temps de propagation est le slew-rate, vitesse de variation maximale de la tension de sortie, noté *SR* et exprimé en V/µs, dû à la limite du courant disponible en sortie pour charger ou décharger les capacités vues. Le temps de propagation peut alors s'exprimer sous la forme suivante :

$$t_p = \Delta T = \frac{\Delta V}{SR} = \frac{V_{\mathrm{OH}} - V_{\mathrm{OL}}}{2SR}$$

Dans ces conditions, pour diminuer le temps de propagation, la seule solution est d'augmenter le slew-rate, principalement en augmentant le courant disponible en sortie, ce qui rend l'utilisation d'un amplificateur de classe AB intéressante.

IV.1.2. Les comparateurs à temps discret

Dans de nombreuses applications, les comparateurs ne fonctionnent que sur une durée limitée, activés par une horloge. Dans ces conditions, il est intéressant de considérer d'autres architectures, comme les comparateurs « régénératifs », aussi appelés « latchs » ou « bistable », utilisant un bouclage positif. L'exemple le plus simple d'un tel latch est représenté Figure IV-7 :

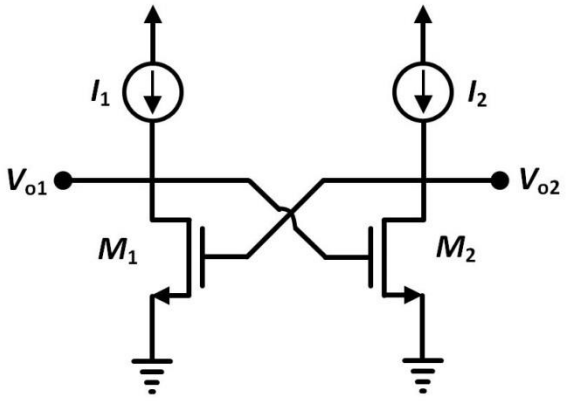


Figure IV-7 : Exemple de latch NMOS.

Le latch a deux modes de fonctionnement. Dans le premier, I_1 et I_2 sont nuls, et l'on peut appliquer une tension sur V_{o1} et V_{o2}. Dans un deuxième temps, le latch va être en fonctionnement, I_1 et I_2 sont non-nuls, et en fonction des valeurs relatives des tensions appliquées précédemment, l'une des sorties augmentera tandis que l'autre diminuera. Pour comprendre pourquoi, on peut simplement remarquer que si V_{o2} est supérieure à V_{o1} lors de la première phase, alors lorsqu'on autorise un courant à traverser M_1 et M_2 (autrement dit qu'on les allume), leurs tensions de grille respectives imposeront à M_1 d'être parcouru par un courant plus important, le rendant plus passant, et donc rapprochant V_{o1} de la masse, ce

qui aura comme effet corollaire d'éteindre M_2, dont la tension de drain pourra augmenter librement, augmentant ainsi le courant de drain de M_1, etc. C'est ce qu'on appelle la rétroaction positive. On peut montrer qu'un tel dispositif présente une réponse exponentielle positive **[ALLEN]**.

IV.1.3. Durcissement et réduction de l'offset d'entrée par la technique d'Auto-Zero

IV.1.3.a. L'auto-zero et l'élimination de l'offset

Dans un CAN haute résolution, un offset d'entrée du comparateur important peut considérablement réduire ses performances. C'est pourquoi il est essentiel de réduire cet offset au maximum, afin d'éviter un trop grand taux d'erreur binaire en sortie (fausse évaluation). Un comparateur étant généralement constitué de plusieurs étages de gain, il est intéressant de minimiser en priorité l'offset du premier étage, puisque les offsets des étages suivants sont divisés par le gain des étages précédents. Bien qu'affecté par les variations de process, l'offset systématique peut quasiment être éliminé par une conception adéquate. En revanche, l'offset aléatoire subsiste et est imprédictible.

Un comparateur ayant un offset d'entrée peut être modélisé par le schéma représenté Figure IV-8 **[ALLEN]**.

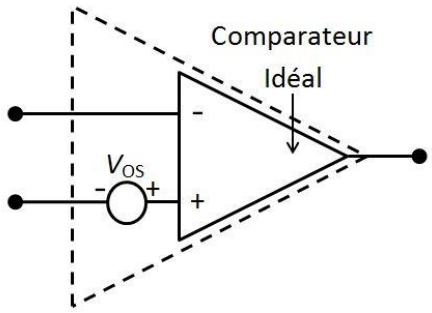


Figure IV-8 : Modèle simple d'un comparateur présentant un offset V_{OS} en entrée.

Heureusement, en technologie CMOS, des techniques permettent de supprimer une part importante de cet offset d'entrée grâce à la résistance d'entrée quasi-infinie des transistors : celle-ci permet la conservation à long terme d'une tension sur la grille d'un transistor. Ainsi, la tension d'offset peut être mesurée, stockée dans une capacité, et sommée avec l'entrée afin de l'annuler dans l'opération finale.

Puisque la tension d'offset stockée aux bornes de la capacité d'auto-zero ne peut y rester indéfiniment à cause de courants de fuites faibles mais pouvant changer sa valeur à long terme, l'idée est de répéter le processus de stockage/annulation de l'offset

périodiquement. Une implémentation de cette architecture sur un comparateur à sortie non-différentielle est proposée Figure IV-9 et Figure IV-10 **[ALLEN]** :

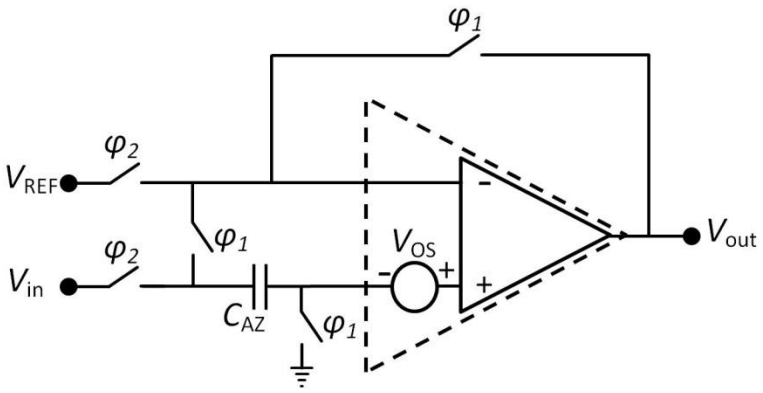


Figure IV-9 : Architecture d'un comparateur avec Auto-Zero.

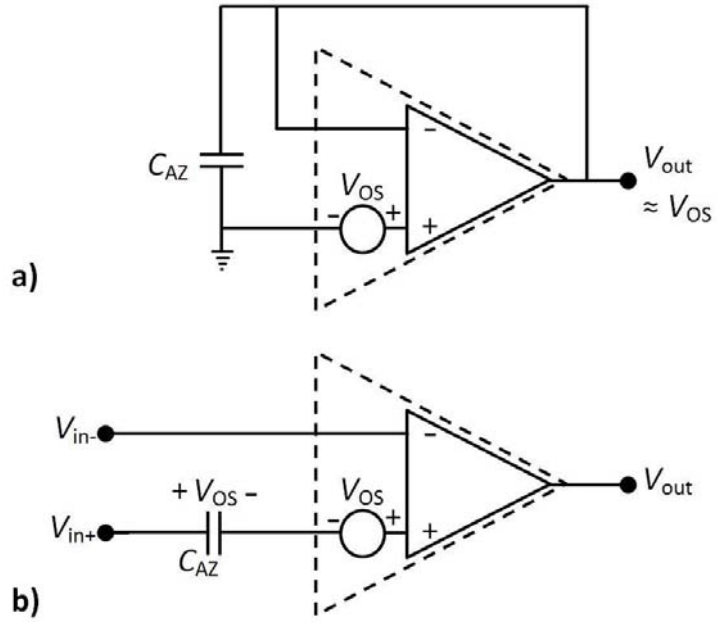


Figure IV-10 : Comparateur avec auto-zero pendant la phase φ_1 (a) et pendant la phase φ_2 (b)

Durant la phase φ_1, la tension d'offset est stockée sur C_{AZ} alors que le comparateur est rebouclé sur l'entrée négative. On a :

$$V_{\text{out}} = A_0(V_+ - V_-) = A_0(V_{\text{OS}} - V_-)$$

Or $V_-=V_{\text{out}}$, d'où :

$$V_{\text{out}} = \frac{A_0}{1 + A_0} V_{\text{OS}}$$

L'équation des charges sur la capacité C_{AZ} donne :

$$Q_{\mathrm{AZ}} = C_{\mathrm{AZ}} V_{\mathrm{out}} = C_{\mathrm{AZ}} \frac{A_0}{1 + A_0} V_{\mathrm{OS}}$$

Puis, lorsque φ_2 est à l'état haut, si l'on néglige la capacité parasite de l'entrée positive de l'amplificateur, il n'y a pas de redistribution de charge sur ce nœud. On a alors :

$$Q_{\mathrm{AZ}} = C_{\mathrm{AZ}}(V_{\mathrm{in}} - V_+)$$

Ainsi :

$$V_+ = -\frac{Q_{\mathrm{AZ}}}{C_{\mathrm{AZ}}} + V_{\mathrm{in}} = -\frac{A_0}{1 + A_0} V_{\mathrm{OS}} + V_{\mathrm{in}} \approx V_{\mathrm{in}} - V_{\mathrm{OS}}$$

L'offset est en grande partie annulé par la capacité placée devant l'entrée positive. C'est alors comme si les tensions d'entrée étaient directement appliquées au comparateur idéal, et la sortie donne ainsi le résultat de la comparaison sans tenir compte de l'offset. On notera l'importance d'utiliser des horloges non-recouvrantes pour φ_1 et φ_2, afin notamment d'empêcher tout court-circuit sur la capacité C_{AZ}.

Remarque : en cas de capacité parasite C_P *sur le nœud positif, on a alors :*

$$Q_{\mathrm{AZ}} = C_{\mathrm{AZ}}(V_{\mathrm{in}} - V_+) + C_{\mathrm{P}}(0 - V_+)$$

$$\begin{aligned} V_+ &= -\frac{Q_{\mathrm{AZ}}}{C_{\mathrm{AZ}} + C_{\mathrm{P}}} + \frac{1}{1 + \frac{C_{\mathrm{P}}}{C_{\mathrm{AZ}}}} V_{\mathrm{in}} \\ &= -\frac{V_{\mathrm{OS}}}{1 + \frac{C_{\mathrm{P}}}{C_{\mathrm{AZ}}}} + \frac{V_{\mathrm{in}}}{1 + \frac{C_{\mathrm{P}}}{C_{\mathrm{AZ}}}} \\ &= \frac{V_{\mathrm{in}} - V_{\mathrm{OS}}}{1 + \frac{C_{\mathrm{P}}}{C_{\mathrm{AZ}}}} \end{aligned}$$

On retranche donc l'offset, mais il subsiste une petite erreur de gain.

Un exemple de réalisation de comparateur différentiel sans auto-zero est proposé Figure IV-11, de même qu'une version avec auto-zero Figure IV-12.

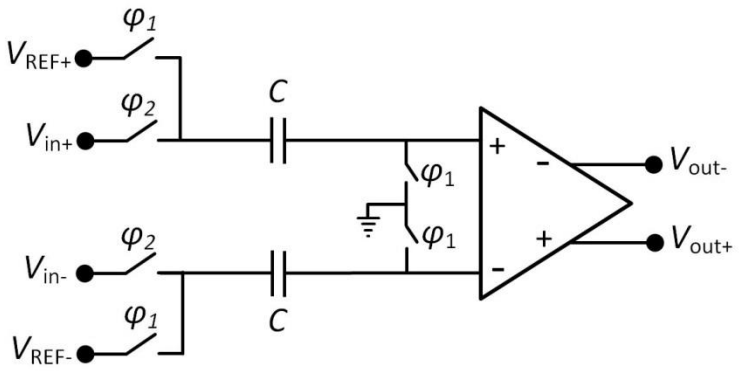


Figure IV-11 : Comparateur différentiel à capacités commutées

En mode différentiel, le principe est de comparer une tension différentielle V_{in+} - V_{in-} à une tension « de référence » V_{REF+} - V_{REF-}, le résultat de la comparaison étant encore une tension différentielle V_{out+} - V_{out-}.

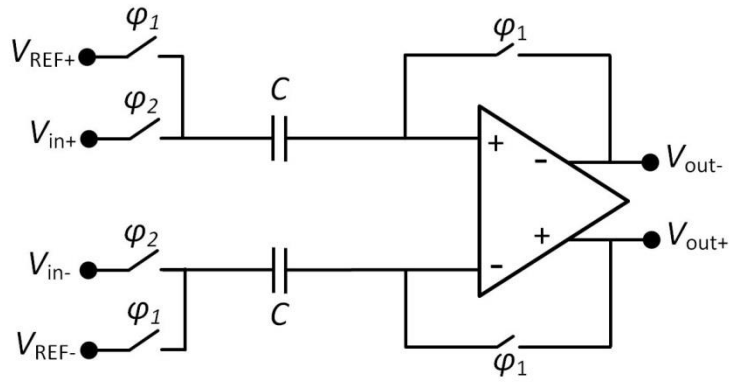


Figure IV-12 : Comparateur différentiel à capacités commutées avec auto-zero

Ici, le rebouclage permet d'appliquer l'offset aux capacités d'entrées durant la phase 1, et cet offset sera pris en compte et annulé durant la phase 2. On constate qu'il y a peu de changement par rapport au schéma précédent, c'est pourquoi cette technique est généralement adoptée pour un comparateur différentiel à capacités commutées. Il faut toutefois veiller à ce que l'amplificateur soit stable avec un bouclage négatif unitaire.

Cette technique d'auto-zero est très efficace pour réduire l'offset. L'injection de charge des interrupteurs analogique aura peu d'impact sur les performances du comparateur puisque dans cette structure différentielle la quantité de charges injectées sera similaire sur les entrées positives et négatives.

IV.1.3.b. L'auto-zero et le durcissement

Comme nous l'avons vu au chapitre II, on parle d'évènements singuliers transitoires, ou SET, lorsque qu'une particule ionisée frappe une zone sensible d'un circuit, et que cela

cause une perturbation transitoire de la sortie de celui-ci. Si dans un premier temps il a été montré **[BUCHNER] [PEASE]** que des comparateurs à faible coût du commerce en technologie bipolaire étaient sensibles aux SET (et donc qu'une telle structure était vulnérable aux effets des radiations), avec la réduction en taille et en consommation de la technologie CMOS et donc l'intérêt croissant portée à celle-ci pour développer des comparateurs rapides et basse consommation tout en étant durcis par design, des études **[MIKKOLA] [WANG]** portant sur des comparateurs en technologie CMOS ont permis de démontrer l'utilité de l'auto-zero dans la réduction des effets des SET.

En effet, non seulement les capacités d'auto-zero permettent d'atténuer les effets des charges (notamment en entrée et en sortie) car ceux-ci reviennent à un offset appliqué instantanément de manière temporaire au nœud en question, mais de surcroît, le fait que le fonctionnement soit cyclique implique que les effets d'un SET ne se font sentir que sur une période d'horloge au maximum dans la plupart des cas.

Ces arguments ont donc fait de l'Auto-Zero une technique commune dans la conception de comparateurs à capacités commutées, dans un contexte aussi bien terrestre (et donc peu soumis aux radiations) que radiatif, ce qui explique pourquoi un comparateur sans Auto-Zero n'a pas été réalisé comme support de comparaison : cela n'a pas vraiment de sens, dans le cadre d'un comparateur à capacités commutées, de ne pas utiliser cette technique.

IV.1.4. Les comparateurs à haute vitesse

Un comparateur à haute vitesse se doit d'avoir un délai de propagation le plus faible possible. Pour comprendre les exigences d'un tel comparateur à haute vitesse, supposons que l'on cascade plusieurs amplificateurs en série pour amplifier une faible tension différentielle d'entrée de l'ordre de $v_{in,min}$. Les tensions d'entrée des premiers étages seront relativement faibles, et il faut alors privilégier la bande passante (au détriment du gain) pour s'assurer d'avoir un temps de propagation le plus faible possible. En revanche, pour les derniers étages, le facteur limitant est le slew-rate, et il est nécessaire de les concevoir en adéquation, de manière à ce qu'ils puissent piloter rapidement la ou les capacités d'entrée des étages suivants ou de charge.

Le principe de base d'un comparateur à haute vitesse est d'utiliser un préamplificateur afin d'accroitre sa sortie à une valeur suffisamment grande, puis à appliquer cette valeur à un latch à contre réaction positive. Lorsque l'on compare les sorties d'un préamplificateur et d'un latch, il apparaît que cette solution permet de profiter à la fois

de l'augmentation rapide en début de course de la tension de sortie d'un système à réponse exponentielle négative (préamplificateur) et de celle en bout de course d'un système à réponse exponentielle positive (latch). En effet, dans le cas de la Figure IV-13, où le gain du préamplificateur ne permet pas à la sortie d'atteindre V_{OH} (la tension d'entrée étant trop faible), durant le temps t_1, le préamplificateur amplifie la tension d'entrée à une tension V_X, qui sera appliquée à l'entrée du latch, dont la sortie atteindra V_{OH} en un temps t_2, le temps de réponse du système valant donc $t_1 + t_2$.

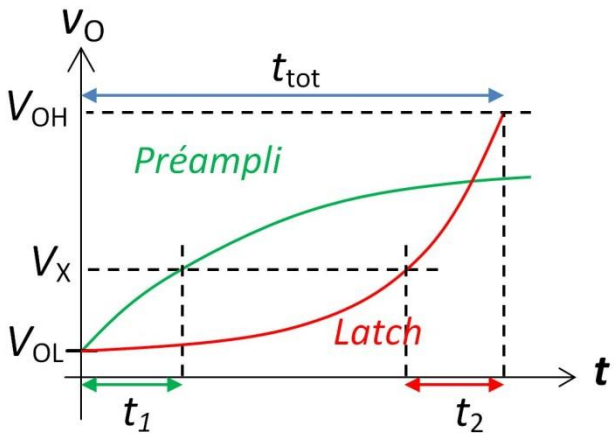


Figure IV-13 : Réponse à un échelon d'un préamplificateur et d'un latch.

Si l'on n'avait que le préamplificateur, il faudrait un gain beaucoup plus grand pour atteindre V_{OH}, ce qui se ferait au détriment de la bande passante, rendant ainsi peu efficace cette solution puisque la consommation augmenterait énormément pour avoir un temps de réponse de $t_1 + t_2$. D'autre part, s'il n'y avait qu'un latch, on comprend avec la Figure IV-13 pourquoi $t_{tot} > t_1 + t_2$.

Remarque : le préamplificateur permet également, comme nous l'avons vu, de réduire l'offset grâce à l'auto-zéro, mais aussi de par le fait que le préamplificateur présente un offset structurel bien moindre que celui du latch.

IV.2. Durcissement d'un comparateur haute vitesse différentiel

Même si la précision des comparateurs est peu cruciale dans le cas d'une structure de type pipeline puisqu'elle supprime de manière intrinsèque l'offset en sortie si elle est en dessous d'un seuil relativement important comme nous l'avons vu au Chapitre II, il est toutefois nécessaire de garantir à la fois un offset assez faible et un taux d'erreur binaire minime en environnement radiatif.

Les comparateurs à capacités commutées différentiels (Figure IV-12) sont plus vulnérables que les comparateurs à temps continu, notamment à cause de nœuds flottants en entrée lorsque les interrupteurs commandés par la phase φ_1 sont ouverts (c'est-à-dire durant la phase φ_2) : en effet, il n'y a alors pas de chemin de dissipation disponible et les charges déposées par un évènement singulier seront amplifiées et resteront sur la capacité jusqu'à la phase d'horloge suivante.

Avec un comparateur à auto-zero, dans le cas où une charge serait déposée sur ce nœud pendant la phase φ_1, l'amplificateur est sous rebouclage à gain unitaire. L'erreur en sortie peut donc s'exprimer de la manière suivante :

$$V_{o,err} = \frac{A_v \times V_{i,err}}{1+A_v},$$

avec $V_{o,err}$ l'erreur résiduelle en sortie, et $V_{i,err}$ la tension d'erreur en entrée résultant du dépôt de charge sur la capacité.

En revanche, durant la phase φ_2, l'amplificateur est à boucle ouverte, et l'erreur d'entrée est multipliée par le gain A_v.

Une méthode de durcissement originale visant à protéger les nœuds d'entrée flottants, appelée dual-path hardening, a été proposée dans **[OLSON]**. Le principe repose sur un comparateur différentiel sans auto-zero, représenté Figure IV-14.

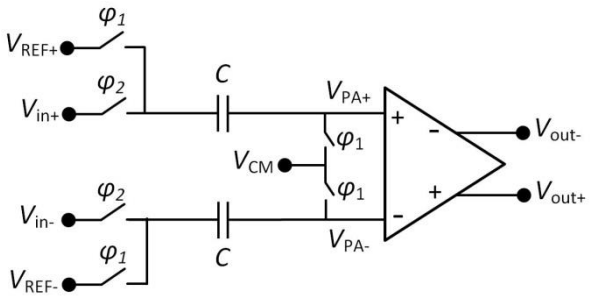


Figure IV-14 : Comparateur différentiel à capacités commutées [OLSON].

Cette structure est similaire à celle présentée Figure IV-11, le seul changement étant la mise au mode commun des capacités durant la phase 1 au lieu de la masse. La tension de mode commun peut éventuellement être la masse, toutefois pour des circuits différentiels elle est généralement choisie comme étant la moitié de la tension d'alimentation, permettant une plage de fonctionnement symétrique en tension autour d'elle.

Puisque l'un des problèmes les plus évidents est celui des charges accumulées sur les grilles des transistors d'entrée, l'idée est de doubler les chemins d'accès, *via* autant de

capacités et de transistors d'entrée (Figure IV-15 (a)). On remplacera donc chacun des transistors d'entrée par 2 transistors ayant un W/L divisé par deux (Figure IV-15 (b)), de sorte que si les grilles étaient reliées, on se retrouverait dans le cas classique sans dual-path.

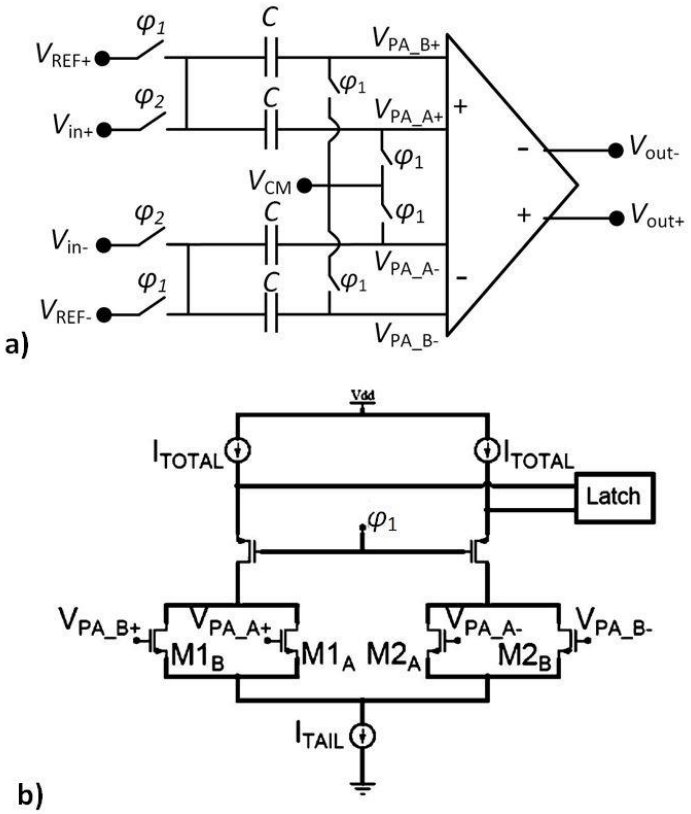


Figure IV-15 : Structure du comparateur avec dual-path utilisé dans [OLSON] **(a), et schématique simplifiée du préamplificateur (illustration** [OLSON]**) (b).**

Dans le cas où, par exemple, une particule frapperait la grille de $M1_A$ lorsque le circuit est en boucle ouverte (et donc avec ses entrées flottantes), son transistor complémentaire $M1_B$ garderait quant à lui une information correcte sur sa grille, ce qui ferait tendre la sortie vers la solution correcte.

Le résultat de la simulation du dépôt d'une charge de 23fC dû à un évènement singulier sur la grille du transistor réalisé par **[OLSON]** est représenté sur la Figure IV-16. Il s'agit ici d'une technologie CMOS 90nm. Même si $M1_A$ est forcé à s'éteindre par la charge, le dual-path préserve la réponse correcte, puisque le courant dans son transistor complémentaire $M1_B$ reste plus important que la somme des courants de $M2_A$ et $M2_B$. Le latch recevra donc une information correcte du pré-amplificateur.

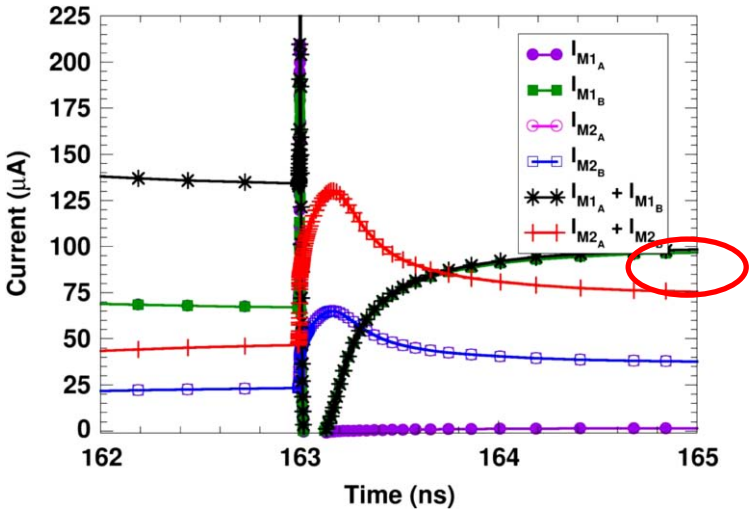


Figure IV-16 : Courants à travers les transistors d'entrée du préamplificateur durant la phase d'évaluation (φ_2). La tension différentielle d'entrée est de 75mV, et la charge déposée de 23fC sur V_{PA_A+} [OLSON]. Le courant dans la branche 1 reste supérieur à celui dans la branche 2 grâce au transistor $M1_B$ qui préserve une information correcte.

Toutefois, cette technique a ses limites. En effet, on peut voir Figure IV-17 le cas d'une simulation en tout point semblable, à la différence que la tension différentielle d'entrée ne vaut plus que 45mV. Ici, le courant traversant $M2_B$ ne suffit pas à dépasser le courant total parcourant $M2_A$ et $M2_B$. Clairement, la tension différentielle d'entrée n'est pas suffisante pour préserver un résultat correct ici.

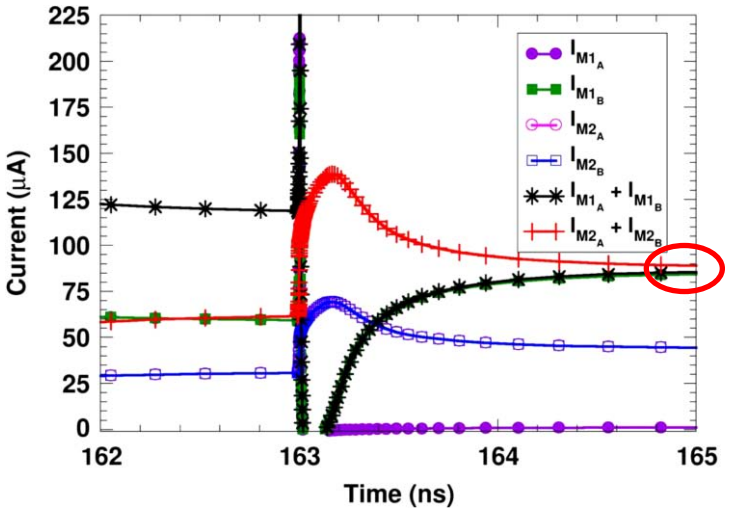


Figure IV-17 : Courants à travers les transistors d'entrée du préamplificateur durant la phase d'évaluation (φ_2). La tension différentielle d'entrée est de 45mV, et la charge déposée de 23fC sur V_{PA_A+} [OLSON]. La tension différentielle d'entrée est trop faible pour que le transistor $M1_B$ puisse fournir un courant assez important pour dépasser la somme des courants traversant $M2_A$ et $M2_B$.

On voit ainsi l'importance de la valeur de la tension d'entrée dans le résultat final. La charge déposée influe bien entendu également sur la valeur de sortie, c'est pourquoi il est intéressant de tracer la zone dans laquelle le résultat sera incorrect en fonction à la fois de la charge déposée et de la tension différentielle d'entrée (Figure IV-18).

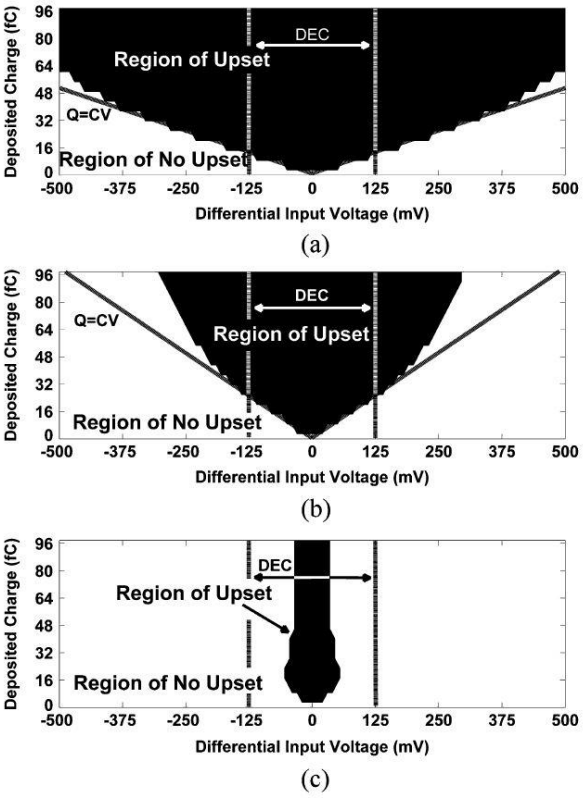


Figure IV-18 : Représentation des zones d'erreur en fonction de la charge déposée et de la tension différentielle d'entrée dans le cas de l'architecture présentée Figure IV-14 (a), de la même architecture mais avec les capacités d'entrée doublées (b), et de l'architecture avec dual-path (c) [OLSON].

La zone indiquée « DEC » (pour digital-error correction) représente la zone dans laquelle le convertisseur pipeline est naturellement protégé des effets d'une erreur du comparateur évoquée chapitre II. La simulation montre tout d'abord une zone d'erreur très importante pour le comparateur de base non-durci. Puis, comme le dual-path impose de doubler les capacités d'entrée, il est légitime d'observer les zones d'erreur dans le cas où la structure de base voit ses capacités d'entrée doubler en valeur. La zone est déjà réduite par rapport au cas précédent, de nombreuses erreurs subsistent en dehors de la plage de correction numérique, notamment pour des charges supérieures à 32fC. La zone d'erreur pour les tensions d'entrée augmente globalement avec l'équation $V = Q/C$, mais l'augmentation n'est pas strictement linéaire puisque des charges déposées de plus haute valeur créent parfois des chemins de dissipation en forçant le nœud flottant à être si « négatif » que le transistor de l'interrupteur pourra s'allumer. Enfin, dans le cas du dual-path, l'amélioration est flagrante, et la zone d'erreur reste limitée dans la plage de correction numérique. La région d'erreur « sature » rapidement car le nœud frappé (la grille de $M1_A$, V_{PA_A+}) éteint rapidement le transistor $M1_A$, et des charges de valeurs supérieures ne peuvent l'éteindre « davantage ».

Ainsi, **[OLSON]** propose une technique de durcissement intéressante avec comme compromis une multiplication par deux de la surface occupée par les capacités d'entrée, tout en étant bien plus efficace qu'un simple doublement de cette capacité. Cette technique a été simulée comme nous l'avons vu, mais, à l'heure où nous écrivons ce manuscrit, pas encore implémentée dans un circuit. Dans le cadre de cette thèse, nous proposons donc la mise en œuvre d'un circuit comparateur avec dual-path, à comparer avec les performances d'un comparateur identique mais avec auto-zero.

IV.3. Réalisation et tests des différents comparateurs

Les structures retenues pour les comparateurs seront donc les suivantes (Figure IV-19 pour le comparateur de référence, Figure IV-20 pour le comparateur durci avec la technique de dual-path) :

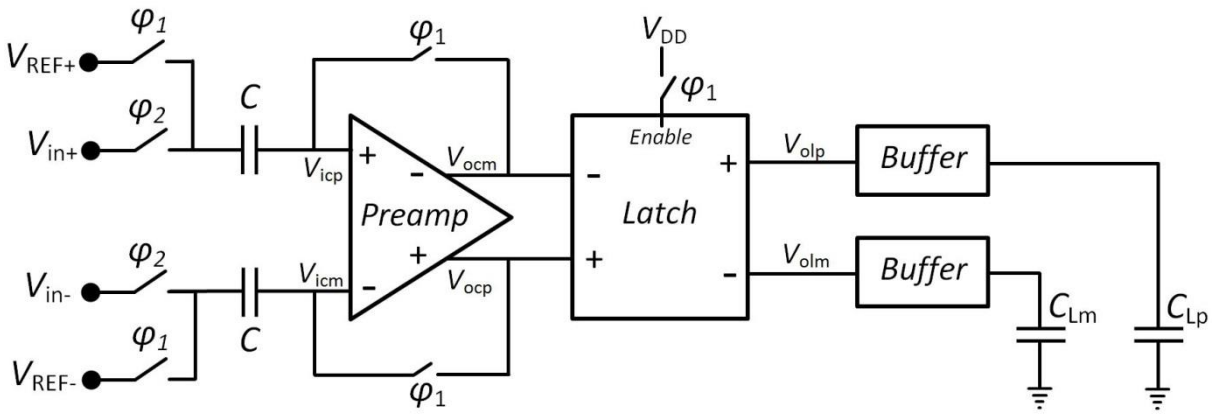


Figure IV-19 : Schéma simplifié du comparateur à auto-zero non-durci.

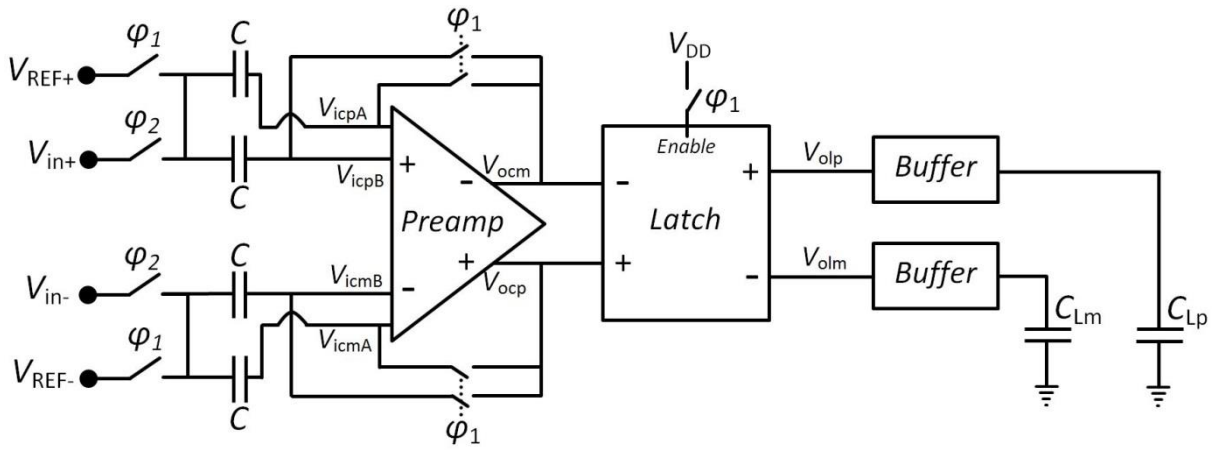


Figure IV-20 : Schéma simplifié du comparateur à auto-zero durci avec la technique du dual-path.

IV.3.1. Conception des comparateurs

Il faudra donc réaliser pour ces comparateurs :

- un générateur d'horloges non-recouvrantes (similaire à celui mis en œuvre pour les interrupteurs) pour le circuit à capacités commutées (non-représenté sur les figures précédentes),
- un préamplificateur faible gain (un pour chaque comparateur),
- un latch,
- et un buffer de sortie afin d'être en mesure de piloter les capacités de charge.

Le générateur d'horloges non-recouvrantes ayant été vu au chapitre III, il ne sera pas développé ici.

IV.3.1.a. Le préamplificateur faible gain

IV.3.1.a.i. Le préamplificateur de référence

L'amplificateur différentiel de base choisi pour réaliser la pré-amplification faible gain est représenté Figure IV-21, et les dimensions de ses transistors détaillées Figure IV-22.

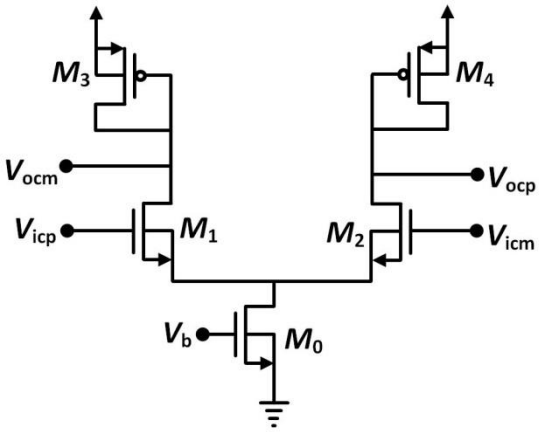


Figure IV-21 : Préamplificateur du comparateur de référence.

	Type	W (µm)	L (µm)
M_0	N	45	0.5
M_1	N	35	0.5
M_2	N	35	0.5
M_3	P	1	1
M_4	P	1	1

Figure IV-22 : Dimensions des transistors du préamplificateur.

Ce préamplificateur est constitué de M_0 qui est configuré en miroir de courant, de la paire différentielle M_1 et M_2, et de deux transistors PMOS M_3 et M_4 connectés en diode et jouant le rôle de charges actives.

On cherche à pouvoir tester le comparateur à 20MS/s, ce qui correspond à une bande passante du préamplificateur de 50MHz.

La source de courant a été dimensionnée de telle sorte que le courant traversant M_0 soit I_{ds0} = 75µA.

Pour un tel type d'amplificateur, le gain peut s'exprimer de la manière suivante :

$$\begin{aligned} A_v = & -g_{m1}(g_{m3}^{-1}||r_{o1}||r_{o3}) \\ \approx & -\frac{g_{m1}}{g_{m3}} \\ \approx & -\sqrt{\frac{\mu_n(W/L)_1}{\mu_p(W/L)_3}} \end{aligned}$$

Avec les dimensions choisies, on obtient donc un gain en tension A_v = 13,1.

Le test du préamplificateur seul sera réalisé avec le circuit suivant Figure IV-23:

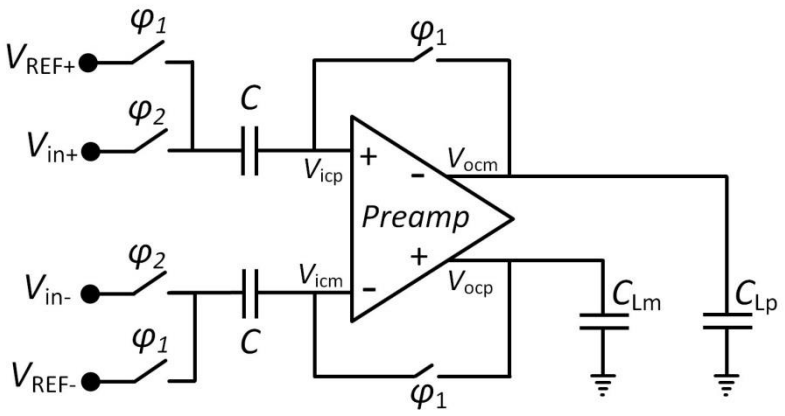


Figure IV-23 : Structure de test du préamplificateur.

La simulation fonctionnelle consiste en une rampe en entrée faisant passer V_{icp} - V_{icm} de -7mV à +7mV en 2µs (la tension V_{in+} - V_{in-} doit parcourir une plage légèrement plus grande afin de tenir compte du pont diviseur capacitif dû à l'effet Miller en entrée du préamplificateur), tandis que V_{REF+} et V_{REF-} sont reliées au mode commun (1,65V), soit V_{REF+} - V_{REF-} = 0. Les capacités de charge C_{Lm} et C_{Lp} ont été fixées à 50fF pour simuler l'entrée du latch (uniquement des grilles de transistors). Les tensions différentielles d'entrée et de sortie du préamplificateur sont représentées sur la Figure IV-24.

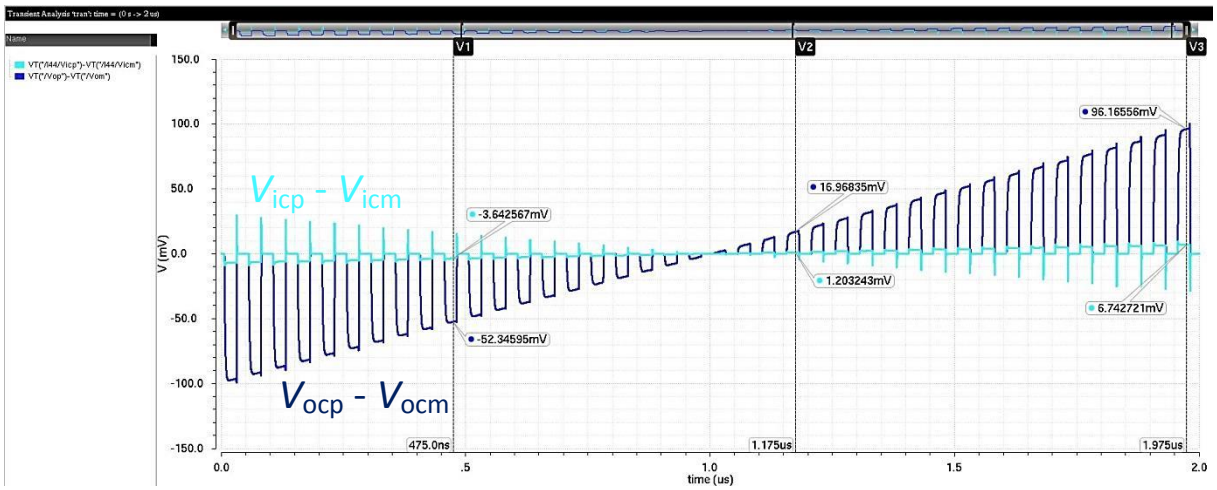


Figure IV-24 : Tensions différentielles d'entrée (bleu clair) et de sortie (bleu foncé) du préamplificateur.

Sur les trois points relevés, on obtient un gain $A_v \approx 14{,}2$, ce qui est légèrement supérieur à nos attentes mais tout à fait correct évidemment.

IV.3.1.a.ii. Le préamplificateur dual-path

En ce qui concerne le préamplificateur dual-path, la schématique est sensiblement la même, les transistors d'entrée ont juste été dupliqués, et leur largeur divisée par 2 (Figure IV-25 et Figure IV-26).

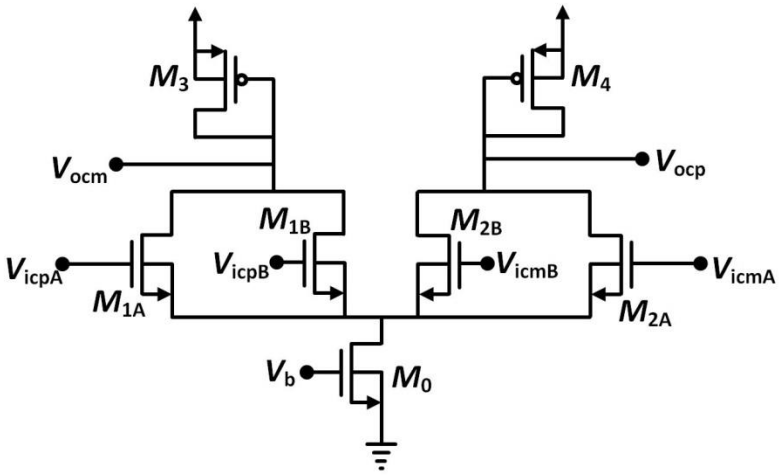


Figure IV-25 : Préamplificateur du comparateur avec dual-path.

	Type	W (µm)	L (µm)
M_0	N	45	0.5
M_{1A}	N	17.5	0.5
M_{1B}	N	17.5	0.5
M_{2A}	N	17.5	0.5
M_{2B}	N	17.5	0.5
M_3	P	1	1
M_4	P	1	1

Figure IV-26 : Dimensions des transistors du préamplificateur de la Figure IV-25.

Les résultats obtenus par simulation sont exactement les mêmes que précédemment, ce qui valide fonctionnellement l'utilisation d'un dual path.

IV.3.1.b. Le Latch

Le circuit de base servant à réaliser le latch est le suivant (Figure IV-27):

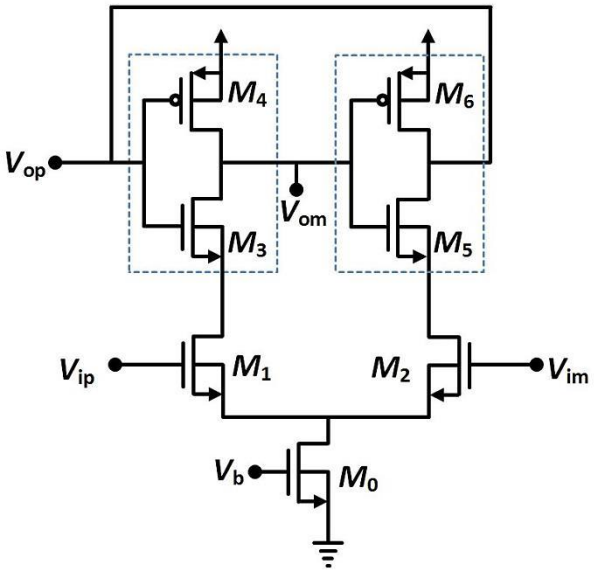


Figure IV-27 : Schéma simplifié du latch.

Ici, M_0 est connecté en miroir de courant, la paire différentielle M_1/M_2 fournit l'information en courant au latch en lui-même, composé de deux inverseurs (cadres en pointillés, M_3 et M_4 d'une part, et M_4 et M_5 d'autre part) rebouclés sur eux-mêmes, formant ainsi la contre-réaction positive.

Afin de permettre au latch de ne fonctionner que sur une seule phase, un système d'activation (« enable ») a été ajouté aux inverseurs (Figure IV-28).

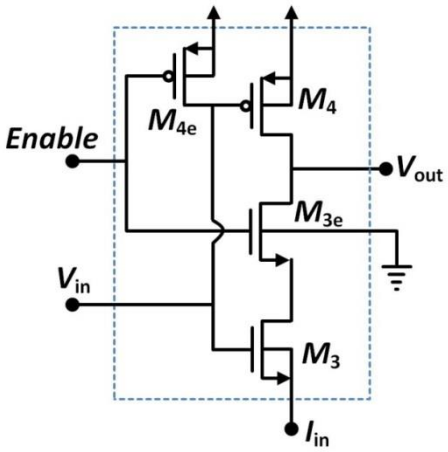


Figure IV-28 : Inverseur amélioré avec entrée Enable.

Lorsque le signal *Enable* est à l'état haut, M_{3e} conduit et relie le drain de M_3 à la sortie, tandis que M_{4e} n'est pas conducteur. Lorsqu'il est à l'état bas, M_{4e} est passant, reliant ainsi la grille de M_4 à V_{DD}, et M_{3e} n'a pas un V_{GS} suffisant pour être conducteur, coupant ainsi M_3 de la sortie.

Remarque : le principe de dual-path n'a pas été exploité ici, afin d'évaluer son apport sur le seul préamplificateur. Une étude pourra être faite sur l'utilisation du dual-path sur le latch.

IV.3.1.c. Le buffer de sortie

Le buffer de sortie est composé de deux amplificateurs inverseurs en série (Figure IV-29 et Figure IV-30).

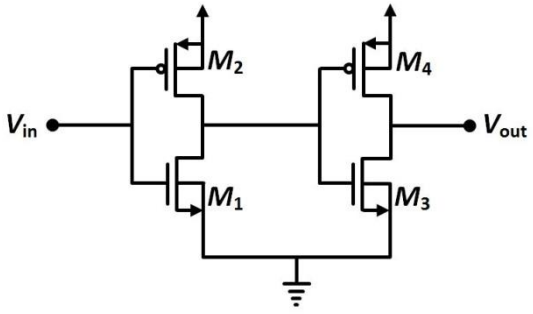


Figure IV-29 : Schéma du buffer de sortie.

	Type	W (µm)	L (µm)
M_1	N	1	0.35
M_2	P	2	0.35
M_3	N	2	0.35
M_4	P	4	0.35

Figure IV-30 : Dimensions des transistors du buffer de sortie.

Les dimensions (largeur W) du deuxième amplificateur-inverseur ont été doublées par rapport au premier, et ce pour deux raisons. Tout d'abord, le latch ne peut piloter de trop grosses capacités, c'est pourquoi le premier étage doit avoir des dimensions relativement réduites. Puis, l'étage suivant a des dimensions doublées afin d'obtenir un maximum de courant disponible pour piloter les capacités de charge.

Remarque : Le gain d'un montage amplificateur-inverseur tel que celui constitué par les transistors M_1 et M_2 sur la Figure IV-29 s'exprime de la manière suivante en saturation :

$$A_{\mathrm{v}} = -(g_{\mathrm{m1}} + g_{\mathrm{m2}})(r_{\mathrm{o1}} || r_{\mathrm{o2}})$$

Toutefois, ici nous manipulons des grandeurs numériques, la valeur exacte du gain importe donc peu.

IV.3.2. Simulations fonctionnelles au niveau schématique des comparateurs

Afin de mesurer l'offset du comparateur, le principe du test est d'injecter en entrée différentielle (V_{in+} - V_{in-}) une rampe en tension autour de la tension de référence différentielle (V_{REF+} - V_{REF-}) allant de -30mV à +30mV, avec une fréquence de fonctionnement du comparateur de 20MS/s. Par soucis de simplicité, V_{REF+} et V_{REF-} sont fixés au mode commun, soit 1,65V. On évalue ensuite la tension différentielle d'entrée lorsque la sortie franchit 1V, c'est-à-dire lorsque la sortie est positive pour la première fois. Ceci nous permet d'estimer relativement l'offset maximum (en valeur absolue) à l'entrée du comparateur.

Voici ce que donne le test en régime transitoire pour le comparateur à auto-zero (Figure IV-31) :

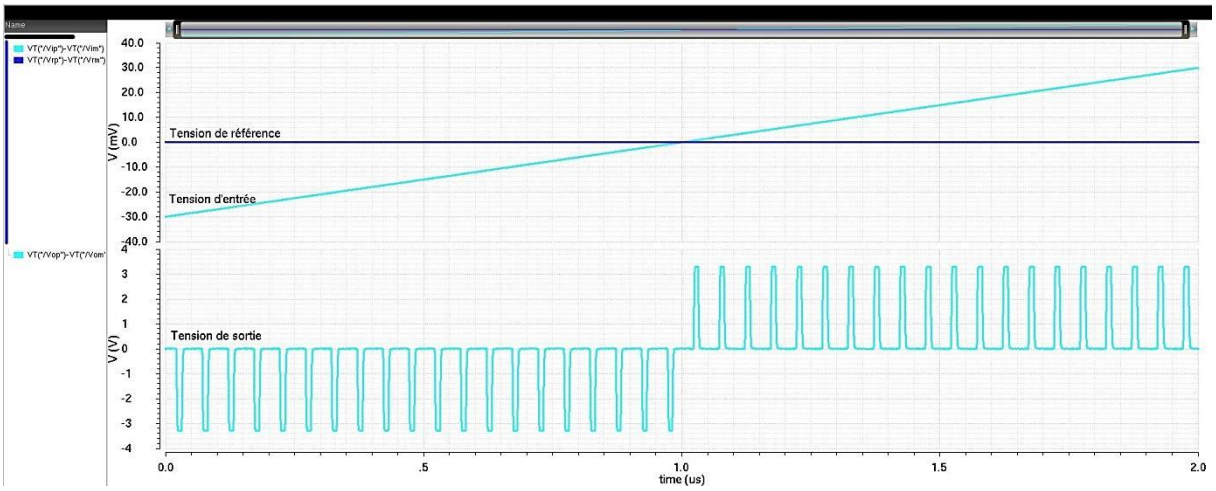


Figure IV-31 : Régime transitoire du comparateur à auto-zéro.

Afin d'évaluer le bon fonctionnement des comparateurs, nous avons choisi de mesurer l'offset et la consommation des comparateurs en test de Monte Carlo (40 tirs, répartition uniforme, Figure IV-32).

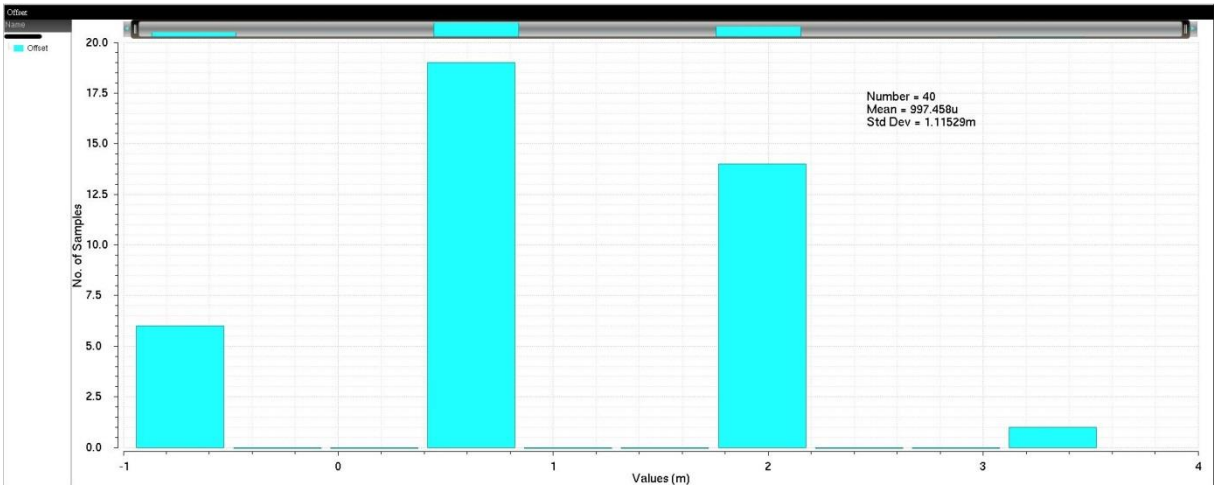


Figure IV-32 : Histogramme représentant l'offset d'entrée du comparateur de référence sous 40 tirs en simulation de Monte-Carlo.

Sur l'ensemble des 40 simulations, les offsets d'entrée minimum et maximum sont respectivement de -917,3µV et de 3,593mV. L'écart-type est de 1,1mV.

Pour ce qui est du comparateur à dual-path, les résultats sont représentés Figure IV-33.

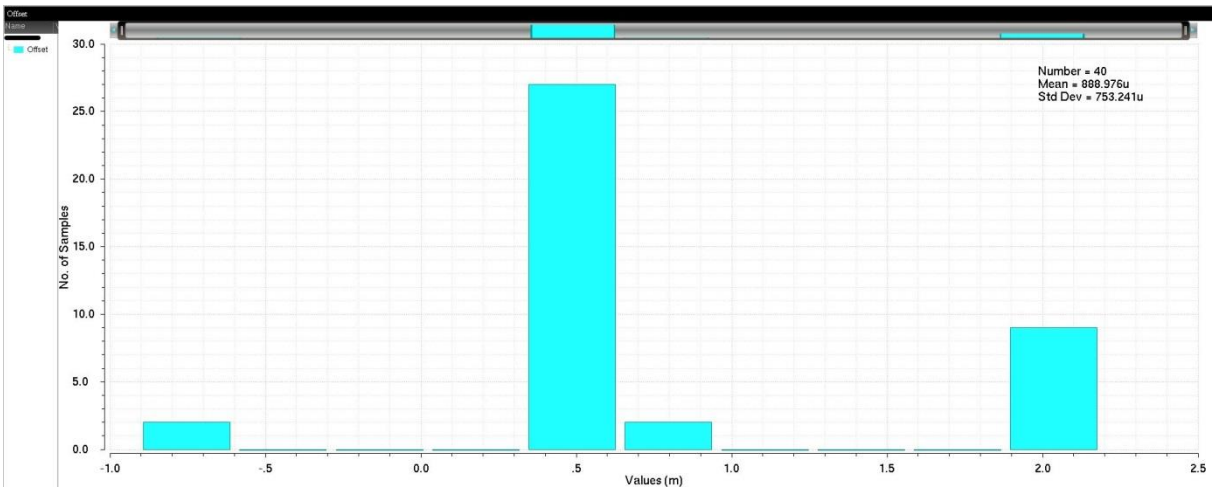


Figure IV-33 : Histogramme représentant l'offset d'entrée du comparateur avec dual-path sous 40 tirs en simulation de Monte-Carlo.

Sur l'ensemble des 40 simulations, les offsets d'entrée minimum et maximum sont respectivement de -877,8µV et de 2,222mV. L'écart-type est de 0,75mV.

Remarque 1 : dans le cas d'un comparateur intégré à un étage pipeline (sous-CAN) résolvant 2,5 bits, l'offset doit être inférieur à 0,5LSB$_{étage}$ pour que l'erreur soit dans le DEC (résolution naturelle de l'erreur grâce à la redondance du pipeline, cf. Figure IV-18 *pour un étage 1,5 bits), soit ici :*

$$0{,}5LSB_{étage} = 0{,}5\frac{VDD}{2^3} = 0{,}5\frac{3{,}3}{8} = 206mV$$

La contrainte en offset est donc largement respectée si l'on se fie aux offsets maximums mesurés. Ce calcul justifie le fait que, bien que partiellement durci par le dual-path (un seul chemin affecté), le point mémoire n'a pas été spécifiquement durci.

Remarque 2 : pour ces simulations, les capacités de charge étaient de 500pF, qui est une limite haute arbitraire de la capacité d'entrée du multiplexeur intégré sur un CAN. Des tests ont également été effectués avec une capacité de charge de 2pF afin de tenir compte des capacités des PADs de sortie de l'ASIC, aucune anomalie n'a été constatée.

Remarque 3 : un tableau réunissant les données sur les offsets pour un comparateur classique sans auto-zéro, un comparateur avec auto-zéro et enfin avec dual-path ont été compilés dans le tableau suivant :

	Comp. Classique	Comp. Auto-Zero	Comp. Dual-Path
Minimum	-9,509mV	-0,917mV	-0,878mV
Maximum	16,75mV	3,593mV	2,222mV
Ecart-type	5,036mV	1,1mV	0,75mV

IV.4. Conclusion

Deux comparateurs aux performances similaires ont été réalisés, et les valeurs des offsets observés sont relativement similaires et ne devraient pas causer d'erreur car elles sont comprises dans la gamme d'immunité due à la redondance de l'architecture pipeline. L'un de ces deux comparateurs, amélioré *via* le dual-path hardening, méthode de durcissement originale, doit être plus résistant aux effets dus aux évènements singuliers. Toutefois, la difficulté de reproduction de l'environnement radiatif rend une telle simulation délicate.

Des essais aux ions lourds permettront d'évaluer l'apport du dual-path au niveau du durcissement.

IV.5. Références

[ALLEN] Phillip E. Allen, Douglas R. Holberg, *"CMOS Analog Circuit Design,"* Oxford University Press, 2002.

[ALLSTOT] D. J. Allstot, *"A Precision Variable-Supply CMOS Comparator,"* IEEE Journal of Solid-State Circuits, Vol. SC-17, No. 6, pp.1080-1087, Décembre 1982.

[BUCHNER] S. Buchner et. al., *"Single-Event Transient (SET) characterization of an LM119 voltage comparator: an approach to SET model validation using pulsed laser,"* IEEE Trans. Nucl. Sci., vol. 49, pp. 1502–1508, June 2002.

[MIKKOLA] E. Mikkola et. al., *"SET Tolerant CMOS Comparator,"* IEEE Trans. Nucl. Sci., vol. 51, pp. 3609–3614, Dec. 2004.

[OLSON] Brian D. Olson et. al., *"Single-Event Effect Mitigation in Switched-Capacitor Comparator Designs,"* IEEE Trans. Nucl. Sci., vol. 55, No. 6, pp. 3440–3446, Dec. 2008.

[PEASE] R. L. Pease et. al., *"Comparison of SETs in bipolar linear circuits generated with an ion microbeam, laser light, and circuit simulation,"* IEEE Trans. Nucl. Sci., vol. 49, pp. 3163–3170, Dec. 2002.

[WANG] T. Wang et. al., *"Single-Event-Transient Tolerant Comparators With Auto-Zeroing Techniques,"* IEEE Microsystems and Nanoelectronics Research Conference, 2008.

Chapitre V

Conception d'un amplificateur à capacités commutées aux performances optimisées

Des structures novatrices d'interrupteurs et de comparateurs durcis ont été proposées au cours des deux chapitres précédents, dans le cadre d'un CAN pipeline.

Concernant l'amplificateur, ses performances vont impacter directement celles du CAN. Ainsi, le choix de la structure et le soin apporté à la conception de l'amplificateur sont cruciaux car ce dernier doit être assez précis pour amplifier le résidu avec suffisamment de précision et de linéarité pour ne pas détériorer le signal.

A l'inverse, l'amplificateur est une structure presque exclusivement analogique, donc intrinsèquement moins sensible aux SEU que les interrupteurs et les comparateurs. De plus, les effets de dose cumulée seront limités par la mise en œuvre des techniques de layout classiques, sans qu'il soit nécessaire de mettre en œuvre des techniques de design supplémentaires. En effet, de précédents travaux menés dans l'équipe en technologie CMOS 0,35 µm ont permis, uniquement via des techniques de durcissement par layout, de valider le comportement d'une chaine d'instrumentation analogique jusqu'à plus de 20MRad [BOUYJOU].

Nous nous attacherons donc dans ce chapitre à une optimisation des performances à consommation constante, en ne mettant en œuvre que des techniques de durcissement par layout. Ainsi, nous verrons dans ce chapitre le principe de fonctionnement d'un amplificateur à capacités commutées et une méthode originale permettant d'améliorer ses performances au seul prix de la présence d'une horloge supplémentaire.

V.1. Présentation et fonctionnement d'un amplificateur à capacités commutées

Comme nous l'avons vu au Chapitre II, le principe de l'amplificateur à capacités commutées d'un étage de convertisseur pipeline est d'amplifier le résidu provenant de la soustraction de la tension de référence disponible la plus proche de la tension d'entrée à la

tension d'entrée. Pour rappel, la structure d'un étage de résolution 1,5 bits est représentée sur la Figure V-1.

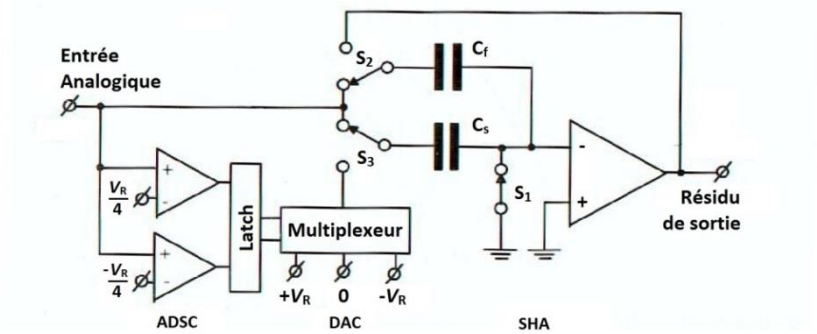


Figure V-1 : Schéma de principe d'un étage classique simple sortie (single-ended) de 1,5 bits d'un CAN pipeline [VANDEP].

Dans ce chapitre, par souci de simplicité des calculs, ces derniers seront établis dans le cadre d'une structure single-ended pour un étage de résolution 1,5 bits avec un mode commun à la masse.

V.1.1. Fonctionnement idéal

Comme nous l'avons vu au Chapitre II, en supposant l'amplificateur idéal (gain infini, courants d'entrée nuls), et en posant $C_{tot} = C_s + C_f$, le principe de conservation des charges sur l'entrée non-inverseuse de l'amplificateur du schéma de principe de la Figure V-1 nous donne le résultat suivant :

$$V_{out} = \begin{cases} \frac{C_{\text{tot}}}{C_{\text{f}}} V_{in} - \frac{C_s}{C_f} V_R, & si\ V_{in} > \frac{V_R}{4} \\ \frac{C_{\text{tot}}}{C_{\text{f}}} V_{in}, & si - \frac{V_R}{4} < V_{in} < \frac{V_R}{4} \\ \frac{C_{\text{tot}}}{C_{\text{f}}} V_{in} + \frac{C_s}{C_f} V_R, & si\ V_{in} < -\frac{V_R}{4} \end{cases} \quad \text{(V-1)}$$

La caractéristique correspondante est représentée sur la Figure V-2.

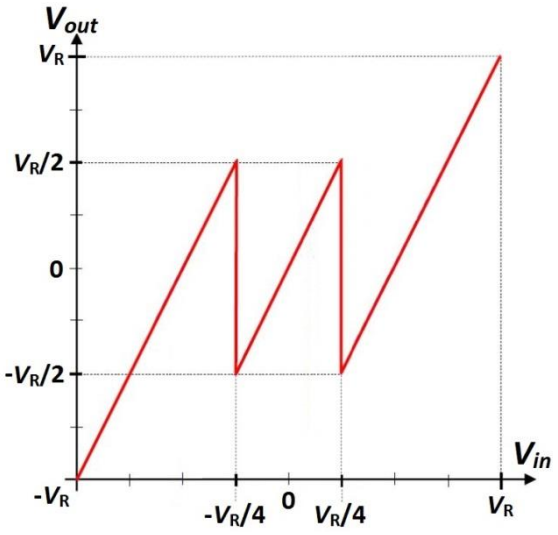


Figure V-2 : Caractéristique idéale d'un CAN 1,5 bits.

Il s'agit du fonctionnement idéal, et l'erreur est nulle.

V.1.2. Fonctionnement avec amplificateur réel

Ici, on suppose que l'amplificateur fonctionne selon l'équation classique suivante :

$$V_{\text{out}} = A_0(V_+ - V_-)$$

Ce modèle implique une erreur par rapport à l'équation V-1, et la sortie devient :

$$V_{out} = \begin{cases} \dfrac{C_{\text{tot}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}} V_{in} - \dfrac{C_{\text{s}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}} V_R\,, & si\ V_{in} > \dfrac{V_R}{4} \\ \dfrac{C_{\text{tot}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}} V_{in}\,, & si - \dfrac{V_R}{4} < V_{in} < \dfrac{V_R}{4} \\ \dfrac{C_{\text{tot}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}} V_{in} + \dfrac{C_{\text{s}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}} V_R\,, & si\ V_{in} < -\dfrac{V_R}{4} \end{cases} \quad \text{(V-2)}$$

Si l'on pose G_{i} et G_{R} respectivement les gains en boucle fermée idéaux et réels de l'amplificateur, on a :

$$G_{\text{i}} = \frac{C_{\text{tot}}}{C_{\text{f}}}$$

$$G_{\text{R}} = \frac{C_{\text{tot}}}{C_{\text{f}} + \frac{C_{tot}}{A_0}}$$

$$G_{\mathrm{R}} = G_{\mathrm{i}}(1+E)$$

Ceci nous permet d'évaluer l'erreur relative en boucle fermée E telle que :

$$E = -\frac{\frac{C_{\mathrm{tot}}}{C_{\mathrm{f}}}}{A_0 + \frac{C_{\mathrm{tot}}}{C_{\mathrm{f}}}} = -\frac{G_{\mathrm{i}}}{A_0 + G_{\mathrm{i}}} \qquad \text{(V-3)}$$

Remarque : L'application numérique dans le cas d'un amplificateur de 40dB nous donne une erreur (en valeur absolue) de 2% pour résoudre 1,5 bits (G_i = 2), et 5% pour 2,5 bits (G_i = 4). Ces résultats, ainsi que ceux obtenus dans le cas où l'amplificateur aurait un gain de 60dB sont rassemblés dans le tableau ci-dessous :

Résolution	*Ampli 40dB*	*Ampli 60dB*
1,5 bits	*E = -2%*	*E = -0,2%*
2,5 bits	*E = -3,9%*	*E = -0,4%*

On remarque que l'erreur grandit avec la résolution et qu'une augmentation de gain de 20dB permet de diminuer l'erreur d'un facteur 10.

V.2. Présentation et fonctionnement prédictif de l'amplificateur à capacités commutées

V.2.1. L'approche prédictive à double échantillonnage corrélé (Predictive Correlated Double Sampling ou P-CDS) [LIU]

Cette approche connaît un essor non négligeable dans la littérature récente concernant les améliorations des amplificateurs pour CAN (**[GREGOIRE]**, **[HERSHBERG]**, **[VENKATRAM]**).

Le terme « Prédictif » signifie que l'on commence par une estimation de la tension de sortie basé sur un premier échantillon, qui permet, lors de la deuxième phase d'échantillonnage, de se rapprocher de la grandeur idéale finale à atteindre en supposant que le second échantillon soit fortement corrélé au premier. Tout se passe alors comme si l'erreur de gain était réduite, puisque le signal de sortie sera plus proche de sa valeur finale idéale. Ce résultat permet de choisir une architecture plus simple de l'amplificateur, et de diminuer la consommation par rapport à un amplificateur à gain plus élevé équivalent, notamment en optant pour une architecture à un étage au lieu de deux. En revanche, l'horloge de référence devra avoir une fréquence double de celle utilisée pour réaliser la

même fonction classiquement afin de conserver la même fréquence globale d'échantillonnage.

La Figure V-3 représente les trois phases du système prédictif, et la Figure V-4 les 3 phases associées avec leur durée relative.

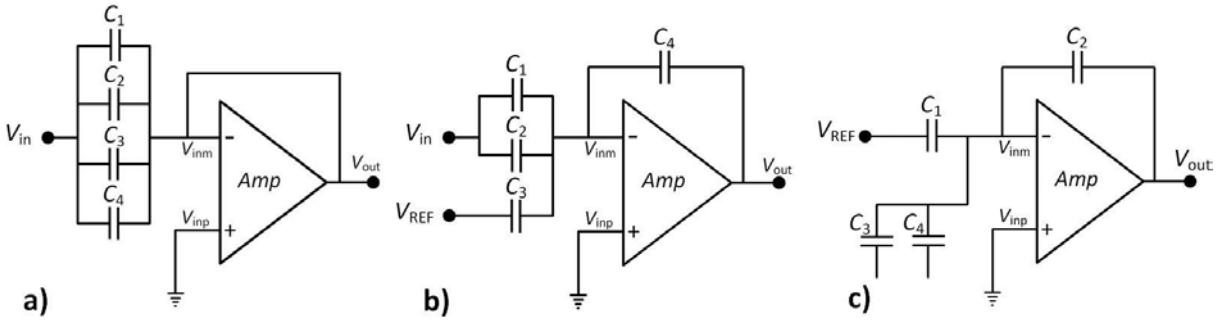


Figure V-3 : Représentation single-ended des trois phases du système prédictif : remise à zéro et échantillonnage (a), prédiction (b), et amplification finale (c).

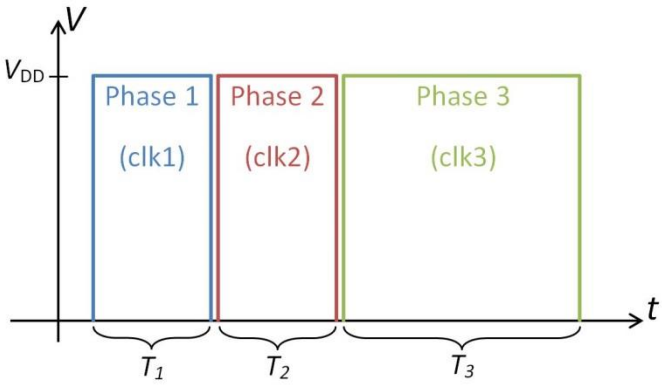


Figure V-4 : Représentation schématique des trois phases du système prédictif correspondant à une période de traitement du signal d'entrée.

Durant la première phase (un quart de la période du cycle), les quatre capacités échantillonnent la tension d'entrée, alors que l'amplificateur est remis à zéro par rebouclage au gain unitaire afin par là même de diminuer l'offset et le bruit basse fréquence de l'amplificateur. Puis, la phase 2 (le quart de période suivant), propre au système prédictif, consiste à réaliser en sortie une première estimation de la tension finale *via* les capacités « de prédiction » C_3 et C_4, qui sont reliées respectivement à la tension de référence et à la sortie, tout comme les capacités C_s et C_f dans le cas non-prédictif, tandis que les capacités C_1 et C_2 continuent l'échantillonnage d'entrée. Enfin, durant la phase 3 (une demi-période), l'amplification finale a lieu via les capacités C_1 et C_2, alors que C_3 et C_4 sont en circuit ouvert, afin de laisser le nœud V_{inm} indépendant des charges accumulées sur ces capacités.

V.2.2. Calcul théorique de l'impact sur l'erreur

Dans le cas où l'amplificateur est considéré idéal (c'est-à-dire ayant un gain infini), on retombe sur les résultats du cas non-prédictif. Toutefois, dans le cas d'un amplificateur réel, l'erreur de gain a été calculée (Annexe A), et, en posant $C_{tot} = C_1 + C_2 + C_3 + C_4$, et $G_i = (C_1+C_2)/C_2 = (C_3 + C_4)/C_4$, elle est égale à :

$$E = -\frac{1}{{A_0}^2}\left({G_i}^2 + \left(\frac{C_{tot}}{C_4}\right)^2 + \frac{C_{tot}}{C_4}G_i\right) \qquad \text{(V-4)}$$

Tout d'abord, on remarque ici que l'erreur présente au dénominateur le gain au carré, contrairement au cas non-prédictif. Ainsi, l'apport de ce système (réduction de l'erreur) va augmenter avec le gain de l'amplificateur. Aussi, si au premier abord il peut être intéressant de réduire C_3 et C_4 par rapport à C_1 et C_2 pour bénéficier d'une rapidité accrue, rappelons qu'avec une diminution de leurs valeurs, d'une part, l'appariement de ces capacités va réduire, et d'autre part, le bruit en kT/C va augmenter en conséquence. Enfin, le terme en C_{tot}/C_4 dans l'expression de l'erreur en (V-4) nous pousse au contraire à augmenter les valeurs de C_3 et C_4 par rapport à C_1 et C_2.

Ainsi, le rapport entre C_1 et C_2 d'une part et C_3 et C_4 d'autre part étant fixé par le gain en boucle fermée souhaité (et donc la résolution de l'étage), on peut choisir comme compromis vitesse/précision $C_1 = C_3$ et $C_2 = C_4$. Pour ce qui est des valeurs de ces capacités, il a fallu tenir compte à la fois des contraintes en bruit thermique (en kT/C) et en bande passante, tout en prenant des valeurs suffisamment importantes pour garantir un appariement optimal.

Puisque l'on est dans le cas d'un étage de résolution 2,5 bits (gain en boucle fermée $G_i = 4$), les valeurs retenues ont donc été :

$$\begin{cases} C_1 = C_3 = 1{,}8pF \\ C_2 = C_4 = 0{,}6pF \end{cases}$$

Les simulations réalisées nous ont confortés dans ces choix.

Remarque : Les applications numériques d'erreur réalisées dans les mêmes conditions de gain et de résolution qu'au chapitre V.1.2 mais à partir de la formule (V-4) *ont été rassemblées dans le tableau suivant :*

	Non-Prédictif		Prédictif	
Résolution	*Ampli 40dB*	*Ampli 60dB*	*Ampli 40dB*	*Ampli 60dB*
1,5 bits	*E = -2%*	*E = -0,2%*	*E = -0,28%*	*E = -0,0028%*
2,5 bits	*E = -3,9%*	*E = -0,4%*	*E = -1,12%*	*E = -0,011%*

On remarque que, comme précédemment, l'erreur diminue fortement avec le gain de l'amplificateur. De même, elle diminue davantage (facteur 10^2) avec le gain de l'amplificateur par rapport à un amplificateur classique (facteur 10). Par contre, elle grandit -proportionnellement à la résolution- davantage que dans le cas d'un amplificateur classique. Toutefois, même dans le cas le plus défavorable, l'erreur reste plus de dix fois plus faible que dans le cas non-prédictif.

V.3. Choix de l'amplificateur

Comme nous l'avons vu précédemment, l'amplificateur joue un rôle crucial dans les performances du CAN pipeline. Il est donc nécessaire de choisir avec soin son architecture afin d'alléger au maximum l'étalonnage numérique correcteur d'erreurs devenu indispensable avec l'augmentation croissante des performances.

Toutefois, on s'intéresse ici principalement à la démonstration du principe de prédiction, et un gain de 45dB environ sera suffisant, ce qui revient à une précision de 6 bits (voir chapitre V.4.1.a). On choisira donc une structure assez simple, avec une dynamique à haute vitesse suffisante pour pouvoir évaluer l'apport du système prédictif.

V.3.1. Généralités sur la paire différentielle

Les deux architectures les plus simples d'amplificateur différentiel à charge active sont représentées sur la Figure V-5.

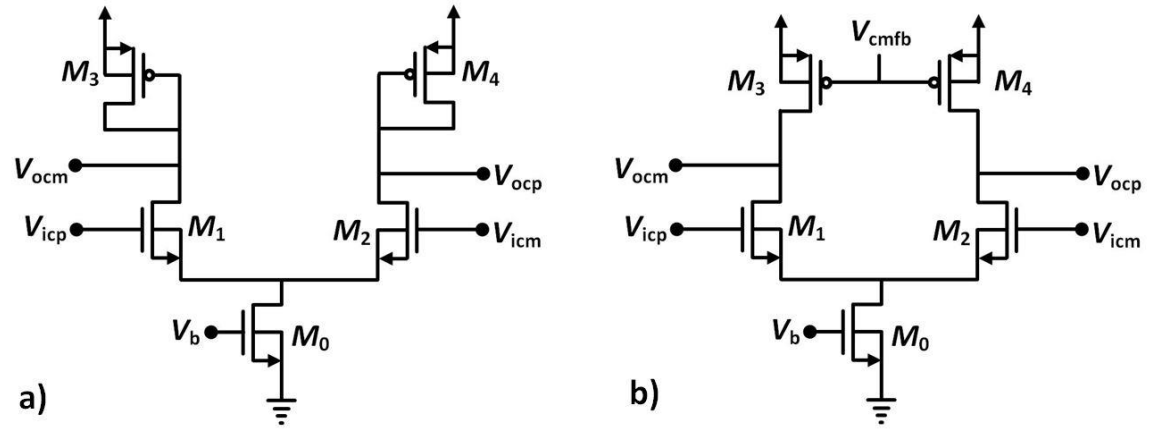


Figure V-5 : Paries différentielles avec charges PMOS connectées en diodes (a) et charges PMOS en miroirs de courant (b).

On considère, dans les deux cas, que les transistors M_1 et M_2 d'une part, et les transistors M_3 et M_4 d'autre part, ont les mêmes dimensions. Comme nous l'avons déjà vu au chapitre IV.3.1.a.i., le gain de la Figure V-5 (a) s'exprime de la manière suivante :

$$A_{\mathrm{v}} \approx -\frac{g_{\mathrm{m1}}}{g_{\mathrm{m3}}} \approx -\sqrt{\frac{\mu_n (W/L)_1}{\mu_p (W/L)_3}}$$

En ce qui concerne le circuit de la Figure V-5 (b), le gain s'exprime ainsi **[RAZAVI1]** :

$$A_{\mathrm{v}} \approx -g_{\mathrm{m1}}(R_{on1} || R_{on3})$$

Théoriquement, sans tenir compte des perturbations liées au mode commun d'entrée, la plage maximum en tension des sorties est ici de $V_{DD} - |V_{DSsat3}| - |V_{DSsat1}| - |V_{DSsat0}|$.

Dans le premier circuit, la charge connectée en diode « utilise » de la plage de sortie disponible : la sortie ne peut atteindre V_{DD} à cause de la tension grille-source -ou drain-source- utilisée par ces transistors. Il y a ainsi un compromis à faire entre la plage disponible en sortie, le gain en tension, et la plage de mode commun d'entrée acceptable. On peut démontrer **[RAZAVI1]** que, pour des conditions de polarisation et des dimensions fixées, le gain est proportionnel à :

$$\frac{|V_{\mathrm{GS3}} - V_{\mathrm{TH3}}|}{V_{\mathrm{GS1}} - V_{\mathrm{TH1}}}$$

Ainsi, le gain augmente avec la tension de polarisation (V_{GS}-V_{TH}) du transistor PMOS. Pour atteindre un gain plus élevé, $(W/L)_3$ doit diminuer, augmentant par conséquent $|V_{GS3} - V_{TH3}|$ et diminuant le mode commun en sortie.

En somme, pour garder une architecture simple, il faut choisir entre gain et plage de tension en sortie.

Toutefois, un autre point important est problématique dans ces architectures : l'effet Miller, c'est-à-dire la présence d'une capacité dite capacité Miller entre chaque entrée et sa sortie associée (explicitement les capacités grille-drain des transistors M_1 et M_2), et qui sera vue par l'entrée comme une capacité de valeur C_{gd} x A_v, avec A_v le gain de l'amplificateur.

La solution la plus commune pour remédier à ce problème est l'utilisation d'une architecture de type folded-cascode.

V.3.2. Les amplificateurs Folded-Cascode (FC) et Recycling Folded-Cascode (RFC)

V.3.2.a. Architecture Folded-Cascode

L'idée d'une structure de type Folded Cascode (« cascode replié ») est de convertir la tension d'entrée en un courant puis de l'appliquer à un transistor monté en grille commune (cascode) *via* un nœud de repliement (folded). Notons que le transistor d'entrée et le transistor en grille commune doivent être de type différent. Un exemple de réalisation est représenté Figure V-6.

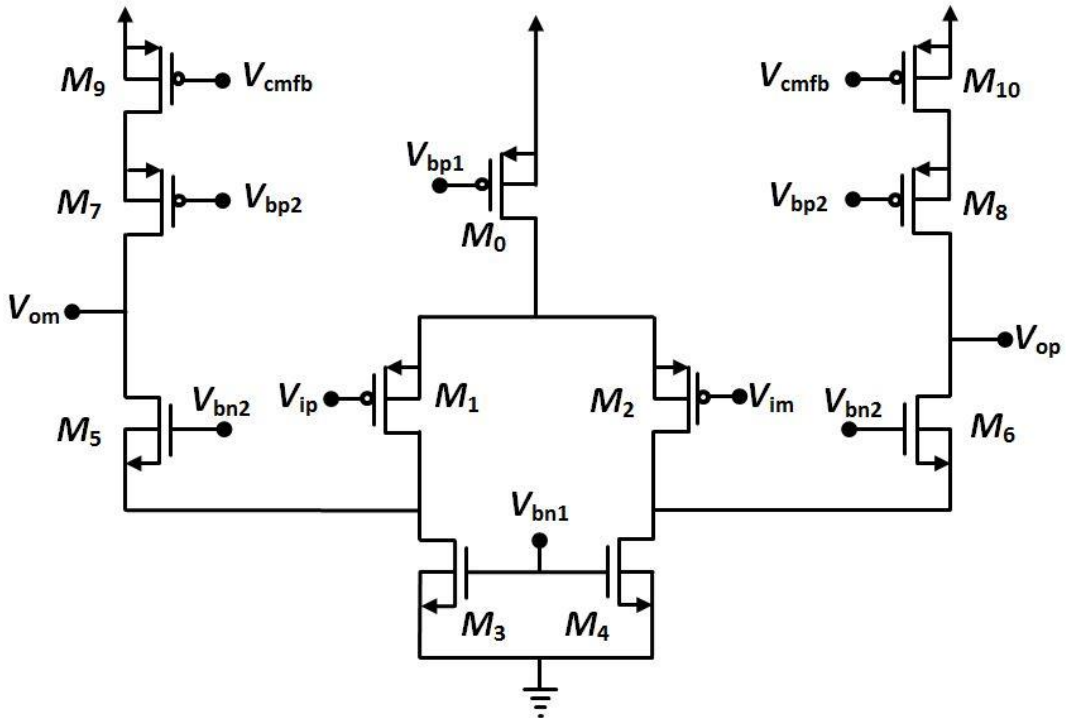


Figure V-6 : Structure Folded-Cascode classique.

Le gain d'un tel amplificateur peut être exprimé sous la forme $A_V = G_{mFC}R_{OFC}$ avec G_m la transconductance globale de l'amplificateur et R_{OFC} la résistance de sortie du folded-cascode.

On a ici :

$$G_{mFC} = g_{m1} \text{ et } R_{OFC} = g_{m6}r_{on6}\,(r_{on2} \,||\, r_{on4}) \,||\, g_{m8}r_{on8}r_{on10}.$$

V.3.2.b. Architecture Recycling Folded-Cascode

Une perte d'efficacité de la structure précédente réside dans le fait que les transistors M_3 et M_4 sont ceux qui conduisent le plus de courant, et ont généralement la plus

grande transconductance, alors que leur rôle n'est que de fournir un nœud de repliement au courant petit-signal généré par M_1 et M_2.

Dans le but d'améliorer la contribution des transistors M_3 et M_4, l'architecture présentée Figure V-7 a été proposée par **[ASSAAD]**.

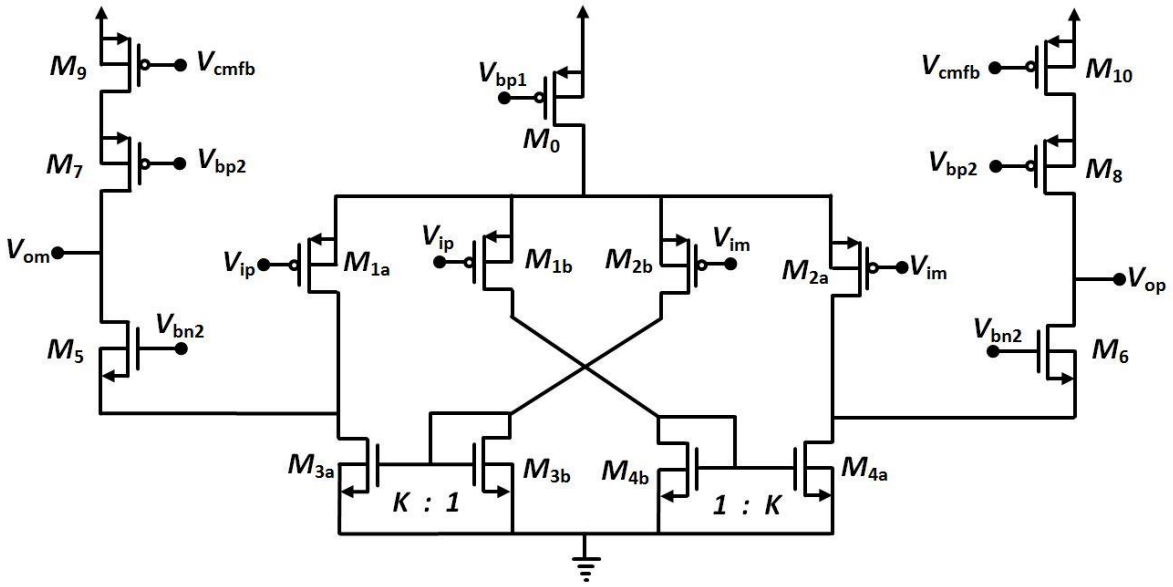


Figure V-7 : Structure Recycling Folded-Cascode [ASSAAD].

Ici, la paire différentielle constituée précédemment par M_1 et M_2 est divisée en deux, donnant ainsi les transistors M_{1a}, M_{1b}, M_{2a} et M_{2b}. De même, les transistors M_3 et M_4 du folded cascode classique sont divisés afin d'obtenir les deux miroirs de courant M_{3a} : M_{3b} et M_{4a} : M_{4b} avec un rapport de K : 1, et les transistors M_{3b} et M_{4b} montés en diode sont « cross-couplés » respectivement avec les transistors d'entrée M_{2b} et M_{1b} afin de s'assurer que les courants petit-signaux ajoutés aux sources de M_5 et M_6 soient en phase. Ce Folded Cascode modifié est appelé Recycling Folded Cascode (RFC) car il permet de réutiliser, ou recycler, les transistors et courants existants pour réaliser une tâche additionnelle.

La transconductance petit signal de cette architecture peut être mise sous la forme : $G_{mRFC} = g_{m1a}(1 + K)$ **[ASSAAD]**.

Or, puisque le transistor M_{1a} est deux fois plus petit que le transistor M_1 de la structure FC, il en va de même pour sa transconductance dans les mêmes conditions de polarisation. Le courant traversant M_{1a} sera la moitié de celui traversant M_1. Toutefois, la valeur du facteur K est généralement choisie autour de 3 afin d'avoir la même puissance consommée qu'un folded cascode simple, ce qui implique que la transconductance générale

de l'amplificateur est alors doublée, entraînant donc une augmentation de 6dB du gain par rapport à l'architecture FC pour une impédance de sortie similaire.

En outre, l'impédance de sortie est également améliorée. En effet, nous avons vu précédemment que la résistance de sortie d'une architecture FC était de :

$$R_{OFC} = g_{m6} r_{on6} (r_{on2} || r_{on4}) || g_{m8} r_{on8} r_{on10}$$

Dans le cas de l'architecture RFC, la résistance de sortie est de

$$R_{ORFC} = g_{m6} r_{on6} (r_{on2a} || r_{on4a}) || g_{m8} r_{on8} r_{on10}$$

Or, les transistors M_{2a} et M_{4a} conduisent moins de courant que leurs contreparties M_2 et M_4 de l'architecture FC, ce qui augmente leurs impédances intrinsèques r_{on2a} et r_{on4a}. Ceci a pour résultat une amélioration supplémentaire du gain d'environ 2 à 4 dB au gain du RFC. On a donc une augmentation globale du gain dans le cas du RFC par rapport au FC d'environ 8 à 10 dB.

Enfin, le slew rate est amélioré d'un facteur K **[ASSAAD]**.

Cette architecture, très prometteuse et qui s'est développée dans la littérature ces dernières années (**[AKBARI]**, **[AHMED]**, **[ROGERIO]**, **[KUO]**), présente, sans aucun doute, un avenir prometteur car elle permet, en un seul étage, d'avoir un gain très important. Cependant, nous pouvons noter le défaut inhérent à toute structure d'amplification à un seul étage: la plage théorique disponible n'est que de $V_{DD} - 4\,|V_{ds,sat}|$. Elle a pourtant été appliquée à notre cas. Malheureusement, le circuit développé et présenté en Annexe B présente des performances prometteuses (gain de 80dB) mais, lors des simulations en circuit à capacités commutées, des zones d'instabilité sont apparues sous certaines conditions (capacité de charge, vitesse d'horloge), notamment en bout de gamme (lorsqu'il s'agit d'obtenir les tensions maximales en sortie). Nous n'avons pas souhaité nous lancer dans la résolution de ces problèmes isolés de stabilité dans un souci pragmatique de gestion du temps, l'ASIC devait être envoyé en fabrication dans les trois ans du contrat de thèse. Ainsi, il a été choisi d'implémenter une structure moins novatrice mais plus maitrisée et permettant une plus grande plage théorique de fonctionnement, basée sur deux étages d'amplification. Sa structure est détaillée au chapitre V.3.4.

V.3.3. L'amplificateur à deux étages

Dans les architectures vues précédemment, nous n'avions qu'un seul étage : le courant petit-signal produit par la paire différentielle d'entrée traversait directement (ou *via* un nœud de repliement) l'impédance de sortie. Dans certaines applications, il peut être intéressant d'utiliser une structure à deux étages afin de combler les lacunes en gain et/ou en plage de sortie d'une structure à un étage. En effet, le premier étage aura généralement un gain assez important, et le deuxième aura pour objectif principal de permettre une grande plage de sortie **[RAZAVI1]** (Figure V-8).

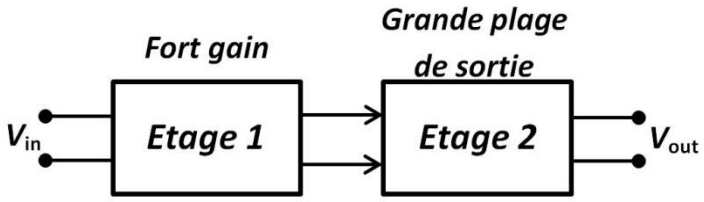


Figure V-8 : Représentation simplifiée d'un amplificateur à deux étages [RAZAVI1].

Une architecture double étage simple est celle représentée ci-après Figure V-9.

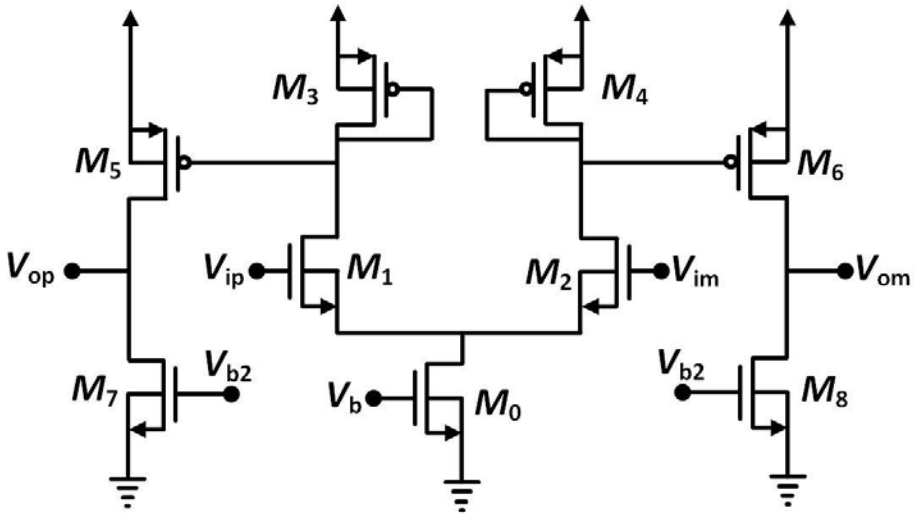


Figure V-9 : Exemple d'architecture d'amplificateur différentiel double étage simple.

Ici, la plage de sortie en tension est de $V_{DD} - |V_{DSsat5}| - |V_{DSsat7}|$.

En partant de l'étude d'un demi-circuit et en l'assimilant à une succession de deux étages à source commune, on obtient le gain global de l'amplificateur qui peut s'exprimer de la manière suivante :

$$A_v = \frac{g_{m1}}{g_{m3}} \times \frac{g_{m5}}{g_{on7}}$$

avec g_{on7} la conductance de sortie du transistor M_7.

Or, puisque M_3 et M_5 sont montés en miroir de courant, on a :

$$A_{\mathrm{v}} = \frac{g_{\mathrm{m1}}}{g_{\mathrm{on7}}} \times \frac{(W/L)_5}{(W/L)_3}$$

Cette architecture est simple et robuste, toutefois elle fonctionne en classe A, on peut donc l'améliorer en utilisant une architecture de classe AB afin d'augmenter le slew-rate et le produit gain-bande d'un facteur 2 environ. Il faut également prendre en compte la nécessité d'ajuster le mode commun.

V.3.4. L'amplificateur rail-to-rail

La structure utilisée ici est une amélioration de l'architecture précédente, inspirée en partie du RFC, avec une sortie de classe AB. Le schéma est représenté sur la Figure V-10.

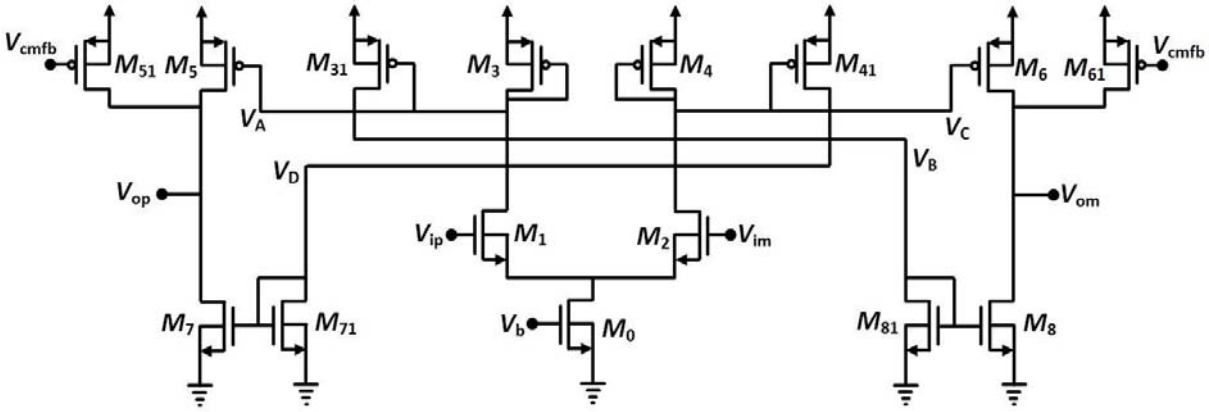


Figure V-10 : Amplificateur rail-to-rail proposé.

Le choix s'est porté sur cette structure par rapport au RFC car elle permet d'obtenir une plus grande plage de sortie comme évoqué précédemment, mais aussi parce que sa conception rapide nous a permis de nous focaliser sur la mise en œuvre du système prédictif et l'exploitation de ses résultats. Enfin, au cours de l'ensemble des simulations réalisées, aucune instabilité n'a été constatée, quelle que soit la vitesse d'horloge appliquée ou la valeur de la capacité de charge, celle-ci étant assez grande pour assurer la stabilité même dans le cas minimum (capacité vue par la sortie de 1,625pF lors de la phase de prédiction si l'étage suivant résout 1,5 bits, n'utilise pas d'architecture prédictive et présente des capacités divisées par deux –cf. calcul au chapitre V.4.1.a avec une capacité d'entrée de l'étage suivant de 1,2pF-, marge de phase de 58,45°, marge de gain de 24,3dB).

Ici, similairement à l'architecture Recycling Folded Cascode, l'idée est de répercuter les variations de courant d'une branche dans la branche complémentaire *via* les transistors M_{41} et M_{71} d'une part, et *via* les transistors M_{31} et M_{81} d'autre part. Ainsi, alors que

précédemment les transistors NMOS de l'étage de sortie ne servaient qu'à la polarisation, dans cette architecture, M_7 et M_8 participent au gain de l'amplificateur du deuxième étage en doublant sa transconductance, ce qui permet de réduire sa consommation pour un produit gain-bande passante donné. Par ailleurs, le transistor M_0 sert à polariser la paire différentielle du premier étage de gain M_1 et M_2, les transistors M_3 et M_4, connectés en diode, leurs servant de charge, tandis que les transistors M_{51} et M_{61} permettent d'asservir le mode commun de sortie lorsqu'ils sont associés à une boucle de contre-réaction de mode commun (Common mode feedback circuit).

Pour établir l'expression du gain, établissons le schéma équivalent petit signal (Figure V-11) :

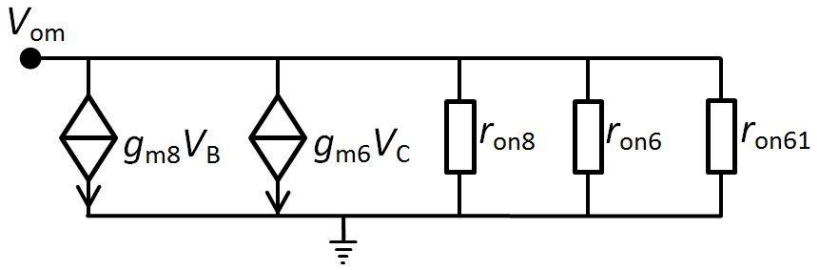


Figure V-11 : Schéma petit signal équivalent simplifié du circuit de la Figure V-10.

La tension V_{om} s'exprime donc par :

$$V_{om} = -(g_{m6}V_C + g_{m8}V_B) \times (r_{on8}//r_{on6}//r_{on61})$$

On peut exprimer la tension V_C comme la sortie d'un amplificateur à source commune :

$$V_C = -\frac{g_{m2}}{g_{m4}}V_{im}$$

Et la tension V_B comme la sortie d'un montage à source commune formé de M_1 et à miroir de courant (M_3 & M_{31}) chargeant la résistance de sortie du transistor M_{81} lui-même monté en diode ($g_{on81} = g_{m81}$), ce qui donne :

$$V_B = \frac{g_{m1}}{g_{m81}}\frac{(W/L)_{31}}{(W/L)_3}V_{ip}$$

L'expression de V_{om} devient donc :

$$V_{om} = (g_{m6}\frac{g_{m2}}{g_{m4}}V_{im} - g_{m8}\frac{g_{m1}}{g_{m81}}\frac{(W/L)_{31}}{(W/L)_3}V_{ip}) \times (r_{on8}//r_{on6}//r_{on61})$$

Or, V_{ip} = -V_{im} = V_i/2, et V_{op} = -V_{om} = V_o/2, ce qui nous permet donc, en supposant la structure symétrique, d'obtenir l'expression du gain suivante :

$$A_v = \frac{V_o}{V_i} = \left(g_{m6}\frac{g_{m2}}{g_{m4}} + g_{m8}\frac{g_{m1}}{g_{m81}}\frac{(W/L)_{31}}{(W/L)_3}\right) \times \left(r_{on8} // r_{on6} // r_{on61}\right) \qquad \text{(V-5)}$$

L'intérêt de cette structure vient notamment du fait de l'asservissement au mode commun par un système à capacités commutées (présenté au chapitre V.4.1.b) *via* les transistors M_{51} et M_{61}, et surtout de l'utilisation du courant plus efficace grâce notamment aux miroirs M_7 et M_{71} d'une part et M_8 et M_{81} d'autre part, qui nous permettent d'augmenter le gain de l'amplificateur par rapport à une sortie à charge active.

C'est cette structure d'amplificateur qui nous servira de base pour tester l'architecture prédictive.

V.4. Réalisation et tests des différentes structures

Les structures retenues pour évaluer l'apport de l'architecture prédictive seront les suivantes :

- Un amplificateur seul afin d'évaluer ses performances de base (gain statique et consommation notamment) (Figure V-12),
- Un amplificateur au cœur d'une structure classique (Figure V-13),
- Un amplificateur au cœur d'une structure prédictive (Figure V-14).

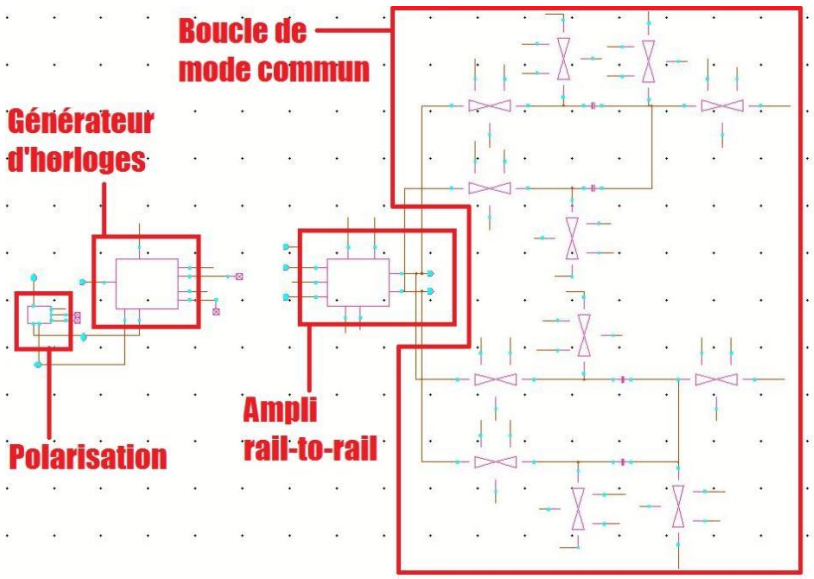


Figure V-12 : Schématique de la structure de test des performances de l'amplificateur.

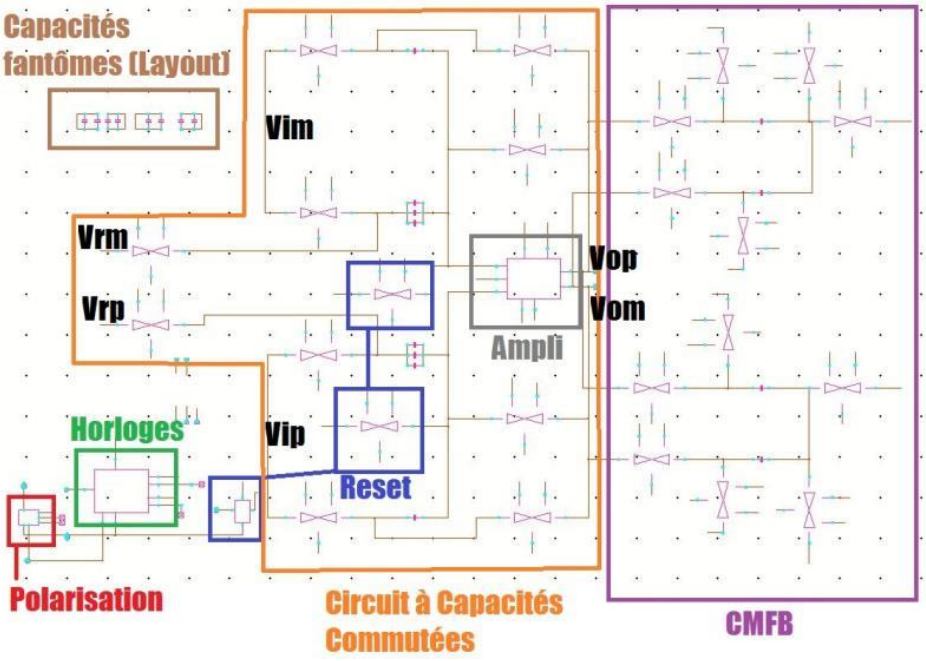


Figure V-13 : Schématique de la structure non-prédictive.

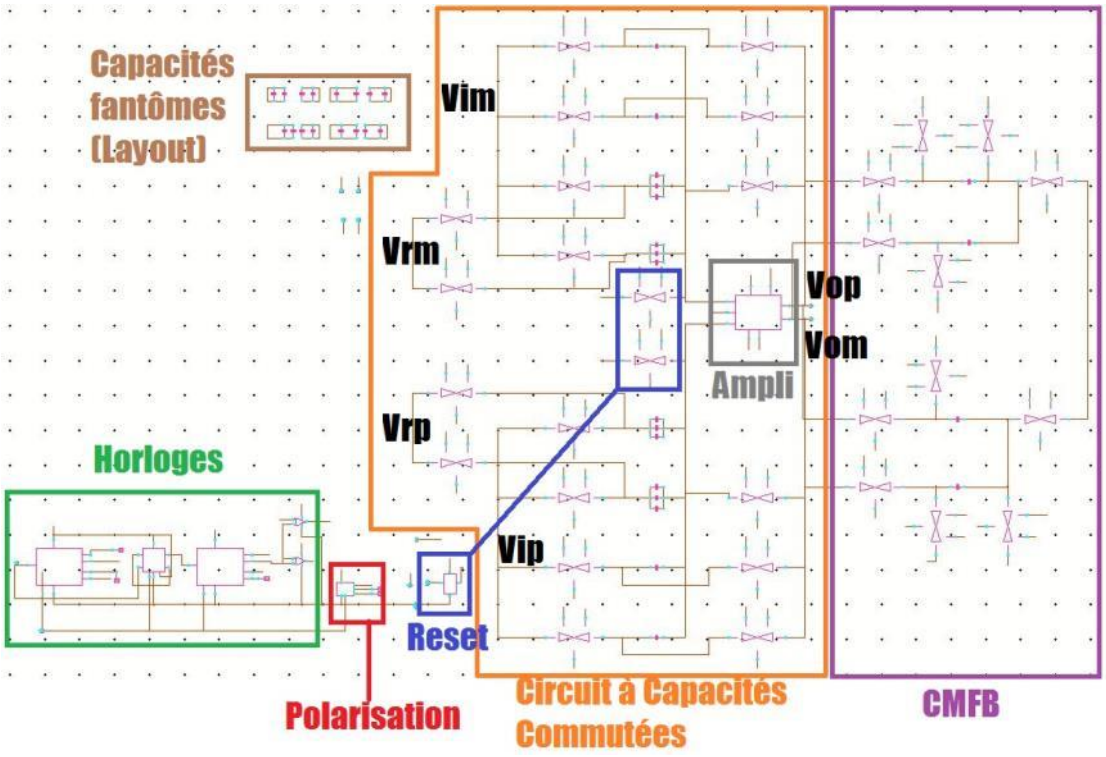


Figure V-14 : Schématique de la structure prédictive.

V.4.1. Conception des structures à capacités commutées

En plus d'un circuit logique simple de mise en forme des horloges (non-développé ici, et contenant notamment un générateur d'horloges non-recouvrantes et d'horloges dérivées de celles-ci n'étant actives que sur un quart de période pour la partie prédictive), les trois structures vues précédemment requièrent donc la conception :

- de l'amplificateur principal,
- d'une boucle de contrôle de mode commun,
- et d'un monostable servant à assurer la remise à zéro.

V.4.1.a. L'amplificateur

Puisqu'il s'agit de démontrer l'efficacité du système prédictif, l'amplificateur utilisera la structure simple présentée au chapitre V.3.4.

Pour évaluer le gain nécessaire à l'amplificateur, il est nécessaire de calculer l'erreur en tension maximale acceptable. En négligeant l'apport des V_{DSsat} des transistors de sortie (et donc en supposant que la gamme de tension différentielle maximale en sortie est de $2V_{DD}$), cette erreur peut être calculée par :

$$\varepsilon = \frac{FR}{0.5LSB} = \frac{2V_{\mathrm{DD}}}{2^{N+1}} = \frac{V_{\mathrm{DD}}}{2^{N}} \qquad \text{(V-6)}$$

Avec ε l'erreur maximum en Volt, *FR* le « full range » ou gamme de tension maximale, *LSB* le bit de poids le plus faible (Least Strong Bit), et *N* la résolution du CAN.

Or, l'erreur en tension est un cumul d'une erreur statique et d'une erreur dynamique, dues respectivement au gain fini de l'amplificateur et à la limitation de sa bande passante. Dans le cas d'une structure traditionnelle, l'erreur statique peut-être calculée par **[QUINN]** :

$$\varepsilon_{\mathrm{S}} = \frac{V_{\mathrm{DD}}}{A_0} \times \left(1 + \frac{C_{\mathrm{s}}}{C_{\mathrm{f}}}\right)$$

Ainsi, l'application numérique nous donne un gain de 46dB pour une résolution de 6 bits.

Pour ce qui est de l'erreur dynamique (et donc de la bande passante nécessaire), il s'agit de supposer que le signal en sortie aura une réponse exponentielle du type (Figure V-15) :

$$V_{\mathrm{out}}(t) = V_{\mathrm{DD}}(1 - e^{-t/\tau})$$

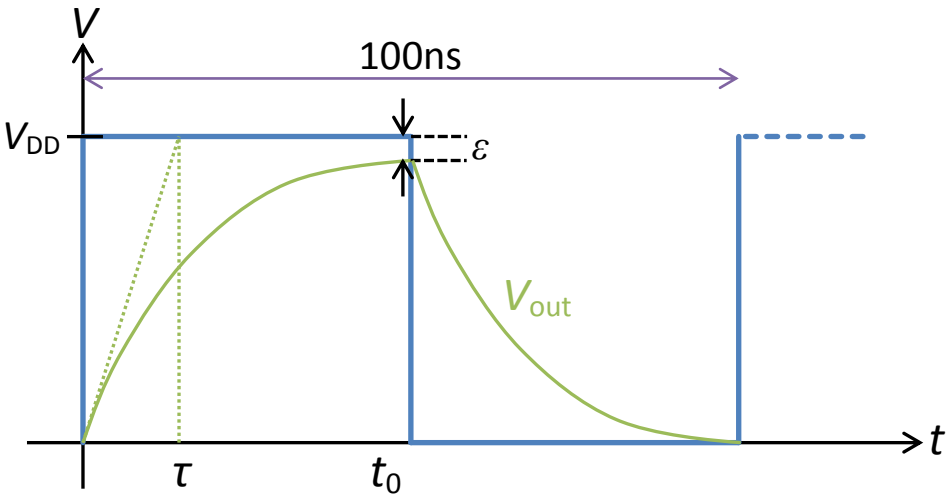


Figure V-15 : Représentation de la tension de sortie de l'amplificateur pour le calcul de la bande passante

Soit, au moment de l'estimation :

$$V_{\text{out}}(t_0) = V_{\text{DD}}\left(1 - e^{-t_0/\tau}\right)$$

Avec t_0 la demi-période (50ns pour 10MS/s).

Pour pouvoir approcher la réponse finale à 0,1%, cela se traduit par $\tau \leq t_0/7$.

On peut exprimer la constante de temps en fonction du produit gain-bande de la manière suivante **[QUINN]** :

$$\tau = \frac{1}{2\pi\beta_f GBW}$$

Avec β_f le facteur de contre-réaction et GBW le produit gain-bande passante.

Remarque : Dans ces travaux, l'objectif étant de montrer l'apport du système de prédiction, les considérations de bande passante dans les pires cas se feront par la suite dans le cadre d'une architecture prédictive. Le même amplificateur sera utilisé pour le cas classique. L'impact sur la consommation d'un tel choix sera analysé au chapitre V.4.2.e.

Le cas le plus contraignant concernant la bande passante est l'étape 2 (étape de prédiction), durant lequel le facteur de contre-réaction devient :

$$\beta_f = \frac{C_4}{C_{tot}} = \frac{1}{8}$$

L'application numérique nous donne un produit gain-bande passante minimal de 178MHz. Afin de concevoir l'amplificateur, il faut évaluer la capacité de sortie effective durant l'étape de prédiction **[QUINN]** :

$$C_{\mathrm{L}eff} = C_{in2} + \beta_f C_{in1,et2}$$

Avec C_{Leff} la capacité de sortie effective, $C_{in,2}$ la capacité d'entrée du deuxième étage, et $C_{in1,et2}$ la somme des capacités reliées entre le nœud d'entrée de l'amplificateur et une masse dynamique lors de l'étape 2.

Dans le cas d'un deuxième étage prédictif à 2,5 bits, les valeurs des capacités pourront être divisées par 2 (contrainte en résolution moins importante), on a donc :

$$\begin{cases} C_{in1,et2} = C_1 + C_2 + C_3 = 4{,}2pF \\ C_{in2} = \dfrac{C_{in1}}{2} = \dfrac{C_{tot}}{2} = 2{,}4pF \end{cases}$$

L'application numérique nous donne :

$$C_{\mathrm{L}eff} = 2{,}4pF + 0{,}525pF = 2{,}925pF$$

On déduit alors de la formule du produit gain-bande passante la valeur de la transconductance nécessaire pour l'amplificateur.

Les dimensions des transistors de la Figure V-10 sont reportées dans le tableau ci-dessous.

Transistor	M0	M1/M2	M3/M4	M31/M41	M5/M6	M51/M61	M7/M8	M71/M81
Type	N	N	P	P	P	P	N	N
W (µm)	72	12	16	8	24	16	72	18
L (µm)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4

Tableau V-1 : Dimensions des transistors de l'amplificateur rail-to-rail présenté sur la Figure V 10.

Avec ces dimensions, en reprenant l'expression du gain (V-5), et en considérant que M_4 et M_6 d'une part et M_8 et M_{81} d'autre part, sont montés en miroirs de courant, on obtient finalement le gain suivant :

$$A_{\mathrm{v}} = \left(\frac{3}{2} g_{\mathrm{m}2} + 2g_{\mathrm{m}1}\right) \times \left(r_{\mathrm{on}8} // r_{\mathrm{on}6} // r_{\mathrm{on}61}\right) \qquad \text{(V-7)}$$

On remarque que le fait de polariser le transistor M_8 par le biais des miroirs M_3/M_{31} et du transistor M_1, plutôt que par une simple tension de polarisation continue permet de

multiplier la transconductance générale de l'amplificateur d'un rapport d'environ 2, ce rapport se répercutant donc sur le courant de sortie, et donc le gain, ce qui nous permet d'avoir une sortie de classe AB.

V.4.1.b. La boucle de contrôle de mode commun

Les amplificateurs totalement différentiels présentent de nombreux avantages par rapport à leurs équivalents ne possédant qu'une seule sortie, notamment une plus grande plage de sortie et une haute tolérance au bruit de mode commun **[ASSAAD]**. Toutefois, leur mode commun de sortie n'est pas clairement défini.

Ainsi, afin de s'assurer que l'amplificateur fonctionne correctement et présente toujours une polarisation optimale permettant d'atteindre une plage de sortie maximale (c'est-à-dire un mode commun de $(V_{op} + V_{om})/2 \approx 1{,}65V$ ici), il est nécessaire de créer une boucle de contrôle du mode commun.

La boucle de contrôle du mode commun a été implémentée sur le principe de capacités commutées comme représenté sur la Figure V-16 **[SANSEN]**. Ce choix d'architecture est intéressant dans le cas où l'amplificateur est lui-même utilisé dans une structure à capacités commutées. Le fonctionnement se déroule en deux phases symétriques φ_1 et φ_2. Lors de la première, les interrupteurs contrôlés par φ_1 sont passants : la tension différentielle de sortie de l'amplificateur est chargée sur C_1 et C_2, tandis que dans l'autre branche, C_3 et C_4 sont « réinitialisées » en les mettant entre la tension de mode commun de sortie souhaitée ($V_{165} = 1{,}65V$) et la tension de grille idéale du PMOS (V_{biasP}). Pendant ce temps, cette grille est reliée à la tension de polarisation « nécessaire » estimée par la branche du haut (C_1 et C_2). Lors de la deuxième phase, les capacités C_3 et C_4 prennent le rôle précédent des capacités C_1 et C_2 en étant connectées à la sortie différentielle de l'ampli d'une part et de l'autre à la grille du PMOS faisant office de source de courant d'appoint dans l'amplificateur afin de l'ajuster pour obtenir la tension de sortie de mode commun souhaitée. Ceci nous permet d'avoir une estimation stable (une fois l'initialisation effectuée) de la tension V_{CMFB}, proche de V_{biasP}, nécessaire pour avoir une tension moyenne de sortie proche de 1,65V.

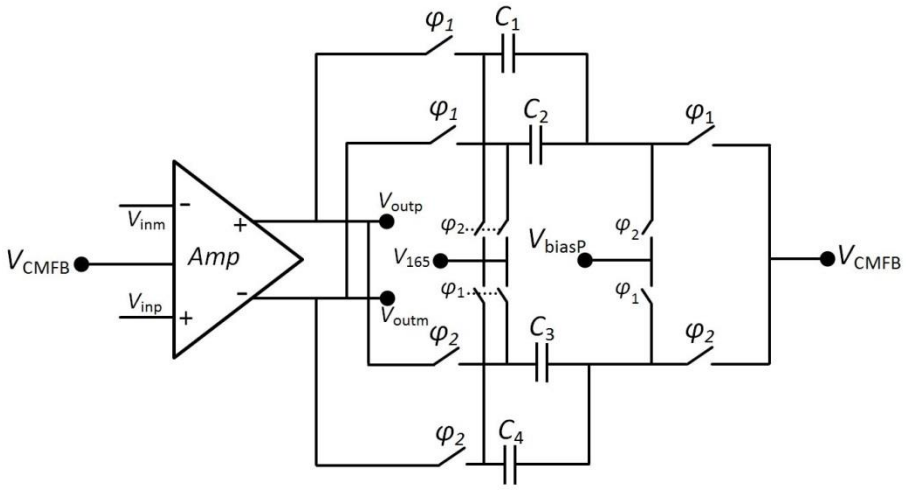


Figure V-16 : Boucle de mode commun [SANSEN].

V.4.1.c. Le monostable

Le but du monostable est de créer, sur une impulsion extérieure (créée par un bouton poussoir), une impulsion dont la durée doit être supérieure à celle de l'état haut de l'horloge principale dans le cas le plus rapide, afin d'assurer un reset sur une période.

Ici, on veut que le système puisse fonctionner de 5MS/s à 10MS/s, ce qui implique une durée de l'impulsion générée strictement supérieure à 100ns. Sur le circuit retenu représenté sur la Figure V-17, et contenant 4 inverseurs, une porte NAND, une capacité et une résistance, la capacité est chargée à travers la résistance suivant la relation :

$$V_{RC} = V_{\mathrm{DD}}(1 - e^{-t/R_{\mathrm{M}}C_{\mathrm{M}}})$$

Avec V_{RC} la tension au nœud commun entre la résistance et la capacité. La durée de l'impulsion correspondante en sortie (V_{Puls}) indépendamment de celle en V_{in} (en supposant que cette dernière sera nettement supérieure à 100ns puisque de source humaine via un bouton poussoir) sera alors de :

$$\tau = \ln(2)\, R_{\mathrm{M}}C_{\mathrm{M}}$$

Les calculs ont été fait pour une impulsion de 125ns afin d'être toujours supérieure à 50ns malgré les variations de process : R_{M} = 72kΩ et C_{M} = 2,5pF. Le résultat est représenté sur la Figure V-18.

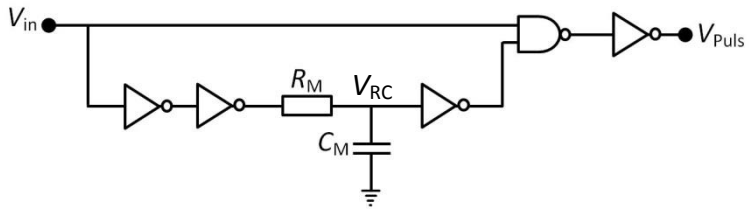


Figure V-17 : Circuit retenu pour le monostable.

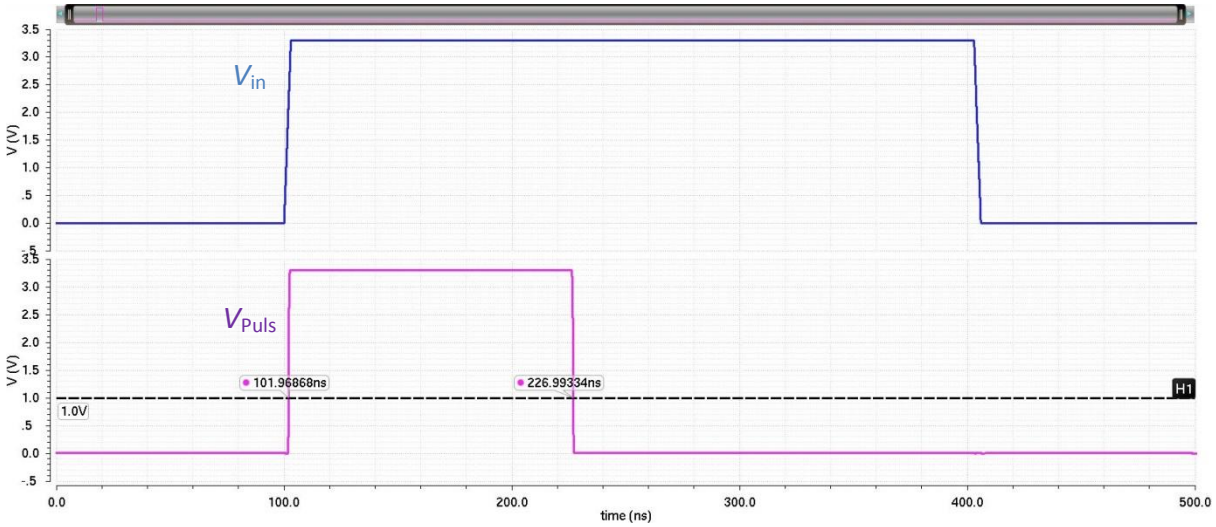


Figure V-18 : Simulation du monostable sous Cadence (Spectre).

On observe que l'impulsion de sortie présente une durée de 125 ns.

V.4.2. Simulations fonctionnelles au niveau schématique des amplificateurs

V.4.2.a. Performances de l'amplificateur

Le but de ce test est d'évaluer les performances de l'amplificateur (gain et consommation notamment). Toutefois, l'utilisation d'un circuit de boucle de contrôle de mode commun à capacités commutées implique une simulation transitoire, afin de laisser au mode commun le temps de se stabiliser.

Un premier test en fréquence est réalisé afin de valider le gain statique et le produit gain-bande, sur une charge de 2,925pF.

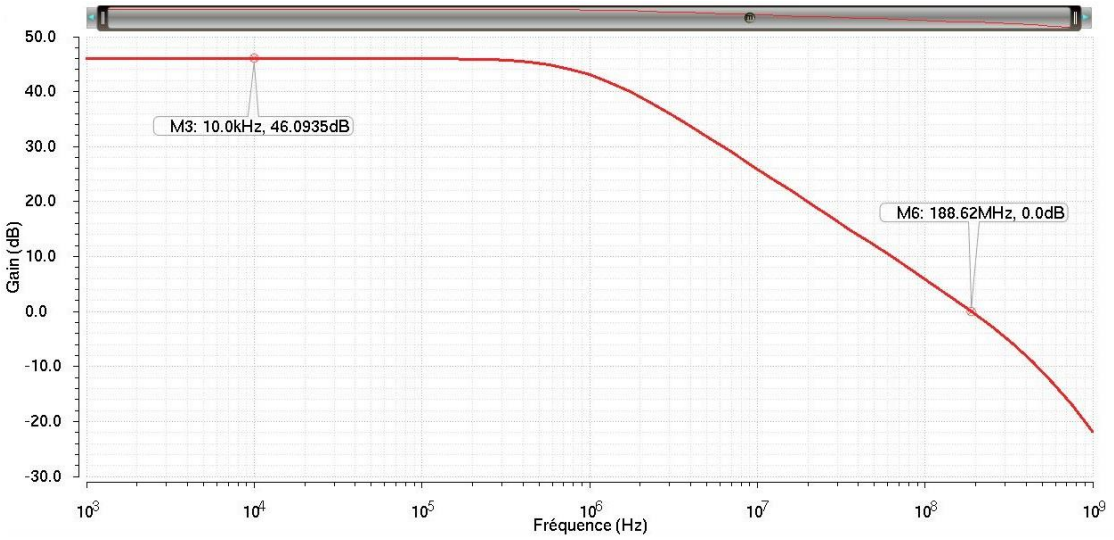


Figure V-19 : Diagramme de Bode de l'amplificateur sur une charge de 2,925pF.

On mesure un gain de 46,1dB, et un produit gain-bande de 188,6MHz, supérieur aux 178MHz nécessaires.

La simulation du circuit en schématique dans les pires cas à 27°C, et dans les cas nominaux sous des températures extrêmes donne les résultats suivants (Figure V-20) :

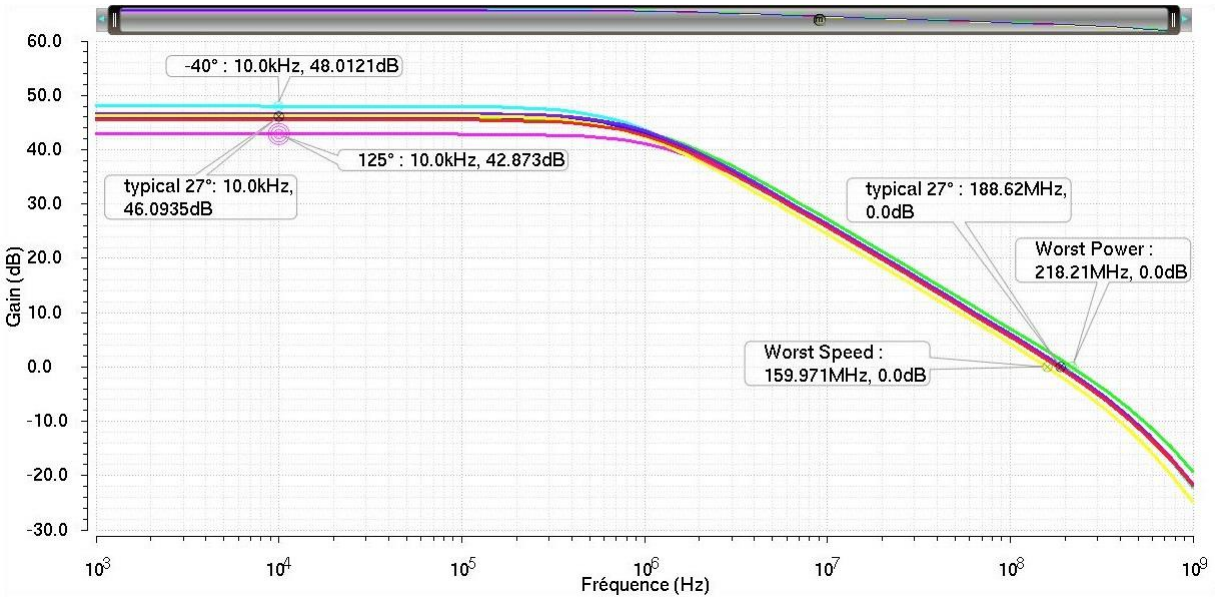


Figure V-20 : Diagramme de Bode en pire cas à 27° et à -40° et 125° dans le cas typique.

Le gain est compris entre 42,87dB et 48dB, et le GBW est compris entre 160MHz et 220MHz.

Un test en régime transitoire de 2,1µs est alors réalisé pour plusieurs tensions d'entrée (entre -250µV et 250µV). L'horloge a une fréquence de 100ns. Pour calculer le courant consommé, on calcule la valeur moyenne du courant fourni par le générateur sur

toute la durée de la simulation. La simulation du circuit en schématique dans les pires cas à 27°C, et dans les cas nominaux sous des températures extrêmes donne les résultats suivants (Figure V-21).

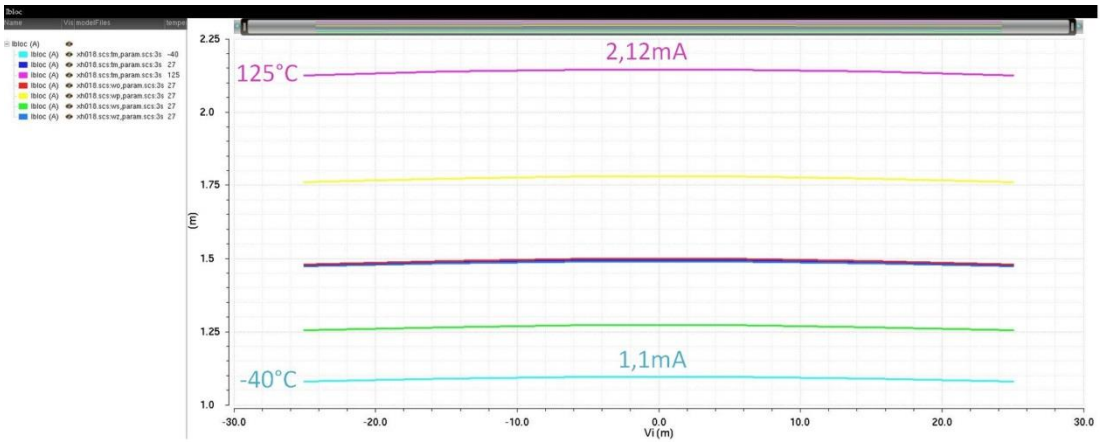


Figure V-21 : Consommation en courant (en mA), en fonction de la tension d'entrée en mV dans toute la gamme de température.

La consommation en courant est comprise entre 1,1mA et 2,12mA. Cet écart est dû à une variation en process de la valeur de la résistance permettant de générer le courant.

Une fois le bon fonctionnement de l'amplificateur vérifié, l'objectif des deux blocs suivants est de démontrer que le système dit « prédictif » proposé permet une nette amélioration des résultats et une diminution de l'erreur constatée en sortie.

La capacité de charge pour les tests suivants est choisie à 2pF. Cette décision s'explique d'une part par le fait que cette valeur est située entre le cas d'un deuxième étage 2,5 bits prédictif (2,4pF) et non-prédictif (1,2pF), et d'autre part par la nécessité de vérifier le bon fonctionnement de nos circuits dans l'ASIC, et chargeant donc un PAD de sortie dont la capacité est estimée à 2pF environ.

V.4.2.b. Architecture non-prédictive

Une simulation transitoire de 650ns est réalisée, l'horloge dans ce cas a une période de 200ns. La simulation est réalisée pour plusieurs entrées allant de ±10mV (variable sur le graphique « 10mV », donnant une tension différentielle d'entrée de 20mV, Vs idéale = 80mV) à ±360mV (Vs idéale = 2,88V). Pour calculer le courant consommé, on mesure la valeur moyenne de ce dernier qui est fourni par le générateur sur toute la durée de la simulation. Suite à la simulation du circuit en schématique dans les pires cas à 27°C et dans les cas nominaux sous des températures extrêmes, la sortie transitoire, l'erreur en sortie, et la consommation en courant sont respectivement représentés figures V-22, V-23, et V-24.

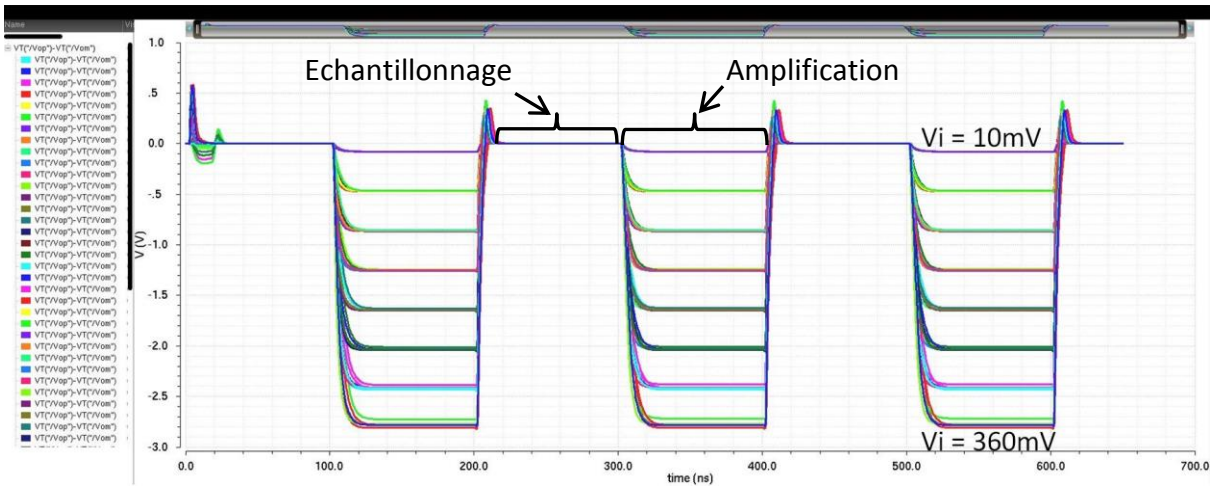


Figure V-22 : Sortie différentielle de l'architecture non-prédictive.

On observe les phases d'échantillonnage de l'entrée (sortie à 0V) et d'estimation. Dans l'ensemble des cas, pour une tension d'entrée donnée, les sorties présentent des valeurs similaires.

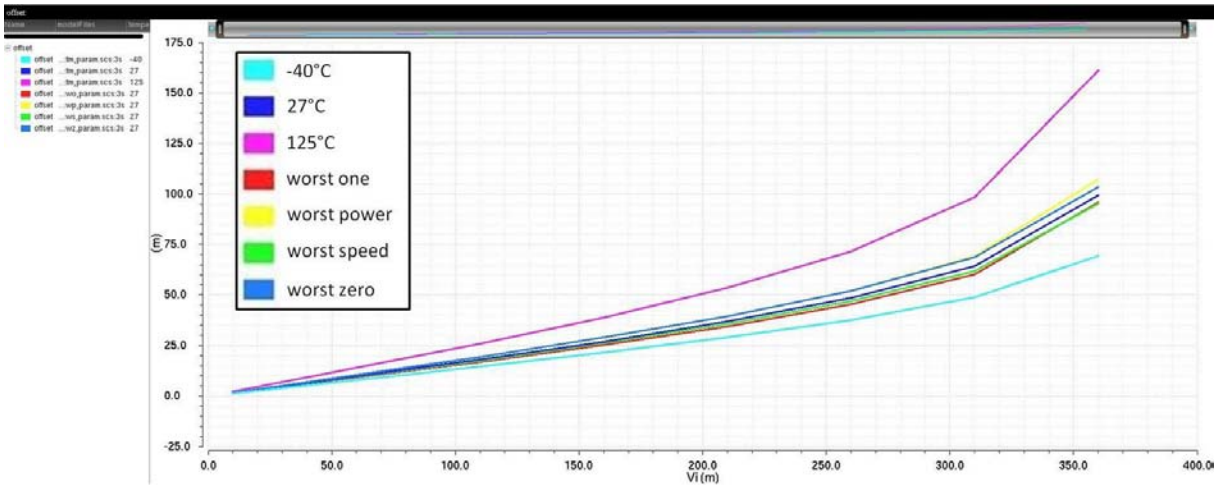


Figure V-23 : Mesure de l'erreur (tension différentielle de sortie idéale moins tension différentielle de sortie réelle) de l'architecture non-prédictive.

L'erreur en sortie est peu impactée par les variations de process, toutefois on observe un rapport 2 entre l'erreur à -40°C et l'erreur à 125°C.

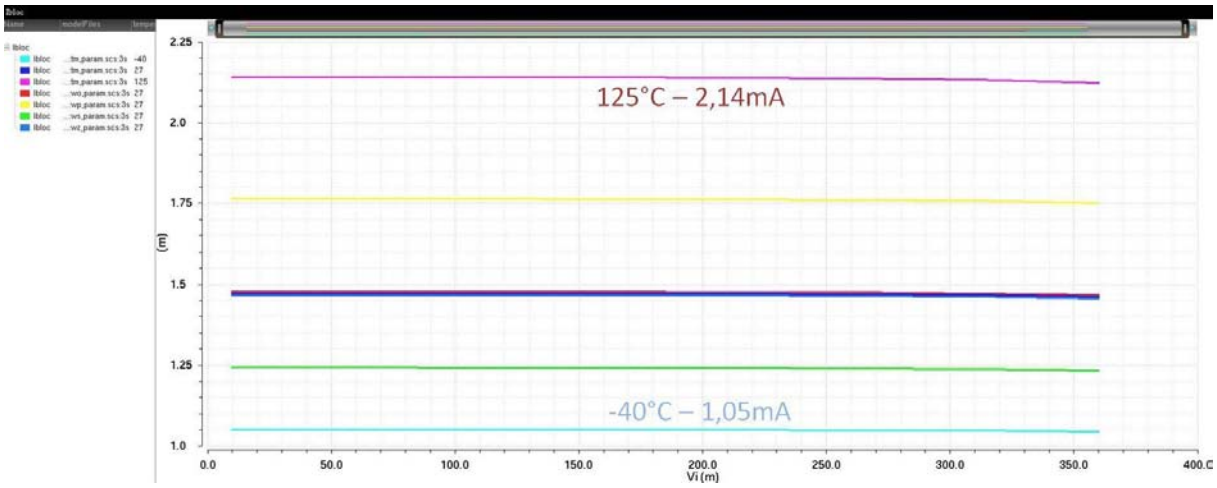


Figure V-24 : Consommation en courant de l'architecture non-prédictive.

Comme avec la structure de mesure de l'amplificateur, on observe un rapport 2 entre la consommation du circuit à -40°C et à 125°C.

V.4.2.c. Architecture prédictive

Tout comme dans le cas non-prédictif, on réalise une simulation transitoire de 650ns, l'horloge de prédiction a dans ce cas une période de 100ns, l'autre horloge ayant une période de 200ns, permettant le même débit en sortie que dans le cas-non-prédictif. La simulation est réalisée pour plusieurs entrées allant de ±10mV à ±360mV. Comme précédemment, pour calculer le courant consommé, on calcule le courant moyen fourni par le générateur sur toute la durée de la simulation. Suite à la simulation du circuit en schématique dans les pires cas à 27°C et dans les cas nominaux sous des températures extrêmes, la sortie transitoire, l'erreur en sortie, et la consommation en courant sont respectivement représentés figures V-25, V-26 et V-27.

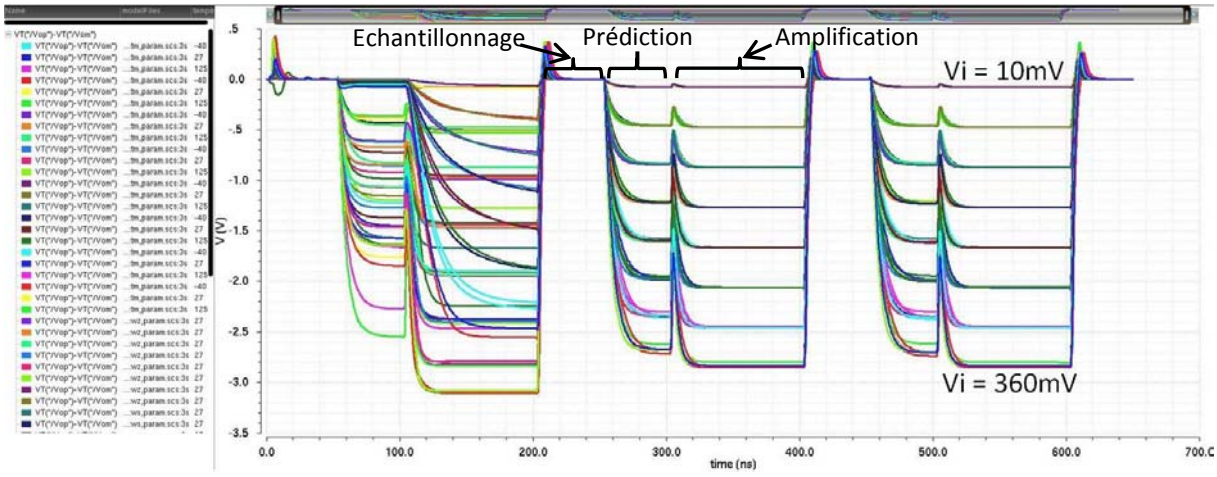


Figure V-25 : Sortie différentielle de l'architecture prédictive.

On observe les phases d'échantillonnage de l'entrée (sortie à 0V), d'estimation par prédiction, et d'estimation finale. Suite à la première période durant laquelle, dans certains cas, le mode commun est encore en cours d'établissement, dans l'ensemble des cas, pour une tension d'entrée donnée, les sorties présentent des valeurs similaires.

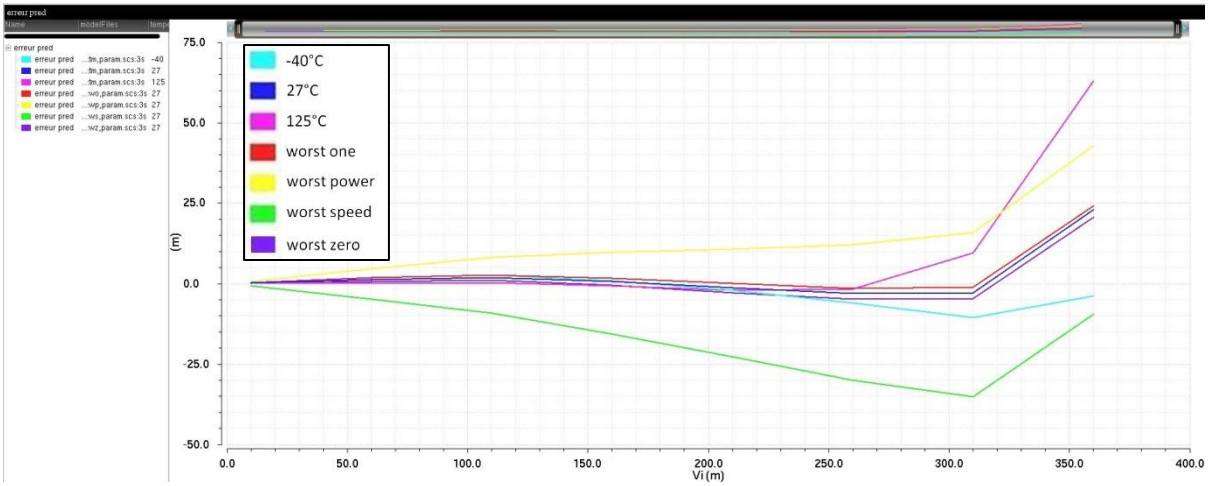


Figure V-26 : Mesure de l'erreur (tension différentielle de sortie idéale moins tension différentielle de sortie réelle) de l'architecture prédictive.

On remarque que l'erreur augmente fortement en limite de gamme (tension d'entrée de 310mV et 360mV), mais qu'elle reste inférieure à l'erreur dans le cas non-prédictif. Ceci sera étudié plus en détail au chapitre suivant sur la comparaison des circuits prédictif et non-prédictif.

En remplaçant l'erreur mesurée dans le cas typique pour une tension d'entrée de 310mV dans l'équation V-4, on obtient un gain de l'amplificateur boucle ouverte réel de 46,3dB, ce qui est assez proche des 46,1dB mesurés, et confirme donc la validité de la formule V-4.

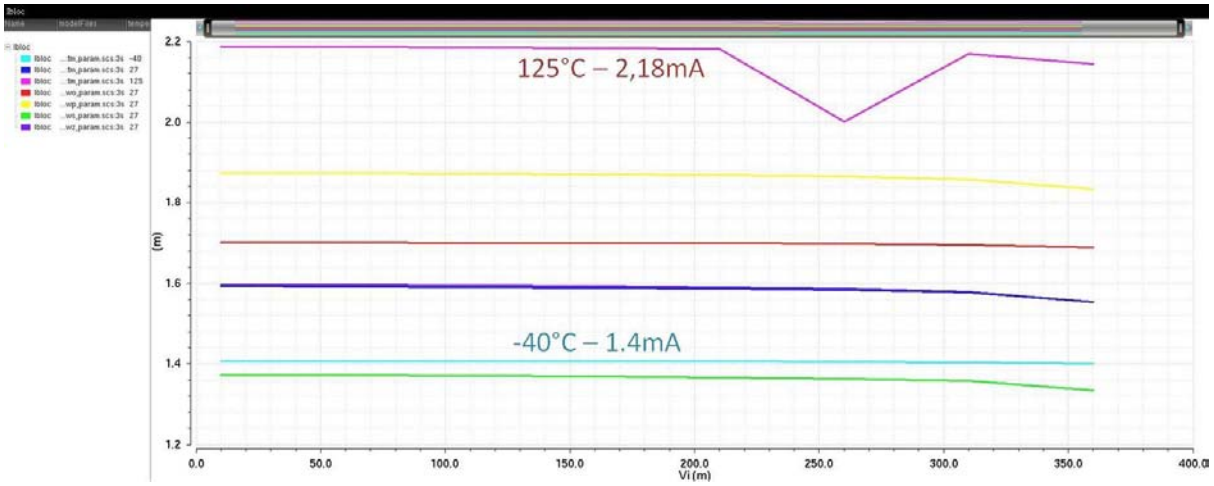


Figure V-27 : Consommation en courant de l'architecture prédictive.

Mis à part la diminution de consommation pour une tension d'entrée de 260mV à 125°C, que des investigations n'ont pas su expliquer mais ne causant aucun problème de performances, aucune anomalie n'est à signaler.

V.4.2.d. Comparaison des architectures non-prédictives et prédictives

Les deux circuits sont ici comparés suivant deux paramètres, l'erreur (Figure V-28) et la consommation (Figure V-29), au niveau schématique, (les cas post-layout et top-level n'ayant pas révélé de dysfonctionnement majeur), dans le cas nominal (typical mean, 27°C), pour des tensions d'entrée allant de 10mV à 310mV, par palier de 50mV.

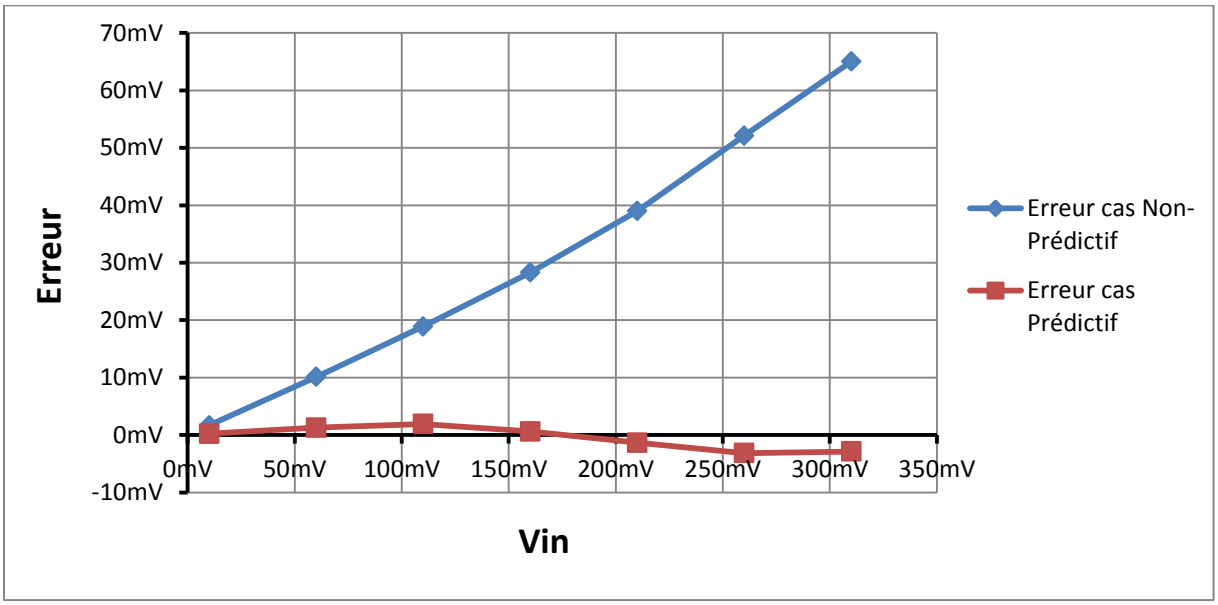


Figure V-28 : Comparaison des erreurs des circuits non-prédictifs (bleu) et prédictifs (rouge) au niveau schématique.

On observe au niveau schématique une nette diminution de l'erreur dans le cas prédictif (rapport de 23 entre le cas non-prédictif et le cas prédictif pour V_{in} = 310mV).

Pour trouver le gain boucle ouverte réel équivalent de l'amplificateur, en partant de la formule (V-3), avec V_{outR} la tension de sortie réelle, on peut écrire :

$$\begin{aligned} V_{\mathrm{outR}} &= G_{\mathrm{R}} V_{\mathrm{in}} \\ &= G_{\mathrm{i}}(1+E) V_{\mathrm{in}} \\ &= G_{\mathrm{i}} V_{\mathrm{in}} + G_{\mathrm{i}} E V_{\mathrm{in}} \\ &= V_{\mathrm{outID}} + E_{\mathrm{V}} \end{aligned}$$

Avec V_{outID} la tension de sortie idéale et E_V la tension d'erreur en sortie.

On en déduit donc que :

$$E_{\mathrm{V}} = G_{\mathrm{i}} E V_{\mathrm{in}}$$

$$= -G_{\mathrm{i}} \frac{G_{\mathrm{i}}}{A_0 + G_{\mathrm{i}}} V_{\mathrm{in}}$$

Soit :

$$A_{0,\mathrm{éq}} = G_{\mathrm{i}} \left(1 + \frac{G_{\mathrm{i}} V_{\mathrm{in}}}{E_{\mathrm{V}}}\right)$$

Ainsi, on peut estimer que le gain équivalent en boucle ouverte $A_{0,\mathrm{éq}}$ dans le cas non-prédictif est de 38dB (soit, en remplaçant dans l'équation (V-6), une résolution de 5,67 bits), et dans le cas prédictif de 64,8dB (soit une résolution de 10,2 bits). C'est donc une augmentation du gain de 26,8dB que l'on constate, ce qui correspond à une amélioration de 4,53 bits.

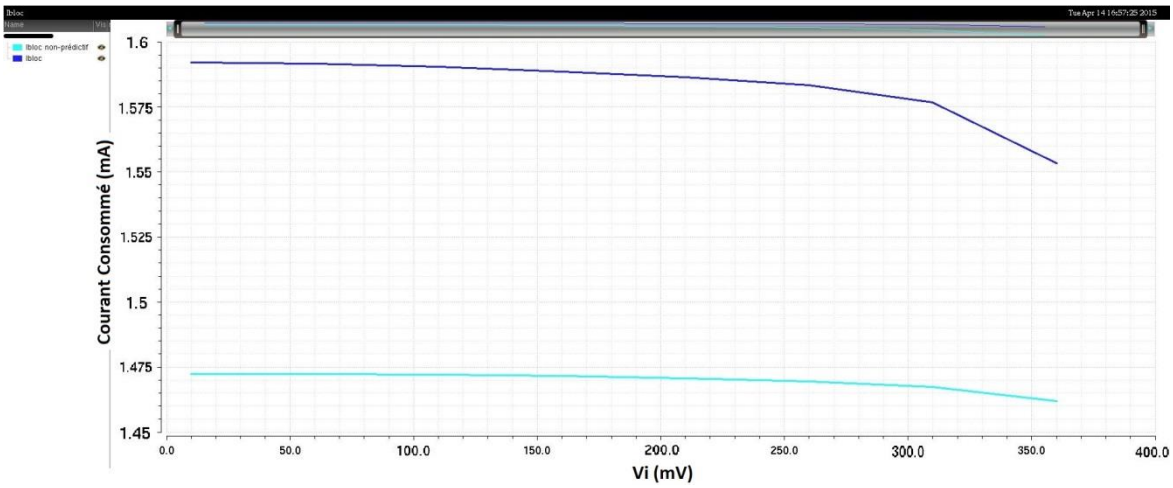


Figure V-29 : Comparaison des consommations en courant des circuits non-prédictif (bleu ciel) et prédictif (bleu foncé) au niveau schématique.

La consommation est supérieure dans le cas prédictif, mais l'augmentation est relativement faible (environ 7%).

V.4.2.e. Analyse de la consommation de l'architecture prédictive

L'augmentation de gain effectif constatée grâce à la prédiction est à mettre en balance avec la réalisation d'un système non-prédictif avec une architecture traditionnelle de gain équivalent. En effet, la réalisation d'un amplificateur de gain avoisinant les 70dB nécessite généralement l'utilisation d'une structure à double-étage, et donc d'une capacité de compensation afin de pallier les problèmes d'instabilité dus notamment au gain plus important que dans le cas de l'architecture retenue dans ces travaux. Par ailleurs, comme nous l'avons vu au chapitre V.4.1.a, la bande passante doit être doublée pour pouvoir profiter des apports de la prédiction, mais cette dernière permet d'utiliser une architecture plus simple et donc plus stable. Il est alors intéressant d'estimer l'impact sur la

consommation de l'architecture prédictive par rapport à une structure double-étage nécessitant une compensation.

V.4.2.e.i. Cas de l'architecture prédictive

Soit G_m la transconductance globale de l'amplificateur utilisé, et C_L la capacité de charge de l'amplificateur. On peut exprimer le produit gain-bande passante sous la forme suivante :

$$GBW = \frac{G_m}{C_L}$$

Ainsi, pour doubler la bande passante, il faut doubler la transconductance. Or, le courant s'exprimant de manière proportionnelle au carré de la transconductance dans le cas d'un régime en forte inversion, on peut estimer que multiplier G_m d'un rapport 2 revient à augmenter le courant consommé d'un rapport 4 **[RAZAVI1] [SANSEN]**.

V.4.2.e.ii. Cas du double étage avec compensation

Soient G_{m1} et G_{m2} respectivement les transconductances du premier et du deuxième étage. Pour s'assurer de la stabilité du montage, on pose généralement **[RAZAVI1] [SANSEN]** :

$$\frac{3G_{m1}}{C_c} = \frac{G_{m2}}{C_L}$$

Or, l'objectif de la capacité de compensation étant de repousser le pôle du deuxième étage après la fréquence de gain unitaire (puisque, dans notre cas, la phase d'échantillonnage implique un rebouclage de l'amplificateur et donc un gain unitaire), on a :

$$GBW = \frac{G_{m1}}{C_C}$$

En général, on cherche à avoir **[SANSEN]** : $C_L = 3\ C_c$. On obtient ainsi $G_{m2} = 9G_{m1}$, ce qui se traduit par une augmentation de la consommation d'un rapport entre 9 et 9x9 = 81 selon que l'on travaille en faible ou forte inversion.

Ainsi, l'utilisation d'une architecture prédictive plutôt qu'une architecture non-prédictive à double étage avec compensation permet de diminuer la consommation d'un rapport entre 4,5 et 40.

V.5. Conclusions

Ainsi, après avoir choisi une structure d'amplificateur simple mais efficace pour notre « proof of concept », une architecture à capacités commutées novatrice a permis d'augmenter le gain effectif de l'amplificateur de 26,8 dB, revenant à une augmentation de la résolution de l'étage de 4,53 bits, au prix d'une consommation supérieure de 7% seulement, ainsi que d'une légère augmentation de la surface utilisée (les layouts des structures présentées sont disponible en annexe). Si l'on avait dû utiliser une structure double étage à compensation pour obtenir un gain effectif équivalent, la consommation aurait été entre 4,5 et 40 fois plus importante. Les tests post-layout et top-level n'ont pas révélé de problèmes majeurs.

V.6. Références

[AHMED] Moaaz Ahmed, "*An improved recycling folded cascode amplifier with gain boosting and phase margin enhancement,"* 2015 IEEE International Symposium on Circuits and Systems (ISCAS).

[AKBARI] Meysam Akbari, "*Single-stage fully recycling folded cascode OTA for switched-capacitor circuits,"* IET Electronics Letters, Volume: 51, Issue: 13, 2015

[ASSAAD] Rida S. Assaad, *"Design Techniques for High-Speed low-voltage and low-power non-calibrated Pipeline Analog to Digital Converters,"* PhD dissertation, Texas A&M University, 2009.

[GREGOIRE] Robert Gregoire *et. al.*, *"An Over-60 dB True Rail-to-Rail Performance Using Correlated Level Shifting and an Opamp With Only 30 dB Loop Gain,"* IEEE Journal Of Solid-State Circuits, Vol. 43, No. 12, December 2008.

[HERSHBERG] Benjamin Hershberg *et. al., "Design of a Split-CLS Pipelined ADC With Full Signal Swing Using an Accurate But Fractional Signal Swing Opamp,"* IEEE Journal Of Solid-State Circuits, Vol. 45, No. 12, December 2010.

[KUO] Po-Yu Kuo *et. al.*, *"The enhancement of recycling folded cascode amplifier,"* 2016 IEEE International Conference on Consumer Electronics-Taiwan (ICCE-TW)

[LIU] Mingliang Liu, *"Demystifying Switched-Capacitors circuits,"* Newnes.

[QUINN] Patrick J. Quinn & Arthur H.M. van Roermund, *"Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design,"* Springer 2007

[RAZAVI1] Behzad Razavi, *"Design of Analog CMOS Integrated Circuits,"* McGraw-Hill International Edition, 2001.

[ROGERIO] Denis Rogério da Silva & Nobuo Oki, *"An amplifier and capacitor sharing technique using recycling folded cascode operational amplifier with applications in MDAC of CMOS pipelined ADC,"* IEEE 2015 Conference on Design of Circuits and Integrated Systems (DCIS)

[SANSEN] Willy M.C. Sansen, *"Analog Design Essentials,"* Springer, 2006.

[VANDEP] Rudy van de Plassche, *"CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters,"* Kluwer Academic Publishers, 2003.

[VENKATRAM] Hariprasath Venkatram *et. al., "Detection and Correction Methods for Single Event Effects in Analog to Digital Converters,"* IEEE Transactions On Circuits And Systems, Regular Papers, Vol. 60, No. 12, December 2013.

Conclusion générale et perspectives

Depuis ses balbutiements dans les années 60, l'imagerie satellitaire est un domaine de plus en plus sollicité, dans le cadre de missions ayant des objectifs très variés (observation de divers phénomènes terrestres, observation de l'espace,…). Au fil des années, avec l'évolution des technologies en micro-électronique, il a toujours fallu s'assurer de la garantie du fonctionnement autonome de ces systèmes embarqués requérant toujours plus de précision alors que les vitesses de fonctionnement requises et l'autonomie n'ont cessé d'augmenter. Il est donc indispensable de trouver de nouvelles stratégies de fonctionnement performantes des circuits embarqués, à commencer par une très faible puissance consommée pour des performances sans cesse croissante, et ce, dans un milieu hostile à l'électronique submicronique. Dans ce contexte, les CANs intégrés dans les chaines d'observation embarquées à base de capteurs CCD en sont un élément clé, car ils conditionnent la qualité des signaux numériques, nécessaires au traitement et à la transmission sur Terre des informations.

Ainsi, après avoir listé au chapitre I.1 la nature et l'origine des différentes radiations présentes dans le milieu spatial, nous avons étudié leurs effets à court (évènements singuliers) et long termes (effets de dose cumulée) sur un circuit en technologie CMOS classique en général, et en technologie XFAB XH018 en particulier au chapitre I.2. Le chapitre I.3 a permis de présenter quelques techniques et règles de bases à respecter pour la réalisation d'un circuit électronique embarqué spatial.

Une fois ces contraintes connues, le chapitre II s'est focalisé sur l'étude du convertisseur analogique-numérique typique de la chaîne de traitement de signaux issus d'un capteur CCD embarqué. Le chapitre II.1 a permis de présenter les différents principes de conversion ainsi que de définir les différents éléments clés des performances d'un CAN. Les architectures existantes majeures ont été comparées au chapitre II.2, aboutissant au choix d'une structure de type pipeline, de par le compromis vitesse de conversion/précision, en adéquation avec les caractéristiques nécessaires à l'imagerie spatiale. Le fonctionnement d'une telle structure, à base d'amplificateur à capacités commutées, a été détaillé au chapitre II.3. Au sein d'un CAN de type pipeline, trois blocs fondamentaux ont alors été identifiés pour la suite de l'étude : tout d'abord l'interrupteur analogique, élément dont les performances impactent la précision de la conversion, mais sensible à des phénomènes non-linéaires tels que l'injection de charge et la variation de la résistance d'accès ; puis le

comparateur servant à réaliser la conversion analogique-numérique à proprement parler, dont l'offset notamment peut être grandement perturbé par l'environnement radiatif ; et enfin l'amplificateur utilisé en soustracteur-amplificateur et qui est au cœur de la structure à capacités commutées, dont le produit gain-bande doit être élevé sans pour autant engendrer de surconsommation notable.

Dans le chapitre III.1, le fonctionnement de l'interrupteur analogique et de ses non-idéalités, notamment l'injection de charges et la variation de sa résistance d'accès, venant diminuer ses performances et sa précision, ont été développés. Les techniques usuelles pour compenser ces phénomènes ont été présentées au chapitre III.2, qui met notamment en avant la technique de bootstrapping, couramment utilisée sur Terre pour diminuer drastiquement les imprécisions non-linéaires précédemment évoquées, ainsi que l'impossibilité de l'utiliser telle quelle en environnement radiatif spatial. Le chapitre III.3 a ainsi proposé une modification originale de cette architecture, protégeant l'intégralité de l'interrupteur en cas d'évènement singulier lié aux radiations. La conception et les résultats de simulation de ce nouvel interrupteur ont été détaillés au chapitre III.4 : on s'est notamment aperçu que, pour des transistors ayant des dimensions similaires et jouant le rôle d'interrupteur, la résistance d'accès était bien plus faible et linéaire que celles des architectures qui pouvaient être embarquées jusqu'à présent (diminution de 85% par rapport à une porte de transmission CMOS), ce qui permet de présager, pour des résistances d'accès maximales similaires, une injection de charges nettement amoindrie.

Par la suite, le chapitre IV.1 a tout d'abord présenté les paramètres de caractérisation des imperfections des comparateurs analogiques, ainsi que leurs différentes structures. Une architecture, appelée « *Auto-Zero* », a été identifiée pour diminuer l'offset en la conservant sur une capacité et en l'injectant en sortie. L'Auto-Zero est déjà utilisé par les concepteurs analogiques de circuits micro-électroniques destinés à l'environnement spatial. Mais un perfectionnement de ce système, présenté et détaillé dans le chapitre IV.2 et nommé « *Dual*-Path », a été proposé et simulé dans la littérature mais n'a toujours pas été implémenté sur circuit. Le principe est de multiplier les chemins d'accès du comparateur via autant de transistors d'entrée, dont les dimensions seront divisées afin de préserver la consommation et les performances. Cette technique a été appliquée dans le cadre d'un comparateur d'un étage de convertisseur pipeline. La réalisation et les simulations de ces comparateurs ont été détaillées au chapitre IV.3. La difficulté de simuler l'impact d'une charge implique que les simulations sous Cadence se sont limitées à l'aspect fonctionnel, et

les résultats, en termes de fonctionnement et d'offset ont été, conformément à nos attentes, similaires.

Dans le cinquième et dernier chapitre, la réalisation d'un amplificateur à capacités commutées utilisant une architecture prédictive a été détaillée. Le chapitre V.1 a présenté dans un premier temps le fonctionnement d'un étage pipeline classique autour d'un amplificateur idéal dans un premier temps, puis réel à gain fini. Dans le chapitre V.2, le fonctionnement théorique du Predictive Correlated Double Sampling, qui permet d'optimiser la précision de sortie sur une phase grâce des capacités dites de « prédiction » fonctionnant avec une horloge doublée, a été décrit. Le chapitre V.3 a détaillé le choix de l'architecture de l'amplificateur seul, ainsi que son fonctionnement. Une structure à double étage et à sortie de classe AB a été retenue, pour sa simplicité et sa grande plage de sortie. Enfin, la réalisation d'une architecture de référence classique et d'une autre similaire mais utilisant la prédiction a été détaillée au chapitre V.4. Les résultats des simulations ont mis en avant que, pour une consommation augmentée de 7%, la structure prédictive permettait d'augmenter le gain effectif de l'amplificateur de 26,8 dB, revenant à une augmentation de la résolution de l'étage de 4,53 bits, ce qui a ainsi validé le choix du Predictive Correlated Double Sampling.

Ainsi, les résultats obtenus pour l'amélioration de la précision d'un interrupteur analogique, le durcissement d'un comparateur analogique et l'architecture novatrice d'un amplificateur à capacités commutées d'un étage pipeline permettent d'offrir de nouveaux outils aux concepteurs de circuits électroniques destinés à tout type d'environnement radiatif, ce qui couvre ainsi, outre le domaine du spatial, celui du médical ou du nucléaire. Les tests fonctionnels de l'ASIC seront présentés lors de la soutenance orale et devraient permettre de valider les résultats attendus. Par la suite, des tests en environnement radiatif devront être menés afin de valider les techniques de durcissement mises en œuvre, dans le but de permettre, à terme, d'améliorer les performances des CANs utilisés lors des prochaines missions d'observation de la Terre et de l'Univers.

Annexes

A. Calcul de l'erreur en sortie dans le cas prédictif

Afin de réaliser ce calcul, il faut écrire les charges sur chacune des phases (rappelées Figure A-1) sur V_{inm}, et se baser sur le principe de la conservation de la charge afin de les égaliser entre chaque phase.

On rappelle également que sont posés :

- A_0 le gain réel de l'amplificateur
- C_{tot} la somme des capacités C_1, C_2, C_3 et C_4 (on rappelle que C_1 / C_2 = C_3 / C_4)
- V_{outi} et V_{inmi} respectivement la tension de sortie et la tension sur l'entrée négative de l'amplificateur lors de la phase i

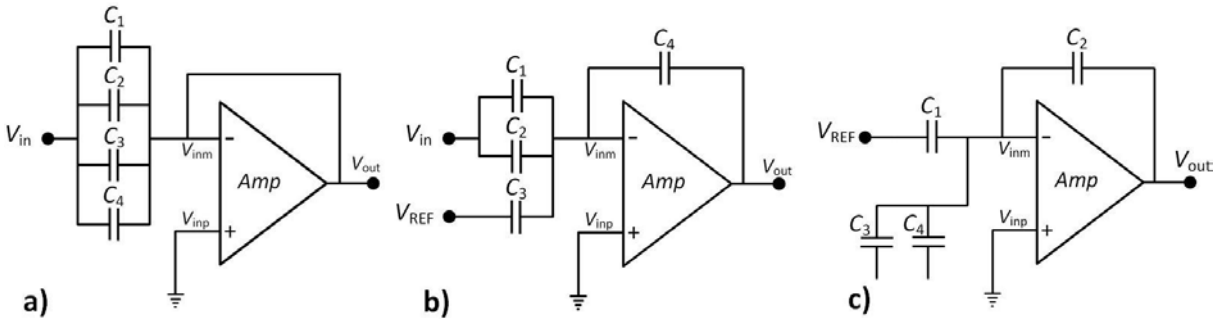


Figure A-1 : Représentation single-ended des trois phases du système prédictif : remise à zéro et estimation de l'offset de l'amplificateur (a), prédiction (b), et amplification finale (c).

Phase a) :

$$Q = (C_1 + C_2 + C_3 + C_4)(V_{in} - V_{outa})$$

Or :

$$V_{outa} = A_0(V_{inp} - V_{inm}) = -A_0 V_{outa}$$

D'où :

$$Q = (C_1 + C_2 + C_3 + C_4)V_{in} = C_{tot}V_{in} \qquad \text{(A-1)}$$

Phase b) :

$$Q = (C_1 + C_2)(V_{in} - V_{inmb}) + C_4(V_{outb} - V_{inmb}) + C_3(V_{REF} - V_{inmb})$$

Or :

$$V_{outb} = -A_0 V_{inmb} \tag{A-2}$$

d'où :

$$Q = (C_1 + C_2)V_{in} + C_4 V_{outb} + C_3 V_{REF} + C_{tot}\frac{V_{outb}}{A_0})$$

Avec la conservation des charges entre les phases a) et b), on obtient :

$$V_{outb} = \frac{C_3 + C_4}{C_4 + \frac{C_{tot}}{A_0}} V_{in} - \frac{C_3}{C_4 + \frac{C_{tot}}{A_0}} V_{REF} \tag{A-3}$$

Phase c) :

Ici, les charges stockées sur C_3 et C_4 ne peuvent pas s'échapper. On a donc :

$$Q = C_1(V_{REF} - V_{inmc}) + C_2(V_{outc} - V_{inmc}) + C_3(V_{REF} - V_{inmb}) + C_4(V_{outb} - V_{inmb})$$

Or, on a :

$$V_{outc} = -A_d V_{inmc} \tag{A-4}$$

Ainsi, en injectant (A-2), (A-3) et (A-4), on obtient :

$\alpha V_{in} - \beta V_{REF} = V_{outc}$, avec :

$$\alpha = \frac{\left[C_{tot} - \left(\frac{C_3+C_4}{A_0} + C_4\right)\left(\frac{C_3+C_4}{C_4+\frac{C_{tot}}{A_0}}\right)\right]}{\frac{C_1+C_2}{A_0} + C_2}, et$$

$$\beta = \frac{\left[(C_1 + C_3) - \left(\frac{C_3+C_4}{A_0} + C_4\right)\left(\frac{C_3}{C_4+\frac{C_{tot}}{A_0}}\right)\right]}{\frac{C_1+C_2}{A_0} + C_2} \tag{A-5}$$

Analyse du terme en V_{in} :

$$\alpha = \frac{\left[C_{tot} - \left(\frac{C_3+C_4}{A_0} + C_4\right)\left(\frac{C_3+C_4}{C_4+\frac{C_{tot}}{A_0}}\right)\right]}{\frac{C_1+C_2}{A_0} + C_2}$$

$$= \frac{A_0\left[C_{tot} - (C_3 + C_4 + C_4A_0)\left(\frac{C_3+C_4}{C_4A_0+C_{tot}}\right)\right]}{C_1 + C_2 + C_2A_0}$$

$$= A_0 \frac{{C_{tot}}^2 + C_4A_0C_{tot} - (C_3 + C_4)^2 - C_4A_0(C_3 + C_4)}{(C_1 + C_2 + C_2A_0)(C_4A_0 + C_{tot})}$$

On cherche à faire apparaître le gain idéal de l'étage en boucle fermée $G_i = (C_1 + C_2) / C_2 = (C_3 + C_4) / C_4$, ainsi que l'erreur de gain E due au gain fini de l'amplificateur : $\alpha = G_i (1 + E)$. On factorise donc par $C_1 + C_2 = C_{tot} - (C_3 + C_4)$ au numérateur, et par C_2 au dénominateur. On obtient alors :

$$\alpha = A_0G_i \frac{C_4A_0 + C_3 + C_4 + C_{tot}}{(A_0 + G_i)(C_4A_0 + C_{tot})}$$

$$= G_i \frac{1 + \frac{C_3+C_4+C_{tot}}{C_4A_0}}{\left(1 + \frac{G_i}{A_0}\right)\left(1 + \frac{C_{tot}}{C_4A_0}\right)}$$

A_0 étant grand devant G_i et C_{tot}/C_4, on peut réaliser un développement limité du premier ordre suivant $1 / (1 + \varepsilon) \approx 1 - \varepsilon$ avec ε petit devant 1 :

$$\alpha \approx G_i \left(1 + \frac{C_3 + C_4 + C_{tot}}{C_4A_0}\right)\left(1 - \frac{G_i}{A_0}\right)\left(1 - \frac{C_{tot}}{C_4A_0}\right)$$

$$= G_i \left[1 - \frac{1}{{A_0}^2}\left(\frac{(C_3 + C_4)(C_1 + C_2)}{C_2C_4} + \frac{(C_3 + C_4 + C_{tot})C_{tot}}{{C_4}^2}\right)\right]$$

On a ainsi :

$$E = -\frac{1}{{A_0}^2}\left({G_\mathrm{i}}^2 + \left(\frac{C_\mathrm{tot}}{C_4}\right)^2 + \frac{C_\mathrm{tot}}{C_4}G_\mathrm{i}\right)$$

Analyse du terme en V_{REF} :

$$\beta = \frac{\left[(C_1 + C_3) - \left(\frac{C_3+C_4}{A_0} + C_4\right)\left(\frac{C_3}{C_4+\frac{C_{tot}}{A_0}}\right)\right]}{\frac{C_1+C_2}{A_0} + C_2}$$

$$= \frac{\left[(C_1 + C_3)\left(C_4 + \frac{C_{tot}}{A_0}\right) - \left(\frac{C_3+C_4}{A_0} + C_4\right)C_3\right]}{\left(C_4 + \frac{C_{tot}}{A_0}\right)\left(\frac{C_1+C_2}{A_0} + C_2\right)}$$

$$= \frac{C_1}{C_2} \frac{1 + \frac{(C_1+C_2)C_3}{C_1C_4A_0} + \frac{C_{\text{tot}}}{C_4A_0}}{\left(1 + \frac{C_1+C_2}{C_2A_0}\right)\left(1 + \frac{C_{tot}}{C_4A_0}\right)}$$

$$\approx \frac{C_1}{C_2}\left[\left(1 + \frac{(C_1+C_2)C_3}{C_1C_4A_0} + \frac{C_{\text{tot}}}{C_4A_0}\right)\left(1 - \frac{C_1+C_2}{C_2A_0}\right)\left(1 - \frac{C_{tot}}{C_4A_0}\right)\right]$$

En développant, et en négligeant les termes en 1 / A_0^3, on obtient :

$$= \frac{C_1}{C_2}\left[1 + \frac{1}{A_0}\left[(C_1+C_2)\frac{(C_3C_2 - C_1C_4)}{C_1C_4C_2A_0}\right] + \frac{\beta_2}{{A_0}^2}\right]$$

Or, quel que soit le rapport R_1 choisi entre C_1 et C_2 (et donc entre C_3 et C_4) et le rapport R_2 choisi entre C_1 et C_3 (et donc entre C_2 et C_4), le terme en $C_3C_2 - C_1C_4$ s'annule.

On a donc à nouveau une erreur en 1 / A_0^2.

Remarque :

$$\beta_2 = -\frac{C_3C_4(C_1+C_2)^2 + C_3C_2C_{tot}(C_1+C_2) + 2C_1C_4C_{tot}(C_1+C_2) + C_1C_4{C_{tot}}^2}{C_1C_2{C_4}^2}$$

Soit, en choisissant, comme c'est le cas dans l'ASIC :

$$\begin{cases} C_1 = C_3 \\ C_2 = C_4 \\ C_1 = 3C_2 \\ C_3 = 3C_4 \end{cases}$$

On obtient :

$$\beta_2 = -464$$

B. Application du Recycling Folded Cascode [ASSAAD].

L'architecture du RFC utilisée est présentée Figure B-1 :

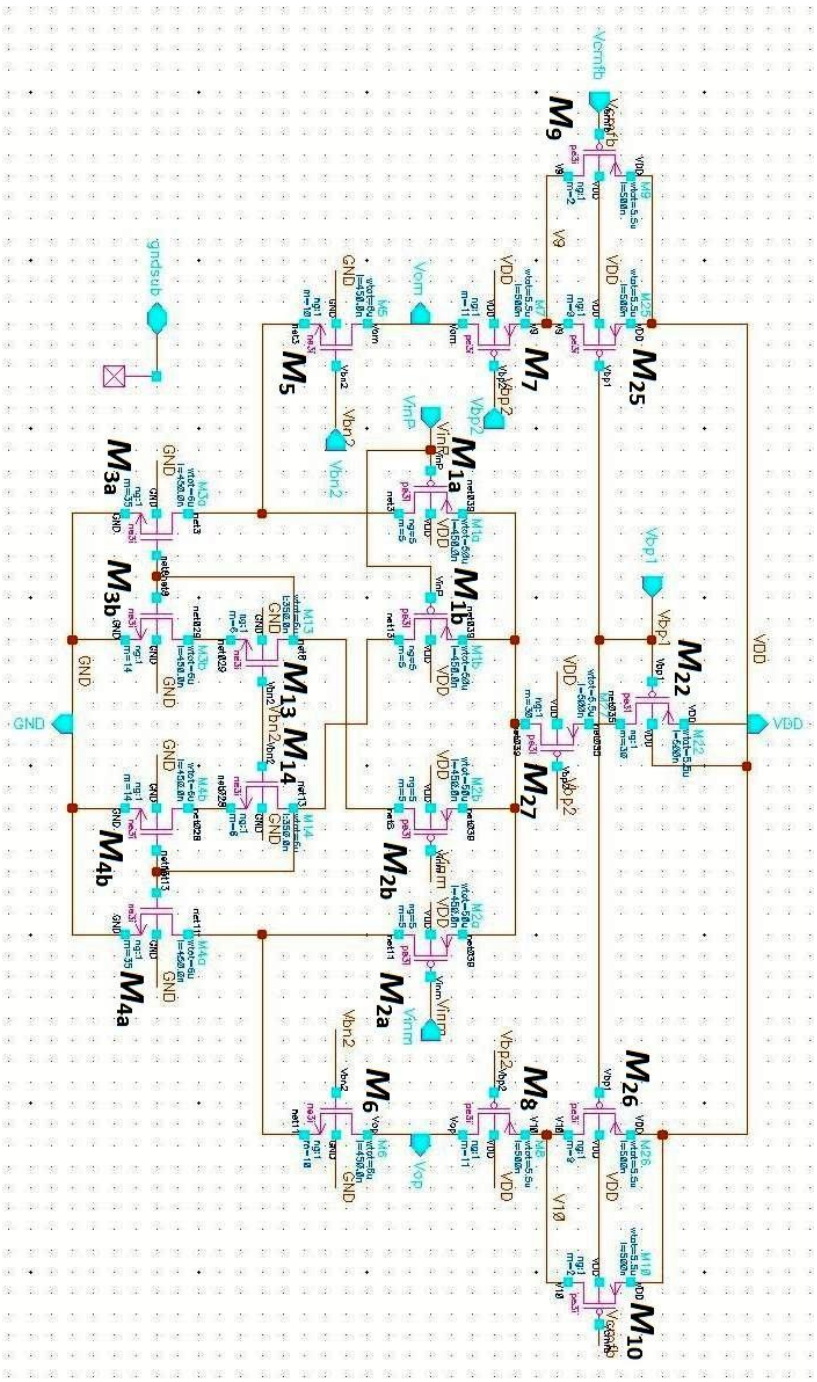


Figure B-1 : Structure utilisée pour le RFC

Les transistors M_{13} et M_{14} ont été rajoutés afin d'améliorer l'appariement entre M_{3b} et M_{4b}, ainsi que pour les cascoder (et diminuer la dépendance au V_{DS}). M_{25} et M_{26} servent quant à eux à assurer la majeure partie de la polarisation, M_9 et M_{10} ayant le rôle de maintenir le mode commun via un rebouclage capacitif externe à l'amplificateur.

Les tailles des différents transistors sont retranscrites dans le tableau ci-après :

	W (µm)	L (µm)
M1a/b, M2a/b	250	0.45
M3a, M4a	210	0.45
M3b, M4b	84	0.45
M5, M6	60	0.45
M7, M8	60.5	0.5
M9, M10	11	0.5
M22, M27	165	0.5
M25, M26	49.5	0.5

Le gain est d'environ 80dB, et le produit gain bande est de :

$GBW_{théorique}$ = (1+K)*gm1a / (2*Pi*CL) = 160 MHz

Le GBW simulé est d'environ 155MHz.

Suite à des tests similaires à ceux présentés au chapitre V.4.2.d. mais avec une architecture RFC au lieu de l'amplificateur rail-to-rail, et à une correction polynomiale d'ordre 3 de l'erreur, la tension d'erreur résiduelle est nettement améliorée dans le cas prédictif (Figure B-2) :

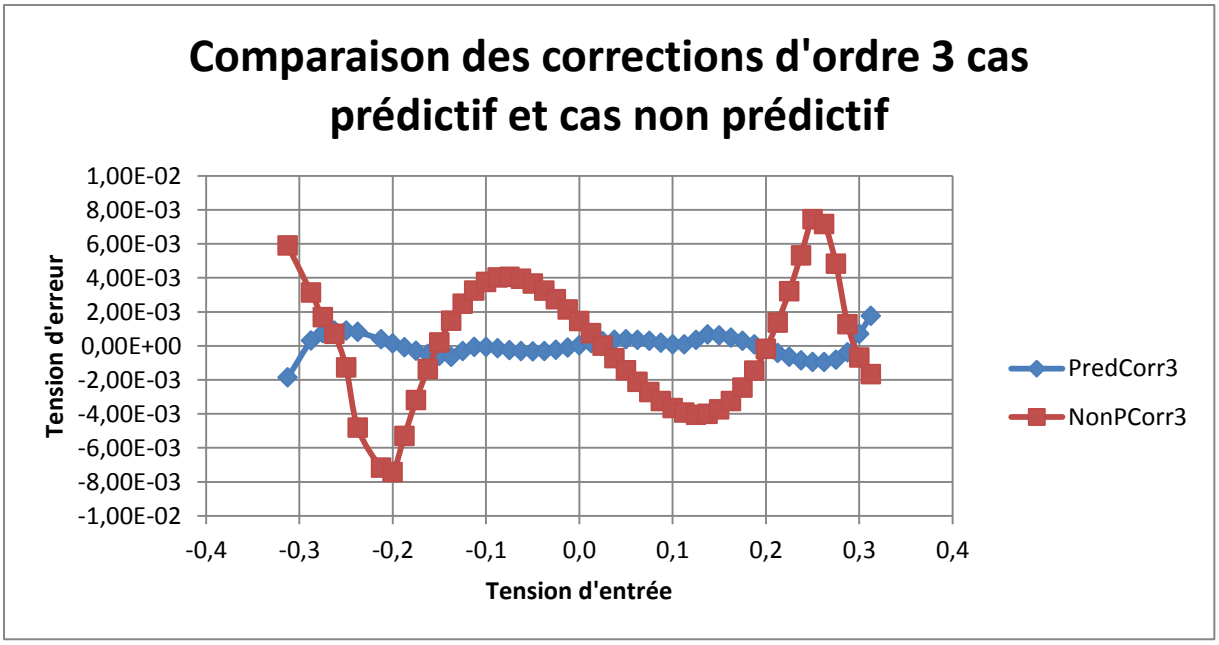


Figure B-2 : Tensions d'erreur en sortie dans le cas non prédictif (rouge) et prédictif (bleu), suite à une correction d'ordre 3, dans le cadre de l'utilisation d'une architecture RFC.

Toutefois, comme précisé précédemment, certaines instabilités fréquentes ainsi que la non-nécessité d'avoir un ampli très fort gain pour démontrer l'efficacité de l'architecture prédictive nous ont poussées à utiliser l'architecture plus simple rail-to-rail détaillée au chapitre V.3.4.

C. Layouts

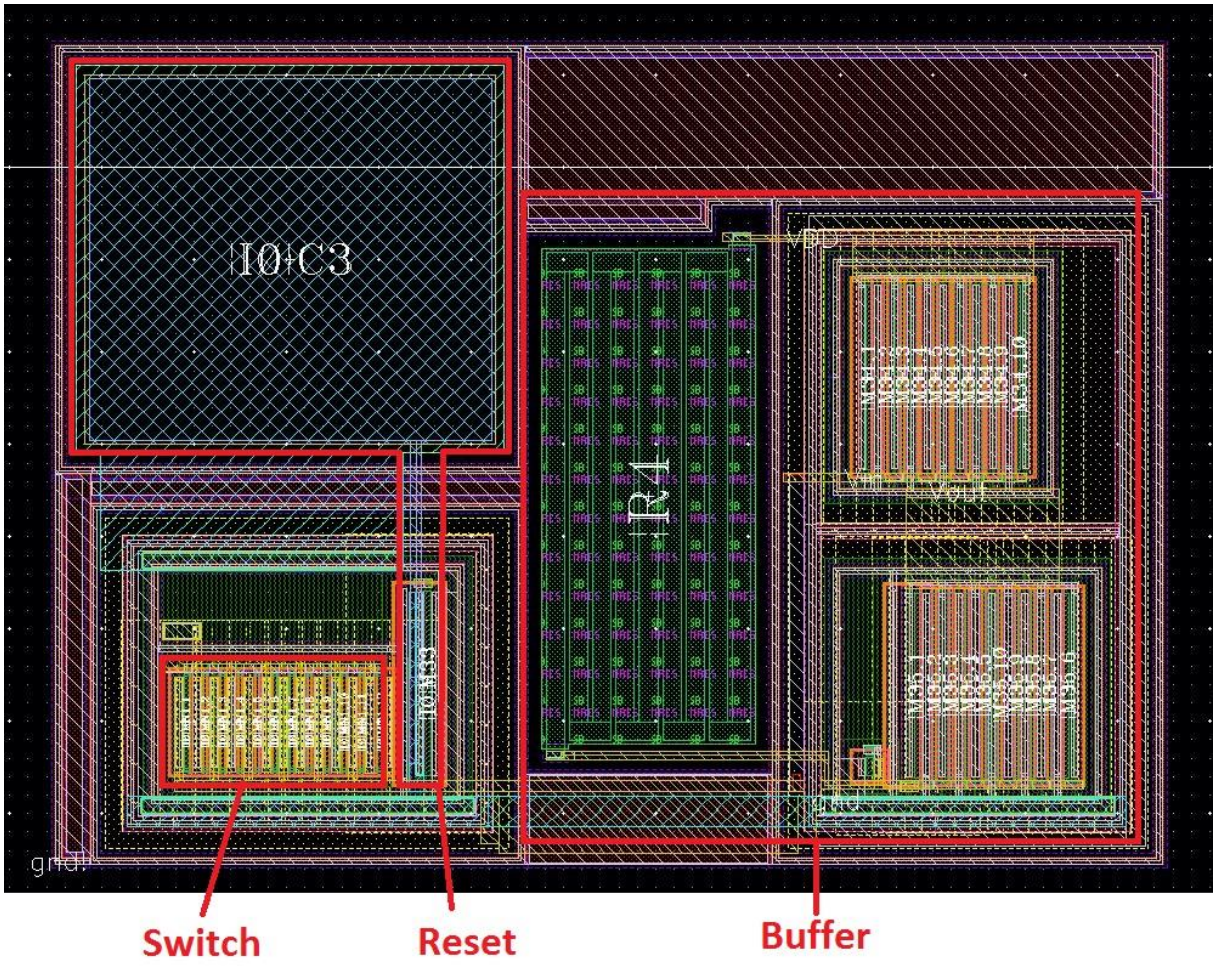


Figure C-1 : Layout du switch NMOS (60,385µm x 44,795µm).

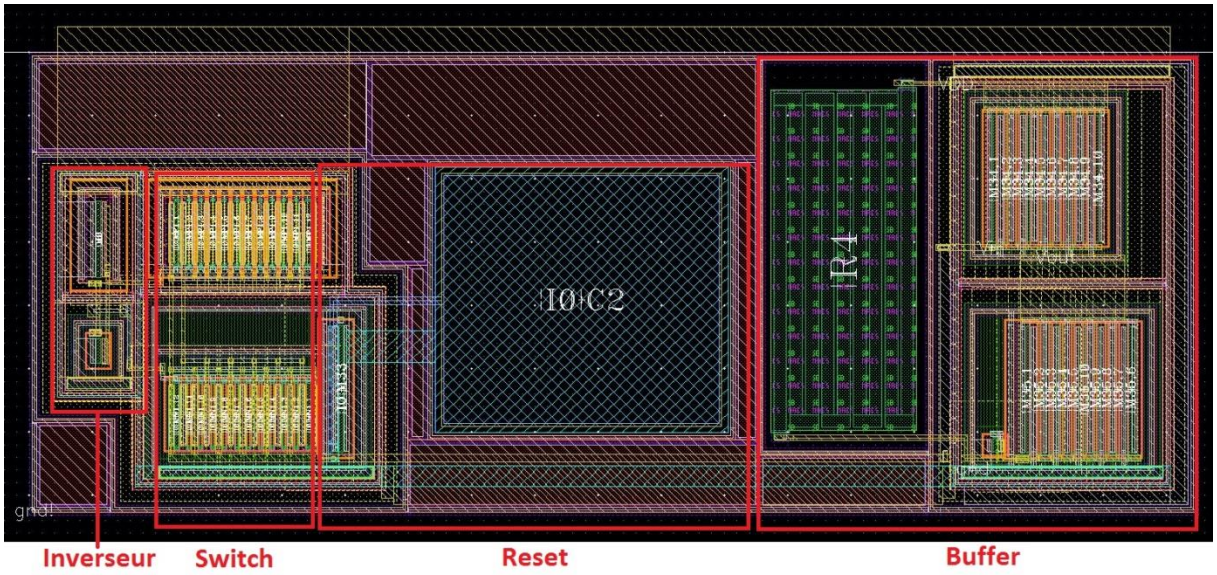


Figure C-2 : Layout du switch CMOS (92,5µm x 38,58µm).

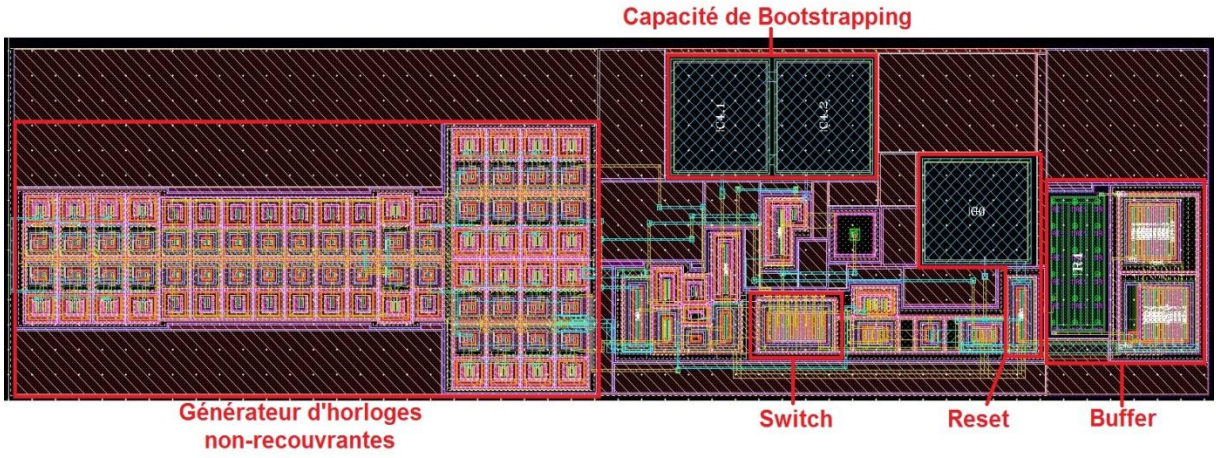


Figure C-3 : Layout du switch bootstrappé durci proposé (255,56µm x 69,735µm).

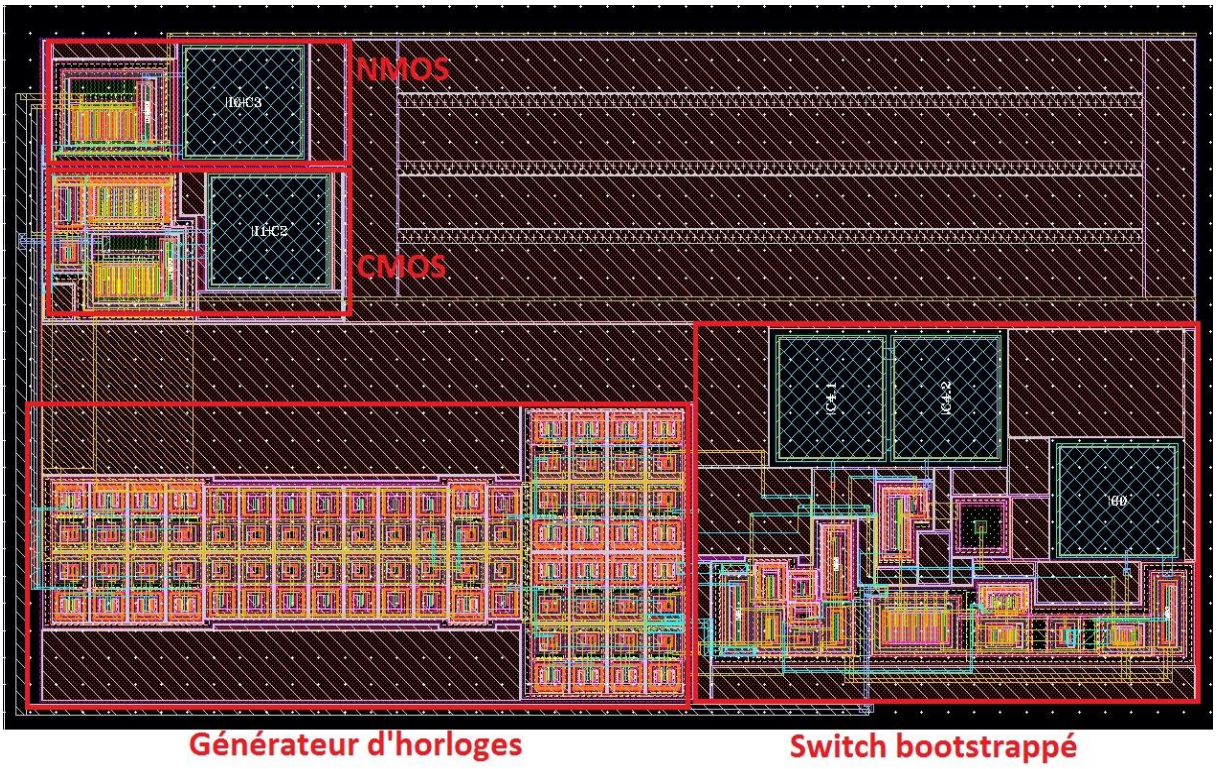


Figure C-4 : Layout du dispositif de mesure du R_{ON} (225,145µm x 125,525µm).

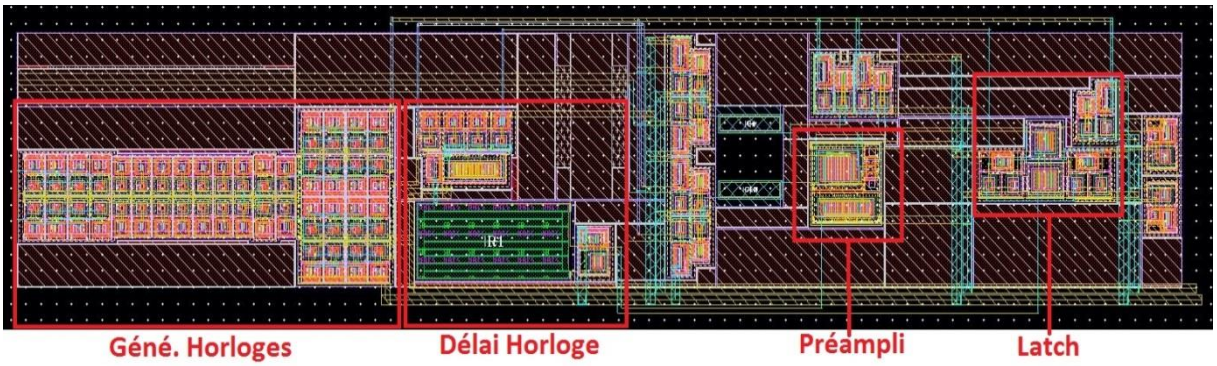


Figure C-5 : Layout du comparateur à auto-zéro de référence (384,01µm x 85,535µm).

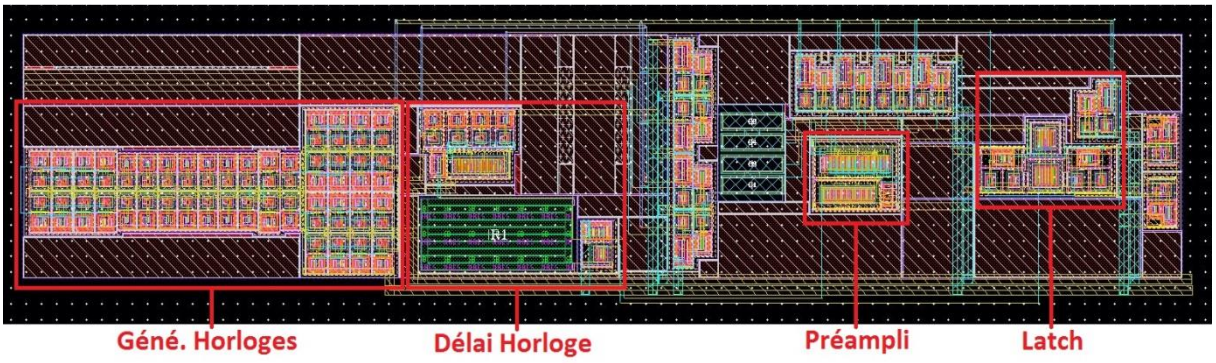


Figure C-6 : Layout du comparateur à Dual-Path proposé (384,01µm x 90,13µm).

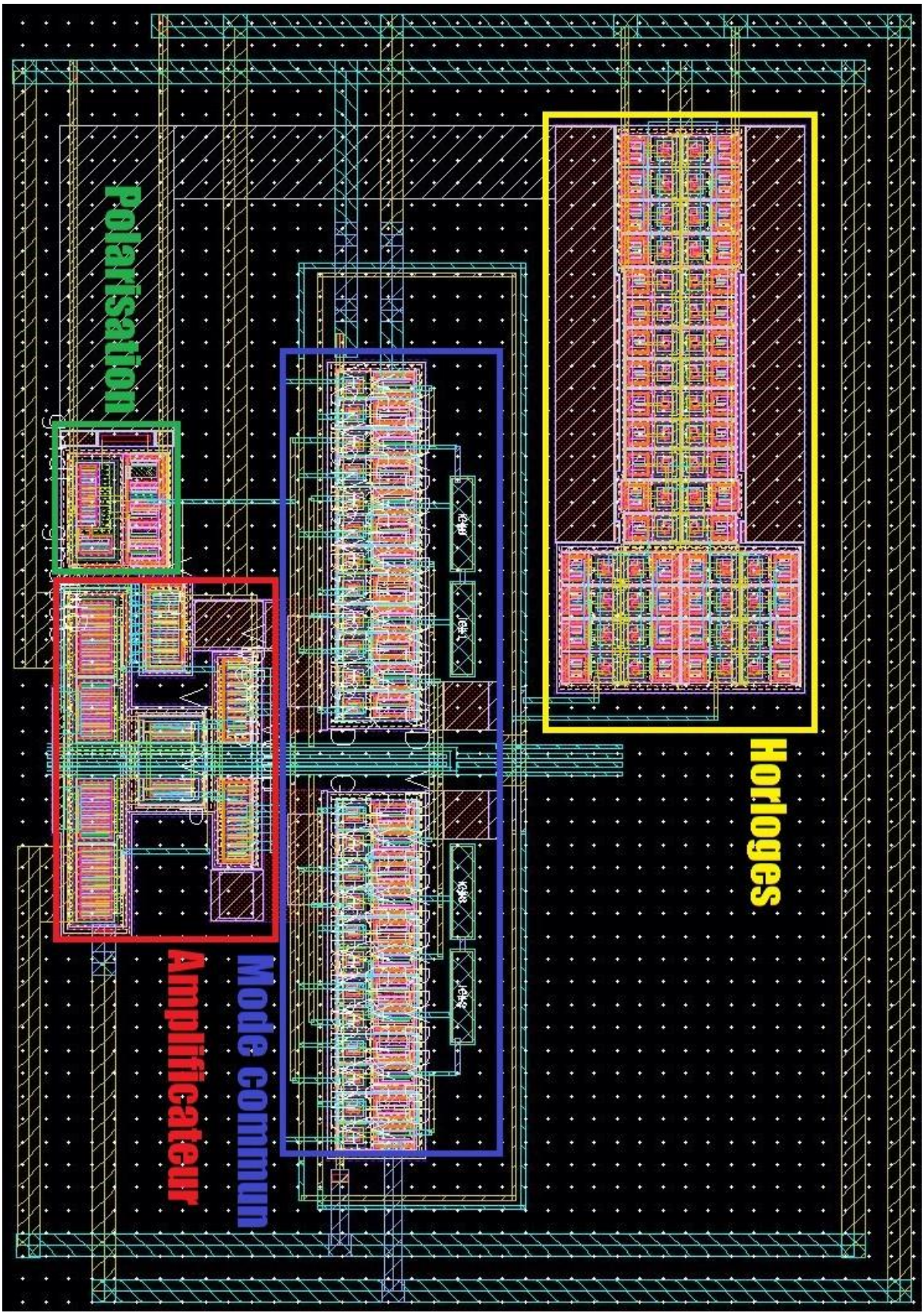


Figure C-7 : Layout du bloc de test de gain de l'amplificateur (282,05µm x 196,475µm).

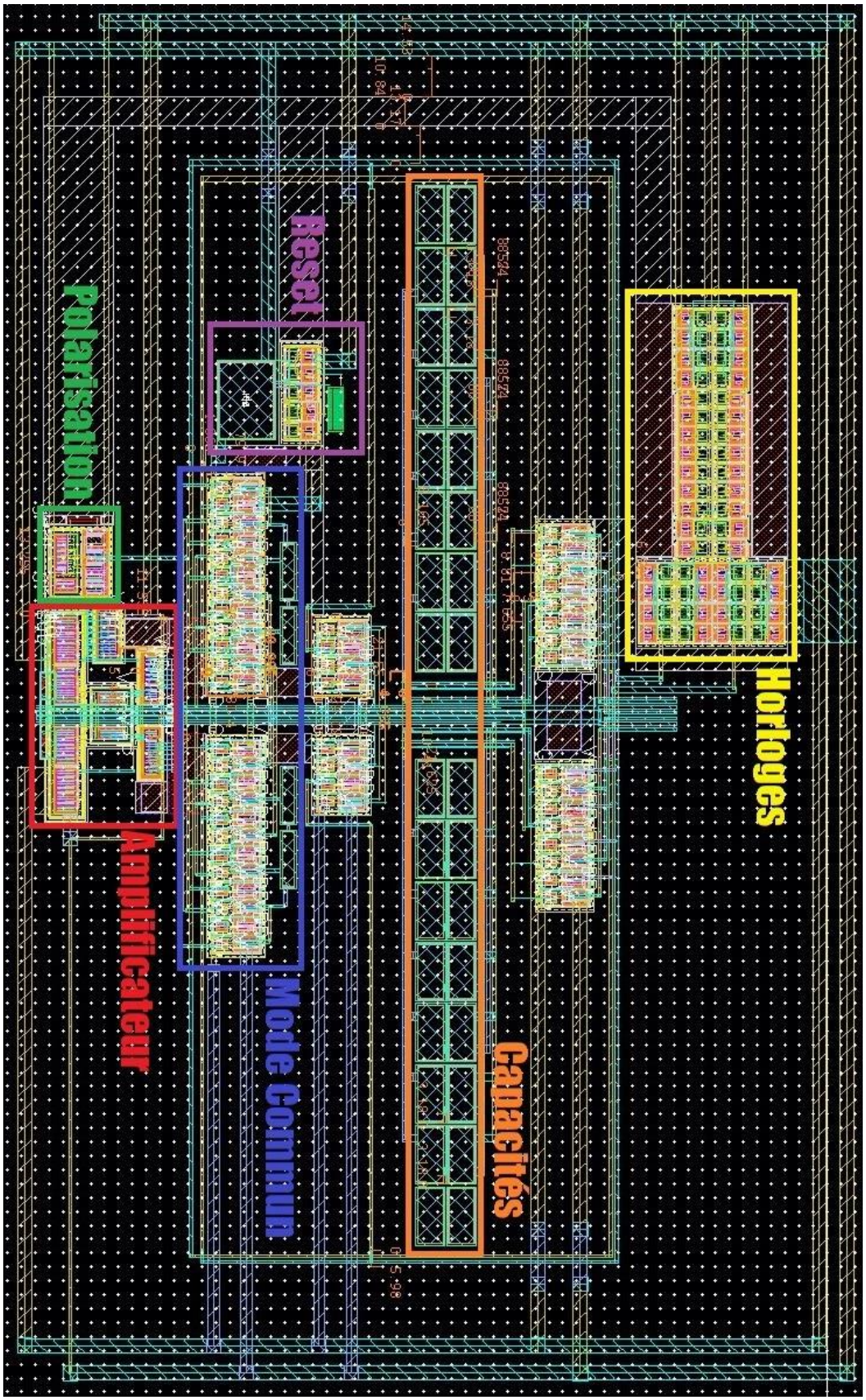


Figure C-8 : Layout du circuit non-prédictif (491,835µm x 302,075µm).

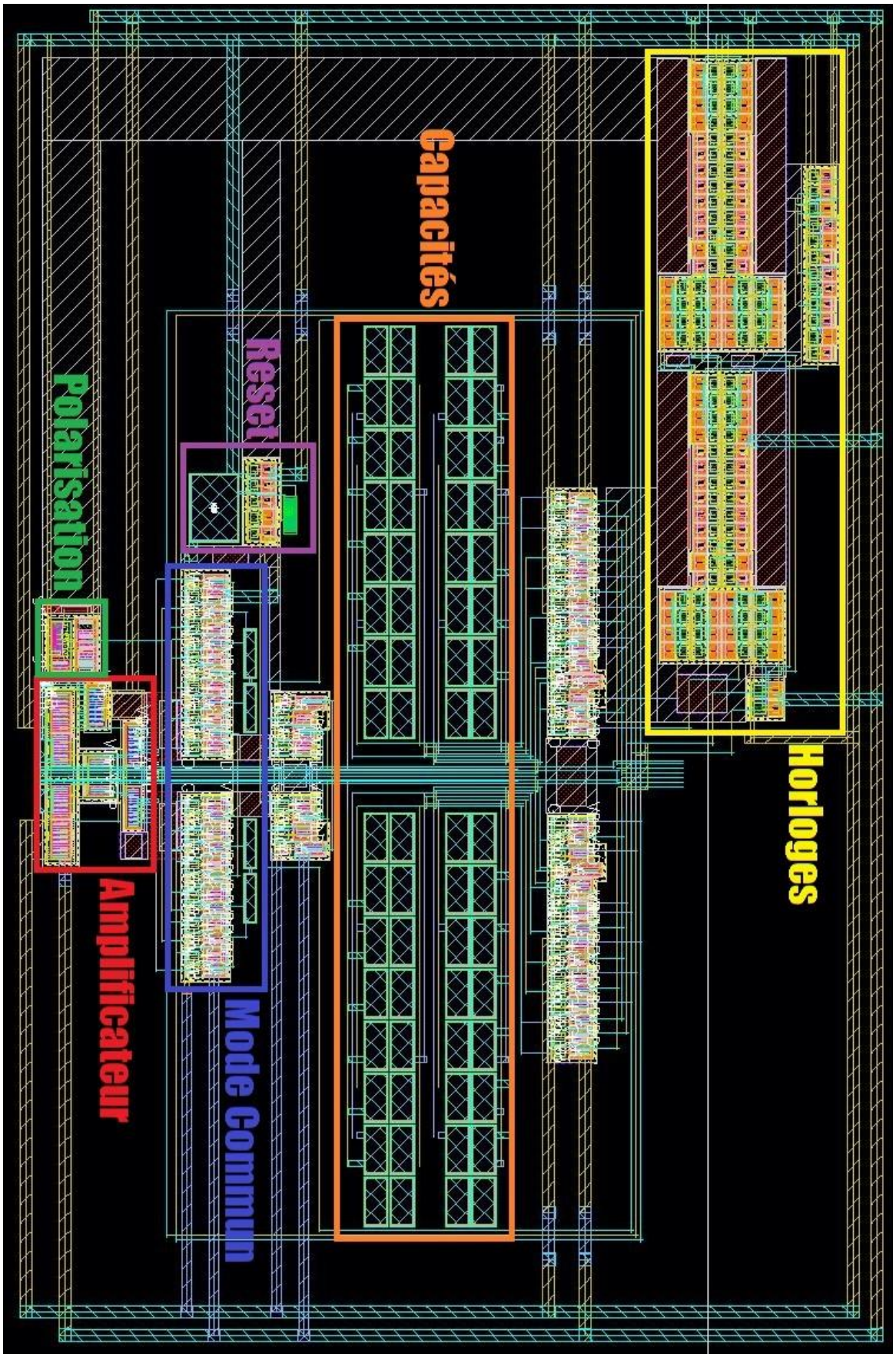


Figure C-9 : Layout du circuit prédictif (563,295µm x 366,17µm).