THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National Polytechnique de Toulouse (INP Toulouse)

Discipline ou spécialité :

COMPOSANTS ET SYSTEMES DE GESTION DE L'ENERGIE

Présentée et soutenue par :

M. GUILLAUME PARENT

le lundi 6 février 2017

Titre :

Evaluation de la durée de vie de composants électroniques de puissance commerciaux soumis à plusieurs tests de vieillissement et détermination des mécanismes de défaillance

---

École doctorale :

Génie Electrique, Electronique, Télécommunications (GEET)

Unité de recherche :

Laboratoire Génie de Production de l'ENIT (E.N.I.T-L.G.P.)

Directeurs de Thèse :

M. FRANCISCO CARRILLO

M. PAUL-ETIENNE VIDAL

Rapporteurs :

M. CYRIL BUTTAY, INSA LYON

M. STÉPHANE LEFEBVRE, ECOLE NORMALE SUPERIEURE DE CACHAN

Membres du jury :

M. ERIC WOIRGARD, UNIVERSITE BORDEAUX 1, Président

M. BRUNO ALLARD, INSA LYON, Membre

M. FRANCISCO CARRILLO, ECOLE NATIONALE D'INGENIEURS DE TARBES, Membre

MME CATHERINE MUNIER, AIRBUS FRANCE, Membre

M. PAUL-ETIENNE VIDAL, ECOLE NATIONALE D'INGENIEURS DE TARBES, Membre

M. ZOUBIR KHATIR, ECOLE NORMALE SUPERIEURE DE CACHAN, Membre

Remerciements

Ces travaux sont issus de la collaboration entre Airbus Group Innovations (AGI), centre de recherche commun au Groupe Airbus, les divisions du Groupe Airbus et le Laboratoire Génie de Production (LGP) de l'Ecole Nationale d'Ingénieurs de Tarbes (ENIT) de l'Institut Nationale Polytechnique de Toulouse (INPT).

Je souhaite remercier le Professeur Francisco CARRILLO, mon directeur de thèse, pour avoir encadré ma thèse. Je tiens également à remercier Paul-Étienne VIDAL, co-directeur de thèse, pour son encadrement, son aide et sa disponibilité.

J'adresse mes sincères remerciements au Dr. Catherine MUNIER, encadrante industrielle, pour m'avoir proposé ce sujet de thèse, pour m'avoir encadré pendant ces 3 années, d'avoir partagé son savoir scientifique sur la fiabilité et les matériaux pour l'électronique, sa disponibilité et son aide.

Je remercie tous les membres de l'équipe « Fiabilité des assemblages et de l'intégration » pour leur bonne humeur, leurs conseils et leur aide.

Toute ma gratitude va à mes parents et à mes colocataires pour leur soutien, leur aide et leurs encouragements pendant ces trois années de thèse. Un grand merci à Marie pour m'avoir donné tous ses encouragements, son amour et sa présence jusqu'à la fin de ma thèse.

Mes pensées vont également vers tous mes amis qui m'ont encouragé et soutenu pendant ma thèse. Je tiens à remercier tout particulièrement Jordane pour m'avoir aidé à relire et corriger mon manuscrit qui n'a pas été sans mal à finir.

Je tiens également à remercier tous les membres de ma nouvelle équipe pour leur soutien lors de la rédaction de mon manuscrit de thèse.

Résumé

Actuellement, dans les plateformes aérospatiales, le nombre et le besoin d'intégration des équipements électriques et électroniques sont grandissant du fait que leurs fonctions nécessitent de plus en plus de puissance. L'objectif de minimisation des coûts et surtout la disponibilité des dispositifs électroniques forcent les concepteurs et les fabricants de ces plateformes à s'orienter vers des produits commerciaux (dits grand public). La fiabilité des boîtiers des composants de puissance doit être évaluée dans les environnements sévères des applications aérospatiales.

Une dizaine de composants électroniques de puissance a été sélectionnée en fonction de leur disponibilité et l'adéquation de leurs performances électriques et thermiques aux exigences des applications aérospatiales. Ces composants intègrent différents types de semi-conducteurs tels que le silicium, le carbure de silicium et le nitrure de gallium.

Tout d'abord, une étude a été menée sur les potentiels modes et mécanismes de défaillance de ces composants électroniques de puissance dans ces environnements. Elle a permis de mettre en place plusieurs procédures de vieillissement accéléré ainsi que le développement de deux bancs de tests pour suivre électriquement le vieillissement de ces composants.

Ces tests ont été menés sur deux diodes Schottky SiC, commercialisées par deux fabricants, regroupant les technologies des boîtiers des composants électroniques de puissance. Les analyses de défaillance ont tout d'abord mis en évidence une immaturité de la technologie de la jonction Schottky des puces SiC de l'une des deux diodes soumis à une tension inverse. Ces défaillances sont attribuées à la destruction partielle de la structure Schottky et indique une reproductibilité non maitrisée de la fabrication des puces de ce composant. Ensuite, ces analyses ont mis en évidence plusieurs mécanismes de vieillissement lors de tests simulant des régimes « *On-Off* » des applications (cycles thermiques de puissance). Celui considéré comme la cause de la défaillance est la fissuration de la soudure des fils d'interconnexion avec la puce.

Une loi pouvant décrire la fissuration des interconnexions a été identifiée à la suite des évolutions des cycles thermiques de puissance à l'approche de la défaillance. L'étude de ces évolutions a permis de démarrer l'élaboration d'un modèle physique de défaillance adapté aux interconnexions de la puce en vue d'estimer la durée de vie des composants commerciaux.

Mots clés :

Fiabilité – Electronique de puissance – Test de vieillissement accéléré – Modes et mécanismes de défaillance – Boîtier – Diodes Schottky

Abstract

Currently, in the aerospace platforms, the number and the need for integration of the electric and electronic equipment are growing because their functions require more and more power. The goal of cost minimization and mostly the availability of power electronic devices push the designers and the manufacturers of these platforms moving towards commercial products (Component Off-The Shelf). The packaging reliability of power electronic components must be assessed in harsh environments of aerospace applications.

A dozen of power electronic components have been selected in accordance with their availability and with the adequacy of their electrical and thermal performances according to the requirements of aerospace applications. These components integrate different types of semi-conductors such as silicon, silicon carbide and gallium nitride.

Foremost, a study has been leaded on the potential failure modes and mechanisms of these power electronic components in these environments. It has permitted to put in place several procedures of accelerated ageing and the development of two test benches to electrically monitor the ageing of these components.

These tests have been carried on two SiC Schottky diodes, marketed by two manufacturers, gathering the technologies of the packaging of power electronic components. The failure analyses have first highlighted an immaturity of the Schottky junction technology of the SiC die of one of the two diodes subjected to a reverse voltage. These failures are attributed to the partial destruction of the Schottky structure and indicate a not mastered reproducibility of the die manufacturing of these components. Then, these analyses have highlighted several ageing mechanisms during tests simulating « *On-Off* » power of applications (power thermal cycles). One considered as the failure cause is the cracking of the welding of the wire bonding with the die.

A behavioral law that can describe the cracking of the interconnections has been identified according to the evolutions of the power thermal cycles when near to failure. The study of these evolutions have permitted to start the elaboration of a physical model of failure adapted to the die interconnections in order to estimate the lifetime of commercial components.

Key words:

Reliability – Power electronic – Accelerated ageing test – Failure modes and mechanisms – Package – Schottky diodes

Notations

A

a (Longueur de la fissure).....152

D

da/dN (Vitesse de la propagation).....152

E

E (Module d'Young).....45
E ($T_{déf}$) (Espérance du temps à défaillance)141
E_a (Energie d'activation) 145
E_{Ch} (Force électrostatique) 123

F

f (D) (Accumulation des dommages).....152
F (Force de friction) 123
f (Fréquence des cycles) 151
F (t) (Défiabilité).....141
f (T_D) (Dommages dépendant de la température) 152
f (ε) (Niveau des contraintes le long de l'interface de la soudure sous forme de fonction de distribution) 152
f_U (Densité de probabilité de T_U).....142

I

$I_{Average}$ (Courant continu moyen) 16
I_{cst} (Courant constant).....59
I_{fuite} (Courant de fuite) 52
I_{fuite} (t) (Courant de fuite à l'instant t).....52
I_{fuite} (t_0) (Courant de fuite à l'instant initial).....52
$I_{fuite\ Max\ Constructeur}$ (Courant de fuite maximum du composant indiqué par le constructeur) 52
I_R (Courant inverse - *Reverse current*) 52

K

k (constante de Boltzmann (1,38.10-23 $J.K^{-1}$)) 145

M

m (moyenne)..... 142

N

$N_{0\text{-}f}$ (Nombre de cycles à l'initiation de la fissure) 152
N_f (nombre de cycles à défaillance)..... 151
N_i (Cycle d'augmentation de la température de jonction) 153
N_i (Nombre de cycles du vieillissement) 56

P

$P_{dissipée}$ (Puissance dissipée)..... 60

R

R (t) (Fiabilité) 141
$R_{DS\ (On)}$ (Résistance Drain-Source à l'état).... 56
$R_{DS\ (On)}$ (t_0) (Résistance Drain-Source à l'état passant à l'instant t) 56
R_P (Rampe de température) 56
R_{th} (Résistance thermique) 60
R_{th} (t_0) (Résistance thermique à l'instant initial) 60

T

T (Température)..... 33
T_C (Température du boîtier ou du substrat) .. 62
$T_{Critique}$ (Température critique)..... 47
$t_{Cycle\ P.}$ (Durée d'un cycle de puissance)..... 153
$T_{déf}$ (temps à défaillance) 141
$t_{donné}$ (temps donnée) 141
T_{fusion} (Température de fusion)..... 47

t_i (Instant du vieillissement) 53
$t_{Injection}$ (Durée de l'injection de courant).....153
$T_{J - Max}$ (N) (Température de jonction maximale au cycle N).....153
T_j (Température de jonction) 16
$T_{j\ Max}$ (Température de jonction maximale)....59
T_m (Température moyenne).....152
$t_{plateau}$ (Durée des plateaux) 56
$T_{réf - i}$ (Température de référence de la série de test i).....153
$T_{réf}$ (Température de référence ou de la plaque thermorégulée) 59
T_{stg} (Température de stockage).....16
$T_{stg\ Max}$ (Température de stockage maximale) 62
$T_{stg\ Min}$ / $T_{stg\ Max}$ (plage de température de stockage).....56
T_U (Temps de disponibilité) 142

U

U (N) (Tension au cycle N).....111
U (N_0) (Tension au premier cycle).....127
U (t_0) (Tension à l'instant initial).....56
U (Tension).....56
$U_{appliquée}$ (Tension appliquée).....52
U_{Ava} (tension d'avalanche).....52
$U_{B\ Max}$ (Tension maximale de blocage des transistors (B - Blocking)) 16
$U_{R\ Max}$ (Tension maximale inverse des diodes (R - Reverse)).....16

V

$V_{GS\ th}$ (Tension de seuil Grille-Source) 59
V_{th} (Tension de seuil).....59

A

α (Coefficient de dilatation thermique).....45
α (D) (Dommages existants)..... 152
α (T_D) (Relaxation des contraintes ou dommages due à la température)..... 152

B

β (Paramètre de forme) 143

Γ

γ (Paramètre d'origine des temps)..... 143

Δ

$\Delta T_{C\ Max}$ (Delta de température du boîtier) 61
ΔT_J (N_0) (Amplitude de la variation de température imposée lors du premier cycle N_0) 153
ΔT_j (Plage ou delta de température de jonction) 56
ΔT_{stg} (delta de température de stockage) 56
ΔW_{pl} (Densité d'énergie plastique cumulée par cycle)..... 152
$\Delta\varepsilon_{pl}$ (Variation cyclique des déformations plastiques)..... 151

Λ

λ (t) (Taux de défaillance) 141

N

v (Coefficient de Poisson)..... 45

Σ

σ (Ecart type) 142

T

τ (Durée de vie) 145

η (Paramètre d'échelle)..... 143

Acronymes anglais

A

AF (*Acceleration Factor*).....146
ATH (*Aluminum TriHydroxide*).....24
ATR (*Attenuated Total Reflectance*) 23

C

COTS (*Components Off-The Shelf*) 10
CTE (*Coefficient of Thermal Expansion*).....42

D

DB (*dielectric breakdown*) 55
DT (*Destructive Test*) 19

E

EDX (*Energy Dispersive X-ray*).....19

F

FR (*Flame Retardant*).....23
FTIR (*Fourier Transformed InfraRed*) 19

H

H3TRB (*High Humidity, High Temperature Reverse Bias*) 49
HEMT (*High Electron Mobility Transistor*) 16
HPET (*Humidity Popcorn Effect Test*).....49
HTFB (*High Temperature Forward Bias*) 49
HTRB (*High Temperature Reverse Bias*).....49

I

IMC (*InterMetallic Compound*).....20

M

MDH (*Magnesium DiHydroxide*) 24
MEA (*More Electrical Aircraft*) 10
MOSFET (*Metal Oxide Silicon Field Effect Transistor*) 16
MTBF (*Mean Time Between Failure*)..... 142
MTTF (*Mean Time To failure*)..... 141

N

NDT (*Non Destructive Test*) 19

P

PC (*Power Cycling*)..... 49
PTH (*Plated-Trough Hole*) 15

R

RCT (*Rapid Change of Temperature*) 49

S

SAM (*Scanning Acoustic Microscopy*)..... 19
SEM (*Scanning Electron Microscopy*) 19
SMD (*Surface Mounted Device*) 15

T

T_C (*case temperature*)..... 60

W

WBGS (Wide Band Gap Semiconductor)..... 12

Z

ZHS (*Zinc HydroxyStannate*)..... 25

Acronymes français

A

AdT (Alimentation de Table).....67
Alim. FC (Alimentation Fort-Courant).....65
Alim. HT (Alimentation Haute-Tension).....65
Alim. P (Alimentation de Puissance).....67
ANI (Acquisition National Instrument).....67

C

CD (Caractéristique Directe).....78
CdP (Cycle de Puissance).....153
CE (Caractérisations Electriques).....19
CI (Caractéristique(s) Inverse(s)).....78
CiF (Cartes interFaces).....67

I

Inject. C (Injections de Courant).....54

N

NCP (Nombre de Cycles de Puissance).....107

P

PdC (Pack de Condensateurs)..... 67
PR (PRélèvement)..... 53
PTR (Plaque ThermoRégulée)..... 67

R

RdCE (Racks de Charges Electroniques).... 67
RFC (Relais Fort-Courant)..... 66

S

SC (Scellement du Capot)..... 27
SCSB (Scellement de la Céramique avec le Substrat et le Boîtier)..... 27

T

TE (Types d'Evolution)..... 128

Table des matières

1 Introduction 10

2 Technologies des boîtiers des composants COTS d'électronique de puissance 15

2.1 Sélection des composants 16

2.2 Types, structures et éléments constitutifs de composants COTS d'électronique de puissance 19

2.2.1 Boîtier plastique 20

2.2.2 Matériaux constitutifs des composants en boîtier plastique 21

2.2.3 Boîtier hermétique 27

2.2.4 Matériaux constitutifs du composant hermétique 28

2.3 Principaux défauts de fabrication 30

2.4 Conclusions 35

3 Etude bibliographique des mécanismes de vieillissement et modes de défaillance en électronique de puissance 36

3.1 Environnements humides 37

3.1.1 Corrosion des fils d'interconnexion et de la métallisation supérieure de la puce 37

3.1.2 Fissuration, délamination ou gonflement des matériaux d'encapsulation 38

3.2 Température élevée 39

3.2.1 Nucléation et croissance de composés intermétalliques et de phases, et coalescence de ceux-ci dans les alliages 40

3.2.2 Transformations physico-chimiques des matériaux organiques 41

3.3 Cycles de température 41

3.3.1 Cycles thermiques environnementaux 42

3.3.2 Cycles de puissance 42

3.3.3 Contraintes et fatigue thermomécaniques 43

3.4 Conclusions 48

4 Mise en place des tests de vieillissement accéléré des composants électroniques de puissance 49
4.1 Plan de tests de vieillissement accéléré 49
4.1.1 Objectifs des tests 50
4.1.2 Description des tests de vieillissement accéléré 51
4.1.3 Synthèse des tests 63
4.2 Bancs de suivi automatisé des tests de vieillissement accéléré 65
4.2.1 Description des bancs 65
4.2.2 Protocoles des tests de vieillissement accéléré 68
4.3 Conclusions 69
5 Résultats des tests de vieillissement accéléré 70
5.1 Tests H3TRB et HTRB 71
5.1.1 Caractéristiques électriques inverses à l'état initial 71
5.1.2 Tests H3TRB 74
5.1.3 Tests HTRB 85
5.2 Tests HPET 95
5.2.1 Caractérisations électriques 95
5.2.2 Observations optiques externes 96
5.2.3 Analyses SAM 97
5.3 Tests RCT 98
5.3.1 Caractérisations électriques 99
5.3.2 Observations optiques externes 99
5.3.3 Analyses SAM 100
5.4 Tests PC 104
5.4.1 Méthode du suivi de la température de jonction 104
5.4.2 Série 1 des tests PC 107
5.4.3 Série 2 des tests PC 111
5.4.4 Série 3 des tests PC 126

5.5 Conclusions....137
6 Interprétations des résultats et corrélation avec la littérature....140
6.1 Théorie de la fiabilité....140
6.1.1 Généralités....140
6.1.2 Indicateurs....141
6.1.3 Lois usuelles de probabilité....142
6.2 Méthodologie de modélisation de mécanismes de défaillance....144
6.3 Applicabilité des résultats aux lois de probabilité....146
6.4 Modèles physiques de la défaillance des fils d'interconnexion....151
6.5 Conclusions....156
7 Conclusion générale et perspectives....157
8 Annexes....161
9 Références bibliographiques....164

Tables des figures

Figure 1 : Méthodologie usuelle pour estimer la fiabilité de l'électronique.....13
Figure 2 : Vue schématique d'un composant PTH à boîtier en plastique 21
Figure 3 : Spectre infrarouge de la résine des composants n°1.....24
Figure 4 : Image MEB du matériau composite d'encapsulation des composants n°4 24
Figure 5 : Eléments constitutifs des composants COTS d'électronique de puissance en boîtier hermétique 28
Figure 6 : Image RX et par microscopie acoustique de cavités dans la brasure de scellement de la puce.....31
Figure 7 : Exemple de vue en microscopie acoustique des cavités étendues dans la brasure de scellement de la puce d'un des échantillons du composant n°6 32
Figure 8 : Modèle physique et forme des cavités dans l'alliage de brasure.....33
Figure 9 : Répartition de la température et du flux thermique pour 25 et 75 % de cavités.....34
Figure 10 : Synthèse des résultats des simulations thermiques.....35
Figure 11 : Délamination entre le substrat d'interconnexion et la résine d'encapsulation d'un composant BGA [XIA2009].....39
Figure 12 : Eléments constitutifs des dispositifs sensibles à la fatigue thermomécanique 44
Figure 13 : Décomposition de la déformation totale en quatre modes de déformation [BAN1990].....45
Figure 14 : Illustration de la courbe I_{fuite} = f(t) tracée au cours des tests.....53
Figure 15 : Profil thermique typique des cycles de puissance.....62
Figure 16 : Banc des tests passifs.....65
Figure 17 : Plaques en PVC de montage des RFC et RHT pour les associer en parallèle et les intégrer dans l'armoire électrique de protection.....66
Figure 18 : Vue générale du banc des tests actifs 67
Figure 19 : Vue de la PTR.....68
Figure 20 : Tests de tenues en tension à 175 °C.....72
Figure 21 : Caractéristiques inverses des échantillons du composant n°1 (01-001 à 01-012) dans la plage de tension 0,8 – 1,4 kV à 175 °C 73
Figure 22 : Caractéristiques inverses des échantillons du composant n°2 (02-001 à 02-012) dans la plage de tension 0,8 – 1,4 kV à 175 °C 73
Figure 23 : Suivi du courant de fuite des 12 échantillons du composant n°1 lors des tests H3TRB 75
Figure 24 : Suivi du courant de fuite des 12 échantillons du composant n°2 lors des tests H3TRB 76

Figure 25 : CI et CD des échantillons non-défaillants lors des tests H3TRB 78
Figure 26 : Observations optiques externes des échantillons des composants n°1 et n°2 dédiés aux tests H3TRB 79
Figure 27 : Images SAM des échantillons du composant n°1 avant et après les tests H3TRB 80
Figure 28 : Images SAM des échantillons du composant n°2 avant et après les tests H3TRB 81
Figure 29 : Dégradation du matériau d'encapsulation de l'échantillon 01-030 82
Figure 30 : CI et CD des échantillons présentant une défaillance spontanée lors des tests H3TRB 83
Figure 31 : Suivi du courant de fuite des 12 échantillons du composant n°1 lors des tests HTRB 86
Figure 32 : Suivi du courant de fuite des 12 échantillons du composant n°2 lors des tests HTRB 87
Figure 33 : CD et CI des échantillons non-défaillants lors des tests HTRB 89
Figure 34 : CI et CD de l'échantillon 01-008 avant et après augmentation du courant de fuite lors des tests HTRB 90
Figure 35 : Vues typiques de l'aspect externe des échantillons du composant n°1 et n°2 dédiés aux tests HTRB 91
Figure 36 : Images SAM des échantillons du composant n°1 avant et après les tests les tests HTRB 92
Figure 37 : Images SAM des échantillons du composant n°2 avant et après les tests HTRB 93
Figure 38 : Modifications de la microstructure de l'alliage de brasure de report de la puce (SnAgSb) après les tests HTRB 94
Figure 39 : CI et CD des échantillons non-défaillants lors des tests HPET 95
Figure 40 : Vues typiques de la face arrière des échantillons du composant n°1 et n°2 97
Figure 41 : Images SAM de l'interface du substrat des échantillons du composant n°1 et n°2 98
Figure 42 : CI et CD des échantillons non-défaillants lors des tests RCT 99
Figure 43 : Observations optiques externes des échantillons des composants n°1 et n°2 dédiés aux tests RCT 100
Figure 44 : Images SAM des échantillons du composant n°1 avant et après les tests RCT102
Figure 45 : Synthèse des images SAM des échantillons du composant n°2 avant et après les tests RCT 103
Figure 46 : Courbe d'étalonnage de la tension de seuil V_{th} d'une diode Schottky 105
Figure 47 : Méthode de mesure d'un paramètre thermosensible 106

Figure 48 : Synthèse des profils thermiques des cycles de puissance de la série 1 des tests PC 108
Figure 49 : CI et CD des échantillons non-défaillants de la série 1 des tests PC 109
Figure 50 : Images SAM des échantillons des composants n°1 et n°2 avant et après la série 1 des tests PC 110
Figure 51 : Synthèse des profils thermiques des cycles de puissance de la série 2 des tests PC 112
Figure 52 : CI et CD des échantillons de la série 2 des tests PC 113
Figure 53 : CI et CD typiques des échantillons de la série 2 des tests PC présentant des discontinuités dans la CD 114
Figure 54 : Tâche sombre apparue sur la surface externe du substrat de cuivre au niveau de la position de la puce 114
Figure 55 : Images SAM typiques du 1er type d'évolution des échantillons du composant n°1 avant et après vieillissement de la série 2 des tests PC 115
Figure 56 : Images SAM typiques 2ème type d'évolution des échantillons du composant n°1 avant et après vieillissement la série 2 des tests PC 116
Figure 57 : Images SAM typiques des échantillons du composant n°2 avant et après vieillissement 117
Figure 58 : Présentation des plans de coupes micrographiques des échantillons des composants n°1 et n°2 118
Figure 59 : Vue agrandi des éléments et interface broche / fil d'interconnexion du premier plan de coupe 118
Figure 60 : Observations des mécanismes de vieillissement identifiés sur les échantillons du composant n°1 lors de la série 2 des tests PC 119
Figure 61 : Initiation et propagation de fissures dans la soudure des fils d'interconnexion et dégradation de la matrice organique d'encapsulation après défaillance des échantillons du composant n°2 lors de la série 2 des tests PC 119
Figure 62 : Evolutions de la brasure sont localisées sous les soudures des fils d'interconnexion (02-017) 120
Figure 63 : Correspondance des analyses SAM avec les observations des coupes micrographiques - Echantillons 02-022 121
Figure 64 : Synthèse des analyses EDX et cartographie des éléments chimiques 122
Figure 65 : Forces motrices de l'électromigration [DOY2009] 123
Figure 66 : Modèle physique utilisé pour les simulations électrothermiques 124
Figure 67 : Etude de la répartition de la température aux niveaux des interfaces de l'empilement de la dissipation thermique 125
Figure 68 : Indicateurs du phénomène de thermomigration 125

Figure 69 : Profils thermiques typiques du premier type d'évolution des cycles de puissance de la série 3 des tests PC.....127
Figure 70 : Profils thermiques typiques du deuxième type d'évolution des cycles de puissance de la série 3 des tests PC.....128
Figure 71 : CI et CD des échantillons du composant n°2 de la série 3 des tests PC.....129
Figure 72 : Observations optiques externes des échantillons du composant n°2 dédiés aux tests RCT 130
Figure 73 : Images SAM typiques de deux types d'évolutions des échantillons du composant n°1 avant et après la série 3 des tests PC.....131
Figure 74 : Initiation et propagation de fissures dans la soudure des fils d'interconnexion après défaillance des échantillons du composant n°2 lors de la série 3 des tests PC.....132
Figure 75 : Affaissement de la puce de certains des échantillons du composant n°2 lors de la série 3 des tests PC 134
Figure 76 : Vue de l'interface puce / fils d'interconnexion - Coupe micrographique réalisée par polissage ionique.....135
Figure 77 : Images SAM du cas d'espèces (échantillon 02-070) du composant n°2 avant et après défaillance 136
Figure 78 : Courbe typique du taux de défaillance des équipements électroniques [BUF2008] 140
Figure 79 : Distribution de temps à défaillance correspondant à deux mécanismes de défaillance.....145
Figure 80 : Exemple d'estimation de la durée de vie 146
Figure 81 : Résultats des temps à défaillance du composant n°1 reportés sur des diagrammes log-normale et de Weibull 148
Figure 82 : Résultats des temps à défaillance du composant n°2 sur des diagrammes log-normale et de Weibull.....149
Figure 83 : Schématisation de l'évolution des profils thermiques lors des tests PC 153
Figure 84 : Représentation schématique de deux CdP de différents tests PC 154
Figure 85 : Matrice de tests PC 155
Figure 86 : Diagramme de phase WCu 161
Figure 87 : Diagramme de phase de l'alliage AgCu.....162
Figure 88 : Diagramme de phase de l'alliage AuSn 162
Figure 89 : Diagramme de phase de l'alliage SnSb 163

Liste des tableaux

Tableau 1 : Critères thermiques et électriques de sélection des composants étudiés.....16
Tableau 2 : Présentation générale des composants sélectionnés 17
Tableau 3 : Présentation des différents boîtiers.....18
Tableau 4 : Caractéristiques principales des composants sélectionnés.....19
Tableau 5 : Synthèse des matériaux utilisés dans chaque élément des composants en boîtier plastique.....26
Tableau 6 : Synthèse des matériaux utilisés dans chaque élément du composant hermétique 30
Tableau 7 : Plages de pourcentages de cavités des échantillons du composant n°6.....32
Tableau 8 : Propriétés mécaniques et thermomécaniques des matériaux des composants COTS de puissance 46
Tableau 9 : Conditions de fluage pour certains matériaux 47
Tableau 10 : Synthèse des mécanismes de vieillissement et des modes de défaillance 48
Tableau 11 : Synthèse des tests de vieillissement accéléré 50
Tableau 12 : Exemples d'applications 50
Tableau 13 : Conditions expérimentales des tests H3TRB 52
Tableau 14 : Planification des caractérisations électriques et des prélèvements des composants et modules lors des tests H3TRB 53
Tableau 15 : Planification des injections de courant suivis de l'arrêt de l'essai pour le contrôle non destructif des composants lors du test HPET 55
Tableau 16 : Conditions expérimentales du RCT et profil typique des cycles thermiques passifs.....57
Tableau 17 : Planification des tests n°1, n°2, n°3 et n°4 des cycles thermiques passifs 58
Tableau 18 : Conditions expérimentales des tests HTFB 59
Tableau 19 : Critères de défaillance du test HTFB 60
Tableau 20 : Planification des CE et des PR des composants et modules lors de l'essai HTFB.....61
Tableau 21 : Conditions expérimentales du test PC 61
Tableau 22 : Planification des tests PC 63
Tableau 23 : Répartition des échantillons par tests de vieillissement.....64
Tableau 24 : Moyennes et écarts types des valeurs mesurées du suivi des courants de fuite au cours des tests H3TRB.....77
Tableau 25 : Temps à défaillance et description des défauts observés 81

Tableau 26 : Moyennes et écarts types des valeurs mesurées du suivi du courant de fuite au cours des tests HTRB....88
Tableau 27 : Conditions expérimentales des trois séries de tests PC....104
Tableau 28 : Nombre de cycles de puissance subis par les échantillons des composants n°1 et n°2 de la série 1 des tests PC....107
Tableau 29 : Nombre de cycles de puissance subis par les échantillons des composants n°1 et n°2 de la série 2 des tests PC (PR : Prélèvement)....111
Tableau 30 : Nombre de cycles à défaillance des échantillons des composants n°1 et n°2 de la troisième série de tests PC....126
Tableau 31 : Synthèse des cycles de puissance à défaillance des composants n°1 et n°2 lors des tests PC....147
Tableau 32 : Paramètres de la loi log-normale....150
Tableau 33 : Paramètres de la loi de Weibull....150
Tableau 34 : Synthèse des phases simulées par les différents tests de vieillissement accéléré....158
Tableau 35 : Priorisation des tests selon le type d'applications pour la mise en place de plans de qualification....160

1 Introduction

Dans le secteur aéronautique, les architectures des futurs aéronefs (avions et hélicoptères plus particulièrement) sont orientés vers des systèmes de plus en plus électriques issus du concept MEA (*More Electrical Aircraft*). Ces nouvelles architectures incluent d'avantage d'équipements de conversion d'énergie électrique (électronique de puissance). Certaines de ces nouvelles fonctions pourront remplacer les circuits hydrauliques et pneumatiques. Le premier intérêt de cette évolution est la maintenance. En effet, la réparation ou la maintenance préventive d'une fonction électrique peut être réalisée sans nécessiter l'immobilisation totale et sur une longue durée de l'aéronef, à l'opposé d'une fonction hydraulique. En second, l'intérêt porte sur les perspectives d'augmentation du rapport puissance/masse embarquée qui permettra de réduire les émissions de CO_2 et de particules / personne dans l'atmosphère. Ce rapport est directement lié à la chaîne d'alimentation électrique d'électro-actionneurs tels que des moteurs électriques. Cette chaîne inclut le stockage d'énergie électrique (batteries), le transport de l'énergie (câble), la conversion d'énergie électrique ou de puissance (équipements d'électronique de puissance ou convertisseur de puissance), le système de refroidissement et la partie électrique de l'électro-actionneur [BOU2011].

Les aéronefs du Groupe AIRBUS sont en train de suivre la tendance actuelle de l'électrification de tous les moyens de transports. Cette tendance est le plus visible du côté du secteur automobile avec comme premier objectif visé là aussi la réduction des émissions de CO_2 et de particules dans l'atmosphère. Cette électrification a permis la mise au point de moyens de transports avec une propulsion à moitié électrique et à moitié thermique (système hybride) et même entièrement électrique. Plusieurs exemples de moyens de transport plus électriques voire entièrement électriques peuvent être cités :

- Automobile [S01-2015] :
  - véhicules hybrides : Volt (Chevrolet), CR-Z Hybrid (Honda),…
  - entièrement électrique : i3 (BMW), Bluecar (Bolloré), C-ZERO (Citroën), ZOE (Renault), Model S (Tesla),…
- Aéronautique : Cri-Cri électrique et E-Fan (Airbus Group) [S02-2015], Solar Impulse,…

Certains de ces exemples ne sont pas des modèles destinés à la commercialisation, car ce sont des démonstrateurs.

Actuellement, le secteur automobile est un grand consommateur des dispositifs électroniques de puissance COTS (*Components Off-The Shelf*). Ces dispositifs présentent une bonne disponibilité pour un faible coût. Cette importante disponibilité peut signifier une

plus grande fiabilité de par la maitrise des procédés de fabrication (production répétable et stabilisée). Par conséquent, le secteur de l'aérospatial souhaite profiter d'un effet de synergie pour accentuer les aspects de coût, de disponibilité et de fiabilité.

Concernant le rapport puissance/masse embarquée, il n'est actuellement pas suffisant pour obtenir l'objectif de réduction d'émissions de CO_2, car certaines technologies de la chaîne d'alimentation n'ont pas atteint les performances nécessaires et une maturité suffisante. Par exemple, concernant les performances et la maturité des technologies, il est possible de comparer la faible autonomie de certains véhicules entièrement électriques à celle des véhicules utilisant les énergies fossiles.

Dans le cadre de cette étude menée au sein du groupe Airbus, la partie qui sera développée concerne l'étage de la conversion de puissance. Les équipements d'électronique de puissance (convertisseurs de puissance) sont notamment associés à des systèmes de refroidissement qui ont pour rôle d'évacuer les pertes calorifiques (puissance thermique). Ces systèmes sont souvent lourds et volumineux, ce qui limite fortement l'augmentation du rapport puissance/masse embarquée. Cependant, les performances et la maturité des convertisseurs de puissance ne cessent de progresser grâce à de nouveaux circuits de conversion de puissance, de nouveaux composants de puissance et de nouvelles technologies d'intégration. Par exemple, la combinaison d'un système de refroidissement à même masse et volume avec un convertisseur de plus forte puissance de même masse participe à la hausse du rapport puissance/masse embarquée. Afin d'augmenter ce rapport, il est possible de s'appuyer sur trois facteurs permettant d'optimiser un convertisseur :

- l'augmentation du rendement de conversion, correspondant à moins de pertes calorifiques à évacuer ;
- l'augmentation de la fréquence de commutation :
    - conduisant à réduire en particulier le dimensionnement des composants passifs (gain de masse), en particulier des transformateurs et des inductances ;
    - nécessitant des interconnexions présentant le minimum d'inductance parasite.
- une meilleure tolérance des dispositifs d'électronique de puissance aux points chauds (simplification de la conception du drainage thermique).

Concernant les nouveaux composants et les nouvelles technologies d'intégration, il est indispensable de parler des matériaux semi-conducteurs et des boîtiers des dispositifs électroniques de puissance.

De nombreux progrès ont été réalisés ces dernières années sur les matériaux semi-conducteurs. En effet, il existe deux matériaux semi-conducteurs qui captent l'attention des

scientifiques et des industriels pour leurs performances comparées à celles du silicium (Si) qui est le plus utilisé en électronique. Ces deux matériaux semi-conducteurs sont le carbure de silicium (SiC) et le nitrure de gallium (GaN). Ils possèdent de meilleures propriétés électriques dues en partie au fait que ce sont des semi-conducteurs à grand gap : WBGS (Wide Band Gap Semiconductor) [ROC2010]. Il existe plusieurs structures cristallographiques du SiC et celles qui est utilisé dans l'industrie est le 4H-SiC [S03-2015].

Par ailleurs, un autre semi-conducteur qui n'est pas encore industrialisé peut permettre un saut technologique important. Depuis plusieurs années, des projets d'études soutenus par les industriels (Diamonix 1 et 2 [S04-2016]) sont réalisées sur le diamant [WOR2008].

Pour utiliser ces dispositifs dans des applications dites de « haute fiabilité » (aéronautiques, astronautiques et militaires), les technologies actuelles et leurs évolutions doivent être étudiées et évaluées. Ces technologies comprennent aussi bien celles des boîtiers que celles des puces semiconductrices. En effet, la maturité des technologies utilisées doit être atteinte et démontrée pour déterminer leur fiabilité. Les premières générations de puce en SiC présentaient des dégradations des performances électriques liées à des difficultés technologiques et de procédés de fabrication [SAN2014]. Actuellement, la seconde [S05-2015] [S06-2015] et la troisième [S07-2016] [S08-2016] génération de ces puces présentent de meilleures performances stables dans le temps.

Actuellement, les concepteurs d'applications « haute fiabilité » ne possèdent pas de données suffisantes pour prendre le risque d'intégrer ces nouvelles technologies au sein des équipements du groupe AIRBUS. Par conséquent, il est important de mettre au point les méthodes de tests de ces dispositifs pour connaitre leurs limites et estimer la fiabilité des dispositifs d'électronique de puissance en fonction des contraintes opérationnelles et environnementales.

La méthode usuelle pour estimer la fiabilité de dispositifs électroniques est synthétisée dans la figure 1 [GUE2004]. Cette méthode débute par l'analyse des technologies qui constituent les dispositifs électroniques, puis par les environnements rencontrés par ces dispositifs dans l'application. Ensuite, en lien avec la littérature, une analyse des risques de défaillance est réalisée en associant les analyses technologiques et les environnements pour définir les potentiels modes et mécanismes de défaillance. Enfin, des tests de vieillissement sont mis en place pour tenter de reproduire les modes et mécanismes précédemment identifiés.

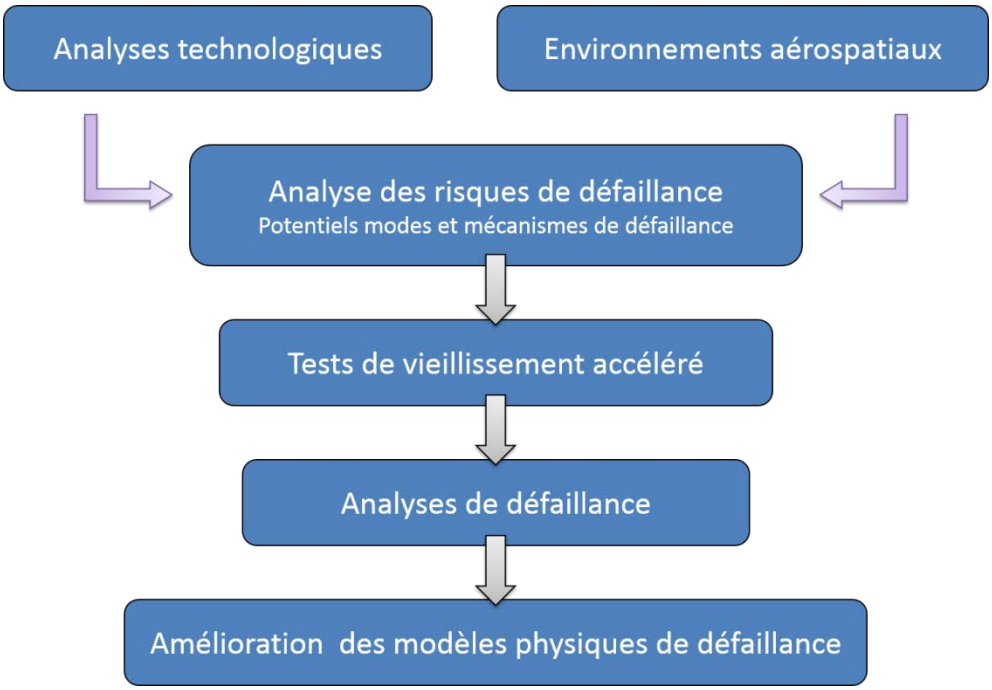


Figure 1 : Méthodologie usuelle pour estimer la fiabilité de l'électronique

Cette étude fait suite à la nécessité de disposer de données internes sur la fiabilité de ces dispositifs de puissance par le groupe AIRBUS. Par conséquent, pour suivre rigoureusement cette méthodologie usuelle d'estimation de la fiabilité des dispositifs électroniques, les principaux axes suivants seront détaillés dans ce manuscrit :

1. les technologies d'assemblage du packaging des composants COTS d'électronique de puissance ;
2. l'étude bibliographique des mécanismes de vieillissement et modes de défaillance en électronique de puissance ;
3. la mise en place des tests de vieillissement accéléré des composants électroniques de puissance ;
4. les résultats des tests de vieillissement accéléré ;
5. les interprétations et synthèses des résultats des tests de vieillissement accéléré.

Le premier axe synthétisera la méthode de sélection des composants COTS, la présentation des boîtiers des composants et les matériaux qui constituent les différents boîtiers. Le deuxième se penchera sur l'étude bibliographique des mécanismes et modes de défaillance des boîtiers d'électronique de puissance dans des contraintes d'application haute fiabilité (environnements sévères, contraintes électriques et électrothermiques). Le troisième fera le lien entre les environnements sévères et les tests mis en place pour reproduire les mécanismes et modes de défaillance qui peuvent être potentiellement rencontrés en conditions opérationnelles. Cela permettra d'estimer la durée de vie des dispositifs d'électronique de puissance en opération. Le quatrième synthétisera les résultats des tests

de vieillissement accéléré et les analyses de vieillissement et de défaillance. Le cinquième permettra de recenser les différents modèles physiques de défaillance et de les corréler avec les résultats expérimentaux des tests de vieillissement accéléré. Cela mènera à l'interprétation des résultats par des lois de fiabilité et ainsi estimer la durée de vie dans des conditions réelles d'utilisation des composants d'électronique de puissance.

2 Technologies des boîtiers des composants COTS d'électronique de puissance

Dans les composants COTS d'électronique de puissance, il est important de distinguer les composants et modules à encapsulation non hermétique qui seront appelés composants en boîtier plastique et ceux à boîtier hermétique (métallique ou céramique). Le rôle des boîtiers est de protéger la puce de l'environnement extérieur et de faciliter l'interconnexion.

Le boîtier des composants intègre une seule et unique puce qui réalise une fonction électrique simple telle que le redresseur ou l'interrupteur. Le boîtier des modules intègre plus d'une puce. Ces dernières sont associées en série ou en parallèles selon la configuration et les spécificités du module. Le groupe de puces peut réaliser une fonction électrique simple ou des fonctions de conversion d'énergie électrique telles que des ponts redresseurs, des hacheurs et des onduleurs [CHA2004]. Il existe de nombreuses autres fonctions électriques de conversion d'énergie qui ne seront pas citées dans ce manuscrit.

Le boîtier plastique est un matériau composite constitué d'une matrice organique et de charges minérales. Ces matériaux composites enrobent les puces, tandis que dans les boîtiers hermétiques, les puces sont positionnées dans une cavité contenant un gaz inerte.

Il existe deux grandes familles de composants :

- les composants traversants communément appelés PTH (*Plated-Trough Hole*) ;
- les composants assemblés sur les faces des circuits imprimés : SMD (*Surface Mounted Device*).

Ce chapitre est uniquement dédié à la présentation des composants étudiés. En premier lieu, y est décrit la sélection des composants qui comprend les critères de sélection et les caractéristiques principales des composants. Ensuite, sont présentés les matériaux constitutifs de ces composants. Enfin, ce chapitre s'intéresse à l'un des principaux défauts de fabrication pouvant provoquer des défaillances prématurées.

2.1 Sélection des composants

La sélection des composants a été menée en plusieurs étapes. En premier, un recensement des composants intégrant des WBGS disponibles sur le marché a été réalisé. Ensuite, des critères thermiques et électriques ont été définis avec l'aide des divisions du groupe AIRBUS.

Cette définition des critères de sélection a pour principal objectif de couvrir la plupart des exigences rencontrées par les équipements électriques qui seront intégrés dans de futures plateformes aérospatiales. Ces critères sont présentés dans le tableau 1 et comprennent :

- la température de stockage (T_{stg}) : température à laquelle le boîtier a la capacité de résister ;
- la température de jonction (T_j) : température de fonctionnement de la puce ;
- la tension inverse ($U_{R\ Max}$) et de blocage maximum ($U_{B\ Max}$) : capacité du composant à résister à des surtensions apparaissant dans le circuit électrique ;
- le courant direct maximal ($I_{Average}$) : courant continu moyen que peut conduire le composant.

Critères	Gamme
T_{stg}	$-60 < T_{stg} < 250$ °C
T_j	$-60 < T_j < 250$ °C
$U_{R\ Max}$ et $U_{B\ Max}$	$0 < U_{R\ Max}$ et $U_{B\ Max} < 1500$ V
$I_{Average}$	$1 < I_{Average} < 200$ A

Tableau 1 : Critères thermiques et électriques de sélection des composants étudiés

Au final, dix composants correspondant à ces critères ont été sélectionnés. Le tableau 2 présente les caractéristiques générales des composants sélectionnés. Ces caractéristiques générales sont la fonction électrique, le type de puce, le type d'assemblage et la dénomination normalisée du boîtier. Les types de composants sélectionnés ont été numérotés de 1 à 10. Une précision est apportée sur les boîtiers normalisés : Plastique (P) et Hermétique (H). Les composants sélectionnés comprennent six diodes Schottky en SiC, deux transistors MOSFET (*Metal Oxide Silicon Field Effect Transistor*) en SiC, un transistor MOSFET en Si et un transistor HEMT (*High Electron Mobility Transistor*) en GaN. Ce dernier présente un boîtier particulier : il s'agit d'une puce quasiment nue possédant des zones d'interconnexion d'alliage permettant de l'assembler à la surface d'un circuit imprimé.

N° des composants	Fonction électrique	Type de puce	Type d'assemblage	Boîtier normalisé
1	Redresseur	Diode Schottky SiC	PTH	TO-220 (P)
2		Diode Schottky SiC		TO-247 (P)
3		Diode Schottky SiC	SMD	QFN 3,3x3,3 [1] (P)
4		Diode Schottky SiC		DPAK (P)
5		Diode Schottky SiC		D²PAK (P)
6		Diode Schottky SiC		SMD05 (H)
7	Interrupteur	MOSFET SiC	PTH	TO-247 (P)
8		MOSFET SiC		TO-247 (P)
9		MOSFET Si	SMD	D²PAK 7 (P)
10		HEMT GaN		LGA 3,6x1,6 1

Tableau 2 : Présentation générale des composants sélectionnés

Des observations optiques des différents types de boîtiers des composants ont été réalisées. Ces observations incluent des mesures de dimensions des composants. Cela a permis de prendre en compte les différentes configurations de connexions électriques pour la conception des architectures de bancs de tests (chapitre 3). Le tableau 3 présente les images des différents boîtiers des composants sélectionnés.

[1] Boîtier dont les dimensions ne sont pas normalisées

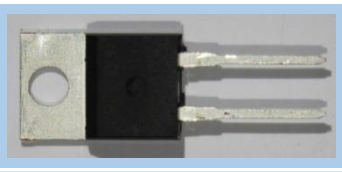
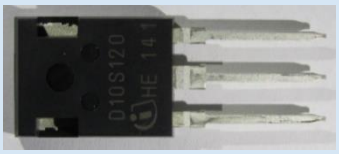
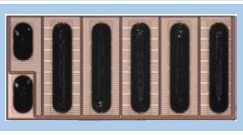
N° des composants	Type d'assemblage	Package	Image du boîtier	
1	PTH	TO-220 (P)		
2, 7 et 8		TO-247 (P)		
3	SMD	QFN 3,3x3,3 mm (P)		
4		DPAK (P)		
5		D²PAK (P)		
6		SMD05 (H)		
			Face avant	Face arrière
9	SMD	D²PAK 7 (P)		
10		LGA 3,6x1,6 mm		

Tableau 3 : Présentation des différents boîtiers

Le tableau 4 synthétise les principales caractéristiques thermiques et électriques des composants sélectionnés. Ces caractéristiques sont extraites des fiches techniques des constructeurs des composants. Elles représentent les paramètres maximaux ou conditions maximales admissibles par les composants.

N° des composants	T_{stg} (°C)	T_j (°C)	$U_{R\ Max}$ et $U_{B\ Max}$ (V)	$I_{Average}$ (A)
1	-55/+175	-55/+175	1200	10
2	-55/+175	-55/+175	1200	10
3	-55/+160	-55/+160	600	1,7
4	-55/+175	-40/+175	650	6
5	-55/+175	-40/+175	600	8
6	-55/+225	-55/+225	600	10
7	-55/+135	-55/+135	1200	24
8	-55/+150	-55/+150	1200	35
9	-55/+175	-55/+175	100	180
10	-40/+150	-40/+125	200	12

Tableau 4 : Caractéristiques principales des composants sélectionnés

2.2 Types, structures et éléments constitutifs de composants COTS d'électronique de puissance

Les types, les structures, les éléments constitutifs et les matériaux de tous les types de composants sélectionnés ont été déterminés à l'aide d'une méthode usuelle d'analyse de technologies. Cette méthode regroupe plusieurs techniques d'analyses non-destructives NDT (*Non Destructive Test*) et destructives DT (*Destructive Test*) :

- les NDT sont :
  - des caractérisations électriques (CE) ;
  - des observations optiques ;
  - de la radiographie ou imagerie aux rayons X (analyses RX) ;
  - de la microscopie acoustique à balayage : SAM (*Scanning Acoustic Microscopy*) ;
  - de la spectroscopie infrarouge à transformée de Fourier FTIR (*Fourier Transformed InfraRed*) ;
  - des tests d'herméticité (uniquement pour les composants hermétiques).
- les DT sont :
  - des coupes micrographiques des échantillons ;
  - de la microscopie électronique à balayage SEM (*Scanning Electron Microscopy*) sur les coupes micrographiques ;
  - de la spectroscopie à dispersion d'énergie des rayons X EDX (*Energy Dispersive X-ray*) sur les coupes micrographiques.

Les caractérisations électriques ont été réalisées pour s'assurer du bon fonctionnement des composants ainsi que la correspondance avec les données de la fiche technique. Les observations optiques ont permis d'évaluer l'état général des composants. L'imagerie aux rayons X et la microscopie acoustique à balayage ont révélé la configuration de la structure des différents éléments. La microscopie acoustique a permis également de contrôler l'état de certaines interfaces.

Les matériaux des différents éléments ont été identifiés à l'aide d'analyses MEB couplées à un système EDX et d'analyses FTIR. La composition des alliages a été déterminée par des analyses EDX semi-quantitatives. Ces analyses ont été réalisées sur plusieurs zones du même alliage. Cela a pour objectif de s'affranchir de problèmes d'homogénéité dus à la formation de phases et de composés intermétalliques IMC (*InterMetallic Compound*) lors du refroidissement du procédé de fabrication ou d'assemblage.

Les types, les structures, les éléments constitutifs et les matériaux des différents composants sélectionnés seront présentés par type de boîtier : boîtier plastique et boîtier hermétique. Une étude des étapes de fabrication des composants a été réalisée pour présenter les différents éléments constitutifs des composants.

2.2.1 Boîtier plastique

Ce paragraphe présente les étapes principales de fabrication des composants électroniques de puissance en boîtier plastique. Les composants COTS d'électronique de puissance en boîtier plastique, PTHs ou SMDs, sont tous constitués des éléments physiques suivants :

- des broches et/ou des plages de report (grille de connexion) ;
- des fils d'interconnexion ;
- une puce métallisée sur ses deux faces ;
- un matériau de scellement de la puce ;
- un substrat de report de la puce (grille de connexion) ;
- un matériau composite à matrice organique et charges minérales (matériau d'encapsulation).

La figure 2 présente une vue schématique d'un composant PTH en boîtier plastique. Le rôle de chaque élément et des matériaux le constituant sera détaillé dans la partie 2.2.1. La fabrication débute par l'utilisation d'une grille de connexion (*leadframe* en anglais) regroupant les broches et le support de la puce (ou substrat). La puce est ensuite scellée à la grille de connexion au niveau du substrat par un alliage de brasure. Des fils d'interconnexion permettent de relier les broches et la puce et les broches et le substrat. L'ensemble est

encapsulé par un matériau composite constitué d'une matrice organique et de charges de différentes tailles et formes. Puis une finition est déposée sur les zones des broches et du substrat qui n'ont pas été recouvertes par le matériau composite. La dernière étape consiste à séparer les contacts physiques entre les broches et les substrats pour obtenir les terminaisons électriques du composant.

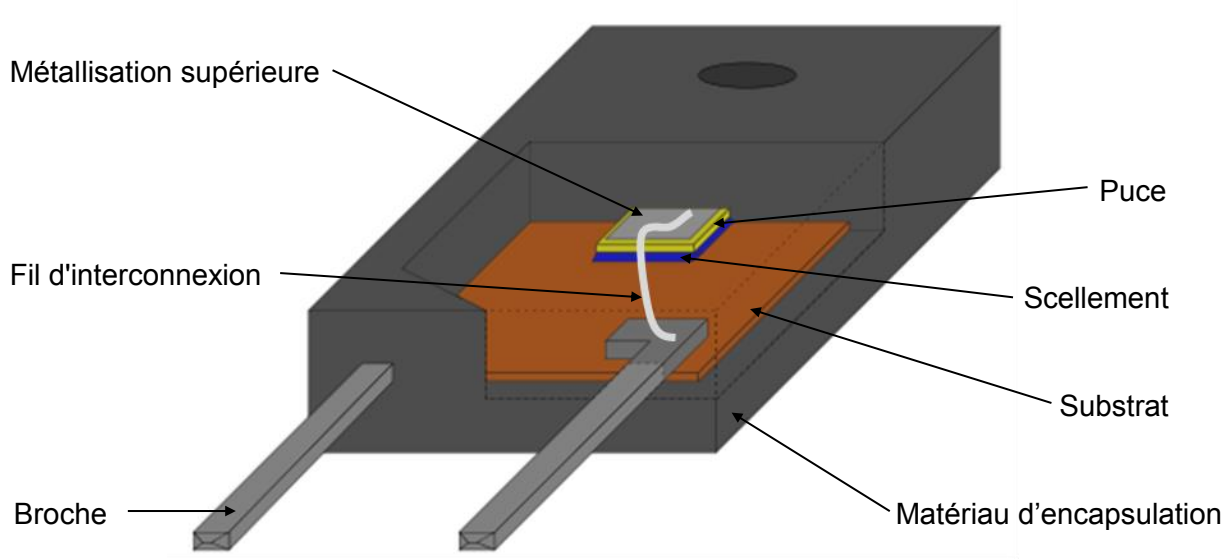


Figure 2 : Vue schématique d'un composant PTH à boîtier en plastique

2.2.2 Matériaux constitutifs des composants en boîtier plastique

Ce sous-chapitre décrit le rôle de chaque élément constitutif d'un boitier plastique et les matériaux de ces éléments.

2.2.2.1 Grille de connexion (broches, plages et substrat)

La grille de connexion des composants est constituée d'un métal recouvert par une couche métallique de protection. Cette couche est un conducteur électrique appelé finition. Le métal de la grille doit permettre d'obtenir une bonne conductivité thermique et électrique. En effet, les broches et les plages permettent de véhiculer le courant à travers le composant. De plus, le substrat a pour premier rôle d'évacuer la puissance thermique dissipée à travers le composant par le passage d'un courant, mais il peut également servir de conducteur électrique selon la configuration des concepteurs de l'équipement. Le matériau de finition permet d'améliorer le mouillage de l'alliage de brasure lors du procédé d'assemblage et de protéger le métal de la grille face à l'oxydation [LON2013]. Le métal de la grille est principalement constitué de cuivre (Cu). Des éléments d'alliage sont ajoutés au Cu pour faciliter sa mise en forme et augmenter sa résistance mécanique [DAV2001]. Les matériaux des finitions sont une couche d'étain pur (Sn) ou une couche de nickel recouverte par une couche d'étain (Sn/Ni).

2.2.2.2 Fils d'interconnexion

Les fils d'interconnexion permettent de réaliser la connexion électrique entre les broches ou les plages et la partie supérieure de la puce. Ils doivent être de bons conducteurs électriques. Pour tous les composants étudiés, les fils sont en aluminium (Al). Des éléments d'alliage sont ajoutés à l'Al pour augmenter sa résistance mécanique et sa résistance à la corrosion [LIU1999] [RAN2012].

2.2.2.3 Métallisation supérieure et inférieure de la puce

Les matériaux de métallisation supérieure de la puce ont pour objectif de permettre la soudure des fils d'interconnexion sur la partie supérieure de la puce [SHE2005]. Les matériaux de métallisation inférieure ont pour objectif de créer un lien mécanique entre la partie inférieure de la puce et un matériau de scellement qui sera présenté dans la partie 2.2.2.4 [SHE2005]. Les métallisations supérieures des puces des composants étudiés sont exclusivement constituées d'une couche mince de titane recouverte par une couche en aluminium (Al/Ti). Deux types de métallisation inférieure ont été mis en évidence :

- du titane recouvert par du nickel puis par de l'argent (Ti\Ni\Ag) ;
- du titane recouvert par du nickel puis par du cuivre (Ti\Ni\Cu).

Pour certains composants, la nature de la dernière couche de métallisation de la puce n'a pu être déterminée (Ti\Ni\?). Cela peut s'expliquer par la dissolution complète de cette couche dans le matériau de scellement lors du procédé d'assemblage de la puce sur le substrat.

La couche mince de titane est utilisée comme une couche d'accroche ou d'adhésion au matériau semi-conducteur [FRA2004]. La couche de nickel sert de barrière de diffusion [S09-2016]. La dernière couche a plusieurs rôles, mais le principal est la formation d'un composé intermétallique avec la brasure pour créer un lien mécanique permettant une bonne conduction thermique et électrique.

2.2.2.4 Matériaux de scellement pour le report de la puce

La méthode utilisée pour le scellement de la puce est le brasage [LIU2012]. L'utilisation d'un alliage métallique pour le scellement de la puce permet d'obtenir une très bonne conductivité thermique et électrique avec le substrat. Deux types d'alliage de brasure ont été identifiés dans les composants sélectionnés :

- des alliages SnAgSb ;
- des alliages riches en plomb (teneur supérieure à 85 %m).

2.2.2.5 Matériau d'encapsulation

Le matériau d'encapsulation est un matériau composite. Comme déjà indiqué, son rôle consiste à protéger la puce de l'extérieur. Ce matériau permet également d'améliorer la tenue en tension des composants. Ils sont principalement constitués de résines polymères, de charges inorganiques et de retardateurs de flamme (FR pour *Flame Retardant*) [ROU1992].

Les résines rencontrées dans les composants COTS de puissance sont à base de résines époxydes. Les résines époxydes peuvent être de différentes natures. Actuellement, leurs natures n'ont pas pu être encore déterminées précisément, car le pourcentage de charges est généralement supérieur à 70 % en masse du matériau d'encapsulation [ROU1992], ce qui nécessite un équipement de micro-spectroscopie infrarouge spécifique pour obtenir une surface d'analyse suffisamment petite pour s'affranchir des charges.

Pour chaque composant, plusieurs analyses ont été réalisées pour vérifier la répétitivité de la signature spectrale du matériau d'encapsulation. Les résultats obtenus montrent des spectres assez similaires entre eux avec toutefois quelques légères variations d'amplitudes de bandes d'absorption liées à l'échantillonnage et aux conditions opératoires du contact entre le diamant de l'équipement d'analyse ATR (*Attenuated Total Reflectance*) et le matériau d'encapsulation.

Les matériaux d'encapsulation ont montré des signatures homogènes (figure 3), qui correspondent à un produit de type résine époxyde très peu délié en raison d'une très forte densité de charges en silice qui masque une partie du spectre de la résine (zone autour de 1100 cm^{-1}). Dans certains cas, il a aussi été détecté une faible présence d'hydroxyde d'aluminium, ainsi qu'une bande ester (1750-1730 cm^{-1}) qui n'est pas présente partout pouvant correspondre à des traces d'un démoulant, au marquage laser ou à une pollution ponctuelle de surface.

Les autres bandes sont caractéristiques de la réponse infrarouge des résines époxydes de type multifonctionnel avec probablement un durcisseur de type amine (zone entre 3500 et 3300 cm^{-1}).

La figure 3 présente trois spectres correspondant à différentes zones analysés d'un échantillon du composant n°1 dédié aux analyses de construction.

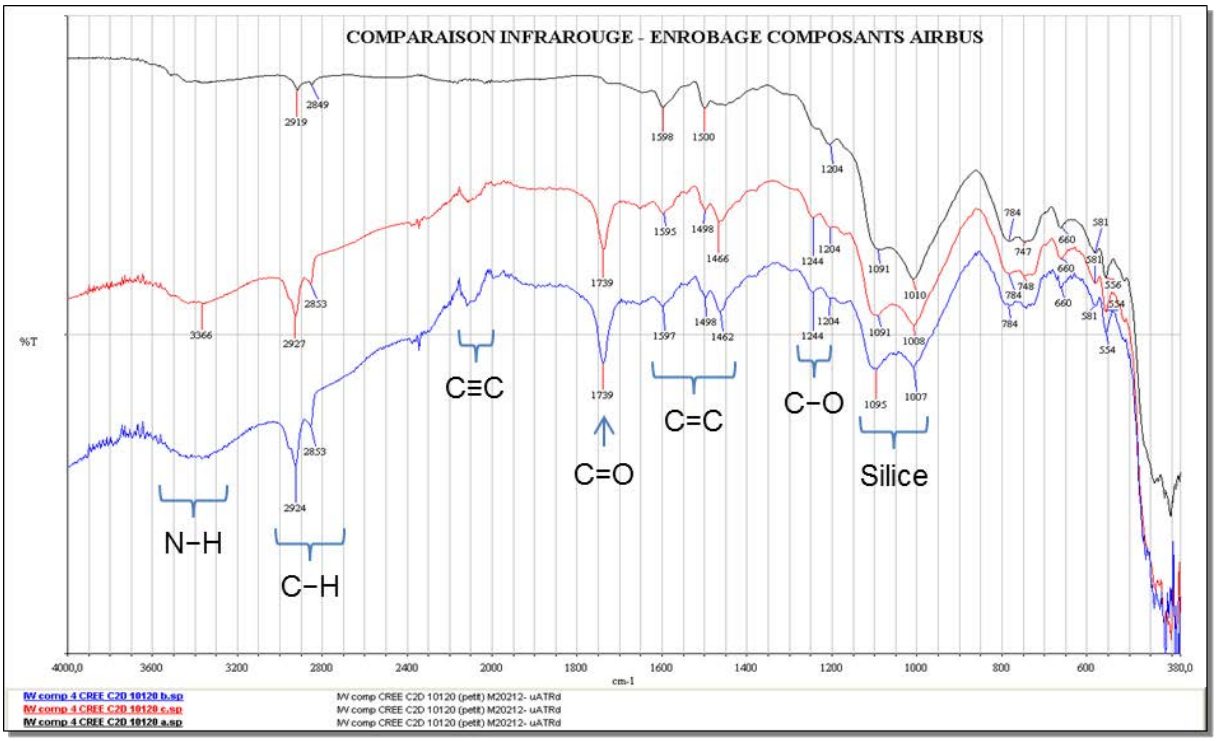


Figure 3 : Spectre infrarouge de la résine des composants n°1

Les charges principalement rencontrées sont en silice SiO_2 de dimensions et de formes variées (figure 4).

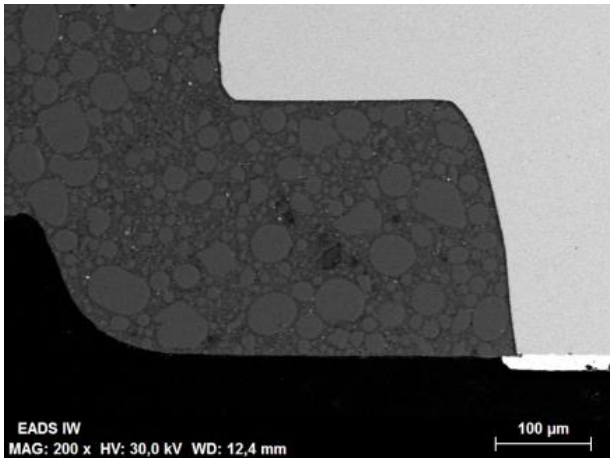


Figure 4 : Image MEB du matériau composite d'encapsulation des composants n°4

Les principaux FRs identifiés dans ces composants sont également des charges minérales [FRI2011] :

- du trihydroxyde d'aluminium $Al(OH)_3$ nommé ATH (*Aluminum TriHydroxide*) ;
- du dihydroxyde de magnésium $Mg(OH)_2$ nommé MDH (*Magnesium DiHydroxide*).

Il a également été identifié la présence d'autres charges minérales dans les matériaux d'encapsulation de ces composants. Les éléments chimiques qui ont permis de révéler ces

charges sont du nickel (Ni), du fer (Fe), de l'antimoine (Sb) et du zinc (Zn). Les potentielles charges considérées comme des FRs contenant ces éléments sont :

- des sels de nickel : $NiSO_4$ $6H_2O$ [WU-2010] ;
- des Sels Ferriques (SF) ou des Oxydes de Fer (OF : Fe_2O_3 ou Fe_3O_4) [EDW2003] ;
- de l'oxyde d'antimoine (Sb_2O_3), habituellement utilisé avec des systèmes halogénés dont la réaction ignifugeante est présentée dans [LAN2001] ;
- de l'hydroxystannate de zinc ZHS (*Zinc HydroxyStannate*) : $ZnSn(OH)_6$) [SU-2012].

La présence de zinc a été révélée dans certains matériaux d'encapsulation. L'ATH et le MDH peuvent être utilisés en combinaison avec du borate de zinc pour améliorer la suppression de fumée (effet de synergie) [S10-2015]. Il existe également de l'ATH enrobé par du ZHS qui a été récemment mis au point [FRI2011].

2.2.2.6 Synthèse des matériaux

Le tableau 5 présente une synthèse des matériaux utilisés dans les composants en boîtier plastique COTS sélectionnés.

Eléments		N° des composants							
		1	2	3	4	5	7	8	9
Grille de connexion		Cu	Cu	Cu (Fe)	Cu	Cu	Cu	Cu	Cu
Finition (grille)		Sn/Ni	Sn/Ni	Sn	Sn	Sn	Sn	Sn/Ni	Sn/Ni
Interface grille / fil d'interconnexion		Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni
Fils d'interconnexion		Al	Al	Al	Al	Al	Al	Al	Al
Métallisation sup. puce		Al/Ti	Al/Ti	Al/Ti	Al/Ti	Al/Ti	Al/Ti	Al/Ti	Al/Ti
Métallisation inf. puce		Ag/Ni/Ti	Cu/Ni/Ti	Ag/Ni/Ti	?/Ni/Ti	?/Ni/Ti	Cu/Ni/Ti	Ag/Ni/Ti	?/Ni/Ti
Matériaux de scellement		PbSnAg	SnAgSb	PbAgSn	PbAgSn	PbAgSn	SnAgSb	PbAgSn	PbSn
Matériaux d'encapsulation	Nature	Epoxyde	Epoxyde	Epoxyde	Epoxyde	Epoxyde	Epoxyde	Epoxyde	Epoxyde
	Charges	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2
	FR (1)	ATH + MDH	ATH + MDH	ATH + MDH	ATH + MDH	ATH + MDH	ATH + MDH	ATH + MDH	ATH + MDH
	FR (2)	-	-	$NiSO_4$ $6H_2O$	-	-	$NiSO_4$ $6H_2O$	Sb_2O_3	ZHS
	FR (3)	-	-	SF ou OF	-	-	-	$NiSO_4$ $6H_2O$	-

Tableau 5 : Synthèse des matériaux utilisés dans chaque élément des composants en boîtier plastique

2.2.3 Boîtier hermétique

Les composants présentant un boîtier hermétique possèdent une structure plus complexe due à un nombre d'éléments constitutifs plus important. Ces éléments sont de différentes natures et permettent l'assemblage et la compatibilité des matériaux assemblés.

Dans les composants sélectionnés, un seul présente un boîtier CMS hermétique. Les étapes de fabrication de ce composant ont été déterminées à la suite de l'identification des différents matériaux des éléments constitutifs, puis par l'étude des propriétés physico-chimiques de ces matériaux.

Ce boîtier hermétique présente les éléments physiques suivants :

- des plages de report ;
- une céramique d'isolation électrique ;
- un alliage métallique SCSB (Scellement de la Céramique avec le Substrat et le Boîtier) ;
- un boîtier ;
- une puce métallisée sur ses deux faces ;
- un matériau de scellement de la puce ;
- des fils d'interconnexion ;
- un matériau SC (Scellement du Capot) ;
- un capot.

La figure 5 présente une vue schématique de ce composant CMS en boîtier hermétique. Sa fabrication débute par l'utilisation d'une grille de connexion (*leadframe* en anglais) regroupant trois plages de report dont une est le support de la puce (ou substrat), d'une céramique d'isolation électrique et d'un boîtier. La céramique est brasée à la fois à la grille de connexion et au boîtier. La puce est ensuite scellée à la grille de connexion au niveau du substrat par un alliage. Les deux fils d'interconnexion relient les plages de report et la surface supérieure de la puce. Enfin, un capot est scellé au boîtier par un alliage de brasure. La céramique relie les plages d'accueil et le substrat au boîtier à l'aide d'un matériau d'attache. La partie inférieure de la puce est scellée au substrat et les plages d'accueil sont reliées à la partie supérieure de la puce par des fils d'interconnexion. L'ensemble est fermé par un capot relié au boîtier par un matériau de scellement du capot. Le rôle de chaque élément et des matériaux les constituant sera détaillé dans la partie 2.2.4.

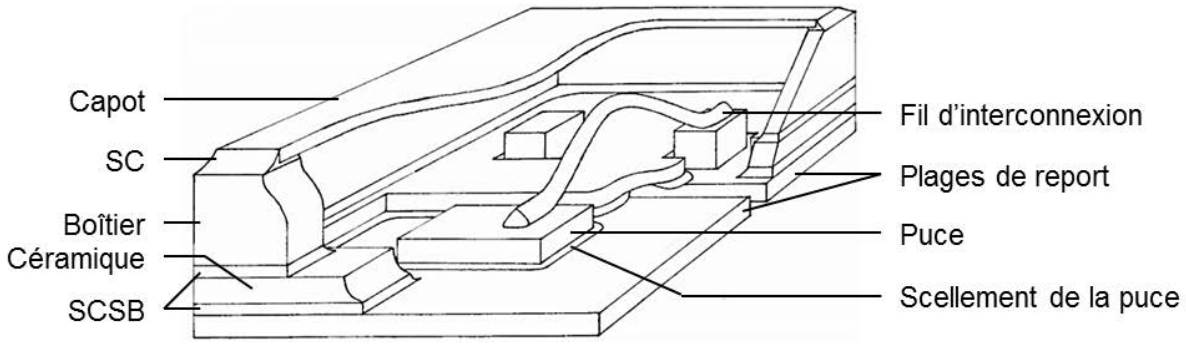


Figure 5 : Eléments constitutifs des composants COTS d'électronique de puissance en boîtier hermétique

2.2.4 Matériaux constitutifs du composant hermétique

Cette partie décrira uniquement les matériaux constitutifs du composant numéro 6.

2.2.4.1 Plages de report des composants

Le rôle des plages de report des composants a été décrit dans la partie 2.2.2.1. Pour ce type de composant, l'une des plages de report est également le substrat de la puce. Le matériau des plages est un alliage de tungstène (W) et de cuivre (Cu). Les résultats des analyses EDX semi-quantitatives de cet alliage réalisées sont :

- au niveau de la plage - substrat : 92 %m (W) et 8 %m (Cu) ;
- et au niveau des deux autres plages : 91 %m (W) et 9 %m (Cu).

La finition des plages est une couche de nickel recouverte par une couche d'or (Ni\Au). L'alliage 90W10Cu est l'alliage utilisé en électronique qui a les proportions les plus proches des résultats d'analyses [YOO2007]. Le diagramme de phase de cet alliage est présenté dans l'annexe 1.

2.2.4.2 Céramique d'isolation électrique

Un matériau céramique est utilisé pour isoler électriquement le substrat des plages de report. Cette céramique est physiquement scellée au substrat et au boîtier par un matériau d'attache. Cette céramique est principalement constituée d'alumine (Al_2O_3) et comporte des traces de magnésium (Mg), de chrome (Cr) et de calcium (Ca). La céramique comporte des métallisations en tungstène recouvertes par une couche de nickel (Ni/W).

2.2.4.3 Alliage de brasure de scellement des parties céramiques avec les plages et le boîtier

Le matériau d'attache des plages du substrat et du boîtier avec la céramique est un alliage de brasure d'argent (Ag) et de cuivre (Cu) : 68 %m (Ag) et 32 %m (Cu) dont le point de fusion est de T_f (AgCu) = 779,4 °C. Un diagramme de phase de l'alliage AgCu est présenté dans l'annexe 1.

2.2.4.4 Boîtier

Le boîtier de ce composant comporte une cavité. Dans certains cas, mais pas pour ce composant, une partie du volume de la cavité des composants hermétiques peut être remplie par un gel diélectrique pour obtenir une meilleure tenue en tension. L'analyse semi-quantitative du matériau de l'âme du boîtier a révélé un alliage de fer (Fe), de nickel (Ni) et de cobalt (Co) : 52 %m (Fe), 29 %m (Ni) et 19 %m (Co). L'alliage se rapprochant le plus de cette composition est connu sous le nom de « Kovar ». Les principaux constituants du Kovar sont du fer (54 %m), du nickel (29 %m) et du cobalt (17 %m). Cet alliage est très utilisé dans les composants hermétiques, car il possède un coefficient de dilatation thermique proche des matériaux céramiques et plus particulièrement de l'alumine (Al_2O_3) [YOO2007]. Certaines propriétés physico-chimiques des différents matériaux sont présentées dans le chapitre 3. Le boîtier présente une couche de nickel recouverte par une couche d'or (Ni\Au) en tant que finition.

2.2.4.5 Matériau de scellement pour le report de la puce

Le rôle du matériau de scellement de la puce est décrit dans la partie 2.2.2.4. L'alliage de brasure utilisé est un alliage riche en plomb (teneur supérieure à 85 %m). Son point de fusion est compris entre 280 et 300 °C et il est inférieur à celui de l'alliage de scellement des parties céramiques avec le substrat et le boîtier (cf. 2.2.4.3)

2.2.4.6 Fils d'interconnexion

Le rôle des fils d'interconnexion est décrit dans la partie 2.2.2.2. Les fils d'interconnexion sont en aluminium (Al).

2.2.4.7 Matériau de scellement du capot

Le matériau de scellement du capot permet la solidarisation du capot avec le boîtier. Ce matériau est un alliage de brasure qui présente un point de fusion plus faible que le matériau de scellement de la puce et que celui de l'attache des plages, du substrat et du boîtier avec la céramique. Cet alliage de brasure est constitué d'or (Au) et d'étain (Sn) : 76 %m (Au) et 24 %m étain. En électronique, pour le scellement des boîtiers hermétiques, l'alliage binaire historiquement utilisé en AuSn est composé de 80 %m (Au) et de 20 %m (Sn) [YOO2007]. Un diagramme de phase de cet alliage est présenté dans l'annexe 1.

2.2.4.8 Capot

Le capot permet de fermer la cavité du boîtier qui est remplie par un gaz inerte comme le diazote. L'analyse semi-quantitative du matériau de l'âme du capot révèle un alliage FeNiCo : 56 %m (Fe), 28 %m (Ni) et 16 %m (Co). Le capot est en Kovar avec une couche

de nickel recouverte par une couche d'or (Ni\Au) en tant que finition, matériaux identiques à ceux du boîtier.

2.2.4.9 Synthèse des matériaux

Le tableau 6 présente une synthèse des matériaux utilisés dans le composant hermétique COTS sélectionné.

Elément	Matériau
Grille de connexion	90W10Cu
Finition de la grille	Au/Ni
Céramique	Al_2O_3 ; Traces de Mg, Cr et Ca.
Finition de la céramique	Ni/W
Alliage métallique de scellement des parties céramiques avec le substrat et le boîtier	68Ag32Cu
Boîtier	Kovar : 54Fe29Ni17Co
Finition du boîtier	Au/Ni
Scellement de la puce	PbAgSn
Fils d'interconnexion	Al
Matériau de scellement du capot	80Au20Sn
Capot	Kovar : 54Fe29Ni17Co

Tableau 6 : Synthèse des matériaux utilisés dans chaque élément du composant hermétique

2.3 Principaux défauts de fabrication

Au cours des analyses des technologies d'assemblage, un type de défaut commun à tous les composants a été détecté. Il s'agit de cavités dans l'alliage de brasure de scellement de la puce. Ce type de défaut a pu être détecté à l'aide de techniques d'analyses non-destructives comme la microscopie acoustique à balayage (SAM) ou l'imagerie radiographique aux rayons X. La mise en évidence de ce type de défaut est présentée dans la figure 6 pour les deux techniques d'analyses précédemment citées. Dans certains cas, en fonction de leurs tailles et de l'épaisseur de certains éléments des composants, l'une des deux techniques est plus appropriée pour la mise en évidence des cavités.

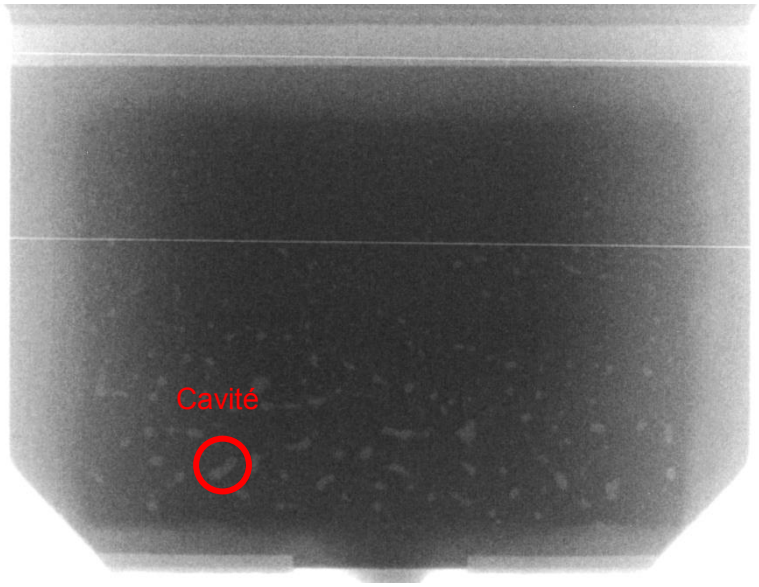
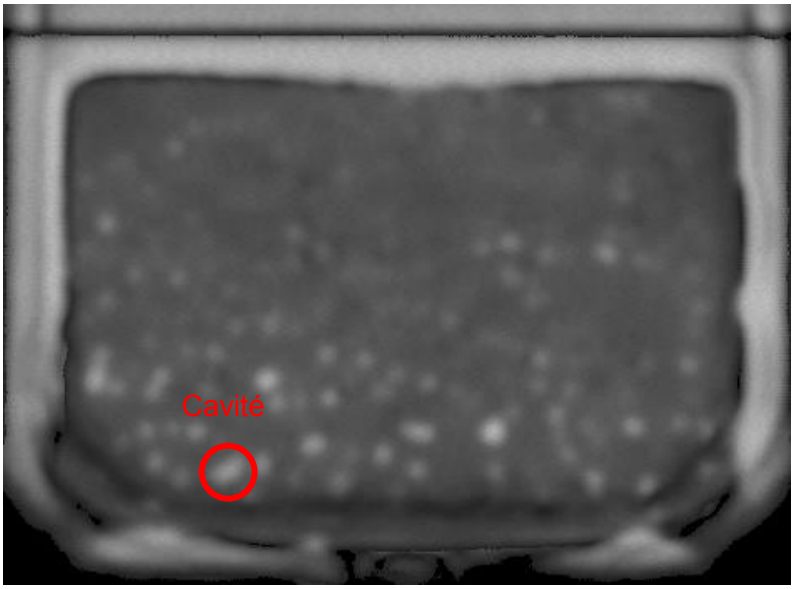
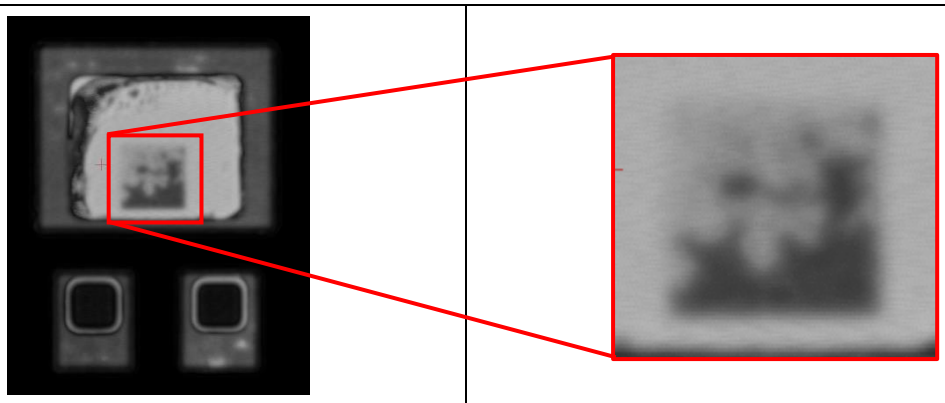
	**Radiographie X** Observation des cavités Possibilité de déterminer quantitativement la surface (dimensions dans le plan) des cavités sous la puce
	**Vue par microscopie acoustique** Observation des cavités Détermination qualitative de la surface des cavités sous la puce

Figure 6 : Image RX et par microscopie acoustique de cavités dans la brasure de scellement de la puce

Tous les composants présentent une faible proportion de cavités dans l'alliage de brasure (< 10 %), sauf pour certains échantillons du composant n°6. Certains des échantillons de ce composant présentent des cavités étendues sur une large zone (> 50 %, figure 7). Ces cavités peuvent dégrader la résistance de l'alliage de brasure face aux contraintes thermomécaniques et pourraient entrainer une résistance thermique supérieure à celle de composants ne présentant pas ce défaut.



Vue d'ensemble des interfaces substrat et des plages de report	Vue agrandie au niveau de l'interface du substrat / brasure

Figure 7 : Exemple de vue en microscopie acoustique des cavités étendues dans la brasure de scellement de la puce d'un des échantillons du composant n°6

La proportion de cavités sous la puce de ces échantillons a été évaluée par microscopie acoustique. Cette proportion est retranscrite en pourcentages représentant le rapport de la surface des cavités sur celle de la puce des échantillons du composant n°6 (tableau 7). Sur l'ensemble des composants inspectés, seuls certains composants de la référence N°6 présentent un pourcentage supérieur à 50 %.

Nombre de composants	Plage (%)		
	0 à 10	10 à 50	50 à 90
23	14	5	4

Tableau 7 : Plages de pourcentages de cavités des échantillons du composant n°6

Ces cavités peuvent avoir une influence significative sur la dissipation thermique lors de l'injection de courant à travers les dispositifs. Pour vérifier cet impact, une simulation numérique a été réalisée à partir d'un modèle physique simple basé sur les dimensions correspondant à celles d'un boîtier TO-220.

Le modèle physique et les conditions aux limites de cette simulation sont présentés dans la figure 8. Dans ces simulations, les cavités dans l'alliage de brasure ont été reproduites par des cylindres de différents diamètres dans l'épaisseur de la brasure. Les diamètres de ces cylindres ont été sélectionnés pour que la surface de la base des cylindres corresponde à un pourcentage de la surface de la puce (0, 25, 50, 70 et 90 %). Une température de 50 °C a été imposée à la surface de la partie inférieure du substrat (lignes rouges). Deux niveaux de puissance ont été étudiés pour chaque pourcentage. L'influence de la convection naturelle (20 °C) sur le dessus du matériau d'encapsulation a été évaluée.

Les résultats des simulations ont été obtenus dans un état stationnaire, c'est-à-dire que dans ce cas, il est simulé le passage d'un courant continu à travers la puce.

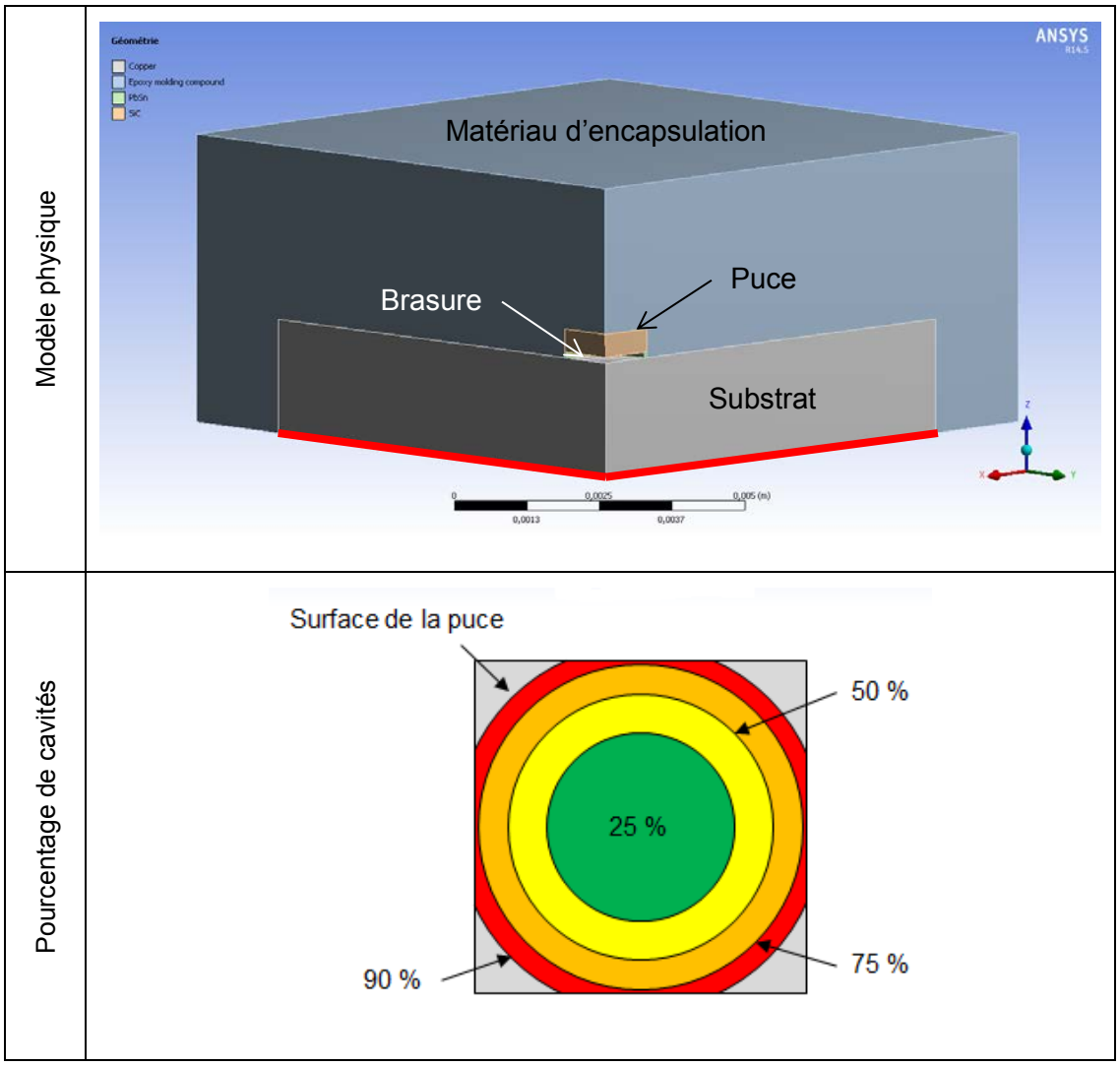


Figure 8 : Modèle physique et forme des cavités dans l'alliage de brasure

La figure 9 présente la répartition de la température T et du flux thermique dans le modèle physique pour 25 et 70 % de cavités. L'augmentation de la température est essentiellement localisée au centre de la puce. Le flux thermique est dirigé vers le substrat dont la face inférieure correspond au point froid.

La figure 10 présente la température maximale au centre de la puce pour 0, 25, 50, 70 et 90 % de cavités dans l'alliage de brasure. Pour une puissance de 1 W, la convection naturelle sur le matériau d'encapsulation n'a pas d'influence. En effet, le flux thermique est uniquement dirigé vers le substrat. De plus, la température maximale est identique avec ou sans l'application de la convection naturelle. Il est important de noter que l'augmentation de la taille des cavités et de la puissance thermique dissipée accroît la température maximale de la puce.

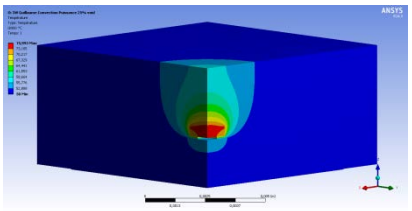
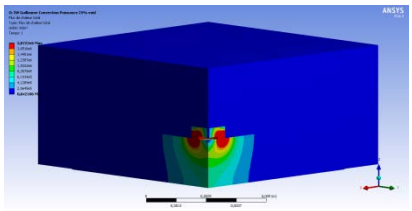
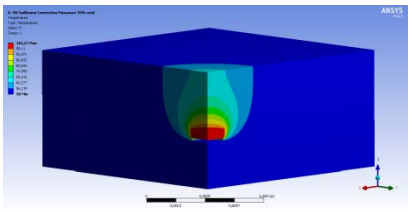
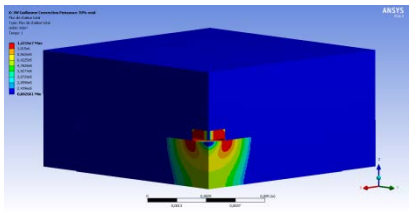
% de cavités	Température	Flux thermique
25%		
%70		

Figure 9 : Répartition de la température et du flux thermique pour 25 et 75 % de cavités

La figure 10 expose également le pourcentage d'augmentation de la température de la puce pour une puissance dissipée de 1 W (% augm. Tmax 1W). La température maximale atteinte en fonction des différentes proportions de cavités (T_{MAX} (n % cavités)) divisée par la température maximale pour 0 % de cavités (T_{MAX} (0 % cavités)) permet d'obtenir ce pourcentage :

Équation 1 $$\%\ \text{augm.}\,\mathrm{T} = \frac{\mathrm{T_{MAX}}\ (\mathrm{n}\ \%\ \text{cavités})}{\mathrm{T_{MAX}}\ (0\ \%\ \text{cavités})}$$

Ce pourcentage a permis de mettre en évidence le fait que la température augmente fortement pour un pourcentage de cavité supérieur à 50 % de la surface de la puce (figure 10). En prenant en compte la puissance et la température maximale d'une application donnée (exemple 80 °C, figure 10°- ligne rouge), il est possible d'en déduire le taux de cavités maximal acceptable pour les dispositifs d'électronique de puissance.

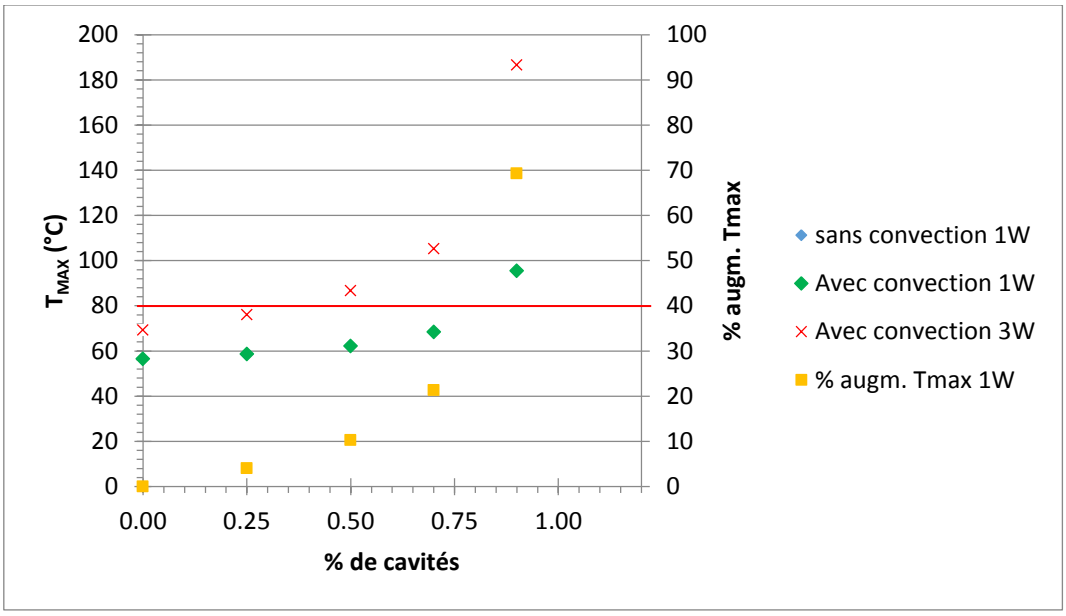


Figure 10 : Synthèse des résultats des simulations thermiques

2.4 Conclusions

Ce premier chapitre présente les deux types de boîtiers étudiés de composants COTS d'électronique de puissance. Il détaille les éléments constitutifs de ces deux types de boîtiers. Tout d'abord, il expose les critères de sélection de ces composants en considérant les paramètres de température et électriques. Ensuite, il synthétise les matériaux constitutifs des composants électroniques de puissance COTS. Enfin, il présente un seul type de défaut de fabrication qui a été rencontré dans ces composants et mis en évidence lors des analyses de construction.

L'identification des matériaux constitutifs de ces composants va permettre d'évaluer les risques de défaillance. Cette analyse des risques consiste à déterminer les mécanismes physico-chimiques qui seraient susceptible d'entraîner la défaillance des dispositifs électroniques de puissance dans les conditions opérationnelles des applications aérospatiales.

3 Etude bibliographique des mécanismes de vieillissement et modes de défaillance en électronique de puissance

L'étude bibliographique des mécanismes de vieillissement et des modes de défaillance en relation avec les analyses de construction permet de mener une analyse des risques de défaillance dans les conditions opérationnelles des applications aérospatiales. Cette analyse des risques de défaillance permet d'identifier les aspects critiques pouvant conduire à la défaillance des systèmes d'électronique de puissance. Ces aspects peuvent être variés et incluent le mode de fonctionnement des systèmes électriques ou des composants les constituant, et les environnements dans lesquels peuvent évoluer ces systèmes.

Pour estimer la fiabilité du packaging des dispositifs électroniques de puissance, il convient de ne pas uniquement prendre en considération les risques liés aux environnements. En effet, le fonctionnement de la puce peut lui aussi dégrader le packaging. De plus, l'effet croisé de l'altération de la protection offerte par le packaging due à l'environnement extérieur et de la potentielle dégradation provoquée par le fonctionnement de la puce peut entraîner le dysfonctionnement de cette dernière prématurément.

Par conséquent, les impacts sur le packaging des différents environnements rencontrés par les applications aérospatiales ont été étudiés avec le ou les potentiels dysfonctionnements de la puce qui peuvent y être associés. Certains modes de fonctionnement qui peuvent dégrader le packaging ont également été pris en compte.

Les environnements des applications aérospatiales sont : les atmosphères humides, les environnements chauds (température élevée), les cycles de température (grande variation de température), les vibrations et les chocs. Les vibrations et chocs ne seront pas pris en compte dans cette étude, car les résultats ne seraient pas représentatifs des contraintes opérationnelles. En effet, les fréquences propres impactant la tenue des différents parties mécaniques des composants sont dépendantes des systèmes. De plus, les éléments physiques des composants en boîtier plastique sont dans une position fixe et contrainte par le matériau d'encapsulation, rendant ces composants peu sensibles aux vibrations. Concernant les composants hermétiques, les seuls éléments libres sont les fils d'interconnexion caractérisés par une masse très faible qui les rend peu sensibles aux vibrations. Par conséquent, les contraintes vibratoires impactent directement l'assemblage des composants sur les circuits imprimés (cartes électroniques).

Le mode de fonctionnement des puces pris en compte est celui de la dissipation thermique lors de différents régimes de puissance. Pour simplifier, les deux régimes considérés sont :

- la dissipation en continu pour un régime stationnaire ;

- la dissipation de cycles de puissance pour des fluctuations de régimes.

Dans ce chapitre, les principaux axes s'articuleront autour des environnements considérés et des modes de fonctionnement simplifiés, avec la présentation détaillée des deux points suivants :

- les mécanismes de vieillissement engendrés par ce type d'environnement ou de fonctionnement ;
- les modes de défaillance pouvant survenir à la suite de ces mécanismes.

3.1 Environnements humides

Les environnements humides sont principalement rencontrés dans les lieux à climat tropical, au bord et au-dessus des océans, des mers et d'autres types d'étendues d'eau (lacs, rivières, etc.). Ces environnements humides sont à prendre en compte, car certains matériaux d'encapsulation et les gels diélectriques peuvent absorber l'humidité de l'atmosphère. Cette absorption d'eau se fait lors des phases d'arrêt des équipements électroniques, c'est-à-dire pendant les phases d'attente entre deux missions et de maintenance de ces équipements. Ces phases durent plus ou moins longtemps en fonction du type d'application, du type de panne ou de la difficulté de maintenance. La quantité d'eau absorbée dépend [ROU1992] :

- de la nature chimique des matériaux d'encapsulation : matériaux composites (résines polymères) ou gels diélectriques ;
- du taux de charges minérales et d'autres composés spécifiques des matériaux d'encapsulation ;
- du temps durant lequel est plongé le composant dans l'environnement humide ;
- du taux d'humidité de l'atmosphère.

Cette eau absorbée peut provoquer les mécanismes de vieillissement suivants :

- l'oxydation de matériaux métalliques en présence d'impuretés piégées dans le matériau d'encapsulation : cela concerne plus précisément les fils d'interconnexion et la métallisation supérieure (aluminium) de la puce ;
- l'évolution de propriétés diélectriques de la résine d'encapsulation ;
- la fissuration, la délamination ou le gonflement du matériau d'encapsulation.

3.1.1 Corrosion des fils d'interconnexion et de la métallisation supérieure de la puce

L'humidité absorbée par la résine peut provoquer la corrosion (phénomène d'oxydation) des fils d'interconnexion et des métallisations. La corrosion des fils d'interconnexion et des

métallisations dépend du taux d'absorption du matériau d'encapsulation, de la concentration d'ions extraits par l'eau et de la nature des ions. Les principaux ions halogénures rencontrés dans les matériaux d'encapsulation des composants en boîtier plastique sont l'ion chlorure (Cl^-) et l'ion bromure (Br^-) [HON1999]. Ces ions proviennent respectivement de la synthèse de la résine époxyde de base et des retardateurs de flamme bromés quand ce type de retardateur de flamme est incorporé au matériau d'encapsulation (boîtier plastique).

La corrosion de certains matériaux métalliques, comme l'aluminium des fils d'interconnexion, peut conduire à augmenter la résistance à l'état passant du composant et cela jusqu'à des niveaux non acceptables. Dans ce cas, il est admis que le composant peut être assimilé à un « circuit ouvert ». Il existe une hypothèse selon laquelle l'augmentation de la résistance à l'état passant pourrait entraîner un échauffement de plus en plus important avec le passage du courant. Cet échauffement irait jusqu'à la fusion des fils d'interconnexion qui causerait également un « circuit ouvert » [LIU1999].

Certains produits de corrosion peuvent se transformer en espèces ioniques qui se déplacent en présence d'un champ électrique. Ces produits ioniques se réduisent ensuite sur un autre élément représentant la cathode dans un système électrochimique. Ce phénomène est nommé « migration électrochimique » et peut créer des chemins métalliques (croissances dendritiques) jusqu'à l'autre électrode (anode), provoquant des courts-circuits. La vitesse de déplacement de ces espèces ioniques dépend de l'intensité du champ électrique qui est proportionnel à :

- la différence de potentiel entre les conducteurs ;
- la distance entre les conducteurs.

Ce mécanisme de défaillance est souvent observé sur la surface des circuits imprimés [MED2012] et, bien que rarement, est rencontré dans les composants électroniques dont les composants de puissance à cause des niveaux de tension élevés de ces composants et de la plus grande proximité de conducteurs électriques de potentiels différents.

L'humidité absorbée combinée à l'activation des contaminants peut également entraîner l'évolution des propriétés diélectriques des matériaux d'encapsulation. Dans ce cas, la tenue en tension des dispositifs électroniques est réduite. Par conséquent, lors de surtensions, il peut survenir des courants de fuite élevés pouvant dégrader irrémédiablement le composant.

3.1.2 Fissuration, délamination ou gonflement des matériaux d'encapsulation

Un phénomène de fissuration, de délamination ou de gonflement des matériaux d'encapsulation a été observé lors des procédés d'assemblage des composants sur des

circuits imprimés [GAN1996]. Il est présenté dans la figure 11. Ce phénomène est connu sous le nom de « *popcorning* » ou d'effet popcorn. Cet effet est provoqué par la vaporisation subite de l'eau absorbée lorsque la température est supérieure à celle d'ébullition de l'eau. L'eau vaporisée crée de fortes contraintes à l'intérieur des matériaux d'encapsulation pouvant aller jusqu'à fissurer, délaminer ou même gonfler le matériau d'encapsulation (flèches rouges). Pour pallier ce phénomène, les fabricants de composants et les assembleurs de composants sur circuits imprimés stockent les composants dans des armoires à atmosphère contrôlée ou procèdent au séchage des composants sensibles et des circuits imprimés avant assemblage. Cependant, ce phénomène peut également survenir lors de remises en route des systèmes électriques de puissance pour vérifier le fonctionnement d'applications dormantes, ou après une période de maintenance.

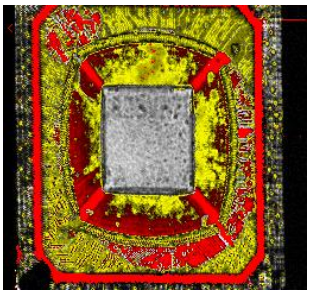
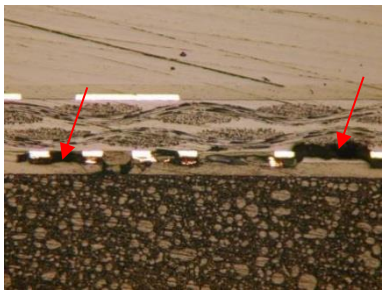
	
Vue par microscopie acoustique d'un composant	Observation optique de coupes micrographiques

Figure 11 : Délamination entre le substrat d'interconnexion et la résine d'encapsulation d'un composant BGA [XIA2009]

3.2 Température élevée

Les environnements chauds sont présents sur une grande majorité des zones habitées du globe, en particulier près de l'équateur, et plus ou moins selon la localisation et les périodes de l'année. La chaleur peut être également présente sur les pistes d'atterrissage (tarmac) à cause d'un fort ensoleillement pendant plusieurs heures. Cela a pour effet de réchauffer l'atmosphère des applications immobilisées au sol. De plus, il faut associer à cet environnement le fonctionnement des composants, qui entraîne une élévation de température. Cette potentielle élévation de température entraine un surdimensionnement des équipements qui n'est pas souhaitable aussi bien pour des questions de coût que pour celles d'encombrement.

Le dernier facteur entraînant des températures élevées est rencontré lors de vol en système dégradé, c'est-à-dire suite à une panne du système de refroidissement. Bien que rarissime, les composants devront être aptes à supporter cette forte élévation de température, qui pourrait être hors des spécifications des fabricants.

Les limites de température sont définies par la fiche technique du fabricant du composant. Elles assurent le bon fonctionnement des composants sans entraîner une dégradation prématurée de leurs caractéristiques électriques. Cependant, les données de fiabilité des fabricants de composants sont établies pour des applications commerciales voire automobiles, applications de durée nettement inférieures à celles requises en aéronautique (jusqu'à 40 ans).

Les températures élevées provoquent pour certains matériaux les mécanismes de vieillissement suivants :

- la nucléation et la croissance de composés intermétalliques et de phases, et la coalescence de ceux-ci dans les alliages ;
- des transformations physico-chimiques des matériaux organiques.

3.2.1 Nucléation et croissance de composés intermétalliques et de phases, et coalescence de ceux-ci dans les alliages

La nucléation et la croissance d'IMCs et de phases, ainsi que la coalescence de ceux-ci sont rencontrées dans les alliages de brasure de report de la puce et à ses interfaces [DUG2014]. Aucun autre élément des composants étudiés ne peut être affecté de manière significative si les composants ne sont pas assemblés sur un circuit imprimé.

Ces phénomènes n'ont pas d'impact significatif sur les propriétés électriques ou thermiques, mais ils peuvent entraîner l'évolution des propriétés mécaniques des alliages [GAI2016]. Lors du procédé de report de la puce, les IMCs formés aux interfaces de la brasure avec la puce et le substrat permettent de créer le lien mécanique par diffusion et dissolution solide / liquide [BAD1994] [GHO2001]. Par conséquent, il est important que ce lien mécanique soit robuste.

Au niveau des interfaces des alliages de brasure de puce, des IMCs de différentes compositions ont été mis en évidence. La composition de ces IMCs dépend :

- de la composition de l'alliage de brasure ;
- des matériaux des éléments à assembler, des finitions ou des métallisations de ces éléments ;
- du profil de température du procédé de brasage.

Dans le cas des alliages de brasure caractérisés pour les composants sélectionnés, les IMCs mis en évidence sont : Ag_3Sn, Ni_3Sn_4, Cu_6Sn_5, Cu_3Sn.

Comme expliqué précédemment, certains de ces IMC participent à la tenue mécanique des assemblages à la condition de n'être pas trop épais, ni trop irrégulier tel que le Cu_5Sn_6

[YAZ2012]. A l'opposé, l'IMC Cu_3Sn est un IMC dur et fragile qui peut faciliter l'apparition et la propagation de fissures dans les alliages de brasure.

Dans un environnement chaud, cet aspect n'a aucun impact. Cependant, s'il est couplé à une sollicitation vibratoire ou thermomécanique, cela peut faciliter l'apparition et la propagation de fissures conduisant à des circuits ouverts.

3.2.2 Transformations physico-chimiques des matériaux organiques

Les transformations physico-chimiques irréversibles des matériaux organiques sont surtout activées à partir de la température de dégradation. Les résines à base d'époxydes ont une stabilité thermique pouvant aller de -150 à 200 °C [KAU2001] voire au-delà en fonction du type de résine et de durcisseur utilisés. Par conséquent, les températures maximales de stockage des composants en boîtier plastique qui sont comprises entre 135 et 175°C ne provoqueront pas de transformations physico-chimiques majeures des matériaux d'encapsulation. Cependant, les contraintes électriques couplées à un environnement chaud peuvent entraîner des courts-circuits [SCO2010]. En effet, l'action cumulée de la température et de la haute tension peut entraîner l'évolution du matériau d'encapsulation et / ou l'activation de contaminants qui se traduit par un changement des propriétés diélectriques du matériau d'encapsulation. De plus, Les composants électroniques de puissance sont soumis à la tension du réseau électrique provoquant des courants de fuite. Ces courants de fuite augmentent avec la température et peuvent atteindre des niveaux non acceptables à la fois pour le système et à la fois pour le composant. Concernant uniquement le composant, le courant de fuite sous une haute tension peut dissiper une forte puissance et entraîner la fusion de certains matériaux. De plus, les pics de surtension lors du fonctionnement peuvent détruire la structure semi-conductrice de la puce.

3.3 Cycles de température

Les cycles de température concernent toutes les applications. Il existe trois types de cycles en température :

- les cycles thermiques environnementaux ;
- les cycles thermiques dus aux variations de régimes de puissance ;
- l'association des deux types précédents.

Ces variations de température entrainent une fatigue thermomécanique des matériaux. Ce phénomène sera abordé dans le sous chapitre 3.3.3.

3.3.1 Cycles thermiques environnementaux

Les cycles thermiques environnementaux subis par les applications aérospatiales sont dus aux différentes températures présentes sur la surface du globe, dans son atmosphère et au-delà ainsi qu'à la remise en fonctionnement des systèmes de refroidissement. Sur la surface du globe et dans la première couche atmosphérique (troposphère[2]), la température dépend essentiellement de la localisation, de l'altitude, de la saison, de l'heure de la journée et des conditions locales de météorologie. Dans les dernières couches atmosphériques et au-delà, la température varie seulement en fonction de l'altitude. Ce sous chapitre ne détaillera pas les phénomènes qui régissent ces variations. Néanmoins, il est important de préciser que ces variations sont négligeables pour des localisations différentes à une même altitude. Ces cycles dépendent également de l'intégration des convertisseurs de puissance dans l'application, c'est-à-dire de leurs localisations (zones pressurisées, près des réacteurs, près des freins…).

Pour les applications aérospatiales évoluant dans la troposphère, la température extérieure peut varier entre -55 et +60 °C (record de 56,7 °C aux Etats Unis [S11-2015]). Cependant, les deltas de température que subissent les composants peuvent être plus importants que la variation maximale de l'atmosphère (ΔT = 115 °C). Ce phénomène s'explique du fait que les composants s'échauffent plus ou moins selon leur fonctionnement et par la localisation de leur intégration dans une application.

3.3.2 Cycles de puissance

Les cycles thermiques de variation de puissance sont dus à la mise en marche, aux changements de régimes de puissance et à l'arrêt des équipements électriques. L'extraction de la puissance dissipée vers un point froid est l'un des aspects critiques de l'électronique de puissance et le but des systèmes de refroidissement. En effet, les systèmes de refroidissement sont généralement surdimensionnés pour éviter le vieillissement prématuré des équipements électroniques. Actuellement, les systèmes de refroidissement sont les éléments les plus volumineux et lourds des convertisseurs de puissance.

Les changements de température engendrés par ces deux types de cycles thermiques entraînent la dilatation et la contraction des matériaux. Cela est dû à l'agitation (vibration) des atomes autour de leur position moyenne qui varie avec la température. Cette agitation devient de plus en plus forte avec l'augmentation de la température. La dilatation et la contraction ne sont pas identiques entre les matériaux, ce qui a tendance à générer des contraintes entre les matériaux assemblés. Ces contraintes sont plus ou moins importantes

[2] Troposphère : zone de l'atmosphère comprise entre 0 et 10 km, la température peut s'abaisser jusqu'à -55 °C

en fonction des géométries des éléments et des différences de coefficient de dilatation thermique CTE (*Coefficient of Thermal Expansion*) des matériaux.

3.3.3 Contraintes et fatigue thermomécaniques

Lors de cycles de température, des contraintes sont générées et se relaxent de manière répétée dans les matériaux. Cette répétition entraîne la fatigue thermomécanique des matériaux assemblés et plus particulièrement de ceux qui sont ductiles et sensibles aux phénomènes de fluage. Dans certains cas, la géométrie des éléments assemblés, les caractéristiques d'épaisseur et les propriétés mécaniques des matériaux assemblés peuvent également entraîner des contraintes importantes dans les matériaux durs et fragiles, comme les céramiques. Ces contraintes provoquent la rupture de ces matériaux durs et fragiles.

Ce mécanisme de fatigue thermomécanique a été observé dans plusieurs éléments constitutifs des dispositifs d'électronique de puissance. Il est à l'origine de l'initiation et de la propagation de fissures. La figure 12 illustre des éléments sensibles à la fatigue thermomécanique qui se traduit essentiellement par l'apparition de fissures. Ces éléments sensibles sont : les fils d'interconnexion pour lesquels la fatigue thermomécanique entraine des décollements [YAM2007], [GOE2010], [AMR2005], les matériaux de scellement de la puce pour lesquels des fissurations internes sont constatées [YAM2007], [DIM2003], et les substrats pour lesquels la fissuration est aussi un mécanisme de défaillance avéré [DUP2006], [PIE2009].

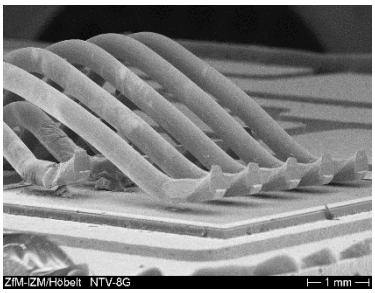
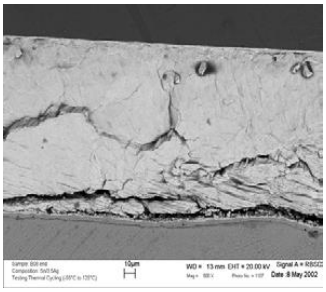
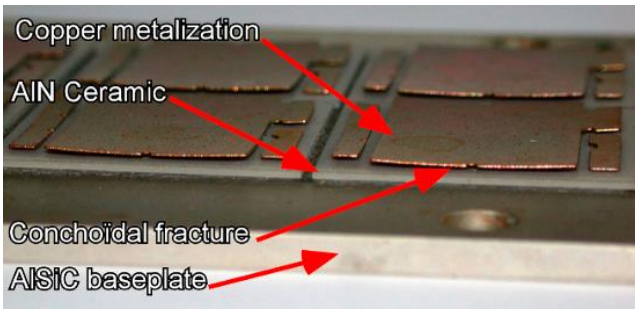
Eléments constitutifs	Images
Fils d'interconnexion **[AMR2005] : Décollement de fils d'interconnexion**	
Scellement de la puce **[DIM2003] : Fissuration d'un alliage sans plomb**	
Substrat **[DUP2006] : Fissuration de la céramique**	

Figure 12 : Eléments constitutifs des dispositifs sensibles à la fatigue thermomécanique

Les mécanismes de vieillissement présentés précédemment entraînent la défaillance des dispositifs électroniques de puissance, se manifestant par des circuits ouverts. Ces derniers s'expliquent soit par la propagation de fissures dans la totalité d'un élément conducteur d'électricité, soit par la fissuration ou la délamination des matériaux dissipateurs de chaleur qui augmentera la température du composant pouvant aller jusqu'à la fusion de certains matériaux métalliques.

Les matériaux assemblés possèdent des CTE différents et peuvent subir des contraintes plus ou moins importantes lors de variations de température. Ces contraintes peuvent entraîner la fatigue thermomécanique des matériaux qui se traduit dans les matériaux ductiles par de la déformation plastique (plastification). La déformation globale dans les matériaux ductiles a été décomposée par la superposition de 4 déformations basiques :

- l'augmentation du volume due à la dilatation thermique, complétement réversible et sans dommage ;
- le cisaillement dû aux efforts de cisaillement ;
- l'élongation longitudinale due aux efforts axiaux ;

- l'élongation différentielle résultant d'interface non-strictement parallèle.

Ces modes de déformation sont schématisés dans la figure 13.

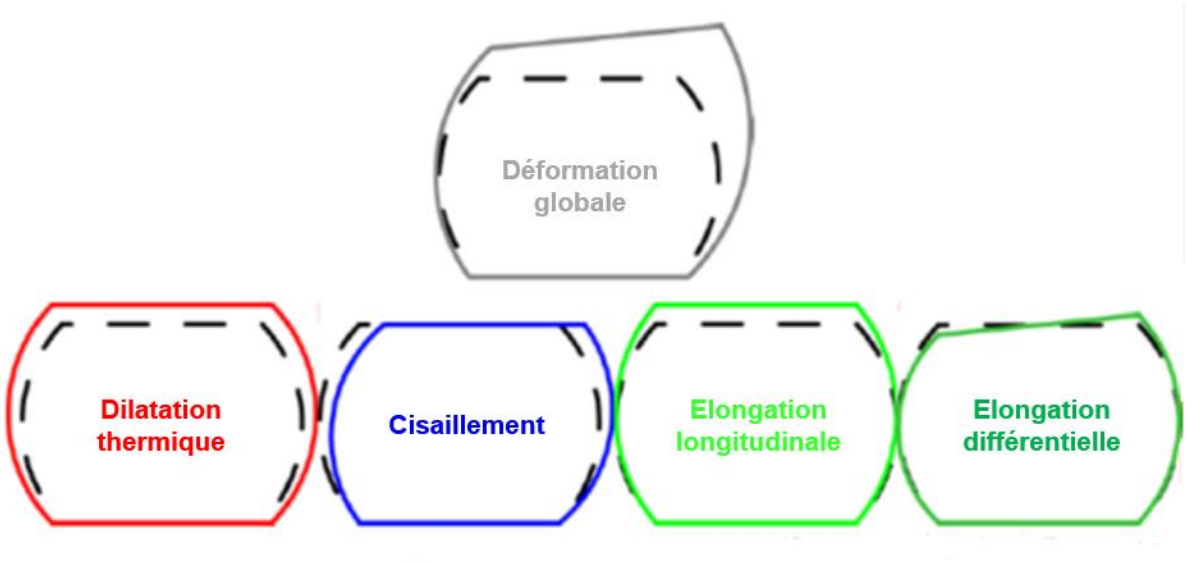


Figure 13 : Décomposition de la déformation totale en quatre modes de déformation [BAN1990]

Les niveaux de ces contraintes dépendent des différences de CTE des matériaux et de la géométrie (forme, volume) des éléments, ainsi que des procédés d'assemblage des matériaux et de leur positionnement relatif. Les éléments de forte épaisseur avec un module d'Young élevé ne subiront pas ou très peu de plastification.

Pour évaluer l'impact de la fatigue thermomécanique, les propriétés mécaniques et thermomécaniques suivantes doivent être connues :

- le CTE : α (ppm.K^{-1}), dans le cas des matériaux polymères, il faut considérer α_1 (coefficient de dilatation à l'état vitreux) et α_2 (coefficient à l'état caoutchoutique) en fonction de la température;
- le module d'Young : E (GPa), identique au CTE, pour les matériaux polymères, il faut considérer les paramètres E_1 et E_2 ;
- le coefficient de Poisson : *v*.

Concernant les matériaux caractérisés pour les composants sélectionnés (cf. chapitre 2.2), les valeurs de ces paramètres sont données dans le tableau 8.

Elément	Matériau	α ($m.K^{-1}$)	E (GPa)	*v*
Finition	Au	14,2 [PEC1998], [KIN1988]	77,2 [PEC1998], [KIN1988]	0,42 [KIN1988]
	Sn	22,2 [KIN1988]	47,5 [KIN1988]	0,37 [KIN1988]
	Ni	13,5 [KIN1988]	220,6 [KIN1988]	0,3 [KIN1988]
Substrat	Cu	16,1 [PEC1998], [KIN1988]	132,4 [KIN1988]	0,34 [KIN1988]
	90W10Cu	6 [PEC1998]	331 [PEC1998]	-
Céramique	Al_2O_3	7,1 [SHA2002], 6,7 [SIE2002]	303 [SIE2002]	0,21 [SIE2002], 0,23 [SIE2002]
Alliage de brasure	65Sn25Ag10Sb	36 [S12-2015]	-	-
	Alliage Pb > 85 %m	25-30 [S12-2015]	13,8-19,1 [S12-2015]	0,4 [SIE2002]
	80Au20Sn	16 [S12-2015]	59,1 [S12-2015]	-
	68Ag32Cu		-	-
Puce	Si	2,3-4,7 [PEC1998]	109-190 [KIN1988]	0,28 [PEC1998]
	SiC	4,5-4,9 [PEC1998]	655 [PEC1998]	0,19 [PEC1998]
Fil d'interconnexion	Al	23,0 [SIE2002]	34,5 [PEC1998]	-
Kovar	54Fe29Ni17Co	5,9 [SIE2002]	138 [SIE2002]	-

Tableau 8 : Propriétés mécaniques et thermomécaniques des matériaux des composants COTS de puissance : - donnée non disponible

La structure des éléments des composants et les propriétés des matériaux ont montré que l'alliage de brasure de scellement de la puce est l'un des principaux éléments étant soumis à la fatigue thermomécanique et pouvant provoquer la défaillance des composants. En effet, cet alliage est de faible épaisseur (souvent inférieure à 100 µm) et présente un faible module d'Young comparé aux deux éléments qu'il relie (cf. tableau 8) : la puce en Si, SiC ou GaN et le substrat en cuivre. De plus, le substrat et la puce présentent une différence de CTE comprise entre 11 et 14 ppm.K^{-1}, suffisamment importante pour entraîner la plastification de l'alliage de brasure.

Les seconds éléments sensibles à la fatigue thermomécanique sont les fils d'interconnexion en aluminium en raison d'une plus grande différence de CTE avec la puce pouvant aller de 18 à 21 ppm.K^{-1} en fonction du matériau de la puce.

Le mécanisme de fatigue thermomécanique comprend le phénomène de fluage des matériaux. Ce phénomène est la déformation plastique des matériaux lors de l'application de contraintes inférieures à la limite d'élasticité de ces matériaux. Ce phénomène survient notamment lorsque la température des matériaux est supérieure à la température critique $T_{Critique}$ qui est définie par la condition de température suivante [KASS2015] :

Équation 2 $$T_{Critique}(K) = 0{,}5 \times T_{fusion}(K)$$ T_{fusion} : Température de fusion

Le tableau 9 présente les températures de fusion des alliages de brasure riches en plomb et de l'aluminium ainsi que les températures critiques de l'activation du phénomène de fluage pour ces matériaux. Les alliages de brasure 65Sn25Ag10Sb et ceux riches en plomb subissent le phénomène de fluage pour des températures supérieures à -40 °C (233 °K) et 13 °C (286 °K) respectivement. Les fils d'interconnexion en Al ne subissent pas un impact prépondérant du fluage avant 193 °C (466 °K).

Matériau	T_{fusion} (K)	$T_{Critique}$ (K)
65Sn25Ag10Sb	506	233
Alliage Pb > 85 %m	Inférieure à 573	286
Al	933	466

Tableau 9 : Conditions de fluage pour certains matériaux

A la suite de ces interprétations, il semble important de considérer la fatigue thermomécanique des alliages de brasure de puce comme le principal mécanisme pouvant conduire à la défaillance.

3.4 Conclusions

Ce chapitre a présenté les mécanismes de vieillissement et les modes de défaillance des composants électroniques de puissance pouvant survenir dans les environnements sévères des applications aérospatiales.

Le tableau 10 synthétise les mécanismes de vieillissement et les modes de défaillance associés.

Les environnements pris en compte pour l'analyse des risques de défaillance sont l'humidité, les températures élevées et les cycles de température dus à l'environnement extérieur et aux différents modes de fonctionnement des équipements électriques.

A la suite de l'identification des mécanismes de vieillissement et des modes de défaillance, des tests de vieillissement accéléré ont été définis pour reproduire ces mécanismes et ces modes de défaillance et déterminer la sensibilité de ces composants de puissance face à ces facteurs environnementaux.

Environnement	Humidité	Cycles de température	Température élevée
Mécanismes physico-chimiques de vieillissement (matériaux identifiés comme susceptible d'être affectés)	Corrosion (fil d'interconnexion et métallisation supérieure de la puce en aluminium) Contamination ionique Migrations électrochimiques Pop-Corning (résine de moulage)	Nucléation et croissance de composés intermétalliques et phases, coalescence, recristallisation Evolution chimique des matériaux plastiques Fatigue thermomécanique (fils d'interconnexion, matériau de scellement de la puce et substrat céramique)	Nucléation et croissance de composés intermétalliques et phases, coalescence Evolution chimique des matériaux plastiques
Modes de défaillance (mécanismes de vieillissement)	Court-circuit (corrosion, migrations électrochimiques) Circuit ouvert (popcorn, corrosion)	Circuit ouvert (fatigue des fils d'interconnexion et du matériau de scellement de la puce)	Circuit ouvert

Tableau 10 : Synthèse des mécanismes de vieillissement et des modes de défaillance

4 Mise en place des tests de vieillissement accéléré des composants électroniques de puissance

Ce chapitre est dédié à la présentation des tests de vieillissement accéléré des composants électroniques de puissance. Il est composé de deux parties qui détaillent :

- le plan de tests de vieillissement accéléré ;
- les bancs de tests de vieillissement.

Le plan de tests précise les intérêts ou les objectifs des tests, les mécanismes de vieillissement et modes de défaillance reproduits, les conditions expérimentales utilisées, les suivis électriques des dégradations, les critères de défaillance et les planifications des tests. Cela a permis de dimensionner les bancs de tests ainsi que de planifier la succession des tests selon la disponibilité des bancs.

Les bancs de tests de vieillissement accéléré, les protocoles de lancement et de suivi des tests seront également décrits dans ce chapitre.

4.1 Plan de tests de vieillissement accéléré

Il a été défini six tests de vieillissement accéléré représentatifs des contraintes environnementales aérospatiales pour estimer la fiabilité des composants électroniques de puissance. Ces tests ont été séparés en deux catégories : des tests passifs et des tests actifs. Les tests passifs sont tout d'abord caractérisés par des contraintes environnementales reproduites dans une enceinte climatique, puis par l'ajout d'une contrainte électrique statique sur les composants. Les tests actifs se distinguent par l'application de contraintes thermoélectriques, c'est-à-dire des contraintes thermiques à la suite d'une injection continue ou périodique de courant. Les conditions expérimentales des tests sont basées sur des normes. Elles ont été modifiées pour être adaptées aux spécifications des composants sélectionnés au niveau des températures maximales de fonctionnement qui sont supérieures à celles préconisées dans les normes.

Les tests de vieillissement accéléré sont : le H3TRB (*High Humidity, High Temperature Reverse Bias*), le HPET (*Humidity Popcorn Effect Test*), le HTRB (*High Temperature Reverse Bias*), le RCT (*Rapid Change of Temperature*), le HTFB (*High Temperature Forward Bias*) et le PC (*Power Cycling*). Le tableau 11 synthétise les tests de vieillissement accéléré et les normes qui les définissent au niveau des contraintes, des critères et des protocoles à appliquer.

Tests		Normes
Passif	H3TRB	CEI 60749-5:2003
	HPET	-
	HTRB	CEI 60749-23:2004
	RCT	CEI 60068-2-14:2009
Actif	HTFB	CEI 60749-23:2004
	PC	CEI 60749-34:2010

Tableau 11 : Synthèse des tests de vieillissement accéléré

Les objectifs de ces tests sont de simuler la plupart des phases contraignantes des applications aérospatiales. Ces applications peuvent être séparées en deux catégories :

- les « systèmes actifs » : réalisent des missions de manière régulière ;
- les « activités dormantes » : en attente jusqu'à rencontrer des conditions qui nécessitent leur utilisation. Ces systèmes sont testés et mis sous tension régulièrement.

Les missions de ces « activités dormantes » sont exécutées pour la plupart du temps une seule fois. Plusieurs exemples d'applications sont donnés pour ces deux types de systèmes dans le tableau 12.

Systèmes actifs	Systèmes passifs (activités dormantes)
avions de transport civil et militaire drones hélicoptères satellites	redondance lanceur système de défense (missile, etc…)

Tableau 12 : Exemples d'applications

Les sous chapitres suivants décriront la liaison entre les phases de fonctionnement et les tests de vieillissement accéléré mis en place.

4.1.1 Objectifs des tests

4.1.1.1 Tests en environnement humide

Les tests en humidité permettent de simuler l'impact des phases de stockage (simple, maintenance, etc.) et de certaines étapes du fonctionnement ou tout simplement de simuler les activités dormantes. En effet, lors des phases de stockage, les composants en boîtier plastique absorbent de l'humidité et peuvent être soumis à différents niveau de tension des réseaux électriques embarqués. Le test HTRB permet de vérifier l'impact de l'eau absorbée en présence d'une tension élevée. Après ces phases de stockage, les systèmes actifs sont

remis en fonctionnement pour réaliser des missions et les activités dormantes sont testées régulièrement pour vérifier leurs bons fonctionnements. Le test HPET permet d'évaluer si la vaporisation répétée de l'eau absorbée peut entrainer une défaillance ou une dégradation du composant (délaminations, fissures…).

4.1.1.2 Tests en température élevée

Les tests en température élevée ont pour objectifs de reproduire des contraintes liées aux environnements chauds et aux fonctionnements statiques des applications. Le test HTRB est utilisé pour vérifier si ces températures élevées, rencontrées en cours de missions, provoquent des dysfonctionnements avec les différents niveaux de tensions des réseaux électriques embarqués. Le test HTFB sert à évaluer la capacité des composants à évacuer la chaleur dissipée par le passage d'un courant continu.

4.1.1.3 Tests de cycles de température

Les tests de cycles thermiques simulent les cycles de température dus à des changements environnementaux et ceux dus à des variations de puissance des équipements électroniques au cours d'une mission. Le test RCT reproduit à l'aide d'une enceinte des cycles environnementaux dont les paramètres sont contrôlés. Au cours d'un essai de PC, les variations de puissance simulées recréent l'allumage et l'arrêt simple de l'application, ce qui peut être appelé une simulation « *On-Off* ».

4.1.2 Description des tests de vieillissement accéléré

Ce sous chapitre est dédié à la description des tests de vieillissement accéléré. Les conditions expérimentales, les mécanismes et modes de défaillance et le déroulement des tests de vieillissement accéléré s'appuient sur les normes précédemment citées (cf. tableau 11). Les conditions expérimentales ont été modifiées pour correspondre aux valeurs maximales des paramètres des fiches techniques des composants électroniques de puissance sélectionnés. Le déroulement des tests comprend le suivi électrique, le critère de défaillance et la planification du test. Les suivis électriques et les critères de défaillance des différents tests ont été spécifiés de manière à pouvoir détecter le mode de défaillance causé par le mécanisme de vieillissement. Les planifications des tests définissent des prélèvements d'échantillons, car l'évolution de certains mécanismes de défaillance ne peut être suivi ou détecté avant un certain seuil.

4.1.2.1 Test H3TRB

Le test H3TRB est un test continu de durée de vie utilisant la température et l'humidité avec une polarisation inverse ou à l'état bloqué $U_{appliquée}$ des dispositifs électroniques de puissance. Cela permet d'évaluer la fiabilité des dispositifs intégrant des semi-conducteurs

en boîtier non-hermétique dans les environnements humides. Les conditions expérimentales des tests H3TRB sont présentées dans le tableau 13. Elles sont identiques à celles de la norme CEI 60749-5:2003 sauf sur la durée de l'essai. La durée initiale de 1000 heures a été augmentée de manière à garantir une durée minimale de 2000 heures.

Paramètres	Données
Température	(85 ± 2) °C
Humidité	(85 ± 5) %HR
Contrainte électrique	Elle dépend du test de tenue en tension sur un échantillon de même type (Mesure de U_{Ava} : tension d'avalanche) et de la fiche technique ($U_{R\ Max}$ ou $U_{B\ Max}$) : $U_{appliquée}$ = 0,8 x U_{Ava} si inférieure à $U_{R\ Max}$ ou $U_{B\ Max}$, sinon $U_{appliquée}$ = $U_{R\ Max}$ ou $U_{B\ Max}$ (critère de la norme CEI 60749-5:2003)
Durée de l'essai	2000 heures si plus de 50 % des composants sont défaillants, sinon prolongation de l'essai jusqu'à 50 % de composants défaillants.
Nombre d'échantillons	12

Tableau 13 : Conditions expérimentales des tests H3TRB

Les modes associés aux mécanismes de défaillance rencontrés dans cet essai sont :

- des courts-circuits dus à la corrosion et aux migrations électrochimiques ;
- des circuits ouverts dus à la corrosion ;
- des courants de fuite pouvant aller jusqu'à des courts-circuits dus à la présence d'eau à la surface de la puce.

Par conséquent, le suivi électrique de l'essai est focalisé sur la mesure du courant de fuite du composant à l'état bloqué pendant toute la durée de l'essai, car ces modes de défaillance sont détectables par l'évolution de ce courant. Le critère de défaillance est donc basé sur l'évolution du courant de fuite I_{fuite} (ou I_R) du composant. Le composant ou module sera considéré comme défaillant si ce paramètre rencontre le critère suivant :

- I_{fuite} (t) > $I_{fuite\ Max\ Constructeur}$ (critère de la norme CEI 60749-5:2003) ;
- **ou I_{fuite} (t) > 10 I_{fuite} (t_0)** (critère sélectionné, si plus sévère que la norme).

La figure 14 illustre ce critère de défaillance par une courbe I_{fuite} = f(t) qui sera tracée au cours des tests. La courbe verte présente l'augmentation du courant de fuite lors du test.

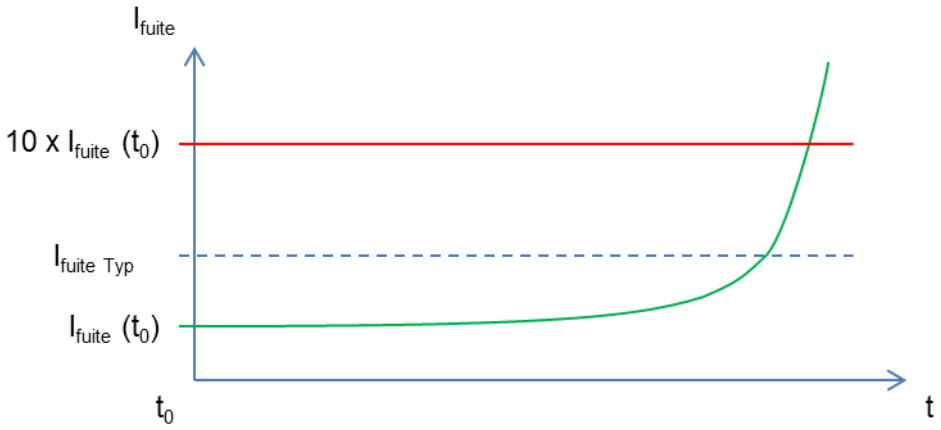


Figure 14 : Illustration de la courbe I_{fuite} = f(t) tracée au cours des tests

Le tableau 14 présente une planification du déroulement du test. Le déroulement du test comporte des CE (Caractérisations Electriques) I = f(U) et des PR (PRélèvement) des composants à différents instants (t_i). Il est noté qu'il est possible que le temps moyen à défaillance des échantillons soit similaire à celui de certains prélèvements planifiés. Les prélèvements ont pour objectif de détecter l'apparition du (ou des) mécanisme(s) d'usure si des échantillons présentes une défaillance à la suite de ce(s) mécanisme(s)

Instant (t_i)	Ech. 1	Ech. 2	Ech. 3	Ech. 4	Ech. 5 à 12	Durée (h)
t_0	CE	CE	CE	CE	CE	1
t_1	CE	CE	CE	CE	CE	24
t_2	CE	CE	CE	CE	CE	168
t_3	CE	CE	CE	CE	CE	336
t_4	CE + PR	CE	CE	CE	CE	500
t_5	-	CE + PR	CE	CE	CE	1000
t_6	-	-	CE + PR	CE	CE	1500
t_7	-	-	-	CE + PR	CE	2000
Fin de l'essai	-	-	-	-	CE + PR	?

Tableau 14 : Planification des caractérisations électriques et des prélèvements des composants et modules lors des tests H3TRB

4.1.2.2 Test HPET

Le test HPET a été conçu pour provoquer le phénomène de popcorn qui est habituellement rencontré lors du procédé d'assemblage et lors de mises en marche espacées par des périodes d'arrêt des composants électroniques. Cet essai consiste à plonger un composant dans un environnement chaud et humide (phase 1 : absorption d'humidité). Ensuite, une puissance est dissipée à travers le composant pour augmenter la température de la puce et provoquer la dilatation et l'évaporation de l'eau absorbée par le matériau diélectrique (phase 2 : désorption rapide). Les phases 1 et 2 sont répétées plusieurs fois. Les conditions expérimentales des tests HPET sont identiques à celles du test H3TRB (cf. tableau 13) sauf sur la contrainte électrique appliquée. Cette contrainte dépend de la fiche technique du constructeur et du système de montage des composants qui indique la puissance à dissiper à travers le composant pour atteindre la température de jonction maximale du composant. Les modes associés aux mécanismes de défaillance rencontrés dans ce test sont des circuits ouverts dus à la corrosion et à la déformation des matériaux diélectriques d'encapsulation sous forme de fissures pouvant aller jusqu'à l'éclatement du boîtier dans les pires cas. Au fil du temps, ces fissures peuvent se propager et conduire à la défaillance prématurée des composants.

Lors de ce test, il n'y a pas de suivi de paramètres électriques. La puissance dissipée sera générée avec un générateur de puissance. Si le passage d'un courant à travers le composant n'est plus possible, cela indique que le composant est en défaut. Par conséquent, l'atteinte des critères de défaillance sera examinée lors de l'arrêt du test. Ces arrêts sont planifiés à différents instants du test et suivis par des analyses non destructives et des caractérisations électriques. En effet, la fissuration et le gonflement du matériau diélectrique ne peuvent pas être détectés dans l'enceinte climatique. Ces analyses non-destructives sont des observations optiques externes, des analyses au SAM et des analyses aux rayons X.

Le tableau 15 présente la planification des tests HPET qui décrit les instants (t_i) des Inject. C (Injections de Courant) à travers les composants, suivis de l'arrêt du test. Tous les échantillons ne subissent pas toutes les injections ponctuelles de courant pour déterminer si la fréquence des injections est prépondérante face à la durée d'exposition à la température et l'humidité.

Instant (t_i)	Ech. 1 à 3	Ech. 4 à 6	Ech. 7 à 9	Ech. 10 à 12	Durée (h)
t_0	-	-	-	-	1
t_1	Inject. C	Inject. C	Inject. C	Inject. C	168
t_2	Inject. C	-	-	-	336
t_3	Inject. C	Inject. C	-	-	500
t_4	Inject. C	-	-	-	750
t_5	Inject. C	Inject. C	Inject. C	-	1000
t_6	Inject. C	-	-	-	1250
t_7	Inject. C	Inject. C	-	-	1500
t_8	Inject. C	-	-	-	1750
t_9	Inject. C	Inject. C	Inject. C	Inject. C	2000

Tableau 15 : Planification des injections de courant suivis de l'arrêt de l'essai pour le contrôle non destructif des composants lors du test HPET

4.1.2.3 Test HTRB

Le test HTRB est configuré pour la tenue en tension des composants en polarisation inverse ou à l'état bloqué. Dans ce test, à leur température maximale de fonctionnement, les composants sont soumis à des niveaux de tension proches de ceux du claquage de leur matériau semi-conducteur. Ce test est généralement appliqué à des dispositifs électroniques de puissance. Les conditions expérimentales des tests HTRB sont quasiment identiques à celles du test H3TRB (cf. tableau 13) sauf qu'il n'y a pas d'humidité et la température du test dépend de la température maximale de stockage indiquée dans la fiche technique.

Les modes associés aux mécanismes de défaillance rencontrés dans cet essai sont des courts-circuits dus à l'évolution des caractéristiques de claquage DB (*dielectric breakdown*) par la présence de matériaux étrangers ou de contaminants polaires / ioniques et l'évolution / dégradation du matériau diélectrique ainsi que la concentration en humidité du matériau d'encapsulation des composants. Le suivi électrique de l'essai, le critère de défaillance et la planification des tests HTRB sont identiques à ceux des tests H3TRB (cf. 4.1.2.1).

4.1.2.4 Test RCT

Le test RCT est plus connu sous le nom de VRT (Variation Rapide de Température). Il consiste à faire subir à des composants des cycles thermiques imposés par une enceinte climatique. Ces variations de température se nomment « cycles passifs ».

Le tableau 16 présente les conditions expérimentales sélectionnées pour ces tests et le profil typique d'un cycle thermique passif avec ses caractéristiques principales. Ces conditions sont la plage de température de stockage $T_{stg\ Min}$ / $T_{stg\ Max}$ (ou delta de température ΔT_{stg}), la durée des plateaux ($t_{plateau}$), la rampe de température (R_P). Elles ont été extraites et modifiées d'après les spécifications du cycle d'essai nommé Nb de la partie 2-14 de la norme CEI 60068-2-14:2009 (Variation de température avec une vitesse de variation spécifiée). Ces conditions pourront être modifiées si la température à la surface des échantillons ne respecte pas le profil imposé par la chambre climatique.

Les modes associés aux mécanismes de défaillance rencontrés dans cet essai sont des circuits ouverts dus à la fatigue thermomécanique des interconnexions au niveau de la puce (fils, rubans, *bumps*, etc.) et des technologies de report de la puce (colle, brasure, frittage, brasure par diffusion, etc.). Le suivi électrique de l'essai sera donc focalisé sur la mesure de la résistance à l'état passant $R_{DS\ (On)}$ pour les transistors ou de la tension U mesurée aux bornes des diodes avec un faible courant pendant toute la durée de l'essai pour détecter les circuits ouverts. Le critère de défaillance qui a été sélectionné pour considérer les composants ou modules comme défaillants est :

Équation 3

$$\begin{cases} R_{DS\ (on)}(t) > 1{,}2 \times R_{DS\ (on)}(t_0) \\ \text{ou} \\ U(t) > 1{,}2 \times U(t_0) \end{cases}$$

$R_{DS\ (On)}$ (t_0) et U (t_0) mesurés lors du premier plateau de température maximale de stockage ($T_{stg\ Max}$).

Le profil thermique de l'enceinte climatique et la température des composants seront également contrôlés pendant toute la durée de l'essai.

Il a été défini quatre tests RCT avec différentes plages de température ΔT_j. Ces plages de température ont été sélectionnées pour tester la plupart des composants dans leurs limites de températures de fonctionnement (cf. tableau 4). Les différentes plages de température et les planifications de ces tests sont présentées dans le tableau 17. Ces planifications décrivent les instants (ou nombre de cycles N_i) des PR et des caractérisations électriques.

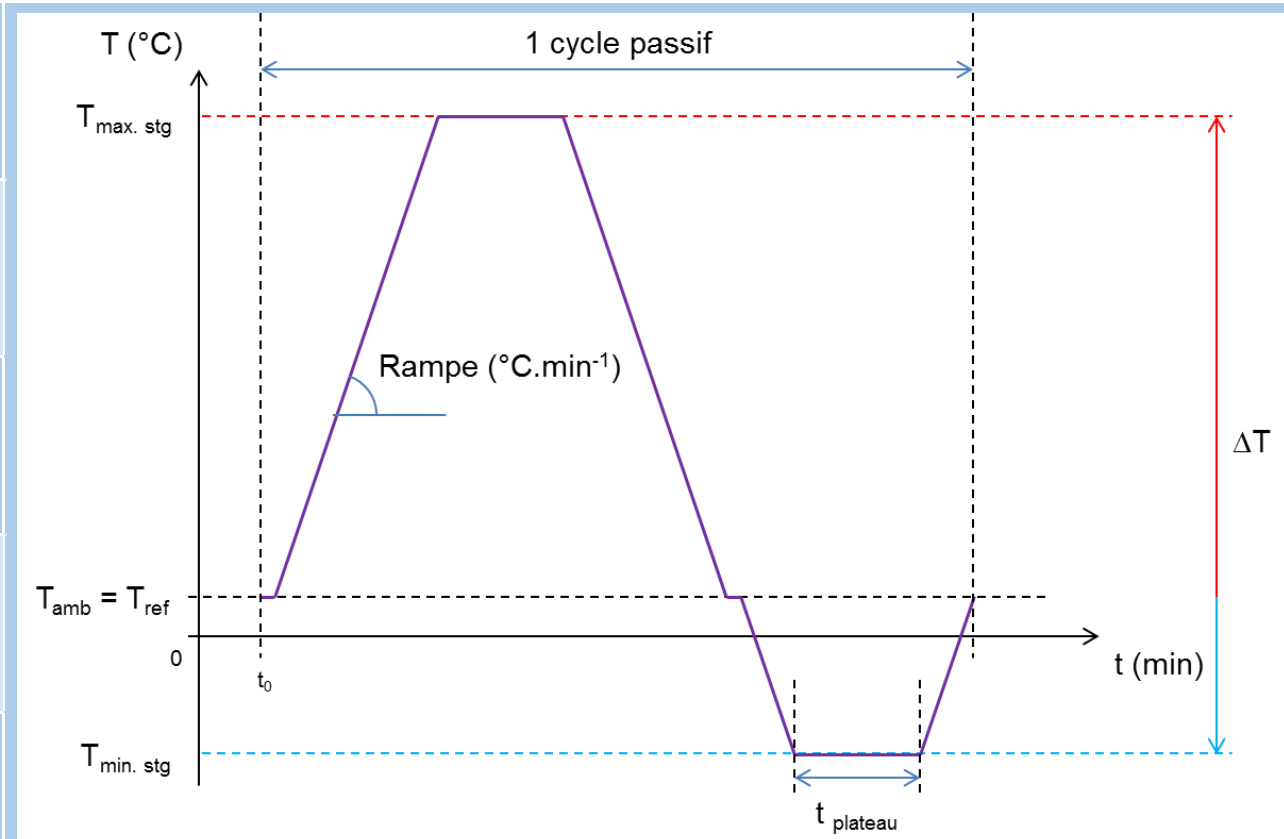
Paramètres	Données	Profil typique
ΔT_{stg}	Dépend de la plage de température de stockage d'après la fiche technique constructeur	
$t_{plateau}$ (min)	20	
R_P (°C.min-1)	10	
Durée de l'essai	Jusqu'à la défaillance des composants	
Nombre d'échantillons	12	

Tableau 16 : Conditions expérimentales du RCT et profil typique des cycles thermiques passifs

Nombre de cycles (N_i)	Test n°1	Test n°2	Test n°3	Test n°4	Ech. 1	Ech. 2	Ech. 3	Ech. 4	Ech. 5 à 12
	-55 / +135 °C	-55 / +150 °C	-55 / +175 °C	-55 / +225 °C					
N_0	0	0	0	0	CE	CE	CE	CE	CE
N_1	2000	1000	500	250	CE + PR	CE	CE	CE	CE
N_2	4000	2000	1000	500	-	CE + PR	CE	CE	CE
N_3	6000	3000	1500	750	-	-	CE + PR	CE	CE
N_4	8000	4000	2000	1000	-	-	-	CE + PR	CE
Fin de l'essai	?	?	?	?	-	-	-	-	CE + PR
Durée d'un cycle (min)	78	81	86	96					
Temps (h / jour) équivalent à 1000 cycles	1300 / 54,2	1350 / 56,3	1433 / 59,7	1600 / 66,7					

Tableau 17 : Planification des tests n°1, n°2, n°3 et n°4 des cycles thermiques passifs

4.1.2.5 Test HTFB

Le test HTFB consiste à appliquer un courant direct statique ou impulsionnel à travers un composant lorsqu'il est à l'état passant, pour lui imposer une température élevée et constante par effet thermoélectrique (effet Joule). Ce test est complémentaire du test PC qui sera décrit dans la partie 4.1.2.6. Les conditions expérimentales des tests HTFB sont présentées dans le tableau 18.

Paramètres	Données
Température	Températures maximales de stockage ($T_{stg\ Max}$) et de jonction ($T_{j\ Max}$) données fiche technique constructeur)
Polarisation ou courant direct statique	Dépend de la fiche technique du constructeur et du système de montage des composants – Puissance injectée pour atteindre la température de jonction maximale du composant
Durée de l'essai	Jusqu'à 2000 heures si plus de 50 % des composants sont défaillants. Sinon prolongation de l'essai jusqu'à 50 % des composants défaillants
Nombre d'échantillons	12

Tableau 18 : Conditions expérimentales des tests HTFB

Les modes de défaillance associés aux mécanismes de vieillissement rencontrés dans cet essai sont des circuits ouverts dus à l'élévation constante de la température du composant. Lors de ce test, la température au niveau du substrat de cuivre ou de la semelle est imposée par une plaque thermorégulée de valeur $T_{réf}$ (4.2.1.2).

Le suivi de ce test sera focalisé sur plusieurs paramètres électriques. Le premier est la mesure d'un paramètre électrique thermosensible pour suivre l'évolution de la température de jonction (T_j) des composants [AVE2012]. Il existe différents paramètres thermosensibles selon les composants tels que :

- diode Schottky :
  - produit de la tension par le courant constant : $U.I_{cst}$;
  - tension de seuil de la jonction métal/semi-conducteur : V_{th}.
- transistor MOSFET :
  - résistance à l'état passant : $R_{DS\ (On)}$;
  - tension de seuil de Grille-Source : $V_{GS\ th}$.
- transistor JFET : résistance à l'état passant : $R_{DS\ (On)}$.

La méthode de suivi de la température de jonction avec la mesure d'un paramètre thermosensible est présentée dans la partie 5.4.1.

Le second paramètre électrique est la tension (U) aux bornes des composants lors de l'injection d'un courant constant (I_{cst}). La multiplication du courant constant par la tension aux bornes des composants permet de remonter à la puissance dissipée ($P_{dissipée}$) à travers le composant. Avec la puissance et la mesure indirecte de la température de jonction, il est possible de remonter à la résistance thermique (R_{th}) :

Équation 4 $$R_{th} = \frac{\Delta T}{P_{dissipée}} = \frac{T_j - T_{réf}}{U \times I_{cst}}$$

Dans ce test, les critères de défaillance sont habituellement fondés sur la résistance à l'état passant et sur la température du boîtier T_C (*case temperature*) des composants. Dans notre cas, la T_C n'est pas considérée comme un critère, car elle est considérée comme constante et égale à la température de référence imposée au boîtier. Cette hypothèse reste approximative due à la résistance thermique de l'interface entre le substrat et le système de refroidissement imposant la température de référence. Les critères de défaillance sont présentés dans le tableau 19.

Numéro	Critère	Spécification	Type de composant
N°1	$U(t) > 1{,}2.U(t_0)$	$U(t_0)$, $R_{DS\,(On)}(t_0)$ et $R_{th}(t_0)$ sont sélectionnées au début de test lorsque la T_j est considérée comme constante et égale à la $T_{j\,Max}$ indiquée par la fiche technique constructeur pour une valeur de I_{cst}	Diodes
N°2	$R_{DS\,(On)}(t) > 1{,}2.R_{DS\,(On)}(t_0)$		Transistors
N°3	$R_{th}(t) > 1{,}2.R_{th}(t_0)$		Diodes et transistors

Tableau 19 : Critères de défaillance du test HTFB

Le tableau 20 présente une planification des différentes actions à réaliser pendant le test. La planification de cet essai décrit les instants (t_i) des CE et des PR des composants ou modules.

Instant (t_i)	Ech. 1	Ech. 2	Ech. 3	Ech. 4 à 12	Durée (h)
t_0	CE	CE	CE	CE	1
t_1	CE	CE	CE	CE	168
t_2	CE	CE	CE	CE	336
t_3	CE + PR	CE	CE	CE	500
t_4	-	CE + PR	CE	CE	1000
t_5	-	-	CE + PR	CE	2000
Fin de l'essai	-	-	-	CE + PR	?

Tableau 20 : Planification des CE et des PR des composants et modules lors de l'essai HTFB

4.1.2.6 Test PC

Ce test consiste à faire subir à des composants des cycles thermiques à l'aide d'injections de courant. Ces variations de température peuvent se nommer « cycles thermiques actifs » ou « cycles de puissance ». Dans ce test, la température au niveau du substrat de cuivre ou de la semelle est imposée par une plaque thermorégulée de valeur $T_{réf}$ (4.2.1.2).

Le tableau 21 présente les conditions expérimentales du test n°3 de la norme CEI 60749-34:2010. Ces conditions expérimentales visent à solliciter en fatigue thermomécanique le brasage tendre de la puce et la soudure des interconnexions au niveau de la puce. Cependant, elles ne sont pas adaptées aux extrêmes de températures de certains composants électroniques de puissance (cf. tableau 4), donc elles ont été modifiées. Le tableau 21 donne également les conditions expérimentales modifiées et adaptées de la norme CEI 60749-34:2010 pour ces composants.

Paramètres	Conditions du test n°3 de la norme CEI 60749-34:2010	Conditions d'essai modifiées et adaptées
Durée : période d'un cycle	De 1 à 15 min	De 1 à 2 min
Type de courant	-	Constant
Température de jonction maximale ($T_{j\ Max}$)	De (45 ± 5) à 150 °C	De 20 à (225 ± 5) °C
Delta température de jonction (ΔT_j)	(95 ± 5) °C	De 40 à (95 ± 5) °C
Delta de température du boîtier maximal ($\Delta T_{C\ Max}$)	(60 ± 20) °C	-
Durée du test	Jusqu'à la défaillance des composants	
Nombre d'échantillons	-	12

Tableau 21 : Conditions expérimentales du test PC

Les modes associés aux mécanismes de défaillance rencontrés dans cet essai sont des circuits ouverts dus à :

- la fatigue thermomécanique des interconnexions (fils, bumps, etc.) ;
- la fatigue thermomécanique du report de puce (colle, brasure, frittage, brasure par diffusion, etc.) ;
- l'électromigration (interconnexions, report de puce).

Le suivi de ce test est identique à celui du test HTFB :

- mesure du paramètre électrique thermosensible pour suivre l'évolution de la température de jonction (T_j) des composants : la figure 15 présente le profil thermique typique des cycles de puissance ;
- mesure de la tension (U) aux bornes des composants lors de l'injection d'un courant constant (I_{cst}).

La méthode de suivi de la température de jonction avec la mesure d'un paramètre thermosensible est présentée dans la partie 5.4.1. Les critères de défaillance sont identiques au test HTFB (cf. tableau 19). La figure 15 illustre l'évolution de la température de jonction (T_j) et du substrat (T_C) lors de l'injection d'un courant constant. La température de jonction reste en dessous de la température de stockage maximale du composant ($T_{stg\ Max}$).

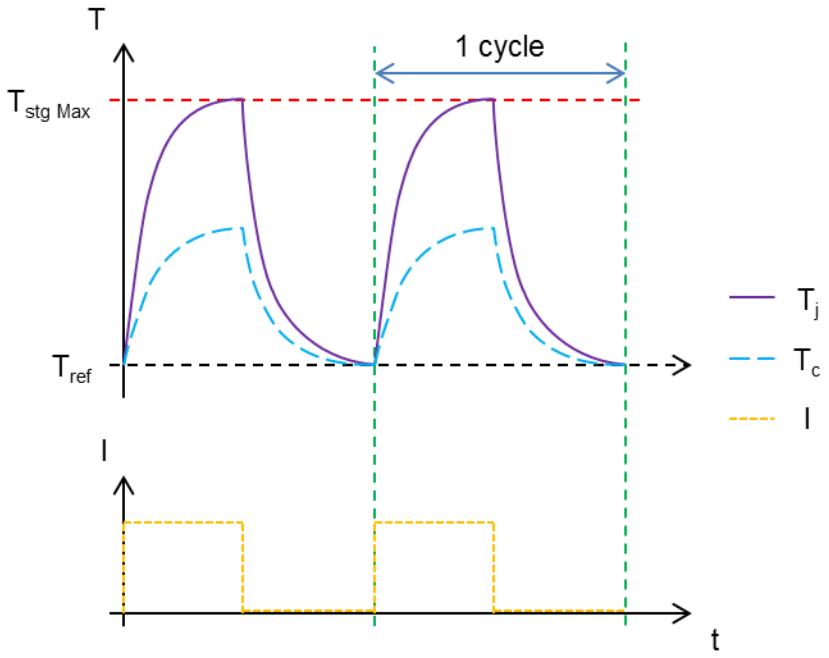


Figure 15 : Profil thermique typique des cycles de puissance

Il a été défini trois tests de type PC avec trois différents ΔT_j. Ces ΔT_j et les planifications de ces tests sont présentés dans le tableau 22. Ces planifications décrivent les instants (ou nombre de cycles N_i) des PR et des caractérisations électriques.

Test numéro		n°1	n°2	n°3	Ech. 1	Ech. 2	Ech. 3	Ech. 4	Ech. 5 à 12
ΔT_j (°C) à $T_{j\,Max}$ fabricant		40	70	90					
Nombre de cycles (N_i)	N_0	0	0	0	CE	CE	CE	CE	CE
	N_1	1000	750	500	CE + PR	CE	CE	CE	CE
	N_2	2000	1500	1000	-	CE + PR	CE	CE	CE
	N_3	3000	2250	1500	-	-	CE + PR	CE	CE
	N_4	4000	3000	2000	-	-	-	CE + PR	CE
	Fin de l'essai	?	?	?	-	-	-	-	CE + PR

Tableau 22 : Planification des tests PC

4.1.3 Synthèse des tests

Le tableau 23 présente le nombre d'échantillons pour chaque type de tests de vieillissement accéléré. Le nombre minimum d'échantillons par composant est de 120 pour les composants pouvant subir le plus grand nombre de tests de vieillissement accéléré. Il est essentiel de prévoir une marge si des tests complémentaires doivent être menés (10 à 20 échantillons supplémentaires) ou si certains échantillons présentent des différences avec leurs semblables.

La réalisation de la totalité des tests sur l'un des composants pouvant être soumis aux plus grands nombres de tests (par exemple le composant n°1) est de 1125 jours (3,1 an). Plusieurs tests de vieillissement ont été réalisés en parallèle pour raccourcir cette durée.

Il est nécessaire de réaliser la totalité des tests pour répondre aux exigences d'une étude de fiabilité complète de dispositifs électroniques destinés aux applications aérospatiales et pour déterminer la priorisation de ces tests.

Pour réaliser un maximum de ces tests, plusieurs bancs de tests ont été développés pour suivre le vieillissement simultané de deux composants.

Composants n°	H3TRB	HPET	HTRB	RCT				HTFB	PC			Total
				1	2	3	4		1	2	3	-
1	12	12	12	12	12	12	-	12	12	12	12	120
2	12	12	12	12	12	12	-	12	12	12	12	120
3	12	12	12	12	12	-	-	12	12	12	12	108
4	12	12	12	12	12	12	-	12	12	12	12	120
5	12	12	12	12	12	12	-	12	12	12	12	120
6	12	12	12	-	12	12	12	12	12	12	12	120
7	12	12	12	12	-	-	-	12	12	12	12	84
8	12	12	12	12	12	-	-	12	12	12	12	96
9	12	12	12	12	12	12	-	12	12	12	12	120

Tableau 23 : Répartition des échantillons par tests de vieillissement

4.2 Bancs de suivi automatisé des tests de vieillissement accéléré

Plusieurs bancs de tests ont été conçus et développés pour suivre les différents tests de vieillissement accéléré des composants électroniques de puissance. Ces bancs de tests sont automatisés à l'aide du programme LabVIEW et permettent l'acquisition de données pour détecter le critère de défaillance au cours du vieillissement. Dans ce sous chapitre, la structure des bancs et la sélection des éléments pour les différents types de tests seront détaillés.

4.2.1 Description des bancs

4.2.1.1 Banc des tests passifs

Le banc des tests passifs a été développé pour supporter les tests : H3TRB, HPET, HTRB et RCT. Il a été conçu pour suivre électriquement jusqu'à 24 composants simultanément lors de ces tests. Ces 24 composants peuvent provenir de 2 références de composants différentes et chaque référence peut inclure jusqu'à 12 composants.

La figure 16 présente les différents éléments du banc. Ce dernier est constitué d'une armoire électrique à relais, d'une platine porte-échantillons de composants traversants, d'un multimètre, d'une Alimentation Fort-Courant (Alim. FC), d'une Alimentation Haute-Tension (Alim. HT) et d'un multiplexer. Les éléments physiques de ce banc ont été sélectionnés spécifiquement pour accueillir des dispositifs de puissance dont les caractéristiques électriques et de températures peuvent aller de :

- électriques : courant : 0 à 20 A ; tension : 0 à 5 kV.
- températures : - 80 °C à + 250 °C.

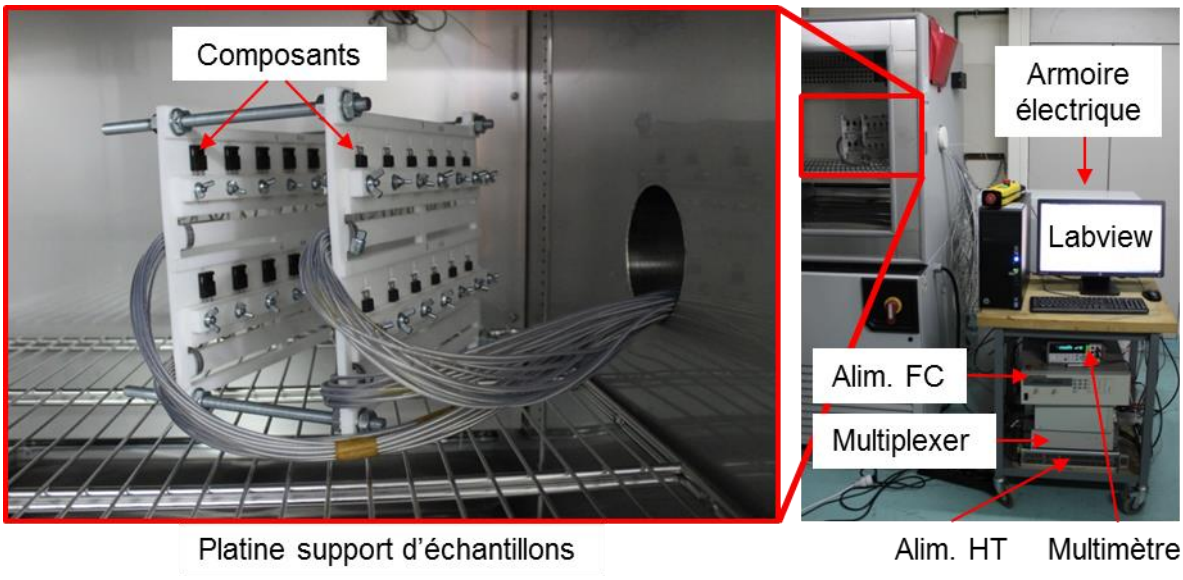
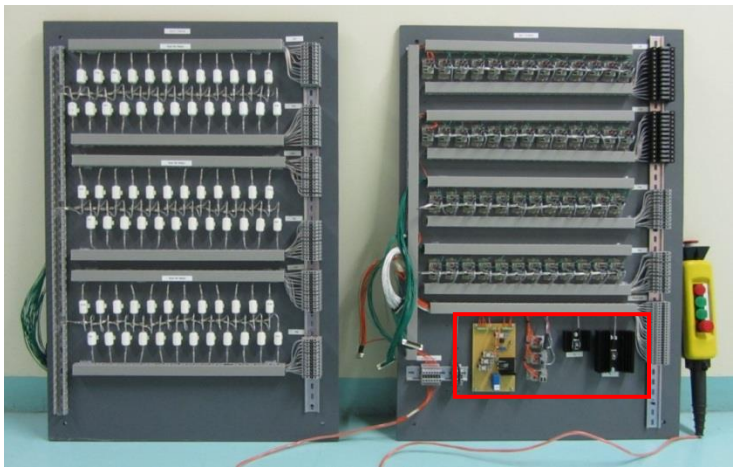


Figure 16 : Banc des tests passifs

L'armoire électrique à relais est constituée de deux types de relais : des Relais Fort-Courant (RFC) et des Relais Haute-Tension (RHT). Ces deux types de relais permettent de relier les deux types d'alimentation jusqu'au composant. Ces relais sont gourmands en énergie électrique. Par conséquent, ils sont pilotés indirectement par le multiplexer associé à une alimentation de table. L'association de ces relais en parallèle permet de solliciter tous les composants simultanément ou non avec l'Alim. FC ou avec l'Alim. HT. La figure 17 présente une vue générale du montage des deux types de relais sur deux plaques en PVC ayant un système de mesure de courant comportant des résistances de shunt (rectangle rouge) et le schéma électrique des plaques lorsqu'elles sont intégrées dans l'armoire électrique.



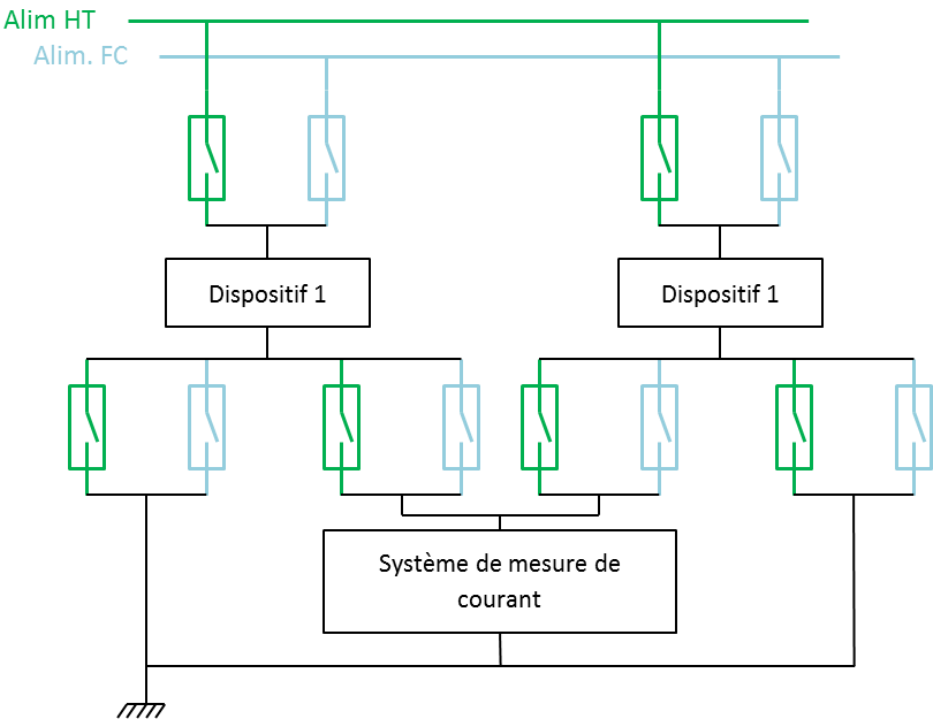


Figure 17 : Plaques de montage des RFC et RHT en PVC pour les associer en parallèle et les intégrer dans l'armoire électrique de protection – Schéma électrique du banc de tests passifs

4.2.1.2 Banc des tests actifs

Le banc des tests actifs a été développé pour réaliser les essais HTFB et PC. Il a été conçu pour suivre électriquement jusqu'à 8 composants simultanément lors de ces tests. La figure 18 et la figure 19 présentent les différents éléments de ce banc. Il est constitué d'un ordinateur avec LabVIEW, d'une Alimentation de Puissance (Alim. P), de deux Racks de Charges Electroniques (RdCE), d'un Pack de Condensateurs (PdC), d'une Alimentation de Table (AdT), de deux cartes d' Acquisition National Instrument (ANI), de deux Cartes interFaces (CiF), d'un cryothermostat et d'une plaque de régulation thermique nommée PTR (Plaque ThermoRégulée). Ce banc permet de solliciter les composants avec un courant pouvant aller jusqu'à 60 A et une tension aux bornes de ceux-ci de 60 V.

L'alimentation de puissance associée au pack de condensateurs et aux charges électroniques permet d'alimenter électriquement les 8 composants et de gérer des microcoupures pour la mesure des paramètres thermosensibles. L'alimentation de table permet d'alimenter les cartes interfaces qui, associées aux cartes d'acquisition NI, permettent de gérer les mesures des paramètres thermosensibles. Le cryothermostat et la plaque thermorégulée permettent d'extraire la chaleur de manière à réguler la température du substrat des composants ou de la semelle des modules.

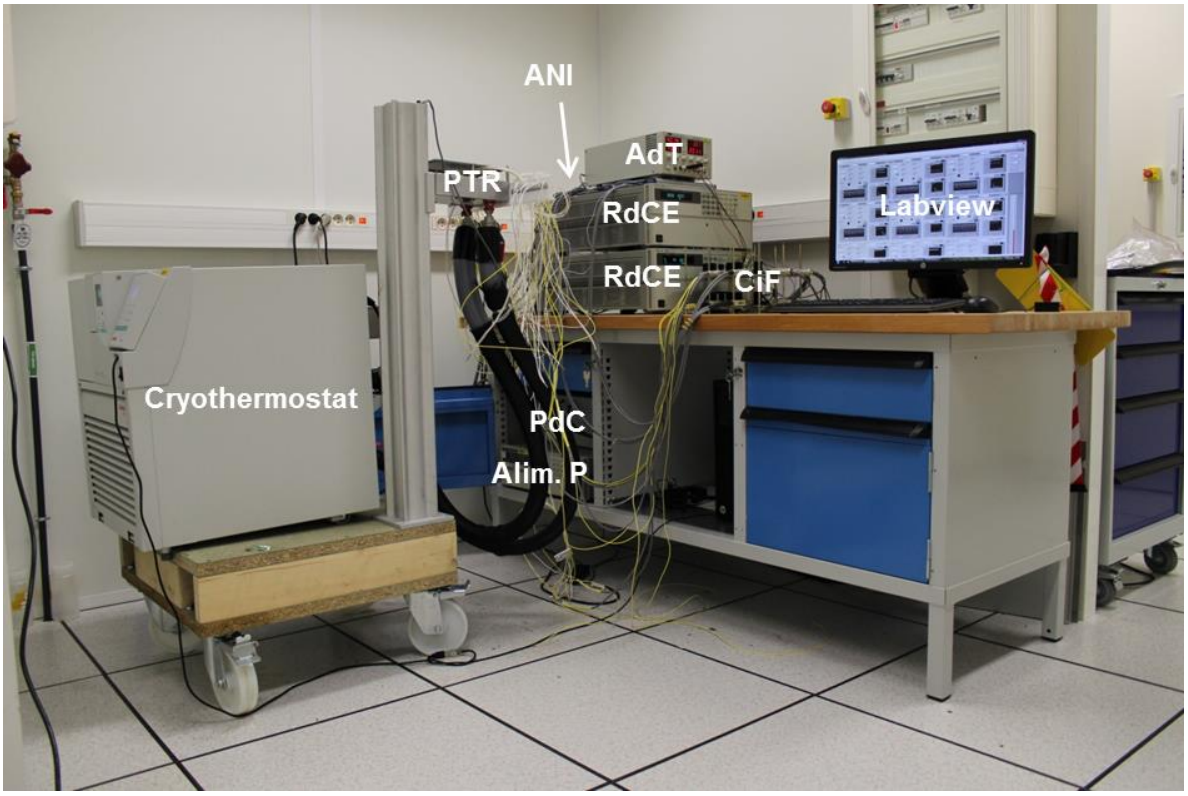


Figure 18 : Vue générale du banc des tests actifs

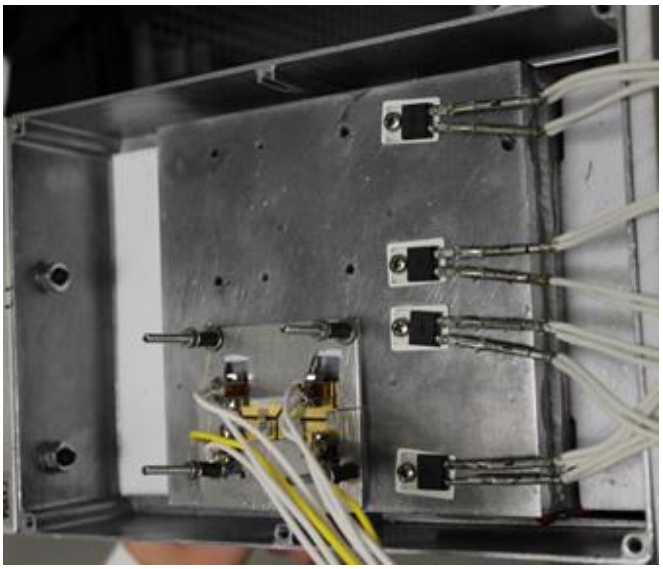


Figure 19 : Vue de la PTR

La figure 20 présente le schéma électrique du banc de tests actifs.

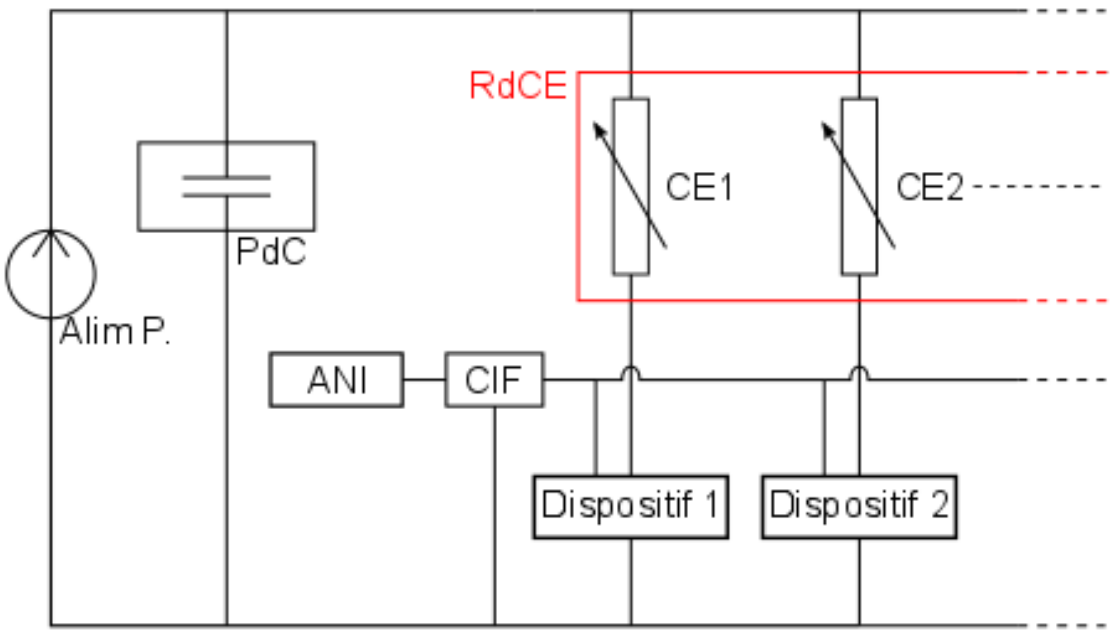


Figure 20 : Schéma électrique du banc de tests actifs

4.2.2 Protocoles des tests de vieillissement accéléré

Des protocoles de lancement, d'arrêt et de reprise des tests de vieillissement accéléré ont été définis pour la sécurité de la personne (opérateur) et pour le bon déroulement des tests.

Concernant la sécurité de l'opérateur, les risques sont différents entre les bancs de tests passifs et actifs. Pour le banc des tests passifs, lors des tests utilisant des niveaux de tensions supérieurs à 40 V, il y a un risque d'électrocution donc l'alimentation doit être

éteinte pour toute intervention sur le banc ou sur les échantillons en cours de vieillissement (lancement, d'arrêt et de reprise). Aucun conducteur nu sous tension n'est accessible grâce à l'armoire électrique sauf dans la chambre de l'enceinte climatique qui est normalement fermée pendant les tests. Pour le banc des tests actifs, du fait du risque de brûlure un protocole de mise en route / arrêt du test permet de protéger l'opérateur d'une température excessive de la plaque thermorégulée.

Concernant le bon déroulement des tests, il débute par la détermination d'un état initial à réception ou avant les tests des composants pour suivre leur vieillissement. Cette détermination de l'état initial est réalisée à l'aide des NDT présentés dans la partie 2.2. Ensuite, et dans le meilleur des cas, des caractérisations électriques des composants sont réalisées avec le banc de tests. Cela permet d'éviter le retrait des composants du système de test pour réaliser les caractérisations avec le banc dédié à la caractérisation électrique. Au final, lors de l'extraction d'un composant ou lors de la fin du test, les échantillons sont soumis aux NDT puis DT présentées dans la partie 2.2. La fin du test survient lorsque le dernier composant testé est défaillant.

4.3 Conclusions

Ce chapitre détaille le plan de tests et le montage des bancs pour le vieillissement accéléré des dispositifs électroniques de puissance. Ce plan de tests prend en considération les environnements et modes de fonctionnement des applications aérospatiales. Il est constitué de six tests de vieillissement accéléré : H3TRB, HPET, HTRB, RCT, HTFB et le RCT. Chacun de ces tests est décrit par les conditions expérimentales, les modes associés aux mécanismes de défaillance, le suivi électrique du test, le critère de défaillance et une planification détaillant le déroulement du test.

Ce plan de tests et les bancs mis en place permettront de réaliser des tests de vieillissement sur un plus grand nombre de composants.

5 Résultats des tests de vieillissement accéléré

Les tests de vieillissement accéléré ont été réalisés uniquement sur les composants n°1 et n°2 pour plusieurs raisons :

- la réalisation de la totalité des tests sur deux références de composants permet de déterminer le(s) type(s) de test(s) de vieillissement accéléré le plus pertinent à effectuer en priorité (présélection de composants prometteur) ;
- la durée des tests de vieillissement accéléré est inconnue pour atteindre la défaillance de 50 % des échantillons testés ;
- ces deux composants sont des diodes Schottky qui présentent des caractéristiques électriques et thermiques principales identiques (cf. chapitre 2.1 - tableau 4) ;
- ils proviennent de deux fabricants différents et présentent des technologies d'assemblage similaires sauf au niveau de la brasure de scellement de la puce et du type de boîtier (cf. chapitre 2.2.2.6).

Les différents points cités précédemment permettront de comparer à la fois la maitrise des procédés de fabrication et les technologies d'assemblage utilisés chez deux différents fabricants de composants.

La présentation des résultats des tests de vieillissement accéléré sera organisée par type de tests. Les résultats des tests seront tout d'abord présentés par le suivi électrique des tests, puis par les caractérisations électriques à l'état initial et après vieillissement même si aucune modification des performances n'a été constatée. Ensuite, les observations optiques externes des composants seront présentées en détaillant les évolutions de l'aspect externe des composants. Puis, les échogrammes des analyses SAM seront détaillés avec les potentielles modifications internes des composants qui ont été remarquées. L'exposé finira par les analyses de défaillance des composants considérés comme défaillants lors des tests.

Pour ce chapitre, il est nécessaire de préciser que tous les composants dédiés aux tests de vieillissement accéléré ont été soumis aux NDT et ils ont présenté des caractéristiques électriques et physiques similaires à l'instant t_0 (avant vieillissement).

5.1 Tests H3TRB et HTRB

Les tests H3TRB et HTRB sont présentés et détaillés successivement dans ce sous chapitre, car ces tests ont un suivi électrique identique : le suivi des courants de fuite sous une polarisation inverse pendant toute la durée des tests. Pour statuer sur l'évolution de ce paramètre au cours du vieillissement, une caractérisation électrique complète de la partie inverse des deux types de diodes a été réalisée à l'état initial.

5.1.1 Caractéristiques électriques inverses à l'état initial

D'après les fiches techniques des fabricants, la polarisation inverse maximale des composants n°1 et n°2 est de 1,2 kV en présentant un courant de fuite maximum de 1000 µA et 500 µA respectivement pour une température de jonction de 150 °C. Ces valeurs de courant de fuite maximum sous 1,2 kV sont assez proches, mais la polarisation inverse de 1,2 kV n'est peut-être pas assez importante pour provoquer un vieillissement accéléré des échantillons testés. En effet, les fabricants prennent en compte une marge sur les données des composants électroniques les moins performants afin de garantir les valeurs indiquées dans les fiches techniques sur la totalité de leur production.

Par conséquent, des tests de tenue en tension à 175 °C ont été réalisés sur un échantillon du composants n°1 (01-HT) et un échantillon du composant n°2 (02-HT) afin de déterminer la valeur adéquate de la tension de polarisation inverse (U_R) de ces tests de vieillissement accéléré (HT désigne les échantillons dédiés au test de tenue en tension). La figure 21 présente les courants de fuite de deux échantillons en fonction de la polarisation inverse dans la plage de tension 0,8 – 1,5 kV à 175 °C.

Ces tests de tenue en tension ont été arrêtés à 1,5 kV (figure 21 - ligne rouge) pour les deux échantillons, car l'échantillon du composant n°2 a présenté un court-circuit lors de l'augmentation de la polarisation de 1,5 à 1,6 kV. La jonction métal / semi-conducteur de la diode Schottky a été détruite par le phénomène d'avalanche. Ce phénomène est provoqué par l'accélération des électrons par un champ électrique trop intense au niveau de la jonction. Ces électrons entrainent l'ionisation d'atomes et les électrons libérés accélèrent en emballant le processus provoquant l'augmentation du courant quasi-instantanément.

Ces tests ont tout d'abord permis de mettre en évidence que le courant de fuite du composant n°2 augmentait plus rapidement avec l'augmentation de la tension de polarisation inverse que celui du composant n°1. Ensuite, il a été remarqué que le courant de fuite augmente de manière exponentielle avec l'augmentation de la tension d'après les deux courbes de tendance exponentielle de l'échantillon 01-HT (Expon. (01-HT)) et de l'échantillon 02-HT (Expon. (02-HT)) dont le coefficient de détermination (R^2) est proche de 1

(bonne corrélation de l'approximation exponentielle). Les équations de ces courbes de tendance et le coefficient de détermination sont présents dans la figure 21. Après ces premiers constats, les 12 échantillons des composants n°1 et n°2 ont été soumis à une augmentation de la tension de la polarisation inverse sur la plage 0,8 – 1,4 kV.

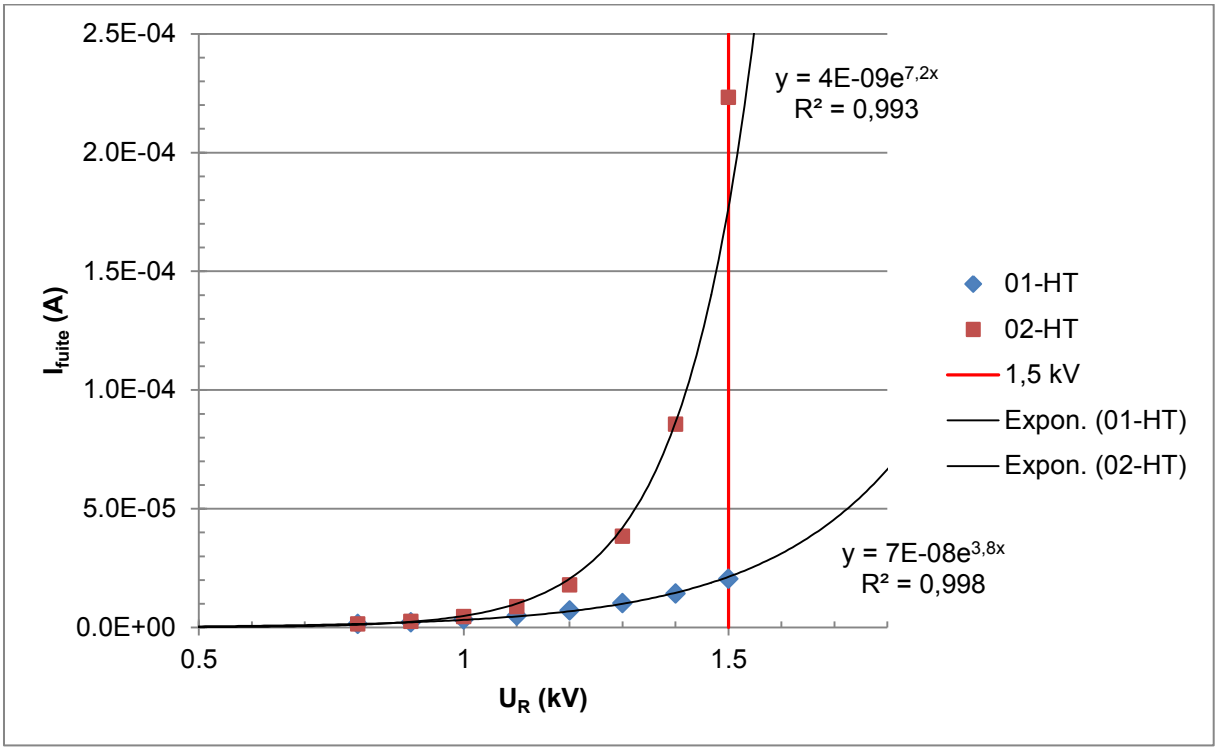


Figure 21 : Tests de tenue en tension à 175 °C

La figure 22 et la figure 23 présentent les courbes du courant de fuite en fonction de la tension de polarisation inverse. Ces échantillons présentent une faible dispersion du courant de fuite à 1,2 kV :

- composant n°1 : (8,8 ± 3,0) µA ;
- composant n°2 : (20,2 ± 5,8) µA.

Ces valeurs sont largement en dessous des limites maximales des fiches techniques des fabricants et cela jusqu'à 1,4 kV. Ces données indiquent que les fabricants de ces composants ont pris une marge de sécurité sur les données renseignées dans les fiches techniques.

Par conséquent, pour évaluer la fiabilité en conditions sévères et accélérer le vieillissement de ces deux composants, il a été décidé de les tester à la polarisation inverse maximale indiquée dans la fiche technique des fabricants (1,2 kV).

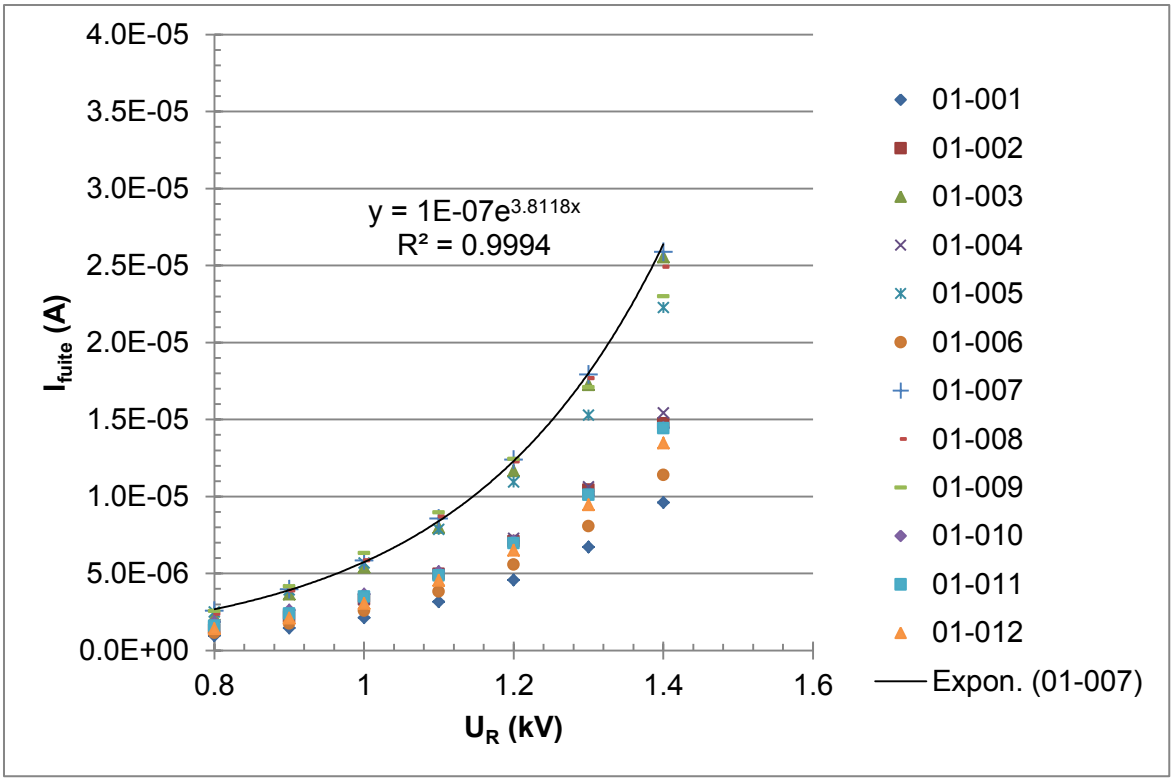


Figure 22 : Caractéristiques inverses des échantillons du composant n°1 (01-001 à 01-012) dans la plage de tension 0,8 – 1,4 kV à 175 °C

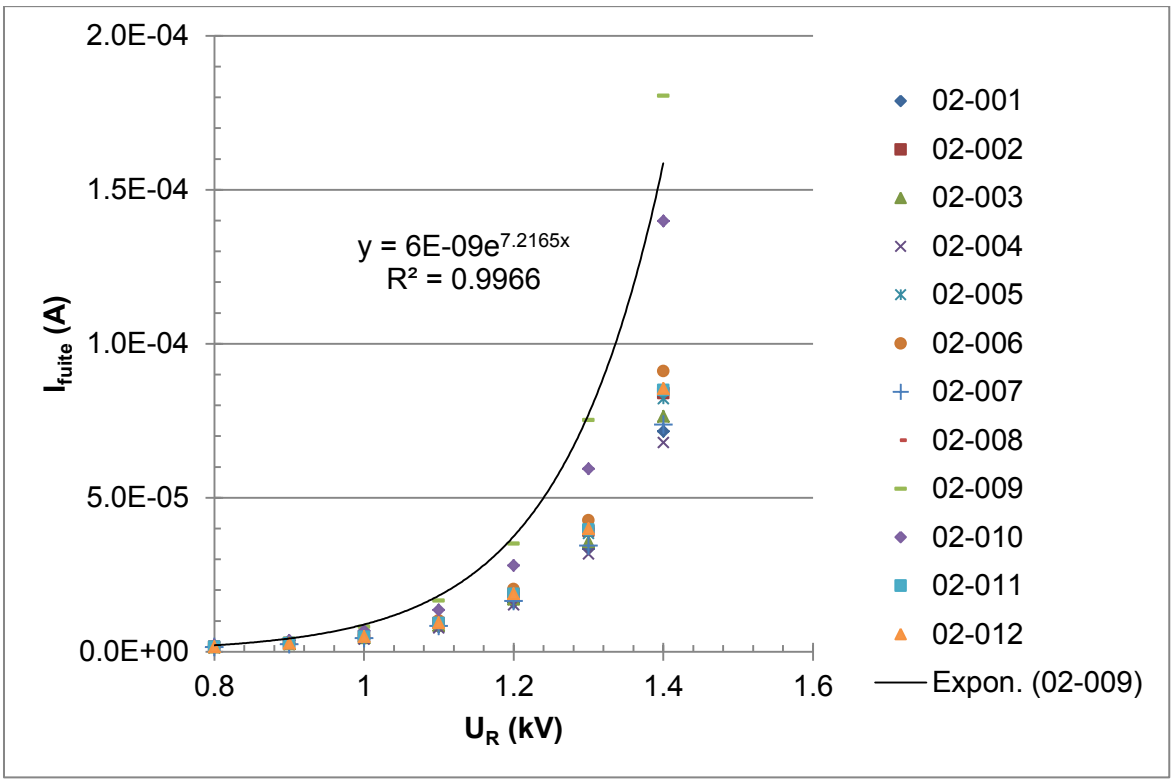


Figure 23 : Caractéristiques inverses des échantillons du composant n°2 (02-001 à 02-012) dans la plage de tension 0,8 – 1,4 kV à 175 °C

5.1.2 Tests H3TRB

Les tests H3TRB ont été réalisés sur les échantillons 01-027 à 01-039 du composant n°1 et sur les échantillons 02-028 à 02-039 du composant n°2.

5.1.2.1 Suivi électrique des tests H3TRB

Le suivi électrique des échantillons du composant n°1 et n°2 lors des tests H3TRB sont présentés dans la figure 24 et la figure 25.

Aucun échantillon des composants n°1 et n°2 n'a présenté d'augmentation du courant de fuite sous une tension de 1,2 kV pendant toute la durée des tests.

Les échantillons 01-027, 0(1 et 2)-038 et 0(1 et 2)-039 ont été prélevés au cours des tests à 546 h, 953 h et 1500 h respectivement. Cela explique l'arrêt du suivi du courant de fuite de ces échantillons dans la figure 24 et la figure 25.

Les courants de fuite des échantillons testés sont restés inférieurs aux courants de fuite maximums indiqués dans les fiches techniques des fabricants et au critère plus sévère défini dans la partie 4.1.2.1 (I_{fuite} (t) > 10 I_{fuite} (t_0)). Cependant, lors de ces tests, trois échantillons du composant n°1 ont présenté des défaillances spontanées lors de l'arrêt et de la remise en route des tests.

Un échantillon supplémentaire du composant n°1 a été ajouté lors de ces tests. Il (01-030 Bis) a été rajouté pour correspondre au plan de tests initialement prévu contenant douze échantillons par composant après la défaillance spontanée de l'échantillon 01-030.

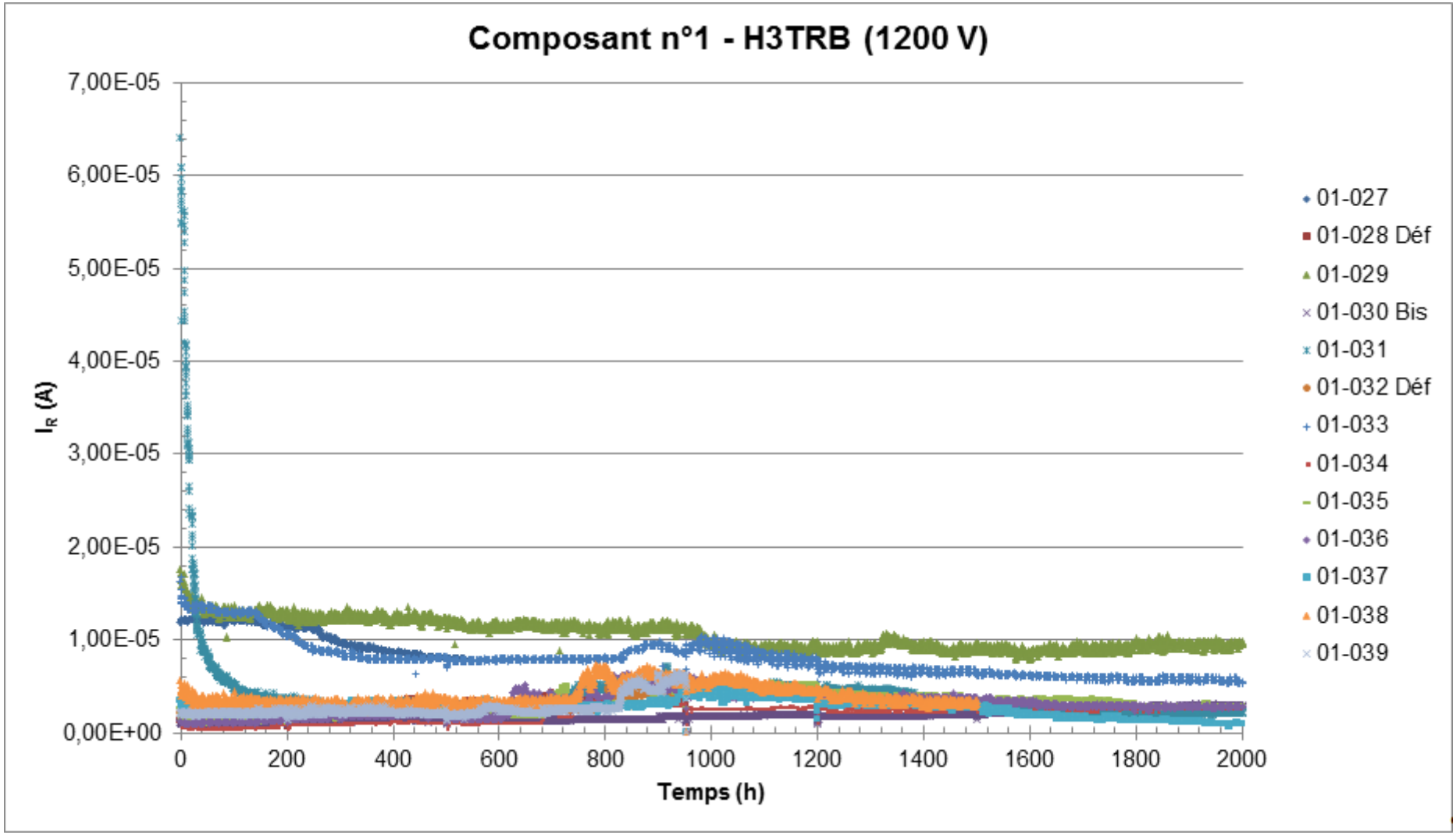


Figure 24 : Suivi du courant de fuite des 12 échantillons du composant n°1 lors des tests H3TRB

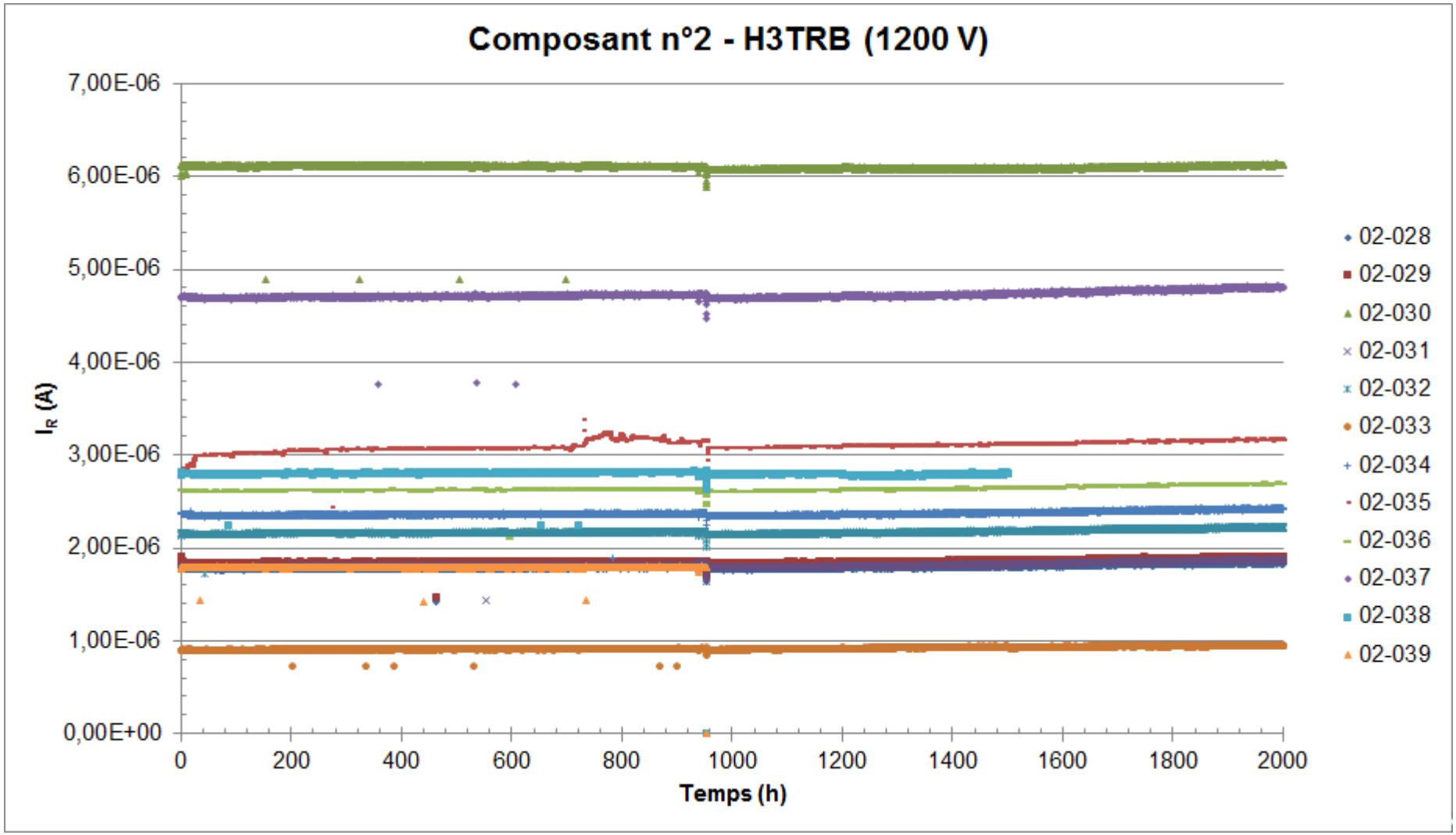


Figure 25 : Suivi du courant de fuite des 12 échantillons du composant n°2 lors des tests H3TRB

Le tableau 24 présente la moyenne de toutes les mesures du courant de fuite des échantillons au cours des tests H3TRB accompagné de son écart type. Ces moyennes des courants de fuite des échantillons des composants n°1 et n°2 sont très proches. Cependant, les écarts types indiquent des variations plus importantes des courants de fuite pour le composants n°1 :

- composant n°1 : écart type > 0,6 µA (dérive du courant de fuite dans le temps) ;
- composant n°2 : écart type < 0,2 µA (dispersion liée au système de mesure).

Ces données peuvent refléter des défauts d'isolation électrique par le boîtier (type, matériau d'encapsulation, distance entre conducteurs de potentiel différent) ou de défauts présents dans la jonction métal / semi-conducteur de la diode Schottky. Par conséquent, elles peuvent attester d'une meilleure maitrise des procédés de fabrication du fabricant du composant n°2.

Composants n°1			**Composants n°2**		
$I_{fuite\ Max\ Constructeur}$ = 1000 µA			$I_{fuite\ Max\ Constructeur}$ = 500 µA		
Echantillons	I_{fuite} *(µA)*	*Ecart type (µA)*	*Echantillons*	I_{fuite} *(µA)*	*Ecart type (µA)*
01-027	10,2	1,6	02-028	1,8	0,1
01-028	2,2	1,1	02-029	1,9	0,1
01-029	10,4	1,6	02-030	6,1	0,2
01-030 Bis	1,8	0,6	02-031	1,8	0,1
01-031	4,0	4,0	02-032	2,2	0,1
01-032	2,4	0,9	02-033	0,9	0,1
01-033	7,8	2,0	02-034	2,4	0,1
01-034	2,1	0,9	02-035	3,1	0,1
01-035	3,2	1,1	02-036	2,6	0,1
01-036	3,1	1,2	02-037	4,7	0,1
01-037	2,6	0,9	02-038	2,8	0,1
01-038	4,0	1,2	02-039	1,8	0,1
01-039	2,6	1,1	-	-	-

Tableau 24 : Moyennes et écarts types des valeurs mesurées du suivi des courants de fuite au cours des tests H3TRB

5.1.2.2 Caractérisations électriques

La figure 26 présente les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après les tests H3TRB. Le vieillissement des composants n'a pas provoqué d'altération des caractéristiques statiques des échantillons non-défaillants au niveau de :

- la CI (Caractéristique(s) Inverse(s)) : le courant de fuite est resté dans le même ordre de grandeur de 0 à 0,2 kV ;
- la CD (Caractéristique(s) Directe(s)) : la tension de seuil est toujours comprise entre 0,78 et 0,8 V et la partie résistive est identique.

La dispersion plus importante des points de mesures des CI après vieillissement est due à une perturbation des mesures de la sonde de courant. Cette perturbation est survenue à cause d'un changement de l'environnement électromagnétique de la pièce qui accueille l'équipement de mesure.

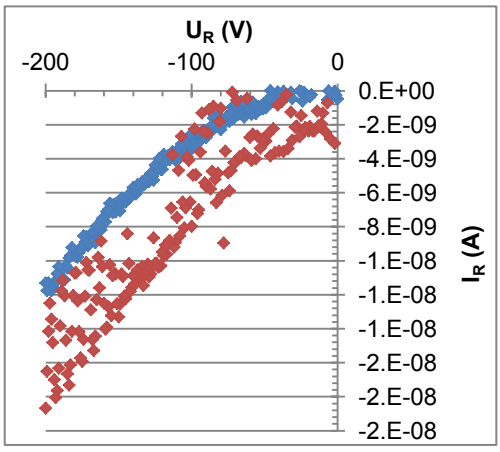
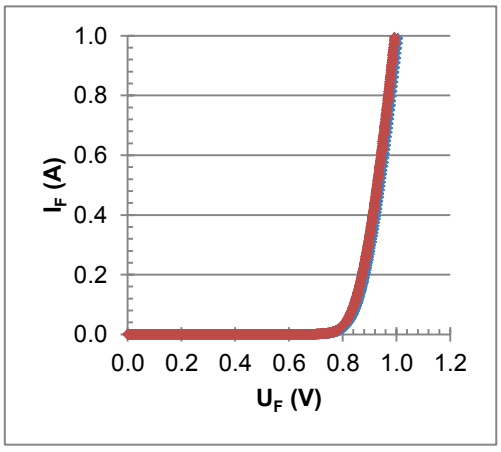
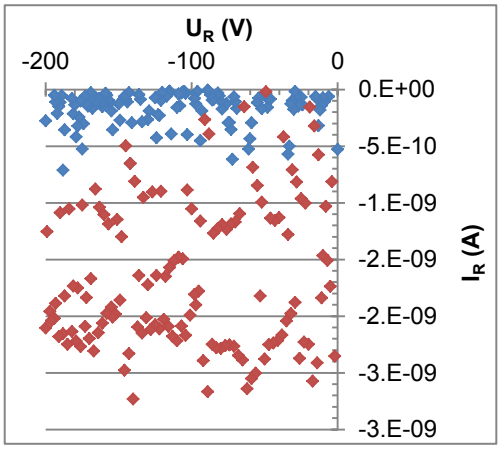
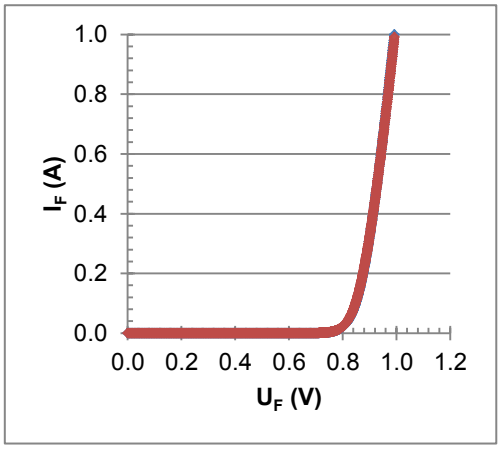
Echantillons	CI	CD
01-029		
02-028		
Courbe bleue : avant vieillissement		Courbe rouge : après défaillance

Figure 26 : CI et CD des échantillons non-défaillants lors des tests H3TRB

5.1.2.3 Observations optiques externes

Une synthèse des observations optiques externes des composants dédiés aux tests H3TRB est présentée dans la figure 27. Les images présentées sont des vues générales des aspects externes typiques de tous les échantillons des composants n°1 et n°2 avant et après vieillissement.

Après les tests, les finitions des parties métalliques externes des échantillons des deux composants présentent une modification de l'aspect externe. Cette modification correspond à une oxydation de la couche de finition en étain.

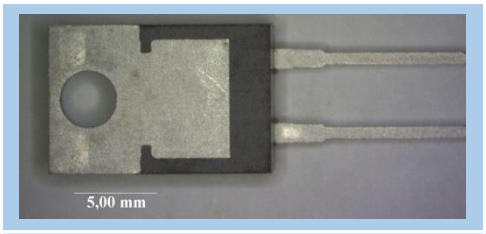
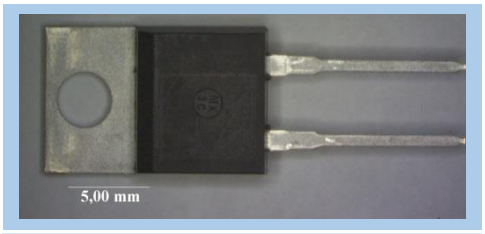
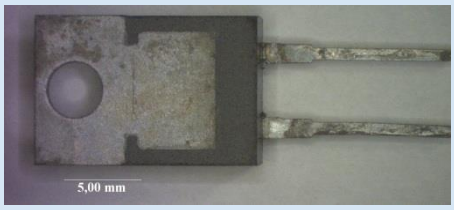
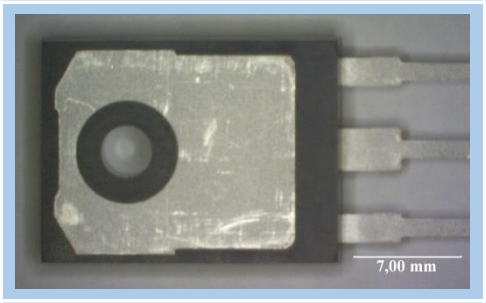
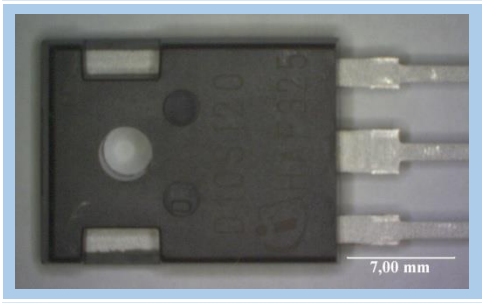
N°	Instants	Face arrière	Face avant
01-029	*Initial*		
	2000 h		
02-028	*Initial*		
	2000 h		

Figure 27 : Observations optiques externes des échantillons des composants n°1 et n°2 dédiés aux tests H3TRB

5.1.2.4 Analyses SAM

Il est nécessaire de préciser quelques détails sur les analyses SAM. Elles ont été réalisées en mode réflexion par la face arrière des composants (substrat). Les échogrammes

acoustiques sont retranscrit en images en niveau de gris dans une « fenêtre » définie par l'opérateur qui correspond à la zone analysée dans la profondeur. Une intensité élevée des échos correspond à une signature clair intense, inversement pour une faible intensité, des signatures sombres.

Les analyses SAM des échantillons des composants n°1 et n°2 avant et après 2000 h de test H3TRB sont présentées dans la figure 28 et la figure 29 respectivement.

Ces analyses n'ont pas mis en évidence de modifications des échogrammes correspondant aux interfaces substrat / brasure (formes rouges), puce / matériaux d'encapsulation (carrés verts) et puce / fils d'interconnexion (ellipses violettes) pour les deux composants. Cependant, pour le composant n°1, une inhomogénéité initiale a été remarquée sur l'intensité de l'écho de l'interface substrat / matériaux d'encapsulation dans deux zones de cette interface (flèches bleues). D'ailleurs, la portion de cette inhomogénéité a augmenté au cours du vieillissement.

Les évolutions de l'intensité de cet écho peuvent correspondre à une modification de la cohésion de l'interface substrat / matériaux d'encapsulation. Ce type de modification mineure n'a pas dégradé les performances électriques des échantillons du composant n°1, mais, s'il s'agit d'une décohésion, elle peut faciliter l'infiltration d'humidité dans le matériau d'encapsulation.

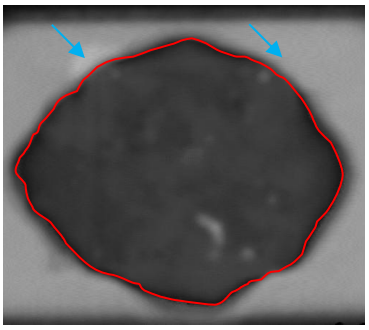
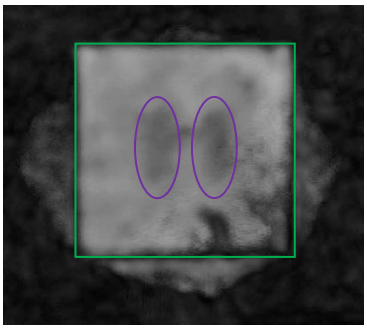
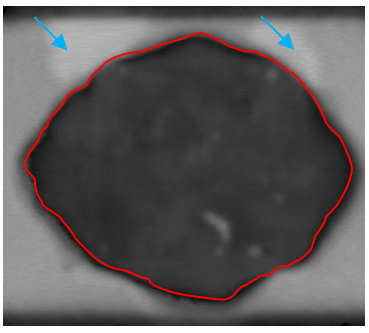
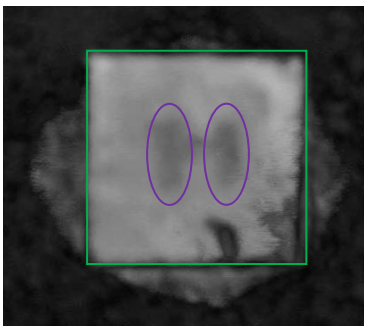
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
01-029	*Initial*		
	2000 h		

Figure 28 : Images SAM des échantillons du composant n°1 avant et après les tests H3TRB

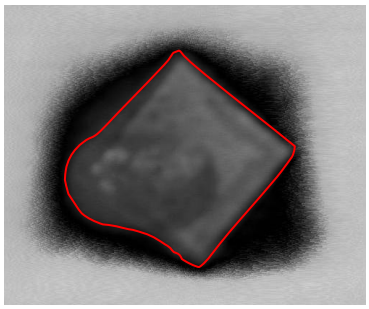
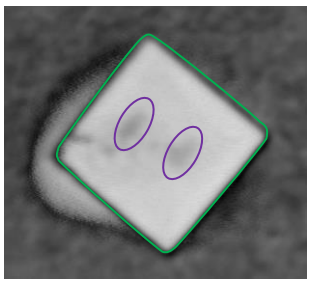
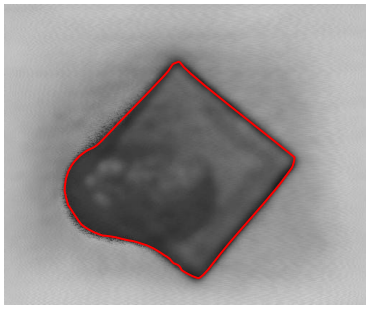
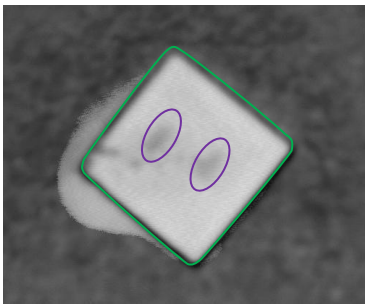
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
02-029	*Initial*		
	2000 h		

Figure 29 : Images SAM des échantillons du composant n°2 avant et après les tests H3TRB

5.1.2.5 Analyse de défaillance

Lors de ces tests, trois échantillons du composant n°1 sont devenus spontanément défaillant à différents instants des tests (échantillons 01-028, 01-030 et 01-032).

Le tableau 25 donne et décrit les temps à défaillance de ces échantillons. Ces échantillons n'ont pas poursuivi ces tests, car l'alimentation ne pouvait pas fournir assez de courant pour maintenir la polarisation inverse de 1,2 kV aux bornes de la totalité des échantillons.

Echantillons	Temps à défaillance	Description de la défaillance observée
01-028	952 h	Cet échantillon a présenté instantanément le critère de défaillance lors de la remise en route du test à 952 h.
01-030	0 h	Une dégradation du matériau d'encapsulation entre les broches et le brunissement des broches ont été constatés (figure 30 – ellipse rouge). Ce composant a été remplacé par un autre échantillon (01-030 Bis).
01-032	952 h	Cet échantillon a présenté le critère de défaillance quasi instantanément vers 952 h de test : I_{fuite} = 0,366684 A

Tableau 25 : Temps à défaillance et description des défauts observés

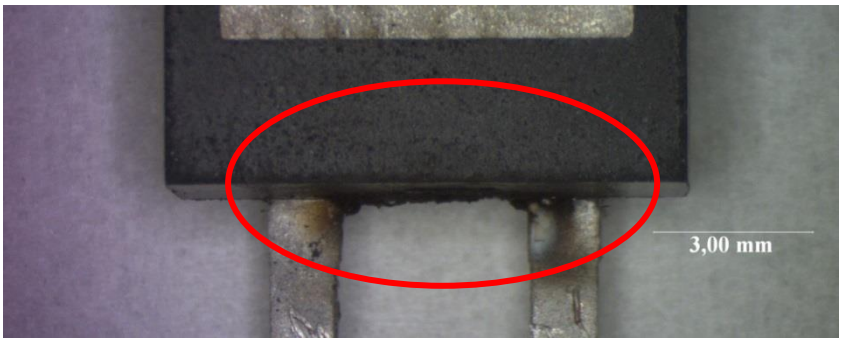


Figure 30 : Dégradation du matériau d'encapsulation de l'échantillon 01-030

Les caractéristiques électriques avant et après vieillissement de ces échantillons sont présentées dans la figure 31. Pour la description des caractéristiques électriques, il est nécessaire de préciser les plages de fonctionnement du système de caractérisation :

- *CI :* plage de tension 0 - 200 V (courant limité à 0,05 A) ;

- *CD :* plage de courant 0-1 A (tension limité à 20 V).

Il a été remarqué que les caractéristiques électriques avaient fortement évolué :

- **Echantillon 01-030 :** le comportement électrique correspond toujours au fonctionnement d'une diode Schottky, au niveau du courant de fuite, de la tension de seuil et de la partie résistive. Cependant, le courant de fuite sous 0,2 kV a augmenté significativement de 0,5 nA à 59 nA ;

- **Echantillons 01-028 et 01-032 :** les CI et CD ne correspondent plus au fonctionnement classique d'une diode Schottky, il a été observé les modifications suivantes :
  - *CI :* le courant limite de l'alimentation est atteint après défaillance pour une tension comprise entre 0 et 1 V alors que le courant mesuré à l'état initial est de l'ordre du nano-ampère sur la plage 0 - 0,2 kV.

  - *CD :* une augmentation linéaire du courant est visible sur le début de la caractéristique avec une rupture de cette linéarité correspondant à une tension supérieure à celle de la tension de seuil de la diode (0,8 V lignes noires).

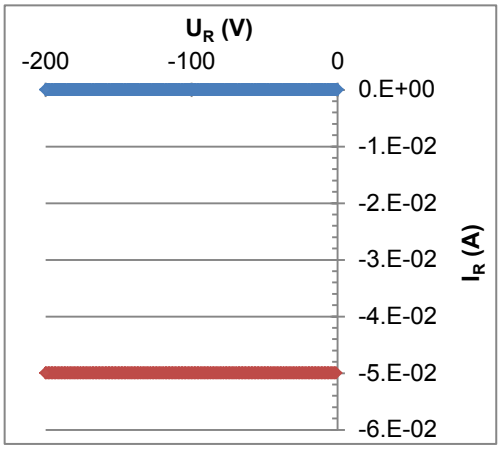
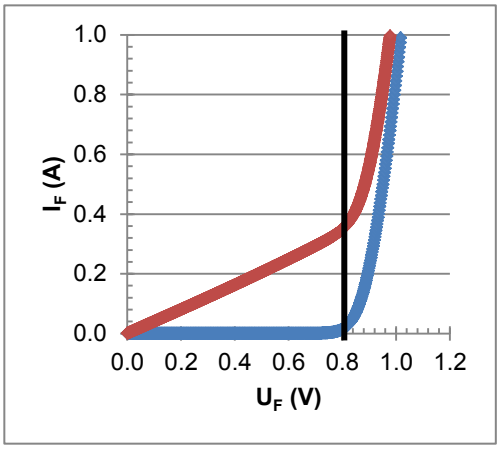
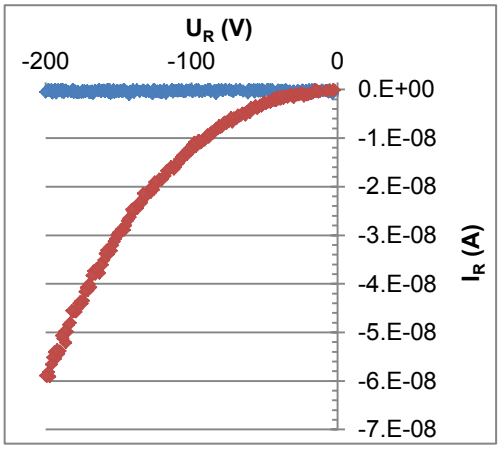
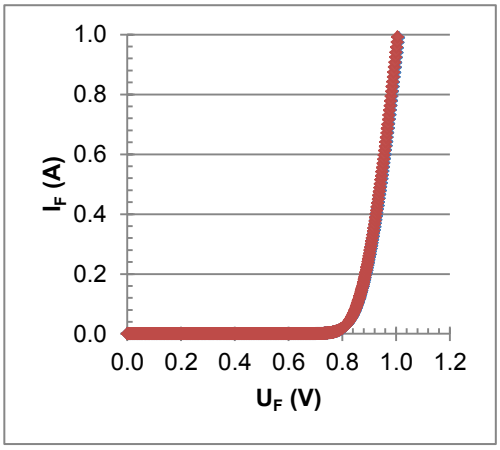
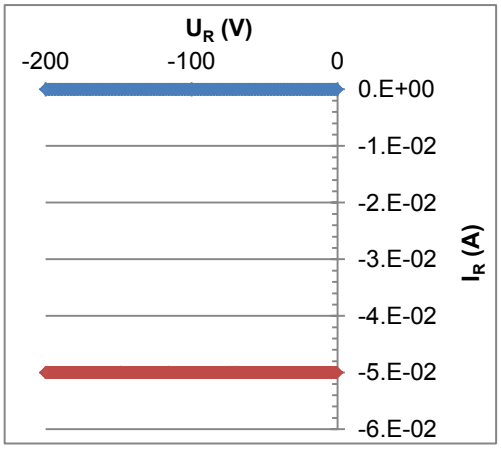
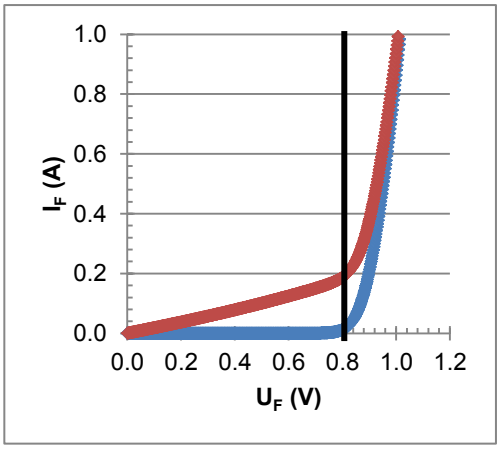
Echantillon	CI	CD
01-028		
01-030		
01-032		
Courbe bleue : avant vieillissement		**Courbe rouge : après défaillance**

Figure 31 : CI et CD des échantillons présentant une défaillance spontanée lors des tests H3TRB

Les analyses SAM de ces trois échantillons n'ont pas montré d'évolutions significatives des interfaces entre le début et la fin des tests à part celle qui a déjà été constatée sur la totalité des échantillons du composant n°1 (5.1.2.4 Analyses SAM).

La défaillance de l'échantillon 01-030 est attribuée à la formation d'un arc électrique entre les broches à la suite de l'apparition d'une pellicule d'eau entre le matériau d'encapsulation en

contact avec le porte échantillon. En effet, cette pellicule d'eau a diminué l'isolation électrique de la surface du matériau d'encapsulation se situant entre les broches. Cette altération et la forte différence de potentiel entre les broches ont provoqué un arc électrique. Ensuite, cet arc a dégradé l'isolation électrique du matériau d'encapsulation entre les broches. Cela explique d'une part l'augmentation du courant de fuite de la CI et d'autre part l'intégrité des performances de la CD (tension de seuil et partie résistive), car la puce n'a pas été dégradée.

La défaillance des échantillons 01-028 et 01-032 est attribuée à une destruction partielle de la jonction métal / semi-conducteur de la structure verticale de la diode Schottky. En effet, l'augmentation linéaire du courant pour des tensions inférieures à celle de la tension de seuil indique que la diode ne bloque plus totalement le courant (fonctionnalité détruite). De plus, la rupture de l'augmentation linéaire pour des tensions supérieures à celle de la tension de seuil révèle la préservation d'une zone de la jonction métal / semi-conducteur de la diode. Cette constatation semble indiquer une moins bonne maîtrise de la fabrication de la puce du fabricant du composant n°1.

5.1.3 Tests HTRB

5.1.3.1 Suivi électrique des tests HTRB

Les suivis du courant de fuite lors des tests HTRB sont présentés dans la figure 32 et la figure 33.

La discontinuité des courbes à 2221 h de test est due à une erreur dans le protocole de mise sous tension de l'alimentation HT après l'arrêt des tests pour un contrôle de l'isolation électrique des éléments de la voie qui est reliée à l'échantillon 01-008. Cela a été corrigé après, mais il est à noter qu'aucune anomalie n'a été constatée sur la voie du banc de test et le porte-échantillons. Les tests ont été poursuivis hors tension pendant 53 h. Cet oubli est négligeable, car il représente seulement 1,3 % de la durée totale des tests.

La discontinuité du courant de fuite de l'échantillon 02-012 à 128 h est due au dysfonctionnement d'un relais du banc de test. Ce dysfonctionnement a été constaté à 212 h de test. L'action corrective a consisté à changer ce relais.

Aucun échantillon des composants n°1 et n°2 n'a présenté d'augmentation du courant de fuite sous une tension de 1200 V pendant toute la durée des tests à part l'échantillon 01-008.

Les échantillons 009, 010, 011 et 012 des composants n°1 et n°2 ont été prélevés au cours des tests à 500 h, 954 h, 1481 h et 1999,5 h respectivement. Cela explique l'arrêt du suivi du courant de fuite de ces échantillons dans la figure 32 et la figure 33.

Le courant de fuite de l'échantillon 01-008 a augmenté dès le début des tests HTRB sans atteindre les critères de défaillance. A la suite de cette augmentation, les tests HTRB ont été prolongés jusqu'à 4000 h pour vérifier la capacité des composants à résister à la combinaison température / tension maximale de fonctionnement des composants.

L'échantillon 01-008 a présenté le critère de défaillance à 2137 h de tests (I_{fuite} (t) > 10 I_{fuite} (t_0)).

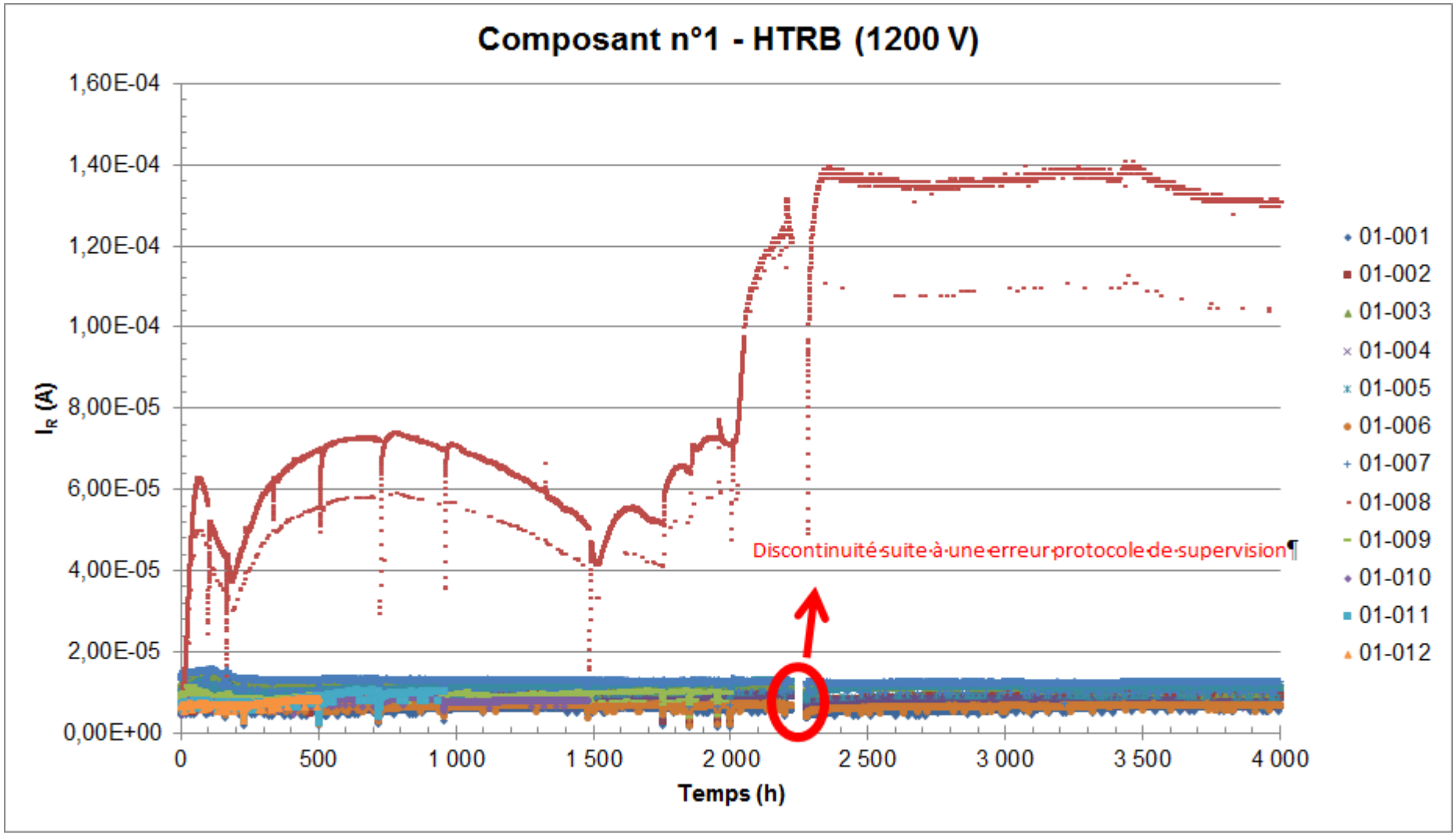


Figure 32 : Suivi du courant de fuite des 12 échantillons du composant n°1 lors des tests HTRB

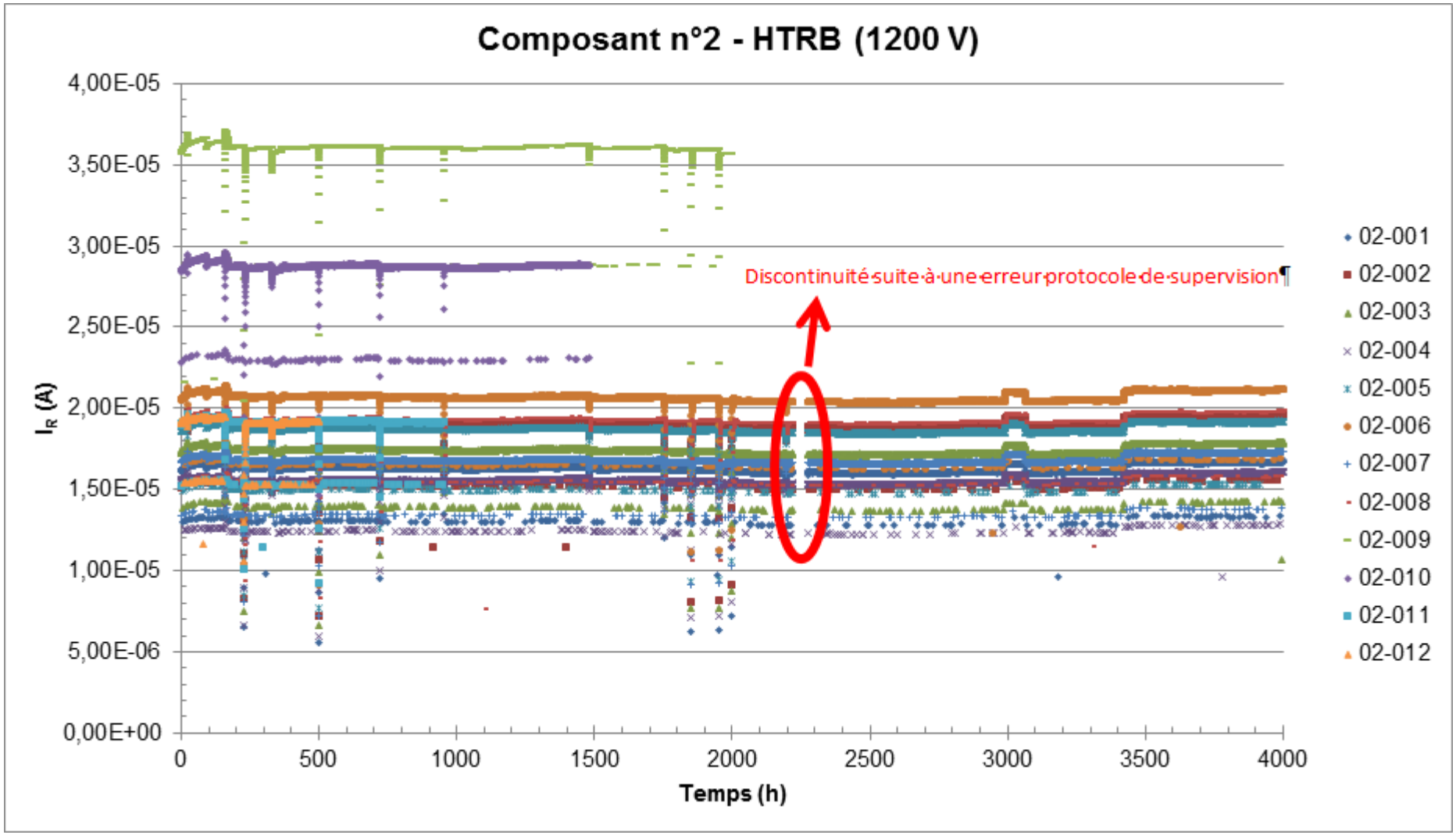


Figure 33 : Suivi du courant de fuite des 12 échantillons du composant n°2 lors des tests HTRB

Le tableau 26 présente les moyennes et les écarts types des valeurs mesurées du suivi des courants de fuite au cours des tests HTRB. Ces moyennes des courants de fuite des échantillons des composants n°1 et n°2 sont très proches. Les écarts types de cette population d'échantillons des composants n°1 et n°2 sont relativement similaires excepté pour l'échantillon 01-008.

Composants n°1			**Composants n°2**		
$I_{fuite\ Max\ Constructeur}$ = 1000 µA			$I_{fuite\ Max\ Constructeur}$ = 500 µA		
Echantillons	I_{fuite} *(µA)*	*Ecart type (µA)*	*Echantillons*	I_{fuite} *(µA)*	*Ecart type (µA)*
01-001	5,8	0,5	02-001	16,2	0,5
01-002	8,7	1,2	02-002	19,0	0,6
01-003	11,8	0,9	02-003	17,4	0,5
01-004	8,0	1,0	02-004	15,5	0,5
01-005	11,2	1,0	02-005	18,7	0,6
01-006	6,8	0,5	02-006	20,6	0,6
01-007	13,1	0,9	02-007	16,8	0,5
01-008	79,2	32,9	02-008	19,4	0,6
01-009	9,4	0,6	02-009	36,0	1,0
01-010	7,8	0,5	02-010	28,7	0,8
01-011	8,5	1,2	02-011	19,1	0,5
01-012	7,3	0,6	02-012	19,1	0,6

Tableau 26 : Moyennes et écarts types des valeurs mesurées du suivi du courant de fuite au cours des tests HTRB

5.1.3.2 Caractérisations électriques

La figure 34 présente les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après les tests HTRB. Le vieillissement des composants n'a pas provoqué d'altération des caractéristiques statiques des échantillons non-défaillants au niveau de :

- la CI : le courant de fuite est resté dans le même ordre de grandeur de 0 à 0,2 kV ;
- la CD : la tension de seuil est toujours comprise entre 0,78 et 0,8 V et la partie résistive est identique.

La dispersion plus importante des points de mesures des CI après vieillissement est due à une perturbation des mesures de la sonde de courant. Cette perturbation est survenue à cause d'un changement de l'environnement électromagnétique de la pièce qui accueille l'équipement de mesure.

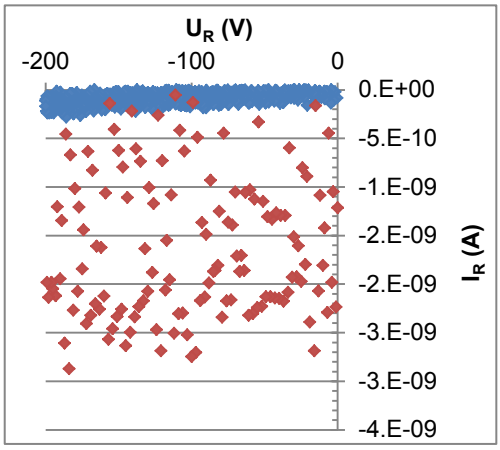
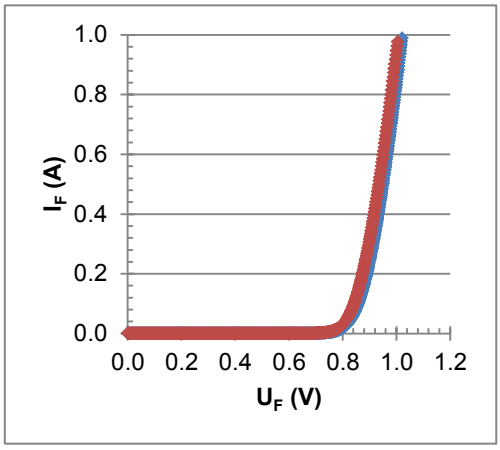
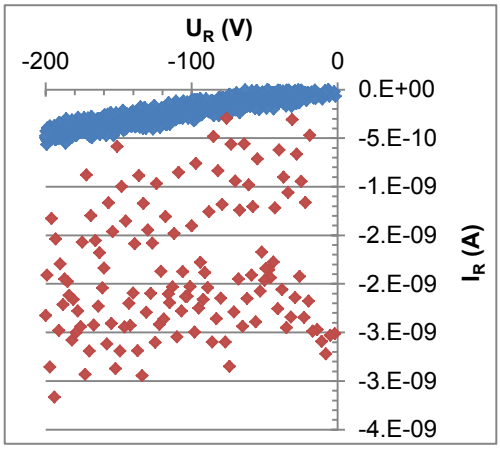
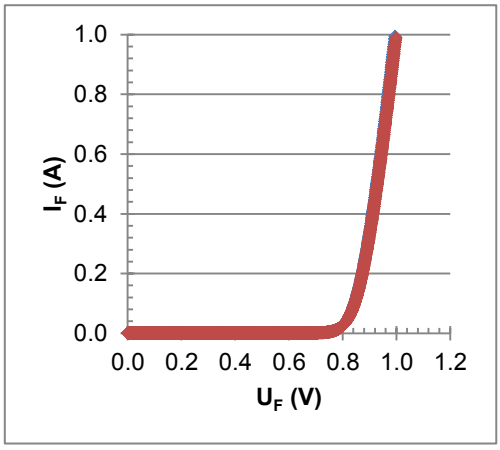
Echantillons	CI	CD
01-001		
02-001		
Courbe bleue : avant vieillissement		Courbe rouge : après vieillissement

Figure 34 : CD et CI des échantillons non-défaillants lors des tests HTRB

La figure 35 présente la CI et la CD de l'échantillon 01-008. La CD ne présente pas d'évolution sur la plage de courant 0-1 A. En revanche, la CI montre une légère augmentation du courant de fuite de 0,8 nA à 3,3 nA à 200 V.

Cette augmentation du courant de fuite constatée par les caractérisations électriques concorde avec celle observée lors du test HTRB. Les analyses non-destructives et destructives réalisées sur cet échantillon n'ont pas permis d'identifier le changement physique qui a provoqué cette dégradation.

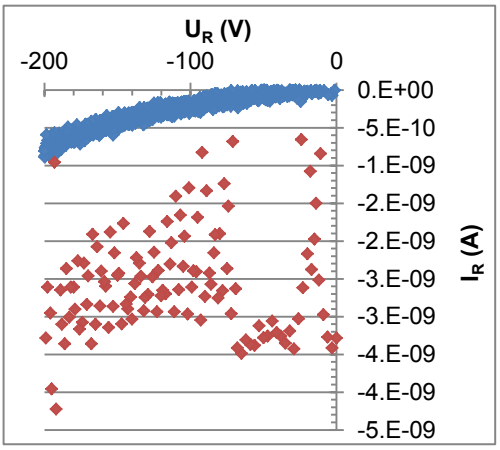
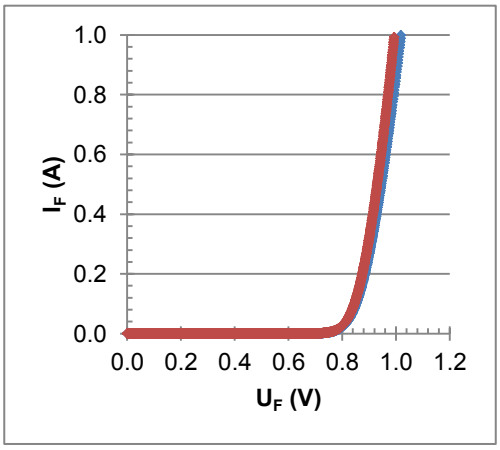
Echantillon	CI	CD
01-008		
Courbe bleue : avant vieillissement		Courbe rouge : après vieillissement

Figure 35 : CI et CD de l'échantillon 01-008 avant et après augmentation du courant de fuite lors des tests HTRB

5.1.3.3 Observations optiques externes

Après les tests HTRB, les échantillons des composants n°1 et n°2 présentent une modification de l'apparence externe du matériau d'encapsulation (figure 36).

A l'état initial, le matériau d'encapsulation présentait une apparence externe noire et rugueuse. Après vieillissement, cette apparence externe est devenue marron et légèrement plus lisse. Il a été également remarqué que le marquage des composants est beaucoup moins lisible quand les échantillons sont observés à l'œil nu et cette modification peut être considérée comme non acceptable pour utiliser ces composants.

Il a également été remarqué que les finitions des broches et du substrat ont noircies certainement à cause de l'oxydation de l'étain.

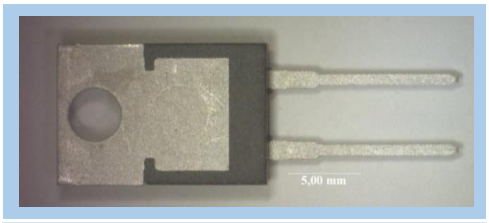
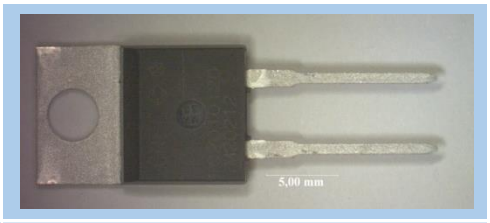
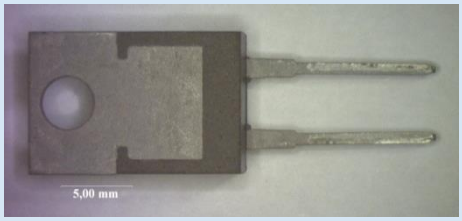
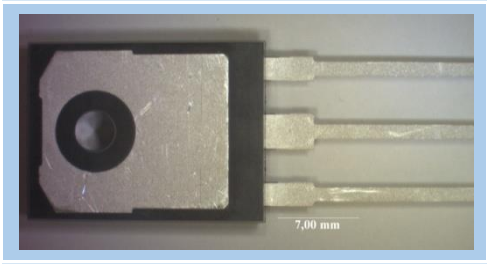
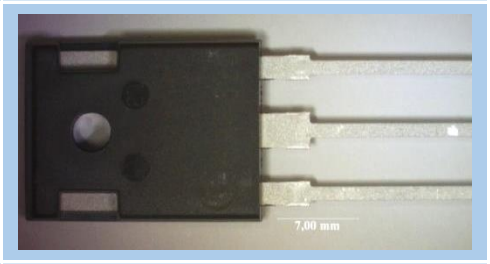
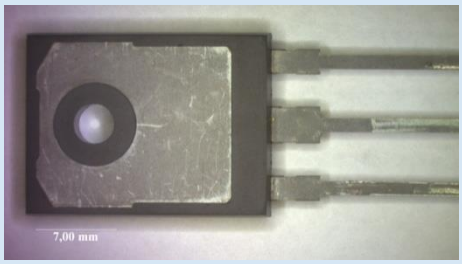
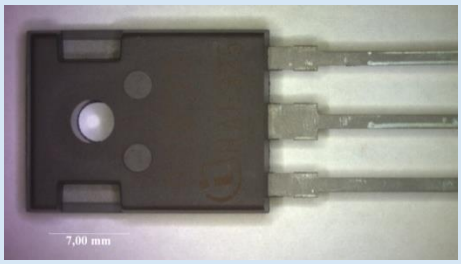
N°	Moments	Face arrière	Face avant
01-001	Initial		
	4000 h		
02-001	Initial		
	4000 h		

Figure 36 : Vues typiques de l'aspect externe des échantillons du composant n°1 et n°2 dédiés aux tests HTRB

5.1.3.4 Analyses SAM

Les analyses SAM des échantillons des composants n°1 et n°2 avant et après 4000 h de test HTRB sont présentées dans la figure 37 et la figure 38 respectivement.

Concernant les échantillons du composant n°1, les analyses avant vieillissement ont été réalisées avec un transducteur de 50 MHz qui a permis d'obtenir une bonne résolution latérale et verticale. Après vieillissement, les analyses ont été réalisées avec un transducteur de 25 MHz, car la pénétration des ondes acoustiques à travers les matériaux des échantillons était moins importante et l'analyse des échos difficile.

Malgré le changement de fréquence des ondes acoustiques, les analyses n'ont pas mis en évidence de modifications de l'homogénéité de l'échogramme correspondant aux interfaces substrat / brasure (formes rouges), puce / matériaux d'encapsulation (carrés verts) et puce / fils d'interconnexion (ellipses violettes). Une inhomogénéité a été remarqué sur

l'intensité du pic de l'interface substrat / matériaux d'encapsulation dans deux zones de cette interface (flèches bleues) très proche de celle rencontrée dans le test H3TRB.

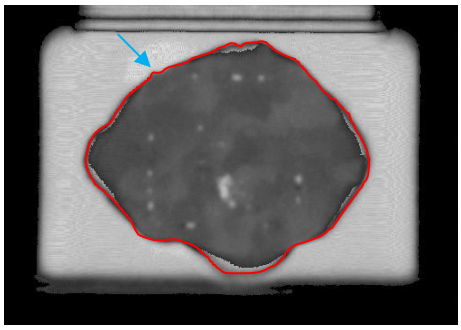
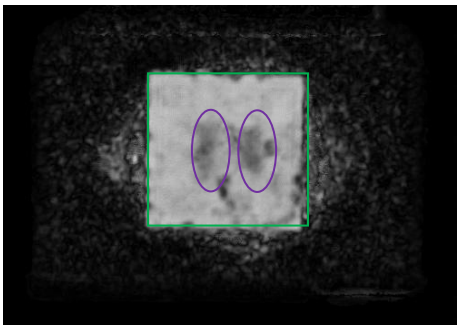
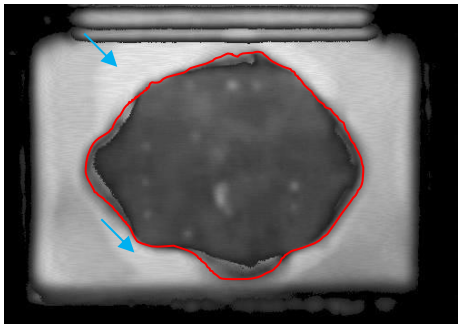
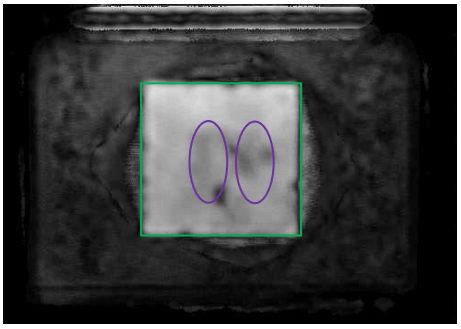
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
01-001	*Initial*		
	4000 h		

Figure 37 : Images SAM des échantillons du composant n°1 avant et après les tests les tests HTRB

Concernant les échantillons du composant n°2, les analyses de l'échogramme acoustique ont mis en évidence un changement de l'intensité de l'écho des interfaces du substrat : substrat / brasure (formes rouges) et substrat / matériaux d'encapsulation (flèches jaunes). D'autres évolutions des échos ont été décelées aux niveaux des interfaces de la partie supérieure de la puce. Cependant, ces évolutions sont certainement dues aux modifications de la propagation des ondes acoustiques à travers la brasure et ses interfaces. Les évolutions des interfaces de la partie supérieure de la puce sont donc masquées.

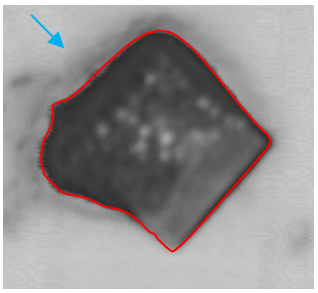
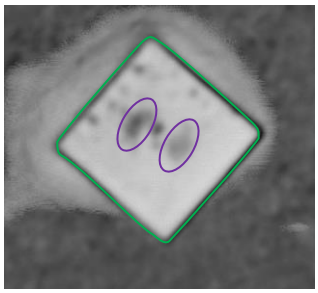
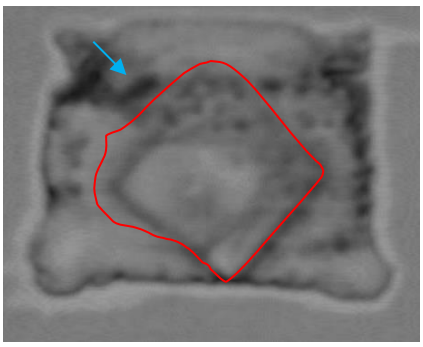
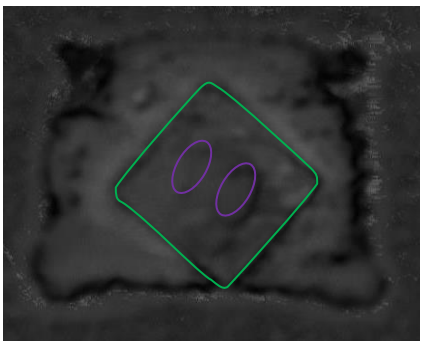
Echantillon		Interface substrat	Interface puce
02-001	*Initial*		
	4000 h		

Figure 38 : Images SAM des échantillons du composant n°2 avant et après les tests HTRB

Les évolutions identifiées sur les échogrammes acoustiques n'ont pas dégradé les performances électriques des échantillons du composant n°2. Cependant, elles ont altéré drastiquement la microstructure de l'alliage de brasure de report de la puce (figure 39). La microstructure à l'état initial pouvait être décrite de la manière suivante :

- des IMCs d'épaisseur inhomogène aux interfaces de la brasure avec :
  - le substrat : $Cu_3(Sn,Sb)$ et $Cu_6(Sn,Sb)_5$, épaisseur cumulée des deux IMCs allant de 2 à 8 µm ;
  - la puce : $Cu_6(Sn,Sb)_5$.
- dans le volume : une matrice SnSb (2 phases de différentes compositions), avec une répartition aléatoire d'IMCs de tailles variées : $Ag_3(Sn,Sb)$ sous formes de plaquettes et $Cu_3(Sn,Sb)$ et $Cu_6(Sn,Sb)_5$ de formes diverses.

Après 4000 h de tests HTRB, la microstructure est devenue plus grossière. Les IMCs du volume ont coalescé. A l'interface substrat / brasure, une croissance notable des IMCs $Cu_3(Sn,Sb)$ et $Cu_6(Sn,Sb)_5$ a été mise en évidence. L'épaisseur de l'IMC $Cu_3(Sn,Sb)$ est devenue plus homogène qu'à l'état initial (épaisseur allant de 5 à 10 µm). Les $Cu_3(Sn,Sb)$ $Cu_6(Sn,Sb)_5$ présents dans le volume de la brasure ont coalescé et diffusé vers les interfaces substrat / brasure et brasure / puce. La matrice SnSb et les IMCs $Ag_3(Sn,Sb)$ ont également coalescé en occupant la totalité du volume de la brasure.

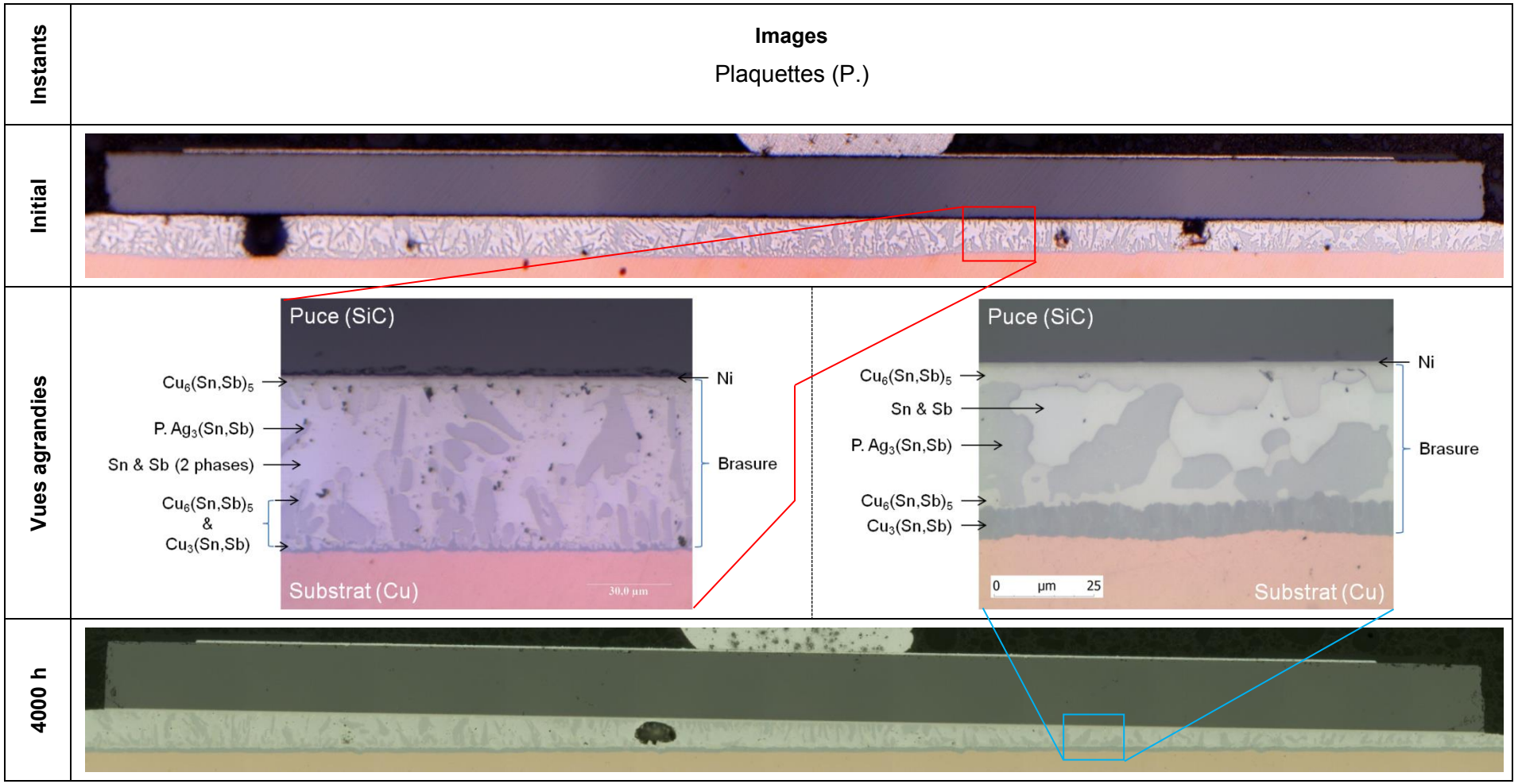


Figure 39 : Modifications de la microstructure de l'alliage de brasure de report de la puce (SnAgSb) après les tests HTRB

5.2 Tests HPET

Lors des tests HPET, le suivi d'un paramètre électrique des échantillons n'est pas effectué. En revanche, des contrôles non destructifs sont réalisés sur les échantillons après chaque injection ponctuelle de courant planifiée selon la partie 4.1.2.2.

5.2.1 Caractérisations électriques

Les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 après les différentes injections ponctuelles de courant sont présentés dans la figure 40. Les changements de pente de la partie résistive de la CD sont dus à la résistance de contact des pointes de test. Le vieillissement des composants n'a pas provoqué d'altération des caractéristiques statiques des échantillons non-défaillants au niveau de la :

- CI : I_R resté dans le même ordre de grandeur de 0 à 0,2 kV ;
- CD : V_{th} toujours comprise entre 0,78 et 0,8 V et partie résistive identique (recouvrement de la courbe initiale t0 par les courbes des différents instants du vieillissement, et jusqu'à 2000 h).

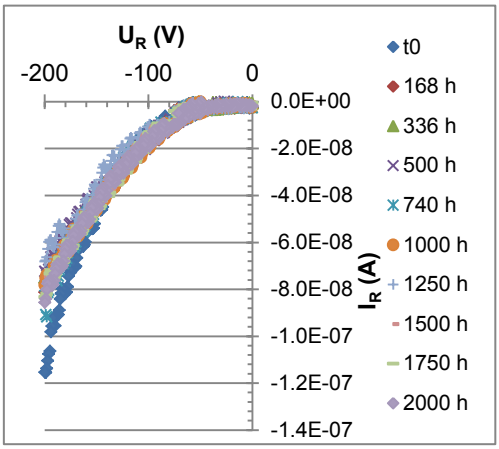
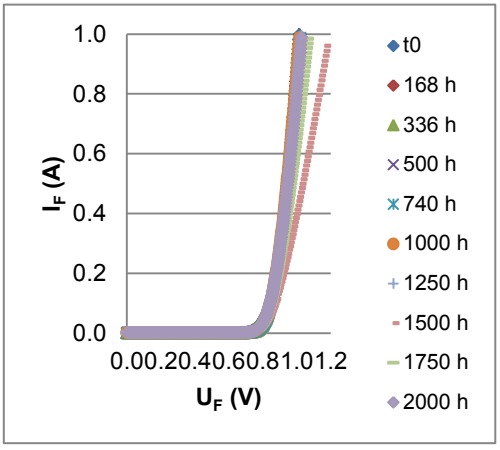
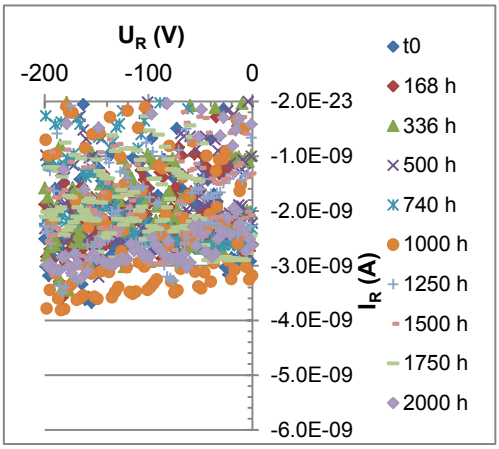
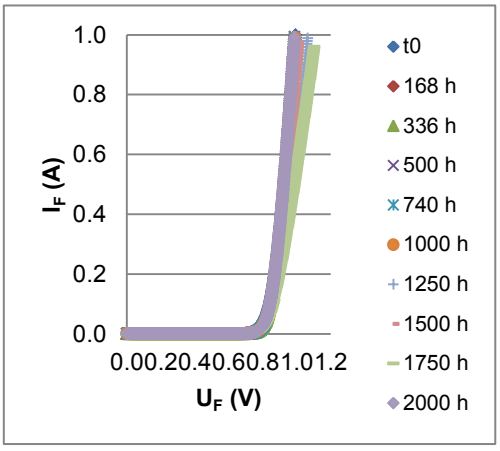
N°	CI	CD
01-053		
02-052		

Figure 40 : CI et CD des échantillons non-défaillants lors des tests HPET

5.2.2 Observations optiques externes

Une synthèse des observations optiques externes des échantillons des composants n°1 et n°2 est présentée dans la figure 41.

A la suite de la première injection de courant (10 A pendant 5 s à 168 h de tests), il a été constaté sur les échantillons du composant n°1 d'importantes dégradations de l'aspect externes et plus particulièrement au niveau des finitions de la grille d'interconnexion. Le courant injecté a provoqué un échauffement des échantillons à un tel niveau qu'il a entraîné la fusion des finitions en étain de la grille d'interconnexion.

La différence de teinte des images prises à 168 h et 2000 h de tests est due à l'utilisation de différent traitement d'images pour faire ressortir les détails de la fusion des finitions. L'aspect externe des échantillons (matériau d'encapsulation et parties métalliques externes) n'a pas évolué entre le premier instant de constatation des dégradations (t = 168 h) et la fin des tests (t = 2000 h).

L'aspect externe des échantillons du composant n°2 n'a pas évolué au niveau du matériau d'encapsulation au cours des tests. En revanche, à l'issue des 2000 h de tests et des injections ponctuelles de courant, les parties métalliques externes ont légèrement jauni et présentent une multitude de petites taches sombres.

Lors de tests de fonctionnalité des équipements électriques, les parties métalliques externes des composants ne sont pas exposées ou très partiellement (uniquement une portion des broches et du substrat selon le type de boîtier) à l'environnement externe de l'application. En effet, lors de l'assemblage des composants sur les circuits imprimés, les broches et le substrat sont recouverts par l'alliage de brasure servant à leur report. De plus, ce type d'altération n'entraine pas la défaillance des composants. Par conséquent, cette altération de l'aspect externe ne doit pas être considérée.

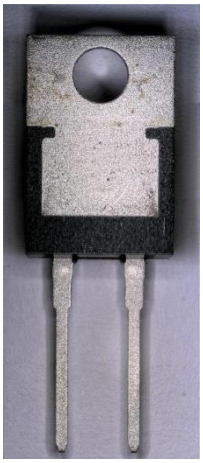
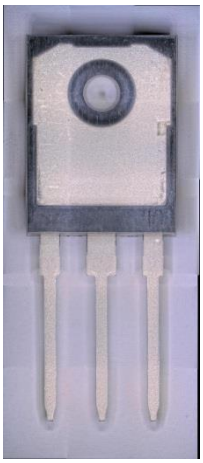
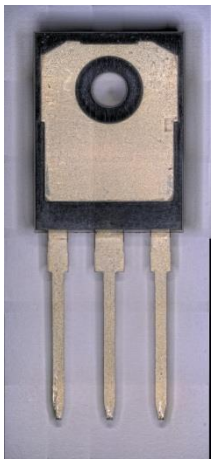
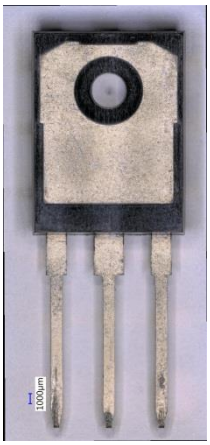
Echantillons	Face arrière		
	Initial (t0)	*168 h*	*2000 h*
01-053			
02-052			

Figure 41 : Vues typiques de la face arrière des échantillons du composant n°1 et n°2

5.2.3 Analyses SAM

La figure 42 expose la synthèse des images acoustiques au niveau des échos des interfaces du substrat avec le matériau d'encapsulation et la brasure des échantillons des composants n°1 et n°2.

Concernant le composant n°1, la première injection de courant a provoqué des altérations de l'homogénéité de l'interface du substrat avec le matériau d'encapsulation (flèches bleues) et l'alliage de brasure de la puce (formes rouges). Les injections suivantes subies par les échantillons ont occasionné d'une part de faibles évolutions au niveau de l'interface substrat / matériau d'encapsulation et d'autre part une légère diminution de l'interface substrat / brasure.

Concernant le composant n°2, aucune évolution significative des interfaces du substrat n'a été constatée aux différents points de contrôle de l'état des échantillons. Les images acoustiques sont identiques.

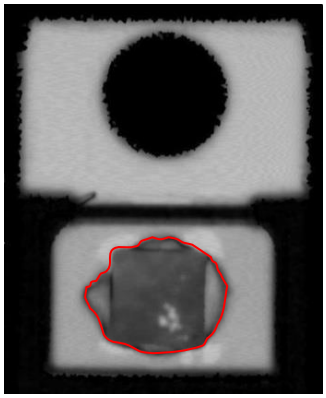
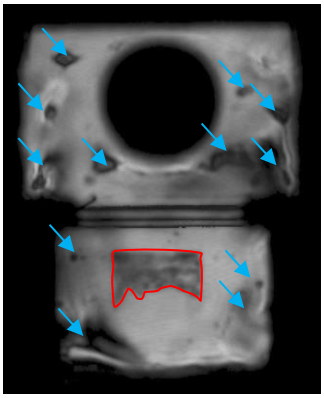
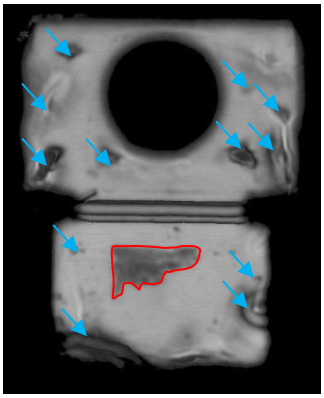
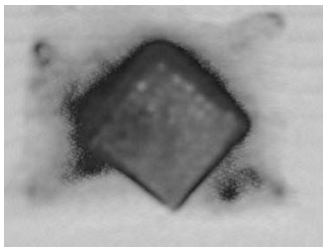
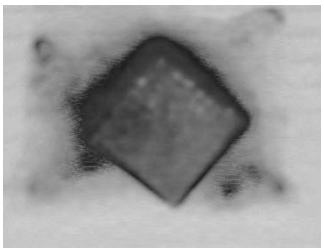
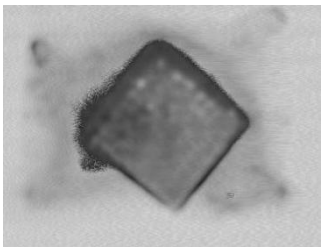
Echantillons	Interfaces avec le substrat		
	Initial (t0)	168 h	2000 h
01-053			
02-052			

Figure 42 : Images SAM de l'interface du substrat des échantillons du composant n°1 et n°2

Les analyses des points de contrôle n'ont pas permis de mettre en évidence des défauts liés aux contraintes que devraient entrainer les tests HPET. Cette absence de défaut peut signifier que ces composants ne sont pas sensibles à ces contraintes ou que ces contraintes ne sont pas répétées un assez grand nombre de fois. Par conséquent, il est nécessaire d'optimiser ce type de tests en contrôlant la température de jonction atteinte lors des injections ponctuelles de courrant.

L'optimisation envisagée se décompose en trois étapes. Elle peut commencer par tracer la courbe d'absorption d'humidité du matériau d'encapsulation en fonction du temps et identifier l'atteinte d'un taux d'absorption quasi-stationnaire qui peut aller de 48 à 72 h [ROU1992]. Ensuite, les injections ponctuelles de courant sont planifiées pour être activées au moment de l'atteinte du taux quasi-stationnaire. Enfin, il est nécessaire de vérifier la compatibilité du courant d'échauffement avec le composant pour éviter toutes dégradations qui ne sont pas représentatives à celles rencontrées en applications.

5.3 Tests RCT

Les échantillons des composants n°1 et n°2 ont été soumis jusqu'à l'étape intermédiaire de 1000 cycles dans les conditions de test n°2 des tests RCT (-55 / +150 °C, rampe de 10 °C.min^{-1} et une durée des plateaux de 20 min, cf. 4.1.2.4) parce que cette étape correspondait à la fin de mes trois années de doctorat.

5.3.1 Caractérisations électriques

Les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après les 1000 cycles thermiques passifs sont présentées dans la figure 43. Les changements de pente de la partie résistive sont dus à la résistance de contact des pointes de test. Le vieillissement des composants n'a pas provoqué d'altérations significatives des caractéristiques statiques des échantillons au niveau de :

- la CI : le courant de fuite est resté dans le même ordre de grandeur de 0 à 0,2 kV ;
- la CD : la tension de seuil est toujours comprise entre 0,78 et 0,8 V au contraire de la partie résistive qui a très faiblement augmenté (la pente de la courbe rouge est légèrement plus faible que celle de la courbe bleue).

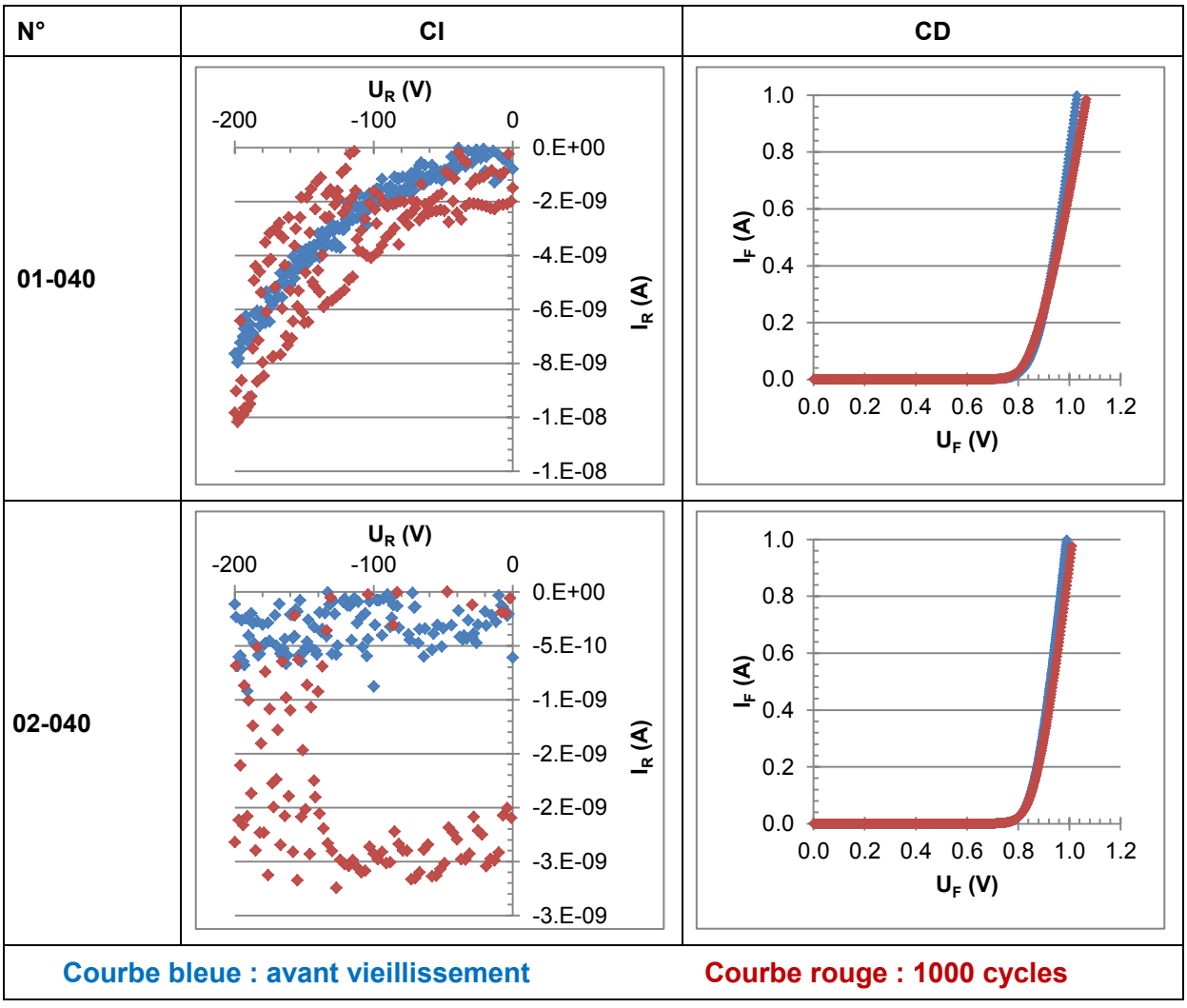


Figure 43 : CI et CD des échantillons non-défaillants lors des tests RCT

5.3.2 Observations optiques externes

Une synthèse des observations optiques externes est présentée dans la figure 44. Les parties métalliques externes présentent des zones bleutées (flèches rouges). Ces zones

bleutées peuvent correspondre à des oxydes de cuivre bien que le cuivre est normalement protégé par les finitions en étain. Cette oxydation est due à de la condensation d'eau sur les échantillons. Cette condensation est survenue lors des descentes en température en dessous de la température de la pièce, car l'enceinte n'était pas isolée de l'atmosphère extérieure à cause du passage des câbles de suivi électrique et donc l'humidité extérieure pénétrait dans l'enceinte puis condensait. Aucune évolution significative n'a été constatée au niveau du matériau d'encapsulation.

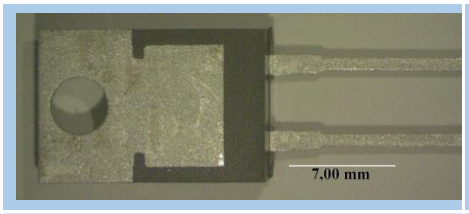
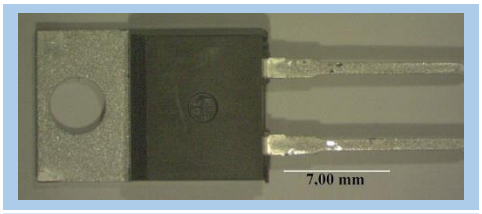
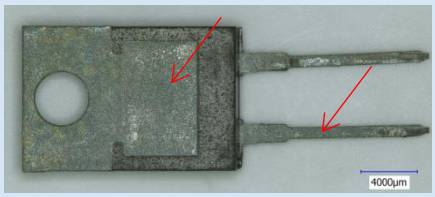
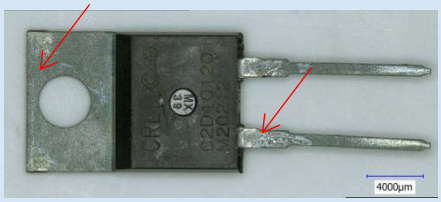
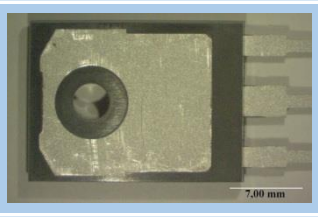
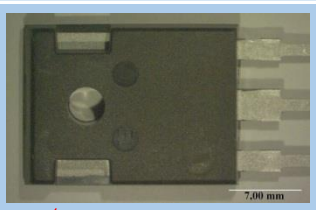
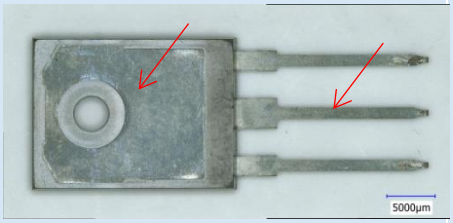
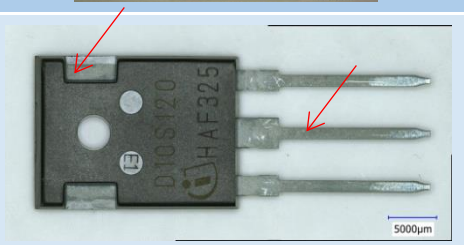
N°	Instants	Face arrière	Face avant
01-040	*Initial*		
	1000 cycles		
02-040	*Initial*		
	1000 cycles		

Figure 44 : Observations optiques externes des échantillons des composants n°1 et n°2 dédiés aux tests RCT

5.3.3 Analyses SAM

La figure 45 et la figure 46 montrent la synthèse des images obtenues en microscopie acoustique des interfaces du substrat et de la puce des échantillons des composants n°1 et n°2 respectivement.

Concernant le composant n°1, l'écho des interfaces :

- du substrat a présenté :

- avant vieillissement (initial) : une intensité relativement homogène au niveau des interfaces substrat / matériau d'encapsulation (flèches bleues) et substrat / brasure (forme rouge) ;
- après vieillissement (1000 cycles), de fortes inhomogénéités d'intensité pour ces interfaces.

- de la puce a indiqué :
  - avant vieillissement (initial) : une intensité relativement homogène au niveau des interfaces puce / matériau d'encapsulation (rectangle vert) et puce / fils d'interconnexion (ellipses violettes) ;
  - après vieillissement (1000 cycles), de fortes inhomogénéités d'intensité pour l'interface puce / matériau d'encapsulation et l'impossibilité d'obtenir des informations sur l'interface puce / fils d'interconnexion.

Ces inhomogénéités de l'intensité des échos peuvent être attribuées à des altérations physiques de l'alliage de brasure et de ses interfaces telles que l'initiation et la propagation de fissures. Dans ce cas, l'absence de dégradations des caractéristiques électriques statiques peut être attribuée à une propagation insuffisante des fissures pour diminuer la résistance électrique de l'alliage de brasure.

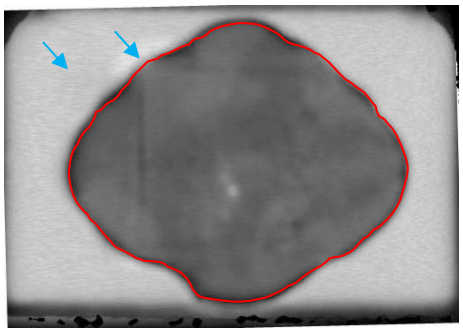
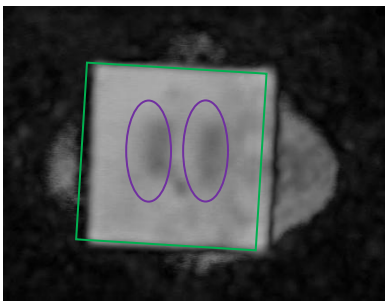
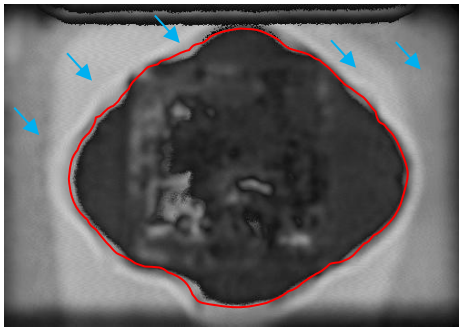
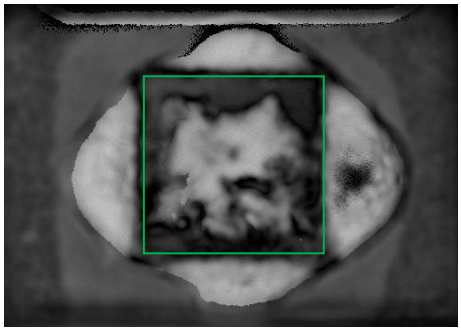
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
01-040	*Initial*		
	1000 cycles		

Figure 45 : Images SAM des échantillons du composant n°1 avant et après les tests RCT

Concernant le composant n°2, l'écho des interfaces du substrat a présenté avant vieillissement (initial) et après vieillissement (1000 cycles), une intensité relativement homogène excepté au niveau de l'un des angles de la puce (flèches bleues). En revanche, l'écho des interfaces de la puce a indiqué :

- avant vieillissement (initial) : une intensité relativement homogène au niveau des interfaces puce / matériau d'encapsulation (rectangle vert) et puce / fils d'interconnexion (ellipses violettes) ;

- après vieillissement (1000 cycles) :
  - une intensité relativement homogène au niveau de l'interface puce / matériau d'encapsulation (rectangle vert) avec une augmentation de l'intensité autour de la puce (rectangle rouge) ;
  - une intensité relativement homogène au niveau de l'interface puce / fils d'interconnexion (ellipses violettes) avec une petite diminution de la surface de la signature de cette interface.

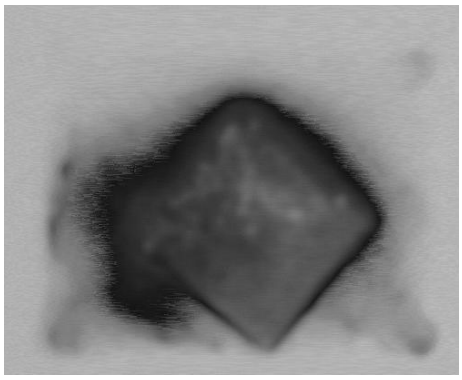
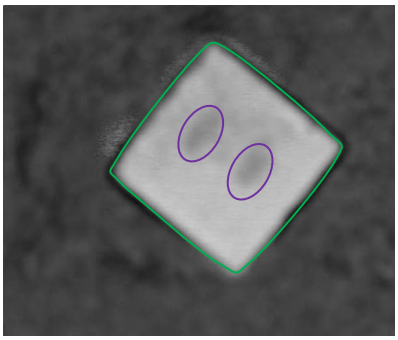
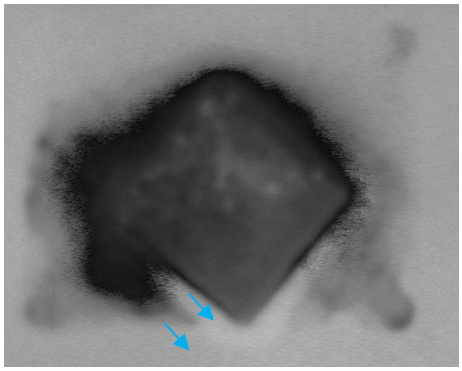
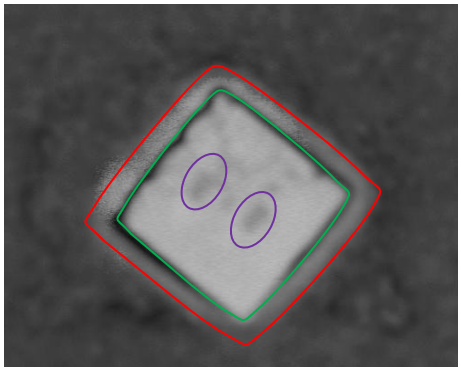
Echantillon		Interfaces du substrat	Interfaces de la puce
02-040	*Initial*		
	1000 cycles		

Figure 46 : Synthèse des images SAM des échantillons du composant n°2 avant et après les tests RCT

5.4 Tests PC

Les composants qui ont subi les tests PC ont été les seuls composants considérés comme défaillants à la suite d'un mécanisme d'usure. Ces défaillances sont apparues après plusieurs milliers de cycles à la suite des simulations « On-Off » (cf. 4.1.2.6) des composants électroniques de puissance.

Trois séries de tests PC avec différentes conditions expérimentales ont été réalisées. Le tableau 27 présente les conditions expérimentales de ces trois séries qui se distinguent par la température de jonction maximale ($T_{j\,Max}$), le delta de température de jonction (ΔT_j) et la température de plaque thermo-régulée ($T_{réf}$).

Séries	Nombre d'échantillons		T_j Max	ΔT_j	$T_{réf}$
	01	*02*			
1	3	3	175	40	135
2	11	12	175	90	85
3	-	12	110	90	20

Tableau 27 : Conditions expérimentales des trois séries de tests PC

Un descriptif de la méthode du suivi de la température de jonction (T_j) est donné dans la partie suivante pour détailler les résultats des tests PC.

5.4.1 Méthode du suivi de la température de jonction

La méthode de mesure débute par l'étalonnage du paramètre thermosensible pouvant être relié à la tension, au courant ou à la résistance. Cet étalonnage consiste à mesurer ce paramètre pour différentes valeurs de température comprises dans la plage de température de fonctionnement du composant. Ce paramètre a été mesuré à l'aide d'un courant de faible intensité pour les échantillons des composants n°1 et n°2 (figure 47, tension de seuil de la diode mesurée avec un courant de 100 mA, points de couleur bleue). Pour sélectionner la valeur de ce courant, les étapes suivantes ont été réalisées dans l'ordre :

- pour plusieurs valeurs de courant (10, 100, 200, 300 et 400 mA), les écarts types des différentes moyennes obtenues ont été comparés pour différentes valeurs de température de 20 à 170 °C (palier 10 °C/mesure) ;
- les courbes d'étalonnage ont été tracées pour chacune des valeurs de courant pour comparer la sensibilité du paramètre avec la température ;
- le compromis entre un faible écart type, une bonne sensibilité (tension / température) et échauffement a permis de sélectionner un courant de 100 mA ;

Si la température des échantillons dépasse la limite de température maximale des composants, des valeurs du paramètre thermosensible ont été extrapolées au-delà de la plage de fonctionnement pour attribuer une valeur de température au paramètre thermosensible.

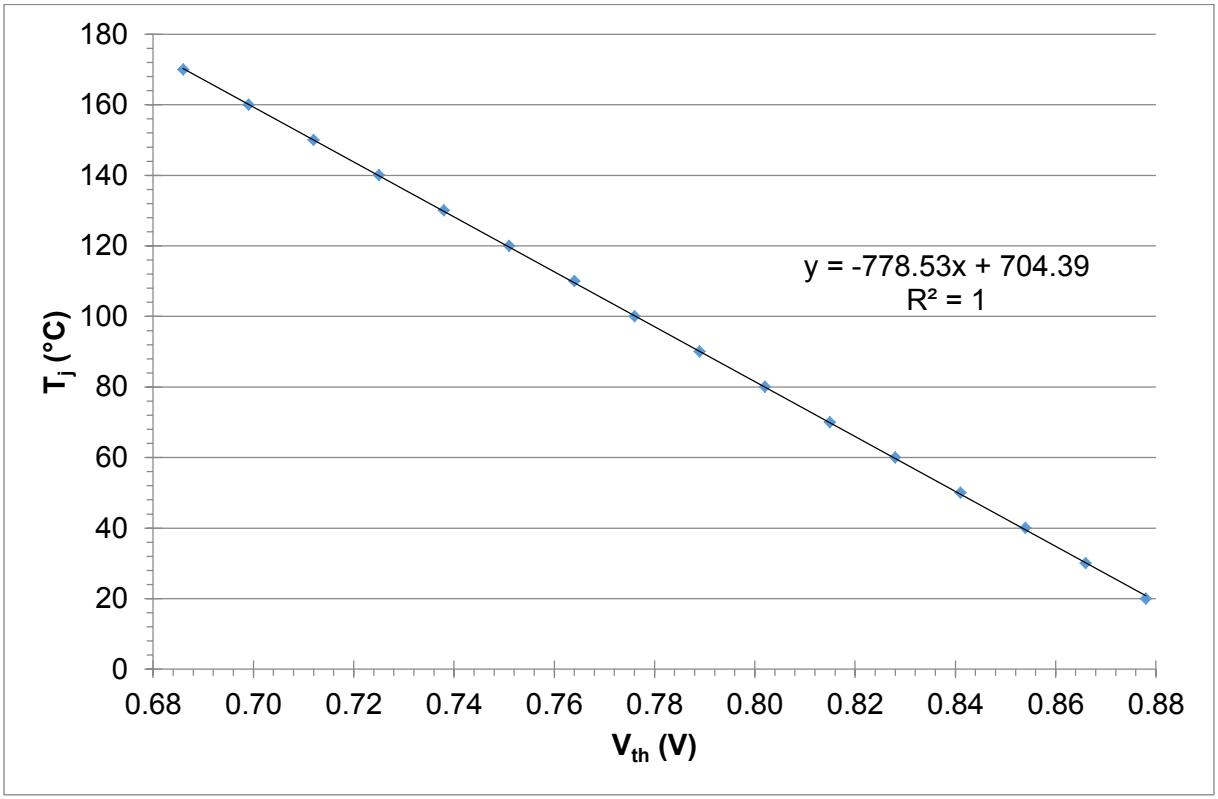


Figure 47 : Courbe d'étalonnage du de l'échantillon DS001-013 à 100 mA

Ensuite, la mesure du paramètre thermosensible est réalisée à l'aide de microcoupures du fort courant injecté à travers le composant (figure 48, courbe jaune). Ces microcoupures de courant correspondent au courant de faible intensité utilisé pendant l'étalonnage. Cela permet de remonter à la température au cours de l'injection du fort courant sans échauffer le composant. Cependant, la coupure doit être la plus courte possible pour éviter une redescente trop importante de la température (figure 48 - rectangle rouge et courbe violette).

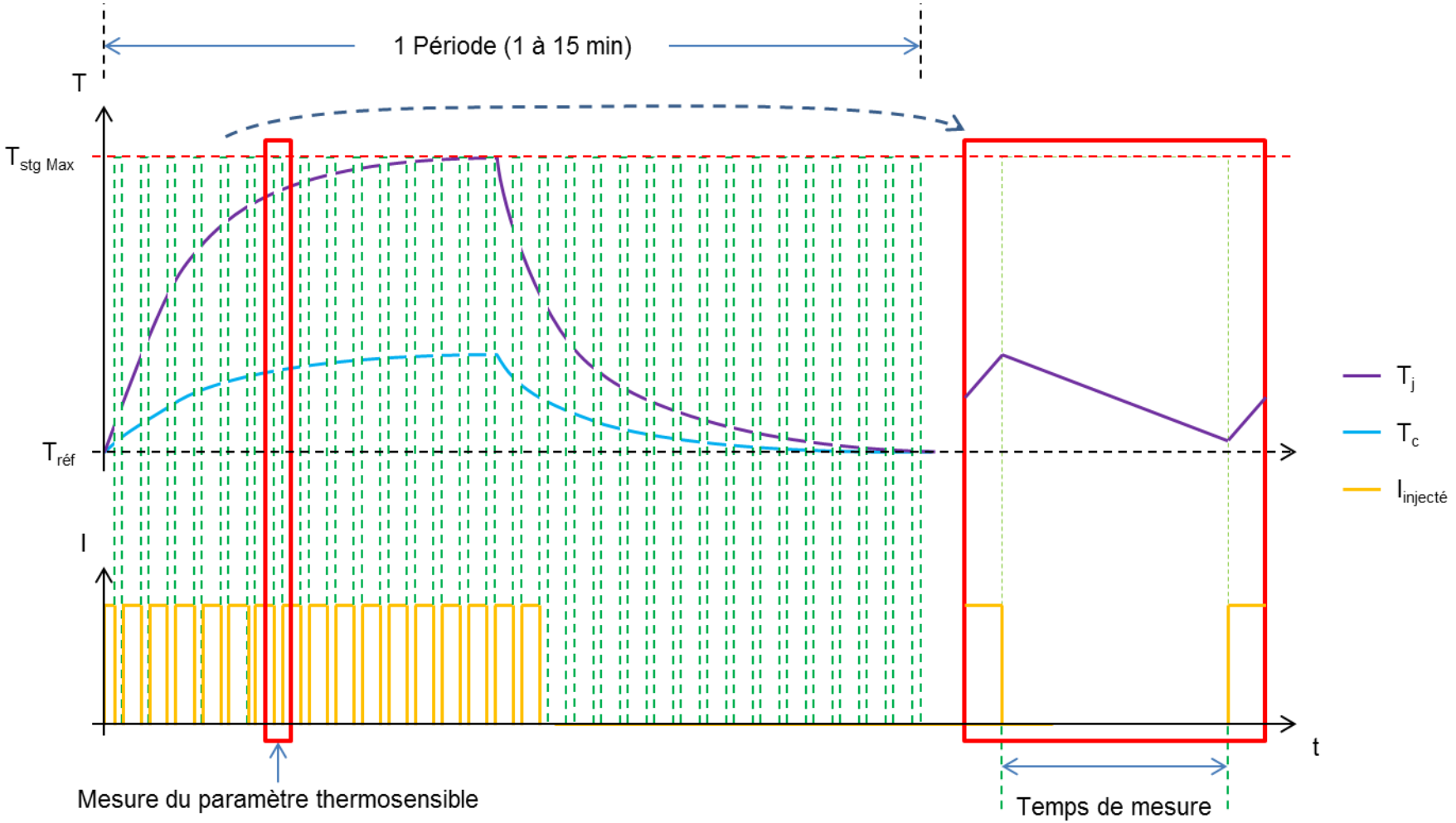


Figure 48 : Méthode de mesure d'un paramètre thermosensible

5.4.2 Série 1 des tests PC

La série 1 des tests PC est décrite par les conditions expérimentales suivantes : une $T_{j\,Max}$ de 175°C, un ΔT_j de 40°C et $T_{réf}$ de 135°C.

En regard des conditions expérimentales des autres séries, celles de la série 1 sont les moins sévères, car le niveau des contraintes thermomécaniques est directement relié au ΔT_j. Cette série a été réalisée en premier, étant celle de durée la plus longue, elle permettra ensuite de préparer une planification des différents tests.

Le tableau 28 présente le NCP (Nombre de Cycles de Puissance) subis par les échantillons des composants n°1 et n°2. Après plusieurs milliers de cycles (51 jours de test), aucune défaillance n'a été constatée sur les trois premiers échantillons testés de chaque composant. Au final, ne sachant pas la durée approximative des tests de cette série, il a été décidé d'arrêter en cours cette série de tests et de réaliser des tests avec des conditions plus sévères (séries 2 et 3). Néanmoins, des changements ont été constatés sur la forme des profils thermiques des cycles de puissance et sur l'homogénéité des échos des interfaces du substrat et de la puce en microscopie acoustique.

Composant n°1		Composant n°2	
N° échantillon	NCP	N° échantillon	NCP
01-013	73 339	02-013	73 339
01-014	57 493	02-014	73 338
01-015	73 339	02-015	73 339

Tableau 28 : Nombre de cycles de puissance subis par les échantillons des composants n°1 et n°2 de la série 1 des tests PC

5.4.2.1 Suivi électrique de la première série de tests PC

La figure 49 présente les profils thermiques typiques du premier cycle de puissance et du dernier avant l'arrêt de cette série de tests PC. Les discontinuités observées au cours du cycle sont dues à des difficultés du banc de tests à réaliser la mesure de la tension $U(N)$ (N : nombre de cycles) qui permet de remonter à la T_j et à la méthode de mesure.

Peu d'évolutions ont été constatées pour les échantillons du composant n°1 : la T_j mesurée indirectement au début des derniers cycles de puissance (111 °C) ne correspond plus à la $T_{réf}$ (135 °C). Concernant les échantillons du composant n°2, cette anomalie a également été enregistrée (123 °C) et la $T_{j\,Max}$ atteinte en fin de cycle a légèrement augmenté :

- 02-013 : de 175 à 182 °C ;
- 02-014 : de 176 à 178 °C ;

- 02-015 : de 175 à 179 °C.

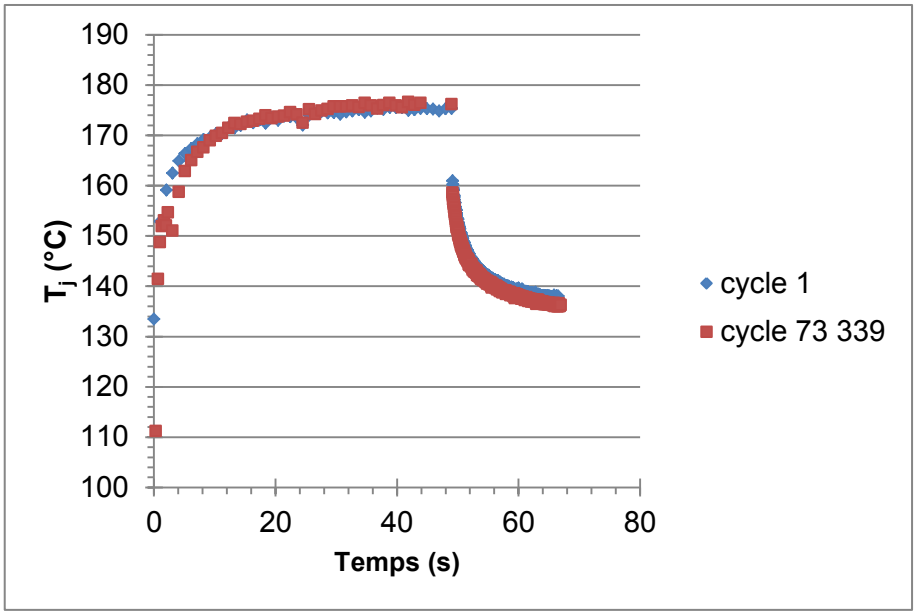
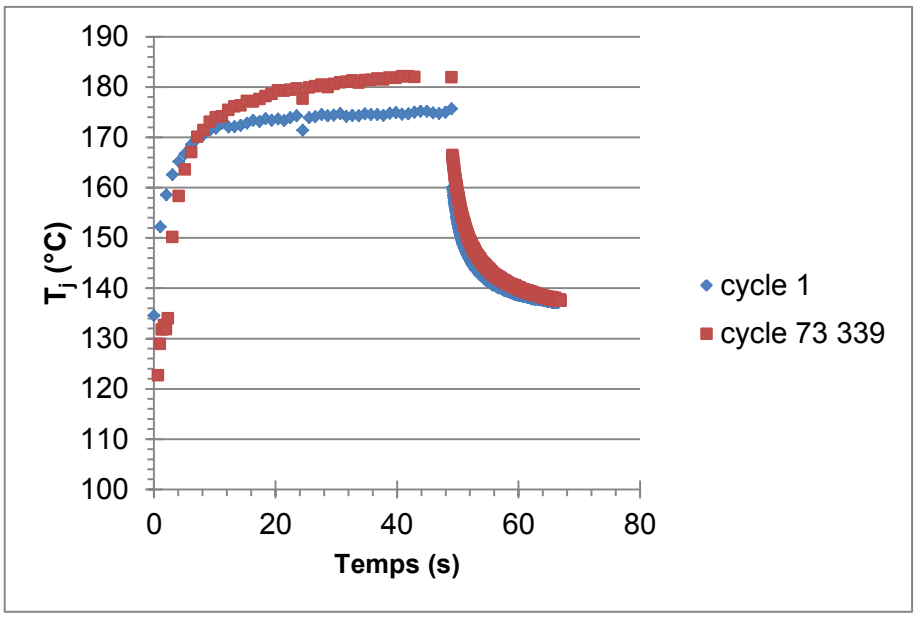
N°	Profils thermiques
01-013	
02-013	

Figure 49 : Synthèse des profils thermiques des cycles de puissance de la série 1 des tests PC

5.4.2.2 Caractérisations électriques

Les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après vieillissement sont présentés dans la figure 50.

Les changements de pente de la partie résistive sont dus à la résistance de contact des pointes de test. Le vieillissement des composants n'a pas provoqué d'altérations significatives des caractéristiques statiques des échantillons au niveau de :

- la CI : le courant de fuite est resté dans le même ordre de grandeur de 0 à 0,2 kV ;

- la CD : la tension de seuil est toujours comprise entre 0,78 et 0,8 V et la partie résistive n'a pas augmenté.

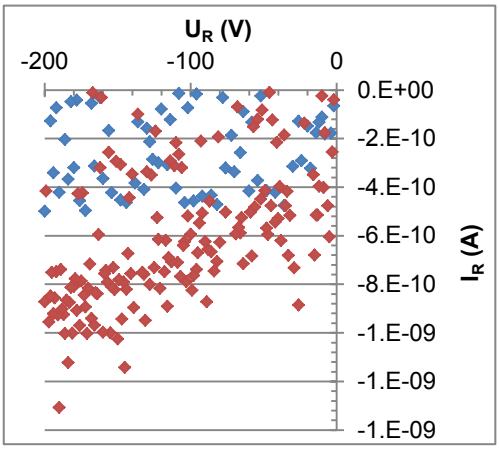
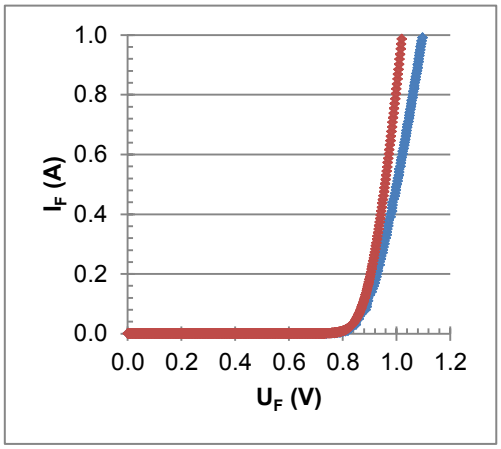
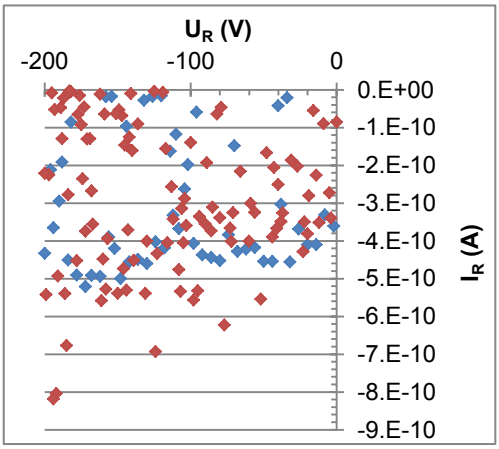
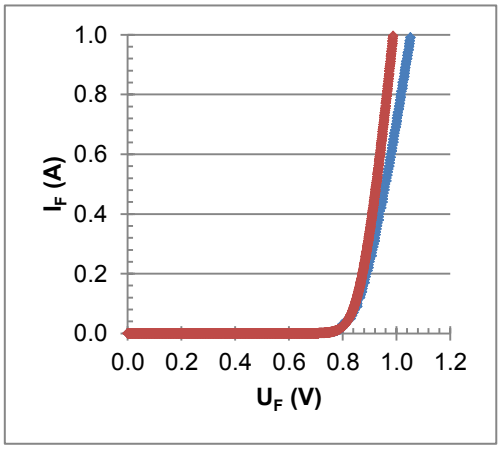
N°	CI	CD
01-013		
02-013		
Courbe bleue : avant vieillissement		**Courbe rouge : après vieillissement**

Figure 50 : CI et CD des échantillons non-défaillants de la série 1 des tests PC

5.4.2.3 Analyses SAM

La figure 51 donne une synthèse des images en microscopie acoustique des interfaces du substrat et de la puce des échantillons des composants n°1 et n°2.

Concernant le composant n°1, les interfaces du substrat présentent après vieillissement de fortes inhomogénéités au niveau de l'interface substrat / brasure (flèches bleues). Les modifications apparues à cette interface ont empêché l'analyse de l'écho des interfaces de partie supérieure de la puce (carrés verts et ellipses violettes). Ces inhomogénéités de l'intensité des échos peuvent être attribuées à des altérations physiques de l'alliage de brasure et de ses interfaces telles que l'initiation et la propagation de fissures.

Concernant le composant n°2, les interfaces substrat / brasure présentent également après vieillissement de fortes inhomogénéités (cercle rouge). Cependant, la signature de cette

inhomogénéité se localise au centre de la puce sous les fils d'interconnexion. Des changements d'intensité de l'écho des interfaces de la puce ont également été mis en évidence (flèches jaunes et bleues).

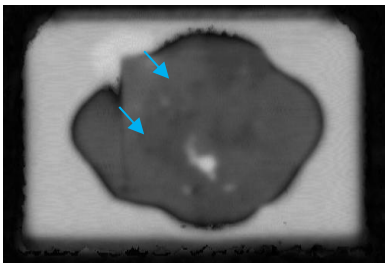
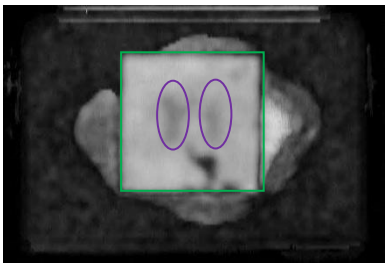
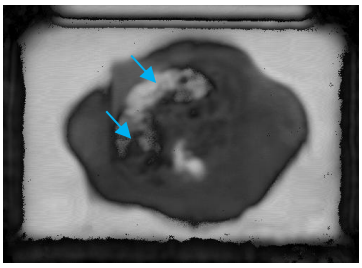
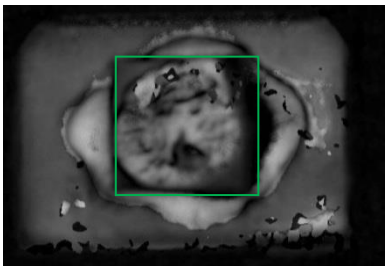
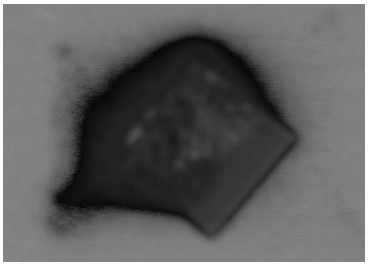
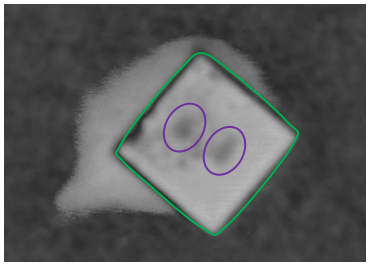
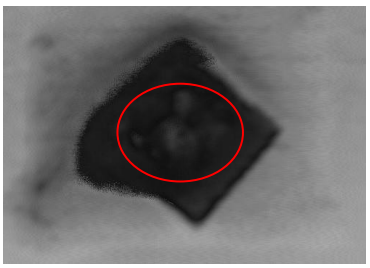
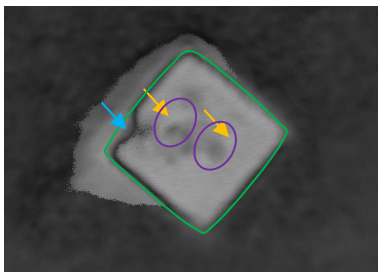
N°	NCP	Interfaces avec le substrat	Interfaces avec la puce
01-013	*0*		
	73.339		
02-013	*0*		
	73.339		

Figure 51 : Images SAM des échantillons des composants n°1 et n°2 avant et après la série 1 des tests PC

5.4.3 Série 2 des tests PC

La série 2 des tests PC est décrite par les conditions expérimentales suivantes : une $T_{j\,Max}$ de 175°C, un ΔT_j de 90°C et $T_{réf}$ de 85°C. La valeur du ΔT_j de la série 2 permet d'augmenter les contraintes thermomécaniques subis par les éléments des composants. Ces conditions plus sévères ont rapidement entrainé la défaillance des échantillons des composants n°1 et n°2. Le tableau 29 présente le NCP subis par les échantillons des composants n°1 et n°2.

Composant n°1			Composant n°2		
N° échantillon	NCP	Détails	N° échantillon	NCP	Détails
01-016	10 810	Défaillant	02-016	6 666	Défaillant
01-017	5 499	Défaillant	02-017	6 832	Défaillant
01-018	7 146	Défaillant	02-018	4 207	Défaillant
01-019	5 875	Défaillant	02-019	6 184	Défaillant
01-020	10 046	Défaillant	02-020	4 648	Défaillant
01-021	6 213	Défaillant	02-021	4 554	Défaillant
01-022	8 571	Défaillant	02-022	3 860	Défaillant
01-023	6 567	Défaillant	02-023	3 017	Défaillant
01-024	5 428	Défaillant	02-024	4 151	PR
01-025	5 920	Défaillant	02-025	3 430	PR
01-026	4 607	Défaillant	02-026	1 836	PR
-	-	-	02-027	1 013	PR

Tableau 29 : Nombre de cycles de puissance subis par les échantillons des composants n°1 et n°2 de la série 2 des tests PC (PR : Prélèvement)

5.4.3.1 Suivi électrique des tests

Au cours des tests, il a été remarqué une évolution des profils de la tension mesurée aux bornes des composants (U (N)) et de la T_j des puces en fonction du NCP. La figure 52 illustre l'évolution typique du profil de la T_j aux cours du vieillissement des échantillons des composants n°1 et n°2. L'évolution de la tension mesurée aux bornes des composants (U (N)) n'est pas présentée, car le profil de la T_j est une image de la tension mesurée (cf. 5.4.1).

A l'approche de la défaillance des échantillons, les profils ont présenté tout d'abord une augmentation de la température maximale atteinte. Ensuite, ils ont présenté des variations particulières et non reproductibles cycles après cycles qui se traduisent par une température de jonction non stabilisée à la fin de l'injection de courant. Les profils de la T_j peuvent indiquer des contacts électriques intermittents. Cela peut impliquer l'apparition et la

propagation de fissures dans des éléments physiques réalisant la conduction électrique : broche / fil d'interconnexion / puce / brasure / substrat ou broche (/ : interface entre éléments). Les interfaces peuvent également être impactées. Néanmoins, au cours du vieillissement, il a été constaté que la vitesse de refroidissement augmentait. Cette augmentation indique que la mesure de la température de jonction des diodes est erronée à l'approche de la défaillance.

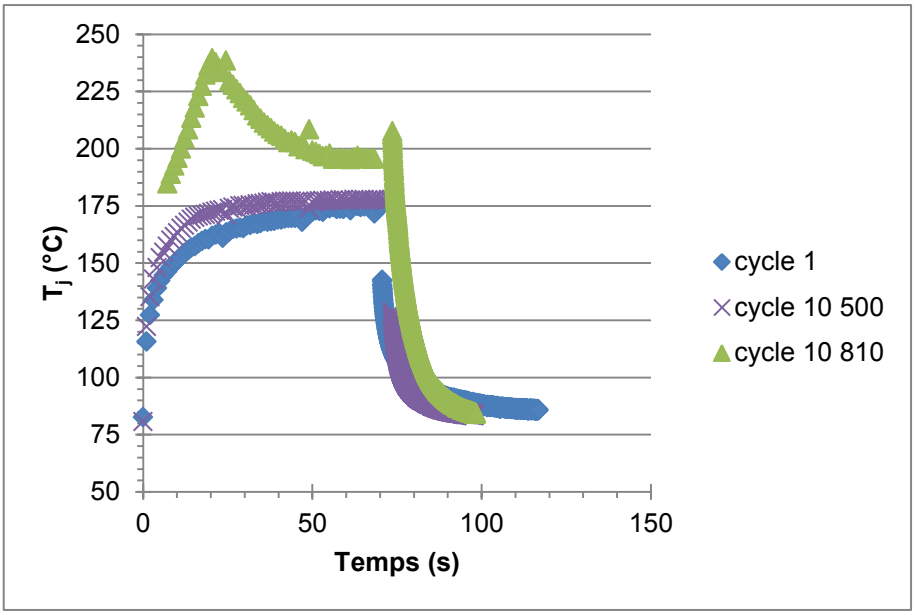
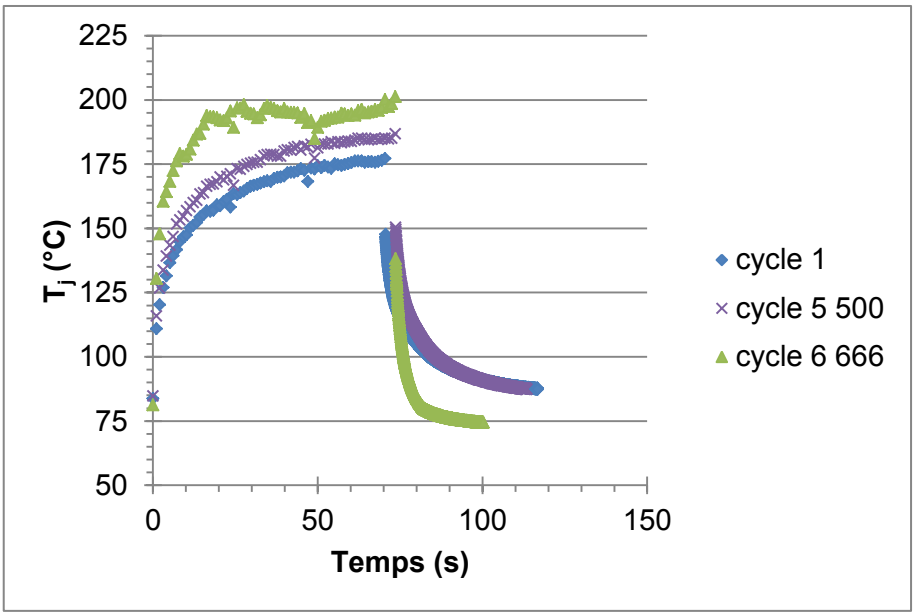
N°	Profils thermiques
01-016	
02-016	

Figure 52 : Synthèse des profils thermiques des cycles de puissance de la série 2 des tests PC

5.4.3.2 Caractérisations électriques

Les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après vieillissement sont présentés dans la figure 53.

Concernant le composant n°1, seule la CD a présenté une évolution qui se traduit par une augmentation de la partie résistive de la diode. En revanche, pour le composant n°2, il a été constaté des évolutions sur les deux caractéristiques :

- CI : les échantillons ont tous présenté une augmentation significative du courant de fuite ;
- CD : la plupart des échantillons ont présenté une augmentation légère de la partie résistive, excepté pour deux échantillons (02-017 et 02-021) qui ont présenté des discontinuités (figure 54).

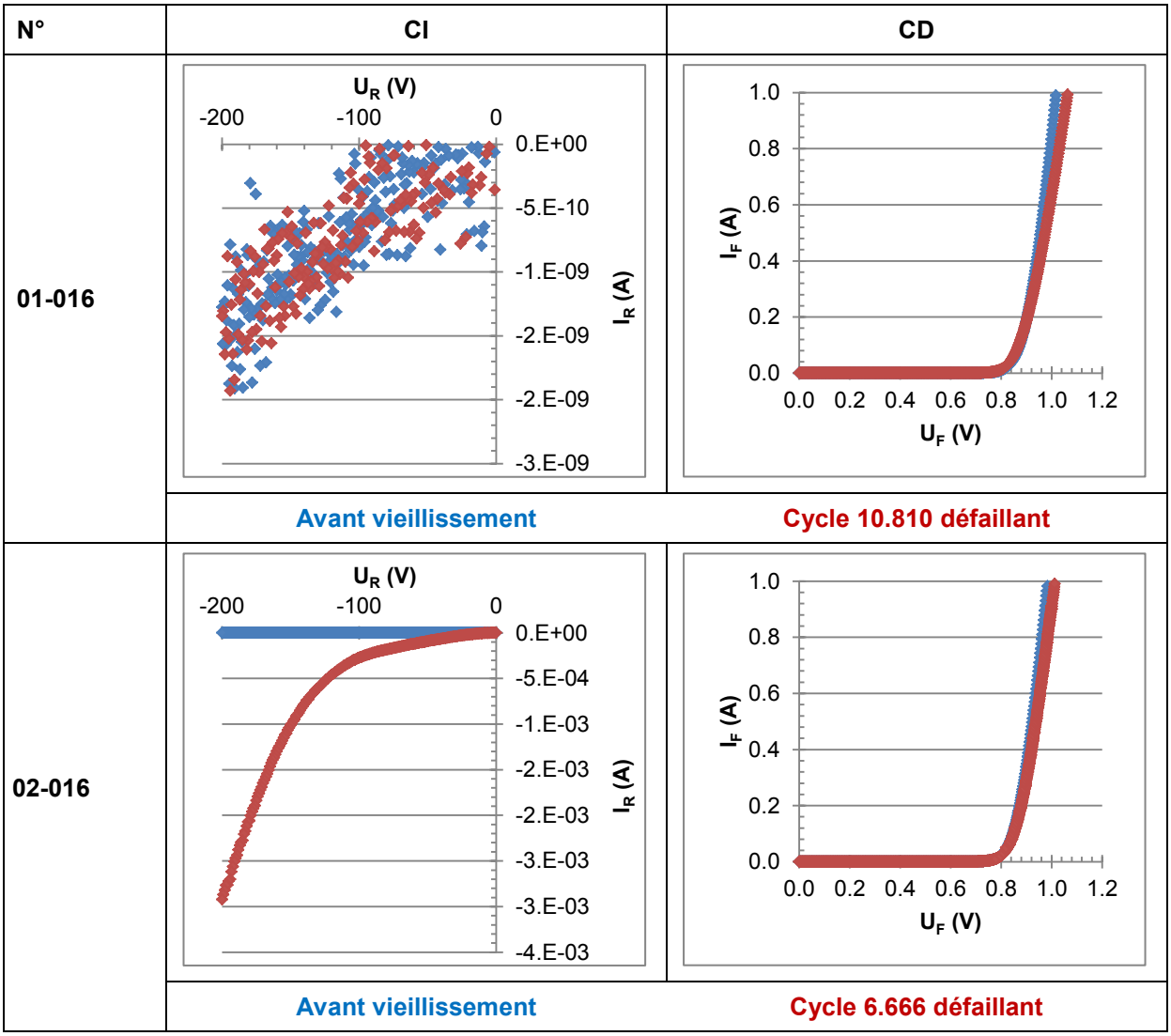


Figure 53 : CI et CD des échantillons de la série 2 des tests PC

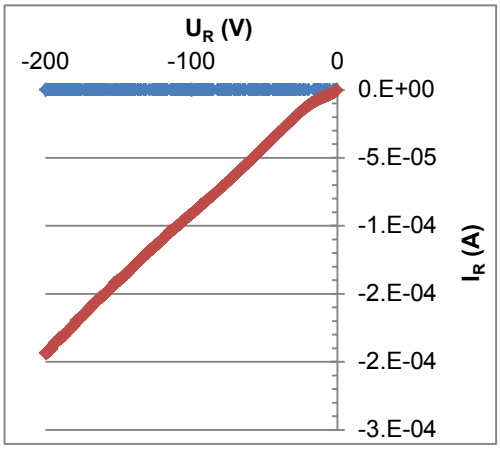
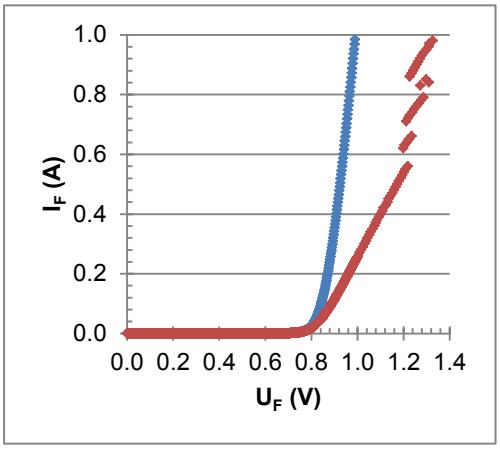
N°	CI	CD
02-021		
	Avant vieillissement	Cycle 4.555 défaillant

Figure 54 : CI et CD typiques des échantillons de la série 2 des tests PC présentant des discontinuités dans la CD

5.4.3.3 Observations optiques externes

L'aspect externe des composants a peu évolué à part l'apparition d'une tâche sombre sur la surface externe du substrat de cuivre au niveau de la position de la puce (figure 55 - formes rouges).

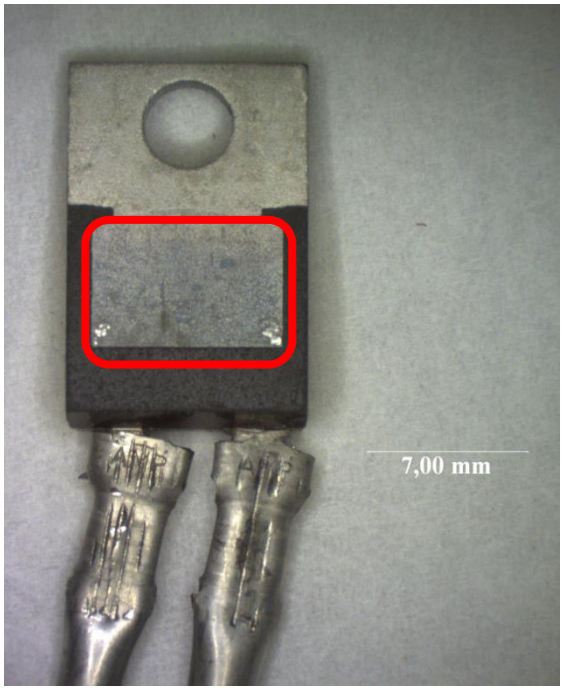
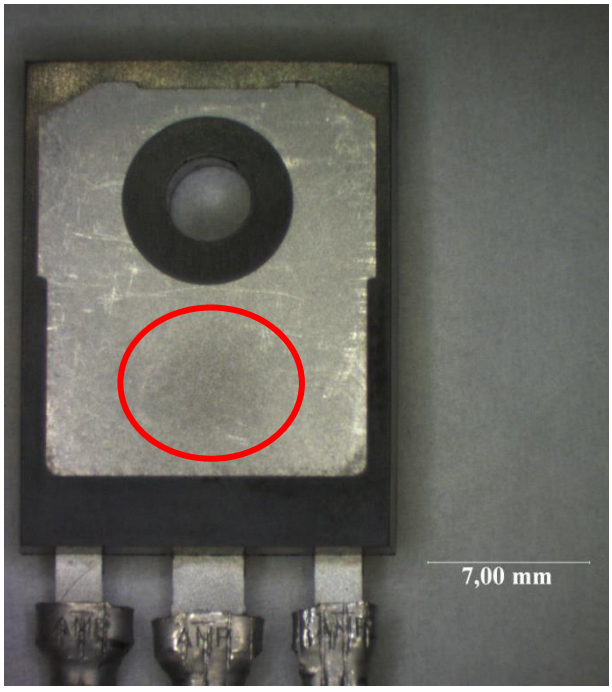
01-016	02-018
	

Figure 55 : Tâche sombre apparue sur la surface externe du substrat de cuivre au niveau de la position de la puce

5.4.3.4 Analyses SAM

La figure 56, la figure 57 et la figure 58 exposent une synthèse des images (obtenues en microscopie acoustique) des interfaces du substrat et de la puce pour les échantillons des composants n°1 et n°2.

Concernant le composant n°1, deux différents types d'évolution de l'intensité de l'écho des interfaces du substrat ont été remarqués :

- Premier type (figure 56) :
  - L'analyse de l'échogramme a montré une inversion de l'écho de l'interface substrat / brasure pouvant correspondre à un volume sans matière (flèches bleues) ;
  - Les modifications apparues à cette interface ont empêché l'analyse de l'écho des interfaces de la partie supérieure de la puce (carrés verts et ellipses violettes).

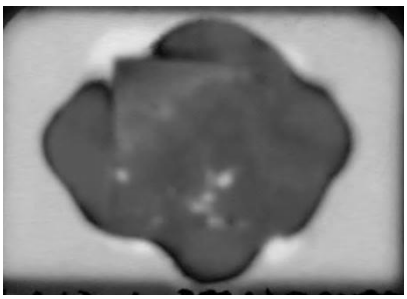
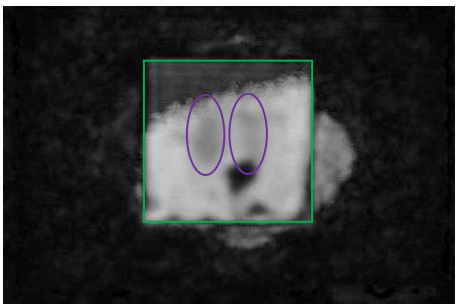
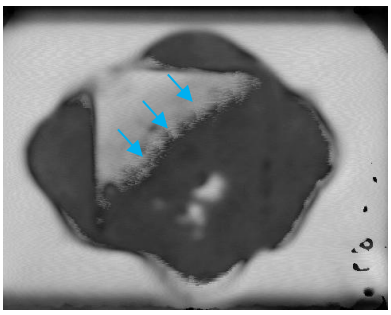
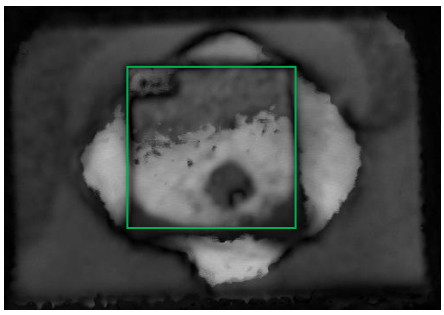
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
01-019	*Initial*		
	5.875 cycles		

Figure 56 : Images SAM typiques du 1er type d'évolution des échantillons du composant n°1 avant et après vieillissement de la série 2 des tests PC

- Deuxième type (figure 57) :
  - Des inhomogénéités d'intensité sont visibles à l'interface substrat / matériau d'encapsulation (flèches jaunes) ;
  - Une légère augmentation de la taille des zones claires correspondant à des cavités dans l'alliage de brasure ont été mis en évidence (flèches bleues),

sinon aucune autre évolution n'a été remarquée à l'interface substrat / brasure ;

- Des modifications de la brasure ou de l'interface brasure / puce ont dû survenir lors des tests, car l'analyse de l'écho des interfaces de la puce sont difficiles à interpréter (carrés verts).

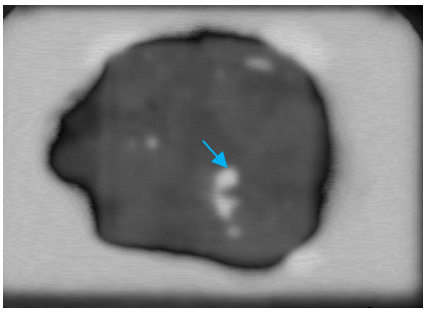
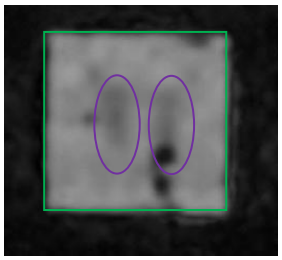
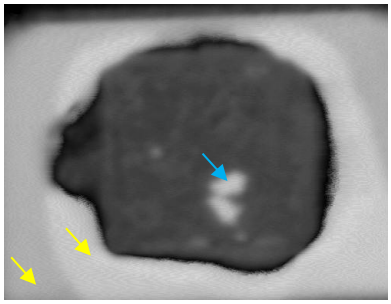
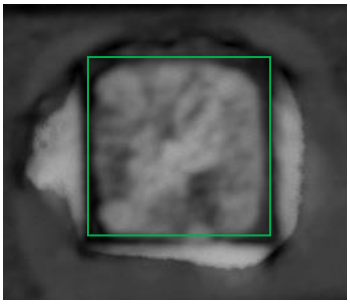
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
01-017	*Initial*		
	5.499 cycles		

Figure 57 : Images SAM typiques 2ème type d'évolution des échantillons du composant n°1 avant et après vieillissement la série 2 des tests PC

Concernant le composant n°2, plusieurs évolutions des échos des interfaces ont été décelées après vieillissement :

- Interfaces du substrat :
  - Des inhomogénéités de l'intensité du pic de l'interface substrat / matériau d'encapsulation sont survenues après vieillissement (flèches bleues) ;
  - Les zones claires de forme circulaire (flèches rouges) pouvant correspondre à des cavités ont disparu de l'interface substrat / brasure après vieillissement et une tâche claire (forme rouge) est apparue à cette interface.
- Interfaces de la puce :
  - les inhomogénéités révélées à l'interface substrat / matériau d'encapsulation sont également visibles lors du traitement des échos des interfaces de la puce (flèches bleues) ;
  - Les zones sombres de forme circulaire (flèches rouges) pouvant correspondre à des cavités dans la brasure de la puce ont disparu de la signature initiale de l'interface puce / matériau d'encapsulation après défaillance ;

- La signature sombre de l'interface puce / fils d'interconnexion a diminué (cercles violets).

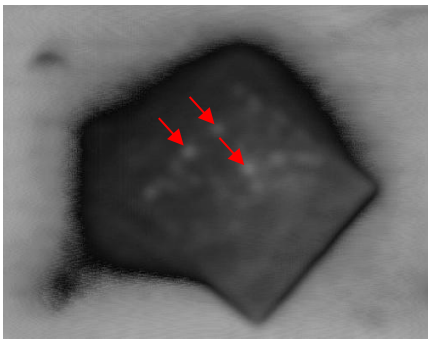
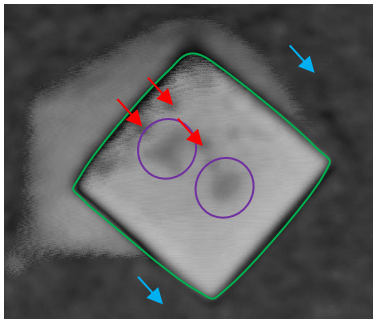
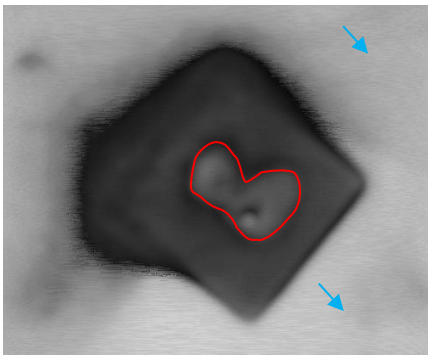
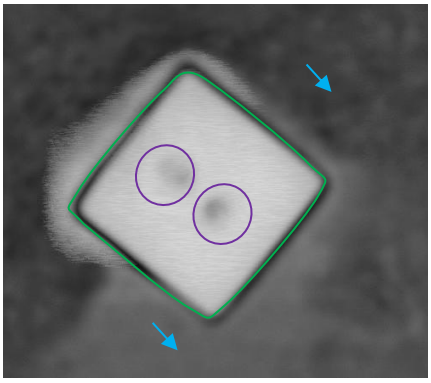
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
02-016	*Initial*		
	6.666 cycles		

Figure 58 : Images SAM typiques des échantillons du composant n°2 avant et après vieillissement

Des coupes micrographiques ont été réalisées sur des échantillons des composants n°1 et n°2 pour expliquer les évolutions constatées sur les échogrammes acoustiques après vieillissement.

5.4.3.5 Analyse de défaillance

Deux plans de coupes ont été réalisés sur les échantillons des composants n°1 et n°2 (figure 59). Ces plans permettent de contrôler les éléments les plus sensibles aux contraintes thermomécaniques. Le premier permet d'inspecter les éléments broche / fil d'interconnexion (lignes rouges) et le deuxième, les éléments fil d'interconnexion / puce / brasure / substrat (lignes bleues).

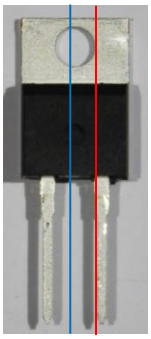
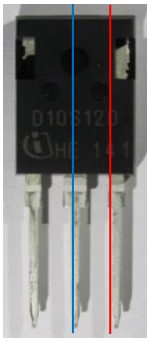
	
Composant n°1	Composant n°2

Figure 59 : Présentation des plans de coupes micrographiques des échantillons des composants n°1 et n°2

Les inspections du premier plan de coupe n'ont pas révélé la présence de défaut au niveau des éléments et interface broche / fil d'interconnexion (figure 60).

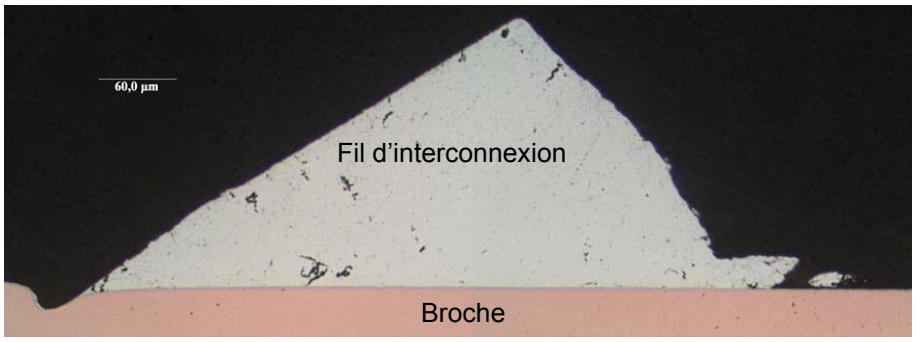
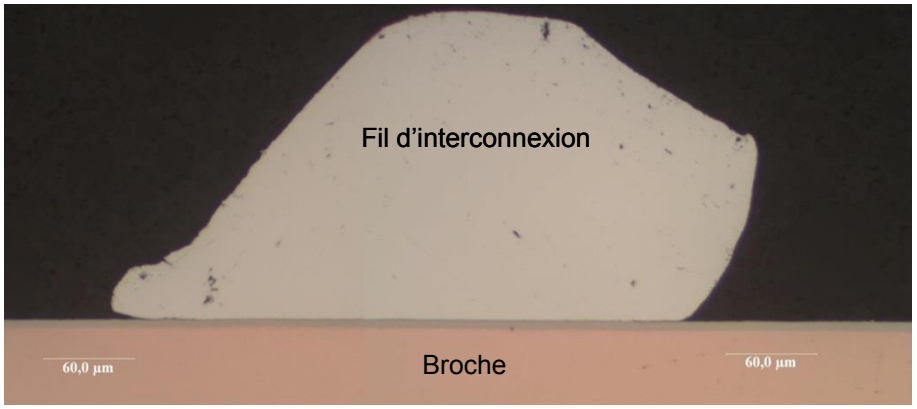
N°	Images
01-021	
02-020	

Figure 60 : Vue agrandie des éléments et interface broche / fil d'interconnexion du premier plan de coupe

En revanche, plusieurs mécanismes de vieillissement ont été mis en évidence sur le second plan de coupe :

- Pour le composant n°1, des initiations et la propagation de fissures ont été constatées dans la soudure des fils d'interconnexion avec la métallisation supérieure de la puce et dans l'alliage de brasure de report de la puce (figure 61).

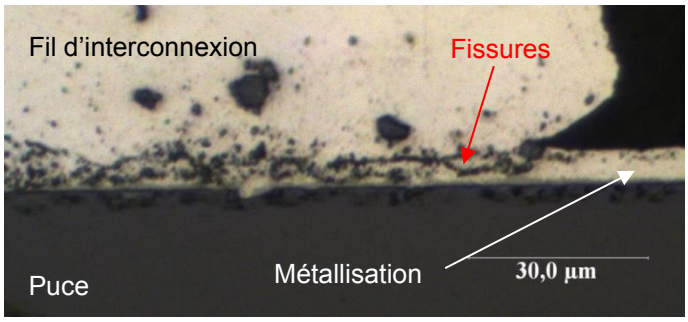
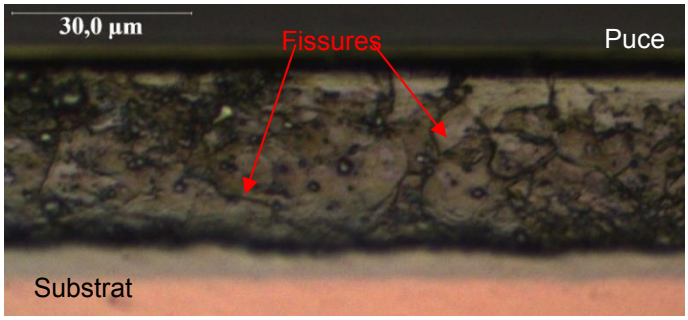
N°	Initiation et propagation de fissures au niveau de :	Images
01-021	Soudure des fils d'interconnexion avec la métallisation supérieure de la puce	
	Alliage de brasure de report de la puce	

Figure 61 : Observations des mécanismes de vieillissement identifiés sur les échantillons du composant n°1 lors de la série 2 des tests PC

- Pour le composant n°2, deux types de mécanismes ont été remarqués.

Le premier à avoir été remarqué est l'initiation et la propagation de fissures au niveau des soudures des fils d'interconnexion avec la métallisation supérieure de la puce (figure 62).

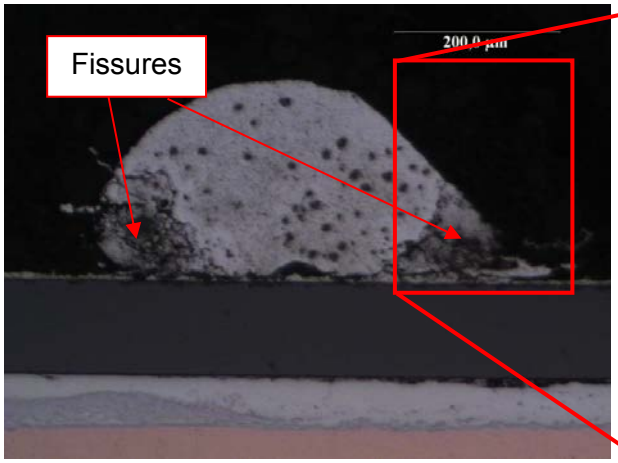
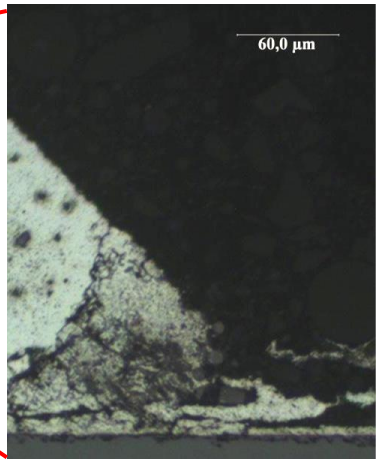
N°	Vue générale	Vue agrandie
02-021		

Figure 62 : Initiation et propagation de fissures dans la soudure des fils d'interconnexion des échantillons du composant n°2 lors de la série 2 des tests PC

Le second est une modification de la microstructure de l'alliage (SnAgSb) de brasure de la puce des échantillons du composant n°1. Cette modification est souvent accompagnée d'une cavité. Ces deux évolutions de la brasure sont localisées sous les soudures des fils

d’interconnexion (figure 63 - ellipse rouge). Les inhomogénéités de l’intensité de l’écho de l’interface substrat / brasure correspondent à cette modification microstructurale de l’alliage de brasure.

Les modifications microstructurales et la corrélation avec les analyses SAM sont détaillées dans la figure 64. La microstructure de l’alliage de brasure sur les bords de la puce est similaire à celle étudiée à l’état initial (cf. 5.1.3.4 - figure 39). En revanche, la modification de la microstructure présente une forme de type parabolique. Le sommet de cette forme parabolique se situe dans l'axe transverse de la soudure du fil d'interconnexion avec la puce.

Dans cette forme parabolique, les composés intermétalliques et la barrière de diffusion semblent avoir disparu de l’interface de la puce et du volume de la brasure. Ces observations indiquent que le changement microstructural est régi par un paramètre dont la valeur décroit en s'éloignant des axes transverses aux soudures des fils d'interconnexion avec la puce.

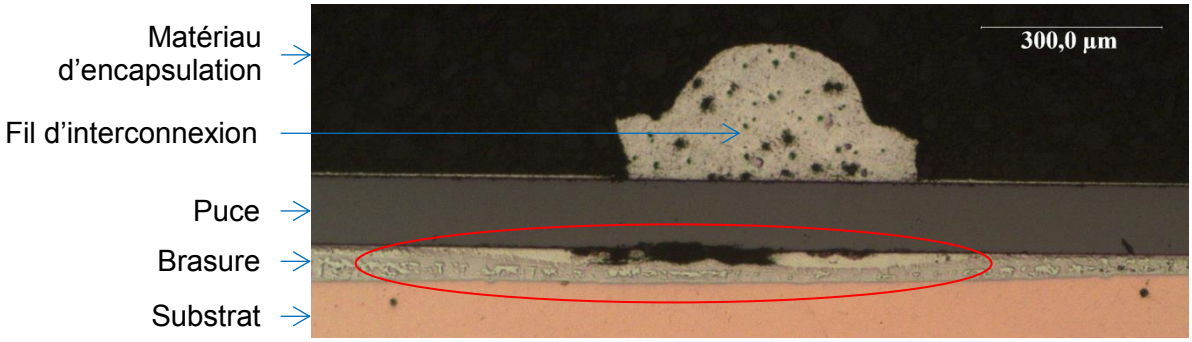
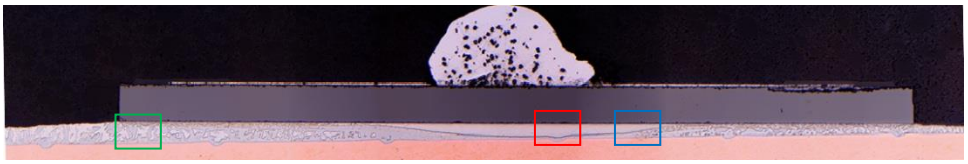
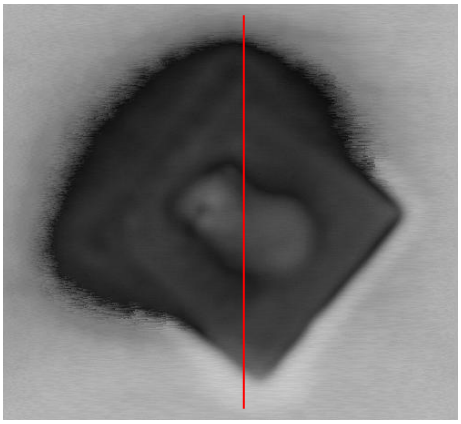
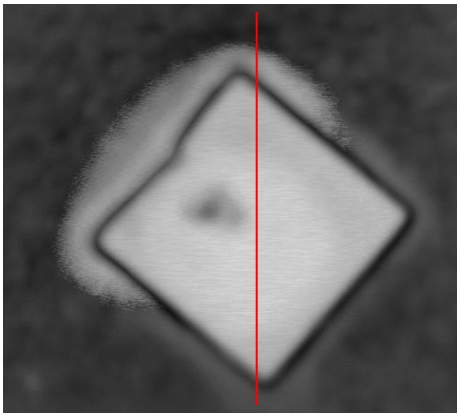


Figure 63 : Evolutions de la brasure sont localisées sous les soudures des fils d’interconnexion (02-017)

<table>
<tr><th>Instants</th><th>Vue générale du plan de coupe au niveau de la puce</th></tr>
<tr><td rowspan="5">3 860 cycles
Après défaillance
(02-022)</td><td colspan="2"></td></tr>
<tr><td>Interfaces du substrat</td><td>Interface de la puce</td></tr>
<tr><td></td><td></td></tr>
<tr><td colspan="2">Vues agrandies de la brasure de la puce</td></tr>
<tr><td>Rectangle vert

Microstructure similaire à l’état initial au bord de la puce</td><td></td></tr>
<tr><td>Rectangle rouge

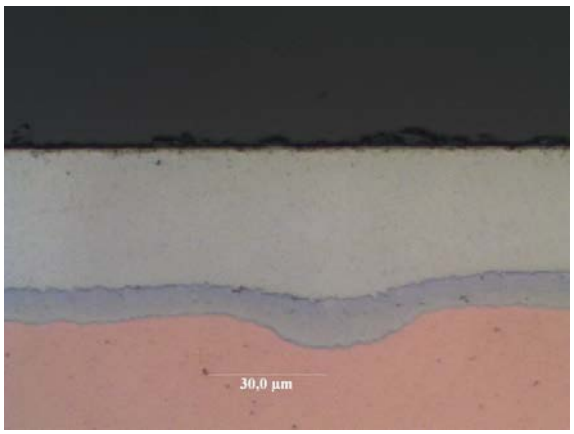
Absence d’IMC dans le volume de la brasure</td><td>
</td></tr>
</table>

Figure 64 : Correspondance des analyses SAM avec les observations des coupes micrographiques - Echantillons 02-022

Une synthèse des analyses EDX et des cartographies des éléments chimiques sont données dans la figure 65. Après vieillissement, la matrice (Sn, Sb) correspond à la phase de forme parabolique. La barrière de diffusion en nickel a été dissoute dans l'IMC $Cu_6(Sn,Sb)_5$ de l'interface brasure / puce. Cette nouvelle phase ou IMC a diffusé en direction du substrat et forme une enveloppe à la parabole. Les IMCs $Ag_3(Sn,Sb)$ ont coalescé en formant une deuxième enveloppe à la parabole.

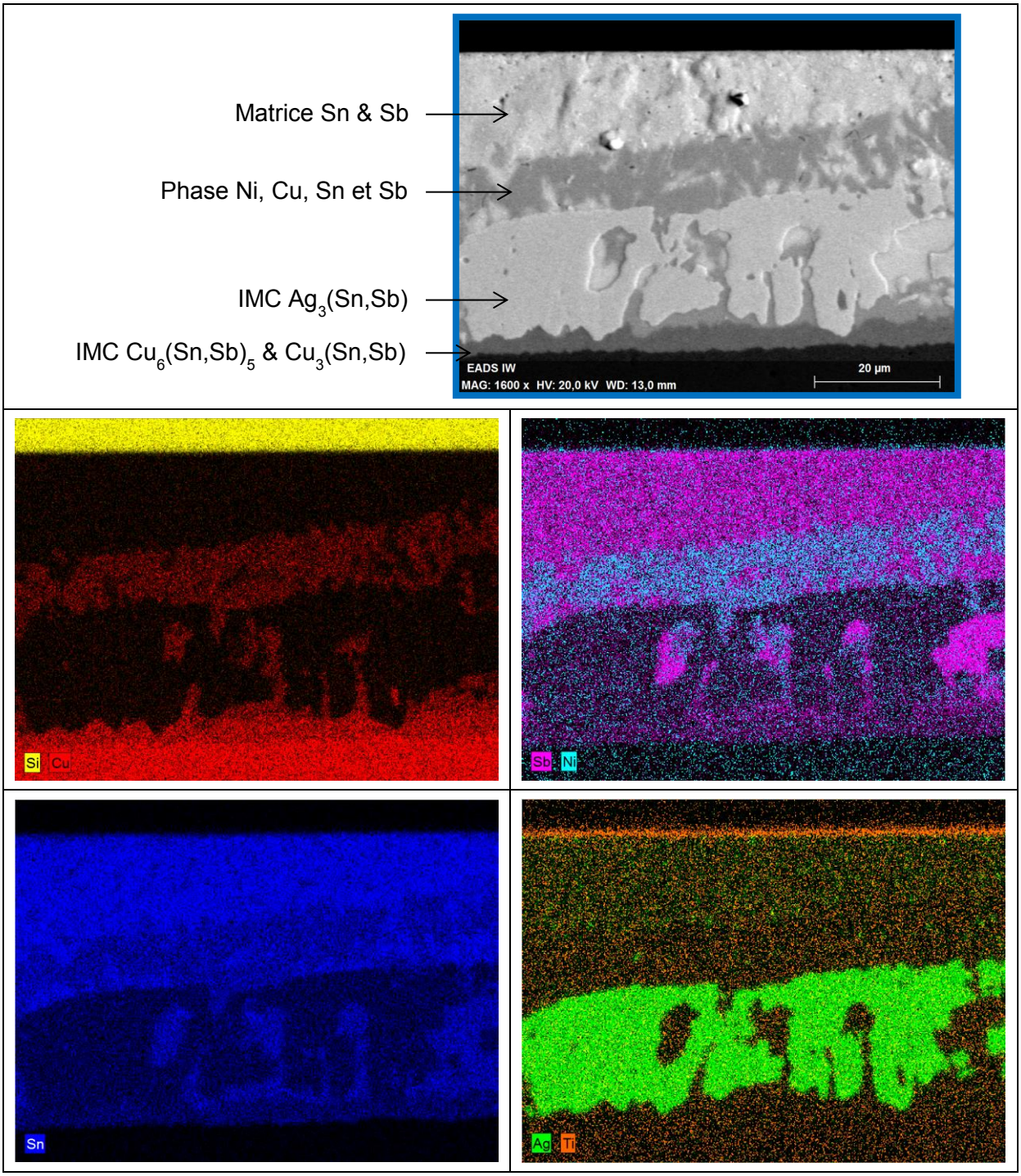


Figure 65 : Synthèse des analyses EDX et cartographie des éléments chimiques (figure 64 - rectangle bleu)

Les phénomènes d'électromigration et de thermomigration ont été suspectés comme les causes de ces changements microstructuraux, car ils peuvent participer à la défaillance des composants électroniques de puissance. Ils apparaissent respectivement en présence d'une forte densité de courant ($j > 10^6$ A.cm^{-2}) et de fort gradient de température. Ces phénomènes peuvent être en compétition [ABD2009].

L'électromigration est la diffusion d'atomes sous l'effet d'un courant électrique. Il a été régulièrement observé dans les conducteurs de petites tailles des circuits intégrés. Deux forces motrices dirigent ce phénomène :

- Les atomes sont considérés comme des ions métalliques de charges positives. Ils subissent la force du champ électrique nommée force électrostatique (E_{Ch}) ;

- Les électrons transmettent leur quantité de mouvement aux atomes lors des collisions. Cette force est surnommée « vent électronique » ou force de friction (F).

La force électrostatique est considérée comme négligeable face à celle du vent électronique. La figure 66 illustre les forces motrices de l'électromigration.

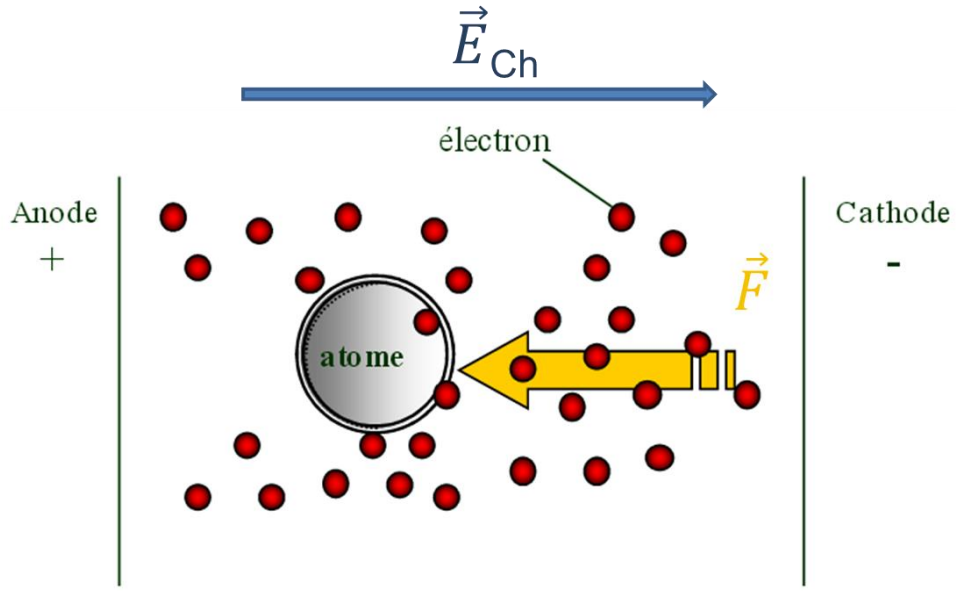


Figure 66 : Forces motrices de l'électromigration [DOY2009]

Ce phénomène a été écarté en tant que la cause du changement microstructural, car la densité de courant dans les échantillons des composants n°1 et n°2 était insuffisante (maximum 10^3 A.cm^{-2}) pour activer ce phénomène. De plus, la diffusion de matière est dans le sens contraire de celui du vent électronique.

La thermomigration est la diffusion d'atomes sous l'effet d'un gradient thermique et il est essentiellement dépendant de ce gradient, de la température et de la nature des matériaux. Par conséquent, les changements microstructuraux localisés sont dus à une répartition inhomogène de la température et du gradient thermique par rapport à l'axe perpendiculaire de la surface de la puce.

Des simulations électrothermiques par éléments finis ont été réalisées à l'aide d'un modèle physique basé sur les dimensions d'un boîtier de type TO-220 (figure 67) pour vérifier cette répartition inhomogène. Les conditions aux limites imposées à ce modèle sont une température de 85 °C sur la surface de la partie inférieure du substrat (flèches vertes) et un potentiel zéro à l'extrémité de la broche signalée par une flèche orange. Ce modèle reste approximatif. En réalité, la température de la surface de la partie inférieure du substrat est supérieure à 85 °C à cause de la résistance thermique de l'interface avec le dissipateur thermique.

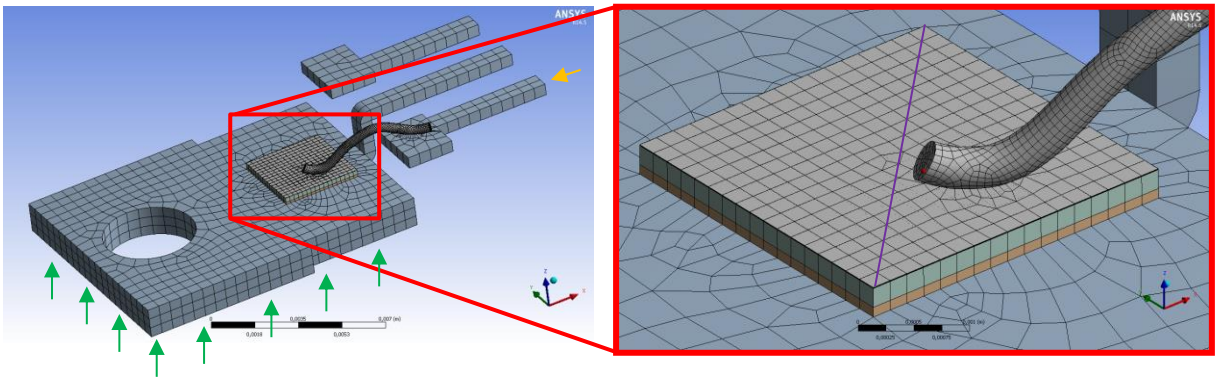


Figure 67 : Modèle physique utilisé pour les simulations électrothermiques

La répartition de la température a été étudiée à travers les volumes du modèle physique. Des inhomogénéités de la répartition ont été identifiées dans l'empilement de la dissipation thermique : puce / brasure / substrat.

La figure 68 synthétise les inhomogénéités de cet empilement selon la diagonale de la puce (figure 67 - ligne violette). Ces répartitions inhomogènes sont présentées sur trois niveaux et révèlent un delta de température assez important entre les bords et le centre de la puce :

- jonction de la puce (j) - ΔTj = 13,7 °C ;
- interface puce / brasure (p/b) - ΔT p/b = 15,2 °C ;
- interface (b/s) – ΔT b/s = 31,3 °C.

La forme des répartitions de la température dans la diagonale de la puce a une forme relativement proche d'une parabole.

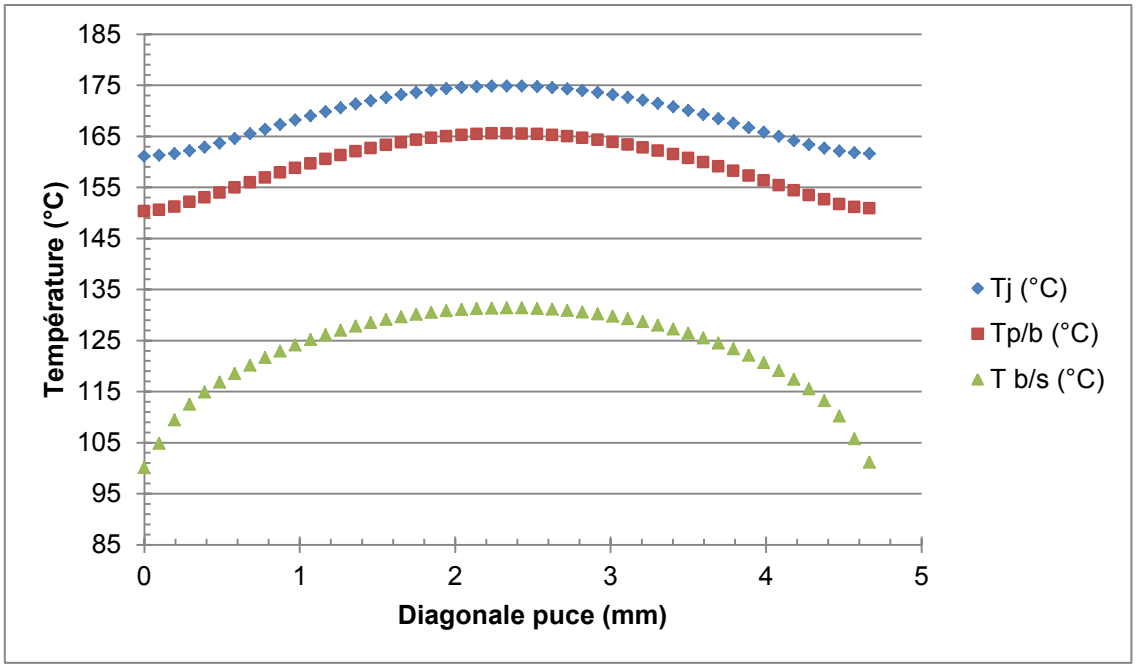


Figure 68 : Etude de la répartition de la température aux niveaux des interfaces de l'empilement de la dissipation thermique

A la suite des simulations thermoélectriques, trois indicateurs peuvent confirmer le phénomène de thermomigration comme la cause des changements microstructuraux de l'alliage SnAgSb (figure 69) [ABD2009] :

- diffusion des atomes de l'anode (point chaud) vers la cathode (point froid) : flèche bleue ;
- vitesse de diffusion proportionnelle à la température et au gradient de température (flèche rouge) ;
- formation de cavités à proximité de l'anode (ellipse rouge).

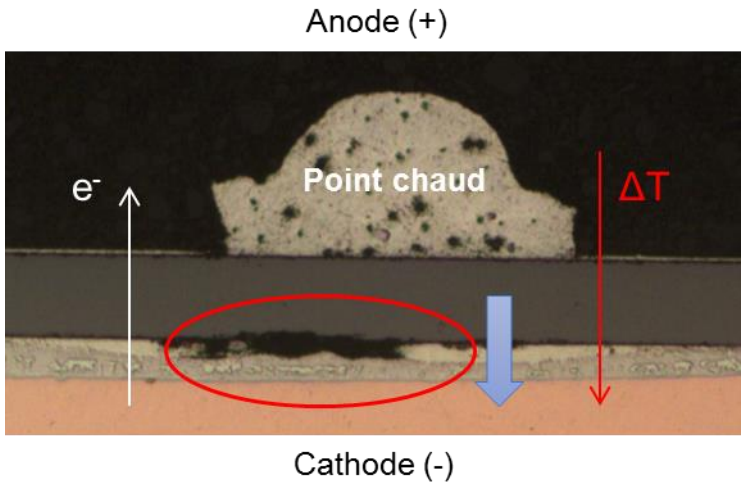


Figure 69 : Indicateurs du phénomène de thermomigration

5.4.4 Série 3 des tests PC

La série 3 des tests PC est décrite par les conditions expérimentales suivantes : une $T_{j\,Max}$ de 110°C, un ΔT_j de 90°C et $T_{réf}$ de 20°C. La valeur plus basse de la $T_{j\,Max}$ de la série 3 permet de déterminer si le mécanisme de défaillance observé pour la série 2 est activé en température.

Le tableau 30 présente le NCP subi par les échantillons des composants n°2. Seulement 12 échantillons du composant n°2 ont pu être soumis à ces conditions de tests, car ces tests ont été réalisés à la fin du doctorat.

Pour un ΔT_j identique entre les séries 2 et 3, les échantillons de la série 3 ont présenté un nombre de cycles à défaillance plus élevé que ceux de la série 2. Le nombre de cycles à défaillance de la série 2 était compris entre 3 017 et 6 832 cycles (cf. 5.4.3 - tableau 29) et pour la série 3, entre 6 156 et 12 904 cycles.

Un cas d'espèce est apparu lors de cette dernière série. L'échantillon 02-070 a présenté un nombre de cycles à défaillance quatre fois plus grand (43 242 cycles) que l'échantillon 02-069 (12 904 cycles) qui a présenté le deuxième nombre de cycles à défaillance le plus élevé.

Composant n°2		
N° échantillon	**NCP**	**Détails**
02-064	8 169	Défaillant
02-065	8 087	Défaillant
02-066	9 640	Défaillant
02-067	10 506	Défaillant
02-068	9 849	Défaillant
02-069	12 904	Défaillant
02-070	43 242	Défaillant
02-071	11 900	Défaillant
02-072	8 053	Défaillant
02-073	6 156	PR
02-074	10 542	Défaillant
02-075	11 164	Défaillant

Tableau 30 : Nombre de cycles à défaillance des échantillons des composants n°1 et n°2 de la troisième série de tests PC

5.4.4.1 Suivi électrique de la troisième série de tests PC

La figure 70 et la figure 71 présentent les deux types d'évolutions des profils thermiques typiques du premier cycle de puissance et du cycle de la défaillance de la série 3 des tests PC.

Pour le premier type, la température du profil du dernier cycle de certains échantillons pouvait atteindre des températures très élevées pouvant aller jusqu'à 206 °C. Ce premier type d'évolution a été identifié sur les échantillons 02-064 à 02-068.

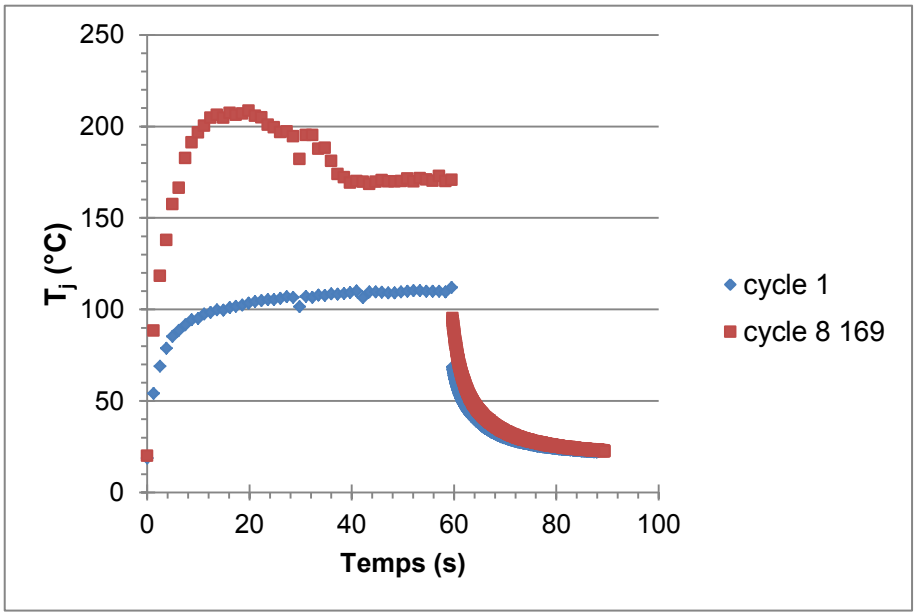
N°	Evolution des profils thermiques
02-064	

Figure 70 : Profils thermiques typiques du premier type d'évolution des cycles de puissance de la série 3 des tests PC

Après ce premier groupe d'échantillons défaillants, il a été remarqué que le programme d'automatisation du banc avait des difficultés à détecter l'atteinte des critères de défaillance sur les paramètres contrôlés pour les diodes (4.1.2.5 - tableau 19) :

- $U(N) > 1{,}2.U(N_0)$;
- $R_{th}(N) > 1{,}2.R_{th}(N_0)$.

Le programme a été amélioré. Ensuite, il a permis de détecter correctement l'atteinte des critères de défaillance des échantillons suivants 02-069 à 02-075. Le deuxième type d'évolution des profils thermiques présente une forme similaire à celui du premier type. Néanmoins, les températures maximales atteintes (125 °C) lors du cycle de la défaillance sont relativement proches de la $T_{j\,Max}$ du premier cycle (110 °C).

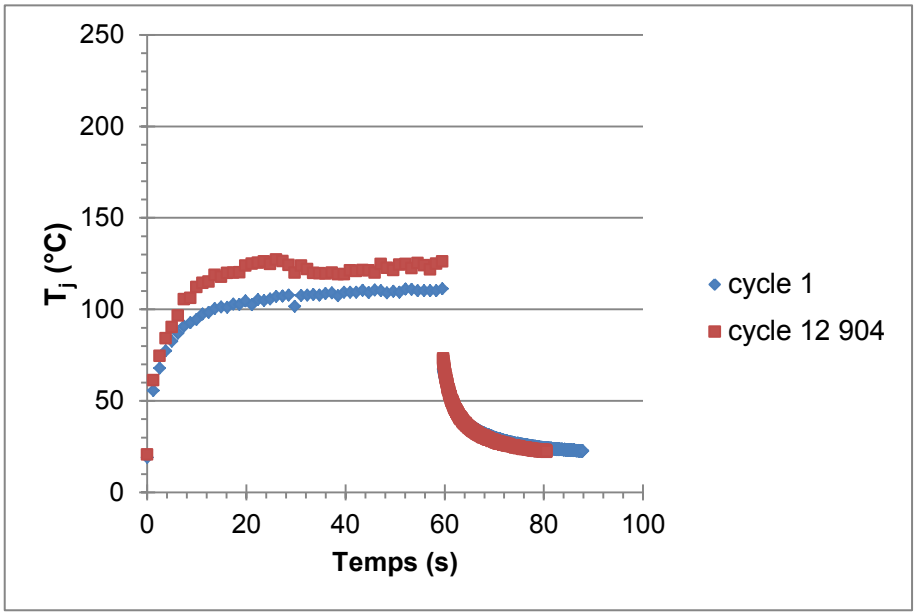
N°	Evolution des profils thermiques
02-069	

Figure 71 : Profils thermiques typiques du deuxième type d'évolution des cycles de puissance de la série 3 des tests PC

5.4.4.2 Caractérisations électriques

Les caractéristiques électriques typiques des échantillons des composants n°1 et n°2 avant et après vieillissement sont présentés dans la figure 72.

Deux descriptions des caractéristiques électriques sont possibles en fonction des types d'évolution des profils thermiques :

- Type d'évolution n°1 :
  - **CI :** Les échantillons ne bloquent plus aussi bien le courant en polarisation inverse après défaillance. Le courant de fuite a augmenté de quelques nA à 57 µA sous 0,2 kV ;
  - **CD :** Ce n'est plus le comportement d'une diode. Les échantillons ne laissent plus passer le courant en polarisation directe
- Type d'évolution n°2 : Aucune modification n'a été remarquée sur les deux caractéristiques avant vieillissement et après défaillance excepté une très légère augmentation de la partie résistive.

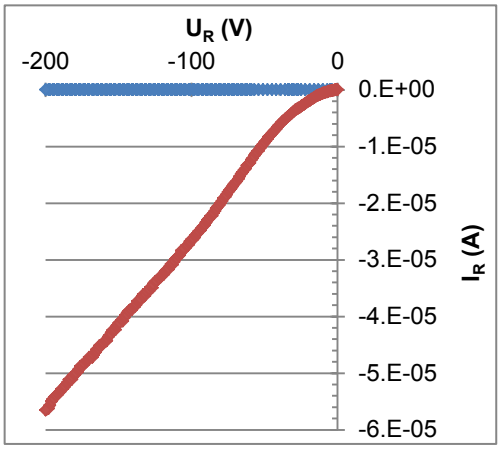
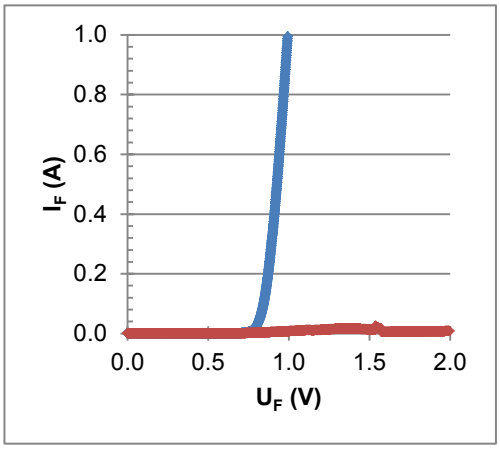
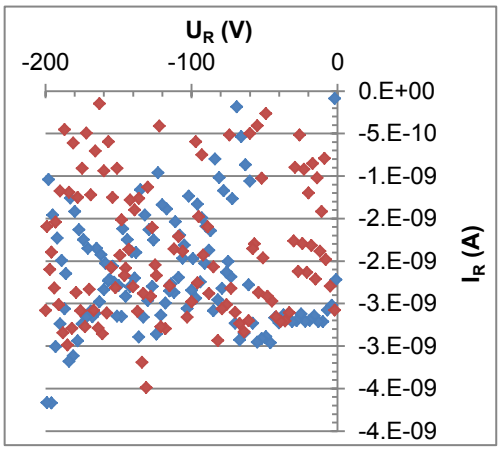
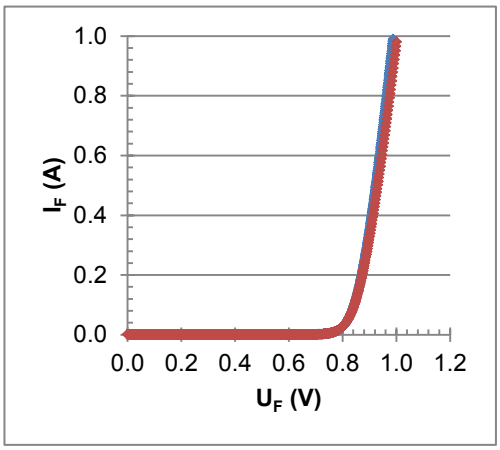
TE	N°	CI	CD
1	*01-064*		
		Avant vieillissement	**Cycle 8.169 défaillant**
2	*02-069*		
		Avant vieillissement	**Cycle 12.904 défaillant**

Figure 72 : CI et CD des échantillons du composant n°2 de la série 3 des tests PC

5.4.4.3 Observations optiques externes

Aucune modification de l'aspect externe n'a été constatée (figure 73). Dans cette série de tests, l'aspect externe n'est pas impacté par les contraintes thermoélectriques et électro-thermo-mécaniques.

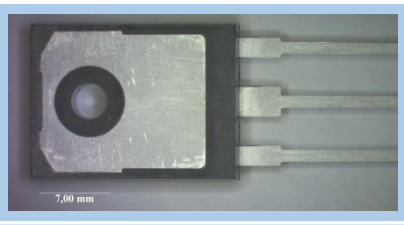
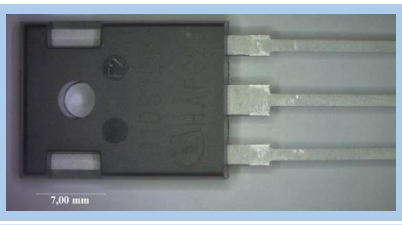
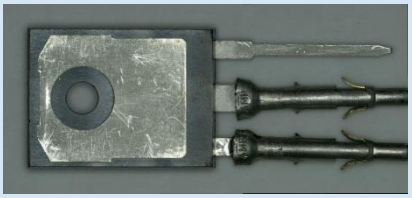
N°	Instants	Face arrière	Face avant
02-064	*Initial*		
	1000 cycles		

Figure 73 : Observations optiques externes des échantillons du composant n°2 dédiés aux tests RCT

5.4.4.4 Analyses SAM

La figure 74 présente une synthèse des images (obtenues en microscopie acoustique) des interfaces du substrat et de la puce des échantillons des composants n°2 selon le type d'évolution des profils thermiques au cours de la série 3 des tests PC.

Concernant le premier type d'évolution (élévation importante de la $T_{j\,Max}$), les observations suivantes peuvent être faites :

- Interfaces du substrat :
  - Des inhomogénéités de l'intensité du pic de l'interface substrat / matériau d'encapsulation sont survenues après vieillissement (flèches bleues) ;
  - Les zones claires de forme circulaire (flèches rouges) pouvant correspondre à des cavités ont disparu de l'interface substrat / brasure après vieillissement et deux inhomogénéités de forme circulaire (cercles rouges) sont apparues à cette interface.
- Interfaces de la puce :
  - les inhomogénéités révélées à l'interface substrat / matériau d'encapsulation sont également visibles lors du traitement des échos des interfaces de la puce (flèches bleues) ;
  - Les zones sombres de forme circulaire (flèches rouges) pouvant correspondre à des cavités dans la brasure de la puce ont disparu de la signature initiale de l'interface puce / matériau d'encapsulation après vieillissement ;
  - La signature sombre de l'interface puce / fils d'interconnexion a quasiment disparu (cercles violets) après défaillance des échantillons.

Concernant le deuxième type d'évolution (faible élévation de la $T_{j\,Max}$), aucune évolution de l'intensité des échos des interfaces du substrat n'a été remarquée entre les analyses SAM

avant les tests et après défaillance. En revanche, ce n'est pas le cas pour les interfaces supérieures de la puce. L'intensité de la signature de l'interface puce / fils d'interconnexion a est devenue plus importante (cercles violets) que celle de l'interface puce / matériau d'encapsulation (flèche verte) après défaillance des échantillons.

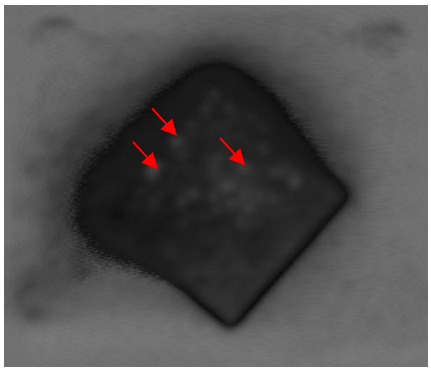
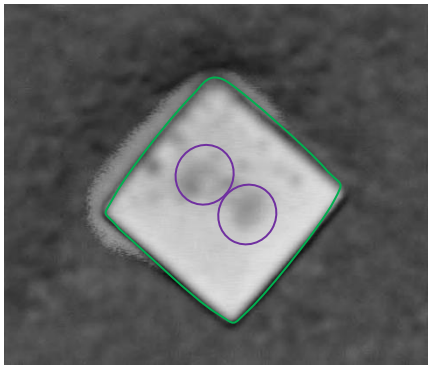
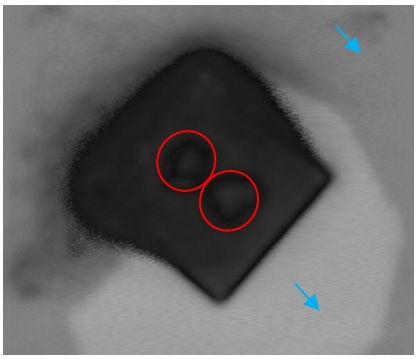
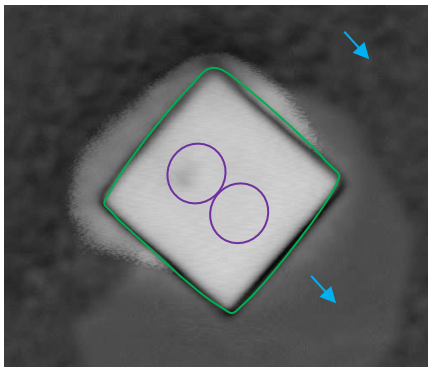
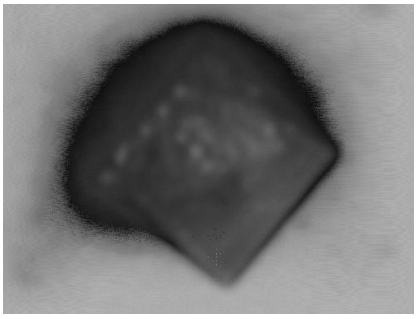
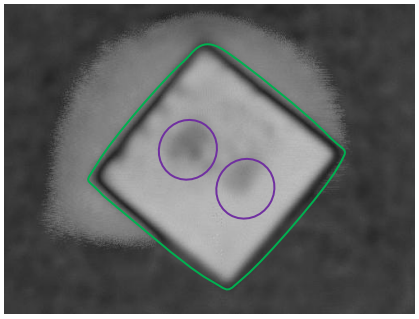
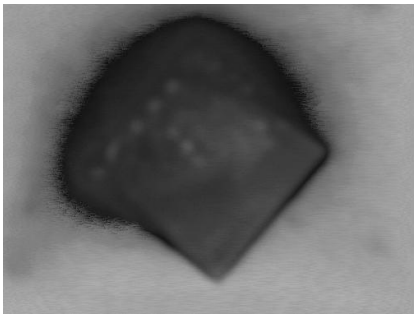
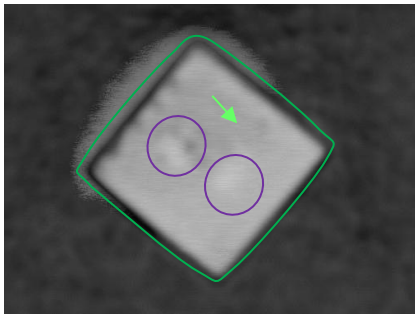
Echantillon		Interfaces avec le substrat	Interfaces avec la puce
02-064	*Initial*		
	8.169 cycles (élévation importante de la $T_{j\,Max}$)		
02-069	*Initial*		
	12.904 cycles (faible élévation de la $T_{j\,Max}$)		

Figure 74 : Images SAM typiques de deux types d'évolutions des échantillons du composant n°2 avant et après la série 3 des tests PC

5.4.4.5 Analyses de défaillance

La figure 75 présente une synthèse des observations du deuxième plan de coupe (cf. 5.4.3.5 - figure 59) réalisé sur tous les échantillons de la série 3 des tests PC. Elles ont confirmé que le mécanisme de défaillance rencontré pour la totalité des échantillons de cette série est identique à celui de la série 2 des tests PC : initiation et propagation de fissures dans la soudure des fils d'interconnexion avec la métallisation supérieure de la puce. Ces observations ont également corroboré la présence des changements microstructuraux avec les analyses SAM de la première partie des échantillons (forme parabolique).

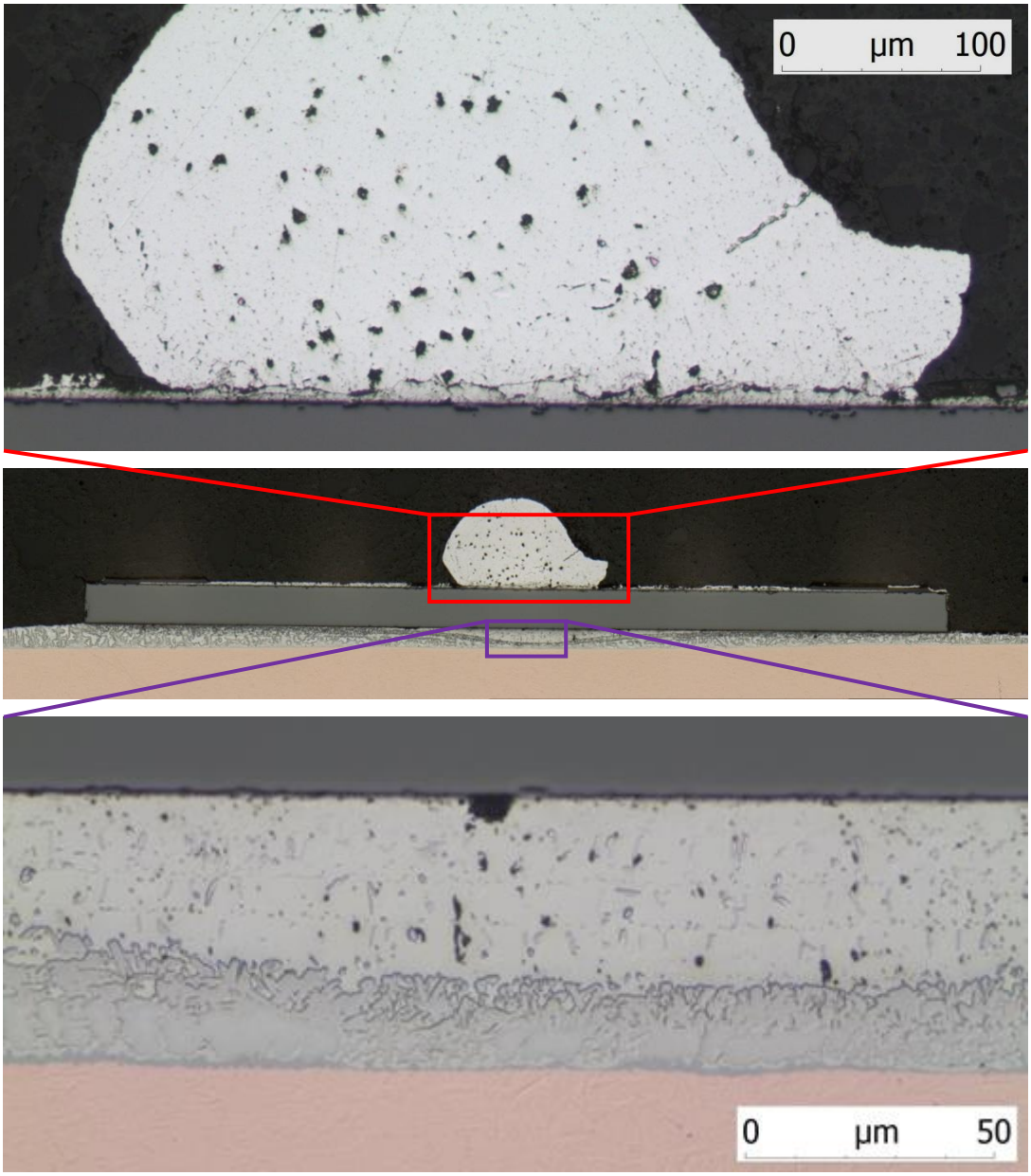
N°	Images
02-064	

Figure 75 : Synthèse des observations du 2ème plan de coupe micrographique des échantillons du composant n°2 lors de la série 3 des tests PC après défaillance

Les observations de plans de coupe de certains échantillons de cette série de tests ont mis en évidence des remontés de brasure le long des flancs de la puce, parfois jusqu'à la face supérieure de la puce et un affaissement de la puce (figure 76).

Les analyses EDX ont montré que les remontées de brasure sont essentiellement composées d'étain (figure 76 – flèches violettes). L'affaissement de la puce est visible à la suite de la formation d'un interstice entre la puce et le matériau d'encapsulation. L'interstice reproduit l'empreinte de la position initiale de la puce dans le matériau d'encapsulation (ligne verte). La ligne rouge représente la position finale de la puce au moment de la défaillance. La puce était maintenue dans sa position initiale par la brasure dont une partie s'est déplacée par les flancs de la puce jusqu'à sa face supérieure.

Le suivi de la température de jonction est erroné lors des derniers cycles avant la défaillance. Cet aspect est lié à la méthode de suivi utilisée (cf. sous chapitre 5.4.1), car la fissuration des soudures et la reconstruction de la métallisation en aluminium n'a pas permis de mesurer la tension de seuil de la diode. Dans ce cas-ci, la tension de seuil augmente énormément lors des derniers cycles et elle indique indirectement une température plus faible que la température réelle de la puce.

Par conséquent, ce type de modifications peut s'expliquer par des décohésions entre la puce et le matériau d'encapsulation et la fusion répétée des phases constituées essentiellement d'étain (fusion de l'étain pur 232 °C) lors des derniers cycles de puissance.

En effet, les décohésions sont dues aux dilatations thermiques différentielles des matériaux qui ont provoqué cycles après cycles des interstices entre la puce et le matériau d'encapsulation.

De plus, la température de jonction a augmenté significativement lors des derniers cycles de puissance par le passage du courant à travers les soudures fissurées des fils d'interconnexion. Cette augmentation a atteint de tels niveaux qu'elle a provoqué la fusion puis la solidification des phases d'étain lors de l'injection puis de l'arrêt du courant passant à travers les échantillons. Cycle après cycle, l'étain en fusion est remonté par capillarité dans les interstices entre la puce et le matériau d'encapsulation jusqu'à provoquer l'affaissement de la puce par rapport à sa position initiale.

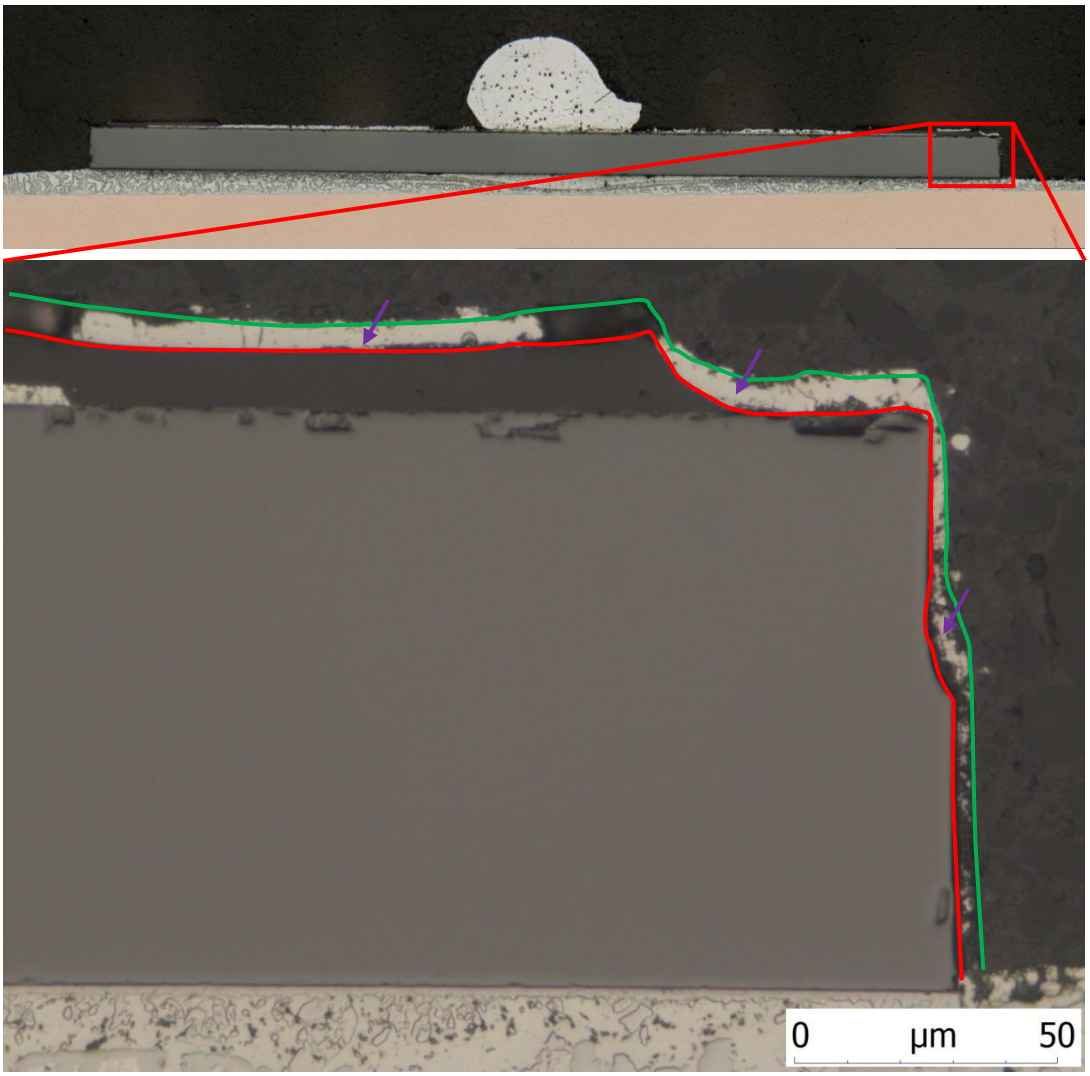
N°	Images
02-064	

Figure 76 : Affaissement de la puce de certains des échantillons du composant n°2 lors de la série 3 des tests PC

5.4.4.6 Description de la fissuration de la soudure des fils d'interconnexion

Ce sous chapitre détaillera simultanément l'initiation et la propagation de fissures dans la soudure des fils d'interconnexion avec la métallisation supérieure de la puce dans les deux dernières séries des tests PC. Il est sera également dédié à l'explication du cas d'espèce rencontré lors de la série 3 des tests PC : échantillon 02-070 avec 43 242 cycles à défaillance.

La figure 77 présente une comparaison des observations au MEB au niveau de la soudure des fils d'interconnexion du deuxième plan de coupe repris par un procédé de polissage ionique d'un échantillon dédié aux analyses de construction et d'un échantillon de la série 2 des tests PC. Il a été remarqué des zones non soudées des fils d'interconnexion à la

métallisation supérieure de la puce sur les échantillons dédiés aux analyses de construction (figure 77 - échantillon 02-AC001, rectangles rouges). Des fissures dans la soudure des fils d'interconnexion ont été observées (figure 77 - échantillon 02-AC001, flèche verte)

Il a également été mis en évidence une augmentation significative de la taille des grains des fils d'interconnexion et une dégradation de la couche d'adhésion en Ti de la métallisation supérieure en Al après défaillance (figure 77 - échantillon 02-020, flèches jaunes). Ce phénomène est dû à la reconstruction de l'aluminium lors des cycles de puissance [RUF2016]. La reconstruction de l'aluminium est une croissance de la taille de grains à la suite des contraintes thermomécaniques provoquées par les cycles de puissance et une température élevée. La dégradation de l'interface puce / métallisation est la cause de l'augmentation du courant de fuite constatée après la défaillance des échantillons de la série 2 des tests PC (cf. 5.4.3.2 - figure 53 et figure 54).

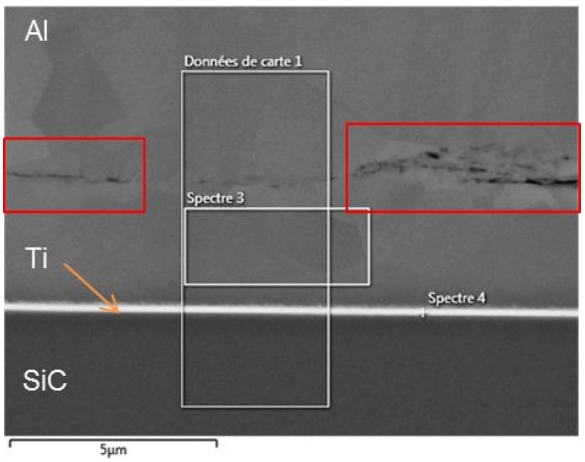
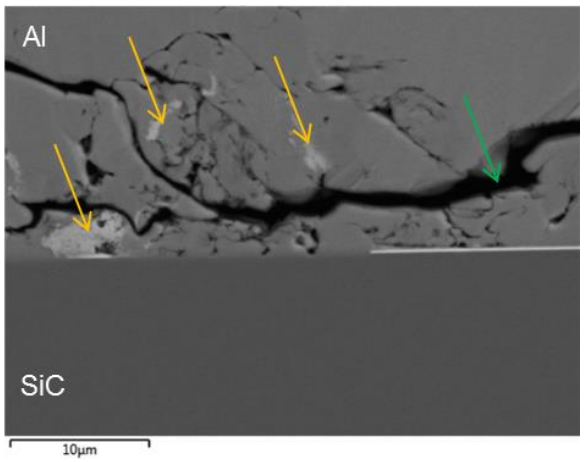
N°	Instants	Images MEB
02-AC001	*Initial*	
02-020	*10 046 cycles*	

Figure 77 : Vue de l'interface puce / fils d'interconnexion - Coupe micrographique réalisée par polissage ionique

Les analyses SAM du cas d'espèce ont montré seulement une augmentation de l'intensité de l'écho de l'interface puce / fils d'interconnexion (figure 78 - ellipses bleues et rouges).

Cette augmentation est la signature typique de la propagation de fissures à cette interface.

Deux hypothèses peuvent être émises sur le nombre de cycles à défaillance supérieur à ceux des autres échantillons :

- Une surface de soudure des fils plus importante que celle des autres échantillons ;
- Une meilleure soudure des fils d'interconnexion a été réalisée avec la métallisation supérieure de la puce à la suite de paramètres aléatoires non maitrisables tels que la compatibilité de la rugosité de la métallisation supérieure avec celle du fil d'interconnexion.

Les deux hypothèses émises répondent aux observations faites. En effet, pour la première, la signature de l'interface puce / fils d'interconnexion du cas d'espèce est légèrement plus grande que celle des autres échantillons (cf. Série 1 - figure 51, Série 2 - figure 58 et Série 3 - figure 74). Néanmoins, cette signature de soudure plus étendue est insuffisante pour expliquer une telle différence de cycle à défaillance. Par conséquent, la deuxième hypothèse portant sur une meilleure soudure accompagne celle sur une plus grande surface de soudure des fils avec la puce. Ces aspects expliquent une propagation plus lente des fissures et la nécessité d'une propagation sur une plus longue distance à travers la soudure des fils d'interconnexion pour provoquer la défaillance de cet échantillon.

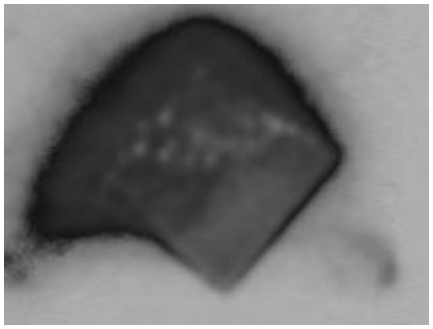
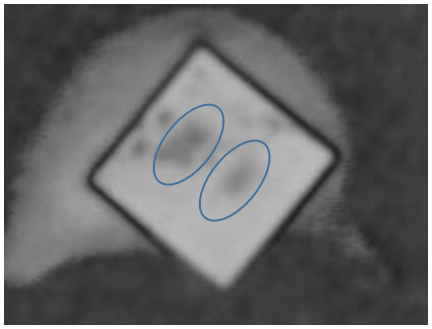
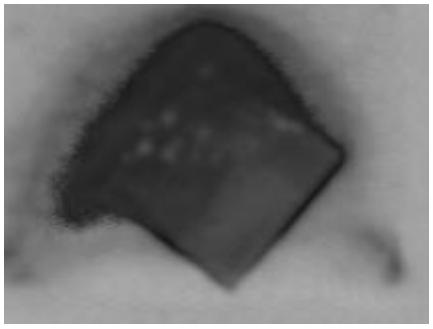
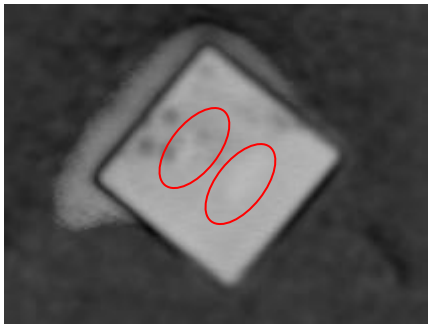
N°	Instants	Interfaces avec le substrat	Interfaces avec la puce
02-070	*Initial*		
	42 242 cycles		

Figure 78 : Images SAM du cas d'espèces (échantillon 02-070) du composant n°2 avant et après défaillance

5.5 Conclusions

Les résultats expérimentaux des tests de vieillissement accéléré réalisés sur les composants n°1 et n°2 sont synthétisés dans ce chapitre. Les composants n°1 et n°2 sont des diodes Schottky présentant des caractéristiques électriques et thermiques similaires d'après la fiche technique des fabricants. Les tests expérimentaux qui ont été présentés sont les tests H3TRB, HTRB, HPET, RCT et trois séries de tests PC.Il est à noter que le test HTFB est mentionné comme complémentaire au test PC par la norme CEI 60749-23:2004 (cf. 4.1.2.5). Cependant, ce type de test n'a pas été réalisé sur ces composants, car il semble être plus adapté pour solliciter les performances de la dissipation thermique du boîtier à long terme plutôt que la fiabilité de ce dernier.

Les résultats de ces tests ont été détaillés dans l'ordre suivant par :

1. les caractérisations électriques des paramètres statiques des diodes Schottky ;
2. le suivi électrique des tests pour contrôler et détecter l'instant de la défaillance des échantillons ;
3. les observations optiques externes des échantillons ;
4. les analyses par microscopie acoustique ;
5. les analyses de défaillance si présence d'échantillons défaillants lors des tests.

Lors des tests H3TRB, trois échantillons du composant n°1 ont présenté des défaillances spontanées. L'une de ces défaillances n'est pas reliée aux contraintes de ce type de tests, mais à un mauvais placement de l'échantillon sur le porte-échantillons du banc de tests. Les deux autres défaillances sont attribuées à une destruction partielle de la jonction métal / semi-conducteur de la puce réalisant la fonction Schottky. Cette destruction partielle a été causée par la différence de potentiel entre les deux faces de la puce créant un phénomène d'avalanche dans des zones moins robustes de la jonction. Cela indique que le composant n°1 est susceptible aux contraintes de température et d'humidité associées à celle d'une polarisation inverse. Ce type de défaillance est aléatoire. Il est directement relié à la maitrise de fabrication de la puce et il indique un manque de reproductibilité de la production des puces de ce fabricant. Au contraire, aucun des échantillons du composant n°2 n'a présenté de défaillance.

Les tests HTRB n'ont pas permis de mettre en évidence des échantillons défaillants selon les paramètres électriques de la fiche technique constructeur. Néanmoins, un échantillon du composant n°2 a présenté une augmentation du courant de fuite, qui est resté inférieur à la limite indiquée par le constructeur. Ces tests ont été prolongés de 2000 h jusqu'à 4000 h et les performances statiques en polarisation directe de cet échantillon n'ont pas évolué. La durée préconisée dans la norme décrivant ce test est 1000 h. Par conséquent, les

composants n°1 et n°2 ne sont pas susceptibles à la combinaison de contraintes température élevée / polarisation inverse.

Les performances électriques statiques des composants n°1 et n°2 n'ont pas été altérées lors des tests HPET malgré une dégradation significative du boîtier des échantillons du composant n°2. Cette dégradation est due au courant maximal indiquée par la fiche technique (10 A) lors de la première injection. Le courant a été diminué à 6 A pour les injections suivantes et aucune altération significative du boîtier n'a été constatée. Par conséquent, le boîtier de ces composants résiste aux contraintes répétées d'injection de courant dans la puce couplée à l'humidité. Néanmoins, le composant n°1 ne respecte pas les caractéristiques électriques indiquées dans la fiche technique du constructeur, donc il n'est pas conseillé d'utiliser ce composant à la limite de ces performances électriques.

Les tests RCT n'ont pas pu se poursuivre jusqu'à la défaillance des échantillons. Cependant, les NDTs des échantillons ont montré une modification de l'interface du substrat avec la brasure de la puce pour le composant n°1 et une légère diminution de la signature de la soudure entre la métallisation supérieure de la puce et des fils d'interconnexion. Cependant, ces dégradations sont insuffisantes pour entraîner une détérioration des performances électriques statiques des échantillons testés. Ces tests ont permis de mettre en évidence des détériorations du boîtier intégrant des puces de puissance et les éléments du boîtier susceptibles aux contraintes thermomécaniques.

Les tests PC ont été les seuls à provoquer des mécanismes physico-chimiques d'usure des matériaux du boîtier jusqu'à entrainer la défaillance de la puce des composants. Trois séries de tests ont été réalisés. Elles ont montré que le mécanisme de défaillance des composants n°1 et n°2 est l'initiation et la propagation de fissures dans la soudure des fils d'interconnexion avec la métallisation supérieure de la puce.

Ce mécanisme est dû à la dilatation thermique différentielle entre les fils et la puce. Il provoque une augmentation de la résistance à l'état passant des dispositifs électroniques de puissance et simultanément l'augmentation de la puissance dissipée à cette interface. L'augmentation de la puissance dissipée entraine l'augmentation de la température des fils et de la puce. Cette élévation de température au cours des cycles a provoqué la dégradation de la matrice organique du matériau d'encapsulation.

Ce mécanisme de défaillance était recherché lors de ces tests et il est représentatif des mécanismes rencontrés en électronique de puissance. Par conséquent, ce type de test permet d'évaluer les différentes technologies d'assemblage et la maîtrise des procédés de production des fabricants de dispositifs électroniques de puissance.

La première série de tests a permis de valider le bon fonctionnement du banc de tests de cycles en puissance et ils n'ont pas été amenés jusqu'à la défaillance des composants, mais ils ont montré des évolutions des interfaces des éléments susceptibles aux contraintes thermomécaniques engendrées par les cycles de puissance : brasure de la puce et soudure des fils d'interconnexion.

La seconde série avait des conditions de tests plus sévères et a permis d'amener à défaillance plus rapidement les échantillons des composants n°1 et n°2. Le nombre de cycles à défaillance était plus important pour les échantillons du composant n°1, car la surface de soudure est plus importante que celle du composant n°2. Lors de ces tests, une modification microstructurale a été révélée sur les échantillons du composant n°2 et elle a été attribuée au phénomène de thermomigration. Ce phénomène n'a pas eu l'air d'avoir participé à la fissuration des soudures des fils d'interconnexion, mais il est une conséquence de contraintes thermoélectriques exercées dans l'axe vertical à la soudure des fils d'interconnexion.

La troisième série a pu être réalisée uniquement sur le composant n°2. Dans cette série, il a été mis en évidence que le nombre de cycles de puissance à défaillance est directement relié à la qualité et à la surface de la soudure des fils d'interconnexion. En effet, l'un des échantillons a présenté un nombre de cycle à défaillance quatre fois plus important que les autres et une surface de soudure plus importante que ses semblables avant les tests. De plus, ce nombre de cycle peut ne pas être seulement lié à la surface, mais également à une soudure de meilleure qualité.

Par conséquent, la soudure des fils d'interconnexion avec la métallisation supérieure de la puce correspond à un point faible dans les technologies de fabrication des composants COTS d'électronique de puissance étudiés.

Dans cette série, les modifications microstructurales constatées sur les échantillons de la série 2 ont présenté des informations similaires et complémentaires. Le phénomène de thermomigration ne serait pas à l'origine de ce changement. La source de ces altérations est due à des points chauds localisés au niveau des fils d'interconnexion. Ces points chauds entrainent une répartition inhomogène de la température dans la brasure. La température très élevée au niveau de ces points provoque une fusion localisée des phases riches en étain et transforme ces phases en forme de parabole.

6 Interprétations des résultats et corrélation avec la littérature

Ce chapitre est dédié aux interprétations des résultats afin de les intégrer dans des modèles physiques de la défaillance et contribuer à l'amélioration de l'un d'eux ou à leur élaboration. Ce chapitre introduira la théorie de la fiabilité. Puis, il présentera des modèles physiques de la défaillance déjà existants. Ensuite, il présentera l'applicabilité des résultats aux modèles existants. Cependant, les données récoltées sont insuffisantes pour l'élaboration d'un modèle physique de la défaillance en électronique de puissance. Enfin, des bases sur un plan de tests de vieillissement accéléré sont présentées et devront être suivies pour l'élaboration d'un modèle de défaillance.

6.1 Théorie de la fiabilité

6.1.1 Généralités

La définition de la fiabilité selon la norme AFNOR X06-501 de septembre 1984 est la suivante : « La fiabilité est l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions d'utilisations données et pour une période de temps déterminées. ».

En fiabilité, la courbe en baignoire est une représentation classique des taux d'incidents des équipements électronique. La figure 79 représente cette courbe en baignoire et elle est divisée en trois parties :

- mortalité infantile : défaut de jeunesse ;
- phase de maturité ou de vie utile : défaillance aléatoire ;
- période d'usure ou de vieillesse.

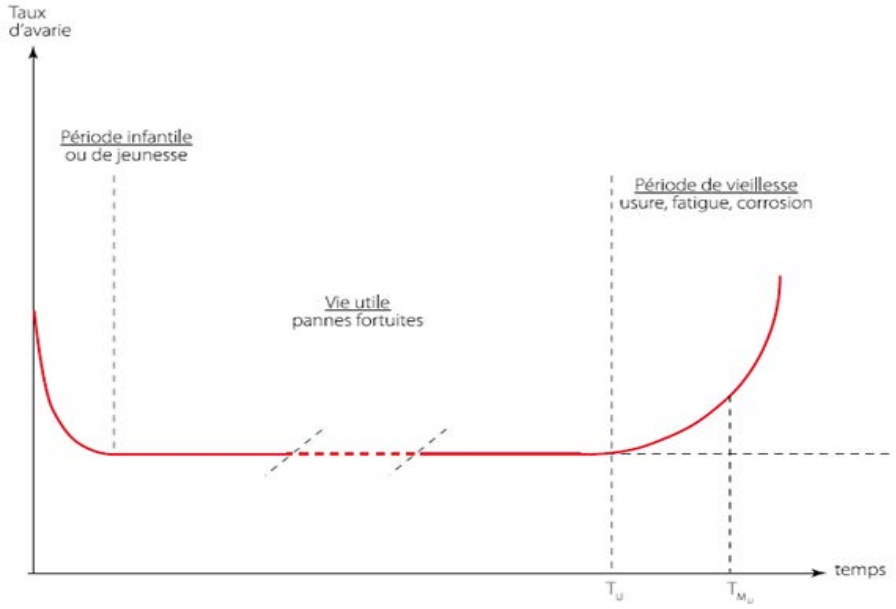


Figure 79 : Courbe typique du taux de défaillance des équipements électroniques [BUF2008]

Selon la norme NF X60-011, la définition de la défaillance est l'altération ou la cessation d'un équipement à accomplir sa fonction. La défaillance d'un équipement ou dispositif est décrite par ses deux notions :

- mode de défaillance : forme par laquelle se manifeste le dysfonctionnement ;
- mécanisme de défaillance : ensemble de processus physiques, chimiques ou autres qui conduisent à la défaillance

Plusieurs indicateurs peuvent renseigner sur la fiabilité d'un dispositif ou équipement.

6.1.2 Indicateurs

La fiabilité R (t) correspond à une loi de probabilité P d'un dispositif choisi aléatoirement parmi une population de ne pas présenter de défaillance avant un moment donné $t_{donné}$ (équation 5).

Équation 5 $$R(t) = P(t_{déf} > t_{donné})$$ $t_{déf}$: temps à défaillance

La défiabilité F (t) s'exprime par la probabilité opposée que le dispositif soit défaillant (équation 6).

Équation 6 $$F(t) = P(t_{déf} \leq t_{donné}) = 1 - R(t)$$

La fiabilité et la défiabilité sont des fonctions de répartitions de la variable aléatoire t. L'intégrale de la densité de probabilité f(t) permet de représenter la fonction de répartition (équation 7).

Équation 7 $$F(t) = \int_0^t f(t)dt$$

Le taux de défaillance λ (t) représente le nombre de défaillances par unité de temps rapporté au nombre de dispositifs encore fonctionnels. Ce taux peut évoluer au cours du temps (cf. figure 79). Cela signifie que l'expression du taux de défaillance s'exprime par la fonction de densité f(t) de la fonction de répartition F(t) sur un intervalle de temps rapporté sur la probabilité du nombre de dispositifs fonctionnels (équation 8).

Équation 8 $$\lambda(t) = \frac{f(t)}{1 - F(t)} = -\frac{1}{R(t)}\frac{dR(t)}{dt}$$

Le temps moyen à défaillance, noté MTTF (*Mean Time To failure*), est l'espérance du temps à défaillance E ($T_{déf}$). Il s'exprime par :

Équation 9 $$MTTF = E(T_{déf}) = \int_0^{+\infty} R(t)dt$$

Le temps moyen entre deux pannes, noté MTBF (*Mean Time Between Failure*), est une grandeur plus pertinente si le dispositif est remplacé ou réparé (équation 10). Il est caractérisé par l'espérance du temps de disponibilité T_U (comprenant le temps de fonctionnement, d'immobilisation, de stockage, etc.).

Équation 10 $$\mathrm{MTBF} = \int_0^{+\infty} t f_U(t) dt$$ f_U : densité de probabilité de T_U

Plusieurs lois de probabilité peuvent être utilisées si elles décrivent la distribution des données de temps à défaillance lors de conditions réelles d'utilisation ou de tests de vieillissement accéléré, car le temps à défaillance des composants est une variable aléatoire continue de t = 0 à plus l'infini. Dans certains cas, ces lois peuvent être associées à un mécanisme physico-chimique d'usure et participer à l'élaboration d'un modèle physique de la défaillance.

6.1.3 Lois usuelles de probabilité

Dans cette partie, quelques lois usuelles de probabilité sont succinctement présentées par leur fonction de répartition et la densité de probabilité de la fonction de répartition. Effectivement, ces lois peuvent plus ou moins bien décrire la distribution des temps à défaillance des dispositifs électroniques. Ces trois lois sont :

- la loi normale ;
- la loi log-normale ;
- la loi exponentielle – loi de Weibull.

6.1.3.1 Loi normale

La fonction de répartition F(t) et la densité de probabilité f(t) de cette fonction qui correspondent à la loi normale (ou de Gauss a deux paramètres : m, σ) sont détaillés dans l'équation 11 et l'équation 12.

Équation 11 $$F(t) = \frac{1}{\sigma\sqrt{2\pi}} \int_0^t \exp\left[-\frac{1}{2}\left(\frac{t-m}{\sigma}\right)^2\right] dt$$

Équation 12 $$f(t) = \frac{1}{\sigma\sqrt{2\pi}} \exp\left[-\frac{1}{2}\left(\frac{t-m}{\sigma}\right)^2\right]$$

m : moyenne
σ : écart type

Cette loi est utilisée pour décrire plusieurs phénomènes physiques dont la répartition des valeurs décrivant ce phénomène s'étale uniformément autour de leur moyenne arithmétique. Ces phénomènes physiques sont aléatoires, continus et quantitatifs. Ces phénomènes sont soumis à des causes indépendantes les unes des autres.

6.1.3.2 Loi log-normale

La fonction de répartition F(t) et la densité de probabilité f(t) de cette fonction qui correspondent à la loi log-normale sont décrites dans l'équation 13 et l'équation 14.

Équation 13 $$F(t) = \frac{1}{\sigma\sqrt{2\pi}} \int_0^t \frac{1}{t} \exp\left[-\frac{1}{2}\left(\frac{\ln(t) - m}{\sigma}\right)^2\right] dt$$

m : moyenne
σ : écart type

Équation 14 $$f(t) = \frac{1}{\sigma t\sqrt{2\pi}} \exp\left[-\frac{1}{2}\left(\frac{\ln(t) - m}{\sigma}\right)^2\right]$$

6.1.3.3 Loi exponentielle – Loi de Weibull

La loi exponentielle est décrite par la fonction de répartition F(t) présentée dans l'équation 15 et dépend d'un seul paramètre λ.

Équation 15 $$F(t) = 1 - \exp[-\lambda t]$$

L'équation 16 donne l'expression mathématique de la densité de probabilité f(t) de la fonction de répartition de la loi exponentielle.

Équation 16 $$f(t) = \lambda \exp[-\lambda t]$$

Il est à noter que lors de la phase de maturité des dispositifs électroniques (cf. figure 79), MTTF est égal à l'inverse de λ (équation 17) lorsque λ est constant.

Équation 17 $$MTTF = \frac{1}{\lambda}$$

La loi de Weibull correspond à une loi exponentielle (équation 18). Néanmoins, cette loi dépend de trois paramètres :

- γ : paramètre d'origine des temps ;
- η : paramètre d'échelle ;
- β : paramètre de forme.

Équation 18 $$F(t) = 1 - \exp\left[-\left(\frac{t - \gamma}{\eta}\right)^\beta\right]$$

β > 0
η > 0
t > γ

La densité de probabilité f(t) de la fonction de répartition de la loi de Weibull est présentée dans l'équation 19.

Équation 19 $$f(t) = \frac{\beta(t - \gamma)^\beta}{\eta^\beta} \exp\left[-\left(\frac{t - \gamma}{\eta}\right)^\beta\right]$$

Le paramètre de forme est caractéristique de la période dans laquelle le composant se trouve [BUF2008]. En effet, lorsque β < 1, le composant est dans sa période de jeunesse. Certains composants d'un lot sont moins robustes. Leur défaillance se manifeste pour des contraintes plus faibles. Leur élimination et leur remplacement permet de retrouver le taux d'avarie normal des composants. Lorsque β = 1, la période est dite de vie utile. Dans ce cas, la fiabilité des composants suit une loi exponentielle. La fin de vie des dispositifs électroniques est caractérisée par un β > 1.

Il est possible de linéariser l'équation 18 sous la forme $y = ax + b$ (équation 20) telle que :

Équation 20 $$\ln(-\ln[1 - F(t)]) = \beta \ln(t - \gamma) - \beta \ln \eta$$

Le paramètre d'origine des temps prend en compte le fait que les composants étudiés sont neufs où déjà utilisés avant l'essai. Lorsque les composants sont neufs, γ = 0, ce qui est le cas et donc l'équation 20 est simplifié :

Équation 21 $$\ln(-\ln[1 - F(t)]) = \beta \ln(t) - \beta \ln \eta$$

Le tracé de cette droite sur un diagramme de Weibull (loglog-log) permet de déterminer les paramètres β et η de la loi de Weibull.

6.2 Méthodologie de modélisation de mécanismes de défaillance

L'évaluation de la fiabilité a pour objectif de déterminer des facteurs d'accélération du vieillissement pour déterminer une durée de vie des dispositifs en application par rapport à des conditions de tests de vieillissement accéléré. Pour cela, une méthodologie est souvent employée à l'aide du tracé de plusieurs distributions de temps à défaillance provenant au minimum de trois tests de vieillissement accéléré. Néanmoins, certains critères doivent être respectés. En effet, la figure 80 présente une distribution de temps à défaillance reportée sur un diagramme de Weibull et, dans ce cas-ci, lors de tests RCT sur des cartes électroniques, deux mécanismes différents ont été attribués à la défaillance des composants. Deux droites ont corrélé cette distribution des temps à défaillance et il n'est donc pas possible de réaliser la modélisation d'un mécanisme s'il est en concurrence avec un autre.

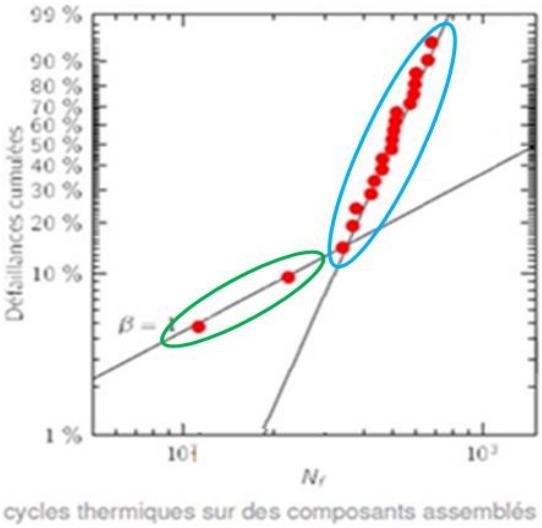


Figure 80 : Distribution de temps à défaillance correspondant à deux mécanismes de défaillance

L'application de cette méthodologie est exposée ci-dessous pour un mécanisme activé en température. Trois tests de vieillissement accéléré, dont on suppose qu'ils activent seulement ce même mécanisme, ont été réalisés à trois températures différentes ($T_1 > T_2 > T_3$).

Les trois tests de vieillissement accéléré donnent des temps à défaillance correspondant à des distributions de la loi de Weibull dont les droites sont représentées dans la figure 81. Par une méthode statistique (intervalle de confiance appliqué la distribution), l'enveloppe violette (ou courbes en fuseau) schématise la plage admissible pour toutes les droites pouvant être associées à cette distribution.

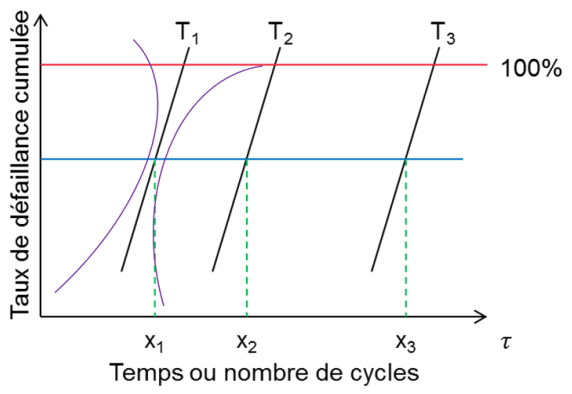
Le taux de défaillance à 63,2 % correspond à la distribution statistique la plus étroite de cette enveloppe. Le temps à défaillance correspondant à 63,2 % du taux de défaillance est reporté sur un graphique pour déduire les inconnues du modèle phénoménologique décrit par l'équation 22 ainsi qu'illustré dans la figure 81. A la suite des résultats obtenus, il est supposé que ce mécanisme peut-être modélisé par une loi du type Arrhenius (équation 22).

Équation 22 $$\tau \propto A \times \exp\left[-\frac{E_a}{kT}\right]$$

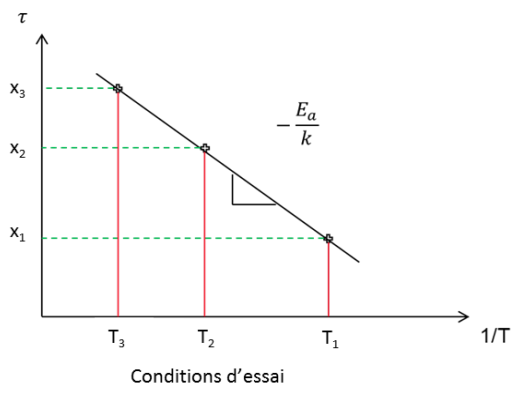
τ : durée de vie
A : coefficient
E_a : énergie d'activation
k : constante de Boltzmann
T : Température

La linéarisation de l'équation 22 permet de remonter à l'énergie d'activation (équation 23) et elle nécessite au minimum trois points.

Équation 23 $$\ln \tau \propto \ln A - \frac{E_a}{kT}$$



Droites des distributions des temps à défaillance



Droite de détermination de l'énegie d'activation

Figure 81 : Exemple d'estimation de la durée de vie

L'utilisation de facteurs d'accélération AF (*Acceleration Factor*) permet ensuite de déduire la durée de vie en application ou dans une condition maximale de l'application considérée (τ_i).

Équation 24 $$AF = \frac{\tau_3}{\tau_i} = \exp\left[-\frac{E_a}{kT_3} + \frac{E_a}{kT_i}\right] = \exp\left[\frac{E_a}{k}\left(\frac{1}{T_i} - \frac{1}{T_3}\right)\right]$$

Pour utiliser cette méthodologie, il est nécessaire de vérifier que la distribution des temps à défaillance correspond aux lois de probabilités usuelles.

6.3 Applicabilité des résultats aux lois de probabilité

Les résultats des cycles de puissance à défaillance des séries 2 et 3 des tests PC sont rassemblés dans le tableau 31.

Les résultats des cycles à défaillance du composant n°1 sont reportés sur un diagramme de linéarisation de la loi log-normale et sur un diagramme de Weibull (figure 82). Ce report des cycles de puissance montre que leur distribution peuvent correspondre à la fois à des distributions de la loi log-normale et de la loi de Weibull.

Le report des cycles à défaillance du composant n°2 montre également que leurs distributions sur les mêmes diagrammes correspondent à celle d'une la loi log-normale et d'une loi de Weibull (figure 83).

La méthode statistique du maximum de vraisemblance a été utilisée pour le tracé de droites correspondant à la distribution des cycles à défaillance. Elle est plus adaptée pour un faible nombre d'échantillons. Sur ces graphiques, il est également reporté l'enveloppe pouvant contenir des droites correspondant aux distributions des temps à défaillance.

L'enveloppe de ces distributions a été calculée pour un intervalle de confiance de 95 %. Il est possible de rétrécir la largeur de ces enveloppes en augmentant le nombre d'échantillons testés ou de les calculer pour un intervalle confiance moins contraignant (80 %).

Série 2 ($T_{j\,Max}$ = 175°C, ΔT_j = 90°C et $T_{réf}$ = 85°C)						**Série 3 ($T_{j\,Max}$ = 110°C, ΔT_j = 90°C et $T_{réf}$ = 20°C)**		
Composant n°1			**Composant n°2**			**Composant n°2**		
N° éch.	*NCP*	*Détails*	*N° éch.*	*NCP*	*Détails*	*N° éch.*	*NCP*	*Détails*
01-016	10 810	Défaillant	*02-016*	6 666	Défaillant	*02-064*	8 169	Défaillant
01-017	5 499	Défaillant	*02-017*	6 832	Défaillant	*02-065*	8 087	Défaillant
01-018	7 146	Défaillant	*02-018*	4 207	Défaillant	*02-066*	9 640	Défaillant
01-019	5 875	Défaillant	*02-019*	6 184	Défaillant	*02-067*	10 506	Défaillant
01-020	10 046	Défaillant	*02-020*	4 648	Défaillant	*02-068*	9 849	Défaillant
01-021	6 213	Défaillant	*02-021*	4 554	Défaillant	*02-069*	12 904	Défaillant
01-022	8 571	Défaillant	*02-022*	3 860	Défaillant	*02-070*	43 242	Défaillant
01-023	6 567	Défaillant	*02-023*	3 017	Défaillant	*02-071*	11 900	Défaillant
01-024	5 428	Défaillant	*02-024*	4 151	PR	*02-072*	8 053	Défaillant
01-025	5 920	Défaillant	*02-025*	3 430	PR	*02-073*	6 156	PR
01-026	4 607	Défaillant	*02-026*	1 836	PR	*02-074*	10 542	Défaillant
-	-	-	*02-027*	1 013	PR	*02-075*	11 164	Défaillant

Tableau 31 : Synthèse des cycles de puissance à défaillance des composants n°1 et n°2 lors des tests PC

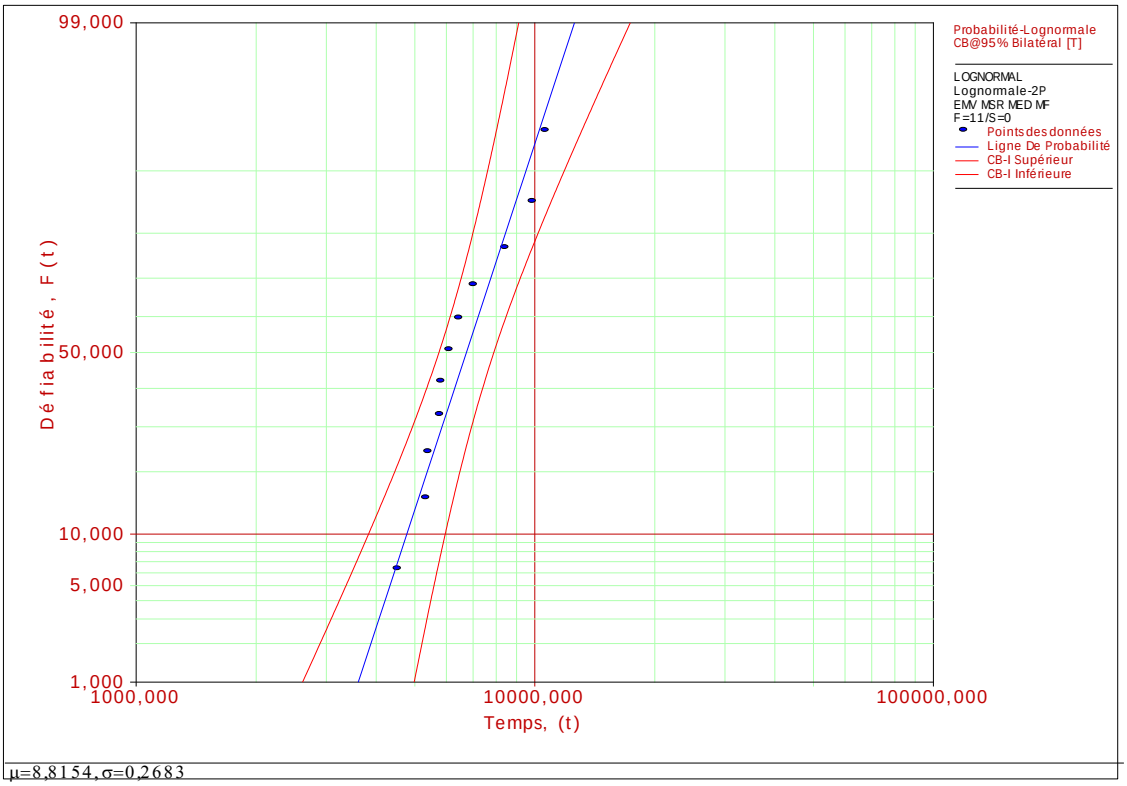
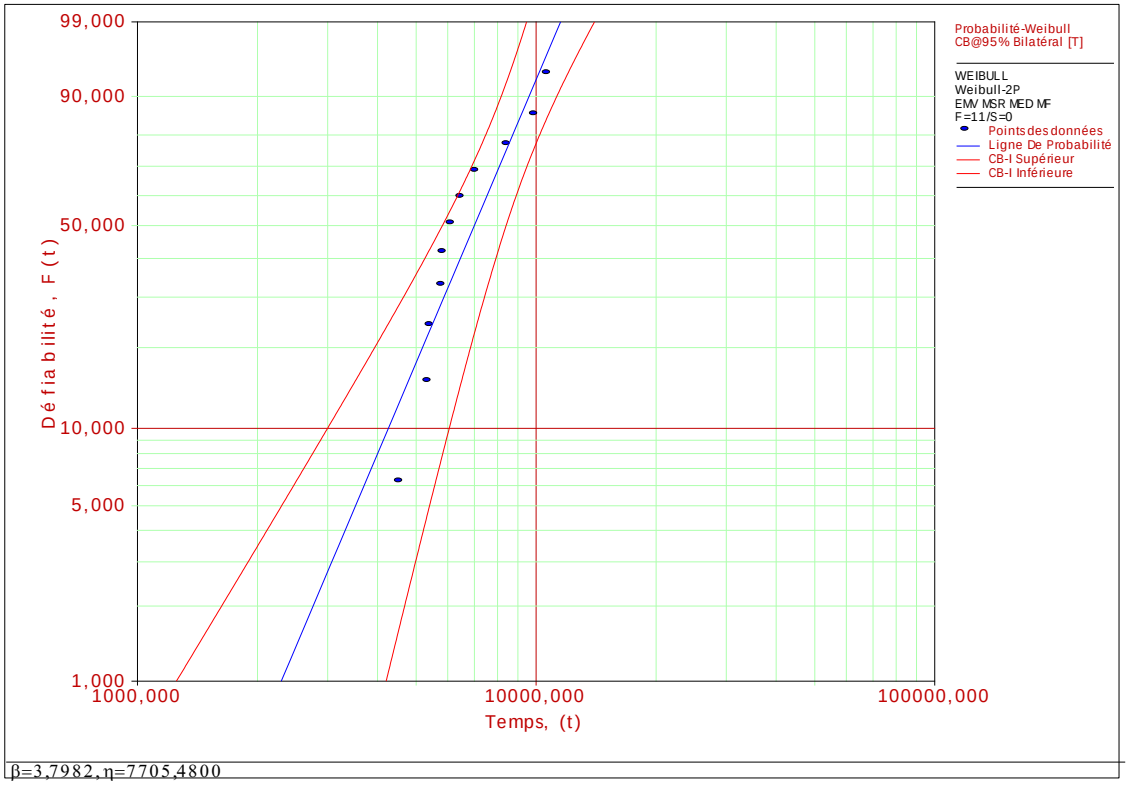
C.	Composant n°1 - Série 2
Log-normale	
Weibull	

Figure 82 : Résultats des temps à défaillance du composant n°1 reportés sur des diagrammes log-normale et de Weibull

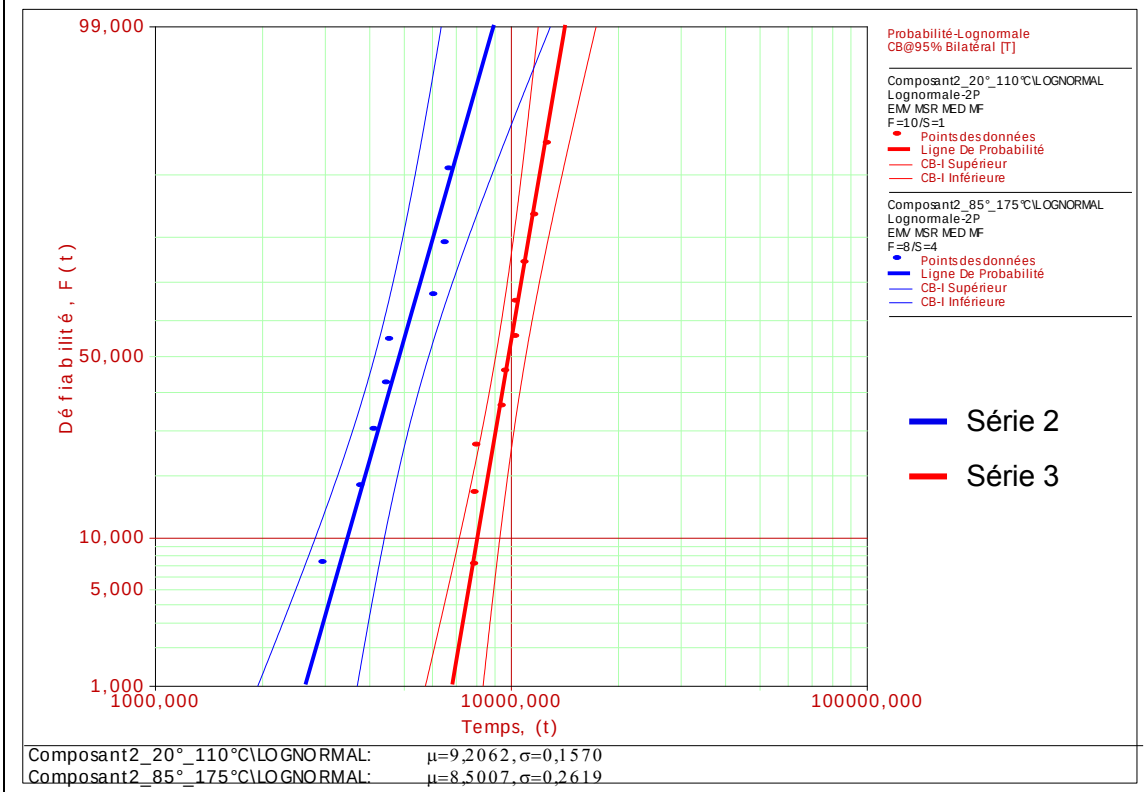
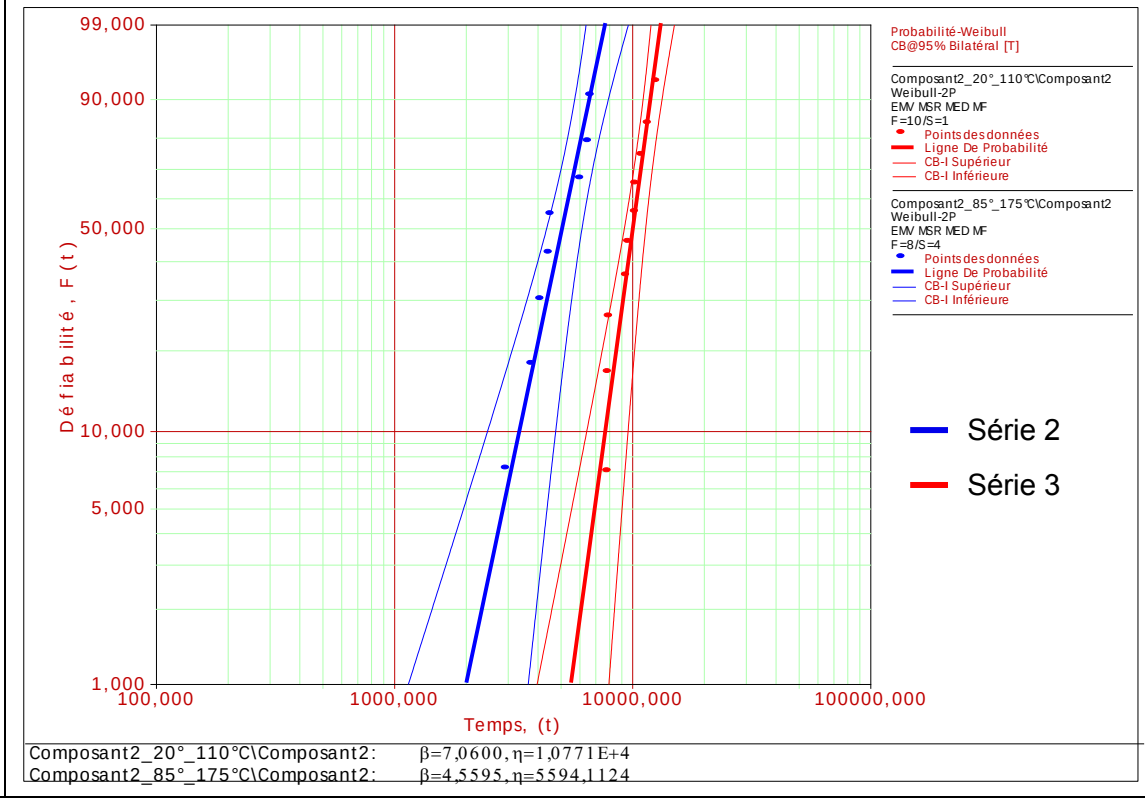
C.	Composant n°2 - Série 2 et 3
Log-normale	
Weibull	

Figure 83 : Résultats des temps à défaillance du composant n°2 sur des diagrammes log-normale et de Weibull

Le tableau 32 présente les valeurs des paramètres de la loi log-normale selon les différentes distributions de temps à défaillance des différentes séries de tests PC. Ces valeurs sont déterminées à partir des tracés des droites de la figure 82 et de la figure 83.

Séries (S.)	**Composant (C.)**	**Paramètres**	
		μ (63,2 %)	σ
2	*01*	8,8154	0,2683
	02	8,5007	0,2619
3	*02*	9,2062	0,1570

Tableau 32 : Paramètres de la loi log-normale

Le tableau 33 présente les valeurs des paramètres de la loi de Weibull selon les différentes distributions de temps à défaillance des différentes séries de tests PC.

Séries (S.)	**Composant (C.)**	**Paramètres**	
		η *(63,2 %)*	β
2	*01*	7 705	3,7982
	02	5 594	4,5595
3	*02*	10 771	7,0600

Tableau 33 : Paramètres de la loi de Weibull

Il est nécessaire de réaliser une troisième série de test PC avec un ΔT_j identique, mais avec une $T_{j\,Max}$ de 140 °C afin de tracer une troisième courbe de Weibull. Si le mécanisme de défaillance est identique, cela permettra d'obtenir un troisième point pour valider le fait que le mécanisme de fissuration est activé par la température.

Ce dernier test n'ayant pas pu être réalisé, il n'a pas été possible d'exploiter d'avantage les données statistiques.

6.4 Modèles physiques de la défaillance des fils d'interconnexion

Le faible nombre de cycles à défaillance et le mécanisme de défaillance des échantillons indiquent que la soudure des fils d'interconnexion est soumise à de la fatigue oligocyclique (mécanisme d'usure ; $N_f < 10^5$ cycles) [DEG2007] [JAB2006]. La fatigue oligocyclique est un comportement viscoplastique (domaine élastique et plastique) des matériaux ductiles à la suite des contraintes répétées à chaque cycle. Cette fatigue se distingue par trois phases [JAC2010] :

- l'accommodation : plastification croissante de la zone contrainte jusqu'à la formation de défauts ponctuels et de dislocations qui se réarrangeront en produisant des reliefs de surface ;
- l'amorçage d'une fissure : plastification atteignant une intensité critique aux abords de défauts géométriques de fabrication ou des reliefs de surface ;
- la propagation d'une fissure jusqu'à la rupture du matériau.

Cette fatigue de la soudure des fils d'interconnexion en aluminium semble être accélérée par la température jonction maximale de la puce lors des tests.

La fatigue oligocyclique peut-être décrite par plusieurs modèles physiques de la défaillance. Trois modèles de durée de vie sont couramment utilisés pour décrire la fatigue des matériaux ductiles tels que les alliages de brasure et les fils d'interconnexion, il s'agit du modèle de Coffin-Manson, du modèle modifié de Coffin-Manson par Norris et Landzberg et du modèle de Darveaux.

- <u>modèle de Coffin-Manson :</u> modèle basé sur la variation des déformations plastiques par cycle (équation 25) [COF1954] [MAN1954] ;

Équation 25 $$N_f = C_1 \left(\Delta\varepsilon_{pl}\right)^{-C_2}$$

N_f : nombre de cycles à défaillance

C_1 et C_2 : constantes dépendantes de la nature du matériau

$\Delta\varepsilon_{pl}$: variation cyclique des déformations plastiques

- <u>modèle modifié de Coffin-Manson (Norris-Landzberg) :</u> équation 26 [VAS2008] [CUI2005] ;

Équation 26 $$N_f = C \times f^m \times \left(\Delta\varepsilon_{pl}\right)^{-n} \times \exp\left[\frac{E_a}{kT}\right]$$

C, m et n : constante dépendante de la nature du matériau

f : fréquence des cycles

E_a : énergie d'activation

k : constante de Boltzmann

Un modèle simplifié de l'équation 26 a été adopté par plusieurs scientifiques (équation 27) pour décrire la fissuration de la soudure des fils d'interconnexion (*wire lifting* ou *wire bond lift-off*) [MAT2006] [BRY2008].

Équation 27 $$N_f = A \times \Delta T^{\alpha} \times \exp\left[\frac{E_a}{kT_m}\right]$$

A et α : constante
T_m : Température moyenne

- <u>le modèle de Darveaux :</u> modèle basé sur la variation de l'énergie plastique cumulée par cycle (équation 28).

Équation 28
$$N_0 = K_1(\Delta W_{pl})^{-K_2}$$
$$\frac{da}{dN} = K_3(\Delta W_{pl})^{-K_4}$$
$$N_f = N_{0-f} + a \times \frac{dN}{da}$$

K_1, K_2, K_3 et K_4 : coefficients lies à la nature de la brasure
ΔW_{pl} : densité d'énergie plastique cumulée par cycle
da/dN : vitesse de la propagation
$N_{0\text{-}f}$: nombre de cycles à l'initiation de la fissure
a : longueur de la fissure

Enfin, un nouveau modèle a été proposé par [YAN2013] ayant pour objectif de prendre en compte l'accumulation et la relaxation des contraintes en étant capable de prédire le temps de vie arbitrairement au profil de mission. Ce nouveau modèle (équation 29) est la variation des dommages $\delta D(y,t)$ dépendant de la distance de zone plastifiée par rapport au talon (y) et du temps (t). Ce modèle complexe prend en compte :

- le niveau des contraintes le long de l'interface de la soudure sous forme de fonction de distribution f (ε) ;
- l'accumulation des dommages f (D) ;
- les dommages dépendant de la température f (T_D) ;
- les dommages existants α (D) ;
- la relaxation des contraintes ou dommages due à la température α (T_D).

Équation 29 $$\delta D(y,t) = f(\varepsilon) \times f(D) \times f(T_D)\delta T - \alpha(D)\alpha(T_D)\delta t$$

Pour sélectionner le modèle le plus adapté, une description détaillée des profils thermiques des simulations On / Off est indispensable. Cette description doit donner les différents paramètres qui sont intégrés ou à intégrer dans le modèle.

Pour répondre aux exigences des différentes applications du groupe AIRBUS et aux évolutions des technologies de fabrication des composants électroniques de puissance, le

modèle sélectionné doit posséder l'aptitude de s'adapter aux conditions opérationnelles et à plusieurs types de technologie d'interconnexion (nature et forme).

La figure 84 schématise deux profils thermiques d'un CdP (Cycle de Puissance). La courbe bleue représente un profil thermique juste avant l'apparition des conséquences de l'initiation et de la propagation des fissures. La courbe rouge illustre l'évolution des profils thermiques constatés après la défaillance des échantillons.

La durée d'un cycle de puissance $t_{Cycle\ P.}$ n'est pas une donnée indispensable pour l'élaboration ou l'amélioration d'un modèle existant, car les contraintes thermomécaniques dépendent essentiellement de l'amplitude de la variation de température imposée lors du premier cycle $\Delta T_J\ (N_0)$. Cependant, la durée de l'injection de courant $t_{Injection}$ doit être suffisamment longue pour atteindre une température de jonction stable pour provoquer la relaxation des contraintes à la suite du phénomène de fluage ainsi que pendant la phase de refroidissement. Le fluage est la déformation plastique d'un matériau soumis à une contrainte constante inférieure à celle de la limite élastique.

La température de jonction maximale $T_{J\ -\ Max}\ (N)$ augmente à partir du cycle N_i jusqu'au cycle N_f lorsque la résistance thermique du composant atteint le critère de défaillance ($R_{th}\ (t) > 1{,}2.R_{th}\ (t_0)$).

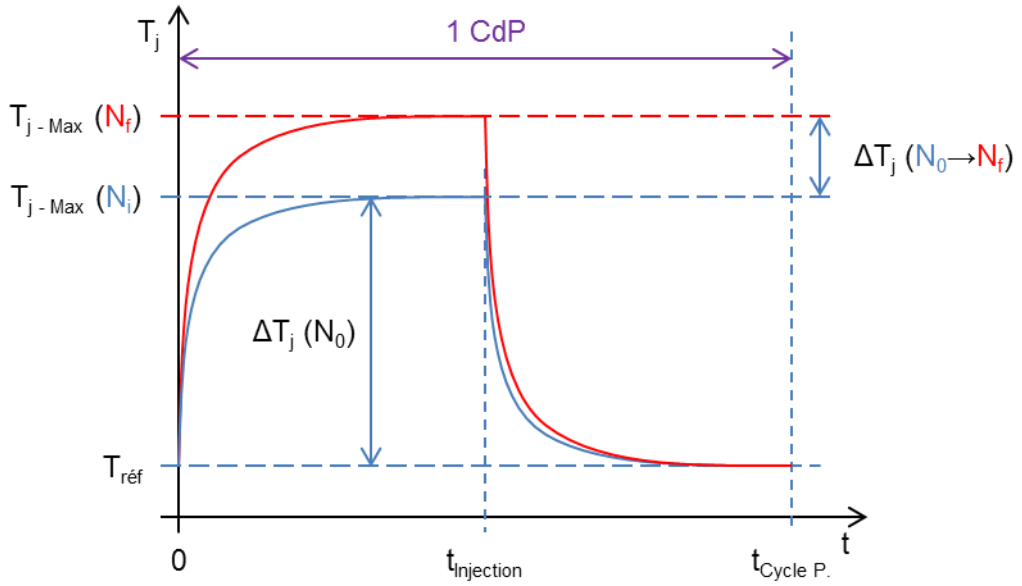


Figure 84 : Schématisation de l'évolution des profils thermiques lors des tests PC

La figure 85 représente deux CdP avec un ΔT_j identique et un décalage de la température de départ des cycles $T_{réf\ -\ i}$. Cette figure synthétise les CdP des séries 2 (n+1) et 3 (n) des tests PC, car la température de jonction minimale influence également le nombre de cycle à défaillance pour un même $\Delta T_j\ (N_0)$.

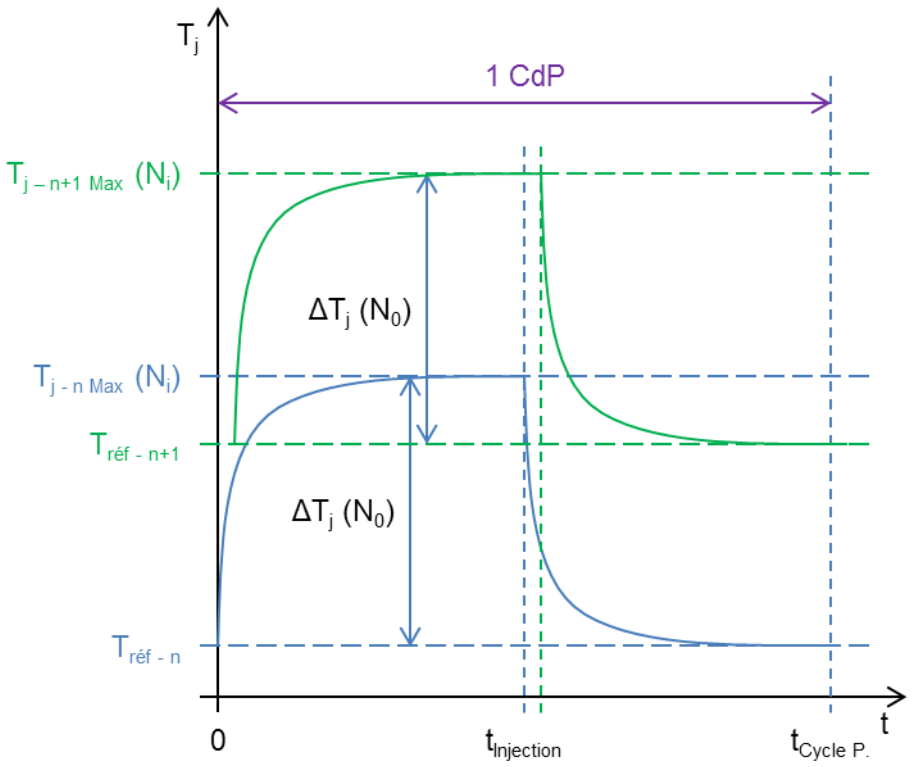


Figure 85 : Représentation schématique de deux CdP de différents tests PC

Pour élaborer, améliorer ou vérifier la validité d'un modèle existant sur la fatigue thermomécanique de la soudure des fils d'interconnexion (initiation et propagation de fissure) lors de simulation On / Off d'une application, les paramètres suivants doivent être incorporés dans ce modèle à la suite des analyses de défaillance :

- la surface du lien mécanique de l'interconnexion à la puce ;
- un facteur de la qualité du lien mécanique appliqué à la surface de ce lien ;
- l'amplitude maximale de la température de jonction et la déformation plastique associée ;
- la température de jonction maximale ;
- un facteur de fréquence d'utilisation.

La figure 86 présente une matrice de conditions expérimentales de tests PC qui devrait être suivi pour participer à l'élaboration et l'amélioration de modèles physiques de la fissuration des d'interconnexion ou des alliages de brasure.

Test n°	Conditions expérimentales		
	$T_{j\,Max}$ (°C)	ΔT_j (°C)	$T_{réf}$ (°C)
1	110	40	70
2		70	40
3		90	20
4	140	40	100
5		70	70
6		90	50
7	175	40	135
8		70	105
9		90	85

Figure 86 : Matrice de tests PC

Cette matrice d'essai permettra de déterminer si l'amplitude de variation ΔTj (°C) entraine une plastification assez importante pour provoquer le même mécanisme de défaillance ainsi qu'une énergie d'activation similaire. Tous ces aspects mènent à penser que le modèle simplifié de Norris-Landzberg (cf. équation 27) est le plus adapté pour décrire la fissuration des soudures des fils d'interconnexion soumis à des cycles thermiques de puissance.

6.5 Conclusions

Ce chapitre a tout d'abord présenté les indicateurs d'évaluation de la fiabilité utilisé en électronique puis certaines lois usuelles de probabilité pouvant décrire les distributions des temps à défaillance des dispositifs électroniques de puissance testés en cyclage en puissance ou *Power Cycling* (PC). Ensuite, il expose une méthodologie de détermination de la durée de vie moyenne des dispositifs par rapport à des tests de vieillissement accéléré à l'aide d'un modèle physique de la défaillance. Il se poursuit en décrivant l'applicabilité des temps à défaillance à deux lois de probabilité. Il termine avec la présentation des principaux modèles physiques de la fatigue thermomécanique des matériaux ductiles pouvant décrire la fissuration de la soudure des fils d'interconnexion.

Les distributions des temps à défaillance peuvent correspondre à celles des lois log-normale et de Weibull. Néanmoins, il manque une série de tests PC pour appliquer la méthodologie précédemment décrite.

Concernant les modèles de durée de vie de fatigue des matériaux ductiles, le modèle existant qui inclut le plus de paramètres clés des simulations On / Off est celui de Coffin-Manson modifié par Norris-Landzberg (cf. équation 26). Il semble être le plus adapté pour modéliser la fatigue thermomécanique des fils d'interconnexion.

Le modèle simplifié du modèle de Norris-Landzberg (cf. équation 27) semble également approprié à la fissuration des fils d'interconnexion. Il prend en compte la température moyenne pour modéliser les phénomènes activés en température suivant un modèle de type Arrhenius. Cependant, la température maximale est plus adéquate pour comparer des conditions expérimentales à des conditions opérationnelles (adaptabilité du modèle).

Le modèle de Darveaux (cf. équation 28) ne semble pas être spécialement bien adapté. En effet, la présence des défauts de la soudure des fils (cf. figure 77) empêche de déterminer le nombre de cycles à l'initiation des fissures N_0 ainsi que leur vitesse de propagation, car ses défauts peuvent se confondre avec l'initiation et la propagation des fissures.

Une matrice de tests est proposée pour permettre de valider le modèle. La matrice de test (cf. figure 86) est modulable en fonction de la température maximale d'utilisation des dispositifs électroniques de puissance. Il serait également intéressant d'étendre cette matrice de tests à des températures de démarrage des cycles thermiques (T_{PTR}) jusqu'à la température minimale de fonctionnement des dispositifs électroniques de puissance. Cela permettra de vérifier si le mécanisme de défaillance est identique pour toutes les conditions de tests.

7 Conclusion générale et perspectives

Répondre à la question de l'utilisation des composants et modules électroniques de puissance COTS dans les applications aérospatiales passe tout d'abord par l'étude des mécanismes de défaillance rencontrés en application jusqu'à pouvoir déterminer leur fiabilité par le développement de modèles de durée de vie. Cette détermination s'est déroulée en plusieurs étapes successives.

Cette étude a débuté par la caractérisation des matériaux constitutifs de plusieurs composants commerciaux provenant de différents fabricants. Cette caractérisation a mis en évidence des technologies similaires de fabrication des composants électroniques de puissance en boîtier plastique. Cependant, deux différences ont été constatées au niveau de l'alliage de brasure de report de la puce (alliage sans-plomb et alliage avec une teneur en plomb > 85 % en masse) et du matériau d'encapsulation (retardateurs de flammes). Concernant les composants hermétiques plus complexes, ils présentent des différences notables au niveau du boîtier. Cependant, leur technologie d'interconnexion interne est identique à celle des composants en boîtier plastique. Il est à noter que ces technologies de fabrication des composants électroniques de puissance sont relativement similaires à celles utilisées en électronique numérique et analogique.

Ensuite, selon les environnements et modes d'utilisation dépendant des types d'applications (systèmes actifs et activités dormantes), plusieurs phénomènes physico-chimiques de vieillissement des matériaux des composants ont été identifiés comme de potentiels mécanismes pouvant conduire à la défaillance des composants. Ces environnements incluent l'humidité, la température et les variations de température, les contraintes électriques comme la tension et thermoélectriques comme les régimes de puissance tels qu'un régime stationnaire et On-Off.

Une campagne de tests de vieillissement accéléré a été mise en place pour reproduire les mécanismes identifiés selon le type d'applications. Cette campagne est constituée de six types de test qui ont été mis en œuvre pour simuler différentes phases des conditions opérationnelles des applications aérospatiales. Le tableau 34 synthétise les relations entre les phases de fonctionnement et les tests de vieillissement accéléré qui ont été présentées dans le chapitre 4.

Phases simulées	Tests	Description
Stockage (simple, maintenance…)	H3TRB (*High Humidity, High Temperature Reverse Bias*)	Test de chaleur humide sous tension
Contraintes liées aux environnements chauds et aux fonctionnements statiques	HTRB (*High Temperature Reverse Bias*)	Test en haute température sous tension
Remise en fonctionnement des applications après une longue période d'arrêt	HPET (*Humidity Popcorn Effect Test*)	Test de chaleur humide couplé à des injections ponctuelles de courant
Variation de température de l'environnement extérieure couplée aux variations de régimes	RCT (*Rapid Change of Temperature*)	Variations rapides de température contrôlées
Régime de puissance constant pendant une longue durée	HTFB (*High Temperature Forward Bias*)	Injection d'un courant constant avec dissipation thermique de la puissance
Régime marche-arrêt (On-Off)	PC (*Power Cycling*)	Cycles thermique de puissance par injection puis arrêt d'un courant constant

Tableau 34 : Synthèse des phases simulées par les différents tests de vieillissement accéléré

Deux diodes Schottky de puissance provenant de deux fabricants différents ont été soumises prioritairement à cette campagne de tests, car elles regroupent la quasi-totalité des technologies de fabrication des composants en boîtier plastique.

Ces différents tests ont provoqué la défaillance de plusieurs échantillons pouvant survenir dans des phases des systèmes actifs ainsi que dans celles des applications dormantes. L'application d'une tension couplée à l'humidité et la température a entrainé la destruction partielle de la jonction Schottky de quelques échantillons de l'une des deux diodes. Ces défaillances ont été spontanées et reflètent une moins bonne maîtrise et reproductibilité de fabrication de la puce de ces composants par rapport à son homologue.

D'autres composants ont présenté des modifications d'intégrité de l'alliage de brasure de la puce et des décohésions des interfaces du matériau d'encapsulation avec la grille de connexion à proximité de la puce à la suite de cycles de température environnementaux. Ces dégradations ne sont pas suffisamment avancées pour entrainer la défaillance des composants.

Les simulations de régime « *On-Off* » par l'injection de courant ont provoqué la défaillance des composants par l'initiation et la propagation de fissures dans la soudure des fils d'interconnexion, mécanisme communément appelé lift-off qui correspond au soulèvement du pied des fils. Les résultats de ces tests ont montré que ce mécanisme de défaillance est accéléré par l'amplitude des variations de la température de jonction et de la température

maximale atteinte lors des cycles de puissance. Le faible nombre de cycles à défaillance indique que la soudure est soumise à de la fatigue oligocyclique pouvant être décrite par plusieurs modèles de durée de vie déjà développés pour les matériaux ductiles dont certains sont déjà utilisés pour estimer le nombre de cycles de puissance à défaillance : modèle modifié de Coffin-Manson par Norris & Landzberg puis simplifié (cf. sous chapitre 6.4 - équation 27). D'après les analyses de défaillance et du cas d'espèce de l'un des échantillons de l'un des deux diodes (cf. 5.4.4.6), la durée de vie des composants lors de ces tests, en plus d'être influencée par la nature du matériau, est influencée par la qualité de la soudure des fils avec la puce ainsi que de la surface de ces soudures des fils. Par conséquent, il sera possible d'éliminer certains composants en fonction de la nature des interconnexions et de la surface soudée.

Les simulations de régime « *On-Off* » doivent être réalisées sur un plus grand nombre de composants électroniques pour vérifier que la fissuration de la soudure des fils d'interconnexion est le seul mécanisme de défaillance des composants électroniques de puissance COTS. De plus, il serait intéressant de valider ce modèle pour des nouvelles technologies d'interconnexion présentant des surfaces de soudure plus importantes et constituées de matériaux avec de meilleurs propriétés électriques, thermiques et mécaniques telles que des rubans en aluminium [JAC2015], des fils en cuivre [ARJ2016], des rubans de cuivre, des fils avec une âme en cuivre recouvert par une couche d'aluminium (CucorAl) [S13-2016] et des interconnections sans fil.

L'un des objectifs finaux d'une campagne de tests de vieillissement accéléré est de déterminer le(s) test(s) ou les conditions opérationnelles qui vont mettre en avant les faiblesses des composants. L'établissement d'un plan de qualification commun pour toutes les applications et si nécessaire, plus spécifique à certaines utilisations est donc indispensable pour répondre à la problématique de l'utilisation de tel ou tel composant électronique de puissance dans les applications aérospatiales. Une proposition de plan de qualification en fonction du type d'application est donnée dans le tableau 35.

Types d'application	Systèmes actifs			Activité dormantes
Tests	*Avions*	*Hélicoptères*	*Satellites*	*Lanceur et systèmes de défense*
1	PC			HPET
2	RCT			HTFB
3	H3TRB		HTFB	-
4	HTRB		HTRB	-
5	HTFB		-	-
6	HPET		-	-

Tableau 35 : Priorisation des tests selon le type d'applications pour la mise en place de plans de qualification

La méthodologie utilisée (étude bibliographique, bancs et résultats des tests) au cours de ces travaux a été transmise aux divisions du Groupe AIRBUS. La mise en application de ces plans de qualification par les divisions du Groupe Airbus et leur collaboration permettra à la fois de tester un plus grand nombre de composants électroniques de puissance COTS et d'évaluer de manière exhaustive la fiabilité de l'électronique de puissance dans les applications aérospatiales. La centralisation de ces données va également permettre d'améliorer et de valider différents modèles de durée de vie de ces composants en fonction de leurs faiblesses face aux environnements sévères et ainsi répondre avec certitude à l'utilisation de ces composants et de planifier les activités de maintenance indispensable dans certaines applications. A long terme, la construction d'une base de données pourra être réalisée à l'aide de ces données sur les fabricants des composants électroniques de puissance pouvant répondre aux exigences des contraintes aérospatiales.

8 Annexes

Annexe 1. Diagramme de phase

Le diagramme de phase WCu est présenté dans la figure 87. L'alliage tungstène-cuivre n'est pas réellement un alliage binaire, car ces deux métaux ne sont quasiment pas miscibles avant le point de fusion du cuivre. Dans ce cas-ci, il est possible de le présenter comme un matériau composite.

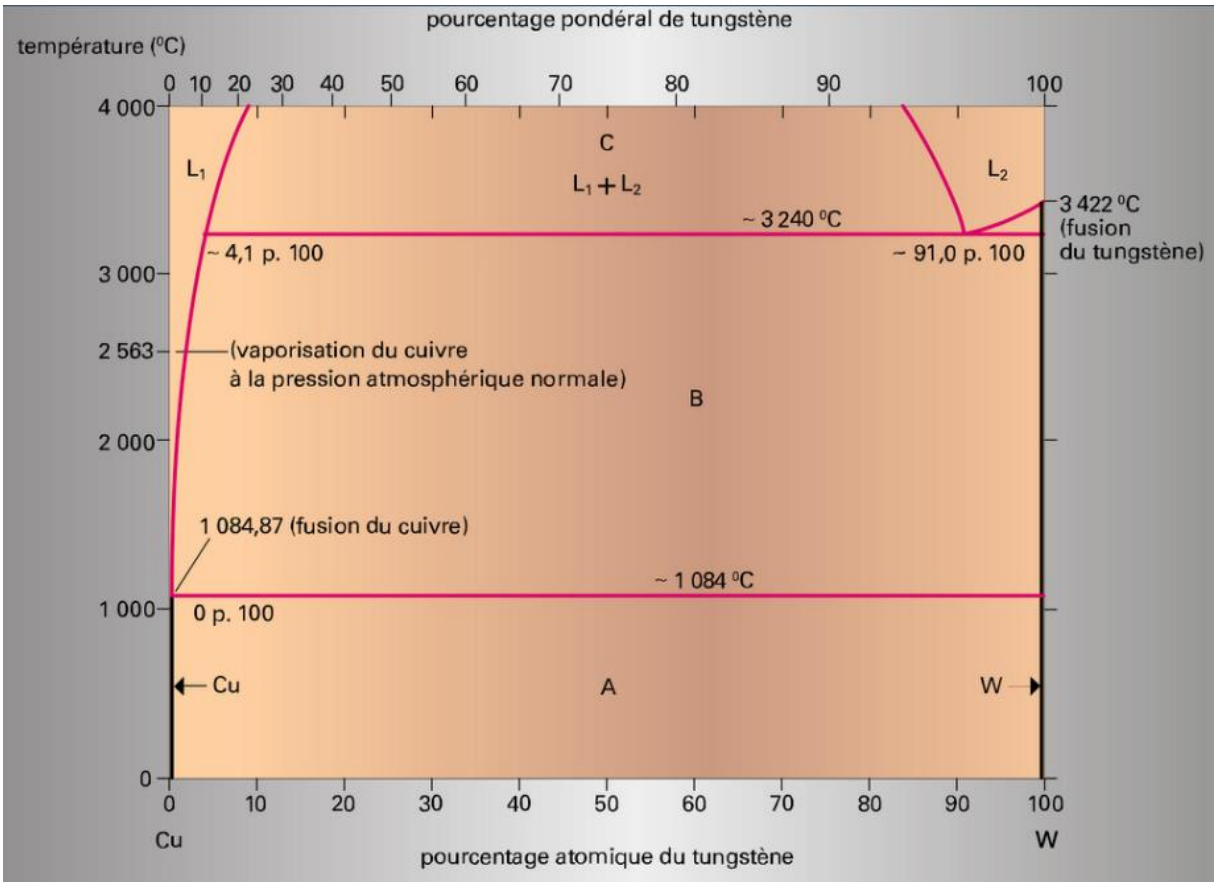


Figure 87 : Diagramme de phase WCu

Le diagramme de phase de l'alliage AgCu est présenté dans la figure 88. L'alliage argent-cuivre est un alliage binaire possédant un point Eutectique à 779 °C.

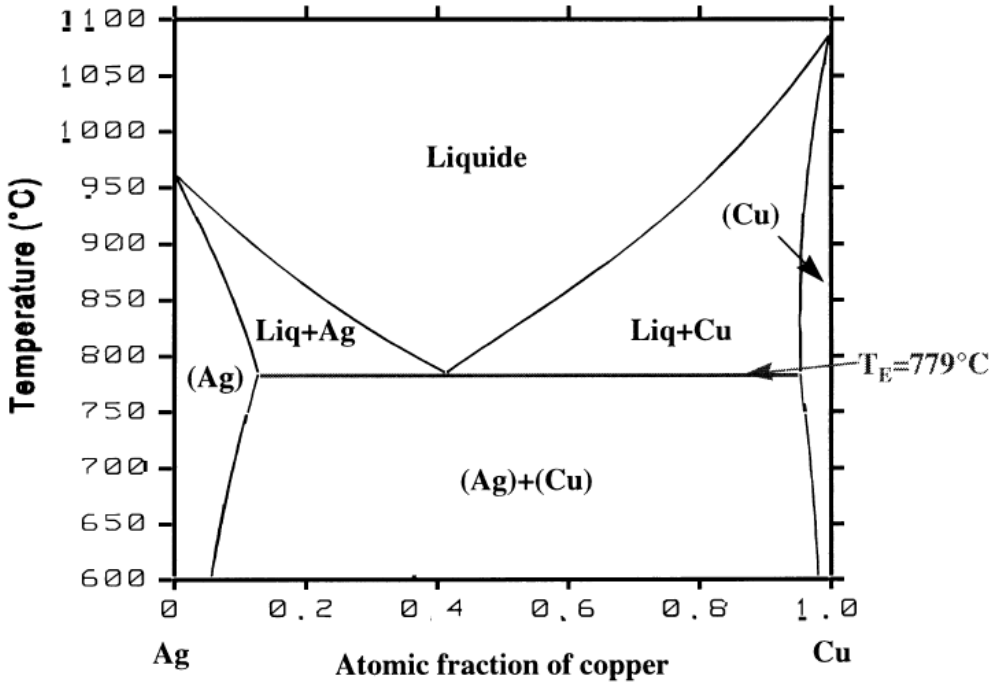
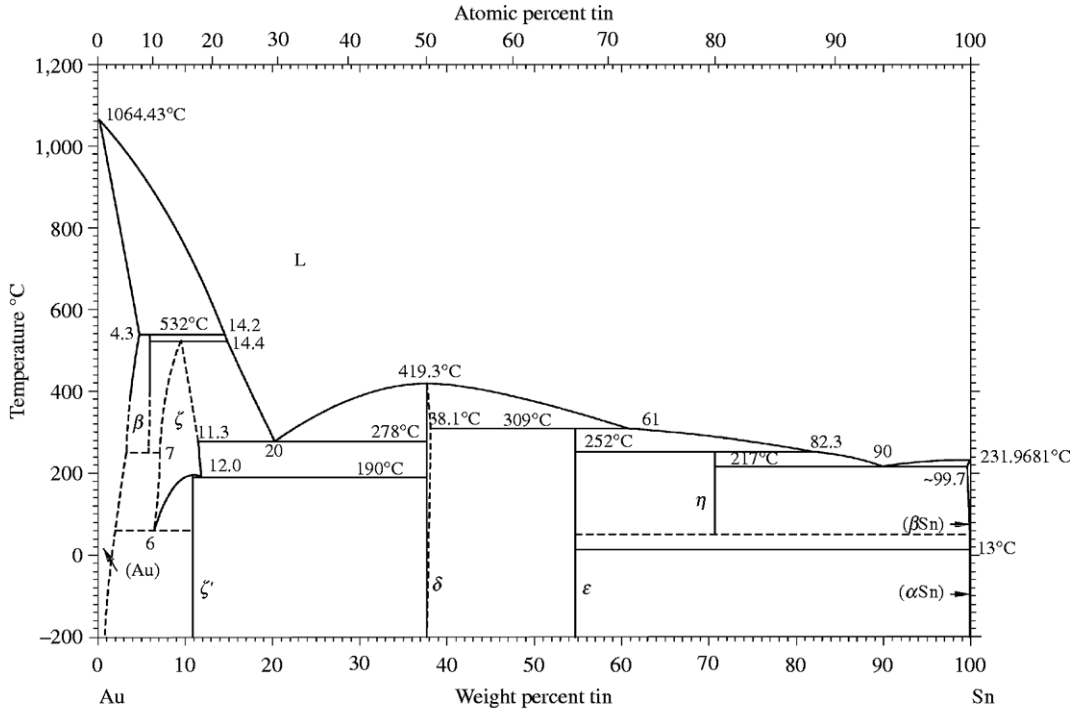


Figure 88 : Diagramme de phase de l'alliage AgCu

Le diagramme de phase de l'alliage AuSn est présenté dans la figure 89. L'alliage or-étain est un alliage binaire possédant plusieurs points eutectiques et péritectiques.



Source: Okamoto *et al*. (1984)

Figure 89 : Diagramme de phase de l'alliage AuSn

Le diagramme de phase de l'alliage SnSb est présenté dans la figure 90. L'alliage étain-antimoine est un alliage binaire possédant plusieurs points eutectiques et péritectiques.

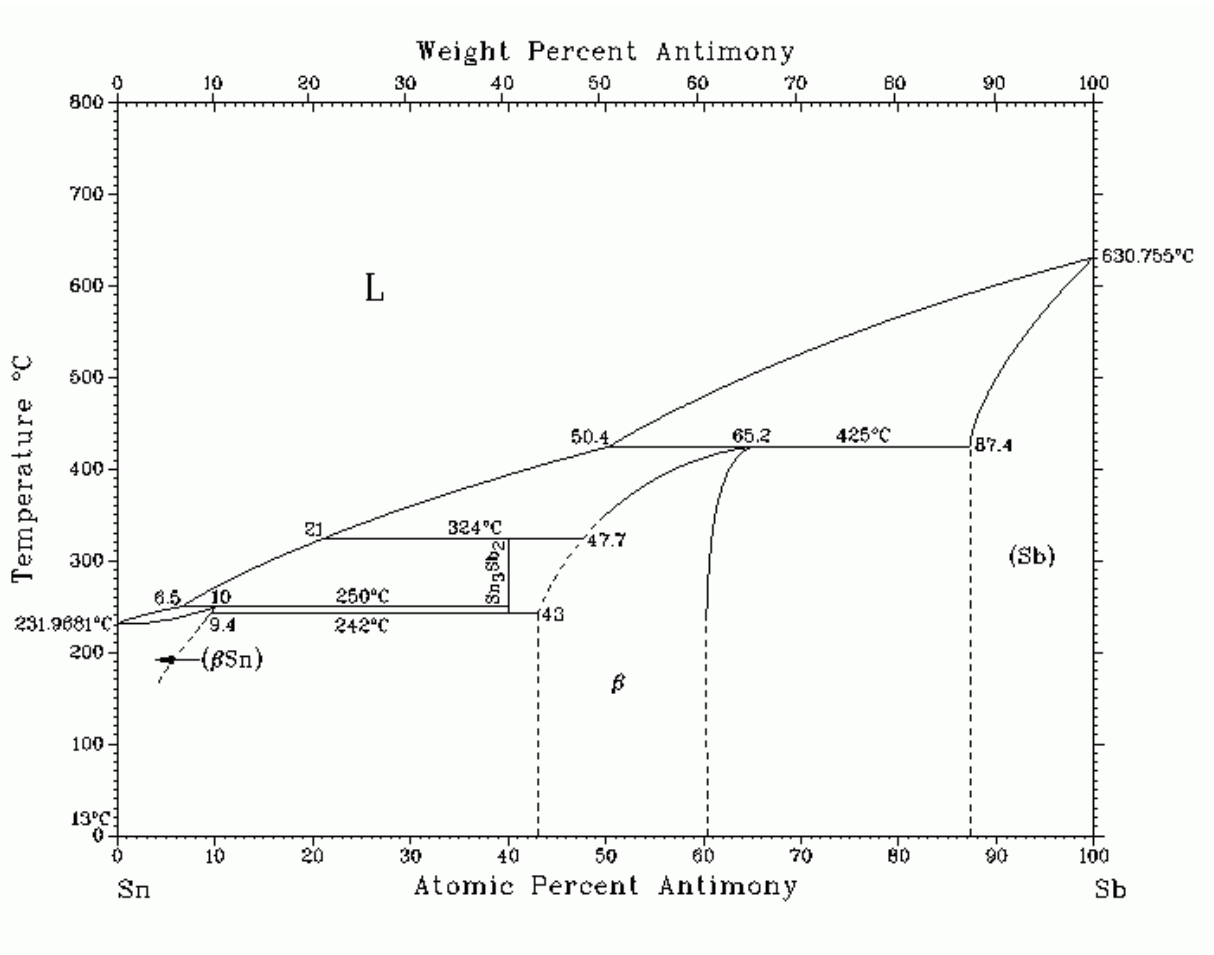


Figure 90 : Diagramme de phase de l'alliage SnSb

9 Références bibliographiques

[ABD2009]	M.F. Abdulhamid et Al., « Thermomigration Versus Electromigration in Microelectronics Solder Joints », IEEE Transactions on Advance Packaging, vol. 32, issue 3, p. 627-635, 2009
[ARJ2016]	E. Arjmand et Al., « A thermal cycling reliability study of ultrasonically bonded copper wires », Microelectronics Reliability, vol.59, p.126-133, 2016
[BAN1990]	J.A. Bannantine et Al., « Fundamentals of Metal Fatigue Analysis », Prentice-Hall, p.273, 1990
[BUF2008]	J. Bufferne, « Fiabiliser les équipements industriels », Editions d'Organisation, Livres outils – Performance, octobre 2008
[JAC2015]	S. Jacques et Al., « Impact of aluminum wire and ribbon bonding technologies on D^2PAK package reliability during thermal cycling applications », Microelectronics Reliability, vol.55, issue 9-10, p.1821-1825, 2015
[BOU2011]	A. Boucherit, thèse : « Conception d'un convertisseur de puissance pour les véhicules électriques multi-sources », soutenue le 16/12/2011
[DOY2009]	Lise DOYEN, Thèse « Caractérisation électrique de l'endommagement par électromigration des interconnexions en cuivre », soutenue le 13/03/2009
[ROC2010]	F. Roccaforte, « Surface and interface issues in wide band gap semiconductor electronics », Applied Surface Science 256 (2010), page 5727-5735
[MAT2002]	M. Matos, « Electronic structure of several polytypes of SiC: a study of band dispersion from a semi-empirical approach », Physica B 324 (2002), pages 15-33
[SAN2014]	T. Santini, S. Morand, M. Fouladirad, L-V Phung, F. Miller, B. Foucher, A. Grall, B. Allard, « Accelerated degradation data of SiC MOSFETs for lifetime and Remaining Useful Life assessment »,Microelectronics Reliability 54(2014), pages 1718-1723
[GUE2004]	F. Guérin, « Estimation de la fiabilité par les essais », HDR, spécialité sciences pour l'ingénieur, soutenue le 14/12/2004, Angers
[CHA2004]	G. Chagnon, « Cours de Génie Electrique », Licence Professionnelle de Génie Industriel, Université Paris VI – Jussieur, CFA Mecavenir, année 2003-2004
[LON2013]	E. Long and L. Toscano, « Electroless Nickel/Immersion Silver—A New Surface Finish PCB Applications », Metal Finishing, Vol. 111, Issue 1, p.12-19
[DAV2001]	J.R. Davis, « Copper and Copper Alloys », ASM Specialty Handbook, ASM International, The Materials Information Society, janvier 2001
[LIU1999]	H. Liu, N. Fank, and C. Acosta, « Mechanical and Corrosion Properties of Aluminum Wires for Ultrasonic Bonding », The International Journal of Microcircuits and Electronic Packaging, Volume 22, Number 2, Second Quarter 1999
[RAN2012]	R. S. Rana, Rajesh Purohit, and S Das, « Reviews on the Influences of Alloying elements on the Microstructure and Mechanical Properties of Aluminum Alloys and Aluminum Alloy Composites », International Journal of Scientific and Research Publications, Vol. 2, Issue 6, juin 2012
[SHE2005]	W.W. Sheng and R.P. Colino, « Power Electronic Modules, Design and Manufacture », CRC Press, Taylor & Francis Group, 2005
[FRA2004]	S. Franssila, « Introduction to Microfabrication », John Wiley & Sons Ltd, 2004

[LIU2012]	Y. Liu, « Power Electronic Packaging: Design, Assembly Process, Reliability and Modeling », Springer Science+Business Media, p.357-358, 2012
[ROU1992]	C. Rousseau, Thèse : « Etudes des mécanismes et de conditions de dégradation de composants électroniques à enrobage plastique soumis à des environnements humides », soutenue le 16 septembre 1992 à Paris (Université Pierre et Marie Curie)
[FRI2011]	B. Friederich, Thèse : « Développement de nouveaux systèmes retardateurs de flammes à base de nanocomposites plus respectueux de l'environnement », soutenue le 30 août 2011 à Esch-sur-Alzette (Luxembourg)
[WU-2010]	N. Wu, « Effects of zinc and nickel salts in intumescent flame-retardant polypropylene », Polymer Degradation and Stability, vol. 95, issue 12, Dec 2010, p.2589-2595
[EDW2003]	D. Edward, « Iron compounds in non-halogen flame-retardant polyamide systems », Polymer Degradation and Stability, vol. 82, issue 2, Dec 2003, p.291-296
[LAN2001]	B. Landemaine, Thèse: « Contribution au développement d'un nouveau retardateur de flamme sans halogène à base d'hydroxyde de magnésium », soutenue le 18 décembre 2001 à Le Mans (France)
[SU-2012]	X. Su, « Synergistic effect of zinc hydroxystannate with intumescent flame-retardants on fire retardancy and thermal behavior of polypropylene », Polymer Degradation and Stability, vol. 97, issue 11, Nov 2012, p.2128-2135
[YOO2007]	J.W. Yoon et al., « Investigation of interfacial reaction between Au–Sn solderand Kovar for hermetic sealing application », Microelectronic Engineering, vol.84, p.2634-2639, Mai 2007
[HON1999]	Hongwei Liuz, Nathan Fank, and Caroline Acosta, « Mechanical and Corrosion Properties of Aluminum Wires for Ultrasonic Bonding », The International Journal of Microcircuits and Electronic Packaging, Volume 22, Number 2, Second Quarter 1999
[MED2012]	B. Medgyes et Al., « Investigating of electrochemical migration on low-ag lead-free solder alloys », IEEE 18th International Symposium for Design and Technology in Electronic Packaging (SIITME), 2012
[GAN1996]	R. Gannamani and M. Pecht, « An Experimental Study of Popcorning in Plastic Encapsulated Microcircuits », ieee Transactions on Components Packaging. .isdmanufacturing technology-part a, vol 19, no. 2. june 1996
[XIA2009]	L. Xiao-ling et Al., « Failure Analysis and Precaution of Plastic Encapsulated Microcircuits », Reliability, Maintainability and Safety, 2009. ICRMS 2009. 8th International Conference on
[DUG2014]	F. Dugal et Al., « Study of thermal cycling and temperature aging on PbSnAg die attach solder joints for high power modules », Microelectronics Reliability, vol. 4, issue 9-10, p.1856-1861, 2014
[BAD1994]	S. Badern, « Rapid Formation of Intermetallic Compounds by Interdiffusion in the Cu-Sn and Ni-Sn Systems », Acta Metallurgica et Materialia, vol. 43, issue 1, p.329-337, 1994
[GHO2001]	G. Ghosh, « Dissolution and interfacial reactions of thin-film Ti/Ni/Ag metallizations in solder joints », Acta Materialia, vol. 49, issue 14, p. 2609-2624, 2001
[GAI2016]	A.K. Gain, « Thermal aging effects on microstructures and mechanical properties of an environmentally friendly eutectic tin-copper solder alloy », Materials & Design, vol. 110, p.275-283, 2016

[YAZ2012]	K.E. Yazzie et Al. « On the relationship between solder-controlled and intermetallic compound (IMC)-controlled fracture in Sn-based solder joints », Scripta Materialia, vol. 66, issue 8, p. 586-589, 2012
[KAU2001]	H-H. Kausch et al., « Matériaux Polymères: Propriétés Mécaniques et Physiques Principes de mise en oeuvre », Presses Polytechniques et Universitaires Romandes, 2001
[SCO2010]	James D. Scofield, « Performance and Reliability Characteristics of 1200 V, 100 A, 200°C Half-Bridge SiC MOSFET-JBS Diode Power Modules », International Conference on High Temperature Electronics, International Microelectronics & Packaging Society, Albuquerque, NM, May 2010
[YAM2007]	Y. Yamada, Y. Takaku, Y. Yagi, I. Nakagawa, T. Atsumi, M. Shirai, I. Ohnuma,K. Ishida, « Reliability of wire-bonding and solder joint for high temperature operation of power semiconductor device », Microelectronics Reliability 47 (2007), p. 2147-2151
[GOE2010]	J. Goehre, M. Schneider-Ramelow, U. Geißler, K.D. Lang, « Interface Degradation of Al Heavy Wire Bonds on Power Semiconductors during Active Power Cycling measured by the Shear Test », CIPS 2010 (March 2010), Nuremberg/Germany
[AMR2005]	R. Amro and Al., « Double-Sided Low-Temperature Joining Technique for Power Cycling Capability at High Temperature », European Conference on Power Electronics and Applications, 2005
[DIM2003]	Dimosthenis C. Katsis, « Thermal Characterization of Die-Attach Degradation in the Power MOSFET », Dissertation, Blacksburg, Virginia, January 16, 2003
[DUP2006]	L. Dupont, Z. Khatir, S. Lefebvre, S. Bontemps, « Effects of metallization thickness of ceramic substrates on the reliability of power assemblies under high temperature cycling », Microelectronics Reliability, vol. 46, p.1766-1771, 2006
[PIE2009]	S. Pietranico, S. Pommier, S. Lefebvre, S. Pattofatto, « Thermal fatigue and failure of electronic power device substrates », International Journal of Fatigue, vol. 31, p.1911-1920 mars 2009
[PEC1998]	Mickael G. Pecht al., « ELECTRONIC PACKAGING, Materials and their Properties », CRC Press, December, 1998
[KIN1988]	J.A. King et al., « Materials Handbook for Hybrid Microelectronics », Artech House, January, 1988
[KASS2015]	M.E. Kassner, « Fundamentals of Creep In Metals and Alloys », ELSEVIER, Troisième edition, 2015
[LEE2012]	S.H. Lee et al., « Thermal conductivity of tungsten–copper composites », ThermochimicaActa, vol. 542, p. 2-5, avril 2012
[AVE2012]	Y. Avenas et al., « Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters—A Review », IEEE Transactions on Power Electronics, vol. 27, Issue: 6, p. 3081-3092, June 2012
[LER2000]	S. Leroux et al., « Condensation of silver-copper alloys in a solid-liquid domain of the phase diagram », Surface and Coating Technology, vol. 125, p. 361-365, 2000, Elsevier
[COF1954]	L.F. Coffin, Jr., « A study of the effects of cyclic thermal stresses on a ductile metal », Trans. ASME, vol. 76, n°6, p.931-950, 1954
[MAN1954]	S.S. Manson, « Behaviour of materials under conditions of thermal stress », NACA, Whashington, DC, Rep. n°1170, 1954

[VAS2008]	V. Vasudevan and X. Fan, « An Acceleration Model for Lead-Free (SAC) Solder Joint Reliability under Thermal Cycling », Electronic Components and Technology Conference, 2008
[CUI2005]	H. Cui, « Accelerated Temperature Cycle Tests and Coffin-Manson Model for Electronic Packaging », Annual Reliability and Maintainability Symposium, 2005. Proceeding
[MAT2006]	T. Matsunaga and Al., « Thermal fatigue life evaluation of aluminium wire bonds », Electronics Systemintegration Technology Conference, 2006
[BRY2008]	A.T. Bryant and Al., « Exploration of power device reliability using compact device models and fast electrothermal simulation », IEEE Transactions on industry applications, vol. 33, issue 3, 2008
[YAN2013]	L. Yang, « Physics-of-Failure Lifetime Prediction Models for Wire Bond Interconnects in Power Electronic Modules », IEEE Transactions on Device and Materials Reliability, vol. 13, issue 1, 2013
[JAB2006]	M. Jabbado, Thèse « Fatigue polycyclique des structures métalliques : durée de vie sous chargements variables », soutenue le 14 mars 2006 à Paris (France)
[DEG2007]	S. Degallaix et Al., « Caractérisation expérimentale des matériaux, Propriétés physiques, thermiques et mécaniques », Presses Polytechniques et Universitaires Romandes, 1ère édition, 2007
[JAC2010]	S. Jacques, Thèse « Etude de la fatigue thermomécanique des composants de puissance de type TRIAC soumis à des cycles actifs de température », soutenue le 19 octobre 2010 à Tours (France)
[WOR2008]	C.J.H. Wort et Al., « Diamond as an electronic material », materialstoday, vol. 11, issue 1-2, 2008
[RUF2016]	R. Ruffelli, « Analyse électrique de la métallisation de puce MOSFET par mesure de potentiel de source », Symposium de Génie Electrique (SGE), EF-EPF-MG, Grenoble, France, juin 2016
[SHA2002]	N.Y.A. Shammas, « Present Problems of Power Module Packaging Technology », Microelectronics Reliability, vol. 43, p. 519-527, 2002
[SIE2002]	T. Siewert, « Database for Solder Properties with Emphasis on New Lead-free Solders, Properties of Lead-Free Solders - Release 4.0 », National Institute of Standards and Technology & Colorado School of Mines, Colorado, 2002

[S01-2015]	Consulté le 14/07/2015 : www.automobile-propre.com/voitures
[S02-2015]	Consulté le 10/08/2015 : http://www.leparisien.fr/high-tech/e-fan-l-avion-electrique-d-airbus-a-traverse-la-manche-10-07-2015-4934155.php#xtref=https%3A%2F%2Fwww.google.fr%2F
[S03-2015]	Consulté le 17/07/2015 : http://www.cree.com/~/media/Files/Cree/Chips%20and%20Material/Data%20Sheets%20Material/MATCATALOG.pdf
[S04-2016]	Consulté le 30/07/2016 : http://www-lpmtm.univ-paris13.fr/spip.php?rubrique162
[S05-2015]	Consulté le 17/07/2015 : 2ème génération de MOSFET SiC de CREE http://www.cree.com/~/media/Files/Cree/Power/Sales%20Sheets/2nd_generation_SiC_MOSFET.PDF
[S06-2015]	Consulté le 17/07/2015 : SiC Power Devices and Modules, Application note (August 2014), 2ème génération de MOSFET SiC de ROHM, p.27 hhttp://rohmfs.rohm.com/en/products/databook/applinote/discrete/sic/common/sic_appli-e.pdf
[S07-2016]	Consulté le 16/09/2016 : 3ème génération de MOSFET SiC de CREE (mars 2013) : http://www.eng.umd.edu/~neil/SiC_Workshop/Presentations_2014/01%202014_Aug_14%20Cree_Cheng%20--%209th%20ARL%20MOS%20Workshop%20for%20Public%20Release.pdf
[S08-2016]	Consulté le 17/09/2016 : SiC Power Devices and Modules, Application note (August 2014), 3ème génération de MOSFET SiC de ROHM, p.27 http://www.rohm.com/documents/11308/2823754/3rd-gen-MOSFETs.pdf
[S09-2016]	Consulté le 13/09/2016 : http://www.cmclaboratories.com/documents/backside_metallization_of_sc_wafers_IEEE_tutorial_20070417.pdf
[S10-2015]	Consulté le 30/05/2015 : European Flame Retardants Association – Paragraphe : Les retardateurs de flamme minéraux http://www.cefic-efra.com/index.php/fr/cables-fr-fr
[S11-2015]	Donnée extraite de l'Organisation Météorologique Mondiale, archives mondiales des extrêmes météorologiques et climatiques, consultées le 07/04/2015 : http://wmo.asu.edu/#global
[S12-2015]	Liste d'alliages de brasure industriels (société : Indium Corporation of America, Europe and Asia), liste disponible au lien suivant (consulté le18/07/16) : http://www.ostec-materials.ru/upload/iblock/e9a/e9aae85004a7fd1a8168520b4b742752.pdf
[S13-2016]	Consulté le 03/09/2016 : https://www.heraeus.com/media/media/het/doc_het/products_and_solutions_het_documents/bonding_wires_documents/fact_sheets/Factsheet_CucorAl.pdf