N°d'ordre NNT : **2016LYSEI147**

THESE de DOCTORAT DE L'UNIVERSITE DE LYON

opérée au sein de

INSA de Lyon

Ecole Doctorale N° EDA160

Électronique, Électrotechnique, Automatique de Lyon

Spécialité de doctorat : Génie Électrique

Soutenue publiquement le 13/12/2016, par :

Besar ASLLANI

Caractérisation et modélisation de diodes Schottky et JBS SiC-4H pour des applications haute tension

---

Devant le jury composé de :

BANO, Edwige	Professeur des Universités	PHELMA Grenoble	Rapporteure
LATRY, Olivier	Maitre de Conférences, HDR	Univ. de Rouen	Rapporteur
MORANCHO, Frédéric	Professeur des Universités	Univ. Toulouse III	Examinateur
GODIGNON, Philippe	Professeur des Universités	CNM, Barcelone	Examinateur
TOURNIER, Dominique	Maitre de Conférences, HDR	INSA de Lyon	Directeur de thèse
BERTHOU, Maxime	Ingénieur Docteur	CALY-technologies	Co-encadrant
MOREAU, Christian	Responsable Expertises	DGA, Bruz	Invité
GROSSET, Grégory	Ingénieur	Ion Beam Services	Invité

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	**CHIMIE DE LYON** **http://www.edchimie-lyon.fr** Sec : Renée EL MELHEM Bat Blaise Pascal 3e etage secretariat@edchimie-lyon.fr Insa : R. GOURDON	M. Stéphane DANIELE Institut de Recherches sur la Catalyse et l'Environnement de Lyon IRCELYON-UMR 5256 Équipe CDFA 2 avenue Albert Einstein 69626 Villeurbanne cedex directeur@edchimie-lyon.fr
E.E.A.	**ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE** **http://edeea.ec-lyon.fr** Sec : M.C. HAVGOUDOUKIAN Ecole-Doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60.97 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	**EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION** **http://e2m2.universite-lyon.fr** Sec : Sylvie ROBERJOT Bât Atrium - UCB Lyon 1 04.72.44.83.62 Insa : H. CHARLES secretariat.e2m2@univ-lyon1.fr	M. Fabrice CORDEY CNRS UMR 5276 Lab. de géologie de Lyon Université Claude Bernard Lyon 1 Bât Géode 2 rue Raphaël Dubois 69622 VILLEURBANNE Cédex Tél : 06.07.53.89.13 cordey@univ-lyon1.fr
EDISS	**INTERDISCIPLINAIRE SCIENCES-SANTE** **http://www.ediss-lyon.fr** Sec : Sylvie ROBERJOT Bât Atrium - UCB Lyon 1 04.72.44.83.62 Insa : M. LAGARDE secretariat.ediss@univ-lyon1.fr	Mme Emmanuelle CANET-SOULAS INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 avenue Jean Capelle INSA de Lyon 696621 Villeurbanne Tél : 04.72.68.49.09 Fax :04 72 68 49 16 Emmanuelle.canet@univ-lyon1.fr
INFOMATHS	**INFORMATIQUE ET MATHEMATIQUES** **http://infomaths.univ-lyon1.fr** Sec :Renée EL MELHEM Bat Blaise Pascal 3e etage infomaths@univ-lyon1.fr	Mme Sylvie CALABRETTO LIRIS – INSA de Lyon Bat Blaise Pascal 7 avenue Jean Capelle 69622 VILLEURBANNE Cedex Tél : 04.72. 43. 80. 46 Fax 04 72 43 16 87 Sylvie.calabretto@insa-lyon.fr
Matériaux	**MATERIAUX DE LYON** **http://ed34.universite-lyon.fr** Sec : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Direction Ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 71.70 Fax 04 72 43 85 28 jean-yves.buffiere@insa-lyon.fr
MEGA	**MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE** **http://mega.universite-lyon.fr** Sec : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Direction mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72 .43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	**ScSo*** **http://recherche.univ-lyon2.fr/scso/** Sec : Viviane POLSINELLI Brigitte DUBOIS Insa : J.Y. TOUSSAINT Tél : 04 78 69 72 76 viviane.polsinelli@univ-lyon2.fr	M. Christian MONTES Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Table des matières

Table des figures **xvi**

Liste des tableaux **xvii**

Abréviations **xx**

Remerciements **xxi**

Résumé **xxiii**

Abstract **xxv**

Introduction générale **1**

1 État de l'art de l'interface métal semi-conducteur sur SiC-4H **3**
- 1.1 Introduction . . . 3
- 1.2 Propriétés du carbure de silicium . . . 4
  - 1.2.1 Propriétés cristallines . . . 4
  - 1.2.2 Propriétés mécaniques, chimiques et thermiques . . . 6
  - 1.2.3 Propriétés physiques/électriques . . . 7
- 1.3 Composants en SiC-4H et leurs applications . . . 10
  - 1.3.1 État de l'art des composants SiC-4H . . . 10
  - 1.3.2 Applications des composants SiC-4H . . . 19
- 1.4 Les contacts métalliques sur SiC-4H . . . 21
  - 1.4.1 Surfaces des semiconducteurs . . . 21
  - 1.4.2 Contact métal-semiconducteur . . . 22
  - 1.4.3 Le contact ohmique . . . 29
  - 1.4.4 Le contact ohmique sur SiC-4H . . . 32
- 1.5 Impact des défauts . . . 34
  - 1.5.1 Défauts inhérents au matériau . . . 34
  - 1.5.2 Défauts crées par le process technologique . . . 48
  - 1.5.3 Classification de l'impact des défauts . . . 50
- 1.6 Redresseurs verticaux . . . 54
  - 1.6.1 La protection périphérique . . . 54
  - 1.6.2 Structure de la diode JBS . . . 58

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.7 Conclusion 60
1.7.1 Bilan 60
1.7.2 Verrous technologiques 61
1.7.3 Perspectives actuelles 62

2 Barrière Schottky : Caractérisation **63**
2.1 Caractéristiques IV et CV des diodes SBD ou JBS sur 4H-SiC . . . 63
2.1.1 Méthode d'extraction des paramètres statiques et physiques 65
2.1.2 Méthode d'extraction de la hauteur de barrière par la mesure CV 66
2.2 Caractérisation des diodes du projet FilSiC 69
2.2.1 Le projet FilSiC 69
2.2.2 Besoins et objectifs 70
2.2.3 Description de la méthodologie 71
2.2.4 Caractéristique statique des diodes 75
2.3 Caractéristique IVT et CVT des diodes JBS sur SiC-4H 83
2.3.1 Mécanismes de conduction du contact Schottky 83
2.3.2 Technique de caractérisation en température 87
2.3.3 Mesures de diodes JBS Tungstène, Nickel et Titane/Nickel 88
2.4 Conclusions 95
2.4.1 Discussion 95
2.4.2 Conclusions sur l'avancement du projet FilSiC 95

3 Barrière Schottky : Modélisation **97**
3.1 Analyse de l'inhomogénéité de la barrière Schottky sur 4H-SiC . . 97
3.1.1 Influence de l'inhomogénéité 97
3.2 Modèle phénoménologique en régime direct 104
3.2.1 Modèle multibranches 104
3.2.2 Composants à barrière fortement inhomogène 106
3.3 Modélisation de la diode Schottky SiC "idéale" 110
3.3.1 Modèles existants 110
3.3.2 Modèle phénoménologique des paramètres physiques de la barrière 114
3.4 Conclusions 120

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4 Mesures en surcharge des diodes FilSiC **121**
4.1 Description de l'expérience 121
4.1.1 Objectifs 121
4.1.2 Protocole de mesure 122
4.1.3 Extraction des paramètres physiques 124
4.2 Modélisation électrothermique 125
4.2.1 Modèle électrique en direct 125
4.2.2 Modèle thermique 127
4.2.3 Modèle électrothermique 130
4.2.4 Application du modèle à la mesure en surcharge 132
4.3 Caractérisation des diodes FilSiC et la diode commerciale 132
4.3.1 Évolution de la caractéristique de la diode 132
4.3.2 Évaluation de la robustesse des composants caractérisés 142
4.4 Conclusions 143

Conclusions générales **145**

Publications relatives à ce travail **147**

Annexe **149**

Bibliographie **192**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Table des figures

1.1 La maille élémentaire du carbure de silicium [9]. 4
1.2 Arrangements des plans cristallins pour les polytypes courants[9]. 5
1.3 Événements marquants du développement de la technologie SiC entre 2000 et aujourd'hui. 10
1.4 Schémas typiques des trois structures de diodes possibles. 11
1.5 Vue en coupe de la zone périphérique d'une diode Schottky-SiC. La zone grisée représente la zone ou les effets de bord sont les plus présents et nécessitent une protection. 12
1.6 Comparaison de la caractéristique directe (gauche) et de la caracatéristique inverse (droite) de diodes JBS et PiN de même calibre [35] en SiC. 12
1.7 Caractéristique de la diode PiN-SiC 26.9 kV [37]. 13
1.8 Vues en coupe des structures typiques des JFETs-SiC. 13
1.9 Schéma du principe de fonctionnement d'un JFET-SiC normalement fermé. . . 14
1.10 Caractéristique directe (à gauche) et inverse (à droite) de 4 JFETs-SiC 3.5kV − 15A en parallèle [39]. 14
1.11 Comparaison de la structure planaire (à gauche) et à tranchées (à droite) des MOSFETs-SiC. 15
1.12 Caractéristique directe (à gauche) et inverse (à droite) du MOSFET-SiC 15kV - 10A [43]. 16
1.13 Comparaison de la caractéristique de transfert d'un SJT 2.7kV et d'un BJT-SiC 21kV pour les courants de base affichées dans la légende [44, 45]. 17
1.14 Structures types des transistors SJT et BJT en SiC. 17
1.15 Structure type d'un IGBT de type P en SiC. 18
1.16 Caractéristique directe (à gauche) et inverse (à droite) de l'IGBT-SiC 27kV−20A [48]. 19
1.17 Réseaux intelligents de distribution de l'énergie électrique du futur. 20
1.18 Sous-station 1MV A à découpage abaissant la tension de 13.8kV à $465/\sqrt{3}$V [51]. 20
1.19 Densité de porteurs intrinsèques du Carbure de Silicium (noir) et du Silicium (rouge). 22
1.20 Diagramme des bandes d'énergie selon Schottky-Mott à l'interface métal-semiconducteur. La hauteur de barrière indiquée dans ce cas correspond à un semiconducteur de type n. 23

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.21 Hauteur de barrière Schottky obtenue expérimentalement sur du silicium type n en fonction du travail de sortie des métaux déposés. La ligne discontinue montre la prédiction de la théorie Schottky-Mott [55]. 24
1.22 Diagramme des bandes d'énergie du contact métal-semiconducteur prenant en compte la distance métal semiconducteur ainsi que la condition de la neutralité de la charge[56]. 26
1.23 Diagramme de la hauteur de barrière de potentiel du contact métal-semiconducteur prenant en compte l'abaissement de la barrière par le potentiel image [29]. . . 28
1.24 Diagramme de la hauteur de barrière de potentiel du contact métal-semiconducteur suivant les trois scénarii : polarisation directe, pas de tension et polarisation en inverse [29]. 29
1.25 Diagramme des bandes d'énergie du contact ohmique parfait sur un semiconducteur de type n [52]. 30
1.26 Diagramme des bandes d'énergie du contact ohmique modifié sur un semiconducteur de type n [52]. 31
1.27 Influence du dopage et de la hauteur de barrière sur la résistivité du contact ohmique, ainsi que les domaines d'application des trois mécanismes de conduction [29]. 32
1.28 Dislocation du plan basal du SiC-4H [90]. 35
1.29 Illustration d'une dislocation de type "coin". 36
1.30 Dislocation de type "coin" du SiC-4H[91]. 36
1.31 Conversion des BPDs en TEDs par l'utilisation de la gravure in-situ [91]. 37
1.32 Illustration de la dislocation de type "vis". 38
1.33 Illustration de la dislocation de type "vis" du SiC[90]. 38
1.34 Dislocation de type "vis" à cœur creux[94]. 39
1.35 Caractéristique inverse d'une diode Schottky sur du SiC-4H d'une surface de 0.8mm^2 environ, contenant une densité de défauts TSD de 950 cm^{-2} (a), densité de défauts TSD approximativement 1200cm^{-2} (b), densité de défauts TSD entre 1500 et 1650 cm^{-2} (c), contact formé sur un défaut de type carotte (d), et diodes contenant des micropores (e) et (f) [95]. 39
1.36 Impact de la densité de défauts TSD sur la tenue de tension d'une diode Schottky sur du SiC-4H[95]. 40
1.37 Plusieurs types de défauts d'empilement sont illustrés. SF(4,4) en (a), SF(3,5) en (b) et SF(0,6) en(c). [97] 40
1.38 Pics de photoluminescence du SiC-4H comparés à ceux des défauts d'empilement dans le substrat [97]. 41
1.39 Influence des défauts d'empilement sur la résistance à l'état passant [99]. 41
1.40 Le niveau d'énergie du défaut engendre un puit de potentiel dans lequel les électrons sont piégés (a). La tenue de tension est influencée par le défaut d'empilement (b) [100]. 42
1.41 Statistiques de l'influence d'un défaut d'empilement sur la tenue de tension[101]. 42
1.42 Apparition des doubles barrières sur des contacts Schottky présentant des défauts d'empilement[101]. 43
1.43 Impact de la densité des défauts d'empilement sur la hauteur de barrière de la diode Schottky SiC-4H[102]. 43

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.44 Simulation du courant de fuite sur le contacte Schottky d'une diode JBS contenant un défaut d'empilement[103]. 44
1.45 Maille élémentaire du cristal SiC (a), lacune (b) et site substitutionnel (c)[104]. 45
1.46 Représentation des sites interstitiels du SiC-4H de type D1 et D2 [104]. 46
1.47 Impact de la densité des défauts ponctuels de type $Z_{1/2}$ sur la durée de vie des porteurs majoritaires d'un échantillon de SiC-4H de type n épitaxié sur 50 µm [107]. 46
1.48 Comparaison du signal DLTS avant et après recuit, dans des conditions sans implantation d'ions C^+ en bas, ou avec implantation en haut[107]. 47
1.49 Impact de la durée de traitement sur la profondeur des centres $Z_{1/2}$ dans du SiC-4H de type n [107]. 47
1.50 Impact de la température de recuit post-implantation sur le courant de fuite dans une diode à barrière Schottky (SBD)[111]. 48
1.51 Signal DLTS obtenu avant et après gravure RIE, RIE + recuit ou RIE + oxydation sur du SiC-4H de type n à gauche et type p à droite [113]. 49
1.52 Amas de carbone résultant de l'oxydation du SiC après recuit Ar et gravure de l'oxyde [114]. 50
1.53 Évolution des substrats au fil des années. La taille passe de 1" à 3" et la densité de micropores de plus de 1000cm^{-2} à moins de 10 cm^{-2} [116]. 51
1.54 La cartographie complète des défauts sur un substrat 4" (a) et l'impact sur le rendement de production si l'on fabrique des composants $1 \cdot 1$ mm^2 (b), $3 \cdot 3$ mm^2 (c) ou $5 \cdot 5$ mm^2 [118] 52
1.55 A gauche, les structures des diodes, à droite le gain de tenue de tension en fonction de la dose globale de la terminaison. De haut en bas nous avons, respectivement, une JTE autour de la zone active, des anneaux de garde, une JTE assistée par des anneaux de garde, et une combinaison de toutes les techniques [117]. 55
1.56 Structure de la diode PiN de calibre 26.9 kV, record actuel de tenue en tension. La zone de drift est de 270 µm pour un dopage de 1×10^{14} cm^{-3} et une JTE modulée dans l'espace (JTE assistée par anneaux de garde) [119]. 56
1.57 Dépendance de la tenue en tension de la dose de la JTE. En noir une JTE à deux zones de dopage et en rouge une JTE assistée par anneaux de garde [119]. 56
1.58 La répartition des pics de champ en fonction du type de protection périphérique. En noir une JTE à deux zones de dopage et en rouge une JTE assistée par anneaux de garde [119]. 57
1.59 Présentation schématique de l'étape d'implantation et de recuit d'une JTE graduée [121]. 57
1.60 Répartition du champ électrique dans une diode avec GJTE. En rouge le champ au niveau du contact et en vert à 1.5 µm de profondeur. [121]. 58
1.61 Structure 2D de la diode JBS sans la protection périphérique 59
1.62 À gauche la caractéristique directe et à droite la caractéristique inverse de diodes Schottky, JBS $L_S = 6$ µm et JBS $L_S = 4$ µm de calibre 6 kV [123]. 60

2.1 Caractéristique idéale d'un redresseur 64
2.2 Caractéristique typique d'une diode Schottky 64

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

2.3 Extraction de la tension de seuil et de la résistance à l'état passant d'une diode. 65
2.4 Extraction de la hauteur de barrière et du coefficient d'idéalité d'une diode Schottky. 66
2.5 Fonctionnement d'une diode Schottky de type n en régime inverse. Structure 1D de la diode (a), diagramme des bandes (b), graphique de la charge en fonction de la profondeur de la zone de déplétion (c), champ électrique dans la diode (d) et le potentiel électrique (e). 68
2.6 Capacité en fonction de la tension inverse dans une diode Schottky (a). Méthode d'extraction de la valeur de la tension de diffusion (Built-in Voltage) (b). 69
2.7 Partenaires du projet FilSiC 70
2.8 Un exemple de module de puissance pour la conversion d'énergie électrique conçu par CIRTEM. 70
2.9 Démarche mise en œuvre pour la fabrication des composants FilSiC. 71
2.10 Tenue en tension théorique d'une couche épitaxié de SiC. 72
2.11 Champ élémentaire des plaques de diodes FilSiC. Une Schottky en haut à gauche, une JBS 3-8 en haut à droite et 2 JBS 3-4 en bas. 73
2.12 Structure de la diode JBS retenue. 73
2.13 Station de caractérisation sous pointes semi-automatique. 74
2.14 Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 4. 76
2.15 Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 6. 77
2.16 Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 7. 79
2.17 Répartition de la hauteur de barrière par plaque du lot 4. 81
2.18 Répartition de la hauteur de barrière par plaque du lot 6. 82
2.19 Répartition de la hauteur de barrière par plaque du lot 7. 82
2.20 Positionnement des bandes d'énergie dans une diode Schottky. À l'équilibre thermodynamique (a) , en polarisation inverse (b) , en polarisation directe (c). . . . 84
2.21 Illustration de la conduction par l'effet tunnel, à travers une barrière rectangulaire[130]. 85
2.22 Banc de test pour la caractérisation IVT. 88
2.23 Caractéristique IVT en polarisation directe représentée en échelle linéaire à gauche et logarithmique à droite. 90
2.25 Inverse du carré de la capacité des diodes caractérisées. 92
2.26 Comparaison de l'évolution de la hauteur de barrière selon la technique d'extraction pour les diodes A, B et C. 93
2.27 À gauche, l'évolution de la résistivité et de la tension de seuil en fonction de la température. À droite, celle du coefficient d'idéalité et de la hauteur de la barrière en fonction de la température. 94

3.1 Comparaison des caractéristiques de diodes ayant une multibarrière ou une double barrière à une diode "Ideale" provenant du Lot 4 du projet FilSiC. . . . 98
3.2 Schéma électrique du modèle thermoïonique à double barrière. 98

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

3.3 Comparaison modèle/mesure de la diode à double barrière en régime direct d'une diode du Lot 4. 99
3.4 Évolution de la hauteur de barrière en cas de multiple-barrière en fonction du travail de sortie du métal Schottky sur SiC-4H[141]. 100
3.5 Application de la démarche classique pour la modélisation d'une diode multibarrière. 100
3.6 Application de la démarche classique pour la modélisation d'une diode double barrière. 101
3.7 Simulation par éléments finis d'une barrière inhomogène [145]. 102
3.8 Apparition d'une petite barrière basse à très faible température pour une diode "idéale" à température ambiante. 102
3.9 Méthode d'extraction du coefficient de Richardson à partir de la caractéristique directe IVT d'une SBD SiC-4H commerciale. 103
3.10 Graphe d'Arrhenius (a) et évolution du coefficient de Richardson en fonction de la tension à laquelle on l'extrait. 104
3.11 Modèle multibranche de la diode Schottky défini par des paramètres phénoménologiques. 105
3.12 Modélisation IVT de la diode de référence Schottky W/SiC-4H. En rouge sont affichées les températures positives et en bleu les négatives. 106
3.13 Modélisation double branche du composant de référence Schottky W/SiC à basse température (-10°C). 107
3.14 Caractérisation et modélisation multibranche en température du composant d'étude. 107
3.15 Modélisation multibranche à 20°C d'un composant d'étude. 108
3.16 Branches 1 (en vert) et 2 (en bleu) dissociées du modèle double branche d'un composant d'étude Schottky Ni/SiC à 195°C, 170°C et 145°C. 109
3.17 Branches 1, 2 et 3 dissociées du modèle triple branche d'un composant d'étude Schottky Ni/SiC à 120 °C et 95 °C. 109
3.18 Évolution du facteur d'idéalité de chaque branche. Branches 1, 2 et 3 dissociées du modèle triple branches d'un composant d'étude Schottky Ni/SiC à 120 °C et 95°C. 110
3.19 Modélisation par la méthode Werner-Güttler de 4 diodes JBS sur du SiC-4H de type n. 112
3.20 La forme et les dimensions du contact Schottky de barrière basse influent sur l'effet de pincement (a). Simulation analytique du potentiel minimum de la bande de conduction d'une zone de barrière basse de rayon R_0 et de hauteur de barrière de 0.6 eV entourée d'un contact Schottky de 0.8 eV (b) [144]. 113
3.21 Modélisation d'une diode JBS SiC-4H commerciale par le modèle de Tung à différentes températures entre 80 et 500 K avec les paramètres suivants : $N_C = 1 \times 10^{15}\text{cm}^{-3}$, $\Phi_{B,n} = 1.35\text{eV}$, $\sigma = 3.5 \times 10^{-4}\text{cm}^{2/3}\text{V}^{1/3}$, $\gamma = 1 \times 10^{-4}\text{cm}^{2/3}\text{V}^{1/3}$ et une concentration $c_1 = 1 \times 10^{10}\text{cm}^{-2}$. 114
3.22 Évolution du facteur d'idéalité (a) et de la hauteur de barrière apparente (b) de diodes JBS, en fonction de la température. 115
3.23 Comparaison modèle/mesure pour le coefficient d'idéalité (a) et la hauteur de barrière (b). 116

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

3.24 Superposition du modèle avec les valeurs extraites des mesures pour la diode B (a) et la diode C (b). 117
3.25 Caractéristique inverse de la diode B. 117
3.26 Modélisation d'une diode idéale JBS SiC en polarisation inverse avec les paramètres suivants : $\Phi_{B,n} = 1.35\text{eV}$, $N_C = 1 \times 10^{16}\text{cm}^{-3}$. 118
3.27 Modélisation d'une diode idéale JBS SiC en polarisation inverse avec les paramètres suivants, $\Phi_{B,n} = 1.35 - (40/T)$, $N_C = 1 \times 10^{16}\text{cm}^{-3}$ (a), simulation par éléments finis (b). 118
3.28 Modèle en régime inverse de la diode JBS sur SiC. Températures de 80 K à 240 K (a) et 260 K à 500 K (b). 119
3.29 Résultat de la modélisation de la hauteur de barrière en fonction de la température et de la tension. 120

4.1 Représentation en coupe d'une diode mise en boîtier par le Cirtem. 122
4.2 Formes d'onde de la tension (a) et du courant (b), mesurées en fonction du temps. 123
4.3 Caractéristique directe de la diode pendant le cyclage. 123
4.4 Technique utilisée pour l'extraction des paramètres telles que la résistivité et la tension de seuil (a). La hauteur de la barrière Schottky et le coefficient d'idéalité (b). La tension de blocage à un niveau de courant (c). 124
4.5 Caractéristique IVT de la diode HL6 (a) et le modèle qui décrit son comportement (b). 125
4.6 Modélisation de la conductivité de la diode en fonction de la température. . . . 126
4.7 Validation du modèle fort courant en régime direct de la diode encapsulée. . . . 126
4.8 Modèle thermique retenu pour la simulation par éléments finis. 127
4.9 Simulation de la réponse temporelle du composant encapsulé soumis à une durée variable d'impulsion de 60W (i.e. variation de la résistance thermique en fonction de la température). 128
4.10 Simulation et modélisation de l'élévation de la température par rapport au fond du boitier en fonction de la durée de l'échelon de puissance fixe, au point le plus chaud de la structure (i.e. au milieu de la surface active). 129
4.11 Modèle thermique Spice de la puce packagée. 130
4.12 Modèle électrothermique fort courant en régime direct de la diode encapsulée. . 131
4.13 Validation du modèle électrothermique fort courant en régime direct après application d'un demi-sinus de tension. 131
4.14 Évolution de la puissance dissipée et de la température en fonction du temps pour la diode HL6. 132
4.15 Évolution de la caractéristique directe de la diode AJ2 au cours du cyclage en échelle linéaire (a) et en échelle logarithmique (b). 133
4.16 Évolution de la caractéristique inverse de la diode AJ2 au cours du cyclage en échelle logarithmique. 133
4.17 Évolution de la tension de seuil au cours du cyclage en surcharge pour trois niveaux de courant ; 1 nA, 100 µA, et 50 mA, en fonction du nombre de cycles de stress. 134
4.18 Variation relative de la tension appliquée en direct pour obtenir un courant de 1 nA (a), 100 µA (b) et 50 mA (c), en fonction du nombre de cycles de stress. . 135

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.19 Variation de la hauteur de barrière (a) et du coefficient d'idéalité (b) en fonction du nombre de cycles de stress pour différents échantillons subissant différentes amplitudes de courant. 136
4.20 Zoom sur la métallisation de l'anode après les tests en surcharge. 138
4.21 Ratio de la température du contact en fonction de la position et du temps. . . . 138
4.22 Variation de la hauteur de barrière (a) et du coefficient d'idéalité (b) en fonction du nombre de cycles de stress. 139
4.23 Apparition de la double barrière suite aux tests en surcharge sur la diode de référence. 139
4.24 Caractéristique directe en surcharge de la diode AJ2 (a) et de la diode du commerce (b) en fonction du nombre de cycles. 140
4.25 Variation de la tension appliquée en inverse pour des courants de 1 nA et 10 nA sur les diodes FilSiC en (a) et la diode commerciale en (b), en fonction du nombre de cycles de stress. 141
4.26 Variation relative de la tension appliquée en inverse pour un courant de 1 nA en (a) et 10 nA en (b), en fonction du nombre de cycles de stress. 141
27 Coefficient d'idéalité de la plaque AJ1303-11 150
28 Coefficient d'idéalité de la plaque FZ0958-03 150
29 Coefficient d'idéalité de la plaque HL0623-15 151
30 Hauteur de barrière de la plaque AJ1303-11 151
31 Hauteur de barrière de la plaque FZ0958-03 152
32 Hauteur de barrière de la plaque HL0623-15 152
33 Tenue de tension de la plaque AJ1303-11 153
34 Tenue de tension de la plaque FZ0958-03 153
35 Tenue de tension de la plaque HL0623-15 154
36 Coefficient d'idéalité de la plaque AM1025-13 154
37 Coefficient d'idéalité de la plaque AO1021-04 155
38 Coefficient d'idéalité de la plaque BQ1656-38 155
39 Coefficient d'idéalité de la plaque CH0114-27 156
40 Coefficient d'idéalité de la plaque FA0852-05 156
41 Coefficient d'idéalité de la plaque JA0843-20 157
42 Hauteur de barrière de la plaque AM1025-13 157
43 Hauteur de barrière de la plaque AO1021-04 158
44 Hauteur de barrière de la plaque BQ1656-38 158
45 Hauteur de barrière de la plaque CH0114-27 159
46 Hauteur de barrière de la plaque FA0852-05 159
47 Hauteur de barrière de la plaque JA0843-20 160
48 Tenue de tension de la plaque AM1025-13 160
49 Tenue de tension de la plaque AO1021-04 161
50 Tenue de tension de la plaque BQ1656-38 161
51 Tenue de tension de la plaque CH0114-27 162
52 Tenue de tension de la plaque FA0852-05 162
53 Tenue de tension de la plaque JA0843-20 163
54 Coefficient d'idéalité de la plaque BC1427-02DC4 163
55 Coefficient d'idéalité de la plaque BC1427-04DC4 164

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

56 Coefficient d'idéalité de la plaque BC1427-05DC4 164
57 Coefficient d'idéalité de la plaque BC1427-06DC4 165
58 Coefficient d'idéalité de la plaque BC1427-07DC4 165
59 Coefficient d'idéalité de la plaque BC1427-09DC4 166
60 Coefficient d'idéalité de la plaque BC1427-10DC4 166
61 Hauteur de barrière de la plaque BC1427-02DC4 167
62 Hauteur de barrière de la plaque BC1427-04DC4 167
63 Hauteur de barrière de la plaque BC1427-05DC4 168
64 Hauteur de barrière de la plaque BC1427-06DC4 168
65 Hauteur de barrière de la plaque BC1427-07DC4 169
66 Hauteur de barrière de la plaque BC1427-09DC4 169
67 Hauteur de barrière de la plaque BC1427-10DC4 170
68 Tenue de tension de la plaque BC1427-02DC4 170
69 Tenue de tension de la plaque BC1427-04DC4 171
70 Tenue de tension de la plaque BC1427-05DC4 171
71 Tenue de tension de la plaque BC1427-06DC4 172
72 Tenue de tension de la plaque BC1427-07DC4 172
73 Tenue de tension de la plaque BC1427-09DC4 173
74 Tenue de tension de la plaque BC1427-10DC4 173
75 Caractéristique d'un champ de la W1 (AJ-1303-11) du lot 4. 174
76 Caractéristique d'un champ de la W2 (FZ0958-03) du lot 4. 174
77 Caractéristique d'un champ de la W3 (HL0623-03) du lot 4. 175
78 Caractéristique d'un champ de la W1 (BQ1656-03) du lot 6. 176
79 Caractéristique d'un champ de la W2 (CH0114-27) du lot 6. 176
80 Caractéristique d'un champ de la W3 (AM1025-13) du lot 6. 176
81 Caractéristique d'un champ de la W4 (AO1021-04) du lot 6. 177
82 Caractéristique d'un champ de la W5 (FA0852-05) du lot 6. 177
83 Caractéristique d'un champ de la W6 (JA0843-20) du lot 6. 177
84 Caractéristique d'un champ de la W1 (BC1427-02) du lot 7. 178
85 Caractéristique d'un champ de la W2 (BC1427-04) du lot 7. 178
86 Caractéristique d'un champ de la W3 (BC1427-05) du lot 7. 178
87 Caractéristique d'un champ de la W4 (BC1427-06) du lot 7. 179
88 Caractéristique d'un champ de la W5 (BC1427-07) du lot 7. 179
89 Caractéristique d'un champ de la W6 (BC1427-09) du lot 7. 179
90 Caractéristique d'un champ de la W7 (BC1427-10) du lot 7. 180

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Liste des tableaux

1.1 Propriétés mécaniques, chimiques et thermiques. 6
1.2 Propriétés physiques et électriques des semiconducteurs courants. 8
1.3 Définition des facteurs de mérite. [30, 31, 32, 33] 9
1.4 Facteurs de mérite des semiconducteurs courants. 9
1.5 Meilleures valeurs de contact ohmique sur SiC-4H de type n relevées dans la littérature. 33
1.6 Meilleures valeurs de contact ohmique sur SiC-4H de type n relevées dans la littérature. 34
1.7 Tableau de la classification de l'impact des défauts [117]. 52
1.8 Tableau récapitulatif de l'impact des défauts[117]. 53

2.1 Tableau récapitulatif des partenaires du projet FilSiC. 69
2.2 Paramètres technologiques des plaques de SiC-4H du lot 4. 76
2.3 Paramètres technologiques des plaques de SiC-4H du lot 6. 78
2.4 Paramètres technologiques des plaques de SiC-4H du lot 7. 80
2.5 Paramètres technologiques principaux des diodes caractérisées selon le protocole défini. 89

3.1 Paramètres physiques pour la modélisation de la double barrière d'une diode Schottky Titane/Nickel. 99
3.2 Valeurs des paramétres du modèle de Werner utilisées sur les diodes JBS en SiC. 112
3.3 Valeur des paramètres du modèle proposé pour le régime direct des diodes JBS en SiC. 116

4.1 Valeurs des paramètres physiques de composants avant le test, ainsi que la valeur crête du demi-sinus de courant (I_{Pic}). 122
4.2 Paramètres thermiques des matériaux constituant l'ensemble du composant. . . 127
4.3 Paramètres de modélisation analytique de l'élévation de température en fonction du temps par l'équation (4.2) 129
4.4 Paramètres de l'impédance thermique en fonction du temps. 130
4.5 Conditions de test des diodes soumises au cyclage. 134
4.6 Estimation du pic de température pendant le test en surcharge. 137
4.7 Calcul du facteur de mérite des diodes testées en surcharge 143

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Abréviations

I_{FE} courant tunnel.

I_{TE} courant thermoïonique.

I_{TFE} courant tunnel assisté thermiquement.

ACS Automated Characterisation Suite.

BPD dislocations du plan basal.

DLTS spectroscopie capacitive des niveaux profonds.

DRCLS Spectroscopie de Cathodoluminescence Résolue en Profondeur.

EBIC Courant Induit par Faisceau Électronique.

ED dislocations de type “coin”.

HEMT Transitors à Haute Mobilité Électronique.

HVDC réseaux à courant continu haute tension.

JBS diode à barrière Schottky et Jonction PN.

JTE Junction Termination Extention.

MEB microscope électronique à balayage.

MP micropore.

PID régulateur à action proportionnelle, intégrale et dérivée.

PL photoluminescence.

RIE Reactive Ion Etching.

SA spectroscopie d’admittance.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

SBD diode à barrière Schottky.

SF défaut d'empilement.

SIMS Spectrométrie de Masse à Ionisation Secondaire.

SWBXT topographie synchrotron faisceau blanc rayon X.

TED Threading Edge Dislocation.

TEM microscope électronique en transmission.

TSD dislocations de type "vis".

UVPL photoluminescence ultra violet.

XRD Cristallograhipe aux Rayons X.

ZCE Zone de Charge d'Espace.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Remerciements

Ce travail de thèse a été effectué au laboratoire AMPÈRE de l'Université de Lyon. À ce titre, je tiens à remercier Monsieur le Professeur Bruno ALLARD, directeur du laboratoire AMPÈRE, pour m'avoir permis de réaliser mes travaux de recherche dans d'excellentes conditions. Je remercie également Monsieur le Professeur Dominique PLANSON pour m'avoir suivi à toutes les étapes de la préparation de la soutenance de thèse.

J'exprime ma vive reconnaissance à Monsieur le Professeur Frédéric MORANCHO, de l'Université de Toulouse Paul Sabatier pour avoir accepté de présider ce jury.

J'adresse ici ma haute considération à Madame Le Professeur Edwige BANO, de l'École PHELMA de l'Institut Polytechnique de Grenoble et à Monsieur le Maître de Conférences HDR Olivier LATRY de l'Université de Rouen, ainsi que ma profonde gratitude pour le privilège qu'ils m'ont offert en acceptant d'être rapporteurs de cette thèse.

Je remercie cordialement Monsieur le Professeur Philippe GODIGNON, du Centre National de Microélectronique (Espagne) pour avoir examiné mon travail et participé au jury de cette thèse.

Je réserve des remerciement particuliers à Monsieur Christian MOREAU, Responsable Expertises technologie des composants électroniques et fiabilité à la DGA M.I., Bruz, pour avoir évalué ce travail et pris part au jury de cette thèse, mais aussi pour ses conseils avisés. Je remercie également Monsieur Grégory GROSSET, Ingénieur à Ion Beam Services pour avoir accepté l'invitation à participer au jury et pour l'élaboration des échantillons qui ont été étudiés pendant mes travaux.

Mes profonds remerciements vont naturellement à Monsieur Dominique TOURNIER, Maître de Conférences HDR de l'INSA de Lyon, pour m'avoir fait confiance en me proposant d'effectuer cette thèse sous sa direction. Son soutien, tant sur le plan scientifique que sur le plan moral m'a beaucoup apporté.

Je suis également très reconnaissant à Monsieur Maxime BERTHOU, Docteur Ingénieur de CALY Technologies, pour m'avoir guidé dans ma démarche, pour avoir partagé avec moi ses compétences et pour m'avoir appris les secrets d'une bonne publication. Ses conseils apportés au jour le jour, dans la constante bonne humeur, ont rendu nos nombreuses séances de travail productives et instructives. Je le remercie tout particulièrement pour s'être rendu disponible et pour ne pas avoir épargné ses critiques toujours constructives.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse a été réalisée dans cadre du Projet FilSiC qui a été financé par la DGE. Je souhaite remercier de manière générale tous les membres du consortium qui par leur collaboration étroite ont permis la réalisation de composants qui ont été étudiés pendant cette thèse. Un remerciement particulier va à MCf. HDR. Pierre BROSSELARD, cofondateur de CALY Technologies, pour m'avoir fait confiance et avoir défini le cadre industriel de la thèse.

Je remercie infiniment Jean-Baptiste FONDER qui a su à son arrivée donner une toute nouvelle tournure à mes travaux de thèse. Il m'a guidé et soutenu pendant les séances de caractérisation. En plus de ses compétences il a partagé ses points de vues sur la société d'aujourd'hui et sa bonne humeur infaillible. Nos débats animés résonneront toujours dans le couloir et hanteront la salle de pause.

Je remercie également Shiqin et Luong Viet pour les discussions scientifiques, les conseils sur la simulation, les sorties gastronomiques et les ateliers de cuisine asiatique qui vont me manquer.

Le développement des nouveaux bancs d'expériences ainsi que la mise en place des outils informatiques ont été charitablement réalisés par les compétences et la disponibilité toujours présente de Pascal BEVILLAQUA, que je remercie chaleureusement. Avec son aide et ses conseils précieux j'ai pu mener à bien mes travaux de thèse.

Je n'oublie pas les autres chercheurs de Léonard De Vinci qui ont toujours été très bienveillants et m'ont soutenu dans ma démarche. À la liste des remerciment je voudrais absolument ajouter les doctorants et les anciens doctorants, Remy, Teng, Florian, Raphaël, Maxime, Amira, Emmanuel, Clement, Simon et d'autres que j'oublie peut-être de mentionner mais qui m'ont autant aidé.

Je voudrais dédier ce travail à ma famille, à mes amis Ardit et Arber et aux enseignants qui m'ont poussé à toujours apprendre, questionner et appliquer. Sans leur soutien quotidien je n'aurais certainement pas pu persévérer et réussir ma scolarité. Merci à Jean-Marc qui m'a donné envie d'étudier en France, sans qui je ne sais pas où je me trouverais. Merci beaucoup à mes deux frères, Malbor et Drilon, qui malgré la distance m'ont appris à être humble, à savourer la vie et m'ont soutenu dans tous les moments.

Pour finir je remercie du cœur Mylène, compagne de galère du premier au dernier jour de la thèse, qui avec son soutien et sa douceur m'a permis de garder un lien avec la réalité et en même temps m'a fait aimer la vie. Quand on nous aime autant, on se doit de réaliser ses projets. À notre entreprise se sont ajoutés deux beaux félins, Ulysse "le gros" et James "le crevard", que je remercie de nous avoir choyés pendant les soirées de rédaction.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Résumé

La diode Schottky SiC est un composant qui peut potentiellement remplacer la diode PiN Si dans les applications de puissance. Effectivement, la tenue en tension élevée, la faible résistivité, ainsi que l'indépendance de la température du courant de recouvrement rendent cette diode idéale pour les convertisseurs de puissance DC/DC. Cependant, face à l'abondance des composants Si sur le marché, la diode Schottky rencontre une certaine réticence. Malgré les nombreuses démonstrations de systèmes électroniques de puissance réalisés, la fiabilité de cette technologie n'arrive pas à convaincre. Cette étude porte sur la caractérisation en régime statique sur une large gamme de températures et l'évaluation de la fiabilité en surcharge des diodes Schottky et JBS SiC-4H. La caractérisation en température a permis de proposer des modèles de la caractéristique directe et inverse sur une gamme étendue de températures. Les tests en surcharge ont permis de comparer la fiabilité de diodes expérimentales et commerciales à fin de montrer la maturité de cette technologie.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Abstract

The SiC Schottky diode can potentially replace the PiN diode in power applications. As a matter of fact, high blocking voltage, low resistivity as well as temperature independence of the reverse recovery current make this diode ideal for DC/DC power converters. Nevertheless, Schottky diodes meet some reluctance before the abundance of PiN Si diodes. Despite the numerous demonstrations of power electronics systems, there are still some reliability aspects to improve. This study focuses on static characteristic in a large temperature range and reliability assessment of repetitive surge test of Schottky and JBS diodes. The measurements of forward and reverse characteristics yielded new models in a wide temperature range. Repetitive surge tests enabled us to compare the reliability of experimental and commercial diodes in order to prove the maturity of this technology.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Introduction générale

L'aboutissement des recherches sur le carbure de silicium est la création de la filière technologique de l'électronique de puissance 100% SiC. La commercialisation de composants Schottky SiC est déjà une réalité. Cependant, plusieurs facteurs empêchent cette technologie très prometteuse de percer les marchés de l'électronique de puissance. Parmi ces raisons nous avons :

- les enjeux économiques
- le coût de fabrication
- la fiabilité

Les composant SiC offrent des propriétés intéressantes en terme de tenue de tension, densité de puissance et température de fonctionnement. Les domaines de l'avionique, des réseaux de distribution HVDC, le forage pétrolier, ainsi que les capteurs dans l'automobile sont particulièrement exigeants. Or, le cyclage thermique est parmi les plus contraignants que les composants doivent endurer. Pendant le cyclage la fiabilité est mise à dure épreuve. Pour bien déterminer les propriétés et les limitations des composants SiC, il faut les soumettre à une batterie de tests expérimentaux.

Le thème principal de cette thèse est la caractérisation la diode Schottky et JBS à fin de fournir des modèles analytiques pouvant être intégrés facilement dans des simulateurs de type Spice, ou éléments finis, ainsi qu'évaluer leur fiabilité comparé au composants commerciaux. Ce document est construit sur quatre chapitres.

Le premier chapitre donne un aperçu de l'état de l'art de l'évolution de la technologie en carbure de silicium pour les diodes unipolaires. En conclusion de ce chapitre, des perspectives sont pointées pour faire émerger la technologie en carbure de silicium.

Le deuxième chapitre situe les travaux de cette thèse vis-à-vis du projet de création de la première filière industrielle française pour les composants de puissance haute tension en carbure de silicium. Nous allons entrer dans les détails de la barrière Schottky avec les découvertes faites pendant les travaux de caractérisation ainsi que les méthodes que nous avons employées.

Le troisième chapitre 3 est consacré entièrement à la modélisation de la barrière Schottky. Les modèles actuels seront passés en revue pour justifier la nécessité de travailler encore dans cette direction largement empruntée par les chercheurs qui étudient les diodes unipolaires. Deux modèles sont proposés pour le régime direct et inverse respectivement.

Le quatrième et dernier chapitre est consacré à la validation des composants fabriqués dans le cadre du projet qui finance cette thèse. Nous allons tester leur fiabilité pour mesurer cette technologie par rapport à la concurrence.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Chapitre 1

État de l'art de l'interface métal semi-conducteur sur SiC-4H

Sommaire

1.1 Introduction . . . 3
1.2 Propriétés du carbure de silicium . . . 4
1.2.1 Propriétés cristallines . . . 4
1.2.2 Propriétés mécaniques, chimiques et thermiques . . . 6
1.2.3 Propriétés physiques/électriques . . . 7
1.3 Composants en SiC-4H et leurs applications . . . 10
1.3.1 État de l'art des composants SiC-4H . . . 10
1.3.2 Applications des composants SiC-4H . . . 19
1.4 Les contacts métalliques sur SiC-4H . . . 21
1.4.1 Surfaces des semiconducteurs . . . 21
1.4.2 Contact métal-semiconducteur . . . 22
1.4.3 Le contact ohmique . . . 29
1.4.4 Le contact ohmique sur SiC-4H . . . 32
1.5 Impact des défauts . . . 34
1.5.1 Défauts inhérents au matériau . . . 34
1.5.2 Défauts crées par le process technologique . . . 48
1.5.3 Classification de l'impact des défauts . . . 50
1.6 Redresseurs verticaux . . . 54
1.6.1 La protection périphérique . . . 54
1.6.2 Structure de la diode JBS . . . 58
1.7 Conclusion . . . 60
1.7.1 Bilan . . . 60
1.7.2 Verrous technologiques . . . 61
1.7.3 Perspectives actuelles . . . 62

1.1 Introduction

Le carbure de silicium est un semiconducteur à grande bande interdite. Il fut découvert par accident, en 1824, par J. BERZELIUS[1]. Le procédé industriel ne fut mis au point qu'en 1891 par E. G. ACHESON[2]. À ses débuts, le SiC était convoité pour ses propriétés mécaniques. Parmi ses applications, on peut compter la réalisation de poudres abrasives et d'outils de découpe. Outre la découverte de ses propriétés électroluminescentes par H. J. Round[3], en

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1907, la recherche sur le carbure de silicium en tant que semiconducteur ne reprit que dans les années 1950 et fut motivée par l'envie de fabriquer des composants de puissance qui puissent fonctionner à de :

- hautes températures,
- hautes fréquences,
- fortes puissances en environnement sévère (corrosion, radiations).

Le premier procédé de fabrication de cristaux relativement purs de carborundum (Carbure de silicium) fut breveté par J. A. LELY [4] en 1955. Cette nouvelle méthode permit la fabrication des premiers composants [5, 6, 7, 8] en carbure de silicium.

1.2 Propriétés du carbure de silicium

1.2.1 Propriétés cristallines

Les propriétés physiques, chimiques, mécaniques et thermiques du carbure de silicium découlent de la configuration de la maille cristalline élémentaire. Celle-ci est de forme tétraédrique et comporte autant de carbone que de silicium, comme illustré par la figure 2.8[9].

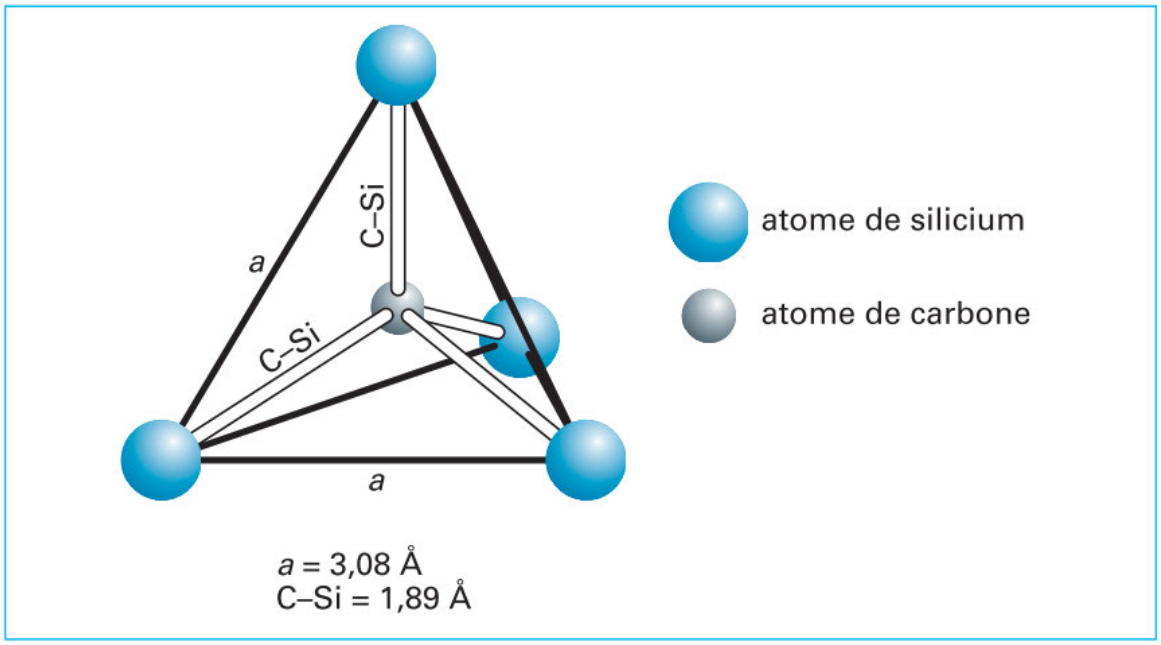


FIGURE 1.1 – La maille élémentaire du carbure de silicium [9].

Étant donné qu'il y a un transfert de charge du silicium vers le carbone d'environ 0.89 électrons sur le SiC-3C, les liaisons chimiques entre carbone et silicium ne sont pas 100% covalentes. Pour les polytypes hexagonaux le transfert de charge est réduit de 0.01 – 0.04 électrons [10]. Néanmoins, elles sont considérées comme des liaisons covalentes fortes dans la littérature[11].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

L'énergie moyenne liante pour C-Si est de 360 kJmol^{-1} ($\approx$ 3.7 eV par liaison) [12]. Celle-ci rend le cristal très stable, chimiquement neutre et confère des propriétés mécaniques et thermiques exceptionnelles.

Le caractère diatomique de ce cristal permet plus de 250 [13] arrangements de plans cristallins différents et les propriétés électriques varient selon le polytype. Le nombre de polytypes utilisés depuis les années 1960 converge aujourd'hui vers le 4H. Les polytypes les plus courament utiliés aujourd'hui sont : le 2H, le 3C, le 4H et le 6H. L'arrangement des plans atomiques pour ces 4 cristaux est illustré dans la figure 1.2 [9].

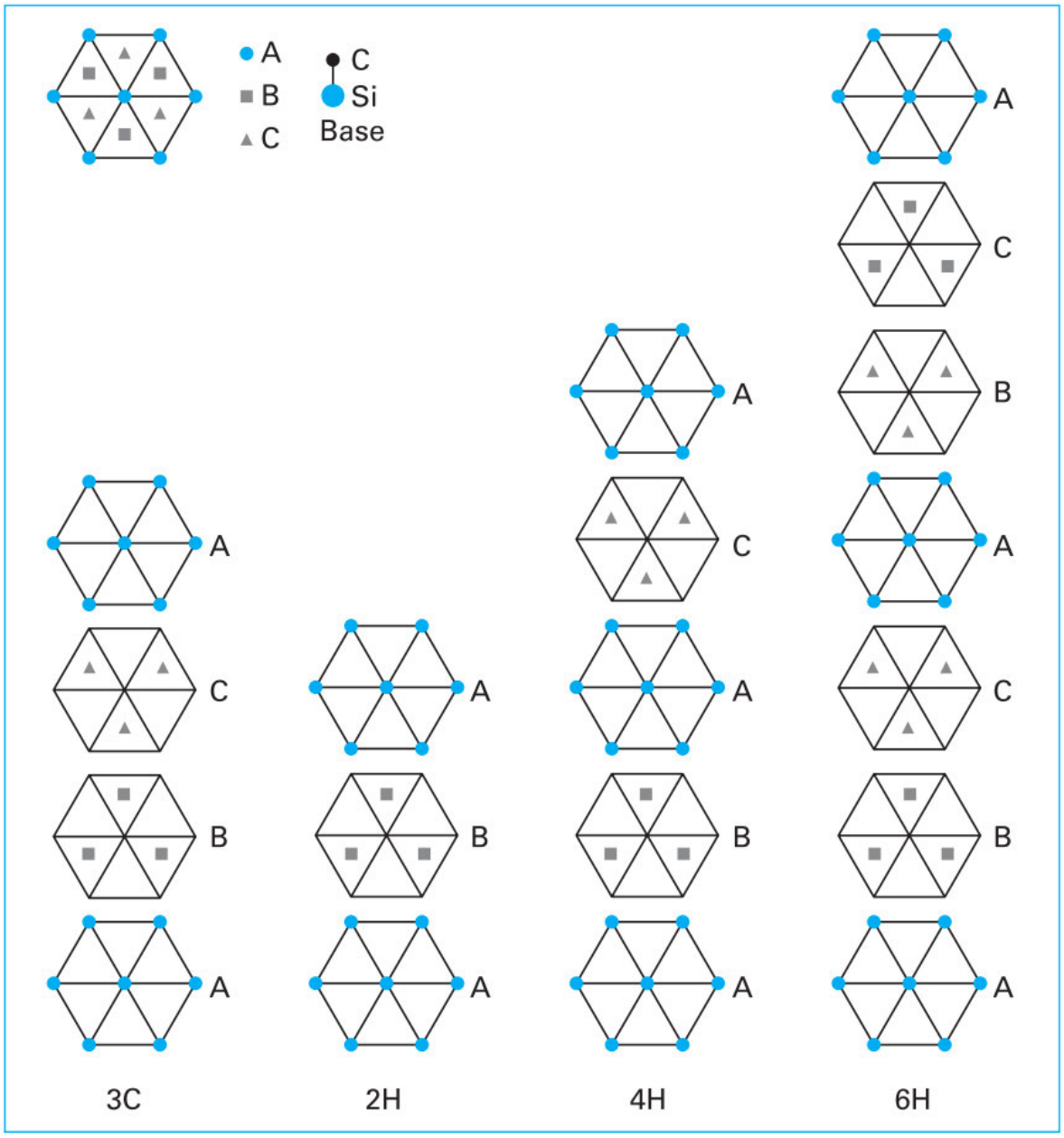


FIGURE 1.2 – Arrangements des plans cristallins pour les polytypes courants[9].

Le 6H a tout d'abord été utilisé pour la réalisation de composants de puissance [14]. Pré-

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

sentant des meilleures propriétés électroniques, le 4H l'a supplanté dans la fin des années 90. Aujourd'hui, c'est le polytype le plus prometteur pour l'électronique de puissance. Cependant, quelques candidats tels que le 3C ou le 15R présentent des propriétés intéressantes et font l'objet d'études actuelles [15].

1.2.2 Propriétés mécaniques, chimiques et thermiques

Les premières applications du carbure de silicium tiraient profit des propriétés mécaniques et chimiques du matériau. Le SiC a longuement servi exclusivement pour la réalisation :

- des poudres abrasives
- outils de découpe
- céramiques de revêtement
- revêtements résistants aux agents chimiques corrosifs.

Cette utilisation peut être expliquée par les propriétés mécaniques et chimiques exceptionnelles du carbure de silicium. Aussi bien sur le plan mécanique (dureté, abrasivité, flexibilité, dilatation, conductivité thermique, etc.) que sur le plan chimique (forte énergie liante, neutralité, température de fusion, etc.), le SiC rencontre peu d'équivalents. Une partie des propriétés mécaniques, chimiques et thermiques des 3 polytypes les plus couramment utilisés en électronique de puissance, ainsi que le silicium, est listée dans le tableau 1.1 [16].

Propriété à 300 K	Si	SiC-3C	SiC-4H	SiC-6H
Dureté (échelle Mohs) [16]	7	9.2-9.3	9.2-9.3	9.2-9.3
Module d'élasticité isostatique c_{11} (GPa) [17, 18]	165.6	-	507	501
Microdureté superficielle ($kgmm^{-2}$) [19, 20]	1150	2900-3100	2900-3100	2900-3100
Coefficient de dilatation linéaire ($\mu°C^{-1}$) [16, 20]	2.6	3.8	-	4.3-4.7
Température de fusion (K)[21]	1687	3103 [1]	3103 [1]	3103 [1]
Conductivité thermique ($Wm^{-1}°C^{-1}$) [16]	148	360	370	490
Chaleur spécifique ($Jkg^{-1}\,°C^{-1}$) [16, 21]	700	690	690	690
Température de Debye (K) [16, 21]	645	1200	1300	1200
Densité (gcm^{-3}) [22, 23]	2.33	3.21	3.211	3.21
Masse molaire ($gmol^{-1}$) [24]	27.98	40.09 [2]	40.09 [2]	40.09 [2]

TABLE 1.1 – Propriétés mécaniques, chimiques et thermiques.

[1] Sublimation à 35 bar
[2] Calculée

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

À titre comparatif, tous les polytypes du carbure de silicium possèdent des propriétés supérieures au silicium. Dans des applications de puissance, les composants électroniques sont souvent soumis à des variations de température importantes, qui se traduisent par de fortes contraintes mécaniques. Ainsi, disposer de matériaux pouvant supporter des contraintes mécaniques plus élevées que le silicium, tout en offrant une meilleur dissipation de la chaleur, est un atout conséquent. Il est à noter que le module d'élasticité isostatique, la température de fusion, ainsi que la conductivité thermique du SiC en font un candidat parfait pour les applications de puissance dans des environnements sévères, à savoir :

- le spatial,
- le forage pétrolier,
- l'avionique,
- l'automobile
- les réseaux de distributions HVDC

Nous allons spécifier ses applications dans la suite de ce chapitre.

1.2.3 Propriétés physiques/électriques

Hormis les excellentes propriétés mécaniques, chimiques et thermiques du carbure de silicium, les propriétés physiques/électriques offrent un avantage majeur par rapport aux autres semiconducteurs utilisés classiquement en électronique de puissance. Le SiC est un semiconducteur à large bande interdite. La largeur de bande pour le polytype 4H est de 3.23 eV, environ 3 fois celle du silicium. Cela se traduit par une densité de porteurs intrinsèques très faible (quelques décades de moins que le Silicium). En conséquence, les courants de fuite sont plus faibles et il est possible de travailler à plus haute température. Comme le silicium, les trois polytypes de carbure de silicium sont des semiconducteurs à bande interdite indirecte. Malgré cela, le SiC peut être utilisé pour réaliser des diodes électroluminescentes bleues, mais le rendement quantique est alors plus faible que celui du nitrure de gallium, qui est un semiconducteur à bande interdite directe.

La configuration cristallographique des polytypes les plus utilisés en électronique sont de type cubique (Zinc-Blende pour le 3C) ou de type hexagonal (Würtzite pour le 4H et le 6H). Cela sous entend des structures de bandes d'énergie différentes pour chaque polytype [25]. Les propriétés électroniques qui en découlent diffèrent aussi. Ainsi, la largeur de bande interdite augmente en passant d'une structure cubique à une structure hexagonale. Néanmoins, les différences sont faibles entre polytypes de SiC en comparaison avec la référence qu'est le Si. Le potentiel intéressant du SiC en tant que semiconducteur pour l'électronique de puissance peut être mis en exergue par le tableau 1.2.

Nous pouvons remarquer que le SiC est supérieur au Si en plusieurs points. La vitesse de saturation est environ deux fois supérieure, le champ critique est presque dix fois plus important et la conductivité thermique au moins deux fois plus élevée que pour le Si. La mobilité est cependant inférieure pour les deux types de porteurs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Propriété [26, 27, 28, 29]	Si	GaAs	SiC-3C	SiC-4H	SiC-6H	GaN-2H	C
E_G (eV)	1.12	1.42	2.36	3.23	3.00	3.51	5.47
μ_n ($cm^{-2}V^{-1}s^{-1}$)	1450	8000	900	950	400	900	1900
μ_n ($cm^{-2}V^{-1}s^{-1}$)	471	400	40	120	101	850	1600
v_{sat} ($10^7 cms^{-1}$)	1	0.7	2	1.9	1.5	2	2.7
E_C ($10^6 Vcm^{-1}$)	0.25	0.5	1.2	2	2.4	3.3	5.6
λ ($Wcm^{-1}K^{-1}$)	1.56	0.46	3.6	3.7	4.9	1.3	20
ϵ_r	11.9	12.9	9.72	9.66	9.66	9.5	5.7

TABLE 1.2 – Propriétés physiques et électriques des semiconducteurs courants.

Une manière judicieuse d'évaluer les semiconducteurs est de comparer leurs propriétés électriques selon un critère défini, pour une application donnée. C'est pour cette raison que plusieurs critères, appelés facteurs de mérites, ont été introduits et permettent de comparer les différents semiconducteurs pour l'électronique de puissance. Ils ont chacun leur spécificité et peuvent être définis comme suit :

- Facteur de Mérite de Johnson - Evaluation du matériau pour les applications haute fréquence et haute puissance [30],
- Facteur de Mérite de Keyes - Evaluation du matériau pour estimer les limitations thermiques dans les processus de commutation [31],
- Facteur de Mérite de Baliga - Evaluation du matériau pour les applications de puissance à basse fréquence de commutation [32],
- Facteur de Mérite de Baliga Haute Fréquence - Evaluation du matériau pour les applications de puissance à haute fréquence de commutation [33].

Avec ces outils, on peut compléter le tableau 1.4 pour tous les semiconducteurs en prenant le silicium comme référence. Le carbure de silicium se montre bien supérieur au silicium et à l'arséniure de gallium sous ces trois formes d'après tous les critères présentés ci-dessus. Quant au nitrure de gallium, il se montre bien supérieur au SiC d'après les critères JFM, BFM et BHFFM, mais environ trois fois inférieur selon KFM. Cela provient de la conductivité thermique plus faible du GaN, qui est un facteur limitant dans les applications de puissance haute fréquence. En ce qui concerne les matériaux à large bande interdite, le diamant n'a pas de concurrent en termes de propriétés électroniques. Il est supérieur sur tous les aspects, mais très difficile à fabriquer. Il faudra probablement atteindre les limites théoriques du carbure de silicium pour justifier le développement de la filière diamant.

À titre comparatif, tous les polytypes du carbure de silicium possèdent des propriétés supérieures au silicium. Dans des applications de puissance, les composants électroniques sont souvent soumis à des variations de température importantes, qui se traduisent par de fortes

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Dénomination	Equation	Paramètres
Johnson	$JFM = \left(\frac{E_C \cdot v_S}{2\pi}\right)^2$	E_C : champ électrique critique, v_s : vitesse de saturation des porteurs de charge.
Keyes	$KFM = \lambda\left(\frac{c \cdot v_S}{4\pi \cdot \epsilon}\right)$	c : vitesse de la lumière, v_s : vitesse de saturation des porteurs de charge, ϵ : constante diélectrique du semiconducteur, λ : conductivité thermique du semiconducteur.
Baliga	$BFM = \epsilon \cdot \mu \cdot E_G^3$	E_G : Largeur de bande interdite, μ : mobilité des électrons.
Baliga HF	$BHFFM = \frac{\mu \cdot E_C^2 \cdot V_G^{1/2}}{2V_{BR}^{1,5}}$	μ : mobilité des porteurs, E_C : champ électrique critique, V_G : tension de grille, V_{BR} : tension de claquage.

TABLE 1.3 – Définition des facteurs de mérite. [30, 31, 32, 33]

	Si	GaAs	SiC-3C	SiC-4H	SiC-6H	GaN-2H	C
JFM	1	11	410	110	260	790	2540
KFM	1	0.45	5.1	5.8	5.1	1.8	32.1
BFM	1	28	290	40	90	910	4110
BHFFM	1	16	34	12	13	100	470

TABLE 1.4 – Facteurs de mérite des semiconducteurs courants.

contraintes mécaniques. Ainsi, disposer de matériaux pouvant supporter des contraintes mécaniques plus élevées que le silicium, tout en offrant une meilleur dissipation de la chaleur, est un atout conséquent. Il est à noter que le module d'élasticité isostatique, la température de fusion, ainsi que la conductivité thermique du SiC en font un candidat parfait pour les applications de puissance dans des environnements sévères, à savoir :

- le spatial,
- le forage pétrolier,
- l'avionique,
- l'automobile
- les réseaux HVDC

Pour mieux définir les « environnements sévères », il faut dresser un panorama des spécificités de chaque domaine. À titre d'exemple, la contrainte « haute température » peut être

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

differente s'il s'agit de systèmes haute tension pour la distribution de l'énergie électrique ou de capteurs embarqués dans un véhicule automobile. Dans le premier cas, une température ambiante de 100°C serait considérée comme extrêmement élevée, sachant que la température maximale de jonction autorisée pour des diodes ou des transistors en silicium est limitée à 125°C. Dans le second cas, on utilise des capteurs à des températures voisines de 150°C [34]. Nous allons détailler les applications des composants en carbure de silicium dans la suite du chapitre.

1.3 Composants en SiC-4H et leurs applications

1.3.1 État de l'art des composants SiC-4H

Les deux dernières décades ont été prolifiques en ce qui concerne la fabrication de dispositifs électroniques en SiC. Les avancées sur la productions de substrats de 3 pouces haute qualité ont diminué les couts et permis la commercialisation des premiers composants en SiC. Ce fut Infineon avec sa diode Schottky à être le premier fabriquant à commercialiser des composants SiC. Depuis son lancement la diode Schottky a dynamisé la technologie SiC et a donné une impulsion de croissance du marché. Les événements marquants dans la sphère du SiC sont illustrés dans la figure 1.3.

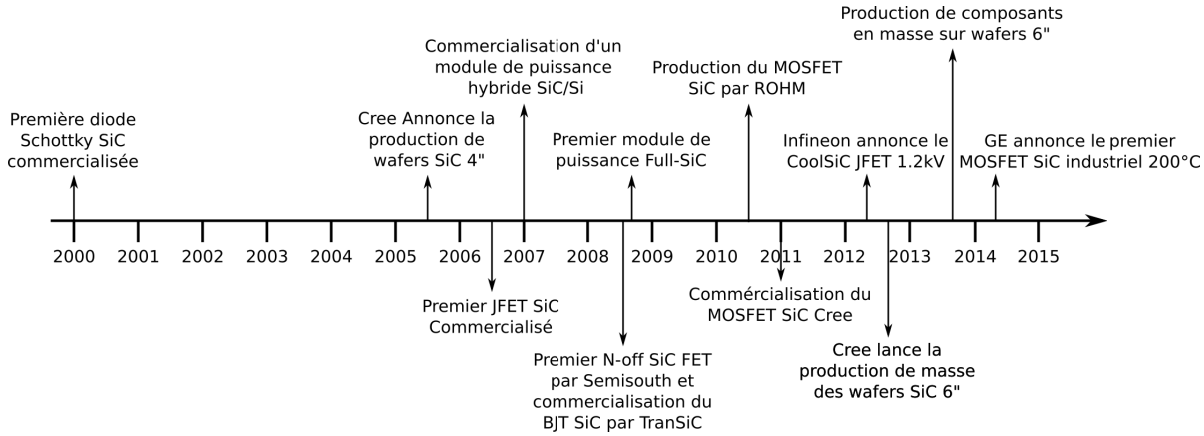


FIGURE 1.3 – Événements marquants du développement de la technologie SiC entre 2000 et aujourd'hui.

Ces avancées montrent la volonté forte des industriel de démocratiser la technologie SiC. Dans la suite nous allons présenter les plus grandes avancés techniques réalisées expérimentalement.

1.3.1.1 Diodes

La diode constitue la brique élémentaire des composants semiconducteurs. Que ce soit une diode unipolaire (Schottky) ou bipolaire, la maitrise de sa fabrication est primaire étant donné que c'est une partie constituante des composants plus complexes. Elles serviront à démontrer :

- la qualité suffisante du substrat
- la faisabilité des contacts métalliques

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

- la protection périphérique
- la qualité des oxydes
- la passivation

Les trois types de diodes existantes sont :

- la diode Schottky (unipolaire)
- la diode PiN (bipolaire)
- la diode JBS (hybride)

Les structures typiques de ces composants sont illustrées dans la figure 1.4. On peut y voir que la différence entre la diode Schottky et la diode PiN est que, dans le premier cas la fonction redresseur est réalisée par le contact métal/semiconducteur et dans le deuxième cas par la jonction abrupte de semiconducteurs de dopage de type différent. En conséquence la conduction de la diode Schottky est assurée uniquement par les porteurs majoritaires, donc conduction unipolaire, et la conduction de la diode PiN est assurée par les porteurs minoritaires de part et d'autre de la jonction, donc conduction bipolaire. Quant à la diode à barrière Schottky et Jonction PN (JBS), comme sa dénomination l'indique, c'est une diode hybride. L'objectif de ce composant est de tirer profit des avantages de chacune des deux pour assurer une faible chute de potentiel à l'état passant et une bonne tenue en tension en polarisation inverse.

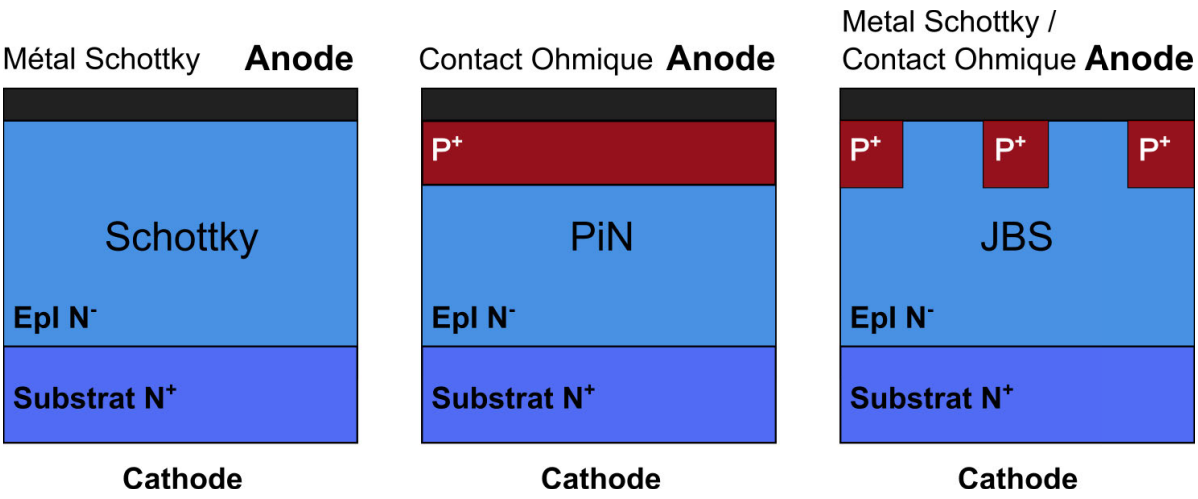


FIGURE 1.4 – Schémas typiques des trois structures de diodes possibles.

Les schémas précédents correspondent à la structure 1D des composants. Or, en réalité nous avons des composants à dimensions finies qui subissent les effets de bords engendrés par la discontinuité du réseau cristallin. Cela se traduit par une perte du pouvoir de blocage et de la nécessité de la protection périphérique qui à pour objectif d'atténuer les effets de bords et nous approcher des conditions de la structure 1D. Le schéma de la vue en coupe de la périphérie de la diode (fig. 1.5) indique la zone à protéger pour minimiser les effets de bords. La théorie du contact Schottky, la protection périphérique, ainsi que la diode JBS sera détaillée dans la suite du chapitre.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

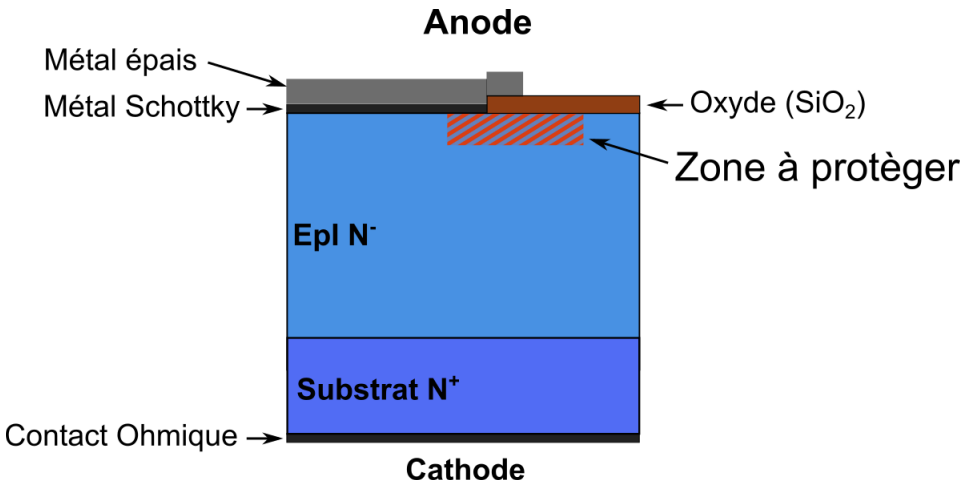


FIGURE 1.5 – Vue en coupe de la zone périphérique d'une diode Schottky-SiC. La zone grisée représente la zone ou les effets de bord sont les plus présents et nécessitent une protection.

Jusqu'à présent le record mondial des diodes Schottky/JBS (unipolaires) est détenu par des diodes JBS de 1.5cm^2 de 10kV et un calibre en courant de 20A [35]. Une autre diode JBS de tenue en tension de 15kV a vu le jour en 2011 [36], mais son calibre en courant est plus faible et l'application visée est un pont Graez. Les caractéristiques directe et inverses de la diode 10kV sont reportées dans la figure 1.6.

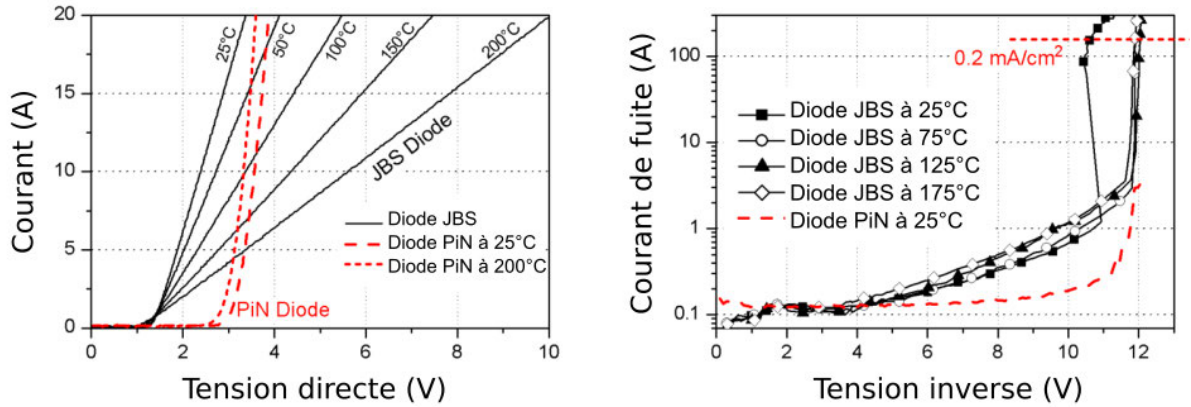


FIGURE 1.6 – Comparaison de la caractéristique directe (gauche) et de la caracatéristique inverse (droite) de diodes JBS et PiN de même calibre [35] en SiC.

En ce qui concerne les diodes bipolaires, le record de la tenue en tension est détenu par une diode de calibre 26.9kV fonctionnant avec une densité de courant de 100A cm^{-2} à 5.9V [37]. Cette diode, dont la caractéristique se trouve dans la figure 1.7, n'est qu'un démonstrateur car c'est une diode de petite surface (diamètre 0.3 mm), mais avec l'amélioration des substrats, des épitaxies (durée de vie, moins de défauts) et la maitrise de la technologie, ce type de diodes deviendront indispensables dans le applications très haute tension.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

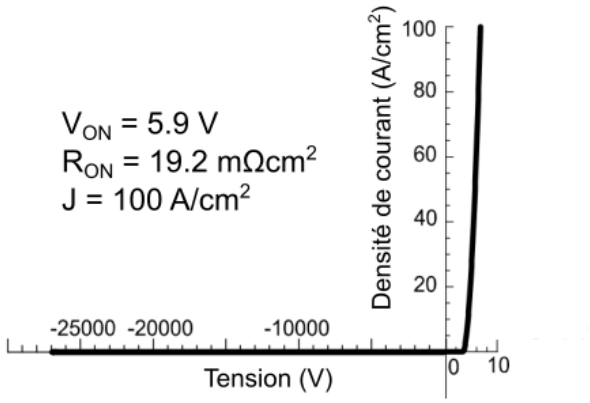


FIGURE 1.7 – Caractéristique de la diode PiN-SiC 26.9 kV [37].

1.3.1.2 Transistors JFETs

Le transistor à effet de champ à jonction est un composant qui peut être employé en électronique de puissance en tant qu'interrupteur. La structure des transistors JFETs en carbure de silicium diffère peu de celle des JFETs de puissance en silicium. Ce sont généralement des structures verticales où pseudo-verticales qu'on retrouve dans la littérature. Dans les deux cas les JFETs peuvent êtres normalement fermés ou normalement ouverts. La figure 1.8 montre la vue en coupe des deux structures typiques.

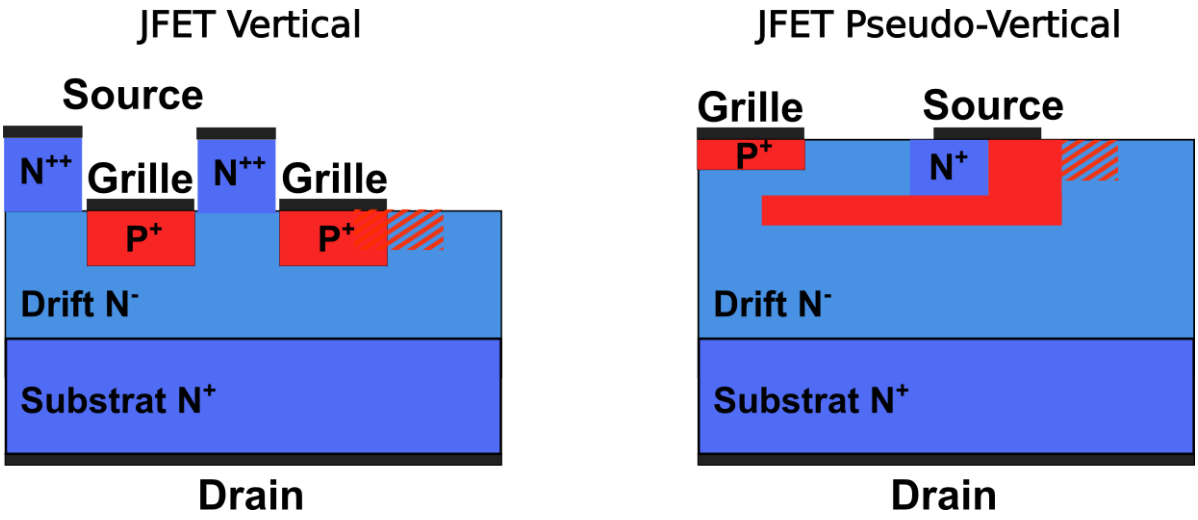


FIGURE 1.8 – Vues en coupe des structures typiques des JFETs-SiC.

Le fonctionnement des JFETs repose sur la modulation de la résistivité d'un barreau semi-conducteur en modifiant l'extension de la zone des charges d'espace. Le courant circule entre les électrodes de source et de drain. Ces deux sont reliées entre elles par du SiC de type n. Les porteurs majoritaires sont les électrons et ils constituent le courant de conduction. L'électrode de grille, suivant la polarisation, favorise ou empêche le passage du courant. Les JFETS sont donc des composants unipolaires. Le principe de fonctionement est schématisé dans la figure 1.9

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

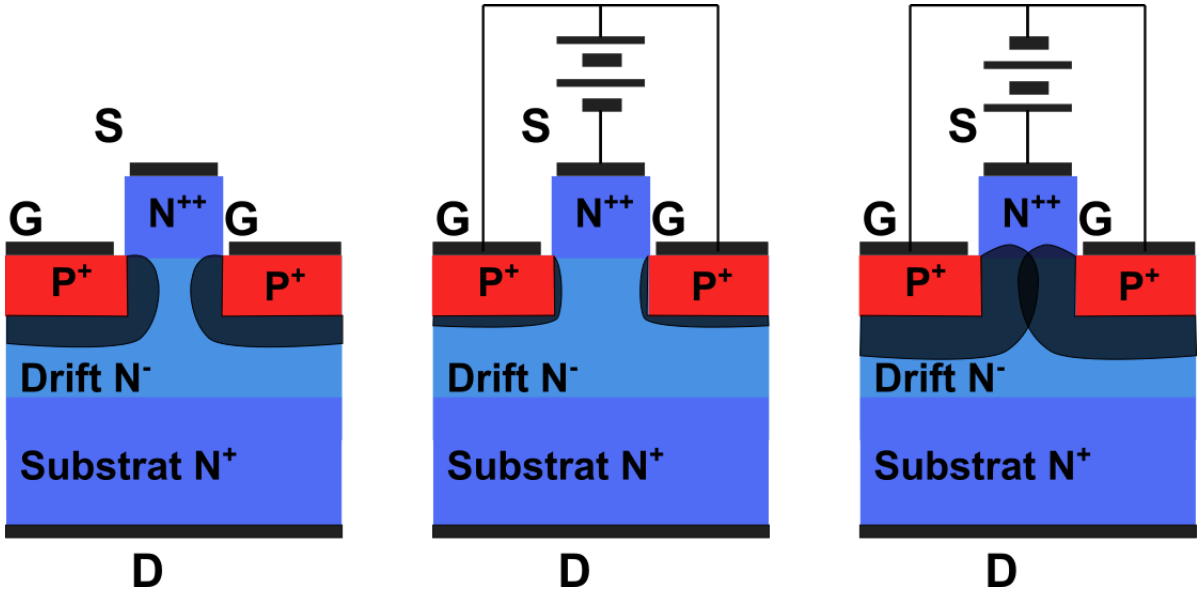
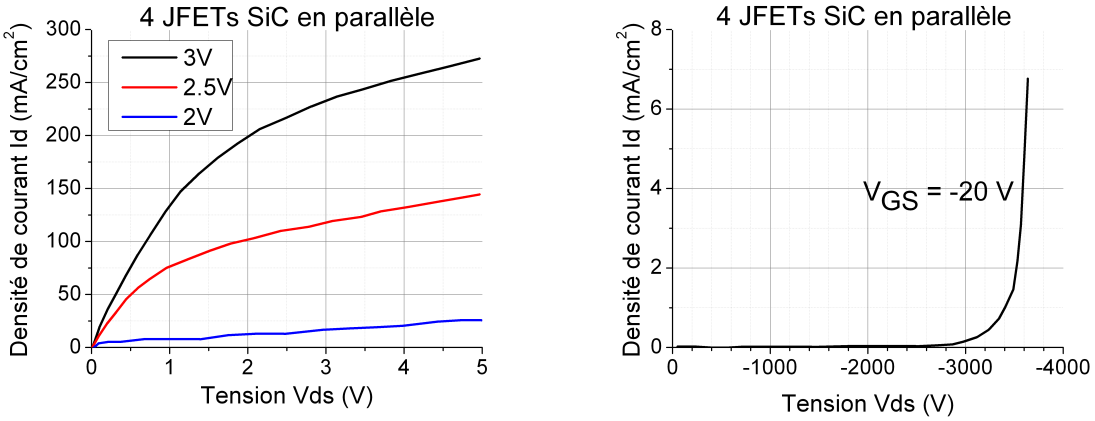


FIGURE 1.9 – Schéma du principe de fonctionnement d'un JFET-SiC normalement fermé.

Jusqu'à présent des démonstrateurs haute tension on été produits. En 2003 fut expérimenté le premier JFET normalement ouvert de 10kV avec une résistivité de $130\text{m}\Omega\,\text{cm}^2$ [38], mais la surface totale du composant était de 0.1mm^2.

En 2015 un module de 4 JFETs et 4 diodes Schottky de calibre $3.5\text{kV} - 15\text{A}$ (caractéristique dans la figure 1.10) a été fabriqué et employé dans un éleveur de tension statique de type Boost. Le convertisseur fonctionne à 50kHz et élève la tension de 600V à 1540V pour une puissance de 2.4kW avec une efficacité de 97.05%.



(a) (b)

FIGURE 1.10 – Caractéristique directe (à gauche) et inverse (à droite) de 4 JFETs-SiC $3.5\text{kV} - 15\text{A}$ en parallèle [39].

1.3.1.3 Transistors MOSFETs

Le MOSFET SiC est l'interrupteur le plus populaire parmi les composants à large bande interdite. S'inscrivant dans les applications $1.2 - 3.3\text{kV}$ ce composant peut concurrencer l'IGBT-Si

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

en abaissant les pertes en commutation grâce à la conduction unipolaire. Ce mécanisme de conduction permet aussi l'augmentation des fréquences de commutation menant à une réduction de la taille des passifs. Les problèmes de liés à l'oxyde qui limitaient la fiabilité ont été traités et la résistivité à l'état passant a été améliorée [40]. Dans ces conditions la maturation de cette technologie reste le dernier verrou à débloquer avant de conquérir les marchés.

Les structures typiques des MOSFETs SiC sont planaires ou à tranchées telles que les deux structures élémentaires illustrées dans la figure 1.11. La première structure est plus facile à concevoir en raison de l'absence de gravure pour les tranchées qui est difficile à maitriser. Cependant le canal est horizontal (zone JFET) et la résistivité à l'état passant un peu plus élevée que celle du MOSFET à tranchées.

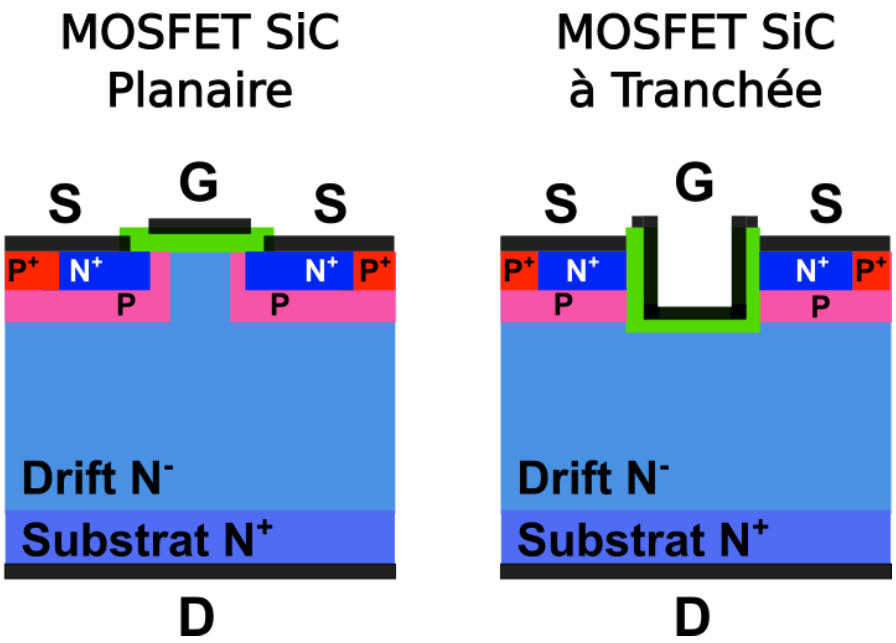
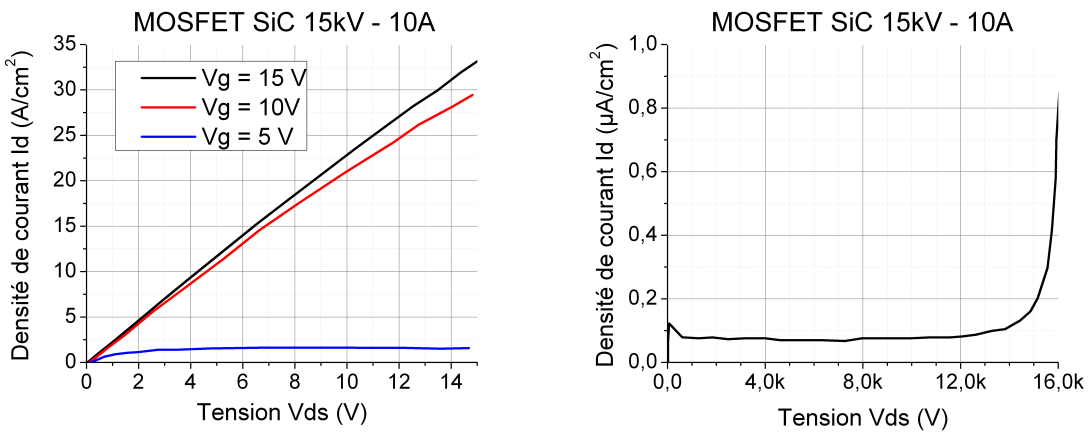


FIGURE 1.11 – Comparaison de la structure planaire (à gauche) et à tranchées (à droite) des MOSFETs-SiC.

La concurrence entre CREE, INFINEON, RHOM et GE a fait que la résistivité à l'état passant des dernières générations de MOSFET s'approche de la valeur théorique. Depuis avril 2015 RHOM commercialise un module SiC $1200\text{kV} - 180\text{A}$ à double tranchée qui réduit d'avantage la résistivité à l'état passant et augmente la fiabilité en réduisant le champ électrique dans l'oxyde [41]. INFINEON a annoncé les premiers MOSFETS SiC 1200V aillant une résistivité de $3.5\text{m}\Omega\,\text{cm}^2$ qui commutent avec des tensions de grille de 15 et -5V [42]. GE a démontré en 2014 les premiers MOSFETS fabriqués industriellement pouvant fonctionner à 200°. Le record en terme de tenue en tension est detenu par un MOSFET 15kV - 10A fabriqué par CREE [43].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 1.12 – Caractéristique directe (à gauche) et inverse (à droite) du MOSFET-SiC 15kV - 10A [43].

On peut prétendre à ce que le MOSFET-SiC n'ait pas de concurrents dans la gamme 1.2kV à 15kV à cause de la rapidité de commutation conférée par le matériau et par la conduction unipolaire. La diode PiN interne devrait rendre les diodes antiparallèles redondantes et contribuer à diminuer les coûts. Pour des tensions plus élevées et des appliquations de plus forte puissance faudra compter sur les IGBT-SiC.

1.3.1.4 Transistors bipolaires

Les transistors bipolaires en SiC peuvent êtres séparés grossièrement en deux catégories les BJT et les SJT. La première catégorie se sont des transistors bipolaires dont le design à été adapté pour la tenue en tension et la durée de vie des porteurs améliorée pour assurer un bon gain de courant. Leur fonctionnement est basée sur l'injection de porteurs minoritaires de l'émetteur à la base qui sous le champ électrique sont capturés par le collecteur. En limite de saturation la résistivité du composant est modulée par le courant de base et le mode de conduction devient bipolaire. La deuxième catégorie sont les SJTs qui malgré leur forte ressemblance en termes de structures avec le BJTs sont très peu affectés par la modulation de la résistivité en limite de saturation, puisque le mode de conduction du SJT est quasi-unipolaire (porteurs majoritaires). Leur caractéristique IV est très semblable avec celle d'un JFET normalement fermé. La figure 1.13 permet de comparer les caractéristiques de transfert d'un SJT et d'un BJT.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

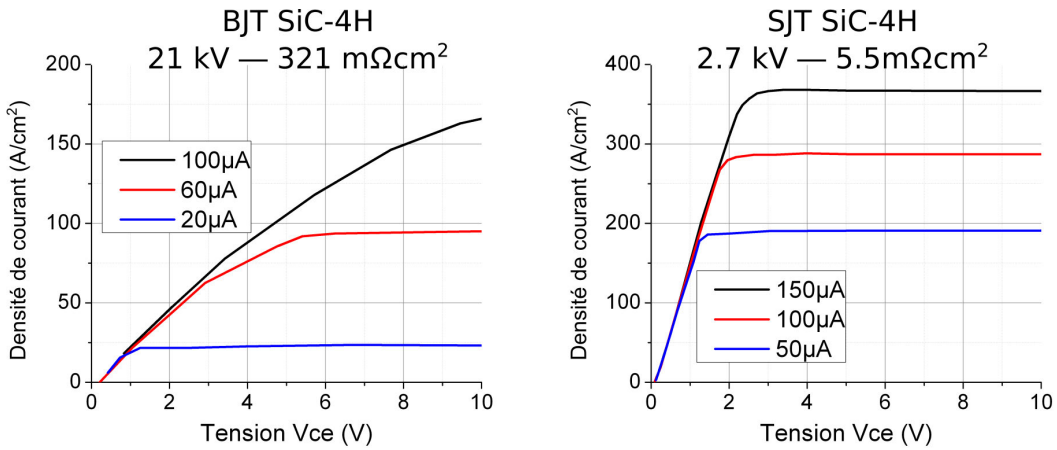


FIGURE 1.13 – Comparaison de la caractéristique de transfert d'un SJT 2.7kV et d'un BJT-SiC 21kV pour les courants de base affichées dans la légende [44, 45].

Les deux transistors présentés dans la figure 1.13 détiennent les records de tenue en tension dans les catégories respectives. Dans le cas du SJT 2.7kV, l'étude de la maturité et la fiabilisation de la technologie priment [46] alors que dans le cas du BJT 21kV les efforts sont concentrés sur l'aspect haute tension et optimisation de la protection périphérique [45].

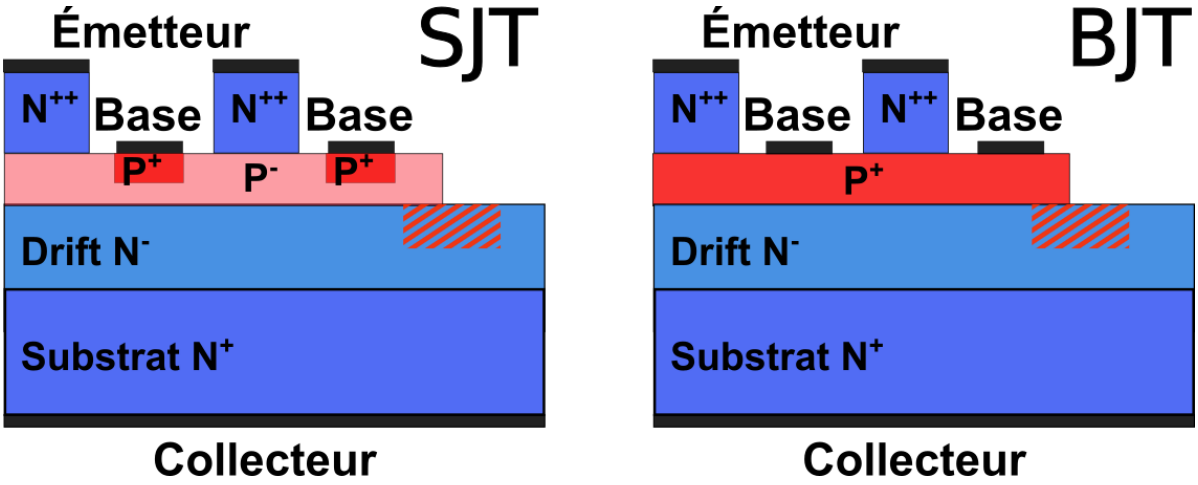


FIGURE 1.14 – Structures types des transistors SJT et BJT en SiC.

Les structures typiques de ces deux transistors SiC sont schématisées dans la figure 1.14. Comme on peut le remarquer, la base du BJT est plus dopée que celle du SJT, pénalisant le β_{MAX} mais assurant une conduction bipolaire. Or, le SJT permet un grand β_{MAX}, étant donné que les électrons peuvent traverser la base plus facilement sous le champ électrique à cause de son dopage faible. La présence de peu de trous majoritaires fait que le dopage peut être inversé quand la base est inondée par les électrons. Le mode de conduction résultant est unipolaire semblable à celui d'un transistor à effet de champ (FET).

Actuellement les BJTs ont des résistances trop élevées pour des composants bipolaires. La commande en courant les rend moins attractifs que les MOSFETs, mais avec l'amélioration des durées de vies les BJTs devraient permetre des pertes en régime statique plus faibles que les MOSFETs dans la gamme 10kV − 15kV.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.3.1.5 IGBT

Les IGBTs ainsi que les thyristors sont les seuls composants pouvant commuter à de hautes tensions et pouvant conduire à de forts courants. Cette propriété des IGBTs les inscrit naturellement dans les applications de type Microgrids HVDC qui vehiculeront dans le futur l'énergie produite localement (éolien, hydraulique, géothermique etc.) [47]. Avec l'arrivée des épitaxies épaisses faiblement dopées des applications au-delà de 20kV deviennent réalisables [48].

La structure typique d'un IGBT-SiC (figure 1.15 est identique à celle d'un MOSFET mis à part qu'il repose sur un substrat de type P. La conduction de celui-ci est bipolaire et permet d'obtenir de plus faibles résistances à l'état passant.

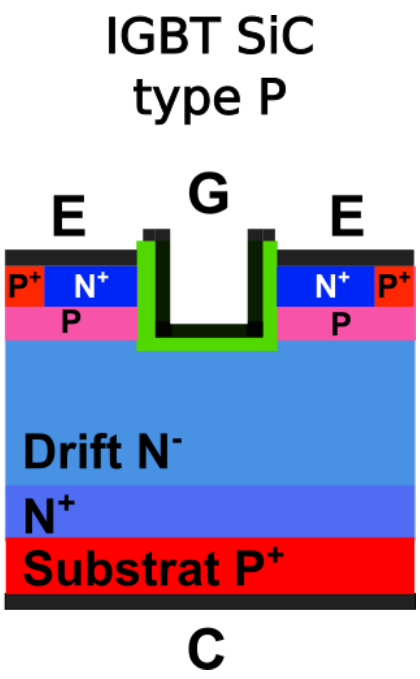
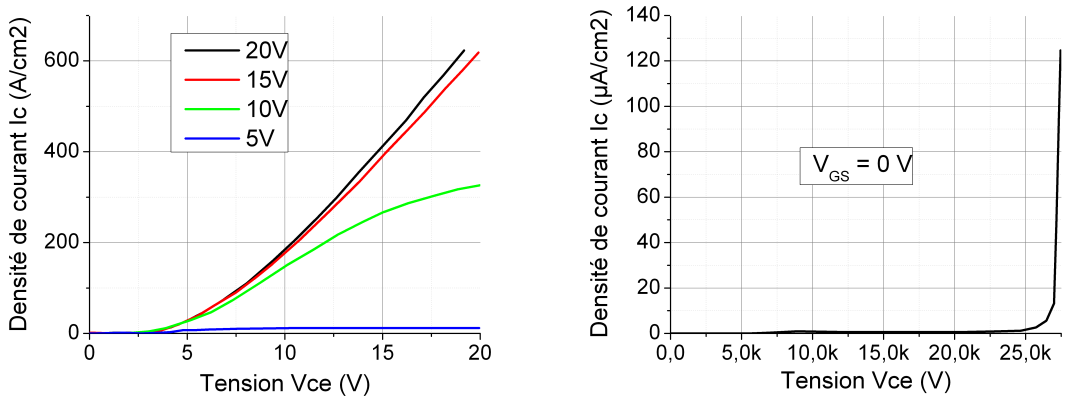


FIGURE 1.15 – Structure type d'un IGBT de type P en SiC.

La caractéristique directe (figure 1.16 à gauche) démontre la faible résistivité des IBGTs-SiC. On peut voir aussi que une tension de grille de 15V suffit pour mettre le mettre en conduction. La tension seuil de conduction peut légèrement augmenter les pertes en conduction comparé à un MOSFET de même calibre, mais son effet peut surtout ralentir les commutations. La caractéristique inverse (figure 1.16 à droite) montre l'excellente tenue en tension qu'on peut atteindre avec les IGBTs. Cet IGBT détient le record de tenue en tension avec un calibre $27\text{kV} - 20\text{A}$ [48]. Ce composant est capable de commuter un bus DC de 16kV - 10A à 3kHz.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 1.16 – Caractéristique directe (à gauche) et inverse (à droite) de l'IGBT-SiC 27kV−20A [48].

1.3.2 Applications des composants SiC-4H

Les applications des composants SiC sont vastes. Leurs performances sont chéries dans toutes les applications de conversion de l'énergie électrique à haute tension [49, 34, 50]. Parmi toutes celle-ci nous pouvons énumérer :

- les hacheurs pour les panneaux solaires
- la traction navale
- la traction ferroviaire
- les véhicules électriques
- les réseaux de distribution HVDC
- l'aviation
- le domaine du spatial

D'une manière générale les réseaux appelés intelligents auront besoin des propriétés du SiC pour mieux fonctionner et abaisser les couts à long terme comparé aux composants silicium. Comme on peut le voir dans la figure 1.17, les réseaux "intelligents" sont des réseaux maillés de la distribution de l'énergie électrique regroupant des moyens de production, de stockage et de consommation de l'énergie de manière plus locale. Dans l'état actuel, l'interconnexion de tous ces éléments nécessite plusieurs étapes de conversion de l'énergie pour arriver chez le consommateur. Or, si la distribution de l'énergie électrique se fait par réseaux HVDC les conversions se feraient par convertisseurs statiques et seraient plus distribués.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

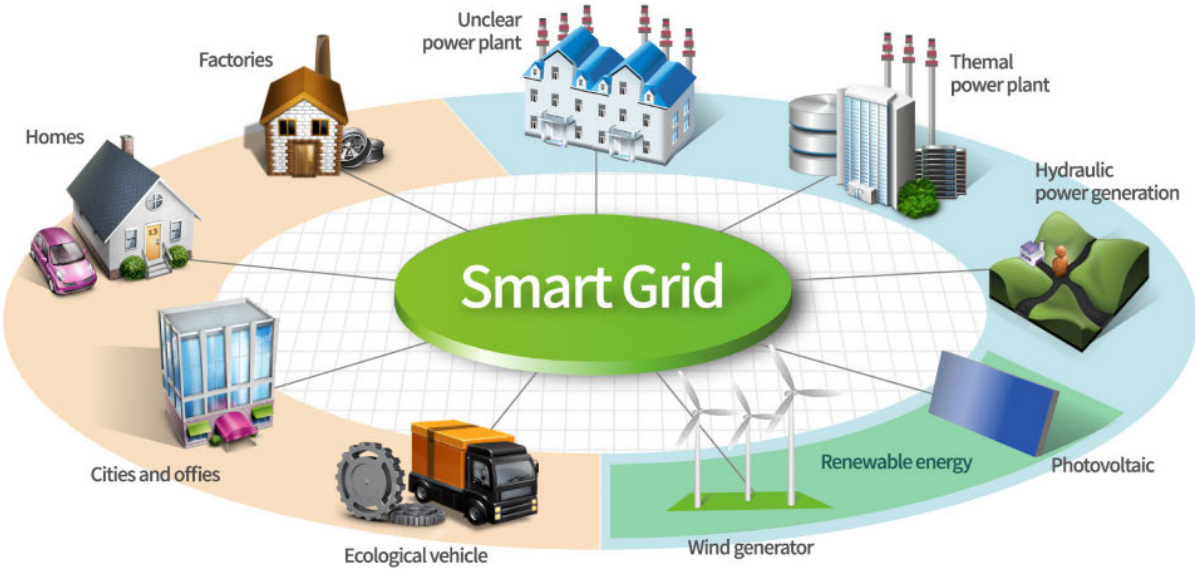


FIGURE 1.17 – Réseaux intelligents de distribution de l'énergie électrique du futur.

La conversions disstribué serait posible, car les composants SiC permettent de réduire de manière drastique la taille et le poids des convertisseurs. à titre d'exemple nous pouvons voir dans la figure 1.18, une sous-station 1MV A à découpage abaissant la tension de 13.8kV à $465/\sqrt{3}$V conçue en 4 étages avec des composants SiC 10kV. Le rendement de la sous-station est 97% à une puissance en charge de 855kV A. Un transformateur alternatif de même performance serait 2 fois plus volumineux et 4 fois plus lourd [51].



FIGURE 1.18 – Sous-station 1MV A à découpage abaissant la tension de 13.8kV à $465/\sqrt{3}$V [51].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.4 Les contacts métalliques sur SiC-4H

1.4.1 Surfaces des semiconducteurs

Un semiconducteur est un solide dont la bande interdite est suffisamment faible pour que les électrons puissent passer de la bande de valence à la bande de conduction sous l'action d'un champ électrique et/ou de la température. La densité de porteurs intrinsèques n'est pas nulle dans ce cas et dépend de la densité des états d'énergies disponibles dans la bande de conduction. Pour un semiconducteur à gap indirect, les densités d'états d'énergie de la bande de conduction et de celle de valence sont respectivement données par les équations (1.1) et (1.2) .

$$N_C(E) = \frac{1}{2\pi^2}\left(\frac{2m_C}{\hbar^2}\right)^{3/2}(E - E_C)^{1/2} \tag{1.1}$$

$$N_V(E) = \frac{1}{2\pi^2}\left(\frac{2m_V}{\hbar^2}\right)^{3/2}(E_V - E)^{1/2} \tag{1.2}$$

Ici m_C et m_V sont les masses effectives des densités d'états pour les électrons et les trous exprimés par l'équation (1.3) et (1.4). Le coefficient n est le nombre des ellipsoïdes de révolution (6 dans le cas du SiC), alors que m_l et m_t sont respectivement les masses électroniques latérales et transversales par rapport à l'axe de l'ellipsoïde. Les termes m_{lh} et m_{hh} sont respectivement les masses des trous légers et lourds.

$$m_C = \left(n m_l^{1/2} m_t\right)^{3/2} \tag{1.3}$$

$$m_V = \left(m_{lh}^{3/2} + m_{hh}^{3/2}\right)^{2/3} \tag{1.4}$$

Ainsi, on peut remonter à la densité de porteurs intrinsèques du semiconducteur. Or n et p dépendent de la densité d'états et sont exprimés par les équations (1.6) et (1.7).

$$n_i = (np)^{1/2} \tag{1.5}$$

$$n = N_C\, \mathrm{e}^{(E_F - E_C)/kT} \tag{1.6}$$

$$p = N_V\, \mathrm{e}^{(E_V - E_F)/kT} \tag{1.7}$$

Nous pouvons alors exprimer la densité de porteurs libres sous la forme de l'équation (1.8)[52].

$$n_i = (N_C N_V)^{1/2}\, \mathrm{e}^{-E_G/2kT} \tag{1.8}$$

À l'aide de l'équation (1.8), nous traçons l'évolution de la densité de porteurs intrinsèques en fonction de la température pour le SiC-4H et vérifions que le nombre de porteurs libres est inférieur de plusieurs ordres de grandeur à celui du Si. On peut remarquer dans la figure 1.19, qu'à température ambiante, le SiC-4H dispose de très peu de porteurs libres. Même à des températures de 700°C, il ne sera pas en régime d'inversion, étant donné que les dopages plus faibles, généralement utilisés dans les composants de puissance, sont de l'ordre de $1 \times 10^{14}\mathrm{cm}^{-3}$.

Cependant, ces équations s'appliquent dans le volume du semiconducteur uniforme et sans défauts. Dans le cas d'un semiconducteur réel de dimension finie, les surfaces présentent une discontinuité du réseau cristallin. Les atomes constituant le cristal qui sont à la surface, manquent

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

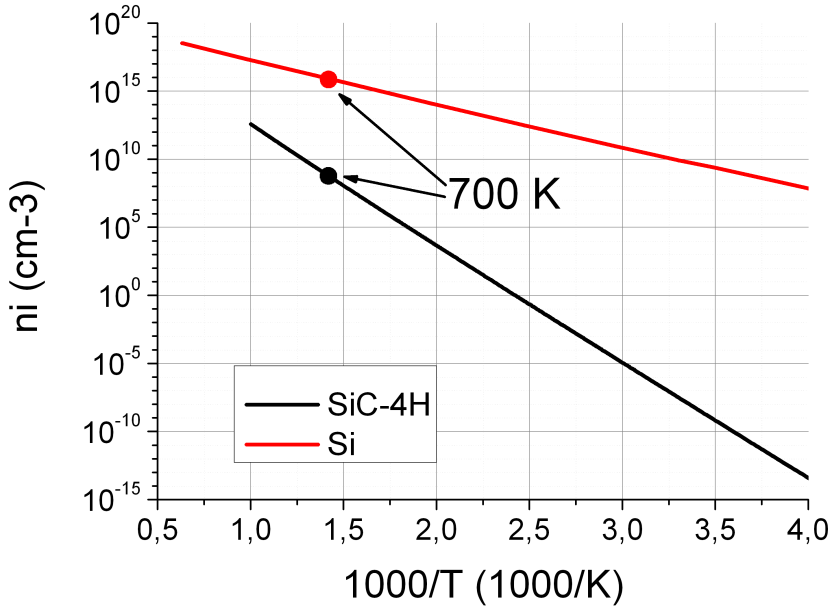


FIGURE 1.19 – Densité de porteurs intrinsèques du Carbure de Silicium (noir) et du Silicium (rouge).

de voisin auquel se lier. En conséquence, une densité de charge surfacique apparait. Le lien chimique non satisfait n'est pas stable et induit une relaxation locale des atomes, à fin de trouver un minimum énergétique. Des nouveaux liens se créent de sorte à satisfaire la valence des atomes constituant la surface. Le nouvel arrangement dépend de la préparation de la surface et induit l'apparition d'une densité d'état de surface.

Par conséquent, la réalisation de contacts métalliques sur un semiconducteur doit tenir compte de la discontinuité cristalline à l'interface. Les propriétés de l'interface et les conditions de la formation de celle-ci déterminent la nature du contact : ohmique ou rectifiant.

1.4.2 Contact métal-semiconducteur

Le contact métal-semiconducteur est un vaste sujet des semiconducteurs. La nécessité de comprendre la physique de ce type de contact rectifiant a motivé de multiples recherches. Ces recherches ont cherché à comprendre :

- L'interface métal-semiconducteur
- L'epinglement du niveau de Fermi
- Les niveaux des états d'interface (élaboration de modèles)
- Les pièges à l'interface

Dans cette section, nous passerons en revue ces thèmes et dresserons un panorama de l'état de l'Art.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.4.2.1 L'interface métal-semiconducteur

La première approche de l'interface métal-semiconducteur a été introduite par Schottky [53] et Mott [54], en 1939. La théorie Schottky-Mott définit la barrière énergétique $\phi^0_{B,n}$, appelée barrière Schottky, entre un métal de travail de sortie Φ_M et un semiconducteur d'affinité électronique χ_S, en l'absence d'interactions avec l'extérieur. Elle est exprimée sous la forme suivante (1.9)

$$\Phi^0_{B,n} = \phi_M - \chi_S \tag{1.9}$$

La figure 1.20 résume de manière schématique les niveaux énergétiques mis en jeu à l'interface du contact métal-semiconducteur.

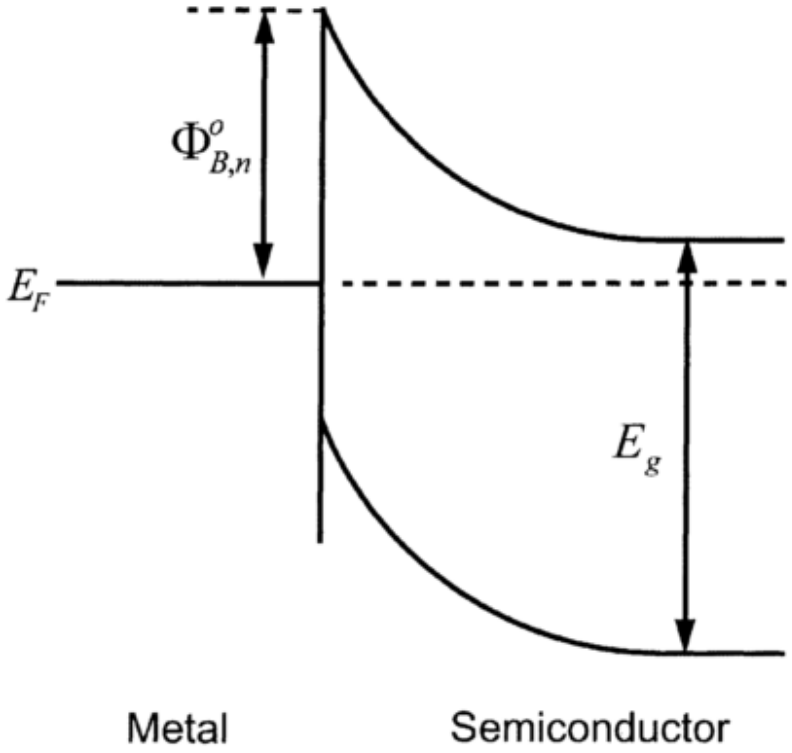


FIGURE 1.20 – Diagramme des bandes d'énergie selon Schottky-Mott à l'interface métal-semiconducteur. La hauteur de barrière indiquée dans ce cas correspond à un semiconducteur de type n.

Même si les métaux qui ont un travail de sortie plus élevé, forment des hauteurs de barrière plus importantes, l'expérience montre que la dépendance de la hauteur de barrière avec le travail de sortie n'est pas conforme à l'hypothèse de Schottky-Mott. Effectivement, la forte dépendance prévue par cette théorie, i.e. $S_\Phi = \delta\Phi^0_{B,n}/\delta\phi_M = 1$, est bien inférieure et dépend de plusieurs paramètres tels que : la préparation de la surface, le dopage, les états d'interface selon le plan de coupe, et tous les types de défaut sous-jacents. La classification de la hauteur de barrière en fonction du travail de sortie des métaux sur SiC-4H a été réalisée dans la figure 1.21. Comme on peut le voir, la hauteur de barrière varie beaucoup en fonction du métal et ne confirme pas la théorie, qui est représentée ici par la ligne discontinue. Dans ce cas, le niveau de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Fermi semble être « épinglé ». Dans le cas de semiconducteurs à large bande interdite comme le SiC ou le GaN, nous avons une plage de hauteur de barrière plus étendue. Le paramètre S_Φ, obtenu expérimentalement, est de l'ordre de 0.4.

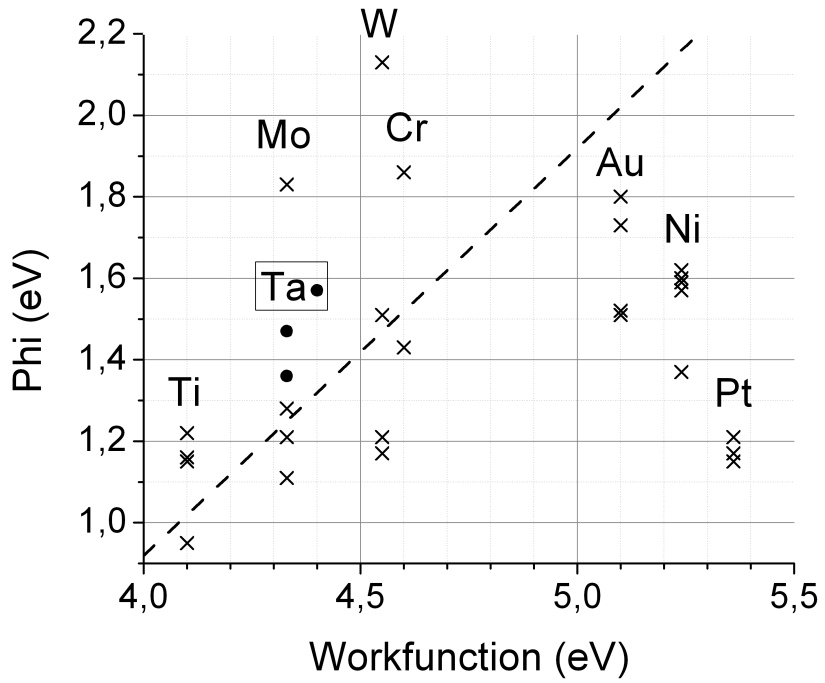


FIGURE 1.21 – Hauteur de barrière Schottky obtenue expérimentalement sur du silicium type n en fonction du travail de sortie des métaux déposés. La ligne discontinue montre la prédiction de la théorie Schottky-Mott [55].

1.4.2.2 L'épinglement du niveau de Fermi

Des efforts pour améliorer l'expression de la hauteur de barrière Schottky ont mené à l'équation (1.10). Cette formulation découle de plusieurs hypothèses qui concernent l'interface métal-semiconducteur.

$$\Phi^0_{B,n} = \gamma_{GS}(\phi_M - \chi_S) + (1 - \gamma_{GS})(E_G - \phi_{CNL}) \tag{1.10}$$

Premièrement, le semiconducteur contient une densité d'états surfaciques propres à l'interface. Ces états sont considérés continus dans la largeur de la bande interdite et peuvent produire une charge surfacique qui est régie par la courbure des bandes et la condition de neutralité de la charge.

Deuxièmement, il est souvent supposé que, malgré toutes les précautions que nous pouvons prendre avant la déposition du métal, une couche d'oxyde apparait sur la surface du semiconducteur. Cette couche mince d'oxyde présente des propriétés isolantes et ne modifie en aucun cas la densité d'états surfaciques du semiconducteur. L'introduction de cette mince couche imposera une faible distance entre le métal et le semiconducteur.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Enfin, la très grande densité d'états surfaciques du métal fait que les charges qui s'y trouvent désertent, de sorte à compenser la charge surfaciques qui s'accumule du côté du semiconducteur. La charge totale du système est finalement nulle.

Ces trois hypothèses satisfaites, on peut raffiner le diagramme de bandes. Étant donné que nous avons une couche isolante entre les deux charges qui forment le dipôle, on peut facilement considérer que le champ est constant dans la bande interdite et voir une évolution linéaire du potentiel à l'infini. Par la suite, en respectant la condition de neutralité de la charge, nous pouvons estimer la quantité de charge accumulée à la surface du semiconducteur avec l'équation (1.11).

$$Q_{GS} = qD_{GS}\left(\Phi^0_{B,n} + \phi_{CNL} - E_G\right) \tag{1.11}$$

La charge de la zone des charges d'espaces est donnée par l'équation (1.12).

$$Q_{SC} = \sqrt{2\epsilon_S N_D(\Phi^0_{B,n} - eV_n)} \tag{1.12}$$

La charge dans la surface du métal est induite par la charge du semiconducteur de sorte que la charge totale du système soit nulle. Nous pouvons l'exprimer en fonction de la distance du semiconducteur et de la variation du potentiel dans l'isolant, comme exprimé dans l'équation (1.13).

$$Q_M = \frac{\epsilon_{int}(\Phi^0_{B,n} - \phi_M + \chi_s)}{q\delta_{GAP}} \tag{1.13}$$

La somme des charges doit être nulle dans un système sans interaction avec l'extérieur, où le semiconducteur et le métal sont connectés pour niveler leurs niveaux de Fermi. Ainsi, l'association des équations (1.11) à (1.14) donne lieu à l'équation (1.15), qui nous permettra de remonter à la hauteur de la barrière Schottky.

$$Q_M + Q_{GS} + Q_{SC} = 0 \tag{1.14}$$

$$\frac{\epsilon_{int}(\Phi^0_{B,n} - \phi_M + \chi_s)}{q\delta_{GAP}} + qD_{GS}\left(\Phi^0_{B,n} + \phi_{CNL} - E_G\right) + \sqrt{2\epsilon_S N_D(\Phi^0_{B,n} - eV_n)} = 0 \tag{1.15}$$

La solution de l'équation (1.15) peut être trouvée de manière graphique, comme illustré dans la figure 1.22(c). Pour obtenir l'équation (1.10) nous pouvons négliger la charge due à la courbure des bandes étant donné qu'elle est largement inférieure à la charge surfacique du métal et à la charge des états du gap du semiconducteur. L'équation (1.16) peut ensuite être exprimée sous une forme plus compacte, où γ_{GS} est le facteur pondérant de l'épinglement du niveau de Fermi. Ce coefficient de pondération peut être exprimé par l'équation (1.17) en fonction de la densité des états du gap du semiconducteur et de l'épaisseur de l'isolant de l'interface.

$$\frac{\epsilon_{int}(\Phi^0_{B,n} - \phi_M + \chi_s)}{q\delta_{GAP}} + qD_{GS}\left(\Phi^0_{B,n} + \phi_{CNL} - E_G\right) = 0 \tag{1.16}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

$$\gamma_{GS} = \left(1 + \frac{e^2 \delta_{gap} D_{GS}}{\epsilon_{int}}\right)^{-1} \tag{1.17}$$

Le diagramme de bandes résultant respecte la condition de la neutralité de la charge, la distance du gap entre le métal et le semiconducteur, ainsi que l'apparition du dipôle dans le gap. La figure 1.22 résume cette modélisation du contact. Nous pouvons voir que le potentiel évolue linéairement dans l'isolant, qu'une charge apparait sur la surface du métal et que la condition de neutralité de la charge crée des états surfaciques dans la bande intérdite du semiconducteur [56]. Dans ce cas, le niveau de Fermi est « epinglé » et la relation Schottky-Moss est pondérée par γ_{GS}. Le sens physique de γ_{GS} rend compte de la chute de potentiel dans la couche diélectrique de l'interface métal-semiconducteur. Sans interaction avec un potentiel extérieur, le niveau de Fermi se situe juste au-dessus du potentiel de neutralité de charge et la charge induite par les états du gap. De manière graphique, nous pouvons ensuite retrouver la hauteur de la barrière Schottky pour cette configuration, comme il est montré dans la figure 1.22(b).

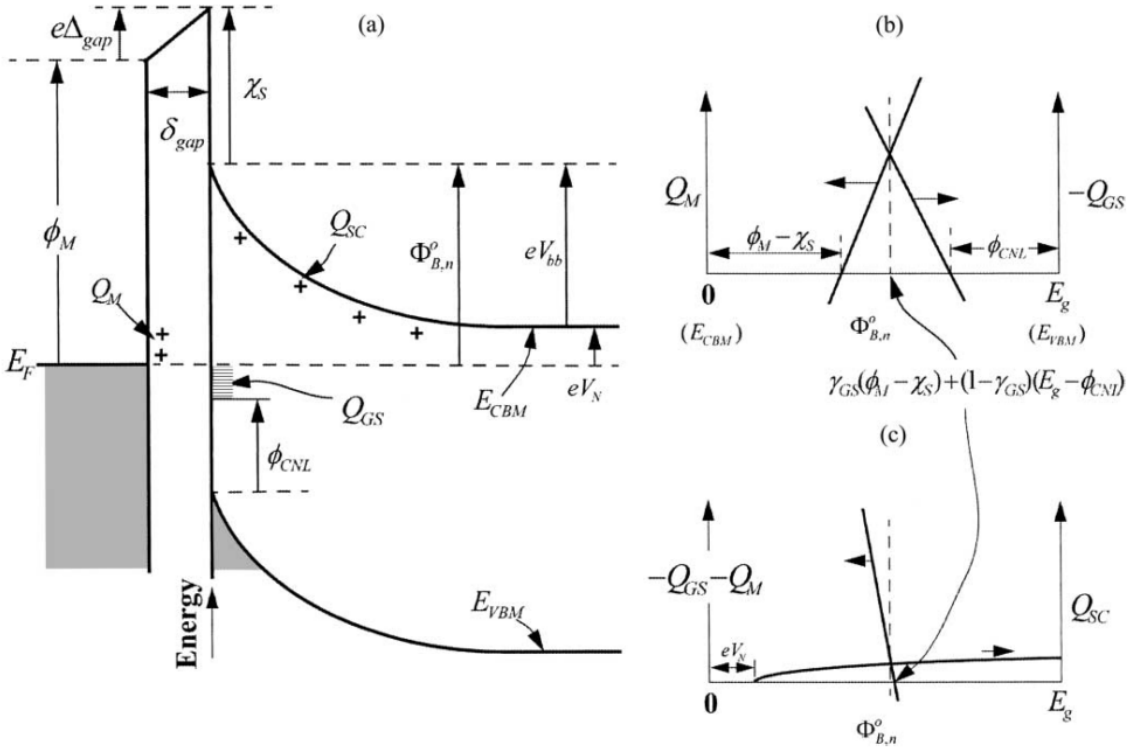


FIGURE 1.22 – Diagramme des bandes d'énergie du contact métal-semiconducteur prenant en compte la distance métal semiconducteur ainsi que la condition de la neutralité de la charge[56].

Même si l'équation (1.10) donne une bonne modélisation de l'épinglement du niveau de Fermi, il faut satisfaire les nombreuses hypothèses du modèle physique de l'interface métal-semiconducteur, qui est constituée d'une couche diélectrique d'épaisseur fixe. Dans le cas d'absence de couche diélectrique, le dipôle ne peut pas exister. Nous sommes alors rapportés au cas simplifié de la condition Schottky-Mott, où il n'y a pas de densité d'états surfaciques à prendre en compte. Cette vision de la barrière Schottky ne reflète pas la réalité puisque dans ce cas nous

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

nous trouvons dans une structure métal-isolant-semiconducteur, car nous sommes en présence de deux interfaces ou le niveau de Fermi peut être épinglé.

1.4.2.3 Abaissement de la hauteur de barrière par force image

La hauteur de barrière est un sujet récurrent de recherche. Si plusieurs théories se heurtent pour la déterminer et la corréler aux métaux utilisés, le calcul de la valeur du courant qui parcourt la diode tient compte uniquement de la hauteur et non pas de la forme de de celle-ci. Sans rentrer dans les détails des phénomènes de conduction qui seront traités dans le 3e chapitre, nous pouvons aborder l'abaissement de la hauteur de la barrière par l'image de la charge induite dans le métal par champ électrique.

Le courant majoritaire qui traverse une diode Schottky est le courant thermoionique. Il dépend de la hauteur de barrière, de la température et de la tension appliquée à ses bornes. Seuls les porteurs qui possèdent une énergie plus élevée que la hauteur de la barrière Schottky peuvent la franchir sous l'accélération du champ électrique. Dans ce cas, la représentation usuelle de la hauteur de la barrière correspond à ce qui a été présenté dans la figure 1.20. Quand un électron s'approche de la barrière, le champ électrique induit par cet électron dans le métal, crée une charge positive imagée de ce dernier. Les deux charges s'attirent selon le principe de l'électrostatique et la force qui s'applique sur l'électron à la distance x de la barrière est donnée par l'équation (1.18).

$$F = \frac{-q^2}{16\pi\epsilon_0 x} \tag{1.18}$$

L'énergie potentielle de l'électron, quand il atteint la position x, peut être calculée avec l'intégrale de la force qui s'applique pour approcher l'électron depuis l'infini, position à laquelle le champ peut être considéré nul.

$$E(x) = \frac{-q^2}{16\pi\epsilon_0 x} \tag{1.19}$$

Quand on applique un champ électrique externe $\mathcal{E}$ sur l'électron, l'équation (1.19) devient (1.20).

$$E(x) = \frac{-q^2}{16\pi\epsilon_0 x} - q|\mathcal{E}|x \tag{1.20}$$

L'équation (1.20) connait un maximum à la distance x_M. Sa position peut être déterminée par l'équation (1.21).

$$x_M = \sqrt{\frac{q}{16\pi\epsilon_0|\mathcal{E}|}} \tag{1.21}$$

Pour retrouver la valeur du potentiel, il suffit de réinjecter l'équation (1.21) dans l'équation (1.19) du champ électrique et de diviser par la charge électrique. On retrouve l'abaissement de la hauteur de barrière comme défini dans l'équation (1.22).

$$\Delta\phi = \sqrt{\frac{q|\mathcal{E}|}{4\pi\epsilon_0}} = 2q|\mathcal{E}| \tag{1.22}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Étant donné qu'il s'agit d'un semiconducteur, il faut utiliser la permittivité de ce dernier pour remonter à la valeur de l'abaissement et l'équation (1.22) est modifiée en (1.23). La vraie barrière de potentiel est alors fonction du champ électrique et varie selon la polarisation de la diode. L'équation (1.24) nous donne l'expression de la barrière de potentiel en combinant la hauteur de barrière Schottky, avec l'abaissement de celle-ci [29].

$$\Delta\phi = \sqrt{\frac{q\mathcal{E}_m}{4\pi\epsilon_S}} \tag{1.23}$$

$$\Phi_{B,n} = \Phi^0_{B,n} - \Delta\phi \tag{1.24}$$

Le diagramme de la barrière de potentiel est représenté dans la figure 1.23. Elle montre la barrière de potentiel $\Phi_{B,n}$, résultant de l'effet du potentiel image. Les lignes en pointillés, donnent la dérivée à l'origine de la bande de conduction dans le cas de la condition Schottky-Mott ainsi que l'énergie du potentiel image. La hauteur de barrière de potentiel qui en résulte est donnée par la différence entre la hauteur barrière Schottky et l'abaissement de celle-ci.

La valeur de l'abaissement de la hauteur de barrière dépend de la valeur maximale du champ dans le semiconducteur. Donc, plusieurs scénarii peuvent être envisageables selon si l'on polarise en direct ou en inverse la diode. La figure 1.24 résume de manière schématique les trois scénarii possible selon Rideout [57]. Nous pouvons remarquer que l'effet de l'abaissement est plus conséquent en polarisation inverse. C'est cet abaissement de barrière qui fait augmenter le courant de fuite dans la diode Schottky quand on augmente la tension. Si ce phénomène n'existait pas, le courant de fuite serait égal au courant de saturation pour toute valeur de tension négative avant le régime d'avalanche.

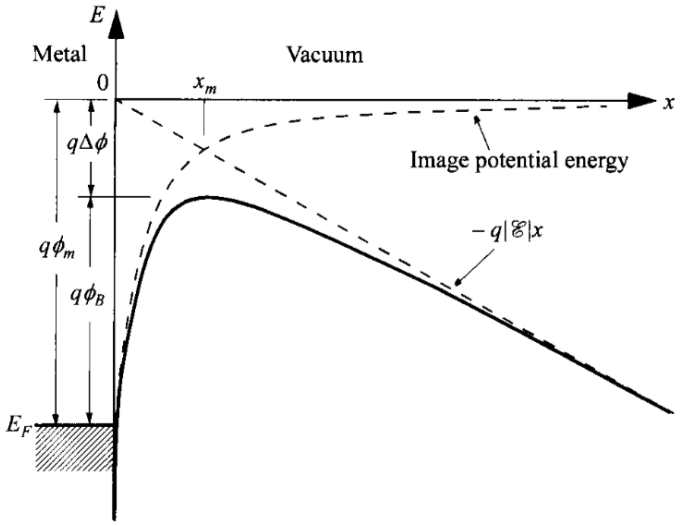


FIGURE 1.23 – Diagramme de la hauteur de barrière de potentiel du contact métal-semiconducteur prenant en compte l'abaissement de la barrière par le potentiel image [29].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

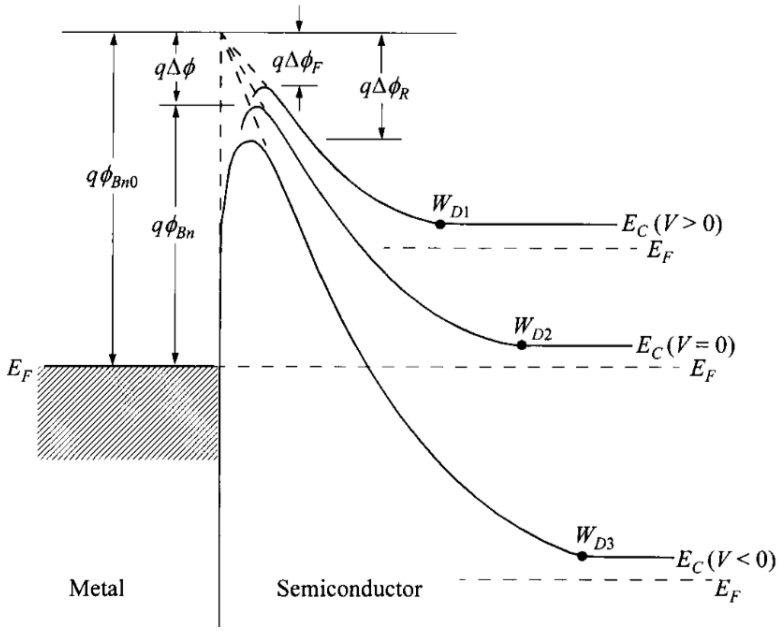


FIGURE 1.24 – Diagramme de la hauteur de barrière de potentiel du contact métal-semiconducteur suivant les trois scénarii : polarisation directe, pas de tension et polarisation en inverse [29].

1.4.3 Le contact ohmique

1.4.3.1 Généralités théoriques

Pour tirer profit des matériaux semiconducteurs, il faut les connecter dans des systèmes électroniques. Dans ce but, nous avons besoin de contacts métalliques de faible résistivité. Le contact Schottky, que nous venons de présenter, possède des propriétés rectifiantes, i.e. s'oppose à la conduction dans un sens. Or, souvent, nous avons besoin d'un contact qui laisse passer le courant dans les deux sens et qui possède une résistivité inférieure à celle du cristal, de manière à ne pas influer sur les propriétés du composant. On appelle communément ce type de contact, « contact ohmique ».

Si l'on se réfère à l'équation (1.9), la hauteur de barrière du contact est donnée par la différence entre le travail de sortie du métal et l'affinité électronique du semiconducteur. Dans le cas où cette grandeur serait positive, nous avons une désertion des porteurs du côté du semiconducteur, qui oblige les porteurs minoritaires à ne circuler que dans un sens. Si le métal a un travail de sortie plus faible que l'affinité électronique du semiconducteur, il y aura un excès de charge du côté du semiconducteur à cause de la courbure des bandes. Alors, il devient très simple de déplacer les porteurs des deux cotés de l'interface sous l'effet d'un champ électrique. Ce phénomène est illustré dans la figure 1.25.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

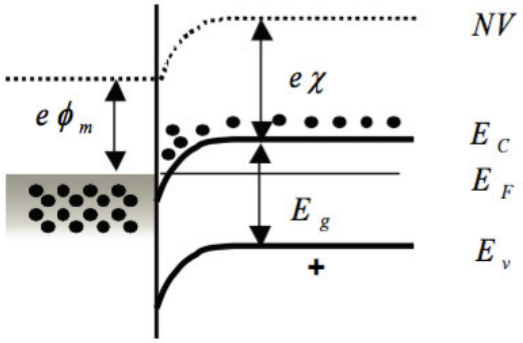


FIGURE 1.25 – Diagramme des bandes d'énergie du contact ohmique parfait sur un semiconducteur de type n [52].

Étant donné que la physique de l'interface est complexe, et que les métaux à travail de sortie plus faible que l'affinité électronique des semiconducteurs n'ont pas forcement des propriétés électriques/thermiques intéressantes, nous pouvons utiliser un contact Schottky modifié de sorte à obtenir une résistance très faible et à éviter le caractère rectifiant.

Pour y parvenir, il faut modifier la barrière de potentiel qui rend le contact Schottky rectifiant, soit en l'abaissant, soit en dégradant le semiconducteur (semiconducteur dégénéré) pour laisser passer les porteurs dans les deux sens. La barrière de potentiel au niveau de l'interface métal-semiconducteur dépend de plusieurs paramètres que nous pouvons contrôler, pour rendre le contact ohmique :

- Le choix du métal
- La préparation de la surface
- Le recuit après déposition

Toutes ces solutions interviennent au niveau de l'interface métal-semiconducteur, mais le cristal peut être modifié afin de réduire la résistance du contact. Le niveau de dopage de celui-ci peut favoriser différents mécanismes de conduction. Les trois mécanismes de conduction qui se produisent à l'interface sont :

- Émission thermoïonique
- Émission par champ assisté thermiquement (tunnel dépendant de la température)
- Émission par champ (Très peu dépendant de la température)

Si l'on intervient sur le dopage du semiconducteur, en rendant ce dernier dégénéré, on obtient le diagramme des bandes d'énergies qui est illustré par la figure 1.26.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

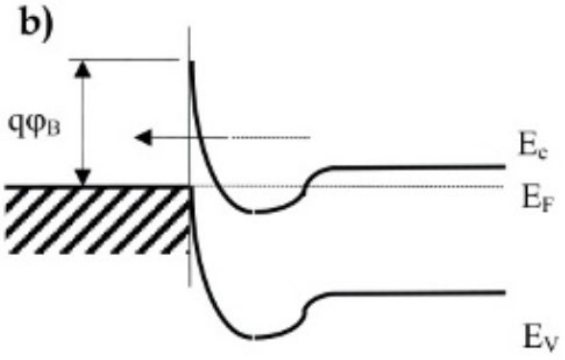


FIGURE 1.26 – Diagramme des bandes d'énergie du contact ohmique modifié sur un semiconducteur de type n [52].

En ajustant le dopage, nous pouvons favoriser un des mécanismes de conduction et ainsi modifier la résistance du contact ohmique. Pour connaitre le mécanisme prépondérant, il faut se référer à la probabilité de conduction par effet tunnel, qui est régie par le rapport entre le paramètre E_{00} et l'énergie thermique des porteurs kT. Quand $kT >> E_{00}$, i.e. des températures élevées pour des dopages faibles, le mécanisme prépondérant de conduction est l'émission thermoionique. La résistance peut alors être calculée par l'équation (1.25).

$$R_C = \frac{k}{A^{**}Tq} \exp\left(\frac{\Phi_{B,n}}{kT}\right) \tag{1.25}$$

Si le dopage augmente jusqu'à ce que l'énergie thermique soit de l'ordre du paramètre de tunneling, i.e. $kT \approx E_{00}$ alors le mécanisme de conduction prépondérant est l'émission par champ assisté thermiquement. Cela signifie que la résistivité conserve une forte dépendance de la température. On peut ensuite la calculer avec l'équation (1.26).

$$R_C = \frac{ksin(\pi c_1 kT)}{A^{**}\pi Tq} \exp\left(\frac{q\Phi_{B,n}}{E_{00}}\right) \tag{1.26}$$

Pour des dopages très élevés et pour des températures normales, voire faibles, la condition $kT << E_{00}$ est satisfaite et le courant dominant est l'émission par champ (tunnel). Dans ce cas, la dépendance de la température est vraiment faible et l'expression de la résistance devient (1.27).

$$R_C = \frac{ksin(\pi c_1 kT)}{A^{**}\pi Tq} \exp\left(\frac{q\Phi_{B,n}}{E_{00}}\right) \tag{1.27}$$

De façon schématique, la figure 1.27 montre l'influence du dopage ainsi que la hauteur de barrière sur la résistivité du contact ohmique. Les trois mécanismes de conduction sont représentés dans le domaine dans lequel ils s'appliquent.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

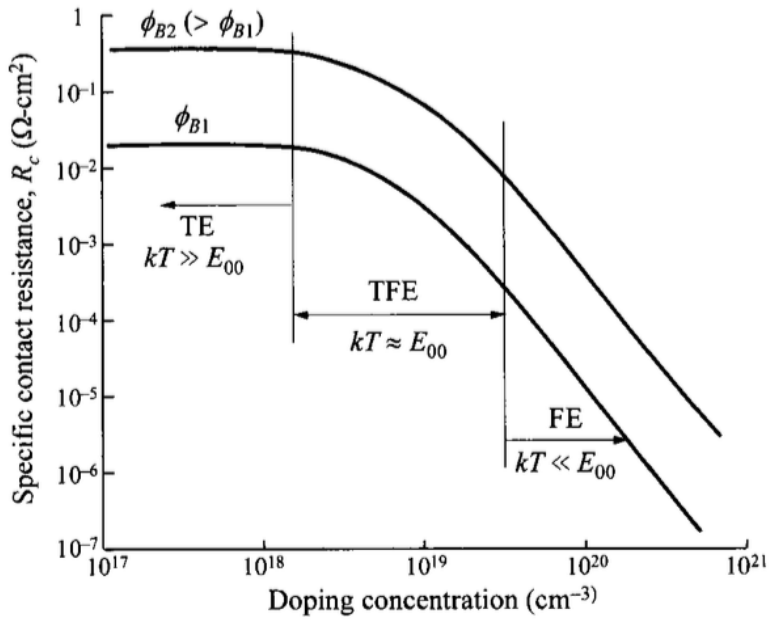


FIGURE 1.27 – Influence du dopage et de la hauteur de barrière sur la résistivité du contact ohmique, ainsi que les domaines d'application des trois mécanismes de conduction [29].

1.4.4 Le contact ohmique sur SiC-4H

L'ingénierie du contact ohmique sur SiC dispose d'un large panel de choix de métaux. Tant pour le type n que pour le type p, le dépôt des métaux ou des alliages se fait sur des couches semiconductrices fortement dopées (10^{18}cm^2), afin d'obtenir une résistivité réduite. Pendant le fonctionnement, la stabilité thermique du contact est assurée par un recuit haute température, généralement autour des 1000°C. Les valeurs de résistivité les plus faibles sur SiC-4H sont de l'ordre de $10^6\Omega$cm^2 pour les deux types de dopage [58]. Les tableaux suivants résument les meilleures valeurs obtenues expérimentalement sur SiC type n et p respectivement.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Métal	Concentration (cm^{-2})	Température de recuit	ρ_C ($\Omega\,cm^2$)
Ni [59]	1×10^{19}	1050 (°C) , 1 min	1×10^{-6}
Ni/Si [60]	1×10^{19}	950 (°C)	2.7×10^{-5}
Si/Ni [61]	2×10^{19}	900 (°C)	1.9×10^{-6}
Ni/Si/Ni [62]	1.1×10^{19}	550 (°C) + 800 (°C)	1.4×10^{-5}
Ni-Cr [63]	1.1×10^{19}	1100 (°C) , 3 min	1×10^{-4}
Al/Ni/Al [64]	7×10^{18}	1000 (°C) , 5 min	7×10^{-5}
Ti/Ni/Al [64]	7×10^{18}	1000 (°C) , 5 min	4.5×10^{-5}
Co et Co/Si [65]	1.1×10^{19}	500 (°C) + 900 (°C)	3×10^{-5}
Co/Si/Co/Si/Co [66]	1.1×10^{19}	500 (°C) + 800 (°C)	1.8×10^{-6}
Co/Si/Co [62]	1.1×10^{19}	550 (°C) + 800 (°C)	1.5×10^{-6}
C/Co/Au [67]	2.8×10^{18}	550 (°C) + 1050 (°C)	2.3×10^{-5}
Ti-W [68]	1.3×10^{19}	950 (°C) , 30 min	$2 - 6 \times 10^{-5}$
Ti [69]	1×10^{20}	950 (°C)	8×10^{-4}
TiC [69]	1.3×10^{19}	950 (°C)	4×10^{-5}
Ti/Al/Si [70]	2.6×10^{19}	1020 (°C) , 150 s	3.7×10^{-6}
Au/Ti/Al [71]	1.1×10^{15}	800 (°C) , 5 min	1.4×10^{-5}
Cu/Si/Cu [72]	1.1×10^{19}	850 (°C) , 1 min	1.2×10^{-6}
Ti-Si-C [73]	1.5×10^{19}	950 (°C) , 1 min	5×10^{-4}

TABLE 1.5 – Meilleures valeurs de contact ohmique sur SiC-4H de type n relevées dans la littérature.

Généralement, le contact ohmique sur du SiC-4H de type p est plus difficile à obtenir en raison du travail de sortie élevé des métaux. Les hauteurs de barrière résultantes peuvent atteindre approximativement 6 eV. Étant donné que nous avons peu de marge de manœuvre sur la hauteur de barrière, on peut alors agir sur sa largeur pour favoriser la conduction par effet tunnel (FE). La solution est alors de doper fortement la surface du semiconducteur pour amplifier ce mode de conduction.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Métal	Concentration (cm^{-2})	Température de recuit	ρ_C ($\Omega\,cm^2$)
Al [74]	4.8×10^{18}	1000 (°C) , 2 min	4.2×10^{-4}
Al/Ti [75]	$> 1 \times 10^{18}$	1100 (°C) , 3 min	1×10^{5}
Ti/Al [76]	1×10^{19}	1050 (°C) , 2 min	1×10^{-6}
Al/Ti/Al [74]	1×10^{19}	1050 (°C) , 10 min	5×10^{-6}
Ti [77]	1.3×10^{19}	800 (°C) , 1 min	$2 - 4 \times 10^{-5}$
Ti/Al/Si [70]	2.4×10^{19}	1020 (°C) , 150 s	1.7×10^{-4}
Ni [78]	2×10^{20}	1000 (°C)	7×10^{-3}
Ni/Al [79]	1×10^{19}	1000 (°C) , 2 min	3×10^{-5}
Ni/Ti [80]	2×10^{19}	900 (°C) , 3 min	1×10^{-5}
Al/Ti/Pt/Ni [81]	1.5×10^{19}	1000 (°C) , 2 min	9×10^{-5}
Ni/Ti/Al/Ni [82]	3×10^{19}	800 (°C)	1.5×10^{-5}
Ti/Al/W [83]	1×10^{20}	1100 (°C) , 2 min	5×10^{-4}
TiC [84]	6×10^{18}	500/700/950 (°C)	2×10^{-5}
Pd [85]	5×10^{19}	700 (°C) , 5 min	5.5×10^{-5}
Ge/Ti/Al [86]	4.5×10^{18}	600 (°C) , 30 min	1×10^{-4}
Co [87]	2×10^{19}	500 (°C) + 900 (°C)	4×10^{-4}
Co/Si [87]	2×10^{19}	500 (°C) + 900 (°C)	4×10^{-6}

TABLE 1.6 – Meilleures valeurs de contact ohmique sur SiC-4H de type n relevées dans la littérature.

1.5 Impact des défauts

Dans cette section, nous allons aborder les défauts qui surviennent dans le matériau durant la phase de croissance du cristal du SiC-4H et lors de la fabrication de composants. Le comportement des composants électroniques peut être fortement affecté par les défauts. Il faut alors pouvoir :

- Éviter leur formation
- Détecter leur présence
- Les corriger quand ils se produisent

Selon leurs effets, nous pouvons les qualifier de défauts affectant peu les performances des composants ou de défauts dévastateurs. À fin de dresser un panorama de l'état de l'Art des défauts, nous allons passer en revue uniquement les défauts les plus fréquents, ainsi que les plus nocifs.

1.5.1 Défauts inhérents au matériau

1.5.1.1 Les dislocations du plan basal

Les dislocations sont des défauts planaires du cristal qui peuvent résulter du glissement d'un plan atomique sans perturber la périodicité du cristal. Ce type de défaut se produit principalement dans le plan basal du SiC-4H, étant donné que l'énergie de formation est plus faible

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

dans ce plan. Le plan basal du SiC est parallèle aux directions [1-100] et [11-20]. Comme il est illustré dans la figure 1.28, le vecteur de burger, ainsi que la ligne du défaut, sont dans ce même plan. On les appelle alors dislocations du plan basal (BPD) et on peut les observer par photoluminescence ultra violet (UVPL) [88] ou par topographie synchrotron faisceau blanc rayon X (SWBXT) [89].

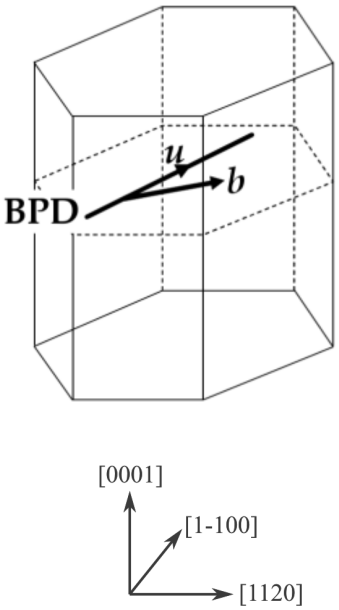


FIGURE 1.28 – Dislocation du plan basal du SiC-4H [90].

Pour avoir des cadences de croissance convenables, les techniques actuelles d'épitaxie du SiC-4H nécessitent un petit angle d'inclinaison, généralement 4°. Cet angle d'inclinaison fait que les dislocations étendues du plan basal se propagent jusqu'à la surface du substrat à épitaxier. En conséquence, pendant la croissance par épitaxie ces défauts peuvent continuer à s'étendre. Dans la plupart des cas, ils peuvent se transformer en dislocations de dislocations de type "coin" (ED) [91].

À cause de leur nature instable, les BPD peuvent se transformer en défaut d'empilement (SF) [89] en régime de forte injection bipolaire. L'observation a révélé que c'est l'énergie qui se dégage lors de la récombinaison dans les BPD qui active la conversion [92]. Puisque les nuisances provoquées par ce type de défaut sont considérables dans le cas des composants bipolaires, beaucoup d'efforts ont été concentrés ces dernières années pour la transformation des BPDs en dislocations de type "coin", ou communément appelés Threading Edge Dislocation (TED). Aussi, une section à part entière sera consacrée aux dégradations dues aux défauts d'empilement.

1.5.1.2 Les dislocations de type "coin"

Dans le cas de la dislocation de type "coin" le vecteur de burger est à 90° du sens de propagation du défaut. Il faut une contrainte extérieure pour qu'une partie du cristal glisse. Ce glissement crée une absence de liaison inter-atomique qui constitue le défaut de type coin. On peut le voir illustré dans la figure 1.29. Dans ce cas, la ligne du défaut est perpendiculaire au vecteur de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

burger qui se trouve théoriquement dans le plan basal du SiC. Généralement les dislocations de type "coin" ont une ligne de propagation inclinée par rapport à la perpendiculaire avec le plan basal [91]. Cette inclinaison modifie le défaut en lui conférant un certain degré de mixité (TED).

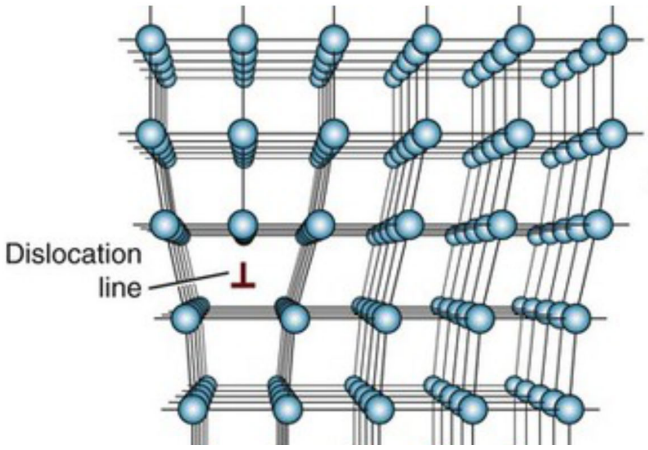


FIGURE 1.29 – Illustration d'une dislocation de type "coin".

Une représentation schématique de la dislocation "coin" est faite dans la figure 1.30, où l'on peut voir que la ligne de la dislocation et le vecteur burger, qui se trouve sur le plan basal, sont perpendiculaires. Ce défaut est généralement toléré pour le SiC-4H, étant donné qu'il est beaucoup moins important que les micropores ou les défauts d'empilement. C'est pour cette raison que l'on essaye de convertir de manière préventive les BPDs en TED pendant l'épitaxie [91].

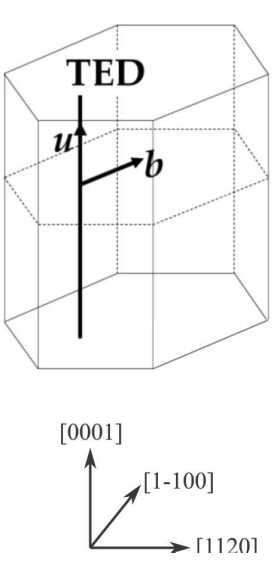


FIGURE 1.30 – Dislocation de type "coin" du SiC-4H[91].

Le mécanisme de conversion des BPDs en TEDs est expliqué schématiquement dans la figure 1.31, où plusieurs étapes de gravure et d'épitaxie sont enchainées, afin d'obtenir un

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

cristal contenant très peu de défauts de type BPD [93]. Leur impact sur la hauteur de barrière reste à déterminer.

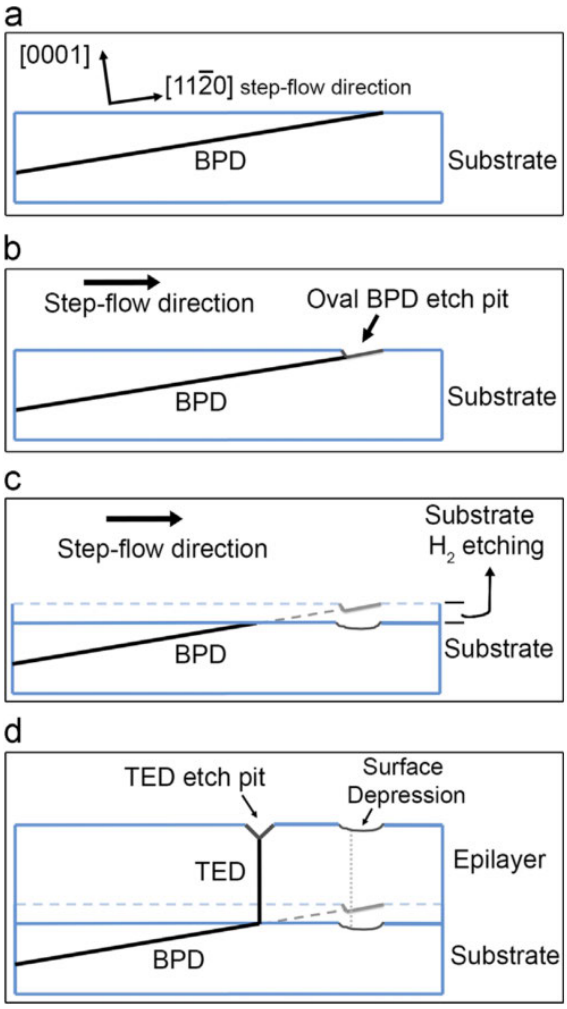


FIGURE 1.31 – Conversion des BPDs en TEDs par l'utilisation de la gravure in-situ [91].

1.5.1.3 Les dislocations de type "vis"

Les dislocations de type "vis" (TSD) sont des défauts avec un motif hélicoïdal comme illustré dans la figure 1.32. Dans ce cas, le vecteur de burger est dans la ligne de propagation du défaut. Nous pouvons noter que les plans atomiques se superposent les uns aux autres de manière hélicoïdale, et que la contrainte mécanique diminue en s'éloignant du centre de cette dislocation.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

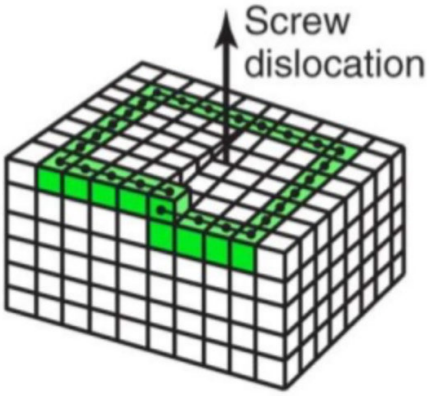


FIGURE 1.32 – Illustration de la dislocation de type "vis".

Une illustration de l'évolution de la dislocation par rapport au plan basal est faite dans la figure 1.33. La direction du vecteur de burger et la ligne de dislocation sont confondues et perpendiculaires au plan basal du cristal. En pratique, comme pour les TEDs, il y a une petite inclinaison entre la perpendiculaire et la direction de l'évolution du défaut. En conséquence, la nature du défaut est mixte.

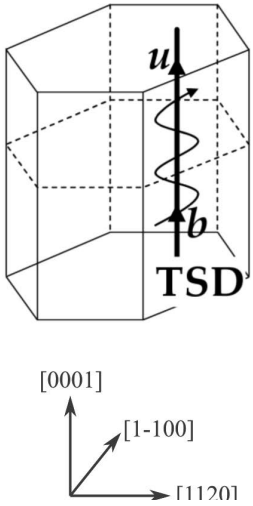


FIGURE 1.33 – Illustration de la dislocation de type "vis" du SiC[90].

Quand l'amplitude du vecteur de burger dépasse un seuil critique, la contrainte mécanique dans la ligne de propagation du défaut, devient telle qu'une absence d'atomes est alors observée. Par conséquent, on se retrouve avec un défaut de type "vis", à cœur creux, appelé habituellement micropore (MP). Les micropores forment un conduit creux qui peut traverser toute la longueur du substrat, comme schématisé dans la figure 1.34. Par leur nature creuse, les micropores s'opposent faiblement au passage des porteurs. Évidement, le comportement des composants électroniques en est négativement affecté.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

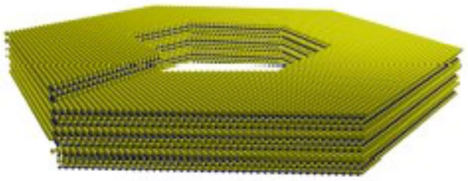


FIGURE 1.34 – Dislocation de type “vis” à cœur creux[94].

L’impact néfaste des dislocations de type “vis” et des micropores sur la tenue en tension inverse a été mis en évidence dès le début des années 2000 [95]. On peut voir dans la figure 1.35 que la densité des défauts de type “vis” influe beaucoup sur la tenue en tension de la diode Schottky sur du SiC-4H. L’augmentation de la concentration de ce type de défaut accélère le processus de départ en avalanche.

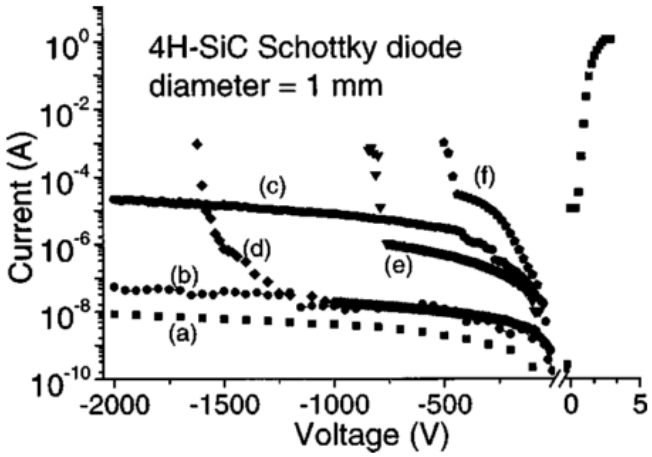


FIGURE 1.35 – Caractéristique inverse d’une diode Schottky sur du SiC-4H d’une surface de 0.8mm^2 environ, contenant une densité de défauts TSD de 950 cm^{-2} (a), densité de défauts TSD approximativement 1200cm^{-2} (b), densité de défauts TSD entre 1500 et 1650 cm^{-2} (c), contact formé sur un défaut de type carotte (d), et diodes contenant des micropores (e) et (f) [95].

L’importance de réduire les TSDs et de faire disparaître les micropores a émergé très tôt, contraignant les chercheurs à concentrer leurs efforts uniquement sur ces types de défauts. Des techniques permetant de combler les micropores [96] ont été mises au point. Ceci a permis d’obtenir des tensions de claquage réduites de seulement 10% par rapport à la valeur théorique. Cette prouesse technique, ainsi que d’autres avancées, ont suscité l’intérêt pour les autres défauts, comme les défauts d’empilement, les inclussions triangulaires, les carottes etc.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

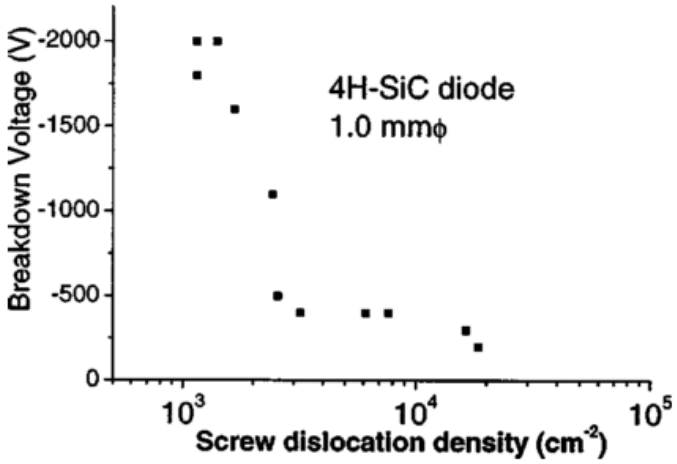


FIGURE 1.36 – Impact de la densité de défauts TSD sur la tenue de tension d'une diode Schottky sur du SiC-4H[95].

1.5.1.4 Les défauts d'empilement

Chaque polytype de SiC est défini par sa structure, hexagonale ou cubique, et par sa périodicité. À titre d'exemple, le polytype SiC-4H est une structure hexagonale de périodicité 4. Les plans atomiques horizontaux subissent deux décalages consécutifs à droite (positifs) suivis de deux décalages consécutifs à gauche (négatifs), puis cette structure se répète. Un SF (Stacking Fault) survient quand un ou plusieurs plans horizontaux ne respectent pas cette règle, causant des discontinuités au niveaux de la périodicité. L'imagerie au microscope électronique en transmission (TEM) révèle différents types de défauts d'empilement ou des succession de plans atomiques glissent les uns par rapport aux autres, pendant la croissance du cristal. Les séquences présentées en 1.37(a), (b), (c), sont notées SF(4,4) SF(5,3) et SF(0,6).

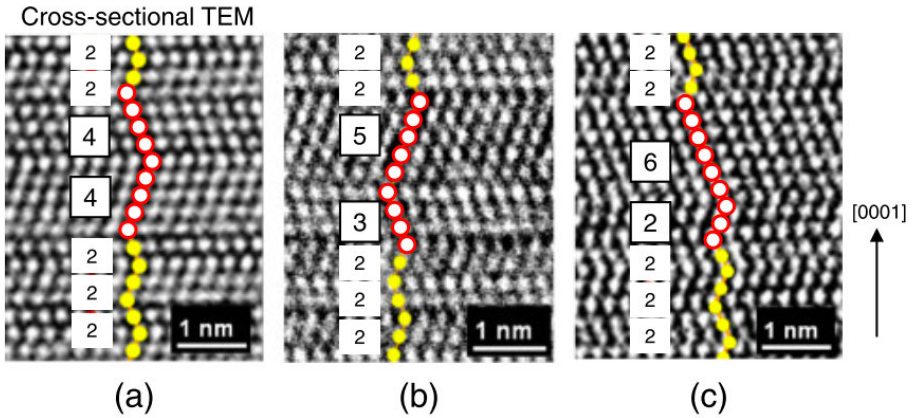


FIGURE 1.37 – Plusieurs types de défauts d'empilement sont illustrés. SF(4,4) en (a), SF(3,5) en (b) et SF(0,6) en(c). [97]

Souvent, les défauts d'empilement surgissent pendant la croissance épitaxiale, ou sur des

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

dislocations du plan basal du substrat pendant le fonctionnement du composant. Généralement, ils se propagent sur toute l'épaisseur de l'épitaxie. Cela donne lieu le plus souvent à une inclusion de polytype 3C qui peut être révélée par photoluminescence (PL) [97]. L'énergie des défauts d'empilement est plus faible que celle du SiC-4H, d'où une augmentation des longueurs d'onde observées par photoluminescence. Nous pouvons voir dans la figure 1.37 que les longueurs d'ondes émises par ces défauts sont plus grandes que dans le cas du cristal parfait.

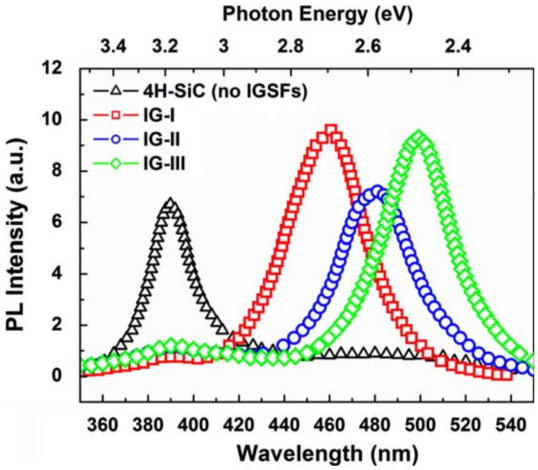


FIGURE 1.38 – Pics de photoluminescence du SiC-4H comparés à ceux des défauts d'empilement dans le substrat [97].

Ce type de défauts a été remarqué dès le début des années 90 [98] et malgré le nombre conséquents d'études leur effet sur les performances de la diode Schottky SiC reste encore à éclaircir. Une étude récente [99] met en évidence le lien entre la résistance à l'état passant anormalement élevée et les défauts d'empilement. Dans ce cas, il n'y pas de double-barrière apparente et l'absence de données sur la tenue en tension ou la densité de défauts d'empilement ne nous permet pas de qualifier ce type de comportement comme typique.

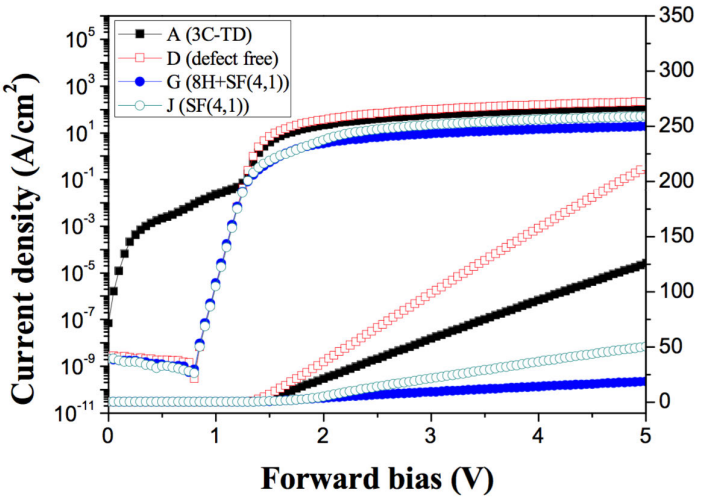


FIGURE 1.39 – Influence des défauts d'empilement sur la résistance à l'état passant [99].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

D'autres expériences [100, 101, 102, 103] ont permis de conclure que la tenue en tension des diodes Schottky est détériorée par la présence de ce type de défauts. Une des hypothèses émises [100] consiste à imaginer le défaut d'empilement comme un plan incliné "aidant" l'écoulement des électrons. Cette hypothèse est appuyée par le fait que l'énergie de formation des SF est plus faible que celle du SiC-4H, engendrant un puit de potentiel comme illustré dans la figure 1.40.

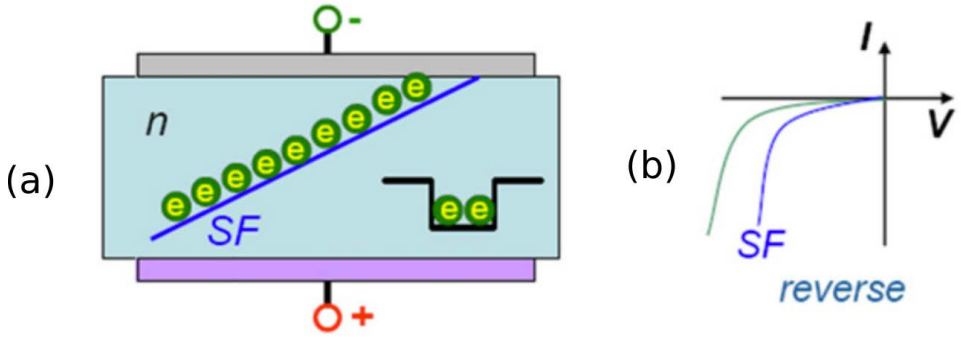


FIGURE 1.40 – Le niveau d'énergie du défaut engendre un puit de potentiel dans lequel les électrons sont piégés (a). La tenue de tension est influencée par le défaut d'empilement (b) [100].

L'influence des défauts d'empilement sur la hauteur de barrière a été étudiée[101, 102] et montre que les diodes fabriquées sur des défauts d'empilement peuvent être la source de deux hauteurs de barrière (double barrière). La présence de deux hauteurs de barrières influe sur la caractéristique directe et inverse en augmentant les courants de fuites, donc détériorant la tenue en tension, ! comme illustré dans la figure.

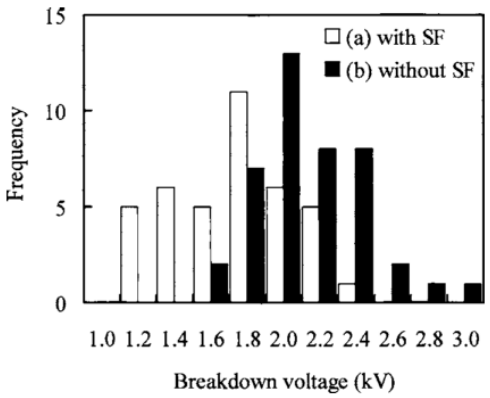


FIGURE 1.41 – Statistiques de l'influence d'un défaut d'empilement sur la tenue de tension[101].

La figure 1.42 montre la présence de doubles barrières au niveau des contacts Schottky ayant des défauts d'empilement. Comme on peut le voir, à température ambiante, le courant dans la diode avec défauts croît plus vite avec le potentiel. À température ambiante nous ne sommes pas en mesure de faire la différence en terme de hauteur de barrière entre la diode idéale et celle avec défauts. Diminuer la température permet, par contre, de révéler les « défauts » comme les doubles barrières, qui forment un coude au niveau de la caractéristique directe.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

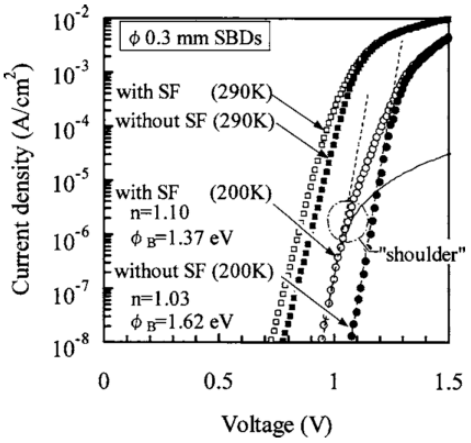


FIGURE 1.42 – Apparition des doubles barrières sur des contacts Schottky présentant des défauts d'empilement[101].

Pour appuyer l'hypothèse de l'abaissement local de la hauteur de la barrière, on peut citer une étude de 2002 [102] qui établit une corrélation entre les défauts et ce phénomène. Des diodes fabriquées sur du SiC-4H épitaxié dans la direction [11$\underline{2}$0], sur lesquelles on a déposé des contacts circulaires de nickel (Ni) de diamètre 400µm, montrent une forte dépendance entre la hauteur de barrière et la présence des défauts d'empilements. La figure 1.43 montre que la présence d'une très faible quantité de défauts SF peut abaisser drastiquement la hauteur apparente de la barrière Schottky de la diode.

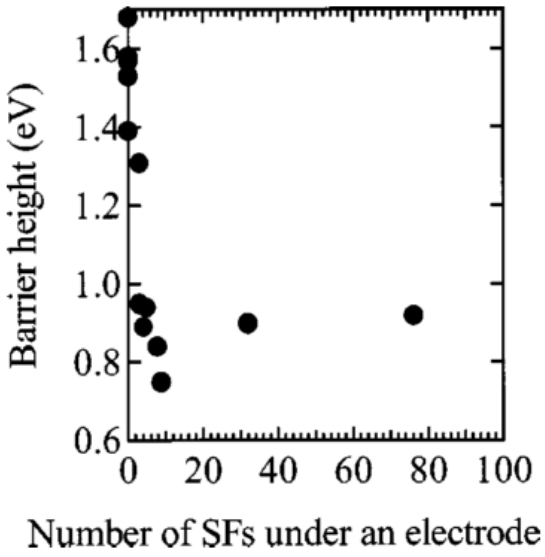


FIGURE 1.43 – Impact de la densité des défauts d'empilement sur la hauteur de barrière de la diode Schottky SiC-4H[102].

La simulation du phénomène par éléments finis prouve que le courant en polarisation inverse ne circule pas sur le défaut d'empilement. Dans cet exemple tiré de [103], on simule un

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

défaut d'empilement qui n'est rien d'autre qu'une inclusion de type 3C sur un plan incliné (triangulaire). La portion du contact qui se trouve sur le défaut d'empilement est caractérisée par un champ électrique plus élevé, abaissant la hauteur de la barrière et augmentant le courant de fuite. Étant donné que le polytype 3C a une affinité électronique plus élevée que le 4H, la hauteur de barrière est naturellement plus faible aussi. Cela signifie que, dans tout les cas, nous aurons une plus faible barrière de potentiel sur ce type de défaut d'empilement. Le courant de fuite, contrairement à ce qui était soupçonné auparavant, ne circulera pas sur la surface du défaut d'empilement malgré le puits de potentiel, mais sera majoritairement issu de la surface du défaut en contact avec le métal.

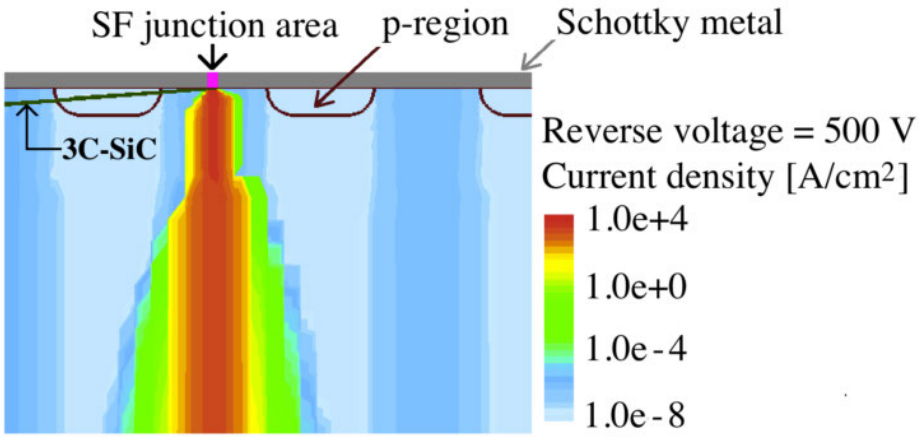


FIGURE 1.44 – Simulation du courant de fuite sur le contacte Schottky d'une diode JBS contenant un défaut d'empilement[103].

1.5.1.5 Les défauts ponctuels dans le SiC-4H

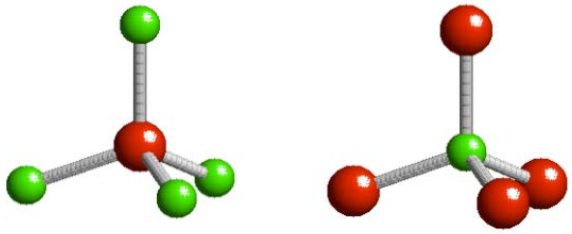
Les semiconducteurs peuvent être aussi sujets aux défauts ponctuels. La densité et la nature de ces défauts peut déterminer l'impact qu'ils peuvent avoir sur le comportement des composants. Généralement, les défauts ponctuels créent des niveaux d'énergie assez profonds [104] qui peuvent être caractérisés par des techniques telles que la spectroscopie d'admittance (SA) ou la spectroscopie capacitive des niveaux profonds (DLTS) [105]. La densité de ce type de défauts dans le SiC-4H épitaxié est généralement autour de 5×10^{12}—2×10^{13} cm^{-3}, mais peut augmenter drastiquement quand on utilise la technique d'implantation ionique pour la fabrication des composants électroniques [106].

Le SiC-4H n'est pas exempt de ce type de défauts, et dans ce cas, ils peuvent êtres classés comme suit :

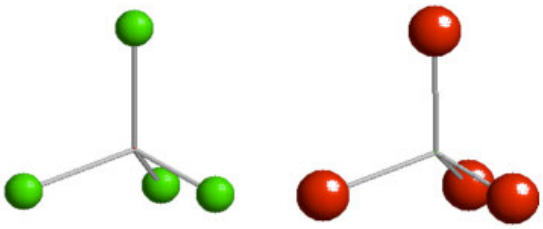
- Lacunes
- Sites substitutionnels
- Sites interstitiels

Les lacunes sont de quatre types dans les SiC-4H et sont généralement représentées telles que le montre la figure 1.45. Nous pouvons constater que l'atome au centre du tétraèdre est

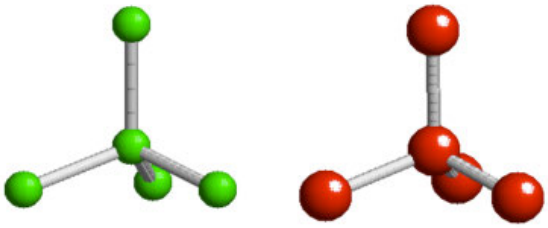
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a)



(b)



(c)

FIGURE 1.45 – Maille élémentaire du cristal SiC (a), lacune (b) et site substitutionnel (c)[104].

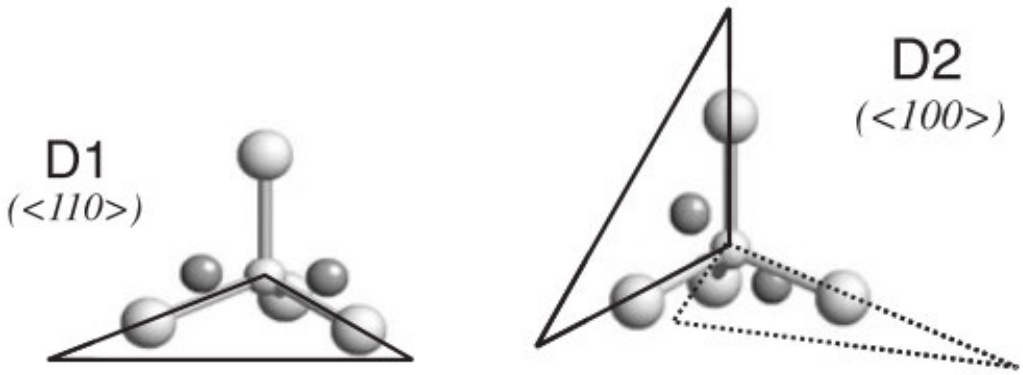
absent. Le nombre de combinaisons qu'on peut avoir est de quatre, selon si c'est une absence de Si ou de C et selon si nous sommes dans la rangé B ou C du cristal. La même analyse peut être faite quand il s'agit d'un défaut de site substitutionnel. Nous pouvons avoir quatre possibilités de sites substitution dans le SiC-4H, comme représenté dans la figure 1.45c.

Les défauts les plus complexes sont les défauts de type interstitiels. Quand un atome supplémentaire de silicium ou de carbone se glisse dans la maille élémentaire d'un site interstitiel et s'aligne dans le même plan qu'une liaison Si-C, il s'agit du type D1. Le type D2 a besoin de 2 atomes supplémentaires dans le site interstitiel qui sont positionnés dans 2 plans perpendiculaires. Une représentation schématique est donnée dans la figure 1.46.

Une classification complète de ce type de défauts sur du SiC-3C et SiC-4H a été compilée, ainsi que les énergies de formation calculées par la méthode du potentiel de Gao-Weber [104].

Les défauts profonds dans la bande interdite nuisent particulièrement aux composants bipolaires car ils affectent beaucoup la durée de vie des porteurs. Une densité de 10^{13} cm^{-3} peut être considérée élevée quand il s'agit de fabriquer des composants bipolaires. Ces défauts ponctuels agissent comme centres de recombinaison. Un lien direct a été établi entre la durée de vie des porteurs majoritaires et la densité de pièges $Z_{1/2}$, qui correspond à une lacune de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 1.46 – Représentation des sites interstitiels du SiC-4H de type D1 et D2 [104].

carbone chargée négativement $V_C[-]$. Ce lien a été prouvé expérimentalement pour des densités supérieures à 10^{13} cm^{-3}, comme on peut l'observer dans la figure 1.47.

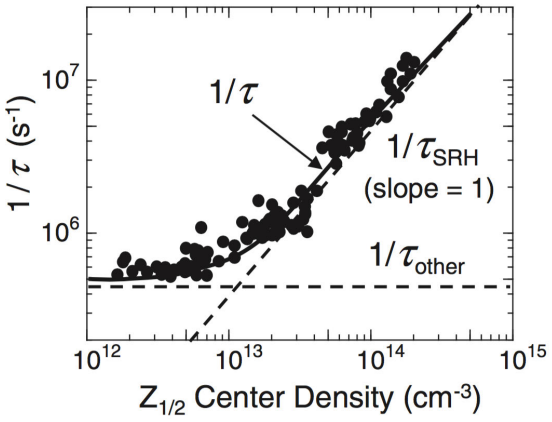


FIGURE 1.47 – Impact de la densité des défauts ponctuels de type $Z_{1/2}$ sur la durée de vie des porteurs majoritaires d'un échantillon de SiC-4H de type n épitaxié sur 50 µm [107].

Diverses techniques ont été mises au point pour traiter ce type de défaut. Une première consiste à introduire un excès de carbone par implantation ionique. Un recuit à haute température (1600 °C) sous atmosphère d'argon permet aux atomes de carbone de diffuser vers les lacunes interstitielles. La comparaison de cette technique avec des substrats non traités après l'épitaxie est reportée dans la figure 1.48.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

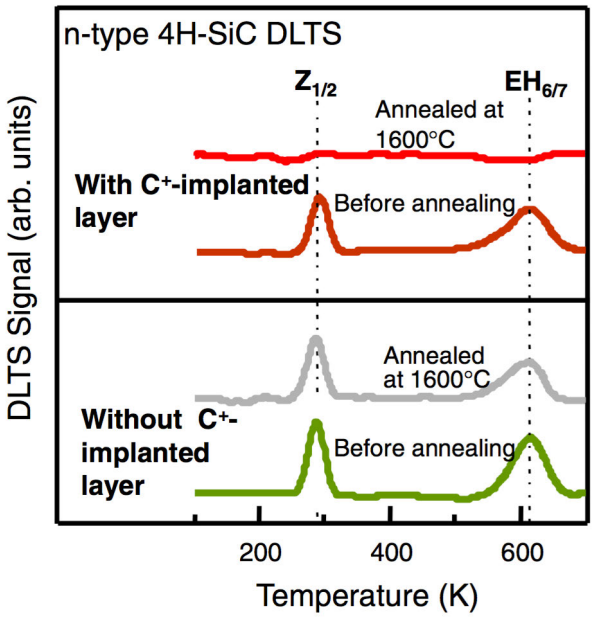


FIGURE 1.48 – Comparaison du signal DLTS avant et après recuit, dans des conditions sans implantation d'ions C^+ en bas, ou avec implantation en haut[107].

Une seconde technique consiste à faire une oxydation thermique (1400 °C). Pendant l'oxydation le carbone quitte le cristal sous forme de CO (monoxyde de carbone). Néanmoins, une certaine quantité du carbone est émise dans le cristal et, comme souligné auparavant, un recuit à 1500 °C sous argon permet au carbone interstitiel de diffuser jusqu'à 100 µm dans le substrat. Les centres de recombinaison sont ainsi traités et ne dépassent plus le seuil de détection, comme on peut le voir dans la figure 1.49.

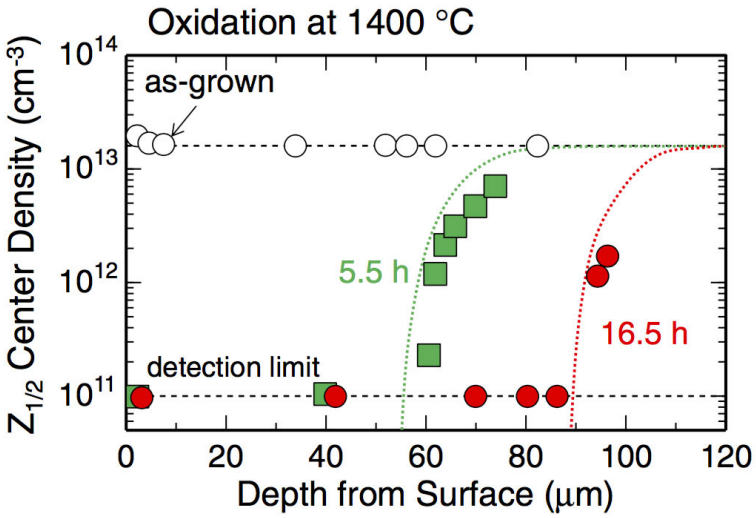


FIGURE 1.49 – Impact de la durée de traitement sur la profondeur des centres $Z_{1/2}$ dans du SiC-4H de type n [107].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.5.2 Défauts crées par le process technologique

1.5.2.1 L'implantation

À cause de la faible diffusivité des dopants dans le SiC (à l'exception du bore), l'implantation ionique est la technique privilégiée [108, 109] pour obtenir un dopage sélectif pendant le process de fabrication des composants. L'implantation est utilisée pour fabriquer des régions actives et des terminaisons dans les composants de puissance en SiC[110]. Cependant, l'utilisation de cette technique pour la formation des régions dopées engendre des dommages importants dans le cristal et empêchent la bonne activation des dopants en le rendant amorphe. Le recuit post-implantation joue un rôle primordial dans la réparation des défauts et l'activation des dopants.

L'effet du recuit post-implantation sur la diode Schottky donne des résultats encourageants, avec une tenue de tension réduite de seulement 10% par rapport à la tenue théorique et un facteur d'idéalité proche de l'unité[111].

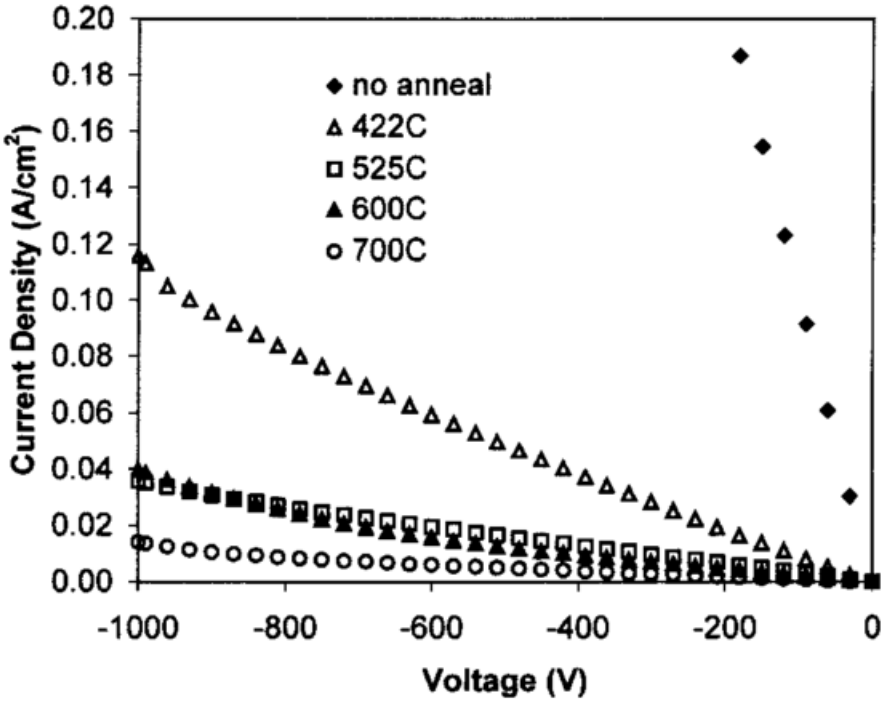
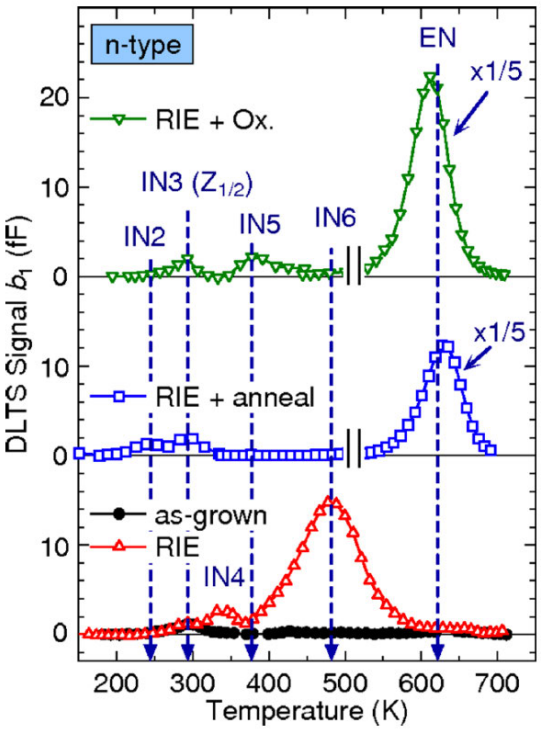


FIGURE 1.50 – Impact de la température de recuit post-implantation sur le courant de fuite dans une diode à barrière Schottky (SBD)[111].

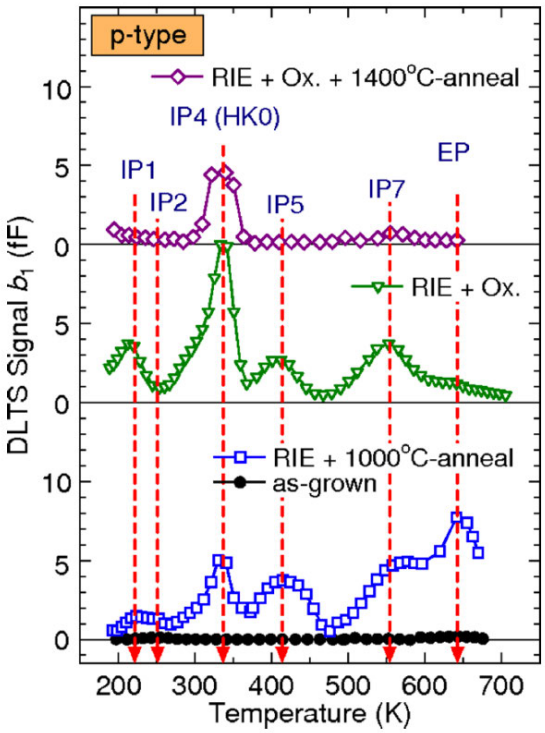
1.5.2.2 La gravure RIE

Parmi les étapes de fabrication des diodes Schottky et des autres composants en SiC-4H, on peut aussi compter la gravure sèche par Reactive Ion Etching (RIE). Dans le cas de la diode Schottky, la gravure est principalement utilisée avant le dépôt du contact Schottky. Du fait du bombardement ionique, une quantité importante de défauts profonds apparait dans la bande interdite du SiC. En conséquence, un abaissement de la hauteur de barrière se produit[112].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a)



(b)

FIGURE 1.51 – Signal DLTS obtenu avant et après gravure RIE, RIE + recuit ou RIE + oxydation sur du SiC-4H de type n à gauche et type p à droite [113].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

La caractérisation des défauts profonds se fait par DLTS. Le signal DLTS peut révéler des défauts dont la concentration est inférieure à 10^{13} cm^{-3}. La comparaison des signaux DLTS a été réalisée pour le type n et le type p avant et après la gravure[113].

1.5.2.3 L'oxydation

Les bienfaits de l'oxydation ont déjà été mentionnés dans la section précédente. Effectivement, quand le cristal du SiC contient des lacunes de carbone, l'oxydation haute température peut aider à les combler. Étant donné que l'oxydation du SiC consomme du silicium, le carbone qui se trouve en excès diffuse dans le cristal et comble les lacunes restantes. Puisque la diffusivité des atomes de carbone dans le SiC est très élevée, des défauts allant jusqu'à une épaisseurs de 100 µm ont pu être passivés. Ce mécanisme a été illustré dans la figure 1.49 et partiellement dans la figure 1.51.

Cependant, si les conditions de l'oxydation ne favorisent pas la diffusion, on peut avoir une précipitation d'atomes de carbone à la surface du cristal. En d'autres termes, si la température d'oxydation n'est pas suffisamment élevée (inférieure à 1300 °C), des amas de carbone apparaissent et nuisent au bon fonctionnement des composants. Une image 3D de la surface du SiC après gravure de l'oxyde, obtenue par microscope électronique à balayage (MEB) [114], montre des protubérances nanométriques de carbone. Se trouvant généralement à l'interface de SiO2/SiC, ces amas ont un rôle important dans la dégradation de l'oxyde de grille [115].

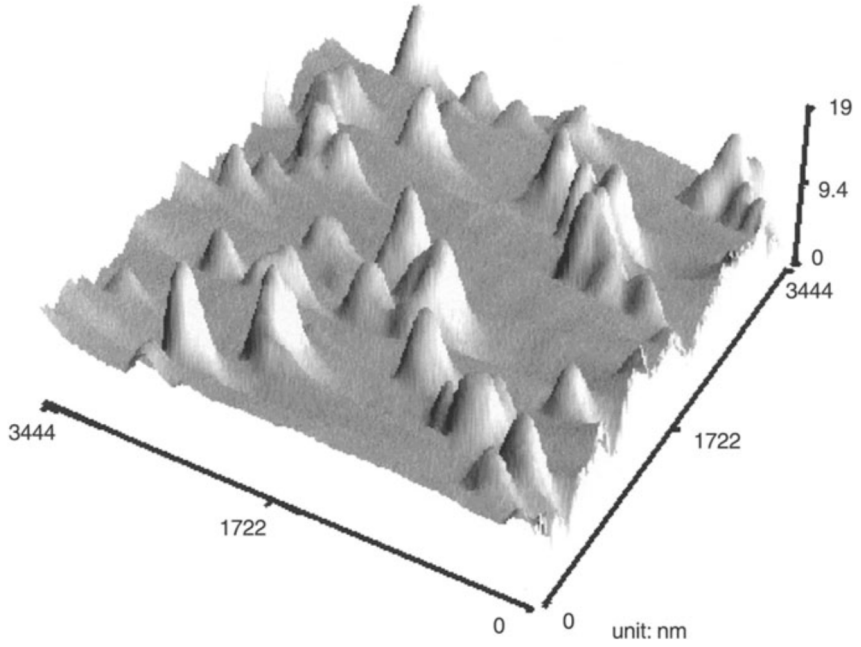


FIGURE 1.52 – Amas de carbone résultant de l'oxydation du SiC après recuit Ar et gravure de l'oxyde [114].

1.5.3 Classification de l'impact des défauts

L'intérêt pour le SiC comme semiconducteur de puissance a été quelque peu amoindri par la multitude de défauts que nous venons de lister. Les composants fabriqués sur du SiC-4H connaissent encore quelques écueils de performance et de fiabilité, ce qui ne le rend pas encore

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

totalement compétitif sur le marché des composants de l'électronique de puissance. Les efforts côté matériaux ont été focalisés sur la minimisation du nombre de défauts par unité de surface et l'augmentation de la taille des substrats. Entre 1993 et 2003 la densité des micropores est passée de plus de 1000 cm^{-2} à moins 10 cm^{-2}, alors que la taille des substrats est passée de 1" à 3". La réduction des défauts, ainsi que la découverte de méthodes pour les rendre électriquement inertes ont également fait l'objet de recherches intensives ces dernières années.

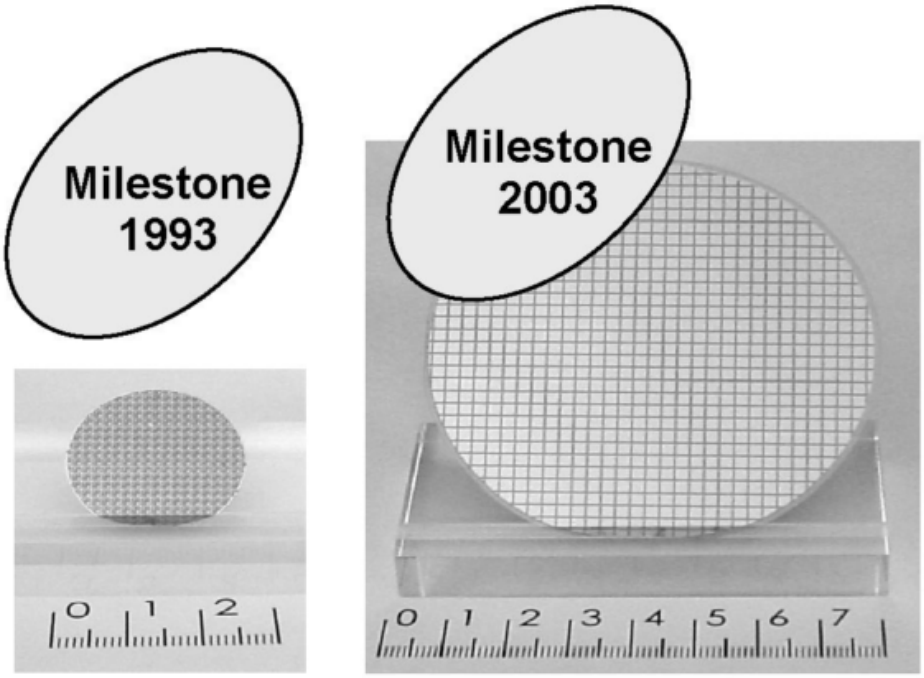


FIGURE 1.53 – Évolution des substrats au fil des années. La taille passe de 1" à 3" et la densité de micropores de plus de 1000cm^{-2} à moins de 10 cm^{-2} [116].

Les défauts peuvent être classifiés selon leur impact sur le comportement des composants comme le montre le tableau suivant. Nous pouvons voir que les micropores, les défauts d'empilement, ainsi que les dislocations de type "vis", sont très nocifs. Il a été démontré dans la section précédente que la diode Schottky, ainsi que tous les autres composants qui contiennent ce type de défaut sont sujets à de forts courants de fuite et à la diminution de la tenue en tension en régime de blocage. Les effets des dislocations du plan basal sur le courant de fuite sont peu connus, mais leur impact est grand sur les diodes PiN ou sur les transistors bipolaires, à cause de leur transformation en défaut d'empilement pendant la recombinaison des courants bipolaires.

En se basant sur ce tableau, nous pouvons donner une estimation de l'impact de la densité de ces défauts sur le rendement de production. La concentration de micropores a été réduite à moins de 2 cm^{-2}, nous permettant de fabriquer des composants plus larges (plus grand calibre en courant), ainsi que d'augmenter les rendements de production. Les dislocations du plan basal ont une densité d'environ 1000cm^{-2}. Bien que ce type de défaut n'altère pas directement les propriétés des composants, leur transformation en défauts d'empilement peut se produire en cas de forte injection de courant bipolaire. Ils limitent encore la taille des composants bipolaires même si des procédés de transformation des dislocations basales en dislocation de type "vis"

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

		SBD	JBS	PIN	VMOS	VFET	BJT
MP	Courant de fuite	+++	+++	+++	+++	+++	+++
BPD	Courant de fuite	?	?	?	Source ? Grille ?	?	?
	Dégradation bipolaire		+	+++		+	+++
SF	Courant de fuite	++	+	?	Source ? Grille ++		
	Dégradation bipolaire	++	+				
	Résistance élevée	+	+	++		+	++
TSD	Courant de fuite	++	+	?	Source ? Drain ?	?	?
	Double-barrière	++	+				
TED	Courant de fuite	-	-	-	-	-	-

TABLE 1.7 – Tableau de la classification de l'impact des défauts [117].

ont montré une grande efficacité. Cette technique est largement utilisée dans les procédés de fabrication de substrats, car des densités de 1000cm^{-2} altèrent peu les rendements de fabrication. Les défauts d'empilement ont diminué drastiquement pendant les années 2000, affectant très peu les rendements de fabrication, alors que les performances sont fortement impactées. La figure 1.54 nous montre le rendement de fabrication des composants sur un substrat de 4" contenant moins de 10 micropores. Il est compris entre 90% et 99%.

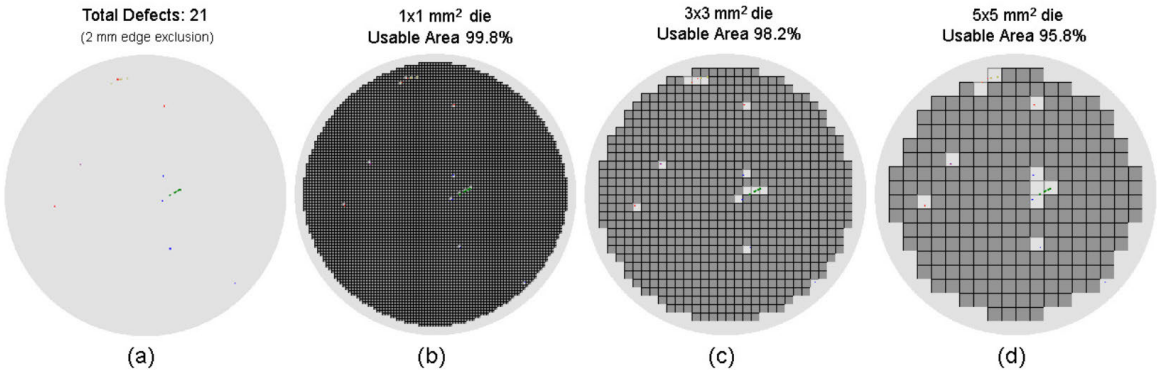


FIGURE 1.54 – La cartographie complète des défauts sur un substrat 4" (a) et l'impact sur le rendement de production si l'on fabrique des composants $1 \cdot 1$ mm^2 (b), $3 \cdot 3$ mm^2 (c) ou $5 \cdot 5$ mm^2 [118]

Pour résumer l'impact sur la diode Schottky, à part pour les dislocations de type "coin", les autres types de défauts ont un fort impact sur les performances du composant. Le courant de fuite connait une augmentation anormale suite à l'abaissement local de la hauteur de barrière. La tenue en tension inverse en est également victime dans la plupart des cas.

Cependant, la diode Schottky s'est révélée être un composant viable économiquement. Sa fabrication industrielle, pour les calibres 600 et 1200 V, présente une altérnative à la diode PN en

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Défaut	Densité (cm^{-2})	Impact sur le rendement	Impact sur la fiabilité
MP	< 2	Faible	Critique
TSD	10^3	Moyen	Moyen
TED	$< 10^4$	Null	Null
BPD	10^3	Null	Critique (Bipolaire)
SF	1	Faible	Critique
Autres épitaxie	$1 - 10$	Moyen	Moyen
Techno	$1 - 10$	Moyen	Moyen

TABLE 1.8 – Tableau récapitulatif de l'impact des défauts[117].

silicium. L'association IGBT-Si SBD/JBS-SiC a montré sa supériorité [46] et est commercialisée depuis 2011. La maturité de la diode Schottky ou de la diode JBS n'est plus à démontrer.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

1.6 Redresseurs verticaux

Les diodes de puissance en SiC ont pour objectif d'offrir une tenue en tension inverse élevée et une résistance de conduction faible. La limite théorique pour un composant est déterminée par la jonction parallèle 1D. La structure des diodes actuelles en SiC a pour objectif de s'approcher le plus possible de cette limite théorique tout en garantissant la fiabilité du composant. Pour répondre à ce besoin, la structure 3D doit répartir correctement le champ électrique au niveau du contact pour une diode Schottky, ou au niveau de la jonction pour la diode PiN. La terminaison doit assurer cette fonction en abaissant le pic de champ et en permettant l'obtention des tensions à plus de 90% de la tension inverse théorique.

1.6.1 La protection périphérique

Plusieurs techniques de terminaison pour les composants de puissance ont été proposées et ont donné des résultats satisfaisants. Sur les diodes Schottky de 1200V, nous pouvons atteindre une tenue de tension réelle supérieure à 80% de la tenue de tension théorique avec une protection périphérique de type Junction Termination Extention (JTE).

La figure 1.55 passe en revue les résultats de simulation des différentes techniques employées pour la terminaison. Comme on peut le voir, la dose de dopage de la JTE a ses limites en matière de protection périphérique. La dose de la JTE est une donnée critique, car si elle est dépassée, elle peut rapidement perdre l'effet protecteur. Lors du process, nous avons tendance à sous-doser la JTE pour que les incertitudes de la technologie de fabrication ne diminuent pas le rendement de production en cas de surdosage. Il faut alors combiner plusieurs techniques qui ont pour objectif de moduler la résistivité de la protection périphérique et d'abaisser le pic de champ, tout en rendant la terminaison moins sensible à la dose. La modulation peut être réalisée par la modulation du dopage, ou par implantation de la périphérie.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

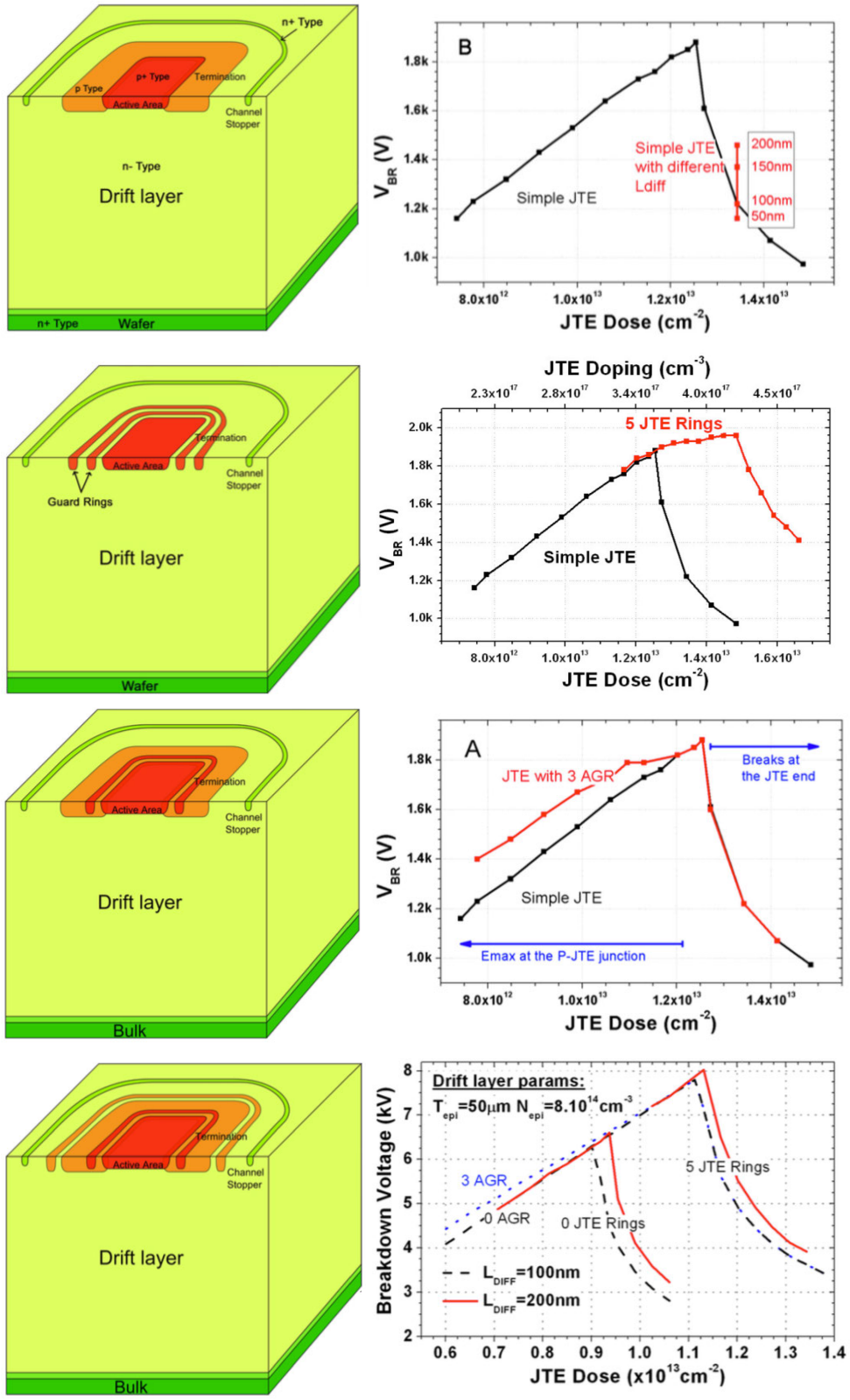


FIGURE 1.55 – A gauche, les structures des diodes, à droite le gain de tenue de tension en fonction de la dose globale de la terminaison. De haut en bas nous avons, respectivement, une JTE autour de la zone active, des anneaux de garde, une JTE assistée par des anneaux de garde, et une combinaison de toutes les techniques [117].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Le record de la tenue en tension de la diode bipolaire SiC-4H atteint jusqu'à présent, est détenu par une équipe de l'université de Kyoto avec une diode d'un calibre de 26.9 kV [119]. Cette structure, présentée dans la figure 1.56, tire profit d'une MESA associée à une double JTE à dose modulée. La terminaison est réalisée par implantation en deux étapes, où la première dose pour la JTE1 est de 1.8×10^{13} cm^{-2} et la deuxième dose pour la JTE2 est de 4.5×10^{12} cm^{-2}. Cette structure peut s'apparenter à la dernière qui a été présentée dans la figure 1.55, où la JTE est assistée par des anneaux de garde [120].

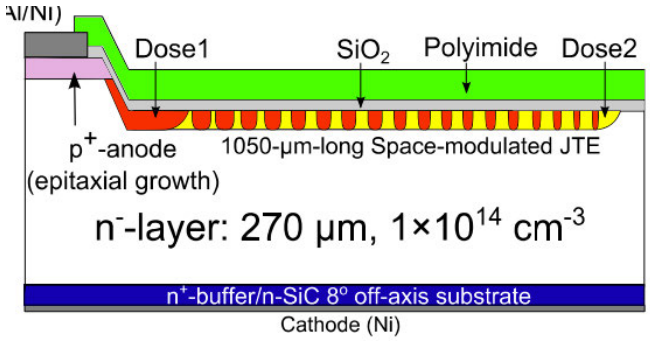


FIGURE 1.56 – Structure de la diode PiN de calibre 26.9 kV, record actuel de tenue en tension. La zone de drift est de 270 µm pour un dopage de 1×10^{14} cm^{-3} et une JTE modulée dans l'espace (JTE assistée par anneaux de garde) [119].

Le bénéfice de cette structure est une plus grande tolérance au niveau de la dose totale de la terminaison, augmentant le rendement de fabrication de ces composants en minimisant la dépendance des dérives du process. On peut voir sur la figure 1.57 que la dose finale pourrait varier entre 1×10^{13} cm^{-2} et 2×10^{13} cm^{-2} avant que l'on ait une détérioration significative de la tenue en tension du composant.

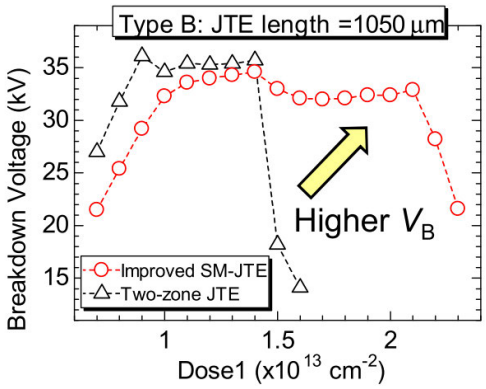


FIGURE 1.57 – Dépendance de la tenue en tension de la dose de la JTE. En noir une JTE à deux zones de dopage et en rouge une JTE assistée par anneaux de garde [119].

Le profil du champ électrique est constitué dans ce cas de plusieurs pics répartis de la même façon que les anneaux d'assistance de la JTE. Si l'on compare la JTE assistée par anneaux de garde à la JTE à deux zones de dopages, on peut voir que dans le premier cas le champ critique est atteint à 33 kV alors que dans le second cas il l'est à 18.2 kV, soit 45% de moins. On peut compter dans ce cas 18 anneaux d'assistance.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

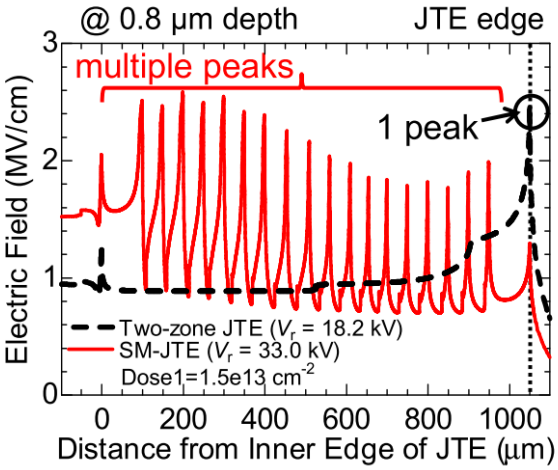


FIGURE 1.58 – La répartition des pics de champ en fonction du type de protection périphérique. En noir une JTE à deux zones de dopage et en rouge une JTE assistée par anneaux de garde [119].

Les techniques de réalisation de la protection périphérique demandent souvent plusieurs étapes technologiques. Cela a pour effet d'ajouter des coûts de fabrication et de réduire le rendement de production. Une autre technique innovante consiste à faire une JTE à dopage gradué (modulé spatialement) en une seule étape technologique. Il s'agit de réaliser par implantation des anneaux d'épaisseur et de distance variable. Un recuit haute température fait ensuite diffuser les dopants afin de créer un profile de JTE continu, dont la dose varie avec la distance du bord de contact. Une vue schématique est représenté en figure 1.60, où l'on peut y voir les zones implantées en violet. Par la suite, chacune de ces zones forme un profil de diffusion qui est représentée par les lignes pointillées violettes. Le profil de la JTE graduée (GJTE) est la somme de la contribution de chaque zone diffusée et est symbolisée par la ligne noire discontinue.

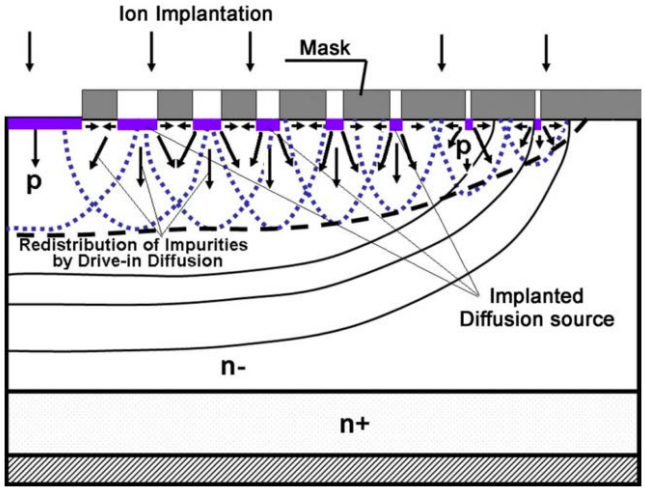


FIGURE 1.59 – Présentation schématique de l'étape d'implantation et de recuit d'une JTE graduée [121].

La simulation par éléments finis de cette structure donne un profil du champ électrique

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

optimisé au niveau du contact ohmique de la zone active. Le champ électrique connaît des pics localement situés au niveau des zones implantées. À la profondeur de l'implantation, soit approximativement de 1.5 µm, le champ atteint sa valeur maximale autorisée, en-dessous du contact, mais pas en proximité de la périphérie. Néanmoins, le rapport entre la longueur de cette protection périphérique et l'épaisseur de la couche de drift est d'approximativement 18. Or, la protection périphérique de la diode 27 kV a un ratio d'environ 3. Cette technique de fabrication limite l'intégration et le nombre de composants par plaque. Finalement, le gain financier proposé par la GJTE en une étape de masque n'est pas forcement justifié.

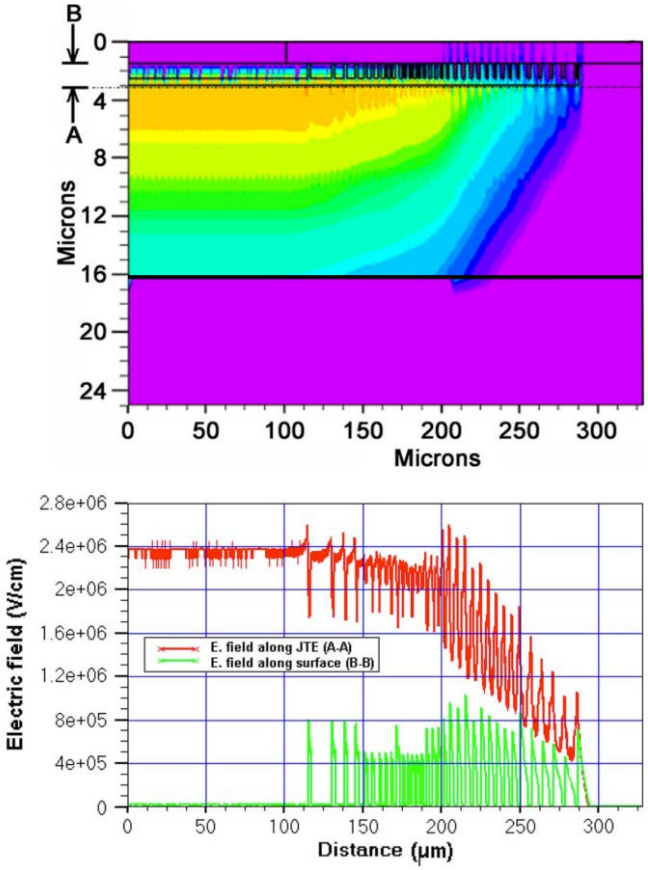


FIGURE 1.60 – Répartition du champ électrique dans une diode avec GJTE. En rouge le champ au niveau du contact et en vert à 1.5 µm de profondeur. [121].

1.6.2 Structure de la diode JBS

La JBS est un composant unipolaire qui peut conduire en régime bipolaire en cas de surcharge. Les améliorations apportées à ce composant ont pour objectif d'augmenter la tenue de tension des diodes Schottky tout en gardant une résistance faible en conduction. Nous avons vu que pour une diode Schottky en polarisation inverse le champ électrique peut atteindre des valeurs très élevées près du contact Schottky. Sur du SiC-4H la valeur du champ peut atteindre 2 $MVcm^{-1}$ si la protection périphérique a été bien conçue. Le profil du champ électrique au centre de la diode est un profil trapézoïdal.

Or, nous avons noté l'abaissement de la hauteur de barrière par effet de force image. Cet effet détériore le pouvoir de blocage de la diode et nous ne pouvons pas exploiter de façon

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

maximale les propriétés du matériau. Pour répondre à cette problématique, une structure qui abaisse localement le champ électrique a été proposée [122]. Dans le SiC-4H, ce type de diode est réalisé en implantant une grille du type p sur une épitaxie de type n (voir figure 1.61). Le contact métallique sur le P+ donne généralement une résistance élevée comparé à l'état de l'Art. La qualité du contact est déterminée par la température de recuit. La résistance de contact ne gène pas en fonctionnement inverse où le courant de fuite est faible.

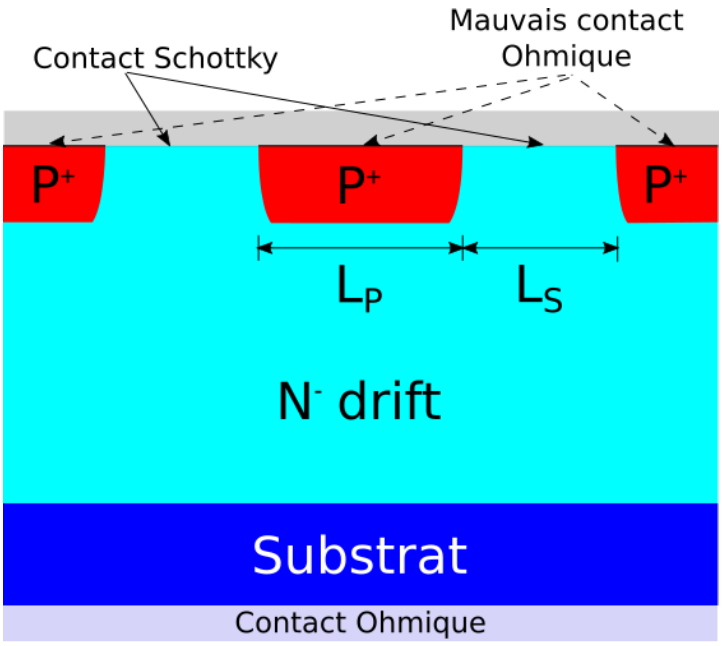


FIGURE 1.61 – Structure 2D de la diode JBS sans la protection périphérique

L'apport de porteurs de la grille dopée $P+$ crée une zone de déplétion autour du contact, qui repousse le pic du champs électrique plus en profondeur dans l'épitaxie. De cette manière, le courant de fuite diminue et la diode peut supporter une tension plus élevée. Le comportement de la diode JBS en polarisation directe est très semblable à celui de la diode Schottky. Étant donné que le seuil de tension d'une diode Schottky est bien inférieur à celui d'une diode, bipolaire la conduction se fait principalement par le contact Schottky. Pour une même surface active, la diode JBS est plus résistive. Si l'on polarise la diode à une forte tension, la jonction PN qui se forme sous chaque zone P+ peut devenir passante et activer la conduction bipolaire. Dans ce cas la résistance du composant chute et la densité de courant peut augmenter. La figure 1.62 montre la caractéristique statique de la diode JBS comparée à celle d'une diode Schottky de mêmes dimension. Comme on peut le constater, la distance entre les zones P^+ peut plus ou moins pincer le passage des électrons et impacter la résistance. En direct, au-delà de 17 V, la conduction bipolaire s'active et la résistance dynamique du composant chute. En inverse, plus les zones P^+ pincent le passage du courant, moins la diode fuit

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

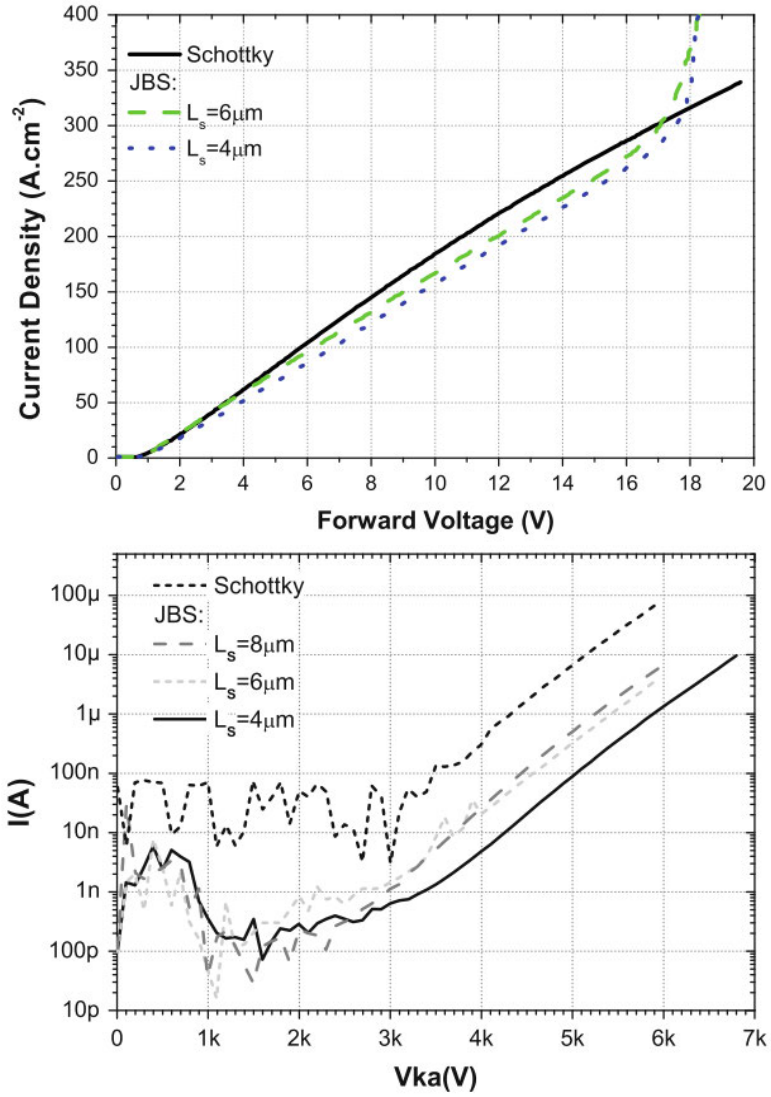


FIGURE 1.62 – À gauche la caractéristique directe et à droite la caractéristique inverse de diodes Schottky, JBS $L_S = 6$ µm et JBS $L_S = 4$ µm de calibre 6 kV [123].

1.7 Conclusion

Cette section avait pour objet de rappeler les points qui ont étés abordés et les verrous technologiques actuels. Une partie a été consacrée à décrire les tendances industrielles qui font surface avant de passer à la présentation des chapitres suivant de cette thèse.

1.7.1 Bilan

La physique des semiconducteurs qui s'applique au SiC-4H a fait l'objet de cette première partie. De manière synthétique les thèmes suivants ont étés abordé :

- les propriétés du carbure de silicium
- les contacts métal-semiconducteur

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

- les défauts et leur impact
- la brique de base des composants de puissance (le redresseur)

Il est crucial de comprendre que, malgré les propriétés attrayantes des composants de puissance en carbure de silicium, les composants de puissance actuels ne seront pas supplantés tant que tous les verrous technologiques actuels persisteront.

1.7.2 Verrous technologiques

1.7.2.1 Environnement et développement durable

Dans un monde où la pérennisation et le management des ressources naturelles deviennent une obligation, les chercheurs français ont comme devoir d'être en tête de la course vers un mode de vie durable. La recherche sur le carbure de silicium s'inscrit entièrement dans cette démarche, par laquelle les propriétés de ce matériau inépuisable offrent la possibilité de révolutionner le monde. Parmi ses possibilités on peut compter :

- la démocratisation du véhicule électrique
- la faisabilité du réseaux à courant continu haute tension (HVDC)
- le renouvellement des technologies obsolètes et énergivores
- la réduction des pertes sur le réseau HV lors de la transformation
- la modernisation de la gestion du transport de l'énergie à l'échelle nationale et internationale

1.7.2.2 Verrous

Les démonstrateurs de convertisseurs 100% SiC existent déjà. Cependant, cette technologie prometteuse ne se démocratise pas.

Mis à part les coûts qu'une telle transition peut produire il y a des arguments bien spécifiques qui bloquent. D'ordre général on peut compter :

- la taille des composants
- le packaging
- la fiabilité
- l'aspect marketing

Le SiC nous permet te travailler à de plus hautes fréquences abaissant en conséquence la taille, le poids, et le couts des convertisseurs. Le rendement en est positivement affecté également, mais une partie de l'énergie sera toutefois perdue sous forme de chaleur pendant la conversion. En diminuant les volumes et en augmentant les puissances, on augmenterait drastiquement la densité de puissance véhiculé par ces composants. Bien qu'un semiconducteur comme le SiC pourrait endurer les hautes températures, les métallisations ainsi que les passivations ne sont pas à même de les supporter. Il faut alors trouver des solutions pour évacuer la chaleur de façon efficace et s'assurer que les boitiers supportent le cyclage thermique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

La fiabilité est un deuxième point qu'il faut démontrer dans les composants en SiC. Des composants 600 V et 1200 V sont déjà commercialement disponibles, mais dans ces gammes de tension l'intérêt face à la technologie en silicium est difficile à déterminer. Le SiC pourra présenter un véritable intérêt quand des composants de plus haute tension satisferont les normes de fiabilité auxquelles est soumis le Si actuellement.

1.7.3 Perspectives actuelles

Les perspectives dans ce domaine restent à explorer. On peut s'imaginer l'arrivée progressive du carbure de silicium sur le marché par les modules hybrides Si/SiC qui sont déjà commercialement disponibles. La méfiance envers des composants méconnus devrait s'atténuer pour laisser place à la démocratisation de cette technologie.

Les travaux de cette thèse consistent en partie à créer des outils pour la modélisation des composants. Il est prouvé que les diodes Schottky en SiC ont démontré une maturité qui mérite d'être exploitée.

Une stratégie indispensable est d'enseigner aux futurs ingénieurs les bienfaits de cette technologie et les applications qu'elle peut avoir si employée dans les modules de puissance. Ils est évident que la majorité des ingénieurs reproduisent ce qu'on leur à enseigné pendant les études alors il est dommage de ne pas saisir cette occasion pour leur montrer des alternatives aux silicium.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Chapitre 2

Barrière Schottky : Caractérisation

Sommaire

2.1 Caractéristiques IV et CV des diodes SBD ou JBS sur 4H-SiC 63

2.1.1 Méthode d'extraction des paramètres statiques et physiques 65

2.1.2 Méthode d'extraction de la hauteur de barrière par la mesure CV . . 66

2.2 Caractérisation des diodes du projet FilSiC 69

2.2.1 Le projet FilSiC 69

2.2.2 Besoins et objectifs 70

2.2.3 Description de la méthodologie 71

2.2.4 Caractéristique statique des diodes 75

2.3 Caractéristique IVT et CVT des diodes JBS sur SiC-4H 83

2.3.1 Mécanismes de conduction du contact Schottky 83

2.3.2 Technique de caractérisation en température 87

2.3.3 Mesures de diodes JBS Tungstène, Nickel et Titane/Nickel 88

2.4 Conclusions 95

2.4.1 Discussion 95

2.4.2 Conclusions sur l'avancement du projet FilSiC 95

Dans ce chapitre, nous allons présenter les mesures effectuées sur des composants expérimentaux ainsi que ceux commercialement disponibles. L'objectif est de mettre en évidence l'influence de la hauteur de barrière sur les mécanismes de conduction. La deuxième partie du chapitre sera consacrée au contexte dans lequel s'inscrivent ces travaux. Nous allons présenter le projet industriel permettant ces recherches ainsi que la qualification des échantillons fabriqués industriellement dans le cadre du projet FilSiC. La démarche de caractérisation sera détaillée pour justifier la comparaison avec les composants qui existent sur le marché. L'analyse des résultats obtenus de la caractérisation nous donnera des pistes à explorer dans le chapitre suivant, relatif à la modélisation des composants.

2.1 Caractéristiques IV et CV des diodes SBD ou JBS sur 4H-SiC

La caractéristique idéale d'une diode est schématisée dans la figure 2.1. En polarisation directe, le courant n'est pas limité et est conducteur à 0 V. En polarisation inverse le courant est nul pour toute valeur de tension appliquée à ses bornes.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

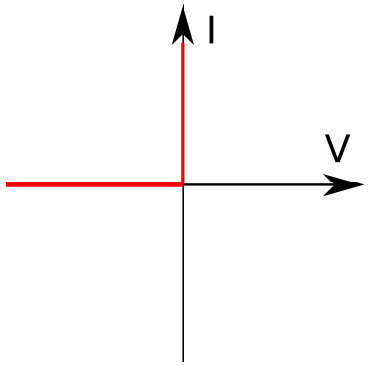


FIGURE 2.1 – Caractéristique idéale d'un redresseur

En réalité, les redresseurs ont une tension minimale, la tension de seuil à franchir avant que le courant n'augmente rapidement. Par la suite, l'augmentation du courant dépend de la résistance à l'état passant du composant. En régime de polarisation inverse, le courant de fuite est faible mais non nul. Ce comportement est illustré dans la figure 2.2.

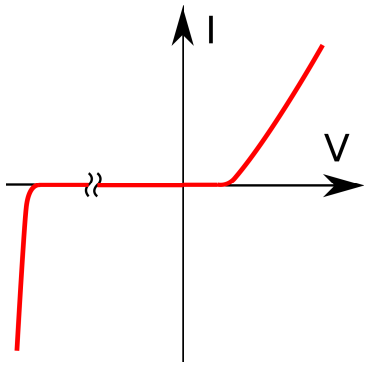


FIGURE 2.2 – Caractéristique typique d'une diode Schottky

La caractérisation IV d'une diode consiste à appliquer une tension entre l'anode et la cathode et à mesurer le courant qui la parcourt. On peut balayer ainsi des valeurs de tension (espacées linéairement ou exponentiellement) dans les deux sens de polarisation. Sur des diodes de puissances cette mesure présente un grand intérêt, car elle permet d'extraire les paramètres suivants de manière rapide et non destructive :

- en régime direct
  - la hauteur de barrière
  - le coefficient d'idéalité
  - la tension de seuil
  - la résistance à l'état passant du composant
- en régime inverse
  - le courant de fuite
  - la tension de blocage

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

  - la tension de départ en avalanche

- en régime dynamique
  - capacité de la zone de désertion

2.1.1 Méthode d'extraction des paramètres statiques et physiques

2.1.1.1 Tension de seuil et résistance à l'état passant

L'extraction des paramètres statiques comme la tension de seuil, la résistance à l'état passant, ou le courant de fuite ne nécessite pas le recours aux équations qui régissent le comportement de la diode Schottky. Il suffit de relever la tension pour laquelle le "coude" de courant se forme pour déterminer la tension de seuil. La résistance à l'état passant correspond à l'inverse de la tangente de la courbe au-delà du seuil de tension et le courant de fuite est la valeur du courant à la tension inverse nominale inscrite dans la documentation technique du composant. Une illustration graphique de la méthode est donnée en figure 2.3.

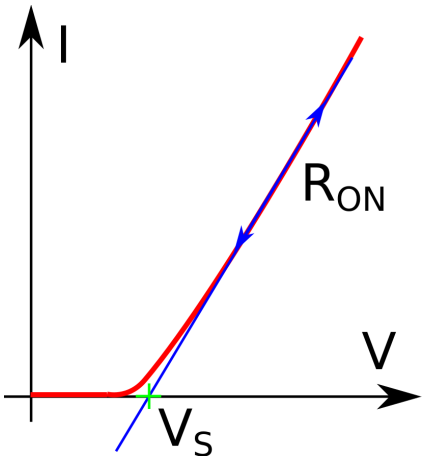


FIGURE 2.3 – Extraction de la tension de seuil et de la résistance à l'état passant d'une diode.

2.1.1.2 Coefficient d'idéalité et hauteur de barrière

En ce qui concerne la hauteur de barrière et le coefficient d'idéalité, nous utilisons l'équation de l'émission thermoïonique qui décrit le comportement en régime direct de la diode Schottky. Depuis la proposition de la theorie du contact Schottky [53], plusieurs études [124, 125, 126] proposent une formulation du courant thermoïonique sous la forme suivante, où $\Phi_{B,n}$ est la hauteur de barrière idéale présentée dans le chapitre précédent.

$$I_{TE} = SA^{**}T^2 \exp\left(-\frac{\Phi_{B,n}}{kT}\right)\left[\exp\left(\frac{qV}{nkT}\right) - 1\right] \tag{2.1}$$

Pour extraire la valeur de la hauteur de la barrière d'une diode dont on connait la caractéristique à une température donnée, il faut exprimer l'équation (2.1) sous une forme logarithmique. En régime direct et à 300 K, on peut négliger le terme -1 face à l'exponentielle. L'équation devient alors :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

$$\ln\left(\frac{I_{TE}}{SA^{**}T^2}\right) = -\frac{\Phi_{B,n}}{kT} + \frac{qV}{nkT} \tag{2.2}$$

Finalement, nous remarquons que cette équation correspond à celle d'une droite. En se référant à l'équation (2.2), nous voyons que $\Phi_{B,n}$ et n sont donnés par (2.3) et (2.4) respectivement.

$$\Phi_{B,n} = -\frac{\ln\left(\frac{I_{TE}}{SA^{**}T^2}\right)}{kT} \tag{2.3}$$

$$n = \frac{\delta V}{\delta \ln\left(\frac{I_{TE}}{SA^{**}T^2}\right)} \frac{q}{kT} \tag{2.4}$$

De manière schématique, la figure 2.4 nous montre la technique d'extraction de la hauteur de la barrière et du coefficient d'idéalité. L'ordonnée à l'origine permet de remonter à $\Phi_{B,n}$ et la pente du régime thermoïonique à n.

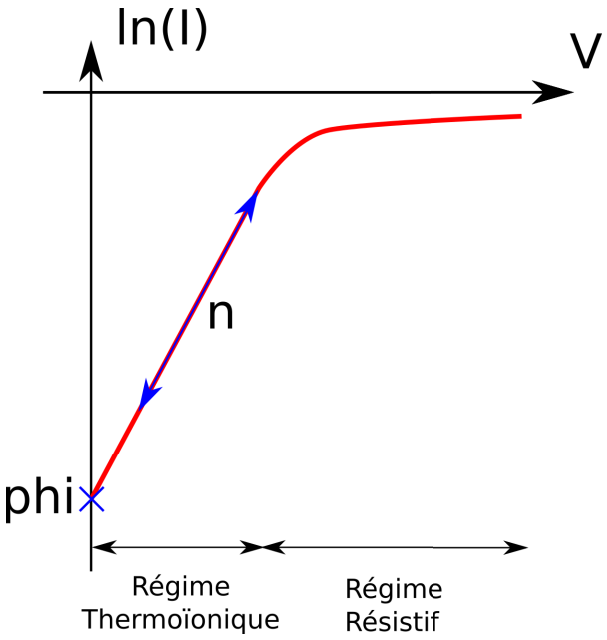


FIGURE 2.4 – Extraction de la hauteur de barrière et du coefficient d'idéalité d'une diode Schottky.

2.1.2 Méthode d'extraction de la hauteur de barrière par la mesure CV

La mesure de la capacité permet de déterminer les propriétés dynamiques du composant. La diode fonctionne comme un réservoir de charge que l'on remplit et que l'on vide pendant un cycle de commutation. Une diode peut passer rapidement de l'état bloqué à l'état de conduction, et vice versa, si la charge stockée en régime inverse est faible. C'est pour cette raison que la valeur de la capacité est donnée pour plusieurs valeurs de tensions inverses dans une documentation technique.

La technique de mesure de la capacité fait appel au principe de superposition. On polarise la diode en régime inverse pour étendre la zone de désertion et on applique une petite oscillation à la tension de polarisation pour mesurer l'impédance et en extraire la capacité.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

En supposant que la charge stockée dans la diode Schottky sur SiC-4H peut être exprimée comme $\rho = qN_D$ dans la zone de désertion, l'équation qui décrit l'étendue de celle-ci est donnée par :

$$W(V) = \left(\frac{2\epsilon}{qN_D} (\psi_{bi} - V - \frac{kT}{q}) \right)^{1/2} \tag{2.5}$$

L'intégration de la charge dans cette zone nous donne :

$$Q_{sc}(V) = qN_D W = \left(2\epsilon_{sc} qN_D \left(\psi_{bi} - V - \frac{kT}{q} \right) \right)^{1/2} \tag{2.6}$$

Or, en dérivant l'équation (2.6) par rapport à la tension appliquée, on obtient la capacité qui est donnée par l'expression suivante :

$$C(V) = \left(\frac{\epsilon_{sc} qN_D}{2} \right)^{1/2} \left(\psi_{bi} - V - \frac{kT}{q} \right)^{-1/2} \tag{2.7}$$

Pour remonter à l'expression de la hauteur de la barrière, on peut par la suite inverser et élever au carré les deux côtés de l'équation (2.7) :

$$C^{-2} = \left(\frac{2}{\epsilon_{sc} qN_D} \right) \left(\psi_{bi} - V - \frac{kT}{q} \right) \tag{2.8}$$

L'équation (2.8) correspond à une droite lorsque l'on dope uniformément la couche épitaxiale. La hauteur de la barrière est donnée par l'intersection de la droite avec l'axe des abscisses, car :

$$\Phi_{B,n} = \psi_{bi} - \frac{kT}{q} = \phi_M - \chi_S \tag{2.9}$$

La figure 2.5 décrit le comportement de la diode Schottky en régime inverse. Avec l'augmentation de la tension, la zone de déplétion se propage dans la profondeur du semiconducteur. La charge cumulée dans cette zone dépend directement de sa profondeur et du dopage. On peut alors calculer la charge en intégrant le dopage sur la profondeur. Le calcul de la valeur du champ régnant près du contact est proportionnel à la charge, divisée par la permittivité diélectrique du semiconducteur. Une intégration supplémentaire nous permet de remonter à la valeur de la tension appliquée à la cathode de la diode.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

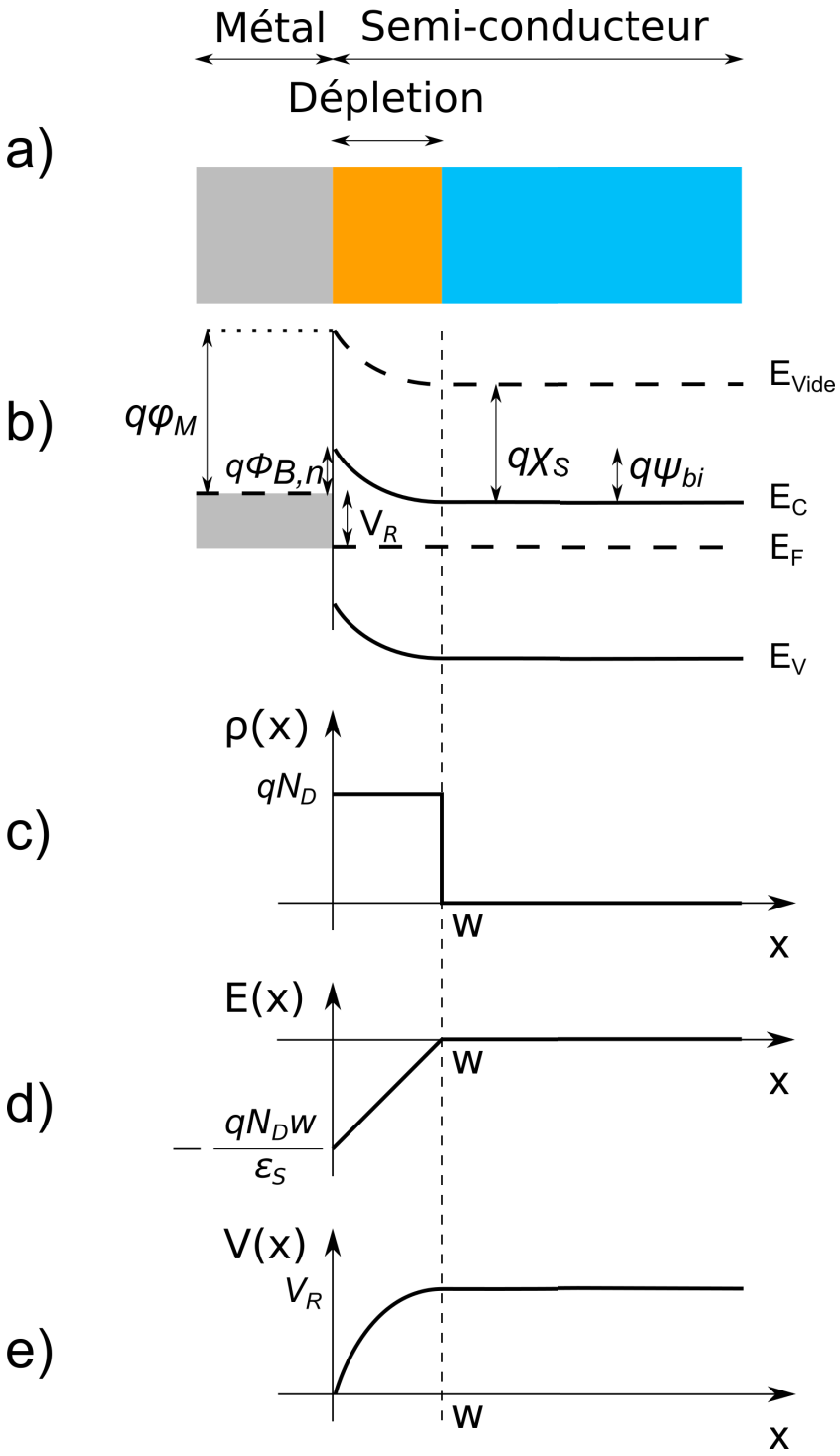


FIGURE 2.5 – Fonctionnement d'une diode Schottky de type n en régime inverse. Structure 1D de la diode (a), diagramme des bandes (b), graphique de la charge en fonction de la profondeur de la zone de déplétion (c), champ électrique dans la diode (d) et le potentiel électrique (e).

La capacité de la diode est inversement proportionnelle à la profondeur de la zone de déplétion qui est une fonction en racine carrée de la tension. L'inverse au carré de la capacité s'apparente à une droite comme montré dans la figure 2.6.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

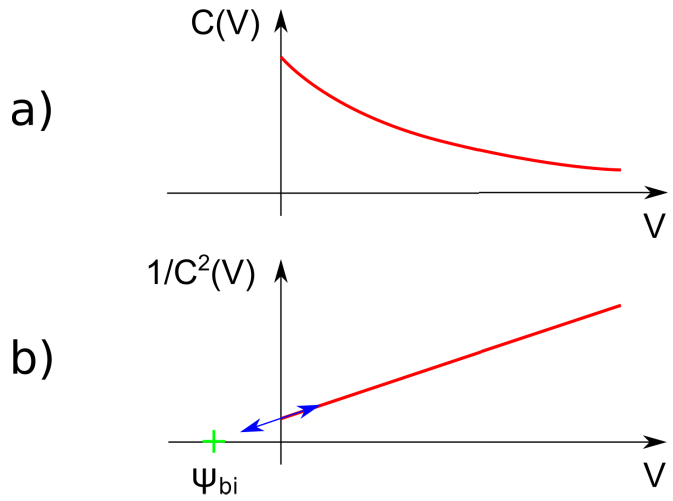


FIGURE 2.6 – Capacité en fonction de la tension inverse dans une diode Schottky (a). Méthode d'extraction de la valeur de la tension de diffusion (Built-in Voltage) (b).

2.2 Caractérisation des diodes du projet FilSiC

2.2.1 Le projet FilSiC

FilSiC est un projet de recherche national qui a débuté en 2012. Ce projet a pour objectif final la mise en place d'une filière industrielle française pour les composants de puissance haute tension en carbure de silicium à l'horizon 2017. C'est un programme d'investissement d'avenir économique regroupant les efforts de plusieurs entités industrielles et scientifiques aux compétences complémentaires. Le projet a été défini par un accord de consortium entre ces entités industrielles et des laboratoires de recherche. On peut trouver les différents acteurs listés dans le tableau 2.1 :

Partenaires industriels :	Partenaires académiques :
IBS	Le laboratoire AMPÈRE UMR 5005 du CNRS
CIRTEM	Le laboratoire LAPLACE UMR 5213 du CNRS
ECA-EN	
VEGATEC	
NOVASIC	

TABLE 2.1 – Tableau récapitulatif des partenaires du projet FilSiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



FIGURE 2.7 – Partenaires du projet FilSiC

Le démonstrateur final du projet sera sous forme de modules de puissance et ressemblera à ceci :

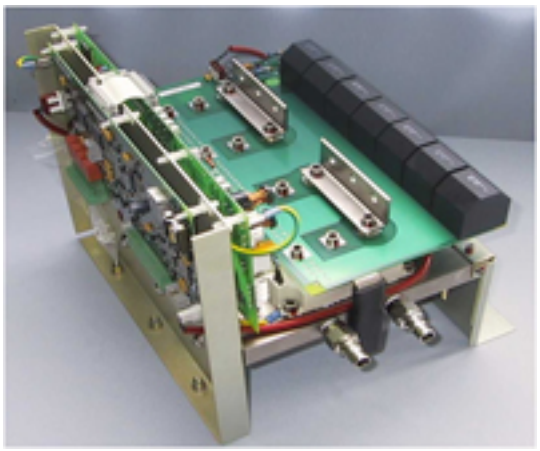


FIGURE 2.8 – Un exemple de module de puissance pour la conversion d'énergie électrique conçu par CIRTEM.

2.2.2 Besoins et objectifs

A l'heure actuelle, les composants de puissance en SiC, fabriqués par des entreprises comme Wolfspeed (Cree), ROHM, Infineon,STMicroelectronics ou GeneSiC, sont déjà sur le marché. C'est un indicateur fort de la volonté des principaux acteurs de conquérir le marché compte

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

tenu de la bonne maturité de la technologie SiC. Le projet FilSiC est un projet collaboratif qui a pour vocation de transformer les compétences R&D en une filière industrielle de composants SiC.

L'implantation de cette technologie impactera dans un sens large la conception des systèmes de conversion de l'énergie électrique. Aujourd'hui, nous ne disposons pas de modèles "suffisamment fidèles" pour la simulation en régime statique ou dynamique. La simulation par éléments finis demande un jeu de paramètres précis pour le carbure de silicium afin de réaliser des simulations fiables et pertinentes. Cependant, après environ 15 années de recherches, la qualité du matériau s'est améliorée. Le jeu de paramètres qui décrit son comportement doit en conséquence évoluer et être actualisé.

L'objectif de ces travaux est donc de mettre au point des modèles analytiques pour les simulateurs en se basant sur l'état de l'Art, ainsi que des caractérisations des composants commercialisés et des composants en cours de développement. Ces modèles devront pouvoir décrire le comportement statique dans des conditions de fonctionnement sévères (très large gamme de températures, fortes tensions, forts courants, etc.).

2.2.3 Description de la méthodologie

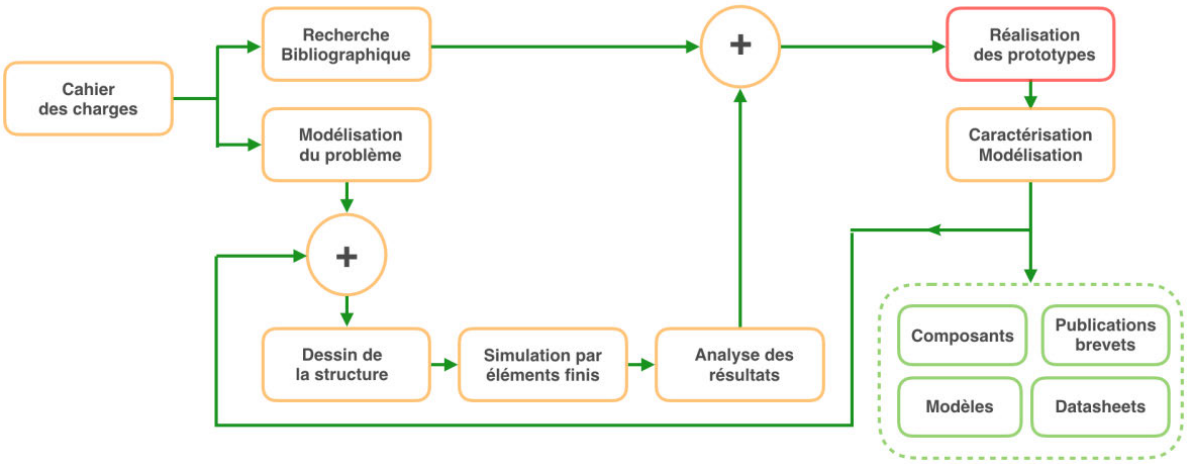


FIGURE 2.9 – Démarche mise en œuvre pour la fabrication des composants FilSiC.

La démarche à suivre pour la réalisation de composants est complexe, car il faut faire des choix technologiques et réajuster à chaque itération. Elle est détaillée de manière schématique dans la figure 2.9. Une fois que le cahier des charges est défini, on réalise une veille technologique et on modélise les systèmes que nous voulons étudier. Par la suite, on dessine les structures que l'on évalue par éléments finis. Les simulations par éléments finis, dans ce cas, peuvent nous servir pour le dimensionnement des composants. Avec les premiers résultats, on peut envisager le premier lot de prototypes qui seront caractérisés pour évaluer la technologie et pour fournir un retour sur la validité des structures proposées. Ensuite, des choix sont faits pour itérer jusqu'à ce que l'on obtienne des composants qui satisfont le cahier des charges en matière de fonctionnement, de rendement de fabrication et de fiabilité.

Le cahier des charges du projet est de fabriquer des composants pouvant tenir 3.3 kV en blocage et conduire 5 A à l'état passant. Les trois composants qui ont été choisis sont les suivants :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

- des diodes Schottky
- des diodes JBS
- des transistors JFET

Étant donné que la modélisation des redresseurs unipolaires est l'objet de cette thèse, nous allons présenter uniquement les solutions retenues pour la fabrication des diodes.

2.2.3.1 Diodes fabriquées

Si l'on se réfère à l'abaque de la limite théorique du SiC-4H en figure 2.10, nous avons besoin d'une épitaxie de 30 µm dopée à $3 \times 10^{15}\text{cm}^{-3}$ pour avoir une tenue en tension de 3kV. Ce compromis a été choisi pour offrir une faible résistance à l'état passant.

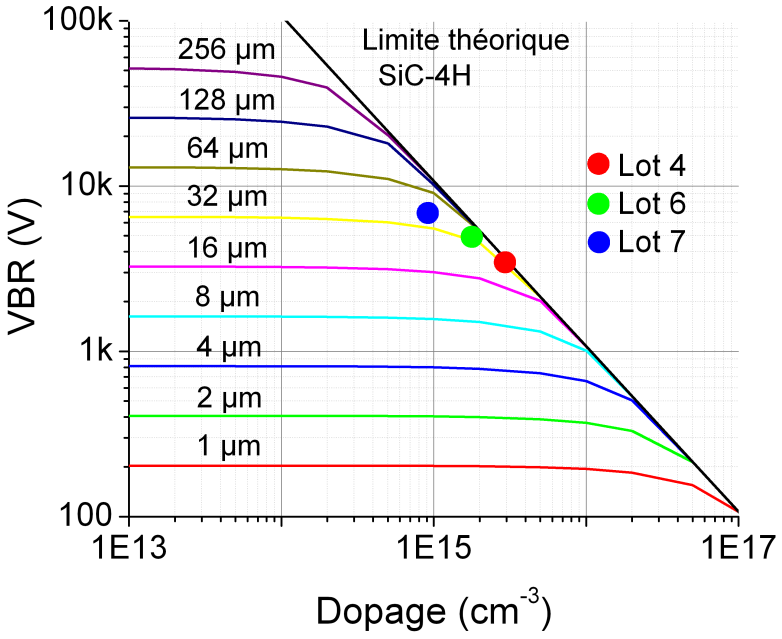


FIGURE 2.10 – Tenue en tension théorique d'une couche épitaxié de SiC.

Le choix de la structure a été fait de manière à privilégier un process peu coûteux en nombre d'étapes. La protection périphérique est une JTE réalisée par implantation avec une dose légèrement sous dimensionnée de $8.5 \times 10^{12}\text{cm}^{-2}$ et une largeur de 400 µm. Pour les lots 1 à 4, que l'on peut retrouver dans la figure 2.11, le champ élémentaire est composé de 4 diodes d'une surface active de 3.9mm^2 approximativement.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

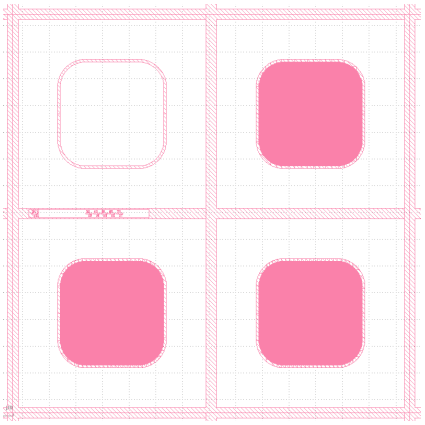


FIGURE 2.11 – Champ élémentaire des plaques de diodes FilSiC. Une Schottky en haut à gauche, une JBS 3-8 en haut à droite et 2 JBS 3-4 en bas.

La différence entre les deux types de JBS réside dans la distance entre les implantations de type $P+$, qui est de 4 µm pour la JBS 3-4 et de 8 µm pour la JBS 3-8, tandis que la largeur des implantations est de 3 µm. Une représentation schématique est donnée en figure 2.12.

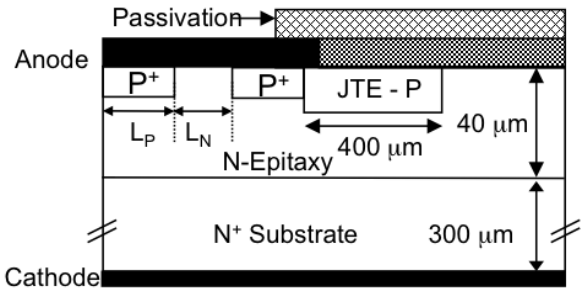


FIGURE 2.12 – Structure de la diode JBS retenue.

Comme nous pouvons le remarquer, L_P et L_N sont respectivement les largeurs du plot $P+$ et du contact Schottky. En diminuant L_N, on protège mieux le contact Schottky et on réduit les fuites à l'état bloqué, au détriment de la résistivité à l'état passant. La marge de manœuvre est faible sur L_P étant donné que les dimensions des implantations peuvent difficilement être plus faibles sur du carbure de silicium, avec les techniques actuelles de fabrication. Le rapport optimal a été déterminé par simulation et correspond à celui de la diode JBS 3-4, d'où l'abondance de ce type de diode comparé aux 2 autres structures.

À partir du lot 6, un choix technique a privilégié la diode JBS 3-4. Toutes les plaques du lot 6 et du lot 7 sont fabriquées avec le même masque et ne comportent que des diodes JBS 3-4. Les caractéristiques statiques de chacun des lots seront décrites plus loin.

2.2.3.2 Techniques de caractérisation et d'analyse des résultats

À ce stade d'avancement du projet, 7 lots de diodes ont été fabriqués. Au total, ce sont 30 plaques de SiC qui ont été processées et caractérisées. La technique principale de caractérisation consiste à tracer la caractéristique IV en polarisation directe et en polarisation inverse. Les paramètres physiques extraits sont :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

- la hauteur de barrière
- le coefficient d'idéalité
- la tension de seuil
- la résistivité à l'état passant
- la tenue en tension

En analysant les deux premiers ainsi que la tenue en tension, nous pouvons facilement conclure sur la qualité des composants. La hauteur de barrière et le coefficient d'idéalité sont des indicateurs de la qualité du contact Schottky, et la tenue en tension est une preuve de l'efficacité de la protection périphérique. Cette caractérisation est faite directement sur la plaque de composants à l'aide d'une station sous pointes semi-automatique (fig. 2.13). La station de mesure est équipée d'une SMU 2636 pilotée par le logiciel Automated Characterisation Suite (ACS) de Keithley. Une carte à pointes contacte l'anode des diodes et le "chuck" contacte la cathode, en face arrière des plaques. Ensuite, la station semi-automatique balaye la plaque afin de mesurer tous les composants. Les résultats obtenus sont ensuite traités pour tracer les caractéristiques et extraire les paramètres physiques qui témoignent du rendement de fabrication. Les résultats sont présentés sous forme de cartographie rendant la lecture plus facile.

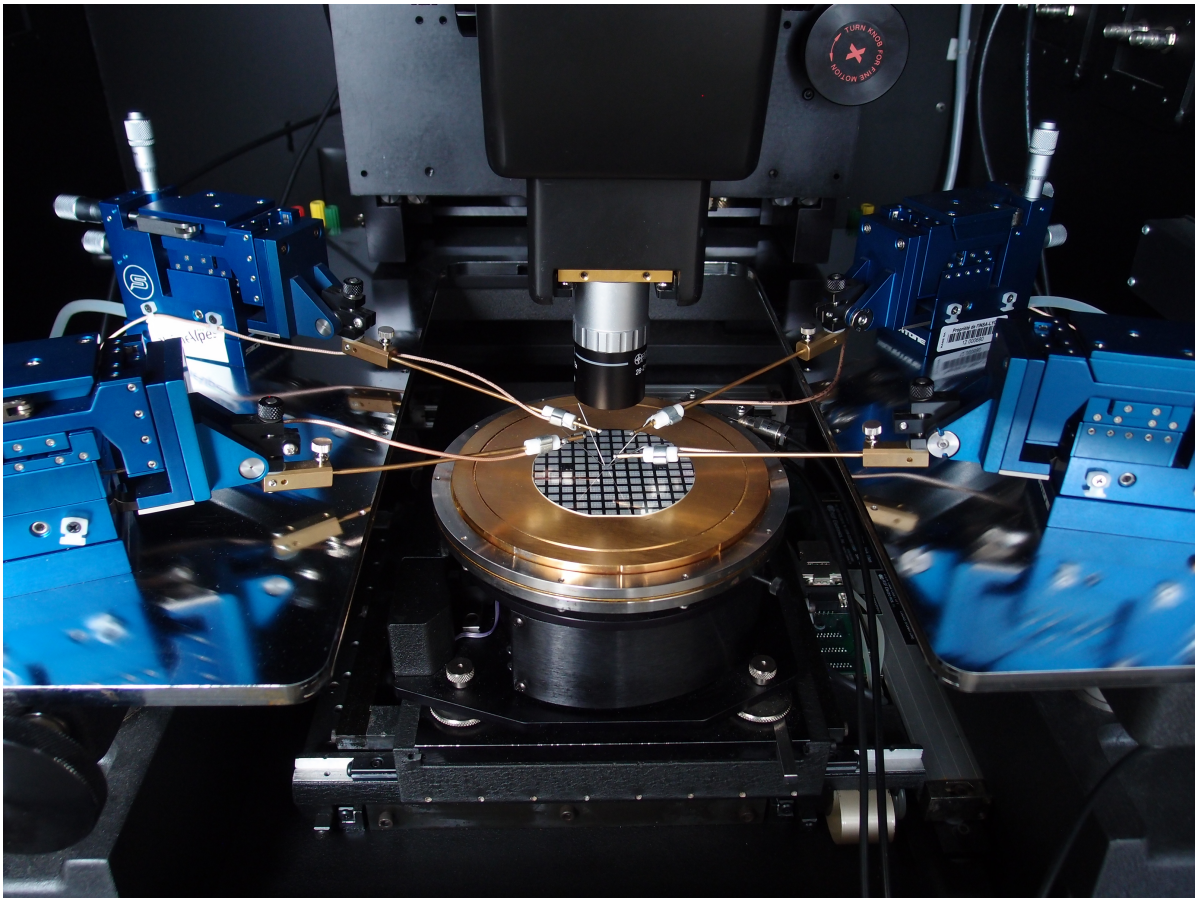


FIGURE 2.13 – Station de caractérisation sous pointes semi-automatique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Les résultats nous permettent d'évaluer rapidement le rendement de fabrication de cette technologie et de choisir les meilleurs composants pour les soumettre à d'autres tests, après la découpe des plaques.

2.2.4 Caractéristique statique des diodes

Les diodes fabriquées dans le cadre du projet sont des composants unipolaires verticaux. La cathode se trouve en face arrière de la plaque et l'anode en face avant. Toutes les plaques ont subi le même procédé de nettoyage et de polissage de la face avant. Le contact Schottky de l'anode est réalisé par pulvérisation de 100nm de nickel ou d'alliage titane nickel. Une couche de 3,6 à 4 µm d'alliage titane, nickel et argent est déposée après le recuit du contact fin de manière à améliorer la résistance du contact et ses caractéristiques mécaniques.

La caractéristique directe ainsi que la caractéristique inverse dépendent de la métallisation étant donné que les métaux ont des travaux de sortie des électrons différents. Il est donc nécessaire de vérifier que les caractéristiques typiques des diodes de chaque lot soient comparées avec la bibliographie pour pouvoir conclure sur la qualité du process technologique.

2.2.4.1 Différences entre les lots

Les résultats des mesures nous ont permis de réaliser les cartographies des paramètres physiques de toutes les plaques de diodes du projet FilSiC. À ce stade du projet l'objectif est d'obtenir un grand nombre de composants pouvant bloquer 3.3kV. Les valeurs des rendement donnée dans ce manuscrit sont calculées en utilisant uniquement ce critère. L'optimisation de la résistance à l'état passant sera réalisée dans les étapes suivantes. Pendant la durée de ces travaux, les lots 4, 6 et 7 ont été caractérisés. Les résultats de ces mesures sont présentés sous forme de cartographies en annexe de ce document.

Il y a peu de différences entre les plaques d'un même lot mis à part le dopage et l'épaisseur. En théorie, un dopage plus élevé devrait donner des diodes moins résistives et une barrière plus basse. En conséquence, la tension de seuil serait plus basse et les courants de fuites plus élevés. La tension de claquage devrait également être plus faible. Une épaisseur d'épitaxie plus grande devrait favoriser la tenue en tension au détriment de la résistivité. Comme il l'a été montré dans le chapitre précédent, la dose de la JTE ainsi que la métallisation sont des paramètres critiques.

En croisant les données du tableau 2.2 avec celles de la figure 2.14, on peut voir qu'il y a eu un problème avec la 2ème plaque du lot 4. Le nombre de diodes qui supportent plus de 3 kV est très faible, alors que le rendement des deux autres plaques excède les 30%.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

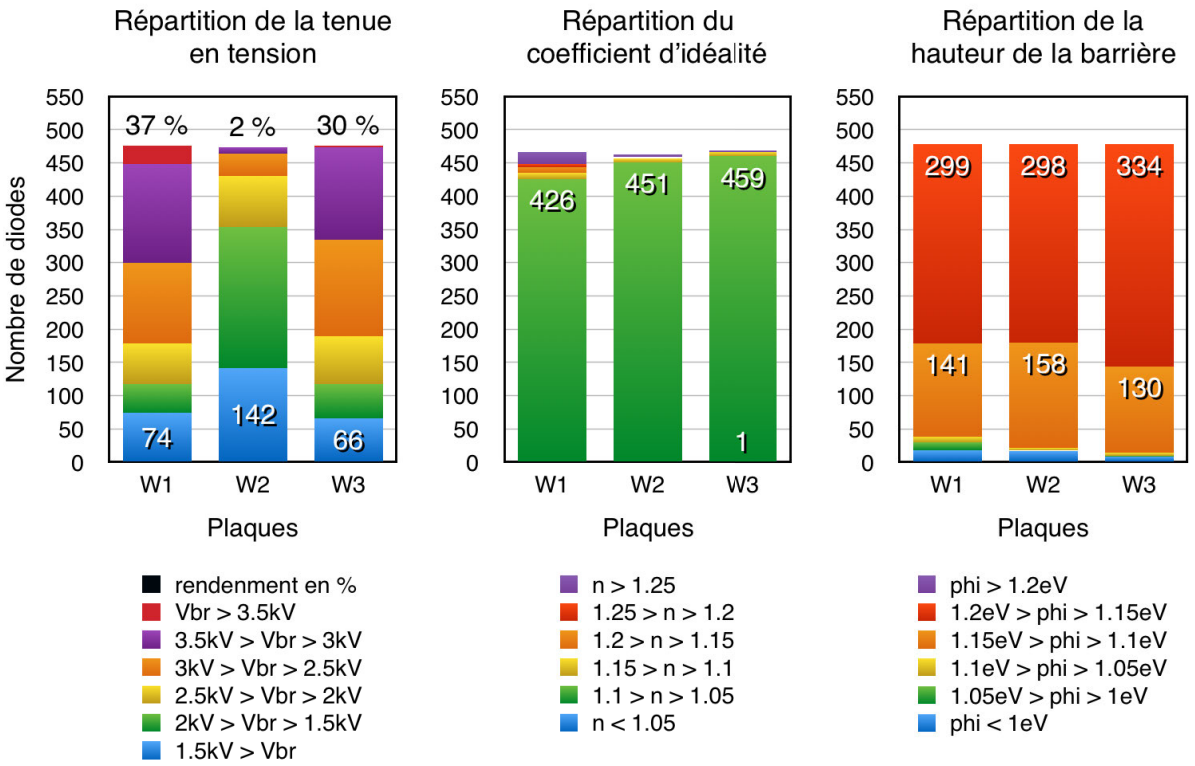


FIGURE 2.14 – Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 4.

Lot	Plaque	Dopage (cm^{-3})	Épaisseur (µm)	dose JTE (cm^{-2})	Métal	V_{BR_TH}(V)
4	W1 AJ1303-11	3.13×10^{15}	30.41	9.4×10^{12}	Ti/Ni	3350
	W2 FZ0958-03	3.1×10^{15}	29.94			3370
	W3 HL0623-03	2.94×10^{15}	29, 54			3490

TABLE 2.2 – Paramètres technologiques des plaques de SiC-4H du lot 4.

Globalement, le rendement du lot 4 est faible car le choix des paramètres de l'épitaxie ne laisse pas de marge de manœuvre. Comme on peut le voir, le coefficient d'idéalité ainsi que la hauteur de barrière sont homogènes sur les 3 plaques. Avec une JTE bien dosée, nous pouvons au mieux espérer 3kV. Les mesures prises pour obtenir de meilleurs performances sur le lot 6 sont :

- abaissement du dopage
- augmentation de l'épaisseur
- diminution de la dose de la JTE
- masque de JBS 3-4 exclusivement

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

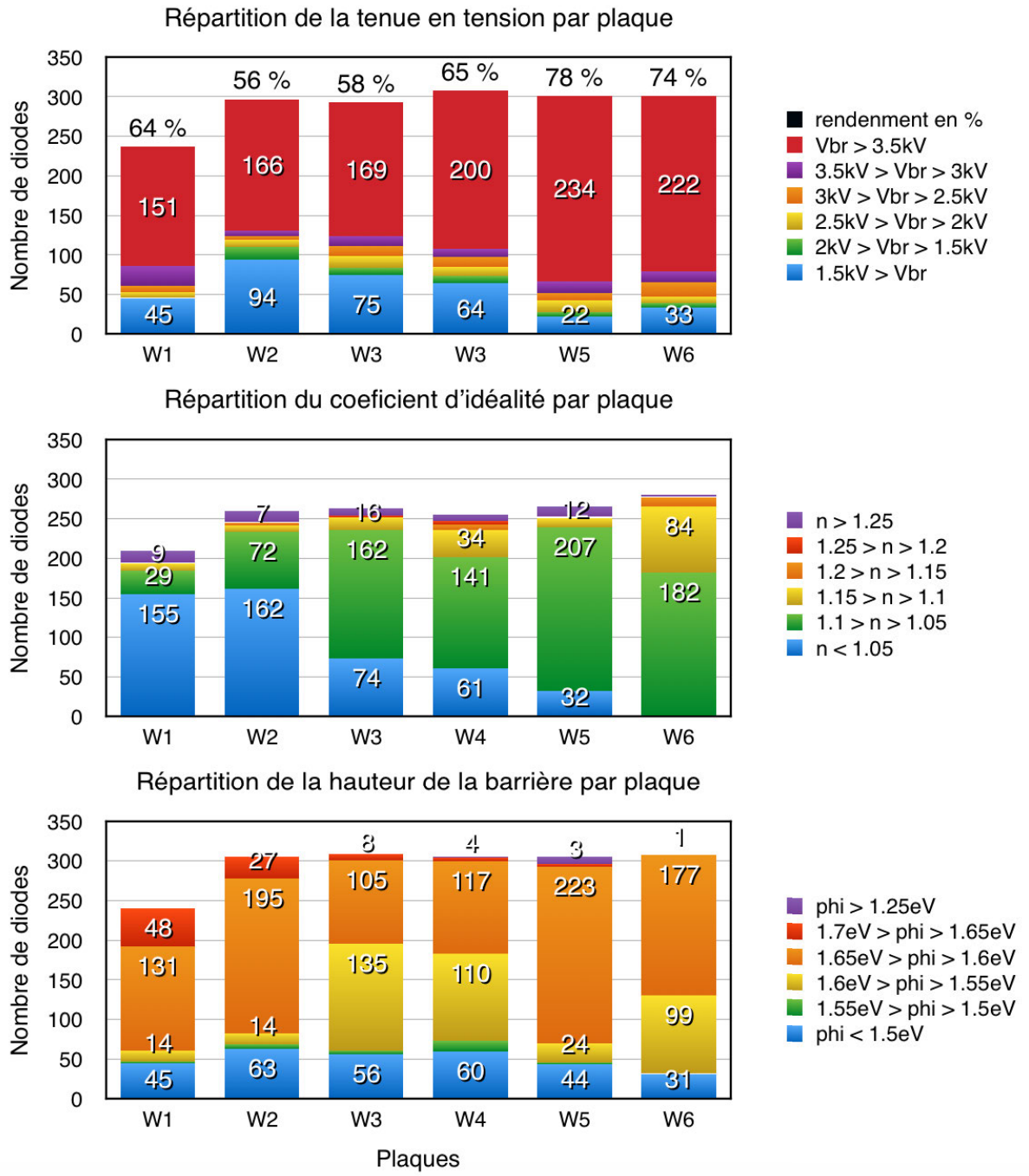


FIGURE 2.15 – Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 6.

Le rendement de production s'améliore beaucoup en passant du lot 4 au lot 6. En prenant une marge plus élevée sur les paramètres de l'épitaxie, le rendement du lot 6 se situe entre 55 et 78%. La tenue en tension théorique des plaques 1, 2, 3 et 6 est d'approximativement 5kV alors que celle des plaques 4 et 5 sont d'approximativement 6kV et 8kV. La contrepartie de ces choix est une résistance plus élevée des plaques 4 et 5. La résistance moyenne des plaques 1, 2, 3 et 6 est de 0,65Ω et celle des plaques 4 et 5 est de 0,9 et de 1 Ω respectivement.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Lot	Plaque	Dopage (cm^{-3})	Épaisseur (µm)	dose JTE (cm^{-2})	Métal	V_{BR_TH}(V)
6	W1 BQ1656-38	1.5×10^{15}	33	8.4×10^{12}	Ni	5100
	W2 CH0114-27	1.5×10^{15}	33			5100
	W3 AM1025-13	1.8×10^{15}	36,5			5000
	W4 AO1021-04	1.1×10^{15}	36,5			5900
	W5 FA0852-05	8.5×10^{14}	50			8000
	W6 JA0843-20	8.5×10^{14}	28			4970

TABLE 2.3 – Paramètres technologiques des plaques de SiC-4H du lot 6.

Si l'on croise les données du tableau 2.3 et de la figure 2.15 on peut voir que le process technologique est stable et homogène. Le coefficient d'idéalité est majoritairement inférieur à 1,1. La hauteur de la barrière est passée de 1,2eV à approximativement 1,5eV. Les courants de fuite ont baissé en conséquence.

Malgré la marge prise au niveau de la tenue en tension théorique, le rendement de la plaque 5 n'est que de 78%. L'efficacité de la protection périphérique est mise en cause dans ce cas. Un surdosage de la JTE peut faire passer la tenue en tension de 80% à 50% de la valeur théorique du modèle 1D. Les incertitudes au niveau de l'implantation ionique peuvent limiter le rendement aussi. Afin d'améliorer le rendement sur le lot 7 et de tester l'impact de la dose de la JTE, trois valeurs ont été retenues. Les paramètres de l'épitaxie ont été fixé à une épaisseur de 35µm et le dopage $9 \times 10^{14} cm^{-3}$ pour laisser une marge sur la tenue souhaitée de 3.3kV. Les paramètres technologiques du lot 7 sont résumés dans le tableau 2.4.

Les résultats de la caractérisation du lot 7 confirment cette hypothèse car, mis à part la plaque 1, le rendement de production a dépassé les 80%. La figure 2.16 nous montre que la dose idéale est $7.35 \times 10^{12} cm^{-2}$.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

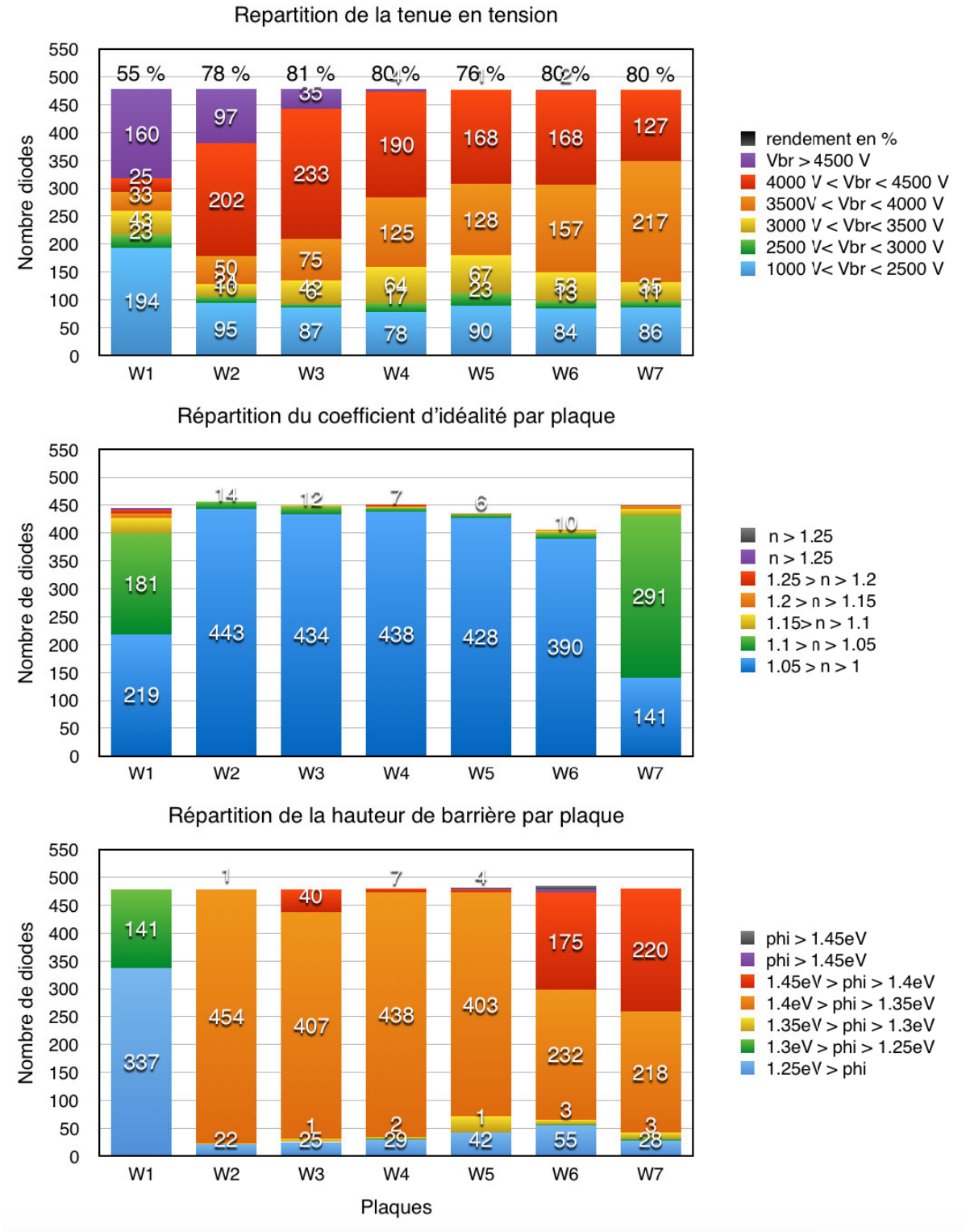


FIGURE 2.16 – Statistiques sur la tenue en tension, le coefficient d'idéalité et la hauteur de barrière du lot 7.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Lot	Plaque	Dopage (cm^{-3})	Épaisseur (µm)	dose JTE (cm^{-2})	Métal	V_{BR_TH}(V)
7	W1 BC1427-02	8.9×10^{14}	34, 4	7.35×10^{12}	Ni	5900
	W2 BC1427-04	8.85×10^{14}	35	7.35×10^{12}		6000
	W3 BC1427-05	8.81×10^{14}	35	7.35×10^{12}		6000
	W4 BC1427-06	8.97×10^{14}	34, 9	6.1×10^{12}		5950
	W5 BC1427-07	8.96×10^{14}	34, 9	6.1×10^{12}		5950
	W6 BC1427-09	8.97×10^{14}	34, 4	8.4×10^{12}		5900
	W7 BC1427-10	9.08×10^{14}	33, 9	8.4×10^{12}		5800

TABLE 2.4 – Paramètres technologiques des plaques de SiC-4H du lot 7.

Ce sont les plaques 1, 2 et 3 qui ont le plus grand nombre de diodes qui dépassent les 4.5kV. Les plaques 4 et 5 qui ont une dose de JTE plus faible ont le même rendement que les deux précédentes, mais les diodes tenant plus de 4.5kV constituent moins de 1% de la population totale du lot.

En ce qui concerne la plaque 1, nous avons obtenu un faible rendement de fabrication, alors que le nombre de diodes excédant les 4.5kV constitue environ 35% du total. Si l'on se réfère aux valeurs du coefficient d'idéalité et de la hauteur de barrière, la tenue en tension globale de cette plaque devrait être plus faible puisque la hauteur de barrière moyenne est 0.15eV plus faible que le reste des plaques. Cela peut justifier en partie le rendement mais pas forcément le nombre élevé de diodes qui dépassent les 4.5kV. Il faudrait réaliser des mesures de Spectrométrie de Masse à Ionisation Secondaire (SIMS) pour vérifier que le dopage de l'épitaxie n'est pas plus élevé que ce qui est supposé. Effectivement, dans le cas où l'épitaxie est plus dopée que souhaité, la hauteur de la barrière Schottky sera légèrement plus faible. À même dose de JTE, on se situe juste en-dessous du pic optimal et la tenue en tension est optimisée. Le coefficient d'idéalité de cette plaque est globalement bon, mais un peu plus élevé que pour le reste des plaques.

En analysant les résultats du lot 7, on peut affirmer que le process de fabrication est stable. Des tests de vieillissement ainsi que des mesures en surcharge nous permettront de valider cette technologie.

2.2.4.2 Impact de la métallisation et de la structure

Les diodes du lot 4 ont subi une métallisation par pulvérisation de Ti/Ni et un recuit à 350 °C. Dans la littérature [127, 128, 129], il a déjà été annoncé que l'association de ces 2 métaux crée des hauteurs de barrière plus faibles que celle de Ni. La répartition des hauteurs de barrière par plaque est reportée dans la figure 2.17. Un échantillon représentatif de chaque plaque a été choisi pour montrer l'effet de la structure JBS sur les caractéristiques des composants dans les figures 75, 76 et 77 qui se trouvent en annexe de ce document. Sur la première plaque (W1), la présence des plots $P+$ dans les diodes JBS réduit la surface de passage du courant. Les plots $P+$ limitent la valeur du champ électrique au niveau du contact et réduisent l'abaissement de la hauteur de barrière. En conséquence, la hauteur de barrière des diodes JBS 3-4 est plus élevée que celle de la diode Schottky.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

En polarisation inverse, le contact Schottky est mieux protégé par les plots $P+$ pour les diodes JBS 3-4 et JBS 3-8. Ainsi, le courant de fuite de ces diodes est plus faible que celui de la diode Schottky. Étant donné que pour la plaque 2 et 3 du lot 4 la tendance qui vient d'être décrite n'est pas respectée en régime inverse, on peut supposer que le contact métallique sur les plots $P+$ n'est pas de qualité optimale. Cela signifie que les plots $P+$ pourraient être flottants et ne pas apporter de protection contre le champ électrique.

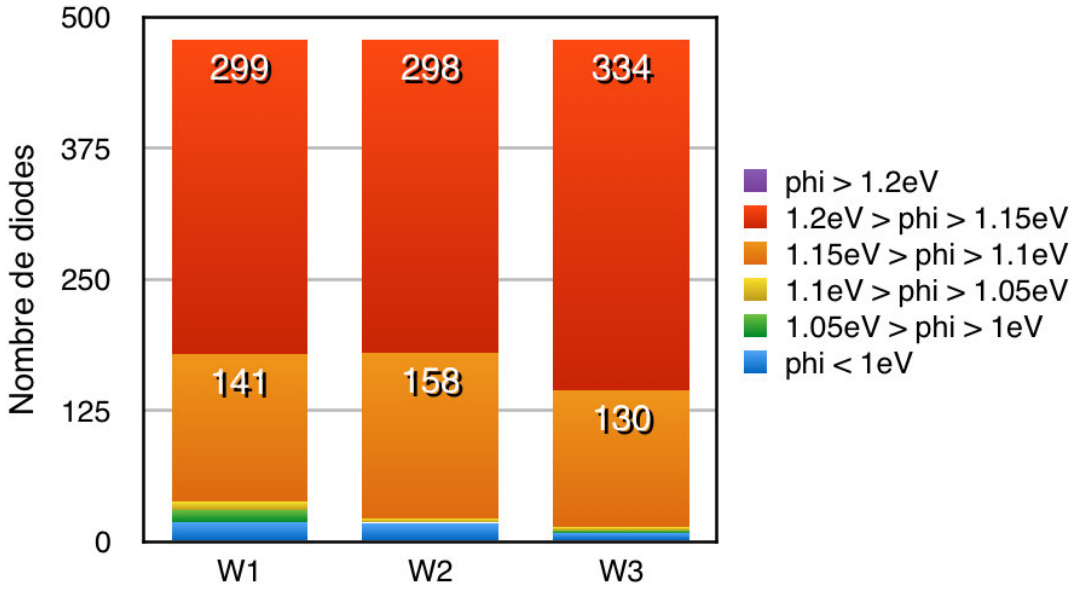


FIGURE 2.17 – Répartition de la hauteur de barrière par plaque du lot 4.

Le lot 6 est bien plus homogène en polarisation directe étant donné que nous n'avons que des diodes JBS 3-4 sur toutes les plaques. Les figures 42, 43, 44, 45, 46 et 47 en annexe, montrent qu'il n'y a pas de différence majeure de hauteur de barrière au sein d'un même champ. Cela peut être attribué au métal utilisé pour le contact Schottky. La valeur de la hauteur de la barrière est d'environ 1.58eV. Cette valeur pour le nickel est conforme à la littérature, elle est en partie responsable de la bonne tenue de tension que nous pouvons voir dans la figure 2.15. En régime inverse les courants de fuite sont très faibles. Ces résultats, en comparaison avec ceux du lot 4, nous permettent de souligner que le contact Schottky Ni sur du SiC-4H est plus adapté pour des diodes de ce calibre. Sur le lot 6, en régime direct comme en régime inverse, nous n'avons pas d'effet d'écrantage du contact Schottky par les plots $P+$. Les plots $P+$ ne sont pas contactés de manière optimale ou il est probable qu'ils soient couverts par une couche d'oxyde qui les rend flottants. Ce type de problème produit des résistance trop élevées et des tenues en tension plus faibles que les valeurs visées. Des échantillons représentatifs de chaque plaque sont représentés dans les figures 78, 79, 80, 81, 82 et 83 de l'annexe.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

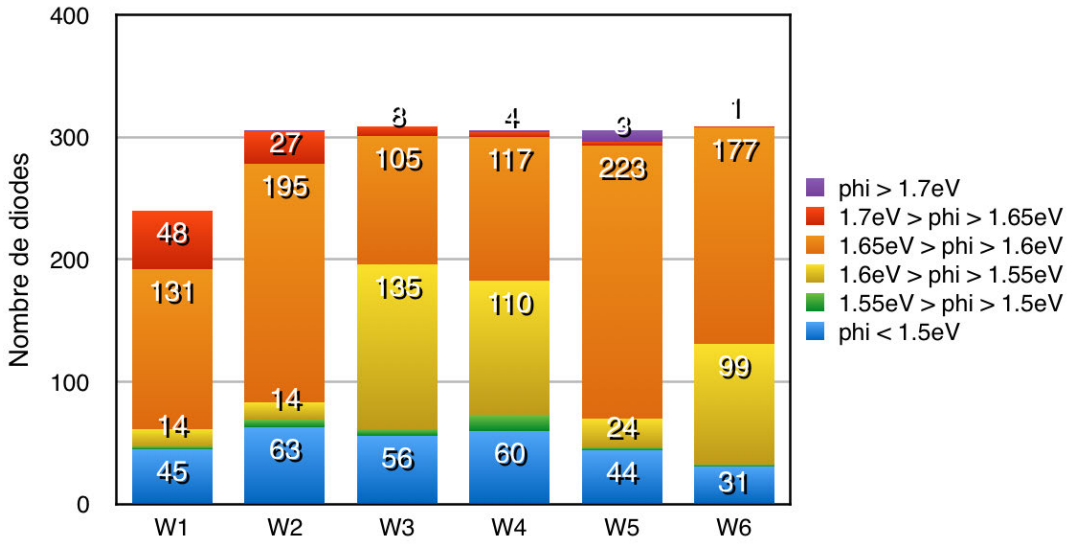


FIGURE 2.18 – Répartition de la hauteur de barrière par plaque du lot 6.

En ce qui concerne le lot 7, les plaques viennent toutes du même fournisseur et ont des caractéristiques très semblables. Mise à part la plaque 1, nous pouvons affirmer que les résultats sont homogènes. La plaque 1 présente une hauteur de barrière plus faible que le reste, environ $1,25$eV. La moyenne de la hauteur de barrière pour les autres plaques est d'environ $1,4$eV. La répartition des hauteurs de barrière par plaque est illustrée dans la figure 2.19.

Globalement, sur les trois lots caractérisés, nous n'observons pas de différences au niveau des caractéristiques dues aux différences de structure. Les plots $P+$ semblent être flottants. Cette hypothèse semble être vérifiée par les mesures en "surcharge" (quatrième chapitre) puisque nous n'observons pas d'activation de la conduction bipolaire. Les autres plaques ont de meilleurs rendements même si la structure n'apporte pas de différence entre les composants. Il reste à trouver une technique de recuit et de préparation des plaques avant la métallisation pour obtenir un bon contact Schottky, tout en obtenant un contact ohmique sur les implantations $P+$.

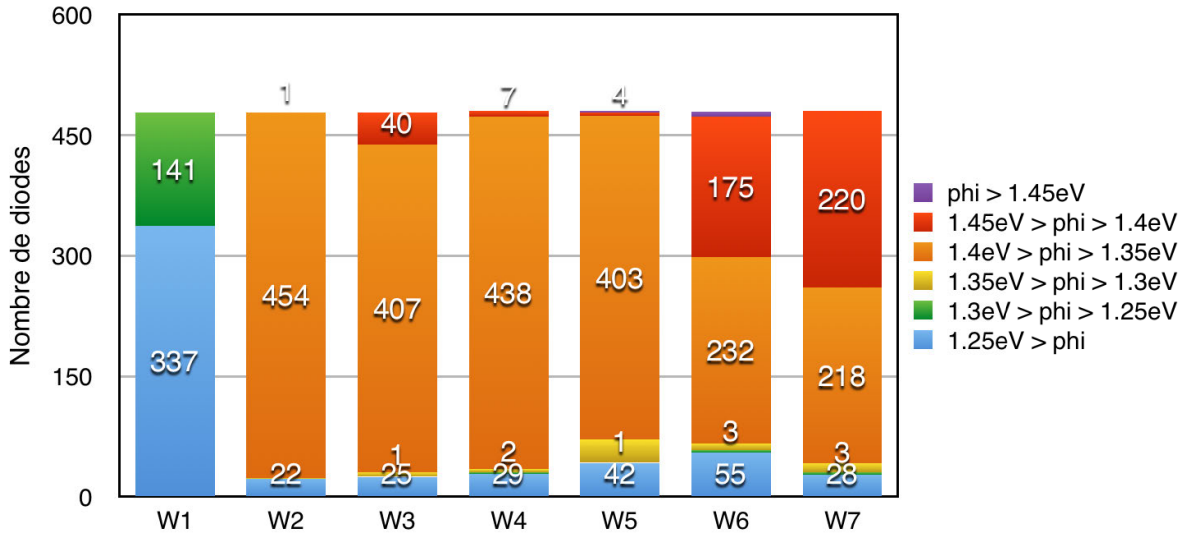


FIGURE 2.19 – Répartition de la hauteur de barrière par plaque du lot 7.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

2.3 Caractéristique IVT et CVT des diodes JBS sur SiC-4H

Cette section sera consacrée à la caractérisation physique du contact Schottky. Les mesures ont pour objectif de détecter des anomalies dans le fonctionnement de ces composants et de mettre en évidence des phénomènes non répertoriés dans la littérature.

2.3.1 Mécanismes de conduction du contact Schottky

La théorie du contact métal/semiconducteur a déjà été abordée dans le chapitre précédent. Ici, nous allons passer en revue les mécanismes de conduction qui régissent le passage des charges de part et d'autre de la barrière Schottky.

2.3.1.1 Courant thermoïonique

Comme son nom l'indique le courant thermoïonique (I_{TE}) dépend fortement de la température. C'est le mécanisme de conduction prépondérant dans une diode Schottky. Comme il a déjà été mentionné dans la première section de ce chapitre, le courant thermoïonique s'exprime sous la forme suivante [124, 125, 126] :

$$I_{TE} = I_{SAT}\left[\exp\left(\frac{qV}{nkT}\right) - 1\right] \tag{2.10}$$

où,

$$I_{SAT} = SA^{**}T^2 \exp\left(-\frac{\Phi_{B,n}}{kT}\right) \tag{2.11}$$

Cette formulation fait appel à la théorie simplifiée de la barrière Schottky et est valable pour une faible valeur du courant. Quand le courant augmente, la chute de tension à travers le barreau semiconducteur ne peut pas être négligée. Du point de vue des bandes d'énergie, la source extérieure qui vient perturber le système à l'équilibre thermodynamique, provoque une différence entre les pseudo-niveaux de Fermi. Plus la tension appliquée est grande, plus les électrons acquièrent de l'énergie pour franchir la barrière. Quand le courant devient trop important, les bandes s'inclinent en raison de la chute de tension dans le semiconducteur. Ce phénomène est illustré dans la figure 2.20(c).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

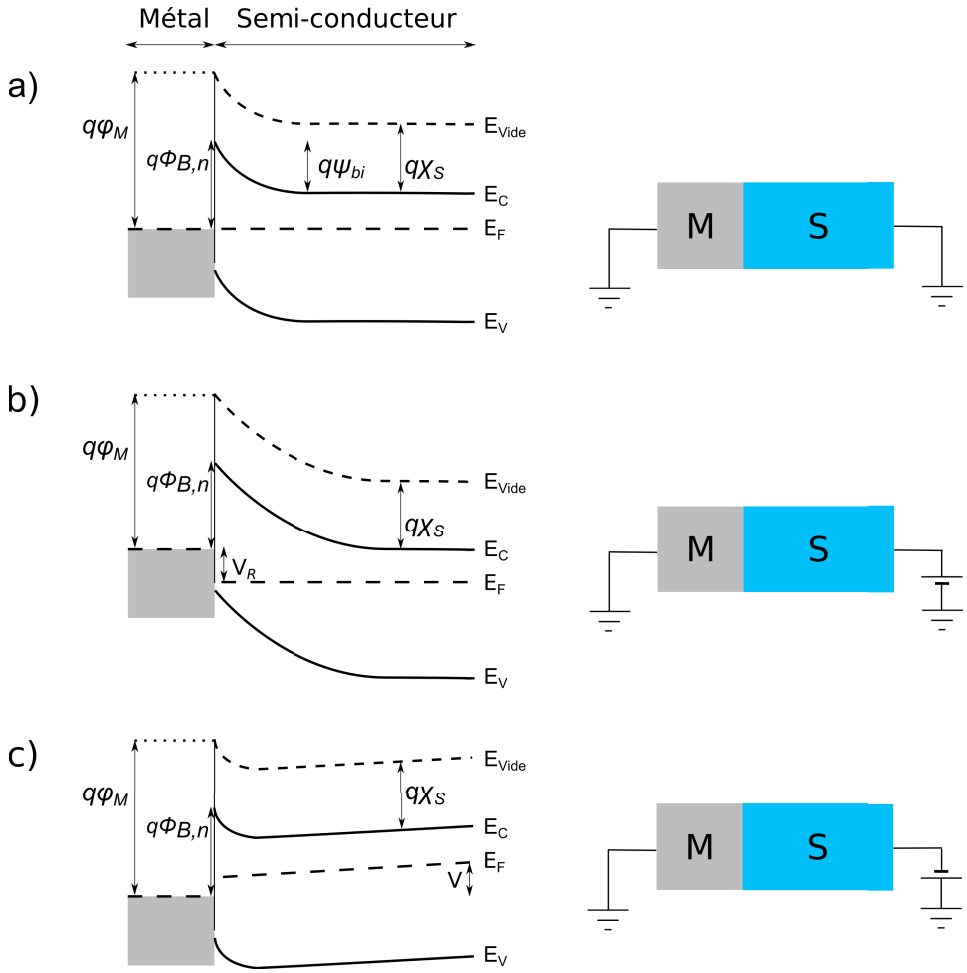


FIGURE 2.20 – Positionnement des bandes d'énergie dans une diode Schottky. À l'équilibre thermodynamique (a) , en polarisation inverse (b) , en polarisation directe (c).

Alors, l'expression complète du courant thermoïonique en polarisation directe devient :

$$I_{TE} = I_{SAT}\left[\exp\left(\frac{q(V - RI_{TE})}{nkT}\right) - 1\right] \tag{2.12}$$

En polarisation inverse, $\exp\left(\frac{q(V-RI_{TE})}{nkT}\right) << 1$. En théorie, le courant inverse devrait être égal au courant de saturation, or en pratique le courant inverse ne cesse d'augmenter avec la tension inverse. Ce comportement est en partie dû au mécanisme de l'abaissement de la hauteur de barrière par force image. D'autres mécanismes, comme le courant tunnel (I_{FE}) ou le courant tunnel assisté thermiquement (I_{TFE}), contribuent aussi à l'augmentation du courant.

2.3.1.2 Courant tunnel

Le principe d'incertitude d'Heisenberg ainsi que la dualité onde-corpuscule de la matière peuvent être employés pour expliquer la conduction par effet tunnel. Dans le cas de la conduction thermoïonique, seuls les électrons ayant suffisamment d'énergie thermique peuvent franchir la barrière sous l'effet du champ électrique. La forme de la barrière n'a pas d'importance. La conduction est conditionnée uniquement par sa hauteur. Quant à la conduction par l'effet tunnel, une partie de la fonction d'onde des électrons est réfléchie et la partie restante passe à

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

travers la barrière. Les électrons qui ont un niveau d'énergie plus élevé que le minimum de la bande de conduction, ont une probabilité non nulle de traverser la barrière. L'épaisseur de la barrière est un paramètre définissant la probabilité de franchissement de la barrière. Le mécanisme de franchissement d'une barrière rectangulaire par un électron est illustré dans la figure 2.21.

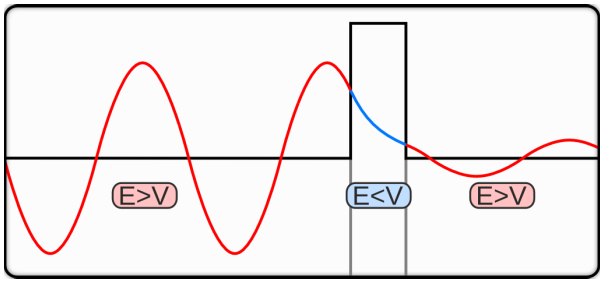


FIGURE 2.21 – Illustration de la conduction par l'effet tunnel, à travers une barrière rectangulaire[130].

Dans le cas d'une diode Schottky, nous employons l'hypothèse de la barrière triangulaire. En conséquence, la hauteur de barrière est aussi importante car on en déduit l'épaisseur et la probabilité qu'il existe des électrons pouvant la traverser. L'équation qui régit ce mécanisme de conduction a été définie dans la litérature[29] en précisant les conditions dans lesquelles elle s'applique. En polarisation directe l'équation qui définit la conduction par effet tunnel s'exprime de la manière suivante :

$$I_{FE} = \frac{SA^{**}T\pi \exp[-q(\Phi_{B,n}-V)/E_{00}]}{c_1 k \sin(\pi c_1 kT)}[1-\exp(-c_1 qV)] \tag{2.13}$$

où

$$E_{00} = \frac{q\hbar}{2}\sqrt{\frac{N}{m^*\epsilon_S}} \tag{2.14}$$

et

$$c_1 = \frac{1}{2E_{00}}\log\left[\frac{4(\Phi_{B,n}-V)}{E_C-E_F}\right] \tag{2.15}$$

Les conditions changent en polarisation inverse. L'épaisseur et la forme de la barrière changent à cause de la courbure des bandes d'énergie. L'hypothèse de la barrière triangulaire est toujours considérée valable. Dans ce cas, l'équation (2.13) devient :

$$I_{FE} = SA^{**}\left(\frac{E_{00}}{k}\right)^2\left(\frac{\Phi_{B,n}+V}{\Phi_{B,n}}\right)\exp\left(-\frac{2q\Phi_{B,n}^{3/2}}{3E_{00}\sqrt{\Phi_{B,n}+V}}\right) \tag{2.16}$$

Dans les deux cas, nous pouvons remarquer que la dépendance du courant tunnel avec la température reste faible comparé au courant thermoïonique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

2.3.1.3 Courant tunnel assisté par champ

Les électrons qui ont un niveau d'énergie à peine plus élevé que le minimum de la bande de conduction ne sont pas les seuls à passer à travers la barrière par effet tunnel. Des électrons ayant une énergie thermique plus élevée voient une barrière plus fine. Il existe un niveau d'énergie entre le pic de la barrière et le minimum de la bande de conduction pour laquelle la possibilité pour les électrons de franchir la barrière par effet tunnel atteint un maximum. Le courant constitué par ces électrons est appelé courant tunnel assisté par champ. Le maximum local est donné par [29] :

$$E_m = \frac{q(\Phi_{B,n} - V) - (E_C - E_F)}{\cosh^2(E_{00}/kT)} \tag{2.17}$$

En raison de la différence de courbure des bandes d'énergie entre la polarisation en régime direct et en régime inverse, les équations diffèrent selon le cas. En polarisation directe, le courant tunnel assisté par champ est donné par l'expression suivante [29] :

$$I_{TFE} = \frac{SA^{**}\sqrt{\pi E_{00} q(\Phi_{B,n} - V) - (E_C - E_F)}}{k\cosh(E_{00}/kT)} \exp\left[\frac{E_F - E_C}{kT}\right] \exp\left[\frac{(E_C - E_F) + q(V - \Phi_{B,n})}{E_0}\right] \tag{2.18}$$

où

$$E_0 = E_{00}\coth\left(\frac{E_{00}}{kT}\right) \tag{2.19}$$

En régime de polarisation inverse, le courant tunnel assisté par champ est exprimé par l'équation (2.20).

$$I_{TFE} = \frac{SA^{**}T}{k}\sqrt{\pi E_{00} q\left[V + \frac{\Phi_{B,n}}{\cosh^2(E_{00}/kT)}\right]} \exp\left(\frac{-q\Phi_{B,n}}{E_0}\right) \exp\left(\frac{qV}{\epsilon'}\right) \tag{2.20}$$

où

$$\epsilon' = \frac{E_{00}}{(E_{00}/kT) - tanh(E_{00}/kT)} \tag{2.21}$$

La condition qui détermine la prépondérance entre le courant tunnel et le courant tunnel assisté par champ est liée aux conditions thermiques d'une barrière Schottky. Quand $kT >> E_{00}$, le courant thermoïonique est prépondérant. Pour $kT << E_{00}$, c'est le courant tunnel qui l'emporte. Si la condition $kT \approx E_{00}$ est satisfaite, le courant tunnel assisté par champ est celui qui décrit le mieux le comportement d'une diode Schottky.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

2.3.2 Technique de caractérisation en température

2.3.2.1 Motivations

Pour caractériser l'interface métal/semiconducteur des diodes Schottky sur SiC-4H de manière non invasive, nous devons être capables d'identifier clairement la contribution de chaque mode de conduction. Nous pouvons alors mesurer la caractéristique IV à différentes températures et identifier chaque mode en nous appuyant sur la littérature. Le choix de la gamme des températures doit être tel qu'il puisse couvrir les trois cas énumérés dans la partie précédente. En cas d'écarts importants, nous pouvons soupçonner des anomalies au niveau de l'interface (ex : charge d'interface, pièges, oxyde fin, etc.) ou au sein même du semiconducteur (ex : défauts ponctuels, défauts étendus, etc.). Les données acquises pourraient nous permettre de proposer des modèles en fonction du métal et des paramètres technologiques qui couvrent une large gamme de températures.

2.3.2.2 Banc de test

Pour mesurer les caractéristiques des composants Schottky, nous avons utilisé un banc de test qui permet de balayer des températures allant de celle de l'azote liquide 77 K, jusqu'à 600 K. Les composants se placent sur un bâti refroidissant/chauffant qui se trouve dans une enceinte capable de supporter un vide poussé. Une résistance chauffante ainsi qu'un serpentin permettant d'y véhiculer de l'azote liquide sont enroulés autour du bâti. Une sonde PT100 est disposée sur le bâti, au plus près du composant sous test, elle sert à mesurer et à asservir la température de l'ensemble. Quand de l'azote liquide passe dans le serpentin, le bâti ainsi que tout élément en contact est refroidi rapidement à 77 K. Pour atteindre et maintenir la température supérieure, une puissance électrique précise est dissipée dans la résistance. La température est asservie par un régulateur à action proportionnelle, intégrale et dérivée (PID) qui contrôle la tension à appliquer. L'ensemble du bâti avec le composant à tester se trouvent dans une enceinte sous vide poussé afin de limiter les échanges thermiques par conduction ou par convection. De cette manière, nous pouvons assurer une température homogène sur tout l'échantillon.

Le câblage nous permet de faire des mesures 4 fils (Kelvin) pour s'affranchir de la résistance des câbles. Les mesures IV et CV sont réalisées de façon automatique avec un traceur B1505a de Keysight. Le traceur est programmé pour commander la température de l'échantillon avant de lancer la mesure en polarisation directe, suivie de la mesure en polarisation inverse. La mesure de capacité est réalisée automatiquement dans un deuxième temps. Le schéma du banc de test est décrit dans la figure 2.22

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

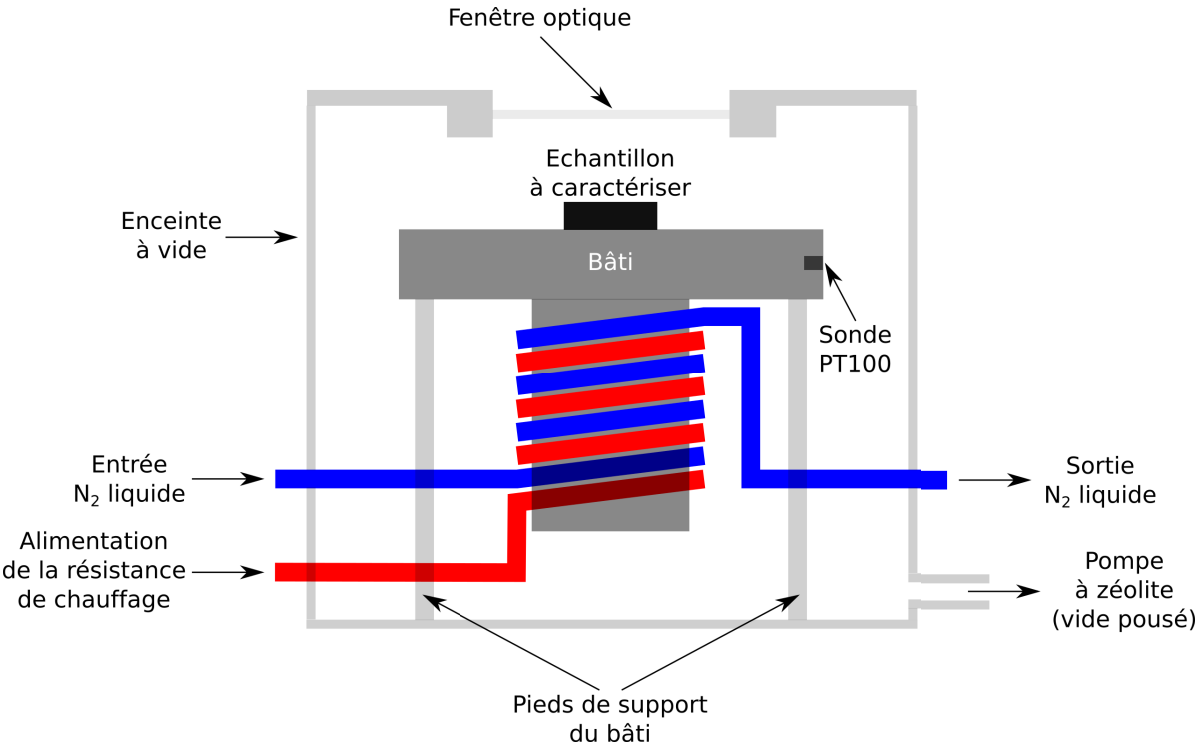


FIGURE 2.22 – Banc de test pour la caractérisation IVT.

2.3.2.3 Traitement des données

Le traitement des données fait appel aux techniques présentées au début du chapitre. Ensuite, le coefficient d'idéalité et la hauteur de barrière sont comparés à la théorie. Le coefficient d'idéalité indique si la conduction est réalisée principalement par courant thermoïonique ou un des autres mécanismes spécifiés précédemment. Quand $1 < n < 1,05$, la conduction est considérée purement thermoïonique. Pour des valeurs de $n > 1,1$, la conduction par effet tunnel ou tunnel assisté par champ ne peut plus être négligée. Depuis la mesure CVT, nous pouvons extraire la hauteur de la barrière Schottky et le dopage effectif de la couche d'épitaxie adjacente au contact. L'ensemble de tous les paramètres nous permettra de déterminer la qualité des composants caractérisés et de proposer des modèles qui décrivent les phénomènes qui n'auraient pas été observés auparavant.

2.3.3 Mesures de diodes JBS Tungstène, Nickel et Titane/Nickel

Les composants qui ont été caractérisés selon le protocole défini sont des composants expérimentaux développés dans le cadre des activités de recherche du laboratoire Ampère et des composants commercialement disponibles. L'objectif de ces mesures est de comparer la barrière Schottky de différents métaux de diodes expérimentales et commerciales. Le tableau suivant résume les caractéristiques principales des diodes mesurées.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Diode	Provenance	Type	Métal	Surface (mm^2)	Courant (A)	Calibre tension (V)
A	CNM	JBS	W	4.41	5	1200
B	Commerce	JBS	?	1	5.9	1200
C	FilSiC	JBS	Ti/Ni	4	5	3300
D	FilSiC	JBS	Ni	4	5	3300

TABLE 2.5 – Paramètres technologiques principaux des diodes caractérisées selon le protocole défini.

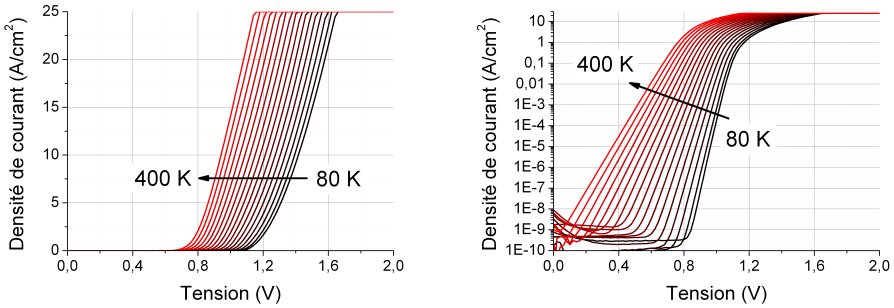
2.3.3.1 Caractéristique IVT et CVT

Les résultats des mesures en direct des diodes Schottky sont illustrés dans la figure 2.23 en échelle linéaire à gauche et logarithmique à droite. La forme de la caractéristique IVT en échelle linéaire est semblable pour les diodes B, C et D. Étant donné que les calibres en tension sont différents, les diodes du projet FilSiC sont plus résistives. En revanche, on ne peut pas conclure sur l'absence de chevauchement dans le réseau de caractéristiques IVT de la diode A, car elle n'a été caractérisée que jusqu'à 400K.

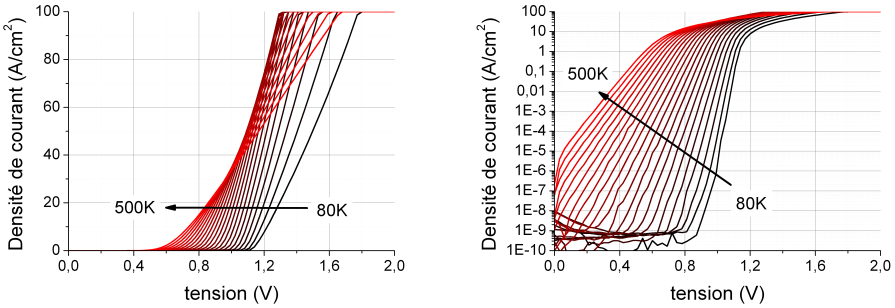
Concernant la tension de seuil, nous remarquons qu'elle évolue de la même manière sur les quatre diodes. Avec l'augmentation de la température, le courant thermoïonique augmente drastiquement. En conséquence, la tension de seuil subit un abaissement [131]. La représentation de la caractéristique directe en échelle logarithmique montre la même tendance sur les 4 diodes. La courbe se décale à gauche avec l'augmentation de la température, ce qui confirme la théorie thérmoïonique. À tension égale, le courant est plus élevé pour une température plus élevée. La dispersion entre 80 et 500 K est néanmoins remarquable. La pente évolue progressivement également.

Les caractéristiques inverses des 4 diodes sont représentées dans la figure **??**. Dans la gamme de tension de 0 à 800 V, les mesures en inverse montent un comportement inattendu. Pour des températures entre 80 et 280 K le courant de fuite des diodes A, B et C décroit au lieux d'augmenter selon la théorie thermoïonique. La diode D qui tient plus de 3000 V en polarisation inverse, montre l'anomalie jusqu'à 340 K. La théorie de la diode Schottky prévoit une augmentation des courants de fuite avec l'augmentation de la température. Cela est dû à la forte dépendance du courant de saturation qui est proportionnel au carré de la température. Or, dans ce cas, nous avons une diminution des courants de fuites entre 80 et 300K approximativement. Ce comportement est indépendant du type de métallisation puisqu'on l'observe pour du tungstène, du nickel et du titane/nickel. Au-delà de 280 K, le courant de fuite reprend la tendance habituelle, où l'augmentation de la température produit une augmentation du courant à des tensions supérieures à 800 V pour les diodes A,B et C. À cause de la tenue en tension trop élevée de la diode D, nous n'avons pas observé le rétablissement de la tendance pour cette dernière.

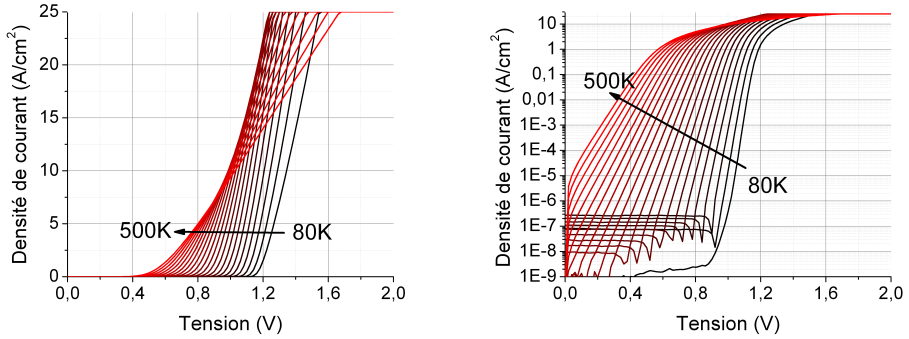
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



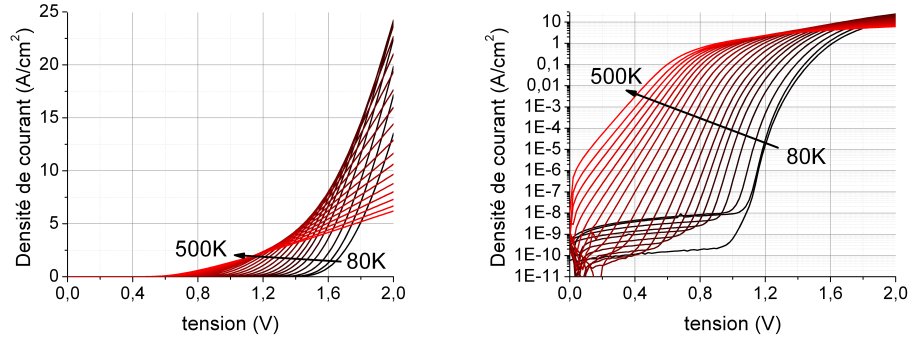
(a) Diode A, JBS Tungstene.



(b) Diode B, JBS métal anode inconnu.



(c) Diode C, JBS Titane/Nickel.

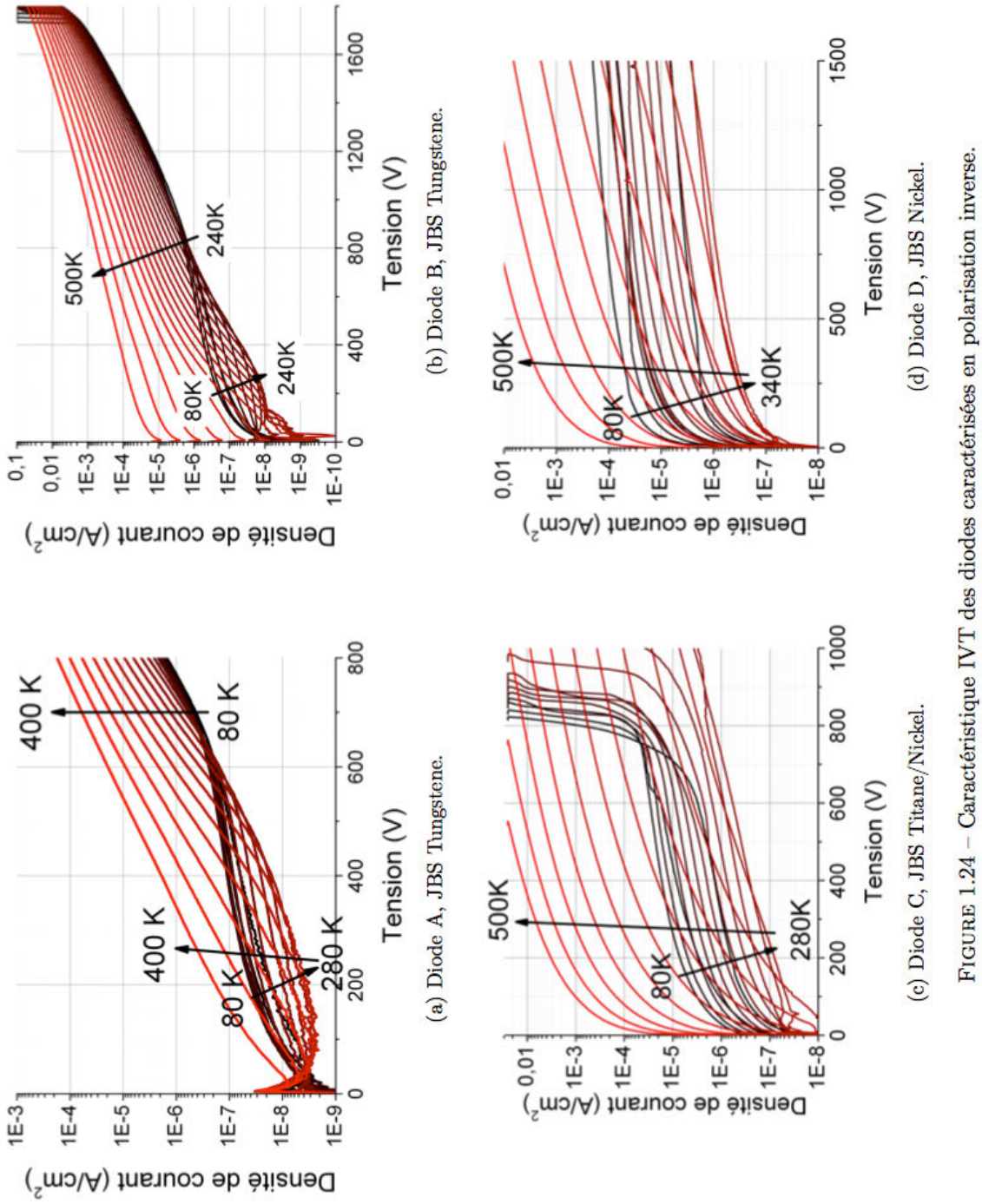


(d) Diode D, JBS Nickel

FIGURE 2.23 – Caractéristique IVT en polarisation directe représentée en échelle linéaire à gauche et logarithmique à droite.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

À des tensions aussi élevées et des températures inférieures à 400 K, le mécanisme de conduction prépondérant est le courant tunnel. On peut remarquer que pour des températures supérieures, l'effet de l'abaissement de la hauteur de barrière par l'effet force image réduit l'épaisseur de la barrière. En conséquence, la probabilité que les électrons puissent traverser la barrière par effet tunnel augmente.



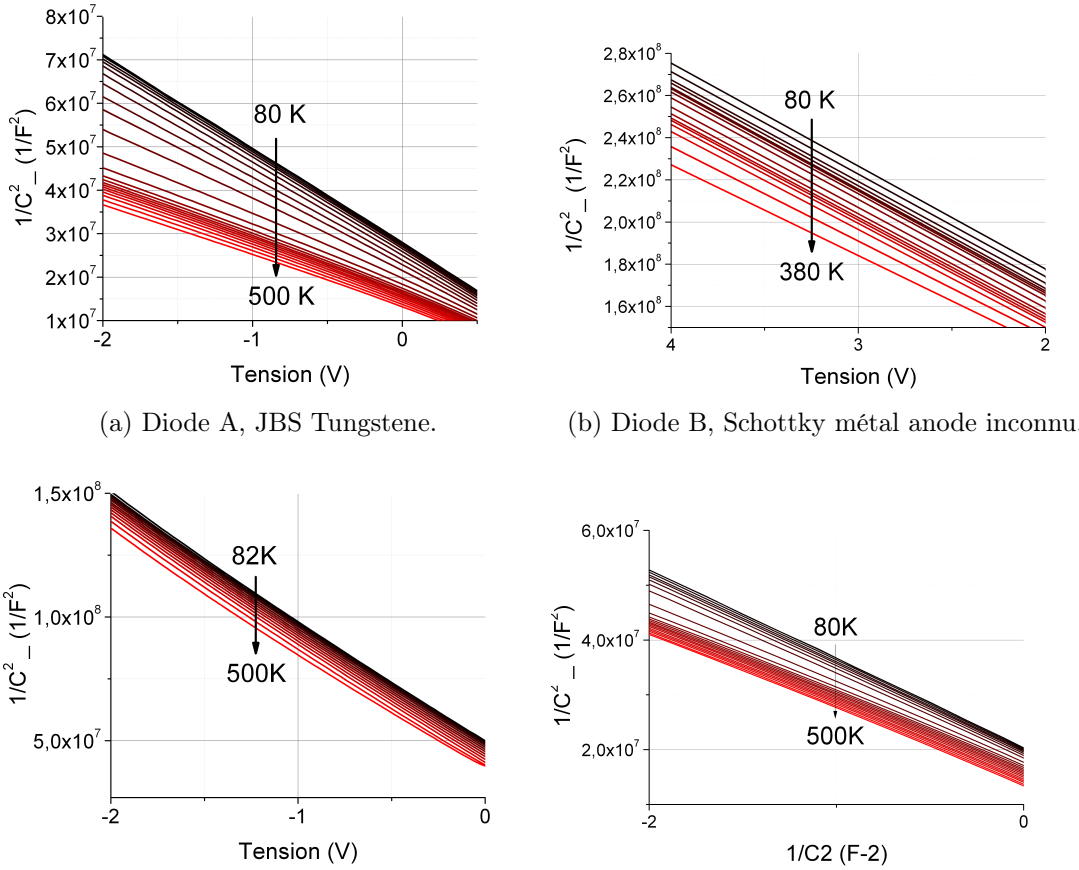
(a) Diode A, JBS Tungstene. (b) Diode B, JBS Tungstene. (c) Diode C, JBS Titane/Nickel. (d) Diode D, JBS Nickel.

FIGURE 1.24 – Caractéristique IVT des diodes caractérisées en polarisation inverse.

La mesure en CV nous permet de déterminer la tension de diffusion et la valeur du dopage réel de la diode Schottky. La figure 2.25 illustre l'inverse du carré de la capacité des diodes

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

caractérisées. La pente des courbes permet de remonter au dopage et l'intersection avec l'axe des abscisses nous permet de remonter à la valeur de la hauteur de la barrière. Comme on peut le voir en comparant les diodes A, B, C et D, la tension de diffusion varie en fonction de la température. D'après les figures, la hauteur de barrière diminue avec l'augmentation de la température dans tous les cas. Ce résultat est en contradiction avec les valeurs extraites par la mesure IV et sera expliqué plus loin dans ce chapitre.



(a) Diode A, JBS Tungstene.

(b) Diode B, Schottky métal anode inconnu.

(c) Diode C, Schottky Titane/Nickel.

(d) Diode D, Schottky Nickel.

FIGURE 2.25 – Inverse du carré de la capacité des diodes caractérisées.

2.3.3.2 Résultats des extractions

L'extraction des paramètres physiques a produit les résultats reportés dans la figure 2.27. À gauche, nous avons les graphes de la résistivité et de la tension de seuil des diodes caractérisées. À droite, nous pouvons trouver les figures du coefficient d'idéalité et de la hauteur de barrière des quatre diodes.

La tension de seuil évolue de manière presque linéaire en fonction de la température. Le choix du métal n'impacte pas la tension de seuil étant donné que pour les 3 types de métaux le $^{\delta V_{Th}}/_{\delta T} \approx 1.4\text{mV}^{\circ}\text{C}^{-1}$.

Pour les diodes A et B, la résistivité diminue de 80 K jusqu'à 160 K. Le gel des porteurs [132] pourrait être la cause de ce phénomène, mais on ne l'observe que pour les diodes en Tungstene. Par la suite, la résistance augmente progressivement. Pour les diodes B et C qui

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

ont étés caractérisées jusqu'à 500K, on remarque un changement de la pente de la résistivité à partir de 440K. La résistivité des composants unipolaires augmente rapidement en raison de la détérioration de la mobilité des porteurs au-delà de cette température [133], d'où la rupture de pente de la résistivité. Sur la diode D, la résistivité globale du composant est plus élevée en raison de l'épaisseur de l'épitaxie. L'augmentation de la résistivité se fait de façon plus progressive, mais confirme la piste de la diminution de la mobilité des porteurs. Cependant, la résistivité des composants expérimentaux est très élevée, avec un facteur de Baliga au mieux trois fois plus faible comparé à ce qui se fait industriellement.

Les courbes qui se trouvent en partie droite de la figure 2.27 illustrent l'évolution du coefficient d'idéalité et de la hauteur de barrière extraites depuis la caractéristiques IVT en polarisation directe. Les quatre diodes qui ont été caractérisées montrent les mêmes tendances. Le coefficient d'idéalité diminue rapidement entre 80 K et 250 K, alors que pour la hauteur de barrière, on obtient l'effet contraire. L'interprétation physique de l'évolution importante du coefficient d'idéalité de la diode D est que la conduction ne se fait pas uniquement par le mécanisme thermoïonique, mais aussi par le mécanisme d'émission tunnel et tunnel assisté par champ à très basse température.

L'influence du métal sur le coefficient d'idéalité et sur la hauteur de barrière est faible mais significative. Les deux paramètres physiques évoluent sur toute la plage des températures dans le cas du tungstène. Les diode A et B ont un coefficient d'idéalité proche de l'unité à 500 K. La hauteur de barrière plus faible de la diode C est due à l'utilisation de l'alliage Ti/Ni. Il a été démontré que ce type de contact n'est pas adapté pour ce calibre de tenue en tension, c'est le contact en Nickel qui semble le plus adapté. Malgré la forte évolution du coefficient d'idéalité entre 80 K et 260 K, le contact Schottky Nickel est le plus adapté à ce niveau de tension. Cela est du à la stabilité thermique manifestée du contact Schottky formé par le Ni_2Si entre 260 et 500 K [129, 134, 135].

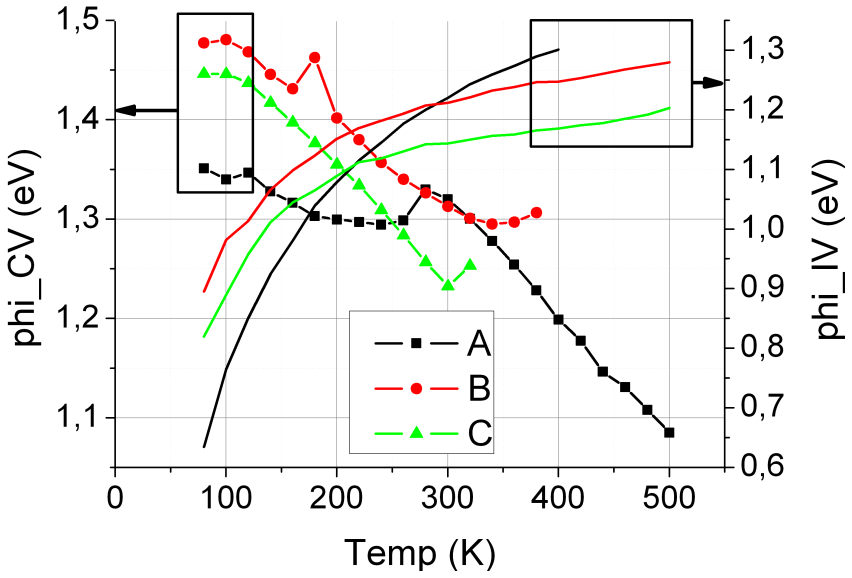
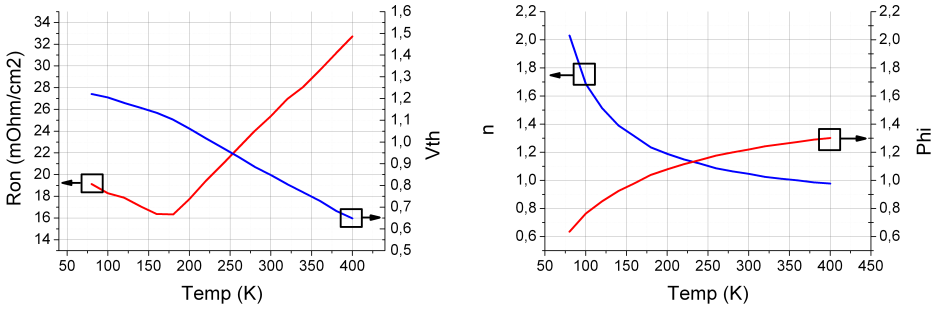
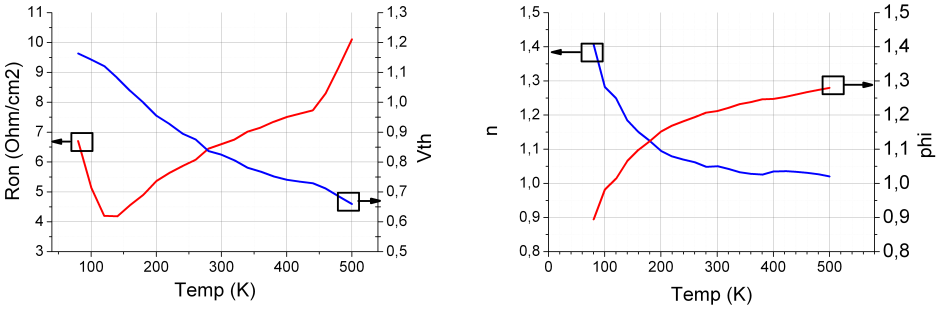


FIGURE 2.26 – Comparaison de l'évolution de la hauteur de barrière selon la technique d'extraction pour les diodes A, B et C.

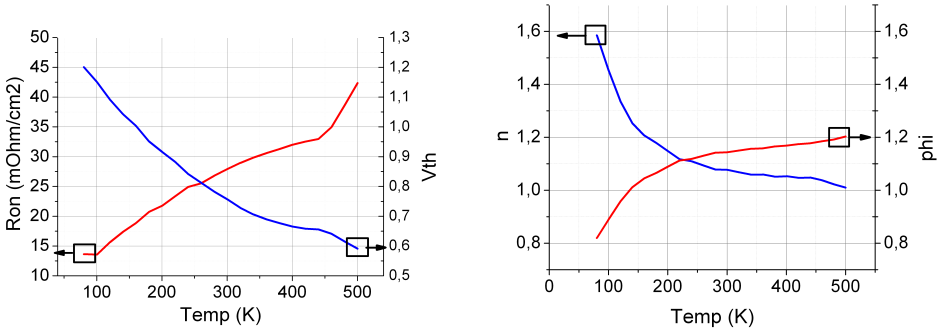
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



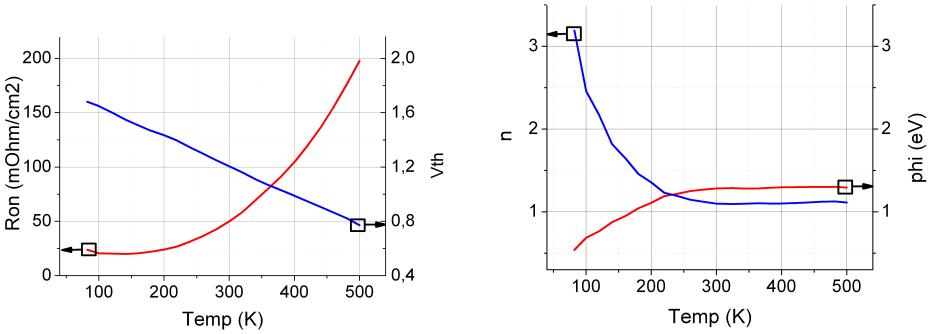
(a) Diode A, JBS Tungstene.



(b) Diode B, JBS métal anode inconnu.



(c) Diode C, Schottky Titane/Nickel.



(d) Diode D, JBS Nickel.

FIGURE 2.27 – À gauche, l'évolution de la résistivité et de la tension de seuil en fonction de la température. À droite, celle du coefficient d'idéalité et de la hauteur de la barrière en fonction de la température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Nous avons la possibilité d'extraire la hauteur de barrière à travers la mesure CV et d'observer l'impact de la température avec cette technique. La figure 2.26 compare l'évolution de hauteur de barrière pour les deux techniques d'extraction, IV et CV. Les résultats sont contradictoires car, pour les trois diodes, la caractérisation CV donne une hauteur de barrière décroissante avec l'augmentation de la température, alors que l'IV montre la tendance inverse. Dans ces conditions, on peut se questionner sur la technique la plus adaptée pour l'extraction et l'interprétation physique des résultats. La même observation a été faite sur des diodes Schottky en Molybdene sur du InP de type n [136]. Ce qui différencie les deux techniques d'extraction sont les conditions dans lesquelles on réalise les mesures. Dans le cas de la mesure CV, nous mesurons la capacité en polarisation inverse et dans le cas de l'IV nous mesurons le courant en polarisation directe. Les bandes des énergies du semiconducteur subissent des courbures différentes selon le type et le niveau de polarisation. La mesure CV étant réalisée à faible polarisation nous nous trouvons dans la condition des bandes plates qui permet d'avoir un champ électrique nul dans le semiconducteur. À champ électrique nul le courant tunnel est nul et l'abaissement de la hauteur de barrière par effet force image inexistant. L'évolution de la hauteur de barrière, ainsi que la contradiction entre les valeurs extraites par CVT et IVT sont souvent attribuées à la non-homogénéité du contact Schottky[129, 137, 138, 55, 56, 139, 140, 110].

2.4 Conclusions

2.4.1 Discussion

La technique mise au point nous a permis d'obtenir la caractéristique IVT et CVT dans une plage de température étendue. Les résultats contradictoires que les deux techniques, mettent en évidence la necessité de traiter le sujet de l'inhomogénéité du contact Schottky.

La hauteur de barrière dépend fortement de la technique de mesure et de la plage de tension dans laquelle nous réalisons l'extraction. S'il est facile de procéder à l'extraction de la valeur, il n'est pas évident de choisir le point de fonctionnement sur lequel réaliser cette opération. Pour obtenir une valeur de la hauteur de barrière à utiliser dans la modélisation des mécanismes de conduction il est préférable d'utiliser la technique de l'IV. Si on veut étudier l'étalement de la zone des charges d'espace il faut privilégier la technique de la CV.

Dans le chapitre suivant nous allons étudier l'effet de l'inhomogénéité du contact en vue de modéliser la diode Schottky/JBS. Les modèles existants présentent souvent une complexité mathématique élevée sans fournir une réponse physique au problème.

Le comportement en polarisation inverse de la diode Schottky en SiC ne fait pas l'unanimité car la contribution des mécanismes de conduction dépend de plusieurs paramètres, en dehors de la hauteur de barrière. Elle sera étudiée de manière exhaustive dans le troisième chapitre.

2.4.2 Conclusions sur l'avancement du projet FilSiC

Le projet FilSiC a montré par la réalisation des diodes Schottky et JBS, que la technologie en carbure de silicium a atteint une certaine maturité. Les composants fabriqués ont des caractéristiques comparables aux composants commercialement disponibles. Des modules expérimentaux permettront de valider la technologie. L'étape suivante consiste à qualifier les performances dynamiques et la fiabilité des composants FilSiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Des tests en commutation ainsi que des mesures de vieillissement de ces composants nous donneront des données sur la stabilité des paramètres physiques. La capacité de fonctionnement en surcharge de ces composants sera au cœur du quatrième chapitre de ce document. Ces données nous serviront aussi pour qualifier la technologie et pour compléter la documentation technique des composants.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Chapitre 3

Barrière Schottky : Modélisation

Sommaire

3.1 Analyse de l'inhomogénéité de la barrière Schottky sur 4H-SiC 97

3.1.1 Influence de l'inhomogénéité 97

3.2 Modèle phénoménologique en régime direct 104

3.2.1 Modèle multibranches 104

3.2.2 Composants à barrière fortement inhomogène 106

3.3 Modélisation de la diode Schottky SiC "idéale" 110

3.3.1 Modèles existants 110

3.3.2 Modèle phénoménologique des paramètres physiques de la barrière . 114

3.4 Conclusions 120

3.1 Analyse de l'inhomogénéité de la barrière Schottky sur 4H-SiC

3.1.1 Influence de l'inhomogénéité

L'inhomogénéité de la hauteur de la barrière se manifeste sous différentes formes dans la caractéristique statique d'une diode Schottky. Le cas le plus fréquent est la double barrière. Comme son nom l'indique, le contact Schottky forme deux barrières dont les hauteurs sont différentes. La forme la plus générale d'inhomogénéité est la cas où la barrière est constituée d'une multitude de barrières de différentes hauteurs, localement délimitées. Les deux cas mentionnés ci-dessus sont illustrés dans la figure 3.1.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

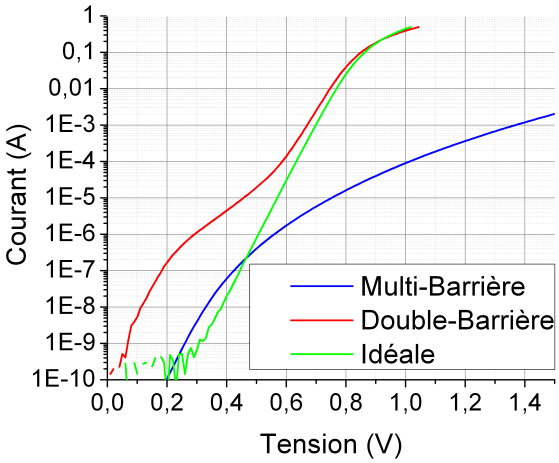


FIGURE 3.1 – Comparaison des caractéristiques de diodes ayant une multibarrière ou une double barrière à une diode "Ideale" provenant du Lot 4 du projet FilSiC.

L'objectif de cette partie est d'illustrer les causes qui peuvent produire ces comportements anormaux et de montrer ce que cache le comportement "idéal".

3.1.1.1 Double barrière à température ambiante

La double barrière a été étudiée et modélisée avec succès à plusieurs reprises [141, 142, 143]. Ce comportement serait visible quand une petite portion de la surface totale du contact (inférieur à 1%) forme une barrière moins haute que la diode idéale. Dans ce cas, on peut modéliser la diode comme deux diodes Schottky en parallèle, dont les paramètres sont différents. D'après ce modèle, le courant traversant la diode est constitué par la somme des courants passant à travers la barrière basse et à travers la barrière haute. En utilisant l'équation du courant thermoïonique, nous pouvons retrouver les paramètres de chaque diode (hauteur de barrière, coefficient d'idéalité, résistance série et surface active). Cette technique a été employée pour modéliser une diode du projet FilSiC dont les paramètres figurent dans le tableau 3.1. Le résultat est illustré en figure 3.3.

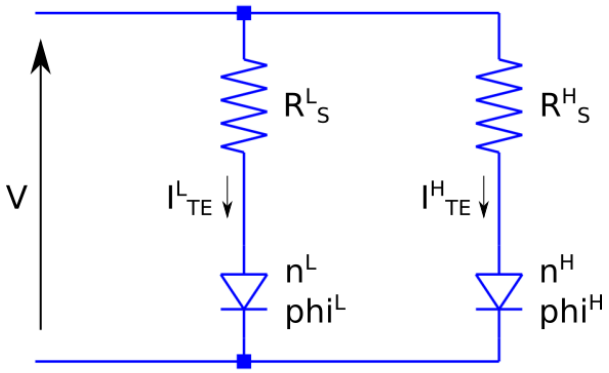


FIGURE 3.2 – Schéma électrique du modèle thermoïonique à double barrière.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Barrière	Surface (mm^2)	n	$\Phi_{B,n}$(eV)	R_S
Basse	0.03	1.07	0.8	30kΩ
Haute	3.9	1.25	1.05	0.30 Ω

TABLE 3.1 – Paramètres physiques pour la modélisation de la double barrière d'une diode Schottky Titane/Nickel.

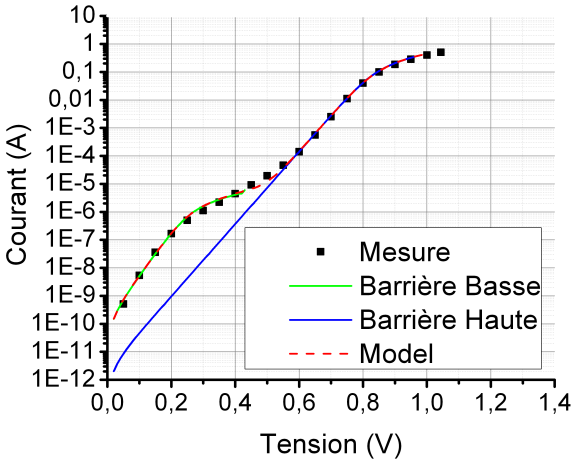


FIGURE 3.3 – Comparaison modèle/mesure de la diode à double barrière en régime direct d'une diode du Lot 4.

Même si ce type de modélisation fonctionne dans les cas pratiques à température ambiante, il ne permet pas d'expliquer le mécanisme de fonctionnement de la double barrière. Des mesures de type Courant Induit par Faisceau Électronique (EBIC) et Spectroscopie de Cathodoluminescence Résolue en Profondeur (DRCLS) ont permis de corréler l'apparition de la double barrière avec la présence de défauts d'empilement importants en dessous du contact [141]. Les défauts de type inclusions de SiC-8H ainsi Z_1/Z_2 en concentration supérieure à 1×10^{15} cm^{-3} produisent des doubles barrières ne dépendant pas du travail de sortie des métaux. La surface réelle de la barrière basse n'est pas forcément celle utilisée par le modèle présenté ci-dessus. En plus d'une surface globale approximativement 1% inhomogène, il faut que les zones d'inhomogénéité soient d'une certaine taille, ou en forte concentration pour ne pas être écrantées par la Zone de Charge d'Espace (ZCE) des zones de barrière haute[144]. Ainsi, le fait que la hauteur des barrières basses ne dépende plus du travail de sortie du métal est une preuve que le niveau de Fermi est épinglé par les états de surface locaux. Dans la figure 3.4 nous pouvons remarquer qu'indépendamment du métal, on retrouve les mêmes valeurs de hauteur de barrière en cas de double barrière ou de multibarrière, alors que la barrière haute qui constitue plus de 99% de la surface active dépend directement de la valeur du travail de sortie.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

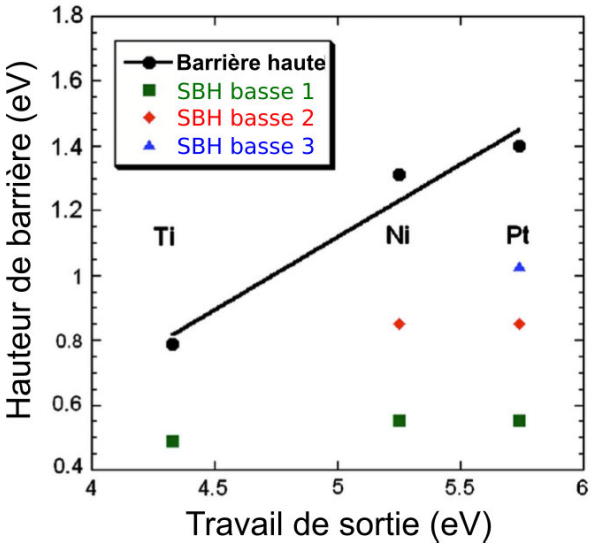


FIGURE 3.4 – Évolution de la hauteur de barrière en cas de multiple-barrière en fonction du travail de sortie du métal Schottky sur SiC-4H[141].

3.1.1.2 Multibarrière à température ambiante

Nous avons abordé le cas de la double barrière. Il existe également des composants très inhomogènes ayant des barrières interagissantes. Dans ce cas, la caractéristique ne présente pas de barrière bien définie, mais une multitude de barrières qu'il est difficile de discriminer. Pour modéliser le problème, nous pouvons l'aborder par la méthode classique, illustrée dans la figure 3.5, sans connaissance à priori du nombre de diodes parallèles qu'il faudra pour modéliser la diode réelle. Une autre solution serait d'utiliser une méthode dite "phénoménologique", qui nous permet de décorréler les paramètres de chaque branche. Cette approche sera détaillée dans la deuxième partie de ce chapitre.

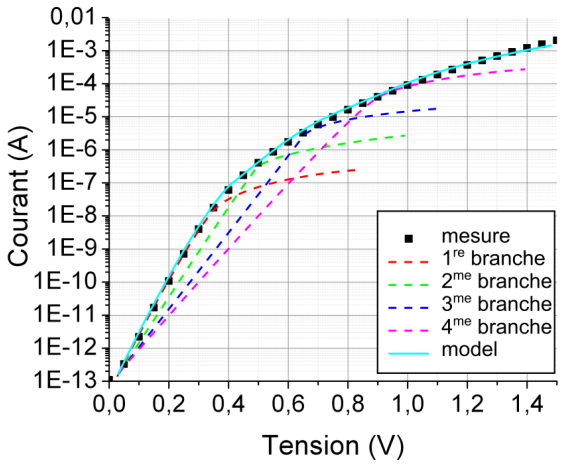


FIGURE 3.5 – Application de la démarche classique pour la modélisation d'une diode multibarrière.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

3.1.1.3 Anomalies apparaissant à faible température

Nous avons traité deux cas d'inhomogénéité étendue. Par étendu, il faut comprendre une concentration élevée de barrières basses autour d'un point de zones. Ce type de comportement sera visible pour toute la gamme de températures dans laquelle nous pouvons caractériser la diode. Cela signifie que l'inhomogénéité est présente à température ambiante comme à basse température (ex. 80 K). La figure 3.6 compare le comportement d'une double barrière à 80 K avec une double barrière à 300 K selon la méthode classique.

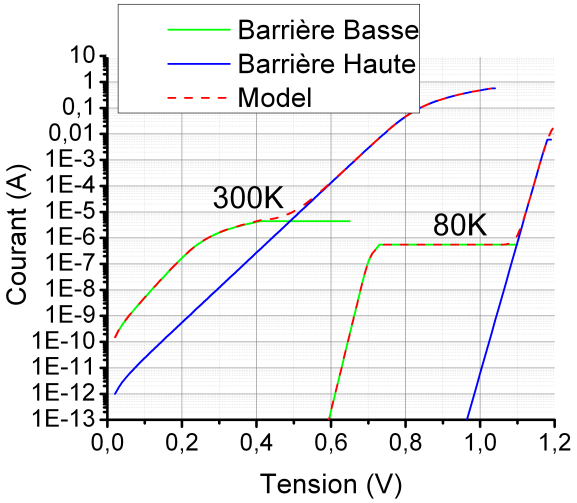


FIGURE 3.6 – Application de la démarche classique pour la modélisation d'une diode double barrière.

Dans le cas où les zones de barrière basse sont distantes entre elles, le comportement de la diode change à cause de leur interaction. Pour comprendre ce phénomène, il faut rappeler l'équation de la ZCE.

$$W(V) = \left(\frac{2\epsilon}{qN_D} (\psi_{bi} - V - \frac{kT}{q}) \right)^{1/2} \tag{3.1}$$

À valeur de tension égale, la ZCE s'étend davantage pour une hauteur de barrière plus élevée. Cela implique que si nous avons une petite surface de hauteur de barrière plus basse que la zone qui l'entoure, elle sera écrantée par la ZCE de la zone de barrière haute. Ainsi, la hauteur de barrière apparente est plus élevée que si nous n'avions pas d'interaction. Dans ce cas, nous parlons d'effet de pincement, qui rend le passage du courant plus difficile. Si la surface de barrière basse est suffisamment petite, le pincement peut la rendre électriquement neutre.

On montre en figure 3.7 cet effet de pincement illustré par la simulation éléments finis [145]. Ce comportement a été simulé en polarisation directe [144] et sera repris en détails dans la deuxième partie de ce chapitre.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

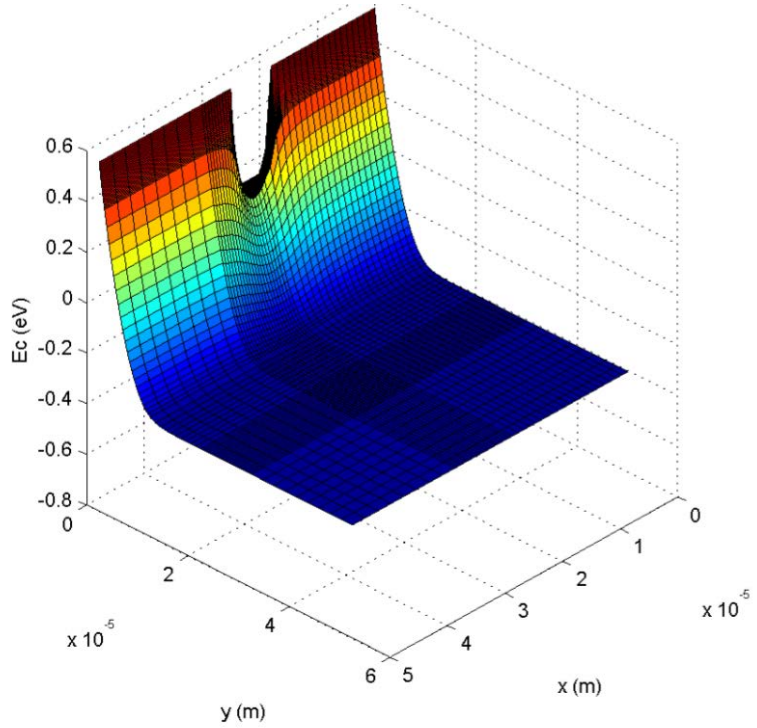


FIGURE 3.7 – Simulation par éléments finis d'une barrière inhomogène [145].

Comme on peut le voir dans l'équation (3.1), l'étendue de la ZCE dépend de la hauteur de barrière, de la tension et de la température appliquées. Nous pouvons alors réduire l'interaction entre les barrières hautes et les basses en faisant varier la température. En utilisant cette technique de caractérisation, nous pouvons révéler de faibles inhomogénéités à très basse température comme dans l'exemple suivant.

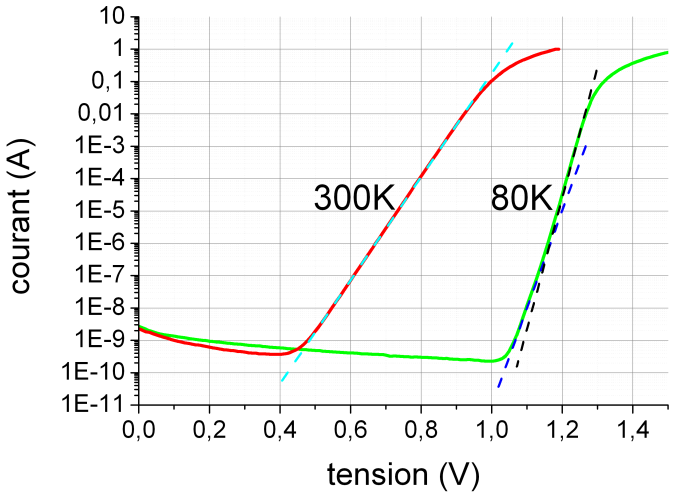


FIGURE 3.8 – Apparition d'une petite barrière basse à très faible température pour une diode "idéale" à température ambiante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

3.1.1.4 Coefficient de Richardson d'une diode "quasi" idéale

Le coefficient de Richardson effectif est un paramètre physique important pour les mécanismes de conduction d'une diode Schottky. Il est donné par l'équation (3.2) :

$$A^* = \frac{4\pi q m^* k^2}{h^3} \tag{3.2}$$

Le coefficient de Richardson effectif corrigé, noté A^{**} et abusivement appelé coefficient de Richardson, a été calculé et sa valeur est communément acceptée comme étant 146Acm^{-2}K^{-2} [146] . Pour l'extraire, nous pouvons manipuler l'équation thermoionique.

pour $V >> kT$,

$$I_{TE} = SA^{**}T^2 \exp\left(-\frac{q\Phi_{B,n}}{kT}\right) \exp\left(\frac{qV}{nkT}\right) \tag{3.3}$$

$$\ln\left[\frac{I_{TE}}{ST^2}\right] = \left(\frac{qV}{nk} - \frac{q\Phi_{B,n}}{k}\right)\frac{1}{T} + \ln\left[A^{**}\right] \tag{3.4}$$

Une fois obtenue l'équation (3.4), on peut voir que si l'on fixe la valeur de la tension, l'équation obtenue est celle d'une droite qui dépend de l'inverse de la température. $\ln(A^{**})$ correspond à l'intersection de la droite avec l'axe des ordonnées.

À titre d'exemple, nous pouvons procéder à l'extraction du coefficient de Richardson sur une diode Schottky SiC-4H commerciale quasi idéale caractérisée entre 80 K et 500K. La caractéristique IVT de cette diode est donnée dans la figure 3.9. Les lignes verticales indiquent les tensions pour lesquelles on trace les graphes d'Arrhenius.

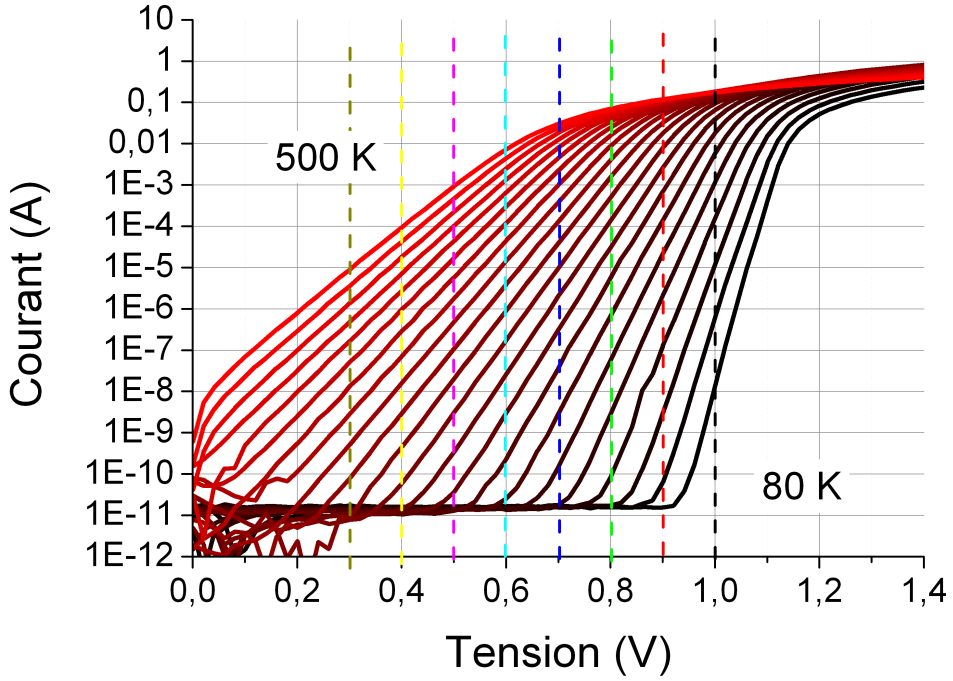
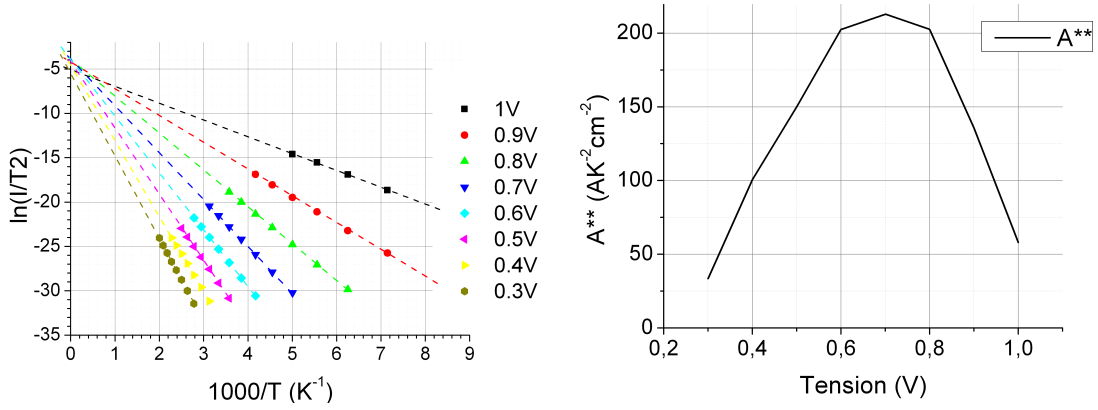


FIGURE 3.9 – Méthode d'extraction du coefficient de Richardson à partir de la caractéristique directe IVT d'une SBD SiC-4H commerciale.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 3.10 – Graphe d'Arrhenius (a) et évolution du coefficient de Richardson en fonction de la tension à laquelle on l'extrait.

Le graphe d'Arrhenius (fig. 3.10) montre que les droites n'ont pas la même ordonnée à l'origine. Or, si la barrière était homogène, elle ne varirait pas avec la température et l'on obtiendrait la même valeur pour le coefficient de Richardson, indépendamment de la tension[147, 148].

3.2 Modèle phénoménologique en régime direct

De nombreux travaux [149, 150, 151, 152] proposent des stratégies d'extraction de paramètres permettant, pour des cas particuliers et dans un domaine de validité donné, de caractériser des composants et d'en proposer une modélisation. Néanmoins, les cas étudiés sont souvent relativement stables et matures ou encore triviaux (double barrière) [153]. Le modèle phénoménologique que nous exposons ici nous permet de nous affranchir du caractère implicite de l'équation thermoïonique et met à notre disposition un jeu de paramètres pour ajuster le modèle.

3.2.1 Modèle multibranches

Le modèle proposé emploie l'approche multibranche, introduite au début de ce chapitre. La particularité de cette méthode est d'utiliser les propriétés de la fonction de Lambert pour obtenir une forme explicite de l'équation de Schottky ainsi que de spécifier le nombre de branches nécessaire à la modélisation à haute température (195°C).

3.2.1.1 Formalisation du modèle multibranche

La conduction en polarisation directe est indépendante entre les branches. Pour définir chaque branche du modèle de manière explicite, nous avons besoin d'exprimer l'équation thermoïonique en faisant intervenir les propriétés des fonctions de Lambert.

L'équation thermoïonique (2.1) peut être simplifiée en faisant disparaître le terme (-1) de la parenthèse. Cette approximation est d'autant plus vraie que $V >> 3kT/q$ soit en régime direct. Le résultat est donné par l'équation (3.5).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

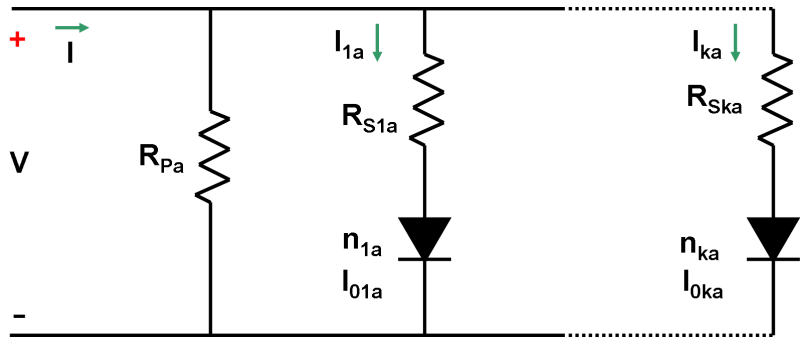


FIGURE 3.11 – Modèle multibranche de la diode Schottky défini par des paramètres phénoménologiques.

$$I_{TE} = I_S \exp\left(\frac{q(V - R_S I_{TE})}{n k_B T}\right) \tag{3.5}$$

Les termes faisant apparaitre le courant thermoïonique sont regroupés :

$$I_S \exp\left(\frac{qV}{n k_B T}\right) = I_{TE} \exp\left(\frac{q R_S I_{TE}}{n k_B T}\right) \tag{3.6}$$

Pour faire apparaitre la fonction de Lambert opérons un changement de variable :

$$w = \frac{q R_S I_{TE}}{n k_B T} \tag{3.7}$$

L'équation (3.6) devient alors :

$$w \exp(w) = \left(\frac{q R_S}{n k_B T}\right) I_S \exp\left(\frac{qV}{n k_B T}\right) \tag{3.8}$$

La propriété de la fonction W de Lambert nous permet d'exprimer w sous la forme suivante :

$$w = W_0\left[\left(\frac{q R_S}{n k_B T}\right) I_S \exp\left(\frac{qV}{n k_B T}\right)\right] \tag{3.9}$$

En substituant w dans l'équation (3.9), on peut alors exprimer le courant d'une branche par l'équation (3.10)

$$I_{TE} = \left(\frac{n k_B T}{q R_S}\right) W_0\left[\left(\frac{q R_S}{n k_B T}\right) I_S \exp\left(\frac{qV}{n k_B T}\right)\right] \tag{3.10}$$

De cette manière, nous pouvons exprimer le courant sous forme analytique ou numérique, en s'affranchissant des problèmes de convergence qui surgissent avec la forme implicite. Chaque branche du modèle est définie par des paramètres indépendants de ceux des autres branches. Le courant en polarisation directe est donné par l'équation (3.11), qui est la somme des courants de chaque branche.

$$I_{Total} = \sum_{i=1}^{k} I_{TE,i} = \sum_{i=1}^{k} \left(\frac{n_i k_B T}{q R_{S,i}}\right) W_0\left[\left(\frac{q R_{S,i}}{n_i k_B T}\right) I_{S,i} \exp\left(\frac{qV}{n_i k_B T}\right)\right] + \frac{V}{R_{PA}} \tag{3.11}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

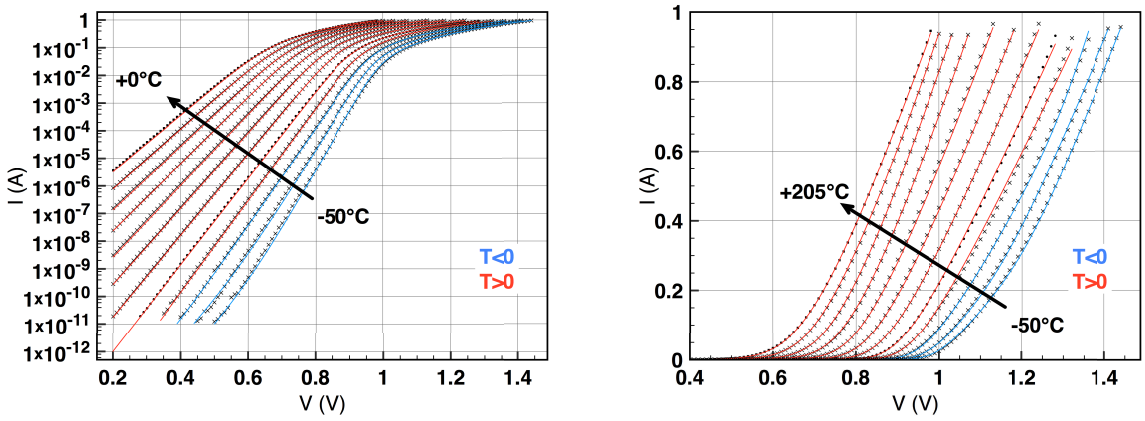
3.2.2 Composants à barrière fortement inhomogène

Les diodes à double barrière et les diodes à multibarrière font partie de cette catégorie de composants. Nous allons appliquer notre méthode uniquement à la diode multibarrière, étant donné qu'elle peut être considérée comme le cas générique. Nous l'appliquerons également sur une diode de référence considérée "idéale". La diode de référence est une diode Schottky tungstène de 4.4mm^2 expérimentale qui est développé par le CNM.

3.2.2.1 Résultats de la modélisation de la diode de référence

Le composant de référence a été caractérisé en température, puis la méthode d'extraction a été employée pour identifier le nombre de branches. Ensuite, nous avons déterminé les valeurs de paramètres permettant un ajustement satisfaisant. La plage de températures de caractérisation s'étend de -55 à +205°C avec un pas de 20°C et de 25°C respectivement, pour les températures négatives et positives. Pour toutes les températures positives, une seule branche permet de modéliser la caractéristique IVT alors qu'une contribution complémentaire est à ajouter pour les températures négatives de caractérisation (-10/-30/-50°C).

Le résultat de la modélisation sur l'ensemble de la gamme de températures est illustré dans la figure 3.12

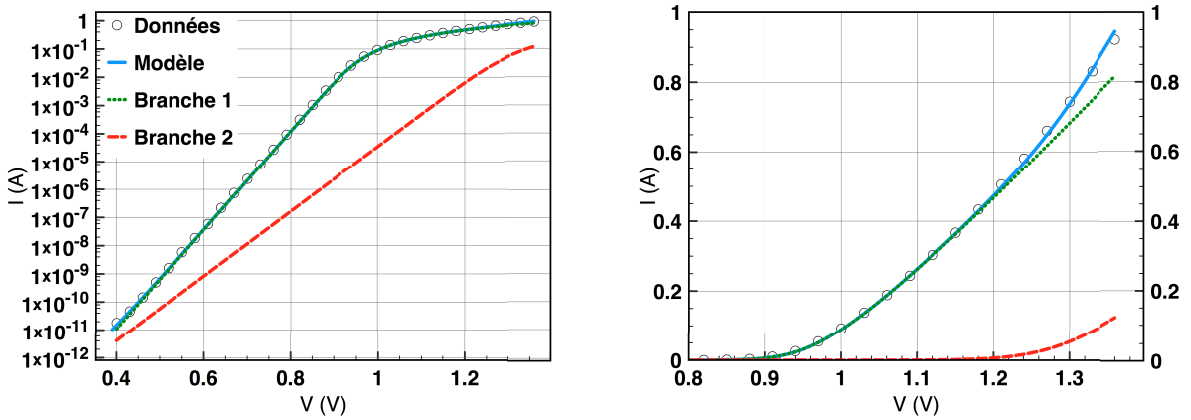


(a) Échelle log. (b) Échelle linéaire.

FIGURE 3.12 – Modélisation IVT de la diode de référence Schottky W/SiC-4H. En rouge sont affichées les températures positives et en bleu les négatives.

La contribution en courant non négligeable à très faible température est modélisée telle que représentée sur la figure 3.13. Par ailleurs, il est à noter que l'évolution en température du composant est typique d'un contact Schottky avec une résistance dynamique constante et une dérive en température de la tension de seuil. La diminution du facteur d'idéalité quand la température augmente et l'augmentation de la hauteur de barrière avec la température sont en accord avec la littérature [154].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

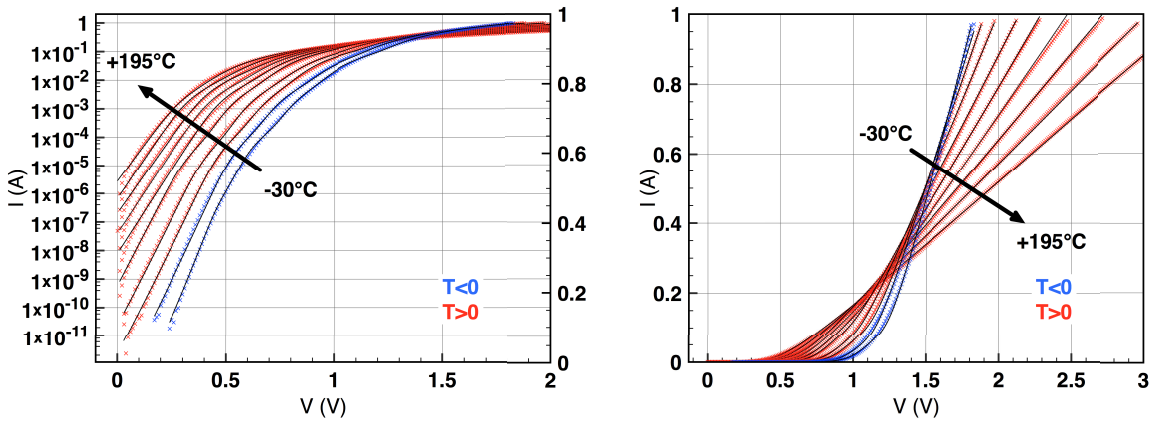


(a) Échelle log. (b) Échelle linéaire.

FIGURE 3.13 – Modélisation double branche du composant de référence Schottky W/SiC à basse température (-10°C).

3.2.2.2 Modélisation de la diode Schottky multibarrière

Un composant du Lot 3 du projet FilSiC est caractérisé en direct à différentes températures, puis modélisé par la méthode multibranches. Les résultats de caractérisation/modélisation sont exposés par la figure 3.14. C'est une diode Schottky de 4mm^2 dont le contact est formée par une pulverisation de titane suivie d'une pulverisation de nickel de même géométrie que les diodes du Lot 4. Un comportement atypique est observé en température, avec des points de concours des courbes permettant de relever des coefficients de température positifs puis négatifs de part et d'autre de ces points. Cette observation est corroborée dans la littérature pour des dispositifs similaires [155]. La diminution de la tension de seuil avec l'augmentation de la température est attribuée à l'augmentation de l'énergie thermique des électrons leur permettant, ainsi, le franchissement de la barrière Schottky à faible tension de polarisation. Comme nous pouvons le constater dans la litérature[156], l'implantation $P+$ en périphérie du composant peut amener un effet de polarisation latérale lié à la répartition bidimensionnelle des lignes de courant, engendrant ainsi une conduction plutôt bipolaire à très fort niveau de polarisation en direct.

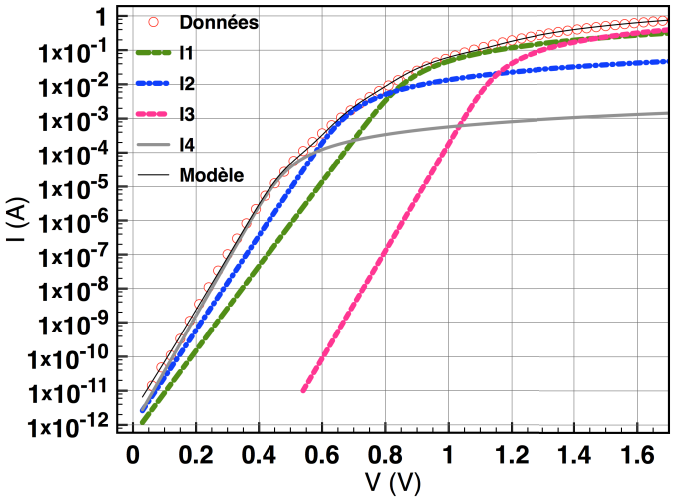


(a) Échelle log. (b) Échelle linéaire.

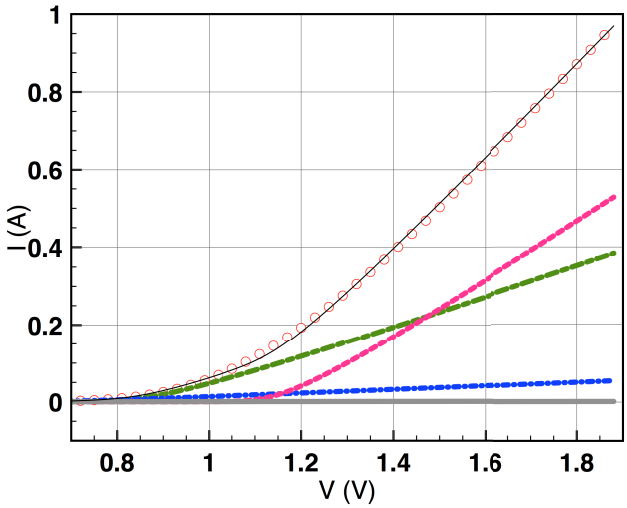
FIGURE 3.14 – Caractérisation et modélisation multibranche en température du composant d'étude.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Concernant la modélisation, deux branches rectifiantes sont efficaces à 195 °C, 170 °C et 145 °C. À 120 °C et 95 °C, une troisième branche s'avère nécessaire à la modélisation. Dès 70 °C, une quatrième branche vient compléter le modèle. Enfin, une cinquième branche est à adjoindre pour ajuster le modèle en dessous de -30°C. À titre d'illustration, la décomposition de la caractéristique IV à 20°C est donnée en échelles linéaire et semi-logarithmique en figure 3.15.



(a) Échelle log.

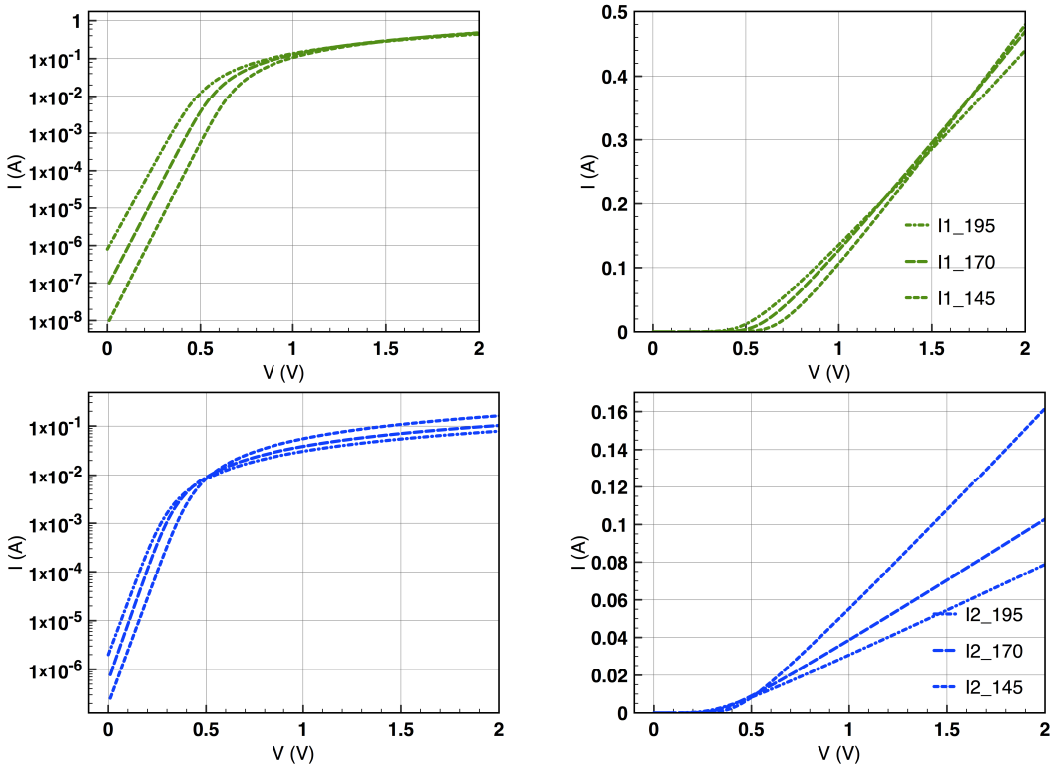


(b) Échelle linéaire.

FIGURE 3.15 – Modélisation multibranche à 20°C d'un composant d'étude.

Pour appréhender plus aisément l'évolution du modèle, une analyse des différentes branches, regroupées par rang, permet de jeter un regard nouveau sur le modèle décomposé (figure 3.16). Cependant, pour assurer une certaine cohérence, il convient de comparer les caractéristiques constituées d'un nombre identique de branches.

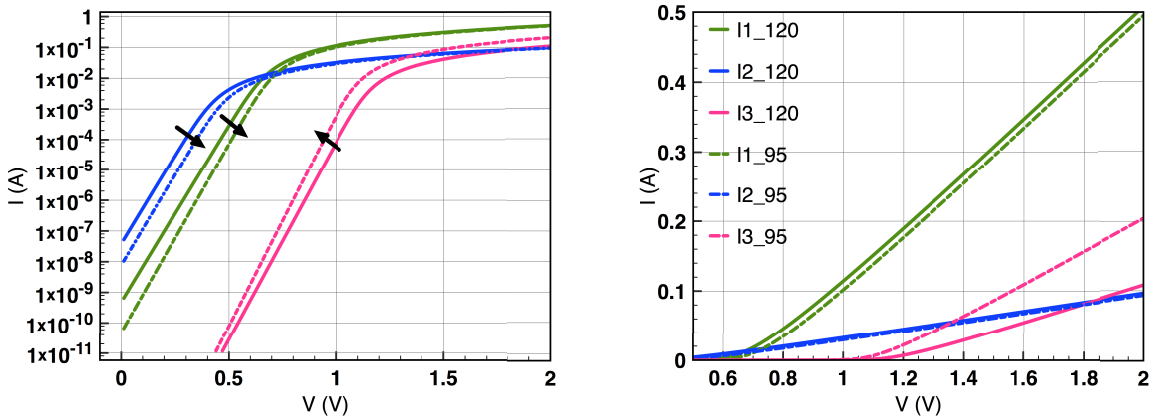
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) Échelle log. (b) Échelle linéaire.

FIGURE 3.16 – Branches 1 (en vert) et 2 (en bleu) dissociées du modèle double branche d'un composant d'étude Schottky Ni/SiC à 195°C, 170°C et 145°C.

Le cas du modèle triple branches est traité dans la figure 3.17. Alors que la contribution des branches 1 et 2 diminuent avec la température, celle de la troisième branche augmente. Parmi les trois paramètres qui évoluent avec la température, le facteur d'idéalité montre des caractéristiques intéressantes. On remarque que n est proche de l'unité pour un contact Schottky, n est proche de 2 pour une conduction bipolaire et n est supérieur ou égale à 3 en cas de défauts présents [157, 158, 127, 159] tels que dislocations ou autres.



(a) Échelle log. (b) Échelle linéaire.

FIGURE 3.17 – Branches 1, 2 et 3 dissociées du modèle triple branche d'un composant d'étude Schottky Ni/SiC à 120 °C et 95 °C.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

La figure 3.18 rend compte de l'évolution du facteur d'idéalité des différentes branches. Tous ces facteurs restent très proches de n=1, signe de conduction thermoïonique, même si à très faible température, n1 tend vers 2. Ceci est cohérent avec une diode Schottky pure présentant une conduction bipolaire via le "field stopper".

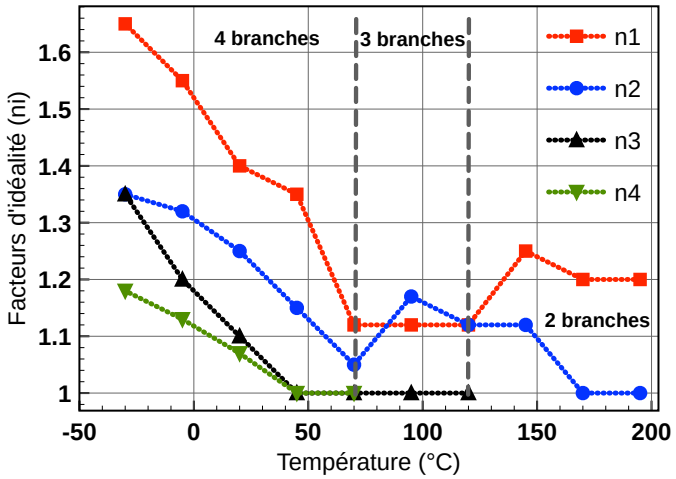


FIGURE 3.18 – Évolution du facteur d'idéalité de chaque branche. Branches 1, 2 et 3 dissociées du modèle triple branches d'un composant d'étude Schottky Ni/SiC à 120 °C et 95°C.

Néanmoins, cette modélisation ne s'appuie pas sur une description physique du composant. Les constatations sur le coefficient d'idéalité et le nombre de branches nécessaires à modéliser notre diode sont à titre indicatif. Cette technique permet de modéliser aisément une diode Schottky à partir de ses caractéristiques électriques. C'est d'ailleurs ce type de modèles qui sont utilisés dans les simulateurs de type SPICE.

3.3 Modélisation de la diode Schottky SiC "idéale"

Cette partie du chapitre sera consacrée à la modélisation physique de la diode Schottky et JBS. Les modèles existants seront passés en revue et enrichis sur la base des constatations expérimentales. Un modèle phénoménologique en régime direct ainsi qu'un modèle en régime inverse, modélisant le composant sur une plage étendue de températures, seront présentés. Ils ont comme objectif d'apporter des réponses quant aux biais que possèdent les modèles actuels, à basse température.

3.3.1 Modèles existants

Parmi la multitude de modèles qui existent pour le contact Schottky en régime direct, le modèle de Werner et le modèle de Tung ont été choisis en raison de leur récurrence. Néanmoins, si ces modèles ont été utilisés fréquemment dans la littérature pour expliquer l'inhomogénéité du contact Schottky et pour le modéliser en régime direct, leur recours pour traiter le régime inverse sur une gamme de températures étendue est inexistant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

3.3.1.1 Modèle de Werner

Le modèle proposé par Werner et Güttler [149] permet de décrire les variations du coefficient d'idéalité en fonction de la température. L'hypothèse de départ est de considérer le contact Schottky inhomogène comme une multitude de zones de hauteurs de barrière différentes autour d'une valeur moyenne.

La fonction probabilité de la hauteur de barrière est donnée par l'équation (3.12). Il s'agit d'une distribution Gaussienne, de valeur moyenne $\overline{\Phi_{B,n}}$ et de variance σ^2.

$$P(\Phi_{B,n}) = \frac{1}{\sigma\sqrt{2\pi}} \exp \frac{-(\overline{\Phi_{B,n}} - \Phi_{B,n})^2}{2\sigma^2} \tag{3.12}$$

Le courant en fonction de la tension s'exprime alors par l'équation (3.13)

$$I(V) = \int i(V, \Phi_{B,n}) P(\Phi_{B,n}) d\Phi_{B,n} \tag{3.13}$$

où $i(V, \Phi_{B,n})$ est l'équation thermoïonique pour une hauteur de barrière donnée. L'intégration nous donne l'équation du courant thermoïonique, où la hauteur de barrière est exprimée en fonction de la hauteur de barrière moyenne, de la variance et de la température. Elle est exprimée par l'équation (3.14)

$$\Phi_{B,n}(T) = \overline{\Phi_{B,n}} - \frac{q\sigma^2}{2kT} \tag{3.14}$$

La dernière équation ne fait pas intervenir la tension, or il a été démontré [149] que l'amplitude de variation du coefficient d'idéalité ne peut être justifiée ni par la présence d'oxydes de l'interface métal/semiconducteur [160, 161, 162], ni par la conduction tunnel dans les semiconducteurs fortement dopés [163], ni par l'abaissement de la hauteur de barrière par force image [164] et ni par génération/recombinaison [165]. Le seul mécanisme qui expliquerait une telle variation serait la dépendance de la hauteur de la barrière avec la tension. La conduction est alors exprimée par l'équation (3.15) :

$$I = SA^{**}T^2 \exp\left[\frac{-q\Phi_{B,n}(V,T)}{kT}\right] \exp\left[\frac{q(V - RI)}{kT}\right] \tag{3.15}$$

Alors, si nous l'associons à l'équation (2.1), nous pouvons établir la dépendance du coefficient d'idéalité. Le résultat est donné par l'équation (3.16)

$$n^{-1} - 1 = -\frac{\overline{\Phi_{B,n}}(V,T) - \overline{\Phi^0_{B,n}}}{V} + \frac{q(\sigma^2(V) - \sigma_0^2)}{2kTV} \tag{3.16}$$

où $\overline{\Phi^0_{B,n}}$ représente la hauteur de barrière moyenne et σ_0 la variance à 0 V.

Si nous fixons la tension, alors l'équation précédente devient :

$$n^{-1} - 1 = -\rho_2 + \frac{\rho_3}{2kT/q} \tag{3.17}$$

Si l'on compare le modèle de Werner avec les mesures réalisées sur les 4 diodes présentées dans le tableau 2.5 du second chapitre, nous remarquerons que sur du SiC-4H le modèle reste valide. Néanmoins, il faut prendre les précautions nécessaires pour extraire les données à tension fixe. Ainsi, nous avons extrait les paramètres ρ_2 et ρ_3 du modèle de Werner pour les composants analysés précédemment[149]. Nous pouvons voir ces résultats dans le tableau 3.2 et nous avons

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

tracé le facteur d'idéalité en fonction de l'inverse de la température, pour les valeurs mesurées et modélisées par le modèle de Werner dans la figure 3.19.

Référence	Métal	Type	ρ_2	ρ_3(mV)	Couleur fig. 3.19
A	W	JBS	−0.15	−9.8	Noire
B	W	JBS	−0.05	−4.8	Rouge
C	Ti/Ni	JBS	−0.04	−5.8	Bleue
D	Ni	JBS	−0.004	−10	Verte

TABLE 3.2 – Valeurs des paramétres du modèle de Werner utilisées sur les diodes JBS en SiC.

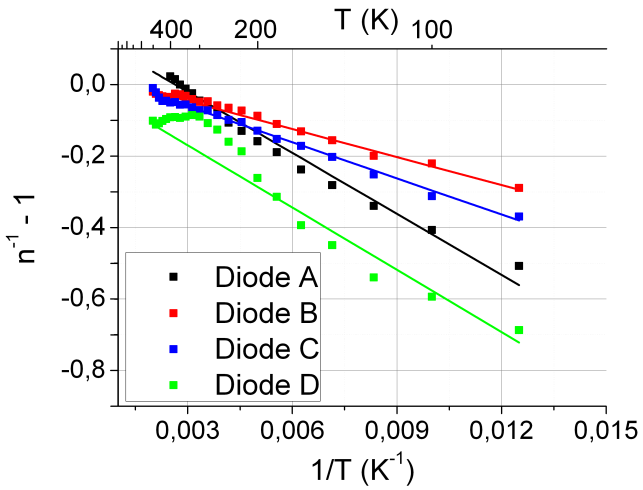


FIGURE 3.19 – Modélisation par la méthode Werner-Güttler de 4 diodes JBS sur du SiC-4H de type n.

Si nous nous référons à la figure 3.19, nous remarquerons que sur la diode D, la valeur du facteur d'idéalité diffère beaucoup de la valeur prédite par le modèle. Le problème vient principalement de l'impossibilité d'extraire les valeurs à tension fixe. Cette diode est trop résistive pour que l'on puisse procéder à l'extraction des paramètres physiques, à tension fixe, sur une si grande plage de températures.

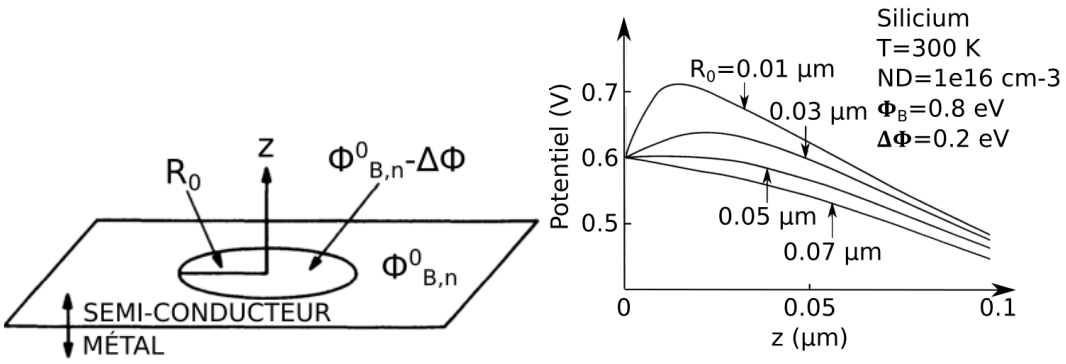
3.3.1.2 Modèle de Tung

Tung a proposé un modèle [144, 55, 56] qui tient compte de l'interaction existant entre les différentes zones de hauteurs de barrière dans un contact Schottky inhomogène. Son modèle s'appuie sur l'existence de l'effet de pincement qui existe quand deux contacts de hauteurs de barrière différentes sont proches. Cet effet a été démontré par la simulation éléments finis [166].

Le modèle de Tung permet de calculer le potentiel minimum de la bande de conduction par rapport au niveau de Fermi du semiconducteur. Dans le cas d'une barrière inhomogène, le minimum de la bande de conduction est rehaussé du côté du contact présentant une hauteur de barrière basse. À titre d'exemple, la figure 3.20 montre la simulation d'une diode en silicium

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

dopé à 10^{16} cm^{-3} de type n. Le contact Schottky est constitué de deux barrières : une de 0.8 eV, qui constitue approximativement 99% de la surface du contact et une autre de 0.6 eV de rayon R_0.



(a) (b)

FIGURE 3.20 – La forme et les dimensions du contact Schottky de barrière basse influent sur l'effet de pincement (a). Simulation analytique du potentiel minimum de la bande de conduction d'une zone de barrière basse de rayon R_0 et de hauteur de barrière de 0.6 eV entourée d'un contact Schottky de 0.8 eV (b) [144].

Pour calculer le potentiel minimum de la bande de conduction en fonction de la profondeur du semiconducteur, il propose l'équation (3.18)

$$V(0,z) = V_{CB}\left(1-\frac{z}{W}\right)^2 + V_n + V + \Delta\Phi_B\left(1-\frac{z}{\sqrt{z^2+R_0^2}}\right) \tag{3.18}$$

où,

$$V_{CB} = \Phi_{B,n} - V_n - V \tag{3.19}$$

$$V_n = \frac{kT}{q}\ln\left(\frac{N_C}{N_D}\right) \tag{3.20}$$

$$\Delta\Phi_{B,n} = \Phi_{B,n}^{haute} - \Phi_{B,n}^{basse} \tag{3.21}$$

et

$$W = \sqrt{\frac{2\epsilon_S V_{CB}}{qN_D}} \tag{3.22}$$

La condition nécessaire pour qu'il y ait une interaction perceptible entre les zones de différentes barrières est exprimée par la relation (3.23) :

$$\frac{\Delta\Phi_{B,n}}{V_{CB}} > \frac{2R_0}{W} \tag{3.23}$$

En se basant sur ces équations, il propose un modèle pour le régime de polarisation directe, où le courant est exprimé comme une somme de contributions de zones d'une hauteur de barrière apparente. Ce calcul donne des résultats satisfaisants en simulation numérique, mais néglige la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

réalité de fabrication où il y a toujours un certain degré d'inhomogénéité du contact Schottky. La proposition la plus simple est de supposer que les hauteurs de barrière sont distribuées selon une gaussienne. La valeur effective de la hauteur de barrière est alors exprimée par l'équation (3.24) :

$$\Phi_{EFF} = \Phi_{B,n}^{00} - \frac{q\sigma^2 V_{CB}^{2/3}}{2\eta^{2/3} k_B T} \tag{3.24}$$

où, $\Phi_{B,n}^{00}$ est la valeur de la hauteur de barrière haute, σ la variance de la hauteur de barrière et $\eta = \epsilon_S / qN_D$. La valeur du coefficient d'idéalité peut alors être exprimé comme suit :

$$n_{EFF} = 1 + \frac{q\sigma^2}{3\eta^{2/3} V_{CB}^{1/3} k_B T} \tag{3.25}$$

L'application de ce modèle sur une diode JBS SiC-4H de type n (surface = 1 mm^2, dopage = 10^{15} cm^{-3}, hauteur de barrière à 300 K $\Phi_{B,n} = 1.35$ eV, distribution de barrières basses $\sigma = 3.5 \times 10^{-4}$ cm$^{2/3}$ V$^{1/3}$, taille d'un patch $\gamma = 10^{-4}$ cm$^{2/3}$ V$^{1/3}$, concentration des patchs $c_1 = 10^{10}$ cm^{-2}) décrit bien le comportement entre 300 K et 500 K de la diode polarisée en direct. Si nous souhaitions modéliser l'influence de la température de la diode dans une gamme plus étendue, il faudrait réajuster les paramètres du modèle en fonction de celle-ci. Le résultat de la modélisation est illustré dans le figure 3.21.

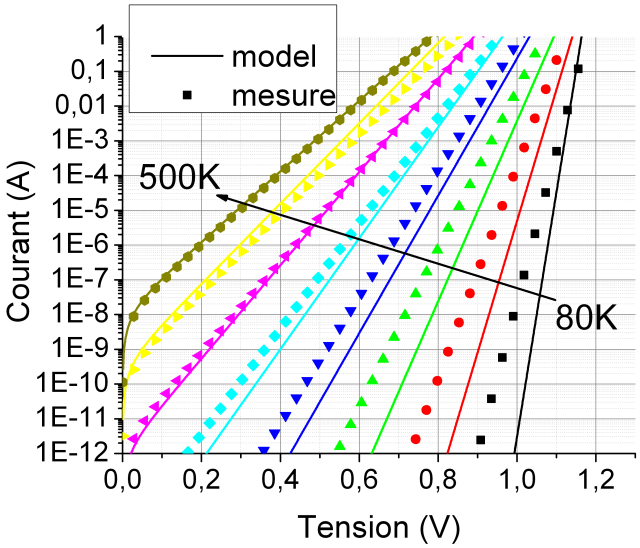


FIGURE 3.21 – Modélisation d'une diode JBS SiC-4H commerciale par le modèle de Tung à différentes températures entre 80 et 500 K avec les paramètres suivants : $N_C = 1 \times 10^{15}$cm^{-3}, $\Phi_{B,n} = 1.35$eV, $\sigma = 3.5 \times 10^{-4}cm^{2/3}V^{1/3}$, $\gamma = 1 \times 10^{-4}cm^{2/3}V^{1/3}$ et une concentration $c_1 = 1 \times 10^{10}$cm^{-2}.

3.3.2 Modèle phénoménologique des paramètres physiques de la barrière

Les deux modèles présentés ne concernent que le régime direct de la diode Schottky/JBS. L'accent a été mis principalement sur l'interaction des zones de hauteur de barrière différentes dans un contact Schottky inhomogène, ainsi que sur l'explication des différences entre les mesures

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

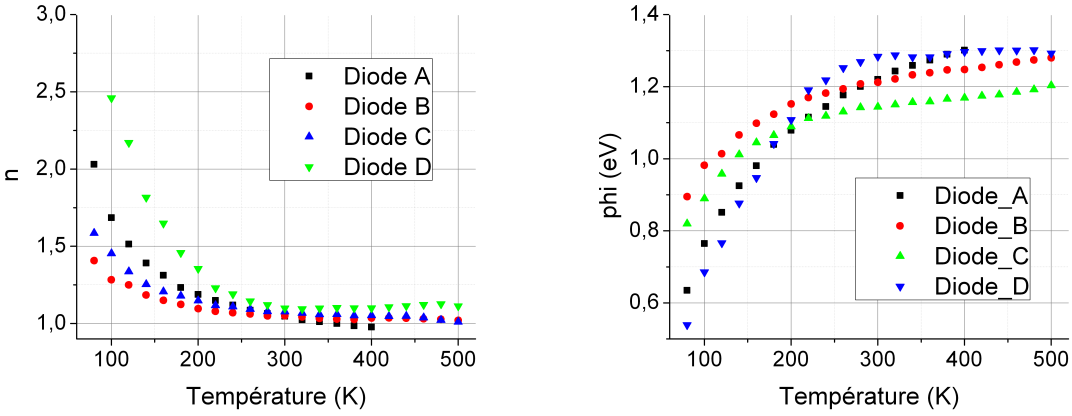
IV et CV. Concernant le régime inverse, ces deux modèles n'ont été appliqués que dans un domaine de température restreint.

3.3.2.1 Régime direct

Les inhomogénéités de contact sur les diode Schottky peuvent être de différente natures. On peut avoir :

- une double barrière
- une multibarrière
- un contact partiellement ohmique
- une barrière "idéale" en apparence

Le dernier cas est le plus intéressant, car il est en apparence homogène mais difficile à modéliser par la théorie thermoïonique. Rappelons dans la figure 3.22 la variation du coefficient d'idéalité et de la hauteur de barrière des diodes caractérisées dans le second chapitre.



(a) (b)

FIGURE 3.22 – Évolution du facteur d'idéalité (a) et de la hauteur de barrière apparente (b) de diodes JBS, en fonction de la température.

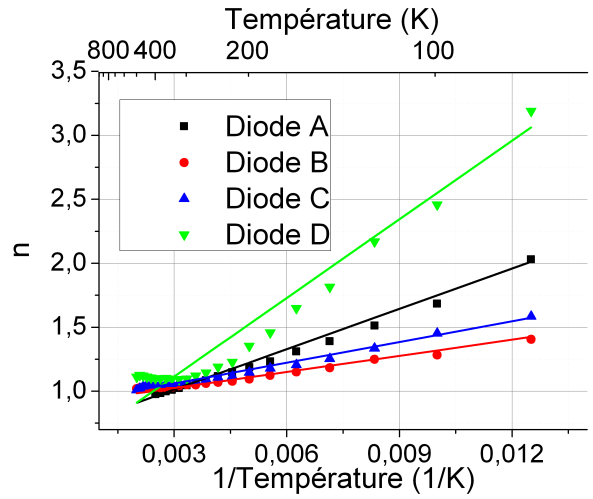
Les deux paramètres ont une tendance similaire pour chacune des diodes indifféremment de la technologie. Si nous nous fondons sur cette observation, ainsi que sur l'absence de double barrière (même à faible température), nous pouvons supposer que la hauteur de barrière est une distribution gaussienne. Le tracé des deux paramètres dépend linéairement de l'inverse de la température. Nous pouvons alors les modéliser comme suit :

$$n(T) = n_0 + \frac{a}{T} \tag{3.26}$$

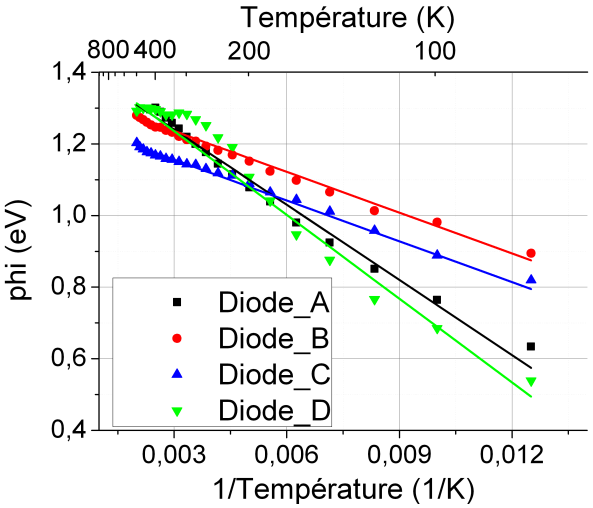
$$\Phi_{B,n}(T) = \Phi_0 - \frac{b}{T} \tag{3.27}$$

Les dimensions de a et b sont respectivement K et $\mathrm{eV} \cdot \mathrm{K}$. Comme nous remarquerons dans la figure 3.23, le modèle et les valeurs extraites des mesures sont en accord, excepté la diode D, où nous ne pouvons procéder à l'extraction, à tension fixe.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a)



(b)

FIGURE 3.23 – Comparaison modèle/mesure pour le coefficient d'idéalité (a) et la hauteur de barrière (b).

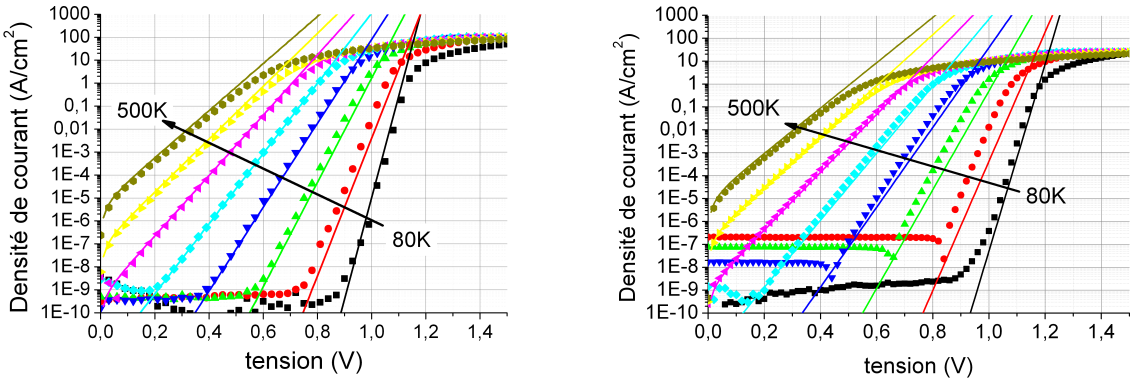
Les valeurs des paramètres du modèle ainsi que des données sur la technologie des diodes sont résumées dans le tableau 3.3.

Référence	Métal	Type	n_0	a(K)	Φ_0(eV)	b(eV K)
A	W	JBS	0.7	105	1.45	70
B	?	JBS	0.9	39	1.35	38
C	Ti/Ni	JBS	0.92	50	1.32	37
D	Ni	JBS	0.5	205	1.47	78

TABLE 3.3 – Valeur des paramètres du modèle proposé pour le régime direct des diodes JBS en SiC.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Après avoir établi la dépendance des deux paramètres en fonction de la température, nous pouvons les réinjecter dans l'équation thermoïonique (2.1) en polarisation directe pour valider notre modèle.



(a) (b)

FIGURE 3.24 – Superposition du modèle avec les valeurs extraites des mesures pour la diode B (a) et la diode C (b).

Pour ces deux diodes expérimentales, le modèle se superpose à la mesure sur quasiment toute la gamme des températures. Il faut nécessairement tester la validité de ce modèle sur la caractéristique inverse de ces composants et faire des ajustements, s'il y a lieu.

3.3.2.2 Régime inverse

Nous avons montré que la caractéristique inverse d'une diode Schottky/JBS est également impactée par l'inhomogénéité du contact. Comme l'illustre la figure 3.25, l'impact se manifeste par des courants de fuite plus élevés à basse température qu'à température ambiante.

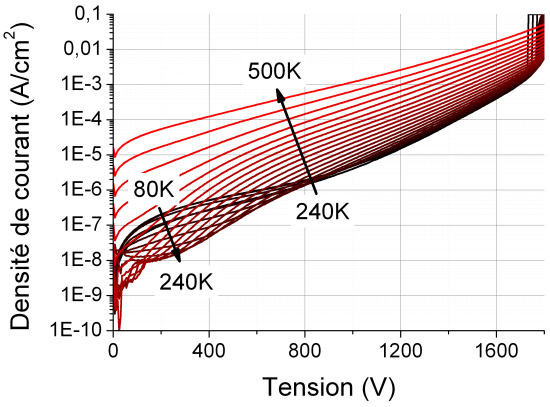


FIGURE 3.25 – Caractéristique inverse de la diode B.

La figure 3.26 représente la modélisation en inverse si l'on utilise le modèle classique de la barrière donné par l'équation (2.1). Dans ce cas, il s'agit de la modélisation d'une diode JBS

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

SiC-4H homogène, dont la barrière est exprimée par l'équation (1.9). On voit que les courants de fuite ne font qu'augmenter avec la température.

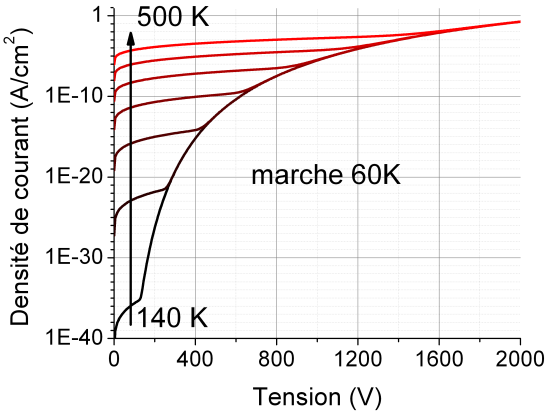
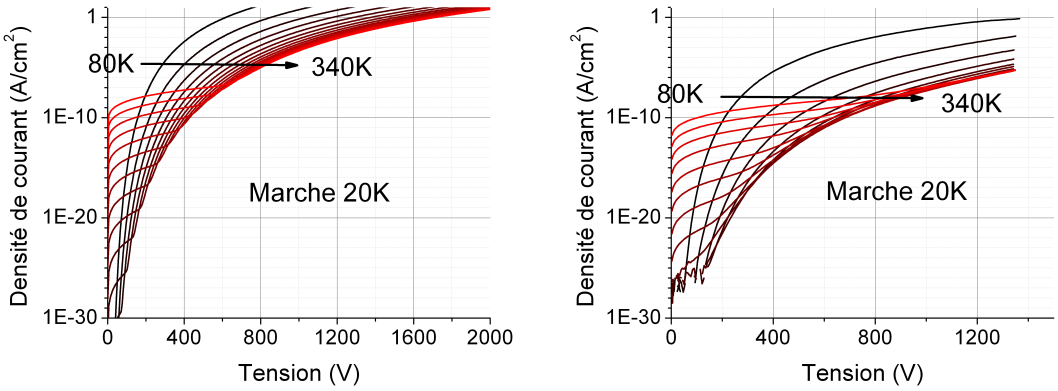


FIGURE 3.26 – Modélisation d'une diode idéale JBS SiC en polarisation inverse avec les paramètres suivants : $\Phi_{B,n} = 1.35\text{eV}$, $N_C = 1 \times 10^{16}\text{cm}^{-3}$.

En se basant sur les valeurs de hauteur de barrière extraites depuis les caractéristiques IV en direct, nous pouvons tenter de modéliser le régime inverse pour obtenir le chevauchement des courants à basse température. Pour cela, on utilise les équations du courant thermoïonique et du courant tunnel. Nous supposons aussi une hauteur de barrière dépendante de la température, exprimée par l'équation (3.27). Le résultat est encourageant étant donné que nous obtenons une tendance des courants de fuites s'inversant entre 80 K et 260 K. Avec la modification de la hauteur de barrière, la probabilité qu'ont les électrons de passer par effet tunnel, à travers celle-ci, augmente. Par conséquent le courant de fuites à 80 K augmente très rapidement.



(a) (b)

FIGURE 3.27 – Modélisation d'une diode idéale JBS SiC en polarisation inverse avec les paramètres suivants, $\Phi_{B,n} = 1.35 - (40/T)$, $N_C = 1 \times 10^{16}\text{cm}^{-3}$ (a), simulation par éléments finis (b).

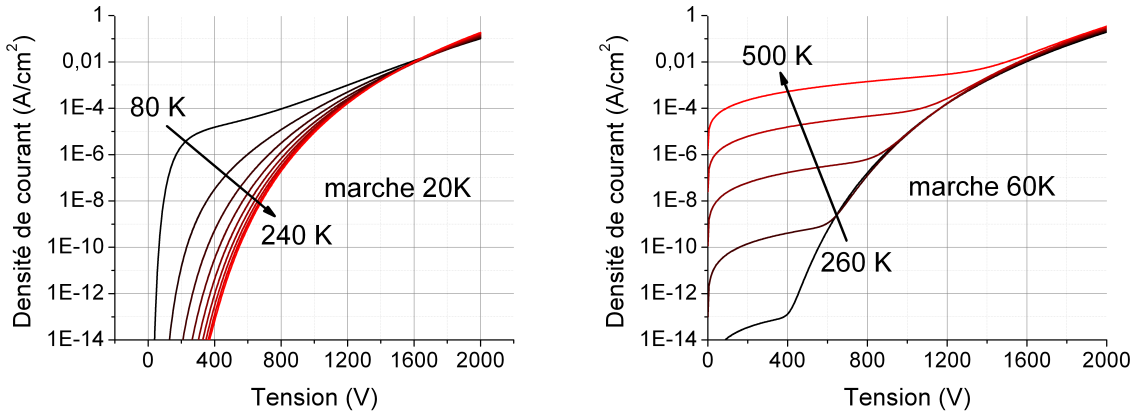
La limite de ce modèle est qu'il ne tient pas compte de la variation de hauteur de barrière avec la tension. En direct nous n'avons pas ce problème car la tension appliquée est très faible

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

comparée à la tension inverse. Or, si l'on observe la caractéristique inverse de la diode B en figure 3.25, la hauteur de barrière est faible à basse température et faible tension, mais augmente à plus haute tension. Au-delà d'un certain seuil, elle est pleinement rétablie.

Si l'on se réfère aux deux modèles existants, la barrière est constituée d'une multitude de zones qui interagissent entre elles en fonction de la température et de la tension. Ici, nous proposons une démarche qui vise à rendre compte de ce comportement par un modèle phénoménologique. Il s'agit de modifier l'équation (3.27) pour obtenir une expression pertinente de la hauteur de barrière qui modélise le comportement en inverse. Pour ce faire, il faut que l'effet de l'abaissement de la barrière dû à l'inhomogénéité diminue avec l'augmentation de la tension. Ainsi, nous proposons l'équation permettant de modéliser la diode Schottky/JBS SiC en inverse telle que le présente la figure 3.28.

$$\Phi_{B,n}(T,V) = \Phi_0 - \frac{a}{T}\exp\left(b\frac{q(c-V)}{k_B(d+T)}\right) - \sqrt{\frac{q\xi}{4\pi\epsilon}} \tag{3.28}$$



(a) (b)

FIGURE 3.28 – Modèle en régime inverse de la diode JBS sur SiC. Températures de 80 K à 240 K (a) et 260 K à 500 K (b).

Ainsi, nous obtenons une décroissance du courant pour de basses températures allant de 80 K à 260 K puis son augmentation entre 260 K et 500 K. L'évolution de la hauteur de barrière, telle que modélisée par l'équation (3.28), est donnée dans la figure 3.29.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

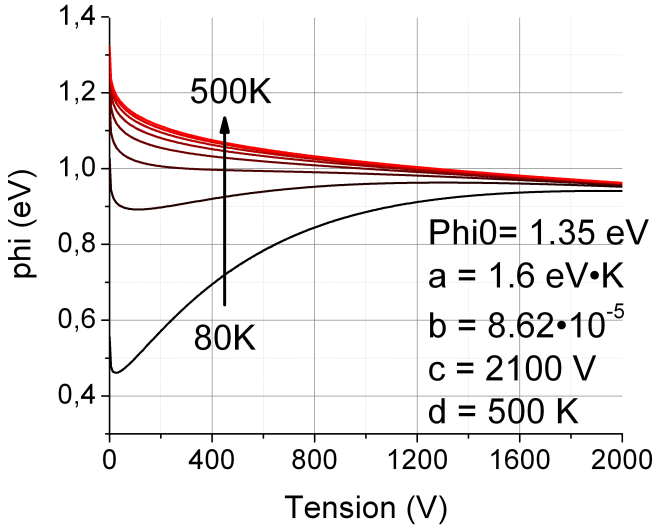


FIGURE 3.29 – Résultat de la modélisation de la hauteur de barrière en fonction de la température et de la tension.

Cette tentative de modélisation montre la nécessité de prendre en compte la dépendance de la hauteur de barrière en fonction de la température et de la tension, mais ne reproduit pas précisément les valeurs mesurées. L'ionisation partielle agit sur la courbure des bandes énergétiques du semiconducteur et, en conséquence, sur la probabilité des électrons de franchir la barrière par effet tunnel. Cette piste mérite d'être explorée en vue d'améliorer la modélisation en régime inverse.

3.4 Conclusions

Dans ce chapitre, nous avons analysé l'inhomogénéité du contact Schottky. Nous en avons conclu que les différentes théories existantes ne permettent pas de modéliser complètement ce phénomène et particulièrement en blocage ou à basse température. Des lacunes importantes existent concernant l'application de ces théories sur des semiconducteurs grand gap et notamment dans la prise en compte de l'ionisation partielle dans les équations.

Un modèle générique de la diode a été proposé pour le régime direct. Il nous permet de décrire son comportement sur une très large gamme de températures en employant une démarche systématique de plusieurs diodes en parallèle. Sa simplicité d'implémentation permet de l'intégrer aisément dans les outils de simulation de type SPICE.

Un modèle empirique est proposé pour le régime direct d'une Schottky/JBS en SiC. Il imite des modèles existants pour décrire le comportement d'une diode Schottky dans une très large gamme de températures, en prenant en compte la variation de la hauteur de barrière.

Un modèle en régime inverse a été suggéré avec l'objectif de décrire le comportement anormal à basse température mis en évidence dans le chapitre précédent. Ce modèle tient compte de la variation de la hauteur de barrière avec la température et la tension appliquées. Bien que l'on ne parvienne pas à le superposer à la mesure, il met en évidence le rôle majeur de la variation de la hauteur de barrière avec la température et la tension. La ionisation partielle des porteurs à basse température est une piste à explorer pour modéliser ce phénomène.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Chapitre 4

Mesures en surcharge des diodes FilSiC

Sommaire

4.1 Description de l'expérience 121
4.1.1 Objectifs 121
4.1.2 Protocole de mesure 122
4.1.3 Extraction des paramètres physiques 124
4.2 Modélisation électrothermique 125
4.2.1 Modèle électrique en direct 125
4.2.2 Modèle thermique 127
4.2.3 Modèle électrothermique 130
4.2.4 Application du modèle à la mesure en surcharge 132
4.3 Caractérisation des diodes FilSiC et la diode commerciale 132
4.3.1 Évolution de la caractéristique de la diode 132
4.3.2 Évaluation de la robustesse des composants caractérisés 142
4.4 Conclusions 143

4.1 Description de l'expérience

4.1.1 Objectifs

L'objectif principal de l'expérience est d'observer l'évolution des paramètres physiques de la diode Schottky/JBS lorsqu'elle est soumise à des cycles de surcharge en courant. De cette manière, nous allons observer la robustesse des diodes SiC face à une situation anormale.

Pendant le cyclage on suit l'évolution des paramètres suivants :

- la tension de seuil (V_S)
- la résistivité à l'état passant (R_{on})
- le coefficient d'idéalité (n)
- la hauteur de barrière ($\Phi_{B,n}$)
- la tension de blocage (V_R)

En établissant un modèle électrothermique de la diode, nous allons remonter à la température du contact Schottky pour discuter de l'impact sur les autres paramètres.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.1.2 Protocole de mesure

4.1.2.1 Échantillons caractérisés

Dans le cadre du projet FilSiC, plusieurs diodes venant du lot 4 furent mises en boîtiers Kyocera TO-257 par le Cirtem. Un schéma de la vue en coupe est reporté dans la figure 4.1. L'encapsulation est réalisée par brasure de la face arrière du composant sur la semelle isolée du boîtier tandis qur le contact Schottky en face avant est relié au terminal de l'anode par 2 fils de bonding. Le terminal de l'anode est relié à la semelle par soudure. L'isolation électrique est réalisée par gel et l'ensemble est fermé hermétiquement par le capot du boîtier.

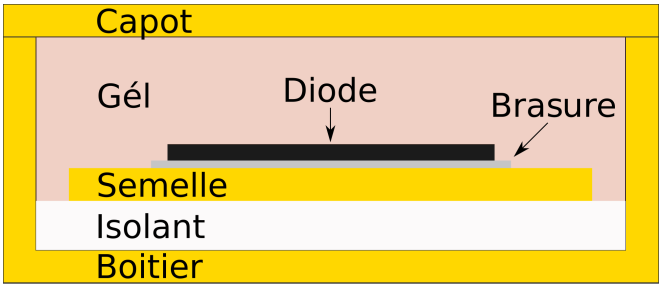


FIGURE 4.1 – Représentation en coupe d'une diode mise en boîtier par le Cirtem.

Plusieurs diodes venant des plaques 1 et 3 du lot 4 du projet FilSiC ont été testées, ainsi qu'une diode commercialement disponible. La dénomination utilisée lors de la mise en boîtier ne nous permet pas de savoir si les diodes du projet sont des diodes Schottky ou JBS. Les composants caractérisés ainsi que leurs paramètres physiques avant le test sont répertoriés dans le tableau suivant.

Référence	V_S(V)	R(mΩ cm^2)	n	$\Phi_{B,n}$(eV)	V_R(V)@1nA	I_{Pic}(A)
AJ2	1.0	36	1.05	1.18	695	20
HL3	0.86	35.7	1.05	1.21	905	20
HL6	0.88	42	1.04	1.24	1110	10
HL8	0.9	31	1.04	1.26	-	10
HL11	0.85	43.7	1.05	1.19	905	24
HL12	0.87	43	1.05	1.21	900	24
HL14	0.87	64	1.04	1.22	935	22.5
B - réf.	0.9	20	1.015	1.28	590	27.5

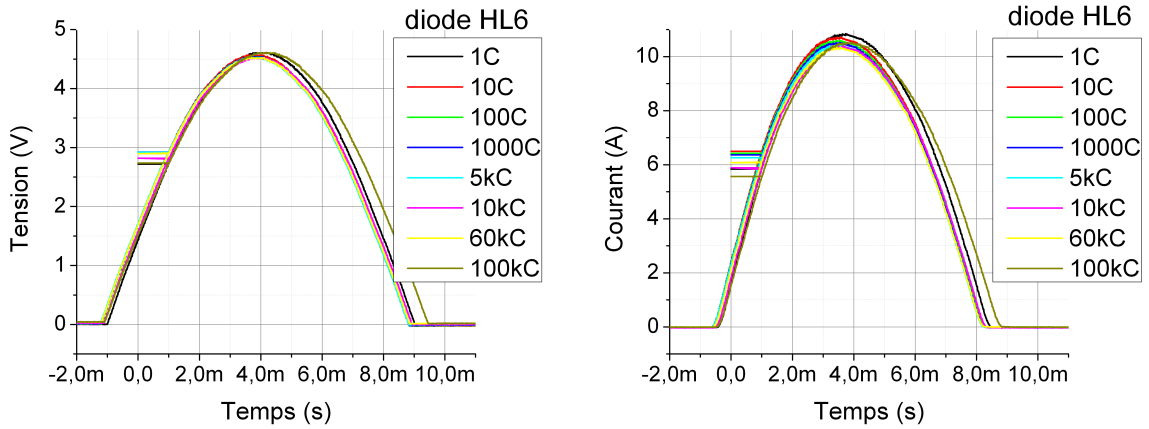
TABLE 4.1 – Valeurs des paramètres physiques de composants avant le test, ainsi que la valeur crête du demi-sinus de courant (I_{Pic}).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.1.2.2 Description du banc expérimental

Le banc expérimental est un circuit capable de délivrer de manière périodique des demi-sinusoïdes de tension positive. L'amplitude est contrôlée pour soumettre le composant testé à un niveau de tension voulu. L'amplitude maximale du courant que les composants subissent figure dans la colonne de droite du tableau 4.1.

La période d'un cycle est de 2s et est divisée en deux parties. Pendant la première partie, nous appliquons une demi-sinusoïde de tension d'une durée de 10ms de manière à simuler le fonctionnement d'une diode dans un circuit d'alimentation 50 Hz, constitué de larges capacités de filtrage déchargées. Ceci constitue un vieillissement de type opérationnel car il est caractéristique d'un fonctionnement rencontré lors de l'utilisation du composant dans son application réelle. Le reste du temps, la tension à ses bornes est de 0 V pour dissiper la puissance thermique générée lors de l'impulsion. À titre d'exemple, la figure 4.2 montre les formes d'onde appliquées au composant testé en fonction du temps. La figure 4.3 décrit la caractéristique directe de la diode pendant le cycle.



(a) (b)

FIGURE 4.2 – Formes d'onde de la tension (a) et du courant (b), mesurées en fonction du temps.

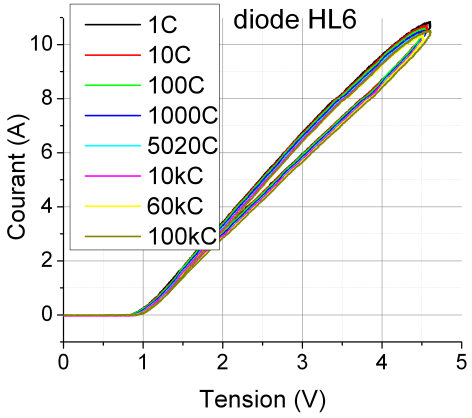


FIGURE 4.3 – Caractéristique directe de la diode pendant le cyclage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.1.3 Extraction des paramètres physiques

Comme il a été spécifié dans les objectifs de ce chapitre, nous nous intéressons à l'évolution des paramètres physiques et allons spécifier les critères employés afin de définir la méthode d'extraction.

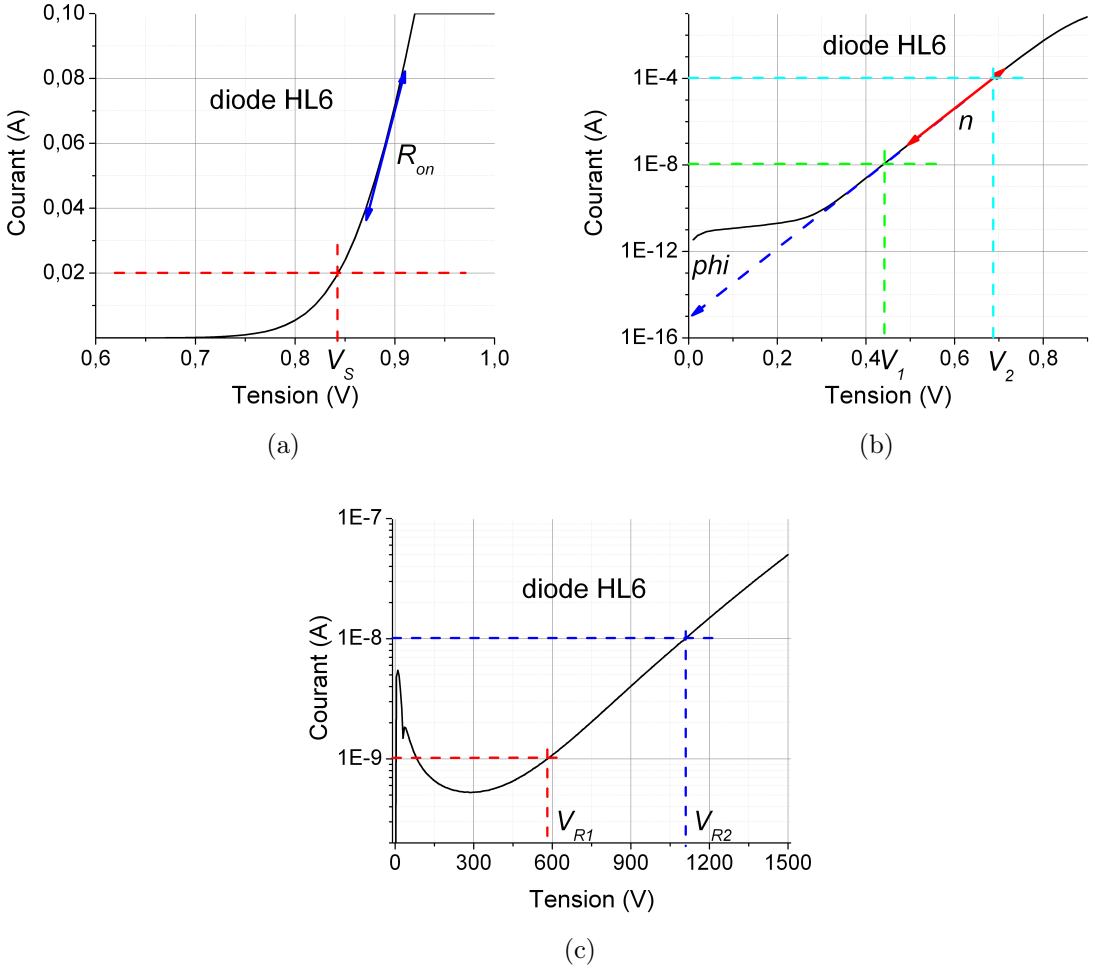


FIGURE 4.4 – Technique utilisée pour l'extraction des paramètres telles que la résistivité et la tension de seuil (a). La hauteur de la barrière Schottky et le coefficient d'idéalité (b). La tension de blocage à un niveau de courant (c).

La tension de seuil de conduction de la diode a été définie comme la tension pour laquelle la diode conduit 50 mA. Il peut être également intéressant d'observer la tension en-dessous du seuil. Nous avons choisi de nous intéresser à la tension pour deux niveaux de courant ; 100 µA et 1 nA. Quant à la résistivité du composant, elle est extraite entre 20 mA et 100 mA. Pour la hauteur de barrière et le coefficient d'idéalité, l'extraction s'effectue entre 10 nA et 100 µA. La valeur de la tension inverse à été relevée pour deux valeurs de courant : 1 nA pour V_{R1} et 10 nA pour V_{R2}. La figure 4.4 donne un exemple d'extraction des différents paramètres.

Un autre paramètre très important, auquel nous n'avons pas accès par la mesure, est la température du composant à l'intérieur du boîtier, plus particulièrement la température du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

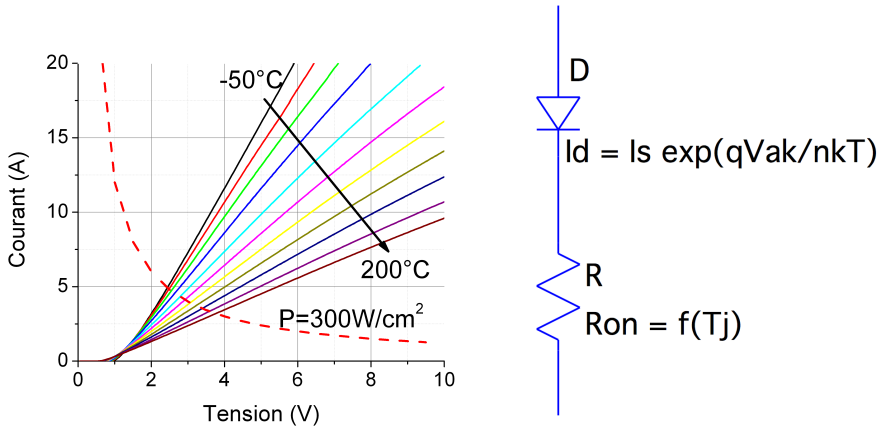
contact. Une modélisation électrothermique nous permettra d'estimer cette grandeur. Ce point est détaillé dans la partie suivante.

4.2 Modélisation électrothermique

Dans cette partie, nous allons présenter la démarche conduisant à l'établissement d'un modèle électrothermique pour déterminer la température des composants soumis à la surcharge de courant, en régime direct.

4.2.1 Modèle électrique en direct

Pour des raisons de simplification et de commodité, il a été décidé de modéliser le composant comme une diode à seuil fixe en série avec une résistance dépendant de la température. Cela est justifié par la caractéristique IVT de la diode HL6, où l'impact de la température sur la tension de seuil est très faible comparé à l'impact sur la résistivité. Le circuit qui modélise ce comportement, ainsi que la caractéristique IVT de la diode HL6, sont représentés dans la figure 4.5



(a) (b)

FIGURE 4.5 – Caractéristique IVT de la diode HL6 (a) et le modèle qui décrit son comportement (b).

On peut ensuite extraire la conductance (pente des portions de droite) et la modéliser comme il a été fait dans la figure 4.6. Dans la gamme de températures entre -50 °C et 200 °C, le modèle de la conductivité est exprimé par l'équation (4.1). Nous l'extrapolerons à des températures plus élevées et testerons sa validité.

$$G = y_0 + A_1 \exp\left(-\frac{T}{\tau}\right) \tag{4.1}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

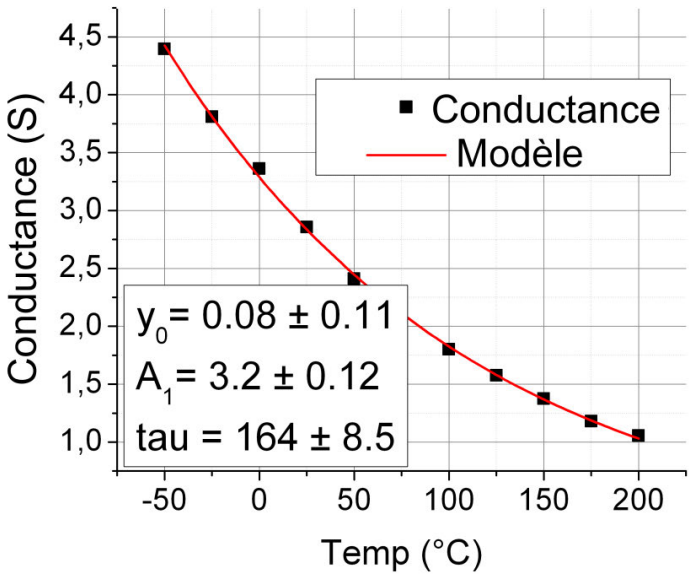


FIGURE 4.6 – Modélisation de la conductivité de la diode en fonction de la température.

Le résultat de la modélisation est donné dans la figure 4.8. Comme nous pouvons le remarquer, la dépendance en température est en bon accord avec la mesure. Cependant, la température reste une variable externe du modèle, elle n'est pas le résultat de la puissance dissipée dans le composant, et est fixée par l'utilisateur. Pour rendre le modèle électrothermique, il faut établir un lien statique et dynamique entre la température de jonction et la puissance dissipée, à travers l'impédance thermique. L'impédance thermique de l'ensemble diode/boîtier fera l'objet de la section suivante.

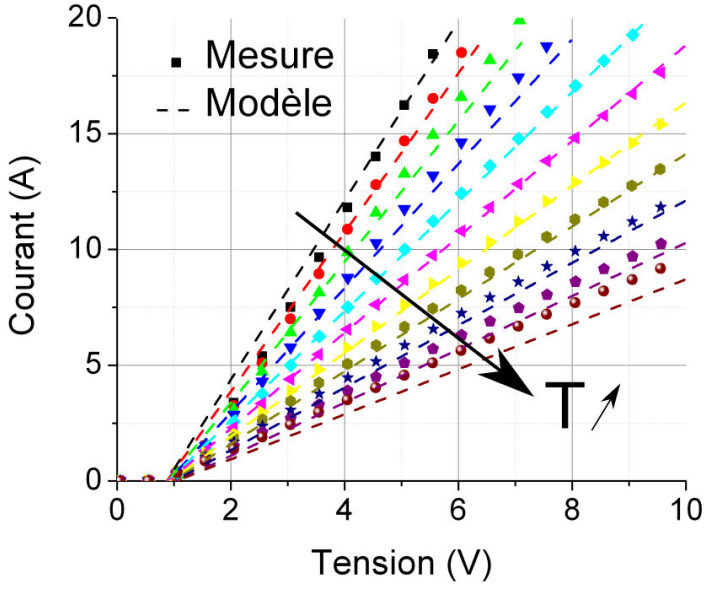


FIGURE 4.7 – Validation du modèle fort courant en régime direct de la diode encapsulée.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.2.2 Modèle thermique

La détermination de l'impédance thermique peut s'obtenir par la mesure, mais cette technique est pointue et coûteuse. Une alternative pertinente est de l'estimer par la simulation éléments finis. Il faut alors établir une structure géométrique et thermique pour simuler l'ensemble diode et boîtier.

La documentation technique du boîtier nous fournit des données importantes sur la composition et les dimensions de ce dernier. Le modèle thermique de l'ensemble peut être résumé à une série de différents matériaux, caractérisés par leur résistance et leur capacité thermique spécifique. Dans la présentation de l'encapsulation nous avons mentionné la présence de gel pour l'isolation de la tension entre l'anode et la cathode. Compte tenu de la faible conductivité thermique du gel par rapport au SiC, nous avons décidé de le négliger. En effet, la puissance thermique s'évacue majoritairement via le SiC de la puce. La structure de la diode dans son boitier est représentée en coupe dans la figure 4.8.

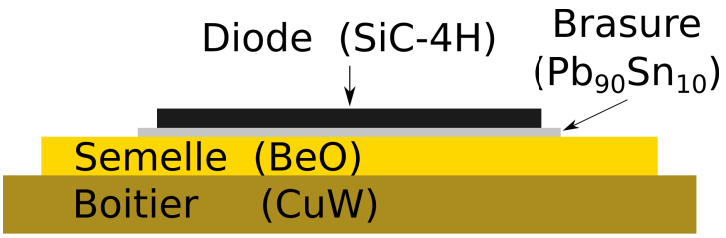


FIGURE 4.8 – Modèle thermique retenu pour la simulation par éléments finis.

On suppose que la chaleur est générée par effet joule au niveau du contact Schottky et se propage verticalement en passant par le substrat, la brasure, la semelle et le boîtier. Les paramètres thermiques de chaque élément constituant l'ensemble figurent dans le tableau 4.2.

Référence	λ(W/m/K)	C_p(J/kg/K)	ρ(kg/m^3)
SiC-4H	370	690	3210
$Pb_{90}Sn_{10}$	25	160	10750
BeO	300	1020	3000
CuW	260	385	8960

TABLE 4.2 – Paramètres thermiques des matériaux constituant l'ensemble du composant.

Grâce à cette représentation, nous avons réalisé des simulations par éléments finis en régime transitoire afin de déterminer l'impédance thermique de la diode encapsulée. Nous avons simulé des impulsions de différentes durées et d'une puissance constante de 60 W au niveau de la partie active du composant, et ce afin d'extrapoler l'élévation de la température de la puce depuis les caractéristiques électriques. En connaissant l'épaisseur des différents matériaux constituant l'ensemble, nous avons pu déterminer l'existence de trois constantes de temps bien propres à chaque matériau, comme on peut le voir dans la figure 4.9.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

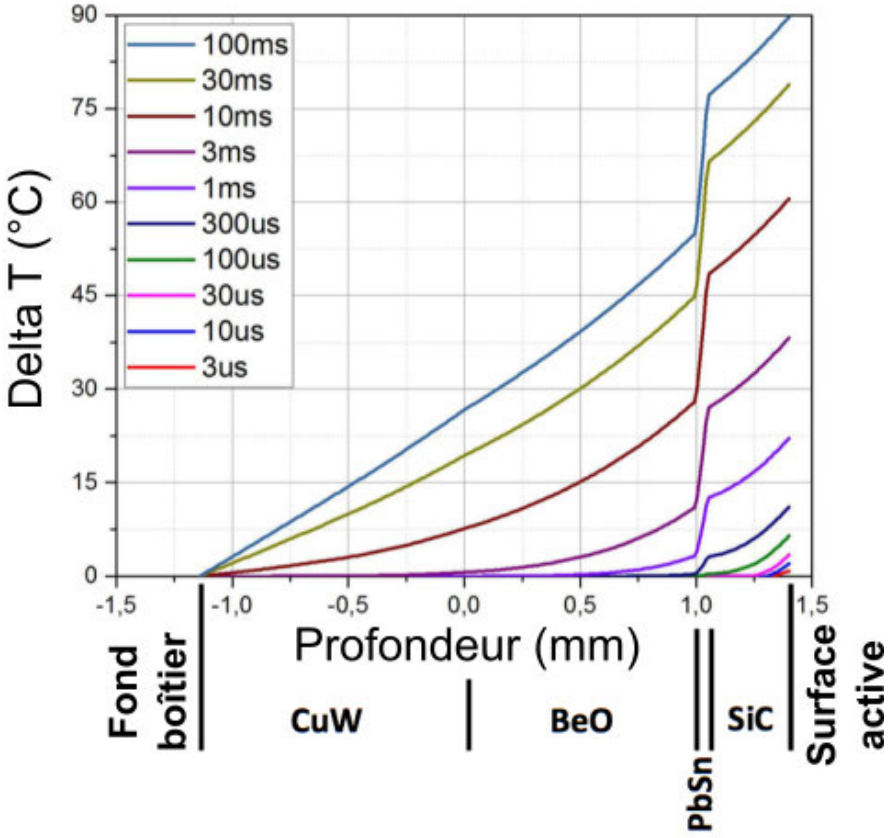


FIGURE 4.9 – Simulation de la réponse temporelle du composant encapsulé soumis à une durée variable d'impulsion de 60W (i.e. variation de la résistance thermique en fonction de la température).

En appliquant ces même impulsions de 60W, nous pouvons tracer l'élévation de température entre le point le plus chaud de la structure (au milieu de la surface active) et le fond du boitier, en fonction du temps (voir figure 4.10). Ceci traduit la variation de la résistivité thermique avec la température. Une fois obtenu l'allure de l'écart de température en fonction de la durée de l'échelon, on peut la modéliser comme une somme d'exponentielles qui dépendent de la résistance thermique et de la constante de temps de chaque matériau constituant la puce encapsulée. La différence de température (ΔT) s'exprime alors par l'équation (4.2).

$$\Delta T(t) = y_0 + A_1 \exp\left(\frac{t}{\tau}\right) + A_2 \exp\left(\frac{t}{t_2}\right) + A_3 \exp\left(\frac{t}{t_3}\right) \tag{4.2}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

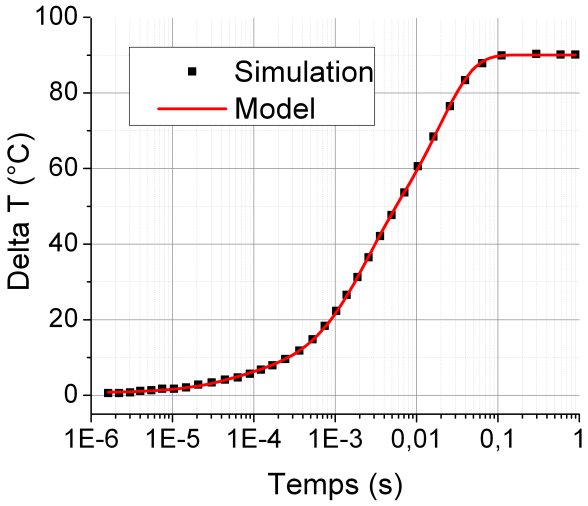


FIGURE 4.10 – Simulation et modélisation de l'élévation de la température par rapport au fond du boitier en fonction de la durée de l'échelon de puissance fixe, au point le plus chaud de la structure (i.e. au milieu de la surface active).

Les paramètres qui permettent de modéliser analytiquement l'élévation de température au sein de la diode sont détaillés dans le tableau 4.3.

	Valeur	Erreur Standard
y_0	90.042 71	0.135 18
A_1	−33.584	0.553 37
t_1	1.82×10^{-3}	5.587×10^{-5}
A_2	−4.133 77	0.242 47
t_2	$4.899\,05 \times 10^{-5}$	$7.484\,84 \times 10^{-6}$
A_3	−51.670 28	0.581 09
t_3	18.95×10^{-3}	$3.527\,27 \times 10^{-4}$

TABLE 4.3 – Paramètres de modélisation analytique de l'élévation de température en fonction du temps par l'équation (4.2) .

Pour aboutir à l'impédance thermique, nous employons la loi d'Ohm thermique. Les impulsions de puissance étant constantes, l'équation (4.3) nous permet d'exprimer l'impédance thermique en fonction de l'élévation de température donnée par l'équation (4.2).

$$Z_{TH} = \frac{\Delta T}{P_{TH}} \tag{4.3}$$

Z_{TH} étant équivalent à ΔT_H à P_{TH} près, on peut écrire grâce à l'équation (4.2) et par identification :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

$$Z_{TH}(t) = R_{TH} - R_1 \exp\left(\frac{t}{R_1 C_1}\right) - R_2 \exp\left(\frac{t}{R_2 C_2}\right) - R_3 \exp\left(\frac{t}{R_3 C_3}\right) \tag{4.4}$$

Grâce aux paramètres donnés par le tableau 4.3, on peut déduire les paramètres de l'équation (4.4) pour notre système ; ces paramètres sont détaillés dans le tableau 4.4.

	R_{TH}	R_1	C_1	R_2	C_2	R_3	C_3
Valeur	1.5	0.56	0.00325	0.0689	0.00071	0.861	0.022

TABLE 4.4 – Paramètres de l'impédance thermique en fonction du temps.

Le modèle thermique Spice peut alors être réalisé comme illustré par la figure 4.11

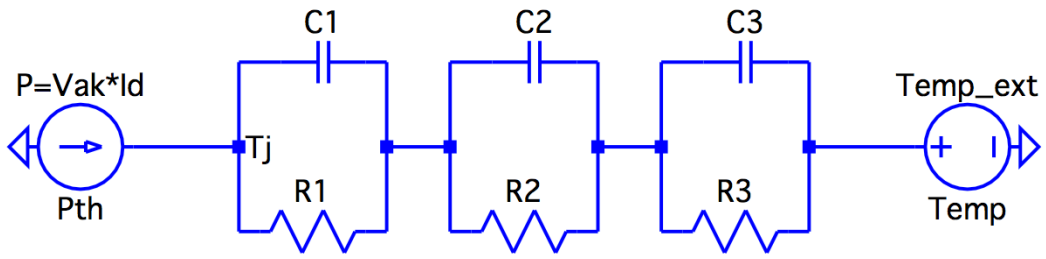


FIGURE 4.11 – Modèle thermique Spice de la puce packagée.

4.2.3 Modèle électrothermique

Un modèle électrothermique de la diode encapsulée permet d'estimer la température de la puce SiC à tout instant lorsqu'une tension est appliquée aux bornes de cette dernière. Nous avons développé un modèle électrique qui décrit la conductivité électrique du composant en fonction de sa température et un modèle thermique qui décrit l'impédance thermique de la puce encapsulée en fonction du temps. Ainsi, le modèle électrothermique sera constitué par la fusion et l'interdépendance de ces deux derniers. Le modèle électrique permet de déduire la puissance dissipée dans la puce SiC. Cette dernière est utilisée comme donnée d'entrée au modèle thermique. Le modèle thermique calculera alors la nouvelle température de la puce SiC qui agira sur le modèle électrique par le biais de la conductance. La figure 4.12 montre le modèle électrothermique résultant, où $R_{TH}//C_{TH}$ sont exprimées par l'équation (4.5).

$$R_{TH}//C_{TH} = (R_1//C_1) + (R_2//C_2) + (R_3//C_3) \tag{4.5}$$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

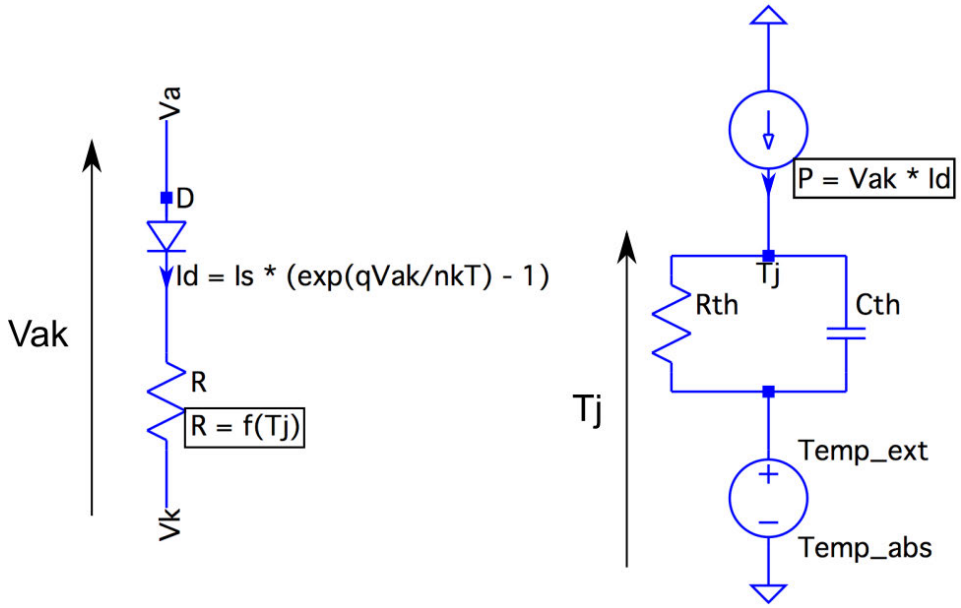


FIGURE 4.12 – Modèle électrothermique fort courant en régime direct de la diode encapsulée.

Par simulation Spice on pourra alors estimer la température de la puce SiC pendant un essai en surcharge de courant pour les diodes expérimentales du projet FilSiC. La validation du modèle est illustrée dans la figure 4.13.

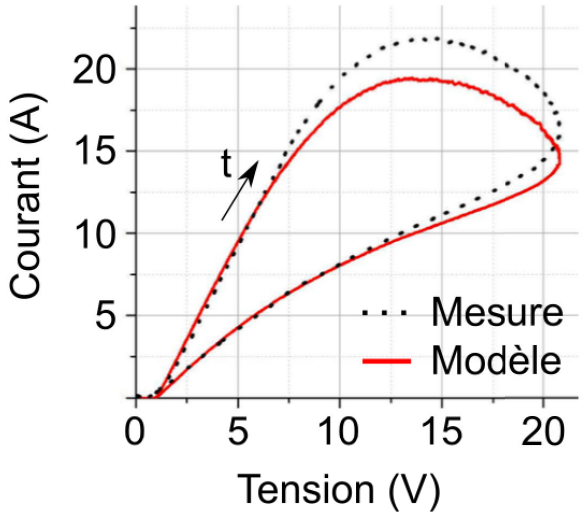


FIGURE 4.13 – Validation du modèle électrothermique fort courant en régime direct après application d'un demi-sinus de tension.

Ce modèle rend compte du comportement électrothermique de la diode HL6. Pour ajuster les paramètres du modèle et le faire correspondre aux mesures, il faudrait réitérer le processus de détermination de l'impédance thermique. Mais il s'agirait alors d'optimiser le modèle à cette diode en particulier, parmi celles qui sont testées.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.2.4 Application du modèle à la mesure en surcharge

Nous pouvons déduire la température en fonction de la puissance et de la période de l'impulsion appliquée grâce au modèle électrothermique. Le protocole de test en surcharge que nous allons utiliser par la suite est présenté au début du chapitre et précise que la tension sera appliquée sous forme de demi-sinusoïde dont la demi-période est de 10ms. Nous allons alors simuler des demi-sinusoïdes de tension et déterminer la température de la puce SiC en fonction du temps.

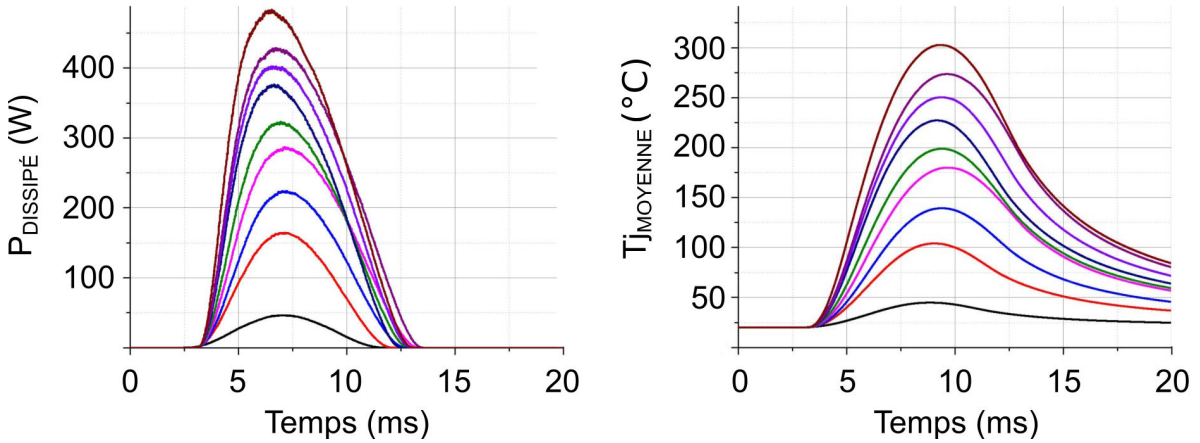


FIGURE 4.14 – Évolution de la puissance dissipée et de la température en fonction du temps pour la diode HL6.

La simulation nous donne l'évolution de la puissance ainsi que celle de la température estimée de la puce SiC en fonction du temps et pour différentes amplitudes de tension qui lui sont appliquées. Comme on peut le voir dans la figure 4.14, une puissance crête de 480W est obtenue pour un demi-sinus d'amplitude 24V et la température de surface de la puce atteint 300°C. De telles températures peuvent fortement contraindre les fils de bonding, la brasure et bien sûr le contact Schottky. Dans la suite du chapitre, nous allons montrer les résultats des tests répétitifs en surcharge de courant et analyser l'évolution de différents paramètres physiques de la diode.

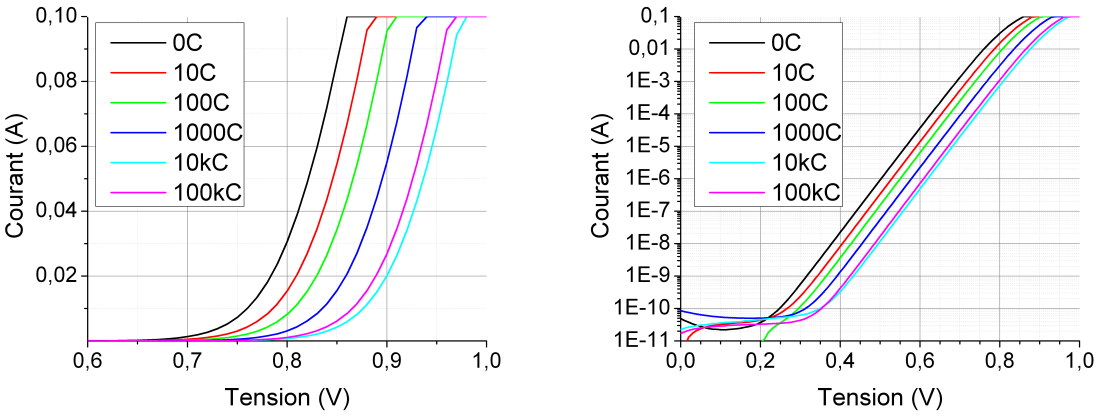
4.3 Caractérisation des diodes FilSiC et la diode commerciale

Cette partie du chapitre est consacrée à l'étude de l'évolution des paramètres physiques des diodes suite aux cycles de surcharge. Pour ce faire, le cyclage a été périodiquement arrêté dans l'objectif de mesurer les caractéristiques statiques directes et inverses.

4.3.1 Évolution de la caractéristique de la diode

Les diodes FilSiC, ainsi que la diode commerciale, ont été soumises à des tests de cyclage tels que présentés dans le protocole de l'expérience. La valeur crête de courant appliqué est affichée dans la dernière colonne du tableau 4.1. Dans ces conditions, nous avons suivi les paramètres physiques pour chaque décade de 1 à 10^6 cycles. À titre d'exemple, nous pouvons voir, dans les figures 4.15 et 4.16, l'évolution des caractéristiques directes et inverses de la diode AJ2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 4.15 – Évolution de la caractéristique directe de la diode AJ2 au cours du cyclage en échelle linéaire (a) et en échelle logarithmique (b).

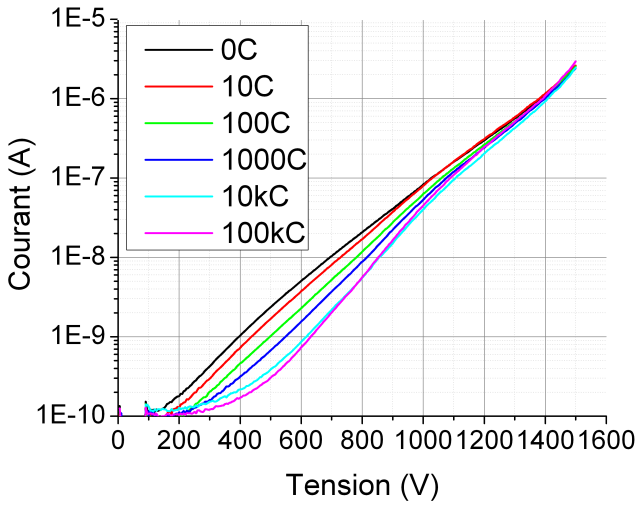


FIGURE 4.16 – Évolution de la caractéristique inverse de la diode AJ2 au cours du cyclage en échelle logarithmique.

Nous avons remarqué que les caractéristiques directes et inverses de la diode évoluent pendant le cyclage. Les paramètres physiques de la diode changent de manière significative lorsqu'on les soumet à des cycles répétitifs de surcharge en régime direct. En conséquence, nous avons décidé de quantifier leur évolution en fonction du nombre de cycles et de la valeur crête de courant appliqué.

4.3.1.1 Évolution de la tension à courant fixe en direct

Premièrement, nous nous intéressons à l'évolution de la caractéristique directe. Toutes les diodes ont été soumises à des impulsions demi-sinusoïdales de tension selon les conditions de test figurant dans le tableau 4.5.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Référence	I_{Pic}(A)	Nb. Cycles
AJ2	20	100k
HL3	20	60k
HL6	10	100k
HL8	10	2k
HL11	24	122
HL12	24	1k
HL14	22.5	10k
B	27.5	45k

TABLE 4.5 – Conditions de test des diodes soumises au cyclage.

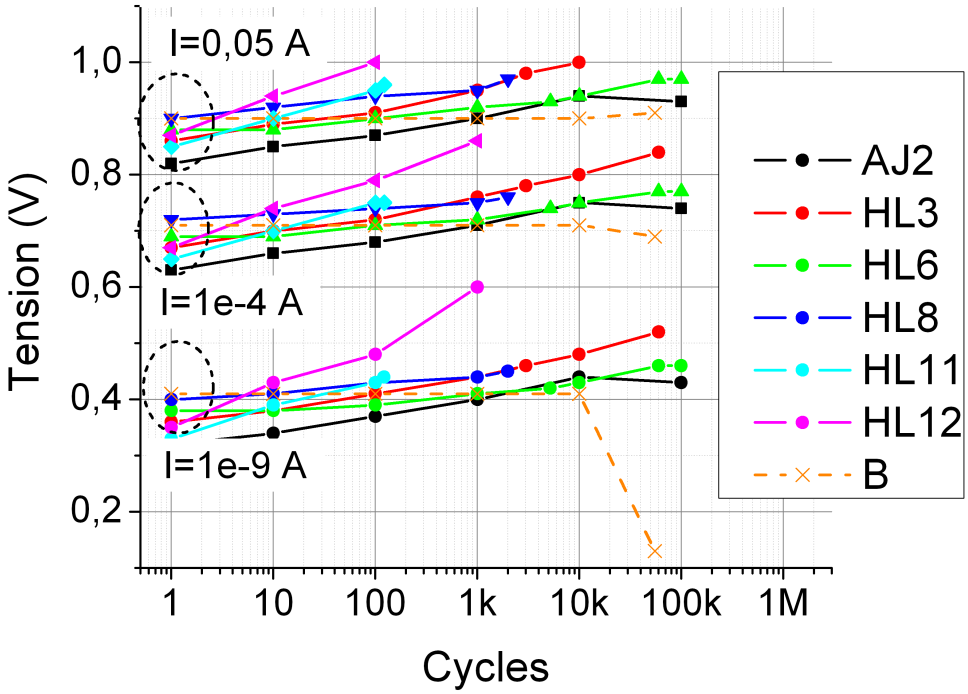


FIGURE 4.17 – Évolution de la tension de seuil au cours du cyclage en surcharge pour trois niveaux de courant ; 1 nA, 100 µA, et 50 mA, en fonction du nombre de cycles de stress.

Si l'on se réfère à la figure 4.17, la tension nécessaire aux bornes de la diode pour y faire passer un courant de 1 nA, 100 µA ou 50 mA augmente après chaque série de tests en surcharge. Indépendamment de la diode ou de l'impulsion de courant auquel on les soumet, l'augmentation est quasi logarithmique. Seule la diode commerciale montre un comportement différent. Elle ne subit pas de changement avant 10^4. Au-delà de 10^4 cycles, la tension nécessaire pour les

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

courants de seuil énumérés ci-dessus chute. L'évolution relative est illustrée dans la figure 4.18, et nous est donnée en fonction du nombre de cycles et pour trois seuils de courant différents.

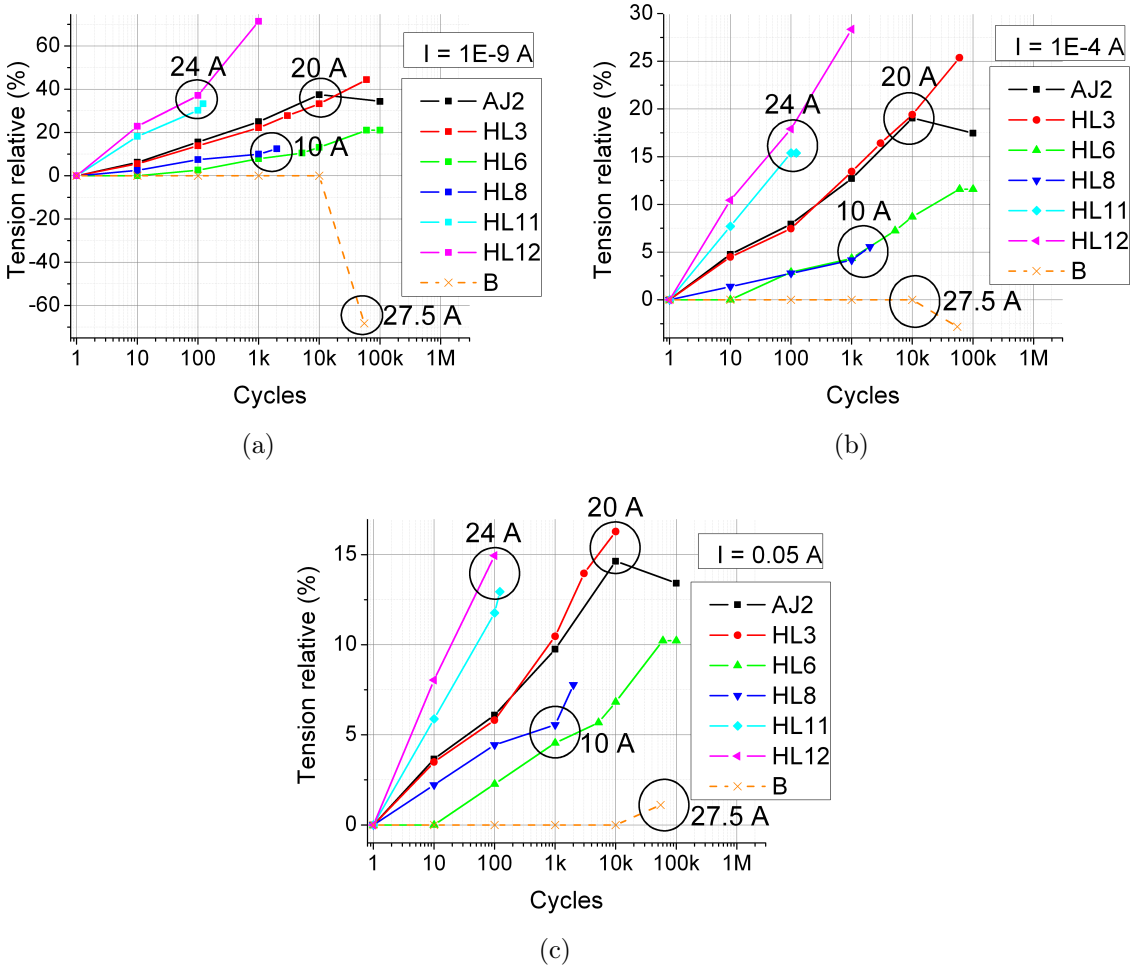


FIGURE 4.18 – Variation relative de la tension appliquée en direct pour obtenir un courant de 1 nA (a), 100 µA (b) et 50 mA (c), en fonction du nombre de cycles de stress.

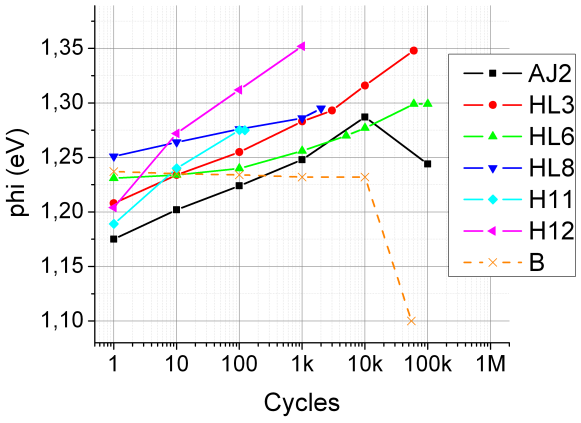
Nous pouvons observer que sur les diodes FilSiC l'évolution relative de la tension en direct est d'autant plus grande que le pic de courant appliqué est important. Plus la valeur du courant de seuil est haute moins la tension augmente, mais une valeur crête de courant identique produit systématiquement le même effet. Si nous observons les caractéristiques des diodes testées, nous ne remarquerons pas d'augmentation de la résistance à l'état passant. La conclusion est que la brasure, ainsi que les fils de bonding, n'évoluent pas pendant le cyclage. La variation de tension de seuil ne peut être causée par ces éléments. Il faut s'intéresser de plus près au contact Schottky, plus susceptible d'évoluer au cours du stress.

On remarque que la diode B ne suit pas la même tendance. Le cas de la diode commerciale est traité plus bas.

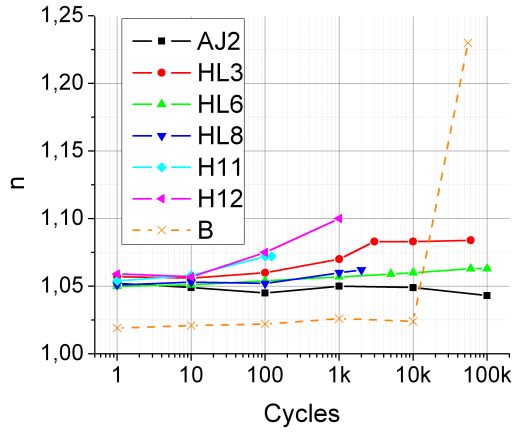
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

4.3.1.2 Évolution de n et $\Phi_{B,n}$

Parmi les paramètres qui nous intéressent, nous avons quantifié l'évolution de la hauteur de barrière et du coefficient d'idéalité en fonction du nombre de cycles appliqués. En effet, la hauteur de barrière a un impact direct sur la tension nominale pour un courant donné. La variation de ces deux paramètres est illustrée dans la figure 4.19.



(a)



(b)

FIGURE 4.19 – Variation de la hauteur de barrière (a) et du coefficient d'idéalité (b) en fonction du nombre de cycles de stress pour différents échantillons subissant différentes amplitudes de courant.

Nous avons vu précédemment que la hauteur de barrière a tendance à augmenter avec le nombre de cycles appliqués. Ainsi, il faut appliquer une tension plus élevée pour avoir la même valeur de courant. D'autre part, nous observons que le coefficient d'idéalité évolue très peu. Ceci indique que les diodes FilSiC ne subissent pas de dégradation conséquente du contact Schottky malgré le fort courant qui les traverse. Il est clair que ni la hauteur de barrière, ni le coefficient d'idéalité ne sont affectés directement par une dégradation des fils de bonding ou de la brasure de la diode. La résistance dynamique des composants ne subit pas de changement significatif non plus. La variation de la hauteur de barrière peut être une conséquence de l'évolution

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

de l'inhomogénéité du contact dû à l'effet de cyclage thermique. Le tableau 4.6 indique une estimation des températures du contact avec le modèle électrothermique développé dans la partie précédente.

Référence	I_{Pic}(A)	T_{MAX} (°C)	Nb. Cycles
AJ2	20	254.5	100k
HL3	20	253	60k
HL6	10	132	100k
HL8	10	120	2k
HL11	24	305	122
HL12	24	302.5	1k
HL14	22.5	287	10k

TABLE 4.6 – Estimation du pic de température pendant le test en surcharge.

Le tableau 4.6 nous montre que, pour des pics de courant compris entre 20 A et 24 A, la température du contact avoisine les 250 °C à 305 °C. Il a été démontré que le recuit du contact Schottky Nickel peut être fait à 350 °C pendant 3 minutes [167]. Le cyclage thermique qui résulte des test en surcharge peut avoir l'effet d'un pseudo-recuit dans la durée. Les observations de la métallisation du contact Schottky, après le cyclage, renforcent cette hypothèse.

La figure 4.20 illustre un cliché de l'anode de la diode HL14 après le cyclage. Cette diode a subi 10^4 cycles à 22.5 A crête. Après le cyclage, la métallisation épaisse du contact Schottky présente un aspect granuleux, où la taille des grains augmente en allant de la périphérie au centre. Des tests sur des Transitors à Haute Mobilité Électronique (HEMT) Al/GaN ont révélé des caractéristiques similaires [168]. Nous pouvons le remarquer en observant le ratio de température du contact de la diode en fonction de la position et du temps, tel que illustré dans la figure 4.21. Au début de l'impulsion, à 100 µs, la température est quasiment identique sur toute la surface active. Or, avec l'augmentation de la tension pendant l'impulsion (1 ms), la température continue à augmenter sur toute la surface de la puce, mais l'évacuation de la chaleur se faisant par les cotés (SiC-4H en dehors de la surface active) et le bas de la puce elle est plus élevée au centre. La température au centre reste plus élevée qu'au bord même après l'impulsion. Ceci engendre une granularité, qui suit approximativement la répartition spatiale de la température. Le fort cyclage thermique altéré la nature de la métallisation épaisse du contact. La conséquence est une augmentation de la hauteur de barrière. Des tests par Cristallograhipe aux Rayons X (XRD) et/ ou TEM nous permettraient d'observer plus en détails la métallisation au cours du cyclage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

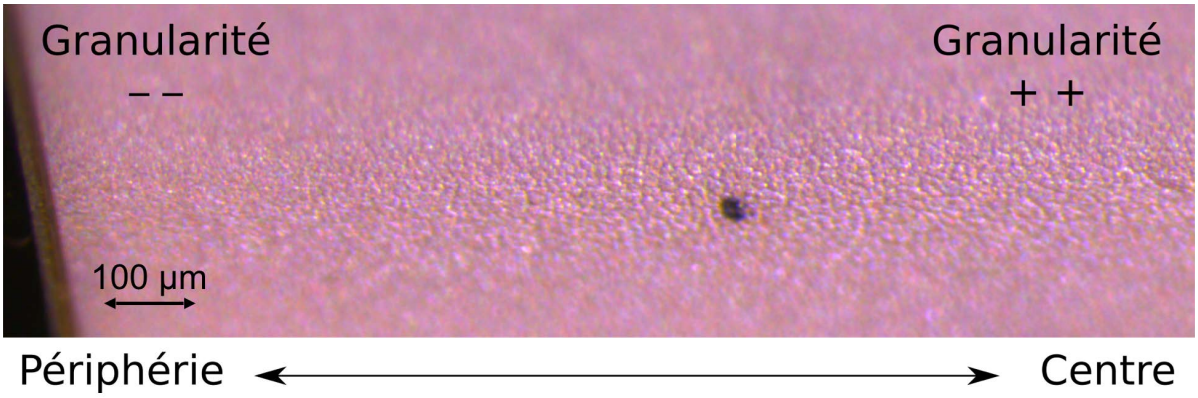


FIGURE 4.20 – Zoom sur la métallisation de l'anode après les tests en surcharge.

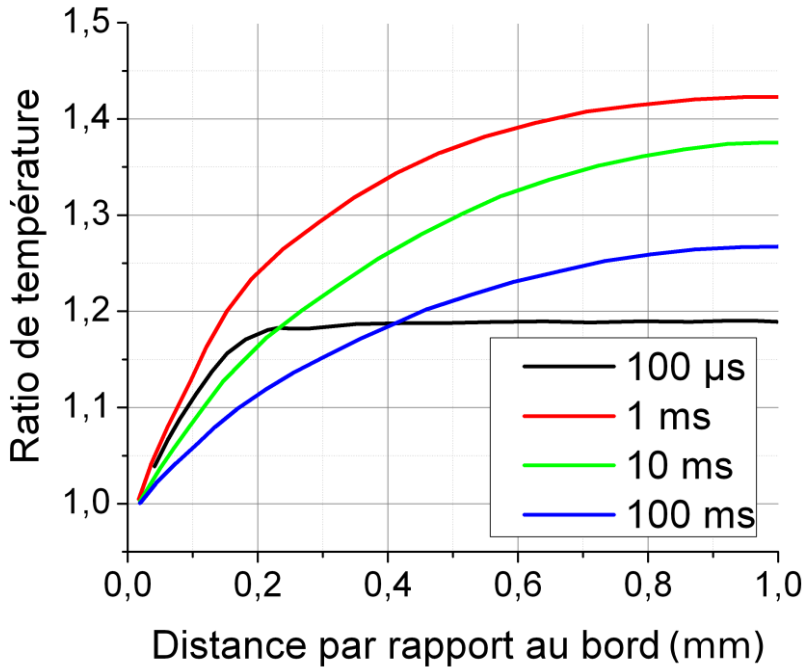
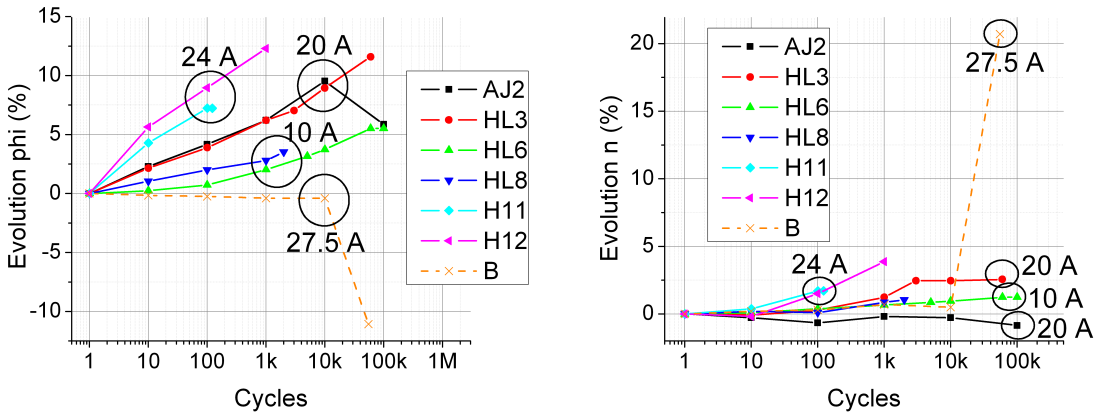


FIGURE 4.21 – Ratio de la température du contact en fonction de la position et du temps.

La variation relative de la hauteur de barrière confirme le fait qu'un pic de courant plus élevé pendant le cyclage fait évoluer plus rapidement les paramètres physiques. L'évolution de moins de 5% du coefficient d'idéalité n'est pas significative par rapport à celle de la hauteur de barrière. La figure 4.22 illustre la variation relative de ces deux paramètres.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 4.22 – Variation de la hauteur de barrière (a) et du coefficient d'idéalité (b) en fonction du nombre de cycles de stress.

Nous pouvons remarquer que la diode commerciale a un comportement relativement stable. De 1 à 10^4 cycles cette diode ne subit aucun changement dans sa caractéristique directe. Un changement brusque et destructif se produit après 10^4 cycles, faisant apparaître une double barrière. L'apparition de la double barrière sur la caractéristique directe, en échelle log, est illustrée dans la figure 4.23.

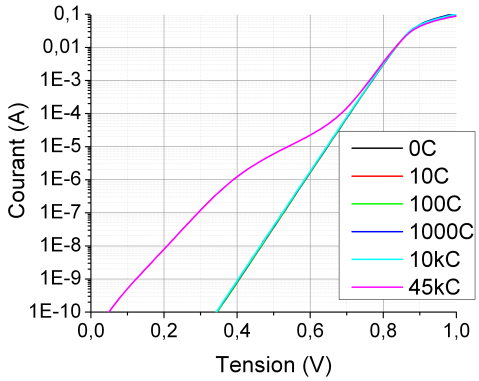
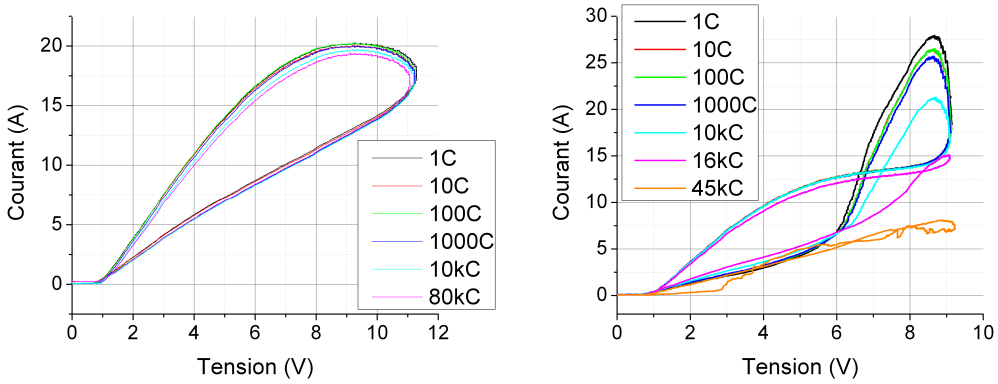


FIGURE 4.23 – Apparition de la double barrière suite aux tests en surcharge sur la diode de référence.

Les différences technologiques entre les diodes FilSiC et le composant du commerce sont à la base des différences observées pendant le test en surcharge. La figure 4.24 permet de comparer la caractéristique directe instantanée en régime de forte injection. Aucune diode FilSiC ne montre de signes visibles de conduction bipolaire.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés



(a) (b)

FIGURE 4.24 – Caractéristique directe en surcharge de la diode AJ2 (a) et de la diode du commerce (b) en fonction du nombre de cycles.

La diode AJ2 ne conduit pas en mode bipolaire. Le contact vers les zones dopées $P+$ semble ne pas avoir les caractéristiques d'un contact ohmique. Dans la suite du projet il faudra optimiser le contact ohmique des diodes JBS pour tirer pleinement profit des propriétés du SiC-4H.

Concernant la diode du commerce, le comportement en surcharge en régime direct confirme la maturité atteinte par la technologie Schottky SiC proposée commercialement. Elle a été conçue pour être peu résistive et fournir un fort courant en cas de surcharge. L'activation de la conduction bipolaire satisfait ces deux conditions. Pendant le test en surcharge, le contact Schottky reste intact alors que le contact ohmique assurant la conduction bipolaire se dégrade lentement. Quand la conduction bipolaire se dégrade, le contact Schottky bénéficie d'une augmentation de la densité de courant qui le traverse. Cela implique une dégradation plus rapide de ce dernier. Nous pensons que la dégradation du contact Schottky est la cause de la défaillance au-delà de 16000 cycles. Il serait intéressant de faire des tests de surcharge sur une diode Schottky "pure" de même technologie que la diode JBS du commerce. Sans activation bipolaire, la température du contact Schottky, engendrée pour une plus forte puissance dissipée, s'élèverait davantage et nous pourrions observer une évolution de la hauteur de barrière et de la tension de seuil. Inversement, si dans les prochains lots de diodes FilSiC on obtient un contact ohmique permettant au mode bipolaire de s'activer pendant les tests de surcharge, la hauteur de barrière ne devrait pas évoluer de manière significative puisque la température de jonction serait maintenue plus faible.

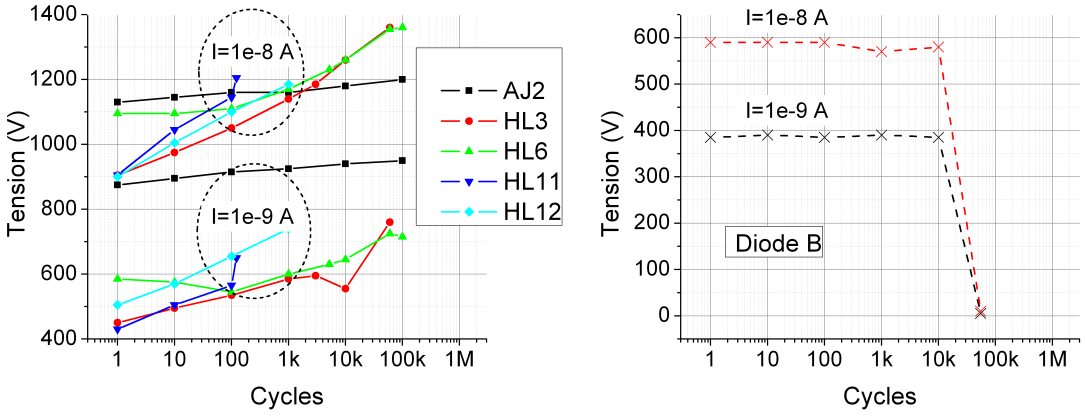
L'apparition de la double barrière de manière imprévisible peut être due à l'apparition d'un défaut en-dessous du contact Schottky (par exemple un défaut d'empilement). De toute manière, son apparition nuit à la fiabilité de son fonctionnement. Si, pour les diodes FilSiC, l'évolution de la hauteur de barrière peut servir d'indicateur de vieillissement, nous n'avons aucun indicateur pour la diode du commerce.

4.3.1.3 Évolution de la tension à courant fixe en inverse

La caractéristique en inverse est aussi impactée par les tests en surcharge de courant en régime direct. On peut à priori s'attendre à une légère diminution du courant de fuite pour les diodes

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

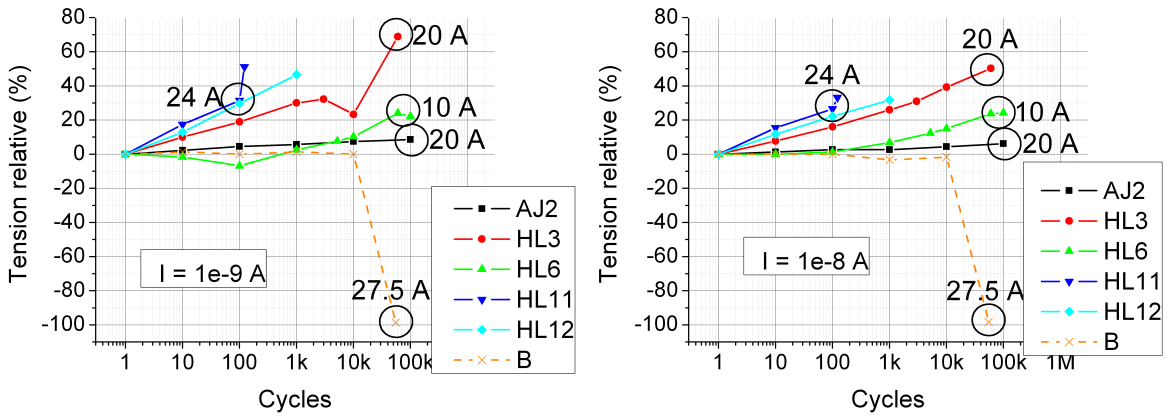
FilSiC, étant donné que la hauteur de barrière augmente. La figure 4.25 illustre la variation de la tension inverse pour des valeurs de courant 1 nA et 10 nA. À cause de son calibre en tension inférieur par rapport aux diodes FilSiC, le comportement de la diode du commerce a été illustré séparément dans la figure 4.25(b).



(a) (b)

FIGURE 4.25 – Variation de la tension appliquée en inverse pour des courants de 1 nA et 10 nA sur les diodes FilSiC en (a) et la diode commerciale en (b), en fonction du nombre de cycles de stress.

Il est très intéressant d'observer dans la figure 4.26, qu'à l'exception de la diode AJ2 (qui provient de la plaque AJ du même lot), la variation des courants de fuite augmente avec l'amplitude du courant appliqué pendant le stress.



(a) (b)

FIGURE 4.26 – Variation relative de la tension appliquée en inverse pour un courant de 1 nA en (a) et 10 nA en (b), en fonction du nombre de cycles de stress.

Les tests en surcharge ont comme objectif de mettre à l'épreuve les diodes du projet FilSiC. Durant le cyclage, le courant de fuite de nos échantillons diminue indiquant, contre toute attente, une amélioration des performances de ces composants. Nous pensons que la diminution

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

des courants de fuite est directement liée à l'augmentation de la hauteur de barrière. Tous ces éléments convergent vers la modification du degré d'homogénéité du contact Schottky. Il est probable que le cyclage en surcharge agisse comme un recuit lent du contact Schottky.

4.3.2 Évaluation de la robustesse des composants caractérisés

Comme nous l'avons mentionné précédemment dans ce chapitre, l'évolution de la tension de seuil des diodes FilSiC pourrait servir d'indicateur de fin de vie du composant. Il suffirait alors de surveiller son évolution pour prédire la durée de vie restante. Néanmoins, si le fonctionnement d'un composant engendre la variation d'un ou plusieurs paramètres (la hauteur de barrière, le coefficient d'idéalité, la tension de seuil, la résistance à l'état passant, la tension de blocage), alors le composant subit un viéllissement qui nuit à sa fiabilité[169].

Les facteurs de mérite actuels évaluent les composants sur les propriétés statiques et dynamiques, mais ne prennent pas en compte la robustesse. En se basant sur cette constatation, on peut alors proposer un nouveau facteur de mérite qui vise à prendre en compte cet aspect. Un tel facteur de mérite devrait traduire la capacité du composant à endurer des cycles de surcharge en régime direct tout en évoluant peu quant à la tension en direct. La formulation suivante est une proposition de facteur de mérite qui introduit cette notion de robustesse, à travers le nombre de cycles de stress et la variation d'un indicateur de vieillissement. Nous l'appellerons facteur de mérite de robustesse des composants de puissance (en anglais, Robustness Figure of Merit).

$$RFM = \frac{V_{BR}^2}{R_{ON}} \cdot \frac{\log N_{CYCLES}}{|\Delta V_{TH}|} \cdot \frac{I_{PIC}}{I_{ON}} \tag{4.6}$$

La définition des termes de cette équation est la suivante.

- N_{CYCLES} - Nombre de cycles de surcharge endurés avant la défaillance.
- I_{PIC} - Courant crête appliqué pendant le cyclage. La tension est appliquée sous forme de demi-sinus de 10 ms.
- I_{ON} - Courant nominal préconisé par le fabriquant (A).
- ΔV_{TH} - Évolution relative de la tension de seuil durant le cyclage (en %).
- V_{BR} - Tension inverse maximale préconisée par le fabriquant (kV).
- R_{ON} - Résistance à l'état passant du composant au courant nominal

La notion de la puissance est évaluée par la première fraction car un bon composant de puissance devrait avoir une tenue de tension élevée et une résistance en conduction faible. Quant à la robustesse, elle est exprimée par la deuxième fraction et traduit le vieillissement du composant. Effectivement, si un composant est capable d'endurer un grand nombre de cycles de surcharge sans que la tension de seuil évolue, alors nous possédons un composant fiable. Cette formulation a été choisie car nous avons remarqué que l'évolution relative de la tension en direct varie proportionnellement au log du nombre de cycles de surcharge. La troisième fraction quantifie le niveau de surcharge qu'un composant peut endurer lors d'un événement hors du commun.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Si l'on applique ce nouveau facteur de mérite aux composants caractérisés, on obtient les résultats du tableau 4.7. Le courant nominal de ces diodes est de 5A et la tension de blocage nominale retenue de 3 kV et 1.2 kV, pour les diodes FilSiC et celle du commerce respectivement.

Référence	I_{PIC}(A)	ΔV_{TH}(%)	N_{CYCLES}(k)	$R_{ON}(\Omega)$	**RFM**
AJ2	20	13.4	100	0.9	**14.9**
HL3	20	16.3	60	0.89	**11.9**
HL6	10	10.3	100	1.05	**8.3**
HL8	10	7.8	2	0.78	**7.4**
HL11	24	12.9	0.122	1.09	**6.4**
HL12	24	14.9	1	1.08	**8.5**
B	27.5	0.01	16	2	**1664**

TABLE 4.7 – Calcul du facteur de mérite des diodes testées en surcharge

Nous remarquerons dans le tableau 4.7 que la diode commerciale présente un facteur de mérite environ 100 fois plus élevé que les autres. Ceci montre que les diodes FilSiC nécessitent des améliorations. Les efforts pourraient être concentrés sur la mise au point de l'activation de la conduction bipolaire et la stabilisation du contact Schottky. Si l'on suppose que les diodes FilSiC conduisent en mode bipolaire, alors le courant crête qu'elles pourraient endurer pendant le cyclage augmenterait. La puissance dissipée s'en trouverait réduite, ce qui diminuerait la température du contact. Ces deux points amélioreraient nettement le RFM. Le choix d'un boitier offrant une meilleure conductivité thermique contraindrait moins la diode pendant le cyclage en surcharge. En conséquence, le contact Schottky serait moins stressé et la tension de seuil serait moins impactée.

4.4 Conclusions

Dans ce chapitre, nous avons présenté des résultats de vieillissement des composants FilSiC encapsulés avec un protocole de cyclage électrique de surcharge en régime direct. L'objectif principal du test étant d'étudier l'évolution des paramètres physiques, nous avons mis en place un plan d'expérience dont le protocole est détaillé au début du chapitre. Ces expériences ont permis de mettre en évidence des comportement atypiques des diodes FiLSiC en comparaison avec une diode du commerce.

Un modèle électrothermique a été déterminé à l'aide de la simulation par éléments finis pour estimer la température du composant à tout moment du test. Grâce à ce modèle, nous avons pu montrer le rôle prépondérant de la température sur l'évolution du contact Schottky des diodes FilSiC pendant ces tests en surcharge.

L'évolution des paramètres de la diode pendant le cyclage peut être utilisée comme un indicateur de durée de vie restante du composant. Cependant, l'évolution trop importante des paramètres de la diode est généralement considérée comme une dégradation anormale qui

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

sera vouée à disparaitre avec la maturation de la technologie FILSIC. En se basant sur cette observation, un facteur de mérite a été proposé traduisant la robustesse du composant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Conclusions générales

Un intéret particulier a été porté sur la caractéristique statique des diodes Schottky et JBS SiC-4H. Étant donné qu'il s'agit d'une des briques de base de l'électronique de puissance, nous avons mené une description précise des phénomènes physiques propres au semiconducteur, des propriétés l'interface métal-semiconducteur, de l'impact des défauts ainsi que de la structure des composants.

Des diodes expérimentales ont été caractérisées électriquement du début de la fabrication jusqu'à l'encapsulation. Une méthode systématique de caractérisation et d'extraction des paramètres physiques a été mise en place. Les mesures ont permis de mettre en évidence l'impact de chaque étape du procces et d'optimiser le design des composants FilSiC. Parmi les optimisations on peut compter :

- La dose de la JTE
- La température de recuit du contact Schottky
- La stabilisation du process

Pour étudier la physique de l'interface métal-semiconducteur, nous avons tracé les caractéristiques éléctriques de diodes expérimentales et commerciales dans une gamme étendue de températures. Cette technique de caractérisation nous a permis d'observer l'inhomogénéité du contact Schottky sur des composants expérimentaux ainsi que sur des composants commerciaux considérés "idéaux". La mise en évidence de l'inhomogénéité du contact Schottky s'est accompagné de la découverte d'un phénomène non observé auparavant en polarisation inverse.

Les modèles existants de la diode Schottky ont été appliqués en direct et en inverse. Malgré la justification physique qui les accompagne, ils n'arrivent pas à modéliser la diode Schottky en régime inverse sur une gamme étendue de températures. La nécessité nous a poussé à développer deux modèles empiriques pour le régime direct qui modélisent aisément la diode Schottky en température. Le premier modèle utilise une démarche multibranches pour reconstruire la caractéristique, alors que le deuxième modélise empiriquement l'évolution de la hauteur de barrière de la diode Schottky.

Quant au régime inverse, le modèle de la caractéristique statique prend en compte le phénomène de chevauchement du courant que nous avons observé. À l'origine de ce phénomène

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

il y a l'évolution de la hauteur de barrière avec la température et la tension appliquée. Nous avons évalué cette évolution et proposé un modèle empirique qui permet de modéliser aisément la caractéristique inverse dans une gamme étendue de températures.

Dans une démarche d'évaluation de la robustesse des composants fabriqués dans le cadre du projet FilSiC, une expérience a été développée pour tester leur endurance en régime de surcharge répétitif. Cette expérience nous à permis de conclure sur la maturité de la technologie FilSiC comparée à des composants commerciaux. L'observation de l'évolution des paramètres tels que la tension de seuil, la hauteur de barrière et le courant de fuite met en évidence la nécessité de stabiliser le contact Schottky des FilSiC.

Évaluer la robustesse de cette technologie nécessite des tests appropriés ainsi que des critères d'évaluation pour la quantifier. Sachant qu'il n'existe pas de facteurs de mérite qui prennent en compte l'aspect robustesse dans la classification des composants, nous avons décidé de proposer le facteur de mérite de robustesse des composants de puissance (RFM). Ce dernier évalue la robustessse en se basant sur la capacité du composant à endurer un grand nombre de cycles de surcharge en régime direct sans subir d'évolution signifiante de la tension de seuil.

Ce travail expérimental ouvre de multiples perspectives.

En ce qui concerne les composants FilSiC, nous devons améliorer le process de fabrication pour activer le régime bipolaire en régime de surcharge. Cela nous permettrait d'obtenir des composants moins résistifs, de comprendre le rôle de la conduction bipolaire sur la stabilité du contact et probablement d'améliorer la robustesse ce la technologie.

Un autre aspect à explorer est l'encapsulation. Remplacer le gel isolant par un autre matériau qui possède une conductivité thermique plus élevée pourrait aider à mieux évacuer la chaleur pendant la surcharge. De cette manière, on pourrait observer l'impact de l'encapsulation sur la robustesse en fonctionnement hors du commun (surcharge, environnement haute température).

La caractérisation statique de la diode Schottky a donné des résultats encourageants, mais elle ne donne pas d'informations sur la quantité ou le type de défauts qui peuvent affecter l'interface métal-semiconducteur. La caractérisation des défauts par spectroscopie d'admittance ou par DLTS nous aiderait à étudier de manière non invasive leur impact sur l'abaissement local de la barrière et à expliquer en partie le phénomène de chevauchement des courants de fuite à basse température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Publications

Articles de revue

Asllani, B., Berthou, M., Tournier, D., Brosselard, P., Godignon, P. (2016). Modeling of Inhomogeneous 4H-SiC Schottky and JBS Diodes in a Wide Temperature Range. *Materials Science Forum (Vol. 858, pp. 741-744). Trans Tech Publications*, Octobre 2015.

Berthou, M., Asllani, B., Brosselard, P., Godignon, P. (2015). Cryogenic to High Temperature Exploration of 4H-SiC W-SBD. *Materials Science Forum (Vol. 821, pp. 583-587). Trans Tech Publications*, Septembre 2014.

Conférences Internationales avec Actes et Comité de Lecture

Asllani, B., Berthou, M., Tournier, D., Brosselard, P., Godignon, P. (2016). Modeling of Inhomogeneous 4H-SiC Schottky and JBS Diodes in a Wide Temperature Range. *International Conference on Silicon Carbide and Related Materials (ICSCRM2015)*, Sicili (Italy), Octobre 2015.

Berthou, M., Asllani, B., Brosselard, P., Godignon, P. (2015). Cryogenic to High Temperature Exploration of 4H-SiC W-SBD. *European Conference on Silicon Carbide and Related Materials (ECSCRM2014)*, Grenoble (France), Septembre 2014.

Conférences Nationales avec Actes et Comité de Lecture

Asllani, B., Niu, S., Denis, P., BERTHOU, M., Tournier, D., Brosselard, P. (2014). Modélisation phénoménologique de la caractéristique IV en direct de diodes Schottky/JBS en carbure de silicium. *Symposium de Génie Électrique 2014 (SGE)*, Grenoble (France), Juillet 2014.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Annexe

En annexe de ce document nous pourrons trouver les cartographies réalisées dans le cadre du projet FilSiC des lots 4, 6 et 7. Elles concernent le coefficient d'idéalité, la hauteur de barrière et la tenue en tension. À la suite des cartographies nous pourrons consulter la caractéristique typique de chaque plaque en régime direct et inverse.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Cartographies du LOT4

Coefficient d'idéalité

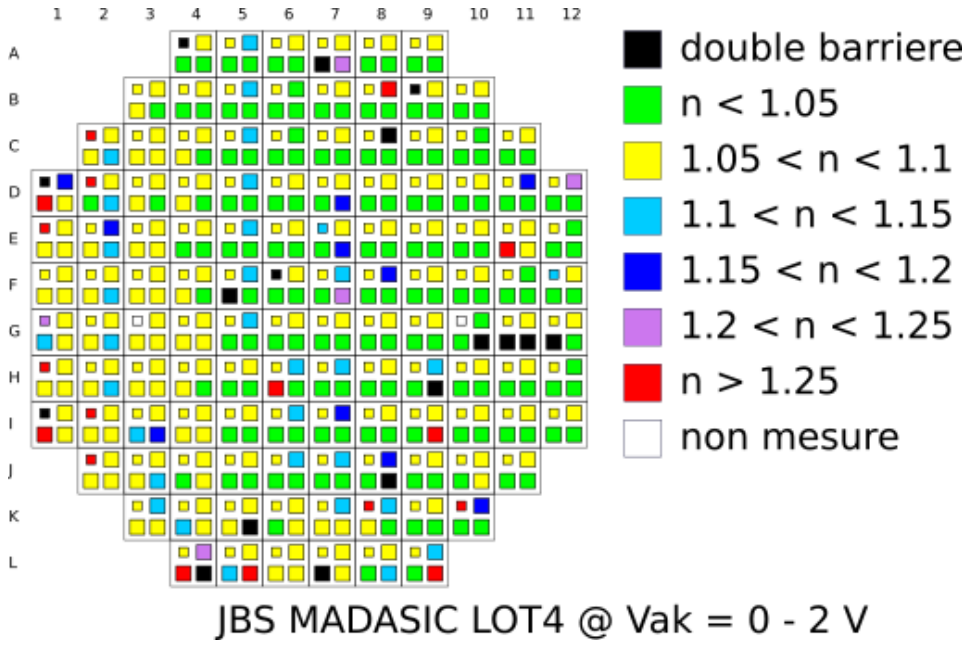


FIGURE 27 – Coefficient d'idéalité de la plaque AJ1303-11

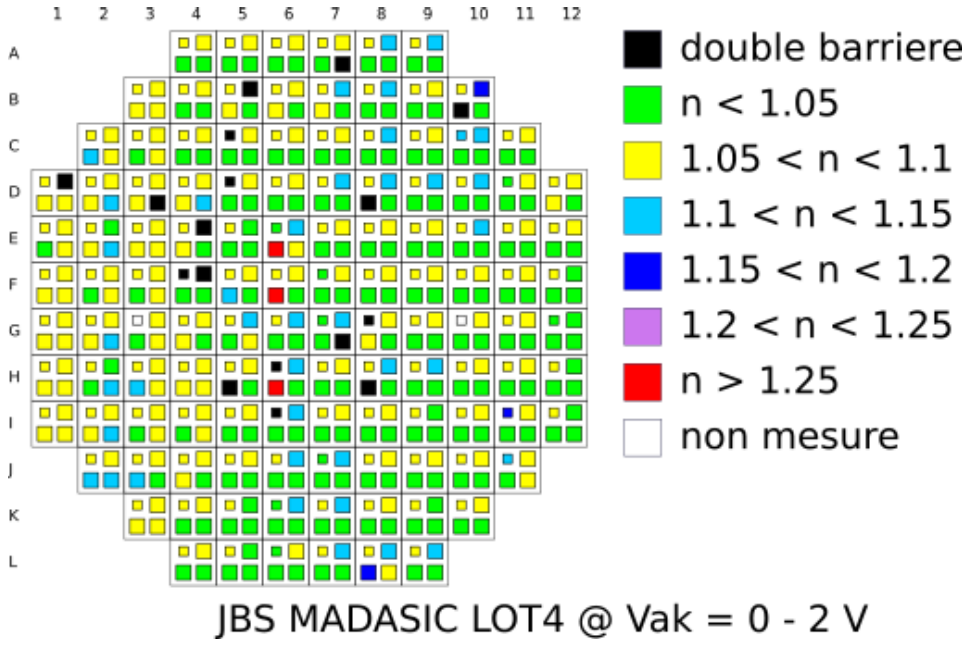


FIGURE 28 – Coefficient d'idéalité de la plaque FZ0958-03

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

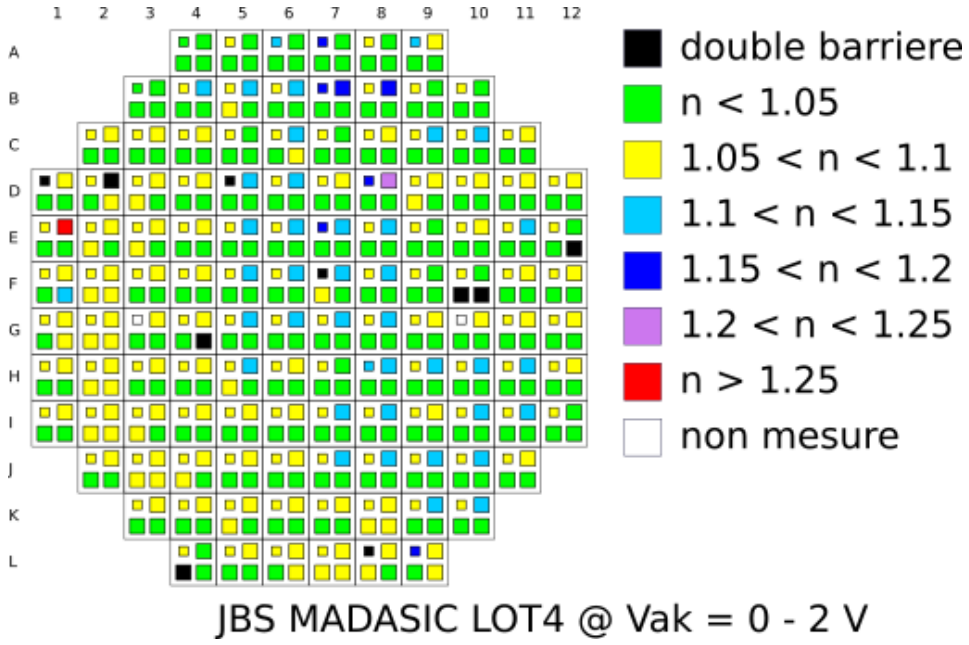


FIGURE 29 – Coefficient d'idéalité de la plaque HL0623-15

Hauteur de barrière

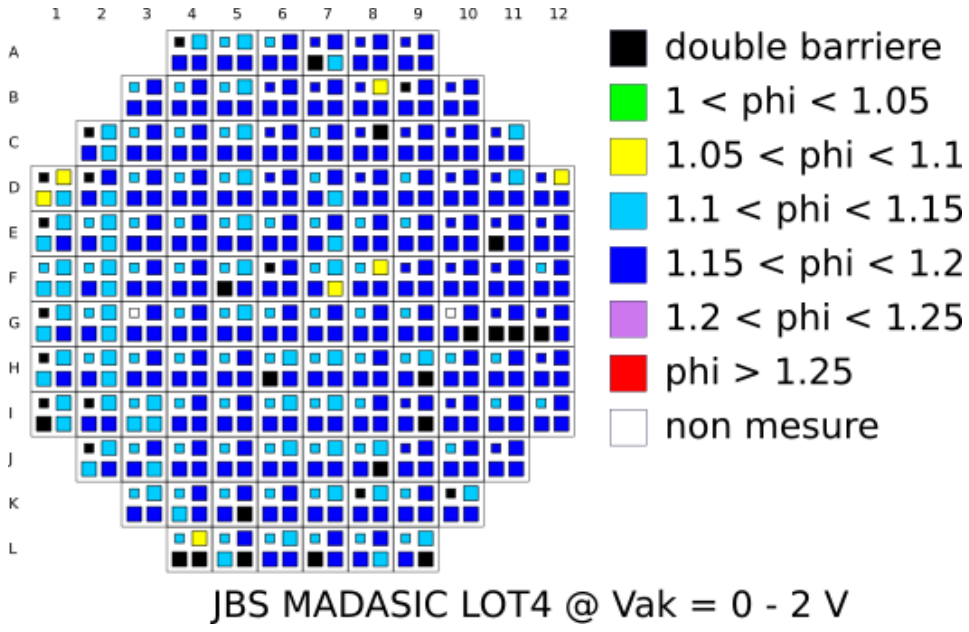


FIGURE 30 – Hauteur de barrière de la plaque AJ1303-11

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

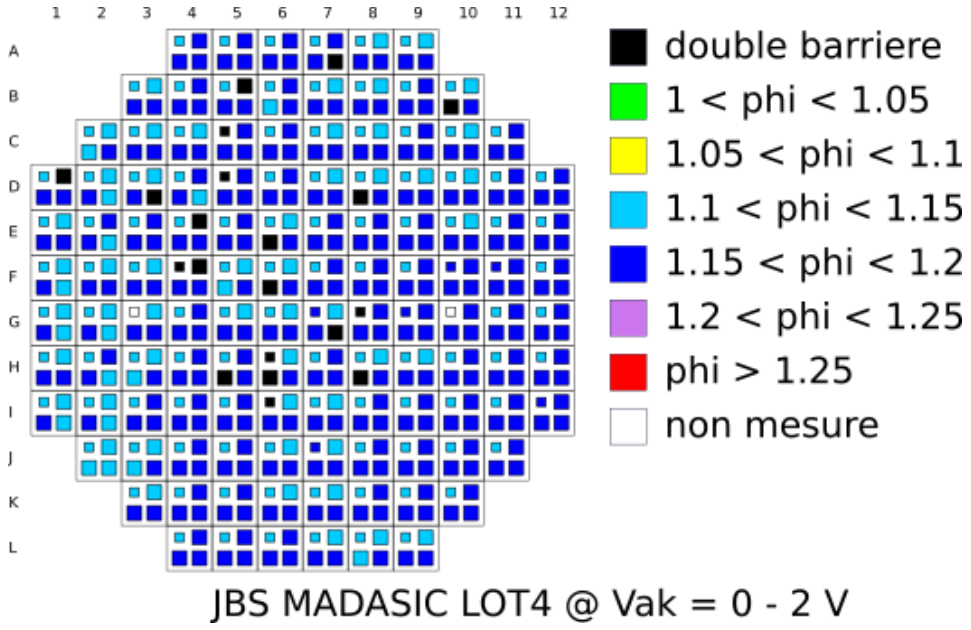


FIGURE 31 – Hauteur de barrière de la plaque FZ0958-03

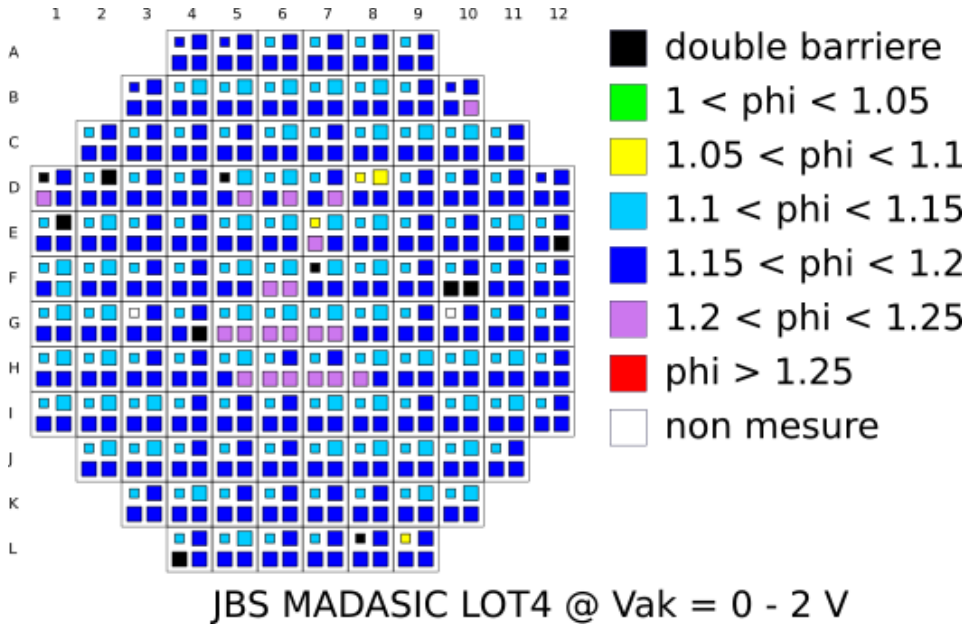


FIGURE 32 – Hauteur de barrière de la plaque HL0623-15

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Tenue de tension

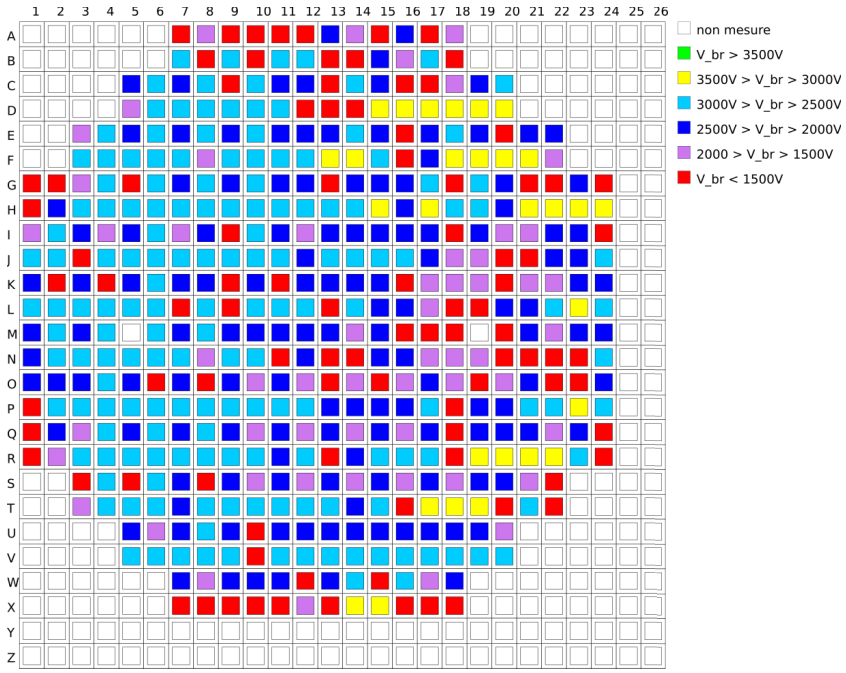


FIGURE 33 – Tenue de tension de la plaque AJ1303-11

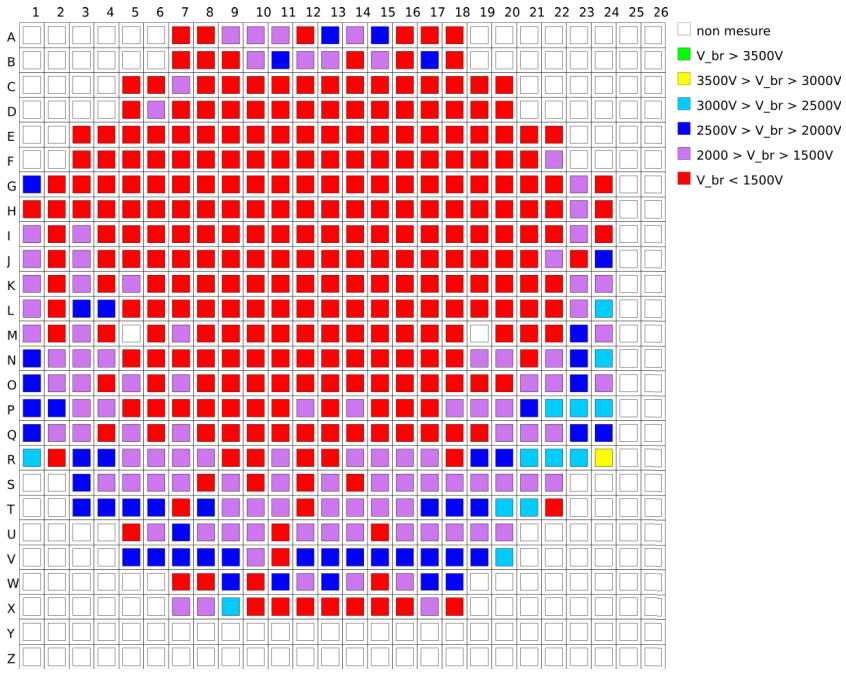


FIGURE 34 – Tenue de tension de la plaque FZ0958-03

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

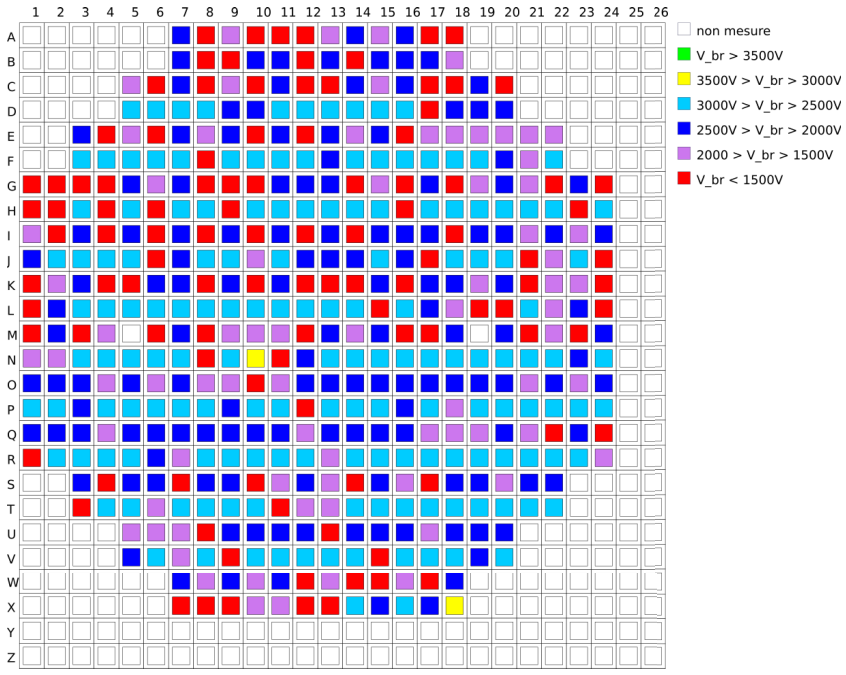


FIGURE 35 – Tenue de tension de la plaque HL0623-15

Cartographies du LOT6

Coefficient d'idéalité

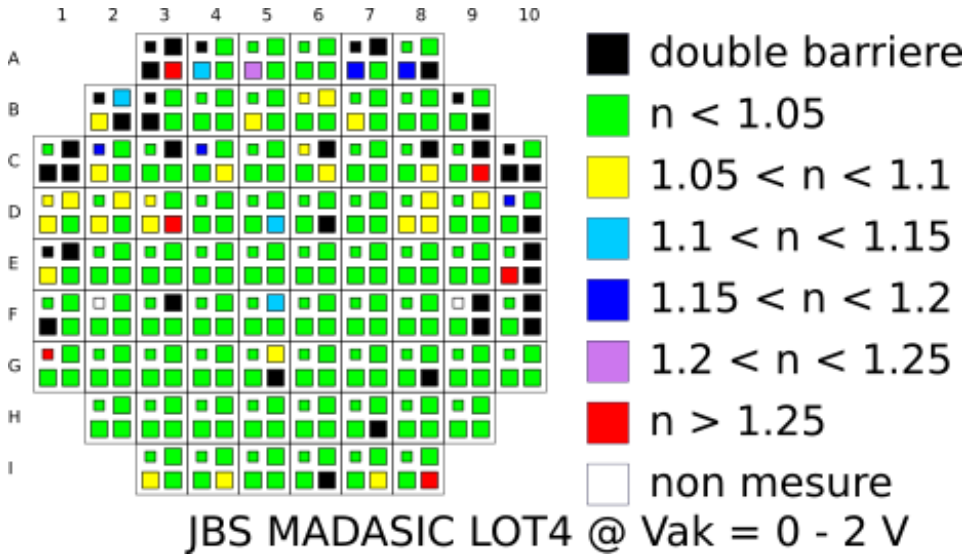


FIGURE 36 – Coefficient d'idéalité de la plaque AM1025-13

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

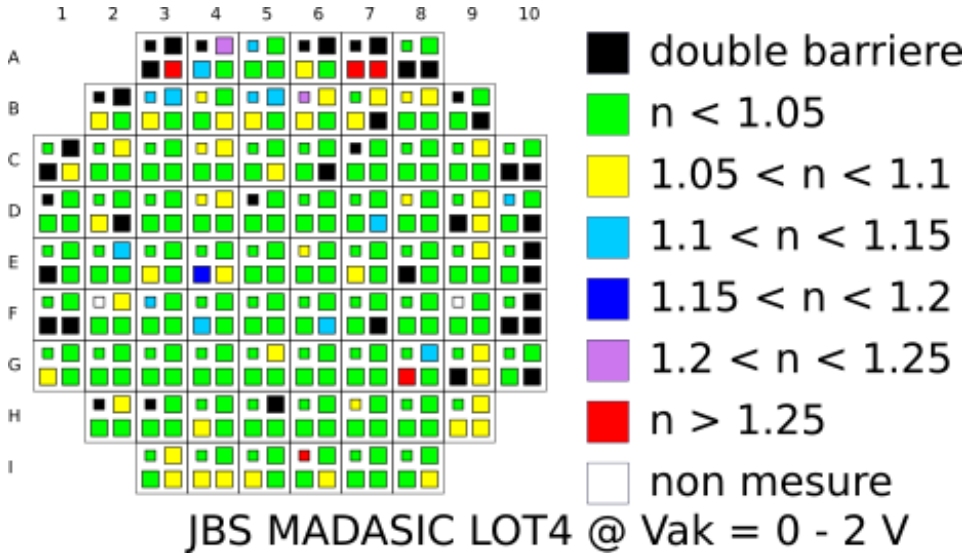


FIGURE 37 – Coefficient d'idéalité de la plaque AO1021-04

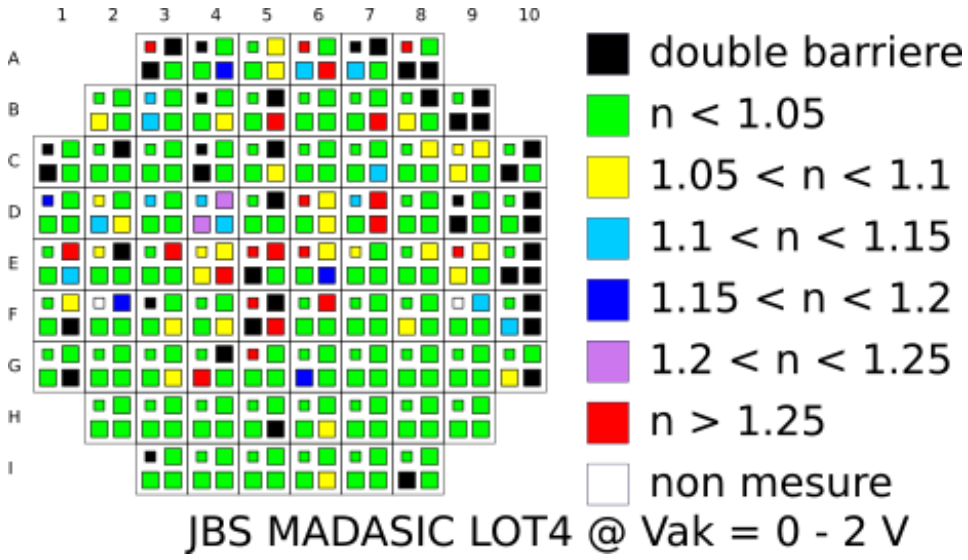


FIGURE 38 – Coefficient d'idéalité de la plaque BQ1656-38

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

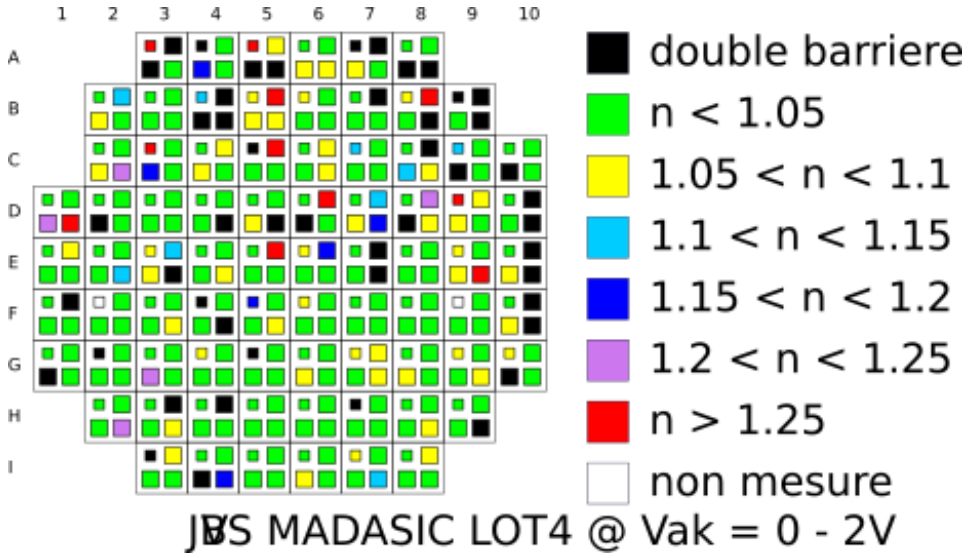


FIGURE 39 – Coefficient d'idéalité de la plaque CH0114-27

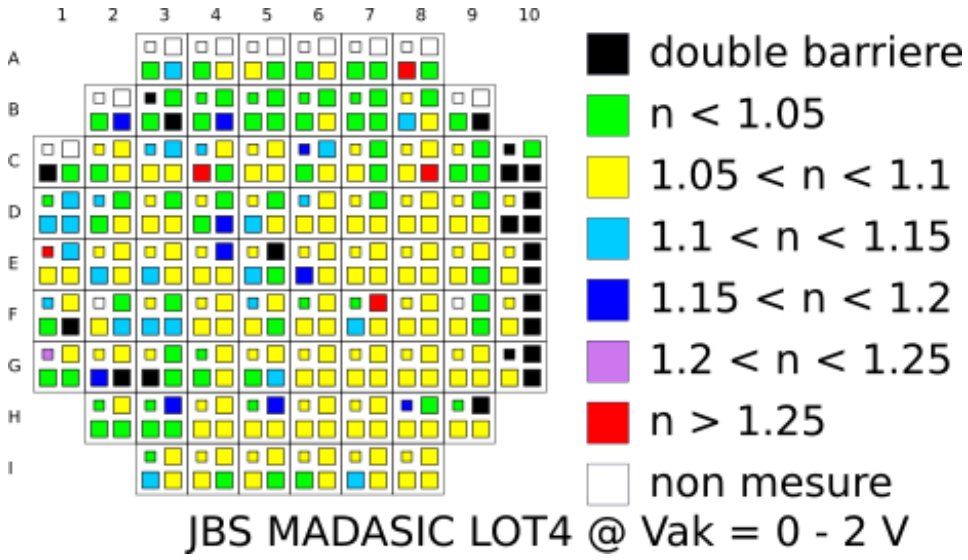


FIGURE 40 – Coefficient d'idéalité de la plaque FA0852-05

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

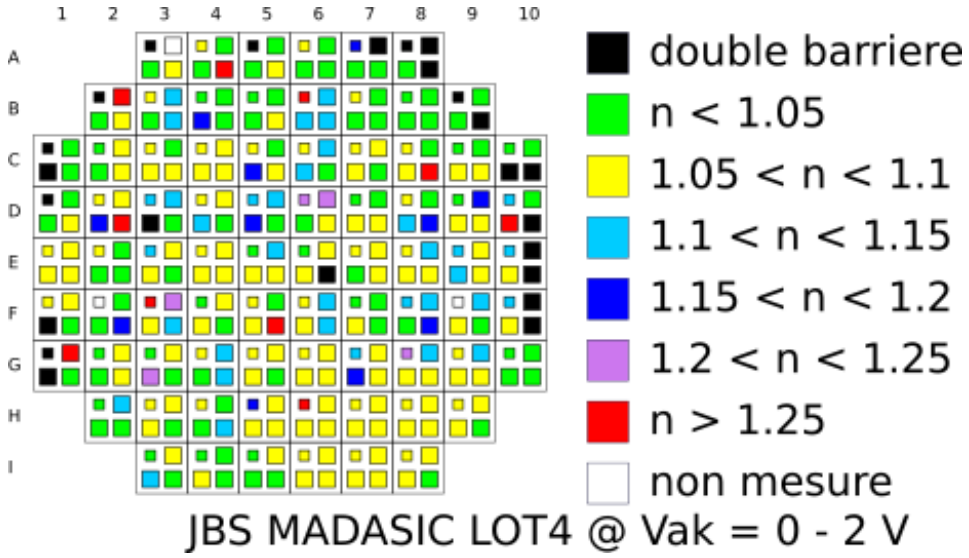


FIGURE 41 – Coefficient d'idéalité de la plaque JA0843-20

Hauteur de barrière

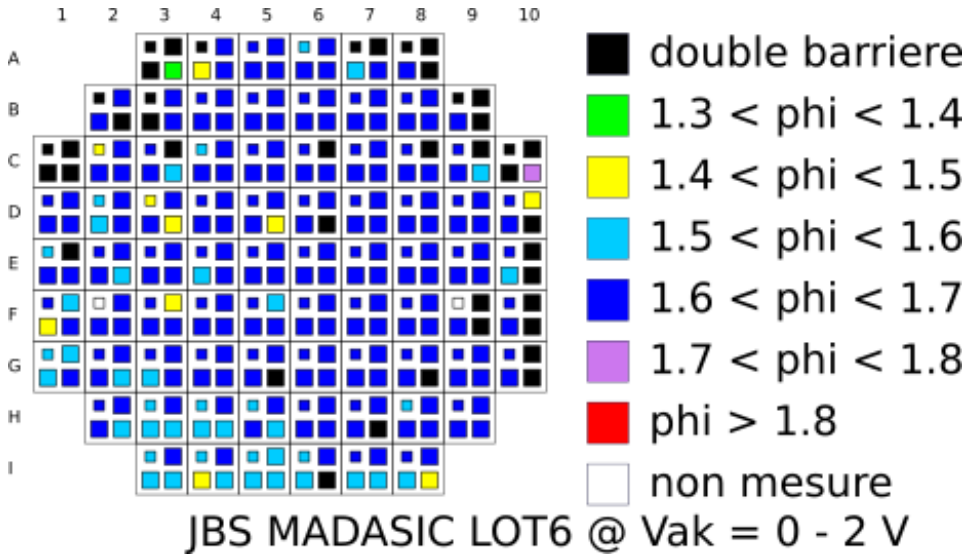


FIGURE 42 – Hauteur de barrière de la plaque AM1025-13

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

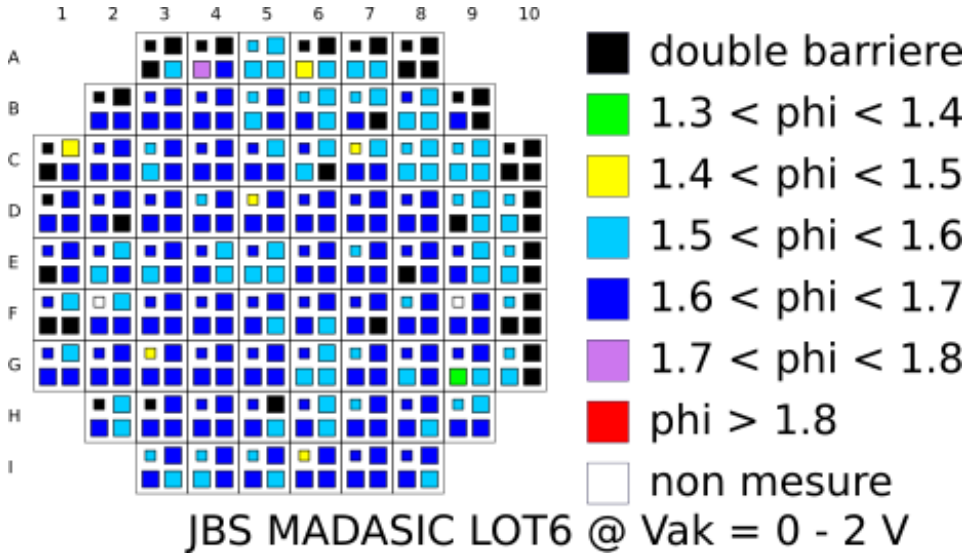


FIGURE 43 – Hauteur de barrière de la plaque AO1021-04

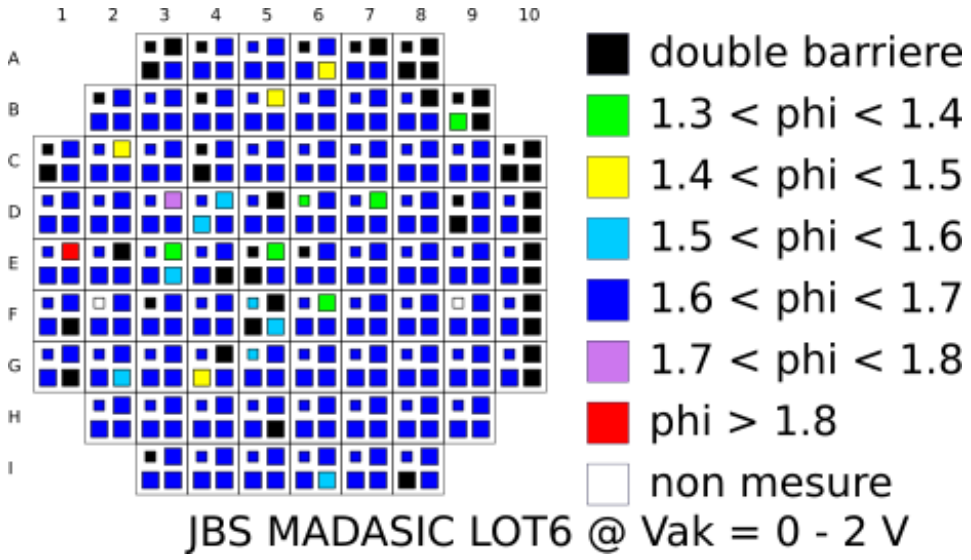


FIGURE 44 – Hauteur de barrière de la plaque BQ1656-38

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

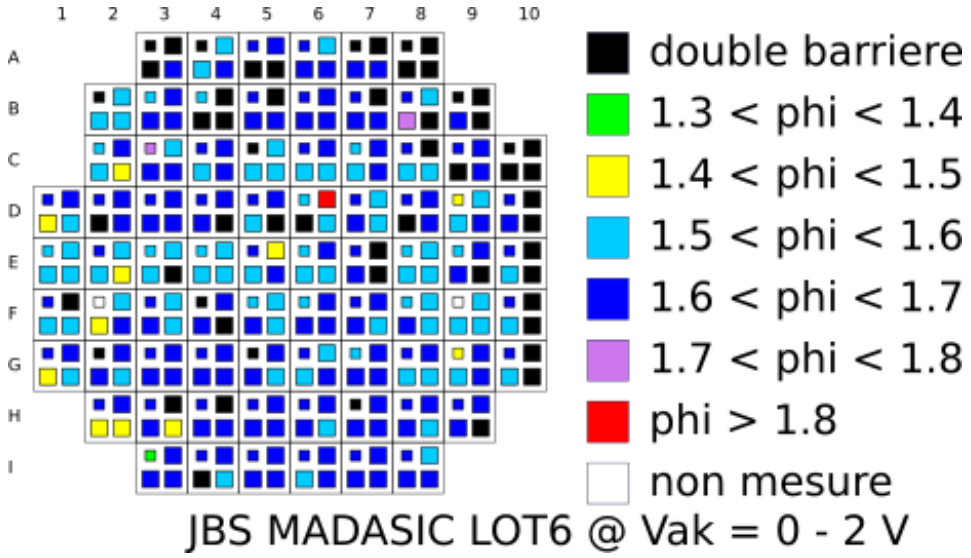


FIGURE 45 – Hauteur de barrière de la plaque CH0114-27

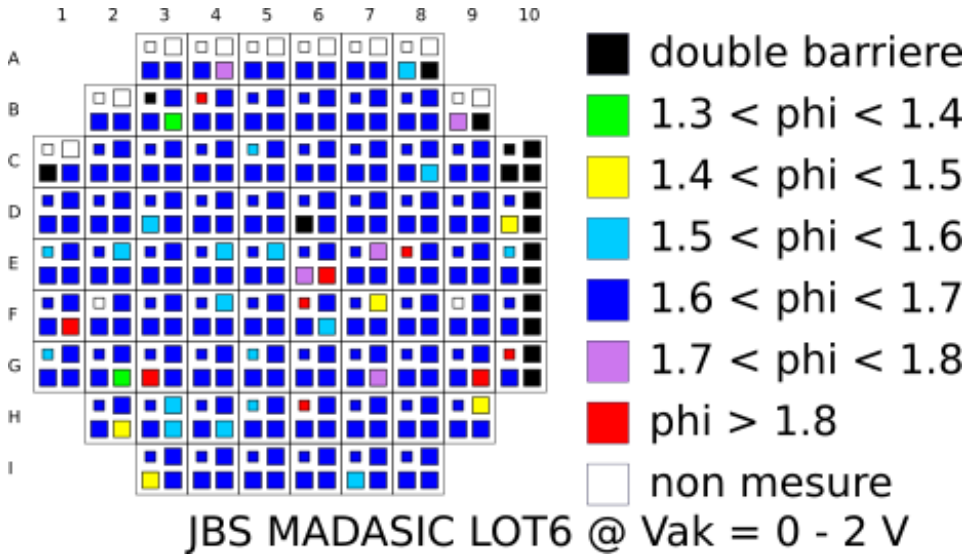


FIGURE 46 – Hauteur de barrière de la plaque FA0852-05

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

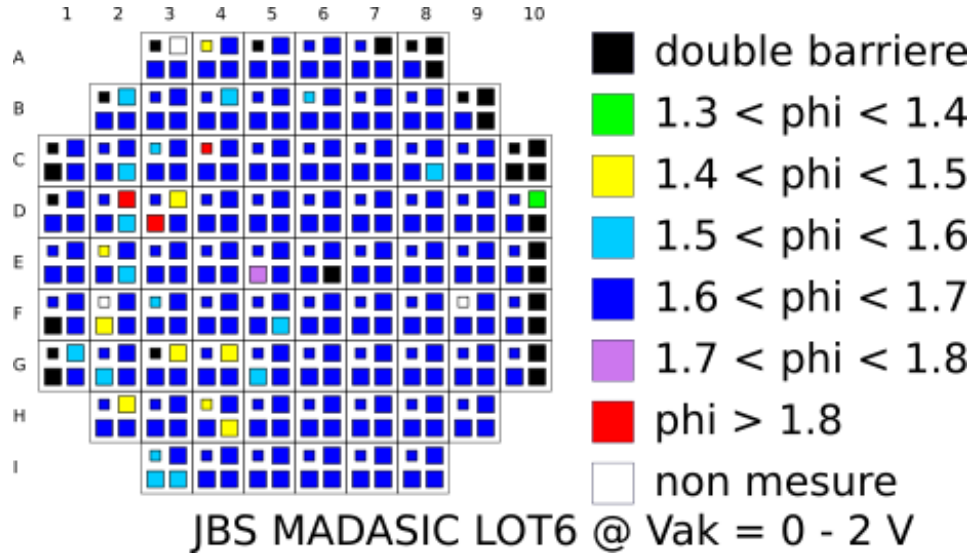


FIGURE 47 – Hauteur de barrière de la plaque JA0843-20

Tenue de tension

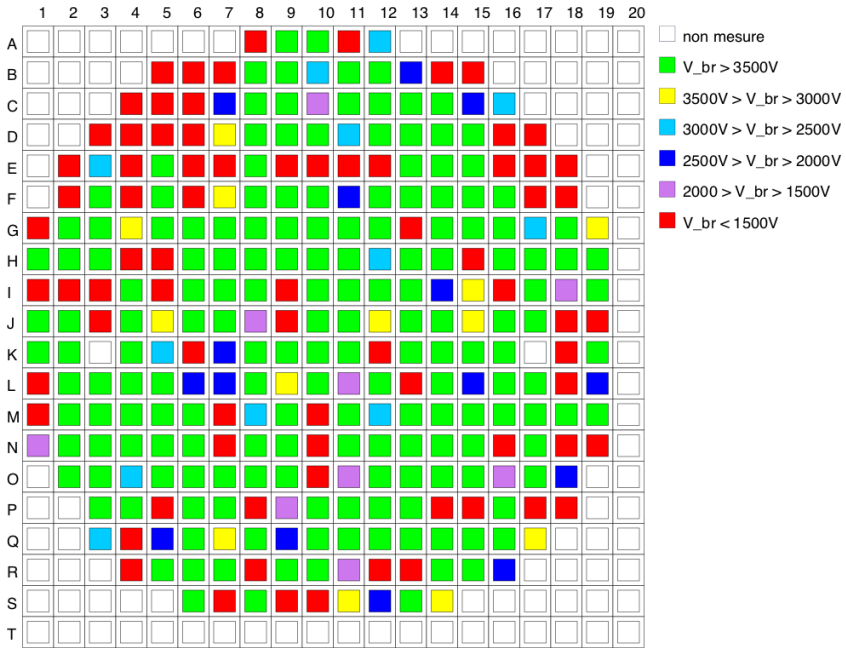


FIGURE 48 – Tenue de tension de la plaque AM1025-13

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

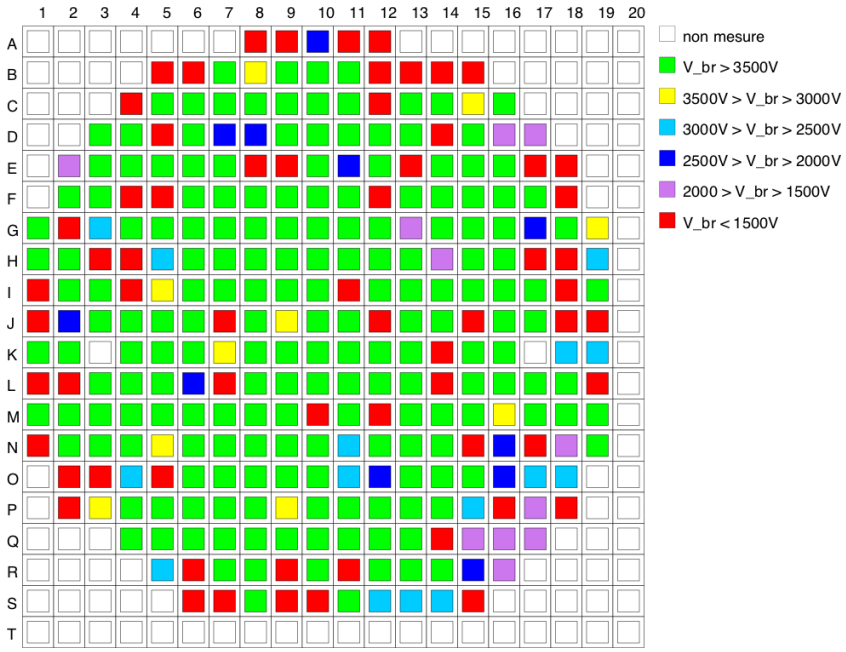


FIGURE 49 – Tenue de tension de la plaque AO1021-04

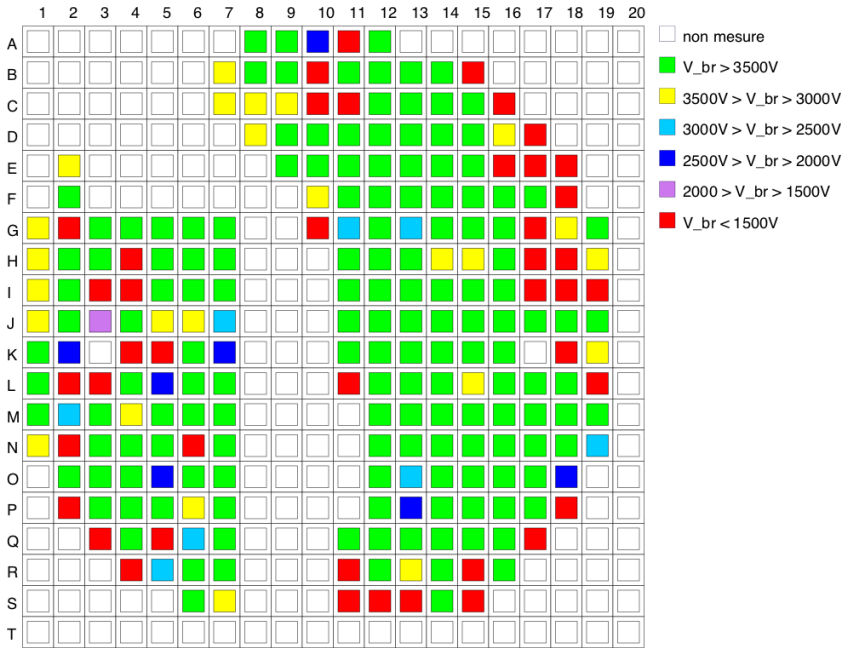


FIGURE 50 – Tenue de tension de la plaque BQ1656-38

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

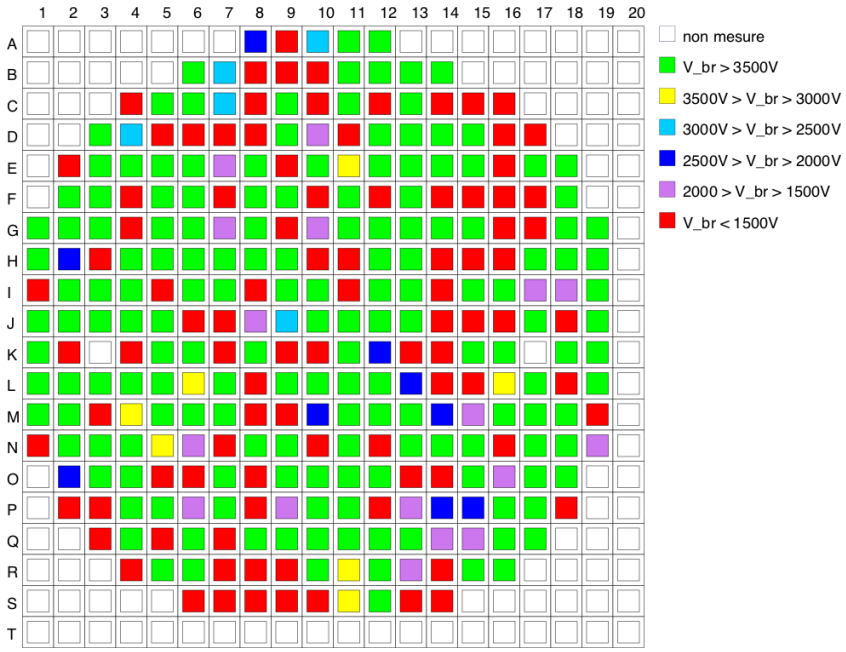


FIGURE 51 – Tenue de tension de la plaque CH0114-27

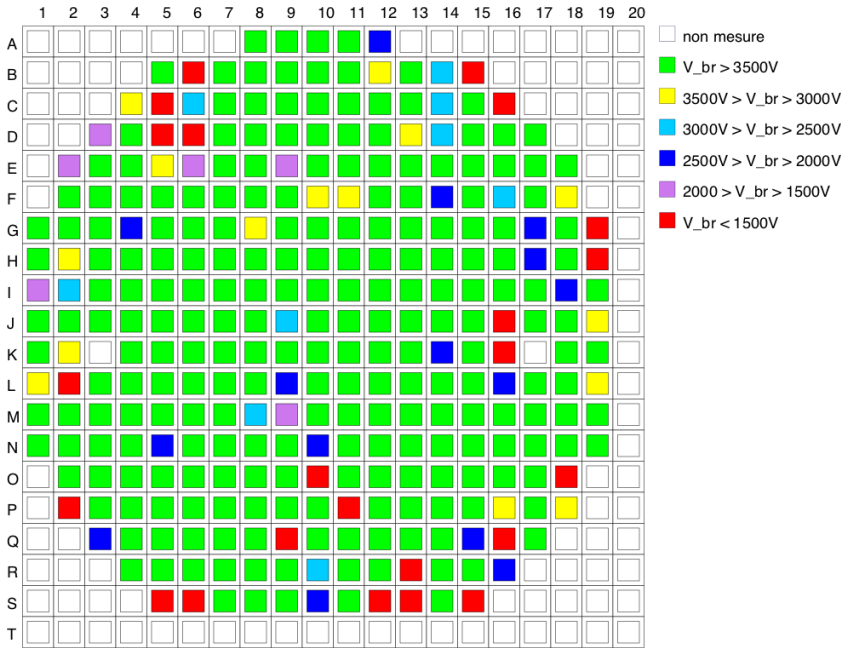


FIGURE 52 – Tenue de tension de la plaque FA0852-05

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

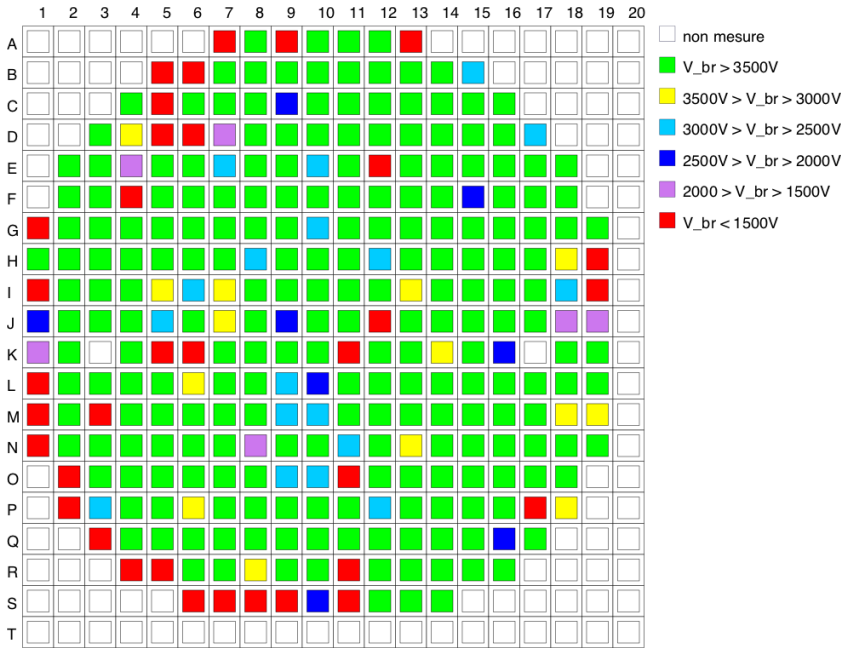


FIGURE 53 – Tenue de tension de la plaque JA0843-20

Cartographies du LOT7

Coefficient d'idéalité

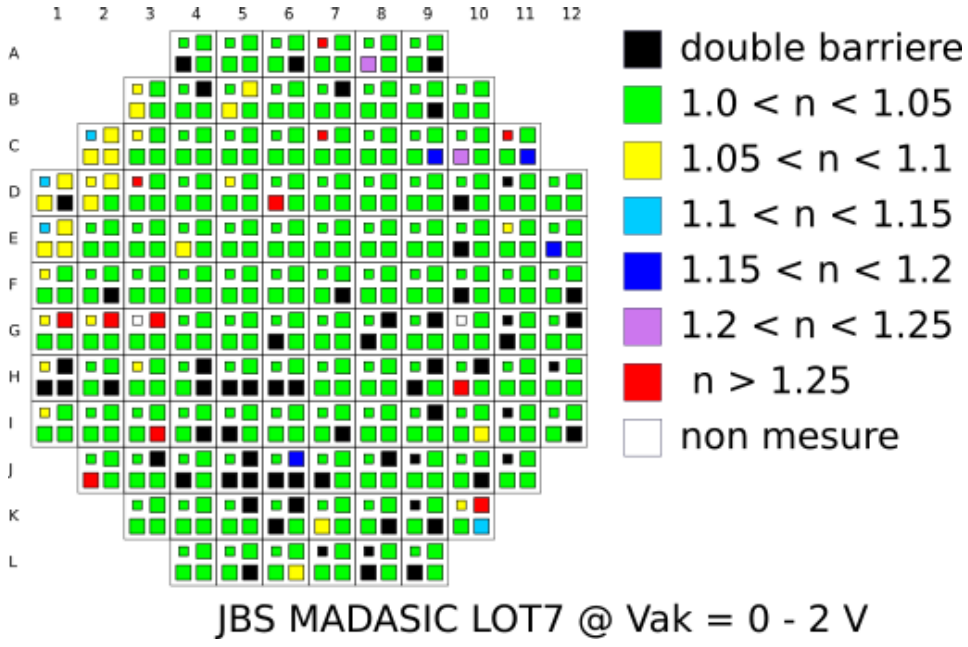


FIGURE 54 – Coefficient d'idéalité de la plaque BC1427-02DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

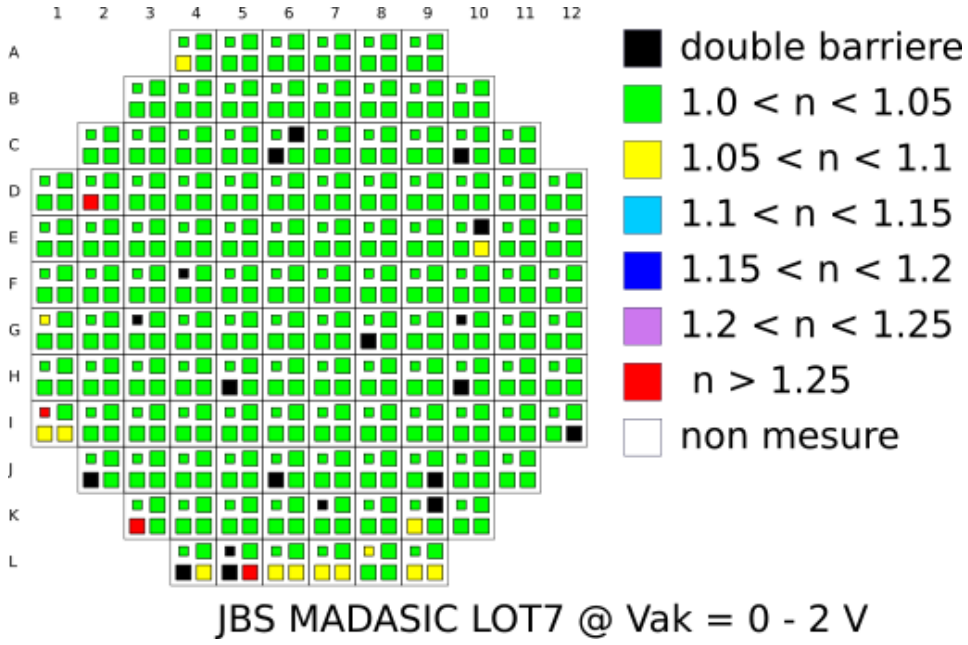


FIGURE 55 – Coefficient d'idéalité de la plaque BC1427-04DC4

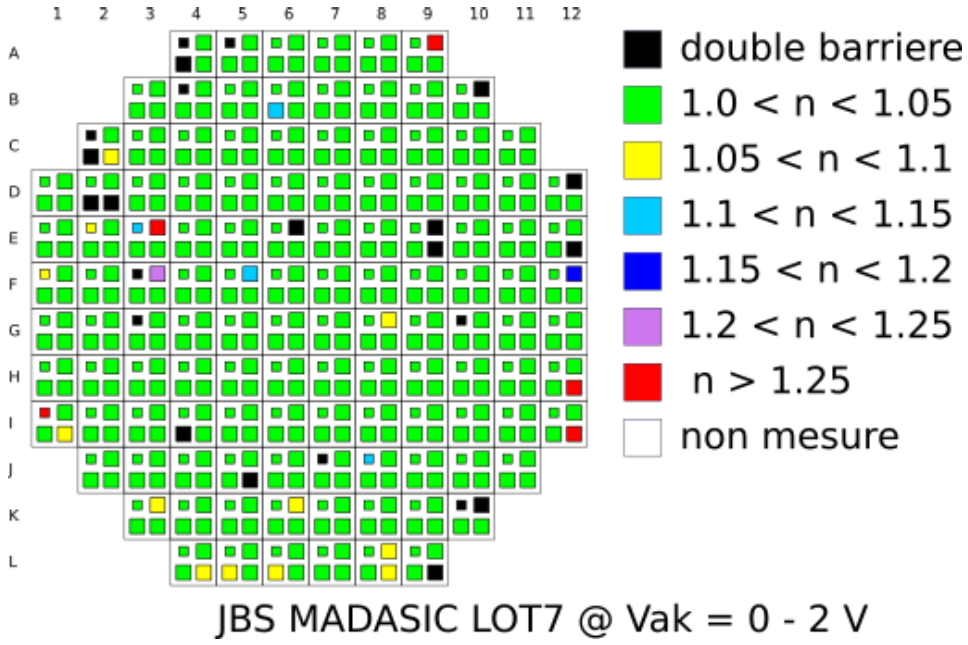


FIGURE 56 – Coefficient d'idéalité de la plaque BC1427-05DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

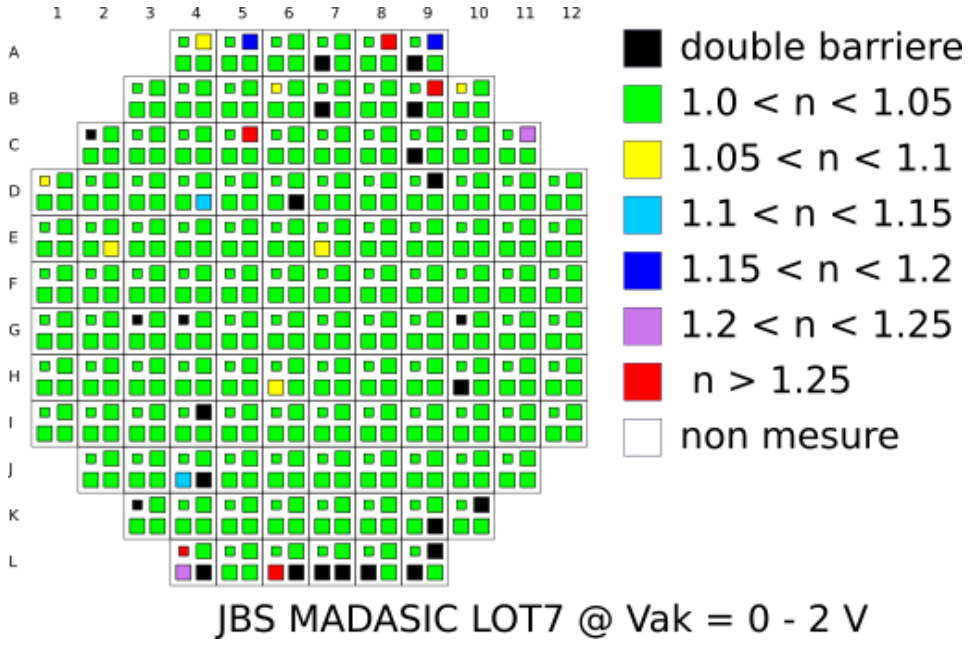


FIGURE 57 – Coefficient d'idéalité de la plaque BC1427-06DC4

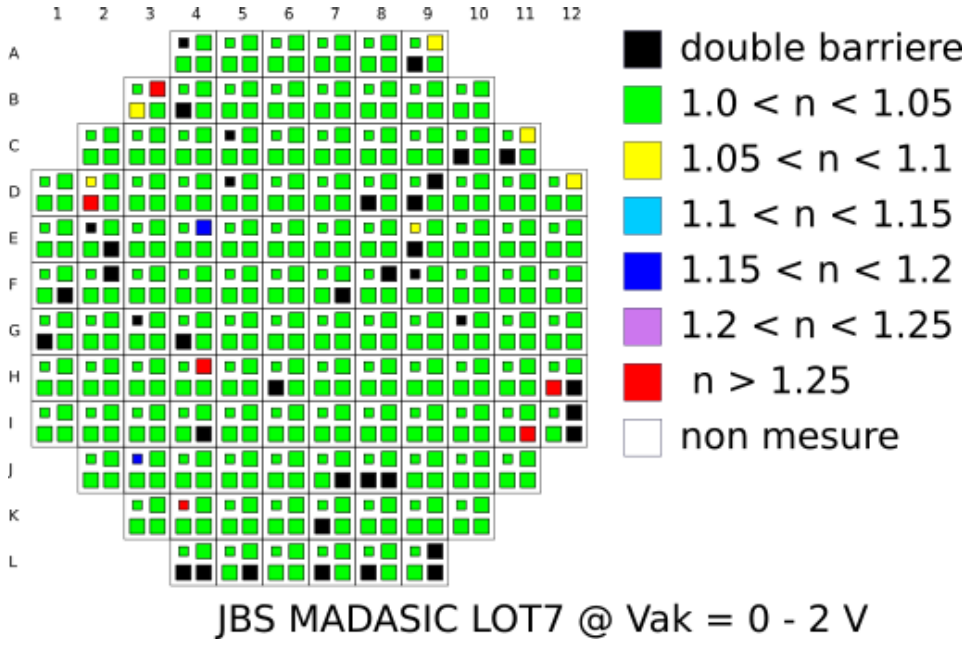


FIGURE 58 – Coefficient d'idéalité de la plaque BC1427-07DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

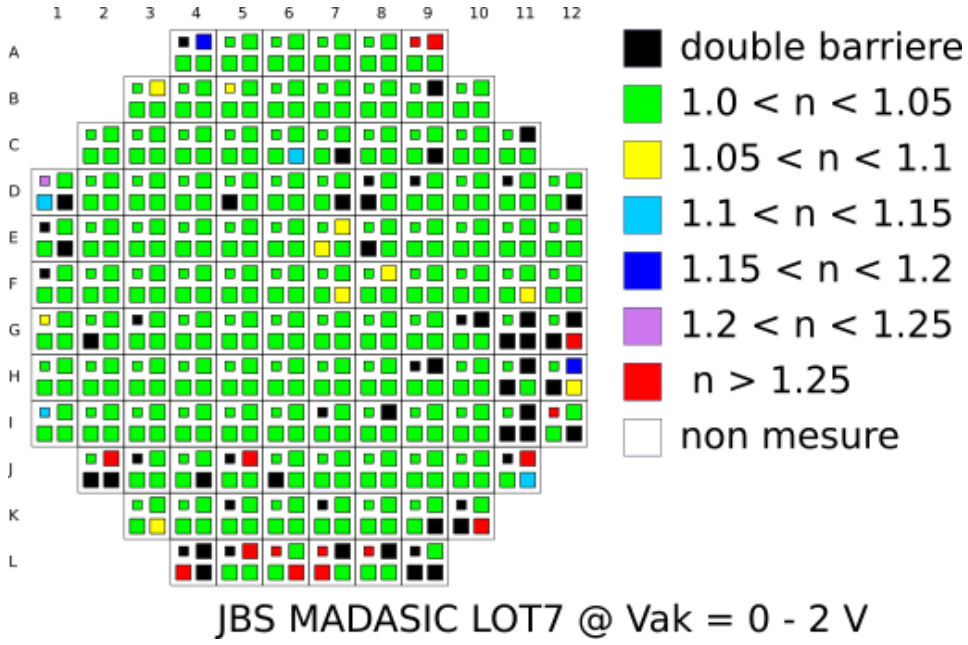


FIGURE 59 – Coefficient d'idéalité de la plaque BC1427-09DC4

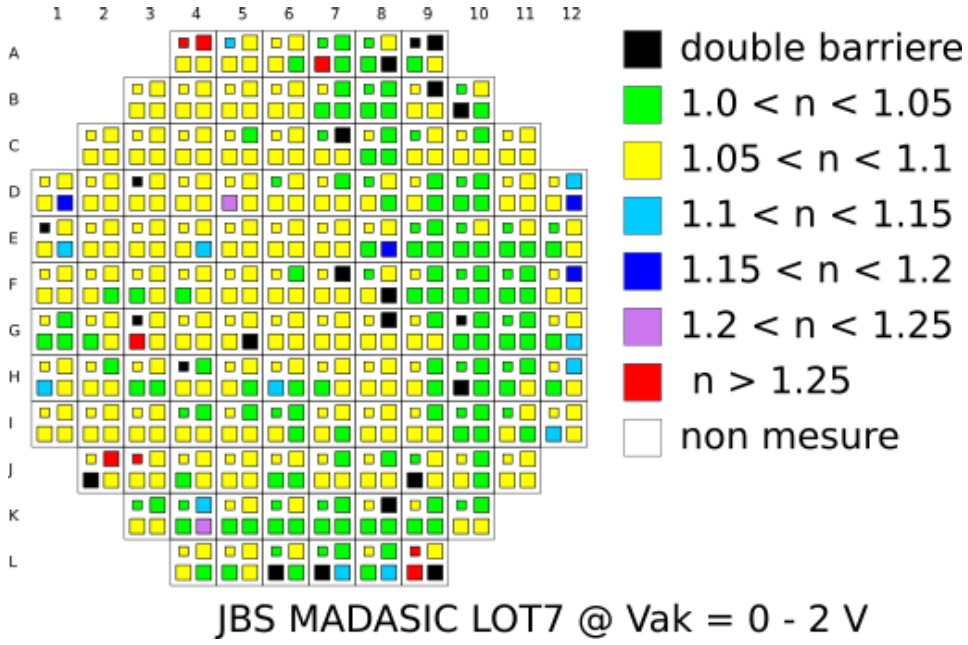


FIGURE 60 – Coefficient d'idéalité de la plaque BC1427-10DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Hauteur de barrière

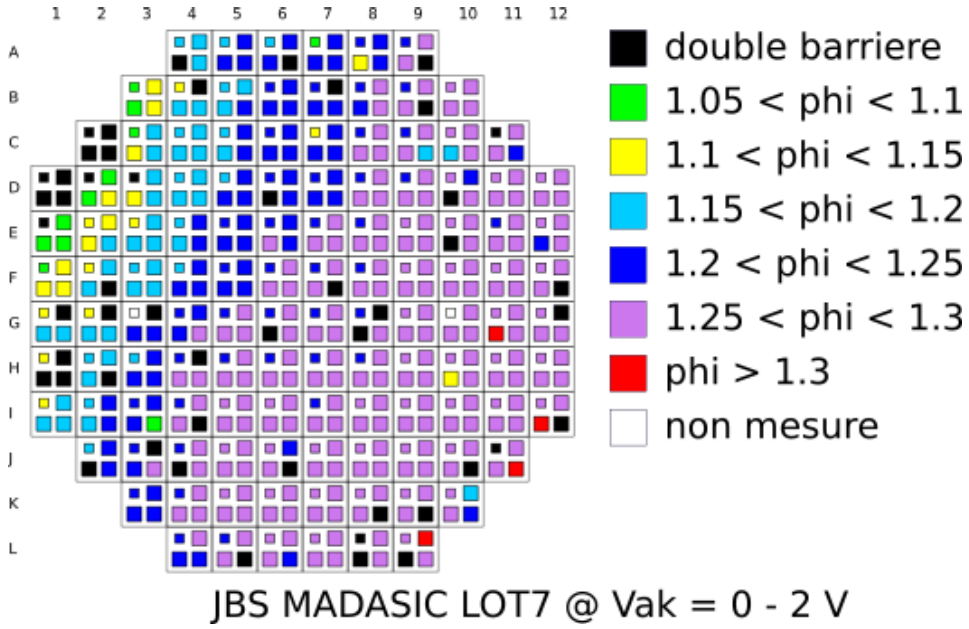


FIGURE 61 – Hauteur de barrière de la plaque BC1427-02DC4

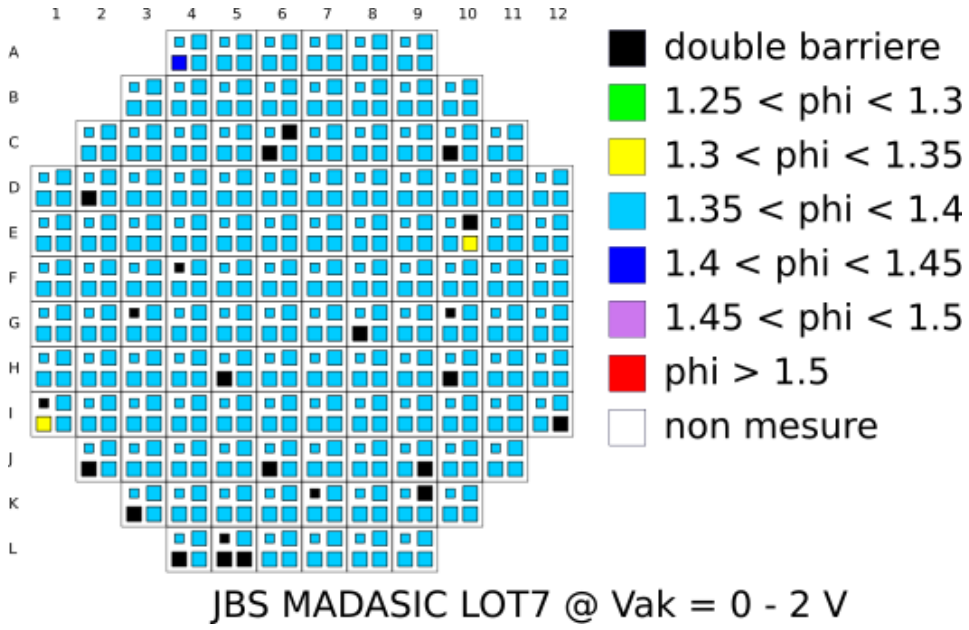


FIGURE 62 – Hauteur de barrière de la plaque BC1427-04DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

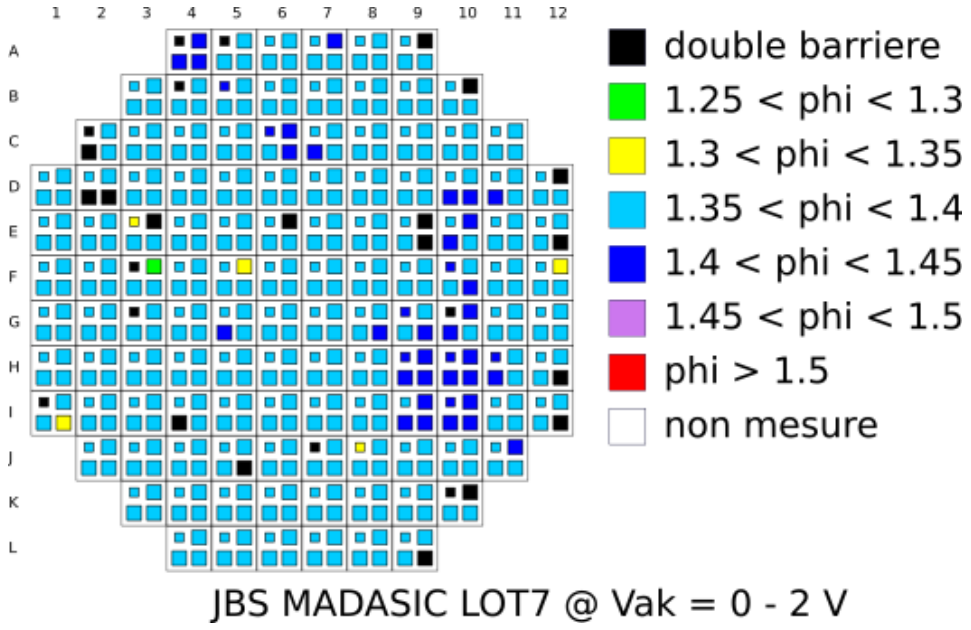


FIGURE 63 – Hauteur de barrière de la plaque BC1427-05DC4

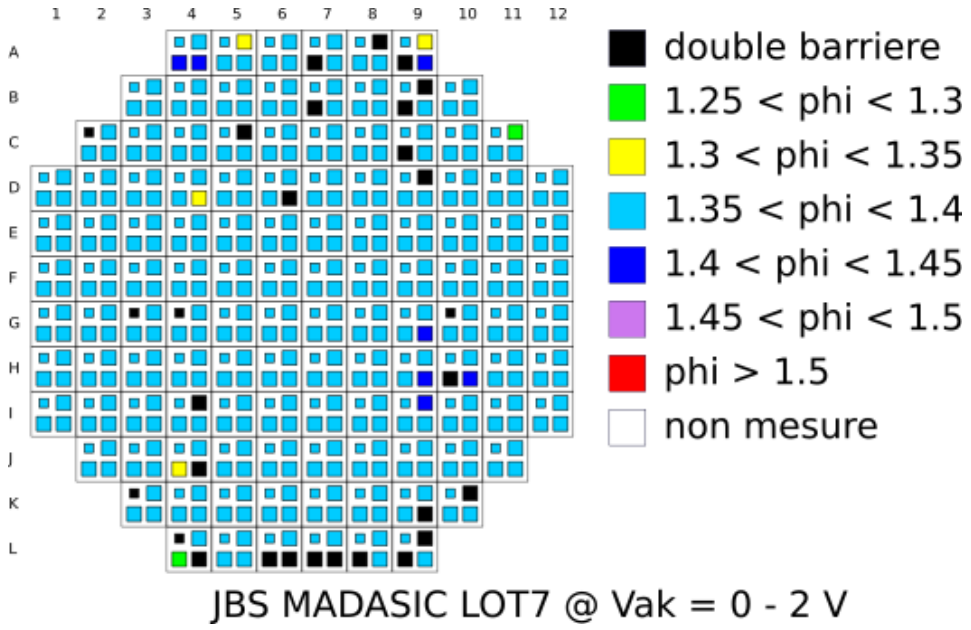


FIGURE 64 – Hauteur de barrière de la plaque BC1427-06DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

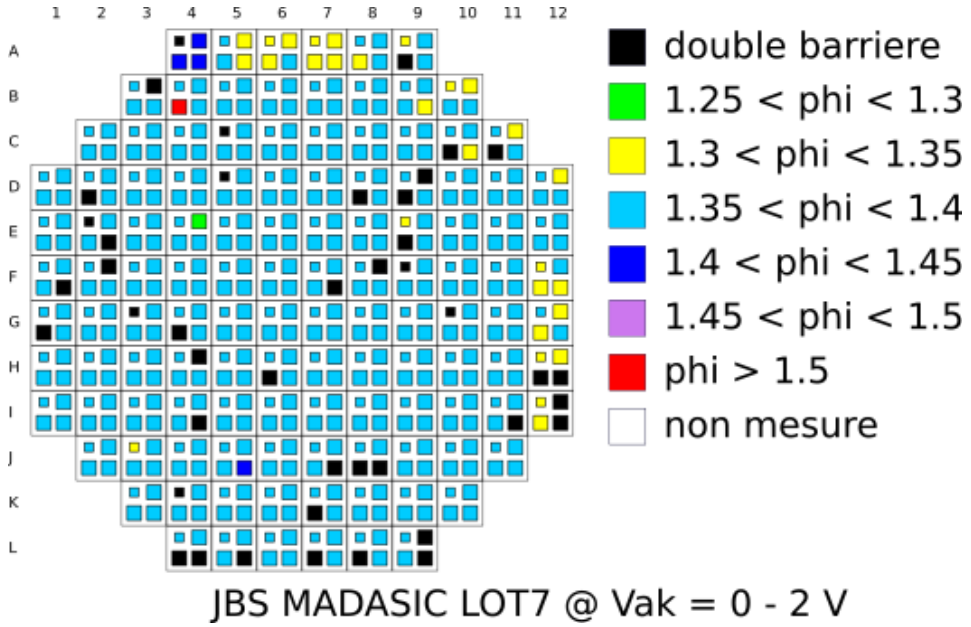


FIGURE 65 – Hauteur de barrière de la plaque BC1427-07DC4

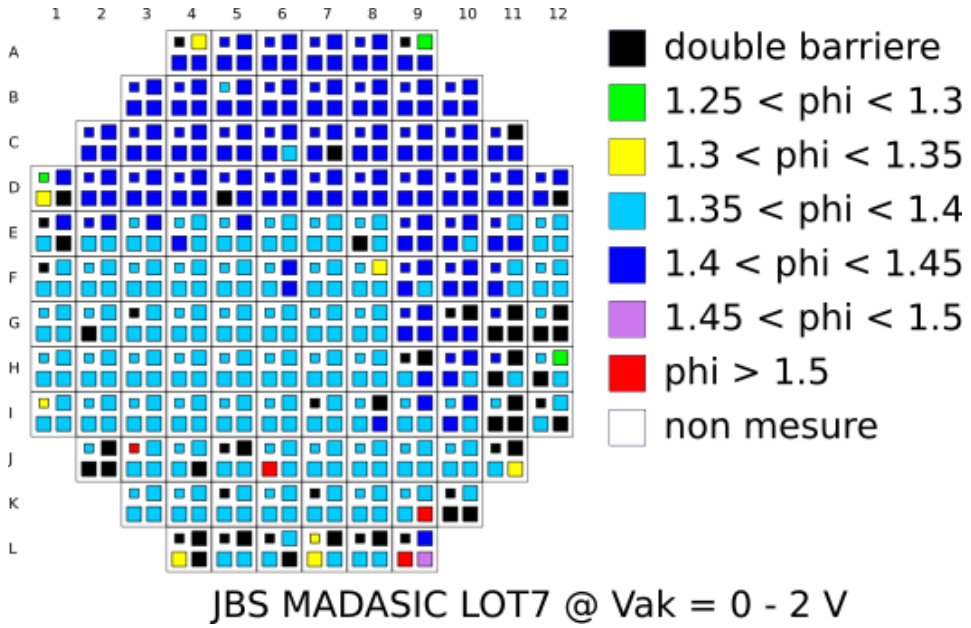


FIGURE 66 – Hauteur de barrière de la plaque BC1427-09DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

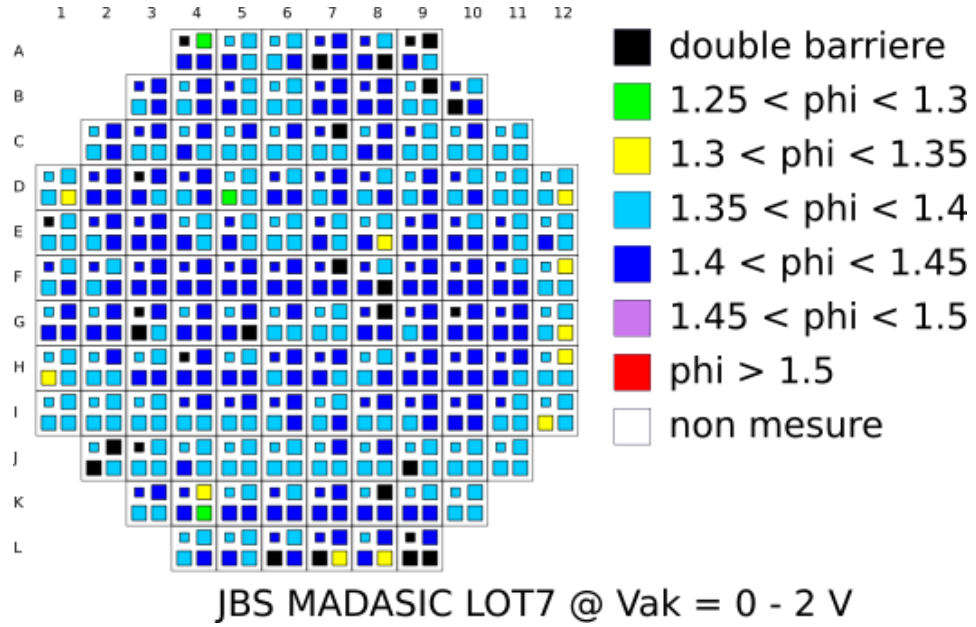


FIGURE 67 – Hauteur de barrière de la plaque BC1427-10DC4

Tenue de tension

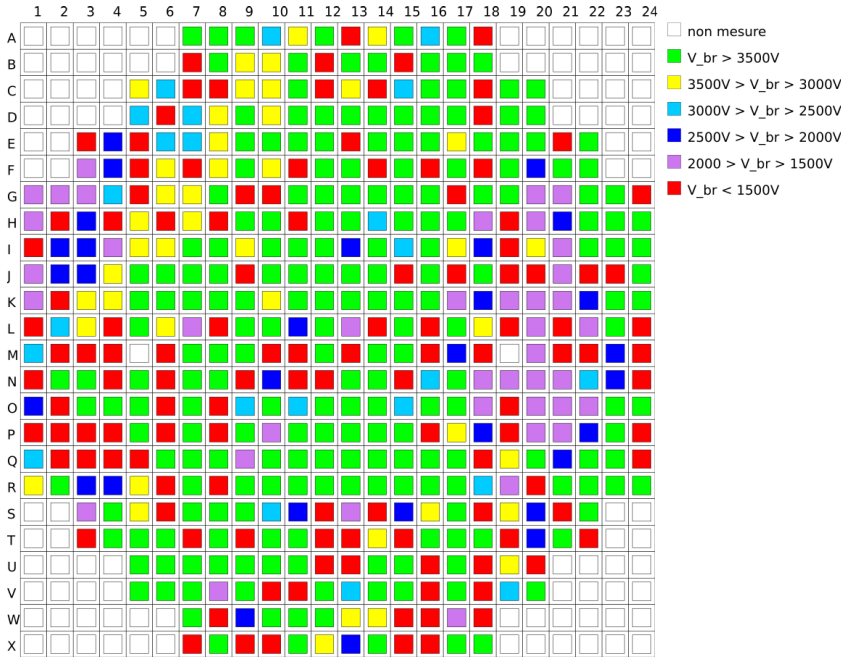


FIGURE 68 – Tenue de tension de la plaque BC1427-02DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

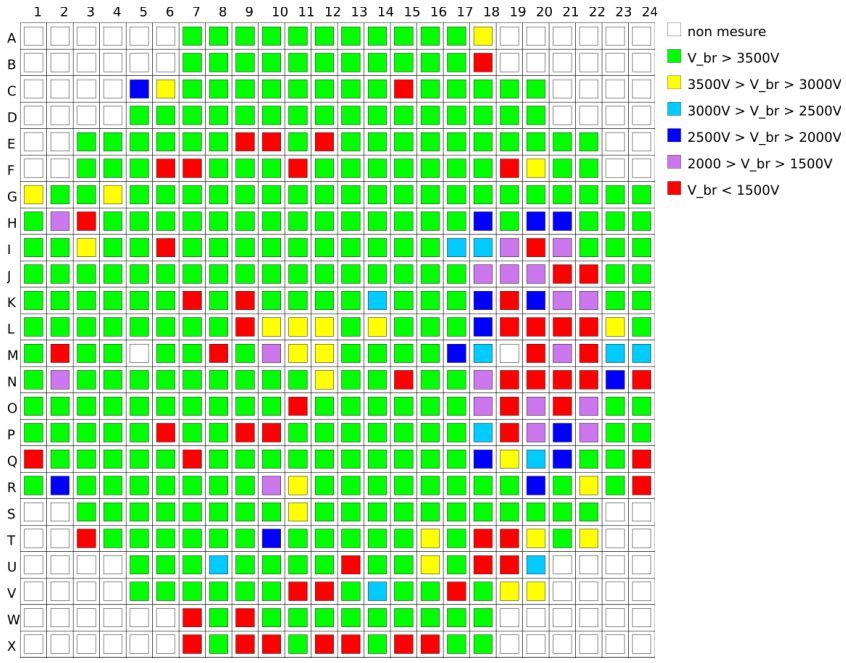


FIGURE 69 – Tenue de tension de la plaque BC1427-04DC4

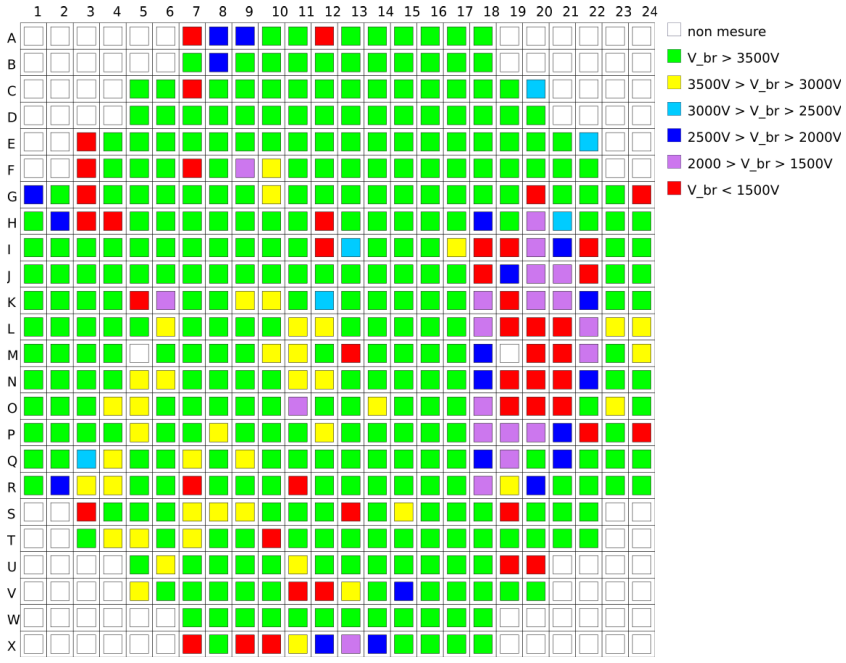


FIGURE 70 – Tenue de tension de la plaque BC1427-05DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

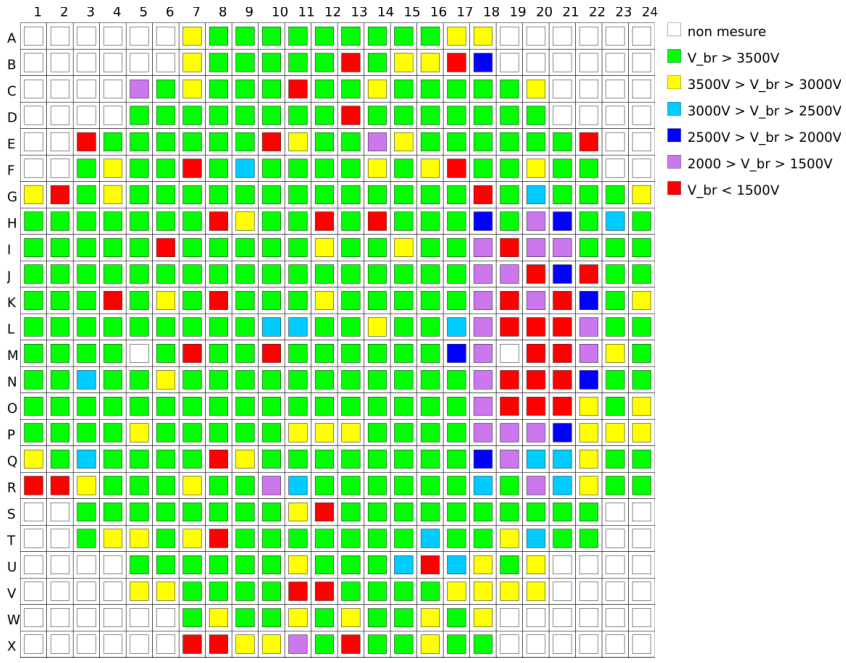


FIGURE 71 – Tenue de tension de la plaque BC1427-06DC4

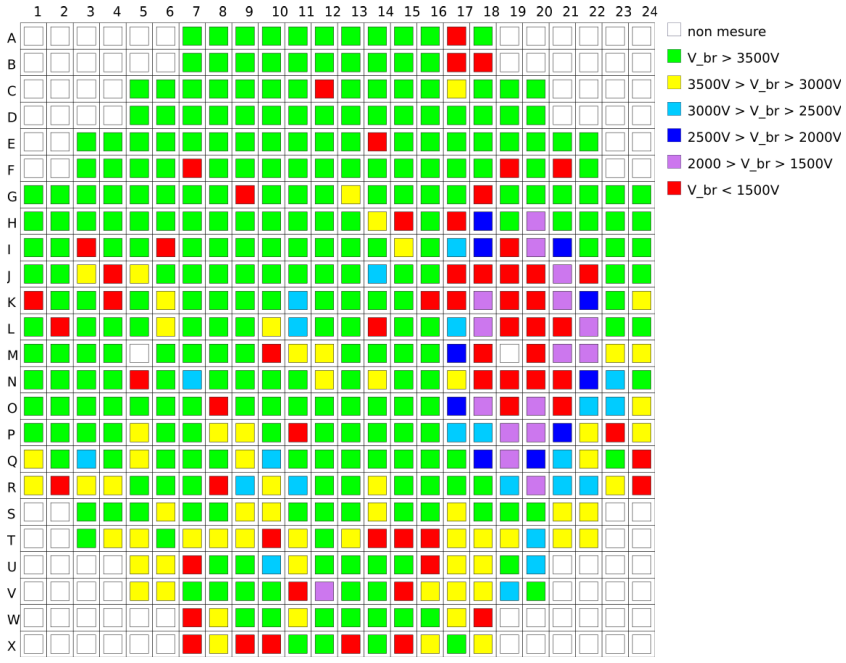


FIGURE 72 – Tenue de tension de la plaque BC1427-07DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

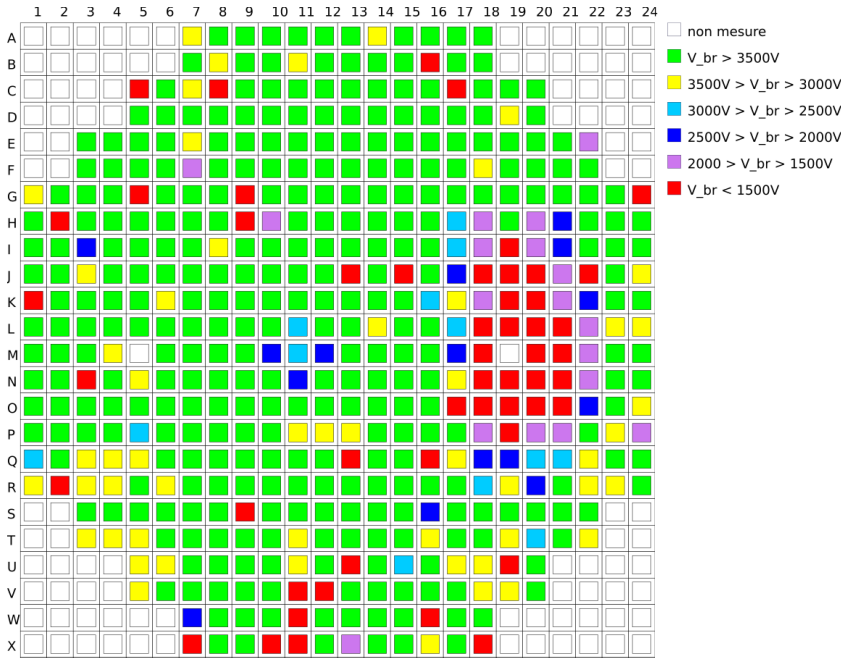


FIGURE 73 – Tenue de tension de la plaque BC1427-09DC4

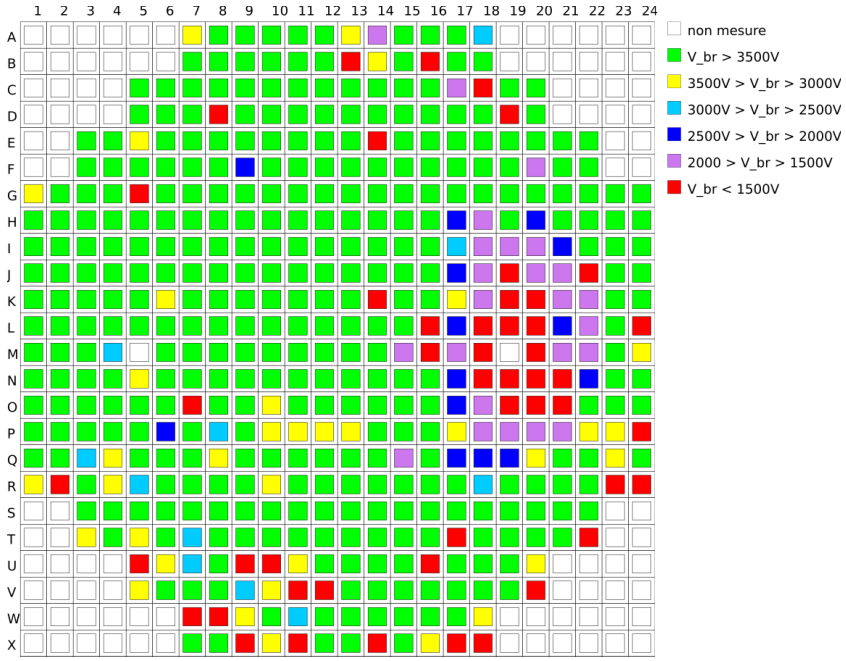


FIGURE 74 – Tenue de tension de la plaque BC1427-10DC4

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Caractéristique directe et inverse par plaque

Lot 4

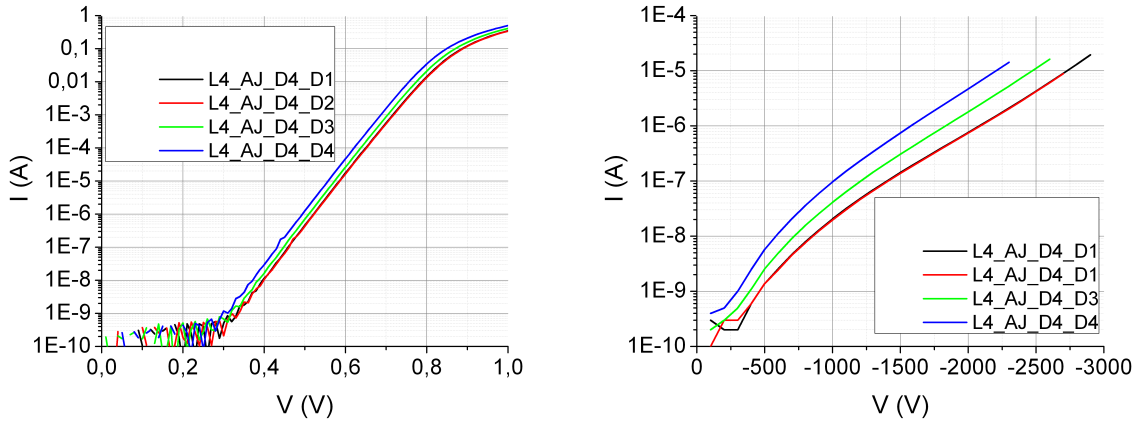


FIGURE 75 – Caractéristique d'un champ de la W1 (AJ-1303-11) du lot 4.

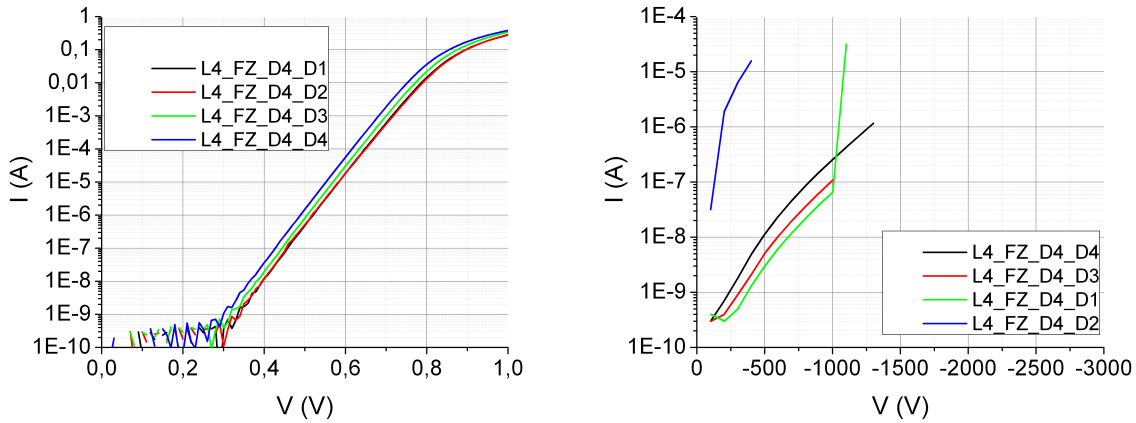


FIGURE 76 – Caractéristique d'un champ de la W2 (FZ0958-03) du lot 4.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

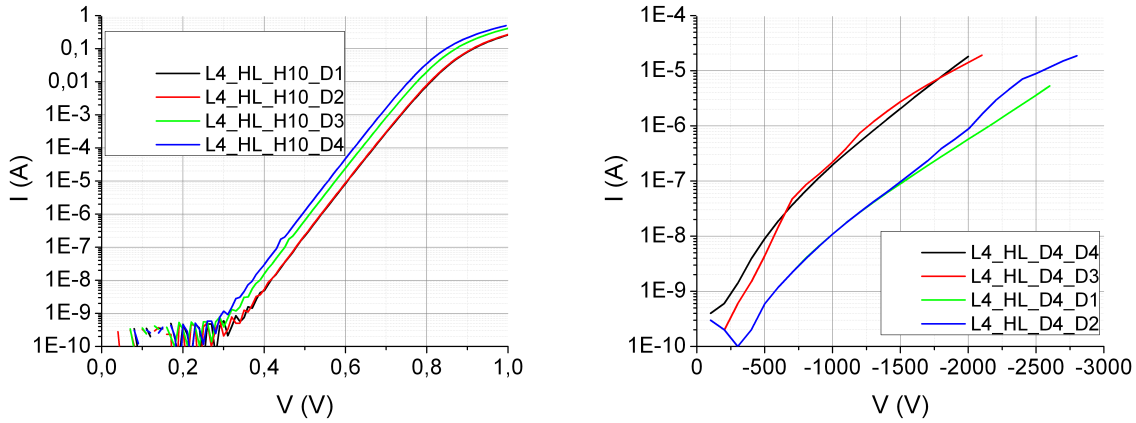


FIGURE 77 – Caractéristique d'un champ de la W3 (HL0623-03) du lot 4.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Lot 6

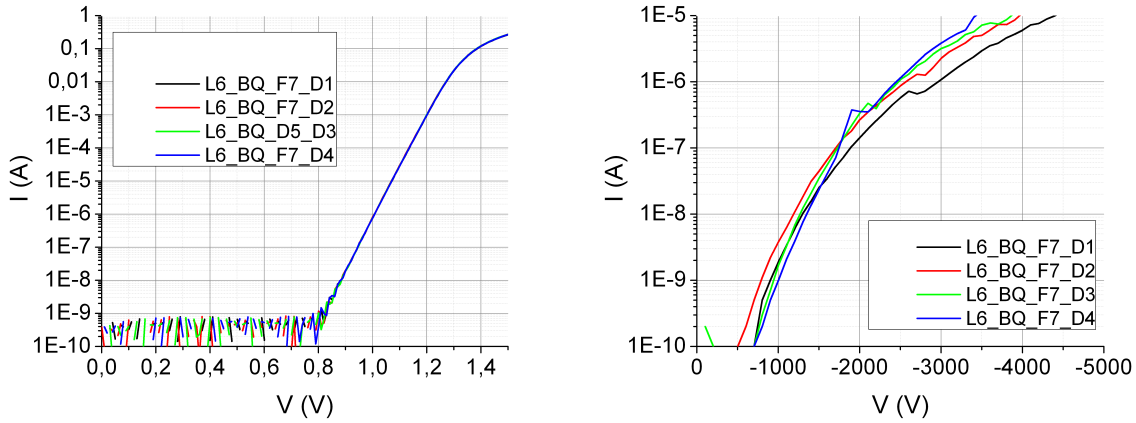


FIGURE 78 – Caractéristique d'un champ de la W1 (BQ1656-03) du lot 6.

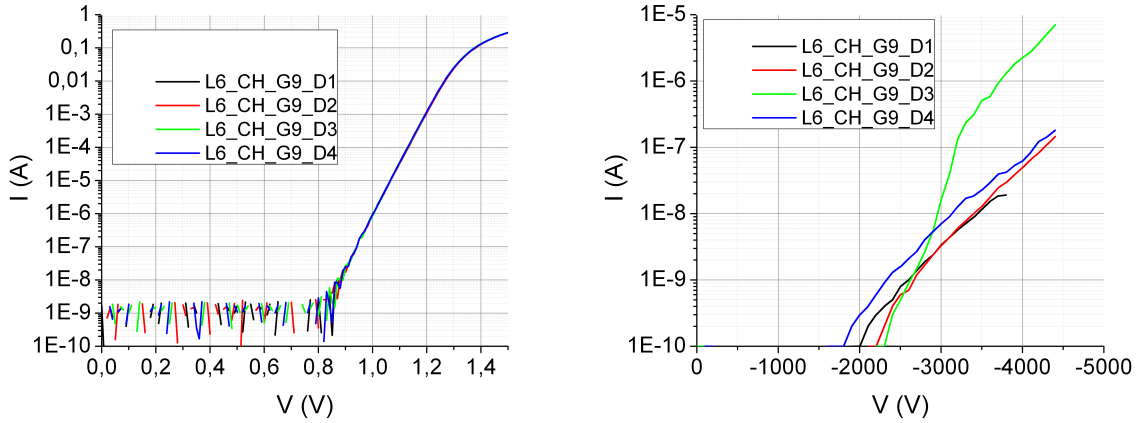


FIGURE 79 – Caractéristique d'un champ de la W2 (CH0114-27) du lot 6.

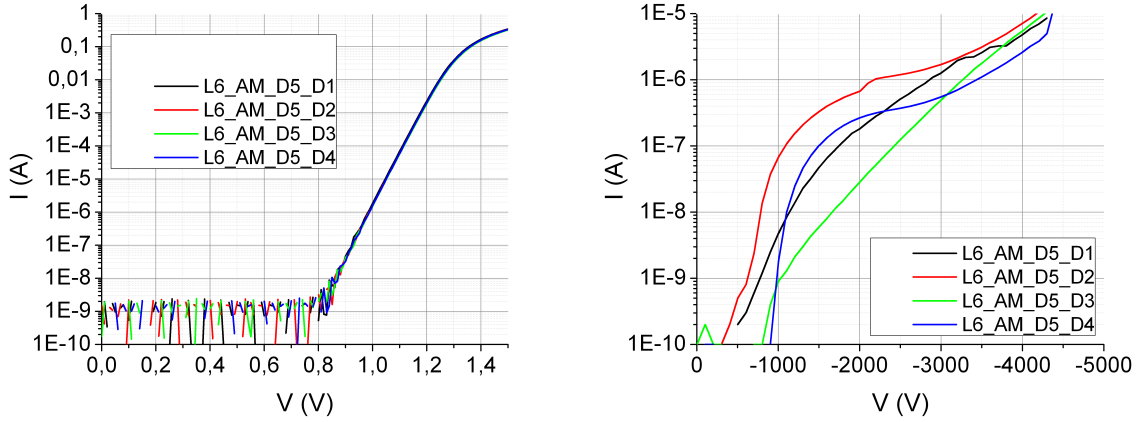


FIGURE 80 – Caractéristique d'un champ de la W3 (AM1025-13) du lot 6.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

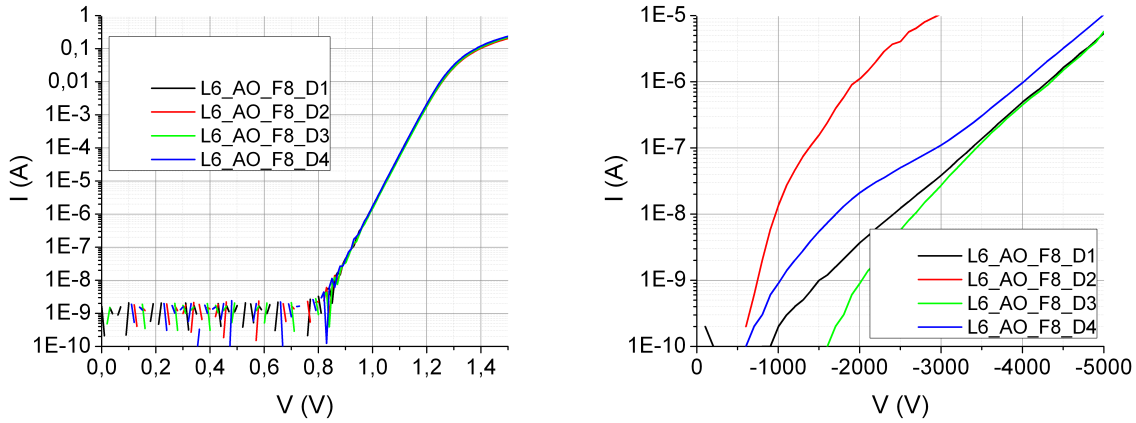


FIGURE 81 – Caractéristique d'un champ de la W4 (AO1021-04) du lot 6.

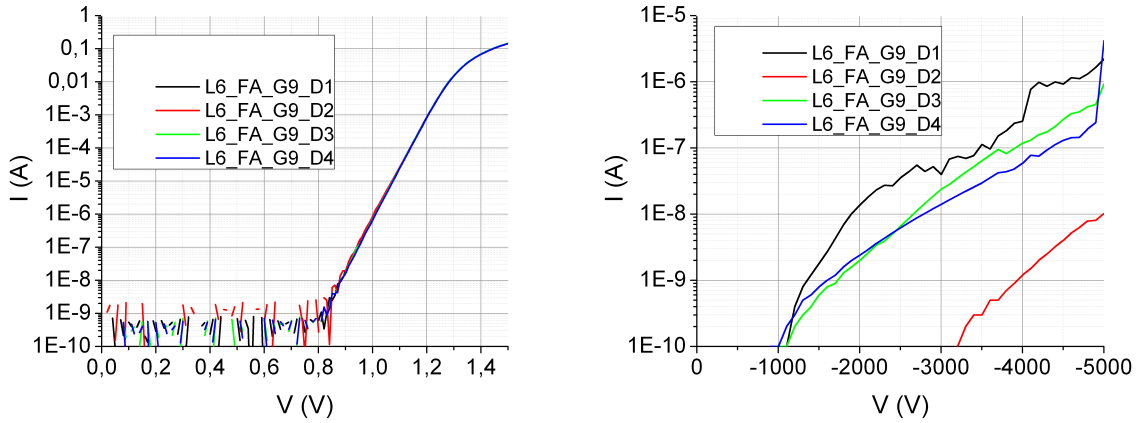


FIGURE 82 – Caractéristique d'un champ de la W5 (FA0852-05) du lot 6.

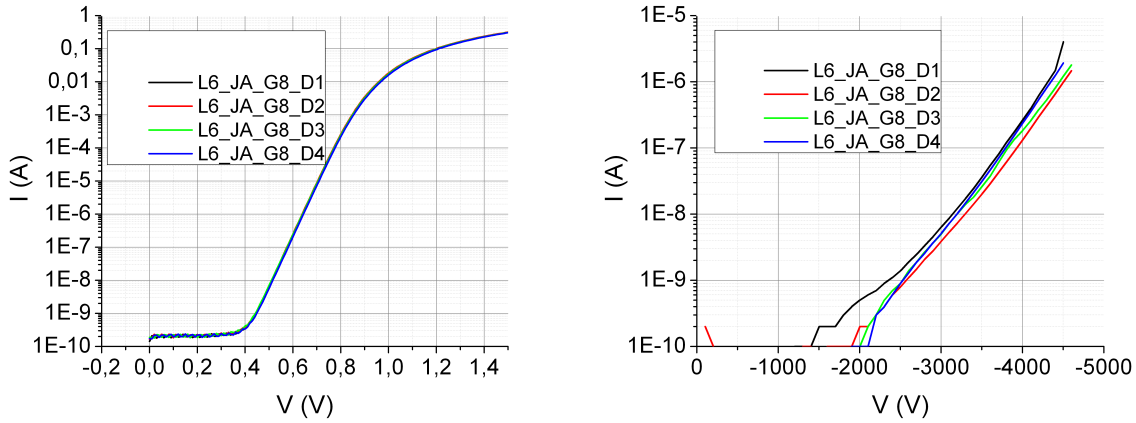


FIGURE 83 – Caractéristique d'un champ de la W6 (JA0843-20) du lot 6.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Lot 7

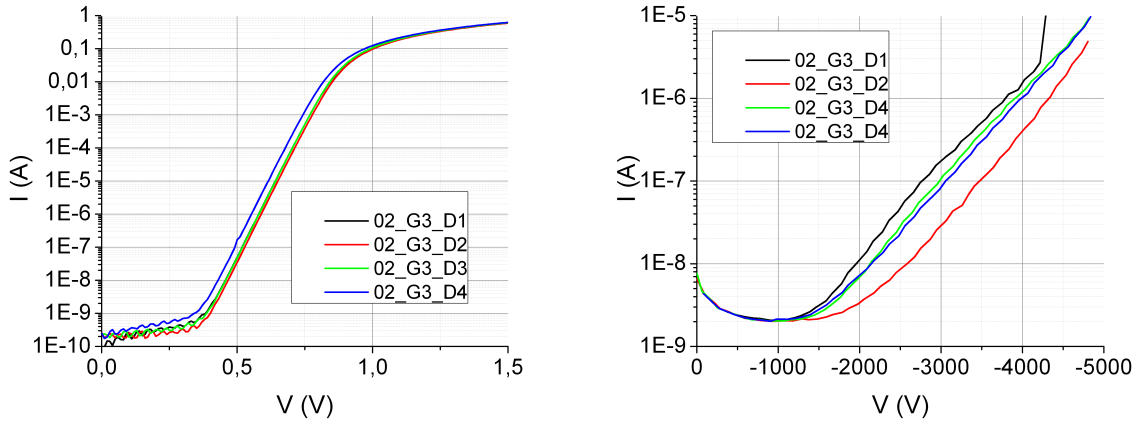


FIGURE 84 – Caractéristique d'un champ de la W1 (BC1427-02) du lot 7.

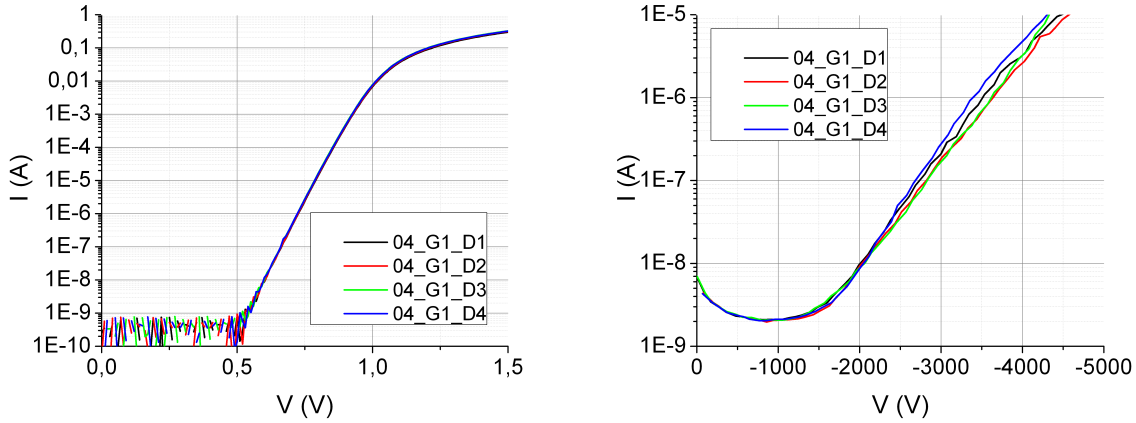


FIGURE 85 – Caractéristique d'un champ de la W2 (BC1427-04) du lot 7.

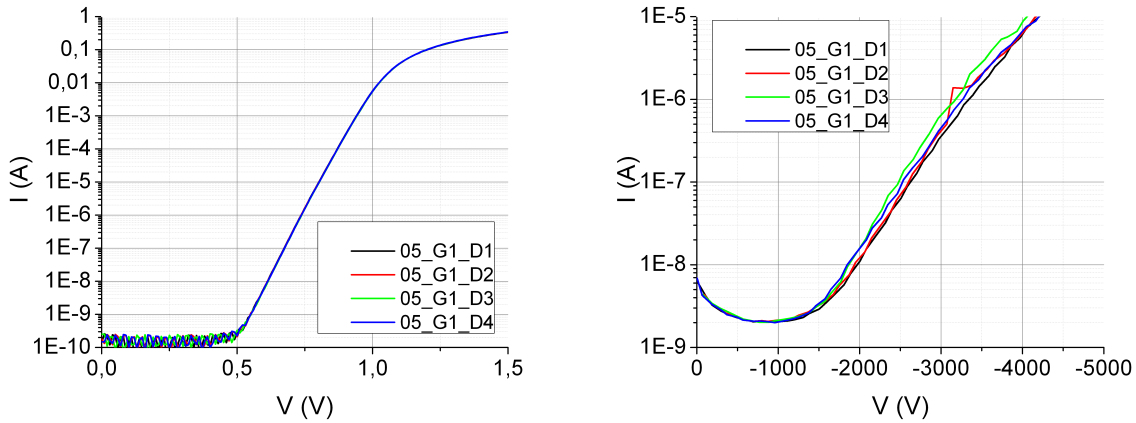


FIGURE 86 – Caractéristique d'un champ de la W3 (BC1427-05) du lot 7.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

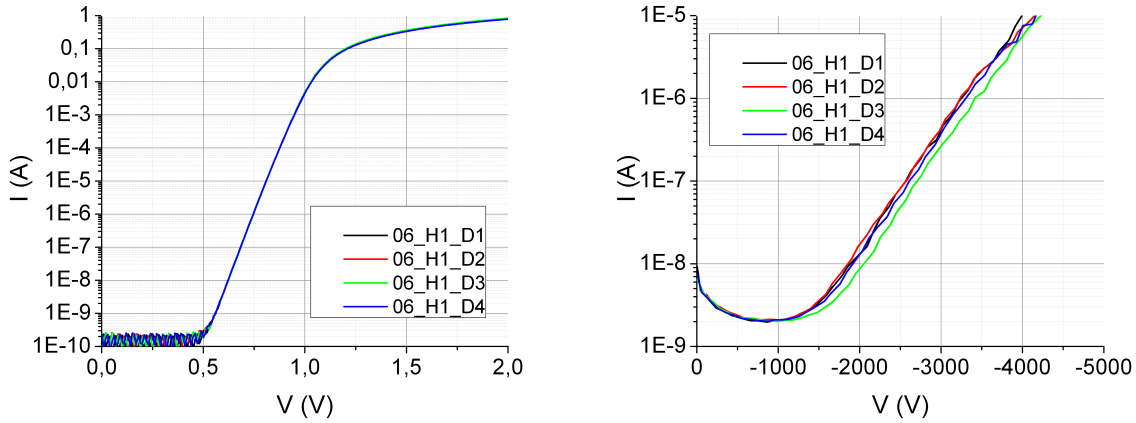


FIGURE 87 – Caractéristique d'un champ de la W4 (BC1427-06) du lot 7.

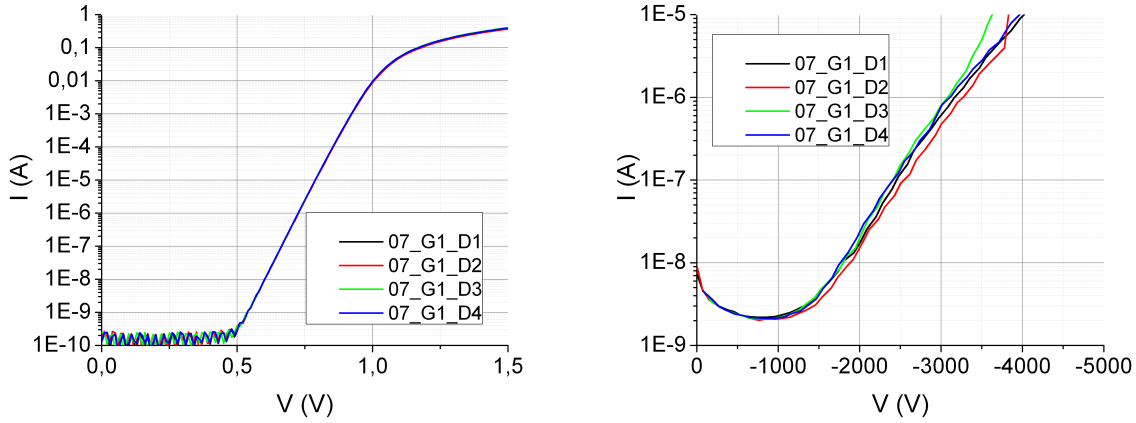


FIGURE 88 – Caractéristique d'un champ de la W5 (BC1427-07) du lot 7.

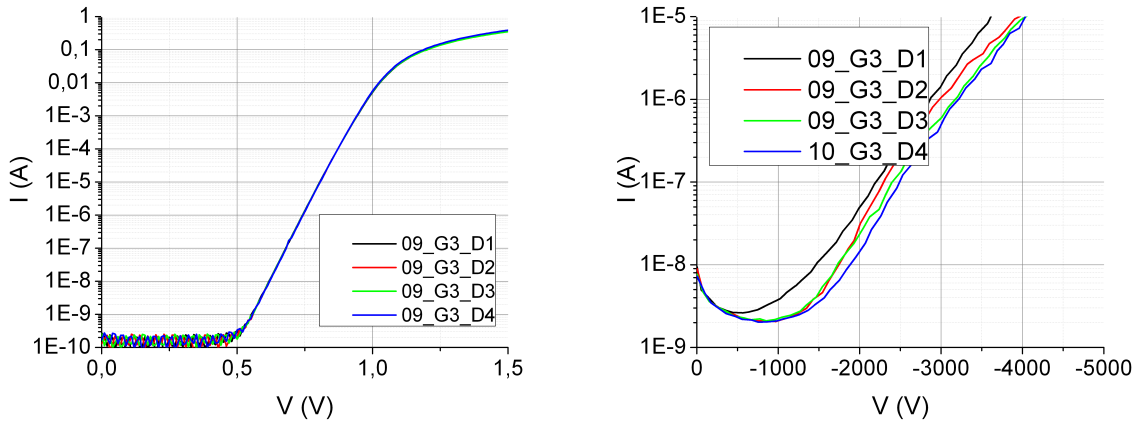


FIGURE 89 – Caractéristique d'un champ de la W6 (BC1427-09) du lot 7.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

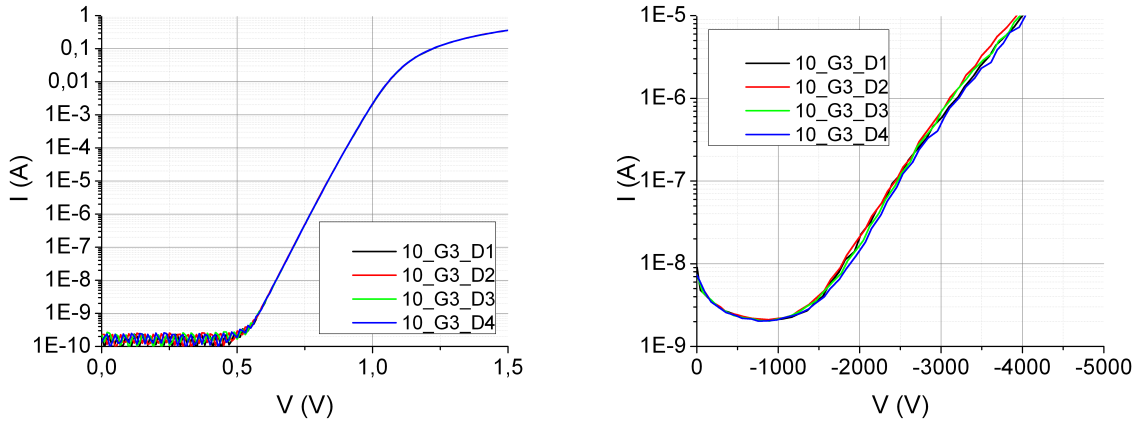


FIGURE 90 – Caractéristique d'un champ de la W7 (BC1427-10) du lot 7.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

Bibliographie

[1] J Berzelius. « Undersökning af några mineralier. » In : (1824) (cf. p. 3).

[2] E. G. Acheson. *Production of Artifical Crystalline Carbonaceous Materials*. 1895 (cf. p. 3).

[3] HJ Round. « A note on carborundum ». In : *Electr. world* (1907) (cf. p. 3).

[4] LJ Anthony. « Sublimation process for manufacturing Silicon Carbide crystals ». In : *US Pat. 2,854,364* (1958) (cf. p. 4).

[5] L.J. Kroko et C.H. Chi. *Fused junctions in silicon carbide*. US Patent 2,937,323. 1960 (cf. p. 4).

[6] L.J. Kroko. *Silicon carbide rectifier*. US Patent 2,937,324. 1960 (cf. p. 4).

[7] R.N. Hall. *Silicon carbide semiconductor devices and method of preparation thereof*. US Patent 2,918,396. 1959 (cf. p. 4).

[8] H. Albert, H.J. Van Daal et K.W. Franciscus. *Silicon carbide semiconductor device*. US Patent 3,121,829. 1964 (cf. p. 4).

[9] D. Tournier. « Composants de puissance en SiC : Technologie ». In : *Tech. l'ingénieur* tome D3120.0 (2007), p. 1–14 (cf. p. 4, 5).

[10] W.Y. Ching et al. « The electronic structure and spectroscopic properties of 3C, 2H, 4H, 6H, 15R and 21R polymorphs of SiC ». In : *Mater. Sci. Eng. A* 422.1-2 (2006), p. 147–156. issn : 09215093. doi : 10.1016/j.msea.2006.01.007 (cf. p. 4).

[11] Hugh O. Pierson. « Handbook of Refractory Carbides and Nitrides ». In : *Handb. Refract. Carbides Nitrides* (1996), p. 8–16. issn : 00225088. doi : 10.1016/B978-081551392-6.50003-9. arXiv : arXiv:1011.1669v3 (cf. p. 4).

[12] Steven S. Zumdahl. *Basic Chemistry with Student Support Package 5th Edition with Zumdahl Intro to Chemistry Study Guide 5th Edition*. Houghton Mifflin College Division, 2003. isbn : 0618532285 (cf. p. 5).

[13] A. P. Mirgorodsky et al. « Molecular approach to the modeling of elasticity and piezoelectricity of SiC polytypes ». In : *Phys. Rev. B* 52.6 (1995), p. 3993–4000. issn : 0163-1829. doi : 10.1103/PhysRevB.52.3993 (cf. p. 5).

[14] J. W. Palmour et al. « 6H-silicon carbide devices and applications ». In : *Phys. B Phys. Condens. Matter* 185.1-4 (1993), p. 461–465. issn : 09214526. doi : 10.1016/0921-4526(93)90278-E (cf. p. 5).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[15] Ranbir Singh. « Reliability and performance limitations in SiC power devices ». In : *Microelectron. Reliab.* 46.5-6 (2006), p. 713–730. issn : 00262714. doi : 10.1016/j.microrel.2005.10.013 (cf. p. 6).

[16] Michael E Levinshtein, Sergey L Rumyantsev et Michael S Shur. « Properties of Advanced Semiconductor Materials ». In : (2001) (cf. p. 6).

[17] K. Kamitani et al. « The elastic constants of silicon carbide : A Brillouin-scattering study of 4H and 6H SiC single crystals ». In : *J. Appl. Phys.* 82.6 (1997), p. 3152. issn : 00218979. doi : 10.1063/1.366100 (cf. p. 6).

[18] Matthew A. Hopcroft, William D. Nix et Thomas W. Kenny. « What is the Young's modulus of silicon ? » In : *J. Microelectromechanical Syst.* 19.2 (2010), p. 229–238. issn : 10577157. doi : 10.1109/JMEMS.2009.2039697 (cf. p. 6).

[19] EL Kern et al. « Thermal properties of beta silicon carbide from 20 to 2000 C ». In : *Mater. Res. Bull* 4 (1969), S25–S32 (cf. p. 6).

[20] AA Giardini. « A Study of the Directional Hardness in Silicon ». In : *Am. Mineral.* 43.224 (1958), p. 957–969 (cf. p. 6).

[21] O Madelung, U Rössler et M Schulz. *Semiconductors : Group IV Elements, IV–IV and III–IV compounds, Landolt-Börnstein, New series, Group III, vol. 41, Pt. A*. 2005 (cf. p. 6).

[22] Gary L Harris. *Properties of Silicon Carbide*. 1995, p. 282. isbn : 3540081275 (cf. p. 6).

[23] a. H. Gomes de Mesquita. « Refinement of the crystal structure of SiC type 6H ». In : *Acta Crystallogr.* 23.4 (1967), p. 610–617. issn : 0365110X. doi : 10.1107/S0365110X67003275 (cf. p. 6).

[24] P De Bièvre et al. « The chemical preparation and characterization of specimens for "absolute" measurements of the molar mass of an element, exemplified by silicon, for redeterminations of the Avagadro constant ». en. In : *Metrologia* 32.2 (1995), p. 103–110. issn : 00261394. doi : 10.1088/0026-1394/32/2/005 (cf. p. 6).

[25] P. Käckell, B. Wenzien et F. Bechstedt. « Electronic properties of cubic and hexagonal SiC polytypes from ab initio calculations ». In : *Phys. Rev. B* 50.15 (1994), p. 10761–10768. issn : 0163-1829. doi : 10.1103/PhysRevB.50.10761 (cf. p. 7).

[26] R Mousa. « Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension ». In : (2009) (cf. p. 8).

[27] Jean-guy Tartarin. *La technologie GaN et ses applications pour l'électronique robuste, haute fréquence et de puissance*. Rapp. tech. 2008, p. 1–16 (cf. p. 8).

[28] M.N. Yoder. « Wide bandgap semiconductor materials and devices ». English. In : *IEEE Trans. Electron Devices* 43.10 (1996), p. 1633–1636. issn : 00189383. doi : 10.1109/16.536807 (cf. p. 8).

[29] S. M. Sze et Kwok K Ng. *Physics of Semiconductor Devices*. T. 2006. 2007, p. 815. isbn : 0470068302 (cf. p. 8, 28, 29, 32, 85, 86).

[30] E. Johnson. « Physical limitations on frequency and power parameters of transistors ». In : *IRE Int. Conv. Rec.* T. 13. Institute of Electrical et Electronics Engineers, 1965, p. 27–34. doi : 10.1109/IRECON.1965.1147520 (cf. p. 8, 9).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[31] R.W. Keyes. « Figure of merit for semiconductors for high-speed switches ». In : *Proc. IEEE* 60.2 (1972), p. 225–225. issn : 0018-9219. doi : 10.1109/PROC.1972.8593 (cf. p. 8, 9).

[32] B J Baliga. « Semiconductors for high voltage, vertical channel field effect transistors ». In : *J. Appl. Phys.* 53.3 (1982) (cf. p. 8, 9).

[33] B J Baliga. « Power semiconductor-device figure of merit for high-frequency applications ». In : *IEEE Electron Device Lett.* 10.10 (1989), p. 455–457 (cf. p. 8, 9).

[34] C Buttay et al. « State of the art of high temperature power electronics ». In : *Mater. Sci. Eng. B* 176.4 (2011), p. 283–288. issn : 09215107. doi : 10.1016/j.mseb.2010.10.003 (cf. p. 10, 19).

[35] Brett A. Hull et al. « Development of Large Area (up to 1.5 cm²) 4H-SiC 10 kV Junction Barrier Schottky Rectifiers ». In : *Mater. Sci. Forum* 600-603 (2009), p. 931–934. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.600-603.931 (cf. p. 12).

[36] C. Wesley Tipton et al. « Development of a 15 kV bridge rectifier module using 4H-SiC junction-barrier schottky diodes ». In : *IEEE Trans. Dielectr. Electr. Insul.* 18.4 (2011), p. 1137–1142. issn : 10709878. doi : 10.1109/TDEI.2011.5976107 (cf. p. 12).

[37] Tsunenobu Kimoto Naoki Kaji, Hiroki Niwa, Jun Suda. « Ultrahigh-Voltage (> 20 kV) SiC PiN Diodes with a Space-Modulated JTE and Lifetime Enhancement Process via Thermal Oxidation ». In : *Mater. Sci. Forum* 778-780 (2014), p. 832–835. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.778-780.832 (cf. p. 12, 13).

[38] P Alexandrov et al. « Demonstration of first 10 kV, 130mXcm2 normally-off 4H-SiC trenched-and-implanted vertical junction field-effect transistor ». In : 39.25 (2003), p. 10–11. doi : 10.1049/el (cf. p. 14).

[39] Sizhe Chen et al. « Fabrication and Testing of 3500V / 15A SiC JFET Based Power Module for High-Voltage , High- Frequency Applications ». In : (2015), p. 2488–2491 (cf. p. 14).

[40] B. Hull et al. « Reliability and stability of SiC power mosfets and next-generation SiC MOSFETs ». In : *2014 IEEE Work. Wide Bandgap Power Devices Appl.* IEEE, 2014, p. 139–142. isbn : 978-1-4799-5493-3. doi : 10.1109/WiPDA.2014.6964641 (cf. p. 15).

[41] *1200V / 180A Full SiC Power Module with Integrated SiC Trench MOSFET New full SiC power module with built-in SiC trench MOSFET reduces ON resistance and improves switching performance* (cf. p. 15).

[42] D Heer, D Domes et D Peters. « Switching performance of a 1200 V SiC-Trench-MOSFET in a low-power module ». In : *PCIM Eur. 2016 ; Int.* (2016) (cf. p. 15).

[43] Vipindas Pala et al. « 10 kV and 15 kV silicon carbide power MOSFETs for next-generation energy conversion and transmission systems ». In : *2014 IEEE Energy Convers. Congr. Expo. ECCE 2014* (2014), p. 449–454. doi : 10.1109/ECCE.2014.6953428 (cf. p. 15, 16).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[44] Siddarth G Sundaresan et al. « Rapidly Maturing SiC Junction Transistors Featuring Current Gain (β) 130, Blocking Voltages up to 2700 V and Stable Long-Term-Operation ». In : *Mater. Sci. Forum* 778-780.April (2014), p. 1001–1004. ISSN : 02555476. DOI : 10.4028/www.scientific.net/MSF.778-780.1001 (cf. p. 17).

[45] Hiroki Miyake et al. « 21-kV SiC BJTs with space-modulated junction termination extension ». In : *IEEE Electron Device Lett.* 33.11 (2012), p. 1598–1600. ISSN : 07413106. DOI : 10.1109/LED.2012.2215004 (cf. p. 17).

[46] Siddarth G. Sundaresan et al. « Hybrid Si-IGBT/SiC Rectifier Co-Packs and SiC JBS Rectifiers Offering Superior Surge Current Capability and Reduced Power Losses ». EN. In : *Mater. Sci. Forum* 717-720 (2012), p. 945–948. ISSN : 1662-9752. DOI : 10.4028/www.scientific.net/MSF.717-720.945 (cf. p. 17, 53).

[47] Qingchun Jon Zhang et al. « SiC Power Devices for Microgrids ». In : *Power Electron.* 25.12 (2010), p. 2889–2896 (cf. p. 18).

[48] E. V. Brunt et al. « 22 kV, 1 cm2, 4H-SiC n-IGBTs with improved conductivity modulation ». In : *Proc. Int. Symp. Power Semicond. Devices ICs.* IEEE, 2014, p. 358–361. ISBN : 9781479929177. DOI : 10.1109/ISPSD.2014.6856050 (cf. p. 18, 19).

[49] D. Tournier. « Composants de puissance en SiC : Applications ». In : *Tech. l'ingénieur* tome D3122.0 (2007), p. 1–9 (cf. p. 19).

[50] Xu She et al. « Review of Silicon Carbide Power Devices and Their Applications ». In : *IEEE Trans. Ind. Electron.* (2017), p. 1–1. ISSN : 0278-0046. DOI : 10.1109/TIE.2017.2652401 (cf. p. 19).

[51] Mrinal K Das et al. « 10 kV , 120 A SiC Half H-Bridge Power MOSFET Modules Suitable for High Frequency , Medium Voltage Applications ». In : (2011), p. 2689–2692 (cf. p. 20).

[52] Henry Mathieu et Herve Fanet. *Physique des semiconducteurs et des composants electroniques : Cours et exercices corriges.* Dunod, 2009, p. 830. ISBN : 9782100541348 (cf. p. 21, 30, 31).

[53] Walter Schottky. « Zur halbleitertheorie der sperrschicht-und spitzengleichrichter ». In : *Zeitschrift für Phys.* 113.5-6 (1939), p. 367–414. ISSN : 0044-3328 (cf. p. 23, 65).

[54] N F Mott. « The theory of crystal rectifiers ». In : *Proc. R. Soc. A Math. Phys. Sci.* 171.944 (1939), p. 27–38. ISSN : 1364-5021. DOI : 10.1098/rspa.1974.0120 (cf. p. 23).

[55] R. T. Tung. « Schottky barrier height—do we really understand what we measure ? » In : *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.* 11 (1993), p. 1546. ISSN : 0734211X. DOI : 10.1116/1.586967 (cf. p. 24, 95, 112).

[56] Raymond T. Tung. « Recent advances in Schottky barrier concepts ». In : *Mater. Sci. Eng. R Reports* 35.1-3 (2001), p. 1–138. ISSN : 0927796X. DOI : 10.1016/S0927-796X(01)00037-7 (cf. p. 26, 95, 112).

[57] VL Rideout. « A review of the theory, technology and applications of metal-semiconductor rectifiers ». In : *Thin Solid Films* (1978) (cf. p. 28).

[58] Tony Abi-Tannous. « Croissance de la phase MAX sur SiC contact ohmique stable et fiable à haute température ». In : (2015) (cf. p. 32).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[59] LG Fursin, JH Zhao et M Weiner. « Nickel ohmic contacts to p and n-type 4H-SiC ». In : *Electronics Letters* 37.17 (2001), p. 1092–1093 (cf. p. 33).

[60] Ts Marinova et al. « Nickel based ohmic contacts on SiC ». In : *Materials Science and Engineering : B* 46.1-3 (1997), p. 223–226 (cf. p. 33).

[61] Tomonori Nakamura et Masataka Satoh. « NiSi2 ohmic contact to n-type 4H-SiC ». In : *Materials Science Forum*. T. 389. Trans Tech Publ. 2002, p. 889–892 (cf. p. 33).

[62] SJ Yang et al. « Study of Co-and Ni-based ohmic contacts to n-type 4H-SiC ». In : *Diamond and related materials* 13.4 (2004), p. 1149–1153 (cf. p. 33).

[63] ED Luckowski et al. « Improved ohmic contact to n-type 4H and 6H-SiC using nichrome ». In : *Journal of electronic materials* 27.4 (1998), p. 330–334 (cf. p. 33).

[64] Y Gao et al. « Improved ohmic contact on n-type 4H-SiC ». In : *Solid-State Electronics* 44.10 (2000), p. 1875–1878 (cf. p. 33).

[65] N Lundberg et M Östling. « CoSi2 ohmic contacts to n-type 6H-SiC ». In : *Solid-State Electronics* 38.12 (1995), p. 2023–2028 (cf. p. 33).

[66] Nam-Ihn Cho, Kyung-Hwa Jung et Yong Choi. « Improved ohmic contact to the n-type 4H-SiC semiconductor using cobalt silicides ». In : *Semiconductor science and technology* 19.3 (2003), p. 306 (cf. p. 33).

[67] Wang Yongshun et al. « Ohmic contact behaviour of Co/C/4H-SiC structures ». In : *Journal of Semiconductors* 32.4 (2011), p. 044003 (cf. p. 33).

[68] S-K Lee, C-M Zetterling et Mikael Östling. « Titanium Tungsten (TiW) for Ohmic contacts to n-and p-type 4H-SiC ». In : *MRS Proceedings*. T. 640. Cambridge Univ Press. 2000, H7–2 (cf. p. 33).

[69] S-K Lee et al. « Low resistivity ohmic titanium carbide contacts to n-and p-type 4H-silicon carbide ». In : *Solid-State Electronics* 44.7 (2000), p. 1179–1186 (cf. p. 33).

[70] Hideto Tamaso et al. « Ti/Al/Si Ohmic Contacts for Both n-Type and p-Type 4H-SiC ». In : *Materials Science Forum*. T. 778. Trans Tech Publ. 2014, p. 669–672 (cf. p. 33, 34).

[71] Shu-Cheng Chang et al. « Investigation of Au/Ti/Al ohmic contact to N-type 4H–SiC ». In : *Solid-state electronics* 49.12 (2005), p. 1937–1941 (cf. p. 33).

[72] NI Cho, Y Choi et SJ Noh. « Cu/Si/Cu multilayer structures for Ohmic contact on n-type 4H-SiC substrates ». In : *Diamond and related materials* 13.4 (2004), p. 1154–1157 (cf. p. 33).

[73] Kristina Buchholt et al. « Step-flow growth of nanolaminate Ti 3 SiC 2 epitaxial layers on 4H-SiC (0001) ». In : *Scripta Materialia* 64.12 (2011), p. 1141–1144 (cf. p. 33).

[74] Brian J Johnson et Michael A Capano. « The effect of titanium on Al-Ti contacts to p-type 4H-SiC ». In : *Solid-State Electronics* 47.9 (2003), p. 1437–1441 (cf. p. 34).

[75] KV Vassilevski et al. « Study of annealing conditions on the formation of ohmic contacts on p+ 4H–SiC layers grown by CVD and LPE ». In : *Materials Science and Engineering : B* 61 (1999), p. 296–300 (cf. p. 34).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[76] Michael R Jennings et al. « On the Ti3SiC2 metallic phase formation for robust p-type 4H-SiC ohmic contacts ». In : *Materials Science Forum*. T. 778. Trans Tech Publ. 2014, p. 693–696 (cf. p. 34).

[77] J Crofton et al. « Titanium and aluminum-titanium ohmic contacts to p-type SiC ». In : *Solid-State Electronics* 41.11 (1997), p. 1725–1729 (cf. p. 34).

[78] Satoshi Tanimoto et al. « Ohmic contact structure and fabrication process applicable to practical SiC devices ». In : *Materials Science Forum*. T. 389. Trans Tech Publ. 2002, p. 879–884 (cf. p. 34).

[79] Heu Vang et al. « Ni–Al ohmic contact to p-type 4H-SiC ». In : *Superlattices and microstructures* 40.4 (2006), p. 626–631 (cf. p. 34).

[80] R Perez et al. « Ni/Ti ohmic and Schottky contacts on 4H-SiC formed with a single thermal treatment ». In : *Diamond and related materials* 14.3 (2005), p. 1146–1149 (cf. p. 34).

[81] K Vassilevski et al. « Phase formation at rapid thermal annealing of Al/Ti/Ni ohmic contacts on 4H-SiC ». In : *Materials Science and Engineering : B* 80.1 (2001), p. 370–373 (cf. p. 34).

[82] Farah Laariedh et al. « Investigations on Ni-Ti-Al ohmic contacts obtained on p-type 4H-SiC ». In : *Materials Science Forum*. T. 711. Trans Tech Publ. 2012, p. 169–173 (cf. p. 34).

[83] M Vivona et al. « Ti/Al/W Ohmic contacts to p-type implanted 4H-SiC ». In : *Journal of Applied Physics* 118.3 (2015), p. 035705 (cf. p. 34).

[84] S-K Lee et al. « Low resistivity ohmic contacts on 4H-silicon carbide for high power and high temperature device applications ». In : *Microelectronic Engineering* 60.1 (2002), p. 261–268 (cf. p. 34).

[85] L Kassamakova et al. « Study of the electrical, thermal and chemical properties of Pd ohmic contacts to p-type 4H-SiC : dependence on annealing conditions ». In : *Materials Science and Engineering : B* 61 (1999), p. 291–295 (cf. p. 34).

[86] S Tsukimoto, T Sakai et Masanori Murakami. « Electrical properties and microstructure of ternary Ge/ Ti/ Al ohmic contacts to p-type 4H–SiC ». In : *Journal of applied physics* 96.9 (2004), p. 4976–4981 (cf. p. 34).

[87] N Lundberg et M Östling. « Thermally stable low ohmic contacts to p-type 6H SiC using cobalt silicides ». In : *Solid-State Electronics* 39.11 (1996), p. 1559–1565 (cf. p. 34).

[88] Nadeemullah a. Mahadik et al. « Post-Growth Reduction of Basal Plane Dislocations by High Temperature Annealing in 4H-SiC Epilayers ». EN. In : *Mater. Sci. Forum* 778-780 (2014), p. 324–327. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.778-780.324 (cf. p. 35).

[89] M. Dudley et al. « Stacking faults created by the combined deflection of threading dislocations of Burgers vector c and c+a during the physical vapor transport growth of 4H–SiC ». English. In : *Appl. Phys. Lett.* 98.23 (2011), p. 232110. issn : 00036951. doi : 10.1063/1.3597226 (cf. p. 35).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[90] Yi CHEN. « Defects structures in silicon carbide bulk crystals, epilayers and devices ». In : *ProQuest Diss. Theses ; Thesis (Ph.D.)–State Univ. New York Stony Brook* (2008) (cf. p. 35, 38).

[91] Mina ABADIER et al. « Glide of threading edge dislocations after basal plane dislocation conversion during 4H-SiC epitaxial growth ». In : *J. Cryst. Growth* 418.FEBRUARY (2015), p. 7–14. ISSN : 00220248. DOI : 10.1016/j.jcrysgro.2015.02.004 (cf. p. 35–37).

[92] N. THIERRY-JEBALI et al. « Observation of the generation of stacking faults and active degradation measurements on off-axis and on-axis 4H-SiC PiN diodes ». In : *Appl. Phys. Lett.* 101.22 (2012). ISSN : 00036951. DOI : 10.1063/1.4768440 (cf. p. 35).

[93] R.L. MYERS-WARD et al. *REDUCTION OF BASAL PLANE DISLOCATIONS IN EPITAXIAL SiC USING AN IN-SITU ETCH PROCESS*. US Patent App. 14/204,015. 2014 (cf. p. 37).

[94] « Planar edge termination and related manufacturing process technology for high power 4H-SiC diodes ». In : (2008) (cf. p. 39).

[95] Q. WAHAB et al. « Influence of epitaxial growth and substrate-induced defects on the breakdown of 4H–SiC Schottky diodes ». In : *Appl. Phys. Lett.* 76.2000 (2000), p. 2725. ISSN : 00036951. DOI : 10.1063/1.126456 (cf. p. 39, 40).

[96] Tsunenobu KIMOTO et al. « High Voltage 4H-SiC Schottky Barrier Diodes Fabricated on (0338) with Closed Micropipes ». In : *Japanese journal of applied physics* 42.1A (2003), p. L13 (cf. p. 39).

[97] Gan FENG, Jun SUDA et Tsunenobu KIMOTO. « Characterization of major in-grown stacking faults in 4H-SiC epilayers ». In : *Phys. B Condens. Matter* 404.23-24 (2009), p. 4745–4748. ISSN : 09214526. DOI : 10.1016/j.physb.2009.08.189 (cf. p. 40, 41).

[98] C CHENG, R J NEEDS et V HEINE. « Inter-layer interactions and the origin of SiC polytypes ». en. In : *J. Phys. C Solid State Phys.* 21.6 (1988), p. 1049–1063. ISSN : 0022-3719. DOI : 10.1088/0022-3719/21/6/012 (cf. p. 41).

[99] Hyun Jin JUNG et al. « Impact of Stacking Fault on the I-V Characteristics of 4H-SiC Schottky Barrier Diode ». EN. In : *Mater. Sci. Forum* 821-823 (2015), p. 563–566. ISSN : 1662-9752. DOI : 10.4028/www.scientific.net/MSF.821-823.563 (cf. p. 41).

[100] Bin CHEN et al. « Surface defects and accompanying imperfections in 4H-SiC : Optical, structural and electrical characterization ». In : *Acta Mater.* 60.1 (2012), p. 51–58. ISSN : 13596454. DOI : 10.1016/j.actamat.2011.09.010 (cf. p. 42).

[101] H. FUJIWARA et al. « Characterization of in-grown stacking faults in 4H-SiC (0001) epitaxial layers and its impacts on high-voltage Schottky barrier diodes ». In : *Appl. Phys. Lett.* 87.5 (2005), p. 051912. ISSN : 00036951. DOI : 10.1063/1.1997277 (cf. p. 42, 43).

[102] K. KOJIMA et al. « Influence of stacking faults on the performance of 4H-SiC Schottky barrier diodes fabricated on (11-20) face ». In : *Appl. Phys. Lett.* 81.16 (2002), p. 2974–2976. ISSN : 00036951. DOI : 10.1063/1.1512956 (cf. p. 42, 43).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[103] Junichi Hasegawa et al. « Investigation of Stacking Faults Affecting on Reverse Leakage Current of 4H-SiC Junction Barrier Schottky Diodes Using Device Simulation ». In : *Mater. Sci. Forum* 778-780 (2014), p. 828–831. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.778-780.828 (cf. p. 42–44).

[104] M Posselt et F Gao. « A comparative study of the structure and energetics of elementary defects in 3C-and 4H-SiC ». In : *J. Phys. ...* (2004) (cf. p. 44–46).

[105] D. V. Lang. « Deep-level transient spectroscopy : A new method to characterize traps in semiconductors ». In : *J. Appl. Phys.* 45.7 (1974), p. 3023. issn : 00218979. doi : 10.1063/1.1663719 (cf. p. 44).

[106] Tsunenobu Kimoto. « Material science and device physics in SiC technology for high-voltage power devices ». en. In : *Jpn. J. Appl. Phys.* 54.4 (2015), p. 040103. issn : 1347-4065. doi : 10.7567/JJAP.54.040103 (cf. p. 44).

[107] Tsunenobu Kimoto, Katsunori Danno et Jun Suda. « Lifetime-killing defects in 4H-SiC epilayers and lifetime control by low-energy electron irradiation ». In : *Phys. Status Solidi Basic Res.* 245.7 (2008), p. 1327–1336. issn : 03701972. doi : 10.1002/pssb.200844076 (cf. p. 46, 47).

[108] Mulpuri V. Rao et al. « Al and B ion-implantations in 6H- and 3C-SiC ». In : *J. Appl. Phys.* 77.6 (1995), p. 2479–2485. issn : 00218979. doi : 10.1063/1.358776 (cf. p. 48).

[109] T Dalibor et al. « Deep defect centers in silicon carbide monitored with deep level transient spectroscopy ». In : *physica status solidi (a)* 162.1 (1997), p. 199–225 (cf. p. 48).

[110] F. Roccaforte et al. « Surface and interface issues in wide band gap semiconductor electronics ». In : *Appl. Surf. Sci.* 256.19 (2010), p. 5727–5735. issn : 01694332. doi : 10.1016/j.apsusc.2010.03.097 (cf. p. 48, 95).

[111] D. J. Morrison et al. « Effect of post-implantation anneal on the electrical characteristics of Ni 4H-SiC Schottky barrier diodes terminated using self-aligned argon ion implantation ». In : *Solid. State. Electron.* 44.11 (2000), p. 1879–1885. issn : 00381101. doi : 10.1016/S0038-1101(00)00177-5 (cf. p. 48).

[112] V. Khemka, T. P. Chow et R. J. Gutmann. « Effect of reactive ion etch-induced damage on the performance of 4H-SiC schottky barrier diodes ». In : *J. Electron. Mater.* 27.10 (1998), p. 1128. issn : 0361-5235. doi : 10.1007/s11664-998-0150-z (cf. p. 48).

[113] Koutarou Kawahara et al. « Deep levels induced by reactive ion etching in n- and p-type 4H-SiC ». In : *J. Appl. Phys.* 108.2 (2010), p. 023706. issn : 00218979. doi : 10.1063/1.3460636 (cf. p. 49, 50).

[114] P. Tanner et al. « SIMS analysis of nitrided oxides grown on 4H-SiC ». In : *J. Electron. Mater.* 28.2 (1999), p. 109–111. issn : 0361-5235. doi : 10.1007/s11664-999-0227-3 (cf. p. 50).

[115] V V Afanas ev et al. « Band alignment and defect states at SiC/oxide interfaces ». en. In : *J. Phys. Condens. Matter* 16.17 (2004), S1839–S1856. issn : 0953-8984. doi : 10.1088/0953-8984/16/17/019 (cf. p. 50).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[116] Peter Friedrichs. « Silicon carbide power semiconductors — new opportunities for high efficiency ». In : *2008 3rd IEEE Conf. Ind. Electron. Appl.* IEEE, 2008, p. 1770–1774. isbn : 978-1-4244-1717-9. doi : 10.1109/ICIEA.2008.4582824 (cf. p. 51).

[117] Maxime Berthou. « Implementation of high voltage Silicon Carbide rectifiers and switches ». In : (2012) (cf. p. 52, 53, 55).

[118] Elif Berkman et al. « Defect Status in SiC Manufacturing ». EN. In : *Mater. Sci. Forum* 615-617 (2009), p. 3–6. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.615-617.3 (cf. p. 52).

[119] Tsunenobu Kimoto Naoki Kaji, Hiroki Niwa, Jun Suda. « Ultrahigh Voltage (> 20 kV) SiC PiN Diodes with a Space-Modulated JTE and Lifetime Enhancement Process via Thermal Oxidation ». EN. In : *Mater. Sci. Forum* 778-780 (2014), p. 832–835. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.778-780.832 (cf. p. 56, 57).

[120] Maxime Berthou et al. « Comparison of 5kV SiC JBS and PiN Diodes ». In : *Mater. Sci. Forum* 778-780 (2014), p. 867–870. issn : 1662-9752. doi : 10.4028/www.scientific.net/MSF.778-780.867 (cf. p. 56).

[121] Alexander V. Bolotnikov et al. « Junction Termination Extension Implementing Drive-in Diffusion of Boron for High-Voltage <emphasis emphasistype="roman">SiC</emphasis> Devices ». In : *IEEE Trans. Electron Devices* 57.8 (2010), p. 1930–1935. issn : 0018-9383. doi : 10.1109/TED.2010.2051246 (cf. p. 57, 58).

[122] B. J. Baliga. « The Pinch Rectifier : A Low-Forward-Drop High-Speed Power Diode ». eng. In : *IEEE Electron Device Lett.* 5.6 (1984), p. 194–196. issn : 15580563. doi : 10.1109/EDL.1984.25884 (cf. p. 59).

[123] M. Berthou et al. « Study of 4H-SiC JBS diodes fabricated with tungsten Schottky barrier ». In : *J. Electron. Mater.* 40.12 (2011), p. 2355–2362. issn : 03615235. doi : 10.1007/s11664-011-1774-y (cf. p. 60).

[124] F.A. Padovani et R. Stratton. « Field and thermionic-field emission in Schottky barriers ». In : *Solid. State. Electron.* 9.7 (1966), p. 695–707. issn : 00381101. doi : 10.1016/0038-1101(66)90097-9 (cf. p. 65, 83).

[125] C. Crowell et S. M. Sze. « Current transport in metal-semiconductor barriers ». In : *Solid. State. Electron.* 9.11-12 (1966), p. 1035–1048. issn : 00381101. doi : 10.1016/0038-1101(66)90127-4 (cf. p. 65, 83).

[126] C.R. Crowell. « The Richardson constant for thermionic emission in Schottky barrier diodes ». In : *Solid. State. Electron.* 8.4 (1965), p. 395–399. issn : 00381101. doi : 10.1016/0038-1101(65)90116-4 (cf. p. 65, 83).

[127] B. J. Skromme et al. « Electrical characteristics of schottky barriers on 4H-SiC : The effects of barrier height nonuniformity ». In : *J. Electron. Mater.* 29.3 (2000), p. 376–383. issn : 0361-5235. doi : 10.1007/s11664-000-0081-9 (cf. p. 80, 109).

[128] K.J. Schoen et al. « A dual-metal-trench Schottky pinch-rectifier in 4H-SiC ». In : *IEEE Electron Device Lett.* 19.4 (1998), p. 97–99. issn : 0741-3106. doi : 10.1109/55.663526 (cf. p. 80).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[129] F Roccaforte, F La Via et A Baeri. « Structural and electrical properties of Ni/Ti Schottky contacts on silicon carbide upon thermal annealing ». In : *J. Appl. ...* (2004) (cf. p. 80, 93, 95).

[130] Felix Kling. In : () (cf. p. 85).

[131] A Milnes et DL Feucht. « Heterojunctions and Metal-Semiconductor Junctions, Acad ». In : *Press, New York* (1972) (cf. p. 89).

[132] G. Pensl et W. J. Choyke. « Electrical and optical characterization of SiC ». In : *Phys. B Phys. Condens. Matter* 185.1-4 (1993), p. 264–283. issn : 09214526. doi : 10.1016/0921-4526(93)90249-6 (cf. p. 92).

[133] Matthias Roschke et Frank Schwierz. « Electron mobility models for 4H, 6H, and 3C SiC ». In : *IEEE Trans. Electron Devices* 48.7 (2001), p. 1442–1447. issn : 00189383. doi : 10.1109/16.930664 (cf. p. 93).

[134] Sang Youn Han et al. « Ohmic contact formation mechanism of Ni on n-type 4H–SiC ». In : *Appl. Phys. Lett.* 79.12 (2001), p. 1816. issn : 00036951. doi : 10.1063/1.1404998 (cf. p. 93).

[135] F. Roccaforte et al. « Highly reproducible ideal SiC Schottky rectifiers : Effects of surface preparation and thermal annealing on the Ni/6H-SiC barrier height ». In : *Appl. Phys. A Mater. Sci. Process.* 77.6 (2003), p. 827–833. issn : 09478396. doi : 10.1007/s00339-002-1981-8 (cf. p. 93).

[136] V. Janardhanam et al. « Study of current-voltage-temperature (I-V-T) and capacitance-voltage-temperature (C-V-T) characteristics of molybdenum Schottky contacts on n-InP (1 0 0) ». In : *J. Alloys Compd.* 485.1-2 (2009), p. 467–472. issn : 09258388. doi : 10.1016/j.jallcom.2009.05.141 (cf. p. 95).

[137] S. Tumakha et al. « Defect-driven inhomogeneities in Ni4H-SiC Schottky barriers ». In : *Appl. Phys. Lett.* 87.24 (2005), p. 1–3. issn : 00036951. doi : 10.1063/1.2141719 (cf. p. 95).

[138] KY Lee et YH Huang. « An investigation on barrier inhomogeneities of 4H-SiC Schottky barrier diodes induced by surface morphology and traps ». In : *Electron Devices, IEEE Trans.* (2012) (cf. p. 95).

[139] J Leon et al. « Small signal thermal analysis of local multibarrier behaviour in SiC Schottky diodes ». en. In : *J. Phys. D. Appl. Phys.* 47.38 (2014), p. 385101. issn : 0022-3727. doi : 10.1088/0022-3727/47/38/385101 (cf. p. 95).

[140] V Narayanamurti. « BEEM imaging and spectroscopy of buried structures in semiconductors ». In : *Phys. Rep.* 349.6 (2001), p. 447–514. issn : 03701573. doi : 10.1016/S0370-1573(00)00119-8 (cf. p. 95).

[141] D. J. Ewing et al. « Inhomogeneities in Ni4H-SiC Schottky barriers : Localized Fermi-level pinning by defect states ». In : *J. Appl. Phys.* 101.11 (2007), p. 114514. issn : 00218979. doi : 10.1063/1.2745436 (cf. p. 98–100).

[142] D J Ewing et al. « Inhomogeneous electrical characteristics in 4H-SiC Schottky diodes ». In : *Semicond. Sci. Technol.* 22.12 (2007), p. 1287–1291. issn : 0268-1242. doi : 10.1088/0268-1242/22/12/008 (cf. p. 98).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[143] G. Zaremba et al. « The role of deep level traps in barrier height of 4H-SiC Schottky diode ». In : *Mater. Sci. Eng. B Solid-State Mater. Adv. Technol.* 177.15 (2012), p. 1323–1326. ISSN : 09215107. DOI : 10.1016/j.mseb.2012.03.051 (cf. p. 98).

[144] R. T. Tung. « Electron transport at metal-semiconductor interfaces : General theory ». In : *Phys. Rev. B* 45.23 (1992), p. 13509–13523. ISSN : 01631829. DOI : 10.1103/PhysRevB.45.13509 (cf. p. 99, 101, 112, 113).

[145] K Sarpatwari. « TOWARD UNDERSTANDING THE ELECTRICAL PROPERTIES OF METAL/SEMICONDUCTOR SCHOTTKY CONTACTS : THE EFFECTS OF BARRIER ». In : (2009) (cf. p. 101, 102).

[146] A Itoh, T Kimoto et H Matsunami. « High performance of high-voltage 4H-SiC Schottky barrier diodes ». In : *Electron Device Lett. IEEE* (1995) (cf. p. 103).

[147] Maxime Berthou et al. « Cryogenic to High Temperature Exploration of 4H-SiC W-SBD ». In : *Mater. Sci. Forum* 821-823 (2015), p. 583–587. ISSN : 1662-9752. DOI : 10.4028/www.scientific.net/MSF.821-823.583 (cf. p. 104).

[148] Fabrizio Roccaforte et al. « Richardson's constant in inhomogeneous silicon carbide Schottky contacts ». In : *J. Appl. Phys.* 93.11 (2003), p. 9137–9144. ISSN : 00218979. DOI : 10.1063/1.1573750 (cf. p. 104).

[149] J Werner et H Güttler. « Barrier inhomogeneities at Skottky contacts ». In : *J. Appl. Phys.* 69.3 (1991), p. 1522–1533 (cf. p. 104, 111).

[150] D Donoval et al. « Transport properties and barrier height evaluation in Ni/InAlN/GaN Schottky diodes ». In : *Journal of applied physics* 109.6 (2011), p. 063711 (cf. p. 104).

[151] Denise Lugo-Muñoz et al. « An explicit multi-exponential model for semiconductor junctions with series and shunt resistances ». In : *Microelectron. Reliab.* 51.12 (2011), p. 2044–2048. ISSN : 00262714. DOI : 10.1016/j.microrel.2011.06.030 (cf. p. 104).

[152] Nurhan Karaboga, Serdar Kockanat et Hulya Dogan. « The parameter extraction of the thermally annealed Schottky barrier diode using the modified artificial bee colony ». In : *Appl. Intell.* 38.3 (2012), p. 279–288. ISSN : 0924-669X. DOI : 10.1007/s10489-012-0372-x (cf. p. 104).

[153] D Defives et al. « Electrical characterization of inhomogeneous Ti/4H–SiC Schottky contacts ». In : *Mater. Sci. Eng. B* 61 (1999), p. 395–401. ISSN : 09215107. DOI : 10.1016/S0921-5107(98)00541-8 (cf. p. 104).

[154] Feng-Ping Chen et al. « Temperature-dependent characteristics of 4H—SiC junction barrier Schottky diodes ». In : *Chinese Phys. B* 21.3 (2012), p. 037304. ISSN : 1674-1056. DOI : 10.1088/1674-1056/21/3/037304 (cf. p. 106).

[155] Ty R. McNutt et al. « Silicon carbide PiN and merged PiN Schottky power diode models implemented in the Saber circuit simulator ». In : *IEEE Trans. Power Electron.* 19.3 (2004), p. 573–581. ISSN : 08858993. DOI : 10.1109/TPEL.2004.826420 (cf. p. 107).

[156] Philippe Leturcq. *Semi COnducteurs De Puissance Unipolaires Et Mixtes (Patie1)*. Ed. Techniques Ingénieur, 2001 (cf. p. 107).

[157] Jay M. Shah et al. « Experimental analysis and theoretical model for anomalously high ideality factors (n ? ? ?2.0) in AlGaN/GaN p-n junction diodes ». In : *J. Appl. Phys.* 94.4 (2003), p. 2627–2630. ISSN : 00218979. DOI : 10.1063/1.1593218 (cf. p. 109).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

[158] V. Aubry et F. Meyer. « Schottky diodes with high series resistance : Limitations of forward I-V methods ». In : *J. Appl. Phys.* 76.12 (1994), p. 7973–7984. issn : 00218979. doi : 10.1063/1.357909 (cf. p. 109).

[159] Chen Feng-ping et Zhang Yu-ming. « Study of 4H-SiC junction barrier Schottky diode using field guard ring termination ». In : *Chinese Phys. B* 19.9 (2010), p. 2008–2011. issn : 16741056. doi : 10.1088/1674-1056/19/9/097107 (cf. p. 109).

[160] H C Card et al. « Studies of tunnel MOS diodes I. Interface effects in silicon Schottky diodes ». In : *J. Phys. D. Appl. Phys.* 4.10 (1971), p. 319. issn : 00223727. doi : 10.1088/0022-3727/4/10/319 (cf. p. 111).

[161] J. Werner, K. Ploog et H. J. Queisser. « Interface-state measurements at schottky contacts : A new admittance technique ». In : *Phys. Rev. Lett.* 57.8 (1986), p. 1080–1083. issn : 00319007. doi : 10.1103/PhysRevLett.57.1080 (cf. p. 111).

[162] J. Werner et al. « Origin of the Excess Capacitance at Intimate Schottky Contacts ». In : *Phys. Rev. Lett.* 60.1 (1988), p. 53–56. issn : 00319007. doi : 10.1103/PhysRevLett.60.53 (cf. p. 111).

[163] E. H. Rhoderick et R. H. Williams. « Metal-Semiconductor Contacts ». In : (1988). doi : 10.1002/9780470068328.ch3 (cf. p. 111).

[164] V. L. Rideout et C. R. Crowell. « Effects of image force and tunneling on current transport in metal-semiconductor (Schottky barrier) contacts ». In : *Solid State Electron.* 13.7 (1970), p. 993–1009. issn : 00381101. doi : 10.1016/0038-1101(70)90097-3 (cf. p. 111).

[165] Chih Tang Sah, Robert N. Noyce et William Shockley. « Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics ». In : *Proc. IRE* 45.9 (1957), p. 1228–1243. issn : 00968390. doi : 10.1109/JRPROC.1957.278528. arXiv : arXiv:1011.1669v3 (cf. p. 111).

[166] J. L. Freeouf et al. « Size dependence of "effective" barrier heights of mixed-phase contacts ». In : *J. Vac. Sci. Technol.* 21.2 (1982), p. 570. issn : 00225355. doi : 10.1116/1.571765 (cf. p. 112).

[167] R. Pérez et al. « Ni/Ti ohmic and Schottky contacts on 4H-SiC formed with a single thermal treatment ». In : *Diam. Relat. Mater.* 14.3-7 (2005), p. 1146–1149. issn : 09259635. doi : 10.1016/j.diamond.2004.11.015 (cf. p. 137).

[168] J. B. Fonder et al. « Physical analysis of Schottky contact on power AlGaN/GaN HEMT after pulsed-RF life test ». In : *Microelectron. Reliab.* 52.9-10 (2012), p. 2205–2209. issn : 00262714. doi : 10.1016/j.microrel.2012.06.053 (cf. p. 137).

[169] Ranbir Singh. « Reliability and performance limitations in SiC power devices ». In : *Microelectron. Reliab.* T. 46. 5-6. 2006, p. 713–730. doi : 10.1016/j.microrel.2005.10.013 (cf. p. 142).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés

FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : ASLLANI DATE de SOUTENANCE : 13/12/2016

Prénoms : Besar

TITRE : CARACTÉRISATION ET MODÉLISATION DE DIODES SCHOTTKY ET JBS SIC-4H POUR DES APPLICATIONS HAUTE TENSION

NATURE : Doctorat Numéro d'ordre : 2016LYSEI147

Ecole doctorale : Électronique, Électrotechnique, Automatique de Lyon

Spécialité : Génie Électrique

RESUME : La diode Schottky SiC est un composant qui peut potentiellement remplacer la diode PiN Si dans les applications de puissance. Effectivement, la tenue en tension élevée, la faible résistivité, ainsi que l'indépendance de la température du courant de recouvrement rendent cette diode idéale pour les convertisseurs de puissance DC/DC. Cependant, face à l'abondance des composants Si sur le marché, la diode Schottky rencontre une certaine réticence. Malgré les nombreuses démonstrations de systèmes électroniques de puissance réalisés, la fiabilité de cette technologie n'arrive pas à convaincre. Cette étude porte sur la caractérisation en régime statique sur une large gamme de températures et l'évaluation de la fiabilité en surcharge des diodes Schottky et JBS SiC-4H. La caractérisation en température a permis de proposer des modèles de la caractéristique directe et inverse sur une gamme étendue de températures. Les tests en surcharge ont permis de comparer la fiabilité de diodes expérimentales et commerciales à fin de montrer la maturité de cette technologie.

MOTS-CLÉS : Diode Schottky, JBS, inhomogénéité du contact, Caractérisation électrique en Température, Modélisation, Modèle en direct Schottky, Modèle en inverse Schottky, Fiabilité, Tests en Surcharge.

Laboratoire (s) de recherche : AMPÈRE, UMR CNRS 5005

Directeur de thèse: Dominique Tournier, Maître de Conférences HDR, AMPERE, INSA de Lyon

Président de jury :

Composition du jury :

Mme. Bano E.,	Professeur, INP - PHELMA, Grenoble	M. Tournier D,	Maître de Conférences, INSA de Lyon
M. Latry O.,	Maître de Conférences, Université de Rouen	M. Berthou M.,	Ingénieur, CALY - Technologies, Lyon
M. Morancho F.,	Professeur, Université de Bordeaux	M. Godignon P.,	Professeur, CNM, Barcelone
M. Moreau C.,	Responsable expertises, DGA, Rennes	M. Grosset G.,	Ingénieur, IBS, Aix-en-Provence

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI147/these.pdf
© [B. Asllani], [2016], INSA Lyon, tous droits réservés