N°d'ordre NNT : 2016LYSE1197

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
l'Université Claude Bernard Lyon 1

Ecole Doctorale N° 160
Ecole Doctorale EEA : Electronique, Electrotechnique et Automatique

Spécialité de doctorat : Microélectronique

Soutenue publiquement le 30/09/2016, par :
Bastien Mamdy

Nouvelle architecture de pixel CMOS éclairé par la face arrière, intégrant une photodiode à collection de trous et une chaine de lecture PMOS pour capteurs d'image en environnement ionisant

---

Devant le jury composé de :

M. Garda, Patrick Professeur des Universités UPMC – LIP6 Rapporteur
M. Magnan, Pierre Professeur des Universités ISAE Rapporteur
M. Pittet, Patrick Ingénieur de recherche INL Examinateur
M. Jalade, Patrice Docteur Centre hospitalier Lyon Sud Examinateur - Président

M. Lu, Guo-Neng Professeur des Universités INL Directeur de thèse
M. Roy, François Docteur/Ingénieur STMicroelectronics Co-directeur de thèse
M. Theuwissen, Albert J.P. Professeur des Universités TUDelft Examinateur
M. Balestra, Francis Directeur de recherche IMEP-LAHC Examinateur

UNIVERSITE CLAUDE BERNARD - LYON 1

Président de l'Université	**M. le Professeur Frédéric FLEURY**
Président du Conseil Académique	M. le Professeur Hamda BEN HADID
Vice-président du Conseil d'Administration	M. le Professeur Didier REVEL
Vice-président du Conseil Formation et Vie Universitaire	M. le Professeur Philippe CHEVALIER
Vice-président de la Commission Recherche	M. Fabrice VALLÉE
Directeur Général des Services	Mme Dominique MARCHAND

COMPOSANTES SANTE

Faculté de Médecine Lyon Est – Claude Bernard	Directeur : M. le Professeur G.RODE
Faculté de Médecine et de Maïeutique Lyon Sud – Charles Mérieux	Directeur : Mme la Professeure C. BURILLON
Faculté d'Odontologie	Directeur : M. le Professeur D. BOURGEOIS
Institut des Sciences Pharmaceutiques et Biologiques	Directeur : Mme la Professeure C. VINCIGUERRA
Institut des Sciences et Techniques de la Réadaptation	Directeur : M. X. PERROT
Département de formation et Centre de Recherche en Biologie Humaine	Directeur : Mme la Professeure A-M. SCHOTT

COMPOSANTES ET DEPARTEMENTS DE SCIENCES ET TECHNOLOGIE

Faculté des Sciences et Technologies	Directeur : M. F. DE MARCHI
Département Biologie	Directeur : M. le Professeur F. THEVENARD
Département Chimie Biochimie	Directeur : Mme C. FELIX
Département GEP	Directeur : M. Hassan HAMMOURI
Département Informatique	Directeur : M. le Professeur S. AKKOUCHE
Département Mathématiques	Directeur : M. le Professeur G. TOMANOV
Département Mécanique	Directeur : M. le Professeur H. BEN HADID
Département Physique	Directeur : M. le Professeur J-C PLENET
UFR Sciences et Techniques des Activités Physiques et Sportives	Directeur : M. Y.VANPOULLE
Observatoire des Sciences de l'Univers de Lyon	Directeur : M. B. GUIDERDONI
Polytech Lyon	Directeur : M. le Professeur E.PERRIN
Ecole Supérieure de Chimie Physique Electronique	Directeur : M. G. PIGNAULT
Institut Universitaire de Technologie de Lyon 1	Directeur : M. le Professeur C. VITON
Ecole Supérieure du Professorat et de l'Education	Directeur : M. le Professeur A. MOUGNIOTTE
Institut de Science Financière et d'Assurances	Directeur : M. N. LEBOISNE

Remerciements

Au cours de ces trois (qui a dit quatre ?!?) années de thèse j'ai eu le plaisir de découvrir une nouvelle ville et un nouvel environnement de travail dans un domaine de la physique pour lequel je n'excellais pas particulièrement en arrivant. J'ai également pu me découvrir de nouvelles passions, notamment la salsa et la randonnée dans ces magnifiques montagnes qui entourent Grenoble… Mais ce que j'ai incontestablement le plus apprécié, c'est ces gens que j'ai eu la chance de rencontrer, qui m'ont accompagné et qui m'ont aidé, d'une manière ou d'une autre, à progresser, à continuer cette aventure malgré certains moments difficiles nécessaires à l'achèvement de toute thèse qui se respecte. Cette partie de mon manuscrit est consacrée à ces personnes qui méritent que je m'attarde quelques minutes pour les remercier.

Sans vouloir partir dans le cliché des remerciements de thèse, je souhaiterais tout d'abords remercier mon directeur de thèse, Guo-Neng LU, ainsi que mon « chef », ou mon encadrant chez STMicroelectronics, François ROY, pour m'avoir permis de commencer ce travail de longue haleine et pour m'avoir soutenu tout au long de mon parcours. Ils ont tous les deux sût être patient, même une fois qu'il était clair que mon manuscrit ne serait pas bouclé à la fin de mon contrat de thèse… Ils m'ont chacun guidés à leur manière tout en me laissant une grande autonomie dans ma démarche scientifique, ils m'ont laissé faire les erreurs que j'avais besoin de faire pour progresser et ils étaient tous deux très disponibles lorsque j'avais besoin de leur aide. Merci à Guo-Neng de m'avoir poussé à participer à un certain nombre de conférences internationales pour partager mes résultats avec la communauté scientifique (non je n'oublie pas le dernier article que j'ai à rédiger ☺). Merci à François pour nos discutions techniques et nos échanges d'idées dans ton bureau, toujours dans la bonne humeur. Merci aussi d'avoir appuyé ma candidature pour le poste que j'occupe actuellement. Et pour finir, merci à tous les deux pour les relectures multiples et les corrections de mon manuscrit.

Je tiens à remercier chacun des membres de mon jury, et tout particulièrement M. Patrice JALADE pour son accueil chaleureux au sein de son service à l'hôpital Lyon Sud et pour son aide pour l'irradiation de me échantillons. Merci également à Albert J. P. THEUWISSEN pour notre collaboration, notre randonnée en Chartreuse restera un très bon souvenir de ma thèse. Enfin merci à M. Francis BALESTRA, M. Patrick GARDA, M. Pierre MAGNAN et M. Patrick PITTET de m'avoir fait l'honneur d'assister à ma soutenance et d'avoir pris le temps d'évaluer mon travail de thèse.

La personne suivante qui mérite amplement mes remerciements n'est autre que mon ancienne co-box et co-thésarde, Nayera AHMED, avec qui j'ai passé près de 2 ans et demi à discuter et débattre de tout et de rien (de la physique des semi-conducteurs à la religion en passant par la cuisine et la recherche du bonheur, ou plutôt comment devenir un bouddha…). Je suis arrivé un 4 Novembre, le jour de ton anniversaire, tel un cadeau empoisonné (?) et n'ai cessé de faire du bruit à côté de toi et de te déconcentrer jusqu'au jour de ta soutenance. Et pour ça, et tout le travail que tu as fourni malgré moi, tu le mérite vraiment ce titre de Docteur ! Tes travaux ont grandement aidé les miens, je te dois donc une partie de ma thèse. Merci encore d'avoir assisté à ma soutenance malgré la distance, cela m'a fait extrêmement plaisir. ☺

Je souhaite ensuite remercier toutes les personnes des différentes équipes de ST Crolles avec qui j'ai pu collaborer et sans qui ce travail n'aurait jamais pu être réalisé. Premièrement, merci à l'équipe R&D PI Imager, Thierry, Seb. P., Seb. J., Stéphane, Jean-Luc, Jean-Pierre C., Fred., Arnaud, Yann, Vous m'avez fait comprendre ce qu'était le métier de PI. C'est grâce à vous si j'ai pu sortir autre chose que du bois. ;-)

Ces remerciements ne seraient pas complets sans parler de mon équipe actuelle, OCSI. Thomas, Nico, Christine, Clémence, Axel… merci à tous de m'avoir formé aux bancs de caractérisation

dans notre labo, de m'avoir rendu autonome pour mes mesures et de m'avoir laissé le temps et les équipements nécessaires à l'accomplissement de ma thèse. Merci d'avoir pris en compte mes demandes de développement software et d'avoir pris le temps de répondre à mes questions. Merci à Stéphane pour les premiers tries de mon silicium toujours un peu bancal… Merci à Loïc pour ton aide avec les assemblages. Merci à Sabine pour m'avoir laissé le temps de finir ce manuscrit. Et bien sûr merci à tous les autres de l'équipe, Guillaume, Xav., Phillipe, Jean-Michel et Didier pour votre accueil dans mon nouveau boulot.

Merci à l'équipe TILT et aux designers, Stephane M., Guillaume, Pierre et Patrice pour n'en citer que quelques-uns… sans qui les dispositifs que j'ai étudié n'auraient jamais été dessinés. J'ai grandement apprécié votre disponibilité pour répondre à mes questions et ce même lorsque vous crouliez sous le travail.

On ne ferait pas de microélectronique sans eux, merci à tous les gens de P.Dev. qui ont fabriqués mes capteurs, pour n'en citer que quelques-uns : Luc P., Sylvain J., Hugues L., Etienne M., Alisée T., Thomas M., François L., Jean-Pierre O., Denis P., Sara K., Bastien O., Claire R., Julien C. et les autres… J'en oublie certainement un paquet.

Parce qu'avant de sortir du silicium fonctionnel il faut savoir ce que l'on fait et comprendre la physique, merci à Floria, Clément et au reste de l'équipe TCAD de m'avoir initié à leur outil de simulation.

Merci aussi à la fée Nelly pour toute l'aide qu'elle apporte aux thésards et sans qui nos lots se retrouveraient perdus à tout jamais… Stéphane R. et Florian D. m'ont aussi bien aidé à interpréter correctement mes résultats de caractérisation, merci à vous deux. Sans oublier François D. et Ruddy, merci de m'avoir formé sur les bancs de test en Algéco.

Pour l'aide extérieure dont j'ai aussi bénéficié, merci à Liviu MILITARU de l'INSA de Lyon pour son soutient sur les mesures de RTS, et un énorme merci à Norbert MOUSSY, Pascal BESSON, Cédric PERROT, Frederic GONZATTI, Aurélien SEIGNARD, Catherine EUVRARD-COLNAT et Marine JOURDAN du CEA pour avoir passé mes plaques dans la salle blanche du LETI.

Dans les personnes qui ont certainement le plus contribué à la réussite de ma thèse j'ai nommé mes hispanophones Carlos Augusto SUAREZ SEGOVIA (dur dur de faire plus long comme nom…) et Onintza ROS BENGOETXEA (dur dur de faire plus difficile à prononcer…). Merci à vous deux pour toutes les aventures que l'on a vécu ensemble, ces soirées, road trips, randos, saut en parachute, sorties ski et wakeboard et autres barbecues… Bref que des moments géniaux qui je l'espère se poursuivront encore longtemps ! Pour moi cette thèse on l'a eu ensemble ! ;-)

Merci à tous mes amis qui ont eux aussi fortement aidé à remplir ces 3-4 dernières années de très très bons moments (Pia, Paul, Romu, Mokrane, Gaëtan, Lucia, mes collocs et tous les autres…)

Une petite mention spéciale pour remercier l'équipe de thésards/stagiaires/autre avec qui les repas étaient toujours au top et partaient souvent en débats absurdes, Boris, Giulio 1, Giulio 2, Darayus, Rémy, Nils, Adam, Andrej, Philippe, Antoine et Madjid.

Je souhaiterais finir cette longue liste de remerciements par les personnes qui me sont chères, mes parents et mon frère, ma famille et bien sûr ma Justine, qui m'ont tous toujours soutenu dans chacune de mes aventures, la thèse n'en était qu'une de plus et certainement pas la dernière.

Table des matières

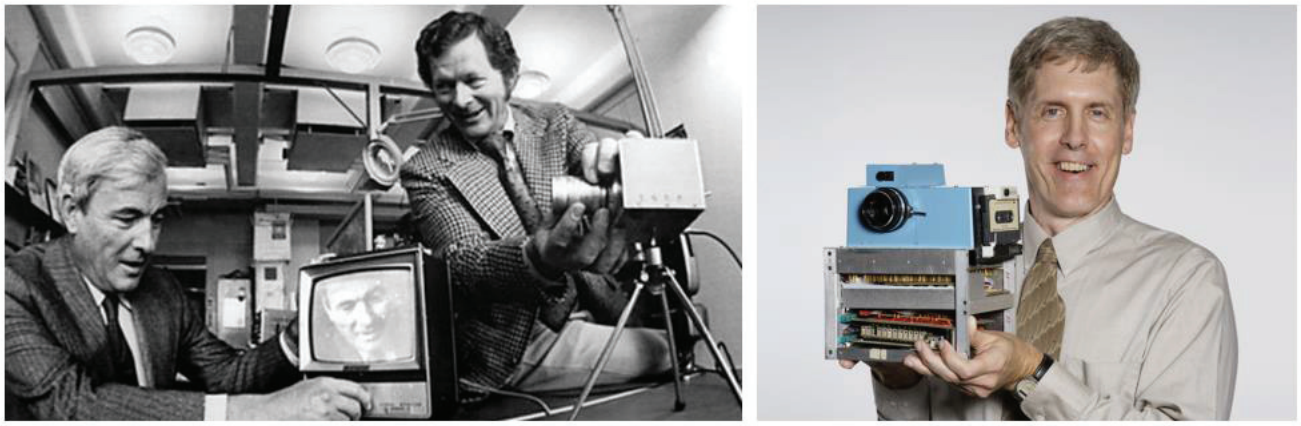
Introduction Générale 5
Chapitre 1 : Etat de l'art des capteurs CMOS 11
1. Introduction 13
2. Le capteur d'images en imagerie digitale 13
2.1. Les techniques de prise de vue 13
2.2. L'effet photoélectrique et les semi-conducteurs 15
2.3. Le pixel ou la plus petite information composant une image 16
2.4. La composition du pixel en imagerie digitale 18
3. L'évolution des pixels CMOS 20
3.1. Le pixel à trois transistors et ses limitations 20
3.2. La photodiode pincée et l'architecture 4T 22
3.3. La photodiode verticale 24
3.4. La photodiode à collection de trous et le pixel de type P 25
3.5. Les architectures partagées 26
3.6. Augmenter la sensibilité des pixels de petite taille. 27
3.7. L'isolation entre pixels 28
4. Les principaux défauts présents dans les capteurs d'image CMOS 30
4.1. Les états d'interface 30
4.2. Les défauts ponctuels 32
5. Conclusion 38
Chapitre 2 : Réalisation du pixel de type P 39
1. Introduction 41
2. Processus de fabrication 42
2.1. Optimisation de l'épitaxie pour un stockage de charges en volume 42
2.2. La passivation des interfaces 47
2.3. Ingénierie de dopage de la photodiode 54
2.4. Le transfert des charges de la photodiode vers le nœud de lecture 59
2.5. L'optimisation des transistors MOS pour une architecture 2T 64
2.6. L'illumination par la face arrière (BSI) 66
3. Conclusion 69
Chapitre 3 : Etude du courant d'obscurité du capteur à collection de trous 71
1. Introduction 73
2. Principaux mécanismes physiques générateurs du courant d'obscurité 74
2.1. Le courant d'obscurité et son bruit de grenaille 74
2.2. Mécanisme de génération thermique 75

2.2.2. Energie d'activation 76
2.3. Effet tunnel « bande à bande » et « assisté par pièges » 78
2.4. Mécanisme de diffusion 78
3. Mesure du courant d'obscurité 80
3.1. Mesure du courant d'obscurité en température 80
3.2. La spectroscopie du courant d'obscurité 81
4. Résultats expérimentaux 81
4.1. Le capteur à collection de trous avec tranchées DTI 81
4.2. La passivation « active » par tranchée d'isolation profonde capacitive 85
4.3. Comparaison du capteur de type P avec un capteur de type N éclairé par la face arrière 88
5. Effets des radiations par rayonnement X sur le courant d'obscurité 91
5.1. Conditions expérimentales d'irradiation 91
5.2. Effet sur les dispositifs semi-conducteurs 92
5.3. L'irradiation de capteurs de type P 93
6. Comparaisons et discussions 103
7. Conclusion 106
Chapitre 4 : Evaluation des performances électro-optiques du capteur d'images à collection de trous 107
1. Introduction 109
2. Le facteur de conversion, le gain du transistor suiveur et la capacité du nœud de lecture 109
2.1. Détermination du facteur de conversion et de la charge à saturation par la courbe de transfert photonique 111
2.2. La linéarité de la réponse du capteur 113
2.3. Le gain du transistor suiveur et la capacité du nœud de lecture 114
3. Les sources possibles de rémanence 115
3.1. Principe de la mesure de rémanence 115
3.2. Rémanence et dopage du substrat 117
3.3. Signaux de contrôle et configurations de grille de transfert 119
4. Image acquise avec le capteur de type P 121
5. L'efficacité quantique du capteur PMOS BSI à photodiode verticale profonde 122
5.1. Comparaison de la réponse des capteurs de type P, FSI et BSI 124
5.2. Impact de la passivation des tranchées d'isolation sur la réponse du pixel 125
5.3. Comparaison des capteurs de type P et de type N 126
5.4. Impact de l'irradiation sur les performances optiques des capteurs d'image 128
6. Le bruit provenant des transistors PMOS 129
6.1. Les bruits de piégeage : bruit télégraphique et 1/f 130
6.2. Les différentes représentations des bruits de piégeage 131

6.3. Comparaison NMOS vs PMOS 137
6.4. Bruit temporel sous irradiation 137
7. Conclusion 139
Conclusion Générale et Perspectives 141
Références bibliographiques 147
Annexe : Production scientifique 159

Introduction Générale

Les premiers prototypes de caméras CCD et appareil photos digitaux apparaissent au début des années 70. Bien qu'extrêmement novateurs et révolutionnaire, les appareils photos étaient alors lourds et encombrants, ne possédaient qu'une définition limitée de quelques milliers de pixels (par exemple 10000 pixels pour l'appareil photo de 3,6kg développé chez Eastman Kodak) et ne prenaient que des photos en noir et blanc. George E. Smith, Willard S. Boyle, Michael F. Thompsett et Steve Sasson étaient alors les pionniers d'une industrie qui allait plus tard changer bon nombre de domaines et surtout, devenir accessible à tous [1] [2] [3] (voir figure 1). L'invention du capteur CCD par Smith et Boyle fera d'ailleurs l'objet d'un prix Nobel de physique en 2009.



a) b)

Figure 1 : Les premiers prototypes de caméras CCD et appareils photos digitaux développés au début des années 70 avec leurs inventeurs respectifs. a) Boyle & Smith des AT&T Bell Labs [4] et b) Steve Sasson de Eastman Kodak [5].

De nos jours, les capteurs d'image basés sur les semi-conducteurs sont partout et leur technologie a bien évoluée (voir figure 2). La plupart des capteurs fabriqués aujourd'hui sont de technologie CMOS et non plus CCD. En 2015, Sony, le plus important fabricant de capteurs d'image au monde actuellement, a d'ailleurs annoncé la fin de sa production de capteurs CCD [6]. Le marché des capteurs CMOS avoisinant les 10 milliards de dollars en 2015, on en trouve non seulement dans les appareils photos hauts de gamme et grand public mais aussi dans la grande majorité des smartphones et téléphones portables. C'est d'ailleurs ce dernier marché qui a poussé le développement et l'intégration de nouvelles briques technologiques pour l'amélioration des performances des capteurs d'image CMOS. Ces derniers sont également intégrés à nos automobiles, ordinateurs, tablettes, robots ménagers et autres. Sans oublier leur usage en vidéo-surveillance, drones, imagerie satellite, imagerie médicale et autres applications scientifiques [7].

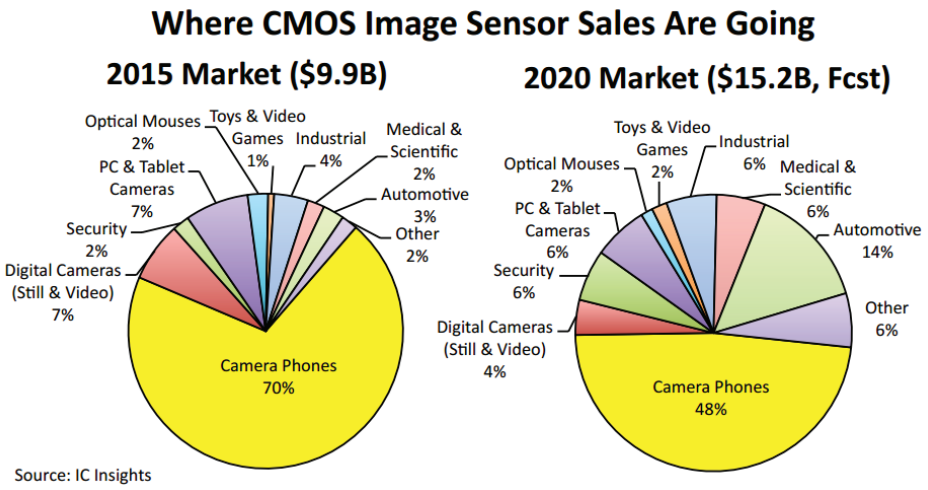


Figure 2 : Domaines d'application et taille du marché des capteurs d'images CMOS en 2015 et en 2020 (prévisions) [7].

Pour certaines applications spécifiques en environnements très difficiles, les capteurs et composants électroniques standard ne sont pas adaptés et peuvent rapidement être fortement endommagés [8]. En conséquence, de nombreux travaux ont portés sur l'amélioration de la résistance aux radiations des composants électroniques élémentaires tels que les transistors MOS et les photodiodes. Cependant, principalement par manque d'accessibilité aux procédés de fabrication dans l'offre de fonderie, la majeure partie de ces améliorations a été effectuée par une transformation du dessin des composants électroniques. En revanche, le contexte unique de cette thèse dans l'équipe d'intégration des procédés pour les capteurs d'image chez STMicroelectronics, leader européen dans la fabrication de capteurs d'images CMOS, nous permet d'explorer les améliorations que pourraient apporter une modification des procédés de fabrication du pixel.

Cette thèse s'inscrit donc clairement dans la volonté de STMicroelectronics de fabriquer des capteurs toujours plus performants non seulement pour des applications grand public mais aussi pour d'autres marchés comme l'aérospatial et l'imagerie médicale. C'est en combinant le savoir-faire déjà présent dans cette entreprise sur les avancées technologiques développées pour les applications d'imagerie grand public (miniaturisation des pixels, éclairement par la face arrière, tranchées d'isolations profondes, etc…) et celles développées pour améliorer la résistance des capteurs en environnement ionisant (photodiode de type P, transistors PMOS, etc…) que l'on souhaite améliorer les performances des capteurs pouvant être utilisés en radiothérapie, dans l'espace ou en environnement nucléaire. Les travaux de cette thèse sont donc réalisés dans ce cadre. Ils portent essentiellement sur le développement d'une nouvelle architecture de pixel CMOS éclairé par la face arrière, intégrant une photodiode verticale à collection de trous et une chaîne de lecture PMOS, ainsi que des tranchées d'isolations profondes. Les effets d'irradiation (sous rayonnement X) ont également été étudiés sur les capteurs d'image de ce type.

Ce manuscrit comporte quatre principaux chapitres. Le premier chapitre a pour but d'introduire les concepts de capteur d'images et de pixels, de décrire leurs composants principaux ainsi que leur fonctionnement et d'en établir l'état de l'art. Il présente l'évolution des capteurs dits « CMOS » au cours des 25 dernières années. Enfin, différents mécanismes de formation de défauts cristallins seront également présentés en raison de leur impact néfaste sur les performances des capteurs. L'introduction d'un capteur de type P intégrant les dernières avancées technologiques dans le domaine sera ainsi justifiée.

Le chapitre 2 aborde en détails les différentes étapes clés pour la fabrication des capteurs étudiés dans cette thèse. A l'aide de simulations TCAD et de caractérisations physiques et électriques, les différents choix technologiques effectués au cours du développement du capteur

seront justifiés. Seront également présentés les divers défis ayant dû être relevés pour obtenir des dispositifs non seulement fonctionnels mais aussi performants.

Le chapitre 3 se concentrera sur la description des différents mécanismes de génération de charges dans l'obscurité. La position des différentes sources de courant d'obscurité dans le pixel sera présentée ainsi que l'impact que ce type de bruit peut avoir sur les performances du capteur. Les deux principales méthodes de passivation des interfaces implémentées au cours de cette thèse seront étudiées. Les performances en bruit du pixel de type P seront alors comparées à son homologue de type N : le pixel éclairé par la face arrière de 1,4µm de côté et possédant une photodiode verticale pincée déjà en production chez STMicroelectronics. Pour finir, la résistance aux radiations (rayonnement X accéléré à 6MV) de ces deux types de capteur sera évaluée et comparée. Ces deux types de capteurs ont été irradiés grâce à l'aide du service de radiothérapie du centre hospitalier Lyon Sud.

Pour finir, le quatrième et dernier chapitre portera sur les autres figures de mérite clés utilisées pour évaluer le bon fonctionnement des capteurs d'images tels que l'évaluation de la linéarité de la réponse du capteur, son facteur de conversion, ou le bruit provenant de la chaîne de lecture. Les briques technologiques majeures implémentées au cours de cette thèse étant la photodiode verticale profonde et l'éclairement par la face arrière, une partie importante de ce chapitre est consacrée à l'étude de l'efficacité quantique de ce capteur. Encore une fois, ses performances optiques seront comparées au capteur de référence développé chez STMicroelectronics avant et après irradiation. Un bilan des performances du pixel proposé conclura ce chapitre.

Chapitre 1 : Etat de l’art des capteurs CMOS

1. Introduction

Ce chapitre a pour but de dresser l'état de l'art actuel des capteurs d'image CMOS. Dans une première partie nous présenterons ce que sont les capteurs d'images et les pixels. Nous expliciterons également pourquoi le silicium est un matériau parfaitement adapté pour leur fabrication. La deuxième partie concernera l'évolution des pixels présents dans les capteurs de type CMOS au cours des 25 à 30 dernières années. C'est dans cette partie que seront présentées les différentes implémentations technologiques mises en place dans le pixel développé au cours de cette thèse. Enfin, une troisième partie abordera le sujet des différents types de défauts cristallins présents dans les capteurs d'image et impactant leurs performances. En particulier, la génération de défauts dans deux environnements sera présentée : lors de la fabrication du capteur (par exemple l'implantation ionique) et lors d'une utilisation en environnement ionisant (irradiation aux rayonnements X).

2. Le capteur d'images en imagerie digitale

2.1. Les techniques de prise de vue

2.1.1. La photographie ou l'art de capturer des images.

D'un point de vue étymologique, le mot « photographie », inventé par John Herschel en 1839, signifie littéralement « peindre avec la lumière » [9]. Il désigne en réalité une technique développée au milieu du 19ème siècle par Joseph Nicéphore Niépce, William Henry Fox Talbot et Louis Daguerre ayant pour but d'imprimer sur un support et de façon permanente une image d'un objet obtenue grâce au phénomène de la chambre obscure (*camera obscura* en latin). Ce phénomène, connu depuis Aristote (IVème siècle avant JC), permet de projeter l'image d'une scène en 3 dimensions sur un support en 2 dimensions en laissant pénétrer la lumière dans une chambre obscure au travers d'un trou très petit (sténopé) (voir figure 3a)). En intégrant sur l'écran un matériau sensible à la lumière comme les cristaux d'halogénures d'argent (chlorure d'argent ou bromure d'argent) présents de nos jours dans les pellicules photographiques, il est alors possible d'imprimer physiquement l'image projetée par le sténopé [10] (voir figure 3b)).

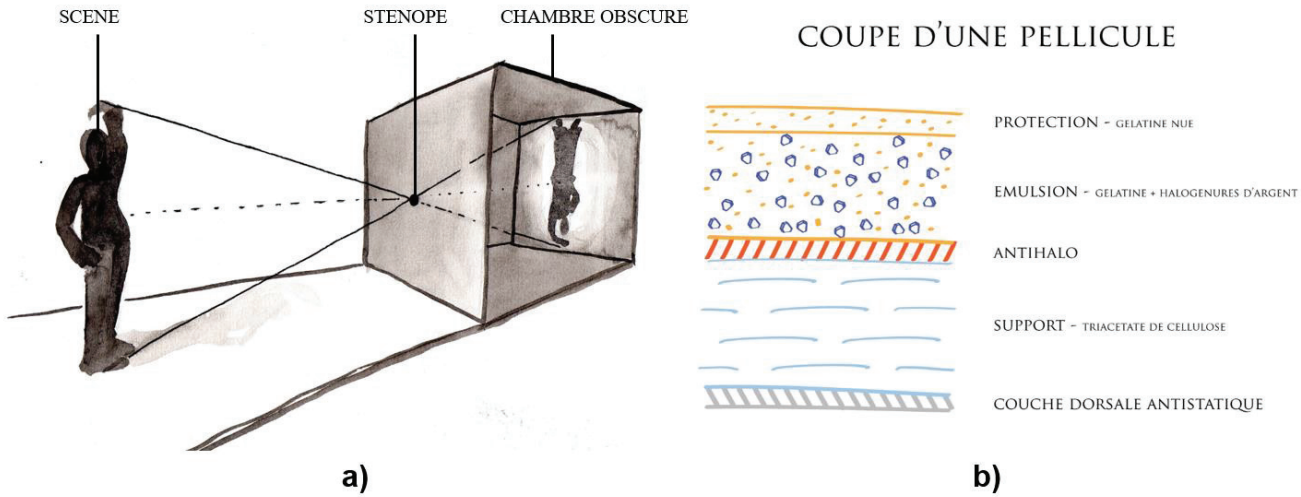


Figure 3 : a) Représentation schématique du phénomène de la chambre obscure observé lors de l'utilisation d'un sténopé. b) Schéma d'une coupe de pellicule photographique noir et blanc, les cristaux d'halogénures d'argent sont représentés en bleu.

En effet, dans chaque grain de cristal insolé par la lumière un certain nombre d'ions Ag^+ vont être transformés en argent métallique et former ce que l'on appelle un germe de développement. L'ensemble des cristaux présentant un germe de développement forme une image latente très peu contrastée de la scène photographiée. Il faut en moyenne 20 à 60 photons par cristal pour obtenir

une image latente développable [11]. Lors du processus de développement, le révélateur va interagir chimiquement avec l'halogénure d'argent non insolé dans les cristaux présentant un germe de développement et finir leur transformation complète en argent métallique, amplifiant ainsi le contraste de l'image latente. Pour finir, le fixateur servira à éliminer chimiquement les cristaux d'halogénure d'argent n'ayant pas réagi lors du processus de révélation de l'image, formant ainsi le négatif. L'argent métallique n'étant pas sensible à la lumière, l'image est alors imprimée de façon durable sur le support de la pellicule. La pellicule photographique argentique devient alors le premier capteur d'images fabriqué et vendu en masse pour le grand public.

2.1.2. La photographie digitale

Avec l'avènement de la microélectronique et des circuits intégrés, ainsi que l'invention du capteur CCD (*Charge Coupled Device* en anglais) en 1969 par Willard Boyle et George E. Smith, il fût possible de remplacer la pellicule photographique par un dispositif électronique : le capteur d'images digital (voir figure 4) [12] [1]. Le capteur à base de silicium intègre à la fois des éléments photosensibles et d'autres composants électroniques pour transporter et traiter le signal, permettant l'acquisition rapide d'une image sans avoir recourir à un long et couteux processus de développement chimique. L'utilisation de pellicules photographiques a ainsi été rendu quasi-obsolète. Pendant longtemps, la technologie CCD domine le marché des capteurs d'image. Ce n'est seulement qu'au début des années 2000, bien après l'invention du capteur d'images CMOS à pixel actif (Active Pixel Sensor ou CMOS APS en anglais) par Eric Fossum et son équipe en 1993 [13] [14], que ce dernier atteint des performances équivalentes à la technologie CCD [15]. De plus, les capteurs d'image ont eux aussi su bénéficier de la course à la miniaturisation en microélectronique décrite par la loi de Moore [16]. En effet, l'amélioration des performances des capteurs CMOS et leur miniaturisation ont permis leur intégration massive dans les téléphones mobiles et autres smartphones à partir des années 2000 [17]. La photographie devient alors accessible à tous et le nombre de photos prisent chaque année par l'ensemble de la population mondiale explose pour atteindre le chiffre extraordinaire de mille milliard de photos en 2015 [18]. Et derrière chacun de ces pixels composant chacune de ces photos repose le même phénomène physique, celui dont l'explication en 1905 a valu le prix Nobel de physique à Albert Einstein (décerné en 1921), l'effet photoélectrique [19].

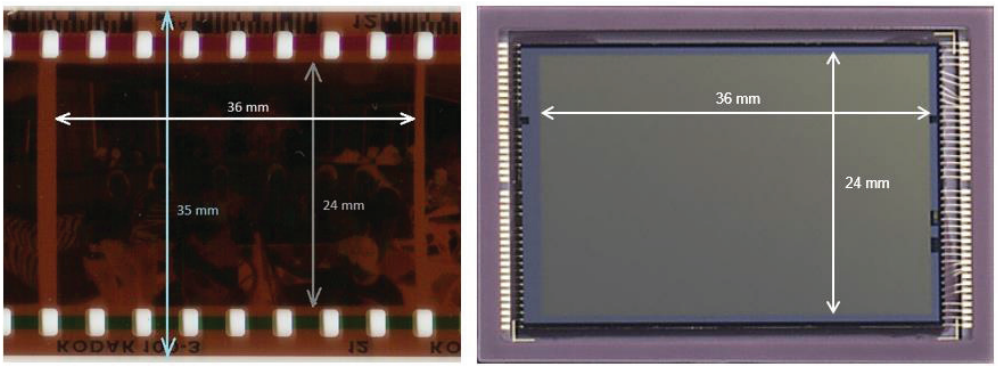


Figure 4 : Comparaison des dimensions de la partie photosensible a) d'une pellicule photographique de type 35mm et b) d'un capteur d'images dit « plein-format ».

2.2. L'effet photoélectrique et les semi-conducteurs

C'est en 1839 que l'effet photoélectrique est observé pour la première fois par Antoine César Becquerel, grand-père du célèbre physicien Antoine Henri Becquerel, sous la forme de l'effet photovoltaïque [20]. Il observe alors qu'un courant électrique peut être produit lorsqu'il éclaire un liquide conducteur dans lequel on a plongé des électrodes. En 1887 le physicien allemand Heinrich Rudolf Hertz observe le même phénomène dans des matériaux métalliques mais ne parvient pas à expliquer de manière théorique ses résultats. Il faudra attendre Albert Einstein qui en 1905 apporta la première explication du phénomène en faisant appel à la nature quantique et corpusculaire de la lumière. L'effet photoélectrique qui nous intéresse ici est celui au travers duquel la lumière est absorbée dans un matériau semi-conducteur [21].

Lorsqu'un photon, d'énergie supérieure ou égale à la largeur de bande interdite du semi-conducteur, pénètre dans le cristal, il peut être absorbé par l'un des électrons présent dans la bande de valence du matériau. Son énergie est alors transférée à l'électron en question, lui permettant d'atteindre la bande de conduction du matériau et générant dans le même temps un trou dans la bande de valence. Les charges photo-générées peuvent alors participer au phénomène de conduction dans le cristal. Les différentes interactions entre particules ayant lieu durant l'effet photoélectrique doivent bien évidemment satisfaire les lois de conservation de l'énergie et de la quantité de mouvement. Cela implique que dans un semi-conducteur à gap direct, seule l'absorption d'un photon est nécessaire pour la création d'une paire électron-trou pouvant participer au phénomène de conduction. En revanche, dans un semi-conducteur à gap indirect, comme c'est le cas pour le silicium, l'absorption d'un photon d'énergie proche de la largeur de bande interdite nécessite l'interaction simultanée (émission ou absorption) d'un phonon (quantum d'énergie de vibration du cristal) pour que l'électron puisse passer de la bande de valence à la bande de conduction. La figure 5 décrit schématiquement l'absorption d'un photon d'énergie $E_{photon} = h\nu$ par un électron dans un semi-conducteur à gap indirect comme le silicium en prenant en compte l'interaction simultanée d'un phonon d'énergie E_{phonon}. Enfin, pour des photons suffisamment énergétiques, l'électron peut subir une transition directe dans un semi-conducteur à gap indirect sans nécessiter l'intervention d'un phonon durant le phénomène d'absorption.

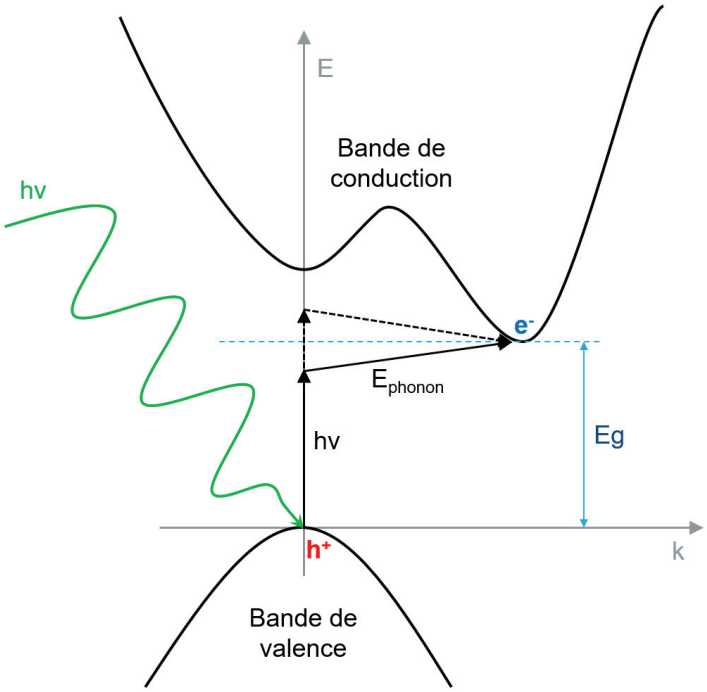


Figure 5 : Représentation schématique de l'absorption d'un photon *hV* par effet photoélectrique dans un semi-conducteur à gap indirect.

Il est important de noter que la génération de paires électron-trou par effet photoélectrique est un phénomène quantique ne dépendant pas de l'intensité de la lumière incidente mais uniquement de sa longueur d'onde. En effet, le semi-conducteur est absorbant si l'énergie des photons le pénétrant est supérieure ou égale à sa largeur de bande interdite (*bandgap* en anglais). Dans le cas du silicium à température ambiante, comme

$$Eg(300K) = 1.12eV \quad (1)$$

et que

$$E_{photon} = h\nu = \frac{hc}{\lambda} \quad (2)$$

un photon de longueur d'onde λ supérieure à 1.1µm ne possédera pas l'énergie nécessaire pour être absorbé. Comme la partie visible du spectre électromagnétique s'étend environ de 400 à 800nm et que la majorité des applications dites « grand public » fonctionnent sur cette plage de longueur d'onde, le silicium est un matériau aux propriétés parfaitement adaptées pour la fabrication de capteurs d'image (voir figure 6). Un filtre infrarouge est d'ailleurs généralement utilisé dans les appareils photographiques pour supprimer la contribution des longueurs d'onde supérieures à 800nm (infrarouge proche). Aussi, pour des énergies de photons dans l'UV, le visible et l'infrarouge (inférieure à 1keV, soit les longueurs d'ondes supérieures à 1nm), l'absorption d'un photon ne génère la création que d'une seule et unique paire électron-trou.

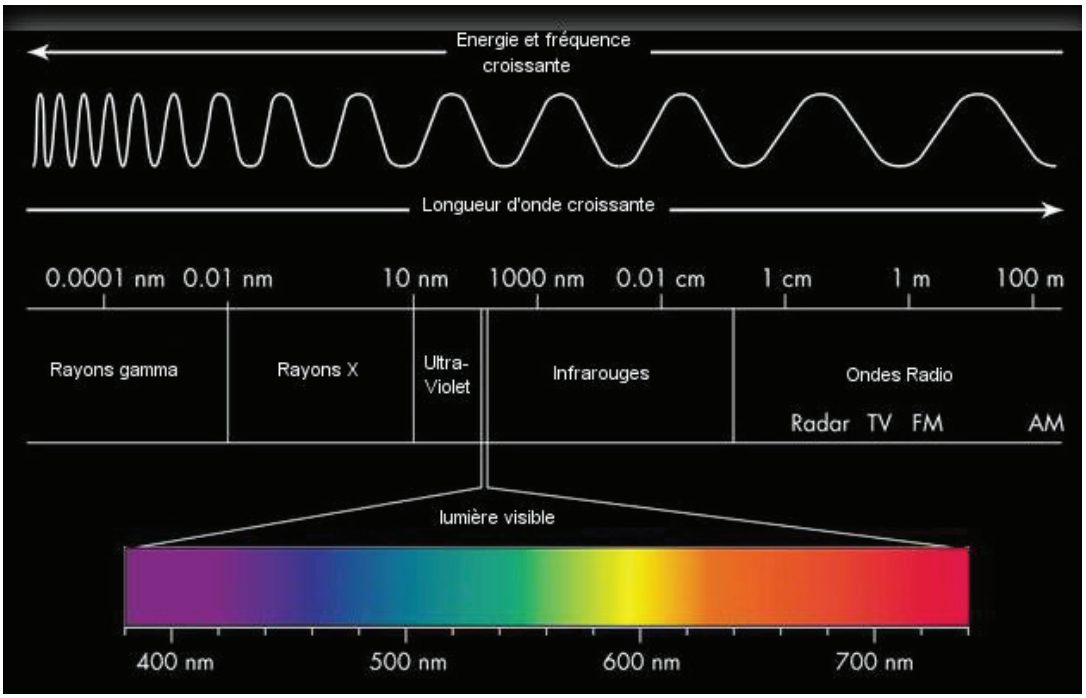


Figure 6 : Représentation schématique du spectre électromagnétique et de la partie visible de la lumière [22].

2.3. Le pixel ou la plus petite information composant une image

Nous avons vu dans le paragraphe précédent comment la lumière, au travers de l'effet photoélectrique, pouvait être absorbée et convertie en charges électriques mobiles dans un semi-conducteur. Nous avons aussi vu qu'en photographie argentique les détails d'une image dépendaient de la présence ou de l'absence de grains d'argent métallique sur la pellicule après développement (pour une photo prise en noir et blanc). C'est l'organisation de ces grains qui forme l'image sur la pellicule et chaque grain correspond à la plus petite quantité d'information d'une image. La figure 7a) présente une vue en coupe d'une pellicule photographique sur laquelle sont visible les multiples

grains de bromure d'argent étant sensibles à la lumière. La figure 7b) est une image vue du dessus et prise au microscope électronique à balayage des grains tabulaires d'halogénure d'argent trouvés notamment dans les émulsions des pellicules T-max fabriquées par Kodak depuis 1983 [23]. En pratique, la taille des grains varie entre 0.2µm et 2µm en fonction de la sensibilité de la pellicule (plus le grain est gros et plus la pellicule sera sensible à la lumière) [24].

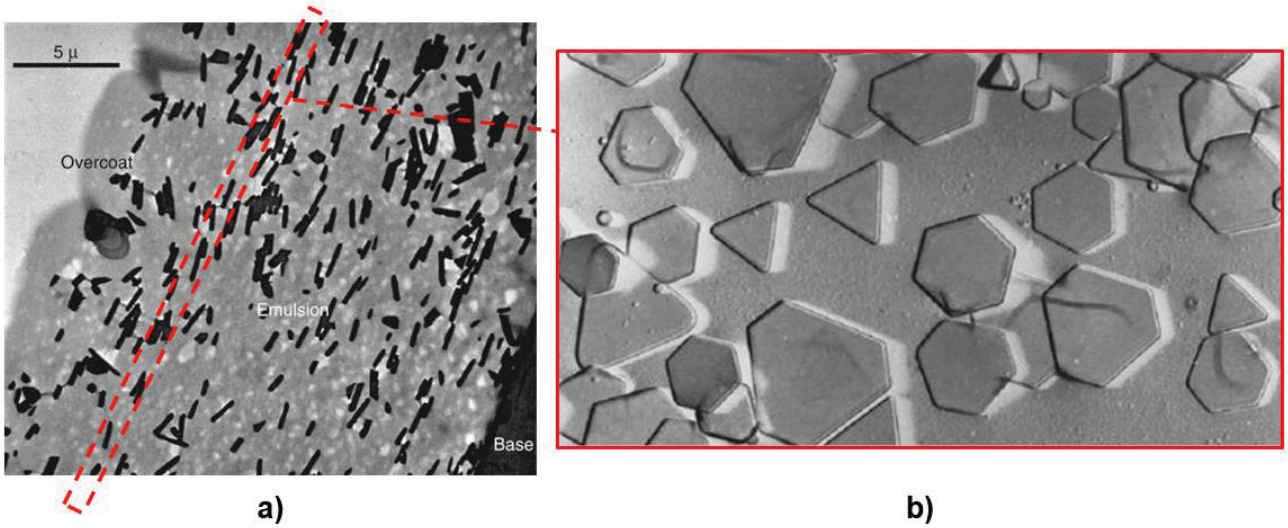


Figure 7 : a) vue en coupe d'une pellicule photographique de type INSIGHT. b) observation au microscope électronique à balayage de grains tabulaires d'halogénure d'argent présents notamment dans les pellicules photographiques de type T-max (KODAK) [25].

En imagerie digitale, la plus petite unité d'information d'une image est contenue dans ce que l'on appelle « un pixel » (soit la concaténation de « *picture element* » en anglais) [26]. Ce dernier correspond généralement à un point de l'image, et le nombre total de pixels présents dans une image correspond à sa « définition ». Ces dernières années, pour des raisons d'abords techniques puis commerciales, les fabricants de capteurs d'image ont cherché à augmenter la définition des capteurs d'images (jusqu'à atteindre plusieurs dizaines voire centaines de millions de pixels par capteur, [27]) tout en diminuant drastiquement leur taille (avec un diamètre de 1.5mm, la caméra NanEye, développée par les compagnies CMOSIS et Awaiba, est l'une des plus petite au monde [28]). Cela a eu pour conséquence de diminuer fortement la taille des pixels pour atteindre 0.9µm en 2010 (soit une taille comparable à celle des cristaux d'halogénure d'argent) [29]. Certains chercheurs ont même proposé l'idée de fabriquer des pixels de taille bien inférieure à la limite de diffraction pour créer des capteurs se rapprochant fortement du fonctionnement des pellicules argentiques : les « *digital film sensor* » [30]. Cette forte réduction du pas du pixel, notamment poussée par le marché des téléphones portables et tablettes (pour diminuer l'épaisseur des modules photographiques tout en conservant la même définition du capteur), a permis l'intégration de matrices de plusieurs millions de pixels dans ce type d'applications mobiles (voir figure 8).

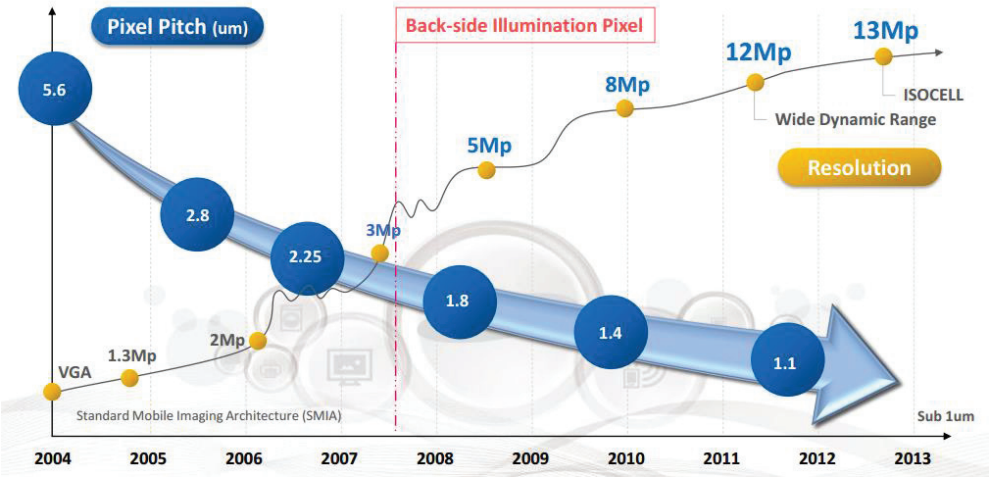


Figure 8 : Evolution du pas du pixel (*pixel pitch* en anglais) et de la définition des capteurs d'image (*resolution* en anglais) pour les applications mobile de 2004 à 2013 [31].

2.4. La composition du pixel en imagerie digitale

La structure physique d'un pixel à l'état de l'art présente un empilement d'une multitude de couches de différents matériaux ayant pour principaux objectifs la transmission d'une quantité maximale de lumière jusqu'au silicium photosensible, le stockage des charges photo-générées et la lecture du signal récolté. Il faut savoir que plusieurs centaines d'étapes successives sont nécessaires à la fabrication d'un capteur d'images (voir chapitre 2). La figure 9 présente un exemple de cet empilement de couches pour un pixel éclairé par la face avant dans un capteur d'images CMOS développé par Nikon. On y observe clairement l'empilement optique servant à focaliser et filtrer la lumière incidente, l'empilement métallique servant à la mise en œuvre du pixel et le silicium nécessaire à la conversion des photons en charges électriques.

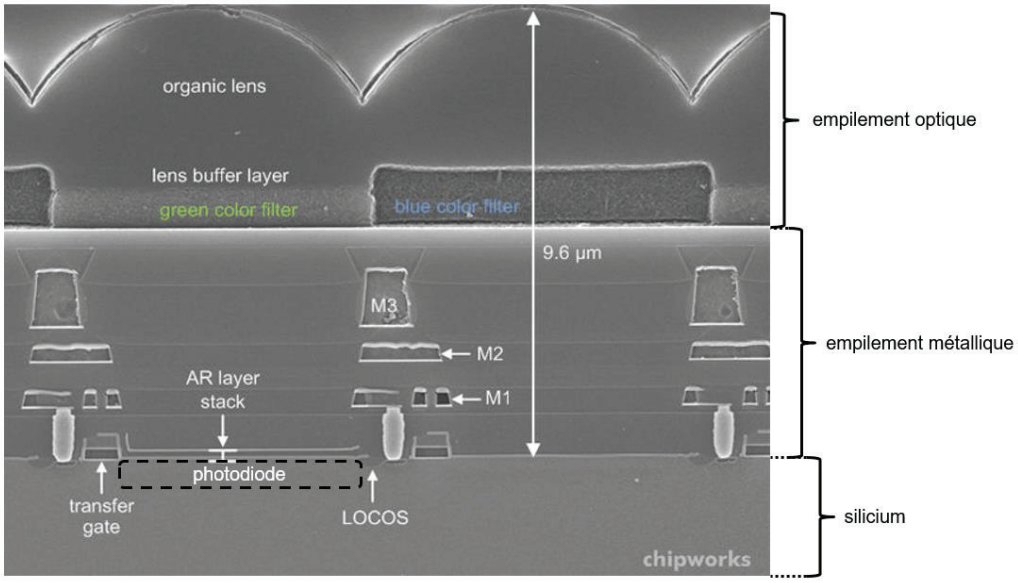


Figure 9 : Vue en coupe de deux pixels du capteur NC81366W développé par Nikon [32].

2.4.1. L'empilement optique pour la photographie digitale couleur

A l'exception des filtres colorés, la majorité des couches présentes dans l'empilement BEOL (*Back-End Of Line* en anglais) d'un capteur d'images doivent être transparentes à toutes les

longueurs d'ondes utilisées dans l'application visée (généralement dans le domaine visible) afin de maximiser la quantité de signal arrivant sur le silicium. Les microlentilles et dans certains cas les guides d'ondes ont pour but de focaliser la lumière incidente sur la zone photosensible afin d'éviter les pertes de signal dues à d'éventuelles réflexions sur les interconnexions présentes dans l'empilement métallique.

Les filtres colorés, quant à eux, sont utilisés pour ne laisser passer qu'une bande restreinte de la lumière (généralement le bleu, le vert ou le rouge) et ainsi apporter l'information de « couleur » au signal mesuré. Ce sont généralement des plots de résines organiques contenant des pigments colorés et arrangés selon un motif de Bayer. En effet, c'est en 1975 que Bryce E. Bayer, de la compagnie Eastman Kodak, inventa la matrice de filtres colorés portant son nom, étant actuellement utilisée dans la grande majorité des capteurs d'image et possédant l'arrangement décrit par la figure 10a) et b) [33].

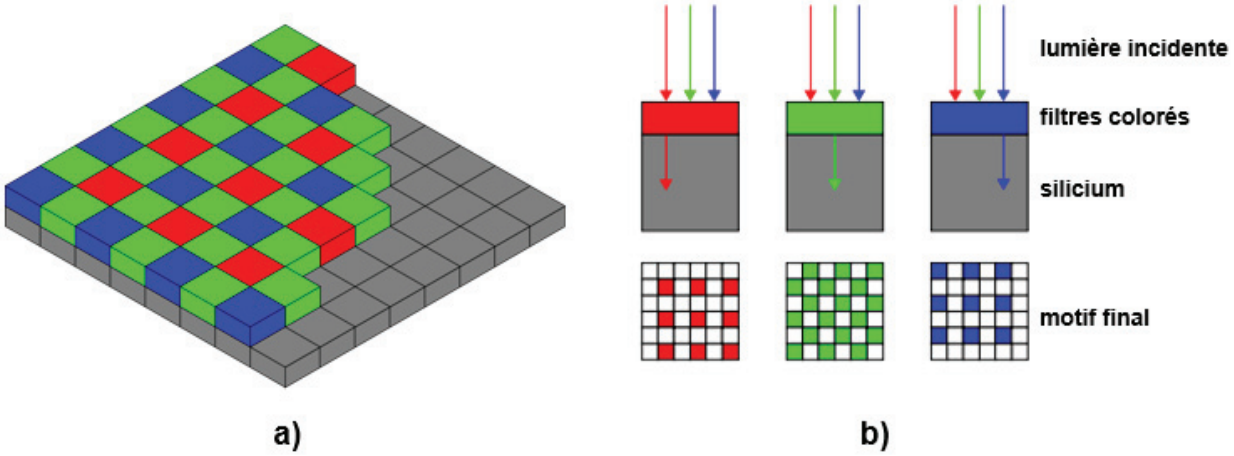


Figure 10 : a) Représentation du motif de Bayer présent dans la plupart des capteurs d'image utilisés pour la photographie couleur. b) Principe de fonctionnement des filtres colorés.

2.4.2. *Un arrangement des couleurs inspiré de l'œil humain*

Cet arrangement particulier a été inventé afin de reproduire numériquement, et de façon la plus fidèle possible à la réalité, des images en couleurs. La méthode de détection des couleurs est inspirée de la structure de l'œil humain et de son fonctionnement. La rétine de l'œil est en effet dotée de deux types de cellules photosensibles : les bâtonnets, très sensibles à la luminosité et contribuant essentiellement à la vision en faibles conditions d'illumination (noir et blanc), et les cônes, dont nous possédons trois variantes (S, M et L, de sensibilités spectrales différentes, centrées respectivement sur 3 couleurs primaires : bleu, verte et rouge), nous permettant de distinguer les différentes couleurs du spectre visible. La figure 11 présente de façon normalisée l'absorbance des différentes cellules photosensibles de l'œil humain sur cette plage de longueur d'onde. L'œil humain étant particulièrement sensible à la lumière verte, le motif de Bayer présente deux fois plus de pixels verts que de pixels bleus ou rouges. Via le nerf optique, les réponses des cellules photosensibles sont transmises au cerveau qui réinterprète ensuite chaque couleur en fonction du type de cône ayant été stimulé.

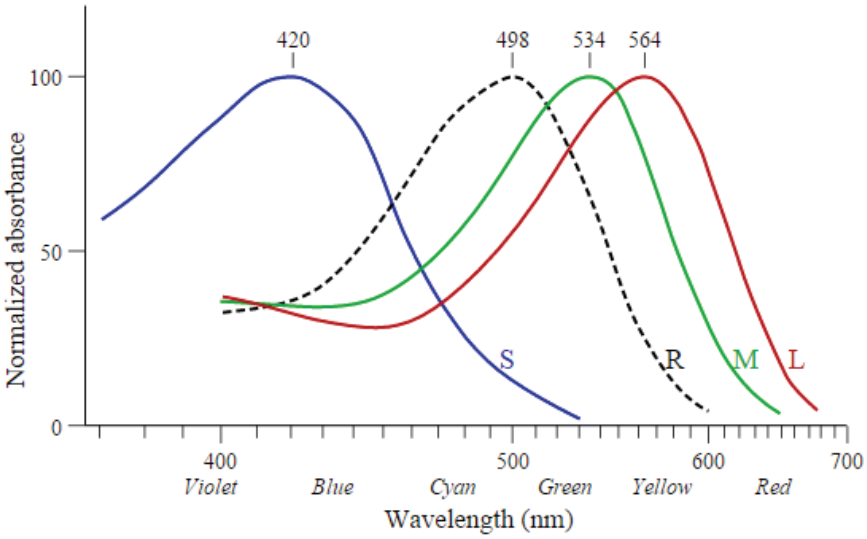


Figure 11 : Absorbance normalisée des différents cônes (S, M et L) et bâtonnets (R) présents dans l'œil humain en fonction de la longueur d'onde de la lumière incidente [34].

De la même manière, les capteurs numériques à filtre Bayer acquièrent en réalité trois images incomplètes dans trois plans couleurs différents. Comme chaque pixel n'acquière qu'une seule couleur, les deux autres plans couleurs doivent être interpolés en utilisant le signal collecté dans les pixels adjacents, c'est le dématriçage [35]. L'arrangement du motif de Bayer permet d'obtenir une fréquence d'échantillonnage uniforme verticalement et horizontalement. Comme la qualité de l'image finale peut dépendre grandement de l'algorithme utilisé lors du dématriçage, toutes les mesures présentées dans ce manuscrit ont été effectuées sur les données brutes du capteur (ou *RAW data* en anglais).

Il existe bien évidemment d'autres arrangements de filtres colorés tels que celui des capteurs X-Trans de Fujifilm ou les filtres RGBC (*Red/Green/Blue/Clear* en anglais). Certains fabricants comme Foveon utilisent même d'autres moyens originaux pour extraire les différentes couleurs d'une image sans utiliser de filtres colorés [36] [37]. Aucune de ces alternatives n'a été traitée au cours de cette thèse. Elles ne sont donc citées dans ce chapitre qu'à titre informatif.

3. L'évolution des pixels CMOS

3.1. Le pixel à trois transistors et ses limitations

L'architecture de pixel la plus simple à fabriquer et qui fût la plus répandue dans les années 1990 est celle du pixel à trois transistors. Ce dernier est composé d'une jonction PN photosensible (la photodiode), d'un transistor de réinitialisation, d'un transistor de sélection de ligne et d'un transistor suiveur. La figure 12 est une représentation de ce type de pixel. Le silicium dopé N formant la zone de collection des charges est directement connecté à la grille du transistor suiveur et à la source du transistor de réinitialisation via un contact ohmique dopé N+. Le potentiel électrique de la photodiode peut ainsi être remis à zéro avant de déclencher l'intégration. Grâce au champ électrique régnant dans la zone de charge d'espace (en pointillés rouges sur la figure), les porteurs photo-générés (électrons et trous) sont efficacement séparés les uns des autres pour éviter leur recombinaison. Les électrons sont alors collectés dans la photodiode de type N. Quant aux trous, ils sont temporairement stockés dans le caisson de type P avant d'être évacués au travers de la prise substrat dopée P+ lors de la réinitialisation de la photodiode. Le signal accumulé dans la photodiode est alors directement transformé en variation de tension et amplifié au travers du transistor suiveur. Chaque pixel est ensuite lu séquentiellement grâce au transistor de sélection de ligne.

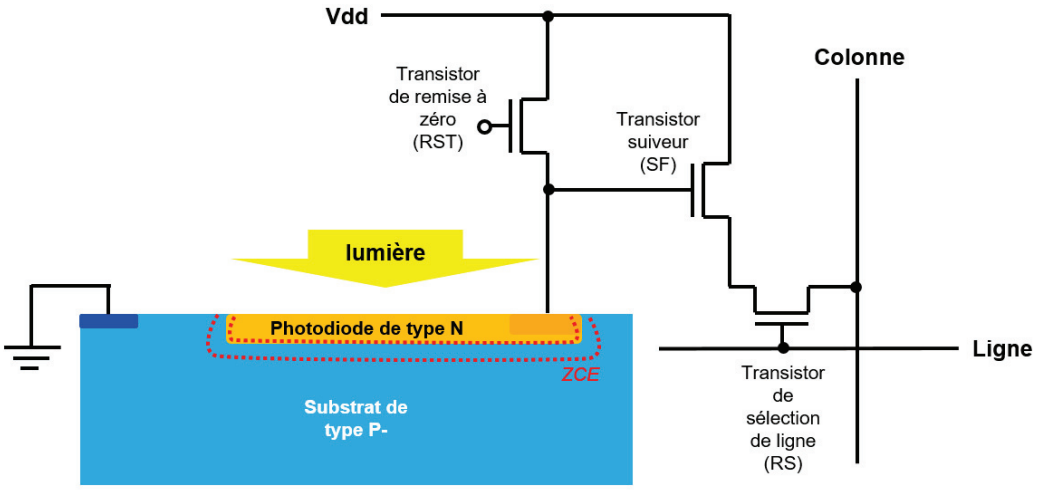


Figure 12 : Schéma d'une architecture 3T avec une photodiode de type N, sa zone de charge d'espace (ZCE, en pointillés rouge) et ses transistors associés.

Ne possédant que très peu de transistors, l'encombrement de ce type de pixel est faible et il possède donc un très bon facteur de remplissage car la photodiode occupe la majeure partie de la surface du pixel. De plus, en raison du dopage important de la photodiode pour garantir un contact ohmique à la surface du pixel, cette dernière possède une capacité de stockage très importante, on dit que le pixel possède une charge à saturation très élevée.

Malgré ces deux caractéristiques très avantageuses, le principal défaut du pixel 3T concerne l'impossibilité de minimiser son bruit temporel (bruit *kTC* de la photodiode et *1/f* du transistor suiveur) au travers d'un circuit de double échantillonnage corrélé (*Correlated Double Sampling* ou *CDS* en anglais). En effet, le bruit *kTC* provient principalement du transistor de réinitialisation et se traduit par une variation aléatoire du niveau de remise à zéro de la photodiode (niveau de référence). La lecture du signal intégré se fait de manière différentielle en soustrayant au signal acquit lors de l'image *n* ($RAZ(img^n)$ + $SIGNAL(img^n)$) un niveau de référence défini lors de la phase de réinitialisation *n+1* ($RAZ(img^{n+1})$). Ceci afin de limiter le temps entre l'échantillonnage de la référence et celui du signal. Comme les deux niveaux de références $RAZ(img^n)$ et $RAZ(img^{n+1})$ ne sont pas corrélés, le bruit ne peut pas en être soustrait.

Un autre problème de l'architecture 3T provient du fait que la photodiode est utilisée comme nœud de lecture, ce qui limite l'optimisation à la fois de la charge à saturation et du facteur de conversion.

Enfin, comme la photodiode est formée de manière surfacique, elle est en contact direct avec l'interface supérieure de la couche de silicium. Cette dernière est habituellement encapsulée par une couche d'oxyde ou de nitrure. Le cristal de silicium y étant interrompu, cette zone est extrêmement dense en défauts cristallins (voir partie 4.1 de ce chapitre). Ces derniers peuvent être électriquement actifs s'ils sont présents dans une zone de charge d'espace comme c'est le cas au niveau de la photodiode du pixel 3T. Ce sujet sera abordé plus en détail dans la suite de ce manuscrit et plus particulièrement dans le chapitre 3. La principale conséquence de la présence de ces défauts est la génération d'un bruit proportionnel au temps d'intégration de l'image. L'architecture 3T voit donc son utilité bien amoindrie à faible niveau de signal par le bruit *kTC* et à long temps d'intégration par les défauts présents à l'interface Si/SiO_2.

3.2. La photodiode pincée et l'architecture 4T

En conséquence, afin de palier à ces désavantages majeurs, l'architecture 4T a été développée [38] [39] [40]. Cette dernière, faisant appel à la photodiode dite « pincée » (*Pinned Photodiode* ou *PPD* en anglais) développée par Peter J. W. Noble en 1968 [41], est décrite sur la figure 13. En intégrant un quatrième transistor appelé généralement « grille de transfert » (*Transfer Gate* ou *TG* en anglais), le nœud de lecture (*Floating Diffusion* ou *FD* en anglais) peut alors être séparé physiquement de la photodiode. Comme il n'est plus nécessaire de relier directement la photodiode aux transistors suiveur et de réinitialisation via un contact ohmique, il est alors possible d'enterrer cette dernière sous la surface de silicium à l'aide d'une implantation ionique à faible énergie de type P+ et ce afin d'éloigner la zone de charge d'espace de l'interface Si/SiO_2. Le nœud de lecture est alors protégé de la lumière par les niveaux de métaux pour qu'il ne soit plus photosensible.

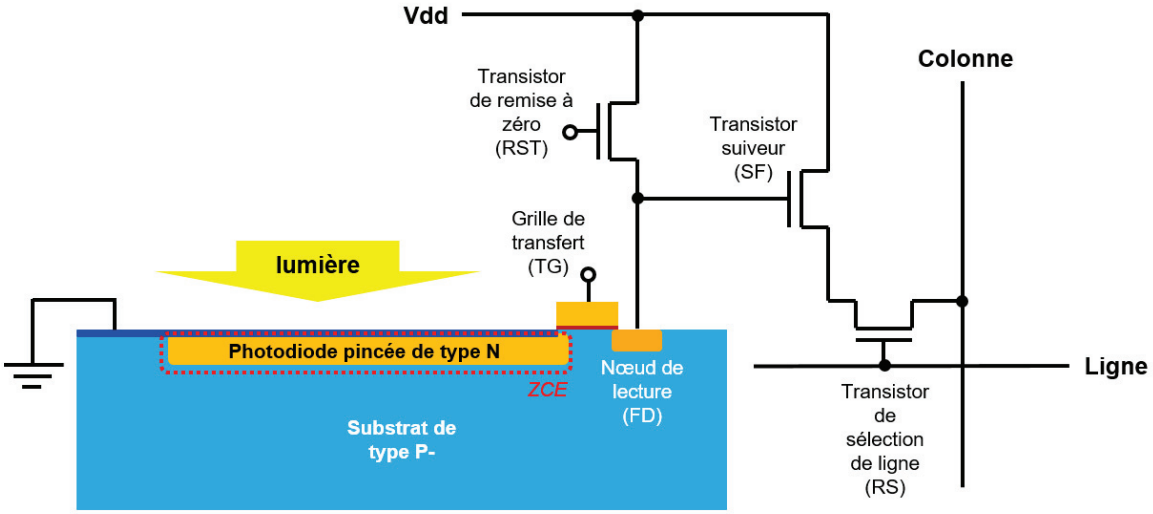


Figure 13 : Schéma d'une architecture 4T à photodiode pincée de type N, sa zone de charge d'espace (ZCE, en pointillés rouges) et ses transistors associés.

La photodiode (de type N) est donc prise en sandwich entre une couche P+ surfacique fortement dopée et un caisson P défini par le substrat. Si le dopage des deux jonctions PN tête-bêche est ajusté correctement, la zone de charge d'espace de la jonction P+N rejoint celle de la jonction NP lorsque la photodiode est réinitialisée. On dit alors que la photodiode est « pincée ». A cet instant, elle est entièrement désertée et la photodiode est à son niveau de réinitialisation, autrement appelé le « potentiel de diode ». Par construction, parce qu'aucune charge mobile n'est présente dans la photodiode, cette dernière est constamment réinitialisée au même niveau et ne présente donc pas de bruit *kTC*. En revanche, bien que non-photosensible, le nœud de lecture présente les mêmes caractéristiques que la photodiode de type 3T. Un bruit *kTC* y est donc généré lors de sa réinitialisation. Fort heureusement, ce dernier peut être éliminé au moyen du double échantillonnage corrélé.

En effet, les charges sont dans un premier temps collectées dans la photodiode lors de l'intégration puis transférées sur le nœud de lecture avant d'être lues comme précédemment de manière différentielle. Le principe de fonctionnement de la photodiode pincée de type N est illustré sur la figure 14. Le potentiel électrostatique régnant à l'intérieur de la photodiode et du nœud de lecture est détaillé sur les figure b) à d) pour les principales étapes de la séquence d'acquisition : le début et la fin de l'intégration, l'échantillonnage du niveau de référence du nœud de lecture, le transfert des charges de la photodiode au nœud de lecture et enfin l'échantillonnage du signal. On remarque ici que l'échantillonnage de la référence ($RAZ(FD^n)$) se fait cette fois ci avant le transfert

des charges. Le niveau de réinitialisation est donc corrélé (il ne change pas) entre les deux échantillonnages et peut être soustrait, supprimant ainsi la contribution du nœud de lecture au bruit *kTC*.

Le développement de la photodiode pincée a donc permis de s'affranchir totalement du bruit *kTC* tout en éloignant la zone de charge d'espace de l'interface supérieur du pixel. Cependant, l'introduction d'un transistor supplémentaire impacte de manière non négligeable l'encombrement du pixel et donc son facteur de remplissage. De plus, les contraintes imposées par la photodiode pincée limitent la charge à saturation du pixel et rendent cette dernière proportionnelle à la surface occupée par la photodiode. Cet inconvénient n'est pas pénalisant pour des pixels de grande taille mais peut poser problème lorsque le pas du pixel s'approche du micromètre. La capacité de la photodiode peut alors être limitée à quelques milliers de photoélectrons impactant ainsi la plage dynamique du capteur (différence entre le niveau de signal le plus élevé et le plus faible pouvant être détecté).

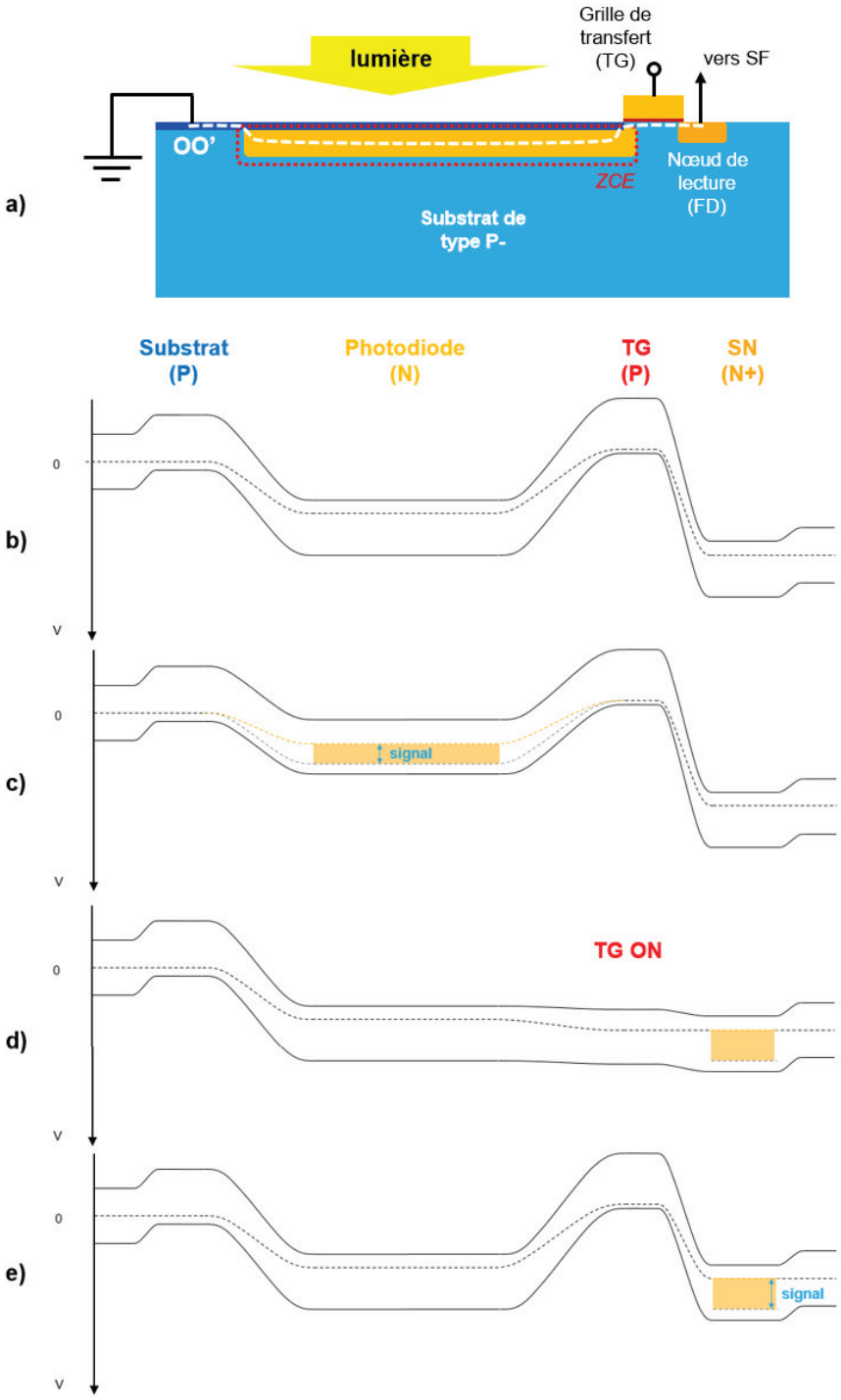


Figure 14 : Schéma de principe de fonctionnement d'une photodiode pincée de type N. a) Représentation schématique du pixel de type N. Le potentiel électrostatique selon la courbe OO' est décrit b) au début de l'intégration, c) à la fin de l'intégration et lors de l’échantillonnage du niveau de référence, d) lors du transfert des charges et e) lors de l’échantillonnage du signal.

3.3. La photodiode verticale

C’est pour palier à cette limitation que STMicroelectronics a choisi d’introduire la photodiode pincée de type N à stockage de charges vertical [42]. En effet, comme les pixels de petite taille présentent habituellement des rapports d’aspect important (leur épaisseur est bien supérieure au pas du pixel), il devient intéressant de stocker les charges de manière volumique plutôt que de se limiter

à la surface du pixel. Dans cette dernière, la jonction PNP formant la photodiode pincée (de type N) s'étend verticalement jusqu'à environ 1.5µm à 2µm de profondeur dans le silicium (voir figure 15). Elle est fabriquée par une succession d'implantations ioniques de type N à forte énergie (jusqu'à 400keV) effectuées dans un caisson de type P formé lui aussi par implantation ionique, le tout étant intégré à un substrat de type P^-. L'extension latérale de la photodiode est alors limitée par le pas du pixel dans un sens et par « l'épaisseur » du caisson N dans la direction de pincement. En effet, le « pincement » de la photodiode s'effectue alors latéralement et les charges s'écoulent verticalement lors du transfert mais le principe de fonctionnement reste identique à celui d'une photodiode planaire conventionnelle. Il a été montré lors de la thèse de Julien Michelot que ce type de photodiode peut permettre de stocker jusqu'à près de 40% de charges supplémentaires comparé à une photodiode planaire à pas de pixel identique [43]. Cette architecture de photodiode a par la suite été adoptée sur plusieurs produits développés au sein de STMicroelectronics. C'est donc tout naturellement que la photodiode pincée et verticale s'est imposée pour le développement du pixel de ce travail de thèse.

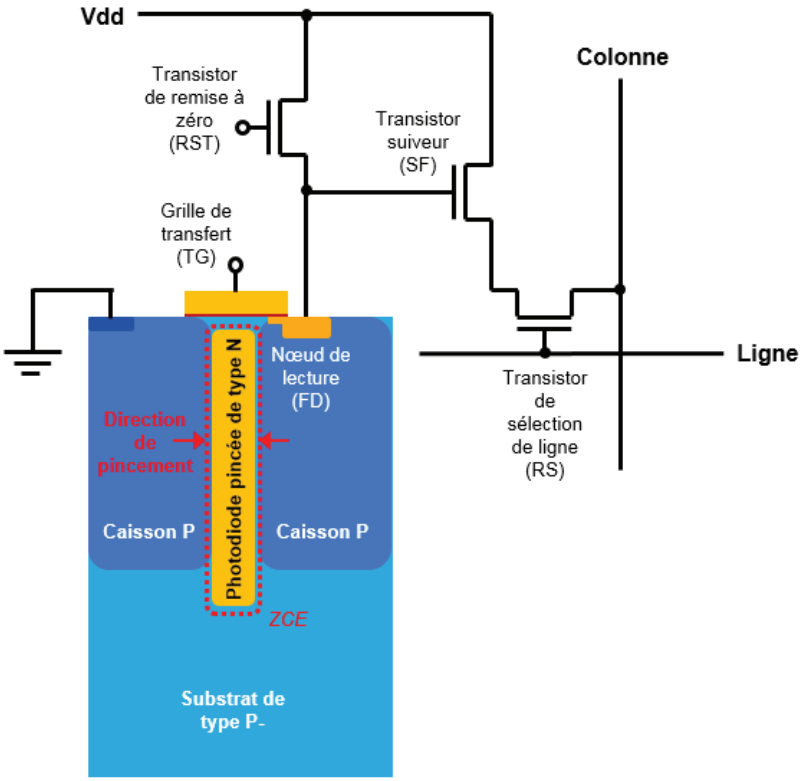


Figure 15 : Schéma d'une architecture 4T à photodiode pincée, verticale et de type N, développée pour les pixels de faible taille (≤1.4µm). La direction de pincement est indiquée par les flèches rouges.

3.4. La photodiode à collection de trous et le pixel de type P

Historiquement, le développement des capteurs CCD a débuté sur des substrats de silicium faiblement dopés et de type P. Pour des raisons essentiellement pratiques et de compatibilité avec le reste des technologies du cœur CMOS, les compagnies occidentales ont continué à utiliser des substrats de type P pour le développement des capteurs d'image CMOS. La facilité de fabriquer des photodiodes de type N dans un substrat dopé P a tout naturellement entrainé le quasi-monopole des photodiodes à collection d'électrons sur le marché des capteurs CMOS. Cependant, en 2008, les travaux d'Eric Stevens et al. de la compagnie Eastman Kodak ont montré que le développement d'une photodiode à collection de trous sur un substrat de type P+ pouvait s'avérer extrêmement bénéfique sur une figure de mérite clé des capteurs d'image CMOS : le courant d'obscurité [44]. En effet, il avait alors été conclu que la formation d'une seconde jonction PN en profondeur du pixel,

entre le substrat et le caisson de type N entourant la photodiode, ainsi qu'une meilleure passivation des états d'interface permettait de diminuer le courant d'obscurité par un facteur supérieur à 30 comparé à un pixel de type N équivalent pour atteindre 6pA/cm² à 60°C. La figure 16 présente schématiquement un pixel à photodiode à collection de trous et ses transistors associés.

Sébastien Place et al. ont par la suite eux aussi développé un capteur de type P à STMicroelectronics pour non seulement profiter des bonnes performances en bruit de ce type de photodiode mais également pour évaluer sa tenue en environnement ionisant [45] [46]. La plus lente dégradation des performances (courant d'obscurité) observée sur les capteurs de type P a ainsi démontré l'utilité d'une photodiode de ce type sous irradiation gamma provenant d'une source au ^{60}Co. Suite à ces résultats prometteurs sur des photodiodes planaires, il a été décidé d'intégrer la photodiode de type P dans le pixel à l'état de l'art développé au cours de cette thèse.

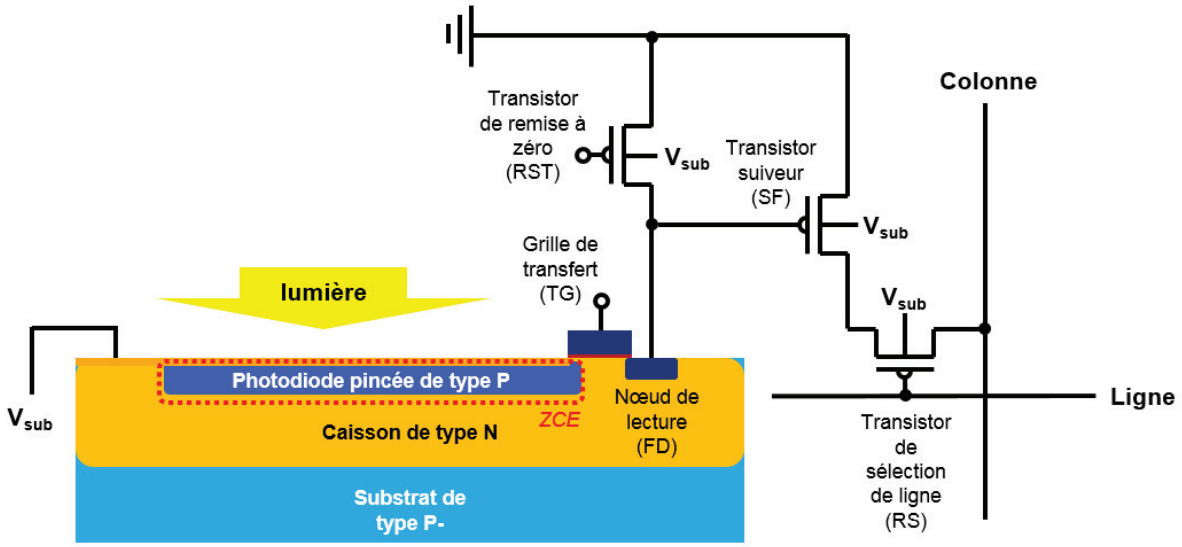


Figure 16 : Schéma d'une architecture 4T à photodiode pincée de type P, sa zone de charge d'espace (ZCE, en pointillés rouges) et ses transistors PMOS associés.

Pour des raisons avant tout géométriques, l'intégration d'une photodiode de type P dans un pixel de 1.4µm de côté impose également de changer les transistors NMOS de la chaîne de lecture en transistors PMOS (comme décrit dans la figure 16). En effet, conserver des transistors NMOS nécessiterait l'introduction d'un caisson de type P dédié à l'intérieur même du pixel ; ce qui n'est pas possible avec la technologie actuelle utilisée pour la fabrication des capteurs d'image chez STMicroelectronics. Cependant, loin d'être une contrainte, les transistors PMOS sont reconnus dans la littérature pour leur faible niveau de bruit de piégeage [47] [48]. Contrairement aux transistors NMOS standards, il a également été montré que les transistors PMOS conservent un faible courant de fuite même après avoir été exposés à des radiations [49] [50]. L'origine de cette résistance provient de la nature même des mécanismes de dégradation des dispositifs électroniques sous irradiation. Ces derniers sont davantage détaillés dans la partie 4.2.2 de ce chapitre ainsi que dans le chapitre 4.

3.5. Les architectures partagées

Quant au problème de l'encombrement du pixel suite à l'introduction d'un transistor supplémentaire nécessaire au fonctionnement de la photodiode pincée (autrement appelé pixel 4T pour le nombre de transistors nécessaire par pixel), il a été adressé par l'arrivé des architectures partagées [51] [52] [53] [54]. Il est en effet possible de partager entre plusieurs pixels le transistor de réinitialisation, celui de sélection de ligne ou le transistor suiveur tout en gardant les avantages du

pixel 4T. Certaines architectures proposent même de supprimer certains transistors comme l'architecture à deux transistors dans laquelle le transistor de sélection de ligne est éliminé et les transistors suiveur et de réinitialisation sont partagés (voir figure 17). C'est d'ailleurs cette architecture qui a été choisie pour le développement du pixel de ce travail de thèse. Ces architectures sont alors dénommées par le nombre effectif de transistors par pixel : 2T5 (2 grilles de transfert, 1 transistor suiveur, 1 transistor de réinitialisation et 1 transistor de sélection de ligne pour 2 pixels, soit l'équivalent de 2.5 transistors par pixel), 2T, 1T75, 1T5 voire même 1T [55] [56]. Cependant, pour des pas de pixel de l'ordre du micromètre, et en considérant les nœuds technologiques utilisés pour fabriquer les transistors du pixel (dans notre cas, le nœud technologique CMOS 90nm), ces derniers peuvent tout de même occuper une surface non négligeable sur le pixel et ce malgré l'introduction des architectures partagées.

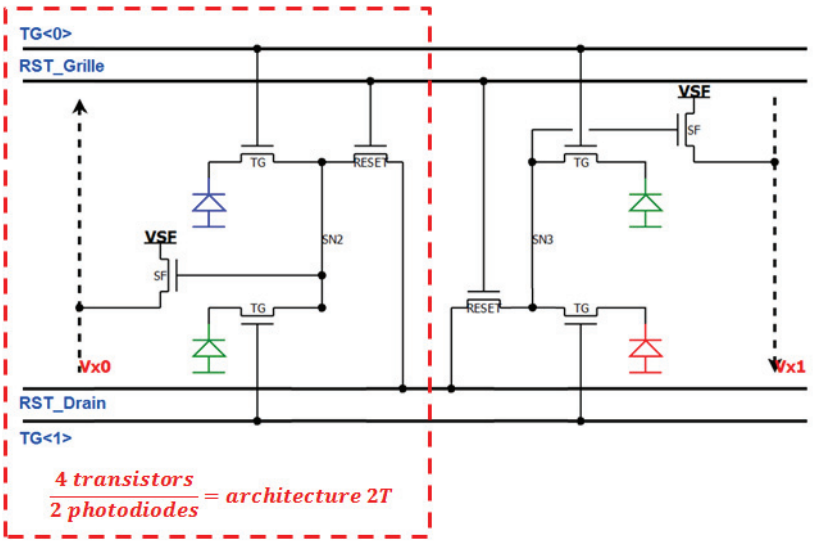


Figure 17 : Schéma électrique d'une architecture 2T où deux photodiodes partagent le même nœud de lecture et le même transistor de réinitialisation.

3.6. Augmenter la sensibilité des pixels de petite taille.

Pour des raisons de simplicité de fabrication, sur un capteur éclairé par la face avant, la lumière pénètre le capteur du côté des interconnexions métalliques (voir figure 18a)). Pour des pixels de grande taille où la photodiode occupe la grande majorité de la surface du pixel, il est relativement aisé de limiter l'impact des interconnexions métalliques sur la sensibilité du capteur en éloignant ces dernières du chemin optique que la lumière doit emprunter pour atteindre le silicium. En effet, les lignes de métal n'étant pas transparentes, elles réfléchissent et diffractent grandement la lumière incidente. En revanche, lorsque l'encombrement du chemin optique devient trop important, comme c'est le cas pour des pixels de taille inférieure ou égale à 2µm de côté, la sensibilité et la réponse angulaire du capteur peuvent être fortement impactées.

Les fabricants de capteurs d'image ont alors eu recours à plusieurs astuces technologiques telles que l'introduction de guides d'onde, la réduction de l'épaisseur de l'empilement optique ou la superposition de plusieurs microlentilles [57] [58] [59]. Cependant, une avancée technologique majeure pour améliorer la sensibilité des capteurs d'images possédant des pixels de faible taille fût l'introduction de l'éclairement par la face arrière. Cette technologie déjà disponible pour les capteurs CCD [60] fût transférée aux capteurs CMOS à partir du début des années 2000 mais réellement industrialisée à grande échelle qu'en 2009 par Sony et Omnivision [61] [62] [63] [64] [65]. Grâce à ce procédé, la photodiode est éclairée par le côté opposé aux interconnexions métalliques et ces dernières sont entièrement retirées du chemin optique.

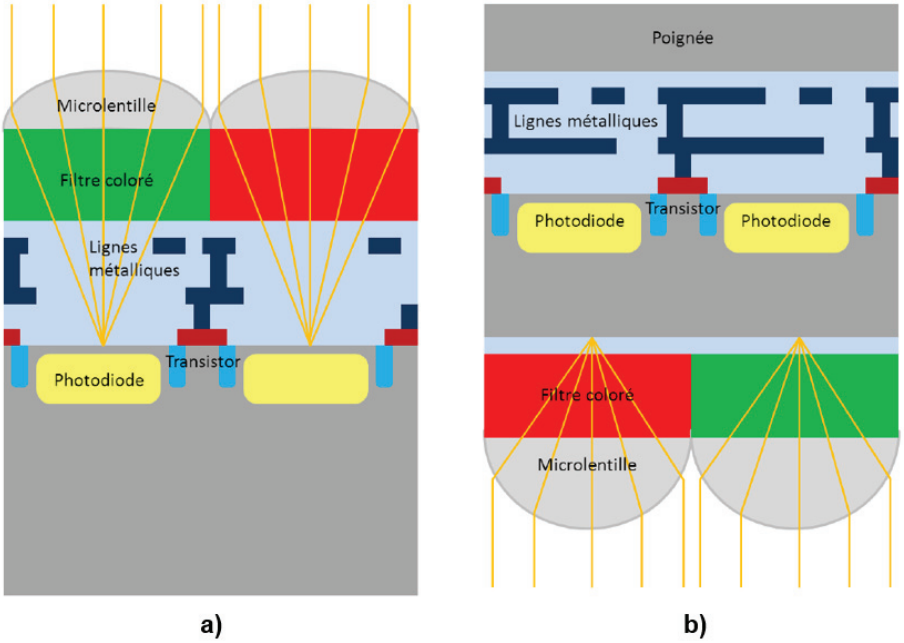


Figure 18 : Vue en coupe d'un pixel éclairé a) par la face avant et b) par la face arrière [42].

Les différentes étapes de fabrication nécessaires à l'introduction de cette technologie sont détaillées dans le chapitre #2 (partie 2.6). Pour les résumer rapidement, le capteur est fabriqué de façon standard jusqu'à finir les interconnexions métalliques. La plaque de silicium est alors collée par collage moléculaire à une autre plaque dite « poignée » et servant essentiellement de support mécanique. Les deux plaques sont alors retournées et la face arrière de la plaque de silicium supportant le capteur est amincie mécaniquement et chimiquement jusqu'à ne faire plus que quelques micromètres d'épaisseur. L'empilement optique comportant notamment les filtres colorés et les microlentilles est ensuite déposé comme dans un procédé standard. Pour finir, l'accès aux plots utilisés pour câbler le capteur est rétabli à l'aide de gravures profondes traversant entièrement le silicium actif. Un schéma en coupe d'un capteur éclairé par la face arrière est présenté en figure 18b.

C'est donc dans le but d'obtenir les meilleures performances optiques possibles que nous avons choisi d'intégrer cette brique technologique dans le pixel de type P développé au cours de cette thèse. De plus, cette intégration est entièrement consistante avec l'utilisation d'une photodiode verticale profonde. En effet, dans le cas de l'intégration d'une photodiode planaire éclairée par la face arrière, et en fonction de l'épaisseur du pixel, certains porteurs générés dans les cent premiers nanomètres (courtes longueurs d'onde, i.e. lumière bleue) peuvent avoir à traverser plusieurs micromètres de silicium avant d'être collectés en surface. Or, dans le cas où les porteurs collectés sont des trous (électrons), il est important qu'ils passent le moins de temps possible dans une partie du silicium dopé N (P) et contenant un grand nombre d'électrons (trous) car chaque porteur minoritaire photo-généré se recombinant avec un porteur majoritaire de type opposé est un porteur perdu. L'utilisation d'une photodiode verticale permet alors d'étendre la zone de charge d'espace sur la majorité du volume du pixel et de limiter la possibilité d'une recombinaison au niveau de la face arrière du pixel.

3.7. L'isolation entre pixels

La course à la miniaturisation en microélectronique a permis d'intégrer un nombre toujours plus important de pixels par unité de surface et a entrainé la course aux mégapixels dans l'industrie des capteurs d'image. L'augmentation de la densité de pixel a forcé les fabricants à améliorer sans

cesse les méthodes d'isolation de pixel à pixel. En effet, pour des pixels de taille approchant le micromètre il est nécessaire d'adresser le problème de la diaphotie électrique et optique afin de maintenir une qualité d'image suffisante. On parle de diaphotie électrique lorsqu'une charge photo-générée dans un pixel diffuse jusqu'à un pixel adjacent et y est collectée. En revanche, lorsqu'un photon est collecté par la microlentille d'un pixel et est au final absorbé dans le silicium d'un pixel voisin on parle alors de diaphotie optique. Ces deux phénomènes peuvent être observés lorsque deux pixels adjacents ne sont pas correctement isolés (électriquement et optiquement) les uns des autres.

Historiquement, le problème de diaphotie optique a été adressé par l'introduction de microlentilles et de guides d'onde, comme cela a été vu dans les parties précédentes. Cependant, ces différentes méthodes permettent de contrôler le chemin optique de la lumière dans l'empilement optique mais pas à l'intérieur même du silicium. La diaphotie optique n'est donc pas totalement éliminée. L'isolation électrique des photodiodes a aussi été améliorée en introduisant des tranchées d'isolation peu profondes (STI) couplées à des implantations ioniques profondes. La diaphotie électrique est alors elle aussi grandement diminuée mais malheureusement pas totalement supprimée.

Le développement récent des tranchées d'isolation profondes (DTI) pour des applications capteur d'images permet d'adresser les deux problèmes de diaphotie avec efficacité. En effet, l'ajout d'une tranchée profonde remplie d'oxyde isole électriquement les pixels les uns des autres tout en apportant un effet guide d'onde dans le silicium dû à la différence d'indice de réfraction des matériaux utilisés [66] [67] [43]. Les pixels sont alors isolés électriquement les uns des autres et ce jusqu'à plusieurs micromètres de profondeur. En revanche, le peu de lumière pénétrant très profondément dans le substrat épais du silicium (au-delà des tranchées d'isolation profondes, soit principalement l'infra-rouge proche) peut encore introduire de la diaphotie.

Encore une fois, l'intégration de la brique technologique BSI apporte un avantage certain par rapport à un capteur éclairé de manière standard par la face avant : le silicium actif étant aminci, les pixels isolés par tranchées profondes sont électriquement indépendant les uns des autres et la diaphotie électrique est totalement éliminée.

La figure 19 récapitule l'évolution au fil du temps des différentes structures d'isolation utilisées dans les capteurs d'image. On remarque aussi l'apparition d'un dernier type d'isolation : la tranchée d'isolation profonde capacitive (*Capacitive Deep Trench Isolation* ou *CDTI* en anglais) [68]. Contrairement à la tranchée d'isolation profonde standard, cette dernière est remplie de polysilicium dopé qui est isolé électriquement du cristal de silicium par une fine couche d'oxyde. Telle une grille de transistor, la tranchée peut alors être polarisée ou non durant le fonctionnement du capteur d'images. Les différentes étapes nécessaires à sa fabrication sont détaillées dans le chapitre 2 de ce manuscrit. Le développement technologique de cette dernière se justifie pour palier à un défaut majeur introduit par les tranchées d'isolation profondes standard : l'augmentation du nombre d'états d'interface par pixel.

En effet, l'ajout de tranchées profondes augmente fortement la surface couverte par des interfaces silicium/silicium dioxyde. Or, ces interfaces présentent des pièges favorisant la génération/recombinaison de porteurs minoritaires. L'origine de ces pièges et leur impact sont détaillés plus amplement dans la partie suivante et dans le chapitre #3. Il est donc nécessaire de les passiver du mieux possible pour diminuer au maximum la génération de ce que l'on appelle « le courant d'obscurité ». Les deux types de tranchées d'isolation profondes ont donc été étudiés de façon approfondie dans le chapitre 3.

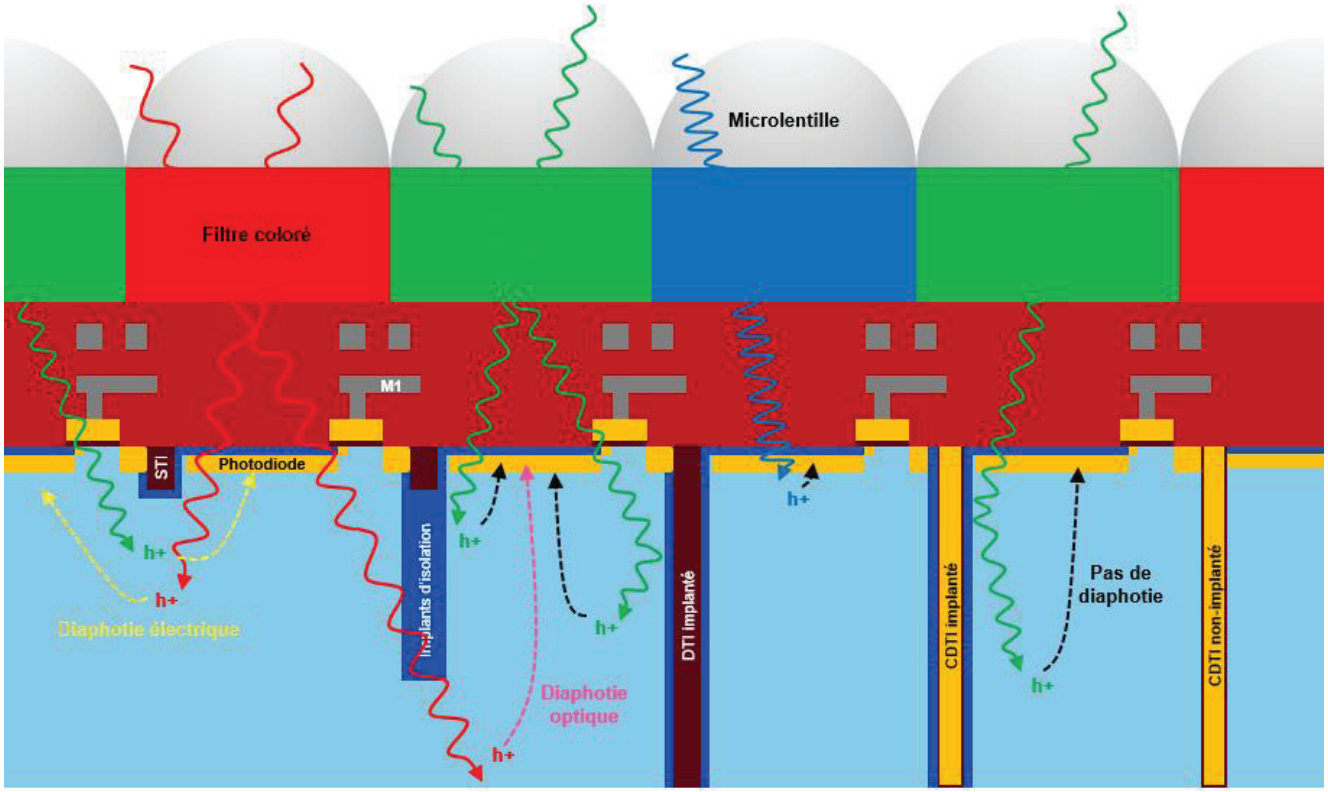


Figure 19 : Schéma des différentes structures d'isolation de pixels intégrées dans l'ordre chronologique (de gauche à droite). La diaphotie électrique est représentée en jaune alors que la diaphotie optique est en rose.

4. Les principaux défauts présents dans les capteurs d'image CMOS

4.1. Les états d'interface

La génération de porteurs aux interfaces Si/SiO_2 provient du même phénomène physique que la génération thermique et peut être décrite par le modèle développé par Shockley, Read et Hall [69] [70].

Au niveau des différentes interfaces Si/SiO_2 présentes dans le pixel, le cristal de silicium n'est plus continu. Cette discontinuité à l'interface est assimilée à un grand nombre de défauts cristallins et entraine donc l'apparition des niveaux énergétiques entre la bande de valence et celle de conduction appelés « états d'interface » [71]. En effet, l'atome de silicium possède quatre électrons de valence et peut donc créer quatre liaisons avec des atomes voisins. A l'intérieur du cristal ces atomes sont arrangés sous la forme cristalline tétraédrique de type « diamant » et utilisent donc toutes leur liaisons covalentes. En revanche, à la surface du cristal, le réseau cristallin est interrompu et toutes les liaisons covalentes ne peuvent se former ; on appelle alors les liaisons « libres » ou liaisons pendantes. En réalité dans la plupart des dispositifs électroniques aucune interface de silicium n'est laissée nue. Cette dernière est oxydée volontairement pour limiter le nombre de liaisons pendantes disponibles et isoler électriquement le silicium. L'atome d'oxygène est bivalent, il peut donc former deux liaisons avec des atomes voisins. Les liaisons pendantes restantes peuvent être quantifiées par une densité par unité de surface et par énergie, qui est typiquement de l'ordre de 10^9 à 10^{12} $cm^{-2}eV^{-1}$, directement liée à la qualité de l'interface. Cette densité est donc très supérieure à celle des centres de recombinaison en volume qui sont dus aux défauts et impuretés présents à l'intérieur du silicium.

La qualité de l'interface Si/SiO_2 dépend fortement du type de procédé d'oxydation utilisé lors de la fabrication (oxydation thermique ou déposition). Généralement, un recuit à basse température et sous hydrogène ou deutérium est également effectué en fin de processus de fabrication pour

passiver les états d'interface restants. L'hydrogène interagit alors avec la liaison pendante de silicium selon l'équation de réaction suivante [72]:

$$Si \cdot + H_2 \leftrightarrow SiH + H \qquad (3)$$

La densité d'états d'interface actifs peut alors descendre jusqu'à 10^{10} $cm^{-2}eV^{-1}$. Ces états d'interface sont appelés centres *Pb* et sont dénotés $Si_3{\equiv}Si\cdot$ dans le plan (111) du silicium et $Si_2O{\equiv}Si\cdot$ (pour les centres Pb_0 et Pb_1) au niveau des interfaces (100) [73]. La figure 20, tirée de [71], est une représentation de l'interface Si/SiO_2 à l'échelle atomique. Un centre *Pb* provenant d'une liaison pendante ainsi qu'une liaison pendante passivée par un atome d'hydrogène sont aussi représentés.

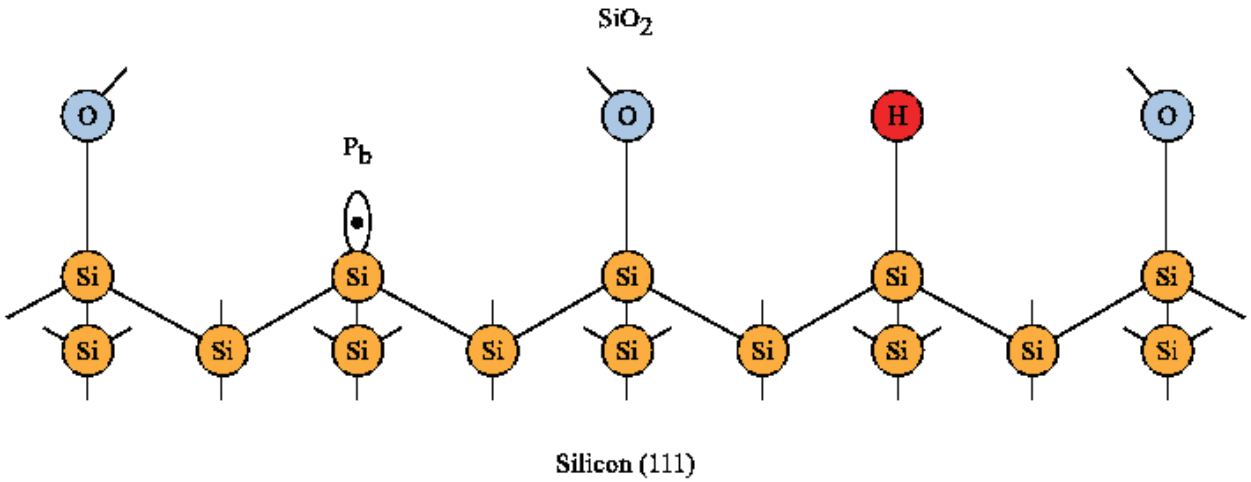


Figure 20 : Représentation de l'interface Silicium (111) / Oxyde de silicium à l'échelle atomique après passivation. [71].

Il est bon de noter que les liaisons pendantes à l'interface Si/SiO_2 sont des défauts amphotères, ce qui veut dire qu'ils possèdent à la fois un caractère accepteur et donneur [74]. Leur distribution énergétique est quasi-continue dans la bande interdite. La figure 21 présente l'une de ces distributions extraites par une technique de caractérisation électrique appelée « pompage de charge à trois niveaux » [75]. Cette dernière montre clairement que la densité d'états d'interface D_{it} peut être dissymétrique par rapport au milieu de la bande interdite. La forme de la distribution provient des contributions des différents types de liaisons pendantes (*Pb*, Pb_0 et Pb_1) et de leur densité respective à l'interface Si/SiO_2 [76] [77] [78]. Comme la passivation des états d'interface dépend grandement des conditions d'oxydation et de recuit il se peut que différentes interfaces ne possèdent pas la même densité de liaisons pendantes [68].

Dans le cas du pixel de type P faisant l'objet de notre étude, on peut distinguer 5 interfaces Si/SiO_2 différentes : celle de la face arrière entre l'empilement antireflet et le silicium, celle sous l'oxyde de grille des transistors qui peut être passivé de manière électrostatique, celle de la face avant entre le diélectrique pré-métallique (*Pre-Metal Dielectric* ou *PMD* en anglais) et le silicium, et enfin les interfaces au niveau des flans des tranchées d'isolation surfacique et des tranchées d'isolation profondes qui ne sont pas dans le même plan cristallin que les trois précédentes.

L'influence de ces états d'interface sur le fonctionnement des transistors et des photodiodes du capteur d'images a été étudiée et sera présentée dans les chapitres 3 et 4 de ce manuscrit.

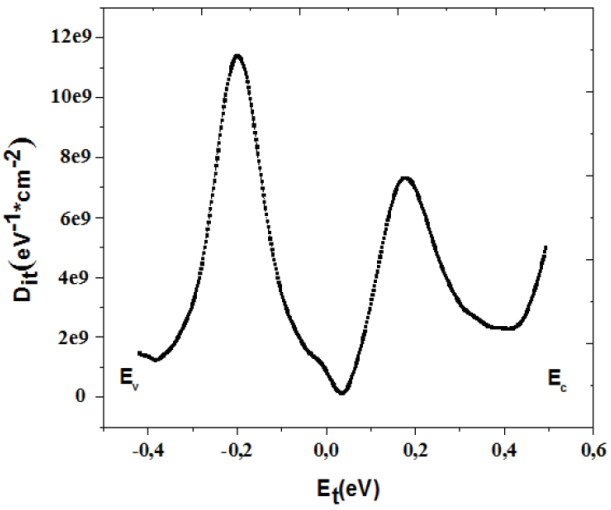


Figure 21 : Distribution d'énergie des états d'interface D_{it} d'un transistor MOS à tranchées profondes capacitives extraite par pompage de charge à trois niveaux [75].

4.2. Les défauts ponctuels

Les défauts ponctuels sont des discontinuités très localisées dans la périodicité du cristal de silicium. La figure 22 est une représentation schématique des différents défauts ponctuels pouvant être présents dans les dispositifs électroniques. Ces discontinuités peuvent être causées par une lacune dans l'arrangement périodique du cristal (atome de silicium manquant, A), par un atome de silicium présent en dehors de la maille du cristal (interstitiel, B et B') ou par la présence d'atomes étrangers au cristal (contaminants métalliques, atomes d'hydrogène, de carbone, d'azote ou d'oxygène ou dopants, B, C et C'). Bien évidemment, d'autres types de défauts cristallins existent également tels que les dislocations et les clusters mais ces derniers ne sont pas traités dans ce manuscrit.

De par leur procédé de fabrication (méthode de croissance Czochralski) les plaques de silicium utilisées en microélectronique ne contiennent intrinsèquement qu'une très faible (mais non nulle) concentration d'impuretés [79] [80] [81]. De plus, les dispositifs électroniques sont généralement fabriqués sur une couche de silicium épitaxiée de très bonne qualité. La plupart des défauts cristallins et des contaminants extrinsèques observés dans les dispositifs électroniques proviennent donc des diverses étapes nécessaires à leurs fabrications, comme par exemple les étapes de nettoyage, de gravure et de dopage [82]. Dans ce manuscrit, seul le cas particulier des étapes de dopage sera traité car les capteurs de type P développés au cours de cette thèse en ont été impactés.

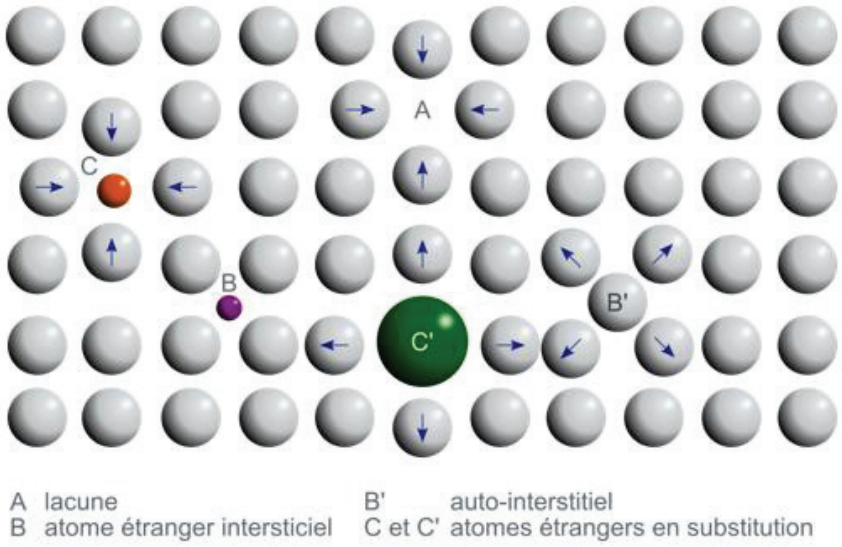


Figure 22 : Représentation schématique des différents types de défauts ponctuels présents dans les semi-conducteurs [83].

4.2.1. La formation des défauts ponctuels lors de la fabrication des capteurs

Il existe principalement deux procédés de fabrication utilisés pour introduire des dopants dans les dispositifs électroniques : le dopage par diffusion et le dopage par implantation. Dans le premier cas, le fort gradient de concentration de dopants entre le silicium et la source de dopants (gaz, liquide ou solide) entraine la diffusion de ces derniers dans le cristal. Ce mécanisme de diffusion est décrit par la loi de Fick et dépend donc fortement du coefficient de diffusion du dopant dans le silicium. Cette méthode présente l'inconvénient d'être lente, d'être effectuée à haute température (>1000°C) et ne permet pas de doper le silicium de façon localisée en profondeur. Elle est néanmoins réputée pour ne pas générer de défauts cristallins. De plus, les dopants étant des défauts substitutionnels volontairement introduits dans le cristal de silicium pour en augmenter sa conductivité électrique, ils ne sont généralement pas considérés comme « nocif » pour le fonctionnement des dispositifs électroniques. Les niveaux d'énergie générés dans la bande interdite du silicium par l'introduction de dopants des groupes III et V du tableau périodique des éléments sont dit « superficiels » car ils sont très proches de la bande de conduction ou de celle de valence (voir figure 23). A température ambiante, les dopants sont dit « ionisés » et déterminent la quantité de porteurs majoritaires (trous ou électrons) présents respectivement sur les bandes de conduction et de valence du silicium. De manière générale, les niveaux superficiels n'interviennent pas dans la génération thermique de porteurs minoritaires mais peuvent cependant intervenir dans la capture et l'émission de porteurs.

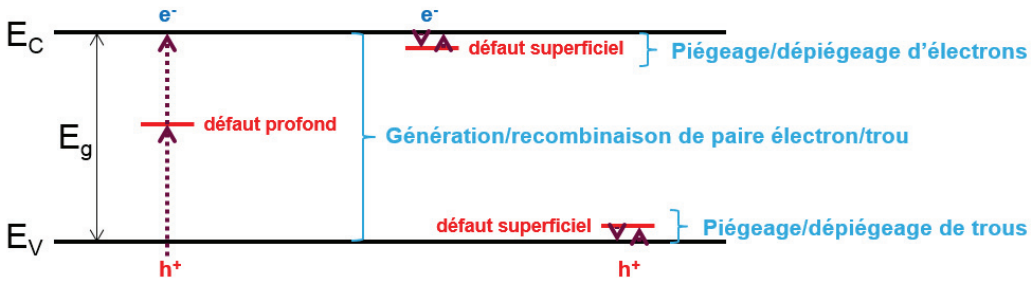


Figure 23 : Représentation schématique énergétique des défauts profonds et superficiels dans la bande interdite du silicium ainsi que leur impact sur la génération et le piégeage de porteurs.

L'implantation ionique en revanche est un procédé brutal au cours duquel un faisceau d'ions (dopants) est accéléré à l'aide d'un fort champ électrique pour ensuite entrer en collision avec le

cristal de silicium. La profondeur d'implantation et la concentration de dopants implantés peuvent alors être précisément contrôlées en ajustant l'amplitude du champ électrique servant à accélérer les ions ainsi que le courant du faisceau. La grande flexibilité de cette méthode de dopage en a fait l'un des outils principal dans la fabrication des capteurs d'image. L'implantation ionique est cependant connue pour générer plusieurs types de défauts ponctuels tels que les centres A (association d'une lacune et d'un atome d'oxygène), les bilacunes (interaction de deux lacunes) et les centres E (interaction d'une lacune avec un atome de phosphore) [84]. La figure 24a) montre une représentation schématique d'une bilacune dans le cristal de silicium. Afin d'éliminer la grande majorité des défauts cristallins générés par cette étape de fabrication, un recuit thermique rapide à forte température (>900°C) vient généralement s'y succéder.

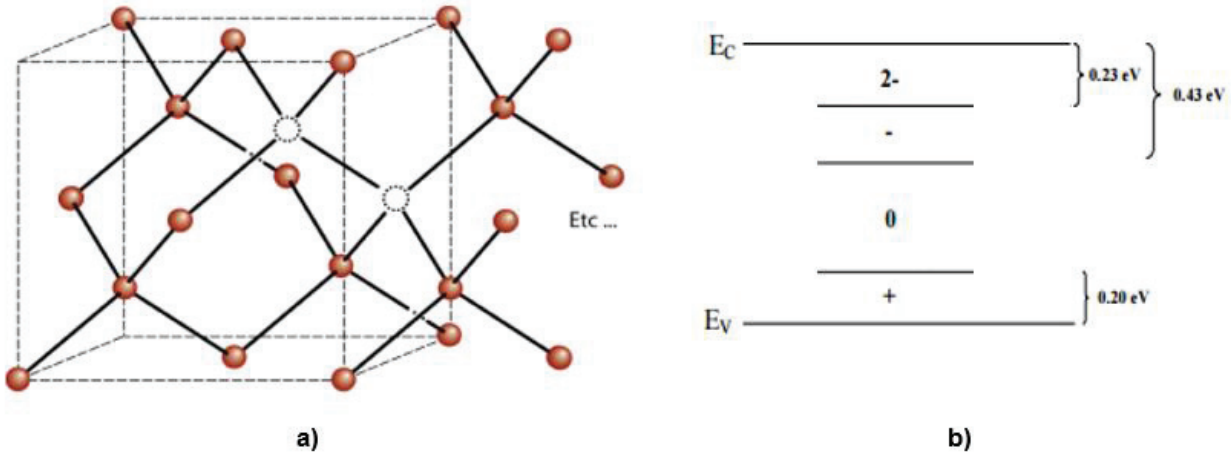


Figure 24 : Exemple de défaut ponctuel introduit par l'implantation ionique : la bilacune. a) représentation cristallographique et b) états de charge et niveaux d'énergie associés à la bilacune dans le silicium [85].

Tout comme la bilacune, l'interaction de lacunes simples avec les dopants peut aussi entraîner la formation de niveaux d'énergie dits « profonds » dans la bande interdite du silicium [86]. C'est au travers de ce type de défauts (voir figure 23) qu'un courant d'obscurité peut être généré dans le silicium dégradant ainsi les performances du pixel en question. De plus, les étapes d'implantation ionique sont connues pour pouvoir entraîner l'introduction involontaire d'une faible mais non négligeable quantité de contaminants métalliques présents notamment dans la source de l'implanteur (tungstène ou molybdène) [87]. Ces contaminants métalliques sont eux aussi connus pour générer des niveaux d'énergie autorisés (profonds ou superficiels) dans la bande interdite du silicium [88]. Contrairement aux niveaux d'énergies générés par les défauts d'interfaces, les niveaux d'énergies des défauts ponctuels sont très localisés à la fois spatialement et énergétiquement dans la bande interdite. Il est aussi bon de noter que, comme présenté dans la figure 24b), la présence d'un défaut peut éventuellement générer plusieurs niveaux d'énergies profonds. Ces niveaux peuvent alors être de type donneur ou accepteur. S'ils sont donneurs, leur état de charge peut être soit neutre (si occupé par un électron) soit positif (vide) [89]. En revanche s'ils sont accepteurs leur état de charge sera neutre (vide) ou négatif (occupé par électron). Certains défauts comme la bilacune présentée en figure 24 présentent des états de charge doublement négatifs (double accepteur) [88].

4.2.2. La formation de défauts sous irradiation

Enfin, l'apparition de défauts ponctuels peut aussi s'observer après la fabrication des dispositifs électroniques et entrainer une dégradation de leur performance dans le temps. Ces défauts apparaissent généralement lorsque le circuit électronique est soumis à des conditions d'utilisation très particulières comme c'est le cas en environnement ionisant (applications spatiales, nucléaires, médicales ou en physique des hautes énergies) [90]. En effet, les rayonnements ionisants

sont des rayonnements très énergétiques pouvant altérer l'intégrité cristalline du silicium. Cela a pour conséquence de dégrader fortement la qualité de l'image. A titre d'exemple, la figure 25 est une photographie de l'un des moniteurs utilisé dans la salle de traitement au service de radiothérapie du centre hospitalier Lyon Sud pour observer le patient lors de l'irradiation. La dose absorbée par le moniteur n'est pas quantifiable mais ce dernier a essentiellement subi des dégradations par des électrons secondaires générés par l'interaction du faisceau de rayons X avec l'air ambiant (le moniteur n'est pas dans l'axe du faisceau). On observe sur l'image la présence d'un grand nombre de points blancs (pixels très fortement dégradés) ainsi qu'un fort scintillement de l'image en mode vidéo.

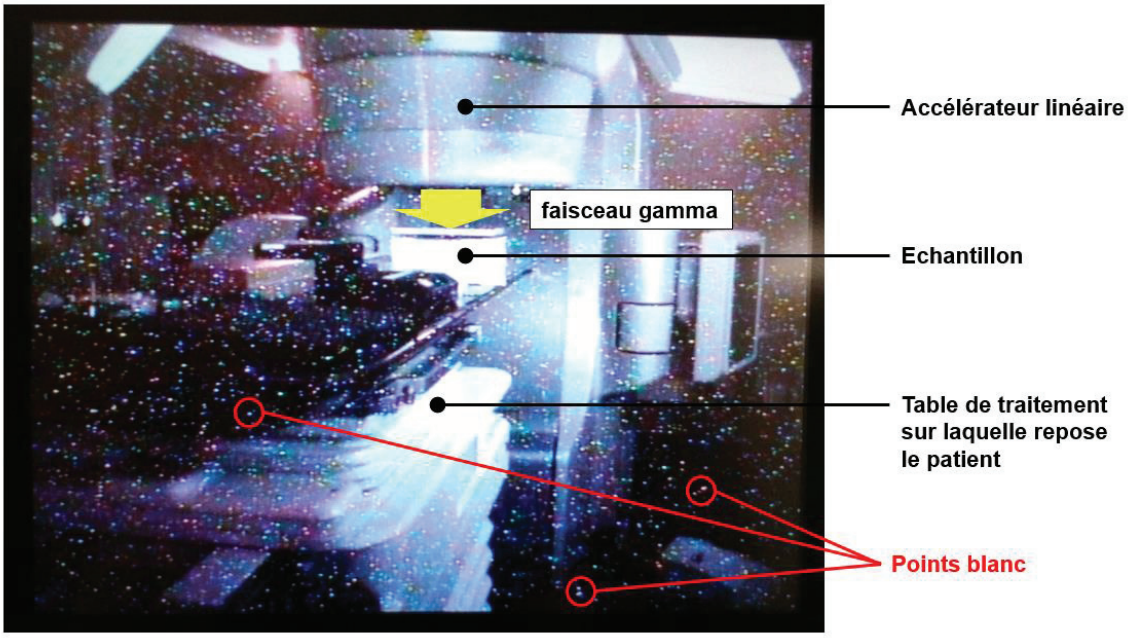


Figure 25 : Photographie de l'écran d'un moniteur présent dans une des salles de traitement du service de radiothérapie du centre hospitalier Lyon Sud. La dégradation de l'image suite à l'absorption cumulée d'électrons secondaires générés par l'accélérateur linéaire est évidente.

Pour des rayonnements X ou gamma de faible énergie (<10MeV) comme ceux utilisés dans ce manuscrit, l'un des mécanismes de dégradation fait intervenir la diffusion Compton [91]. Rappelons que les rayons gamma sont des photons provenant d'une désintégration radioactive alors que les rayons X sont générés en propulsant des électrons sur une cible. Contrairement aux rayons gamma, le rayonnement X n'est donc pas mono-énergétique. Les deux types de rayonnement peuvent être générés dans la même gamme d'énergie. La figure 26a) est une représentation schématique de l'effet Compton. Un photon incident très énergétique entre en collision élastique avec un électron d'un atome du cristal. L'atome possédant l'électron est alors ionisé. La perte d'énergie du photon de longueur d'onde λ associée à la collision et à l'ionisation de l'atome se traduit par un allongement de sa longueur d'onde. Le photon diffusé possède alors une longueur d'onde $\lambda' > \lambda$ et une plus faible énergie. C'est ensuite l'électron diffusé qui par collision avec un atome du cristal (*Primary Knock-on Atom* ou *PKA* en anglais) va entrainer la formation d'interstitiels et de lacunes (voir figure 26b)). L'énergie minimale à transmettre au PKA pour le déplacer est « l'énergie de déplacement » E_d ; dans le silicium cette dernière s'élève à environ $E_d = 25eV$ [92] [93]. La combinaison de ces deux types de défauts est appelé « paire » de Frenkel [94]. S'ils sont suffisamment proches (distance inférieure au paramètre de maille du silicium), comme ces deux types de défauts sont mobiles à température ambiante, ils peuvent se recombiner et ainsi restaurer l'intégrité du cristal (jusqu'à 60% des paires formées se recombinent) [95]. Les lacunes ou interstitiels restant peuvent alors migrer et réagir avec d'autres défauts ponctuels (lacune, interstitiel, dopants, etc…) pour former des défauts possédant une température de recuit bien supérieure à la température ambiante (parfois plusieurs centaines de degrés Celsius) et donc difficiles à éliminer. De par leur

propriété électronique et leur haute température de recuit, c'est essentiellement ces défauts qui constituent un danger pour les dispositifs électroniques et plus particulièrement les capteurs d'image.

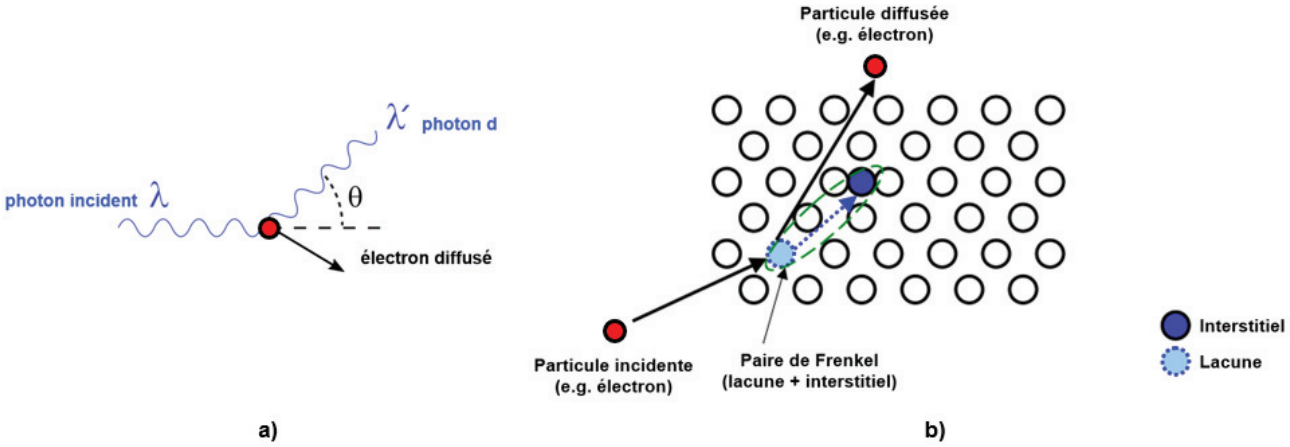


Figure 26 : a) Représentation schématique de l'effet Compton d'un photon sur un électron. b) Représentation schématique de la formation d'une paire de Frenkel suite à l'interaction d'un électron avec un atome du cristal de silicium (tirée de [96]).

En environnement radiatif, la dégradation des dispositifs électroniques s'effectue également par un deuxième mécanisme : la détérioration des diélectriques. Cette dernière s'effectue selon deux mécanismes principaux, l'augmentation de la densité d'états d'interface électriquement actifs D_{it} et l'accumulation de charges positives à l'intérieur même du diélectrique N_{ot} (*Oxide Trap* en anglais ou « charges fixes »). La figure 27 tirée de [97] est une représentation schématique de ces mécanismes au niveau d'une grille polarisée positivement.

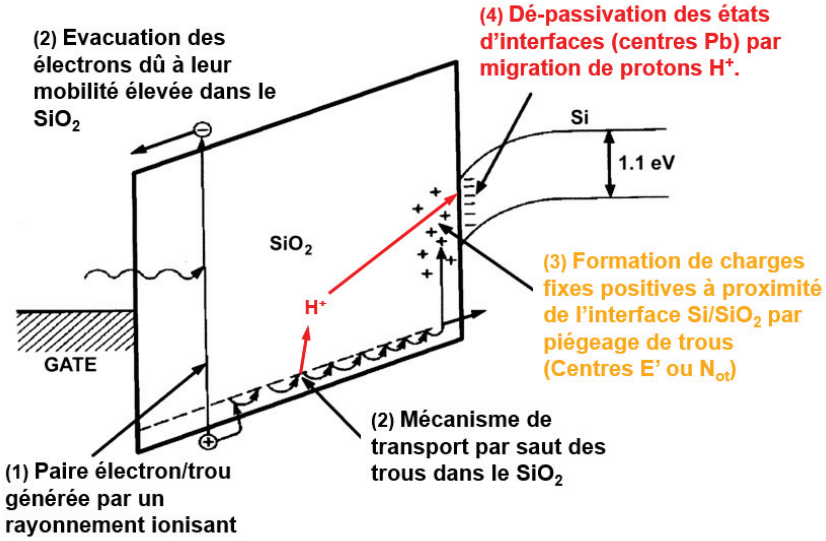


Figure 27 : Mécanismes de dégradation des interfaces Si/SiO_2 soumises à un rayonnement ionisant. (figure modifiée de [97])

Lorsqu'un photon ou un électron secondaire passe au travers d'un oxyde, des milliers de paires électron/trou peuvent y être générées. Bien que nettement inférieure à celle dans le silicium cristallin ($\approx 10^3 cm^2V^{-1}s^{-1}$), la mobilité des électrons dans le SiO_2 est tout de même six ordres de grandeur plus importante que celle des trous ($10 cm^2V^{-1}s^{-1}$ contre $10^{-5} cm^2V^{-1}s^{-1}$ pour les trous). Les électrons sont donc rapidement évacués de la couche d'oxyde alors que les trous y restent piégés. Ces derniers migrent alors lentement par un mécanisme de transport par saut en direction de l'interface Si/SiO_2 où les deux scénarios suivants entrent en concurrence : la majorité des trous se

recombinent à l'interface et sont éliminés, ils ne contribueront donc pas à la dégradation du dispositif électronique ; une partie des trous peuvent rompre des liaisons *Si-Si* présentes dans l'oxyde et former ce que l'on appelle des « centres E' » (voir figure 28) [98]. Ces centres E' sont des pièges de charge positive et sont connus pour décaler la tension de seuil des transistors MOS lorsqu'ils sont présents en grande quantités [99] [100]. Ce type de défauts est réversible et peut être éliminé par recuit. Des électrons du substrat peuvent alors pénétrer dans l'oxyde par effet tunnel et reformer la liaison *Si-Si* d'origine.

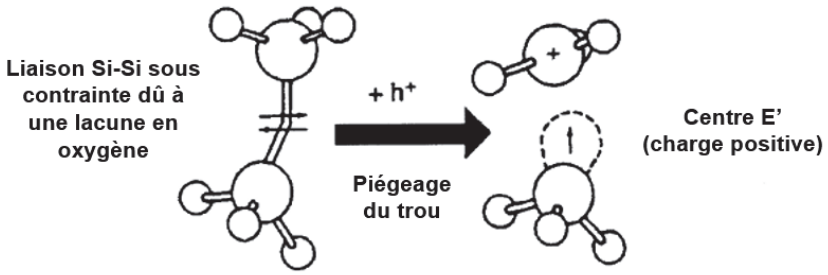


Figure 28 : Mécanisme de formation des centres E' (charges fixes positives) dans le SiO_2 après irradiation (figure modifiée de [99]).

Comme observé précédemment dans la figure 27, un deuxième mécanisme de dégradation intervient à l'interface Si/SiO_2. Lors de la migration des trous au travers de l'oxyde, ces derniers peuvent entrainer la libération de protons H^+ (en rouge sur la figure) pouvant alors migrer, par diffusion ou à l'aide du champ électrique présent dans la structure, jusqu'à l'interface Si/SiO_2 [101]. Nous avons vu précédemment dans la partie 4.1 de ce chapitre qu'une grande quantité d'états d'interface (centres Pb) était passivée à l'aide d'un recuit hydrogène ou deutérium pour former des liaisons Si-H électriquement inactives. La présence à l'interface de protons H^+ suite à l'irradiation des dispositifs électroniques va entrainer la dé-passivation de ces interfaces au travers de la réaction inverse :

$$SiH + H^+ \leftrightarrow Si^+ + H_2 \qquad (4)$$

A fort débit de dose (>0.1Gy/s), la migration des protons H^+ peut cependant être limitée par l'accumulation de centre E' chargés positivement à l'interface [101]. L'influence électrostatique de ces derniers va alors empêcher les protons d'atteindre l'interface et de la dé-passiver.

5. Conclusion

Dans la première partie de ce chapitre, au travers d'une comparaison avec le monde bien connu de la photographie argentique, nous avons brièvement défini ce qu'est un capteur d'images. Nous avons également expliqué comment, grâce à un phénomène physique fondamental appelé « l'effet photoélectrique », les capteurs d'image actuels fait de matériaux semi-conducteurs arrivent à percevoir la lumière et les couleurs par une méthode tri-chromique similaire au fonctionnement de l'œil humain pour reconstruire numériquement et fidèlement les images de l'environnement qui nous entoure. Le silicium étant de loin le matériau le plus utilisé dans le domaine de la microélectronique pour la fabrication de microprocesseurs, microsystèmes électromécaniques (*Micro-Electro-Mechanical Systems* ou *MEMS* en anglais) et autres mémoires, nous avons montré qu'il possède également des propriétés physiques très adaptées à l'imagerie dans le domaine du visible.

Les différentes évolutions technologiques des pixels présents dans les capteurs d'image CMOS au cours des 25 dernières années ont été présentées. Ainsi, nous avons pu voir comment les principales limitations du pixel à architecture 3T ont été résolues grâce à l'introduction de la photodiode pincée et de l'architecture 4T. La course aux mégapixels notamment dans les technologies mobiles a ensuite poussé la miniaturisation des capteurs et des pixels, forçant les fabricants de semi-conducteurs à développer des solutions technologiques toujours plus complexes en termes d'intégration pour maintenir ou améliorer les performances de ces dispositifs. C'est ainsi que la photodiode verticale, les tranchées d'isolation profondes, les architectures partagées et l'éclairement par la face arrière ont vu le jour. Finalement, c'est grâce à ces performances en bruit et cette résistance accrue aux rayonnements ionisants que le développement de la photodiode à collection de trou et du pixel de type P a montré tout son intérêt.

Nous avons aussi vu que par nature, le silicium, les diélectriques et les interfaces Si/SiO_2 présentent chacun différents types de défauts pouvant impacter les performances des capteurs d'images CMOS. Ces défauts proviennent des matières premières utilisées (plaques de silicium) ou sont générés durant les différentes étapes de fabrication des dispositifs électroniques. Ils peuvent notamment être classés en fonction de leur position dans le dispositif électronique : les défauts situés à proximité ou au niveau des interfaces (centres E', Pb, Pb_0 et Pb_1) et les défauts présents dans le cœur du cristal de silicium (défauts ponctuels). Nous montrerons plus tard dans les chapitres 3 et 4 que la présence de défauts à l'intérieur ou en dehors de la zone de charge d'espace a également son importance. En fonction de leur position dans la bande interdite, les défauts peuvent être classés comme superficiels ou profonds. Les premiers sont connus pour interagir avec les porteurs par des mécanismes de piégeage/dé-piégeage alors que les seconds interviennent surtout dans la génération/recombinaison de porteurs minoritaires. Pour finir, il a été montré qu'un certain nombre de défauts pouvaient également être générés lors de l'utilisation des capteurs en environnement ionisant, entrainant ainsi une dégradation de ses performances au fil du temps.

C'est donc avant tout dans le but d'évaluer les bénéfices cumulés de chacune de ces avancées technologiques que cette thèse a été dédiée à la fabrication et à l'étude sous irradiation d'un nouveau type de pixel éclairé par la face arrière et possédant une photodiode pincée à collection de trous et à stockage vertical ainsi qu'une chaîne de lecture composée de transistors PMOS.

Chapitre 2 : Réalisation du pixel de type P

1. Introduction

Ce chapitre décrit les différents procédés nécessaires à la réalisation des capteurs d'images étudiés dans cette thèse. La figure 29 présente les principaux paramètres à optimiser pendant la fabrication pour assurer le bon fonctionnement du pixel de type P. On peut citer notamment le travail d'ingénierie de dopage à effectuer pour définir les concentrations de dopants des différents caissons N et P ainsi que la position des différentes jonctions métallurgiques présentes dans le pixel. Le type d'isolation inter-pixels et de passivation des interfaces Si/SiO_2 sont aussi deux paramètres à étudier pour améliorer les performances du pixel par rapport aux technologies précédentes. Ces études ont été menées en parallèle sur silicium et par simulation TCAD (*Technology Computer Aided Design* en anglais) en deux et trois dimensions afin d'accélérer grandement le processus de développement.

La première partie décrit et justifie les choix technologiques effectués lors d'une des premières étapes de fabrication du capteur : l'épitaxie de la couche de silicium servant à l'absorption et à la collection des charges photo-générées. A l'aide de caractérisations physique et électrique et de simulations, il a été possible de fixer certains paramètres clés pour la suite de la fabrication du capteur comme son épaisseur et son niveau de dopage. Ensuite, les différentes méthodes étudiées pour la passivation des interfaces silicium/oxyde de silicium sont présentées. Les performances du pixel en faible luminosité étant directement impactées par ce type d'interfaces, il était primordial d'en optimiser la passivation. Les deux technologies d'isolation de pixels (tranchée d'isolation profonde et tranchée capacitive) sont aussi présentées dans cette sous partie. Les diverses étapes servant à la formation de la photodiode, de la grille de transfert et du nœud de lecture sont présentées dans les deux parties suivantes. Ces étapes faisant intervenir beaucoup d'implantations ioniques sont primordiales pour garantir la collecte et le bon transfert des charges photo-générées. Enfin, la brique technologique utilisée pour fabriquer les transistors suiveur et de remise à zéro de type PMOS pour une architecture à 2-transistors est décrite. Pour finir, la dernière sous-partie présente les différents défis technologiques relevés pour l'intégration d'une avancée technologique majeure présente sur tout capteur d'images actuellement à l'état de l'art : l'éclairement en face arrière.

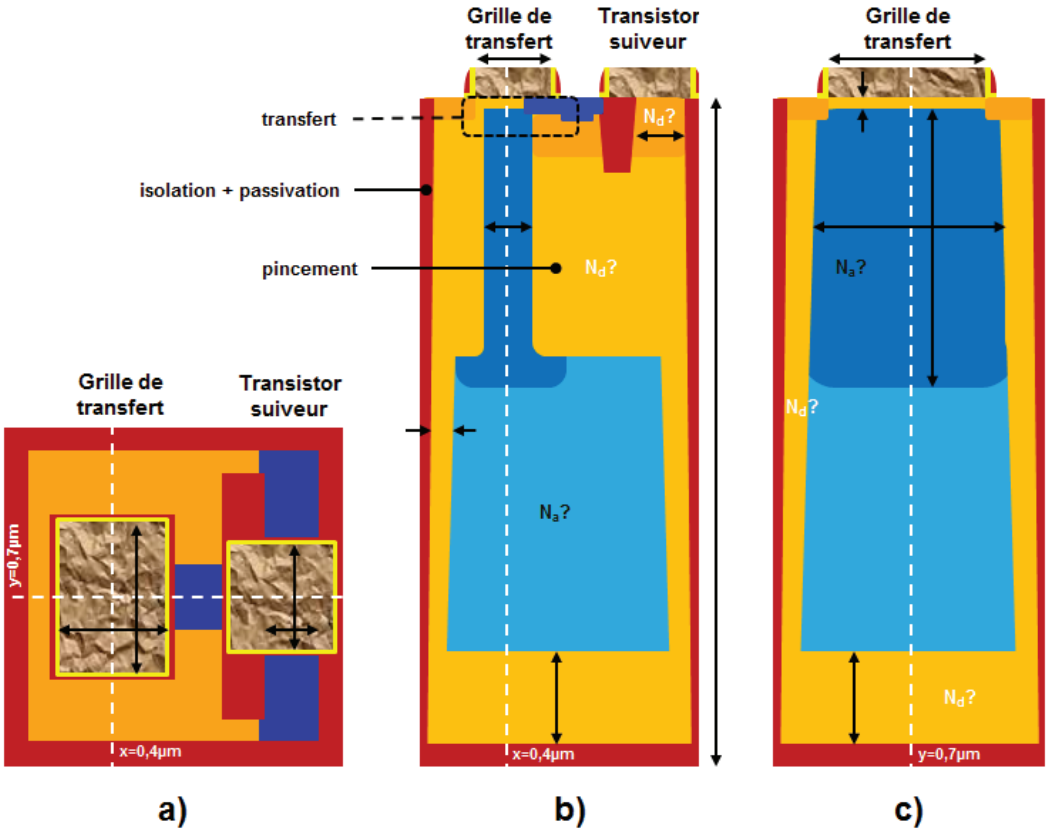


Figure 29 : Schéma présentant les principaux paramètres à optimiser pendant la fabrication du pixel de type P. a) vue du dessus et b) et c) vue en coupe selon y = 0,7µm et x = 0,4µm. Sont notamment à définir les différentes concentrations de dopants des caissons N et P (N_d et N_a), le type d'isolation inter pixels, la passivation des interfaces Si/SiO_2, la profondeur de la photodiode et enfin la zone de transfert des charges de la photodiode vers le nœud de lecture.

2. Processus de fabrication

2.1. Optimisation de l'épitaxie pour un stockage de charges en volume

2.1.1. L'épaisseur du pixel

Le processus de fabrication du capteur commence par l'épitaxie d'une couche de silicium de quelques micromètres d'épaisseur sur un substrat silicium sur isolant (*Silicon-On-Insulator* en anglais, ou SOI) possédant une triple couche antireflet Oxyde-Nitrure-Oxyde (ONO). Ce type de substrat permet, après épitaxie, de faciliter deux étapes de gravure : celle des tranchées d'isolation profondes et celle de l'amincissement de la face arrière, tout en intégrant directement un filtre antireflet pour le capteur d'images. C'est dans la couche de silicium épitaxiée que le capteur d'images va être fabriqué. Cette dernière détermine donc l'épaisseur des pixels, impactant directement l'efficacité quantique du capteur pour les grandes longueurs d'onde ($\lambda > 600nm$).

Contrairement à la lumière bleue qui est absorbée dès les premiers nanomètres de silicium, la lumière rouge ($\lambda \approx 700nm$) est bien plus pénétrante et comme on peut le voir sur la figure 30, une portion significative de cette longueur d'onde n'est toujours pas absorbée par le silicium après 1µm, 3µm et même 6µm de profondeur. Avec une épitaxie de 3µm d'épaisseur, la loi de Beer-Lambert décrivant l'absorption de la lumière dans un milieu transparent nous dit que plus de 70% de la lumière rouge pénétrant dans le silicium sera absorbée. En négligeant une éventuelle réflexion sur la face arrière, la figure 30 montre que doubler l'épaisseur de l'épitaxie de 3 à 6µm permettrait d'augmenter le taux d'absorption jusqu'à plus de 90%. Mais une telle modification engendrerait d'autres problèmes techniques concernant notamment le fort rapport d'aspect de la gravure des

tranchées d'isolation profondes. Une épaisseur plus faible faciliterait le processus de fabrication mais ne permettrait pas de délivrer des performances acceptables pour le capteur. Pour ces raisons, et dans le but de pouvoir comparer le capteur de type P avec son équivalent de type N déjà à l'état de produit mature, il a été décidé d'utiliser une épitaxie de 3µm d'épaisseur.

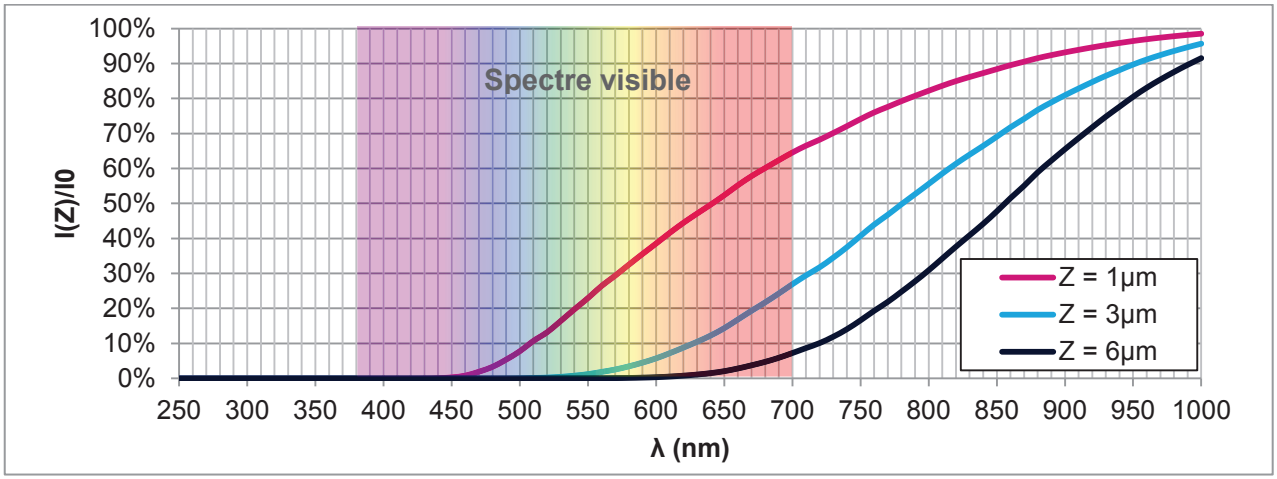


Figure 30: Intensité de la lumière incidente restante après avoir traversé une épaisseur Z de silicium en fonction de sa longueur d'onde λ. Pour rappel, le spectre visible s'étendant de 380 à 700nm est représenté.

2.1.2. Un stockage de charges volumique

Afin de réellement exploiter tout le volume de silicium actif pour la collection et le stockage des porteurs photo-générés, la photodiode verticale de type P a été développée sur une couche épitaxiée du même type. La figure 31 présente de façon schématique la place occupée par la zone de stockage de charges (pointillés rouges) pour trois configurations de photodiode : a) la photodiode planaire de type N retrouvée dans la majeure partie des capteurs d'image [102], b) la photodiode verticale de type N présente dans le produit de référence développé à STMicroelectronics [103] et c) la photodiode verticale de type P développée pendant cette thèse. Dans la première configuration, l'extension de la photodiode est limitée par la taille du pixel ; cette forme est donc adaptée à des pixels de grande taille (>2.0µm). En revanche, la photodiode pincée verticalement sera privilégiée pour des pixels de plus petite taille. Dans le procédé de référence de photodiode verticale développé par STMicroelectronics l'extension de la photodiode n'est alors que limitée par une contrainte technique : l'énergie utilisée lors des implantations ioniques servant à former la photodiode. Utiliser des énergies trop élevées (>1MeV) pour ces implantations risquerait d'endommager fortement le cristal de silicium, dégradant ainsi les performances du capteur [104]. La solution envisagée pour le pixel de type P à photodiode verticale consiste à former la partie en profondeur de la photodiode par épitaxie. De cette manière, l'extension de la photodiode n'est plus limitée et tout le volume du pixel peut être exploité pour le stockage de charges. Cette solution n'a pas pu être appliquée pour le capteur de type N car le procédé d'épitaxie de type N n'est pas disponible à STMicroelectronics.

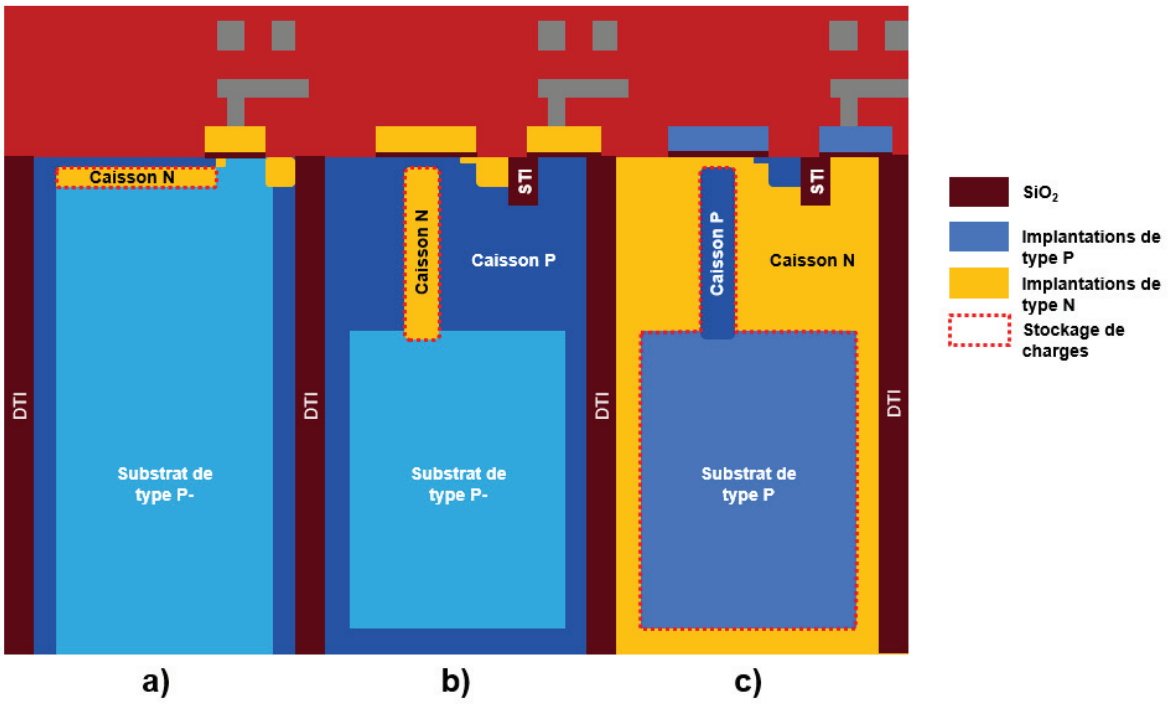


Figure 31 : Présentation de trois types de photodiodes et de leur zone de stockage de charges respectives : la photodiode planaire de type N (a), la photodiode verticale de type N (b) et la photodiode verticale de type P (c). Le dopage du substrat est fait par épitaxie alors que les différents caissons sont faits par implantation ionique.

Une fois l'épaisseur d'épitaxie et le type de dopants fixés, il reste à déterminer la concentration de ces dopants dans le silicium. La concentration des dopants de type P va directement déterminer le nombre de porteurs stockables dans le volume de la photodiode. Plus cette concentration sera élevée, plus la photodiode pourra contenir de charges. Or, plusieurs limitations s'opposent au fait d'augmenter le dopage de la couche épitaxiée. Une quantité non négligeable de charges pourraient alors être piégées en profondeur dans le pixel sans pouvoir remonter au nœud de lecture lors du transfert, créant ainsi de la rémanence (voir partie 3.2 du chapitre 4). Les transistors utilisés dans la partie digitale et présents en dehors de la matrice de pixels risquent aussi d'être impactés.

Concernant les caractéristiques de ces derniers, plusieurs essais technologiques ont été effectués à la fois en simulation et sur silicium. Les tensions de seuil des transistors présents dans la partie digitale du capteur d'images sont contrôlées à l'aide de structures de test standard. Ces structures sont des transistors MOS de type N et P ayant des oxydes de grilles de type GO1 (avec une épaisseur de 25 Å) ou GO2 (t_{ox} = 60Å), des tailles variées et des tensions de seuil variées (V_t standard, fort ou faible). Bien qu'une dépendance des tensions de seuil sur le niveau de dopage du substrat soit observée, le design et la mise en œuvre du capteur présentent une très bonne flexibilité et s'adaptent aux variations de dopage étudiées lors de ces travaux. Les caractéristiques des transistors restent bien à l'intérieur des limites maximales et minimales des spécifications fixées pour garantir leur fonctionnalité.

Pour limiter le problème de rémanence, il est primordial de connaitre le potentiel de diode présent dans la photodiode. Ce dernier correspond à la « profondeur » du puits de potentiel créé dans la photodiode lorsque cette dernière est entièrement désertée de charges (par exemple lors de sa réinitialisation). Afin de pouvoir déterminer le potentiel de diode par la mesure, de calibrer les simulations TCAD en 3 dimensions et d'évaluer le niveau de dopage le plus raisonnable pour éviter tout phénomène de rémanence tout en maximisant la quantité de charges stockées à saturation, des structures de test sont conçues, fabriquées et mesurées. La figure 32 présente le dessin d'une de ces structures servant à évaluer le niveau du puits de potentiel créé en profondeur dans le pixel par le dopage de l'épitaxie et pincé entre le caisson N de la photodiode, l'implantation de semelle et les

implantations DTI. Pour que le potentiel dans la structure de test soit représentatif de celui réellement présent dans le pixel, sa largeur doit correspondre au côté du pixel soit *W=1,4µm*. Afin de s'assurer de la bonne calibration des simulations plusieurs structures de largeurs différentes ont par ailleurs été testées. Dans sa longueur la structure mesure 4,7µm. Le principe de la mesure est le suivant : un potentiel d'entrée est imposé sur l'une des bornes de la structure et balayé linéairement suivant une rampe de manière à ce que la jonction PN avec le substrat soit constamment polarisée en inverse. Le potentiel sur la borne de sortie suit la rampe imposée en entrée. Le potentiel au centre de la structure ne peut pas descendre en dessous du potentiel de diode car il est pincé par les différentes implantations de type N. Lorsque la tension imposée en entrée descend en dessous de ce niveau, la tension mesurée en sortie n'arrive plus à suivre la rampe et s'aligne avec le potentiel de diode.

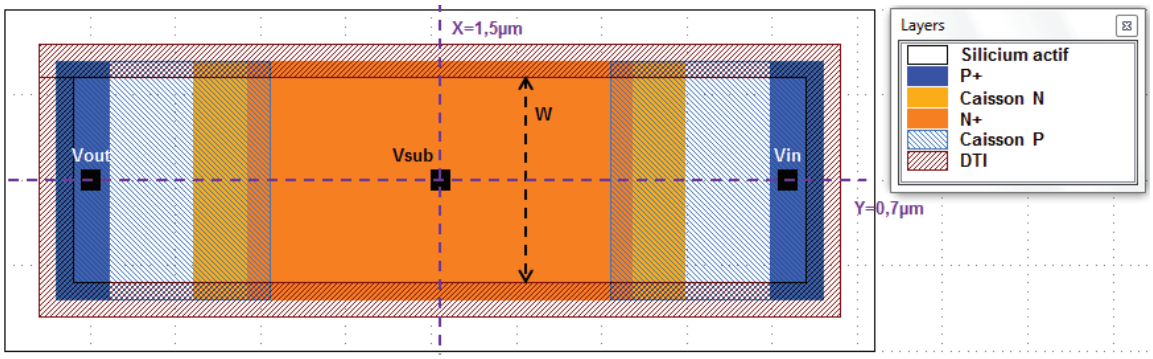


Figure 32 : Layout d'une structure de test utilisée pour mesurer le potentiel de diode en profondeur dans le substrat et calibrer les simulations TCAD en 3D dimensions. Les droites en pointillés indiquent la position des coupes observées sur la figure suivante.

La mesure du potentiel de diode s'effectue en polarisant le substrat N+ à la masse et en imposant un très faible courant (I_{out} = *-1nA*) à l'un des caissons P+ de la structure (V_{out}). La tension V_{in} sur l'autre caisson P+ est alors balayée de 0V à -4V et le potentiel V_{out} du premier caisson P+ est mesuré. Ces structures étant longues de plusieurs micromètres, la direction de pincement est perpendiculaire à la direction du courant (le pincement est effectué à la fois latéralement et verticalement comme le montre la figure 33b)).

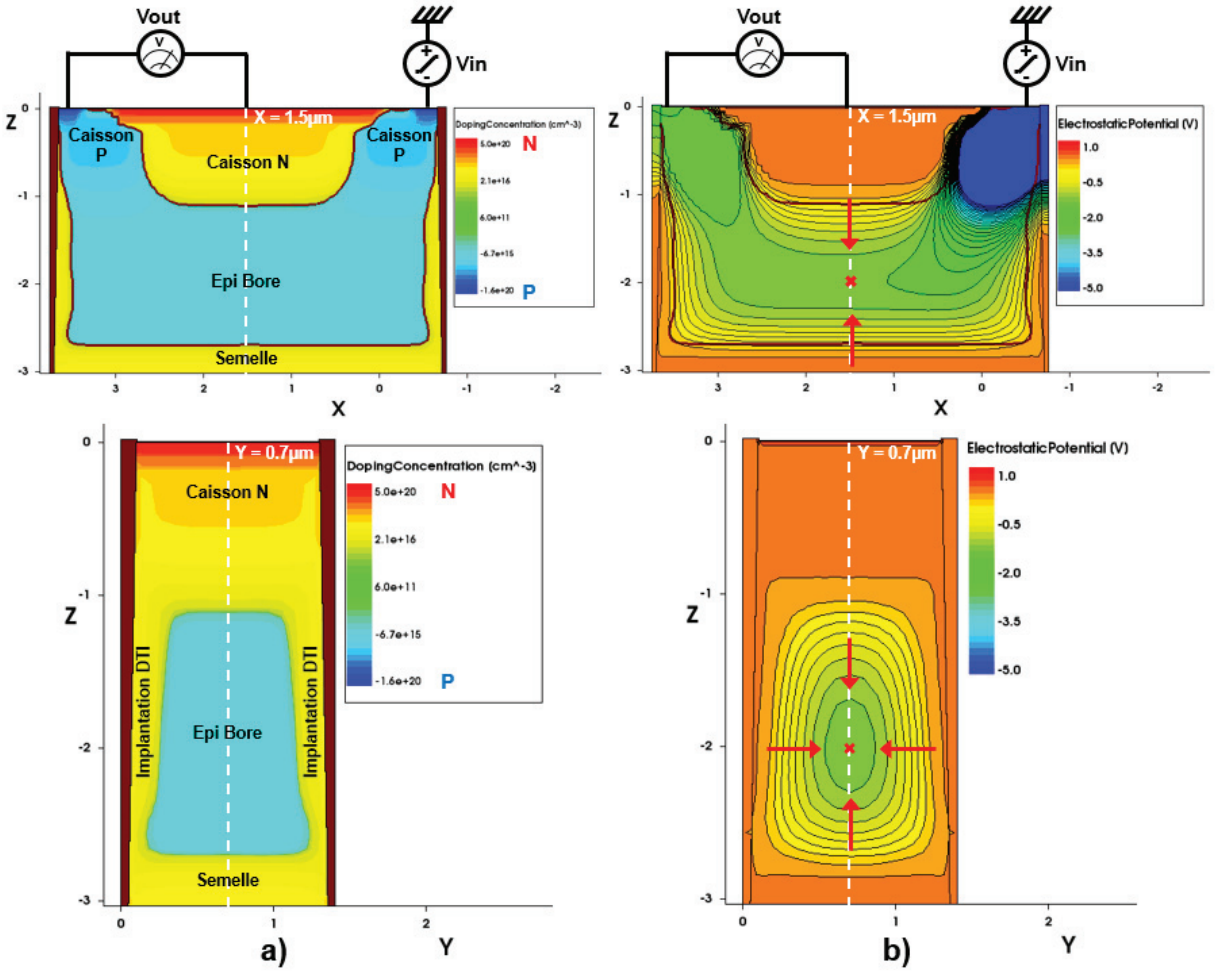


Figure 33 : Simulations TCAD en trois dimensions de la concentration de dopants (a) et du potentiel électrostatique (b) dans la structure de test présentée en figure 32. Les coupes du haut et du bas sont prises respectivement à Y = 0,7µm et X = 1,5µm. Les traits noirs de la figure b) représentent les niveaux d'équipotentiel et la croix rouge indique la position du col de la barrière de potentiel séparant V_{in} de V_{out}. Les directions principales de pincement sont représentées par les quatre flèches rouges.

Le faible courant de polarisation imposé en sortie de la structure est utilisé pour garantir un flux minimum de porteurs entre le nœud de sortie et celui d'entrée, forçant ainsi le potentiel V_{out} à suivre V_{in}. Le courant étant faible, la chute de tension observée entre la borne d'entrée et celle de sortie est négligeable. La figure 34 présente l'une de ces mesures effectuée sur 3 puces d'une même plaque de silicium (courbes en traits plein vert) ainsi que sur une simulation de la structure (traits pointillés). Sur la première partie de la courbe, le potentiel de sortie V_{out} suit bien le potentiel d'entrée V_{in} de façon linéaire. Lorsque V_{in} approche du potentiel de diode, la courbe présente un point d'inflexion et le potentiel de sortie commence à saturer. En effet, la barrière de potentiel imposée par le pincement du caisson P par le substrat N ne permet pas aux charges stockées dans le nœud P+ de s'écouler vers le puits de potentiel V_{in}. Dans la partie plate de la courbe, le potentiel de sortie est essentiellement constant. Une légère pente est tout de même observée et est attribuée à un effet similaire à l'abaissement de barrière induit par le drain (*Drain Induced Barrier Lowering* en anglais). La hauteur de barrière est alors légèrement contrôlée par la tension appliquée en V_{in}. C'est pour limiter ce genre d'effet que les structures ont été dessinées très allongées. Le potentiel de diode est ensuite extrait par méthode de régression. Deux droites sont tracées pour correspondre aux deux pentes observées sur la courbe (rouge) : elles se croisent au niveau du potentiel de diode. La variabilité naturelle du procédé de fabrication entraine des variations de potentiel de diode entre puces. Pour ce procédé de fabrication, le potentiel mesuré est de -1,2±0,1V. Le potentiel de diode

extrait de la simulation se situe dans la gamme de variabilité et s'accorde donc bien avec les mesures.

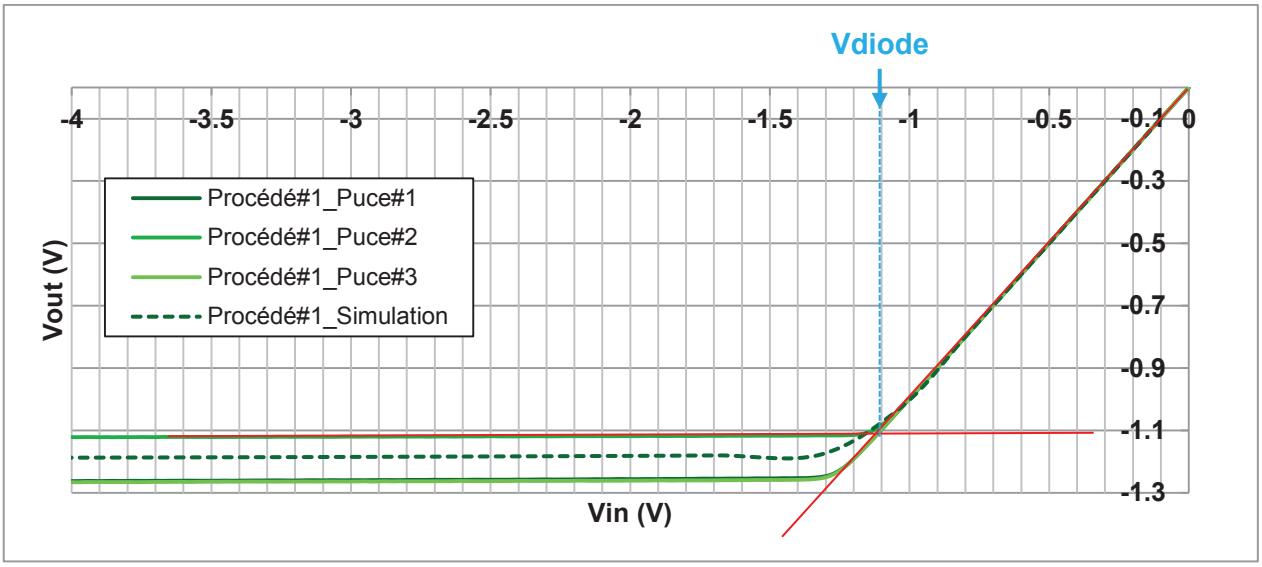


Figure 34 : Mesure du potentiel de diode de la structure présentée en figures 32 et 33 pour trois puces ayant vu le même procédé de fabrication (vert). La courbe en pointillés verts correspond à une simulation TCAD en trois dimensions de cette structure après calibration. Le potentiel de diode (V_{diode}) est extrait à l'intersection des deux courbes de régression tracées en rouge.

Il est à noter que dans le cas du pixel réel, la partie en profondeur de la photodiode est pincée dans les trois directions. Le potentiel de diode mesuré sur les structures ne correspond donc pas exactement à celui à l'intérieur du pixel car il n'est que pincé dans deux directions. Il représente néanmoins un pire scénario en surévaluant la valeur du potentiel de diode. Il permet tout de même de calibrer les simulations TCAD 3D utilisées pour accélérer le développement du pixel. Une description plus précise de ces résultats de mesures et de la calibration des simulations est donnée dans les paragraphes suivants (partie 2.2.2.2.1). Une fois les simulations calibrées grâce aux mesures électriques, il a été possible d'évaluer l'impact du dopage substrat sur la charge à saturation du pixel.

2.2. La passivation des interfaces

2.2.1. L'interface arrière

Comme décrit précédemment, la face arrière du capteur est composée d'une triple couche antireflet Oxyde-Nitrure-Oxyde. Le fond de la partie active du pixel est donc directement en contact avec l'oxyde le plus fin de la couche ONO. Afin de limiter le nombre de défauts à cette interface, la couche d'oxyde doit obligatoirement être formée à haute température (>700°C) et ne peut donc pas être intégrée dans le flow de fabrication après avoir déposé des interconnections métalliques. Grâce au substrat silicium-sur-isolant (SOI), l'oxyde de la face arrière a pu être formé à haute température au tout début de la chaîne de fabrication. Il est par conséquent de haute qualité et ne présente que peu de défauts.

Il est tout de même nécessaire d'éloigner la zone de charge d'espace de la photodiode de l'interface Si/SiO2. Pour ce faire, une implantation de type N appelée implant de semelle est effectuée dans les 70nm de silicium présent sur le substrat de départ, juste avant l'épitaxie. Cette implantation est faite à faible énergie (30keV) car la couche de silicium est très mince. Comme elle est effectuée en début du processus de fabrication, les dopants implantés vont subir tous les budgets thermiques nécessaires à la fabrication du pixel, notamment les trois plus importants : celui de

l'épitaxie et les deux recuits des procédés de formation des tranchées d'isolation surfaciques et profondes. Ces budgets thermiques vont entrainer la diffusion des dopants sur plusieurs centaines de nanomètres. Il est donc important d'implanter une dose assez conséquente au départ pour conserver un nombre suffisamment important de dopants à l'interface Si/SiO_2 à la fin du processus de fabrication.

L'extension de la photodiode en profondeur étant dépendante de la position de la jonction métallurgique entre la couche N de l'implant de semelle et l'épitaxie P de la photodiode, un équilibre doit être trouvé entre la dose implantée lors de la formation de la semelle, la concentration de dopants dans la couche épitaxiée et les budgets thermiques appliqués lors du processus de fabrication. La figure 35 présente deux profils d'essai de dopants phosphore obtenus par spectroscopie de masse à ionisation secondaire (*Secondary Ion Mass Spectroscopy* en anglais, ou SIMS) et provenant de l'implantation de semelle après le budget thermique de l'épitaxie [105]. Ces mesures SIMS ont permis de calibrer les profils d'implantation et la diffusion des dopants pour les simulations TCAD 3D. Les dopants vont tout de même diffuser davantage lors de la suite du procédé de fabrication. En intégrant ces courbes il est possible de remonter aux doses d'implantation effectives. Pour ces deux courbes, les doses effectives calculées sont respectivement $8{,}07x10^{11}at/cm^2$ (vert) et $7{,}02x10^{12}at/cm^2$ (rouge).

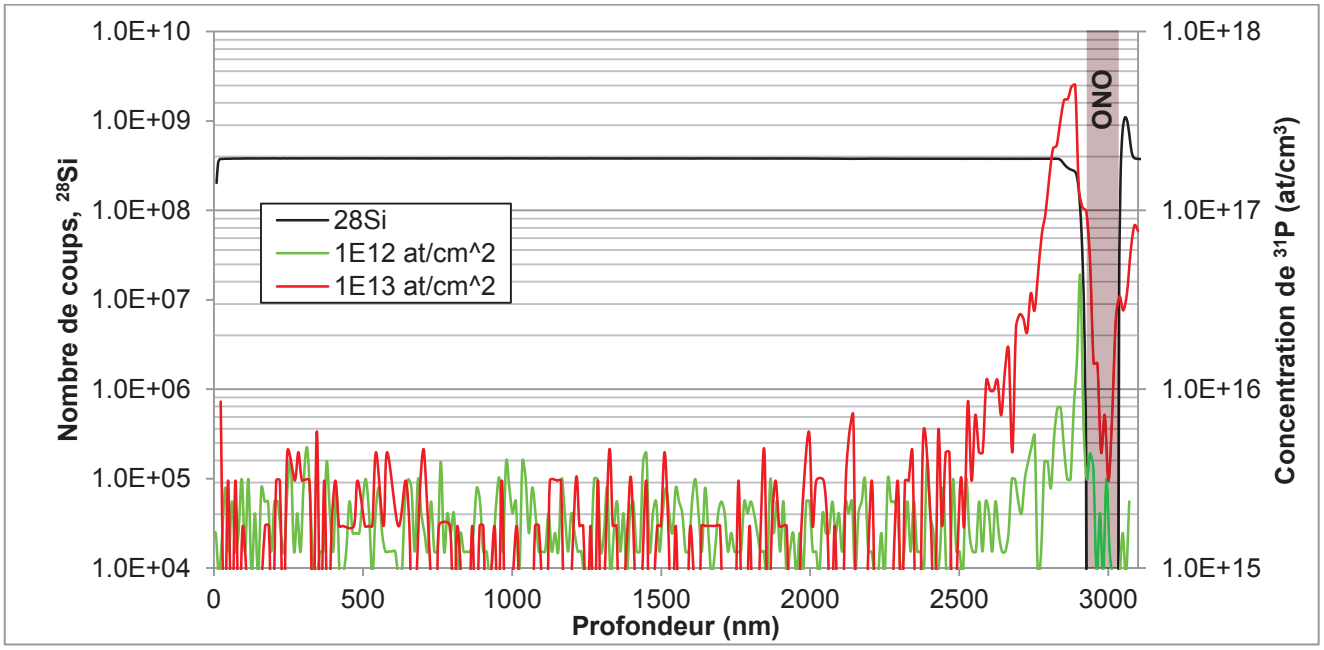


Figure 35: Profils de dopage de la semelle obtenus par spectroscopie de masse à ionisation secondaire pour différentes doses implantées : $1{,}0x10^{12}at/cm^2$ (vert) et $1{,}0x10^{13}at/cm^2$ (rouge). Seul l'isotope 31 du phosphore a été implanté et caractérisé. Ces mesures ont été effectuées après épitaxie, les dopants Phosphore ont donc subi le budget thermique lié à cette étape. La courbe noire indique la présence de l'isotope ^{28}Si (non quantifié) et permet de situer l'oxyde enterré de la couche ONO.

Pour des raisons techniques, la dose implantée ne peut cependant pas être trop importante pour éviter d'amorphiser la fine couche de silicium présente sur le substrat SOI lors du processus d'implantation. Cette couche doit nécessairement rester cristalline pour pouvoir démarrer l'épitaxie de 3µm de silicium monocristallin qui forme le pixel. Des essais technologiques ont été effectués avec des doses d'implantation allant jusqu'à $3x10^{13}at/cm^2$. Même à ces doses considérées comme plutôt faibles, une augmentation de la défectivité après épitaxie a été observée (voir figure 36). L'impact de ces défauts sur les performances du pixel et plus particulièrement sur le courant d'obscurité sera décrit plus en détails dans le chapitre 3.

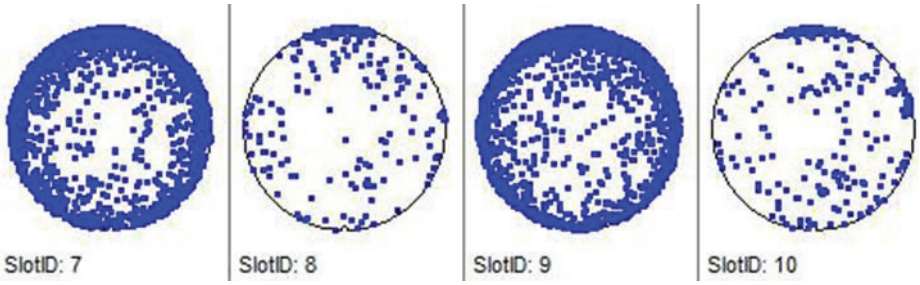


Figure 36: Défectivité observée lors de la formation d'une couche d'oxyde après épitaxie. Chaque point bleu représente un défaut. Les plaques 7 et 9 ont subi des doses d'implantation de semelle plus importantes que les plaques 8 et 10.

2.2.2. Les tranchées d'isolation : DTI et CDTI

Comme expliqué dans le chapitre 1, l'intégration des tranchées DTI ou CDTI permet de supprimer la diaphotie électrique et de réduire celle optique. Cependant, la présence des tranchées augmente sensiblement la quantité d'interfaces Si/SiO_2 du pixel. Ces interfaces présentent des pièges participant aux mécanismes de génération/recombinaison de porteurs. Ce mécanisme de génération/recombinaison entraine une dégradation du courant d'obscurité et du rendement quantique des pixels, deux figures de mérite clés pour les capteurs d'images. Il est donc nécessaire de maintenir l'interface correctement passivée. Pour ce faire, deux procédés de fabrication ont été étudiés : la passivation passive par implantation ionique qui peut s'appliquer sur DTI et CDTI, et celle active pour les CDTI par une tension de polarisation. Nous décrivons ci-dessous le développement des procédés DTI et CDTI implantés pour la passivation des interfaces.

2.2.2.1. Fabrication des tranchées DTI

Pour permettre la gravure des tranchées profondes qui peuvent faire plusieurs micromètres de profondeur avec un facteur de forme $\left(\frac{profondeur\ de\ tranchée}{dimension\ critique\ du\ motif}\right)$ allant jusqu'à 30, il est d'abord nécessaire de déposer un masque dur sur la plaque de silicium. Ce masque sert essentiellement à protéger le reste du silicium de la gravure. Il est en partie hérité du masque dur de la gravure des tranchées d'isolation peu profondes (STI) effectuée en amont du processus de fabrication. Une fois l'étape de polissage mécano-chimique effectuée à la fin de la formation des STI, il reste un peu moins de 90nm de nitrure provenant du masque dur. A cela s'ajoute un dépôt d'oxyde TEOS pour compléter le masque dur et une étape de photolithographie pour dessiner les DTI. Le masque dur est ensuite gravé suivant le motif imprimé sur la résine.

La gravure du silicium sur 3µm de profondeur s'effectue grâce à une gravure ionique réactive. Cette méthode est anisotrope et permet d'obtenir de forts facteurs de forme. Elle consiste en une succession de gravure du silicium et de dépôts conformes de fines couches de matériaux organiques pour protéger les flancs de la tranchée. Le cycle de gravure/dépôt est ensuite répété autant de fois qu'il est nécessaire pour obtenir la profondeur de tranchée souhaitée. Une couche d'arrêt peut être utilisée pour améliorer la dispersion de la profondeur de gravure sur la plaque. Il est important de noter que la profondeur de gravure dépend grandement de la dimension critique des motifs définissant les tranchées et que la gravure peut être plus importante au niveau des intersections des DTI. Afin d'améliorer la qualité de l'interface Si/SiO_2 après gravure une couche d'oxyde est ensuite formée par oxydation thermique rapide.

La passivation de l'interface s'effectue par plusieurs implantations d'atomes de phosphore successives et à faibles angles (3°, 5° ou 7° par rapport à la normale au plan du wafer). Cet angle est introduit pour implanter des ions sur toute la hauteur de tranchée et non uniquement en fond de tranchée comme ça aurait été le cas avec une implantation à 0° uniquement. De plus le profil d'implantation a été étudié pour être le plus homogène possible sur toute la profondeur de la tranchée. La figure 37 montre le profil d'implantation Phosphore par analyse SIMS pour trois recettes d'implantations différentes **[106]**. Les procédés #1 et #3 présentent une meilleure homogénéité de dopage sur toute la profondeur de la tranchée que le procédé #2. En effet, bien que le faisceau d'ions

utilisé pour graver le silicium en spectroscopie de masse à ionisation secondaire fasse plusieurs fois la taille d'un pixel (environ 50µm de diamètre), il reste possible d'évaluer l'homogénéité du dopage en fonction de la profondeur de silicium gravée. Le profil de la recette #2 n'est pas régulier, les dopants sont distribués en dents de scie et l'interface Si/SiO_2 à certaines profondeurs (à 650nm de profondeur) est donc moins bien passivée. De plus, le procédé #2 ne permet pas de passiver correctement le fond de la tranché DTI. Pour une recette d'implantation à angles fixés, plusieurs doses d'implantation ont été testées et leur impact sur les performances du pixel a été évalué et sera décrit dans les chapitres 3 et 4. Cette étape de passivation est nécessaire pour limiter la génération de courant d'obscurité **[107]**.

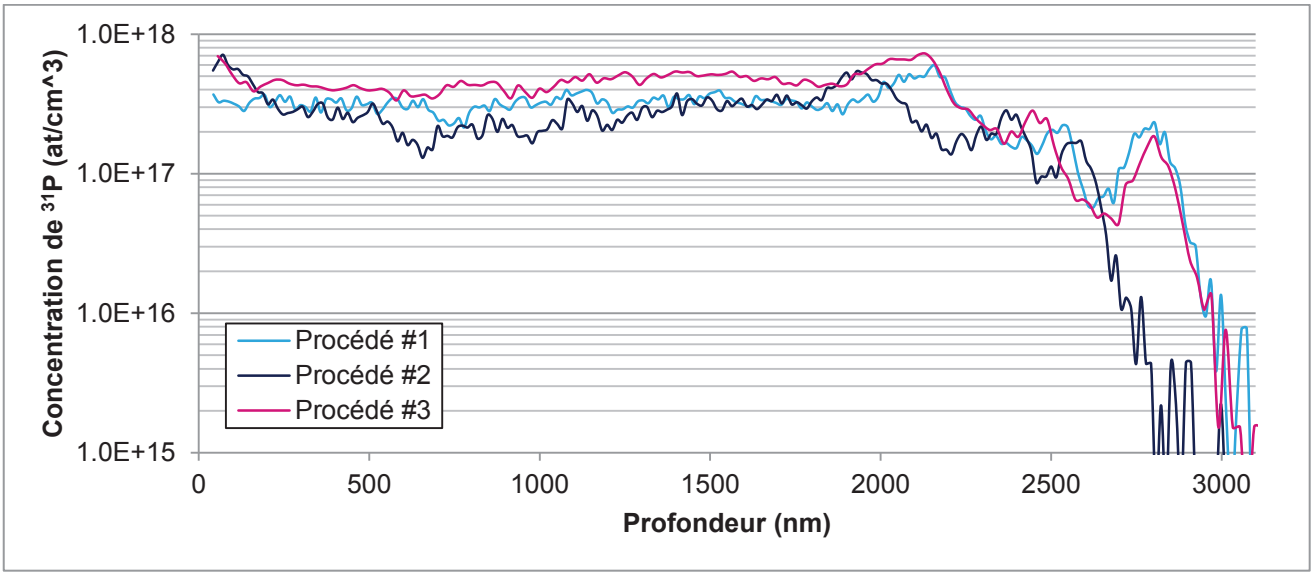


Figure 37 : Profil d'implantation d'ions Phosphore obtenu par spectroscopie de masse à ionisation secondaire dans des tranchées d'isolation de 2,5µm de profondeur pour trois procédés différents.

Bien que la concentration de dopants à une profondeur donnée soit connue, il reste à déterminer la distance sur laquelle les dopants diffusent perpendiculairement à la tranchée. Cette donnée n'est malheureusement pas mesurable par spectroscopie de masse à ionisation secondaire. Afin de correctement calibrer la diffusion latérale des dopants sur les simulations TCAD en trois dimensions, des structures de test spécifiques ont donc été développées. Une description détaillée de l'étude de ces structures de test est faite au dernier paragraphe de cette sous-partie (2.2.2.2.1).

Vient ensuite l'étape de remplissage des tranchées pendant laquelle un dépôt conforme d'oxyde TEOS est fait grâce à un procédé à fort facteur de forme et basse température (*High Aspect Ratio Process* ou *HARP* en anglais). Ce type d'oxyde nécessite ensuite un recuit à 950°C pendant 1h pour densifier le dépôt. Une étape de polissage mécanochimique (*Chemical Mechanical Polishing* en anglais, ou CMP) vient finalement retirer l'excédent d'oxyde déposé sur la plaque de silicium avant que celle-ci ne poursuivre son processus de fabrication.

2.2.2.2. Fabrication des CDTI

Le processus de fabrication des CDTI est très similaire à celui des DTI et ne nécessite pas de masque supplémentaire. Le processus de structuration et de gravure s'effectue de manière identique à celui utilisé pour la fabrication des tranchées remplies d'oxyde. L'interface des CDTI peut alors être implantée ou non car la passivation est faite essentiellement de façon électrostatique en polarisant les tranchées en accumulation.

L'isolation entre la partie active du silicium du pixel et le polysilicium de la tranchée s'effectue de la manière suivante : une première couche d'oxyde de 75Å de très bonne qualité est formée par oxydation thermique rapide. Une couche conforme de TEOS est ensuite déposée pour ajuster

l'épaisseur de l'isolant. L'empilement se termine par une couche d'oxyde nitruré (SiON) utilisée pour limiter la diffusion de dopants au travers de l'oxyde [108].

Les tranchées sont ensuite remplies de polysilicium dopé au Phosphore avec une concentration de $1x10^{19}$at/cm^3 pour minimiser l'extension de la zone de déplétion pouvant se former dans la tranchée. Lors du remplissage il est important de limiter le nombre de zones creuses pouvant se former si la partie supérieure de la tranchée se referme plus rapidement que le reste (voir figure 38) [109]. La géométrie et le profil de gravure de la tranchée jouent un rôle critique au moment du remplissage. Ces zones creuses pourraient impacter la qualité du contact électrique avec le polysilicium ou créer de la défectivité lors du processus de fabrication. En effet, lorsque dans l'étape suivante l'excédent de polysilicium est retiré par polissage mécano-chimique, les zones creuses pourraient ne plus être recouvertes de polysilicium. La tranchée serait alors ouverte et la gravure faite plus tard pour la prise de contacts risquerait de déboucher sur du vide rendant le contact inutile. Plusieurs procédés jouant essentiellement sur la vitesse de remplissage de la tranchée ont donc été testés avant d'obtenir le bon profil. Les dépôts rapides ayant tendance à former ce que l'on appelle des « vides », il a été décidé de privilégier un dépôt lent au détriment de la cadence de fabrication.

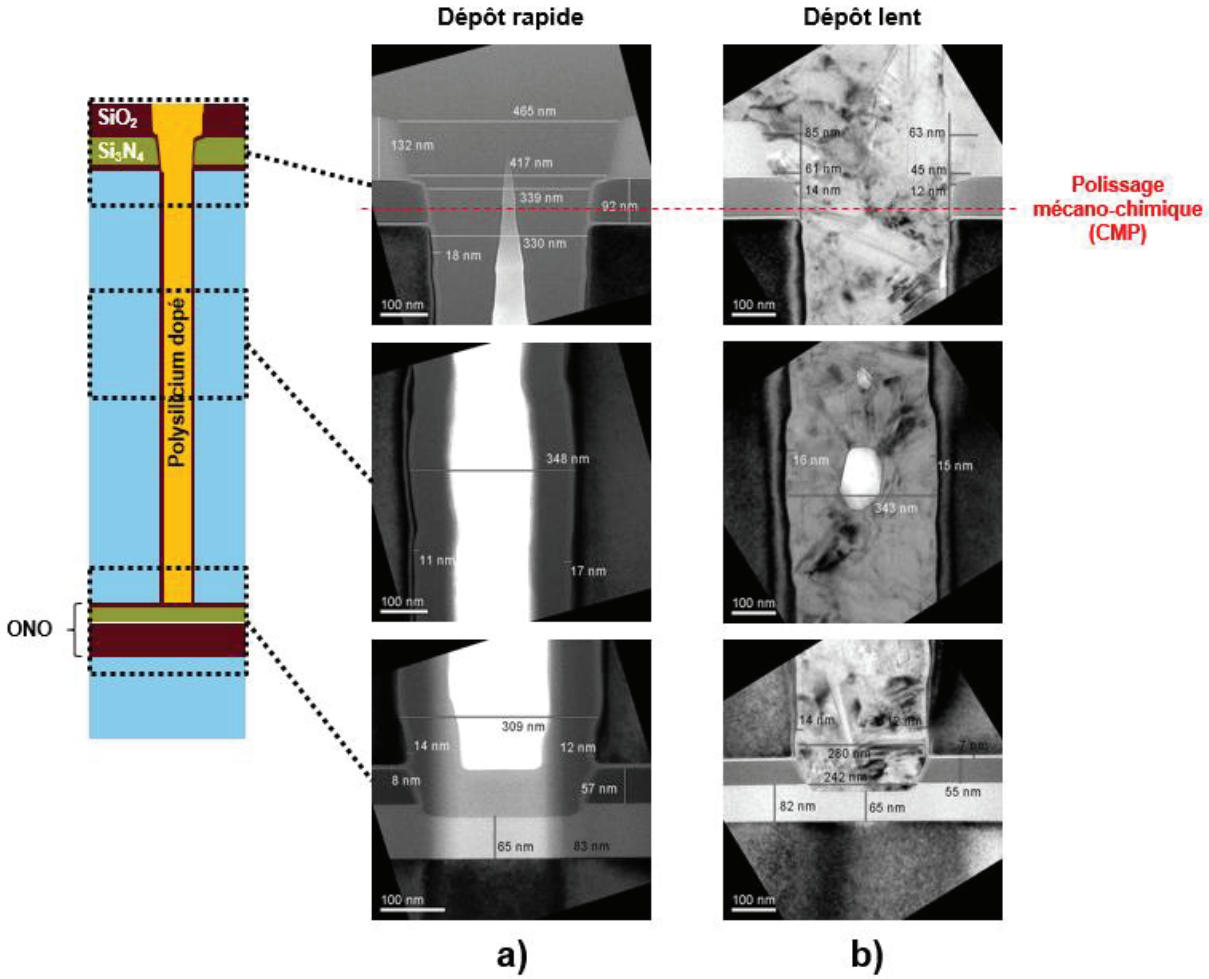


Figure 38 : Comparaison de deux procédés de remplissage des tranchées d'isolation profondes, l'un rapide (a) et l'autre lent (b) à l'aide de coupes observées au microscope électronique à transmission. La droite en pointillés rouges montre la limite du polissage mécano-chimique dans le nitrure de silicium une fois les tranchées remplies.

Les restes de nitrure du masque dur sont ensuite retirés chimiquement et la plaque subi une courte oxydation thermique afin d'encapsuler le polysilicium et d'éviter toute contamination d'équipements par des dopants dans la suite du processus de fabrication. Le contact ohmique est garanti en bord de matrice par la même implantation de type N+ que celle utilisée pour former le contact du caisson N du pixel. Le reste du processus de fabrication peut se poursuivre de façon standard jusqu'à l'amincissement du wafer. A cette étape des précautions particulières sont à

prendre pour garantir l'intégrité de l'oxyde isolant la tranchée de polysilicium. Cette partie est abordée plus en détails dans la partie 2.6 de ce chapitre.

Il est important de noter que tout comme les tranchées d'isolation profondes standard, les tranchées CDTI peuvent être implantées. Cette implantation est faite juste avant de former l'oxyde thermique isolant la tranchée du silicium actif mais elle reste optionnelle. En effet, dans le pixel de type P standard (avec tranchées DTI), le fond de la photodiode est pincé par l'implantation DTI comme cela a été expliqué dans la première partie de ce chapitre. Le potentiel de diode dans cette zone dépend donc grandement de ces implantations et de leur extension latérale. Elles sont nécessaires pour maintenir le contact électrique entre l'implantation de semelle et le caisson N et ne peuvent donc pas être supprimées. En revanche, pour les pixels intégrant des CDTI, la tranchée est polarisée en accumulation d'électrons qu'elle soit implantée ou non. Comme les électrons proviennent du caisson N de la partie supérieure du pixel, l'implantation n'est pas indispensable et sert uniquement à faciliter cette accumulation de charges négatives (la tension de seuil de la tranchée CDTI est donc réduite par les implantations). Cependant, pour simplifier et réutiliser le processus de fabrication et permettre une comparaison directe des deux méthodes de passivation des interfaces, les capteurs CDTI présentés dans cette thèse ont tout de même subi ces implantations.

En effet, l'ajout de ces implantations permet non seulement de réduire la tension de seuil de la tranchée capacitive mais aussi d'étendre la zone d'accumulation d'électrons plus loin de l'interface comme l'on peut le voir sur la figure 39. Le potentiel de diode en profondeur sera donc identique à celui d'un capteur DTI implanté et le dopage substrat n'a pas besoin d'être ajusté en conséquence. Les simulations TCAD présentées en figure 39 montrent que la tranchée d'isolation capacitive permet d'accumuler bien plus d'électrons à l'interface qu'une tranchée passive implantée, améliorant ainsi la passivation des pièges présents à cet endroit. On voit aussi que la tranchée CDTI non implantée passive correctement cette interface en y accumulant une concentration d'électrons supérieure à $1{,}0x10^{18}e^{-}/cm^{3}$. En conséquence la tension de seuil de la tranchée capacitive a tout de même été décalée d'environs 500mV comparé à une tranchée implantée. Une tension plus importante doit donc être appliquée sur le polysilicium pour accumuler dans le silicium la même concentration d'électrons qu'une tranchée implantée.

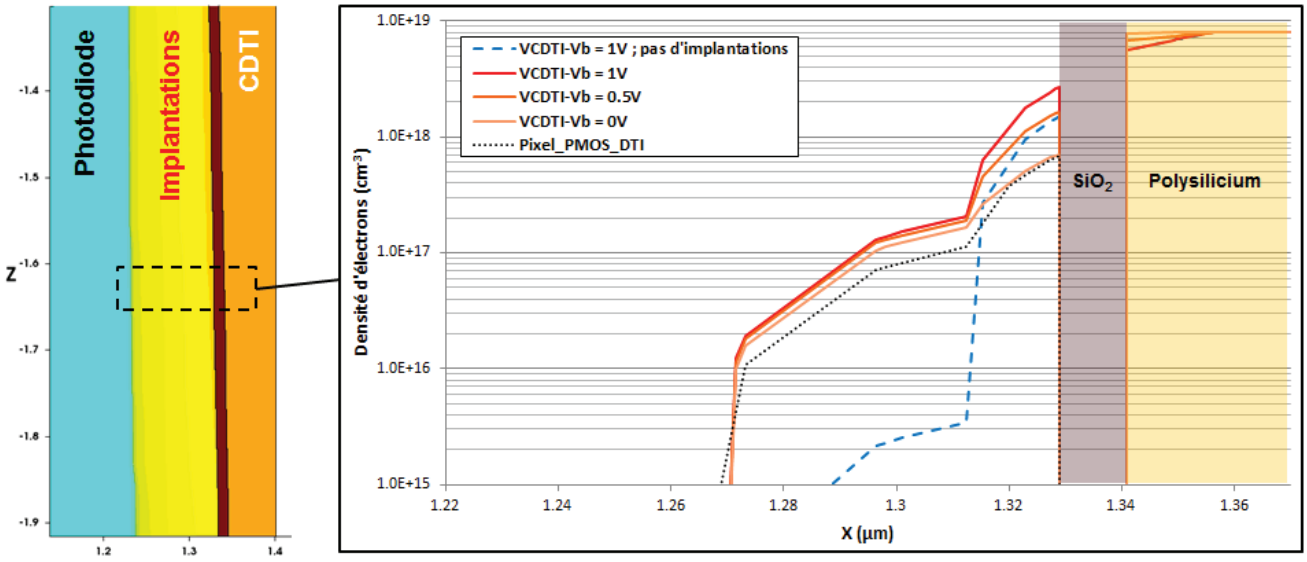


Figure 39 : Simulations comparant la concentration d'électrons à l'interface Si/SiO2 dans le cas d'une passivation par DTI implanté (pointillés noirs), par CDTI implanté et polarisé à différentes tensions (orange à rouge) et par CDTI non implanté (pointillés bleus). Estimation de la diffusion latérale des dopants.

Pour pouvoir simuler correctement le fonctionnement du pixel il est nécessaire de connaître avec précision la distance de diffusion latérale des dopants servant à passiver l'interface des tranchées profondes. En effet cette distance devient cruciale lorsque l'on souhaite venir stocker des charges profondément dans le volume du pixel. Des structures de test spécifiques ont donc été

développées pour évaluer la diffusion latérale des implantations des tranchées grâce à des mesures de potentiel de diode (voir figures 40 et 41).

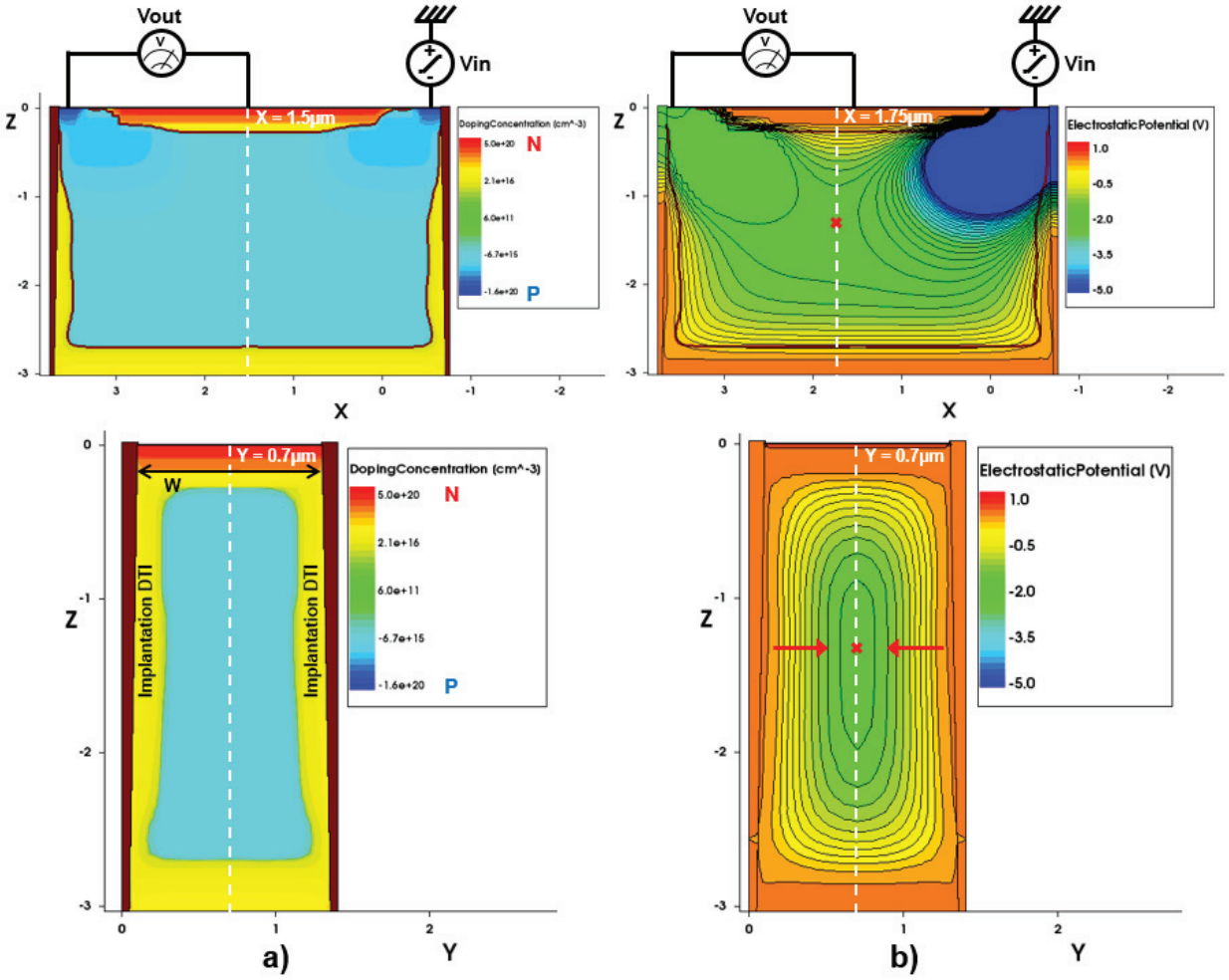


Figure 40 : Simulations TCAD en 3D d'une structure de test utilisée pour évaluer la diffusion latérale des implantations DTI par mesure de potentiel de diode. La figure a) présente la concentration de dopants dans la structure selon deux coupes perpendiculaires en Y = 0,7µm (haut) et X = 1,5µm (bas). La figure b) montre le potentiel électrostatique régnant dans la structure en Y = 0,7µm et X = 1,75µm. La croix rouge indique la position du col de la barrière de potentiel séparant V_{in} de V_{out}. La direction principale de pincement est représentée par les deux flèches rouges. La hauteur de barrière dépend principalement du niveau de dopage de l'épitaxie, de la largeur W de la structure, de la dose implantée sur les DTI et de la distance de diffusion latérale de cette implantation. Plusieurs variations de largeur W ont été étudiées.

Le potentiel de diode dans ces structures dépend essentiellement de quatre paramètres : L'épaisseur et le niveau de dopage de l'épitaxie, l'espacement entre deux tranchées DTI (ou CDTI), la diffusion verticale de l'implant de semelle, la dose implantée et la diffusion latérale des implantations DTI. Or le profil de dopage de l'épitaxie et de la semelle est plutôt bien connu grâce aux mesures de résistivité et aux mesures SIMS effectuées en début et fin de fabrication. L'espacement entre les tranchés est lui aussi contrôlé en ligne à l'aide d'un microscope électronique à balayage dédié à la mesure de dimensions critiques. Enfin, la dose implantée sur les DTI est elle aussi mesurée par SIMS. Connaissant ces trois paramètres il est alors possible de calibrer la diffusion et la dose des implantations DTI en simulation grâce à une mesure de potentiel de diode. La figure 41 montre que les simulations correspondent bien aux mesures électriques effectuées sur de vraies structures. La diffusion latérale des dopants est donc correctement prise en compte et la simulation est représentative de la réalité.

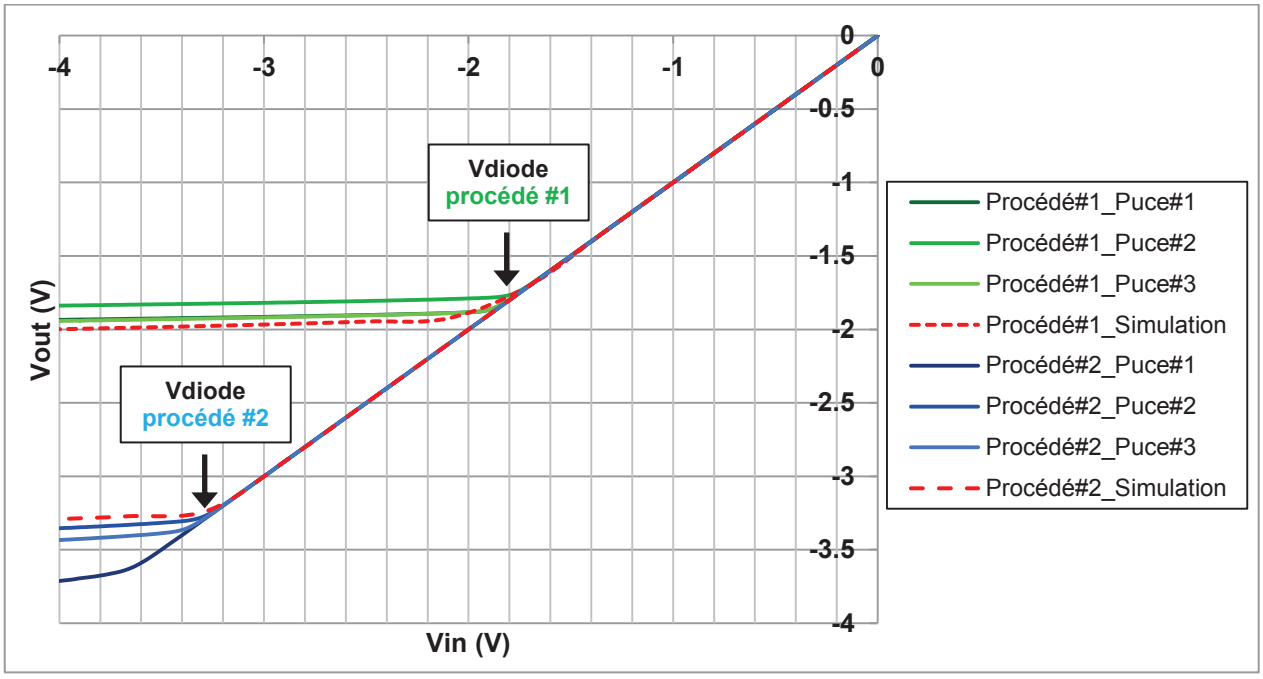


Figure 41 : Mesures de potentiel de diode sur la structure présentée en figure 40 et fabriquée avec deux procédés de fabrication différents : un dopage d'épitaxie faible (vert) et un autre élevé (bleu). Les courbes ont été obtenues en mesurant trois puces par plaque de silicium. La différence de V_{diode} entre chaque puce provient de la variabilité naturelle du procédé de fabrication. Les deux procédés ont été simulés avec les mêmes paramètres de calibration et les structures virtuellement testées pour donner les courbes en pointillés rouges.

2.3. Ingénierie de dopage de la photodiode

2.3.1. La formation du caisson P

Le dopage de la photodiode est une étape cruciale du processus de fabrication qui va directement impacter la fonctionnalité et les performances du pixel. Nous avons vu précédemment dans la sous-partie 2.1.2 que l'extension de la zone de déplétion de la photodiode dépend directement du niveau de dopage de la couche épitaxiée de silicium. Il est à noter que lors de l'intégration, des charges sont stockées profondément dans le volume du pixel et qu'elles doivent toutes être évacuées vers le nœud de lecture en surface lorsque la grille de transfert est « ON ». Il est donc nécessaire d'aménager le profil de dopage de la partie supérieure de la photodiode de façon à éviter la formation de toute barrière de potentiel pouvant empêcher un transfert des charges. Grâce à une étape de lithographie et à l'utilisation d'implantations ioniques, le profil du potentiel électrostatique dans la photodiode peut être conçu de manière à former un escalier en augmentant la dose d'implantation sur la partie supérieure. La figure 42 montre deux profils de dopage du caisson de type P formant la partie supérieure de la photodiode [110]. Les traits fins représentent les mesures faites par SIMS sur deux procédés de fabrication comprenant respectivement quatre et cinq implantations Bore successives à énergie décroissante sur un substrat de type P dopé à $1x10^{15}at/cm^3$ et ayant subi un budget thermique standard. Les traits gras proviennent des profils formés en simulant ces deux procédés de fabrication en TCAD. Mis à part en surface où la mesure SIMS n'est pas parfaitement fiable, les profils simulés s'accordent bien avec les profils mesurés.

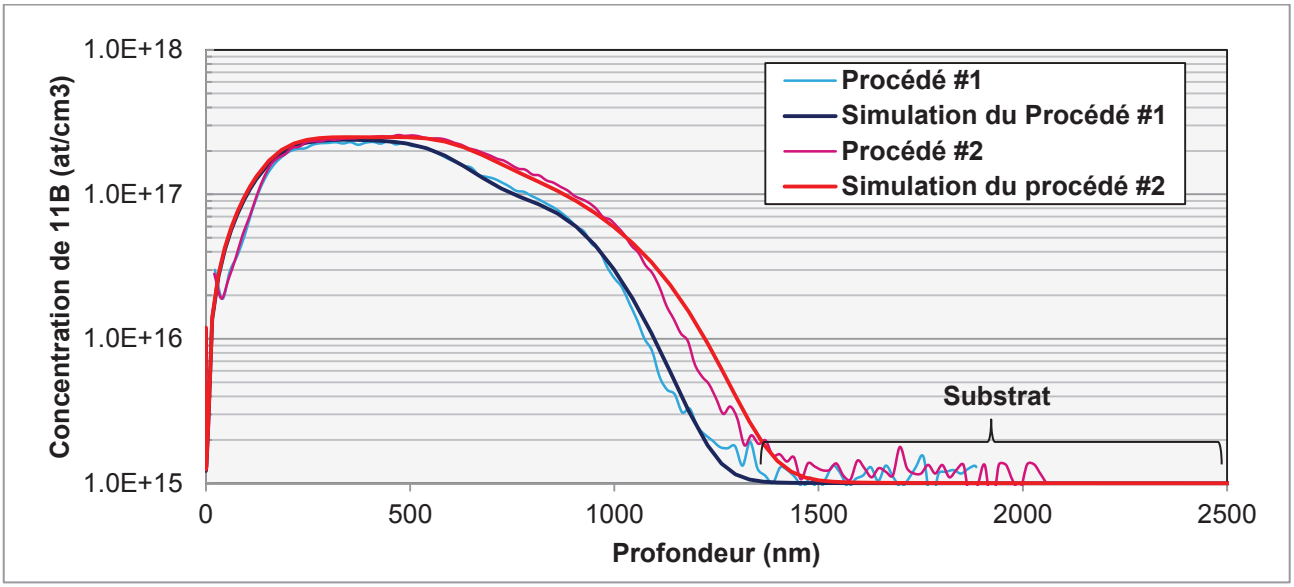


Figure 42 : Profils de dopage du caisson P servant à former la partie supérieure de la photodiode pour deux procédés de fabrication différents. Les traits fins correspondent aux mesures faites par spectroscopie de masse à ionisation secondaire alors que les traits gras proviennent de simulation TCAD calibrées.

Grâce aux fortes énergies utilisées (jusqu'à 480keV), les dopants pénètrent dans le silicium sur plus d'un micromètre de profondeur. A l'aide d'implantations de faible énergie (35keV) la concentration maximale de dopants est située proche de la surface afin de créer un champ électrique entraînant les charges collectées en direction de la grille de transfert. Le profil de potentiel électrostatique ainsi créé dans la structure déplétée est présenté en figure 43. Le minimum du puits de potentiel accumulant les charges photo-générées est situé à environ 150nm de la surface et s'étend sur plus de 500nm. La zone de déplétion s'étend ensuite dans le substrat, ici dopé P^-, jusqu'à près de 2,75µm de profondeur.

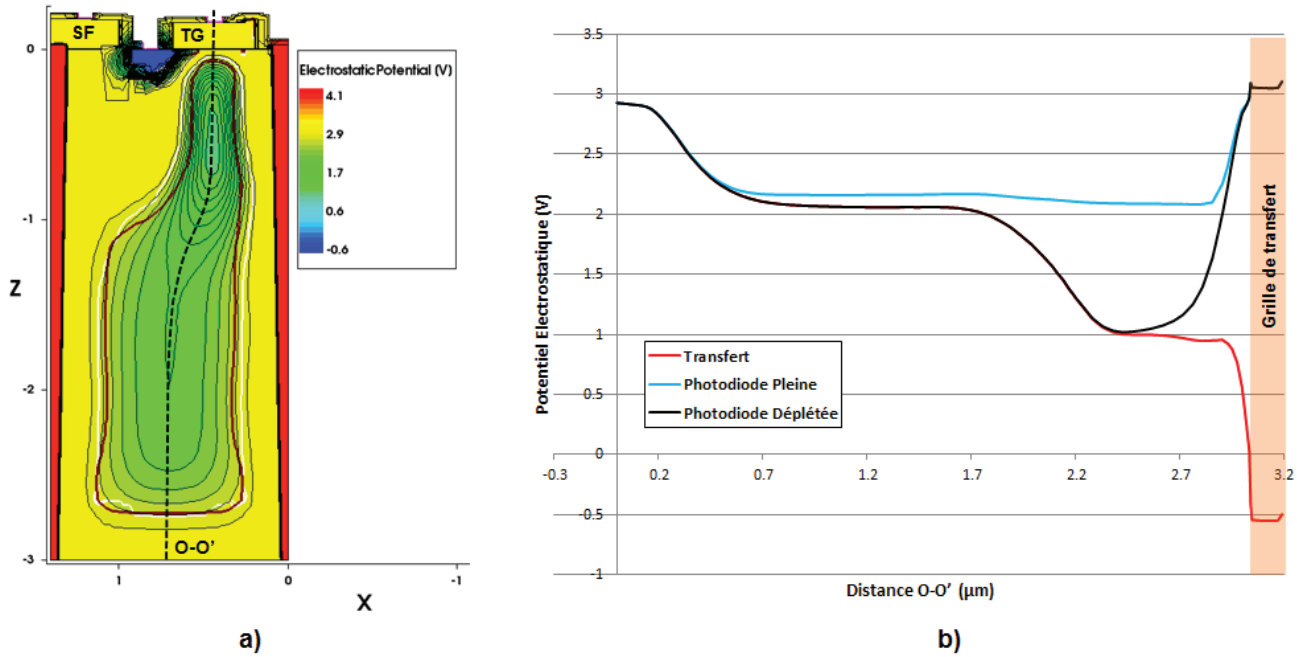


Figure 43 : Coupes 2D (a) et 1D (b) d'une simulation TCAD en trois dimensions montrant le potentiel électrostatique régnant à l'intérieur du pixel selon la courbe O-O'. Les trois courbes de la figure b) correspondent à trois étapes différentes du fonctionnement d'un pixel : Le transfert des charges (rouge), la photodiode à saturation (bleu) et lorsque la photodiode est entièrement déplétée (noir).

2.3.2. *Le caisson N servant à pincer la photodiode*

Afin de faciliter le transfert des charges vers le nœud de lecture le minimum de potentiel dans la photodiode lorsque celle-ci est déplétée ne doit pas bouger au moment où la grille de transfert est polarisée en inversion ; c'est ce que l'on appelle une photodiode pincée. Cette étape est présentée en figure 43b). Pour cela des implantations de type N sont utilisées pour former deux jonctions PN tête-bêche. Contrairement aux photodiodes planaires où l'implantation se fait de façon auto-alignée à la grille de transfert, dans la fabrication des photodiodes verticales cette dernière est formée avant que la grille de polysilicium ne soit déposée. Les motifs d'implantation doivent donc prendre en compte un éventuel désalignement des masques lors de l'étape de photolithographie. Aussi, la dimension critique du motif servant à définir le caisson N doit être maîtrisée avec la plus grande rigueur. En effet, comme la direction de pincement est définie par les deux jonctions PN, l'écart entre ces deux jonctions et le niveau de dopage des caissons N va déterminer la valeur du potentiel de diode. Des variations de dimension critique (*Critical Dimension* ou *CD* en anglais) du plot de résine définissant le caisson N ont été obtenues en augmentant la dose d'exposition. La figure 44 présente trois dimensions critiques croissantes obtenues avec trois doses d'exposition de résine décroissantes.

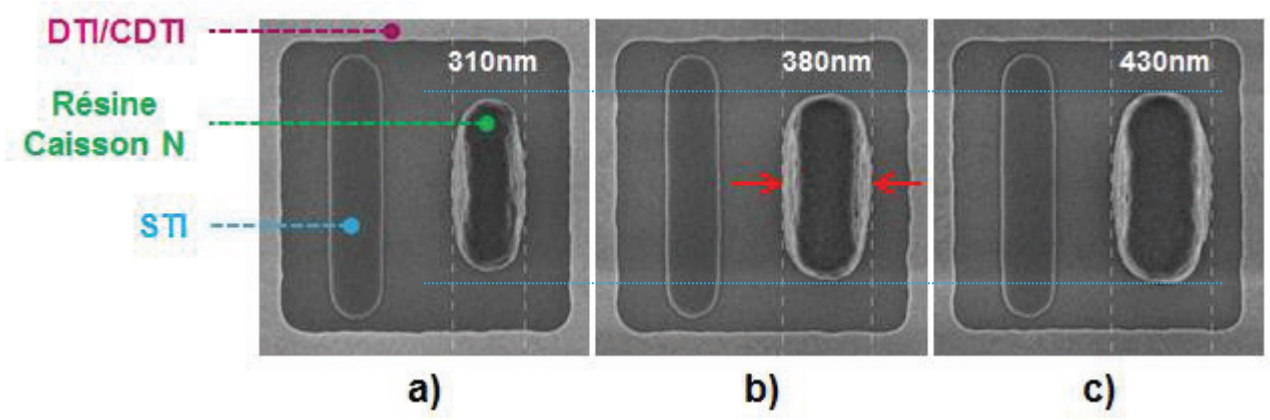


Figure 44 : Images obtenues au microscope électronique à balayage utilisé pour la mesure de dimension critique du motif de résine du caisson N. En faisant varier la dose d'exposition de la résine définissant le caisson N différentes valeurs de dimension critique peuvent être obtenues pour un même motif de masque. La dose d'exposition est décroissante en passant de a) à c). Les flèches rouges rappellent la direction de pincement de la photodiode.

Il est intéressant de noter que la longueur de résine est elle aussi affectée par cette surexposition. Le caisson N est implanté partout où la résine n'est pas présente. Afin de corréler les variations de CD de résine avec le potentiel de diode de la photodiode, des structures de test ont été dessinées et contrôlées en ligne. Encore une fois, le but étant d'estimer la diffusion latérale des dopants du caisson N, la structure n'est pincée que dans une direction et correspond à une photodiode d'un peu plus de 3 micromètres de long et de largeur variable. La figure 45c) montre une cartographie du potentiel de diode de la structure en question sur une plaque de silicium sur laquelle la dimension critique de la résine diminue de gauche à droite (de 430nm à 310nm). On observe que le potentiel de diode varie de près de 3V sur cette plage de CD. Ce paramètre est donc extrêmement sensible au CD du caisson N avec une augmentation de presque 30mV par nanomètre. Il est donc impératif de maîtriser cette étape de photolithographie. Cette opération nous a permis de définir la bonne dose d'exposition de la résine pour ajuster le potentiel de diode de la photodiode sans toucher aux doses d'implantations. La répartition de la dose de chacune des cinq implantations a ensuite été légèrement ajustée pour lisser le potentiel électrostatique dans le pixel et éliminer d'éventuelles barrières de potentiel.

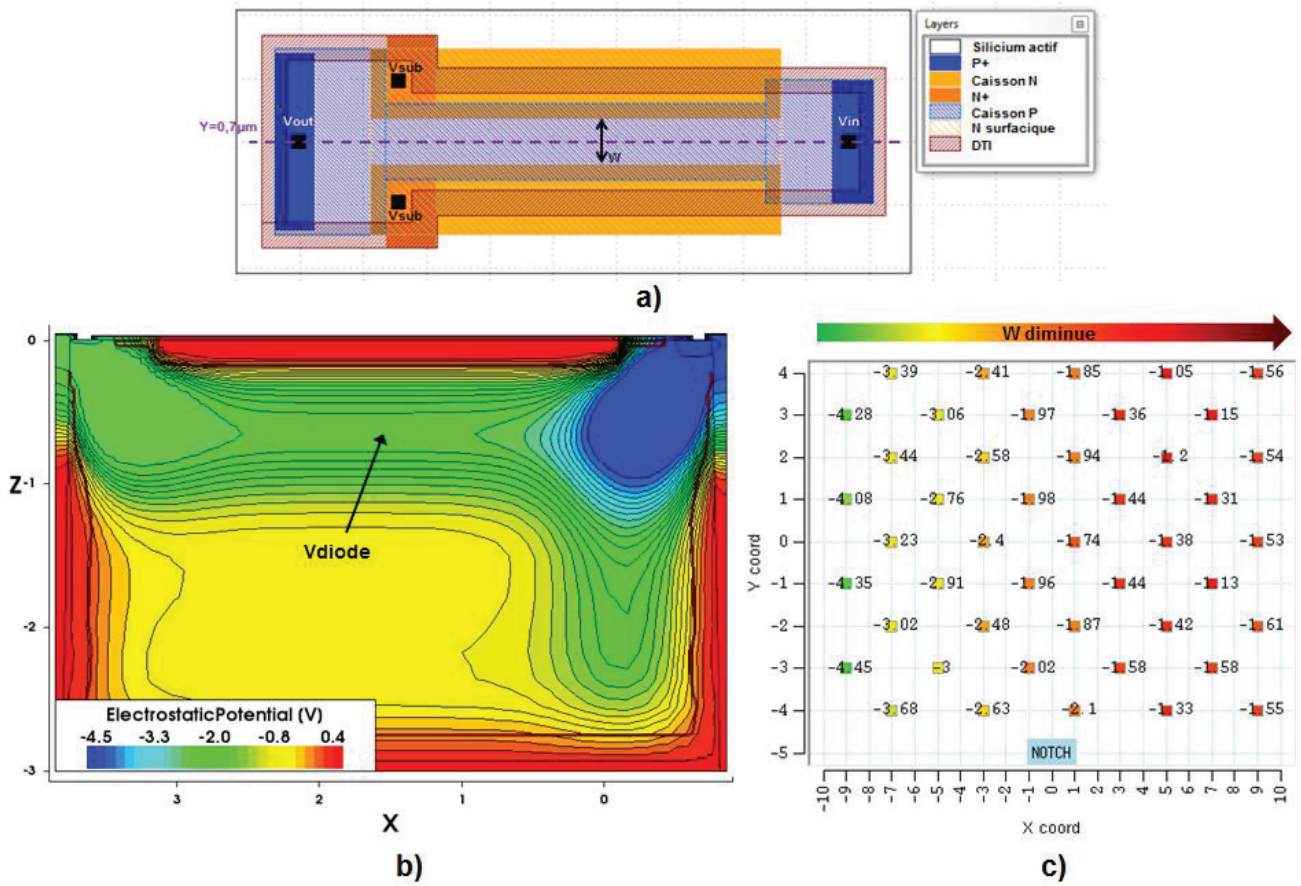


Figure 45 : La figure a) représente le layout de la structure de test simulée en b) et mesurée en c). Cette structure est utilisée pour contrôler le potentiel de diode dans la partie supérieure d'une photodiode de longueur L, infinie et ayant une dimension critique W donnée. Le potentiel de diode de la structure est pincé dans le sens de la largeur. La figure c) présente les résultats de mesure sur une plaque de silicium ayant des W allant de 430nm à 310nm.

Il faut rappeler que la charge maximale que peut contenir la photodiode à saturation est directement corrélée à la valeur du potentiel de diode. Dans le cas d'un capteur de type P, plus celui-ci est bas et plus la photodiode pourra stocker de charges. Cependant, l'évacuation complète des charges stockées sera aussi plus difficile. Aussi, afin d'éviter tout phénomène de rétention de charges lors du transfert il est important de faire en sorte que le minimum du potentiel de diode soit le plus proche possible de la grille de transfert. Cela limite donc la valeur haute du potentiel de diode ; ce dernier doit forcément être plus bas que le potentiel dans la partie épitaxiée de la photodiode.

De la même manière, la valeur basse du potentiel de diode est limitée par la capacité du nœud de lecture et son niveau de remise à zéro ; il faut pouvoir stocker toutes les charges présentes dans la photodiode à saturation dans le nœud de lecture tout en prévenant un éventuel retour de charges dans la photodiode. Pour assurer une dynamique de sortie d'environ 1V sur le pixel, en prenant compte le gain du transistor suiveur, la valeur minimale du potentiel de diode doit être de 1,3V.

Une fois le potentiel de diode fixé la seule manière d'augmenter la charge à saturation est d'étendre ce potentiel de diode sur un volume le plus grand possible. Comme on peut le voir sur la figure 46, parmi les designs de pixel testés plusieurs variations portent sur l'extension latérale de la photodiode pincée : des photodiodes ayant toutes le même W = 370nm et un L allant de 820nm à 1.2µm (soit la largeur du silicium actif). On constate que bien que le motif sur le masque soit rectangulaire, les coins de la résine utilisée pour la formation du caisson N de la photodiode sont en réalité arrondis. Aussi, la longueur effective du plot de résine est légèrement inférieure à la valeur dessinée sur le masque. Ces deux contraintes vont légèrement remonter le potentiel de diode de la partie supérieure de la photodiode par rapport à la valeur théorique visée. Cet effet est moins prononcé pour les lignes de résine que pour les plots de résine.

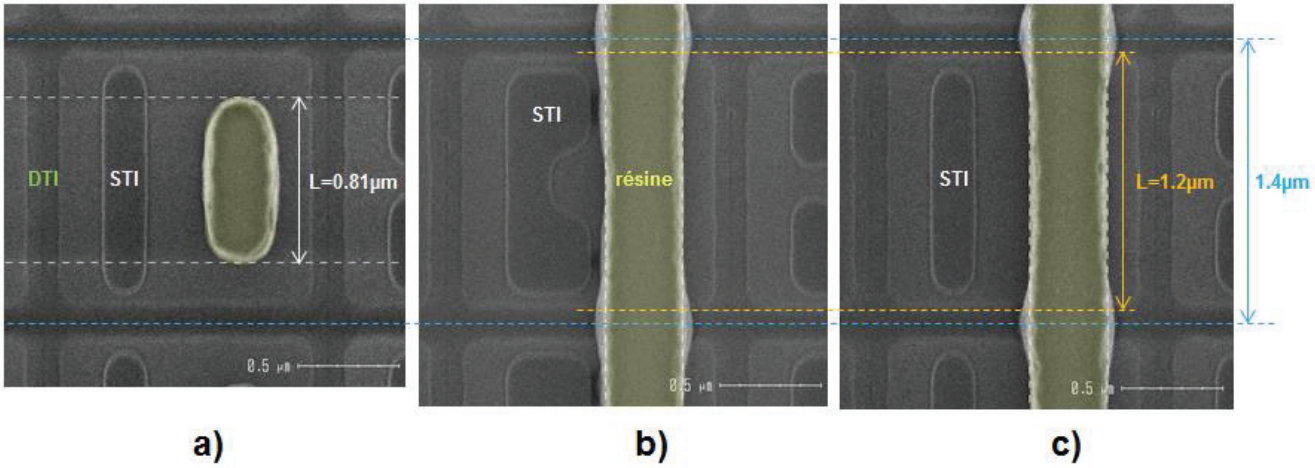


Figure 46 : Images réalisées au microscope électronique à balayage pour la mesure de dimensions critiques des motifs lithographiés. Trois versions de pixel ayant des longueurs de photodiode de 0.81µm et 1.2µm sont présentées. La résine utilisée pour la formation de la photodiode a été mis en surbrillance pour plus de visibilité. La taille du pixel (1.4µm) est aussi indiquée en bleu.

En étendant la photodiode jusqu'à l'interface Si/SiO_2 des DTI tout en gardant le potentiel de diode constant, la charge à saturation peut augmenter de 50% comparée à une photodiode de 820nm de long. La figure 47 montre le volume occupé par la zone de déplétion de la photodiode pour deux versions de pixel différentes dont l'une correspond à la figure 46c). Cependant dans le cas des tranchées DTI, si les implantations de passivation ne sont pas assez fortes, la photodiode risque d'être en contact avec l'oxyde de silicium. Les pièges présents à cette interface non passivée génèrent alors une quantité importante de courant d'obscurité pouvant atteindre plusieurs centaines de trous par seconde. Or, dans ces conditions, il a été montré sur des capteurs de type N que l'intégration de tranchées CDTI est nécessaire pour passiver ces interfaces sans avoir à augmenter la dose des implantations DTI [108]. La même conclusion a été obtenue dans le cas d'un capteur de type P à photodiode verticale et sera présentée plus en détail dans le chapitre 3.

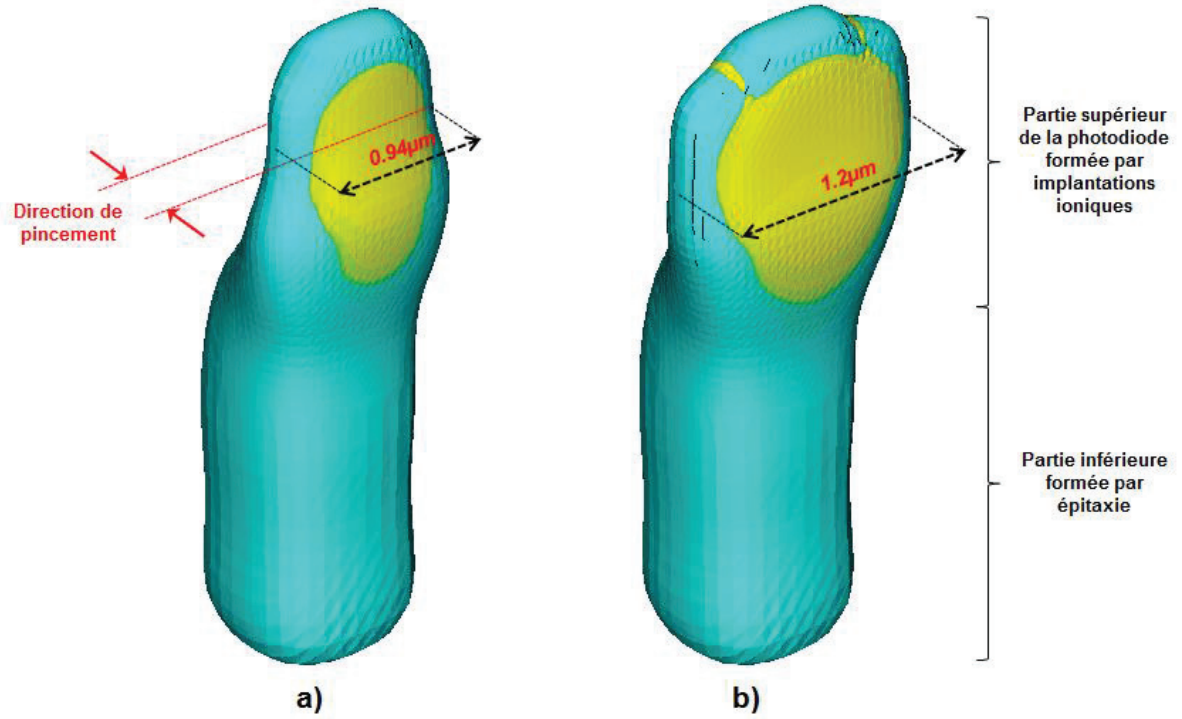


Figure 47 : Représentation en trois dimensions du volume occupé par la photodiode pour deux versions de pixel différentes ayant pour longueur de photodiode 0.94µm (a) et 1.2µm (b).

2.4. Le transfert des charges de la photodiode vers le nœud de lecture

2.4.1. Les différentes implantations dédiées au transfert de charges

Le transfert des charges de la photodiode vers le nœud de lecture est assuré par la grille de transfert. Lorsque cette dernière est polarisée en inversion elle est fermée et le nœud de lecture et la photodiode sont électriquement connectés. La figure 48 présente le potentiel électrostatique régnant dans la structure dans trois conditions différentes : lorsque la photodiode et le nœud de lecture sont déplétés et que la grille de transfert est bloquée soit polarisée en accumulation d'électrons à V_{TG} = 3,6V (bleu), la même configuration lors du transfert avec la grille de transfert fermée polarisée à 0V (rouge) et enfin la situation correspondant au début de l'intégration où la photodiode est vide, la grille de transfert est polarisée à 3,6V (bloquée) et le nœud de lecture est polarisé à 2,5V (ligne bloquée) (vert). On voit que la grille de transfert exerce son influence électrostatique en courbant le potentiel surfacique sur environ 250nm de profondeur. Comme la photodiode est formée directement sous la grille de transfert, les charges s'écoulent d'abord verticalement jusqu'à l'interface de l'oxyde de grille pour ensuite se diriger latéralement vers le nœud de lecture.

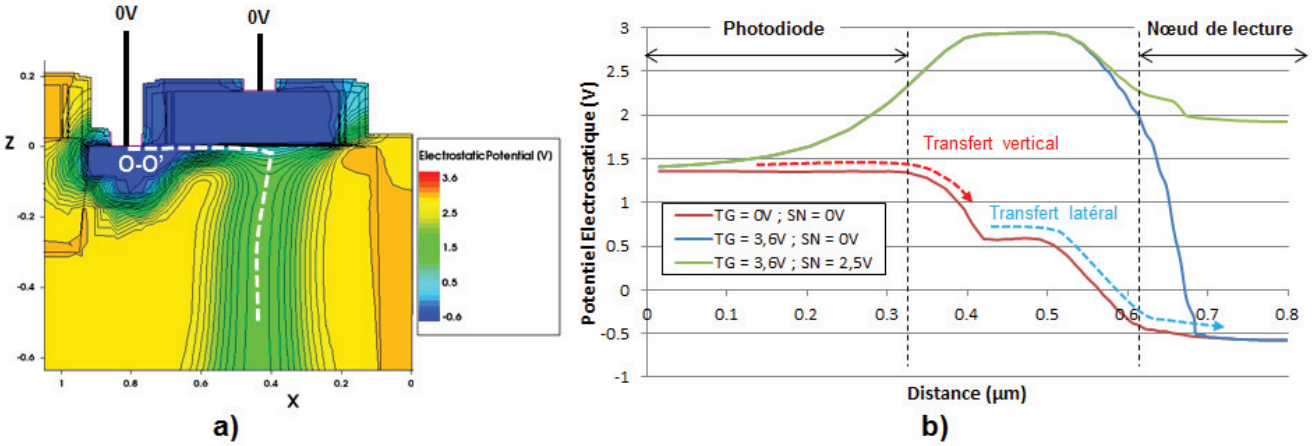


Figure 48 : a) Coupe 2D d'une simulation TCAD en trois dimensions du potentiel électrostatique régnant dans la partie supérieure de la photodiode lors du transfert. La figure b) représente le profil de potentiel électrostatique selon la courbe O-O' lors du transfert des charges (rouge), après remise à zéro de la photodiode (bleu) et une fois la ligne bloquée au début de l'intégration (vert). La direction de transfert des charges est indiquée par les flèches rouges et bleues.

La figure 49 montre un agrandissement de la partie supérieure de la photodiode provenant d'une simulation TCAD en trois dimensions. On y voit la distribution de dopants et les trois principales implantations ioniques déterminant le transfert sont indiquées en pointillés. Ces implantations sont effectuées avant la formation de la grille et de ses espaceurs. Une implantation de type N servant à la fois à éloigner la photodiode de l'oxyde de grille sous l'espaceur et à ajuster la tension de seuil du transistor est effectuée avant de déposer la grille de polysilicium. Cette implantation reste surfacique afin de maintenir un bon contrôle électrostatique sous la grille et ce jusqu'à la photodiode. Pour minimiser la formation de poches de potentiel lors du transfert latéral des charges, une implantation spécifique de type P a été mise en place afin d'étendre légèrement le nœud de lecture sous la grille de transfert. Cette implantation est appelée « drain étendu ». Finalement une implantation de type N appelée « anti-perçage » et utilisant le même masque que le drain étendu a été implémentée afin d'empêcher tout transfert de charge en volume non contrôlé par la grille, entre la photodiode et le nœud de lecture. Ces trois implantations sont critiques pour assurer à la fois un transfert sans rémanence et une bonne isolation entre le nœud de lecture et la photodiode.

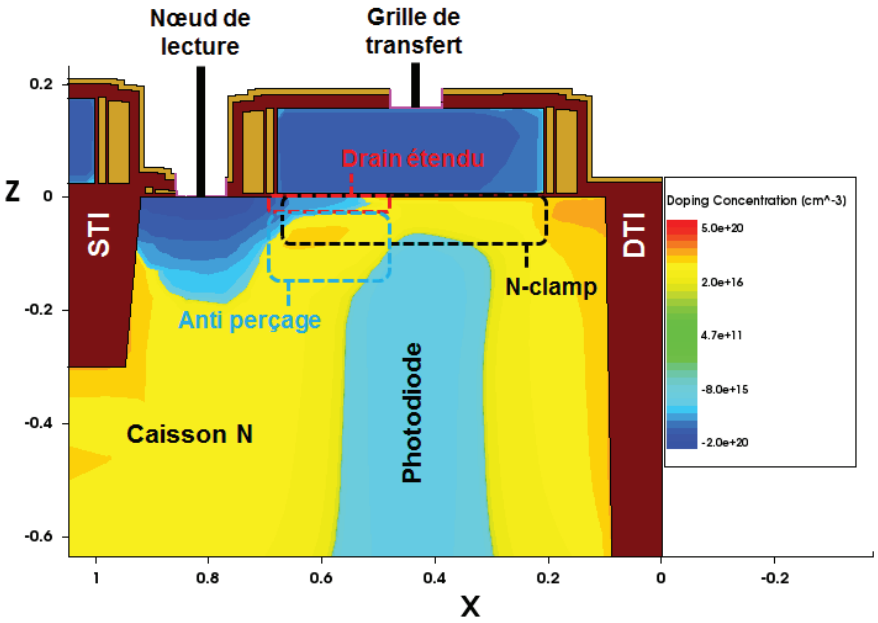


Figure 49 : Détails d'une simulation TCAD 3D montrant la partie supérieure de la photodiode, zone critique pour le transfert des charges de la photodiode vers le nœud de lecture. Trois des implantations les plus importantes pour le transfert sont représentées : celle servant à ajuster la tension de seuil de la grille de transfert et à éloigner la photodiode de l'interface Si/SiO_2 (N-clamp en noir), le drain étendu facilitant le transfert latéral des charges (en rouge) et l'anti perçage empêchant un transfert des charges non contrôlé en profondeur (en bleu).

2.4.1.1. L'isolation nœud de lecture/photodiode

Isoler électriquement le nœud de lecture de la photodiode pendant l'intégration est d'autant plus important dans le mode d'architecture utilisée sur le pixel étudié ici. En effet, en architecture 2T, l'absence de transistor de sélection de ligne nous force à bloquer le transistor suiveur des lignes non sélectionnées en polarisant la grille du transistor suiveur en accumulation d'électrons grâce au drain du transistor de remise à zéro [111]. Le niveau sur le nœud de lecture passe donc au-dessus de la tension de seuil du transistor suiveur (Vgb>-0,5V), soit au-dessus du niveau atteint lors de la lecture d'une photodiode saturée (Vgb = -1,3V). Comme le blocage de ligne est effectué pendant l'intégration, ce qui constitue la majeure partie du temps d'opération du pixel, il est impératif d'empêcher les charges de passer du nœud de lecture vers la photodiode dans cette configuration. Pour plus de clarté, cette architecture est à nouveau présentée en figure 50 et sera davantage détaillée dans la partie 2.5 de ce chapitre concernant l'optimisation des transistors MOS du pixel.

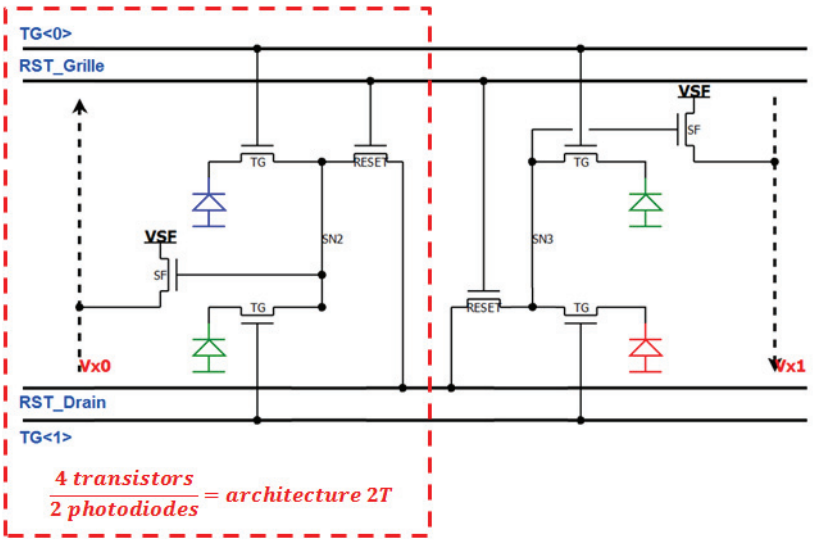


Figure 50 : Schéma électrique d'une architecture 2T où deux photodiodes partagent le même nœud de lecture et le même transistor de remise à zéro. Le drain du transistor de remise à zéro est relié à une ligne spécifique pouvant être polarisée à un état haut ou à un état bas.

La figure 51 compare le courant de fuite du nœud de lecture de deux structures, l'une ayant une barrière de potentiel en profondeur optimisée et l'autre non. Bien que la barrière de la structure non-optimisée b) soit seulement 55mV plus basse que celle de la figure a), un courant dix fois plus important que dans la configuration a) et de l'ordre de l'attoampère circule du nœud de lecture vers la photodiode. Cela correspond au même ordre de grandeur que le courant d'obscurité d'un pixel à 60°C. Une barrière encore plus faible entraînerait des fuites beaucoup plus importantes à la fois du nœud de lecture vers la photodiode et de la photodiode vers le nœud de lecture lorsque celle-ci est saturée et que le nœud de lecture est remis à zéro. Dans cette dernière configuration, la charge maximale que peut contenir la photodiode à saturation serait donc limitée par la hauteur de barrière entre celle-ci et le nœud de lecture.

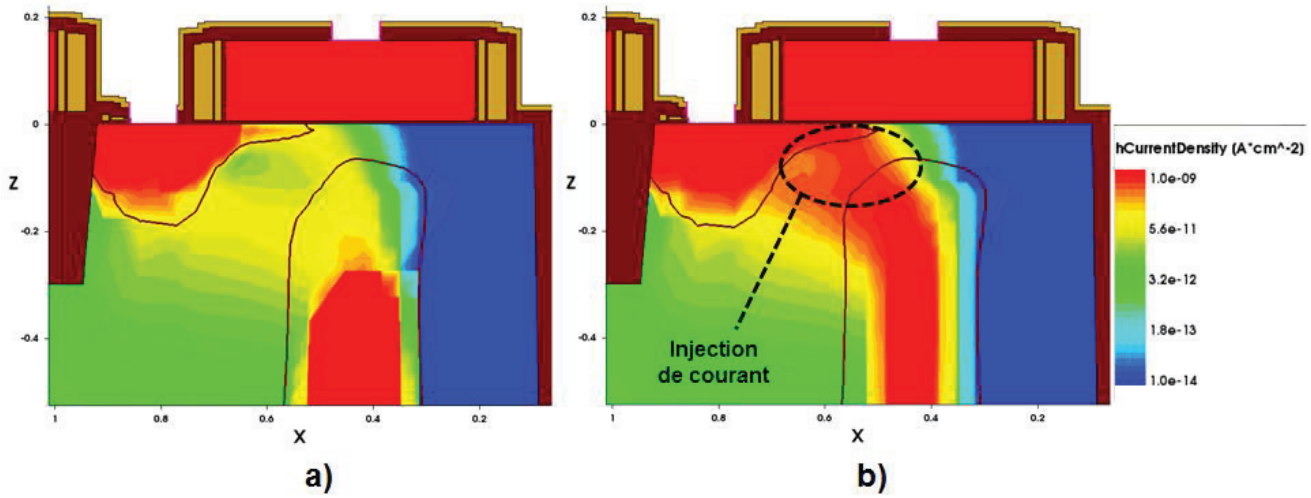


Figure 51 : Densité de courant de trous (A/cm²) entre le nœud de lecture et la photodiode de deux structures lors du blocage du transistor suiveur. La structure en b) possède une barrière de potentiel en profondeur seulement 55mV plus basse que celle en a).

2.4.1.2. Les sources possibles de rémanence

Bien que nécessaire pour isoler le nœud de lecture de la photodiode, la dose de l'implantation anti-perçage ne doit cependant pas être trop élevée. En effet, une augmentation trop importante de la dose de l'implantation risque d'entraîner la formation d'une barrière de potentiel entre la photodiode

et la grille de transfert et empêcher le transfert vertical des charges. La figure 52 présente les conséquences d'une de ces barrières : le phénomène de rémanence. La barrière de potentiel entre la grille et la photodiode empêche une partie des charges de remonter jusqu'à l'interface Si/SiO2 de l'oxyde de grille. Le cas présenté en figure 52 est un cas extrême avec une barrière s'élevant à 500mV. Elle ne peut donc pas être franchie par les charges emmagasinées dans la photodiode à température ambiante. La zone de charge d'espace ne s'étend donc plus sur tout le volume de la photodiode et celle-ci n'est pas entièrement désertée. Ce défaut de fabrication entraine un phénomène de rémanence pouvant se traduire par la dégradation de l'acquisition en cours (par exemple présence d'image dite « fantôme »). En intégrant la densité de trous sur le volume de la photodiode on trouve que plus de 700 charges y sont restées piégées. Les performances du pixel à faible niveau de signal sont impactées fortement et la réponse du pixel n'est plus linéaire. En effet, tout signal photo-généré inférieur au nombre de charges piégées dans le pixel ne pourra pas être lu. Le signal de sortie n'est donc plus proportionnel à la lumière incidente sur le capteur. Pour un niveau de signal plus élevé que la barrière de potentiel, une partie des porteurs photo-générés seront perdus. De plus, si plusieurs images sont acquises à la suite, les charges non évacuées d'une première image peuvent contribuer au signal de l'image suivante.

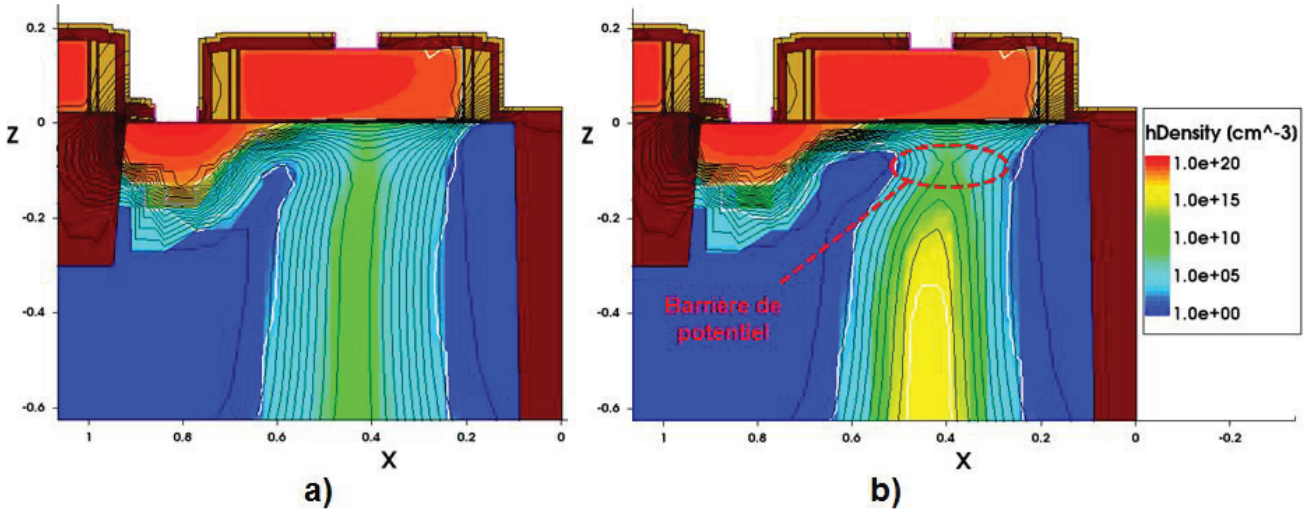


Figure 52 : Densité de trous dans la structure au moment du transfert (lorsque la grille de transfert est polarisée en inversion) pour deux procédés de fabrication différents : l'un optimisé a) et l'autre non b). En noir sont représentées les courbes équipotentielles afin de mieux distinguer la barrière de potentiel présente sur la figure b) entre la grille et la photodiode.

Enfin, une troisième barrière de potentiel peut se former dans le canal passant sous la grille de transfert, dégradant ainsi le transfert latéral des charges. La figure 53 présente l'une de ces configurations. La capacité de la poche de potentiel créée sous la grille de transfert étant très faible, le nombre de charges piégées reste limité (de l'ordre de la dizaine de trous). Cette poche de potentiel est d'autant plus importante que la grille de transfert est étendue. En revanche elle peut être en partie modulée par la tension appliquée sur la grille. Des variations de dessin de pixel ont donc été implémentées pour obtenir la taille de grille optimale permettant un bon transfert des charges tout en limitant les phénomènes de rémanence.

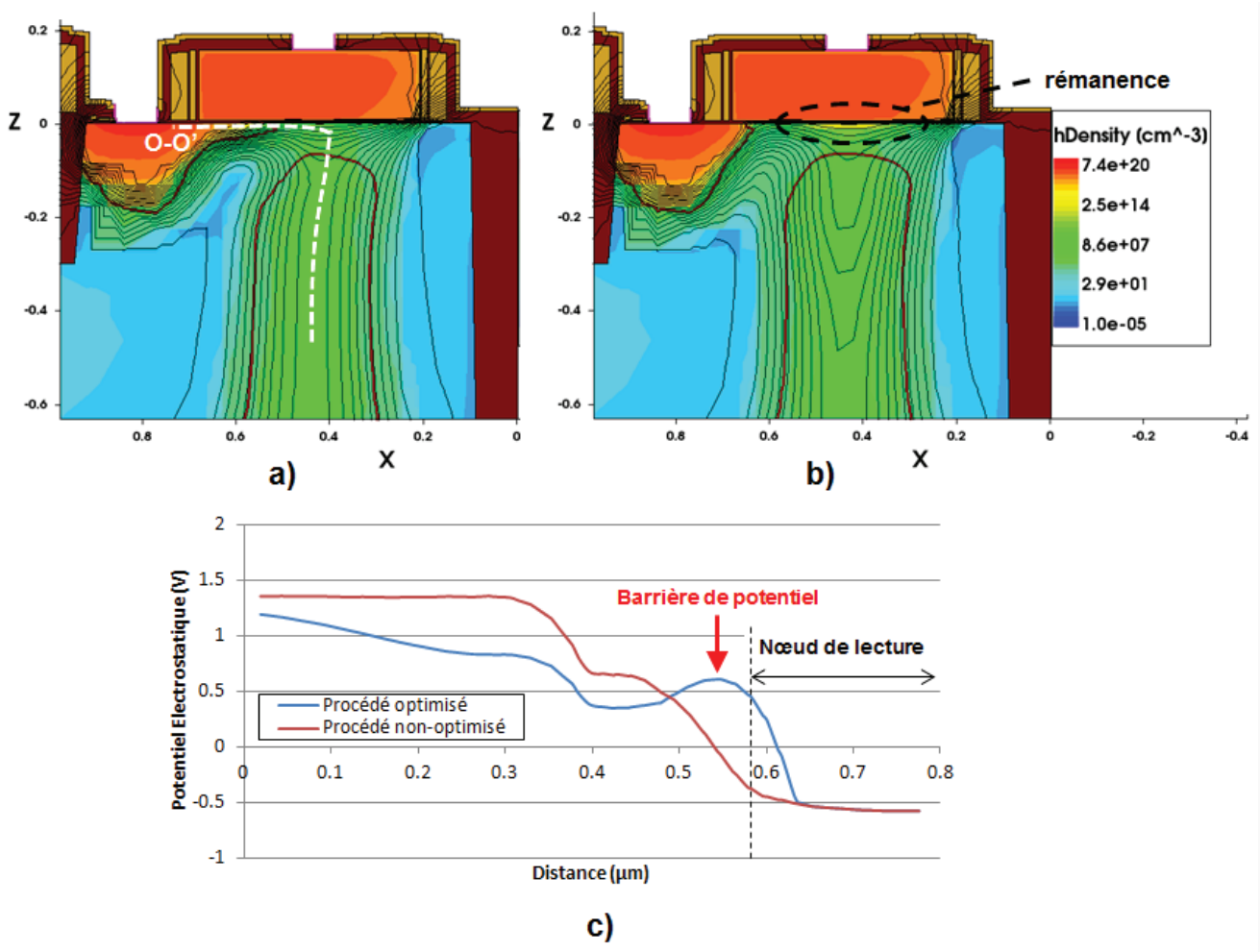


Figure 53 : Coupe 2D de deux simulations présentant la densité de trous dans le dispositif lors du transfert pour une structure fabriquée avec un procédé optimisé (a) et une structure présentant de la rémanence due à une barrière de potentiel latérale entre la grille de transfert et le nœud de lecture (b). Les courbes d'équipotentiels sont tracées en noir pour mieux identifier la barrière. La figure (c) représente le profil du potentiel électrostatique selon la courbe blanche O-O' pour les deux procédés.

Une étude en dose suivant la méthodologie des plans d'expérience a été effectuée pour trouver le meilleur compromis pour obtenir les performances souhaitées et déterminer laquelle de ces implantations avait le plus fort impact sur les quatre réponses suivantes : la hauteur de barrière sous la grille empêchant le transfert latéral des charges, la barrière de potentiel entre la grille et la photodiode empêchant le transfert vertical des charges, la barrière de potentiel isolant en profondeur le nœud de lecture de la photodiode et la tension de seuil de la grille de transfert. Un modèle par réponse a ainsi été créé suivant un plan de type composite centré permettant de prendre en compte d'éventuels effets quadratiques des différentes doses sur la réponse étudiée. Sur le domaine étudié, il s'est avéré que la dose de l'implantation N-Clamp n'avait que très peu d'impact sur la barrière latérale et celle en profondeur. En revanche la barrière verticale et la tension de seuil de la grille de transfert y étaient sensibles. La dose du drain étendu et celle de l'anti perçage avaient quant à elles une influence sur les trois barrières citées précédemment. Les quatre modèles créés pour chaque réponse ont ensuite servi à déterminer un point de procédé réunissant au mieux les conditions suivantes : une hauteur de barrière verticale et latérale la plus faible possible, une hauteur de barrière en profondeur la plus haute possible et une tension de seuil de la grille de transfert centrée autour de Vgb = 0V. Une zone présentant un taux de désirabilité supérieur à 0.9 a été identifiée et testée avec deux procédés (voir figure 54). Pour rappel, pour un procédé de fabrication donné, plus son taux de désirabilité est proche de 1 et plus il satisfera les contraintes imposées lors de l'optimisation. Un taux de désirabilité inférieur à 1 indique donc que toutes les contraintes ne peuvent pas être satisfaites entièrement, le meilleur compromis se situe au maximum de désirabilité. Dans

notre cas l'un de ces procédés correspond aux figures a) présentées précédemment dans cette partie. Dans ce cas précis, avec un taux de désirabilité de 0.9, un compromis a dû être trouvé au détriment de la tension de seuil de la grille de transfert. Une tension légèrement supérieure à la valeur désirée est alors nécessaire pour bloquer le transfert. Fort heureusement, cette contrainte entre dans la flexibilité de mise en œuvre du circuit de lecture utilisé.

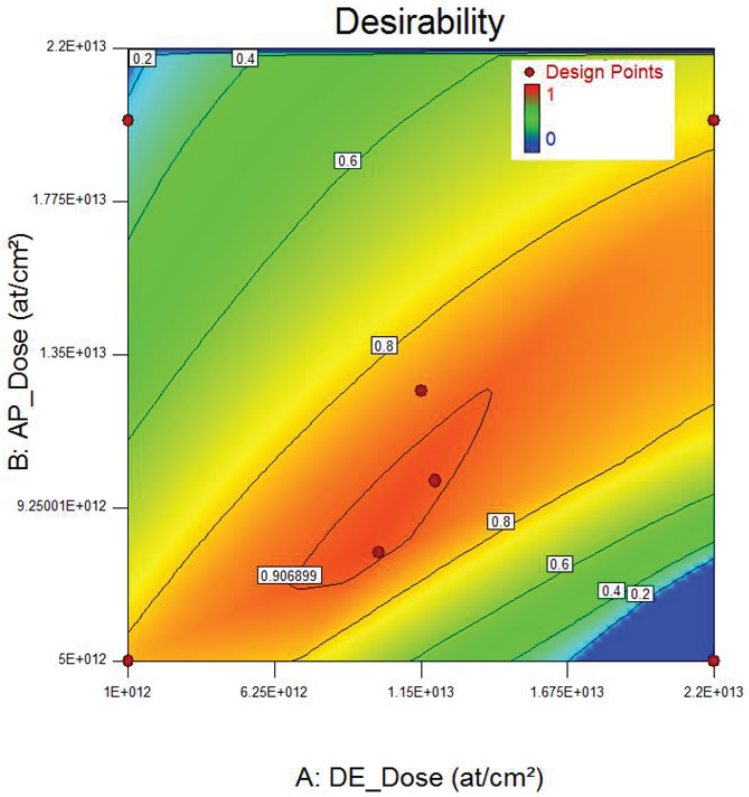


Figure 54 : Optimisation du procédé de fabrication par la méthodologie des plans d'expériences. Les critères d'optimisation visaient à minimiser les barrières verticale et latérale dégradant le transfert et maximiser la barrière en profondeur pour une dose d'implantation N-Clamp donnée. Le point de désirabilité maximale se situe dans la partie rouge-orangée sur le graphique. Les points rouges correspondent aux différents procédés testés pour créer le modèle et le confirmer.

Le nœud de lecture quant à lui, est auto-aligné sur la grille, c'est-à-dire qu'il est seulement implanté une fois celle-ci formée. Cela permet de doper le polysilicium et le nœud de lecture en une seule et même étape. De plus, le masque servant à doper le nœud de lecture est aussi utilisé pour former les sources et drains des transistors de la chaîne de lecture. Comme ces transistors nécessitent des implantations de drain faiblement dopées sous les espaceurs (*Lightly Doped Drain* en anglais ou LDD) pour y minimiser le champ électrique et diminuer la création de porteurs chaud, le nœud de lecture bénéficie lui aussi de cette particularité. Ces implantations étant communes à la fois à la matrice de pixels et à la partie digitale du capteur, aucunes modifications de dose ou d'énergie ne pouvaient être effectuées sous peine d'impacter la fonctionnalité des transistors présents en dehors de la matrice.

2.5. L'optimisation des transistors MOS pour une architecture 2T

L'architecture partagée à deux transistors (2T) permet d'éliminer le transistor de sélection de ligne généralement utilisé dans les architectures standard de type 4T. Cette fonction est effectuée en bloquant le transistor suiveur en appliquant une tension haute sur le nœud de lecture. Cette architecture implique que le drain du transistor de remise à zéro puisse être polarisé à la fois à un état bas pour la remise à zéro du nœud de lecture et à un état haut pour le blocage du transistor suiveur. Le timing de mise en œuvre du pixel est présenté en figure 55. Le caisson de type N est polarisé à 2,5V et le pulse de la grille de transfert (TG) ne dure que 500ns. Les pixels <0> et <1>

partagent le même transistor suiveur et transistor de remise à zéro et par conséquent appartiennent à la même colonne ; ils sont lu l'un après l'autre. Les deux premiers pulses de la grille de transfert (TG) sont respectivement utilisés pour remettre la photodiode à zéro et pour démarrer l'intégration. Lors de l'intégration le transistor de remise à zéro est passant et le nœud de lecture est maintenu à un état haut pour bloquer le transistor suiveur. A la lecture, un premier échantillonnage est effectué pour mesurer le niveau de remise à zéro du nœud de lecture, le deuxième échantillonnage de la colonne est fait une fois le transfert des charges terminé et les deux échantillonnages sont soustraits pour supprimer le bruit de remise à zéro (kTC) et extraire le signal.

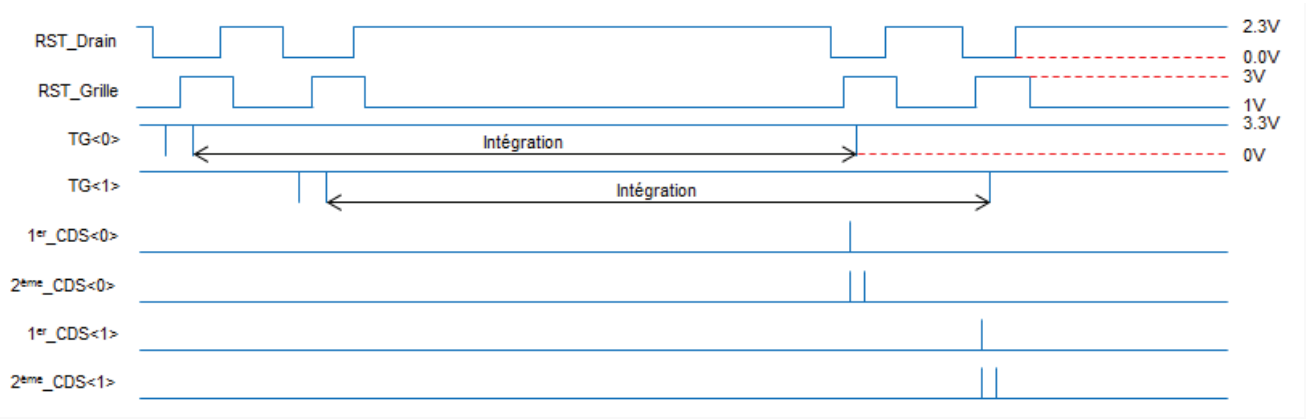


Figure 55: Timing et tensions de mise en œuvre de l'architecture partagée à 2-transitors sur un pixel de type P.

Il faut cependant prendre en compte le fait que la grille du transistor suiveur, étant connectée au nœud de lecture, ne peut pas avoir un niveau supérieur à la tension de polarisation du caisson N sans quoi la jonction PN du nœud de lecture passerait en direct, ce qui injecterait des charges dans la photodiode. Le transistor suiveur doit tout de même être en saturation lors de la lecture des charges afin de maximiser son gain. En considérant une variation maximale de signal de 1V sur la colonne, un gain de 0.84 et une tension de remise à zéro V_{gb} = -2,5V, le transistor suiveur doit être en saturation pour -2,5V<V_{gb}<-1,3V et doit être bloqué pour -0,2V<V_{gb}<0V. La tension de seuil du transistor doit donc être ajustée en conséquence et ne peut excéder 0V. Le transistor ne peut donc pas être un transistor MOS à appauvrissement (ou à canal enterré). Les transistors à canal enterré étant reconnus pour leur faible bruit de piégeage c'est l'un des principaux défauts de l'architecture à deux transistors.

Parce que l'espace disponible dans un pixel de 2µm² (1,4µm*1,4µm) est limité, le caisson de type N servant à pincer la partie supérieure de la photodiode est aussi utilisé pour isoler les transistors PMOS de la chaîne de lecture. Le niveau de dopage de ce caisson étant ajusté en fonction du potentiel de diode désiré dans la photodiode il peut ne pas être adapté aux contraintes imposées par l'architecture 2T sur le transistor suiveur et celui de remise à zéro. Par conséquent, il a fallu intégrer deux masques spécifiques permettant d'ajuster la tension de seuil de ces transistors par implantation ionique. Deux implantations Bore à faible énergie (25keV) ont été utilisées pour contre-doper le canal des transistors. La figure 56 montre le dessin des pixels intégrant les transistors suiveur et de remise à zéro ainsi que les deux masques d'implantations servant à ajuster leur tension de seuil. L'ouverture dans la tranchée d'isolation surfacique relie directement le nœud de lecture du pixel <1> aux drains du transistor de remise à zéro à triple accès. L'utilisation d'un transistor de remise à zéro à triple accès permet de minimiser la capacité du nœud de lecture et ainsi maximiser le facteur de conversion. En effet, dans cette configuration, le nœud de lecture fait directement office de source sans passer par des interconnexions métalliques et une jonction P+N séparée pouvant augmenter la capacité du nœud de lecture comme c'est le cas dans une configuration standard. Un facteur de conversion approchant 150µV/e- a déjà été démontré avec ce type d'architecture sur un capteur de type N [112]. Cette valeur plutôt élevée pour une architecture partagée permet d'obtenir une bonne sensibilité et de limiter l'influence du bruit de lecture.

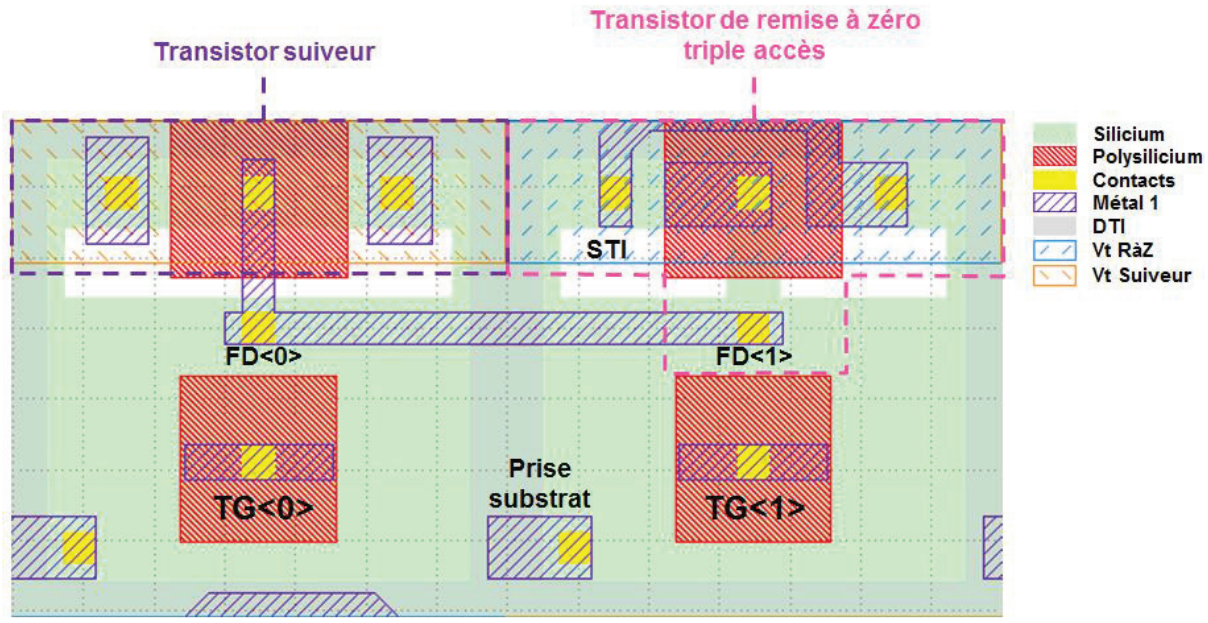


Figure 56 : Dessin de deux pixels montrant l'architecture partagée. Les deux nœuds de lecture FD<0> et FD<1> sont connectés par une interconnexion métallique à la grille du transistor suiveur. Le Nœud de lecture FD<1> est relié au transistor de remise à zéro à triple accès par une ouverture dans les tranchées d'isolation surfacique. Les masques « Vt Suiveur » (orange) et « Vt RàZ » (bleu) ont été spécifiquement intégrés pour permet d'ajuster les tensions de seuil de chaque transistors.

Enfin, plusieurs essais de dessin ont été étudiés pour évaluer l'impact de la taille de la grille du transistor suiveur sur son gain et son bruit temporel. Les résultats de ces essais sont présentés dans le chapitre 3. Il est important de noter que les grilles des deux transistors sont formées à cheval sur des tranchées d'isolation surfacique et des tranchées d'isolation profondes. Ces dernières subissent des implantations de passivation qui peuvent impacter la tension de seuil des transistors. De plus, dans la configuration à tranchées d'isolations profondes capacitives, on observe la formation d'une capacité parasite entre la grille du transistor suiveur et le polysilicium de la tranchée d'isolation. Cette capacité supplémentaire a pour conséquence de diminuer d'environ 15% le facteur de conversion des pixels à isolation CDTI.

2.6. L'illumination par la face arrière (BSI)

La plupart des capteurs composés de pixels de grandes tailles (>3µm de côté) sont éclairés par la face avant. De par leur grande taille, ils sont moins encombrés par les interconnexions métalliques et les transistors de la chaîne de lecture et n'ont pas de problème à collecter la lumière même à fort angle d'incidence. Ils ont donc un facteur de remplissage assez élevé aux alentours des 80 à 90%. Dans le cas des capteurs intégrant des pixels de taille inférieure ou égale à 2µm de côté, l'illumination en face arrière devient indispensable pour obtenir une surface photosensible la moins encombrée et la plus étendue possible [60]. Cette brique technologique permet d'obtenir des facteurs de remplissage allant jusqu'à 100%. Elle apporte aussi une réduction de l'épaisseur de l'empilement des couches optiques (microlentille, filtres colorés et couche antireflets) ainsi qu'une plus grande flexibilité dans le dessin des interconnexions métalliques.

2.6.1. L'amincissement de la plaque « produit »

Lors du processus de fabrication de la technologie BSI, la plaque de silicium sur laquelle le capteur d'images est intégré doit être amincie jusqu'à une épaisseur de quelques micromètres. Pour des raisons de tenue mécanique, cette plaque est au préalablement collée à une autre appelée

« poignée ». Pour cela les deux plaques à coller doivent subir le processus de préparation au collage moléculaire décrit ci-après [113]. Une fois les interconnexions métalliques formées sur la plaque contenant le capteur (ou plaque « produit ») cette dernière subi un traitement permettant d'en améliorer sa planéité. Dans le même temps la plaque « poignée » est oxydée thermiquement sur une épaisseur d'environ 1µm et des marques d'alignement y sont inscrites par photolithographie et gravure. Les deux plaques sont alors alignées optiquement puis mises en contact. Elles passent ensuite par une étape de recuit à basse température afin de renforcer le collage en formant des liaisons siloxanes stables ayant une énergie de liaisons quatre fois supérieure à celles obtenues avant recuit [114].

Une fois le collage terminé, un pré-amincissement de la plaque « produit » est d'abord effectué pour enlever la majeure partie du silicium par abrasion et ne laisser typiquement que 35µm du wafer original. Ce procédé utilisant une meule à dents de diamant et un liant est purement mécanique contrairement au polissage mécano-chimique. Il permet d'éliminer des épaisseurs importantes de silicium rapidement tout en limitant les contraintes générées dans le silicium. Un amincissement chimique est ensuite utilisé pour descendre à l'épaisseur souhaitée et obtenir une bonne planéité du wafer (±10nm dans le cas de l'intégration DTI). Afin de faciliter cette étape du processus de fabrication les pixels ont été formés sur un wafer de type silicium-sur-isolant (*Silicon-On-Insulator* en anglais, ou SOI) présentant trois couches enterrées sous les 3µm de silicium épitaxié : une fine couche d'oxyde de 8nm d'épaisseur, une couche de nitrure de 55nm (qui servent toutes deux de couche d'arrêt pour la gravure des tranchées profondes) puis une couche plus épaisse d'oxyde de silicium de 85nm servant de couche d'arrêt à l'amincissement. L'empilement est aussi utilisé comme couche antireflets pour le capteur d'images, les différentes épaisseurs des matériaux ont donc été optimisées à cette fin.

L'amincissement est une étape critique dans le cas de l'intégration de tranchées capacitives. En effet, dans la partie 2.2.2. décrivant la fabrication des tranchées DTI et CDTI, nous avons vu que la profondeur de gravure dépendait de la distance critique du motif définissant les tranchées et que l'intersection de deux tranchées était plus enclin à une sur-gravure. La figure 57 présente deux coupes observées au microscope électronique à transmission : l'une étant perpendiculaire à la tranchée CDTI alors que l'autre est prise dans la diagonale d'une intersection de deux tranchées CDTI [115]. Une sur-gravure est clairement visible à l'intersection des CDTI où la couche de nitrure a entièrement été traversée et l'oxyde gravé sur près de 20nm. L'oxyde du CDTI est alors en contact direct avec la couche d'arrêt de l'amincissement de la face arrière. Un sur-amincissement risque donc d'ouvrir cet oxyde de silicium, de graver une partie du polysilicium et de dépassiver le fond de la tranchée. Afin de limiter ce genre de problèmes et pour protéger le polysilicium des tranchées il est donc nécessaire d'avoir une excellente sélectivité de la gravure du silicium par rapport à l'oxyde de silicium lors de l'amincissement chimique. L'utilisation d'une chimie de gravure TMAH (25%) (Hydroxyde de tetramethylammonium) ayant une sélectivité Si/SiO_2 de 1/1000 avec une vitesse de gravure du silicium d'environ 1µm/min permet d'obtenir une rugosité de seulement ±5 Å, d'arrêter la gravure à l'interface Si/SiO_2 et donc de préserver l'intégrité de l'oxyde isolant le polysilicium du silicium actif [116]. N'étant pas disponible dans la chaîne de production de STMicroelectronics, cette étape a été effectuée en au sein du CEA-LETI.

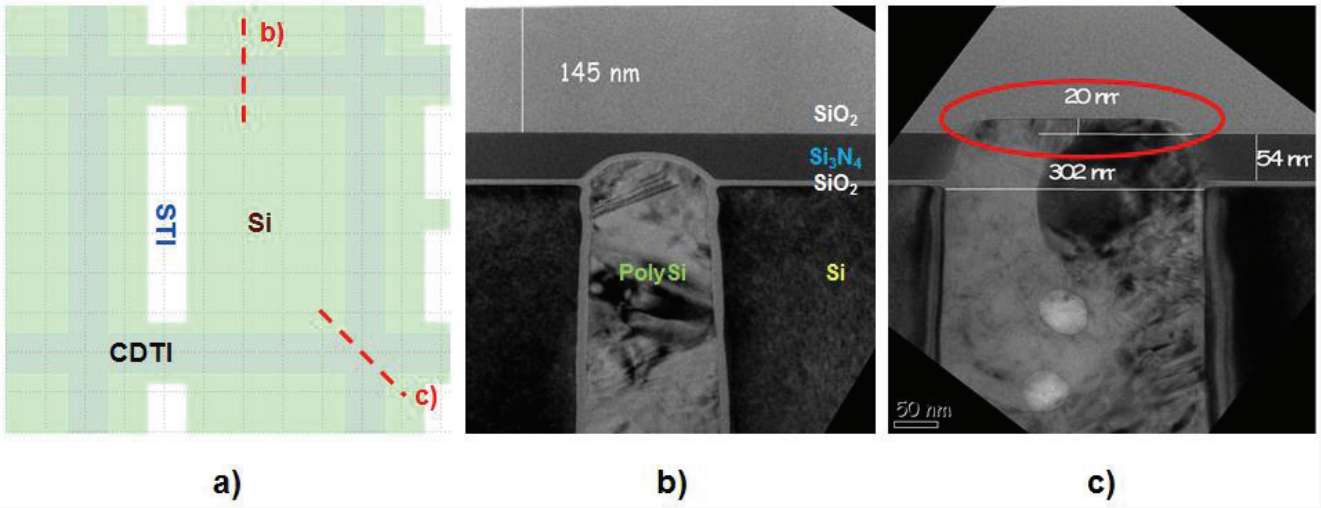


Figure 57: La figure a) présente une partie de l'agencement d'un pixel avec en gris le design des tranchées d'isolation profondes, en blanc les tranchées d'isolation surfaciques et en vert clair le silicium actif. Les traits en pointillés rouges désignent l'endroit des coupes observées au microscope électronique à transmission en figures b) et c) respectivement. La sur-gravure de la couche ONO aux intersections des CDTI est mise en évidence par le cercle rouge.

2.6.2. La colorisation du capteur

Une fois le silicium retiré, la face arrière est préparée pour y déposer les filtres colorés. Les résines organiques composants les filtres colorés et microlentilles étant sensibles à la température, cette étape est précédée par un recuit final sous atmosphère saturée en hydrogène ou en deutérium afin de passiver les liaisons pendantes aux interfaces Si/SiO_2 présentes dans le pixel [117].

La résine des filtres vert est ensuite déposée puis développée selon le motif de bayer (voir chapitre 1). Viennent ensuite deux étapes de lithographie permettant la formation des filtres bleu et rouge. Une couche organique est ensuite déposée pour aplanir la surface avant la formation des microlentilles. Ces dernières sont alors formées par lithographie suivie d'une étape de recuit pour fondre la résine et lui donner une forme bombée [118].

Dans l'idéal il ne devrait pas y avoir d'espace entre les microlentilles pour maximiser leur efficacité. En pratique, pour limiter le nombre de masques utilisés et le nombre d'étapes de fabrication, toutes les microlentilles sont formées en une même étape. Lors du recuit, si les plots de résine sont trop proches les uns des autres, les microlentilles peuvent fusionner, dégradant ainsi leur rayon de courbure et leur capacité à concentrer la lumière. Il faut alors trouver un compromis entre un espacement des microlentilles trop larges limitant leur utilité en illumination directe et un espacement trop faible entrainant leur fusion. Le procédé utilisé dans cette thèse n'a malheureusement pas été optimisé et génère un espacement d'environ 200nm entre chaque microlentille. Le fond des tranchées d'isolation profondes n'est donc pas recouvert par la lentille et la lumière arrivant au-dessus des tranchées est perdue dans l'oxyde de silicium. Cette perte de lumière incidente impacte de façon négative l'efficacité quantique du capteur.

Pour finir, afin de protéger et d'encapsuler le capteur, un dépôt d'oxyde nitruré d'une centaine de nanomètres d'épaisseur est effectué. La figure 58 présente une vue du haut et en biais des microlentilles prise au microscope électronique à balayage ainsi qu'une coupe de l'empilement des couches nécessaires à la colorisation du capteur d'images [119].

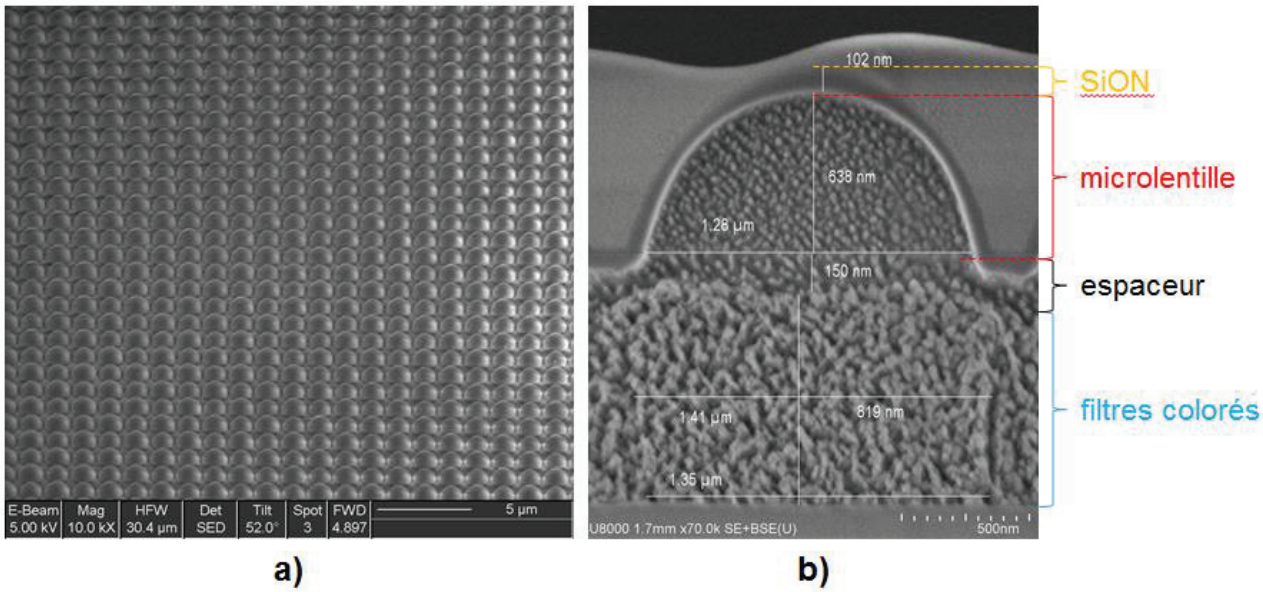


Figure 58: Vue de haut et en biais des microlentilles prise au microscope électronique à balayage a) ainsi qu'une vue en coupe de l'empilement des couches nécessaire à la colorisation du capteur d'images b).

2.6.3. L'ouverture des plots

La dernière étape de la fabrication d'un capteur d'images illuminé par la face arrière sert à dégager l'accès aux plots d'aluminium reliés au dernier niveau d'interconnexion métallique. Ces derniers sont en effet enterrés sous la partie active du silicium. Pour se faire, une gravure sèche (gravure plasma) qui s'arrête sur l'aluminium doit percer les 3µm de silicium de l'épitaxie juste au-dessus des plots. Une fois la gravure terminée et les plots mis à nu, le capteur peut être testé sous pointes directement au niveau de la plaque de silicium ou cette dernière peut être découpée et assemblée. Des fils sont alors directement soudés aux plots et permettent de relier électriquement les pattes du boitier au capteur d'images. Les résultats des caractérisations électro-optiques des capteurs sont présentés dans les chapitres suivants.

3. Conclusion

Pour conclure, dans ce chapitre nous avons décrit les différents points clés du processus de fabrication sur lesquels il a été nécessaire d'apporter des développements technologiques plus ou moins importants afin d'adapter le pixel de type N déjà existant en production chez STMicroelectronics en pixel de type P. Le pixel étant une structure complexe et intégrant plusieurs dispositifs électroniques il était indispensable d'accompagner la fabrication des capteurs par des simulations TCAD en trois dimensions. Ces dernières nous ont permis de mieux comprendre le fonctionnement du pixel et d'en accélérer le développement en identifiant à l'avance les contraintes imposées par la physique sur les performances du capteur. De par l'asymétrie de la structure et l'importance des interactions électrostatiques en trois dimensions, certaines de ces contraintes telles que le potentiel de diode dans les différentes parties de la photodiode n'auraient pas pu être simulées correctement en deux dimensions.

Pour accompagner la fabrication des capteurs et calibrer les simulations il a aussi fallu dessiner, fabriquer et caractériser électriquement des structures de test. Ces dernières ont été dessinées de manière à décomposer et simplifier les différentes structures du pixel comme l'aurait été un problème long et complexe en sous-problèmes plus courts et plus abordables. Enfin, grâce à différentes méthodes de caractérisation physiques telles que la microscopie électronique à transmission, la spectroscopie de masse à ionisation secondaire et les différentes étapes de

métrologie directement intégrées dans le processus de fabrication, il a été possible de contrôler efficacement chaque étape de la transformation du silicium brut en capteurs d'images fonctionnels.

L'un des objectifs de cette thèse consistait à développer un capteur d'images de type P à l'état de l'art de la technologie existante. En intégrant dans un pixel de 1,4µm de côté une photodiode à collection de trous pincée verticalement et permettant un stockage de charge volumique, une chaîne de lecture à architecture partagée comprenant deux transistors PMOS, deux types possibles de tranchées d'isolation profondes (remplies d'oxyde et polarisable) et l'illumination du capteur par la face arrière, cet objectif a été atteint avec succès. La figure 59 résume correctement le travail effectué dans ce chapitre en présentant à la fois le profil de dopage dans le pixel provenant d'une coupe de simulation TCAD en 3D et une coupe observée au microscope électronique à transmission effectuée sur un capteur CDTI en fin de processus de fabrication et mettant en avant tous les développements technologiques intégrés dans ce dispositif [115]. Les chapitres suivants se concentreront sur l'évaluation et l'analyse des performances des capteurs et leur comparaison face à une technologie déjà mature développée par STMicroelectronics : le pixel 1,4µm de type N à photodiode verticale et illumination par la face arrière.

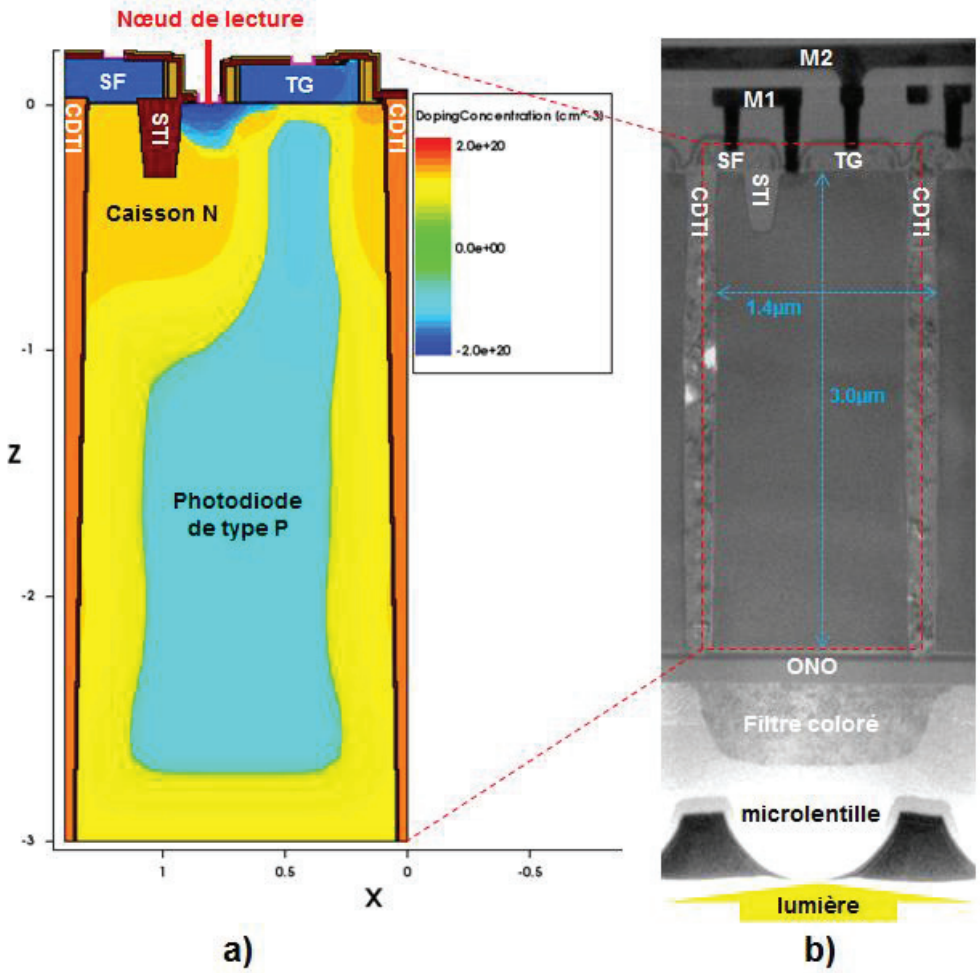


Figure 59 : La figure a) présente le profil de dopage d'une coupe en deux dimensions extraite d'une simulation 3D d'un pixel de type P à tranchées d'isolation profondes capacitives. Une coupe d'environ 200nm d'épaisseur effectuée dans le même plan que la simulation TCAD et sur un capteur à tranchées d'isolation profondes capacitives en fin de processus de fabrication est observée au microscope électronique à transmission en figure b). Sur les deux figures, les structures clés du pixel sont mises en évidence telles que la photodiode verticale de type P, le transistor suiveur (SF) PMOS, les tranchées CDTI, le filtre antireflet (ONO) et l'illumination par la face arrière.

Chapitre 3 : Etude du courant d’obscurité du capteur à collection de trous

1. Introduction

Tout signal collecté par un capteur d'images présente du bruit. Le bruit est une fluctuation aléatoire du signal mesuré par rapport au signal réellement émis. En termes simple, il se traduit par une variation aléatoire de l'intensité de chaque point représentant une image. Cette information parasite s'ajoute au signal original et dégrade le rapport signal sur bruit (*Signal to Noise Ratio* ou *SNR* en anglais). Lorsque le niveau de bruit est équivalent au niveau du signal (SNR proche de 1) comme c'est le cas à faible niveau de signal, le signal est perdu et l'image n'a plus de détails reconnaissables. Cette variation peut directement provenir de l'environnement dans lequel la photo a été prise (conditions d'illumination, température, dégradations du capteur), de la méthode de lecture du signal (architecture du capteur d'images) ou de légères variations dans le processus de fabrication du capteur (désalignement de composants clés, contaminations). Il existe principalement deux types de bruit : les bruits temporels et les bruits spatiaux. Les bruits spatiaux et bruits fixes sont des irrégularités dans la réponse individuelle de chaque pixel d'un capteur sous éclairement ou dans le noir. Ces bruits ne varient pas entre deux images prises dans les mêmes conditions et peuvent donc être facilement éliminés. En revanche, les bruits temporels fluctuent dans le temps et ne seront donc jamais identiques d'une image à l'autre.

Ce chapitre est focalisé sur l'une des sources de bruit dominante dans les capteurs d'image CMOS : le courant d'obscurité. Ce bruit a la particularité de présenter à la fois une composante temporelle (de type bruit de grenaille) et une composante spatiale fixe (due à une non uniformité du courant d'obscurité entre pixels).

Le courant d'obscurité d'un pixel est essentiellement produit dans et autour de la photodiode, bien que d'autres composants du pixel puissent apporter des contributions significatives sous certaines conditions (comme la grille de transfert lorsqu'elle est à l'état passant, ou le transistor suiveur pour des tensions de polarisations non adaptées pouvant entrainer des phénomènes de "porteurs chauds" et d'ionisation par impacts). Néanmoins, les faibles tensions de mise en œuvre généralement utilisées dans les capteurs d'image limitent fortement la génération de courant d'obscurité par injection de porteurs chauds. Les contributions des transistors du pixel au courant d'obscurité du pixel ne seront donc pas traitées dans ce chapitre.

Dans un premier temps, nous présenterons brièvement les principaux mécanismes générateurs du courant d'obscurité, ainsi que le modèle de génération thermique développé par W. Shockley, W.T. Read et R.N. Hall au milieu du XXème siècle [69] [70]. On présentera ensuite les différentes zones présentes dans un pixel à l'origine de ce courant parasite.

La deuxième partie de ce chapitre portera sur l'étude expérimentale du courant d'obscurité des capteurs de type P développés au cours de cette thèse. Les méthodes de mesure et d'analyse que nous avons utilisées seront décrites. On y comparera les deux types de passivation de l'interface Si/SiO_2 des tranchées d'isolations profondes : la passivation dite « passive » par implantation ionique et celle dite « active » par polarisation de la tranchée d'isolation profonde capacitive. Les performances de ces deux variantes de capteur seront alors comparées à un dispositif de référence développé par STMicroelectronics : le capteur de type N à photodiode verticale éclairée par la face arrière.

La dernière partie du chapitre est consacrée à l'effet des radiations (sous faisceau de photons de haute énergie) sur le capteur. Cette étude a pour objectif d'évaluer la tenue sous irradiation du capteur pour son application potentielle dans les domaines de la radiothérapie, de la sécurité nucléaire et de l'aérospatiale. Nous avons étudié les deux variantes du capteur de type P ainsi que le capteur de référence de type N, utilisant les équipements du service de radiothérapie du centre hospitalier Lyon Sud pour l'irradiation des échantillons. Les dégradations du courant d'obscurité des échantillons dues à l'irradiation sont mesurées, comparées et analysées.

2. Principaux mécanismes physiques générateurs du courant d'obscurité

2.1. Le courant d'obscurité et son bruit de grenaille

Le courant d'obscurité dans une photodiode pincée provient principalement du courant de diffusion présent dans les zones neutres et de la génération thermique de porteurs minoritaires au niveau de la photodiode et des interfaces Si/SiO_2 potentiellement désertées. Comme les charges générées ne proviennent pas de photons absorbés elles n'apportent pas d'information sur le signal et sont donc considérées comme du bruit. Comme son nom l'indique, cette génération s'effectue aussi bien en l'absence de lumière que pendant l'illumination du capteur. Ce phénomène dépend fortement de la température du capteur et la quantité de charges collectées varie linéairement avec le temps d'intégration de la prise d'image. Les fabricants de capteurs d'images ont donc depuis longtemps intégré en bord de matrice des pixels dits « noirs » qui sont protégés de la lumière et ne collectent donc pas de charges photo-générées. Ces pixels noirs servent à évaluer le courant d'obscurité moyen généré dans la matrice de pixel pour le soustraire à chaque pixel. Après cette soustraction, le courant d'obscurité ne sera donc visible que par sa dispersion aussi appelée non-uniformité du signal dans le noir (*Dark Signal Non-Uniformity* ou *DSNU* en anglais). Les pixels ne se comportant pas comme la valeur moyenne mesurée sur les pixels noirs seront donc d'autant plus visibles sur l'image. Pour étudier le courant d'obscurité il est donc important d'analyser sa distribution sur les centaines de milliers de pixels composants la matrice car c'est sa dispersion qui entrainera une dégradation de l'image.

La variation du courant d'obscurité possède à la fois une composante fixe (ou spatiale) et une composante temporelle. La composante temporelle provient du fait que tout comme la lumière, les électrons (ou trous) générés sont de nature quantique. Le courant étant composé de charges discrètes il en résulte un bruit du même type que le bruit de grenaille photonique appelé bruit de grenaille de courant d'obscurité (*Dark Current Shot Noise* en anglais). En terme statistique, ce bruit suit une distribution de Poisson [120]. Le nombre de porteurs *N* générés par un défaut sur un intervalle de temps *t* donné est donc décrit par la probabilité de distribution suivante :

$$\Pr(N = k) = \frac{e^{-\lambda t}(\lambda t)^k}{k!} \qquad (5)$$

Où λ correspond au nombre moyen de porteurs généré par ce défaut sur l'intervalle de temps *t*. Son amplitude (l'écart-type du signal) est donc proportionnelle à la racine carrée du courant d'obscurité moyen et il devient donc intéressant d'essayer de réduire ce dernier pour limiter le bruit de grenaille. Enfin, si un grand nombre de porteurs sont émis (par un ou plusieurs défauts possédant le même taux de génération moyen) pendant l'intervalle de temps t la distribution de poisson peut être approximée par une loi normale (ou gaussienne).

La composante spatiale du courant d'obscurité provient d'une dispersion sur la quantité de charges générées dû à des imperfections lors des procédés de fabrication utilisés pour passiver les interfaces. La présence de contaminants métalliques ou de défauts cristallins dans la partie active du silicium de certains pixels et plus particulièrement dans la zone de charge d'espace de la photodiode peut aussi entrainer la génération d'un courant d'obscurité bien plus élevé que la moyenne des pixels. Enfin, la présence de défauts cristallins dans le pixel, générés lors de la fabrication ou lors de l'utilisation du capteur, peut également générer du bruit spatial. Ces pixels appelés « pixels blancs » dégradent généralement la linéarité de la réponse du capteur.

2.2. Mécanisme de génération thermique

Dans un semi-conducteur monocristallin réel, il existe des niveaux énergétiques autorisés dans la bande interdite. En volume, un tel niveau discret peut être dû à un défaut ou une impureté présente dans le cristal. Contrairement aux niveaux des dopants qui sont proches de la bande de conduction pour le type N et proche de la bande de valence pour le type P, les niveaux de défauts (ou de contaminants) d'énergie E_t peuvent se situer profondément dans la bande interdite, c'est-à-dire aux alentours du milieu de la bande interdite. Ces défauts sont alors dit « profonds ». De par leur position, ils ont une probabilité plus élevée d'interagir avec des porteurs provenant de la bande de conduction ou de celle de valence. Ce mécanisme d'interaction conduit à la génération ou à la recombinaison de porteurs libres. Il peut également avoir lieu au niveau d'interfaces Si/SiO_2 désertées où sont présents un certain nombre de défauts cristallins tels que les centre Pb décrits dans le chapitre 1. La répartition énergétique de ces défauts d'interface $D_{it}(E)$ est quasi continue entre la bande de conduction et celle de valence. Comme la densité d'états d'interface est typiquement nettement plus importante que celle des défauts répartis dans le volume, l'effet de génération/recombinaison est d'autant plus dominant si l'interface n'est pas correctement passivée.

2.2.1. Le modèle SRH

Ce mécanisme de génération/recombinaison de porteurs est décrit par le modèle SRH développé en 1952 par W. Shockley, W.T. Read et R.N. Hall [69] [70]. Il décrit mathématiquement la génération et la recombinaison de porteurs au travers d'un niveau énergétique (état électronique) situé à E_t dans la bande interdite E_g du semi-conducteur (voir figure 60). La génération s'effectue en deux temps à l'aide d'énergie thermique apportée par des phonons. Dans un premier temps, un électron peut transiter de la bande de valence jusqu'au niveau d'énergie autorisé dans la bande interdite. Un second apport d'énergie thermique peut alors lui permettre d'atteindre sa bande de conduction. Le résultat est la création d'une paire électron-trou. Le mécanisme de recombinaison s'effectue en sens inverse en libérant de l'énergie, avec la disparition de porteurs par pair.

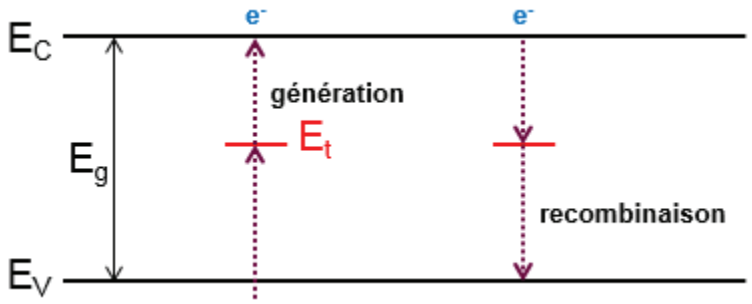


Figure 60 : Mécanismes de génération et de recombinaison assistés par pièges décrits par la théorie SRH.

Selon le modèle SRH, le taux de recombinaison $R_{th}(T)$ de paires électron-trou par l'intermédiaire du niveau énergétique s'exprime de la façon suivante :

$$R_{th}(T) = \sigma_n \sigma_p v_{th} N_{it} \left[\frac{np - {n_i}^2}{\sigma_n \left(n + n_i \exp\left(\frac{E_t - E_i}{k_B T}\right)\right) + \sigma_p \left(p + n_i exp\left(\frac{E_i - E_t}{k_B T}\right)\right)} \right] \quad (6)$$

Où σ_n et σ_p représentent respectivement les sections efficaces de capture des électrons et des trous, v_{th} la vitesse thermique des porteurs, N_{it} la densité de défauts ou pièges, E_t le niveau d'énergie

généré par le défaut dans la bande interdite du silicium, E_i le niveau intrinsèque du silicium (soit le milieu de la bande interdite) et n et p la densité d'électrons et de trous dans la bande de conduction et dans celle de valence à proximité du défaut.

Dans la littérature, les sections de capture des électrons et des trous sont généralement comprises entre de 10^{-13}cm² et 10^{-18}cm² en fonction du type de défaut. Par exemple, le tungstène présente une section de capture de $5{,}0\text{x}10^{-16}$cm^2 alors que l'un des niveaux du cobalt possède une section de capture de $5{,}0\text{x}10^{-18}$cm^2. Celles des pièges situés à l'interface Si/SiO_2 sont généralement comprises entre 10^{-14}cm² et 10^{-16}cm². Pour ce type d'interface, certaines études placent la section de capture des trous au même niveau que celle des électrons alors que d'autres lui donnent une valeur 100 fois inférieure [121] [122]. Dans le cas où le niveau considéré se situe dans la zone de charge d'espace de la photodiode (où $n = p = 0$), en supposant $\sigma_n = \sigma_p = \sigma$, l'expression du taux de recombinaison devient négative. Cette dernière correspond alors à un taux de génération s'exprimant par :

$$G_{th}(T) = -R_{th}(T) = \frac{\sigma v_{th} N_{it} n_i}{2\cosh\left(\frac{E_i - E_t}{k_B T}\right)} \quad (7)$$

Le courant d'obscurité produit dans la zone de charge d'espace est alors donné par :

$$I_{th}(T) = qG_{th}(T)V_{ZCE} \quad (8)$$

où V_{ZCE} est le volume de la zone de charge d'espace.

Le modèle SRH s'applique aussi à l'interface Si/SiO_2. Une partie de ces états peut être active dans le mécanisme de génération/recombinaison. Lorsque l'interface est désertée (lorsque la zone de charge d'espace atteint l'interface), elle présente un taux de génération surfacique $G_{th,s}$ et un courant d'obscurité résultant :

$$I_{th,s}(T) = qG_{th,s}(T)A_s \quad (9)$$

où A_s est l'aire de l'interface dans la zone de charge d'espace.

2.2.2. Energie d'activation

On peut définir une énergie d'activation pour un niveau énergétique discret en volume (ou une bande étroite énergétique à l'interface Si/SiO_2) dans la bande interdite :

$$E_a = E_t - E_V \quad si \quad E_t \geq E_i \quad (10)$$

et

$$E_a = E_C - E_t \quad si \quad E_t < E_i \quad (11)$$

L'expression du taux de génération (3) devient alors :

$$G_{th}(T) = Aexp\left(-\frac{E_a}{k_B T}\right) \quad (12)$$

avec

$$A = \sigma v_{th} N_{it} \sqrt{N_C N_V} \quad (13)$$

où A est peu dépendant de la température. Cette loi exponentielle en fonction de la température (aussi appelée loi d'Arrhenius) permet d'extraire E_a en mesurant le courant d'obscurité généré à différentes températures et en calculant la pente de la courbe suivante en fonction de l'inverse de la température. Par exemple, pour la génération volumique, le courant d'obscurité peut s'écrire :

$$I_{th}(T) = qG(T)V_{ZCE} = qV_{ZCE}Aexp\left(-\frac{E_a}{k_BT}\right) \quad (14)$$

C'est-à-dire :

$$\ln(I_{th}) = \ln(qV_{ZCE}A) - E_a\frac{1}{k_BT} \quad (15)$$

En réalité, A dépend légèrement de la température car n_i et v_{th} dépendent tous les deux de la température ($n_i \propto T^{3/2}$ et $v_{th} \propto T^{1/2}$) et $G_{th}(T)$ s'écrit :

$$G_{th}(T) \approx A(T)exp\left(-\frac{E_a}{k_BT}\right) = CT^2\exp\left(-\frac{E_g}{2k_BT}\right)\exp\left(-\frac{E_a}{k_BT}\right) \quad (16)$$

L'énergie $E_{a,mesurée}$ extraite de la courbe d'Arrhenius est donc légèrement surestimée et une correction doit lui être appliquée pour obtenir l'énergie réelle E_a du niveau du piège dans la bande interdite. La figure 61 présente cette correction à 60°C. Il est alors possible d'évaluer la position réelle d'un défaut ponctuel dans la bande interdite du silicium en fonction de la valeur d'énergie d'activation extraite de la courbe d'Arrhenius. Cependant, pour une énergie mesurée, deux niveaux d'énergie sont possibles, en effet, cette méthode d'extraction ne permet pas de déterminer si le piège possède un niveau d'énergie proche de la bande de valence ou un niveau d'énergie proche de la bande de conduction. Cette correction explique également pourquoi l'énergie d'activation mesurée peut être supérieure à la valeur de la bande interdite (E_g = *1.12eV* à 60°C) comme c'est le cas pour E_C-E_t proche de 0eV ou 1.12eV.

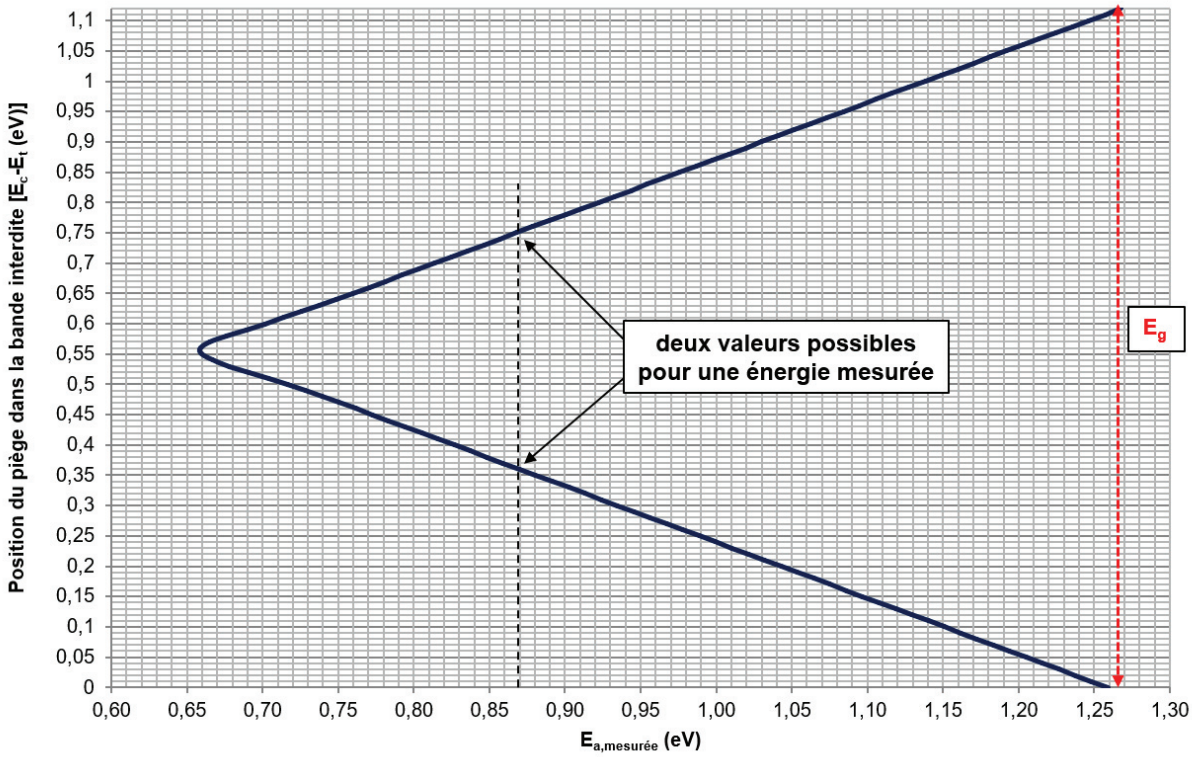


Figure 61 : Position réelle du niveau d'énergie du défaut ponctuel dans la bande interdite du silicium à 60°C en fonction de son énergie d'activation extraite de la courbe d'Arrhenius.

Il est à noter que le taux de génération atteint son maximum pour $E_t \sim E_i$, ce qui correspond à une énergie d'activation de l'ordre de $E_a \sim E_g/2 \approx 0.56eV$.

2.3. Effet tunnel « bande à bande » et « assisté par pièges »

En plus de la génération thermique décrite par le modèle SRH, un autre mécanisme de génération de pairs électrons-trous peut intervenir en présence de forts champs électriques. Dans un pixel, au niveau de jonctions PN abruptes (fortement dopées) et polarisées en inverse, les bandes de conduction et de valence sont déformées et étirées. Dans un tel cas, la zone de charge d'espace est très étroite, ce qui donne la possibilité à un électron de la bande de valence d'un caisson (N ou P) de traverser cette zone par effet tunnel, pour arriver sur la bande de conduction du caisson voisin de type opposé. Cet effet tunnel dit « bande-à-bande » n'est possible que si la zone à traverser est étroite (~3nm). Il peut être évité en dessinant correctement les jonctions et en utilisant de bonnes conditions de mise en œuvre.

Cependant, l'effet tunnel peut aussi se produire dans une zone de charge d'espace plus large si des niveaux profonds dus à des défauts ou à des contaminants sont présents dans cette zone. C'est l'effet tunnel assisté par pièges. Par l'intermédiaire d'un tel niveau, un électron peut également passer de la bande de valence à celle de conduction, souvent assisté par une excitation thermique. Ce type de génération de paires électrons-trous, et donc de courant d'obscurité est caractérisé par une énergie d'activation inférieure au milieu de la bande interdite soit $E_a < 0.56eV$.

2.4. Mécanisme de diffusion

Considérons une zone quasi-neutre en périphérie d'une photodiode pincée de type P (voir la figure 62). Il s'agit d'une zone de type N où des porteurs minoritaires (trous) diffusent, par l'existence

d'un gradient de concentration, vers la limite la zone de charge d'espace avant d'être collectés par celle-ci. Ce flux de porteurs représente une composante de courant d'obscurité de la photodiode, qui s'écrit par [123] :

$$I_{diff,h} = \frac{qA_j D_p p_{n0}}{L_p} \approx qA_j \sqrt{\frac{D_p}{\tau_p}} \frac{n_i^2}{N_D} \propto T^{\gamma/2} \left[T^3 exp\left(-\frac{E_g}{kT}\right)\right] \propto T^{\left(3+\frac{\gamma}{2}\right)} exp\left(-\frac{E_g}{kT}\right) \quad (17)$$

où γ est une constante et A_j correspond à la surface de la jonction. Le terme $T^{(3 + \gamma/2)}$ n'est pas une fonction forte de la température comparé à l'autre exponentiel. Par conséquent, il est possible d'identifier cette composante qui a une énergie d'activation $E_a \sim E_g$.

Cette composante de diffusion détermine un niveau minimum de courant d'obscurité que l'on peut atteindre, car les autres mécanismes décrits précédemment tels que la génération thermique et l'effet tunnel peuvent être minimisés par procédés de fabrication et par dessin.

Cependant, dans le cas où la distance entre la zone de charge et l'interface L est inférieure à la longueur de diffusion des trous L_p, la zone neutre n'est plus en équilibre thermodynamique et la génération thermique à l'interface n'est plus négligeable (le taux de génération à l'interface est plus important que le taux de recombinaison dans la zone neutre). Le courant de diffusion devient alors dépendant de la densité d'états d'interface électriquement actifs N_{it} et s'exprime de la façon suivante [124] [125]:

$$I_{diff,h} =_{L \ll L_p} \frac{qA_{interface} {n_i}^2}{N_D} \frac{\sigma_p v_{th} N_{it}}{\frac{\sigma_p v_{th} N_{it} L}{D_p} + 1} \quad (18)$$

Où $A_{interface}$ correspond à l'air de l'interface dans la zone neutre. Ce courant étant proportionnel à n_i^2, son énergie d'activation sera de l'ordre de la largeur de bande interdite E_g.

La valeur totale du courant d'obscurité collecté par pixel sera la somme des contributions de chacun de ces mécanismes (pour la photodiode de type P) :

$$I_{dark} = I_{th,v} + I_{th,s} + I_{tunnel} + I_{diff,h} \quad (19)$$

La figure 62 résume schématiquement les différents mécanismes de génération de courant d'obscurité dans et autour de la photodiode de type P. Pour résumer, le mécanisme de diffusion en dehors de la zone de charge d'espace (1) présente une énergie d'activation équivalente à la largeur de bande interdite (E_g = *1.12eV*). La génération thermique assistée par piège dans la zone de déplétion (2) dépend grandement de la distribution des niveaux d'énergie dans la bande interdite ; elle est généralement maximale pour une énergie d'activation $E_a = E_g/2$. Enfin, la génération par effet tunnel (3) et (4) peut avoir une énergie d'activation inférieure à $E_g/2$ en raison du fort champ électrique présent dans la structure.

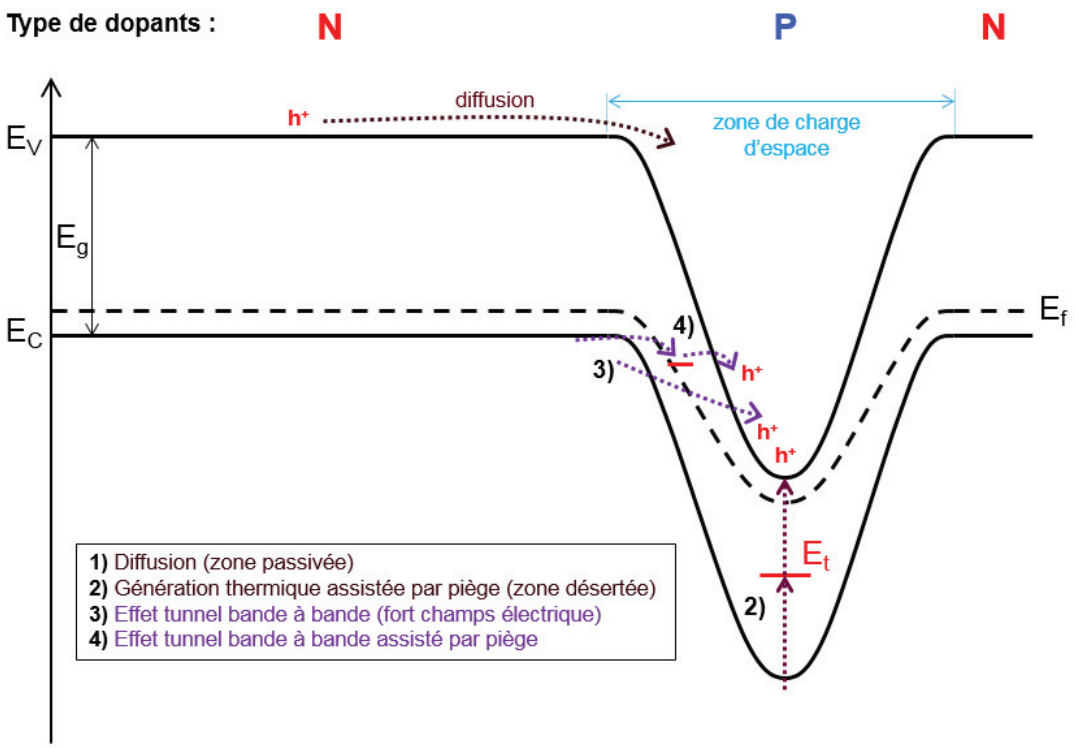


Figure 62 : Diagramme de bandes présentant les principaux mécanismes de génération du courant d'obscurité dans une photodiode pincée de type P : la diffusion (1), la génération thermique (2) et l'effet tunnel bande à bande et celui assisté par piège (3 et 4).

3. Mesure du courant d'obscurité

3.1. Mesure du courant d'obscurité en température

Comme vu précédemment dans la partie 2 de ce chapitre, les composantes du courant d'obscurité dû à la génération thermique et à la diffusion sont extrêmement dépendantes de la température du capteur. Ce dernier doit donc être dans un environnement contrôlé ayant des variations de température inférieures à 1°C. La température standard de caractérisation pour les applications mobiles est de 60°C ou 333°K mais des mesures à plus basses et plus hautes températures peuvent aussi être effectuées pour extraire l'énergie d'activation des centres générateurs de courant d'obscurité. Dans notre cas, le capteur est placé dans une étuve calibrée permettant de faire varier la température de 20°C à 70°C. Une fois cette dernière fermée, le capteur est dans le noir total et polarisé dans des conditions standards d'utilisation. Comme la quantité de charges collectées varie linéairement avec le temps d'intégration il suffit d'acquérir une image à un temps d'intégration long et d'y soustraire une image prise à temps d'intégration court pour en extraire le courant d'obscurité. Afin de supprimer la contribution du bruit de grenaille plusieurs images sont prises et moyennées à chaque temps d'intégration. Le courant d'obscurité moyen est ensuite calculé en moyennant tous les pixels ayant le même design. De la même manière que pour le bruit temporel, la distribution du courant d'obscurité moyen par version de pixel peut aussi être tracée.

3.2. La spectroscopie du courant d'obscurité

Une méthode d'analyse spectroscopique du courant d'obscurité peut s'appliquer sur les résultats de mesure des différents pixels d'une même matrice. Les résultats de mesure peuvent être tracés statistiquement sous forme d'un histogramme : population de pixels en fonction du niveau de courant d'obscurité. La courbe de distribution d'un capteur idéal, sans contribution significative par générations thermique volumique ou surfacique (SRH) au courant d'obscurité, ne présente qu'un seul pic de population situé à un très faible niveau de courant d'obscurité déterminé par le mécanisme de diffusion de la jonction – nous appellerons cette population « la population principale ». Dans le cas où une interface Si/SiO_2 n'est pas parfaitement passivée, la génération thermique surfacique peut aussi avoir une contribution significative au pic principal. En général, la distribution est composée d'un pic principal pour tous les pixels du capteur et d'une queue de distribution regroupant les pixels marginaux présentant un fort courant d'obscurité. La dispersion du pic principal est généralement attribuée à la composante temporelle du courant d'obscurité : le bruit de grenaille de courant d'obscurité. En revanche, la queue de distribution est attribuée à la non-uniformité spatiale de ce bruit : les pixels blancss. Cette queue de distribution indique d'autres mécanismes dominants ; par exemple la génération thermique en volume par certains défauts cristallins ou contaminants métallique. L'analyse du spectre de cette distribution et l'évaluation des énergies d'activation de chaque population permettront leur identification. De plus, il est possible de séparer ou d'identifier les origines physiques de la génération thermique dominante : par exemple celle des défauts/contaminations en volume ou celle des interfaces Si/SiO_2 qui ne sont pas suffisamment passivées. Des exemples d'analyse seront donnés dans le paragraphe ci-dessous « Résultats expérimentaux ». Cette analyse peut ensuite permettre de minimiser le courant d'obscurité du capteur via différentes variations de design et l'optimisation des procédés de fabrication.

4. Résultats expérimentaux

4.1. Le capteur à collection de trous avec tranchées DTI

4.1.1. Etude de la distribution du courant d'obscurité du capteur de type P

La figure 63 présente pour différentes températures, la distribution du courant d'obscurité du capteur de type P à tranchées d'isolation profondes remplies d'oxyde. Ce type de mesure est effectué afin d'identifier la ou les sources dominantes de courant d'obscurité sur le capteur en évaluant l'énergie d'activation du mécanisme de génération.

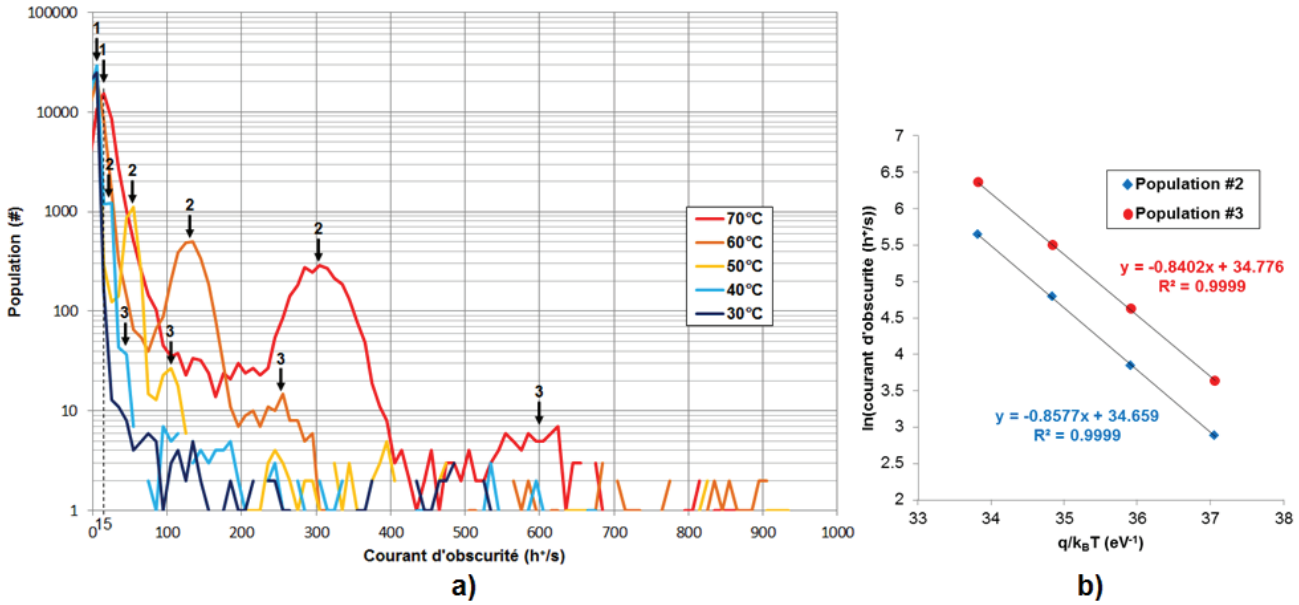


Figure 63 : a) Evolution en température de la distribution du courant d'obscurité d'un capteur de type P à tranchées d'isolation profonde remplies d'oxyde. A chaque température de mesure trois populations de pixels sont observées et indiquées par les flèches noires numérotées de 1 à 3. La figure b) représente la loi d'Arrhenius utilisée pour extraire l'énergie d'activation du mécanisme dominant de génération de courant d'obscurité dans les deux populations marginales (populations #2 et #3).

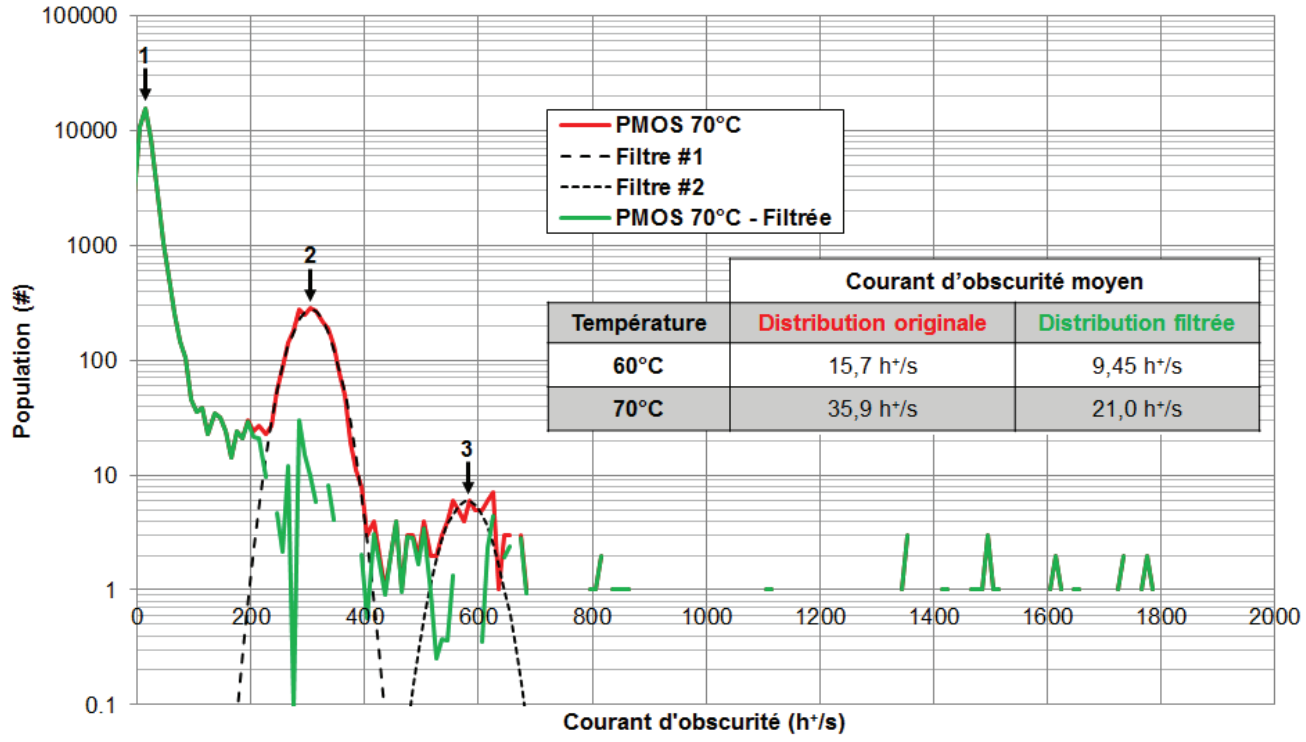
On observe ici sur la figure a), et pour des températures supérieures à 40°C, l'apparition dans la distribution de deux populations marginales (dénotées 2 et 3 sur la figure) présentant un fort courant d'obscurité. Le courant d'obscurité de la population 3 est deux fois plus élevé que celui de la population 2 indiquant un lien entre ces deux distributions. La figure b) est une extraction de l'énergie d'activation du mécanisme de génération du courant d'obscurité dominant dans les populations 2 et 3 grâce à la courbe d'Arrhenius. L'énergie obtenue, $E_{a,mesurée}$ = *0.84eV*, doit être corrigée comme expliqué dans la partie 2.2.2 de ce chapitre suivant la courbe représentée en figure 61. Après correction, on constate alors que les deux populations présentent la même énergie d'activation entre 40°C et 70°C ($E_a = E_V+0.39eV$ ou $E_a = E_c-0.39eV$) confirmant ainsi une origine commune du courant d'obscurité. Les deux populations sont donc dominées par le même mécanisme de génération de courant d'obscurité : la génération thermique assistée par piège. Malgré le même mécanisme, la différence de taux de génération entre les deux populations s'explique par la présence d'un seul centre de génération dans la population de pixels #2 et de deux centres dans la population #3.

Il s'avère que tous les capteurs de type P fabriqués durant cette thèse présentent cette dégradation avec une énergie d'activation de E_a = *0.4±0.01eV*. Ce type de signature est généralement associé à la présence de contaminants métalliques dans la zone de déplétion du pixel. Grace à l'énergie d'activation de cette population de pixel et à son taux de génération de courant d'obscurité ($I_{dark}(T)$ = *135h+/s* ou 21.6aA à 60°C) il est possible d'identifier le contaminant responsable de cette génération de courant d'obscurité. En effet, dans cette gamme d'énergie d'activation se trouve un niveau donneur du tungstène ($E_a = E_V+0.40eV$) [126]. De plus, le taux de génération observé sur les pixels contaminés approche fortement de celui observé sur des capteurs CMOS de type N volontairement contaminés au tungstène dans une étude menée dans les locaux de STMicroelectronics (entre 16.4 et 24.3 aA entre 60 et 65°C pour un atome de tungstène par pixel) [127]. D'après la littérature ce type de défaut présente des sections de capture égales à $\sigma_p = 5.0*10^{-16}cm^2$ et $\sigma_n = 4.8*10^{-15}cm^2$ [127] [128] ; en comparaison, la section de capture du piège détecté sur les capteurs de type P est de l'ordre de $\sigma = 5*10^{-15}cm^2$. Il est donc très probable que le contaminant observé soit du Tungstène.

Ce type de contamination peut provenir d'étape d'implantation ionique au travers de ce que l'on appelle une contamination par interférence de masse [129]. La cathode utilisée dans les

implanteurs ioniques est en partie composée de tungstène. Ce tungstène peut réagir avec des ions fluor présents dans les gaz utilisés pour l'implantation de Bore ou de BF_2. Or, comme expliqué dans le chapitre 2, ces deux composés sont utilisés pour former la photodiode du capteur de type P. L'assemblage de tungstène et de fluor peut ensuite donner un quotient masse/nombre de charge (*m/z*) similaire à celui obtenu pour l'espèce à implanter (dans le cas présent le Bore) et ne pas être filtré suffisamment par l'analyseur de masse. Cette contamination n'est pas présente lors de l'implantation d'espèces comme le phosphore ou l'arsenic car l'arsine et la phosphine ne contiennent pas de fluor pouvant interagir avec le tungstène contenu dans la cathode. En intégrant le pic de population il est possible de retrouver la concentration de contaminant dans le capteur et ainsi la dose de contaminant implantée lors de l'implantation de la photodiode. En supposant que tous les atomes de tungstène implantés dans la photodiode sont électriquement actifs, il s'avère que pour une dose totale de bore implanté de $3*10^{13}$at/cm^2, environ $3*10^{6}$at/cm^2 de tungstène sont aussi implantés. Bien que très faible, cette dose correspond à une concentration de $1.16*10^{10}$at/cm^3 et est suffisante pour dégrader significativement la distribution de courant d'obscurité des capteurs d'image. Cependant, cette contamination étant introduite par une limitation technique du procédé de fabrication, elle n'est pas intrinsèque au capteur de type P et peut être sensiblement réduite voire éliminée par des solutions techniques (par exemple en utilisant un implanteur ne contenant pas de tungstène).

Afin d'estimer le courant d'obscurité moyen réellement intrinsèque au capteur de type P nous avons donc appliqué un traitement de données servant à supprimer la contribution de ces contaminants. Les distributions des pics #2 et #3 sont approximées par des gaussiennes (le bruit de grenaille étant décrit par une distribution de Poisson, il peut être correctement approximé par une distribution gaussienne lorsque le nombre de porteurs généré est suffisamment important, ce qui est le cas dans notre étude [130]) puis soustraites à la distribution totale du capteur. Cette opération est présentée en figure 64. Après ce « filtrage », le courant d'obscurité moyen intrinsèque au capteur de type P à 60 et 70°C est respectivement de 9,45h$^+$/s et 21,0h$^+$/s. Cette valeur sera plus tard comparée au courant d'obscurité moyen observé dans un pixel éclairé par la face arrière possédant une photodiode verticale de type N. Ces résultats sont présentés dans la partie 3.3.



Courant d'obscurité moyen		
Température	Distribution originale	Distribution filtrée
60°C	15,7 h$^+$/s	9,45 h$^+$/s
70°C	35,9 h$^+$/s	21,0 h$^+$/s

Figure 64 : Distribution du courant d'obscurité mesuré à 70°C avant (rouge) et après (vert) filtrage des pics générés par des contaminants métalliques. Les deux filtres gaussiens utilisés sont représentés en pointillés noirs. Le tableau présente le courant d'obscurité moyen mesuré à 60 et 70°C et calculé en intégrant chaque distribution.

Une étude en température de l'évolution du courant d'obscurité moyen de la population principale de pixels permet ensuite d'identifier la source dominante restante de courant d'obscurité du capteur. Avec une énergie d'activation $E_a \approx E_g$ à 60°C, le courant d'obscurité généré dans la plupart des pixels est limité par un mécanisme de diffusion. Cela implique que la zone de charge d'espace de la photodiode est correctement éloignée de toute interface Si/SiO_2. A cette température, ce courant très faible est de l'ordre de l'attoampère.

4.1.2. La passivation « passive » de l'interface DTI par implantation ionique

A titre de comparaison, la figure 65 présente la distribution de courant d'obscurité à 70°C de deux capteurs de type P, l'un ayant subi une dose d'implantation standard au niveau des DTI et l'autre ayant subi une dose deux fois inférieure. Ce dernier présente une distribution de courant d'obscurité nettement plus dispersée que le capteur de référence (en noir). En effet, l'étendue de la queue de distribution indique un bien plus grand nombre de pixels blancs impactant directement le courant d'obscurité moyen du capteur.

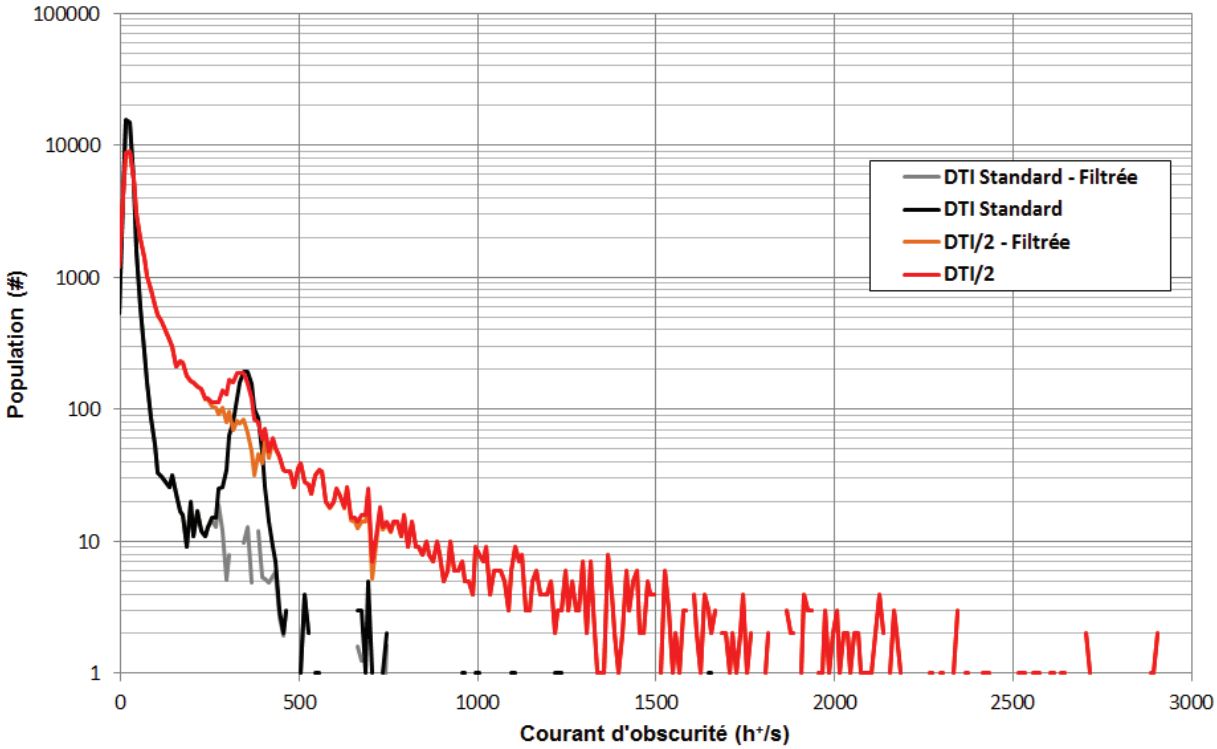


Figure 65 : Distributions de courant d'obscurité mesurées pour deux capteurs de type P à 70°C, l'un ayant reçu une dose standard (noir) d'implantation des tranchées d'isolation profondes et l'autre une dose divisée par deux (rouge). Les distributions filtrées sont représentées en gris et orange.

Après avoir filtré le pic de contamination tungstène, le capteur à faible dose d'implantation DTI possède une énergie d'activation moyenne comprise entre la bande interdite et le milieu de la bande interdite soit $E_a = 0.75eV$ comparé à $E_a \approx E_g$ pour le capteur standard. Le cas de faible dose indique que la diffusion n'est plus le mécanisme principal de génération du courant d'obscurité pour un grand nombre de pixels. Contrairement au pic très localisé de contamination tungstène précédemment observé, la distribution d'activation d'énergie est ici très dispersée comme présenté sur la figure 66, montrant ainsi que la génération de courant d'obscurité ne dépend pas seulement d'un niveau d'énergie bien discret dans la bande interdite mais plutôt d'une distribution de niveaux d'énergie comme c'est le cas au niveau d'interfaces Si/SiO_2 désertées. Un mécanisme de génération thermique aux interfaces désertées, ou partiellement désertées, affecte donc les pixels présents dans

la queue de distribution de la figure 65. Cette comparaison montre qu'un dosage insuffisant d'implantation des tranchées profondes entrainera une augmentation sensible du nombre de pixels chauds, dégradant ainsi le courant d'obscurité moyen du capteur. En éloignant la zone de charge d'espace de l'interface, la dose implantée joue donc un rôle majeur dans la passivation de l'interface des tranchées d'isolation profondes.

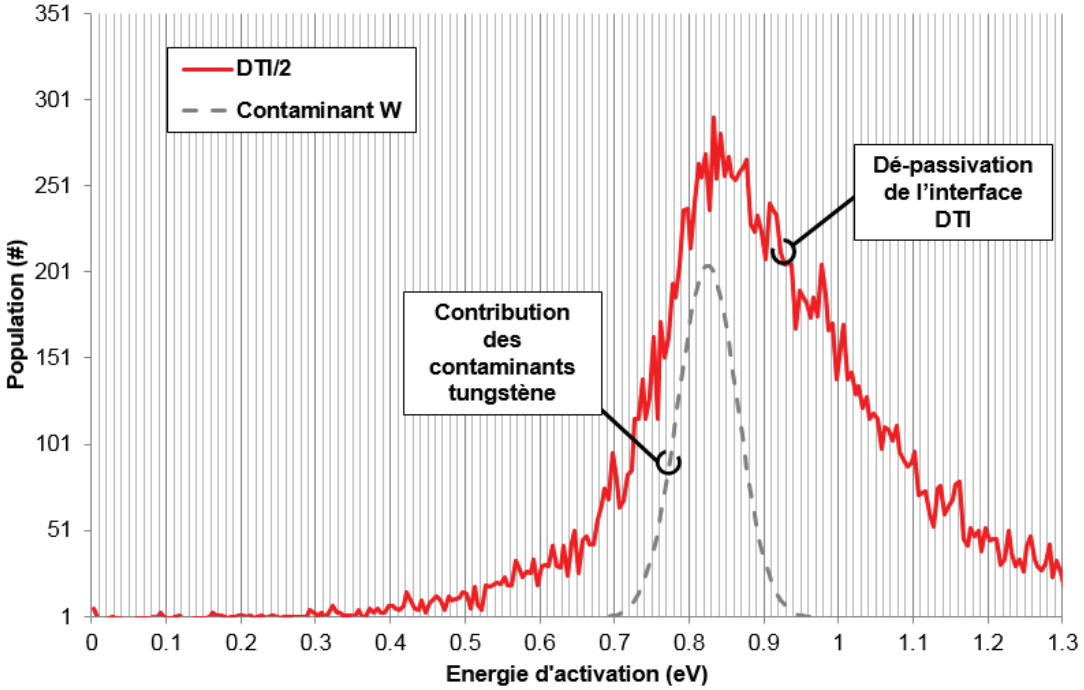


Figure 66 : Distribution d'énergie d'activation sur le capteur de type P ayant subi une dose d'implantation divisée par deux (rouge) par rapport à la dose standard utilisée pour la passivation des tranchées DTI. La courbe en pointillés gris correspond à la distribution de la population de pixels contaminés avec du tungstène.

4.2. La passivation « active » par tranchée d'isolation profonde capacitive

Dans le chapitre 2 nous avons vu qu'une deuxième méthode de passivation des interfaces avait été proposée : les tranchées d'isolation profondes capacitives. Ces tranchées d'isolation remplies de poly-silicium et isolée du substrat par une couche d'oxyde agissent comme des grilles et sont constamment polarisées de manière à accumuler des électrons à l'interface Si/SiO_2. Pour des raisons pratiques et afin de faciliter cette accumulation, les tranchées CDTI ont été implantées de la même manière que les tranchées DTI.

Afin d'évaluer l'efficacité des tranchées d'isolation profondes capacitives à passiver cette interface de manière électrostatique, des capteurs CDTI ont été fabriqués avec une faible dose d'implantation, deux fois inférieure à la dose standard. Une comparaison de la distribution de courant d'obscurité de capteurs de type P à tranchées d'isolation profondes standards ou capacitives ayant subi des doses d'implantation équivalentes est présentée en figure 67. Le pic de courant d'obscurité dû aux contaminants tungstène a été filtré sur les trois distributions et la tranchée CDTI est polarisée en accumulation d'électrons (V_{CDTI}-V_B = *0,5V*) lors de la mesure. Pour une dose d'implantation deux fois moins importante le pixel CDTI présente une distribution de courant d'obscurité équivalente au pixel DTI ayant subi une dose standard. La population principale possède une faible dispersion et la queue de distribution est relativement courte indiquant un faible nombre de pixels blancss. L'interface Si/SiO_2 de la tranchée d'isolation profonde est donc correctement passivée malgré une dose d'implantation réduite. On observe aussi qu'à faible dose d'implantation les performances du pixel CDTI surpassent clairement celles du pixel DTI. En effet, la queue de distribution associée à ce

dernier est nettement plus étendue et la population principale bien plus dispersée que sur le pixel CDTI. Ce résultat justifie donc l'utilité de la passivation active des interfaces par contrôle électrostatique. L'intégration de tranchées CDTI permet de réduire fortement voire d'éliminer entièrement l'implantation des tranchées d'isolation profondes, permettant ainsi d'étendre davantage le volume occupé par la photodiode et d'améliorer potentiellement l'efficacité quantique du capteur [131].

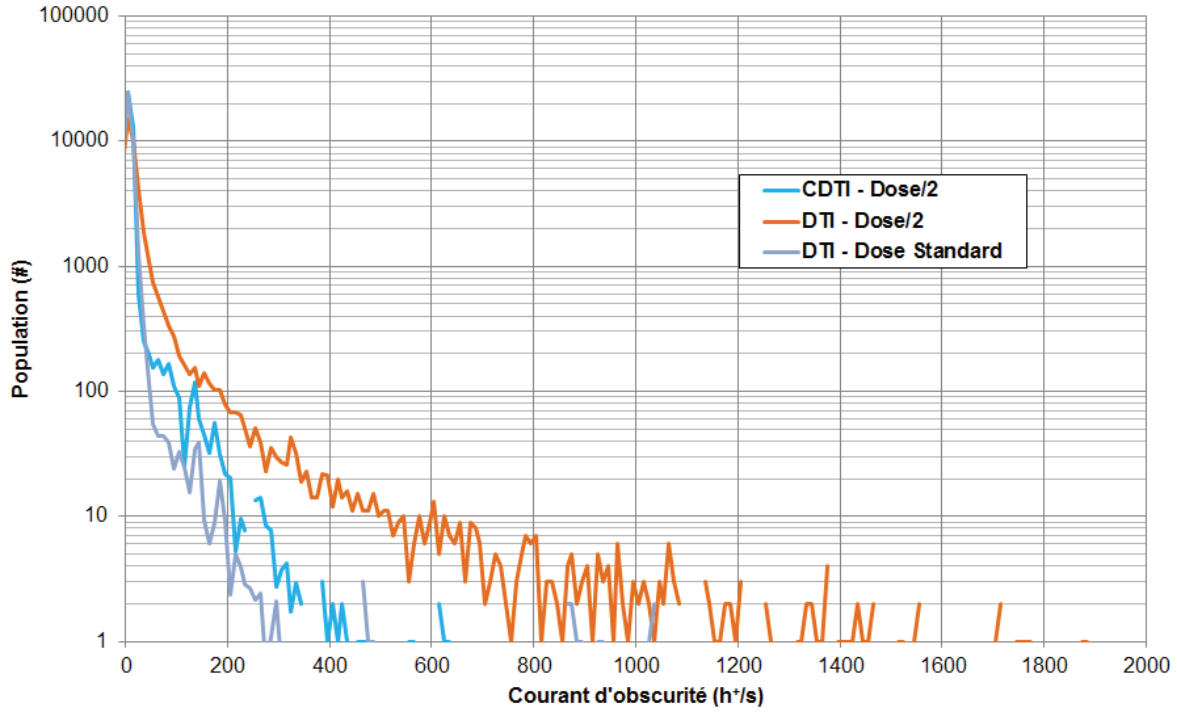


Figure 67 : Distributions filtrées de courant d'obscurité à 60°C pour trois types de passivations des tranchées d'isolation profondes : la passivation active à V_{CDTI}-V_B = 0.5V et dose d'implantation divisée par deux (bleu), la passivation passive par implantation avec une dose standard (gris) et la passivation passive avec dose divisée par deux (orange).

L'influence électrostatique de la tranchée CDTI sur la génération de courant d'obscurité a ensuite été évaluée en effectuant plusieurs mesures à plusieurs tensions de polarisation de la tranchée CDTI. Les distributions de courant d'obscurité observées sont présentées sur la figure 68 et montrent un fort décalage de la population principale de pixels pour des tensions V_{CDTI}-V_B < -0.3V. Tous les pixels sont donc affectés par cette augmentation de la génération du courant d'obscurité et le mécanisme n'est pas limité à une minorité de pixels blancss. Dans un même temps, la dispersion du courant d'obscurité de la population principale augmente fortement.

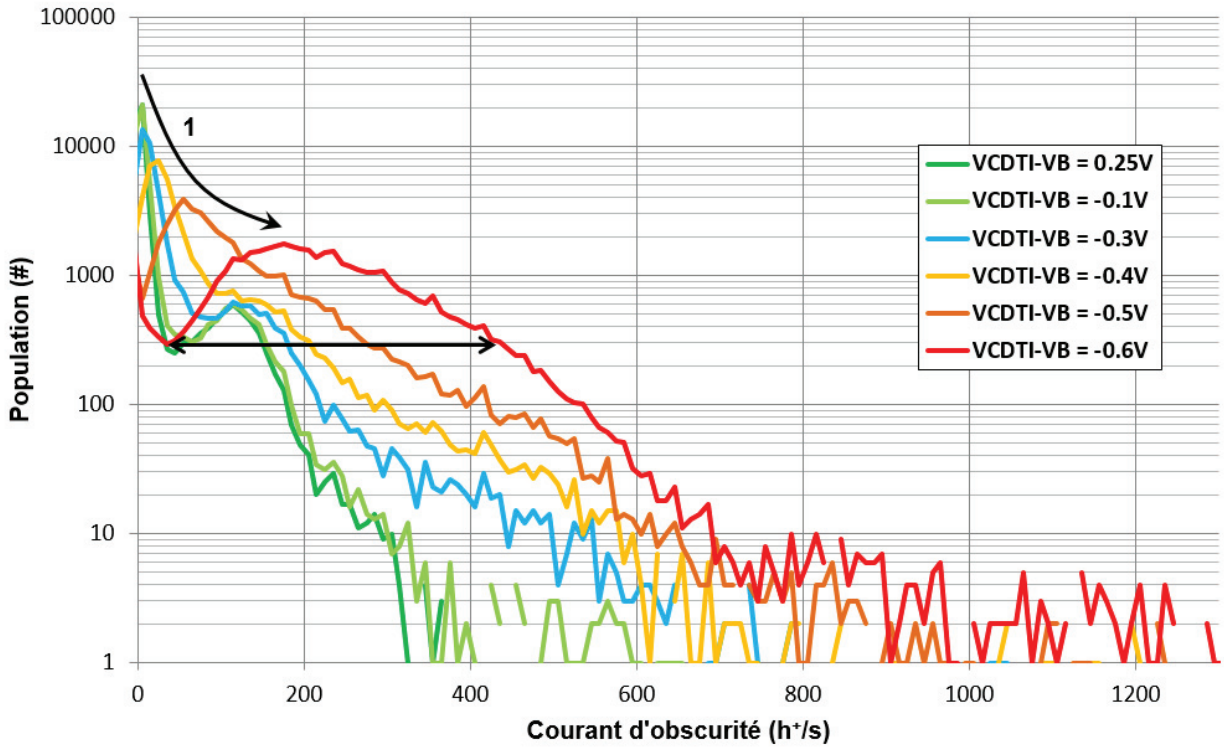


Figure 68 : Distribution du courant d'obscurité à 60°C en fonction de la polarisation de la tranchée d'isolation profonde capacitive. La flèche #1 décrit l'augmentation du courant d'obscurité mesuré sur la population principale de pixels. La double flèche indique que le courant d'obscurité mesuré est de plus en plus dispersé.

La figure 69 présente le courant d'obscurité moyen collecté par pixel lorsque le CDTI est polarisé à -0,6V < V_{CDTI}-V_B < 1,5V.

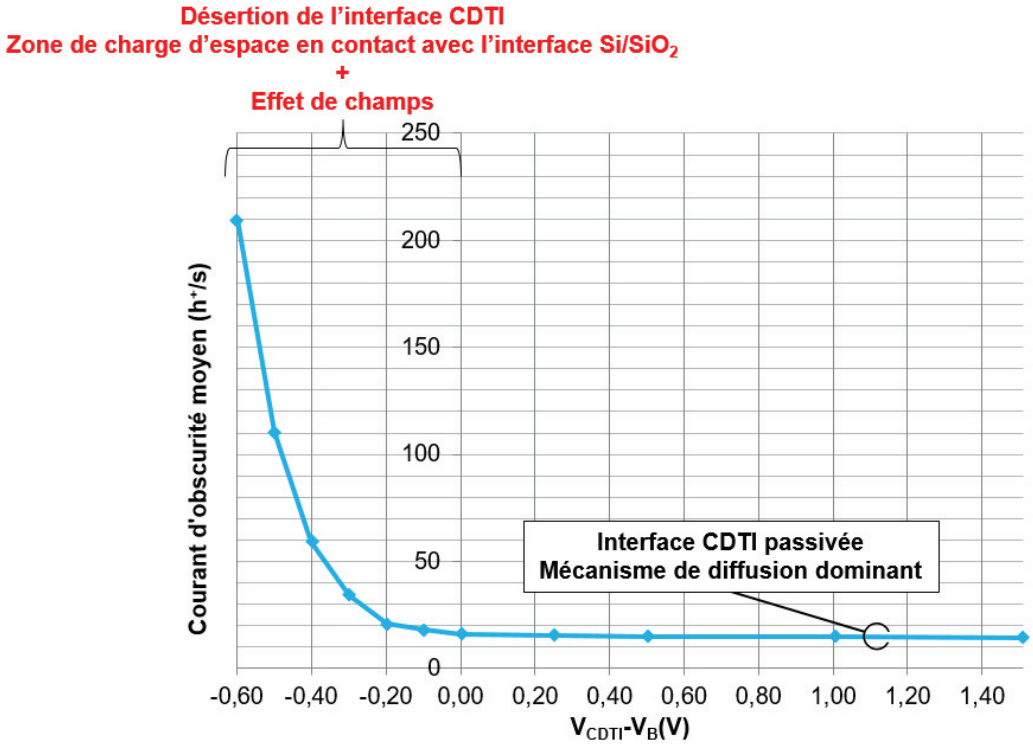


Figure 69 : Courant d'obscurité moyen à 60°C en fonction de la polarisation des tranchées CDTI du pixel de type P.

Il s'avère que pour V_{CDTI}-V_B > 0V, en régime d'accumulation d'électrons à l'interface, le courant d'obscurité collecté dans la photodiode est limité par un mécanisme de diffusion ; l'interface Si/SiO_2 des tranchées CDTI est donc correctement passivée et la zone de charge d'espace est

éloignée de l'interface CDTI. Le courant d'obscurité moyen se stabilise aux alentours des 15h^+/s et ce quelle que soit la polarisation de la tranchée. Ceci correspond au courant d'obscurité moyen obtenu à 60°C pour le pixel de type P à tranchées d'isolation profondes remplies d'oxyde et implantées avec une dose standard sans avoir filtré la contribution des contaminants métalliques. Ce résultat apporte une confirmation supplémentaire de la bonne passivation des interfaces du pixel à DTI implantés avec une dose standard. En revanche, pour des polarisations inférieures à 0V, la zone de charge d'espace entre progressivement en contact avec l'interface CDTI, les pièges générés par les liaisons pendantes (centres Pb) ne sont plus passivés électriquement et peuvent générer un fort courant d'obscurité. On observe aussi que le courant d'obscurité moyen croît alors rapidement lorsque la tranchée d'isolation est polarisée de plus en plus négativement ; ceci est la conséquence d'une dégradation du courant d'obscurité dans la totalité des pixels du capteur.

4.3. Comparaison du capteur de type P avec un capteur de type N éclairé par la face arrière

Afin d'évaluer l'impact du passage à une photodiode de type P sur le courant d'obscurité, le pixel fabriqué est comparé à son équivalent de type N à tranchées d'isolation profondes DTI. Ce capteur de référence est une technologie mature développée chez STMicroelectronics. Le capteur de type N est composé de pixels de 1,4µm de côté éclairés par la face arrière et isolés électriquement et optiquement les uns des autres par des tranchées d'isolation profondes remplies d'oxyde. Ces tranchées sont implantées par des dopants de type P de manière à accumuler des trous à l'interface Si/SiO_2 et ainsi minimiser le courant d'obscurité moyen du capteur. Bien que moins étendue en profondeur, la photodiode est elle aussi pincée verticalement (cette dernière ne s'étend que sur 1µm de profondeur). La charge à saturation du pixel de type N est de 7000e^- ce qui est légèrement inférieur à celle du pixel de type P. La mesure de courant d'obscurité de chaque pixel des capteurs de type N a été effectuée dans les même conditions que celle des capteurs de type P. Les distributions de courant d'obscurité obtenues pour chaque capteur à différentes températures sont ensuite comparées.

La figure 70 présente l'une de ces comparaisons à 60 et 70°C entre les capteurs de type N et P à tranchées DTI. Il est tout d'abord important de remarquer que le capteur de type N présente lui aussi une population secondaire de pixels possédant un courant d'obscurité plus élevé que la population principale et à un niveau similaire au pic secondaire observé sur le capteur à collection de trous. Cependant, ce pic secondaire à fort courant d'obscurité possède une amplitude vingt fois plus faible que celui observé sur le capteur de type P. Aussi, l'énergie d'activation mesurée sur ce pic est de $E_{a,mesurée} = E_v+0.87eV$ (ou $E_c-0,87eV$) ce qui est très proche de celle mesurée sur le pic de contamination tungstène des capteurs de type P étudiés dans cette thèse. Le niveau de courant d'obscurité de ces pixels blancs est aussi du même ordre de grandeur que dans le cas du pixel de type P : environ 245e^-/s à 70°C. Tout porte donc à croire que le pixel de type N contient lui aussi de la contamination tungstène. Cependant il semble qu'un nombre bien plus faible de pixels soient impactés dans le cas du capteur de type N, le second pic dû à la présence de 2 atomes de tungstène par pixel n'est donc pas visible. Ceci est certainement dû au fait que dans le pixel de type N la majeure partie du volume implantée en bore est située dans une zone où le champ électrique est nul. Seul un très faible nombre d'atomes de tungstène est donc présent dans la zone de charge d'espace et peut contribuer à la génération de courant d'obscurité totale.

Que ce soit à 60°C ou à 70°C la population principale de pixels de type P présente un courant d'obscurité nettement plus faible que celle des pixels de type N (respectivement 5 fois et 6,7 fois plus faible). Le courant d'obscurité de ces derniers augmente aussi bien plus rapidement en température que les pixels de type P (entre 60°C et 70°C le courant d'obscurité de la population principale a été

multiplié par 3 pour les pixels de type P et par 7 pour les pixels de type N). Ces mesures ont donc tendance à montrer que le pixel de type P présente non seulement un courant d'obscurité moyen plus faible que le pixel de type N à une température donnée mais aussi que ses performances se dégradent moins rapidement en fonction de la température. Une étude en température a donc été effectuée sur les deux type de capteurs dans le but d'identifier l'origine de ce courant parasite et de justifier les meilleures performances du capteur de type P.

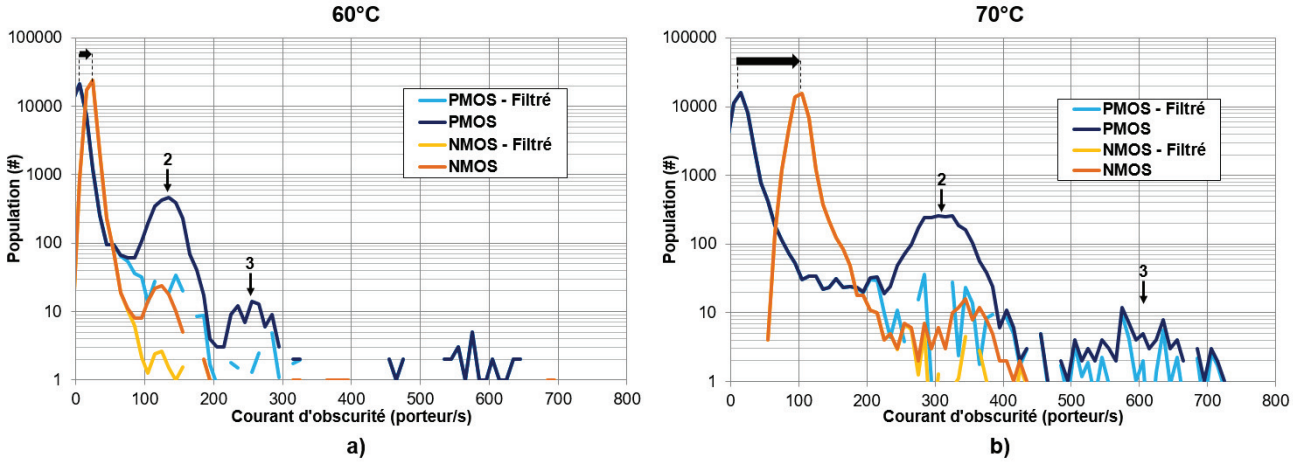


Figure 70 : Comparaison des distributions de courant d'obscurité obtenues pour des capteurs à tranchées DTI et photodiode de type N (orange) et de type P (bleu) à 60°C (a) et 70°C (b). Les pics de contamination dans les distributions en traits clairs ont été filtrés.

La figure 71 compare deux courbes d'extractions d'énergie d'activation entre 40°C et 70°C pour les populations principales des pixels de type P et de type N. Comme vu précédemment dans la partie 4.1.1 de ce chapitre, de 40 à 70°C, le pixel de type P présente une énergie d'activation élevée, très proche de la largeur de la bande interdite ($E_a \approx E_g$) et caractéristique d'un courant d'obscurité limité par un mécanisme de diffusion. Ses interfaces sont donc correctement passivées et la zone de charge d'espace de la photodiode est éloignée du dioxyde de silicium. L'énergie d'activation extraite sur les capteurs de type N est légèrement plus élevée. Comme observé précédemment, il s'avère cependant que sur cette gamme de température le courant d'obscurité du pixel de type P est 2 à 5 fois inférieur à celui observé sur le pixel de type N.

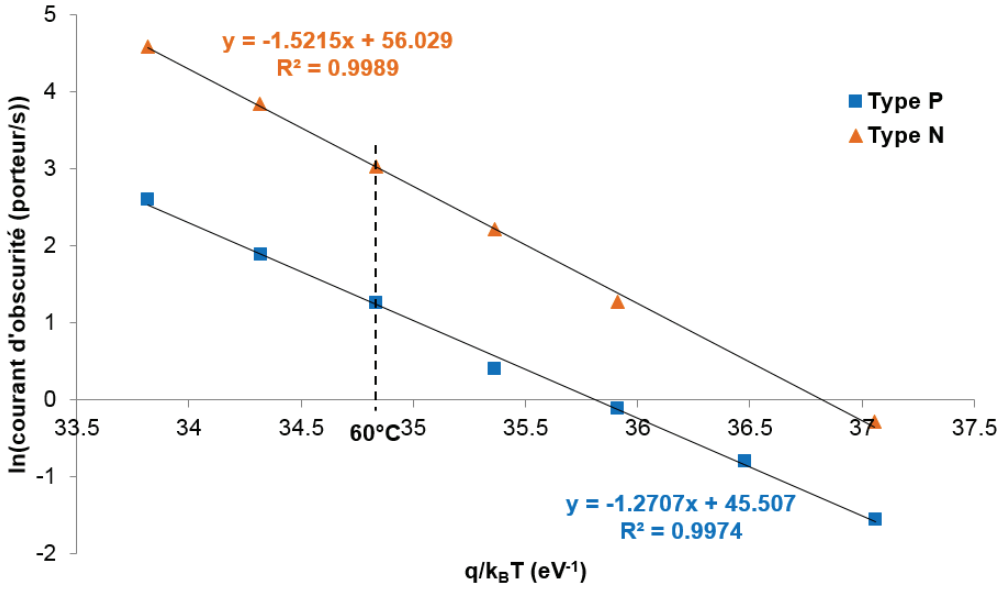


Figure 71 : Extraction des énergies d'activation des mécanismes dominants de génération de courant d'obscurité pour la population principale d'un pixel de type P (bleu) et d'un pixel de type N (orange) entre 40 et 70 °C.

Comme la différence de courant d'obscurité concerne la population principale de pixels et que celle-ci est dominée par un mécanisme de diffusion, cette plus faible activité peut être expliquée par un plus faible niveau de courant de diffusion. En effet, le coefficient de diffusion des électrons et des trous est défini par :

$$D_{e/h} = \frac{k_B T}{q} \mu_{e/h} \qquad (20)$$

Où $\mu_{e/h}$ correspond à la mobilité des électrons ou des trous dans le silicium. La mobilité des porteurs dans le silicium à température ambiante en fonction de la concentration de dopants est présentée sur la figure 72. On observe alors qu'à dopage équivalent, la mobilité des trous est environ 3 fois inférieure à celle des électrons. De plus, la différence de doses des espèces implantées pour former chacun des caissons dans les pixels N et P peut expliquer l'écart supplémentaire entre le courant de diffusion des deux types de pixels (le caisson N du pixel de type P est plus dopé que le caisson P du pixel de type N). Enfin, comme vu sur la figure 21 de la partie 4.1 du chapitre 1, la distribution énergétique des états d'interface peut ne pas être symétrique dans la bande interdite. Les valeurs de courant d'obscurité mesurées sur chacun des capteurs sont du même ordre de grandeur qu'un courant de diffusion théorique dans une jonction PN de surface équivalente à celle des photodiodes étudiées. Pour des pixels possédant peu de défauts cristallins et des interfaces Si/SiO_2 correctement passivées, dans lesquels la génération de courant d'obscurité est dominée par un mécanisme de diffusion, le pixel de type P possédera donc intrinsèquement un courant d'obscurité plus faible grâce à la plus faible mobilité des trous face à celle des électrons dans le silicium. Pour des caissons fortement dopés (>10^{18}at/cm^3), cette différence de bruit entre les deux types de pixels devrait être moins marquée à condition que leurs interfaces soient correctement passivées.

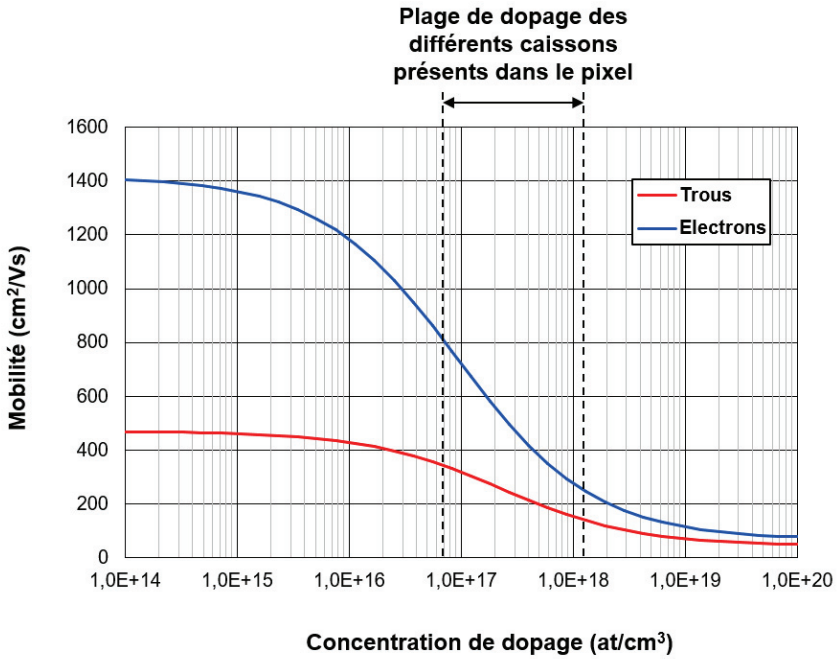


Figure 72 : Mobilité des électrons (bleu) et des trous (rouge) dans le silicium à température ambiante en fonction de la concentration de dopants [132]. La plage de dopage des différents caissons présents dans le pixel est comprise entre les deux repères en pointillés noirs.

5. Effets des radiations par rayonnement X sur le courant d'obscurité

5.1. Conditions expérimentales d'irradiation

Afin d'étudier le comportement des capteurs de type P et de type N en environnement radiatif, ces derniers ont été soumis à un rayonnement X intense et pulsé d'un accélérateur linéaire du service de radiothérapie du centre hospitalier Lyon Sud. Les irradiations aux rayons X générés dans l'accélérateur linéaire de 6MV ont été faites à température et pression ambiantes et à un débit de dose d'environ 225mGy/s sur un accélérateur Novalis Truebeam STx de Varian (voir figure 73). Ce type d'équipement est habituellement utilisé sur des patients pour traiter des tumeurs ou des lésions par radiothérapie.

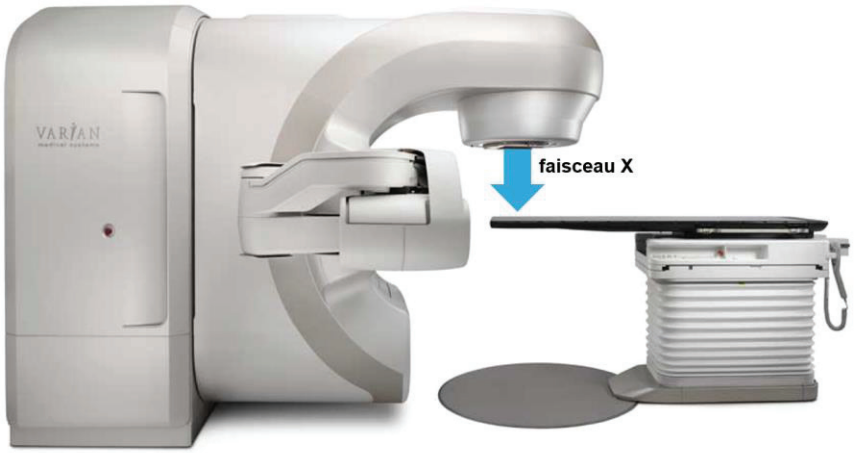


Figure 73 : Représentation de l'accélérateur Novalis Truebeam de Varian utilisé au service de radiothérapie du centre hospitalier Lyon Sud.

La dose a été mesurée grâce à un dosimètre calibré placé au même niveau que les capteurs d'image. L'erreur sur la mesure est inférieure à 5%. Les capteurs ne sont pas polarisés pendant l'irradiation et sont conservés à température ambiante une fois l'irradiation réalisée. Afin d'éviter un effet superficiel (dit « build-up ») où le profil de dose varie sensiblement et donc garantir une meilleure précision de dose reçue sur nos capteurs sous irradiation, ceux-ci sont placés sous 1,5cm de PMMA (Polyméthacrylate de méthyle) pour qu'ils soient positionnés au maximum du dépôt de dose, ou crête de Tavernier (soit l'équivalent du pic de Bragg pour les photons) (voir figure 74).

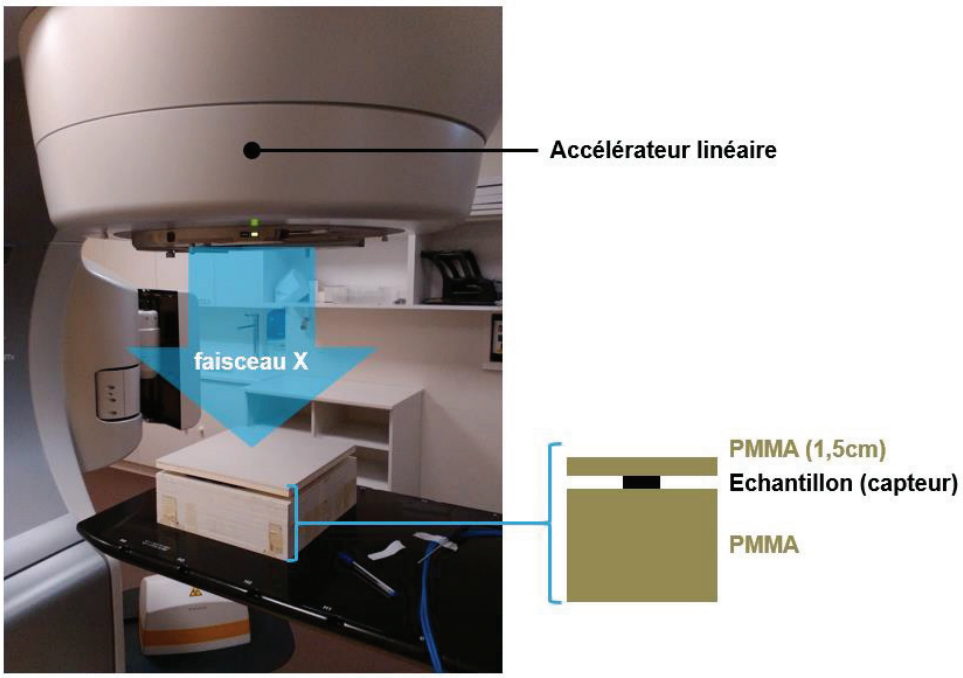


Figure 74 : Photographie du montage expérimental lors de l'irradiation des capteurs au service de radiothérapie du centre hospitalier Lyon Sud.

En effet, le profil de dose en fonction de la profondeur pour un rayonnement X ou gamma dépendant de l'énergie est montré sur la figure 75. Le PMMA placé devant nos capteurs lors des irradiations possède un pouvoir absorbant similaire à celui de l'eau. Le maximum d'absorption pour des rayons X possédant une énergie de 6MV (crête de Tavernier) est bien situé à environ 1,5cm de profondeur.

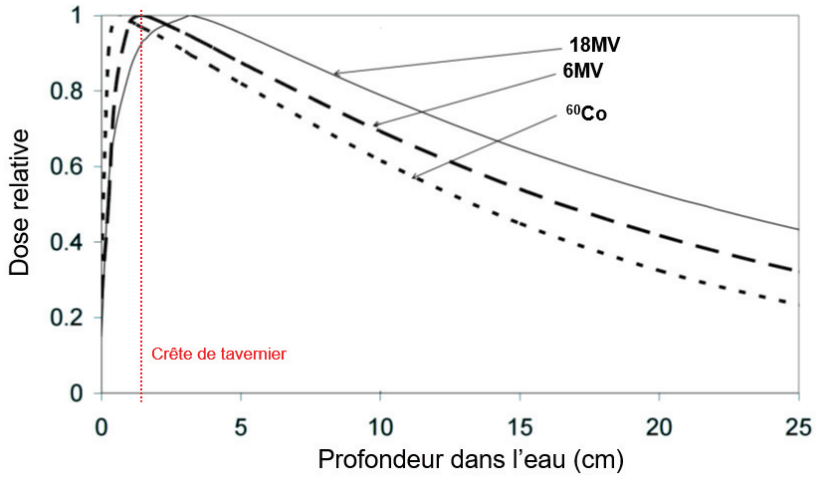


Figure 75 : Dose relative absorbée en fonction de la profondeur d'eau pour trois types de rayonnement X et gamma (18MV, 6MV et 1,33MeV).

5.2. Effet sur les dispositifs semi-conducteurs

Comme observé en figure 76), un faisceau de rayons X provenant d'un accélérateur linéaire à 6MV et n'étant pas strictement mono-énergétique [133], interagit avec le silicium selon trois mécanismes principaux : l'effet photoélectrique (production de paires électron-trou), la diffusion Compton (ionise les atomes de silicium en leur arrachant des électrons), et dans une moindre mesure la production de paires électron/positron. Comme présenté dans la partie 4.2.2 du chapitre 1,

ces deux premiers mécanismes entrainent systématiquement la création d'une paire électron-trou dans les semi-conducteurs. Grâce à leur mobilité élevée dans les oxydes, les électrons sont évacués rapidement sans dommage alors qu'une partie des trous, plus lents, vont directement participer à la dégradation du capteur en chargeant positivement les oxydes (centres E'). Les centres P_b présents aux interfaces Si/SiO_2 peuvent également être dé-passivés par la libération de protons H^+ présents dans l'oxyde.

En termes de création des paires électrons-trous dans un dispositif sous irradiation, on distingue l'effet quasi-instantané - effet d'événements singuliers, produisant un signal électrique perturbant dû à la traversée d'une particule de haute énergie dans un volume de silicium ; et l'effet cumulatif – effet de la dose d'irradiation, conduisant des charges positives piégées dans l'oxyde et une dégradation de la qualité d'interface Si/SiO_2 avec plus de liaisons pendantes et donc une augmentation de la densité d'états d'interface. Nos études portent sur la dégradation du courant d'obscurité après l'irradiation des capteurs, nous ne traitons donc pas l'effet d'événements singuliers.

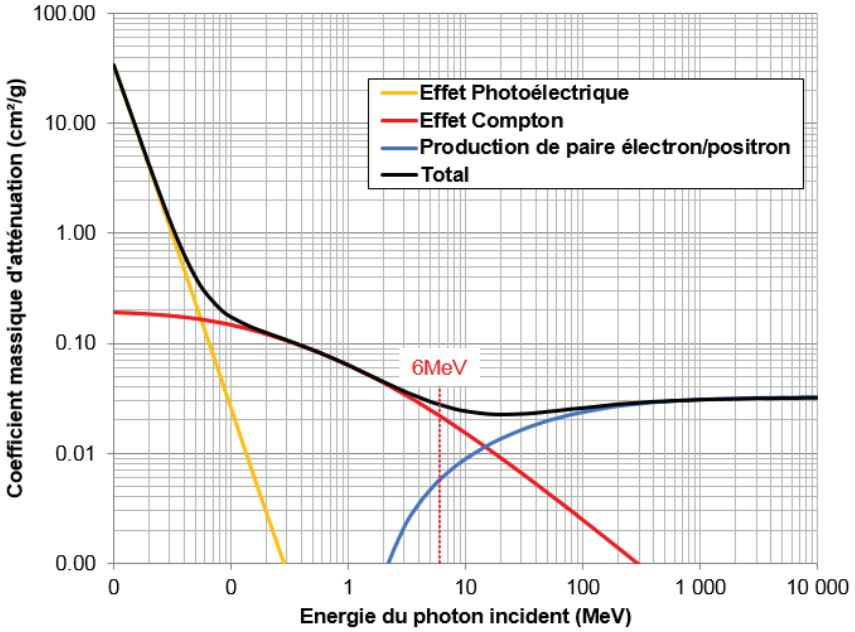


Figure 76 : Présentation des différents mécanismes d'absorption des photons dans le silicium en fonction de l'énergie de la particule incidente. Les trois mécanismes dominants sont représentés : l'effet photoélectrique (orange), l'effet Compton (rouge) et la production de paires électron/positron (bleu).

Enfin, les effets de déplacement d'atome dans le volume du silicium peuvent former des défauts cristallins ponctuels [134]. Les électrons secondaires générés par des rayons gamma ou X incidents peuvent en effet avoir suffisamment d'énergie pour déplacer des atomes et former différents défauts cristallins appelés lacunes ou interstitiels [135] [95] [90]. Ces lacunes peuvent ensuite diffuser et former divers complexes avec des dopants et autres défauts. La périodicité du cristal étant localement compromise, un ou plusieurs niveaux d'énergies peuvent être créés dans la bande interdite du silicium. Une liste non exhaustive de ces défauts et de leurs niveaux d'énergies respectifs est présente dans [92].

5.3. L'irradiation de capteurs de type P

5.3.1. Le capteur à tranchées d'isolations profondes remplies d'oxyde (DTI)

La figure 77 présente les distributions de courant d'obscurité mesurées à 60°C après irradiation pour des capteurs de type P à tranchées d'isolation profondes remplies d'oxyde. Les capteurs ont subi des doses ionisantes croissantes allant de 0 à 1050Gy. On observe que le pic

principal de population se décale vers des valeurs de courant d'obscurité plus élevées (flèche #1), l'image s'éclaircit donc comme observé sur la figure b). L'hypothèse principale habituellement avancée pour expliquer cette dégradation du courant d'obscurité avec la dose ionisante fait intervenir une augmentation de la densité d'états d'interface (D_{it} ou centres Pb) [136]. Plusieurs arguments en faveur de cette hypothèse seront développés dans les paragraphes suivants. Le second pic, identifié comme appartenant à des pixels contaminés, se décale de la même manière que le pic principal car la contribution du courant d'obscurité généré par les interfaces dégradées s'ajoute à celle des contaminants métallique (flèche #2). Comme le nombre de contaminants n'augmente pas il est normal que ces deux populations se comportent de façon identique.

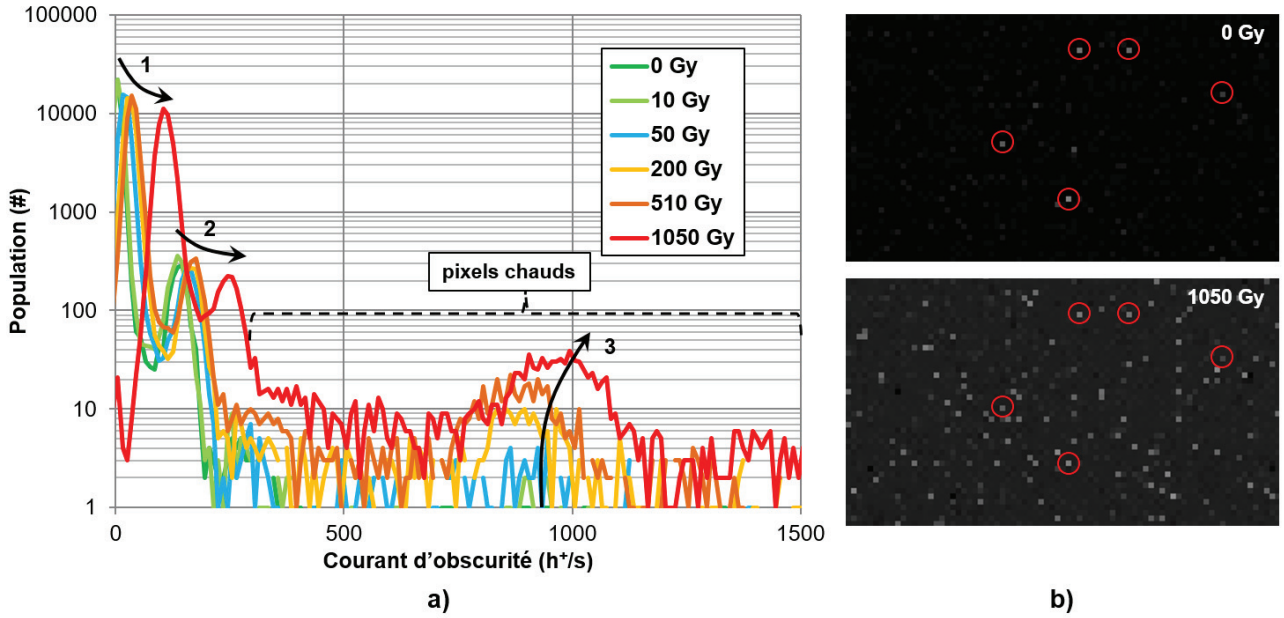


Figure 77 : a) Dégradations de la distribution de courant d'obscurité à 60°C observées après irradiation sur un capteur de type P à tranchées d'isolation DTI. Les flèches noires montrent le sens des dégradations lorsque la dose ionisante augmente. La figure b) montre un zoom sur deux images prises dans le noir à 60°C avec le même capteur avant et après irradiation à 1050Gy. Les cercles rouges entourent certains pixels blancs déjà présents à 0Gy.

Lors d'irradiations de capteurs d'image, la dégradation du courant d'obscurité de la population principale de pixels est habituellement attribuée à une augmentation du nombre d'états d'interface et de la densité de charges positives piégées dans le dioxyde de silicium [137]. Afin de vérifier cette hypothèse, nous avons étudié le courant d'obscurité généré par l'une des interfaces Si/SiO_2 les plus importantes du pixel : l'oxyde de la grille de transfert. La figure 78 présente une extraction de l'énergie d'activation du mécanisme dominant de génération de courant d'obscurité pour différentes polarisation de la grille de transfert avant (vert) et après (orange) irradiation à 510Gy. Pour rappel, la grille de transfert est habituellement polarisée à sa tension haute (V_{TGHI}) lors de l'intégration afin d'empêcher un écoulement involontaire des charges collectées dans la photodiode vers le nœud de lecture. Pour garantir en même temps une bonne passivation de l'interface avec l'oxyde de grille cette dernière est polarisée en accumulation d'électrons (V_{TGHI}-V_B = 1,5V). A cette tension, l'énergie d'activation extraite des distributions de courant d'obscurité est de l'ordre de la largeur de bande interdite, ce qui correspond à un mécanisme de diffusion et ce même après une dose d'irradiation de 510Gy. L'augmentation du courant d'obscurité de la population principale est donc due à une augmentation de la densité d'états d'interface N_{it} électriquement actifs comme décrit par l'équation (18). En revanche, lorsque V_{TGHI}-V_B<1,25V, l'énergie d'activation du mécanisme de génération diminue avec la tension de grille indiquant clairement une génération par effet tunnel dû au fort champ électrique imposé par la grille de transfert. Il s'avère qu'après irradiation, cette courbe est décalée de 100mV vers des tensions de grille plus faibles. Il est donc nécessaire d'appliquer une

tension plus faible sur la grille pour obtenir le même niveau de passivation suggérant ainsi un décalage de la tension de seuil du transistor. Ce décalage est cohérent avec l'accumulation d'un grand nombre de charges positives piégées dans les oxydes, soit l'équivalent de $N_{ot}(510Gy) \approx 4{,}3x10^{11}$ charge/cm². Ceci est d'autant plus remarquable que l'oxyde de la grille de transfert ne fait que 50Å d'épaisseur. Cette valeur est cohérente avec d'autres études menées sous irradiation gamma et présentées dans la littérature [137] [68].

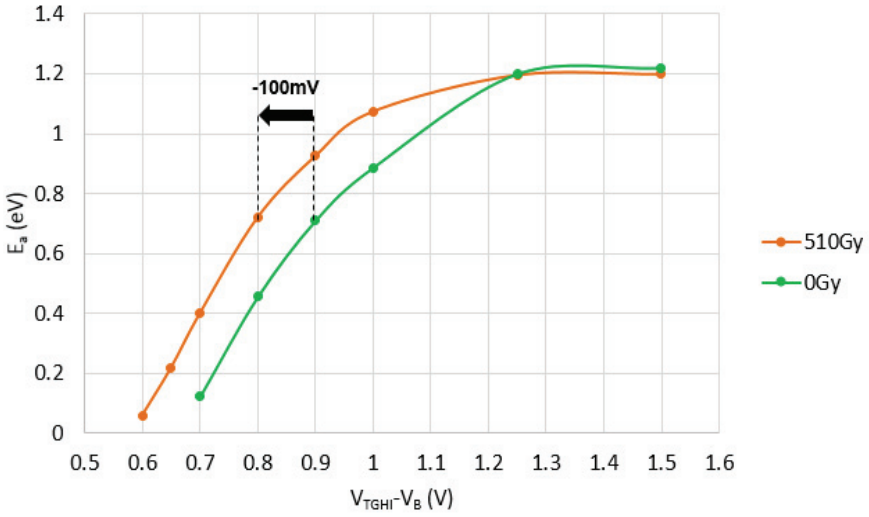


Figure 78 : Extraction de l'énergie d'activation du mécanisme de génération dominant pour la population principale de pixels à différentes tensions de grille de transfert (V_{TGHI}-V_B) avant et après irradiation à 510Gy.

Il est important de noter que le nombre de pixels blancs observés sur la figure 77 (avec un courant d'obscurité supérieur à 360h⁺/s/pixel) augmente lui aussi et entraine l'apparition de points blancs sur l'image. En environnement radiatif, ces pixels blancs sont généralement associés à des déplacements atomiques et à la formation de défauts ponctuels à l'intérieur même du cristal de silicium [138] [139]. Dans cette queue de distribution, une troisième population de pixels (flèche #3) commence à apparaitre avec un taux de génération aux alentours des 1000h⁺/s. Tout comme la population de pixels contaminés (population #2), le taux de génération de cette population augmente avec la dose ionisante (la population se décale vers la droite). Les pixels accumulent eux aussi le courant d'obscurité généré par les interfaces en plus de leur mécanisme dominant. L'origine du nouveau mécanisme ne contribue donc que pour $G_3(60°C) = I_{pic\#3}-I_0 = 870h^+/s$, avec I_0 correspondant au courant d'obscurité mesuré sur la population principale de pixels. Une étude en température de ce pic a permis d'en extraire son énergie d'activation : $E_a = \pm 0.47eV$. La littérature indique trois candidats possibles situés aux énergies suivantes E_C-0.46eV, E_C-0.45eV et E_V+0.5eV et correspondant respectivement à un complexe phosphore-lacune ($VP^{-/0}$), aussi connu expérimentalement sous le nom de centre E, un atome interstitiel de Bore ($B_i^{-/0}$) et un complexe bore-lacune (VB) [92]. Il s'avère cependant que le complexe lacune-bore et le défaut interstitiel de bore possèdent tous deux une température de recuit inférieure ou égale à la température ambiante [92]. Il est donc peu probable que ces défauts soient à l'origine de la population de pixels représentée par la flèche #2. Les centres E quant à eux, font partie des défauts régulièrement observés après l'irradiation de capteurs d'images [95] [92] [140]. De plus leur température de recuit est située entre 130°C et 190°C, ils devraient donc être toujours présents même après avoir soumis les capteurs à des températures allant jusqu'à 70°C lors des mesures. Enfin, le taux de génération de cette population de pixels mesuré sur les capteurs de type P irradiés est du même ordre de grandeur que celui extrait pour un centre E par Tivarus et al. lors d'une étude du courant d'obscurité de capteurs d'image CCD irradiés avec des particules alpha, ($G(60°C) = 900e^-/s$) [140].

Afin de confirmer ou d'infirmer l'hypothèse de la formation de centres E dans les capteurs irradiés, ces derniers ont été soumis à une série de recuits d'une durée de 35 minutes à des

températures comprises entre 100°C et 200°C. Après chaque recuit, les capteurs ont été refroidis à température ambiante avant d'en extraire leur distribution de courant d'obscurité à 60°C. La figure 79 présente ces distributions ; pour plus de clarté chaque distribution a été re-centrée sur le pic de la population principale de pixels en post-traitement. A titre de référence, la distribution du courant d'obscurité du capteur avant irradiation est aussi présentée (en noir sur la figure). Il s'avère que la population de pixels présentant un fort courant d'obscurité n'est pas affectée par le recuit à 100°C. En revanche, après un recuit à 150°C, ce pic de population a presque entièrement disparu pour finalement disparaitre complètement après le recuit à 200°C. Ces résultats sont en accord avec la gamme de température de recuit des centres E présentés dans la littérature. Il est donc fort probable que le défaut ponctuel généré par les rayons X dans les pixels de type P soit un centre E.

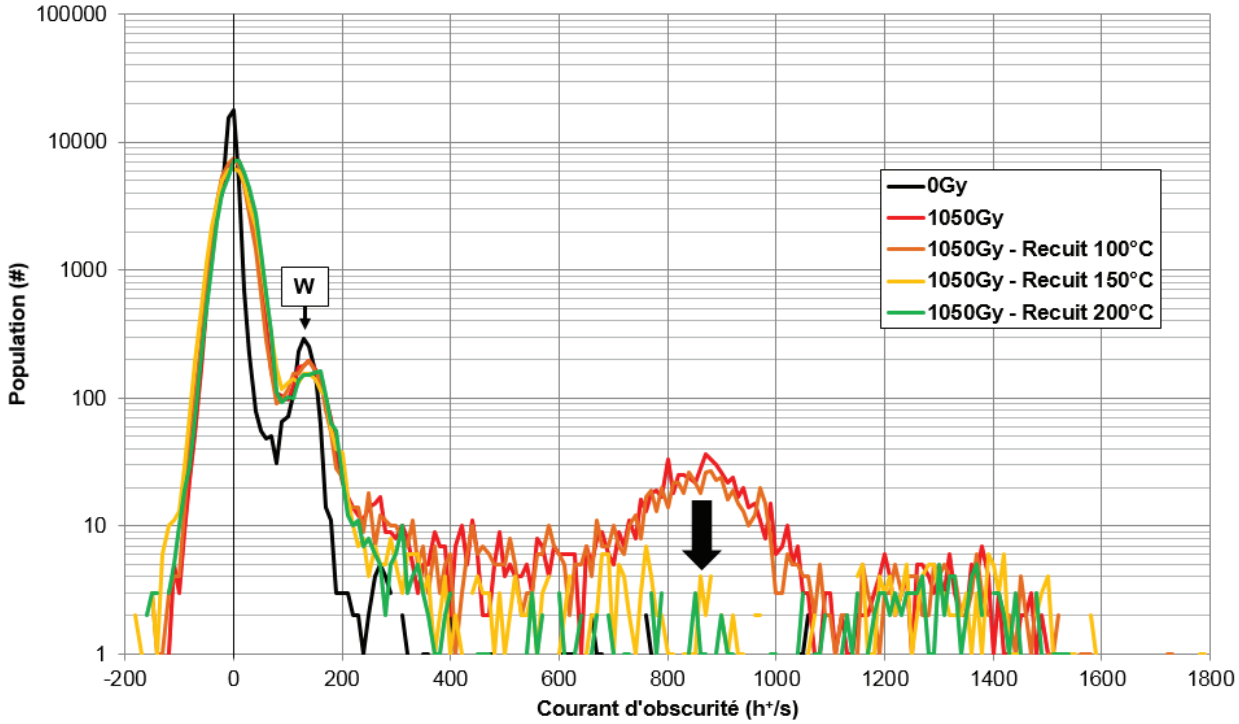


Figure 79 : Evolution de la distribution de courant d'obscurité mesurée à 60°C sur des capteurs de type P irradiés avec une dose de 1050Gy (rouge), après recuit à 100°C (orange), 150°C (jaune) et 200°C (vert). A titre de comparaison, la distribution du courant d'obscurité avant irradiation est représentée en noir. La flèche noire indique la guérison d'un défaut observé sur une minorité de pixels et générant un fort courant d'obscurité.

Afin d'étudier le comportement de la population principale de pixels au cours de ces recuits, un recuit supplémentaire a été effectué à 300°C pendant 35 minutes. A cette température, Ciragiddin et al. avaient observé sur des transistors de type P irradiés par des rayons gamma la guérison quasi-complète des états d'interface (N_{it}) et des charges piégées (N_{ot}), générés lors de l'irradiation [141]. La figure 80 présente trois distributions de courant d'obscurité recentrées sur la population principale de pixels : celle du capteur avant irradiation (noir), celle après irradiation à 105Gy (rouge) et enfin celle du capteur irradié après recuit à 300°C pendant 35 minutes (bleu). Sur cette dernière, on observe bien que tous les défauts ponctuels générés par l'irradiation et entrainant la création de pixels blancs ont été guéris. La distribution après recuit s'aligne parfaitement avec celle avant irradiation. L'encadré en haut à droite présente l'évolution du courant d'obscurité moyen de la population principale de pixels en fonction des différents recuits réalisés lors de cette étude. Pour rappel, le courant d'obscurité de la population principale de pixel du capteur avant irradiation est représenté en pointillés noirs. On observe que le courant d'obscurité tend tout d'abord à augmenter jusqu'à atteindre son maximum entre 150°C et 200°C. Il chute ensuite rapidement pour retomber proche du courant d'obscurité moyen mesuré avant irradiation. Ce phénomène a clairement été expliqué dans [141] et peut se résumer comme suit. Les charges positives (N_{ot}) piégées dans les oxydes possèdent

une température de recuit de 200°C environ. Elles vont donc progressivement disparaitre jusqu'à atteindre cette température. Comme ces dernières ont tendance à attirer des électrons aux interfaces Si/SiO_2 et à en améliorer la passivation, leur guérison entraine une diminution de la concentration d'électrons à l'interface et donc une baisse de son degré de passivation. Soit l'équivalent d'une augmentation du nombre d'états d'interface électriquement actifs dans la génération de courant d'obscurité. Le courant d'obscurité global augmente donc. Les états d'interface (N_{it}), quant à eux, possèdent une température de recuit supérieure à 200°C. Leur guérison ne commencera donc qu'une fois les N_{ot} entièrement éliminés. A 300°C seule une très faible quantité des états d'interface générés lors de l'irradiation est encore présente. Le courant d'obscurité de la population principale de pixel retombe donc quasiment à sa valeur avant irradiation.

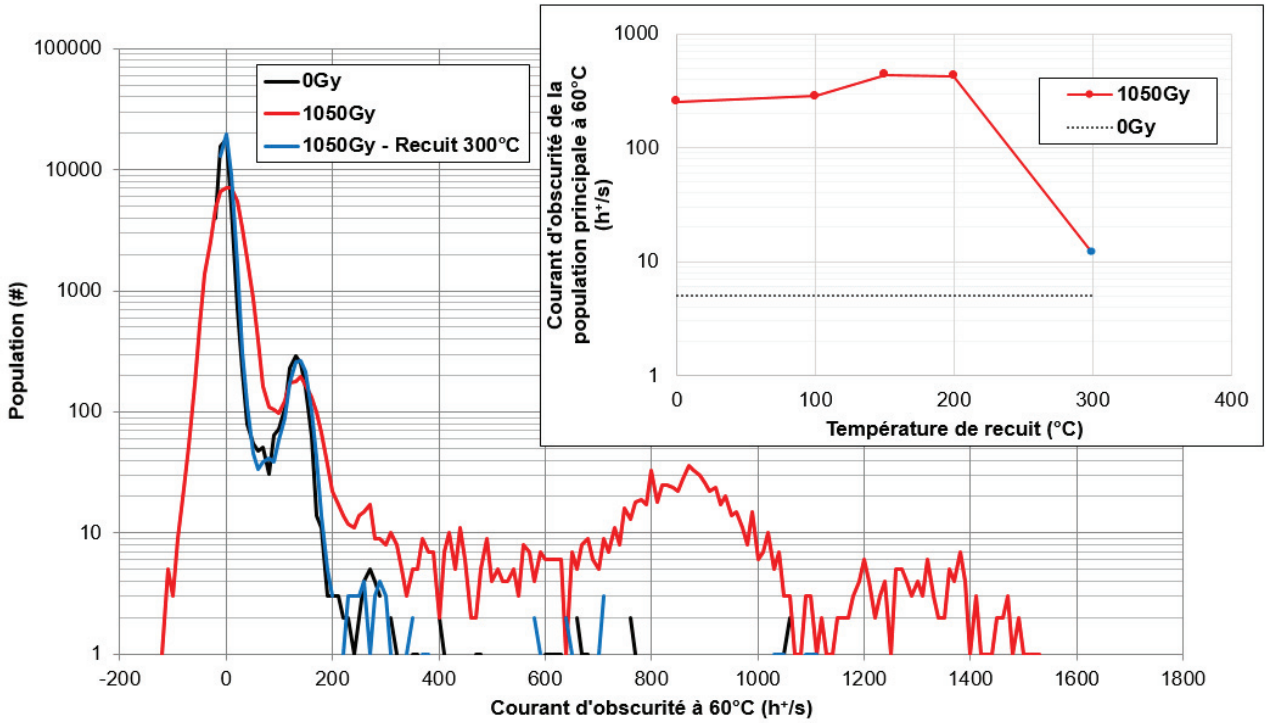


Figure 80 : Distribution de courant d'obscurité recentrée du capteur de type P avant (noir) et après (rouge) irradiation à 1050Gy et après recuit à 300°C pendant 35 minutes (bleu). L'encadré présente l'évolution du courant d'obscurité moyen de la population principale de pixels du capteur irradié en fonction de la température de recuit de ce dernier. La ligne pointillée noire représente le courant d'obscurité moyen de la population principale de pixels du capteur avant irradiation.

Le fait que les pixels de type P se comportent de la même manière que des transistors PMOS lors d'une irradiation par des rayons X montre encore une fois que l'un des principaux mécanismes de dégradation des capteurs d'image sous irradiation est la création d'états d'interface et le piégeage de charges positives dans les oxydes. Ce dernier mécanisme augmentant les charges positives dans l'oxyde aura un effet plus marqué si l'oxyde est épais. Il est donc d'autant plus intéressant d'étudier le comportement des capteurs à tranchées CDTI, pour lesquels l'épaisseur d'oxyde des tranchées isolant chaque pixel est 17 fois plus mince que pour des tranchées DTI standard. De plus, la passivation active des tranchées devrait permettre de maintenir l'interface Si/SiO_2 en accumulation même si le nombre d'états d'interface augmente lorsque le capteur est irradié. Il devrait donc en résulter des pixels plus stables que les pixels standards face aux irradiations.

5.3.2. Le capteur à tranchées d'isolation profondes capacitives

La figure 81 présente la même étude que celle réalisée précédemment, mais faite sur un capteur de type P à tranchées d'isolation profondes capacitives polarisées en accumulation

d'électrons (V_{CDTI}-V_B = 1V). Comme attendu, le courant d'obscurité de la population principale de pixels (flèche #1) est maintenu à un niveau très faible et ne se décale pas lorsque la dose ionisante augmente. L'image reste donc principalement noire. Nous n'avons pas observé de décalage des pics de population, contrairement au cas du capteur de type P à tranchées DTI. Le décalage provient donc bien de la dégradation des interfaces Si/SiO_2 des tranchées d'isolation profondes lors de l'irradiation. Il reste cependant à mieux comprendre le mécanisme de dégradation engendré par les rayons X dans ces oxydes.

Les points gris déjà présents avant irradiation correspondent au second pic de population de la distribution (flèche #2). Ils ont déjà été identifiés comme étant la conséquence de contaminations métalliques. Comme précédemment ce pic se comporte comme la population principale de pixel, il reste stable. Ce comportement est attendu car le nombre de pixels contaminés n'augmente pas et que la quantité de courant d'obscurité générée par les contaminants n'est pas influencée par l'irradiation du capteur.

En revanche, le nombre de pixels blancs (flèche #3) augmente avec la dose et un certain nombre de points blancs apparaissent sur l'image. Il est alors bon de rappeler que dans le pixel CDTI toutes les interfaces ne sont pas passivées par polarisation. En effet, les interfaces Si/SiO_2 de la face arrière du pixel et des tranchées d'isolation surfaciques restent uniquement passivées par implantation ionique. Il est donc normal que certains pixels se dégradent si trop d'états d'interface sont générés au niveau de ces oxydes épais.

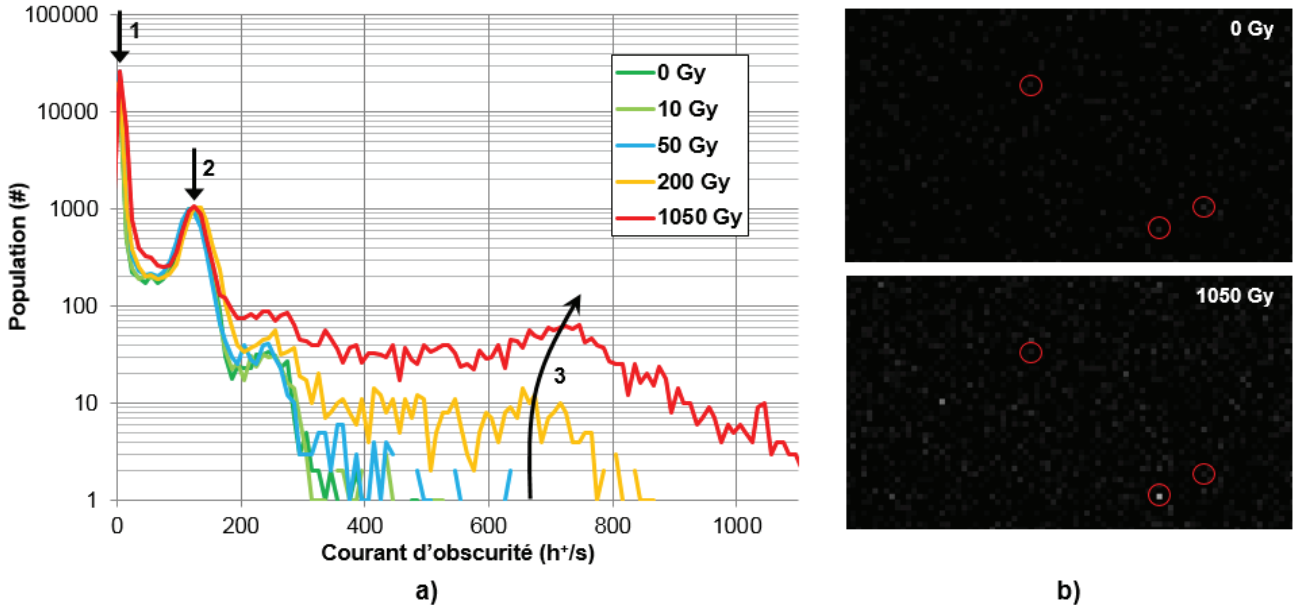


Figure 81 : a) Dégradation de la distribution de courant d'obscurité à 60°C observées après irradiation sur un capteur de type P à tranchées CDTI polarisées en accumulation d'électrons (V_{CDTI}-V_B = 1V). Les flèches noires montrent le sens des dégradations lorsque la dose ionisante augmente. La figure b) montre un zoom sur deux images prises dans le noir à 60°C avec le même capteur avant et après irradiation à 1050Gy. Les cercles rouges entourent certains pixels blancs déjà présents à 0Gy.

Une étude plus détaillée des images acquises dans l'obscurité révèle que le courant observé sur certains de ces pixels blancs provient d'une fuite entre le polysilicium des tranchées CDTI et la partie active du pixel. L'oxyde isolant le polysilicium est dégradé par irradiation et n'effectue donc plus sa fonction d'isolant électrique. Comme la tranchée de polysilicium de type N n'est pas au même potentiel que le caisson N du pixel un courant $I_{CDTI\text{-}Substrat}$ se forme et entraine le remplissage progressif de la photodiode. La figure 82 présente schématiquement deux configurations de pixels différentes : l'une où le pixel est ouvert sur ses voisins par le substrat (comme c'est le cas dans un capteur éclairé par la face avant) et l'autre où le pixel est entièrement isolé par de l'oxyde (capteur éclairé par la face arrière). Après irradiation, la photodiode du pixel « ouvert » est rapidement remplie par le courant de fuite $I_{CDTI\text{-}Substrat}$ et commence à déborder sur les pixels voisins. Dans le cas où le

pixel est entièrement isolé électriquement les voisins ne sont pas affectés par la fuite de la tranchée CDTI et seul un pixel est affecté. Comme l'intégration BSI impose que la face arrière du pixel soit isolée électriquement, le pixel de type P développé dans cette thèse est naturellement résistant à ce problème de fiabilité. Il reste à optimiser les procédés de fabrication des CDTI pour que l'oxyde entre le poly-silicium de la tranchée et le silicium actif soit plus résistant à l'irradiation en terme de courant de fuite.

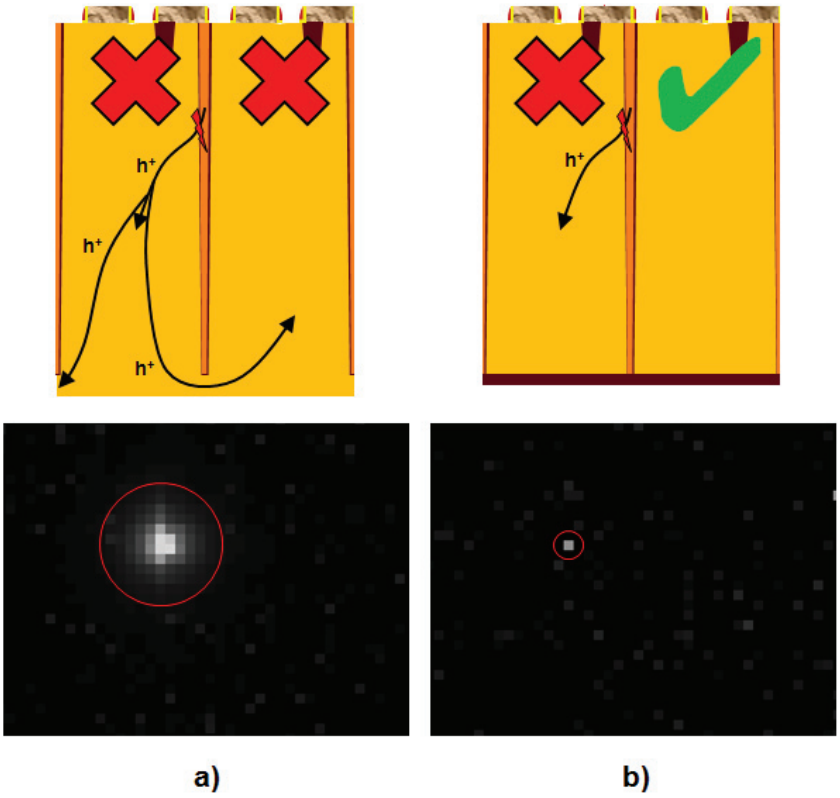


Figure 82 : Schémas et images prisent dans le noir à 60°C après irradiation à 1050Gy présentant deux configurations de pixels à tranchées CDTI : a) pixel ouvert et b) pixel isolé. L'éclair rouge représente un court-circuit entre le poly-silicium du CDTI et le silicium actif du pixel.

5.3.3. L'irradiation des capteurs de type N avec DTI

De la même manière, les pixels de type N à photodiode verticale éclairée par la face arrière ont eux aussi été irradiés. La figure 83 présente l'impact de l'irradiation sur la distribution de courant d'obscurité de ces capteurs. Le capteur n'étant pas équipé de tranchées d'isolation profondes capacitives il n'est pas étonnant de voir que la distribution principale de pixel (flèche #1) se décale vers des valeurs de courant d'obscurité plus élevées et que l'image prise dans l'obscurité s'éclaircisse. Les deux types (P et N) de capteurs avec DTI voient le courant d'obscurité de leur population principale de pixels multiplié par environ un facteur 30 après une dose ionisante de 1050Gy (x26.7 pour le capteur de type P et x30.5 pour le capteur de type N). Le décalage est cependant nettement plus visible pour le pixel de type N car le courant d'obscurité de sa population principale avant irradiation est quatre fois supérieur à celui de la population principale du pixel de type P.

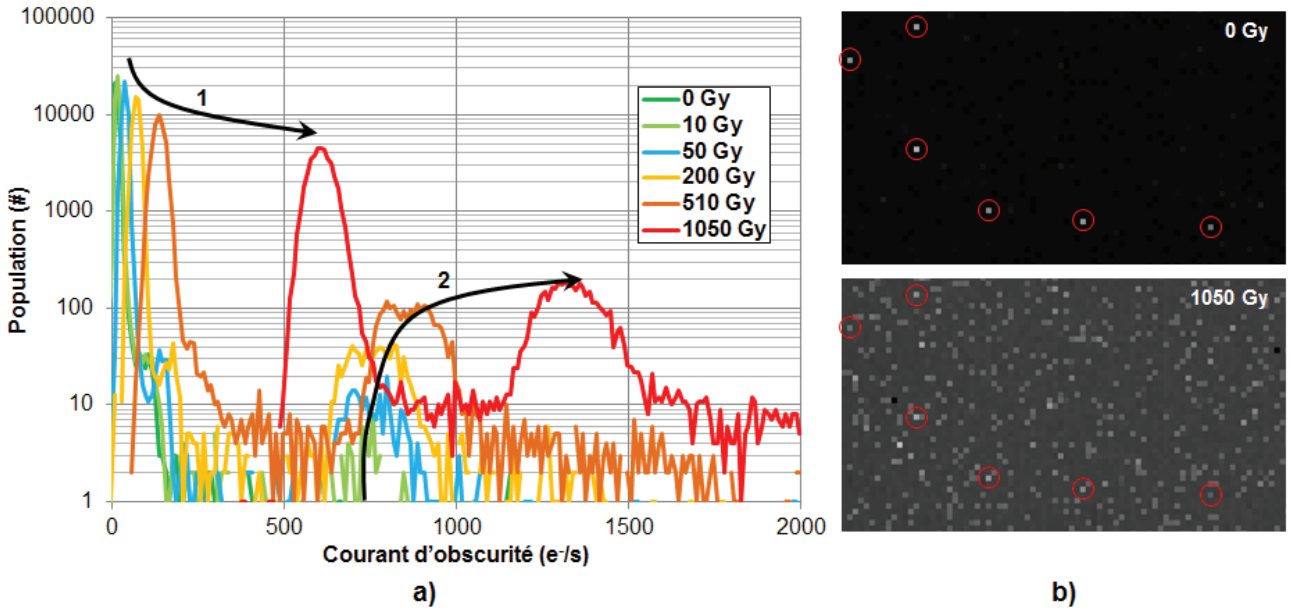


Figure 83 : a) Dégradations de la distribution de courant d'obscurité à 60°C observées après irradiation sur un capteur de type N à tranchées DTI. Les flèches noires montrent le sens des dégradations lorsque la dose ionisante augmente. La figure b) montre un zoom sur deux images prises dans le noir à 60°C avec le même capteur avant et après irradiation à 1050Gy. Les cercles rouges entourent certains pixels blancs déjà présents à 0Gy.

Comme pour les capteurs de type P, le nombre de pixels blancs du capteur de type N augmente avec la dose ionisante. On observe notamment l'apparition d'un pic de pixels blancs similaire à celui trouvé sur le capteur de type P (flèche #2). Ce pic concerne cependant un plus grand nombre de pixels (7,8% de la population pour le capteur de type N contre seulement 1.5% pour le capteur de type P) et possède une énergie d'activation plus faible $E_a = \pm 0.42eV$. Situé aux alentours des 800e^-/s, il croît rapidement avec la dose ionisante. A forte dose (≥510Gy), il se décale vers des valeurs plus élevées (900e^-/s à 510Gy et 1350 e^-/s à 1050Gy). Les pixels de cette population subissent donc aussi la dégradation de la population principale de pixel, soit celle des interfaces des tranchées d'isolation profondes. En soustrayant cette contribution au taux de génération mesuré on en déduit un taux de génération effectif pour le défaut en question : G_2(60°C) = 750e^-/s.

Bien que proche des valeurs observées pour le pic de population présent sur les capteurs de type P après irradiation, cette plus faible énergie d'activation nous indique qu'il est possible que le défaut observé ne soit pas le même. En effet, un autre candidat souvent observé sur des capteurs irradiés possède une énergie d'activation positionnée exactement à cette valeur, $E_a = E_C - 0.42eV$, la bi-lacune $V_2^{-/0}$. Enfin, en analysant à 70°C une distribution de courant d'obscurité regroupant 15 fois plus de pixels, une troisième population de pixels non présente avant irradiation a été mise en évidence (voir figure 84). Cette population possède une énergie d'activation $E_a = \pm 0.45eV$ pouvant correspondre à un centre E ainsi qu'un taux de génération G_3(60°C) ≈ 1500e^-/s. Cette valeur est proche de deux fois G_2 ; il pourrait donc s'agir du même défaut présent en double. Cependant, la large dispersion non gaussienne du défaut numéro 3 laisse elle aussi penser que deux défauts différents pourraient être responsables de ce pic.

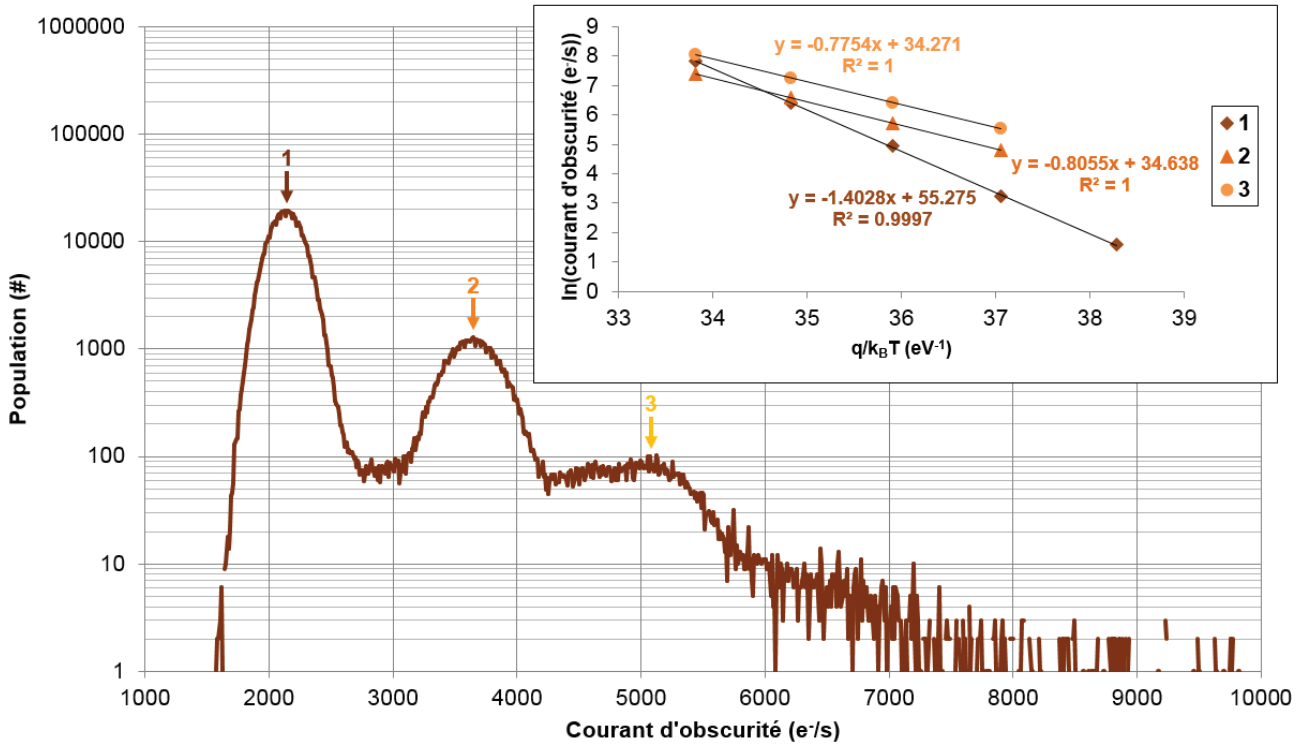


Figure 84 : Distribution de courant d'obscurité mesuré à 70°C sur un capteur de type N après irradiation à 1050Gy. Les flèches I0, 1 et 2 indiquent trois populations de pixels se distinguant très nettement. Dans l'encadré est présentée une extraction de l'énergie d'activation de chaque population. L'énergie indiquée est l'énergie $E_{a,mesurée}$ non corrigée.

Afin de s'assurer de la nature du ou des défauts retrouvés dans les pixels de type N après irradiation, nous avons effectué une étude de recuit de défauts similaire à celle menée pour les capteurs de type P et décrite dans la sous partie 4.3.1 de ce chapitre. Le but de cette étude est de déterminer si, comme dans les capteurs de type P, seul le centre E (VP) a été formé ou si d'autres défauts ponctuels comme la bilacune (V_2) ont aussi fait leur apparition. La figure 85 présente la température de recuit de différents défauts ponctuels liés à des lacunes dans le silicium. On y observe clairement que le centre E possède deux défauts de charge neutre (VP^0) ou de charge négative (VP^-) possédant une température de recuit respective de $100°C<T_{VP}^0<150°C$ et $150°C<T_{VP}^-<200°C$. En revanche, la bilacune (notée VV ou V_2) et le centre A (noté VO) possèdent tous deux une température de recuit supérieure à 250°C. Les défauts associés à une lacune simple quant à eux, ont une température de recuit bien inférieure à 0°C et ne devraient donc pas être présents dans nos capteurs.

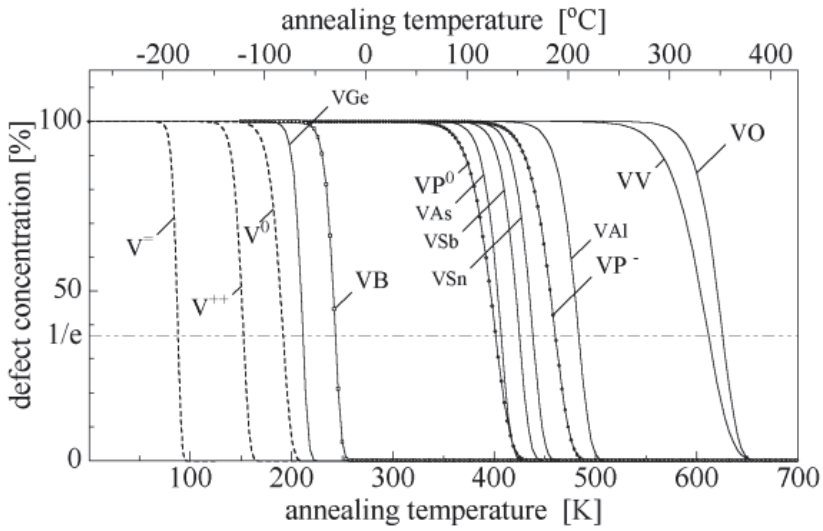


Figure 85 : Températures de recuit de différents défauts ponctuels liés à des lacunes dans le silicium. Le pourcentage de défauts encore présents après un recuit de 20 minutes à une température T est indiqué en ordonnée [92].

La figure 86 regroupe les distributions de courant d'obscurité mesurées avant et après irradiation ainsi que celles obtenues après chaque période de recuit de 35 minutes. Les populations #2 et #3 montrent une forte diminution après le recuit à 200°C pour finalement entièrement disparaitre après un recuit à 300°C. La population #3 est donc très probablement une réplique de la population #2. Leur température de recuit inférieure à 200°C ainsi que leur énergie d'activation nous indiquent que le défaut responsable de ce fort courant d'obscurité est le même que celui observé dans les capteurs de type P irradiés : le centre E (VP). En revanche, la population #4 n'est pas affectée par le recuit à 200°C et est toujours présente, bien que décalée, après le recuit à 300°C. D'après la figure 85 seuls la bilacune (V_2) et le centre A (VO) possèdent des températures de recuit supérieures à 200°C. Cependant, le centre A possède une énergie d'activation $E_a = E_C\text{-}0{,}164eV$ bien trop éloignée de celle mesurée pour le défaut en question [92]. Tout indique donc que le défaut #4 serait une bilacune. De plus, l'énergie d'activation de la population #4 restante après recuit à 300°C est de $E_a = \pm 0.43eV$, soit très proche de la valeur énoncée dans la littérature pour la bilacune. Enfin, Tivarus et al. avaient mesuré un taux de génération d'environ 1050e^-/s à 60°C pour la bilacune, ce qui correspond exactement avec celui mesuré sur les capteurs de type N irradiés après recuit à 300°C [140].

Avec la disparition d'une partie de la population #4 nous observons aussi l'apparition d'une 5ème population de pixels non observée jusqu'à présent et présentant un taux de génération G_5(60°C) = 215e^-/s. Ce pic possède une énergie d'activation $E_a = \pm 0.36eV$ et de toute évidence une température de recuit bien supérieure à 300°C. D'après Pagava et al., deux mécanismes sont possibles pour la guérison de bilacunes dans un cristal de silicium de type N [142]. L'un d'eux implique la formation de complexes phosphore + bilacune (PV_2) possédant une énergie d'activation $E_a = E_V + 0.34eV$ et une température de recuit comprise entre 400°C et 500°C. Il ne nous est malheureusement pas possible de vérifier cette hypothèse par un recuit supplémentaire car les capteurs ne supporteraient pas de si hautes températures. Le second mécanisme impliquant la formation de complexes V_2O n'a pas été considéré dans cette analyse du fait de son énergie d'activation trop élevée : $E_a = E_C\text{-}0.5 \pm 0.05eV$.

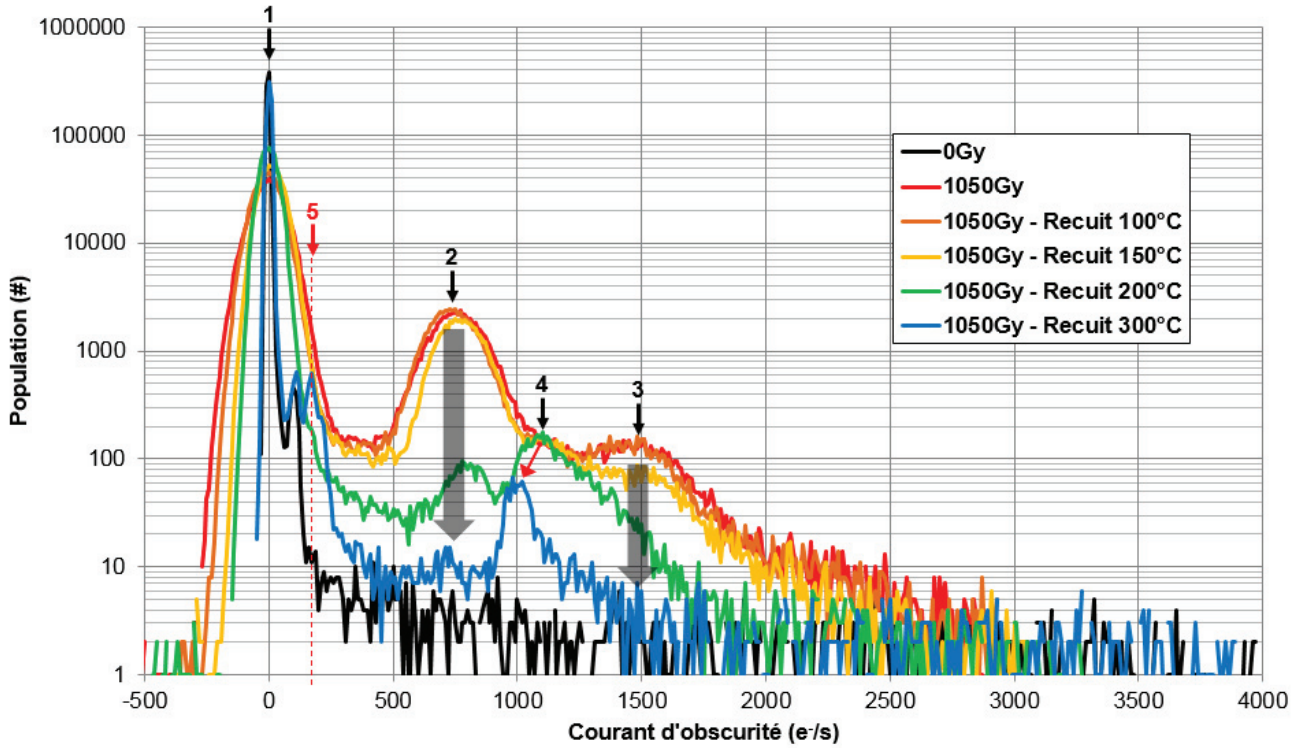


Figure 86 : Distributions du courant d'obscurité mesurées à 60°C sur un capteur de type N avant (noir) et après (rouge) irradiation à 1050Gy et à différents stades de recuits : après 35 minutes à 100°C (orange), 150°C (jaune), 200°C (vert) et 300°C (bleu). La chute de population des défauts #2 et #3 est représentée par les flèches noires transparentes. Le décalage de la population #4 et la formation d'une 5ème population de pixel après recuit à 300°C sont indiqués par les flèches rouges.

6. Comparaisons et discussions

Le tableau 1 rappelle le courant d'obscurité moyen de la population principale de pixels mesuré à 60°C et 70°C pour trois configurations de pixels différentes : le pixel de type N à tranchées DTI, le pixel de type P à tranchées DTI et le pixel de type P à tranchées d'isolation profondes capacitives polarisées en accumulation d'électrons.

Tableau 1 : Rappel du courant d'obscurité moyen de la population principale de pixels mesuré sur trois architectures de pixel différentes à 60°C et 70°C.

	Courant d'obscurité moyen (porteur/s)		
Température (°C)	**Type N - DTI**	**Type P - DTI**	**Type P - CDTI**
60	22,8	10,0	7,6
70	103	21,0	19,0

A ces températures, il a été montré que le mécanisme limitant le courant d'obscurité était un mécanisme de diffusion, attestant ainsi de la bonne passivation des interfaces des trois capteurs en question. Malgré cette bonne passivation, les deux capteurs de type P présentent un bruit nettement inférieur à celui mesuré sur le capteur de type N. Cette différence de comportement provient essentiellement du fait que dans le silicium, le coefficient de diffusion des trous est environ trois fois inférieur à celui des électrons, le capteur de type P possède donc un courant d'obscurité intrinsèquement meilleur que celui du capteur de type N. Aussi, la passivation des interfaces Si/SiO_2

par tranchées d'isolation profondes capacitives s'est montrée tout aussi efficace que la passivation par implantation ionique. Dans ces conditions, il est alors possible de diminuer la dose implantée voir de l'éliminer complètement afin d'étendre davantage la zone de charge d'espace de la photodiode.

L'étude du comportement des capteurs après irradiation, réalisée à l'aide du service de radiothérapie du centre hospitalier Lyon Sud, a permis de montrer que les pixels blancs observés sur des capteurs d'image irradiés aux rayons X étaient principalement dus à l'apparition de défauts ponctuels dans le cristal de silicium (soit des défauts de déplacement d'atomes) et plus particulièrement dans la zone de charge d'espace de la photodiode. En revanche, la dégradation du courant d'obscurité de la population principale de pixels est la conséquence d'une augmentation de la densité d'états d'interface au niveau de l'interface Si/SiO_2 couplée à une augmentation de la quantité de charges positives piégées à l'intérieur des oxydes. L'accumulation d'états d'interface entraine alors une dégradation du courant de diffusion observé avant irradiation comme expliqué dans [124]. Cette dégradation des interfaces n'augmente pas le nombre de pixels blancs car les défauts créés sont situés en dehors de la zone de charge d'espace. Nous avons aussi vu qu'il était possible de guérir la plupart de ces défauts à l'aide de recuits à haute température (>300°C). Certains défauts ponctuels comme les bilacunes ou les complexes PV_2 possèdent cependant une température de recuit bien trop élevée pour pouvoir être totalement éliminés sans endommager le capteur d'images.

Nous avons aussi vu que les capteurs de type N et de type P présentaient deux mécanismes de dégradation différents sous irradiation X ou gamma de forte énergie (6MeV). Chacun d'eux subi la formation de centre E (ou défauts VP) générant un grand nombre de pixels blancs possédant une énergie d'activation et donc une distribution bien définie. Mais le capteur de type N voit également apparaitre des bilacunes qui sont nettement plus difficiles à éliminer par recuit thermique. De plus, le capteur de type N semble plus enclin à former des centre E que le capteur de type P. En effet, après irradiation, le capteur de type N possède une population de pixels présentant des centres E plus de 5 fois plus importante que le capteur de type P. Cette différence s'explique certainement par une différente répartition des dopants dans chacun des cas (voir chapitre #2), la photodiode étant formée avec des dopants phosphore dans un cas (type-N) alors qu'elle est formée avec des dopants bore dans l'autre (les dopants phosphore servant uniquement à « pincer » la zone dopée Bore). Le nombre d'atomes de phosphore présent dans la zone de charge d'espace de chaque pixel a été estimé grâce à des simulations TCAD en trois dimensions et montre que le quotient type-N/type-P est égal à 6,2 ce qui est très proche du nombre de pixels supplémentaire présentant ce défaut pour une photodiode à collection d'électrons.

Le pixel de type N présente également une dégradation plus rapide de ses interfaces Si/SiO_2 que le pixel de type P, même lorsque celles-ci sont correctement passivées. Lorsque la dose ionisante augmente, cela entraine une plus forte génération de courant d'obscurité par les interfaces dans tous les pixels du capteur. Les deux types de capteur subissent les mêmes types de dégradation au passage de rayonnement X : une augmentation du nombre de liaisons pendantes (ou états d'interface, N_{it}) à l'interface Si/SiO_2, ainsi qu'une augmentation du nombre de charges positives piégées au cœur des oxyde épais (N_{ot}). Le premier mécanisme entraine la même dégradation dans chacun des capteurs. Une augmentation de la densité d'états d'interface correspond à une augmentation du nombre de niveaux d'énergie autorisés dans la bande interdite et entraine donc une augmentation de la génération du courant d'obscurité à cette interface, même si celle-ci est limitée par un mécanisme de diffusion. Les deux capteurs subissent la même augmentation du nombre de ces états d'interface car ces dernières sont fabriquées avec des procédés identiques. En revanche, la dégradation plus rapide du courant d'obscurité observée sur les pixels de type N s'explique par le deuxième mécanisme de dégradation : l'accumulation de charges positives dans le dioxyde de silicium au fur et à mesure que la dose ionisante augmente. En effet, ces charges positives vont avoir tendance à repousser les trous accumulés à l'interface Si/SiO_2 des pixels de type N et servant à

passiver les états d'interface. La densité d'états d'interface électriquement actifs augmente donc d'autant plus que le nombre de charges positives est important. En revanche, dans le pixel de type P, ces même charges positives vont attirer des électrons à l'interface Si/SiO_2 et éloigner la zone de charge d'espace de l'interface. Ces électrons vont donc passiver électriquement les liaisons pendantes présentes à l'interface Si/SiO_2 et ainsi diminuer le taux de génération de ces interfaces. De plus, plusieurs études ont montré dans le cas d'un pixel de type N qu'une augmentation trop importante de la concentration de N_{ot} ($>9x10^{11}$ cm^{-2}) pouvait entrainer la désertion d'une partie de l'interface Si/SiO_2 et ainsi diminuer l'énergie d'activation du mécanisme de génération SRH au niveau des liaisons pendantes [137] [143]. L'accumulation de charges positives dans les oxydes des capteurs de type P constitue donc un avantage certain pour maintenir un courant d'obscurité bas en milieu ionisant.

Malgré l'accumulation de charges positives dans les oxydes des capteurs de type P, nous avons tout de même observé une dégradation du courant d'obscurité de la population principale de pixels avec la dose. Ceci est dû à une plus forte augmentation du nombre d'états d'interface N_{it} que de N_{ot} au cours de l'irradiation. Dans cette situation, les capteurs à tranchées capacitives se sont avérés bien plus résistant que les capteurs à tranchées d'isolations passivées par implantation ionique (voir figure 87). En effet, leur courant d'obscurité moyen ne s'est dégradé que d'un facteur 3,5 alors que celui des capteurs à tranchées DTI s'est dégradé d'un facteur 10 et 30 (type P et type N respectivement). La population principale de pixel du capteur CDTI n'a été impactée que de manière négligeable comparée aux autres capteurs. Le pixel CDTI est donc bien plus résistant à l'augmentation de la densité d'états d'interface que le pixel à tranchées DTI. Cependant, la fragilité de l'oxyde isolant le poly-silicium de l'active reste la principale faiblesse du capteur de type P à tranchées CDTI.

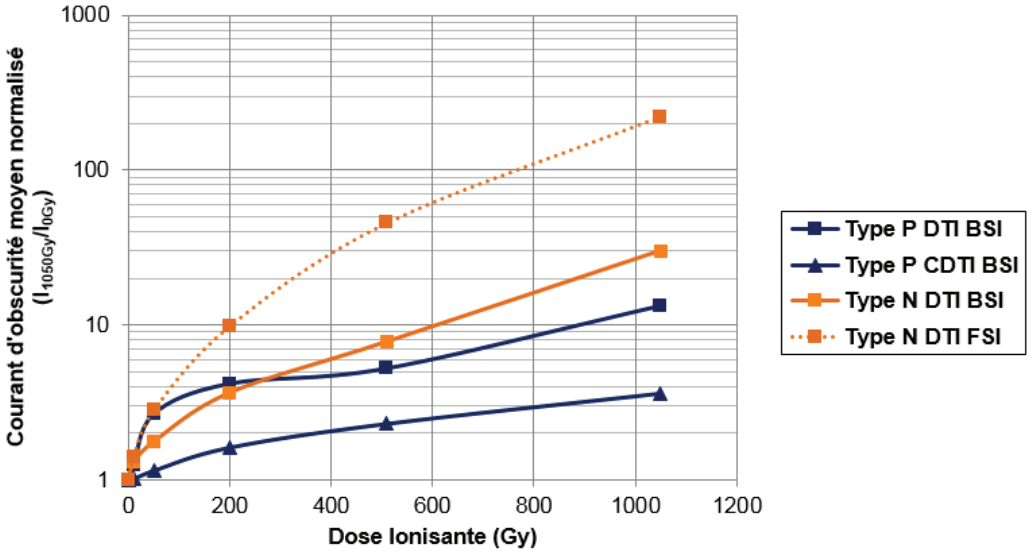


Figure 87 : Courant d'obscurité moyen normalisé (I_{1050Gy}/I_{0Gy}) en fonction de la dose ionisante déposée sur quatre types de capteurs différents : le capteur de type P éclairé par la face arrière à tranchées d'isolation profondes, celui à tranchées CDTI, celui de type N à tranchées DTI et celui de type N éclairé par la face avant et à tranchées DTI.

Finalement, après une dose ionisante d'environ 1kGy, il a été observé que le capteur de type P à photodiode verticale et tranchées DTI présente approximativement le même niveau de courant d'obscurité que le capteur de type P à photodiode planaire isolée par tranchées DTI développé par Sébastien Place et irradié avec des rayons gamma [137]. En revanche, ce n'est pas le cas pour le capteur de type N à photodiode planaire qui possède un courant d'obscurité 7 fois plus élevé que le capteur à photodiode verticale. Cette dernière étant plus éloignée des interfaces Si/SiO_2 que la photodiode planaire, notamment en surface, une dose ionisante plus importante est nécessaire pour

accumuler suffisamment de N_{ot} dans les oxydes pour que la zone de charge d'espace s'étende jusqu'à l'interface.

7. Conclusion

Nous avons mené des études sur le courant d'obscurité des différents types de capteurs fabriqués au cours de cette thèse. Nous avons montré que la technique de spectroscopie de courant d'obscurité peut permettre l'identification d'éventuels contaminants métalliques ou de défauts ponctuels du cristal présents en faible concentration ($\approx 10^{10}$at/cm^3) dans la zone de charge d'espace du pixel. Cette méthode peut alors être croisée avec une série de recuits à différentes températures pour confirmer ou infirmer les conclusions tirées des distributions de courant d'obscurité.

Nous avons comparé différents types et configurations de capteurs : Type P en DTI, Type P en CDTI et Type N en DTI. Les capteurs de type P réalisés présentent un niveau de courant d'obscurité moyen nettement plus faible que celui de type N : environ 3 fois inférieur pour le type P à 60°C. Par ailleurs, l'effet d'irradiation n'est pas le même sur ces capteurs : la dégradation du courant d'obscurité est moins rapide pour le capteur de type P que pour celui de type N. Cela peut être dû au fait que l'accumulation de charges positives dans l'oxyde augmente la densité d'électrons à l'interface, ce qui est bénéfique pour le type P et préjudiciable pour le type N en termes de passivation. Le capteur de type P à tranchées CDTI présente le plus faible niveau de courant d'obscurité avant irradiation parmi les trois types de capteurs et semble également moins sensible aux dégradations générées par irradiation. Cela confirme un avantage majeur des tranchées CDTI : la passivation active est plus efficace que celle passive.

Chapitre 4 : Evaluation des performances électro-optiques du capteur d’images à collection de trous

1. Introduction

Ce chapitre est une étude détaillée des principales caractéristiques électro-optiques du capteur de type P développé au cours de cette thèse. Le cas du courant d'obscurité du capteur ayant déjà été traité en abondance dans le chapitre précédent, il ne sera pas traité dans cette partie du manuscrit. Le but de ce chapitre est de démontrer la mise en œuvre réussie du capteur de type P à photodiode verticale éclairée par la face arrière (*Back-Side Illuminated* ou *BSI* en anglais) au travers de mesures de figures de mérite essentielles pour les capteurs d'image CMOS. Aussi, afin de mieux percevoir l'impact du passage au pixel de type P, certaines performances de ce dernier seront encore une fois comparées à une technologie de référence développée chez STMicroelectronics : le pixel de type N à photodiode verticale.

Dans une première partie, nous étudierons l'un des paramètres dont la connaissance est essentielle à la bonne caractérisation des capteurs d'images CMOS : le facteur de conversion de la chaîne de lecture (*Charge-to-Voltage conversion Factor* ou *CVF* en anglais). Nous expliquerons comment ce paramètre a été extrait notamment à l'aide de la courbe de transfert photonique. De plus, le CVF étant étroitement lié au gain du transistor suiveur et à la capacité du nœud de lecture, nous consacrerons quelques paragraphes à l'étude de ces caractéristiques.

Après avoir vérifié la bonne linéarité de la réponse du transistor suiveur, nous consacrerons une deuxième partie à l'étude de la linéarité du pixel dans son ensemble. En effet, en dehors du cas particulier des capteurs à réponse logarithmique, une réponse linéaire est synonyme d'un fonctionnement correct du capteur d'images. Nous aborderons alors un sujet particulièrement délicat pour la fabrication de photodiodes profondes : la rémanence. En effet, de par le grand nombre d'étapes d'implantation nécessaires à la fabrication des photodiodes verticales et par le manque d'auto-alignement de la photodiode par rapport à la grille de transfert (comme c'est le cas sur les photodiodes planaires), les photodiodes profondes sont particulièrement exposées aux problèmes de rémanence.

L'un des objectifs principaux de ces travaux de thèse consistait à intégrer une photodiode verticale de type P sur une architecture de pixel éclairé par la face arrière dans le but d'améliorer la sensibilité du capteur. Naturellement, la troisième partie de ce chapitre concernera donc l'efficacité quantique (*Quantum Efficiency* ou *QE* en anglais) du capteur, l'apport de la technologie BSI sur une technologie éclairée par la face avant (*Front-Side illuminated* ou *FSI* en anglais) pour des pixels de petite taille et l'impact du passage à une photodiode profonde occupant la majorité du volume du pixel. L'efficacité quantique de ce dernier sera également comparée à celle du capteur de type N. Enfin, la robustesse du capteur de type P sous irradiation sera aussi évaluée par l'étude du QE à dose ionisante croissante.

Avant de conclure, une dernière partie traitera du bruit temporel de la chaîne de lecture composée de transistors PMOS réputés pour leur faible niveau de bruit. L'impact des conditions de mise en œuvre sur les bruits de piégeage et plus particulièrement sur le bruit télégraphique du transistor suiveur sera étudié en détails.

2. Le facteur de conversion, le gain du transistor suiveur et la capacité du nœud de lecture

Le facteur de conversion γ d'un capteur d'images est défini par le rapport de la variation de tension observée sur la colonne ($signal_V$) sur le nombre de charges collectées dans la photodiode (N_{e^-}).

$$\gamma = \frac{signal_V}{N_{e^-}} \qquad (21)$$

Cette figure de mérite est utilisée dans le calcul de nombreux autres paramètres comme le courant d'obscurité (exprimé en e^- ou h^+ par seconde), la charge à saturation (exprimée en e^- ou en h^+) ou l'efficacité quantique. Il est déterminé à partir du gain du transistor suiveur g_{SF} et de la capacité totale du nœud de lecture C_{tot} au travers de la relation suivante :

$$\gamma = \frac{g_{SF} q}{C_{tot}} \qquad (22)$$

Cette capacité est la somme de plusieurs contributions, notamment la jonction P+/caisson N du nœud de lecture, la capacité de la grille du transistor suiveur (*Source Follower* ou *SF* en anglais), la capacité de recouvrement entre le nœud de lecture et la grille de transfert et celle entre le nœud de lecture et le transistor de remise à zéro. La figure 88 présente schématiquement les principaux contributeurs à la capacité totale du nœud de lecture pour l'architecture 2T du pixel de type P. En architecture partagée plusieurs jonctions P+/caisson N sont reliées en parallèle augmentant ainsi la capacité totale du nœud de lecture. Il est alors difficile d'obtenir des facteurs de conversion élevés. D'autre part, comme expliqué précédemment dans le chapitre 2, des contraintes technologiques imposent que les nœuds P+ soient fortement dopés pour garantir une faible résistivité au niveau des contacts ohmiques. Ce fort dopage tend à augmenter la capacité du nœud de lecture et à réduire le facteur de conversion. En effet, plus la capacité totale du nœud de lecture est élevée et plus le facteur de conversion sera faible. La détermination de la capacité du nœud de lecture est traitée dans la partie 2.2 de ce chapitre.

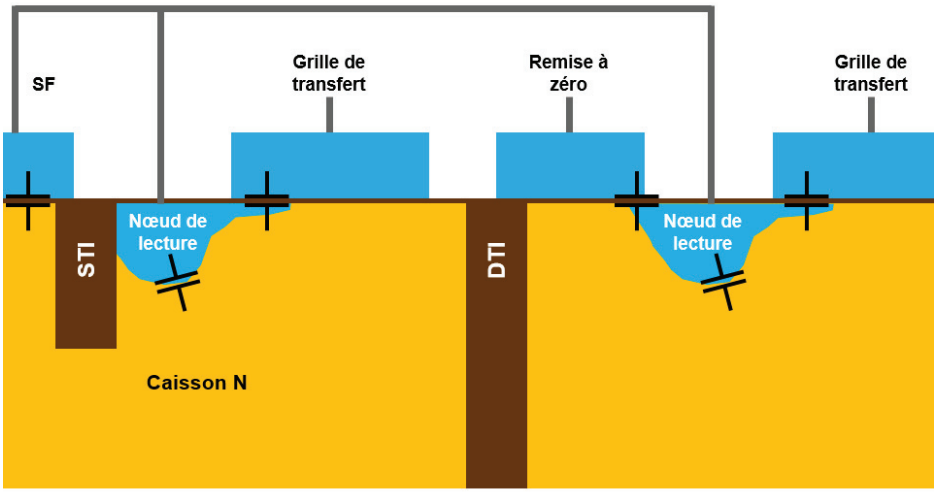


Figure 88 : Schéma des différentes capacités contribuant à la capacité totale du nœud de lecture et impactant le facteur de conversion dans l'architecture 2T utilisée pour le pixel de type P (la contribution des interconnexions métalliques n'est pas indiquée sur le schéma).

A courts temps d'intégration et en faible luminosité, le rapport signal sur bruit est limité essentiellement par le bruit thermique du transistor suiveur et de la chaîne de lecture. Le bruit thermique est généré dans le canal du transistor suiveur, il ne dépend donc pas du facteur de conversion contrairement au signal collecté dans la photodiode. Il est alors évident qu'un facteur de conversion (en µV/porteur) supérieur au signal généré par le bruit thermique du transistor suiveur (en µV) permettrait de maintenir un rapport signal sur bruit important même à faible niveau de signal (en nombre de porteurs). De nombreuses études sont d'ailleurs en cours pour développer des facteurs de conversion atteignant plusieurs centaines de microvolts par électron et permettre ainsi l'émergence de capteurs pouvant distinguer chaque électron (*Quanta Image Sensor* ou *QIS* en anglais) [144] [145].

En revanche, un facteur de conversion élevé n'est plus intéressant lorsque le signal est important. En effet, comme le facteur de conversion détermine l'excursion en tension sur la colonne

par nombre de charges collectées et que cette dernière est généralement limitée par le reste de la chaîne de lecture (légèrement supérieure à 1V dans notre cas), le nombre maximal de charges pouvant être lues devient lui aussi limité. Un faible facteur de conversion est alors avantageux pour pouvoir lire une grande quantité de charges.

2.1. Détermination du facteur de conversion et de la charge à saturation par la courbe de transfert photonique

Bien que le CVF dépende du gain du transistor suiveur et de la capacité du nœud de lecture, il est possible de l'extraire d'une simple mesure de courbe de transfert photonique sans aucune information sur les transistors de la chaîne de lecture ou la géométrie du nœud de lecture. L'extraction du CVF depuis la courbe de transfert photonique est basée sur le fait que la lumière incidente présente un bruit particulier appelé bruit de grenaille photonique. Le bruit de grenaille photonique est intrinsèquement lié à la nature quantique de la lumière. La lumière n'étant pas continue mais composée de particules élémentaires appelées photons, pour un flux donné, tous les photons n'arriveront pas exactement au même moment à la surface du capteur. Ce bruit est donc de nature temporelle. En terme statistique, il suit une distribution de Poisson. Le nombre de photons N capturés par l'imageur CMOS sur une période de temps t est donc décrit par la probabilité de distribution suivante :

$$\Pr(N = k) = \frac{e^{-\lambda t}(\lambda t)^k}{k!} \quad (23)$$

Où λ correspond au flux moyen de photons. Les paires électrons/trous générées par effet photoélectrique vont aussi suivre cette même loi de Poisson. L'écart-type du flux lumineux (soit le bruit photonique) est donc proportionnel à la racine carrée du nombre moyen de porteurs photo-générés N_p.

$$\sigma_p = \sqrt{N_p} \quad (24)$$

La figure 89 présente la distribution de signal observée grâce à une matrice de photodiodes à avalanche illuminée par un laser (*Single Photon Avalanche Diode* ou *SPAD* en anglais). Ce type de photodiode permet de distinguer individuellement chaque photon arrivant sur le silicium. Pour un signal moyen donné (ici environ 4 photoélectrons), on observe l'apparition de pics de signal de part et d'autre de cette moyenne (de 1 à 8 photoélectrons). Cette dispersion correspond au bruit de grenaille photonique. En effet, l'amplitude des pics suit bien une loi de Poisson. La dispersion de chaque pic est attribuée à d'autres types de bruits non présentés dans cette sous partie tel que le bruit provenant de la chaîne de lecture.

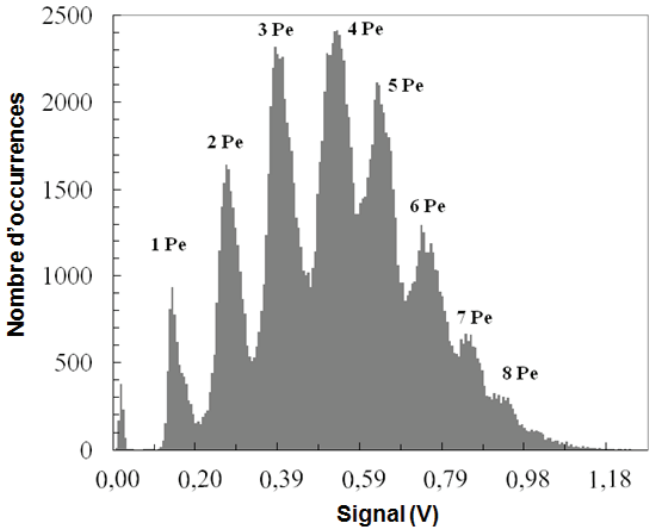


Figure 89 : Distribution (aussi appelée *photoelectron-counting histogram* en anglais) du signal observé sur une matrice de 5x5 SPADs (*Single Photon Avalanche Diode* en anglais) fabriquée chez STMicroelectronics et illuminée par un laser à 670nm [146].

Le bruit de grenaille photonique augmente donc avec le signal et devient dominant à partir d'un certain niveau d'éclairement (c'est le cas en conditions d'éclairement standard). Comme il est intrinsèque à la lumière il est impossible de s'en affranchir totalement. Cependant, parce qu'il croît plus lentement que le signal, son influence sur la qualité de l'image est naturellement minimisée à fort niveau d'éclairement. En effet, bien que le bruit augmente avec le nombre de photons collectés, le rapport signal sur bruit (*Signal-to-Noise Ratio* ou *SNR* en anglais) augmente plus rapidement.

Enfin, le processus de génération de paires électron/trou étant proportionnel au nombre de photons incident sur le capteur N_{ph}, son bruit σ_{e^-} est lui aussi décrit par une relation de poisson :

$$\sigma_{e^-} = \sqrt{\eta N_{ph}} = \sqrt{N_{e^-}} \qquad (25)$$

Où η est l'efficacité quantique du pixel.

Le signal de sortie moyen mesuré en tension sur la colonne étant proportionnel au nombre moyen d'électrons collectés dans la photodiode, le bruit en tension associé au signal σ_V est lui aussi proportionnel au bruit photo-généré σ_{e^-} au travers du facteur de conversion γ :

$$\sigma_V = \gamma \sigma_{e^-} = \gamma \sqrt{N_{e^-}} \qquad (26)$$

En utilisant les deux équations (21) et (26) on obtient :

$$\gamma = \frac{{\sigma_V}^2}{signal_V} \qquad (27)$$

Où σ_V^2 correspond à la variance du signal.

Lorsque le bruit photonique est le bruit dominant, il suffit de tracer la variance du signal en fonction du signal moyen pour en extraire le facteur de conversion. La figure 90 montre une courbe de transfert photonique obtenue à partir d'un capteur de type P à tranchées d'isolation profondes standard (DTI) en condition d'illumination constante et temps d'intégration variable. Pour chaque temps d'intégration, plusieurs mesures ont été effectuées dans l'obscurité et soustraites aux mesures sous éclairement afin de supprimer les contributions du courant d'obscurité, du bruit de la chaîne de lecture et des bruits fixes. Dans le cas présent, la pente de la courbe nous indique que le pixel en question possède un facteur de conversion de 125µV/h$^+$. Bien que plusieurs essais technologiques aient été réalisés, notamment avec des variations de design et de procédé de fabrication, la grande majorité des pixels fabriqués présentait un facteur de conversion proche de cette valeur.

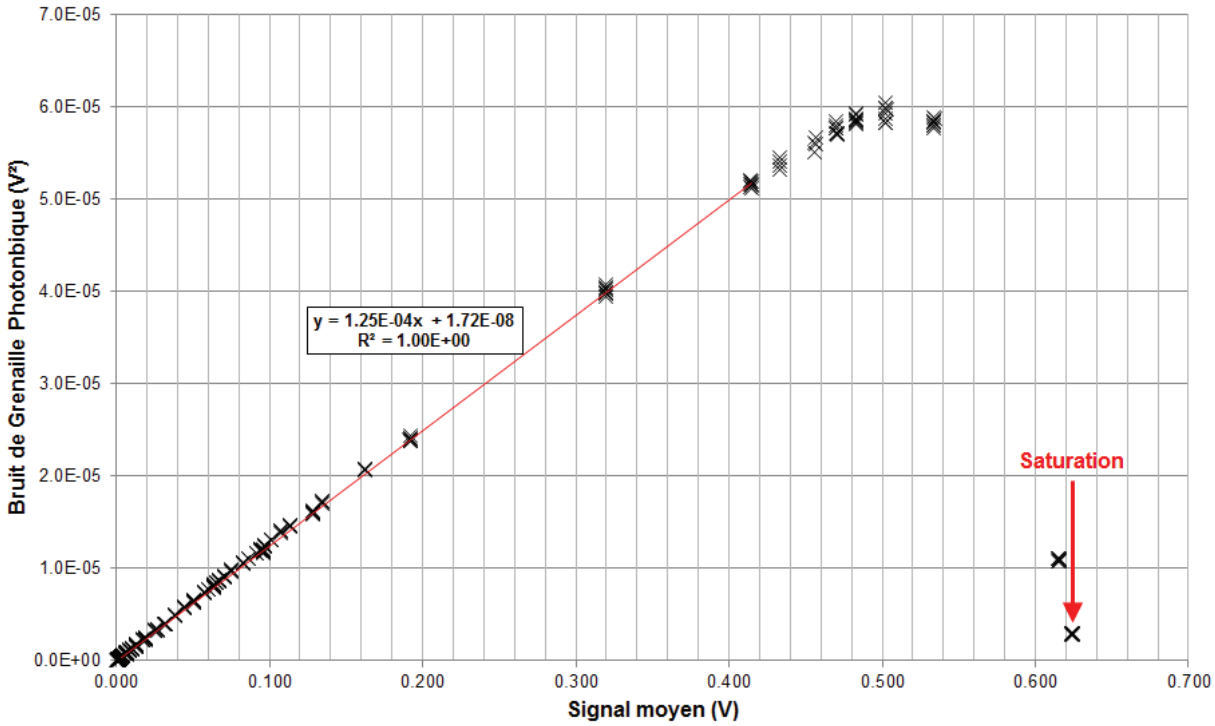


Figure 90 : Courbe de transfert photonique mesurée sur l'un des capteurs de type P à faible dopage substrat. On y extrait ici le facteur de conversion du pixel (125µV/h⁺) ainsi que son signal à saturation (623mV).

Le niveau maximum de la courbe indique la charge à saturation du pixel. En effet, pour des temps d'intégration longs, lorsque le pixel entre en saturation, le signal en sortie du transistor suiveur ne peut plus varier et le bruit photonique ne peut plus être mesuré et chute à zéro [147]. Le pixel sature donc à 623mV soit près de 5000h⁺. Au cours des nombreux essais technologiques effectués durant ce doctorat, nous avons pu développer des pixels possédant une charge à saturation supérieur à 7000h⁺, ce qui correspond à une dynamique de sortie d'environ 1V sur la colonne. Certains designs de pixels à photodiodes étendues pouvaient même atteindre des valeurs avoisinant les 10000h⁺ mais présentaient une dégradation de certains paramètres clés comme la linéarité de la réponse du capteur ou le courant d'obscurité.

2.2. La linéarité de la réponse du capteur

L'une des manières d'évaluer la linéarité de la réponse d'un capteur est d'acquérir une série d'images sous éclairement constant (typiquement 10lux) en augmentant progressivement le temps d'intégration de l'image. Pour chaque temps d'intégration, une image dans l'obscurité est acquise et soustraite à l'image prise sous éclairement afin d'éliminer la contribution des bruits temporels et spatiaux. Un exemple de courbe de transfert mesurée sur un capteur de type P standard est présenté en figure 91. La réponse du capteur est très linéaire jusqu'à 750mV de signal. Au-delà, la réponse est de moins en moins linéaire et les pixels finissent par tous saturer aux alentours des 930mV de signal, soit en prenant en compte le facteur de conversion extrait dans la partie précédente, l'équivalent de 7440h⁺.

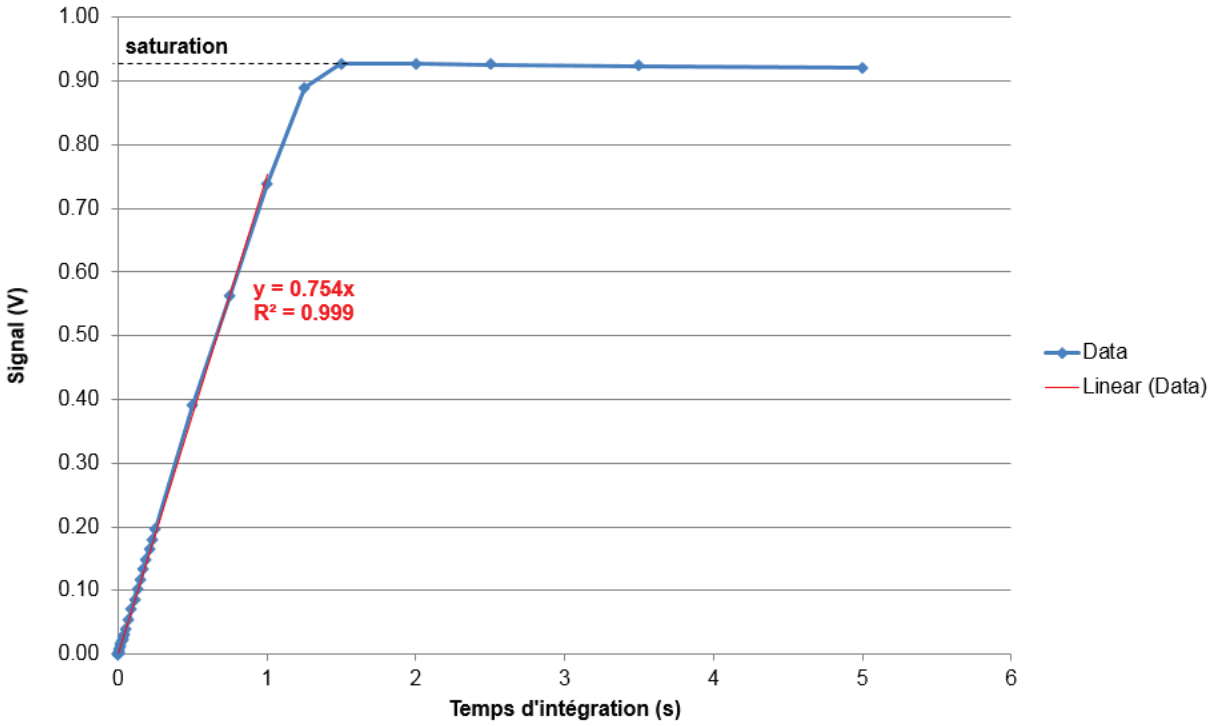


Figure 91 : Mesure de la linéarité de la réponse du capteur de type P standard au travers d'une courbe de transfert.

2.3. Le gain du transistor suiveur et la capacité du nœud de lecture

L'architecture 2T nous permet de facilement extraire le gain et la plage de linéarité du transistor suiveur. En effet, en l'absence de transistor dédié à la sélection de ligne, cette opération s'effectue en bloquant le transistor suiveur au travers de la tension de réinitialisation. Le drain du transistor de remise à zéro est par conséquent polarisé indépendamment du reste des transistors et peut être utilisé pour modifier le niveau de la tension de réinitialisation du nœud de lecture (qui est lui-même connecté à la grille du transistor suiveur). Le gain du transistor suiveur est alors mesuré en scannant une plage de tensions de réinitialisation $|Vgb|$ (généralement celle qui va être balayée par le signal pendant le fonctionnement normal du pixel) et en mesurant pour chaque point le signal en sortie du transistor $|Vdb|$. La pente de la courbe ainsi obtenue correspond au gain du transistor. La figure 92 présente la variation de $|Vdb|$ en fonction de $|Vgb|$ pour le capteur de type P étudié au cours de cette thèse ainsi que pour le capteur de type N de référence développé chez STMicroelectronics. Le bon coefficient de régression (proche de 1) observé sur chacune des courbes indique une bonne linéarité du transistor et ce sur une excursion en tension supérieure à 1V. La pente de cette excursion correspond au gain du transistor suiveur ; ce dernier est proche de 0.86 pour chacun des deux capteurs.

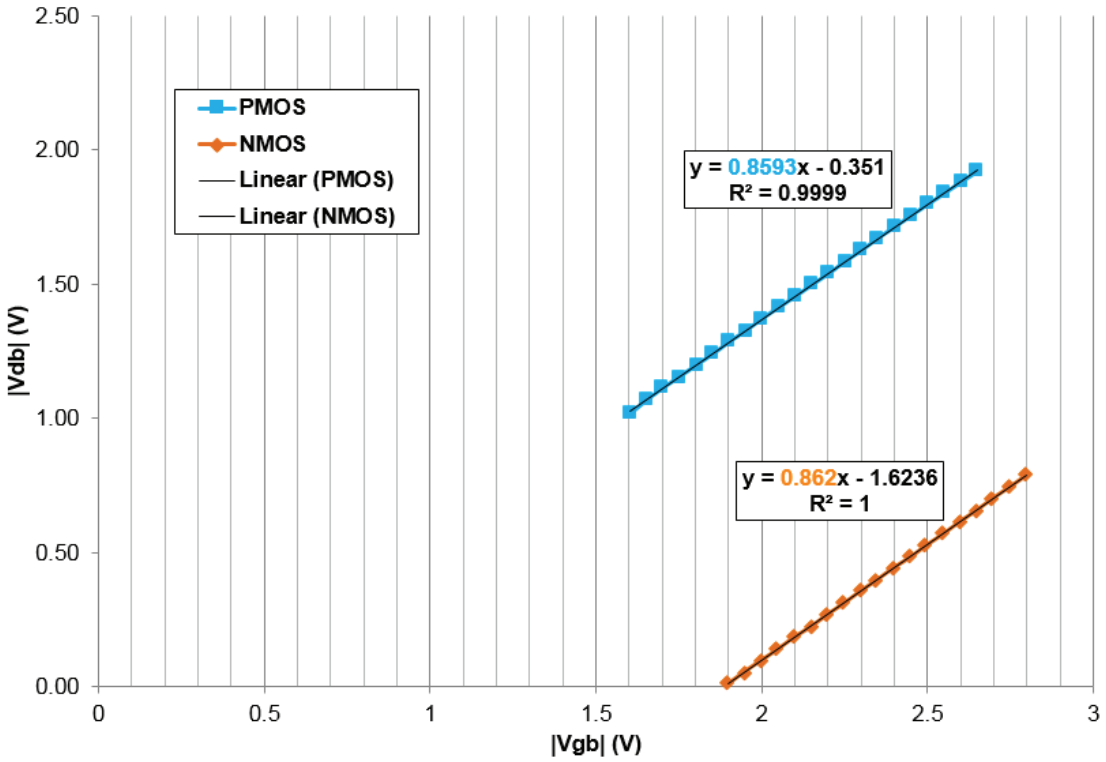


Figure 92 : Linéarité et gain du transistor suiveur pour un capteur de type N et de type P.

Connaissant le gain du transistor suiveur ainsi que le facteur de conversion du pixel, il est alors possible d'en déduire la capacité totale du nœud de lecture par la formule (22). La figure 93 présente la capacité du nœud de lecture des deux types de pixel étudiés. Ces derniers possèdent une capacité proche de 1fF.

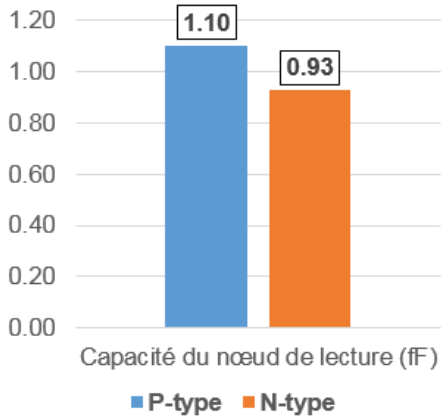


Figure 93 : Capacité du nœud de lecture des deux types de pixel étudiés au cours de cette thèse.

3. Les sources possibles de rémanence

3.1. Principe de la mesure de rémanence

L'intégration de la photodiode pincée dans les capteurs d'image a eu pour conséquence directe la suppression totale du bruit *kTC* provenant de la réinitialisation de la photodiode. En effet, cette dernière est fabriquée de telle sorte à ce que les zones de charge d'espace associées aux deux jonctions PN formant la photodiode se rejoignent lors de sa réinitialisation. La photodiode est alors entièrement désertée et l'origine même du bruit *kTC*, les variations de niveau de réinitialisation, est

par conséquent naturellement éliminée. Cependant, bien que l'idée soit très élégante, elle repose sur une condition parfois difficile à satisfaire : assurer le transfert total des charges stockées dans la photodiode. En effet, un transfert incomplet des charges photo-générées, aussi appelé « la rémanence », rendrait difficile la suppression du bruit *kTC* de la photodiode. Avoir une rémanence la plus faible possible (inférieure à un trou ou un électron) est donc une nécessité dans les capteurs à photodiode pincée. Une forte rémanence peut également dégrader la linéarité de la réponse du capteur. Une partie de l'information provenant d'une image prise au temps *t-1* sera alors toujours contenue dans l'image prise au temps *t*, on parle alors d'image « fantôme » [148].

L'extraction de la valeur de rémanence s'effectue par la prise successive de plusieurs images sous éclairement suivie d'une succession d'images prisent dans l'obscurité (typiquement 5 images dans chaque condition). Le temps d'intégration de chaque image est constant de manière à obtenir un nombre de charges fixe dans la photodiode en condition d'éclairement. Le niveau de signal en sortie du capteur sous éclairement est alors déterminé en moyennant les signaux des 5 premières acquisitions. Lors de la dixième acquisition, soit la dernière image prise dans l'obscurité, la photodiode est considérée comme entièrement vidée et cette image est prise comme niveau de référence dans l'obscurité. La quantité de signal sous éclairement est alors extraite en soustrayant le niveau de référence au niveau de signal moyen sur les cinq premières acquisitions. Quant à la rémanence, celle-ci est déterminée en soustrayant le niveau de référence au signal mesuré sur la première acquisition dans l'obscurité (celle qui succède aux images prises sous éclairement). Dans le cas idéal, le résultat de cette opération doit être nul. Si ce n'est pas le cas, la différence des deux signaux correspond au niveau de rémanence du pixel (voir figure 94). La rémanence peut dépendre du nombre de charges stockées dans la photodiode avant leur transfert, celui-ci dépendant du niveau d'éclairement.

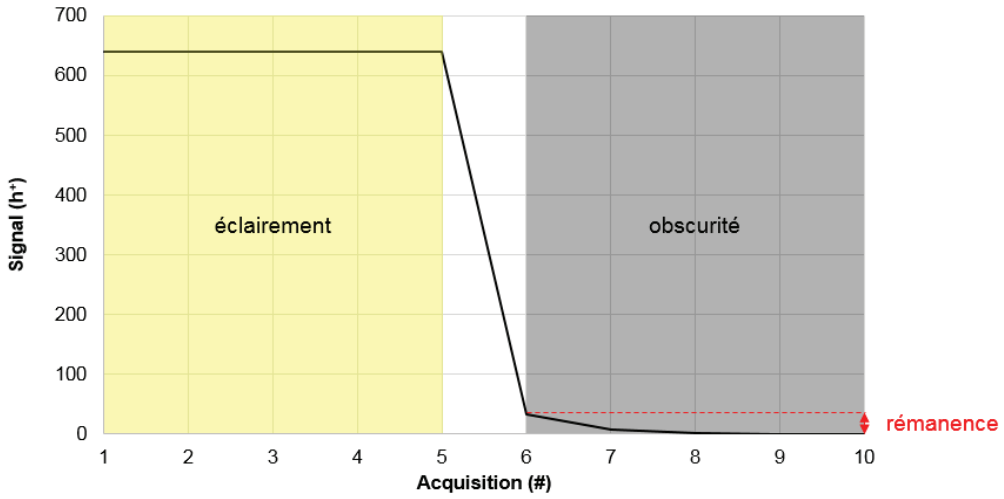


Figure 94 : Principe de la mesure de rémanence par transition "éclairement ➔ obscurité".

L'opération peut alors être répétée à différents niveaux de signal sous éclairement afin d'évaluer l'impact du remplissage de la photodiode sur la rémanence. Ce type de mesure a été effectué sur le pixel à photodiode verticale de type P développé au cours de cette thèse et est présenté en figure 95. A faible, comme à fort niveau de signal (jusqu'à 500mV, soit environ la moitié de la charge à saturation), le niveau de rémanence moyen du pixel standard de type P reste inférieur à $1h^+$ et la photodiode peut donc être considérée comme entièrement vidée.

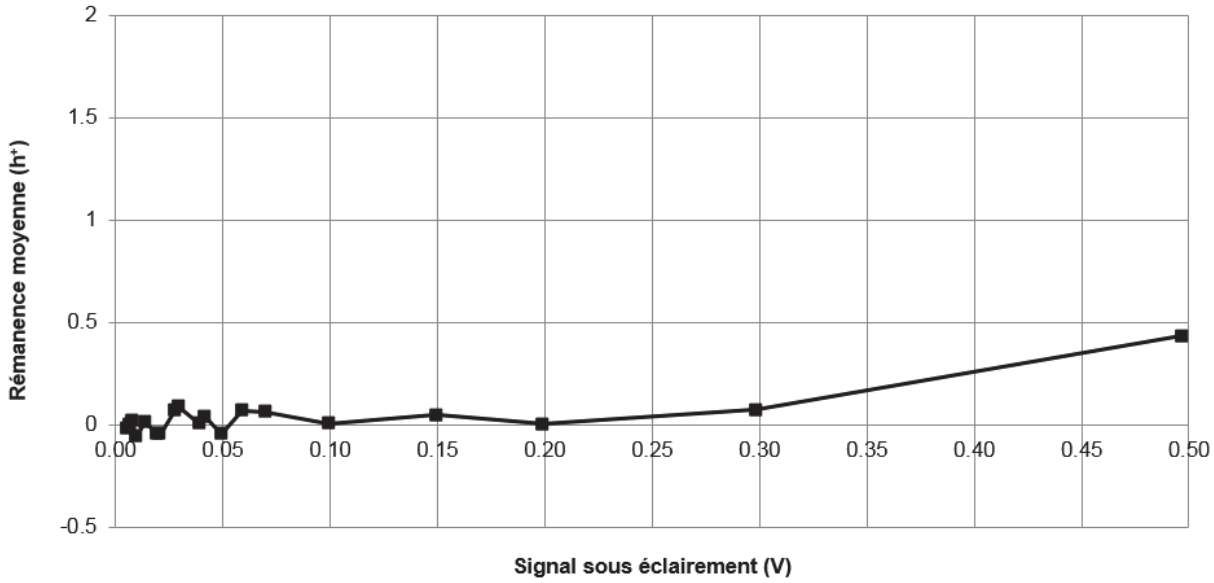


Figure 95 : Rémanence moyenne en fonction du niveau de signal sous éclairement pour le pixel à photodiode verticale de type P standard.

Ces bons résultats en termes de rémanence sont obtenus au cours d'une étude d'optimisation des paramètres clés, qui sont des paramètres de procédé de fabrication (technologiques), de design (géométriques) et de contrôle (électriques). Nous montrons ci-dessous que la rémanence est sensiblement dépendante de quelques principaux paramètres.

3.2. Rémanence et dopage du substrat

De nombreuses études portant sur des photodiodes pincées planaires dans les capteurs CMOS ont montré que des variations de design ou de procédés de fabrication pouvaient entrainer la formation d'une ou plusieurs barrières de potentiel (ou puits de potentiel) entre la photodiode et le nœud de lecture lors du transfert des charges [149] [150] [151] [152] [153]. Ces barrières et puits de potentiel sont les principaux responsables de la rémanence dans les pixels CMOS à photodiode pincée. Comme expliqué dans la partie 2.1.2 du chapitre 2, l'intégration d'une photodiode verticale pincée, fabriquée à la fois par une succession d'implantation ioniques (partie surfacique) et par le dopage du substrat (partie volumique), pose de nombreux challenges quant au transfert des charges stockées en profondeurs.

La figure 96 est une distribution de rémanence mesurée sur deux capteurs de type P différents pour un niveau de signal sous éclairement identique (300mV). Chacun d'eux possède une photodiode verticale pincée et s'étendant profondément dans le volume du pixel. L'un des capteurs possède un dopage substrat (zone épitaxié servant à doper la partie inférieur de la photodiode) standard (noir) alors que l'autre a été fabriqué avec une dose trois fois plus importante (rouge) dans le but d'augmenter considérablement sa charge à saturation. Le capteur possédant le dopage substrat le plus élevé présente alors une quantité importante de rémanence (>100h^+). Les vues en coupes prises sur des simulations TCAD en trois dimensions de ces deux pixels et présentées sur la figure 97 permettent d'expliquer les différences de performance observées entre ces deux procédés de fabrication. Afin de mettre en évidence d'éventuelles poches ou barrières de potentiel présentent dans le pixel, la photodiode a été artificiellement désertée en lui imposant un niveau de fermi inférieur au potentiel de diode (soit 0V) et les lignes d'isopotentiel ont été affichées. On observe alors la formation d'une poche de potentiel, située à environ 2µm de profondeur et mise en évidence en pointillés rouges, sur la coupe du pixel à fort dopage substrat (b). Cette poche de potentiel n'est pas

présente sur le pixel de fabrication standard (a) dans lequel les charges peuvent s'écouler librement vers la grille de transfert (notée TG). L'élimination de telles poches et barrières de potentiel fût l'un des principaux challenge relevé au cours de cette thèse afin d'obtenir un pixel présentant une bonne fonctionnalité. En effet, la présence de rémanence peut fausser les mesures de courant d'obscurité et d'efficacité quantique. Les capteurs à fort dopage substrat présentant un fort niveau de rémanence n'ont donc pas été retenus pour nos études suivantes.

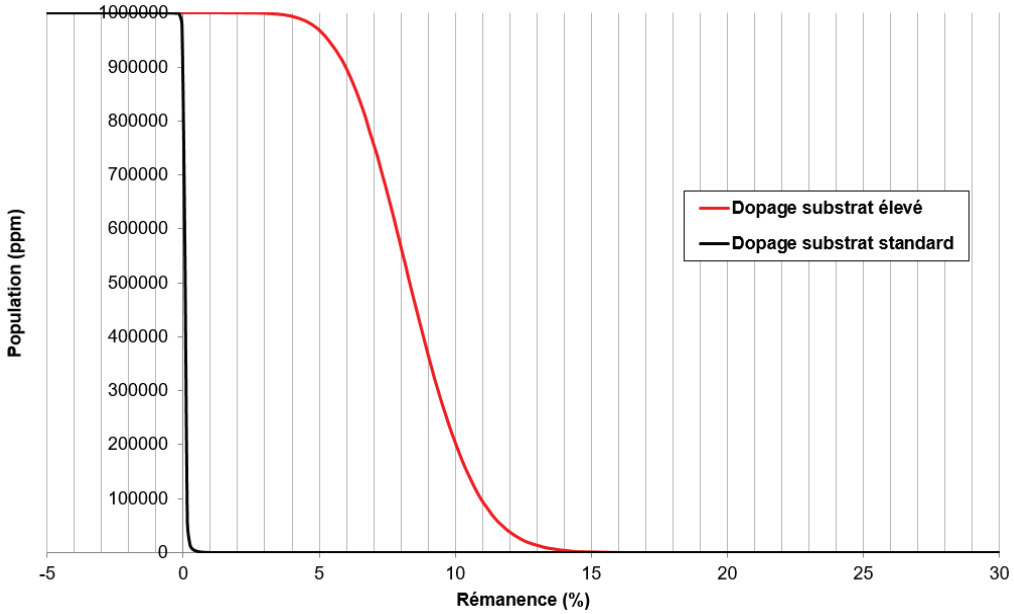


Figure 96 : Distribution de rémanence mesuré pour un niveau de signal sous éclairement de 300mV sur un capteur de type P standard (Noir) et un capteur de type P à fort dopage substrat (rouge).

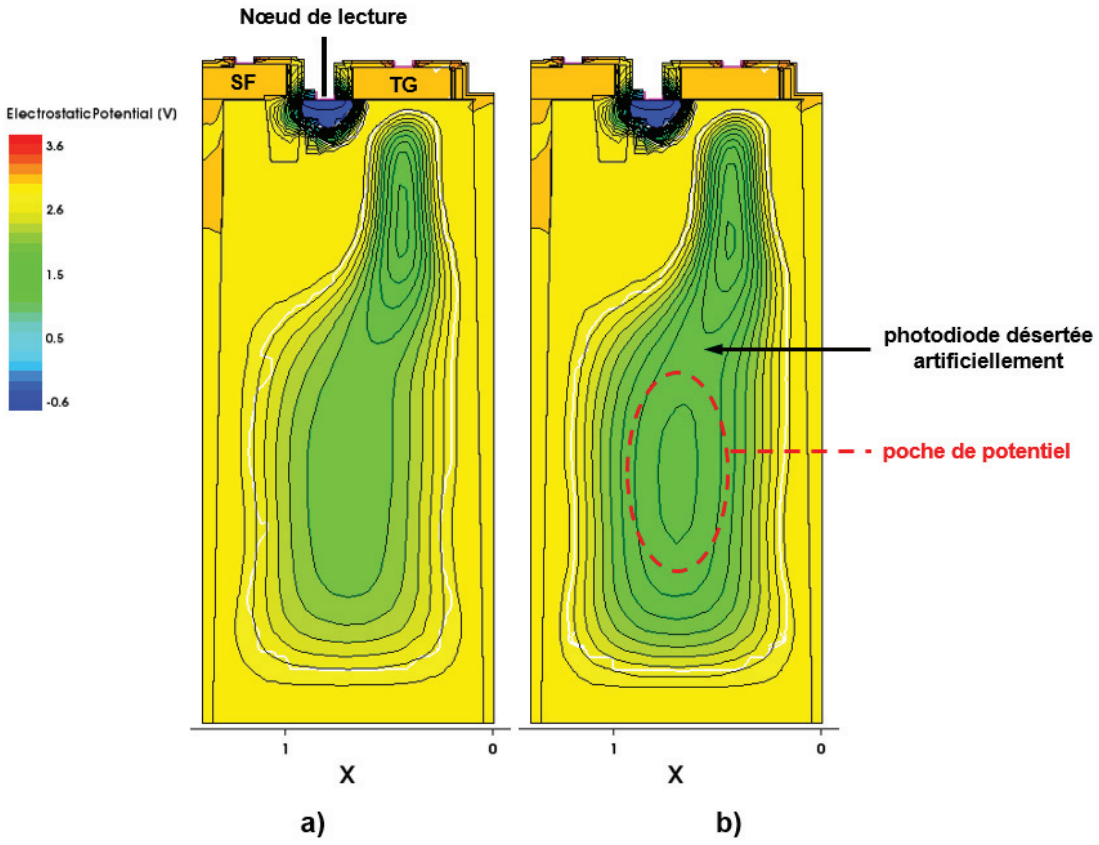


Figure 97 : Potentiel électrostatique observé sur une vue en coupe de simulation TCAD en 3 dimensions du pixel de type P pour deux procédés de fabrication différents : a) dopage substrat standard et b) dopage substrat élevé.

3.3. Signaux de contrôle et configurations de grille de transfert

Nous avons étudié l'influence de certains signaux de contrôle du pixel tels que le niveau de réinitialisation (drain du transistor de remise à zéro) ou la durée du pulse de la grille de transfert. La figure 98 montre que le niveau de réinitialisation du nœud de lecture peut fortement impacter la rémanence moyenne du capteur. Cette dernière a été mesurée pour un niveau de signal sous éclairement avoisinant $300h^+$ stockés sur la photodiode. Pour le capteur possédant un dopage substrat faible, le niveau de réinitialisation peut être placé à 2.2V tout en gardant un niveau de rémanence acceptable ($<1h^+$). En revanche, le nœud de lecture du capteur à dopage substrat standard doit forcément être réinitialisé à 2.5V ou plus pour s'assurer d'un bon transfert des charges. Ce paramètre est important car, comme nous le verrons plus tard dans la partie 5.2 de ce chapitre, il impacte aussi le bruit temporel du transistor suiveur.

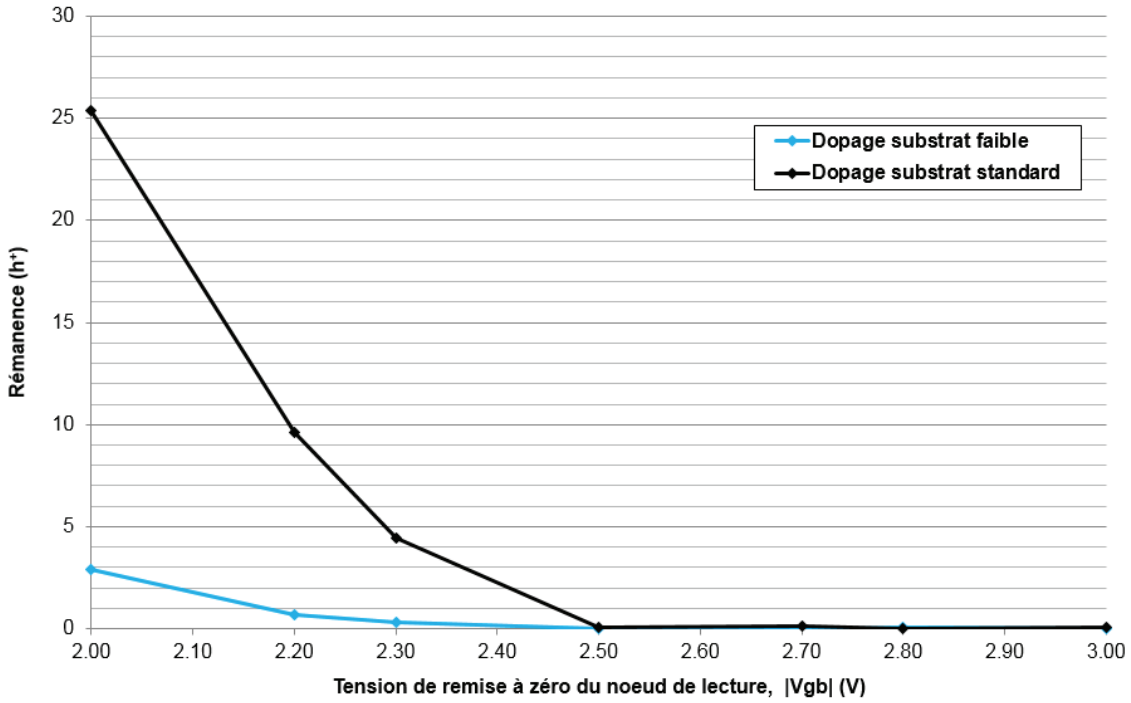


Figure 98 : Mesure de la rémanence moyenne, pour un niveau de signal sous éclairement d'environ 300 h^+, en fonction de la tension de réinitialisation du nœud de lecture pour deux capteurs de type P possédant un dopage substrat différent : dopage standard (noir) et dopage faible (bleu)

Nous avons aussi menée une étude sur deux types de grille de transferts différents, l'une de taille standard et l'autre très étendue. La figure 99 présente le niveau de rémanence moyen mesuré, pour un niveau de signal sous éclairement d'environ 300 h^+, en fonction de la durée du pulse de la grille de transfert. Les deux dessins de grille sont présentés en figure b). La configuration de grille étendue présente une faible poche de potentiel sous la grille de transfert pouvant piéger une faible quantité de charge (Similaire à la poche de potentiel présentée en figure 53b) du chapitre #2). Augmenter la durée du pulse de la grille de transfert peut alors permettre de diminuer fortement la quantité de rémanence. En revanche, sur la configuration de taille standard, le niveau de rémanence reste faible quelle que soit la durée du pulse de la grille de transfert, indiquant une bonne efficacité de transfert. La durée nominale du pulse de la grille de transfert a donc été définie à 1µs.

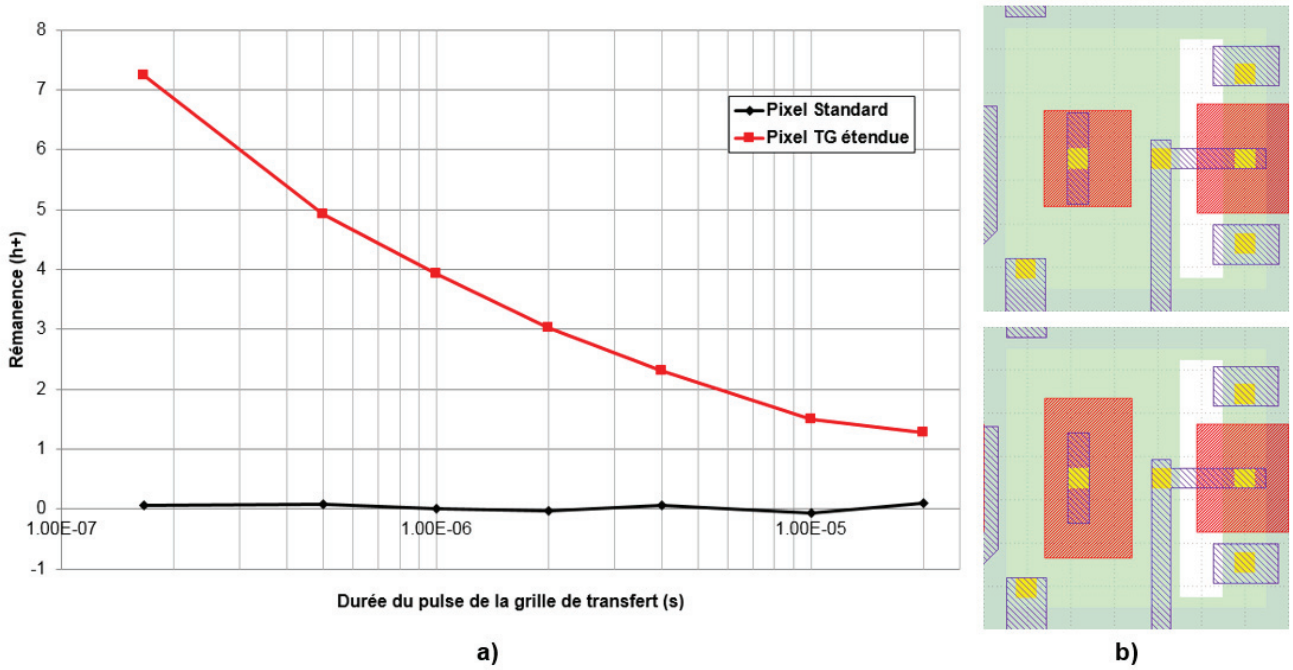


Figure 99 : a) Rémanence moyenne en fonction de la durée du pulse de la grille de transfert pour deux capteurs de type P présentant pour seule différence un design de TG différent. b) Layout des deux dessins de TG différents, la grille de transfert de taille standard (haut) et celle étendue (bas).

4. Image acquise avec le capteur de type P

La fonctionnalité principale d'un capteur d'images étant la capture d'image photographique, la figure 100 présente une image prise à l'aide d'un des capteurs de type P fabriqué au cours de cette thèse. La photographie présente 15 zones distinctes correspondant aux 15 versions de pixel différentes présentes sur la matrice. Les versions V04 et V05 ne sont malheureusement pas fonctionnelles et les versions V08, V11, V12 et V13 présentent davantage de bruit que les autres versions de pixel.

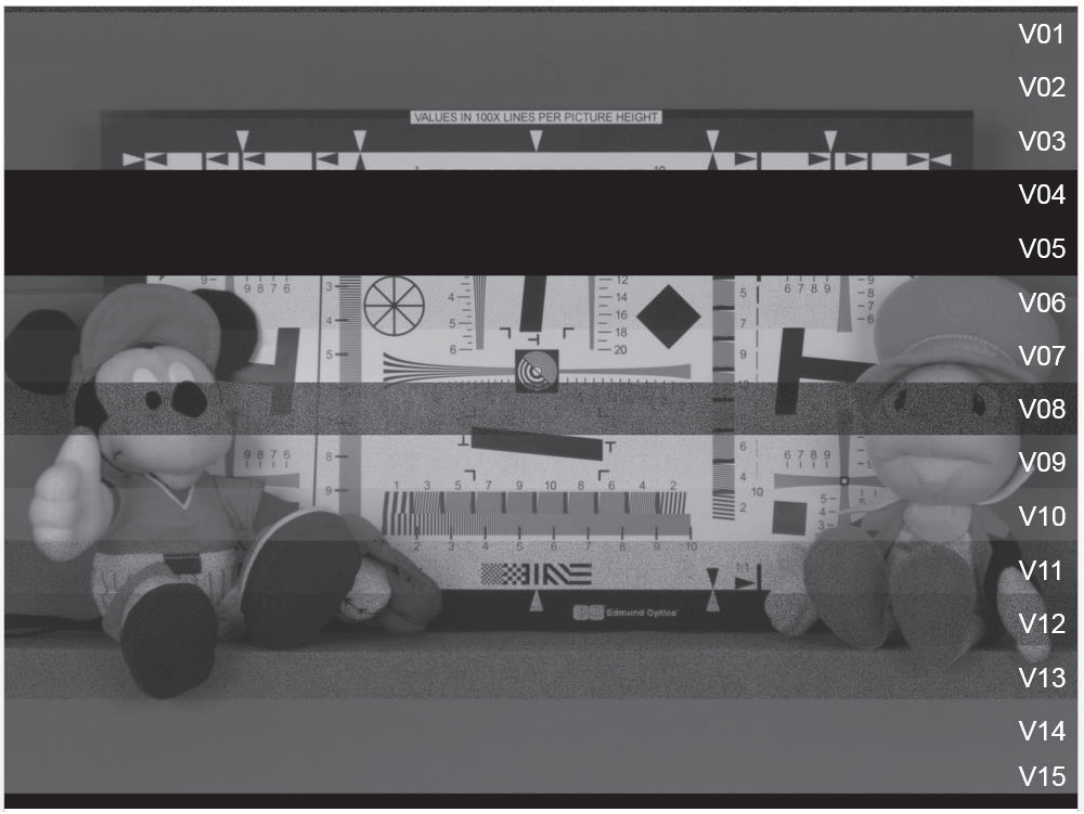


Figure 100 : Exemple d'image brute d’un tableau de résolution I3A/12233, dénuée de post-traitement et capturée à l'aide d'un capteur de type P présentant 15 versions de pixel différentes.

5. L’efficacité quantique du capteur PMOS BSI à photodiode verticale profonde

L’efficacité quantique (*Quantum Efficiency* ou *QE* en anglais) d’un capteur dépend de sa capacité à collecter des charges photo-générées par un flux de photons arrivant à sa surface. Cela correspond essentiellement au rendement de la conversion des photons incidents en photo-porteurs collectés par la photodiode.

La mesure d’efficacité quantique peut s’effectuer grâce à un monochromateur éclairé à l’aide d’une lampe halogène. Ce dernier permet d’illuminer le capteur avec de la lumière monochromatique ayant une longueur d’onde comprise entre 350nm et 720nm avec une résolution de 5nm. Le schéma du banc de mesure est présenté en figure 101. Ce dernier présente aussi une sphère intégrante permettant d’uniformiser le flux lumineux à la surface du capteur. La sphère intégrante est aussi reliée à un photomètre calibré nous permettant de mesurer la puissance du rayonnement arrivant à la surface du capteur (soit son irradiance). Deux tubes f/D à f/2.8 séparent le capteur et le photomètre de la sphère intégrante afin de placer le capteur dans des conditions d’utilisation similaires à un produit standard.

L’acquisition et le traitement des données se font selon la procédure suivante. Pour chaque longueur d’onde, le temps d’intégration T_{int} est ajusté afin de maintenir un niveau de signal en sortie constant. Un certain nombre d’images (une dizaine généralement) sont prisent à la fois dans le noir et sous éclairement pour chaque point de mesure. Ces images sont ensuite moyennées et soustraites afin de supprimer les contributions des bruits de grenaille et des bruits fixes. Le signal moyen V_{moyen} par plan couleur et par version de pixel est ensuite calculé sur tout le capteur afin d’en déduire le QE en pourcentage. Ce dernier est exprimé de la façon suivante :

$$QE(\%) = \frac{SR}{A\gamma} \times \frac{hc}{\lambda} \times 100 = \frac{1}{A\gamma} \times \frac{V_{moyen}}{T_{int} E_{\lambda}} \times \frac{hc}{\lambda} \times 100 \qquad (28)$$

Où *SR* représente la réponse spectrale du capteur exprimée en V/(Jm^{-2}), *A* la surface du pixel en m^2 (connue par dessin), *γ* le facteur de conversion en V/h$^+$ (déterminé précédemment à partir de la courbe de transfert photonique du capteur), E_λ l'irradiance du capteur en W/m^2 (mesuré à l'aide du photomètre) et *hc/λ* l'énergie des photons incidents en J.

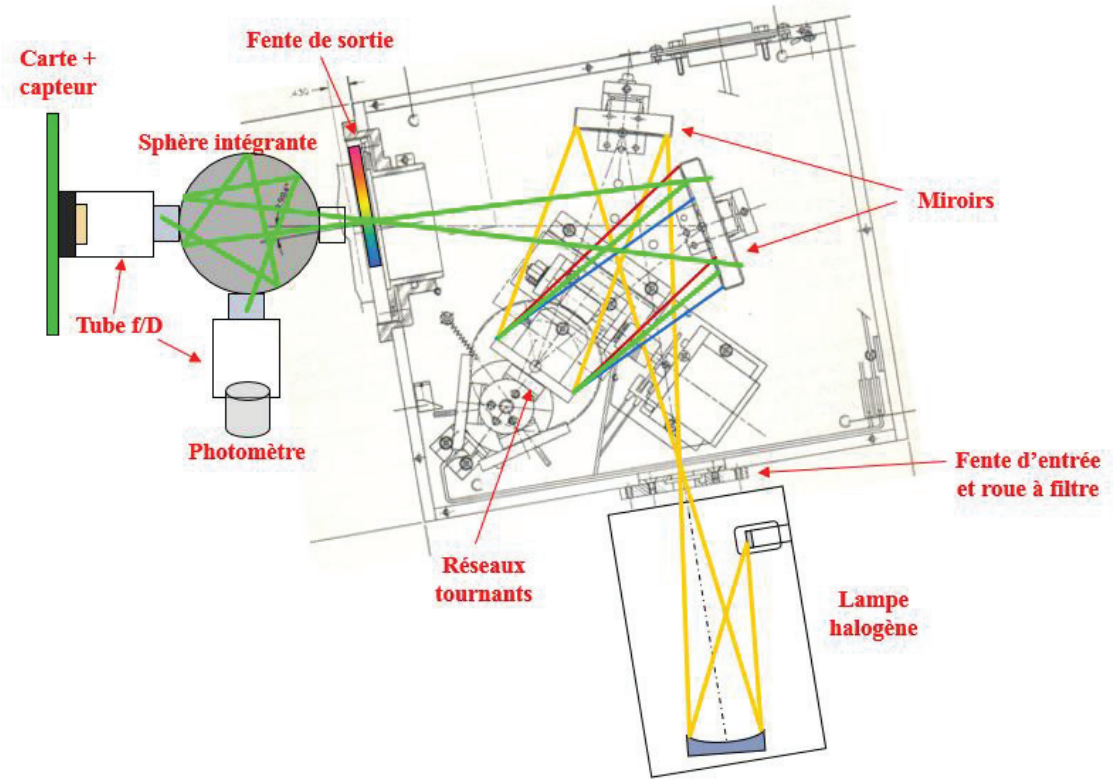


Figure 101 : Schéma du banc "monochromateur" permettant de mesurer l'efficacité quantique des capteurs d'image.

L'efficacité quantique dépend de la longueur d'onde de la lumière incidente et de l'épaisseur de silicium actif. En effet, les coefficients de transmission des filtres colorés, le taux de réflexion de l'empilement des couches séparant l'air du silicium ainsi que le coefficient d'absorption du silicium ont un impact certain sur l'efficacité quantique du capteur. Enfin, comme seules les charges collectées sont prises en compte pour déterminer le signal de sortie moyen, tout photo-porteur se recombinant avant d'arriver dans la photodiode ou étant retenu dans la photodiode lors du transfert (rémanence) entrainera la dégradation de cette figure de mérite. Aussi, toute charge générée autrement que par un photon (courant d'obscurité) est soustraite lors de la mesure et ne contribuera donc pas à l'efficacité quantique du capteur.

Finalement, comme présenté dans le chapitre 1, dans le cas des capteurs éclairés par la face avant, comme les interconnexions métalliques surplombent le pixel, une partie de la lumière incidente peut être réfléchie avant d'atteindre la couche de silicium. L'intégration de microlentilles et de guides d'ondes permet de limiter l'impact de ces interconnexions sur le QE. Seule l'intégration de l'éclairement par la face arrière (BSI) permet de s'en affranchir totalement.

Nous avons effectué des mesures de QE sur plusieurs types/configurations de capteurs dans nos études comparatives. Ainsi, le capteur de type P a été comparé à celui de type N, avant et après irradiation. Des architectures BSI et FSI de capteurs de type P ont également été confrontées les unes aux autres. Pour finir, dans le cas du capteur de type P BSI, nous avons comparé l'impact de deux doses différentes d'implantation utilisées pour la passivation des tranchées DTI.

5.1. Comparaison de la réponse des capteurs de type P, FSI et BSI

Nous avons vu dans la partie 3.4 du chapitre 1 que des capteurs de type P éclairés par la face avant avaient été développés chez STMicroelectronics par Sébastien Place et al en 2012 [154]. Cette architecture est également très similaire à celle étudiée par E. Stevens et al en 2008 [155]. Il nous a alors été possible d'effectuer une comparaison directe de ses performances optique avec l'architecture BSI développée au cours de nos travaux. La figure 102 compare l'efficacité quantique des deux capteurs PMOS possédant chacun des pixels de 1,4µm de côté et étant respectivement éclairés par la face avant (FSI) ou par la face arrière (BSI). La principale différence entre les deux capteurs, en dehors de la direction d'éclairement, vient du fait que la photodiode du capteur éclairé par la face avant est planaire alors que celle du capteur BSI est verticale. Le grand facteur de remplissage et le faible encombrement du capteur BSI lui confèrent une bien meilleure efficacité quantique que le capteur FSI sur toutes les longueurs d'onde du spectre visible. On mesure en effet une augmentation de 20 points de QE dans le bleu par rapport au pixel FSI ce qui correspond essentiellement à la différence de facteur de remplissage entre les deux pixels. L'intérêt de l'intégration BSI est alors évident. De plus, comme deux types de résines différentes ont été utilisées pour la fabrication du filtre coloré vert, on observe un décalage en longueur d'onde du maximum d'efficacité quantique entre le capteur BSI et celui FSI.

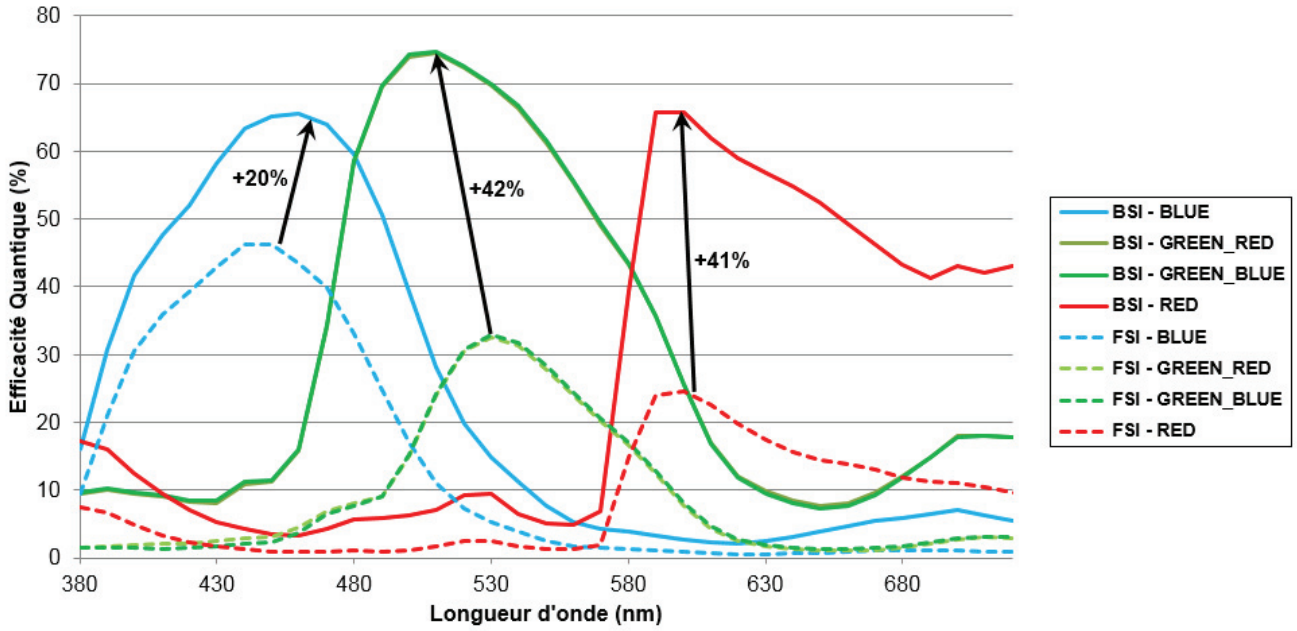


Figure 102 : Comparaison de l'efficacité quantique de deux capteurs de type P de 1,4µm de côté, l'un avec une photodiode planaire illuminée par la face avant (pointillés) et l'autre avec une photodiode verticale illuminée par la face arrière (traits pleins).

Enfin, grâce à la photodiode profonde du capteur BSI, le gain en efficacité quantique dans le vert et le rouge est particulièrement important avec plus de 40 points de QE supplémentaire pour ces deux couleurs. En effet, dans le cas du capteur de type P éclairé par la face avant, le caisson N utilisé pour isoler la photodiode planaire du substrat limite fortement la collection des charges générées en profondeur (voir figure 103). Ces dernières sont évacuées par le substrat et sont donc perdues. Ceci explique les faibles performances du capteur FSI à photodiode planaire dans le rouge et justifie l'intérêt d'intégrer une photodiode profonde pour faciliter la collection de charges et maximiser l'efficacité quantique.

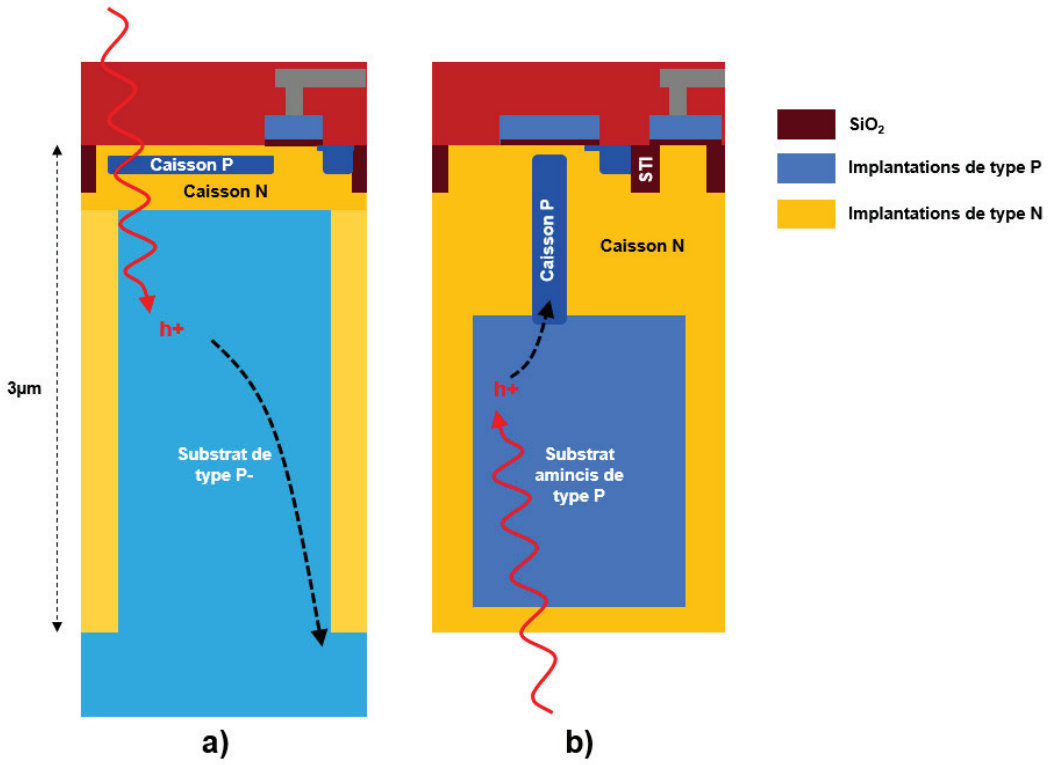


Figure 103 : Description schématique de l'absorption de lumière à large longueur d'onde (i.e. le rouge) dans le cas d'un capteur de type P éclairé par la face avant (a) et éclairé par la face arrière (b).

5.2. Impact de la passivation des tranchées d'isolation sur la réponse du pixel

Nous avons vu dans la partie 3.1.2 du chapitre précédent toute l'importance de la passivation des interfaces Si/SiO_2, et plus particulièrement celle des tranchées d'isolation profondes, sur la génération du courant d'obscurité dans le pixel. Deux types de capteurs avaient alors été comparés : l'un avec une dose standard d'implantation des tranchées DTI et l'autre avec une dose divisée par deux. Le niveau de courant d'obscurité plus élevé observé sur ce dernier s'expliquait par une moins bonne passivation des états d'interface (voir figure 66 de la partie 4.1.2 du chapitre 3). En étudiant l'efficacité quantique de ces deux capteurs, on observe aussi une plus faible sensibilité du capteur faiblement passivé sur toutes les longueurs d'onde (voir figure 104). Le nombre d'états d'interface actifs y étant plus important, la vitesse de recombinaison surfacique est sans surprise plus élevée et le QE diminue. La passivation des interfaces a donc non seulement un impact sur la génération du courant d'obscurité mais aussi sur l'efficacité quantique du capteur.

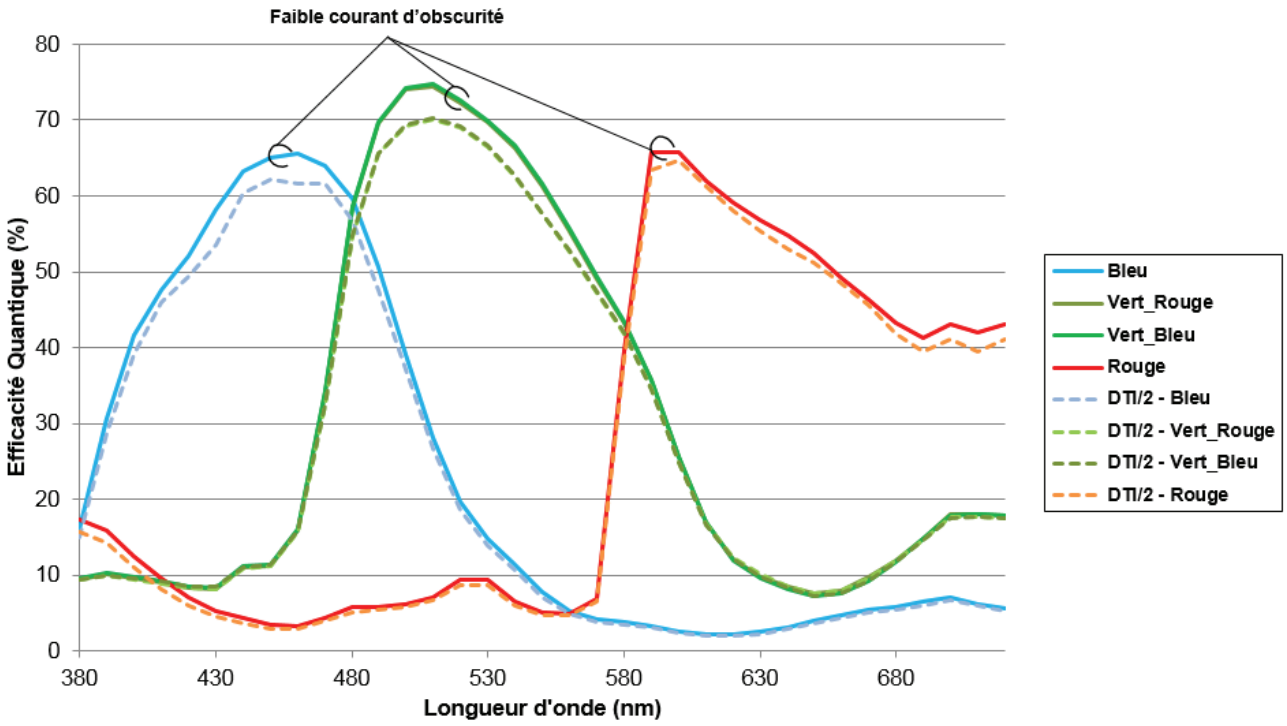


Figure 104 : Comparaison de l'efficacité quantique mesurée sur les trois plans couleur entre 380nm et 720nm pour deux capteurs de type P différents : l'un ayant subi une dose d'implantation standard pour passiver l'interface des DTI (trait plein) et l'autre ayant subi une dose divisée par deux (trait pointillé).

5.3. Comparaison des capteurs de type P et de type N

La figure 105 compare deux capteurs éclairés par la face arrière, l'un de type P et l'autre de type N. Il s'avère que le capteur de type P présente de meilleures performances en efficacité quantique que le capteur de type N, et ce sur les trois plans couleur du capteur avec en moyenne 6, 5 et 4 points de QE supplémentaire pour chacun des pics de signal (respectivement bleu, vert et rouge). Bien entendu, les deux types de capteurs possèdent les mêmes filtres colorés ainsi que le même empilement de couches sur la face arrière. La principale différence entre ces pixels concerne l'extension verticale de la photodiode. En effet, par construction, la photodiode du pixel de type P s'étend sur presque tout le volume de silicium (soit 3µm d'épitaxie) alors que celle du pixel de type N est éloignée de plus d'un micromètre de l'interface arrière du pixel. Nous avons aussi vu dans la partie 4.3 du chapitre 3 que le courant d'obscurité intrinsèque (de la population principale de pixels) des capteurs de type P était jusqu'à 5 fois inférieur à celui du capteur de type N à 60°C. Nous avons également vu dans la sous-partie précédente l'impact de la passivation des états d'interface sur l'efficacité quantique du capteur. La recombinaison de porteurs photo-générés est plus probable pour le capteur présentant des interfaces moins bien passivées. C'est la combinaison de ces facteurs qui expliquent la meilleure sensibilité optique du capteur de type P sur son homologue de type N.

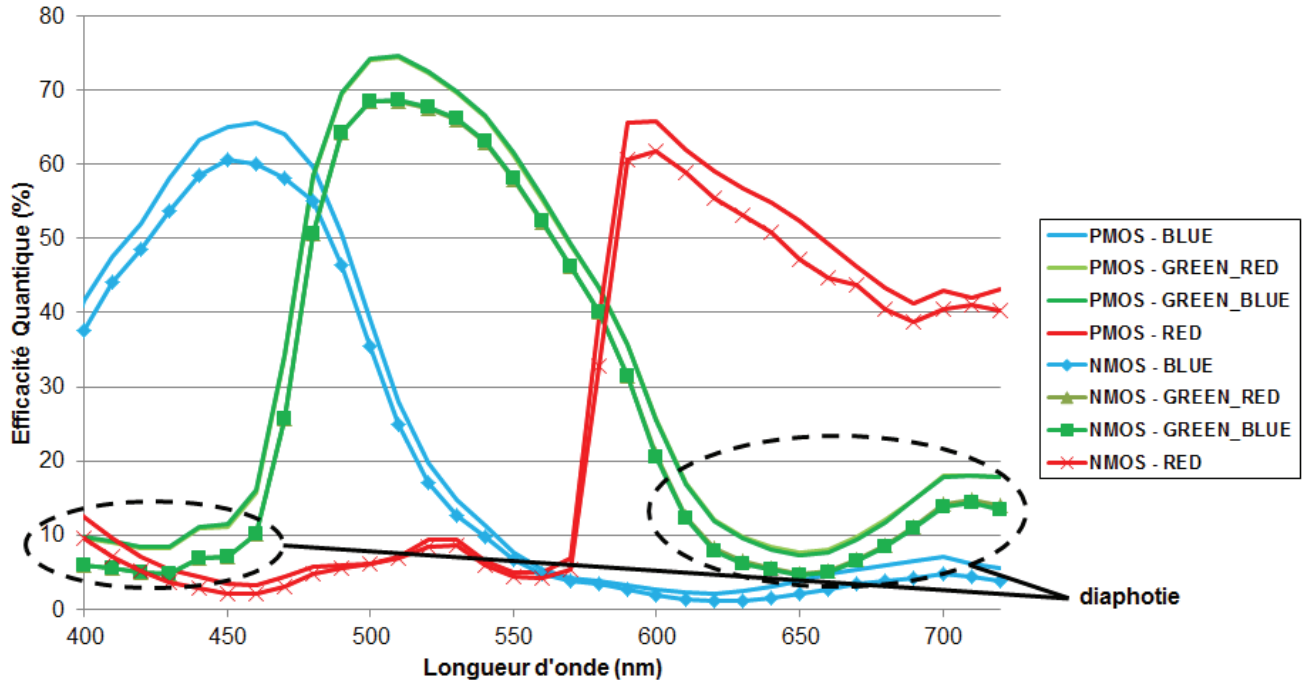


Figure 105 : Comparaison de l'efficacité quantique du capteur NMOS BSI de référence (avec marqueurs) avec le capteur PMOS BSI réalisé au cours de cette thèse (sans marqueurs).

L'observation des courbes d'efficacité quantique permet de visualiser qualitativement si les pixels présentent ou non de la diaphotie. Pour rappel, la diaphotie représente la quantité de signal mesurée sur un pixel présentant un filtre coloré d'une certaine couleur (par exemple vert) lorsque l'ensemble des pixels est éclairé par de la lumière d'une autre longueur d'onde (par exemple 450nm pour le bleu et 600nm pour le rouge). Dans notre cas, avec des pixels fabriqués sur substrat amincis et isolés électriquement les uns des autres par des tranchées d'isolation profondes (DTI ou CDTI), la diaphotie électrique est considérée comme inexistante. C'est-à-dire qu'une charge générée dans un pixel ne peut pas migrer vers un autre pixel. En revanche, lorsque l'empilement optique censé guider et filtrer chaque photon incident vers le pixel le plus proche est défaillant, de la lumière d'une certaine couleur (ou longueur d'onde) peut être transmise jusqu'au silicium appartenant à un pixel d'une autre couleur et créer ainsi ce que l'on appelle la diaphotie optique. Elle est très nettement visible sur le figure 105 (pointillés noir pour les pixels verts).

Le niveau élevé de diaphotie, observé sur les pixels verts pour des longueurs d'ondes inférieures à 460nm et supérieures à 600nm, s'explique par le fait que les microlentilles des capteurs PMOS n'ont pas été optimisées. Durant la fabrication des capteurs de type P, le filtre coloré vert est le premier à être déposé, viennent ensuite les filtres bleus et rouges qui sont alignés directement sur les plots de résine verte. La vue en coupe observée au microscope électronique à balayage et présentée en figure 106a) montre clairement que les filtres verts débordent légèrement sur les pixels voisins, et que leur épaisseur est plus faible en périphérie. En revanche, la microlentille placée au-dessus des filtres rouges et bleus possède un diamètre de 1.42µm (lorsque l'on prend en compte l'épaisseur de SiON déposée sur la microlentille). Cette dernière englobe donc correctement le pixel comme le montre la faible diaphotie mesurée sur les pixels rouge et bleu entre 460nm et 600nm. Suite à un défaut de fabrication, les pixels verts, quant à eux, présentent un diamètre de microlentille de seulement 1.22µm. soit près de 200nm inférieur à la taille du pixel. Cette différence de taille est clairement visible sur la figure 106b). Un faisceau de lumière arrivant sur les 200nm de SiON non-couverts par la microlentille ne sera donc pas correctement focalisé sur la zone centrale du filtre coloré vert et risque donc de ne pas être entièrement absorbé (faute d'épaisseur suffisante) avant d'atteindre la surface de silicium, générant ainsi l'augmentation de diaphotie observée en figure 105.

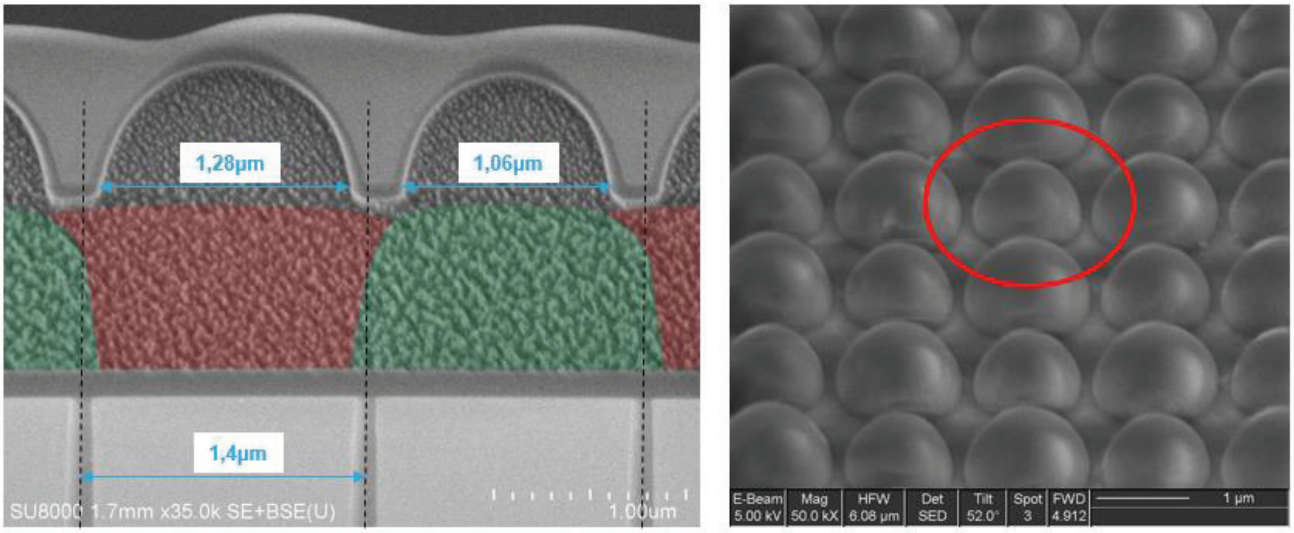


Figure 106 : Vue en coupe (a) et du dessus (b) des microlentilles observées au microscope électronique à balayage. Pour plus de clarté les filtres colorés ont été teintés en fausses couleurs sur la figure a).

La géométrie des microlentilles du capteur de type P n'ayant pas été optimisée, il n'a pas été jugé pertinent d'effectuer des mesures de réponse angulaire. En revanche, de par la faible épaisseur de l'empilement de la face arrière dans les capteurs BSI, ces derniers présentent naturellement une meilleure réponse angulaire que les capteurs éclairés par la face avant [156].

5.4. Impact de l'irradiation sur les performances optiques des capteurs d'image.

L'étude menée sur le courant d'obscurité après irradiation avait déjà montré des mécanismes de dégradation différents pour les capteurs de type N et de type P (voir partie 4.2.1 et 4.2.3 du chapitre 3). De la même manière, des mesures d'efficacité quantique ont été effectuées sur ces capteurs irradiés. Les résultats de ces mesures sont présentés sur la figure 107 a) et b). Pour faciliter la comparaison entre les deux types de capteur, chaque courbe a été normalisée par rapport à son maximum d'efficacité quantique. Dans les deux cas, et ce pour toutes les longueurs d'ondes, la dégradation de l'efficacité quantique augmente avec la dose ionisante. En revanche, le taux de dégradation du QE varie clairement avec la longueur d'onde de la lumière incidente ; le QE dans le rouge se dégrade moins rapidement que celui dans le vert et celui dans le vert moins rapidement que celui dans le bleu.

Dans une étude similaire (irradiation aux rayons gamma provenant de ^{60}Co) menée sur des capteurs de type N à photodiode planaire éclairée par la face avant (avec un pas de 1,4µm), N. Ahmed et al. avaient observé un rythme de dégradation inverse à celui présenté ici (le QE dans le rouge se dégradait plus rapidement que celui dans le vert et le bleu) [157]. De plus, l'amplitude de la dégradation était nettement supérieure à ce qui est observé sur les capteurs BSI : jusqu'à 37% de perte en QE dans le rouge. Cette différence d'impact de l'irradiation montre que l'origine de la baisse de QE ne provient pas d'une dégradation des microlentilles ou des filtres colorés. En effet, tous les capteurs (aussi bien FSI que BSI) ont été fabriqués sur le site de Crolles de STMicrolectronics en utilisant des résines similaires pour la formation des filtres colorés et des microlentilles. En subissant le même type de contrainte (irradiation au rayons X) et à des doses équivalentes (environ 1kGy) la dégradation de l'empilement optique devrait être indépendante du type de pixel auquel il appartient.

Cependant, il s'avère que l'efficacité quantique de chacun des capteurs se dégrade tout de même par un mécanisme identique : la recombinaison des charges photo-générées au niveau des interfaces Si/SiO_2. En effet, nous avons vu précédemment dans le chapitre 3 que l'irradiation aux

rayons X ou gamma provoquait une forte augmentation de la densité d'états d'interface dans les pixels (notamment au niveau des tranchées d'isolation profondes). Il est connu qu'une hausse de la densité d'états d'interface peut entrainer un changement de la vitesse de recombinaison surfacique au niveau des interfaces Si/SiO_2 comme les STI et le diélectrique pré-métallique (PMD) de surface [158] [159] [160] [161]. Ceci est également vrai au niveau des tranchées d'isolation profondes et de l'interface arrière des pixels BSI. Comme la lumière rouge est très pénétrante, la génération de paires e^-/h^+ s'effectue sur toute la profondeur du pixel (3µm) contrairement à la lumière bleu qui elle est entièrement absorbée sur une très faible épaisseur (92% de la lumière incidente est absorbée sur le premier micron de silicium pour une longueur d'onde de 450nm). Dans le cas d'une photodiode planaire éclairée par la face avant, les charges générées dans le pixel rouge auront donc une distance nettement plus importante à traverser avant d'être collectées que celle générées dans le pixel bleu. En raison de la forte vitesse de recombinaison surfacique au niveau des DTI irradiés, un grand nombre de ces charges vont se recombiner en chemin et n'atteindront jamais la photodiode.

Le même raisonnement explique les performances des pixels à photodiode verticale et éclairés par la face arrière. Comme la génération de charges dans le pixel rouge s'effectue sur tout le volume et que celui-ci est en majorité occupé par la photodiode, seul un très faible pourcentage de charges ne sera pas collecté. La dégradation plus significative du signal du pixel bleu observée sur les capteurs BSI s'explique par le fait que la photodiode est éloignée de 500nm (type P) à plus d'un micromètre (type N) de l'interface arrière du pixel. Cette dernière étant endommagée par les rayons X, la vitesse de recombinaison surfacique des charges photo-générées sera plus élevée au voisinage de cette interface. N. Ahmed et al. avaient d'ailleurs observés une diminution de 13% de l'efficacité quantique dans le bleu pour leur capteur FSI de type N irradié avec une dose de 1000Gy. Cette valeur est équivalente à celle mesurée sur le capteur de type N éclairé par la face arrière de notre étude.

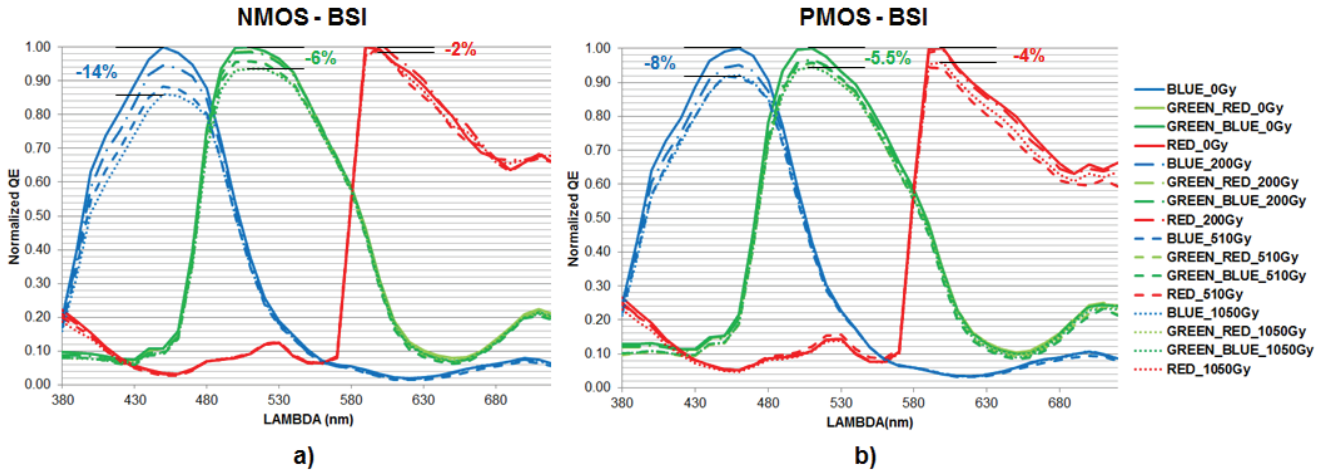


Figure 107 : Efficacité quantique des capteurs éclairés par la face arrière de type N et de type P après différentes doses d'irradiation par un rayonnement X provenant d'un accélérateur linéaire de 6MV.

6. Le bruit provenant des transistors PMOS

Comme expliqué précédemment dans les chapitres 1 et 2, le pixel étudié durant cette thèse présente une architecture dite « 2T » comprenant seulement deux transistors : le transistor suiveur et celui de remise à zéro. Pour des raisons techniques, notamment des contraintes de surface disponible dans le pixel de 1.4µm de côté, il a été choisi d'utiliser des transistors de type PMOS pour former la chaîne de lecture. En effet, l'intégration d'un caisson de type P spécifique et nécessaire à la fabrication de transistors NMOS n'était pas possible. De plus, les transistors PMOS étant réputés pour leur faible bruit télégraphique et 1/f comparés à leurs équivalents de type N, il semblait avantageux de les intégrer dans notre pixel [162] [155] [163].

6.1. Les bruits de piégeage : bruit télégraphique et 1/f

Le bruit télégraphique (*Random Telegraphic Signal* ou *RTS* en anglais) et le bruit 1/f ont tous deux la même origine physique : le piégeage et dé-piégeage de porteurs minoritaires aux interfaces Si/SiO_2. Contrairement à la génération du courant d'obscurité, ces porteurs minoritaires ne passent pas de la bande de valence à la bande de conduction, ils sont soit déjà présents dans cette dernière ou alors piégés sur un niveau autorisé proche de la bande de conduction. Ces deux bruits sont observés dans la chaîne de lecture et plus particulièrement au niveau du transistor suiveur.

6.1.1. Le bruit 1/f

Deux principaux modèles ont été développés pour décrire le bruit 1/f : le modèle de McWhorter [164] basé sur une fluctuation du nombre de porteurs dans le canal et celui de Hooge basé sur une fluctuation de la mobilité des porteurs dans le canal [165] [166]. Avec le modèle de Hooge, la densité spectrale en tension du bruit 1/f d'un transistor MOS en saturation est décrit par :

$$v_{Hooge}{}^2 = \alpha_f \frac{q\mu_f (V_{GS} - V_T)}{2\mu_{eff} C_{ox} WLf} \quad (29)$$

Avec α_f étant le paramètre de bruit 1/f de Hooge (aux allentours des 2.0×10^{-3}), μ_f la mobilité des porteurs en prenant en compte uniquement les collisions avec le cristal et μ_{eff} la mobilité effective des porteurs. Cependant cette équation ne permet pas de décrire tous les cas expérimentaux. En effet, la majorité des expériences montrent que le modèle de McWhorter décrit ci-après est bien meilleur [167] :

$$v_{MacWhorter}{}^2 = \frac{K_f}{C_{ox}{}^2 WLf} \quad (30)$$

Où K_f est une constante si la densité de pièges et la densité de porteurs dans la canal ne dépendent pas des conditions de polarisation.

Hung & al. ont plus tard cherché à unifier ces deux modèles [168]. Le piégeage/dé-piégeage de porteurs dans l'oxyde de grille du transistor entraine une fluctuation du nombre de porteurs passant au travers du transistor et un changement localisé de la mobilité dans le canal d'inversion dû aux collisions coulombiennes avec les porteurs piégés. Dans cette théorie unifiée, la modulation du courant de drain est exprimée de la façon suivante :

$$\frac{\Delta I_d}{I_d} = -\left(\frac{1}{\Delta N_{inv}} \frac{\delta \Delta N_{inv}}{\delta \Delta N_{it}} \pm \frac{1}{\mu_{eff}} \frac{\delta \mu_{eff}}{\delta \Delta N_{it}}\right) \delta \Delta N_{it} \quad (31)$$

Où N_{it} correspond au nombre de pièges à l'interface, N_{inv} correspond au nombre de porteurs dans le canal d'inversion et μ_{eff} à la mobilité effective des porteurs. Le premier terme de la parenthèse adresse donc le problème de la fluctuation du nombre de porteurs dans le canal alors que le second terme correspond aux variations de mobilité dans le canal dû au champ électrostatique généré par les porteurs piégés.

C'est McWhorter qui en 1955, suite à son travail sur le piégeage/dé-piégeage de porteurs pour expliquer le bruit 1/f, prédit l'existence du bruit RTS en présence d'un seul piège à l'interface Si/SiO_2. Cette prédiction fût confirmée expérimentalement par Kirton et al. en 1989 [169].

6.1.2. Le bruit RTS

Or, avec la course à la miniaturisation et la diminution de la surface d'oxyde de grille, un transistor peut ne contenir qu'un seul piège proche de son canal d'inversion. En piégeant et relâchant des porteurs de charge provenant du canal, le piège entraine une variation discrète du courant de drain du transistor prenant la forme de créneaux et autrement appelée « bruit télégraphique ». Le phénomène de piégeage est gouverné par la statistique de Shockley, Read et Hall. Les temps moyens de capture et d'émission de porteurs ainsi que l'amplitude des variations du courant de drain du transistor sont trois facteurs de mérite pour décrire le bruit télégraphique. L'amplitude du bruit est essentiellement dépendante de la géométrie du transistor (largeur W et longueur L), de la profondeur du piège dans l'oxyde x_t et de sa position par rapport au canal par la relation suivante [170] [171] :

$$\frac{\Delta I_d}{I_d} = \eta \frac{g_m}{I_d} \frac{q}{WLC_{ox}} \left(1 - \frac{x_t}{t_{ox}}\right) \quad (32)$$

En revanche, les temps moyens de capture et d'émission du porteur (τ_C et τ_E) dépendent essentiellement de la probabilité que le piège soit occupé et donc de la quantité de courant I_d passant dans le canal, du niveau d'énergie du piège dans la bande interdite E_t, de la température T et de la section de capture du piège σ_0 [171] :

$$\tau_C = \frac{e^{E_t/k_B T}}{I_d T \sigma_0 \chi} \quad (33)$$

$$\tau_E = \frac{e^{(E_t + E_{Ct})/k_B T}}{T^2 \sigma_0 \eta} \quad (34)$$

Où χ et η sont des constantes liées au processus de fabrication et E_{Ct} est la différence d'énergie entre le piège et la bande de conduction.

6.2. Les différentes représentations des bruits de piégeage

La figure 108 présente un exemple de bruit thermique et de bruit télégraphique mesurés sur des transistors PMOS. Ici, l'amplitude du bruit télégraphique est un ordre de grandeur plus élevée que celle du bruit thermique. Le signal en sortie du transistor varie entre deux niveaux distincts (l'état haut et l'état bas) séparés de $\Delta I_D = 10nA$. Comme la variation de courant ne présente que deux niveaux distincts, il est fort probable que le transistor ne présente qu'un seul piège actif dans son canal. Le niveau bas correspond au piégeage d'un porteur minoritaire alors que le niveau haut apparait lors de son émission. Comme vu précédemment, l'amplitude ΔI_D de la transition entre l'état haut et l'état bas dépend essentiellement de la profondeur du piège dans l'oxyde de grille ainsi que de sa position par rapport au canal. Les temps τ_C et τ_E entre chaque transition dépendent de la densité de porteurs minoritaires dans le canal ainsi que de la section de capture du piège en question. Ce type de bruit est donc intéressant à étudier car il nous renseigne sur les défauts présents dans les oxydes de grille.

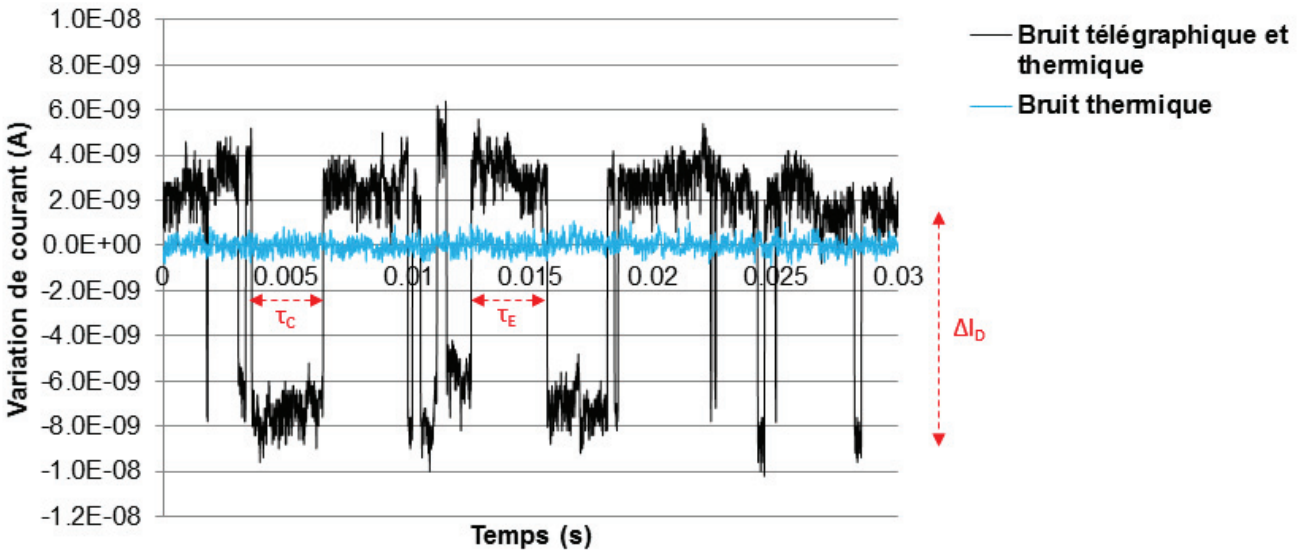


Figure 108: Exemple de variations de courant de drain mesurées sur deux transistors PMOS, l'un ne présentant qu'un bruit thermique (cyan) et l'autre présentant un bruit télégraphique superposé au bruit thermique (noir).

Cependant, dans une application de type capteur d'images, le bruit télégraphique des transistors suiveurs est modifié par la chaîne de lecture. En effet, durant la phase de lecture et plus particulièrement durant le double échantillonnage corrélé (*Correlated Double Sampling* ou *CDS* en anglais), une partie du bruit de piégeage (basse fréquence) peut être filtrée car le CDS agit comme un filtre passe haut [172] [171]. La figure 109 est une représentation du bruit télégraphique non filtré par le double échantillonnage corrélé lorsqu'une transition apparaît entre les deux échantillonnages. Comme la mesure du bruit est effectuée sur un grand nombre d'échantillonnages, et que la transition peut s'effectuer soit de l'état bas à l'état haut ou inversement de l'état haut à l'état bas, l'amplitude du bruit télégraphique mesuré après CDS est doublée comparée à sa valeur brute. Ce phénomène est visible sur la figure 110.

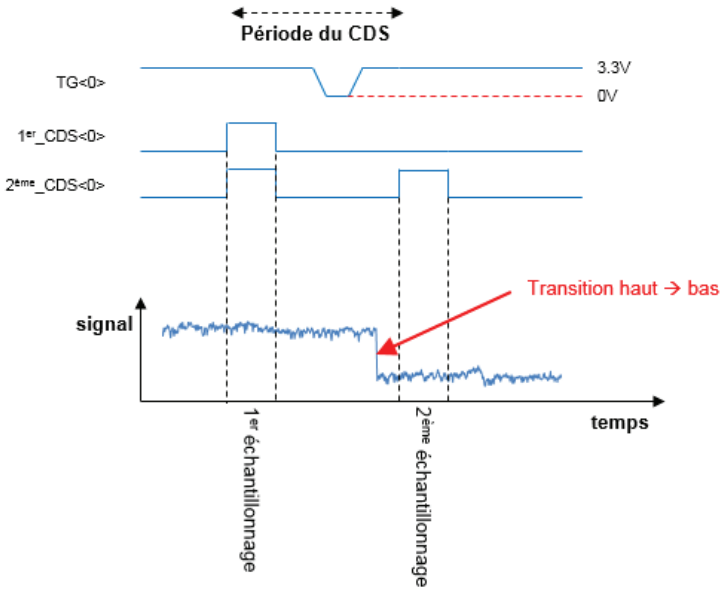


Figure 109 : Double échantillonnage corrélé du signal d'un transistor présentant du bruit télégraphique.

La figure 110 représente le signal mesuré en sortie après double échantillonnage corrélé pour deux pixels différents et 22500 acquisitions successives. Les deux pixels ont été sélectionnés pour leur comportement particulier : en couleur cyan le pixel de référence C959R786 ne présentant pas de bruit de piégeage et en noir le pixel C1918R796 présentant un bruit télégraphique à deux niveaux.

Les deux distributions ont été recentrées en 0 pour en faciliter la lecture. Cette représentation du bruit RTS est décrite en détail dans [172] et [173] au travers de ce que l'on appelle la « probabilité d'occupation d'un piège » (*Probability of Trap Occupancy* ou *PTO* en anglais). Le pic central des deux distributions correspond aux mesures réalisées sans qu'il n'y ait de transition entre les deux échantillonnages. En revanche, la courbe noire présente deux pics de part et d'autre de la distribution principale correspondant respectivement à une transition du signal de l'état haut à l'état bas (pic de gauche) et de l'état bas à l'état haut (pic de droite) entre les deux échantillonnages. L'écartement de ces pics par rapport au pic central nous renseigne sur l'amplitude de la transition entre l'état bas et l'état haut alors que l'amplitude de ces pics donne une information sur la fréquence de ces transitions (ou la probabilité que l'une de ces transitions arrive). Dans le cas présent l'amplitude des pics est asymétrique et la transition de l'état haut à l'état bas est plus fréquente que celle de l'état bas à l'état haut. L'état bas est donc plus stable que l'état haut. Quant à la dispersion en tension de chacun des pics, deux théories sont avancées : la théorie la plus acceptée l'attribue au bruit thermique du transistor [172] alors que l'autre à son bruit 1/f [171].

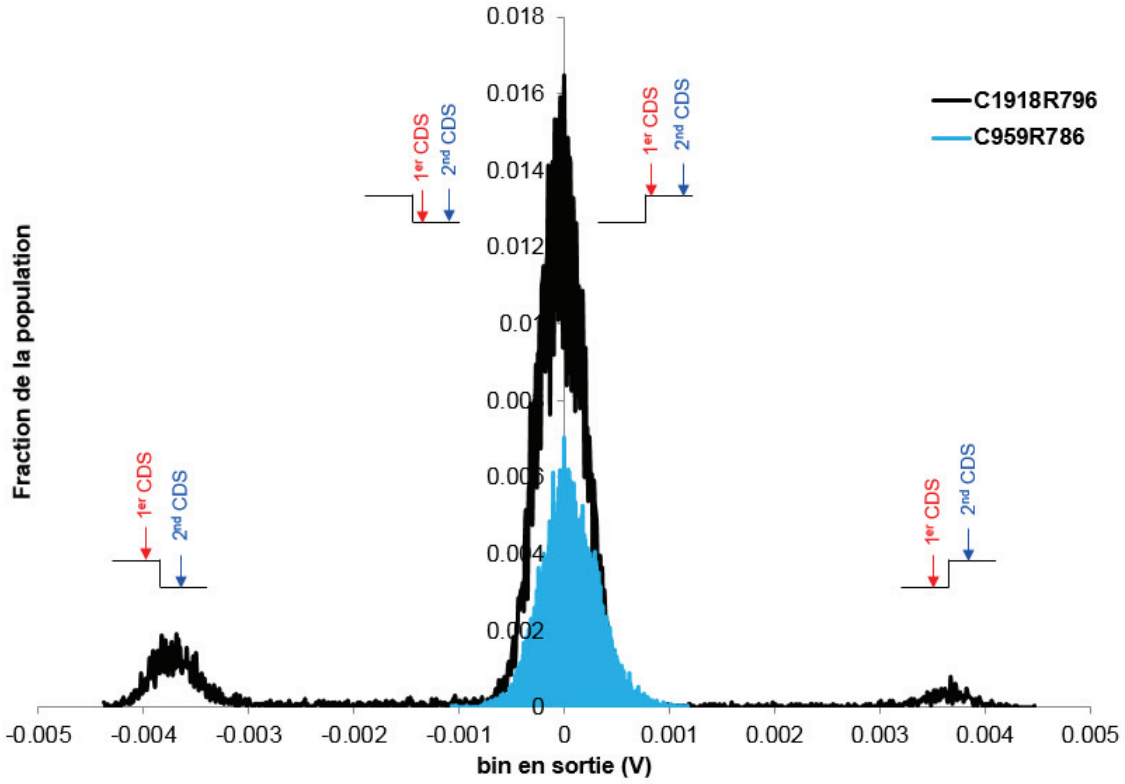


Figure 110: Bruit temporel mesuré après double échantillonnage corrélé sur deux transistors suiveurs d'une matrice de pixels de type P (colonne 1918 et ligne 796 vs. Colonne 959 et ligne 786), l'un présentant uniquement un bruit thermique (cyan) et l'autre présentant à la fois un bruit thermique et un bruit télégraphique (noir). A chaque pic correspond une transition du bruit télégraphique pendant le double échantillonnage corrélé.

A l'échelle d'une matrice de plusieurs millions de pixels, la méthode la plus simple pour étudier le bruit temporel et notamment le bruit de piégeage consiste à analyser la distribution de bruit de la totalité des transistors présents dans la matrice (comme c'est le cas pour les mesures de courant d'obscurité). Cette distribution est obtenue à partir de 2000 acquisitions effectuées dans l'obscurité totale, à temps d'intégration court (440µs dans notre cas) et à l'intérieur d'une étuve dont la température est précisément contrôlée. Afin d'éliminer la contribution de la grille de transfert sur le bruit temporel cette dernière peut être désactivée durant la mesure. De ces acquisitions, la variance du signal mesuré sur chaque pixel est alors extraite à partir de la formule suivante :

$$\sigma_{i,j}{}^2 = \frac{1}{N_{acq}-1}\sum_{N_{acq}} X_{i,j}{}^2 - \frac{1}{N_{acq}(N_{acq}-1)}\left(\sum_{N_{acq}} X_{i,j}\right)^2 \qquad (35)$$

Où $X_{i,j}$ correspond au signal du pixel de coordonnées i,j et N_{acq} est le nombre d'acquisitions effectuées.

Lorsque l'on trace la distribution de bruit en échelle logarithmique, cette dernière est généralement composée d'un pic principal dans lequel la plupart des transistors sont dominés par un bruit de type Johnson (ou bruit thermique), comme c'est le cas pour le transistor du pixel C959R786, et d'une queue de distribution pouvant s'étendre plus ou moins loin et correspondant aux transistors dominés par un bruit de piégeage (télégraphique ou 1/f) [171]. Une telle distribution est présentée en figure 111. Cette représentation est la mieux adaptée pour pouvoir comparer des capteurs ayant subi des procédés de fabrication différent.

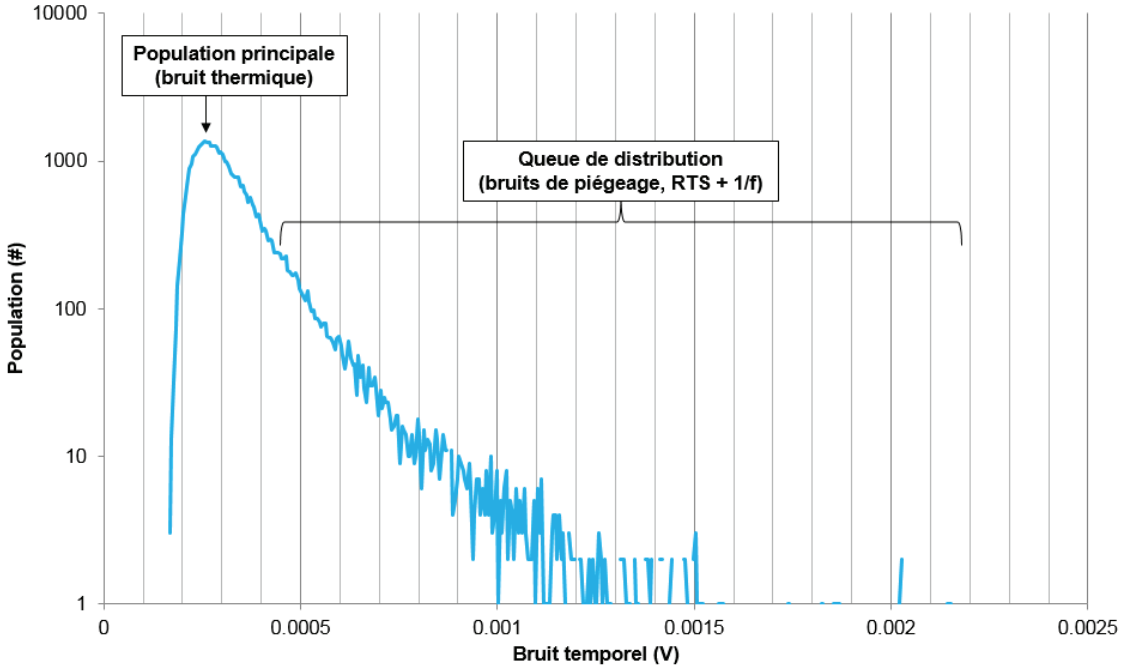


Figure 111 : Exemple de distribution de bruit temporel extraite d'un capteur de type P à 60°C.

Une comparaison directe entre deux capteurs ayant des conditions d'opération différentes reste cependant très difficile car le bruit temporel peut fortement dépendre des tensions et de la séquence de mise en œuvre du capteur [172]. Un exemple de variation du bruit temporel en fonction de la tension de réinitialisation du nœud de lecture est présenté en figure 112. Pour rappel, le pixel de type P ayant une architecture 2T, il est possible d'en modifier la tension de réinitialisation du nœud de lecture. Cette dernière correspond alors à la tension appliquée sur la grille du transistor suiveur en début d'intégration, soit *Vgb*. Lorsque |*Vgb*| diminue, on observe alors une forte chute du bruit temporel du capteur. Le bruit thermique et le bruit de piégeage sont tous les deux impactés comme le montre l'encadré de la figure 112. Ce comportement pourrait être expliqué par un changement de régime des transistors. En effet, dans le cas particulier où |*Vgb*| = *3V*, le transistor suiveur peut ne plus être en régime de saturation (le drain du transistor étant fixé à 2.5V et le courant de colonne étant fixe). Le manque d'accès aux différentes entrées et sorties du transistor ne nous permet malheureusement pas de confirmer cette hypothèse par des mesures électriques sur le capteur.

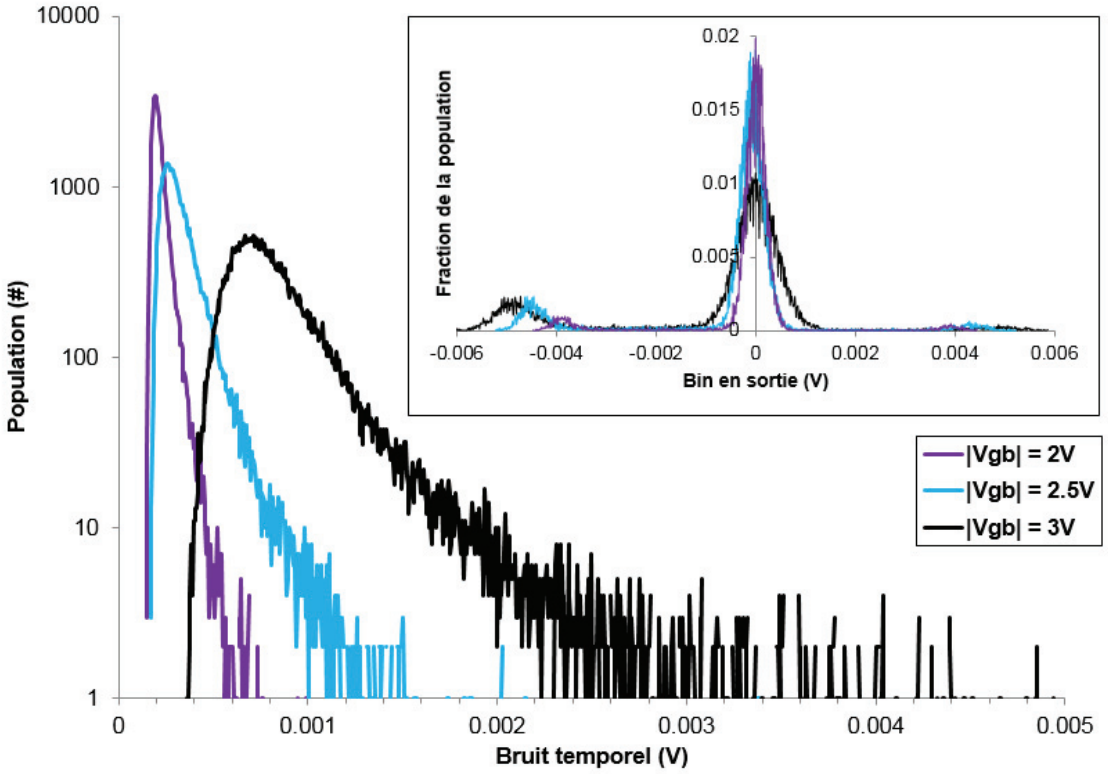


Figure 112 : Distribution du bruit temporel d'un capteur de type P pour trois tensions de réinitialisation du nœud de lecture |Vgb| = 2V (violet), |Vgb| = 2.5V (cyan) et |Vgb| = 3V (noir). L'encadré représente le bruit temporel d'un seul pixel présentant du bruit télégraphique pour ces mêmes conditions de polarisation.

En plus des tensions appliquées sur le capteur, la mise en œuvre du double échantillonnage corrélé peut aussi avoir un impact sur le bruit temporel du transistor suiveur. Les figures 113 et 114 présentent deux distributions de bruit temporel mesurées respectivement pour des durées d'échantillonnage croissantes et pour un intervalle entre chaque échantillonnage croissant. Ces deux paramètres vont modifier la durée de la période du CDS (voir figure 109). Dans chacun des cas, la courbe dans l'encadré présente la distribution recentrée sur la population principale de pixels, dominée par le bruit thermique, afin de mieux percevoir l'impact du timing sur le bruit de piégeage. De toute évidence, plus la durée d'échantillonnage est courte, plus le bruit de piégeage est faible car la probabilité qu'une transition apparaisse entre les deux échantillonnages diminue.

De la même manière, plus le délai entre chaque échantillonnage est court, plus le bruit de piégeage sera réduit. La durée minimale de l'échantillonnage est cependant limitée par le temps que met le signal à se stabiliser sur les capacités du CDS. Quant au délai entre les deux échantillonnages, il est limité par la durée du pulse de la grille de transfert. Comme vu précédemment dans la partie 3.3 de ce chapitre, si cette dernière est trop courte, le pixel risque alors de présenter de la rémanence. Dans les conditions standards d'opération du capteur, le temps entre deux échantillonnages a donc été limité à 1µs.

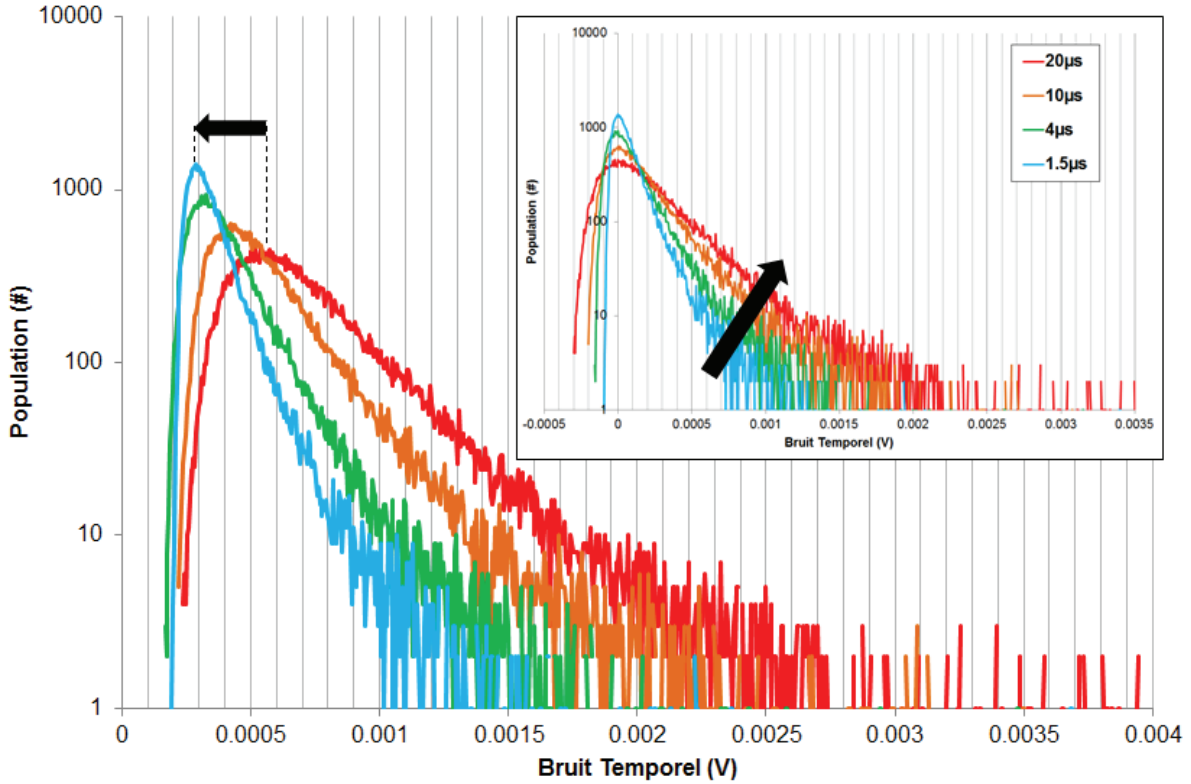


Figure 113 : Distribution de bruit temporel en fonction du temps d'échantillonnage. Dans l'encadré, l'histogramme a été recentré pour mettre en évidence l'augmentation du bruit de piégeage.

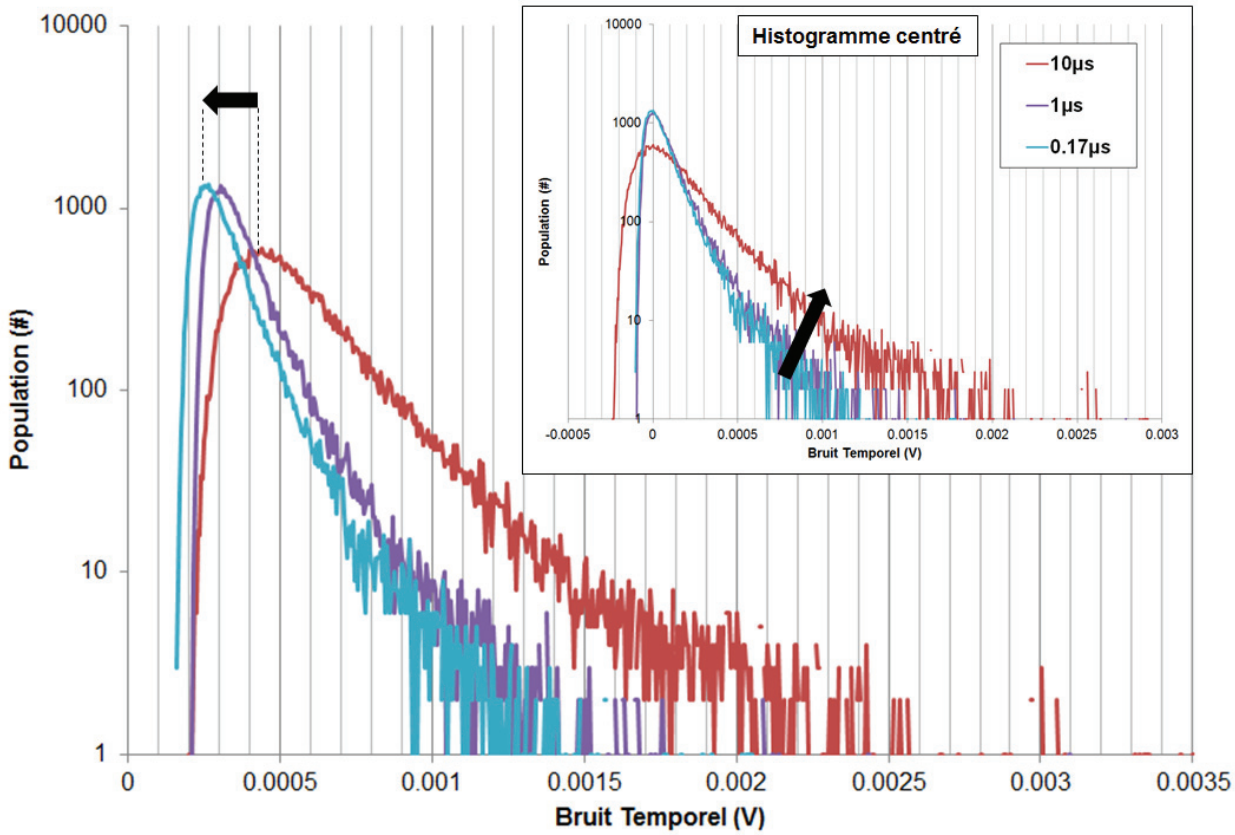


Figure 114 : Distribution de bruit temporel en fonction du délai entre les deux échantillonnages du double échantillonnage corrélé. Dans l'encadré, l'histogramme a été recentré pour mettre en évidence l'augmentation du bruit de piégeage.

6.3. Comparaison NMOS vs PMOS

Comme vu précédemment, les conditions de mise en œuvre des transistors impactent fortement le bruit temporel des pixels. Il est donc difficile de comparer le bruit temporel provenant de deux capteurs ayant des conditions de mise en œuvre sensiblement différentes. Les résultats de mesures présentés dans la figure suivante ont été acquis dans des conditions d'opération similaires : même durée d'échantillonnage, courants de colonne identique, même tension de réinitialisation ($|Vgb| = 2.5V$) et même population étudiée. Le pic de population des deux types de capteur se situe au même niveau (environ 250µV). Cependant, le bruit de la population principale de transistors suiveur de type P présente une dispersion plus importante que celle de type N. Ce dernier présente donc un plus faible niveau de bruit thermique que son équivalent de type P. Contrairement à la littérature, les deux types de transistors ont l'air de présenter un niveau de bruit de piégeage similaire car aucune des deux queues de distribution ne s'étend de manière significative au-delà de 2mV [155] [162] [163]. Cette brève comparaison ne nous permet donc pas de statuer sur les avantages ou inconvénients d'intégrer des transistors de type P dans un pixel. Une étude plus approfondie des différents contributeurs aux bruits temporels des transistors est donc nécessaire (étude détaillée de la chaîne de lecture et de ses composants, comparaison de transistors de type N et P à tensions de seuil et procédés de fabrication équivalents, étude d'une architecture de pixel nécessitant une mise en œuvre moins complexe que l'architecture 2T, etc…).

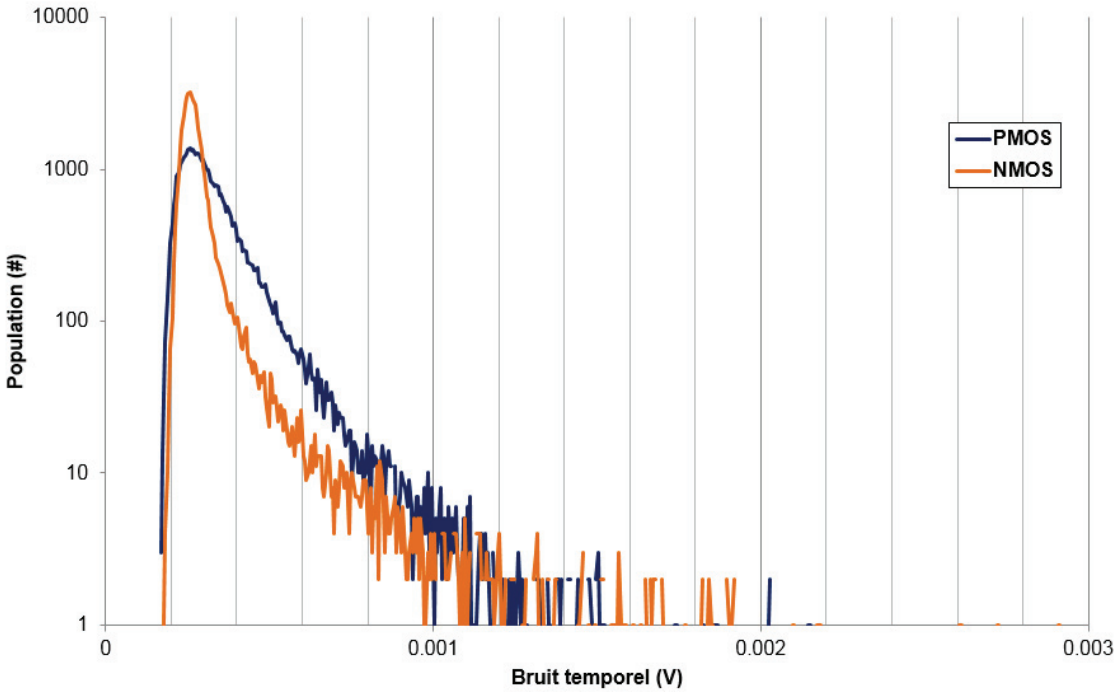


Figure 115 : Distribution de bruit temporel du transistor suiveur et de la chaîne de lecture pour un capteur de type P (bleu) et un capteur de type N (orange).

6.4. Bruit temporel sous irradiation

L'étude sous irradiation effectuée principalement pour étudier les dégradations du capteur de type P en courant d'obscurité, nous a aussi permis de voir l'impact des radiations sur le bruit temporel des transistors du capteur. Les distributions observées avant (noir) et après irradiation à 1050Gy (rouge) sont présentées sur la figure 116. On observe alors une forte dégradation du bruit thermique sans que le bruit de piégeage ne soit affecté. Un comportement identique à celui-ci a

également été observé sur les transistors suiveurs des pixels de type N. Une éventuelle accumulation de charges positives dans l'oxyde de grille du transistor suiveur de chacun des capteurs aurait entrainé un décalage de leur tension de seuil, vers une tension plus élevée pour le transistor PMOS et plus faible pour le NMOS, comme déjà observé sur des oxydes épais dans [154] et [141]. Ce décalage dans des directions opposées aurait entrainé des comportements opposés pour les deux types de capteur. Tout ceci tend à montrer que la dégradation de bruit thermique observée provient essentiellement du reste de la chaîne de lecture et non du transistor suiveur. En effet, n'étant pas protégée, la chaîne de lecture est tout autant susceptible d'être affectée par les rayonnements ionisants que la matrice de pixel. P. Martin-Gonthier et al. avaient d'ailleurs montré une dégradation similaire du bruit thermique de la chaîne de lecture en 2012 [174]. D'après leur étude, cette dégradation proviendrait essentiellement d'une modification des différentes tensions de seuils présentes dans la chaîne de lecture suite à l'accumulation de charges positives dans les oxydes de grille. En 1999, Z. Cirigiddin et al. avaient montré qu'un recuit à haute température (300°C durant 35 minutes) pouvait éliminer ces charges accumulées et rétablir les tensions de seuil originelles des transistors [141]. Le même mécanisme est constaté sur les transistors PMOS du capteur de type P. En effet, le bruit temporel après recuit présenté sur la courbe bleue de la figure 116 s'aligne parfaitement avec la distribution de bruit temporel avant irradiation indiquant un rétablissement complet de la tension de seuil originale. Des résultats identiques ont été observés sur les capteurs de type N irradiés après recuit.

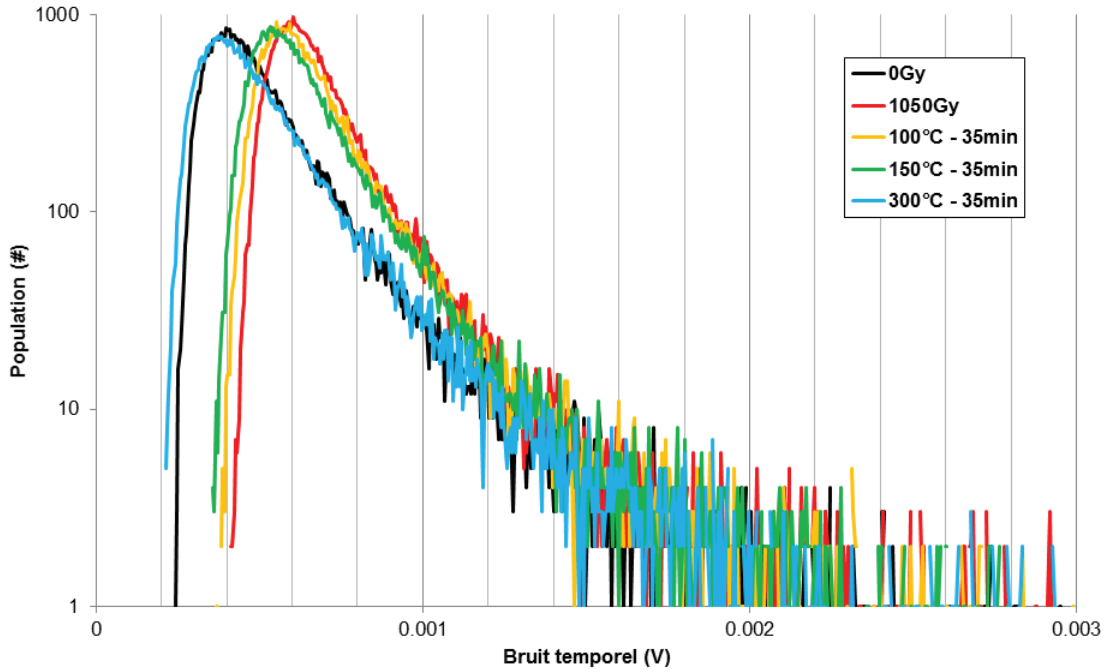


Figure 116 : Distribution de bruit temporel avant (noir) et après (rouge) irradiation à 1050Gy pour un capteur de type P. Les courbes jaune, verte et bleu correspondent respectivement au bruit temporel du capteur irradié mesuré après un recuit de 100°C, 150°C et 300°C.

7. Conclusion

Les différentes études menées au cours de ce chapitre nous ont permis de démontrer la bonne fonctionnalité du capteur de type P développé au cours de cette thèse. En effet, ces résultats attestent de la bonne linéarité de la réponse du capteur ainsi que de son faible niveau de rémanence (dans des conditions d'opération standard). Nous avons pu montrer que le transistor suiveur PMOS présent dans le pixel de type P possède un gain sensiblement identique à celui du transistor suiveur NMOS du capteur de référence. Ses performances en bruit temporel sont également similaires à son équivalent de type N. La photodiode pincée verticalement et le stockage de charges volumique nous a permis d'obtenir une charge à saturation de plus de 7400h^+ pour un pixel de 1.4µm de côté. Cette architecture semble également prometteuse pour augmenter considérablement la charge à saturation (> 9000h^+) moyennant un travail d'ingénierie de dopage certain au niveau de la transition P/P^- entre le caisson P implanté et le substrat. Notamment grâce à l'éclairement par la face arrière, le capteur présente une très bonne efficacité quantique avec un pic dans le vert (510nm) à près de 75%. En raison du faible niveau de courant d'obscurité mesuré sur ce capteur (voir chapitre 3), ses performances optiques surpassent celles du capteur de référence de type N. Sa résistance aux radiations est elle aussi accrue et permet de conserver de bonnes performances optiques dans le bleu (canal couleur le plus affecté par les défauts d'interface) même après avoir reçu une dose de 1kGy de rayons X. Le tableau 1 présente un résumé des caractéristiques globales du capteur de type P.

Table 1 : Résumé des différents paramètres clés nécessaire à l'évaluation du bon fonctionnement du capteur de type P développé au cours de cette thèse.

Paramètre	Valeur
Type de photodiode	Collection de trous Stockage de charge volumique Photodiode pincée entièrement désertée
Type de transistors	PMOS
Architecture	2T
Eclairement	Face arrière (BSI)
Isolation inter-pixels	DTI ou CDTI
CVF	125µV/h^+
Capacité totale du nœud de lecture	1.1fF
Gain du transistor suiveur	0.86
Linéarité	Linéaire jusqu'à 750mV de signal
Charge à saturation	> 7400h^+ > 9000h^+ (avec fort niveau de rémanence)
Rémanence	< 1h^+
QE(460nm)	66%
QE(510nm)	75%
QE(600nm)	66%
Bruit temporel moyen de la chaine de lecture	250µV

Conclusion Générale et Perspectives

Au travers de ce manuscrit et de ce travail de thèse, nous avons dans un premier temps pu présenter les multiples étapes de fabrication nécessaires à l'élaboration d'une nouvelle architecture de pixel à l'état de l'art des capteurs CMOS actuels. Cette architecture combine dans un pas de 1.4µm de côté une photodiode pincée de type P éclairée par la face arrière permettant un stockage de charges volumique, une chaîne de lecture composée de transistors PMOS partagés entre différents pixels et pour finir un nouveau type de tranchées d'isolation profondes permettant une passivation active de ses interfaces Si/SiO_2 (tranchées dites « capacitives » ou « CDTI »). Avec l'aide du CEA LETI, l'intégration des tranchées CDTI dans une architecture éclairée par la face arrière fût d'ailleurs une première pour STMicroelectronics. Ces travaux de développement ont également montré une fois de plus l'utilité des simulations TCAD en trois dimensions pour notamment assister le travail complexe d'ingénierie de dopage (par implantation ou par diffusion) nécessaire à la fabrication des capteurs d'image CMOS. De nombreuses modifications du procédé de fabrication peuvent cependant encore être implémentées dans le but d'améliorer la passivation de l'interface arrière du capteur ou optimiser la forme et la taille des microlentilles. Le manque de temps ne nous a malheureusement pas permis d'étudier tous ces aspects mais ils peuvent l'être dans une étude complémentaire à celle-ci.

Les différentes caractérisations électro-optiques effectuées ont démontré une bonne fonctionnalité des capteurs fabriqués. Ces derniers présentent une réponse linéaire et sans rémanence ainsi qu'un bon niveau de charges à saturation. En effet, la photodiode profonde à stockage volumique nous permet d'emmagasiner plus de $7000h^+$ pour un dopage d'épitaxie standard. Cette valeur est comparable à la charge à saturation du pixel équivalent de type N développé à STMicroelectronics et pris comme référence dans cette étude. En augmentant la concentration du dopage substrat, un pixel présentant une charge à saturation approchant les $10000h^+$ a également été démontré. Un travail approfondi sur le dopage au niveau de la connexion entre la partie haute de la photodiode et le substrat est cependant nécessaire pour éliminer la rémanence ainsi générée. Sans être réellement pénalisant, la capacité du nœud de lecture du capteur de type P est légèrement supérieure à celle du capteur de référence de type N (1,10fF contre 0.93fF), son facteur de conversion approche donc les $125µV/h^+$.

Le transistor suiveur de l'architecture 2T présente dans les deux cas un gain équivalent (g_{SF} = 0.86) et une bonne linéarité dans la gamme de tension étudiée. La chaîne de lecture PMOS du capteur de type P présente cependant un bruit légèrement dégradé par rapport à son équivalent de type N. La cause de cette dégradation n'a pas pu être clairement identifiée et nécessiterait une étude complémentaire. Elle ne peut donc pas être clairement attribuée au type de dopage du transistor suiveur. Une perspective d'amélioration du bruit consisterait à utiliser des transistors à canal enterrés (dit *buried channel* en anglais). Une précédente étude sur ce type de transistors a en effet démontré leur plus faible niveau de bruit de piégeage (bruits 1/f et RTS) [175] attribué à une plus faible interaction des charges du canal du transistor avec les divers états d'interface. L'architecture 2T utilisée dans ce travail de thèse n'est cependant pas adaptée à l'intégration de ce type de transistors. En effet, le manque de transistor de sélection de ligne dédié ne permet pas d'utiliser un transistor suiveur à canal enterré car ce dernier doit pouvoir être bloqué par le transistor de réinitialisation. Une architecture de type 2T5, partagée entre 4 pixels et contenant un transistor de sélection de ligne, serait plus adaptée à ce changement de procédé et pourrait être intégrée dans un pixel à faible pas. Une seconde solution pour réduire le bruit de la chaîne de lecture consisterait à intégrer l'échantillonnage multiple corrélé (*Correlated Multiple Sampling* ou *CMS* en anglais) [176] [177] [178].

L'étude approfondie du courant d'obscurité des capteurs fabriqués a démontré les meilleures performances du pixel de type P par rapport à son homologue de type N. En effet, en comparant les deux types de capteur à tranchées d'isolation profondes standard (DTI), les mesures effectuées à 60°C ont montré que la population principale de pixels du capteur de type P présentait un courant d'obscurité environ 5 fois inférieur à son équivalent de type N. Ces meilleures performances ont été attribuées au plus faible coefficient de diffusion des trous par rapport à celui des électrons. L'isolation

inter-pixel par tranchées CDTI a aussi montré un bon niveau de passivation des interfaces Si/SiO_2 même en réduisant fortement la dose d'implantation habituellement utilisée pour remplir cette fonction. Ce résultat très encourageant sur la passivation active nous permet d'envisager de retirer entièrement cette implantation ionique du processus de fabrication et ainsi réduire les coûts et la durée de fabrication tout en augmentant l'extension volumique de la photodiode.

C'est grâce à l'extension de la zone de charge d'espace de la photodiode verticale que la technique de spectroscopie de courant d'obscurité nous a également permis d'identifier une très faible concentration (environ $1x10^{10}at/cm^3$) de contaminants métalliques (en l'occurrence du tungstène) dans chacun des capteurs étudiés. Cette contamination a été attribuée à une étape d'implantation ionique lors de la fabrication des capteurs. Cette technique de spectroscopie peut donc permettre d'identifier les sources probables de contaminants (pour des concentrations très faibles) dans un processus de fabrication complexe comprenant plusieurs centaines d'étapes. Elle s'applique particulièrement bien aux dispositifs possédant un volume déserté important comme c'est le cas pour notre pixel intégrant une photodiode profonde. Nous l'avons également appliquée avec succès en combinaison avec une étude de recuit thermique pour identifier la nature de défauts ponctuels générés par irradiation.

Grâce à l'aide du service de radiothérapie du centre hospitalier Lyon Sud, nous avons pu étudier l'évolution des caractéristiques de ces capteurs sous un rayonnement ionisant X avec une tension d'accélération de 6MV. L'irradiation des capteurs a mis en évidence les trois principaux mécanismes de dégradation dans l'oxyde, à l'interface Si/SiO_2 et dans le silicium : l'accumulation de charges positives dans l'oxyde (centres E'), la dé-passivation des états d'interface (centres Pb) par des protons H^+ et la formation de défauts ponctuels dans le volume du silicium. Les deux premiers mécanismes se sont traduits par une augmentation du courant d'obscurité de la population principale de pixels et par la dégradation de la queue de distribution de la population restante. Nos études expérimentales ont confirmé que l'accumulation de centre E' dans les oxydes entraine, par modification de la zone de charge d'espace, une dégradation bien plus rapide du courant d'obscurité du capteur de type N que celui de type P. Ce dernier est donc par nature bien plus résistant aux radiations X que son équivalent de type N. En revanche, l'augmentation du nombre de centres Pb électriquement actifs après irradiation dégrade l'interface de chacun des capteurs. Nous avons également observé que les capteurs utilisant des tranchées d'isolation profondes capacitives maintiennent un bon état de passivation de l'interface et ce même pour des doses ionisantes avoisinant 1kGy : le courant d'obscurité de la population principale de pixel n'augmente alors quasiment pas. Ce résultat très intéressant pour le durcissement aux radiations demande cependant à être étudier davantage, notamment pour des critères de fiabilité de l'oxyde inter-poly à fortes doses ionisantes.

Le troisième mécanisme de dégradation sous irradiation, la formation de défauts ponctuels, entraine l'apparition d'une ou plusieurs populations de pixels blancs générant une valeur discrète de courant d'obscurité et ce pour chacun des deux types de capteurs. Le type de défauts ponctuels électriquement actif est cependant spécifique au type de photodiode : principalement des centres E (interaction lacune-Phosphore) pour la photodiode de type P et une combinaison de centres E et de bilacunes pour la photodiode de type N. Ceci s'explique par la faible température de recuit des centres lacune-Bore et des lacunes simples. Encore une fois, nos études montrent que le capteur de type P est moins affecté que son équivalent de type N.

Pour finir, malgré une diaphotie optique dégradée en raison de la forme non-optimisée des microlentilles, nous avons également montré que la photodiode profonde de type P présentait des performances optiques au moins comparables voire meilleures à celles du capteur de type N éclairé par la face arrière. En combinant la brique BSI avec celle de la photodiode verticale dans le processus de fabrication du pixel de type P, l'efficacité quantique du capteur dans le vert et le rouge a été sensiblement améliorée en comparaison à une photodiode planaire éclairée par la face avant.

Une étude comparant le vieillissement optique de chacun des capteurs à fort niveau d'illumination pourrait également être intéressante.

Afin d'approfondir ce travail de thèse tout en restant cohérent avec la thématique de l'imagerie en environnement ionisant, il serait extrêmement intéressant de combiner ce type de matrice de pixels avec un circuit de lecture spécifiquement dessiné pour être durci aux radiations. Afin de facilement séparer les effets des interactions ionisantes et ceux de déplacements atomique, les capteurs pourraient être respectivement irradiés à l'aide de photons de faible énergie (<1MeV) ou de neutrons. Enfin, l'influence de la polarisation du capteur lors de l'irradiation pourrait également être étudiée pour se rapprocher davantage des conditions réelles d'utilisation du produit. L'intégration de structures de test spécifiques pour caractériser les défauts d'interface et/ou volumiques par spectroscopie de défauts profonds (*Deep Level Transient Spectroscopy* ou *DLTS* en anglais) pourrait également s'avérer très utile en combinaison avec la spectroscopie de courant d'obscurité. Pour cette dernière méthode de caractérisation spécifique aux capteurs d'image, il serait également intéressant d'établir un abaque répertoriant les taux de génération par type de défaut ou contaminant métallique en condition de faible champ électrique et à température constante, leur énergie d'activation, leur section de capture et leur éventuelle température de recuit.

Références bibliographiques

[1] W. Boyle et G. E. Smith, «Buried channel charge coupled devices». USA Brevet US3792322A, 19 avril 1973.

[2] M. F. Thompsett, «Charge transfer imaging devices». USA Brevet US4085456 A, 30 Août 1972.

[3] Eastman Kodak Company, «Milestones,» Eastman Kodak Company, 2016. [En ligne]. Available: http://www.kodak.com/ek/us/en/corp/aboutus/heritage/milestones/default.htm. [Accès le Mai 2016].

[4] Alcatel - Lucent, «2009 Nobel Prize in Physics to former Bell Labs researchers Boyle and Smith,» Alcatel - Lucent, 6 Octobre 2009. [En ligne]. Available: https://www.alcatel-lucent.com/blog/corporate/2009/10/2009-nobel-prize-physics-former-bell-labs-researchers-boyle-and-smith. [Accès le Mai 2016].

[5] Eastman Kodak, «Fast Facts About Kodak Science and Technology,» Eastman Kodak, [En ligne]. Available: http://www.kodak.com/US/en/corp/researchDevelopment/facts.jhtml. [Accès le 2016].

[6] P. Cambou, «End of the line for the CCD?,» Yole Developpement, 26 March 2015. [En ligne]. Available: http://www.imveurope.com/news/news_story.php?news_id=1637.

[7] ICInsight, «CMOS Image Sensors Expected To Set Record-High Sales for Another Five Years,» ICInsight, 2016.

[8] V. Goiffon, C. Virmontois, P. Magnan, P. Cervantes, F. Corbière, M. Estribeau et P. Pinel, «Radiation Damages in CMOS Image Sensors: Testing and Hardening Challenges Brought by Deep Sub-Micrometer CIS Processes,» *SPIE Remote Sensing,* vol. 7826, n° %11S, pp. 1 - 12, 2010.

[9] «Photographie,» wikipedia.org, [En ligne]. Available: https://fr.wikipedia.org/wiki/Photographie.

[10] «La chimie du développement argentique, comment ça marche ?,» la-photo-argentique.com, 2014. [En ligne]. Available: http://www.la-photo-argentique.com/la-chimie-du-developpement-argentique-comment-ca-marche/.

[11] C. Woodworth, «How Photographic Film Works,» HowStuffWorks.com, 1 April 2000. [En ligne]. Available: http://electronics.howstuffworks.com/film6.htm.

[12] B. Willard et G. E. Smith, «Three dimensional charge coupled devices». USA Brevet US3796927A, 16 Décembre 1970.

[13] E. R. Fossum, «Active Pixel Sensors: Are CCDs dinosaurs?,» *SPIE CCD's Optical Sensors III,* vol. 1900, pp. 2 - 14, 1993.

[14] S. Mendis, S. E. Kemeny et E. R. Fossum, «CMOS Active Pixel Image Sensor,» *IEEE Transactions on Electron Devices,* vol. 41, n° %13, pp. 452 - 453, 1994.

[15] E. R. Fossum et D. B. Hondongwa, «A Review of the Pinned Photodiode for CCD and CMOS Image Sensors,» *IEEE Journal of the Electron Devices Society,* vol. 2, n° %13, pp. 33 - 43, 2014.

[16] G. E. Moore, «Cramming more components onto integrated circuits,» *Electronics,* pp. 114 - 117, 19 avril 1965.

[17] S. Hill, «From J-Phone to Lumia 1020: A complete history of the camera phone,» digitaltrends.com, 11 août 213. [En ligne]. Available: http://www.digitaltrends.com/mobile/camera-phone-history/.

[18] InfoTrends, «2014 Worldwide Image Capture Forecast,» 2014.

[19] «The Nobel Prize in Physics 1921,» Nobelprize.org, 2014. [En ligne]. Available:

http://www.nobelprize.org/nobel_prizes/physics/laureates/1921/. [Accès le 2016].

[20] «Antoine César Becquerel,» wikipedia.org, [En ligne]. Available: https://en.wikipedia.org/wiki/Antoine_C%C3%A9sar_Becquerel. [Accès le 2016].

[21] A. Meessen, «L'effet photo´electrique fondamental des semi-conducteurs et du Cs3Sb,» *Le Journal de Physique et le Radium,* vol. 22, n° %18 - 9, pp. 472 - 480, 1961.

[22] «Astrophotographie numérique à haute résolution,» sc-astro.com, [En ligne]. Available: http://www.sc-astro.com/dossiers/naturelumiere2.htm. [Accès le January 2015].

[23] «historique,» kodak alaris (France), [En ligne]. Available: http://www.kodakmoments.eu/fr/historique/.

[24] T. Vitale, «Film grain, resolution and fundamental film particles,» 2007.

[25] «KODAK Motion Picture Publication,» 1999.

[26] Larousse, «Dictionnaire de français - pixel,» [En ligne]. Available: http://www.larousse.fr/dictionnaires/francais/pixel/61248. [Accès le Avril 2016].

[27] PhaseOne, «XF 100MP Camera System,» [En ligne]. Available: https://www.phaseone.com/en/Products/Camera-Systems/XF100MP.aspx. [Accès le Avril 2016].

[28] «Ultra Small Imaging Modules,» CMOSIS, [En ligne]. Available: http://www.cmosis.com/technology/technology_overview/endoscopy_ultra_small_area_imaging_modules. [Accès le January 2015].

[29] S. G. Wuu, C. C. Wang, B. C. Hseih, Y. L. Tu, C. H. Tseng, T. H. Hsu, R. S. Hsiao, S. Takahashi, R. J. Lin, C. S. Tsai, Y. P. Chao, K. Y. Chou, P. S. Chou, H. Y. Tu, F. L. Hsueh et L. Tran, «A Leading-Edge 0.9µm Pixel CMOS Image Sensor Technology with Backside Illumination: Future Challenges for Pixel Scaling,» chez *IEDM*, San Francisco, 2010.

[30] E. R. Fossum, «Gigapixel Digital Film Sensor (DFS) Proposal,» chez *The 7th Takayanagi Kenjiro Memorial Symposium and the 2nd International Symposium on Nanovision Science*, Hamamatsu, Japan, 2005.

[31] Samsung Electronics Co., Ltd., «System System LSI Business,» 2013.

[32] R. Fontaine, «Full Frame DSLR Cameras Part I - Nikon vs Sony,» Chipworks, 23 octobre 2012. [En ligne]. Available: https://www.chipworks.com/ko/node/100.

[33] B. E. Bayer, «Color Imaging Array». Etats Unis d'Amérique Brevet US 3971065A, 5 Mars 1975.

[34] J. K. Bowmaker et H. J. Dartnall, «Visual pigments of rods and cones in a human retina,» *The journal of physiology,* vol. 298, pp. 501 - 511, 1980.

[35] H. Phelippeau, «Méthodes et algorithmes de dématriçage et de filtrage du bruit pour la photographie numérique,» Université de Paris Est, Paris, 2009.

[36] R. F. Lyon et P. M. Hubel, «Eyeing the Camera: into the Next Century,» foveon.

[37] R. J. Guttosch, «Investigation of Color Aliasing of High Spatial Frequencies and Edges for Bayer-Pattern Sensors and Foveon X3® Direct Image Sensors,» Foveon.

[38] E. R. Fossum, «Active Pixel Sensors: Are CCDs dinosaurs?,» *Proc. SPIE CCD's Optical Sensors III,* vol. 1900, pp. 2 - 14, 1993.

[39] E. R. Fossum, «Active pixel sensor with intra-pixel charge transfer». United States of America Brevet US5471515 A, 28 Novembre 1995.

[40] E. R. Fossum et D. B. Hondongwa, «A Review of the Pinned Photodiode for CCD and CMOS Image Sensor,» *Journal of the Electron Devices Society,* vol. 2, n° %13, pp. 33 - 43, 2014.

[41] P. J. W. Noble, «Self-Scanned Silicon Image Detector Arrays,» *Transactions on Electron*

Devices, Vols. %1 sur %2ED-15, n° %14, pp. 202 - 209, April 1968.

[42] J. Michelot, «Thèse - Développement d'une photodiode pincée à stockage de charges vertical pour les capteurs d'image CMOS éclairés par la face arrière,» Université de Grenoble, Grenoble, 2012.

[43] J. Michelot, F. Roy, J. Prima, C. Augier, F. Barbier, S. Ricq, P. Boulenc, Z. Essa, L. Pinzelli, H. Leininger, M. Gatefait et J. E. Broquin, «Back Illuminated Vertically Pinned Photodiode with in Depth Charge Storage,» chez *International Image Sensor Workshop*, Hokkaido, Japan, 2011.

[44] E. Stevens, H. Komori, H. Doan, H. Fujita, J. Kyan, C. Parks, G. Shi, C. Tivarus et J. Wu, «Low-Crosstalk and Low-Dark-Current CMOS Image-Sensor Technology Using a Hole-Based Detector,» chez *IEEE International Solid State Circuits Conference*, 2008.

[45] S. Place, Thèse - Elaboration d'une technologie de pixels actifs à détection de trous et évaluation de son comportement en environnement ionisant, Toulouse: Université de Toulouse, 2012.

[46] S. Place, J.-P. Carrere, P. Magnan, V. Goiffon et F. Roy, «Rad Tolerant CMOS Image Sensor Based on Hole Collection 4T Pixel Pinned Photodiode,» *Transactions on Nuclear Science,* pp. 1 - 6, 2012.

[47] J. Tower, J. Janesick, T. Senko, P. Levine, M. Grygon, J. Andrews, J. Zhu, T. Vogelsong, G. Yang, S. Huang, C. Sun et B. Mansoorian, «BSI Low Light Level CMOS Image Sensor Employng P-type Pixel,» chez *International Image Sensor Workshop*, 2013.

[48] K. Abe, S. Sugawa, R. Kuroda, S. Watabe, N. Miyamoto, A. Teramoto, T. Ohmi, Y. Kamata et K. Shibusawa, «Analysis of Source Follower Random Telegraph Signal Using nMOS and pMOS Array TEG,» chez *International Image Sensor Workshop*, 2007.

[49] H. S. Kim, Y. Kim, S. J. Noh et M. H. Kim, «Total Ionizing Dose Effects in MOS Devices for Different Radiation Sources,» *Journal of the Korean Physical Society,* vol. 45, pp. 820 - 823, 2004.

[50] L. Dong-Mei, W. Zhi-Hua, H. Li-Ying et G. Qiu-Jing, «Study of total ionizing dose radiation effects on enclosed gate transistors in a commercial CMOS technology,» *Chinese Physics,* vol. 16, n° %112, pp. 3760 - 3765, 2007.

[51] M. Mori, M. Katsuno, S. Kasuga, T. Murata et T. Yamaguchi, «1/4-Inch 2-Mpixel MOS Image Sensor With 1.75 Transistors/Pixel,» *IEEE Journal of Solid State Circuits,* pp. 2426-2430, Dec. 2004.

[52] R. D. McGrath, H. Fujita, R. M. Guidash, T. J. Kenney et W. Xu, «Shared pixels for CMOS image sensor arrays,» chez *IEEE Workshop on Charged Coupled Devices and Advanced Image Sensors*, Karuizawa, Japan, 2005.

[53] R. Fontaine, «A Review of the 1.4 µm Pixel Generation,» chez *International Image Sensor Workshop*, Hokkaido, Japan, 2011.

[54] M. Cohen, F. Roy, D. Herault, Y. Cazaux, A. Gandolfi, J. Reynard, C. Cowache, E. Bruno, T. Girault, J. Vaillant, F. Barbier, Y. Sanchez, N. Hotellier, O. LeBorgne, C. Augier, A. Inard, T. Jagueneau, C. Zinck, J. Michailos et E. Mazaleyrat, «Fully Optimized Cu based process with dedicated cavity etch for 1.75µm and 1.45µm pixel pitch CMOS Image Sensors,» chez *Electron Devices Meeting IEDM*, 2006.

[55] G.-N. Lu, A. Tournier, F. Roy et B. Deschamps, «1T Pixel Using Floating-Body MOSFET for CMOS Image Sensors,» *Sensors,* vol. 9, pp. 131-147, 2009.

[56] Z. Guo-An, Z. Dong-Wei, H. Jin, S. Yan-Mei, W. Cheng, C. Qin, L. Hai-Lang et Y. Yun, «A Single-Transistor Active Pixel CMOS Image Sensor Architecture,» *Chinese Physics Letters,* vol. 29, n° %13, 2012.

[57] T. H. Hsu, Y. K. Fang, C. Y. Lin, S. F. Chen, C. S. Lin, D. N. Yaung, S. G. Wuu, H. C. Chien, C. H. TSeng, J. S. Lin et C. S. Wang, «Light guide for pixel crosstalk improvement in deep submicron CMOS image sensor,» *IEEE Electron Device Letters,* vol. 25, n° %11, pp. 22-24, 2004.

[58] L. Kyungho, A. JungChak, K. Bumsuk, J. Taesub, L. Sangjoo, L. Moonsup, M. Chang-Rok, J. Sangil, L. Junetaeg, K. Hongki, L. Duckhyung, G. Hiroshige, C. Chi-Young et L. Yun-Tae, «SNR Performance Comparison of 1.4um Pixel : FSI, Light-guide, and BSI,» chez *International Image Sensor Workshop*, 2011.

[59] R. Fontaine, «Innovative Technology Elements for Large and Small Pixel CIS Devices,» chez *International Image Sensor Workshop*, 2013.

[60] Y.-Z. Liu, «Backside illuminated imaging charge coupled device». US Brevet 4422091 A, 19 Janvier 1981.

[61] H. Akahori et M. Muramatsu, «Back illuminated photodetector and method of fabricating the same». US Brevet 6204506 B1, 4 Juin 1998.

[62] B. Pain, «Method for implementation of back-illuminated CMOS or CCD imagers». US Brevet 7425460 B2, 13 Sept. 2005.

[63] P. Swain et M. Bhaskaran, «Back-illuminated imaging device and method of fabricating same». US Brevet 7238583 B2, 9 Fev. 2006.

[64] H. Yamanaka, «Method and apparatus for producing ultra-thin semiconductor chip and method and apparatus for producing ultra-thin back-illuminated solid-state image pickup device». USA Brevet US7521335 B2, 21 Avril 2009.

[65] Chipworks, «Inside the HTC EVO 4G Smart Phone with a Teardown to the Silicon,» Chipworks, 2010.

[66] B. J. Park, J. Jung, C.-R. Moon, S. H. Hwang, Y. W. Lee, D. W. Kim, K. H. Paik, J. R. Yoo, D. H. Lee et K. Kim, «Deep Trench Isolation for Crosstalk Suppression in Active Pixel Sensors with 1.7 μm Pixel Pitch,» *The Japan Society of Applied Physics,* vol. 46, n° %14B, pp. 2454-5457, 2007.

[67] A. Tournier, F. Leverd, L. Favennec, C. Perrot, L. Pinzelli, M. Gatefait, N. Cherault, D. Jeanjean, J.-P. Carrere, F. Hirigoyen, L. Grant et F. Roy, «Pixel-to-Pixel isolation by Deep Trench technology: Application to CMOS Image Sensor,» chez *International Image Sensor Workshop*, 2011.

[68] N. Ahmed, «Thèse - Tranchée d'isolement profonde de type capacité MOS verticale pour les capteurs d'images CMOS,» Université Claude Bernard Lyon 1, 2015.

[69] W. Shockley et W. T. Read, «Statistics of the recombinations of holes and electrons,» *Phys. Rev.,* vol. 87, pp. 835-842, 1952.

[70] R. N. Hall, «Electron-hole recombination in Germanium,» *Phys. Rev.,* vol. 87, p. 387, 1952.

[71] R. Entner, «Modeling and Simulation of Negative Bias Temperature Instability,» Technische Universität Wien, Vienne, 2007.

[72] H. A. Edwards, «Interaction of H and H2 with the silicon dangling orbital at the (111) Si/SiO2 interface,» *Physical Review B,* vol. 44, n° %14, pp. 1832 - 1838, 1991.

[73] R. C. Helms et E. H. Pointdexter, «The Silicon-Silicon Dioxide System: Its Microstructure and Imperfections,» *Rep. Prog. Phys.,* vol. 57, pp. 791 - 852, 1994.

[74] L.-A. Ragnarsson et P. Lundgren, «Electrical Characterization of Pb Centers in (100) Si/SiO2 Structures: The Influence of Surface Potential on Passivation During Post Metallization Anneal,» *Journal of Applied Physics,* vol. 88, n° %12, pp. 938 - 942, 2000.

[75] I. Zbierska, L. Militaru, F. Calmon, S. Feruglio et G.-N. Lu, «Investigation of Electrical Characteristics of Multi-Gate Bulk nMOSFET,» chez *29th INTERNATIONAL CONFERENCE ON MICROELECTRONICS*, Belgrade, 2014.

[76] G. J. Gerardi, E. H. Poindexter, P. J. Caplan et N. M. Johnson, «Interface traps and Pb centers in oxidized (100) silicon wafers,» *Appl. Phys. Lett.,* vol. 49, p. 348, 1986.

[77] J. L. Autran, C. Chabrerie, P. Paillet, O. Flament, J. L. Leray et J. C. Boudenot, «RADIATION-INDUCED INTERFACE TRAPS IN HARDENED MOS TRANSISTORS : AN IMPROVED CHARGE-PUMPING STUDY,» *IEEE Transactions on Nuclear Science,* vol. 43, n° %16, pp. 2547 - 2557, 1996.

[78] J. T. Ryan, L. C. Yu, J. H. Han, J. J. Kopanski, K. P. Cheung, F. Zhang, C. Wang, J. P. Campbell, J. S. Suehle, V. Tilak et J. Fronheiser, «A New Interface Defect Spectroscopy Method,» chez *IEEE International Reliability Physics Symposium*, 2011.

[79] J. Czochralski, «Ein neues Verfahren zur Messung der Kristallisationsgeschwindigkeit der Metalle,» *Zeitschrift für Physikalische Chemie,* pp. 219 - 221, 1916.

[80] T. Nishinaga, Handbook of Crystal Growth, 2nd Edition: Fundamentals, Elsevier, 2014.

[81] R. C. Newman, «Defects in silicon,» *Rep. Prog. Phys.,* vol. 45, pp. 1163 - 1210, 1982.

[82] L. Jastrzebski, R. Saydan, H. Elabd et E. Savoye, «The effect of heavy metal contamination on defects in CCD imagers,» *J. Electrochem. Soc.,* vol. 137, n° %11, pp. 242 - 249, 1990.

[83] «Au coeur des matériaux cristallins - Les Défauts Ponctuels,» École des Mines d'Albi-Carmaux, [En ligne]. Available: http://nte.mines-albi.fr/SciMat/co/SM3uc1.html. [Accès le Avril 2016].

[84] B. Balland, B. Remaki, P. Pinard et E. Mercier, «Défauts induits dans Si par implantation directe ou à travers une couche de SiO2,» *Journal de Physique,* vol. 44, n° %1Colloque C5, pp. 319 - 324, Jan 1983.

[85] «Characterization of defects in proton-irradiated Si using deep level transient spectroscopy,» Department of Physics - University of Oslo, Oslo, 2011.

[86] S. D. Brotherton et P. Bradley, «Defect production and lifetime control in electron and irradiated silicon,» *Journal of Applied Physics,* vol. 53, n° %18, pp. 5720 - 5732, 1982.

[87] M. L. Polignano, I. Mica, F. Barbarossa, A. Galbiati, S. Grasso et V. Soncini, «Contamination by slow diffusers in ion implantation processes: The examples of molybdenum and tungsten,» *Nuclear Instrument and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms,* pp. 164 - 171, May 2015.

[88] K. Graff, Metal Impurities in Silicon-Device Fabrication, vol. 24, Springer Series in Material Science, 1995.

[89] F. Domengie, «Etude des défauts électriquement actifs dans les matériaux des capteurs d'image CMOS,» Université de Grenoble, Grenoble, 2011.

[90] S. Dannefaer, G. Suppes et V. Avalos, «Evidence for a vacancy-phosphorus-oxygen complex in silicon,» *J. Phys.: Condens. Matter,* vol. 21, pp. 1 - 6, 2009.

[91] A. H. Compton, «A Quantum Theory of the Scattering of X-Rays by Light Elements,» *Physical Review,* 1923.

[92] M. Moll, «Thesis - Radiation Damages in Silicon Particle Detectors - microscopic defects and macroscopic properties,» University of Hamburg, Hamburg, 1999.

[93] V. A. J. van Lint, Mechanisms of Radiation Effects in Electronic Materials, Volume 1, University of California - Wiley, 1980.

[94] J. Frenkel, «Über die Wärmebewegung in festen und flüssigen Körpern,» *Zeitschrift für Physik,* vol. 35 , n° %18, pp. 652 - 669, 1926.

[95] F. Hönninger, «Thesis - Radiation Damage in Silicon - Defect Analysis and Detector Properties -,» Hamburg University, 2007.

[96] K. E. Holbert, «RADIATION EFFECTS AND DAMAGE».

[97] F. Barry McLean et T. R. Oldham, «Basic Mechanisms of Radiation Effects in Electronic Materials and Devices,» U.S. army laboratory Command - Harry Diamond Laboratories, Washington D.C., 1987.

[98] D. M. Fleetwood, «“Border Traps” in MOS Devices,» *IEEE Transaction on Nuclear Science,* vol. 39, n° %12, pp. 269 - 271, 1992.

[99] T. R. Oldham et F. B. McLean, «Total Ionizing Dose Effects in MOS Oxides and Devices,» *IEEE Transactions on Nuclear Science,* vol. 50, n° %13, pp. 483 - 499, 2003.

[100] S. Place, J.-P. Carrere, P. Magnan, V. Goiffon et F. Roy, «Rad Tolerant CMOS Image Sensor Based on Hole Collection 4T Pixel Pinned Photodiode,» *Transaction on Nuclear Science,* pp. 1 - 6, 2012.

[101] S. N. Rashkeen, C. R. Cirba, D. M. Fleetwood, R. D. Schrimpf, S. C. Witczak, A. Michez et S. T. Pantelides, «Physical Model for Enhanced Interface-Trap Formation at Low Dose Rates,» *IEEE Transaction on Nuclear Science,* vol. 49, n° %16, pp. 2650 - 2655, 2002.

[102] Z. Essa, P. Boulenc, C. Tavernier, F. Hirigoyen, A. Crocherie, J. Michelot et D. Rideau, «3D TCAD Simulation of Advanced CMOS Image Sensors,» chez *Simulation of Semiconductor Processes and Devices (SISPAD)*, 2011.

[103] J. Michelot, F. Roy, J. Prima, C. Augier, F. Barbier, S. Ricq, P. Boulenc, Z. Essa, L. Pinzelli, H. Leininger, M. Gatefait et J.-E. Broquin, «Back Illuminated Vertically Pinned Photodiode with in Depth Charge Storage,» chez *International Image Sensor Workshop*, Hokkaido, Japan, 2011.

[104] M. Posselt, B. Schmidt, C. S. Murthy, T. Feudel et K. Suzuki, «Modeling of Damage Accumulation during Ion Implantation into Single-Crystalline Silicon,» *Journal of electrochemical society,* vol. 144, n° %14, pp. 1495 - 1504, 1997.

[105] M. Juhel, «Rapport interne à STMicroélectronics (CRO_PC_13_1385),» 2013.

[106] M. Juhel, «Rapport interne à STMicroelectronics (Chem_13_002),» 2013.

[107] A. Tournier, F. Leverd, L. Favennec, C. Perrot, L. Pinzelli, M. Gatefait, N. Cherault, D. Jeanjean, J.-P. Carrere, F. Hirigoyen, L. Grant et F. Roy, «Pixel-to-pixel Isolation by Deep Trench Technology: Application to CMOS Image Sensors,» chez *IISW*, Hokkaido, JAPAN, 2011.

[108] N. Ahmed, «Thèse - Tranchée d'isolement profonde de type capacité MOS verticale pour les capteurs d'images CMOS,» Université de Lyon 1, STMicroelectronics, 2015.

[109] S. Peru et C. Borowiak, «Rapport interne à STMicroelectronics (CRO_PC_13_1649),» 2013.

[110] D. Pinceau, «Rapport interne à STMicroelectronics (Chem_12_0434),» 2013.

[111] F. Taghibakhsh et K. S. Karim, «Two-Transistor Active Pixel Sensor Readout Circuits in Amorphous Silicon Technology for High-Resolution Digital Imaging Applications,» *IEEE Transactions on Electron Devices,* vol. 55, n° %18, pp. 2121 - 2128, 2008.

[112] J. Michelot, «Thèse - Développement d’une photodiode pincée à stockage de charges vertical pour les capteurs d’image CMOS éclairés par la face arrière,» Université de Grenoble, STMicroelectronics, 2012.

[113] A. Garnier, M. Angermayer, L. Di Cioccio, P. Gueguen et T. Wagenleitner, «Results on aligned SiO2/SiO2 direct wafer-to-wafer low temperature bonding for 3D integration,» chez *IEEE International SOI Conference* , 2009.

[114] Q.-Y. Tong, G. Cha, R. Gafiteanu et U. Gösele, «Low Temperature Wafer Direct Bonding,»

Journal of Microelectromechanical Systems, vol. 3, n° %11, pp. 29 - 35, 1994.

[115] M. Ruiz et F. Locatelli, «Rapport interne à STMicroelectronics (CRO_CARPHY_15_00078),» 2015.

[116] K. Westra, «KOH and TMAH Etching of Bulk Silicon Recipes, Tricks, What is Possible, and What is Impossible,» University of Alberta, 2010.

[117] D. Benoit, J. Regolini et P. Morin, «Hydrogen desorption and diffusion in PECVD silicon nitride. Application to passivation of CMOS active pixel sensors,» *Microelectronic Engineering,* vol. 84, pp. 2169 - 2172, 2007.

[118] P. Nussbaum, R. Völkel, H. P. Herzig, M. Eisner et S. Haselbeck, «Design, fabrication and testing of microlens arrays for sensors and microsystems,» *Pure Applied Optics,* vol. 6, pp. 617 - 636, 1997.

[119] N. Bardos, «Rapport interne à STMicroelectronics (CRO_PC_14_0402),» 2014.

[120] M. Konnik et J. Welsh, «High-level numerical simulations of noise in CCD and CMOS photosensors: review and tutorial,» *arxiv.org,* pp. 1 - 21, 2014.

[121] B. E. Burke et S. A. Gajar, «Dynamic Suppression of Interface-State Dark Current in Buried-Channel CCD's,» *IEEE Transactions on Electron Devices,* vol. 38, n° %12, pp. 285-290, 1991.

[122] S. W. Glunz, D. Biro, S. Rein et W. Warta, «Field-effect passivation of the SiO2–Si interface,» *Journal of Applied Physics,* vol. 86, n° %11, pp. 683-691, 1999.

[123] S. M. Sze et K. K. Ng, Physics of Semiconductor Devices, Wiley, 2006.

[124] S. Place, J.-P. Carrere, S. Allegret, P. Magnan, V. Goiffon et F. Roy, «Radiation Effects on CMOS Image Sensors With Sub-2um Pinned Photodiodes,» *IEEE Transactions on Nuclear Science,* vol. 59, n° %14, pp. 909 - 917, 2012.

[125] V. Goiffon, C. Virmontois, P. Magnan, P. Cervantes, S. Place, M. Gaillardin, S. Girard, P. Paillet, M. Estribeau et P. Martin-Gonthier, «Identification of radiation induced dark current sources in pinned photodiode CMOS image sensors,» *IEEE Transaction on Nuclear Science,* vol. 59, n° %14, pp. 918 - 926, 2012.

[126] K. Graff, Metal Impurities in Silicon-Device Fabrication, Springer, 2000.

[127] F. Domengie, J. Regolini et D. Bauza, «Impact on Device Performance and Monitoring of a Low Dose of Tungten Contamination in Dark Current Spectroscopy,» chez *International Reliability Physics Symposium 2010*, Anaheim, USA, 2010.

[128] S. Diez, S. Rein et S. W. Glunz, «ANALYSING DEFECTS IN SILICON BY TEMPERATURE- AND INJECTION DEPENDENT LIFETIME SPECTROSCOPY (T-IDLS),» chez *20th European Photovoltaic Solar Energy Conference*, Barcelona, Spain, 6-10 June 2005.

[129] M. L. Polignano, I. Mica, F. Barbarossa, A. Galbiati, S. Grasso et V. Soncini, «Contamination by slow diffusers in ion implantation processes: The examples of molybdenum and tungsten,» *Nuclear Inst. and Methods in Physics Research, B,* pp. 164-171, 2015.

[130] J. Peacock, «Gaussian distribution as a limit of the Poisson distribution,» 2012. [En ligne]. Available: http://www.roe.ac.uk/japwww/teaching/astrostats/astrostats2012_part2.pdf.

[131] N. Ahmed, «MOS Capacitor Deep Trench Isolation (CDTI) for CMOS Image sensors,» INL, Lyon, 2015.

[132] B. Van Zeghbroeck, «Principles of Semiconductor Devices,» 2007. [En ligne]. [Accès le 2016].

[133] D. Sheikh-Bagheri et D. W. O. Rogers, «Monte Carlo calculation of nine megavoltage photon beam spectra using the BEAM code,» *Medical Physics,* vol. 29, n° %13, pp. 391 - 402, 2002.

[134] P. Ramachandra Rao, «Thesis - Charge-Transfer CMOS Image Sensors: Device and Radiation Aspects,» Delft University, 2009.

[135] A. Van Ginneken, «Non Ionizing Energy Deposition in Silicon for Radiation Damage Studies,» 1989.

[136] D. M. Fleetwood, «Effects of hydrogen transport and reactions on microelectronics radiation response and reliability,» *Microelectronics Reliability,* vol. 42, pp. 523 - 541, 202.

[137] S. Place, «Thèse - Elaboration d'une technologie de pixels actifs à détection de trous et évaluation de son comportement en environnement ionisant,» Université de Toulouse, 2012.

[138] J. R. Srour et J. M. McGarrity, «Radiation effects on microelectronics in space,» *Proceedings of the IEEE,* vol. 76, n° %111, pp. 1443-1469, November 1988.

[139] C. Virmontois, V. Goiffon, P. Magnan, S. Girard, C. Inguinbert, S. Petit, G. Rolland et O. Saint-Pé, «Displacement Damage Effects Due to Neutron and Proton Irradiations on CMOS Image Sensors Manufactured in Deep Submicron Technology,» *IEEE Transactions on Nuclear Science,* vol. 57, n° %16, pp. 3101-3108, 2010.

[140] C. Tivarus et W. C. McColgin, «Dark Current Spectroscopy of Irradiated CCD Image Sensors,» *IEEE Transactions on Nuclear Science,* vol. 55, n° %13, pp. 1719-1724, 2008.

[141] Z. CIRAGIDDIN, A. ATABEK, Y. AKHMED et A. KUVONDIK, «Ionizing Radiations and Annealing Influence on MOSFET Charge States.,» *Tr. J. of Physics,* vol. 23, pp. 485-491, 1999.

[142] T. A. PAGAVA, N. T. BZHALAVA, N. I. MAISURADZE, D. Z. KHOCHOLAVA et L. S. CHKHARTISHVILI, «TWO MECHANISMS OF ANNEALING OF DIVACANCIES IN IRRADIATED n-Si CRYSTALS,» *Ukr. J. Physics,* vol. 55, n° %111, pp. 1195-1200, 2010.

[143] V. Goiffon, F. Corbière, S. Rolando, M. Estribeau, P. Magnan, B. Avon, J. Baer, M. Gaillardin, P. Paillet, S. Girard, R. Molina, A. Chabane, P. Cervantes et C. Marcandella, «Toward Multi-MGy / Grad Radiation Hardened CMOS Image Sensors for Nuclear Applications,» chez *International Image Sensor Workshop*, Vaals, 2015.

[144] J. Ma, D. Starkey, A. Rao, K. Odame et E. R. Fossum, «Characterization of Quanta Image Sensor Pump-Gate Jots With Deep Sub-Electron Read Noise,» *Journal of the Electron Devices Society,* vol. 3, n° %16, pp. 472 - 480, 2015.

[145] F. Kusuhara, S. Wakashima, S. Nasuno, R. Kuroda et S. Sugawa, «Analysis and Reduction of Floating Diffusion Capacitance Components of CMOS Image Sensor for Photon-Countable Sensitivity,» chez *Internation Image Sensor Workshop*, Vaals, The Netherlands, 2015.

[146] S. Tudisco, S. Privitera, L. Lanzano, F. Musumeci, A. Pluchino, A. Scordino, L. Cosentino, P. Finocchiaro, G. Gondorelli, M. Mazzillo, S. Lombardo et E. Sciacca, «The new generation of SPAD—Single-Photon Avalanche Diodes arrays,» *Sensors Journal, IEEE,* vol. 8, n° %17, pp. 1324-1329, 2008.

[147] J. R. Janesick, «Charge-coupled-device charge-collection efficiency and the photon-transfer technique,» *Optical Engineering,* vol. 26, n° %110, pp. 972 - 980, 1987.

[148] S. Ramaswami, S. Agwani, L. Loh et N. Bossemeyer, «Characterization of Pixel Response Time and Image Lag in CMOS Sensors,» chez *IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, Lake Tahoe, USA, 2001.

[149] I. Inoue, N. Tanaka, H. Yamashita, T. Yamaguchi, H. Ishiwata et H. Ihara, «Low leakage current and low-operating-voltage buried photodiode for a CMOS imager,» *IEEE Transaction on Electron Devices,* vol. 50, n° %11, pp. 43 - 47, 2003.

[150] B. Shin, S. Park et H. Shin, «The effect of photodiode shape on charge transfer in CMOS image sensors,» *Solid-State Electronics,* vol. 54, pp. 1416-1420, 2010.

[151] L.-E. Bonjour, N. Blanc et M. Kayal, «Experimental Analysis of Lag Sources in Pinned Photodiodes,» *IEEE Electron Device Letters,* vol. 33, n° %112, pp. 1735 - 1737, 2012.

[152] Y. Junting, L. Binqiao, Y. Pingping, X. Jiangtao et M. Cun, «Two-dimensional pixel image lag simulation and optimization in a 4-T CMOS image sensor,» *Journal of Semiconductors,* vol. 31, n° %19, pp. 094011-1 - 094011-5, 2010.

[153] Y. Xu et A. J. Theuwissen, «Image Lag Analysis and Photodiode Shape Optimization of 4T CMOS Pixels,» chez *International Image Sensor Workshop*, Snowbird, Utah USA, 2013.

[154] S. Place, J.-P. Carrère, P. Magnan, V. Goiffon et F. Roy, «Rad Tolerant CMOS Image Sensor Based on Hole Collection 4T Pixel Pinned Photodiode,» *Transaction on Nuclear Science,* pp. 1 - 6, 2012.

[155] E. Stevens, H. Komori, H. Doan, H. Fujita, J. Kyan, C. Parks, G. Shi, C. Tivarus et J. Wu, «Low-Crosstalk and Low-Dark-Current CMOS Image-Sensor Technology Using a Hole-Based Detector,» chez *ISSCC 2008*, 2008.

[156] K. Lee, J. Ahn, B. Kim, T. Jung, S. Lee, M. Lim, C.-R. Moon, S. Jung, J. Lee, H. Kim, D. Lee, H. Goto, C.-Y. Choi et Y.-T. Lee, «SNR Performance Comparison of 1.4um Pixel : FSI, Light-guide, and BSI,» chez *International Image Sensor Workshop*, Hokkaido, 2011.

[157] N. Ahmed, G.-N. Lu et F. Roy, «Total ionizing dose effects on CMOS image sensors with deep-trench isolation,» *Key Engineering Materials,* vol. 605, pp. 453 - 456, 2014.

[158] V. Goiffon, M. Estribeau, O. Marcelot, P. Cervantes, P. Magnan, M. Gaillardin, C. Virmontois, P. Martin-Gonthier, R. Molina, F. Corbière, S. Girard, P. Paillet et C. Marcandella, «Radiation Effects in Pinned Photodiode CMOS Image Sensors: Pixel Performance Degradation Due to Total Ionizing Dose,» *Transaction on Nuclear Science,* vol. 59, n° %16, pp. 2878 - 2887, 2012.

[159] P. R. Rao, X. Wang et A. J. Theuwissen, «Degradation of CMOS image sensors in deep-submicron technology due to γ-irradiation,» *Solid States Electronics,* vol. 52, pp. 1407 - 1413, 2008.

[160] V. Goiffon, M. Estribeau et P. Magnan, «Overview of Ionizing Radiation Effects in Image Sensors Fabricated in a Deep-Submicrometer CMOS Imaging Technology,» *IEEE Transactions on Electron Devices,* vol. 56, n° %111, pp. 2594 - 2601, 2009.

[161] J. Tan, B. Büttgen et A. J. Theuwissen, «Analyzing the Radiation Degradation of 4-Transistor Deep Submicron Technology CMOS Image Sensors,» *IEEE Sensors Journal,* vol. 12, n° %16, pp. 2278 - 2286, 2012.

[162] K. Abe, S. Sugawa, R. Kuroda, S. Watabe, N. Miyamoto, A. Teramoto, T. Ohmi, Y. Kamata et K. Shibusawa, «Analysis of Source Follower Random Telegraph Signal Using nMOS and pMOS Array TEG,» chez *International Image Sensor Workshop*, Ogunquit, 2007.

[163] J. Tower, J. Janesick, T. Senko, P. Levine, M. Grygon, J. Andrews, J. Zhu, T. Vogelsong, G. Yang, S. Huang, C. Sun et B. Mansoorian, «BSI Low Light Level CMOS Image Sensor Employing P-type Pixel,» chez *International Image Sensor Workshop*, Snowbird, 2013.

[164] A. L. McWhorter, «1/f noise and germanium surface properties,» *Semiconductor Surface Physics,* pp. 207-228, 1957.

[165] F. N. Hooge et L. K. Vandamme, «Lattice scattering causes 1/f noise,» *Physics Letter A,* vol. 66, n° %14, pp. 315-316, May 1978.

[166] F. N. Hooge, «1/f Noise,» *Physica,* vol. 83, n° %1B, pp. 14-23, 1976.

[167] H. K. Lundberg, «Noise Sources in Bulk CMOS,» 2002.

[168] K. K. Hung, P. K. Ko, C. Hu et Y. C. Cheng, «A Unified Model for the Flicker Noise in Metal-Oxide-Semiconductor Field Effect Transistors,» *IEEE Transactions on Electron Devices,* vol. 37, n° %13, pp. 654-665, March 1990.

[169] M. J. Kirton et M. J. Uren, «Noise in solid-state microstructures: A new perspective on individual defects, interface states and low-frequency (1/f) noise,» *Advances in Physics,* vol.

38, n° %14, pp. 367 - 468, 1989.

[170] E. Simoen, B. Dierickx, C. L. Claeys et G. J. Declerck, «Explaining the Amplitude of RTS Noise in Submicrometer MOSFET's,» *IEEE Transactions on Electron Devices,* vol. 39, n° %12, pp. 422 - 429, 1992.

[171] X. Wang, «Noise in sub-micron CMOS Image Sensors,» University of Southampton, Southampton, UK, 2008.

[172] J. Janesick, J. T. Andrews et T. Elliott, «Fundamental performance differences between CMOS and CCD imagers: Part 1,» *Proceedings SPIE: High Energy, Optical, and Infrared Detectors for Astronomy II,* vol. 6276, 15 Juin 2006.

[173] X. Wang, P. R. Rao, A. Mierop et A. J. Theuwissen, «Random Telegraph Signal in CMOS Image Sensor Pixels,» *IEDM Tech. Dig.,* pp. 115 - 118, Dec 2006.

[174] P. Martin-Gonthier, V. Goiffon et P. Magnan, «In-Pixel Source Follower Transistor RTS Noise Behavior Under Ionizing Radiation in CMOS Image Sensors,» *IEEE Transaction on Electron Devices,* vol. 59, n° %16, pp. 1686 - 1692, 2012.

[175] Y. Chen, X. Wang, A. J. Mierop et A. J. Theuwissen, «A CMOS Image Sensor With In-Pixel Buried-Channel Source Follower and Optimized Row Selector,» *IEEE Transactions on Electron Devices,* vol. 56, n° %111, pp. 2390 - 2397, 2009.

[176] S. Kawahito, S. Suh, T. Shirei, S. Itoh et S. Aoyama, «Noise Reduction Effects of Column-Parallel Correlated Multiple Sampling and Source-Follower Driving Current Switching for CMOS Image Sensors,» chez *International Image Sensor Workshop*, Bergen, Norway, 2009.

[177] S. Suh, S. Itoh, S. Aoyama et S. Kawahito, «Column-Parallel Correlated Multiple Sampling Circuits for CMOS Image Sensors and Their Noise Reduction Effects,» *Sensors,* vol. 10, pp. 9139 - 9154, 2010.

[178] X. Ge, B. Mamdy et A. J. Theuwissen, «A comparative noise analysis and measurement for n-type and p-type pixels with CMS technique,» chez *Electronic Imaging*, San Francisco, 2016.

[179] C. R. Helms et E. H. Poindexter, «The Silicon-Silicon Dioxide System: Its Microstructure and Imperfections,» *Reports on Progress in Physics,* vol. 57, n° %18, pp. 791-852, 1994.

[180] T. R. Oldham et F. B. McLean, «Total Ionizing Dose Effects in MOS Oxides and Devices,» *IEEE TRANSACTIONS ON NUCLEAR SCIENCE,* vol. 50, n° %13, pp. 483-499, Juin 2003.

[181] R. Widenhorn, M. M. Blouke, A. Weber, A. Rest et E. Bodegom, «Temperature dependence of dark current in a CCD,» *Proceedings of SPIE,* vol. 4669, pp. 193-201, 2002.

[182] J.-P. Carrère, J.-P. Oddou, S. Place, C. Richard, D. Benoit, C. Jenny, M. Gatefait, C. Aumont, A. Tournier et F. Roy, «New mechanism of plasma induced damage on CMOS image sensor: Analysis and process optimization,» *Solid State Electronics,* Vols. %1 sur %265-66, pp. 51-56, 2011.

[183] E. Stevens, H. Komori, H. Doan, H. Fujita, J. Kyan, C. Parks, G. Shi, C. Tivarus et J. Wu, «Low-Crosstalk and Low-Dark-Current CMOS Image-Sensor Technology Using a Hole-Based Detector,» chez *ISSCC*, San Francisco, 2008.

[184] B. Mamdy, F. Roy, N. Ahmed et G.-N. Lu, «A low-noise, P-type, vertically-pinned and back-side illuminated pixel structure for image sensor applications,» chez *Internation Image Sensor Workshop*, Vaals, The Netherlands, 2015.

[185] A. J. P. Theuwissen, «How to Measure Full Well Capacity (2),» Harvest Imaging, 04 11 2013. [En ligne]. Available: http://harvestimaging.com/blog/?p=1249.

Annexe : Production scientifique

- “MOS capacitor deep trench isolation for CMOS image sensors” N. Ahmed, F. Roy, G.N. Lu, B. Mamdy, J.P. Carrere, A. Tournier, N. Virollet, C. Perrot, M. Rivoire, A. Seignard, D. Pellissier-Tanon, F. Leverd, B. Orlando, IEEE International Electron Devices Meeting, San Francisco, (December 15-17, 2014)

- “A low-noise, P-type, vertically-pinned and back-side-illuminated pixel structure for image sensor applications” B. Mamdy, F. Roy, N. Ahmed, G.N. Lu, International Image Sensor Workshop, Vaals, (June 8-11, 2015)

- “Back-side-illuminated 1.4um pixel with a vertically pinned photodiode based on hole collection, PMOS readout chain and active side-wall passivation” B. Mamdy, F. Roy, N. Ahmed, G.N. Lu, *Proc. SPIE* 9674, AOPC 2015: Optical and Optoelectronic Sensing and Imaging Technology, (October 15, 2015)

- “CMOS buried multi-junction (BMJ) detector for bio-chemical analysis” G.N. Lu, T. Courcier, B. Mamdy, S. Feruglio, P. G. Charette, V. Aimez, O. Romain, P. Pittet, *Proc. SPIE* 9674, AOPC 2015: Optical and Optoelectronic Sensing and Imaging Technology, (October 15, 2015)

- “A comparative noise analysis and measurement for n-type and p-type pixels with CMS technique” X. Ge, B. Mamdy, A. Theuwissen, Electronic Imaging, San Francisco, (February 14-18, 2016)

- “P-type BSI image sensor with active deep trench interface passivation for radiation-hardened imaging systems” B. Mamdy, G.N. Lu, F. Roy, Eurosensors, Budapest, (September 4-7, 2016)

Résumé

Grâce à l'explosion du marché grand public des smartphones et tablettes, les capteurs d'image CMOS ont bénéficiés de développements technologiques majeurs leur permettant de rivaliser voir même de devancer les performances des capteurs CCD. En parallèle, dans les domaines de l'aérospatial ou de l'imagerie médicale, des capteurs CMOS ont également été développés pour des applications à fortes valeurs ajoutées avec des technologies reconnues pour leur robustesse en environnement ionisant. Le travail de cette thèse a pour but de réunir dans une même architecture de pixel les dernières avancées technologiques développées pour les capteurs grands publics avec une solution novatrice de durcissement aux rayonnements ionisants récemment développée chez STMicroelectronics. Pour la première fois, cette nouvelle architecture de pixel de 1,4µm de côté et éclairée par la face arrière intègre une photodiode pincée verticale à collection de trous, une chaine de lecture composée de transistors PMOS et des tranchées d'isolation profondes à passivation passive ou active. Ce type de pixel a été conçu à l'aide de simulations TCAD en trois dimensions qui ont permis d'optimiser l'intégration de procédés pour sa fabrication. Il a été caractérisé et comparé à un pixel équivalent de type N avant et après irradiation par rayonnement X. Le pixel développé au cours de cette thèse présente intrinsèquement un plus faible courant d'obscurité que son homologue de type N et une meilleure résistance aux radiations. La passivation active des tranchées d'isolation profondes permet d'atténuer fortement l'impact des dégradations habituellement observées au niveau des interfaces Si/SiO_2 et s'avère donc prometteuse en environnement ionisant. Des mécanismes intrinsèquement différents de formation de pixels blancs sous irradiation ont été mis en évidence pour les pixels de type P et de type N. Enfin, les technologies de l'éclairement par la face arrière et de la photodiode verticale contribuent chacune à la bonne efficacité quantique du pixel ainsi qu'à sa capacité de stockage importante.

Mots clés : Capteur d'image CMOS, photodiode pincé verticale, photodiode à collection de trous, éclairement par la face arrière, tranchée d'isolation profonde capacitive, irradiation, courant d'obscurité

Abstract

Thanks to the growing smartphones and tablets consumer markets, CMOS image sensors have benefited from major technology developments and are able to rival with and even outperform CCD sensors. In parallel, for spatial and medical imaging applications, CMOS sensors have been developed using technologies recognized for their robustness in harsh ionizing environment. This Ph.D. thesis work aims at combining in one single pixel architecture the latest technology developments driven by consumer applications with a novel solution for radiation hardening recently developed at STMicroelectronics. For the first time, this innovative back-side illuminated pixel architecture integrates within a 1.4µm pitch a vertical pinned photodiode based on hole-collection, a PMOS readout chain and deep trench isolation with either passive or active interface passivation. This pixel has been developed using 3D-TCAD simulations allowing fast and efficient optimization of its fabrication process. Through a series of electro-optical characterizations, we have compared its performances to its N-type equivalent before and after irradiation with X-rays. The pixel developed during this thesis exhibits intrinsically lower level of dark current than its N-type counterpart and improved radiation hardness. Active passivation of deep trench isolation greatly decreases the impact of degradations usually observed at Si/SiO_2 interfaces and therefore shows very promising results in ionizing environment. Evidence of intrinsically different mechanisms of white pixel formation under irradiation for N-type and P-type pixels have been presented. Finally, back-side illumination technology and the vertical photodiode both contribute to the pixel's high full well capacity and good quantum efficiency.

Keywords: CMOS image sensor, vertical pinned photodiode, hole-collection photodiode, back-side illumination, capacitive deep trench isolation, irradiation, dark current