

## Université de Limoges

École Doctorale Sciences et Ingénierie pour l'Information,  
Mathématiques (ED 521)

Laboratoire XLIM

Thèse pour obtenir le grade de

Docteur de l'Université de Limoges

Composants Circuits Signaux et Systèmes Hautes Fréquences

Présentée et soutenue par

**Sullivan PLET**

Le 30 novembre 2016

**Conception d'amplificateurs intégrés de puissance en technologie  
Silicium pour station de base de quatrième génération des  
systèmes de radiocommunications cellulaires**

**Thèse confidentielle**

Thèse dirigée par Michel CAMPOVECCHIO

JURY :

Président

M. Jean Michel Nébus

Professeur à l'Université de Limoges

Rapporteurs

M. Juan Mari Collantes

Professeur à l'Université de Bilbao

M. Eric Bergeault

Professeur à Sup Télécom ParisTech

Examineurs

M. Michel Campovecchio

Professeur à l'Université de Limoges

M. David Maurin

Apleon France

M. Jean Jacques Bouny

Apleon France





À mon grand-père





*Le rire, c'est mon aliment de base, matin, midi et soir. Et un petit en-cas par-ci par-là !*  
**Pierre Richard**





## Remerciements

---

Ce travail a été effectué en collaboration avec le laboratoire XLIM de l'Université de Limoges et le département RF de puissance de la société NXP Semiconductors, devenu Ampleon. Je remercie Monsieur Dominique Baillargeat ainsi que Monsieur David Maurin pour m'avoir accueilli au sein leur équipe respective.

Que Monsieur Juan Mari Collantes, Professeur à l'Université de Bilbao, ainsi que Monsieur Eric Bergeault, Professeur à Sup Télécom ParisTech, trouvent ici l'expression de ma considération pour avoir accepté de rapporter ce travail. De même, mes remerciements sincères à Monsieur Jean Michel Nébus pour avoir accepté de présider le jury de ma soutenance.

Un grand merci à Monsieur Gérard Bouisse, mon directeur de thèse en entreprise et bien plus, pour avoir partagé sa passion de la RF, sa pédagogie et sa bonne humeur quotidienne. Des discussions techniques à celles sur les choses de la vie, j'apprécie toujours de discuter avec toi et une fois de plus je te remercie pour tout.

Je remercie Jean Jacques Bouny pour avoir accepté de prendre la relève en tant que directeur de thèse en entreprise suite au départ de Gérard pour une nouvelle aventure professionnelle à laquelle j'aurais le plaisir de participer prochainement.

Je remercie grandement Monsieur Michel Campovecchio pour avoir dirigé ces travaux de recherche et m'avoir fortement épaulé dans la rédaction finale de ce manuscrit.

Je voudrais remercier l'ensemble des personnes du laboratoire XLIM que j'ai pu rencontrer lors de mes visites à Limoges et plus particulièrement Marie Claude Lerouge pour son temps et sa gentillesse.

Je tiens à remercier l'ensemble des collègues d'Ampleon Toulouse que j'ai pu côtoyer au cours de la thèse. Chacun a su prendre de son temps pour me faire grandir, aussi bien sur le plan technique que sur le plan humain. Pour ne pas faire de jaloux, par ordre de bureau, je remercie Aurélie, Nelsy, Xavier, Marianne, Bertrand, Mariano, Stephan, David, Gérard, Jérôme, Christian, Gwendal, Jean-Jacques, Charles, Guy, Adeline, Rosa, Julien, Jean-Marc et Nicolas M.

J'en profite pour céder la place du plus jeune de l'équipe à Mathilde et Nicolas et leur souhaite bonne continuation.

Je remercie les collègues de Nimègue pour les divers échanges sur la technologie en début de thèse ainsi que pour m'avoir très gentiment accueilli et épaulé lors de mon séjour aux Pays-Bas.

La vie professionnelle est d'autant plus saine qu'elle est équilibrée avec la vie privée. C'est pourquoi je profite de ces lignes pour remercier tous mes amis. De ceux de longues dates avec qui je partage des weekends aux quatre coins de la France, en passant par les anciens de l'ENSEEIH, expatriés, que je prends plaisir à retrouver de temps à autre, et bien sûr à tous ceux de Toulouse, avec lesquels il va être temps de ranger la plancha pour sortir la raclette.



J'aimerais enfin remercier tous les gens qui me sont proches et bien évidemment, comme depuis toujours, je pense fort à ma famille, mes parents, ma grande sœur et ses jolis enfants, mon frère, ma petite sœur et ma grand-mère qui à elle seule mérite amplement les pèlerinages vers la Picardie en train de nuit. Je trouverais un moment plus personnel pour dire un grand merci à mes parents pour ce qu'ils ont fait, font et feront pour leurs enfants. Leur éducation est la base qui permet tout le reste.





## Droits d'auteurs

---

Cette création est mise à disposition selon le Contrat :

« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »

disponible en ligne : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>





## Sommaire

---

Remerciements .....	7
Droits d'auteurs .....	9
Sommaire .....	11
Introduction générale .....	15
I.1. Contexte .....	15
I.2. Objectifs .....	16
Chapitre I. Le substrat à haute résistivité .....	19
I.1. Introduction .....	19
I.2. Les limites du substrat LDMOS et l'intérêt du substrat à haute résistivité .....	19
I.2.1. Limites du substrat LDMOS .....	19
I.2.2. Intérêt du substrat à haute résistivité .....	20
I.3. Définition du substrat à haute résistivité .....	21
I.3.1. Simulations électromagnétiques des éléments passifs .....	21
I.3.2. Investigations sur les couches métalliques .....	24
I.4. Réalisation du premier masque pour substrat silicium à haute résistivité .....	27
I.4.1. Réalisation des éléments passifs .....	28
I.4.2. Réalisation des éléments actifs .....	31
I.5. Mesures sous pointes du premier substrat Si HRS en technologie NXP .....	33
I.5.1. Mesures des éléments passifs .....	34
I.5.2. Mesures des éléments actifs .....	42
I.6. Conclusion .....	46
Chapitre II. Conception d'amplificateurs RF de puissance .....	49
II.1. Introduction .....	49
II.1.1. Intérêts généraux .....	49
II.1.2. Intérêts pour la bande instantanée .....	51
II.2. Conception des amplificateurs MMIC : mode commun et mode différentiel .....	55
II.2.1. Spécifications .....	55
II.2.2. Dimensionnement de l'étage final .....	57
II.2.3. Circuit d'adaptation en entrée de l'amplificateur .....	60
II.2.4. Circuit d'adaptation inter-étage de l'amplificateur .....	67
II.2.5. Environnement de l'amplificateur .....	68
II.3. Simulations des amplificateurs MMIC : mode commun et mode différentiel .....	69
II.3.1. Analyse en petit signal .....	69
II.3.2. Analyse en large signal .....	76
II.4. Dessins des amplificateurs .....	81
II.5. Conclusion .....	84
Chapitre III. Mesures et Caractérisation .....	87
III.1. Introduction .....	87
III.2. Caractérisation du MMIC seul .....	87
III.2.1. Démarche standard pour l'amplificateur mode commun .....	87
III.2.2. Comment mesurer l'amplificateur en mode différentiel .....	89
III.2.3. Mesures des Paramètres S .....	90
III.2.4. Mesures load-pull des amplificateurs en mode commun et différentiel .....	94
III.3. Réalisation des circuits d'application .....	98



III.3.1. Modélisation des impédances load-pull .....	98
III.3.2. Conception des circuits d'application .....	100
III.4. Mesures des premiers circuits d'application .....	102
III.4.1. Mesures des paramètres S du circuit d'application .....	102
III.4.2. Mesures en puissance des circuits d'application .....	104
III.4.3. Mesures de linéarité .....	106
III.4.4. Mesure de la bande instantanée.....	107
III.5. Modifications du circuit d'application final en mode différentiel et mesures .....	109
III.6. Conclusion .....	112
Conclusion générale.....	115
Références bibliographiques .....	119
Annexes .....	125
Annexe 1. L'impact du déséquilibre d'un balun .....	127
Table des illustrations.....	131
Table des tableaux.....	136







# Introduction générale

---

## I.1. Contexte

Depuis plusieurs décennies, les télécommunications suivent plusieurs tendances principales parmi lesquelles on peut citer l'augmentation du débit binaire, permettant de transmettre la voix, des données, des photos, des vidéos, ainsi que la réduction de coût et la compacité. Le réseau de téléphonie mobile est ainsi successivement passé du standard GSM, à l'UMTS puis au LTE afin de répondre à ces besoins.

Le cadre général de notre sujet de thèse concerne la fonction d'amplification de puissance, des émetteurs récepteurs de station de base, c'est-à-dire des équipements d'infrastructure des systèmes de radiocommunications civiles.

Au niveau du système complet, les dernières décennies ont correspondu à l'existence de « macro cells », c'est-à-dire des stations de base de forte puissance, plusieurs centaines de watts, dont le but est de fournir une large couverture géographique. Une migration est en train de s'opérer vers les « small cells » qui sont des stations de base de puissance plus faible, de quelques watts à quelques dizaines de watts, dont le but est de répondre à un besoin de capacité localisée, tel un centre commercial ou un bâtiment public et non plus à un besoin de large couverture géographique. Cette évolution met l'accent de façon plus prononcée sur le coût du système.

En ce qui concerne l'amplificateur de puissance RF, fonction essentielle du système complet, de par son impact critique sur la consommation totale et sur le dimensionnement du refroidissement. L'architecture des amplificateurs de puissance et la technologie des semi-conducteurs sont bien définies, pour les « macro cells » du moins. En effet la topologie Doherty [1], qui consiste en la combinaison de deux blocs de puissance utilisant des classes de polarisation différentes, résultant en un rendement électrique élevé, est majoritairement utilisée depuis des années par les sociétés fabriquant les amplificateurs de puissances pour les stations de base [2], [3] et [4].

La technologie reine pour les amplificateurs de puissance pour stations de base, en matière de semi-conducteur, est le LDMOS qui est un transistor MOS diffusé latéralement sur un substrat silicium à faible résistivité, optimisé pour l'amplification en source commune. Pour les bandes de fréquence en dessous de 1 GHz et celles comprises entre 1.8 et 2.2 GHz, [5], le LDMOS domine le marché. D'autres études [6], [7] et [8] montrent que la technologie LDMOS peut monter en fréquence afin d'atteindre les bandes situées entre 2.3 et 2.7 GHz voire même entre 3.4 et 3.8 GHz. Cette technologie très mature, est proposée par les trois principaux fabricants de semi-conducteur RF de puissance, NXP Semiconductors, Infineon et Freescale. Les produits RF proposés sont soit des circuits intégrés monolithiques hyperfréquences ou MMIC (Monolithic Microwave Integrated Circuit), soit des transistors discrets simple étage avec préadaptation.

Comme précédemment précisé, la technologie LDMOS est très mature, et les points faibles qui lui sont associés, et qui vont être résumés dans les prochaines lignes, ne peuvent être améliorés que par un changement technologique drastique. En matière de composant actif, le transistor LDMOS souffre d'une limitation fréquentielle, liée aux pertes dans le substrat à faible résistivité, ce qui provoque une décroissance des performances, comme la densité de puissance ou le rendement électrique, en fonction de la fréquence, et ce dans les bandes d'intérêt qui s'étendent globalement de 1 GHz à 4 GHz. Une autre conséquence, une



fois de plus liée à la résistivité du substrat, est le facteur de qualité des éléments passifs tels que les inductances et les lignes de transmission. De nombreuses optimisations du transistor et des passifs sont survenues au cours des deux dernières décennies, chez les fabricants de semi-conducteurs cités précédemment, mais les limites d'amélioration sont aujourd'hui atteintes.

L'étude qui va être présentée a été initiée dans le département de RF de puissance de l'entreprise NXP Semiconductors. Ce département est devenu une société à part entière, Ampleon, en décembre 2015, suite à sa vente par NXP Semiconductors dans le cadre du rachat de Freescale. Dans la suite du document, il sera fait mention de NXP Semiconductors ou de Ampleon en fonction du moment où l'entreprise est citée. Dans les deux cas, il s'agit du même département RF de puissance et de la même technologie de LDMOS sur silicium.

## **I.2. Objectifs**

Le sujet de recherche, dont le programme va être décrit ci-dessous, s'inscrit dans le cadre d'un changement majeur, au niveau de la technologie LDMOS, afin d'en améliorer de façon très nette les performances et d'envisager l'intégration de l'adaptation de sortie. En effet, l'objectif est de réaliser un amplificateur multi-étage MMIC de forte puissance en technologie LDMOS, sur substrat silicium à forte résistivité. Pour réaliser cet objectif, plusieurs étapes sont nécessaires.

Le sujet est très innovant, malgré des apparences trompeuses car en effet, personne n'a réalisé à ce jour, une technologie de forte puissance radio fréquence sur substrat silicium à forte résistivité. Par forte puissance, il est entendu des dizaines voire centaines de Watts, pour un spectre s'étalant jusqu'à 4 GHz, avec la technologie de combinaison des composants actifs et passifs. Ceci explique la bibliographie limitée sur le sujet. La raison pour l'inexistence d'une telle technologie, réside dans la difficulté de réaliser des trous métallisés, dont la géométrie soit compatible de la mise à masse de la source du transistor. Ceci représente le risque technologique majeur de ce travail.

Dans cette éventualité, il est envisagé d'utiliser une idée, récemment présentée par NXP Semiconductors à la commission des brevets, qui permet de concevoir des amplificateurs de puissance, sans trous métallisés sophistiqués pour le transistor. Il s'agit de structures différentielles particulières, sur lesquelles une distinction est faite entre la masse continue et la masse radio fréquence.

La première étape, et non des moindres, se situe au niveau du développement technologique. En effet, le changement de substrat vers une haute résistivité implique une amélioration de facteur de qualité des passifs, mais une optimisation de la métallisation est à prévoir. Le LDMOS utilise aujourd'hui un alliage d'aluminium, qui est responsable d'un certain niveau de pertes métalliques, qui peuvent être optimisées par l'ajout ou le remplacement d'une couche métal par du cuivre. A cette étape métallurgique se rajoute une optimisation du transistor lui-même afin de compenser les changements liés au nouveau substrat, mais surtout il va s'agir de développer des trous métallisés, afin de connecter la source du transistor à la masse, située en face arrière. Cette étape est cruciale, son développement long et coûteux sera assuré par les équipes de développement technologique de NXP Semiconductors. La deuxième étape consiste en la caractérisation et la modélisation des nouveaux composants, inductances, lignes de transmission, capacités, résistances, trous métallisés et transistors. Compte tenu des itérations de fabrication,





nécessaires au développement technologique, ces phases de caractérisation et modélisation pourront être répétées. Ces deux premières étapes seront l'objet du premier chapitre.

Une fois ces deux étapes franchies, il est possible de concevoir des MMICs et notamment des amplificateurs de puissance pour station de bases. Pour des raisons de temps, les amplificateurs de puissance adoptant l'architecture différentielle ont été réalisés sur le substrat actuellement utilisé chez NXP Semiconductors et non pas sur le substrat à haute résistivité étudié. L'apport de ce travail se situe alors en conception sur la structure de l'amplificateur. Actuellement, les amplificateurs de puissance MMICs sont en mode commun car sur le marché des stations de base les amplificateurs différentiels sont très peu utilisés. Cette structure a été prise en considération lors de l'évaluation du substrat à haute résistivité comme une solution alternative à la réalisation des trous métallisés qui est un risque majeur du processus. Le deuxième chapitre présente la conception de deux amplificateurs de puissance, un standard et un en mode différentiel en détaillant chaque avantage qu'apporte ce dernier.

Une fois les amplificateurs conçus et assemblés, ils ont été mesurés mais une approche différente a dû être mise en place pour permettre la mesure et la caractérisation de l'amplificateur différentiel. Les mesures présentées dans ce troisième chapitre mettront en avant les avantages de la structure différentielle sur la configuration standard en mode commun.

Le travail de thèse porte donc initialement sur une étude de l'impact et la modélisation dans le cas du passage à une technologie LDMOS sur substrat silicium à haute résistivité permettant d'améliorer le facteur de qualité des éléments passifs d'adaptation afin notamment de permettre l'intégration de l'adaptation de sortie. Cette intégration est une amélioration très importante apportée aux applications d'amplificateurs de puissance pour stations de base notamment sur le coût et la compacité des circuits. D'autre part, ce travail porte aussi sur les avantages d'une structure différentielle d'amplificateur de puissance par rapport à l'architecture classique en démontrant son impact sur la bande passante instantanée.

Le travail présenté sera résumé et agrémenté de perspectives dans la conclusion.





## Chapitre I. Le substrat à haute résistivité

---

### I.1. Introduction

Notre étude commence par une étape essentielle à la conception d'un amplificateur de puissance : la caractérisation du substrat et des composants tels que les inductances, capacités, trous métallisés ou encore les transistors qui seront réalisés sur ce substrat. Le travail de recherche de ce chapitre se porte sur un changement technologique important dont l'objectif est l'intégration sur la puce MMIC de l'adaptation de sortie.

La première partie présentera la technologie actuelle, à savoir le LDMOS sur substrat silicium à faible résistivité, et ses limites puis l'intérêt de la faire évoluer vers un substrat à haute résistivité. Le but étant de réaliser des mesures sur ce nouveau substrat, les parties suivantes suivront le processus allant de la définition du substrat, en passant par la réalisation du masque pour enfin présenter les mesures effectuées. Ces mesures permettront alors de tirer une conclusion sur la faisabilité de ce substrat, sur la possibilité d'intégrer l'adaptation de sortie et sur ce qu'il peut apporter aux performances de l'amplificateur de puissance pour les stations de base.

### I.2. Les limites du substrat LDMOS et l'intérêt du substrat à haute résistivité

#### I.2.1. Limites du substrat LDMOS

Le LDMOS a été introduit il y a un peu plus de vingt ans sur le marché de la RF de puissance comme une solution de remplacement des transistors bipolaires dans les applications pour stations de base comme dans [9] et [10]. Cette technologie n'a cessé de s'améliorer au fil des années, [11] et [12], et s'est imposée dans de nombreux domaines, en commençant par les stations de base et les applications de diffusions sous le gigahertz mais aussi pour des applications radars [13] et plus récemment pour l'éclairage RF [14].

La génération de LDMOS utilisée chez NXP Semiconductors au début de l'étude est une technologie à faible résistivité, environ  $16 \text{ m}\Omega\cdot\text{cm}$ , possédant cinq couches métalliques. Le LDMOS est la technologie reine pour les amplificateurs de puissance pour station de base comme il a été décrit précédemment. L'avantage de la faible résistivité du substrat permet un retour à la masse sans l'utilisation de trous métallisés. Cependant elle implique des pertes importantes sur les éléments passifs d'adaptation conduisant à une quasi-impossibilité d'adaptation de sortie sur le MMIC. Or l'intégration est une amélioration importante, tout comme l'est l'utilisation de boîtiers plastiques à la place de ceux en céramique [15], dont le but est de répondre aux réductions de coût et de taille requises pour les stations de base de type « small cells ».

Prenons l'exemple d'une inductance. Le retour de courant, Figure 1, s'établit dans le substrat du fait de son épaisseur ( $180 \mu\text{m}$ ) et de sa faible résistivité. Ce retour de courant crée une mutuelle inductive qui décroît la valeur nominale de l'inductance et introduit des pertes supplémentaires.

Le facteur de qualité des éléments passifs, rapport entre la partie imaginaire et la partie réelle de l'impédance présentée par ces derniers, notamment pour les inductances, est dégradé. Des pertes importantes sont engendrées dans les circuits d'adaptation intégrés des amplificateurs multi-étage, comme ceux d'entrée et d'inter-étage. Le gain, la puissance et le rendement de l'amplificateur sont dégradés. De plus, le facteur de qualité des



inductances (environ 5-10) ne permet pas d'intégrer l'adaptation de sortie jusqu'à 50  $\Omega$ , celle-ci étant alors réalisée sur un circuit imprimé externe.

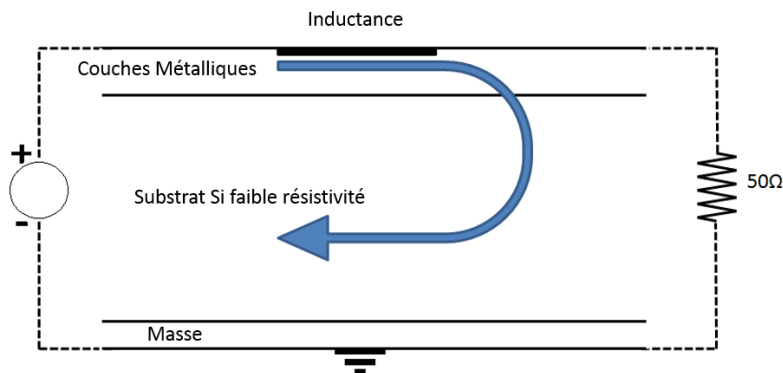


Figure 1 : Schéma du retour de courant qui s'établit dans le substrat LDMOS Si à faible résistivité

Une première solution envisagée est d'amincir le substrat afin de réduire la résistance équivalente de connexion à la masse. Les technologies LDMOS sont ainsi passées, au cours de la thèse, de 180  $\mu\text{m}$  d'épaisseur de substrat à 120  $\mu\text{m}$  voire même 50  $\mu\text{m}$  récemment. Bien que cette solution améliore le facteur de qualité des éléments passifs, elle ne permet toujours pas l'intégration de l'adaptation de sortie et se confronte à une limite mécanique : la manutention des plaquettes qui deviennent trop fines et ont tendance à se briser.

### I.2.2. Intérêt du substrat à haute résistivité

Une autre solution est d'évoluer vers un substrat à haute résistivité (HRS). Dans ce type de substrat, le contact à la masse doit alors être réalisé à l'aide de trous métallisés en cuivre. Allié à une forte résistivité du substrat, l'ensemble permet de limiter le courant de retour se propageant dans le substrat et ainsi limiter les problèmes de perte énoncés précédemment. Comme il est expliqué dans la référence [16] ce substrat a donc pour but d'augmenter le facteur de qualité des éléments passifs pour se rapprocher des substrats de type GaAs tout en gardant les avantages du silicium notamment sur le coût lié à la taille importante des plaquettes. Plusieurs références, [17], [18], [19] et [20] montrent l'amélioration du facteur de qualité des éléments passifs par l'utilisation d'un substrat à haute résistivité mais ne concernent pas les applications d'amplifications de puissance qui nous intéressent.

La société NXP Semiconductors travaille depuis plus de dix ans sur ce substrat [21]. Le challenge technologique réside dans la réalisation des trous métallisés [22]. De plus, la manière de diffuser le LDMOS peut altérer la valeur finale de la résistivité du substrat. Cette dernière atteint alors une valeur inférieure à la résistivité initiale avant diffusion.

En parallèle de l'étude de faisabilité de ce nouveau substrat HRS par l'équipe technologique au sein de NXP Semiconductors en Hollande, une étude basée sur des simulations a été conduite à NXP Semiconductors Toulouse pour évaluer l'impact sur les performances d'un amplificateur MMIC de puissance due à l'utilisation de ce nouveau substrat.



### I.3. Définition du substrat à haute résistivité

Avant de réaliser un premier masque avec ce nouveau substrat HRS, il convient d'étudier par simulations électromagnétiques les améliorations possibles apportées par les différentes variantes possibles en termes de caractéristiques du substrat et de ses couches métalliques.

Suites à des discussions avec l'équipe technologique basée à Nimègue aux Pays-Bas, deux substrats à haute résistivité ont été prédéfinis. Basés sur la dernière génération de LDMOS pour les couches métalliques, ils diffèrent par leur résistivité. L'étude porte sur des substrats à haute résistivité (HRS) qui présentent des résistivités de  $100 \Omega \cdot \text{cm}$  et  $1 \text{ k}\Omega \cdot \text{cm}$  respectivement nommés HRS100 et HRS1K, présentant chacun une épaisseur de  $100 \mu\text{m}$ . On appelle LRS, le substrat utilisé à NXP Semiconductors au moment de l'étude, il est épais de  $180 \mu\text{m}$  et présente une résistivité de  $16 \text{ m}\Omega \cdot \text{cm}$ .

Les simulations présentées dans la suite de cette partie permettront de faire un choix sur les couches métalliques utilisées ainsi que sur la résistivité du nouveau substrat HRS.

La première amélioration potentielle amenée par ce substrat HRS concerne les éléments passifs, principalement le facteur de qualité des inductances. Le travail d'investigation réalisé dans notre étude au sein de la société NXP Semiconductors est résumé ici.

#### I.3.1. Simulations électromagnétiques des éléments passifs

##### I.3.1.1. Inductances

Une première comparaison est faite sur les inductances. Comme montré sur la Figure 2, elles sont réalisées sur la couche métallique supérieure, à savoir métal 5, couche constituée de  $3 \mu\text{m}$  d'aluminium. Les couches métal 3 et métal 4 sont utilisées pour passer sous la couche métal 5, partie appelée tunnel, afin d'avoir les deux accès de part et d'autre de l'inductance.

L'intérêt se porte sur la comparaison du facteur de qualité simulé des inductances en fonction du substrat utilisé. Ce facteur de qualité correspond au rapport entre la partie imaginaire (inductive) et la partie réelle (perte) de l'impédance présentée par l'inductance. Ainsi le facteur de qualité est inversement proportionnel aux pertes de l'élément en question.

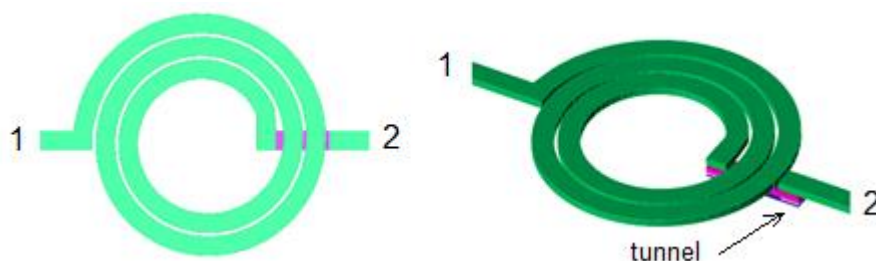


Figure 2 : Représentation d'une inductance et du tunnel utilisé pour y accéder

La Figure 3 montre le facteur de qualité simulé en fonction de la fréquence jusqu'à 5 GHz pour deux inductances différentes sur les trois substrats de l'étude : HRS100, HRS1K et LRS. La première inductance (a) fait 2,5 tours avec un rayon interne de  $100 \mu\text{m}$  et une



largeur de piste de 5  $\mu\text{m}$  tandis que l'inductance (b) fait 4,5 tours avec un rayon interne de 70  $\mu\text{m}$  et une largeur de piste de 15  $\mu\text{m}$ .

Cette étude en simulation a été faite pour vingt-sept inductances, balayant trois valeurs de nombre de tours, trois rayons internes et trois largeurs de pistes différentes. Pour la majorité des inductances, autour de 2 GHz, fréquence d'intérêt, on obtient un facteur deux voire trois d'amélioration pour le facteur de qualité. Comme il est visible sur la Figure 3, cette amélioration du facteur de qualité est d'autant plus importante que la fréquence augmente, ceci étant intéressant puisque que les applications de télécommunications ont tendance à monter en fréquence. La même amélioration a été observée, toujours en simulation, sur des lignes de transmission de largeurs et longueurs différentes.

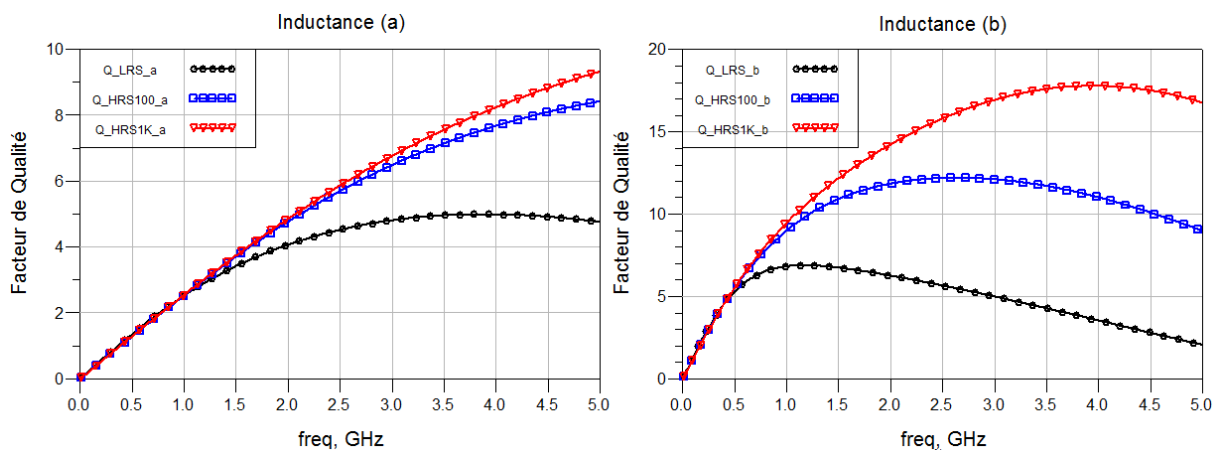


Figure 3 : Facteurs de qualité simulés sur les substrats LRS, HRS100 et HRS1K, précédemment décrit, de l'inductance (a) qui fait 2,5 tours avec un rayon interne de 100  $\mu\text{m}$  et une largeur de piste de 5  $\mu\text{m}$ , de l'inductance (b) qui fait 4,5 tours avec un rayon interne de 70  $\mu\text{m}$  et une largeur de piste de 15  $\mu\text{m}$

### I.3.1.2. Capacités

L'avantage du substrat HRS pour l'intégration des réseaux d'adaptation de sortie peut aussi être montré sur les capacités. Un des problèmes du substrat actuel est sa faible résistivité. Dans le cas d'une capacité en série cela se traduit par une capacité parasite à la masse qui peut devenir prédominante au-delà d'une certaine fréquence.

Afin de mieux comprendre ce problème, sur l'abaque de Smith de la Figure 4, à partir d'une impédance complexe quelconque, on ajoute une capacité en série. On observe la réflexion de l'ensemble en balayant la fréquence. Au lieu de tourner sur un cercle à résistance constante, au-delà d'une certaine fréquence, l'impédance va se déplacer le long d'un cercle à conductance constante due à la capacité à la masse qui devient prédominante comme le montre la Figure 4. A partir de d'une impédance  $(0.5-j*0.2)$  normalisée à 50  $\Omega$ , représentée par un point, une capacité est ajoutée en série et un port 50  $\Omega$  vient évaluer la réflexion de l'ensemble. Le paramètre S11 est tracé jusqu'à 5 GHz.

La simulation de la Figure 4 a été réalisée pour deux tailles de capacité : (a) : 180\*180  $\mu\text{m}^2$  et (b) : 270\*270  $\mu\text{m}^2$ . Actuellement les capacités sont réalisées sur un substrat à faible résistivité LRS dont les courbes sont en traits pleins sur la Figure 4. En pointillés les capacités sont simulées sur le substrat à haute résistivité HRS1K.



Sur les courbes en traits pleins, il est clair qu'au-delà d'une certaine fréquence, ici autour de 1 GHz, la capacité parasite à la masse devient prépondérante dans le cas d'un substrat LRS et il y a un changement de comportement à partir de cette fréquence. Ce problème n'apparaît pas avec le substrat HRS ce qui est un bon point pour les circuits d'adaptation.

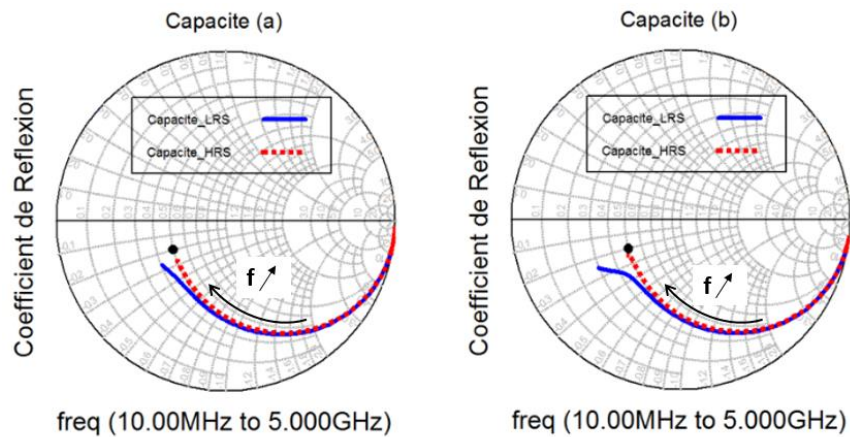


Figure 4 : Coefficient de réflexion de capacités carrées chargées par une impédance complexe pour les deux types de substrat LRS et HRS.

La capacité (a) de 180 μm de côté et la capacité (b) de 270 μm de côté

Dans le cas des capacités à la masse, l'amélioration vient de l'utilisation d'un ou de plusieurs trous métallisés pour la connexion à la masse plutôt qu'une zone fortement dopée sous la capacité. La résistance associée est inférieure dans le cas d'un trou métallisé et cela améliore le facteur de qualité de l'inductance de connexion à la masse.

La Figure 5 compare le facteur de qualité d'une même capacité, connectée à la masse selon les deux façons citées précédemment. En trait plein est représentée l'actuelle capacité à la masse, en pointillé, la même capacité connectée à la masse par un trou métallisé. Ainsi, cela réduit la résistance équivalente et améliore le facteur de qualité de la capacité à la masse.

Ces premières investigations en simulation électromagnétique confirment l'avantage de l'utilisation d'un substrat à haute résistivité sur le facteur de qualité des éléments passifs. Les simulations faites sur une large palette d'inductances conduisent à dire que le substrat ayant une résistivité de 1 kΩ.cm présente un avantage comparé à celui à 100 Ω.cm. Intéressons-nous maintenant aux investigations menées sur les couches métalliques de ces nouveaux substrats.



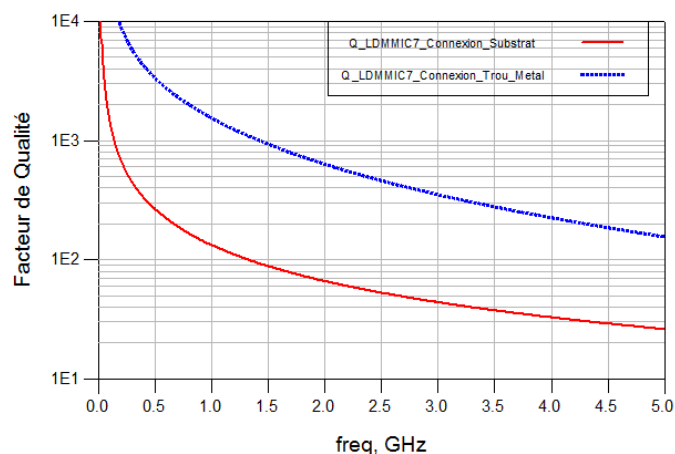


Figure 5 : Comparaison du facteur de qualité simulé d'une capacité carrée de 90  $\mu\text{m}$  de côté connectée à la masse par dopage du substrat LRS ou par trous métallisés

### I.3.2. Investigations sur les couches métalliques

#### I.3.2.1. Superposition des couches métalliques

L'étude précédente montre clairement que le substrat à haute résistivité est une bonne solution pour améliorer le facteur de qualité des éléments passifs, et notamment des inductances qui sont les éléments les plus critiques. Dans la continuité, l'impact de superposer les couches métalliques a été étudié sur les inductances. Cet empilement augmente la section de métal et devrait réduire les pertes.

Pour commencer, les couches métal 5 et métal 4 ont été empilées et le tunnel réalisé sur métal 3. Les facteurs de qualité simulés d'une même inductance conçue sur métal 5 et dans la configuration précédemment citée sont tracés sur la Figure 6.

Les simulations électromagnétiques ont été faites sur le substrat HRS1K. La configuration proposée, avec un empilement de couches métalliques, ne présente pas d'amélioration du facteur de qualité par rapport à la configuration standard.

Ce problème vient du fait que l'empilement de couche métal force le tunnel sur des couches inférieures. Ces couches sont plus fines et plus résistives, elles limitent donc l'amélioration du facteur de qualité. Cette conjecture est appuyée par la dernière courbe de la Figure 6 représentant le facteur de la qualité d'une inductance sur métal 5 et métal 4 où le tunnel est lui aussi empilé sur les couches métalliques restantes afin d'en réduire les pertes.

Ces simulations montrent qu'il n'y a pas d'amélioration possible du facteur de qualité par l'empilement des différentes couches métal dû au fait que le tunnel se retrouve sur des couches métalliques plus résistives et moins épaisses qui limitent le facteur de qualité même dans le cas où ce tunnel est lui-même sur plusieurs couches empilées.





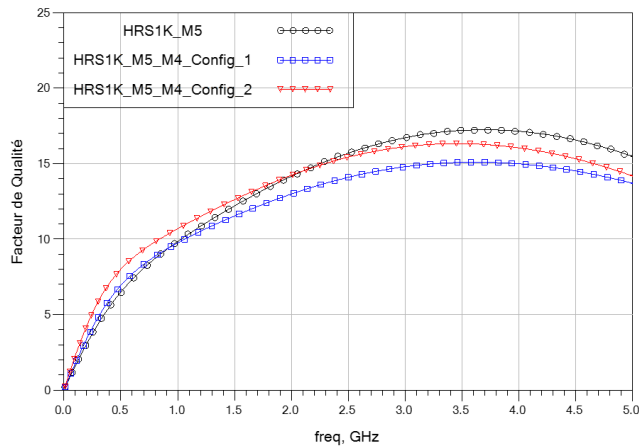


Figure 6 : Facteur de qualité de l'inductance de 4,5 tours avec un rayon interne de 70  $\mu\text{m}$  et une largeur de piste de 15  $\mu\text{m}$  réalisée sur le métal M5 ou empilée sur le métal M5 et le métal M4 avec le tunnel sur métal 3, Config\_1, ou sur métal 3, métal 2 et métal 1, Config\_2

### I.3.2.2. Couche métallique supplémentaire

Une autre investigation sur ce nouveau substrat concerne l'ajout d'une couche métallique supplémentaire. Pour diverses raisons, le métal choisi est le cuivre, la résistivité de ce métal étant plus faible que celle de l'aluminium actuellement utilisé. Une autre raison est que la couche métallique à la surface est connectée au boîtier par des fils réalisés en cuivre qui présenteraient un coût plus attractif que ceux actuellement utilisés. De plus, cela faciliterait la mise en place de ces fils sur un métal de même nature. L'épaisseur de cette couche supplémentaire est fixée à 3  $\mu\text{m}$  qui est l'épaisseur de la couche actuelle métal 5 en aluminium.

Comme précédemment, cette étude ne concerne que les inductances. Une même inductance est conçue sur les substrats HRS100 et HRS1K, dessinée sur métal 5 (M5) et sur cette couche supplémentaire, nommée métal 6 (M6), faite de cuivre. Les courbes de la Figure 7 montrent l'amélioration obtenue du facteur de qualité simulé en utilisant une couche supplémentaire de cuivre.

Indépendamment de la valeur de résistivité du substrat, le facteur de qualité d'une même inductance est nettement amélioré lorsqu'elle est dessinée sur la couche supplémentaire de cuivre en métal 6. Les simulations électromagnétiques ont été réalisées sur plusieurs inductances. Dans chaque cas de variations des paramètres de l'inductance précédemment cités, il y a un intérêt à utiliser une couche métallique supplémentaire en cuivre.



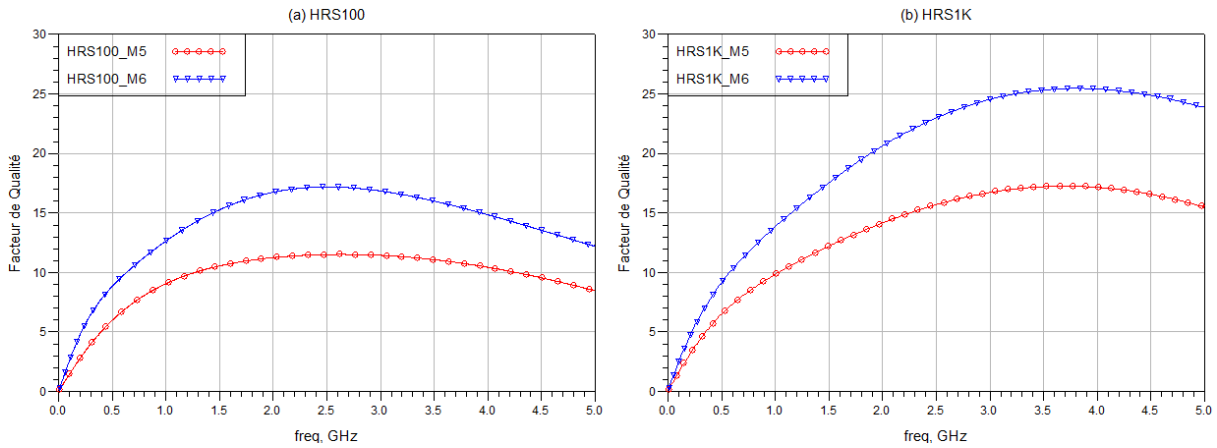


Figure 7 : Facteur de qualité simulé de l'inductance de 4,5 tours avec un rayon interne de 70  $\mu\text{m}$  et une largeur de piste de 15  $\mu\text{m}$  réalisée sur les couches métal M5 et M6 pour les substrats (a) HRS100 et (b) HRS1K

Une dernière étude portant sur la définition du substrat a été faite. Il s'agit de l'épaisseur de la couche de cuivre M6 ajoutée. Le facteur de qualité a été tracé sur la Figure 8 pour une même inductance avec des épaisseurs de couche de cuivre M6 variant de 3 à 10  $\mu\text{m}$  et sur les substrats HRS100 et HRS1K.

Augmenter l'épaisseur de la couche de cuivre M6 a deux effets : Le maximum du facteur de qualité est amélioré et dans le même temps décalé en fréquence. Ce comportement peut être intéressant en fonction des applications visées. Il est dû à l'effet de peau qui précise que le courant ne se déplace que dans une certaine épaisseur de métal, celle-ci dépendant de la fréquence et de la nature du matériau.

Les investigations menées conduisent à choisir le substrat HRS1K allié à une couche de métal supplémentaire M6 en cuivre, comme meilleur candidat dans le but d'améliorer le facteur de qualité des éléments passifs.

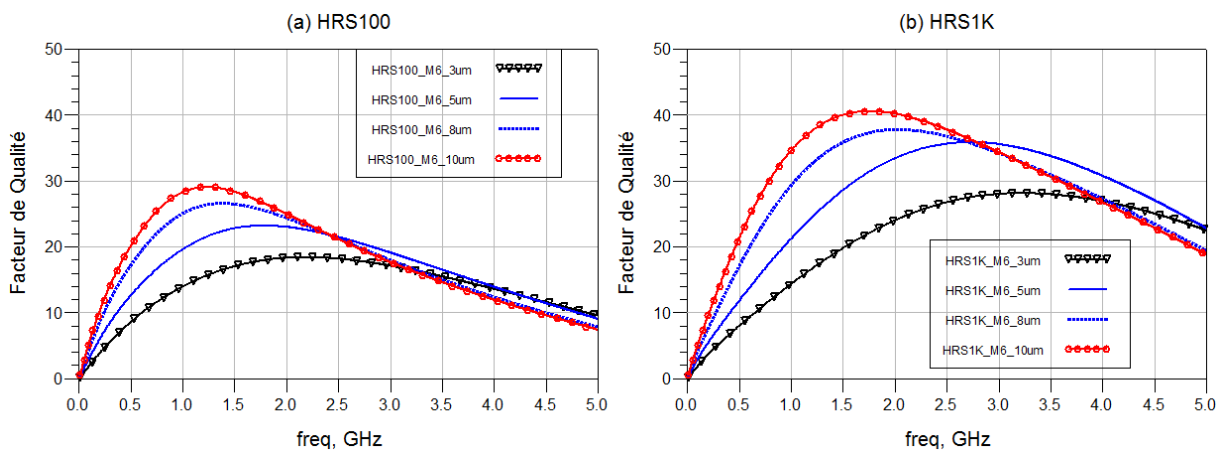


Figure 8 : Facteur de qualité simulé d'une inductance qui fait 2.5 tours avec un rayon interne de 7  $\mu\text{m}$  et une largeur de piste de 5  $\mu\text{m}$  réalisée pour différentes épaisseurs de cuivre en métal 6 et pour les substrats (a) HRS100 et (b) HRS1K



A partir d'une trentaine de simulations électromagnétiques d'inductances variant les valeurs de nombre de tours, de rayon interne et de largeur de piste, un modèle a été conçu. Ce modèle, représenté sur la Figure 9, est basé sur la mise en série d'une inductance idéale  $L$  avec une résistance  $R$  dépendante de la fréquence afin de modéliser les pertes et l'effet de peau. En effet la résistance augmente avec la fréquence. Des capacités  $C$  et  $C'$  représentent la surface de métal en regard de la masse. Elles sont misent en série avec des résistances  $R_s$  et  $R'_s$  représentant les pertes dans le substrat. L'ensemble de ces composants idéaux est dépendant des paramètres de l'inductance : le nombre de tours, la largeur de piste et le rayon interne. Les équations de chacun des composants idéaux sont obtenues par régression du second degré après avoir fait correspondre le modèle à chacune des simulations électromagnétiques en ajustant les valeurs des composants idéaux. De même, des modèles ont été réalisés pour les capacités et les lignes de transmissions.

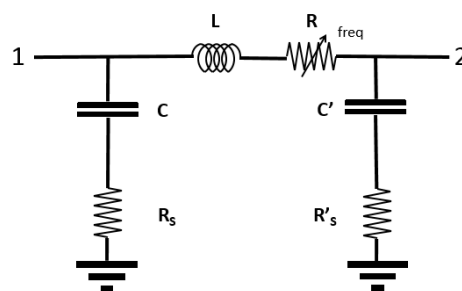


Figure 9 : Modèle schématique des inductances sur substrat HRS

Nous avons conçu des circuits d'adaptation d'entrée et d'inter-étage d'un potentiel amplificateur MMIC à deux étages d'une puissance de 50 W, présentant un rendement autour de 50 % et un gain supérieur à 30 dB dans une bande de fréquence allant de 1.8 à 2.2 GHz.

Il a été montré par cette conception rapide à l'aide des modèles réalisés que l'utilisation d'un substrat HRS1K ainsi que d'une couche métallique de cuivre de 3  $\mu\text{m}$  permettait d'augmenter le gain d'environ 5 dB et dans le même temps, le rendement de 3 points grâce à la réduction de taille de l'étage driver découlant de la réduction des pertes. Ces améliorations sont équivalentes aux améliorations apportées par plusieurs générations successives de LDMOS, c'est-à-dire plusieurs années d'optimisation de la technologie.

Les résultats sont basés sur des simulations et sont très encourageants. Il convient alors de faire le même travail de façon plus précise et détaillée, cette fois-ci à partir de la mesure des éléments passifs.

#### I.4. Réalisation du premier masque pour substrat silicium à haute résistivité

Malgré les investigations fructueuses décrites dans la partie précédente, le premier masque HRS1K sur silicium réalisé à NXP Semiconductors en 2014 ne comportera pas de couche supplémentaire de cuivre. Cet ajout est compliqué à mettre en œuvre dans un processus déjà existant de telle sorte que l'étude se concentre sur les améliorations apportées par le substrat seul.

Le challenge de ce premier masque HRS est la réalisation des trous métallisés. Il y a deux façons de réaliser les trous métallisés, par le dessus de la plaquette ou par le dessous.



La réalisation par le dessus autorise l'utilisation des plaquettes épaisses et facilite la manutention de ces dernières. Par contre cela nécessite quatre étapes de masques supplémentaires, donc une augmentation du coût, ainsi qu'une imparfaite planéité de la face arrière. Au contraire, le processus par la face arrière ne requière que deux étapes de masques supplémentaires et permet un contrôle de planéité de la face arrière de la plaquette. Cependant l'alignement par la face arrière est moins précis du fait que la plaquette doit être liée à un support. C'est tout de même la technique face arrière qui a été retenue par l'équipe technologique de NXP Semiconductors pour réaliser ces trous métallisés.

Concernant l'épaisseur du substrat, l'amincissement du silicium à haute résistivité conduit à des résistances et inductances plus faibles pour le trou métallisé mais dégrade les performances des éléments passifs. Initialement, l'épaisseur de silicium choisie était de 100  $\mu\text{m}$ , avec un ratio technologique maximum de dix pour le trou métallisé qui conduit à un diamètre de 10  $\mu\text{m}$ .

#### I.4.1. Réalisation des éléments passifs

Du fait de la consommation en temps des simulations électromagnétiques, il est nécessaire pour concevoir un amplificateur MMIC d'avoir des modèles électriques précis des différents éléments passifs. Cette partie concerne les inductances, les capacités et les lignes qui sont nécessaires à la conception de circuits d'adaptations. A partir d'un nombre limité de mesures d'une palette de composants couvrant l'ensemble des valeurs utilisées dans la conception, on peut obtenir des modèles avec une précision acceptable.

Les mesures seront réalisées sur plaquettes à l'aide d'une station de mesures sous pointes. C'est pourquoi il est nécessaire sur le masque d'agrémenter les composants à mesurer de plot masse-signal-masse afin de les mesurer sous pointes. Dans le cas des capacités, des mesures en réflexion sont envisagées, un seul port sera donc utilisé. On peut distinguer sur la Figure 10, les trous métallisés, au nombre de trois, positionnés sous chaque plot de masse des plots masse-signal-masse.

##### I.4.1.1. Lignes

Les lignes sont utilisées dans la conception et doivent ainsi être modélisées. Du fait de leur simplicité, seule trois valeurs de largeur de piste, et deux longueurs ont été réalisées. La Figure 10 montre un exemple de ligne de 25  $\mu\text{m}$  de largeur de piste pour des longueurs de 1000 et 2000  $\mu\text{m}$ .

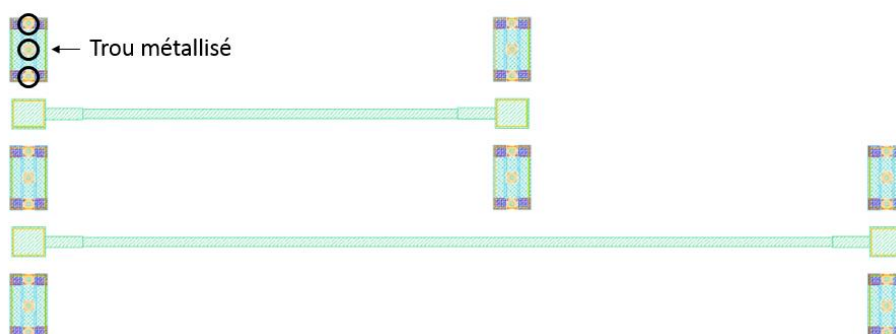


Figure 10 : Dessin de lignes de transmission de largeur 25  $\mu\text{m}$  et de longueurs 1000 et 2000  $\mu\text{m}$  réalisées sur le substrat HRS pour une mesure sous pointes



### I.4.1.2. Inductances

Les inductances sont des composants passifs importants qui conduisent à la majeure partie des pertes d'un circuit d'adaptation. Bien qu'un modèle électrique précis puisse être obtenu pour les inductances, des simulations électromagnétiques sont tout de mêmes faites lors de la conception, notamment car elles prennent en compte le couplage entre inductances proches. Ainsi, leur géométrie impacte lourdement le temps de simulation. Ces raisons mènent à considérer les inductances octogonales afin de réduire le temps de simulation électromagnétique par rapport aux inductances circulaires qui impliquent un maillage plus complexe.

Il y a trois paramètres importants pour l'étude des inductances qui sont le nombre de tours, le rayon interne et la largeur de piste, l'espacement entre les lignes est fixé à 5  $\mu\text{m}$ . Pour obtenir un modèle électrique précis couvrant la plage d'inductances utilisée, il est nécessaire de mesurer des inductances avec des valeurs extrêmes de ces paramètres. Cela mène à concevoir des inductances allant de 2.5 à 8.5 tours, pour une largeur de piste allant de 5 à 30  $\mu\text{m}$  et un rayon interne de 40 à 120  $\mu\text{m}$ . Des inductances avec une valeur intermédiaire de ces paramètres ont également été réalisées. Ainsi, vingt-sept inductances ont été réalisées avec des valeurs de paramètres parmi le tableau suivant.

Les inductances sont dessinées sur la couche métal 5 avec le tunnel dessiné sur métal 4 et métal 3. La couche métal 4 combinée à métal 3 étant plus résistive que métal 5, il y a un ratio de 1.5 entre leur largeur et celle de métal 5. Les pistes métal 4 et métal 3 étant alors plus larges que métal 5 afin de ne pas limiter le facteur de qualité. La Figure 11 est un exemple d'inductance de 5.5 tours, avec un rayon interne de 80  $\mu\text{m}$  pour une largeur de piste de 15  $\mu\text{m}$ . Les vingt-sept inductances précédemment décrites ont été intégrées sur le masque afin d'être capable d'établir un modèle électriques précis à partir de ces différentes mesures.

Tableau 1 : Plage de paramètres des inductances réalisées sur le masque HRS

Nombre de tours	Largeur de piste ( $\mu\text{m}$ )	Rayon interne ( $\mu\text{m}$ )	Inductance équivalente (nH)
2.5	5	40	0.69
5.5	15	80	9.2
8.5	30	120	39.6



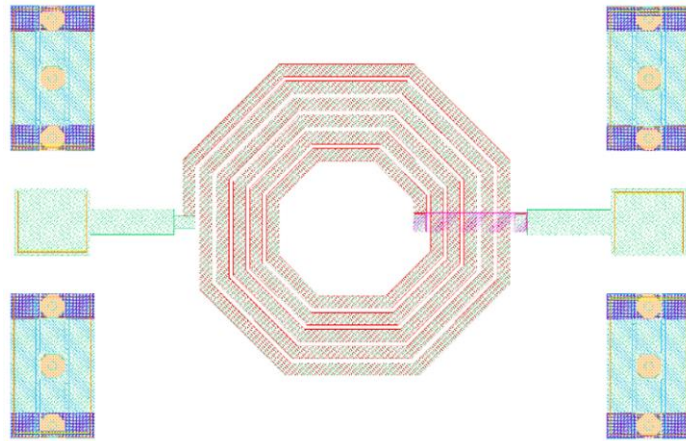


Figure 11 : Dessin d'une inductance de 5.5 tours avec un rayon interne de 80 µm et une largeur de piste de 15 µm réalisée sur le substrat HRS

### I.4.1.3. Capacités

L'amélioration attendue sur les capacités vient de la réduction des capacités parasites et de la connexion à la masse présentant moins de pertes. En effet la connexion se fait alors par des trous métallisés. Cependant, l'impact sur le facteur de qualité sera moins important que pour les inductances.

Seules des capacités carrées vont être dessinées afin de faciliter la réalisation du modèle. Pour les capacités reliées à la masse, les trous métallisés seront mis sur le bord de l'électrode du bas. Ceci permettra de la modéliser comme une capacité série suivi d'un ou plusieurs trous métallisés. Une autre capacité à la masse a été dessinée de telle sorte que les trous métallisés sont alors placés sous la capacité afin d'en améliorer les performances RF même si cela peut compliquer la réalisation du modèle. Une dernière capacité à la masse sera mesurée en résonance. Les capacités séries seront mesurées à l'aide de deux ports. Dans chaque cas, plusieurs tailles de capacités ont été mises sur le masque de substrat HRS.

La Figure 12 montre une capacité de 200 par 200 µm<sup>2</sup> qui sera mesurée en série (a), en configuration à la masse avec des trous métallisés au bord de l'électrode du bas (b) ou en dessous de celle-ci (c) et finalement en résonance (d).

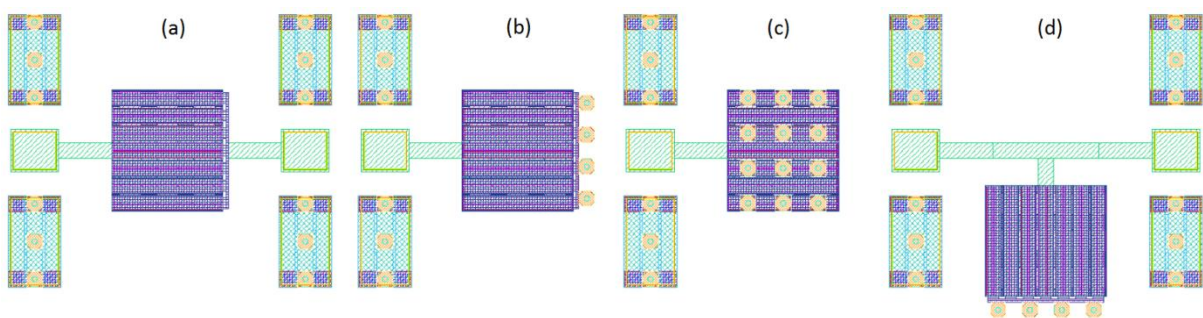


Figure 12 : Dessin d'une partie des capacités carrées de 200 µm de côté réalisées sur le substrat HRS : (a) capacité en série, (b) capacité à la masse avec les trous métallisés au bord de l'électrode du bas, (c) capacité à la masse avec les trous métallisés sous l'ensemble de l'électrode et (d) capacité en résonance



## I.4.2. Réalisation des éléments actifs

Pour la partie active, aucun changement ne sera réalisé par rapport au transistor LDMOS actuellement utilisé. Le transistor sera mis sur le substrat à haute résistivité sans optimisation. Le challenge est de réaliser des trous métallisés le long du doigt de source qui est de petite taille comparé au trou. Cette configuration est représentée sur la Figure 13 (a) sur laquelle n'est représenté que le côté grille du transistor. Plusieurs tentatives ont été réalisées par l'équipe technologie de NXP Semiconductors en variant la configuration des trous, notamment l'écartement entre deux trous, leur nombre par longueur de doigt, etc. Cette étude était requise pour évaluer l'impact sur les performances et d'éventuelles limites mécaniques.

Une autre solution est de s'affranchir des trous métallisés le long du doigt de source. Trois configurations vont alors être proposées. Une configuration en mode commun où les trous seront placés seulement autour du transistor Figure 13 (b). Une configuration coplanaire Figure 13 (c) où des lignes connecteront la masse des plots GSG à la source du transistor. La dernière solution étudiée sera une configuration différentielle présentée sur la Figure 14.

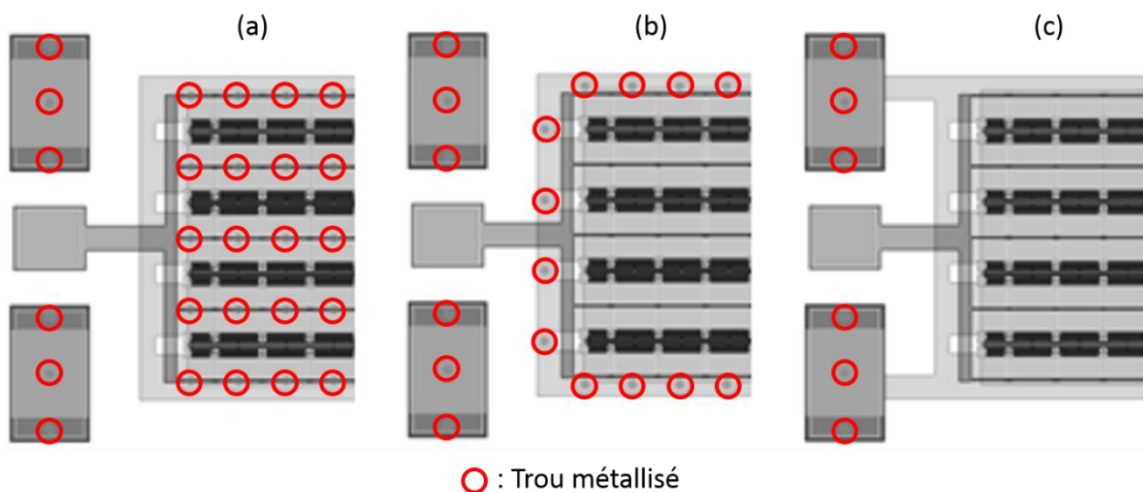


Figure 13 : Plots GSG et le côté grille des configurations des transistors proposées : (a) configuration standard en mode commun, (b) configuration avec des trous seulement autour du transistor, (c) configuration coplanaire

Pour chacune de ses configurations, la longueur de doigts est de  $750\ \mu\text{m}$  et trois tailles de transistors seront réalisés : une, deux et quatre cellules, comportant chacune deux doigts de grille, de part et d'autre d'un doigt de drain. Ainsi trois longueurs équivalentes de transistors seront mesurées :  $1.5\ \text{mm}$ ,  $3\ \text{mm}$  et  $6\ \text{mm}$ . Mesurer différentes tailles de transistors permet de mettre en évidence un éventuel effet de distribution. En effet, dans la configuration avec les trous métallisés seulement autour du transistor, les doigts extérieurs sont proches des trous métallisés alors que ceux au centre du transistor ont une connexion à la masse différente.

### I.4.2.1. Configuration mode commun

Dans cette configuration, Figure 13 (b), les trous métallisés sont placés seulement autour du transistor tous les  $60\ \mu\text{m}$  le long d'une ligne de  $30\ \mu\text{m}$  de large, qui constitue une extension de la source du transistor. Pour être sûr que chaque doigt de source soit connecté



à la masse au plus près possible, des pistes métalliques sont ajoutées les reliant les uns aux autres. De plus un trou métallisé par cellule est ajouté du côté de la grille et du drain du transistor. Tous ces trous sont représentés sur la Figure 13 (b) qui est un transistor de quatre cellules, dont seul le côté grille est représenté.

D'autres transistors ont été ajoutés à l'étude. Ils présentent des longueurs de doigts divisées par deux et quatre. Des doigts plus courts peuvent améliorer les performances si l'on augmente la fréquence de travail.

#### I.4.2.2. Configuration coplanaire

Cette configuration coplanaire de la Figure 13 (c) évite la réalisation complexe des trous métallisés proches du transistor. Deux lignes de 30  $\mu\text{m}$  de large connectent la source du transistor à la masse des plots de mesures GSG. Comme dans les configurations précédentes, des pistes contactent les différents doigts ensemble.

#### I.4.2.3. Configuration différentielle

La configuration différentielle représentée sur la Figure 14 est la dernière proposée pour s'affranchir des trous métallisés le long du doigt de source. Deux transistors sont excités par un signal de grille équilibré, c'est-à-dire par deux signaux de même amplitude mais en opposition de phase. Les trous métallisés ont été placés comme dans la configuration en mode commun autour du transistor, avec une superposition entre les deux transistors. Afin de mesurer ces transistors, des plots GSGSG sont nécessaires ainsi qu'un analyseur vectoriel de réseau à quatre ports. La Figure 14 présente une configuration différentielle utilisant deux transistors à deux cellules.

Afin de s'affranchir de la mesure en quatre ports, il est possible d'utiliser des baluns entrée-sortie ainsi que le montre la Figure 15. Ces éléments passifs combinent deux signaux en opposition de phase en un signal en mode commun et inversement. Ces baluns sont alors utilisés à l'entrée et à la sortie de la structure différentielle afin de la caractériser avec une simple mesure deux ports. Il faut pour cela caractériser ces baluns seuls afin d'être capable de soustraire leur impact sur la mesure, comme cela a été réalisé dans la référence [23].

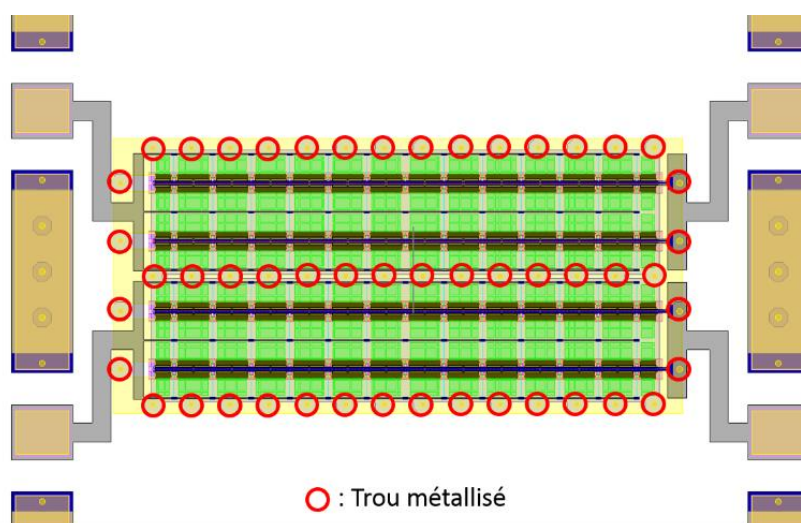


Figure 14 : Dessin d'un transistor LDMOS deux fois deux cellules en configuration différentielle





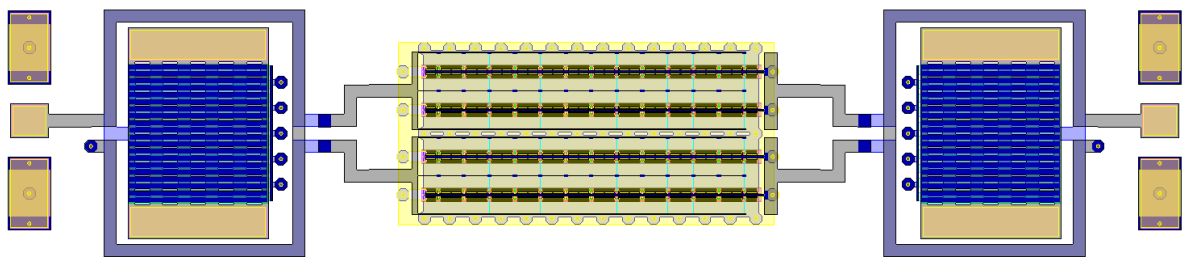


Figure 15 : Deux transistors LDMOS en configuration différentielle agrémentés de baluns

Concernant le choix du balun, les baluns Marchand et Lattice sont conventionnellement utilisés pour les technologies LDMOS sur silicium. Cependant pour des fréquences inférieures à 4 GHz, les deux configurations souffrent d'un problème de taille. D'une part un balun Lattice du second ordre, [24] et [25], est nécessaire pour parvenir à un bon équilibre et une largeur de bande telle que celles spécifiées pour les stations de base. Ce second ordre mène à douze larges éléments physiques très limitant dans notre cas. D'autre part un balun Marchand, [26] et [27], utilise 4 lignes quart d'onde, à savoir, dans notre cas à 2 GHz, environ dix millimètres, ce qui illustre le problème de taille ici. Ces raisons ont conduit à l'utilisation d'un balun transformateur [28] auquel est ajouté une capacité afin d'en améliorer son équilibre. Par nature, le balun transformateur ne laisse pas passer le courant continu. Ainsi des plots ont été ajoutés à la capacité afin de recevoir des pointes amenant le courant continu nécessaire à la polarisation du transistor mesuré.

La Figure 16 (a) montre la mise en cascade de deux baluns afin de les caractériser à l'aide d'une mesure deux ports. A ceci est ajouté, sur la Figure 16 (b), le même balun agrémenté de plots permettant sa mesure en trois ports.

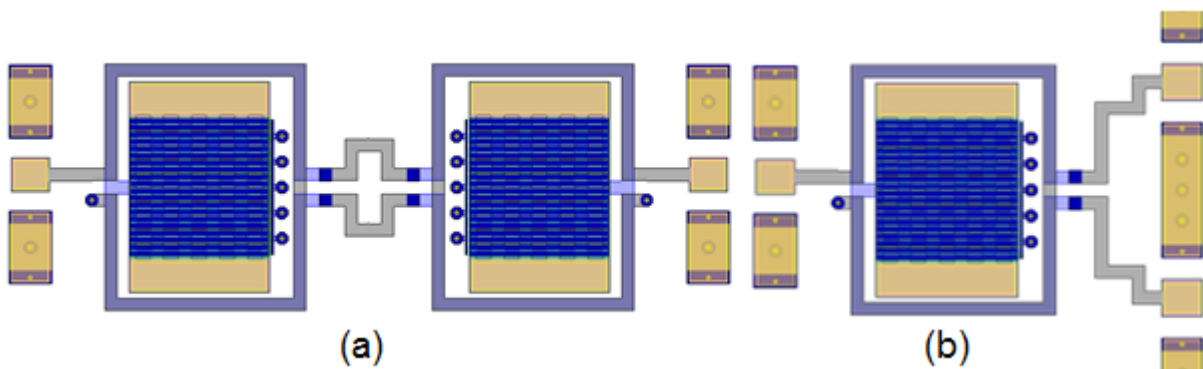


Figure 16 : Dessins des baluns transformateurs pour la mesure cascadée (a) et en trois ports (b)

### I.5. Mesures sous pointes du premier substrat Si HRS en technologie NXP

Les premières investigations menées sur le HRS ont été basées sur des valeurs de résistivité de 100  $\Omega$ .cm et 1 k $\Omega$ .cm. Malheureusement le premier masque réalisé à NXP Semiconductors présentait une résistivité comprise entre 30 et 100  $\Omega$ .cm. La raison étant que pour réaliser le masque, l'équipe technologique s'est servie d'un processus déjà existant



chez un partenaire, amenant à des valeurs de résistivité plus faibles que celles souhaitées au départ.

Afin d'avoir une idée plus précise de la valeur effective de la résistivité, des rétro-simulations ont été effectuées. L'épaisseur du substrat quant à elle est bien de 100  $\mu\text{m}$ . Dans le but d'évaluer les améliorations apportées par le substrat HRS, le même masque a été réalisé sur un substrat à faible résistivité LRS, présentant la même résistivité que la technologie actuelle et dont l'épaisseur sera de 100  $\mu\text{m}$ , afin de rendre la comparaison équitable.

### **I.5.1. Mesures des éléments passifs**

La première plaquette avec un substrat HRS disponible à la mesure ne comprenait que les éléments passifs, ceci afin d'en réduire le temps de fabrication en n'effectuant pas les étapes nécessaires à la réalisation du transistor.

Une première partie montrera les mesures des différents éléments passifs sur cette plaquette. La partie suivante comparera les mesures sur le substrat HRS et les mesures des mêmes éléments sur un substrat LRS.

#### **I.5.1.1. Mesures des éléments passifs sur le substrat HRS**

Les éléments passifs, tels qu'ils ont été placés sur le masque, ont été mesurés sous pointes, Figure 17. Pour recevoir ces pointes, des plots masse-signal-masse ont été placés sur la plaquette et connectés aux éléments passifs à l'aide d'une ligne d'accès. Les mesures réalisées utilisent le standard de calibration TRL, à savoir une terminaison en circuit ouvert ou une connexion à la masse, et une mesure en transmission avec et sans délai.

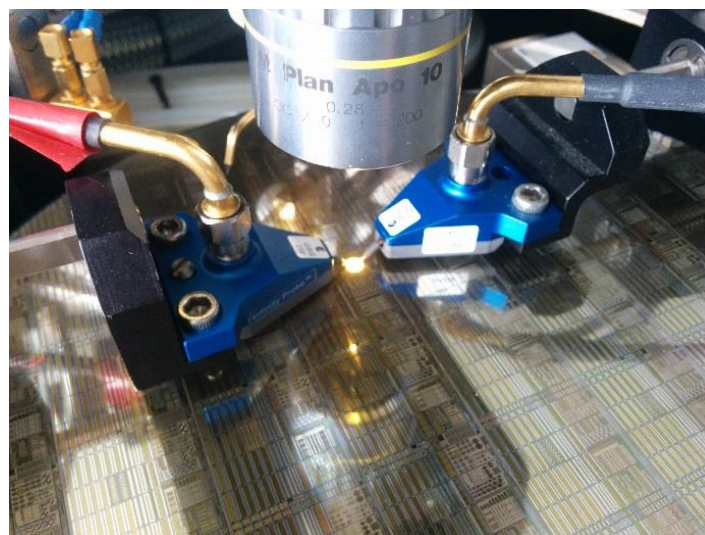


Figure 17 : Photographie des pointes utilisées pour la mesure

Pour commencer, du fait de leur simplicité, les lignes ont été mesurées. De rapides simulations électromagnétiques permettent d'avoir une bonne idée de la résistivité effective du substrat. En effet, la Figure 18 montre le facteur de qualité de deux lignes (a) et (b), respectivement de largeur 5 et 50  $\mu\text{m}$  et d'une longueur de 1000  $\mu\text{m}$ . Les courbes en traits



pleins montrent les facteurs de qualité mesurés, celles en pointillés les facteurs de qualité simulés avec un substrat de résistivité  $30 \Omega \cdot \text{cm}$ .

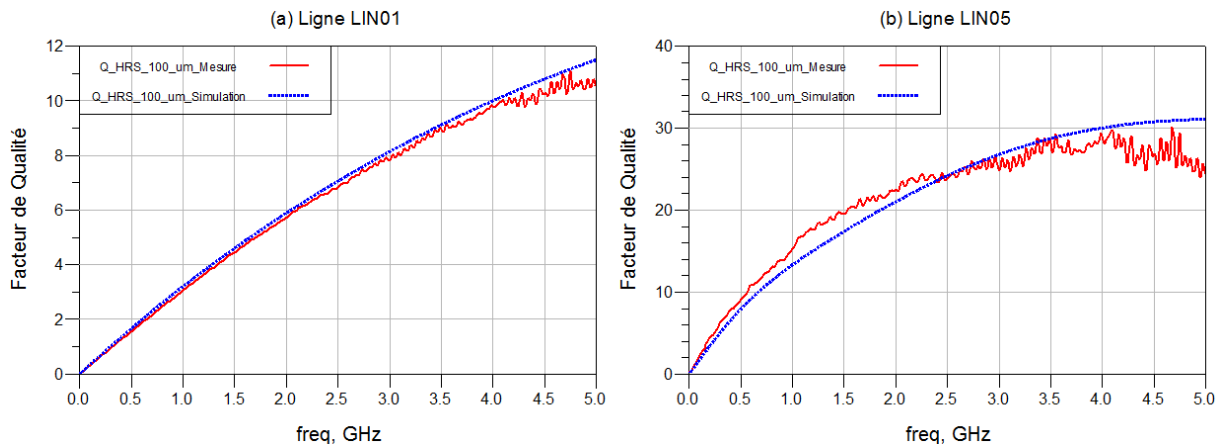


Figure 18 : Facteurs de qualité mesurés et simulés de deux lignes différentes : (a) LIN01  $5 \times 1000 \mu\text{m}^2$  et (b) LIN05  $50 \times 1000 \mu\text{m}^2$

La même comparaison mesure-simulation a été réalisée avec les inductances pour une résistivité de substrat de  $30 \Omega \cdot \text{cm}$ , dont un exemple de mesure est présenté sur la Figure 19. La Figure 20 montre les facteurs de qualité mesurés en traits pleins et simulés en traits pointillés pour deux valeurs d'inductances.

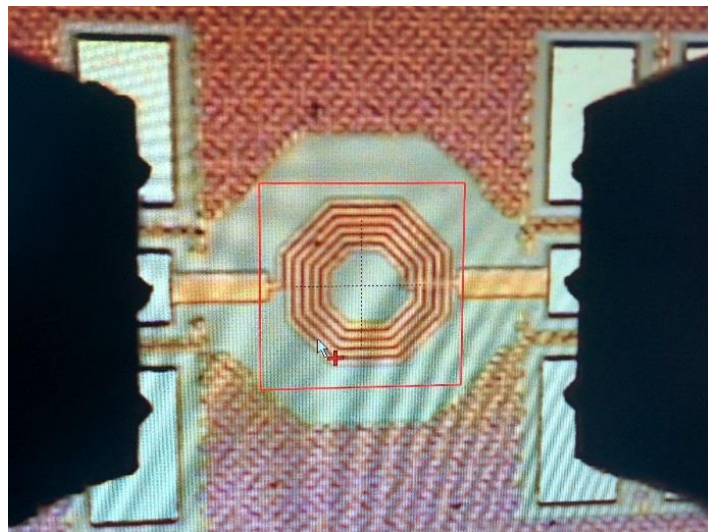


Figure 19 : Photographie au microscope de la mesure sous pointes d'une inductance

Les deux inductances dont les mesures sont présentées ci-dessous, ont le même nombre de tours, le même rayon interne mais une largeur de piste différente. Cette largeur est respectivement de 5 et  $30 \mu\text{m}$  pour les inductances nommées I02 et I08. On constate que le facteur de qualité est meilleur pour une largeur de piste importante, ce qui s'explique simplement par le fait que les pertes sont réduites grâce à une section métallique plus importante.



En comparant la mesure des vingt-sept inductances avec la simulation de ces dernières pour une valeur de résistivité de  $30 \Omega \cdot \text{cm}$ , on peut déduire que la résistivité effective du substrat mesuré est proche de cette valeur. Cela correspond à la valeur faible annoncée par l'équipe technologique.

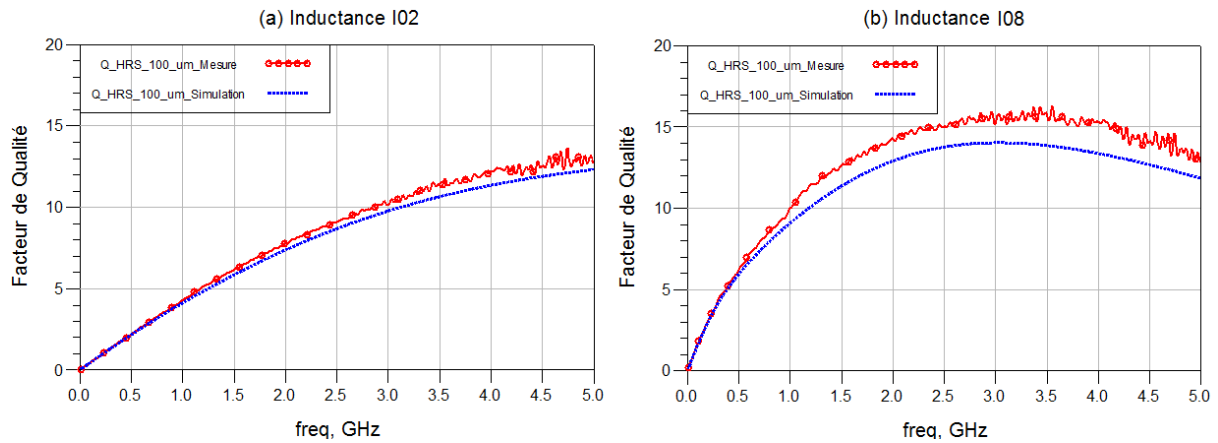


Figure 20 : Facteurs de qualité mesurés et simulés de deux inductances : (a) I02 faisant 2,5 tours avec un rayon interne de  $80 \mu\text{m}$  et une largeur de piste de  $5 \mu\text{m}$  et (b) I08 faisant 2,5 tours avec un rayon interne de  $80 \mu\text{m}$  et une largeur de piste de  $30 \mu\text{m}$

De même, la Figure 21 montre les mesures de deux capacités séries. La plus petite capacité carrée C01 de  $90 \times 90 \mu\text{m}^2$  présente un facteur de qualité plus important que celle de  $210 \times 210 \mu\text{m}^2$  C02 comme on peut le voir sur la Figure 21. Effectivement la capacité C02 étant plus grande, possède plus de pertes, notamment dans les couches métalliques relativement à l'augmentation de la partie capacitive. Il sera intéressant, dans la partie suivante de comparer ces facteurs de qualité à ceux des mêmes capacités mesurées sur le substrat LRS.

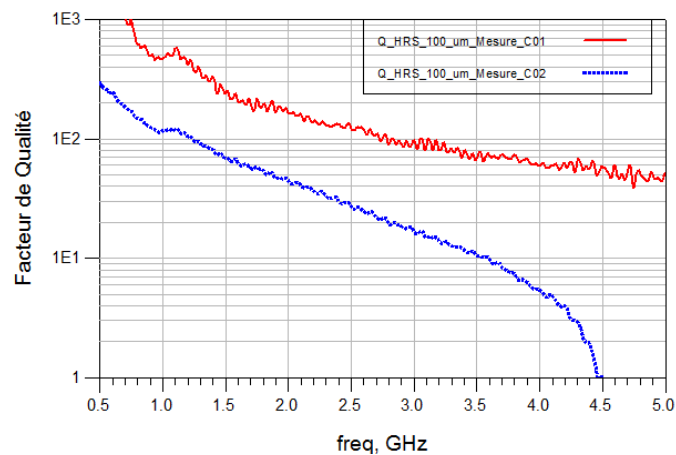


Figure 21 : Facteurs de qualité mesurés de deux capacités mesurées sur HRS : C01 capacité carrée de  $90 \mu\text{m}$  de côté et C02 capacité carrée de  $210 \mu\text{m}$  de côté

Nous avons déjà décrit dans la partie sur la réalisation du masque, les deux techniques de réalisation des capacités à la masse qui utilisent respectivement, une



configuration avec des trous métallisés sous la capacité (Config\_1) et une autre configuration avec ces mêmes trous métallisés sur le bord de l'électrode du bas (Config\_2). Les mesures effectuées vont permettre de comparer les performances des deux configurations.

Comme attendu, la configuration avec les trous métallisés sous la capacité présente de meilleures performances RF, comme on peut le voir sur la Figure 22 (b). En effet le facteur de qualité est meilleur sur toute la plage de fréquence, en mesurant la capacité en réflexion avec un seul port. Il est aussi possible de mesurer la capacité en résonance, dans ce cas avec deux ports et une ligne d'accès entre les deux. On vient alors connecter la capacité au milieu de cette ligne. La Figure 22 (a) montre les mesures de capacités en résonance. La courbe en trait plein de la Figure 22 (a) correspondant à la capacité avec les trous en dessous de cette dernière montre une résonance de la capacité à plus haute fréquence dans le cas de cette configuration comparée à la courbe pointillée qui présente une résonance plus basse et un niveau de pertes plus élevé à la résonance pour la configuration avec les trous sur le bord de l'électrode du bas.

Désormais l'intérêt de ces premières mesures d'éléments passifs sur un substrat HRS est de les comparer à des mesures sur un substrat LRS actuellement utilisé. Avant cela intéressons-nous à la mesure des baluns mis sur le masque sur substrat HRS.

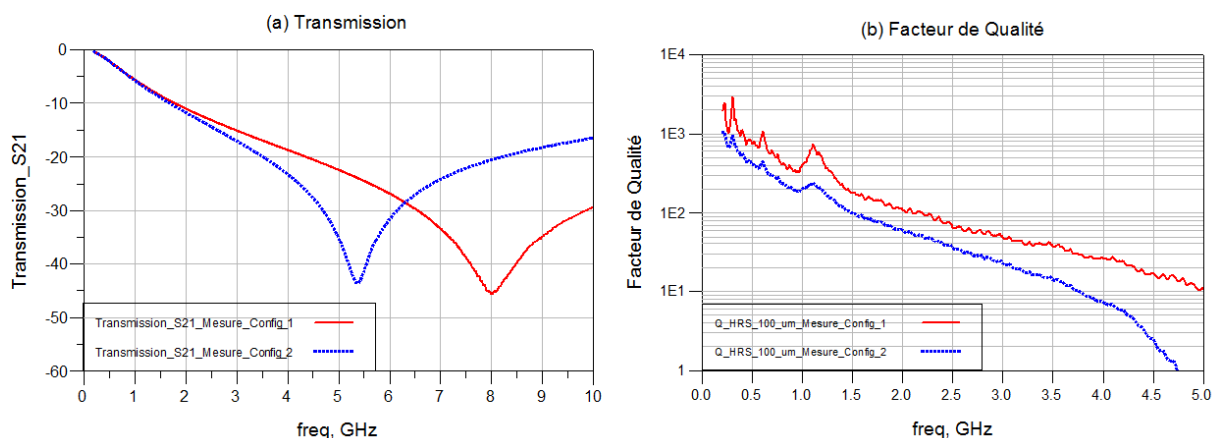


Figure 22 : (a) Coefficient de transmission mesuré et (b) facteur de qualité mesuré de la capacité carrée C02 de 210  $\mu\text{m}$  de côté à la masse dans deux configurations : Config\_1 avec les trous en dessous de la capacité et Config\_2 avec les trous sur le bord de l'électrode du bas

La première mesure réalisée correspond aux baluns cascades précédemment représentés sur la Figure 16 (a). Sur la Figure 23 (a) sont représentés les coefficients de réflexion et de transmission mesurés de l'ensemble formé par les deux baluns cascades. Evidemment l'ensemble n'est pas adapté à 50  $\Omega$ . Pour avoir une idée des pertes réelles de ces baluns on s'intéresse au gain maximum de l'ensemble qui est représenté sur la Figure 23 (b) et correspond à la fonction de transfert de l'ensemble dans le cas où il est adapté. Le minimum de pertes est atteint autour de 5 GHz, avec des pertes légèrement supérieures à 1 dB pour chacun des baluns. Il était attendu des pertes similaires mais plutôt autour de 2 GHz et plus bas en fréquence également.



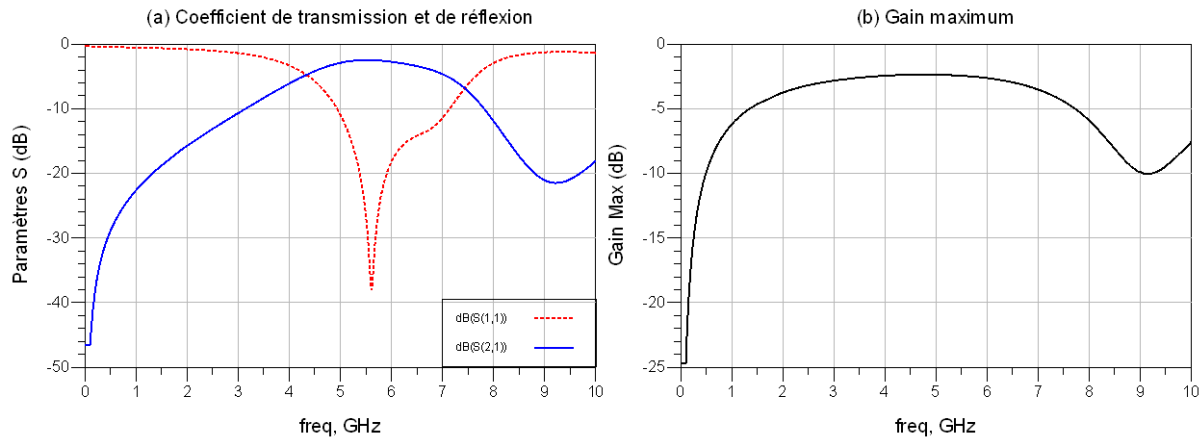


Figure 23 : (a) Paramètres S mesurés et (a) gain maximum mesuré des baluns cascades du masque HRS

Par la suite le balun seul a été mesuré en trois ports. Le but est d'évaluer les pertes du balun seul. Il suffit alors, sur un logiciel adéquate, de cascader cette mesure trois ports avec un modèle de balun idéal. En effet on injecte un signal dans le balun par le port en mode commun, les deux ports différentiels sont recombines à travers un balun idéal et l'on évalue le signal à la sortie du port en mode commun de ce dernier. Il suffit d'évaluer le gain maximum de cet ensemble pour avoir le niveau de pertes réelles du balun. On retrouve sur la Figure 24 le gain maximum de l'ensemble formé par le balun idéal et la mesure du balun en trois ports. On retrouve le même niveau de pertes que dans le cas de la mesure des baluns cascades.

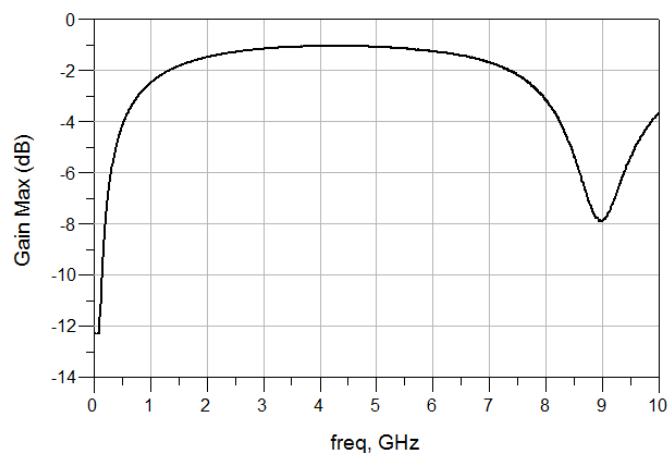


Figure 24 : Gain maximum du balun mesuré en trois ports

### I.5.1.2. Comparaison des mesures HRS avec les mesures sur LRS

Lors de la conception du masque HRS, le LDMOS LRS utilisé par les concepteurs avait une résistivité de 16 mΩ.cm et une épaisseur de 180 μm. A l'heure des mesures des premiers éléments passifs sur substrat à haute résistivité, le LDMOS a évolué et peut être affiné jusqu'à 50μm d'épaisseur. Les premières plaquettes HRS d'une épaisseur de 100 μm ont également été réalisées en substrat à faible résistivité et affiné à 100 μm également afin



de comparer les deux substrats dans les mêmes conditions. Les mesures HRS seront donc comparées aux mesures LRS faisant alors la même épaisseur mais également à des simulations LRS 50  $\mu\text{m}$  pour comparaison.

Le premier élément passif à mesurer est la ligne. Comme on a pu le voir dans la partie concernant la réalisation du masque, six lignes ont été réalisées. Elles mesurent de 1000 à 2000  $\mu\text{m}$  de long pour trois largeurs de piste, à savoir 5, 25 et 50  $\mu\text{m}$ .

Les six lignes présentent le même comportement de telle sorte que les mesures sont présentées pour seulement deux d'entre elles. La Figure 25 (a) correspond à la ligne de largeur 5  $\mu\text{m}$  et de longueur 1000  $\mu\text{m}$  tandis que la Figure 25 (b) correspond à la même longueur mais une largeur de 50  $\mu\text{m}$ .

L'amélioration apportée par le substrat HRS est clairement visible sur ces courbes. En effet le facteur de qualité est amélioré de 50% à 2 GHz dans le cas de la première ligne, et il est même multiplié par cinq dans le cas de la ligne plus large.

La Figure 25 montre aussi une simulation des mêmes lignes sur un substrat LRS affiné à 50  $\mu\text{m}$ . L'apport est considérable pour le facteur de qualité tout en restant moins intéressant que le HRS. Les rétro-simulations effectuées pour le HRS et LRS à 100  $\mu\text{m}$  montrent la fiabilité de la simulation électromagnétique et la définition du substrat affiné à 50  $\mu\text{m}$ . Cependant il serait nécessaire d'effectuer également la mesure sur une plaquette épaisse de 50  $\mu\text{m}$ . Ceci n'a malheureusement pas pu être réalisé dans le cadre de la thèse.

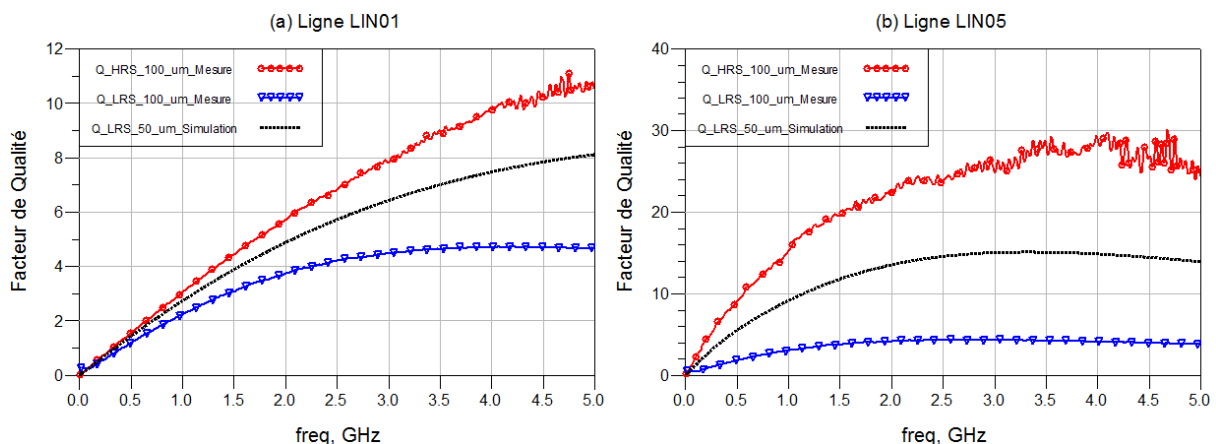


Figure 25 : Facteurs de qualité mesurés en HRS et LRS et simulés de deux lignes : (a) LIN01 5\*1000  $\mu\text{m}^2$  et (b) LIN05 50\*1000  $\mu\text{m}^2$

Ces lignes sont des éléments simples. Intéressons-nous maintenant à d'autres éléments, plus complexes et plus importants que sont les inductances.

Les inductances définies dans la partie concernant la réalisation du masque HRS ont été mesurées. Les résultats sont présentés pour deux inductances de 2.5 tours, avec un rayon interne de 80  $\mu\text{m}$  mais dont la largeur de piste est respectivement de 5 et 30  $\mu\text{m}$  pour les inductances nommées I02 et I08.

De la même façon que pour les lignes, la Figure 26 montre les mesures du facteur de qualité de ces inductances sur HRS et LRS de 100  $\mu\text{m}$  d'épaisseur ainsi que la simulation électromagnétique des mêmes inductances sur un substrat LRS affiné à 50  $\mu\text{m}$ .



Les mesures montrent que le substrat à haute résistivité apporte une nette amélioration du facteur de qualité au-delà de 2 GHz. Si l'on considère un substrat LRS d'une épaisseur de 50  $\mu\text{m}$ , cette amélioration est réduite mais toujours présente. On constate comme lors des simulations que l'amélioration est plus importante à mesure que la fréquence augmente. Ceci est encourageant pour les applications futures qui devraient concerner des bandes de fréquences plus élevées qu'aujourd'hui.

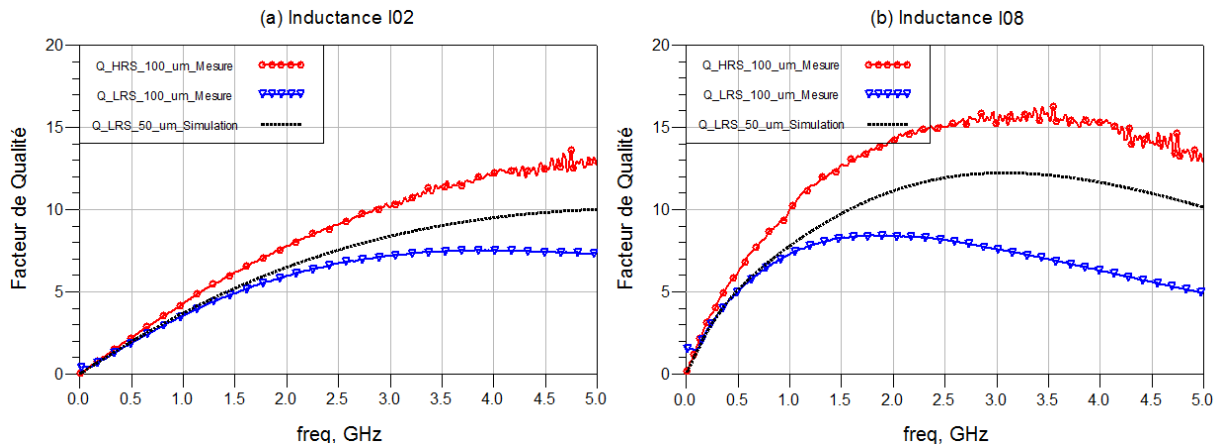


Figure 26 : Facteurs de qualité mesurés en HRS et LRS et simulés de deux inductances : (a) I02 faisant 2,5 tours avec un rayon interne de 80  $\mu\text{m}$  et une largeur de piste de 5  $\mu\text{m}$  et (b) I08 faisant 2,5 tours avec un rayon interne de 80  $\mu\text{m}$  et une largeur de piste de 30  $\mu\text{m}$

La valeur absolue du facteur de qualité seule ne permet pas de déduire l'impact du HRS sur les performances d'un amplificateur complet. Cependant, en se basant sur la conclusion de la partie I.3, l'amélioration apportée par le substrat HRS peut se traduire en une amélioration de quelques dB du gain ainsi que quelques points de rendement. De plus, on peut d'ores et déjà dire que l'intégration du circuit d'adaptation de sortie est impossible si l'on prend en considération que les fils actuellement utilisés, pour faire une préadaptation, ont un facteur de qualité situé entre 50 et 100.

En ce qui concerne la comparaison des substrats pour les capacités, c'est la capacité C02, mesurant 210\*210  $\text{mm}^2$ , qui est choisie. La Figure 27 (a) représente le facteur de qualité de cette capacité. Comme attendu la capacité sur le substrat HRS présente un meilleur facteur de qualité dû au fait qu'il y a moins de pertes dans les capacités parasites à la masse.

Une autre façon de voir l'amélioration apportée par le HRS est celle présentée dans la partie définition du substrat. Elle consiste à simuler la capacité en série à l'aide d'un port 50  $\Omega$  en la chargeant avec une impédance complexe. Ainsi une capacité idéale, ne présentant qu'une partie imaginaire pure, doit permettre selon la fréquence de se déplacer sur l'abaque de Smith le long d'un cercle à résistance constante, ici 50  $\Omega$ . Si la capacité mesurée s'éloigne de ce cercle cela signifie que les capacités parasites prennent le pas. C'était le cas avec le LRS, d'après les simulations de la partie II.1.2. Le même phénomène est observé sur la Figure 27 (b) pour la capacité mesurée sur le substrat LRS alors que celle mesurée sur le substrat HRS ne s'éloigne que peu du cercle à résistance constante. Pour la capacité LRS, la déviation commence autour de 1 GHz. Pour des applications autour de 1 GHz, de 2 GHz et de 2.7 GHz, cela peut poser des problèmes dans la conception des circuits. Ce problème est résolu par l'utilisation du substrat à haute résistivité HRS.





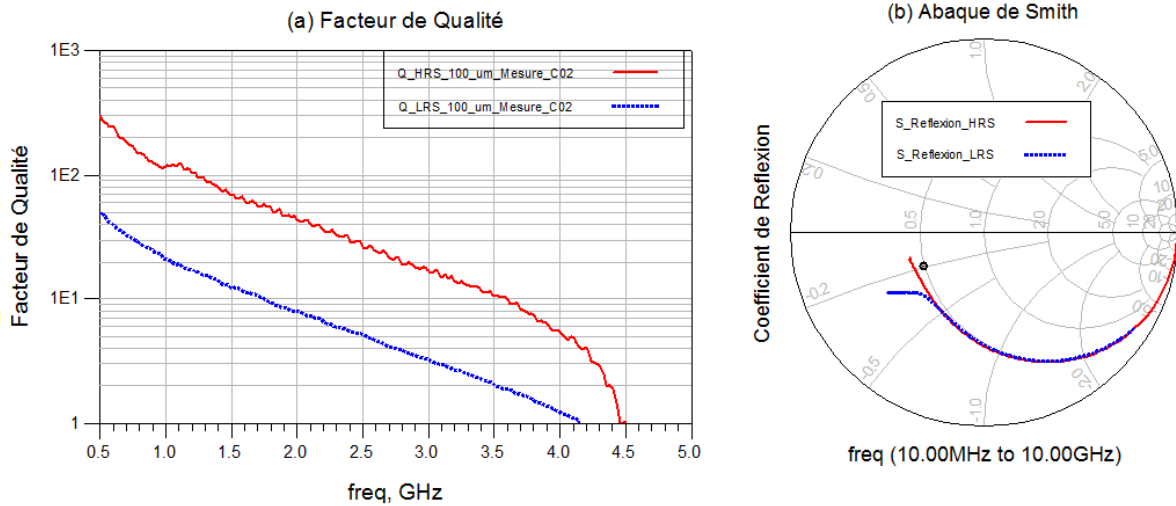


Figure 27 : (a) Comparaison des facteurs de qualité mesurés en LRS et en HRS de la capacité carrée C02 de 210  $\mu\text{m}$  de côté et (b) Coefficient de reflexion de la capacité C02 chargée par une impédance complexe

De la même manière que pour la mesure HRS, la capacité à la masse peut être évaluée en réflexion, comme sur la Figure 28 (a) et on en déduit ainsi son facteur de qualité. On peut également l'observer en résonance, Figure 28 (b). Ici on compare la même capacité réalisée sur les deux substrats, HRS et LRS. La configuration choisie est celle avec les trous métallisés sous la capacité, puisqu'il a été montré précédemment que c'était la configuration présentant les meilleures performances RF. La capacité sur HRS est représentée par les courbes en traits pleins. Dans les deux cas, elle présente de meilleures performances que la même capacité sur substrat LRS. En réflexion, le facteur de qualité est plus important, et en résonance, la capacité présente moins de pertes que celle mesurée sur LRS.

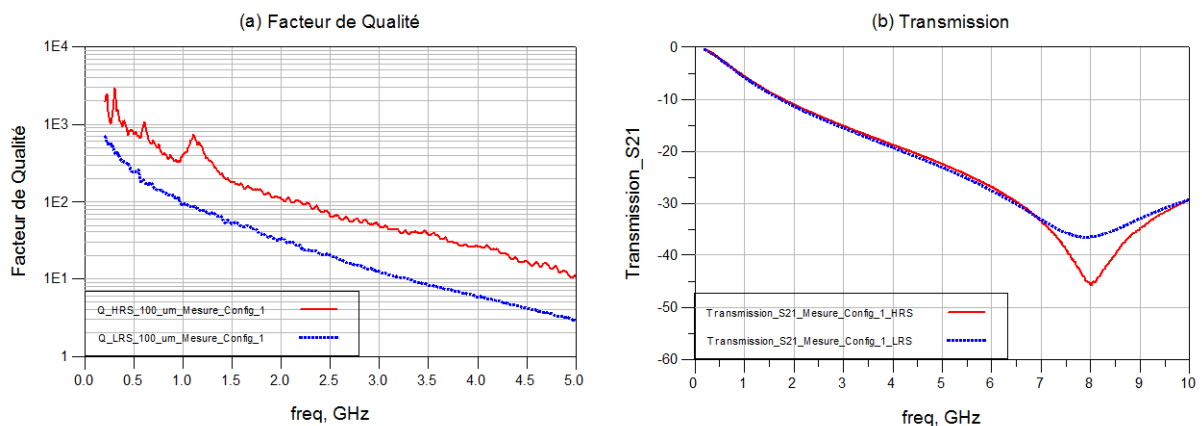


Figure 28 : (a) Facteur de qualité mesuré de la capacité carrée C02 de 210  $\mu\text{m}$  de côté et (b) Transmission de la mesure en résonance de la même capacité C02 mise à la masse par trous sous l'électrode du bas



## I.5.2. Mesures des éléments actifs

On rappelle ici, que le transistor a été réalisé sur le HRS sans optimisation préalable. L'équipe technologique a souhaité évaluer le décalage sur les paramètres intrinsèques du transistor liés au changement de substrat. Les investigations réalisées dans cette thèse consistent à s'affranchir des trous métallisés le long du doigt de source comme il est montré sur la Figure 13 (a), anticipant des soucis de réalisation de ceux-ci ou encore leur impact sur les performances du transistor.

Ainsi, une première partie présentera les mesures en petit signal des configurations proposées de la Figure 13 (b) et (c) en comparaison avec la configuration standard du transistor dans le but d'évaluer l'impact des trous métallisés sur le transistor. Une fois que la fonctionnalité de ces configurations aura été montrée, une seconde partie présentera les performances large signal des différentes configurations sur le HRS comparées à celles obtenues sur un substrat LRS. Le but étant de voir comment le transistor se comporte sur un substrat différent afin de l'optimiser éventuellement.

Pour des raisons de temps et de matériels, la mesure de la configuration différentielle agrémentée de balun en entrée et en sortie, Figure 15, afin de s'affranchir de la mesure quatre ports, n'a pas pu être réalisée. De ce fait, il n'a pas été fait d'investigations supplémentaires sur les mesures des baluns afin de les caractériser et d'enlever leur impact sur cette mesure deux ports des transistors différentiels.

### I.5.2.1. Mesures des paramètres en petit signal

Cette partie présente les mesures en petit signal ou à faible puissance du transistor tel qu'il est conçu aujourd'hui à NXP Semiconductors mais réalisé pour la première fois sur le substrat HRS. Ces mesures seront comparées aux différentes configurations proposées de trous métallisés. Ces configurations en mode commun sans trous métallisés le long du doigt de source (Figure 13 (b)), coplanaires (Figure 13 (c)) et différentielle (Figure 14) sont décrites dans la partie II.3.2. Ces mesures en petit signal ont été réalisées sur une station sous pointes couplée au logiciel de mesure IVCaD.

La Figure 29 présente, pour le transistor quatre cellules, le gain maximum Figure 29 (a) ainsi que le facteur de stabilité Figure 29 (b), deux paramètres petit signal pertinents. La Figure 29 montre que les trois configurations de la Figure 13 présentent quasiment les mêmes performances. Cette comparaison a été faite pour les transistors à une et deux cellules et présente les mêmes conclusions.

Ces résultats sont encourageants. En effet, l'équipe technologique a comparé les paramètres intrinsèques du transistor mesuré sur LRS et HRS, et il y a peu de différence. Le transistor sur HRS n'est pas plus performant, mais le point important étant que sa performance ne soit pas dégradée car ceci implique un gain de temps de développement. De plus, cela donne confiance en la réalisation des trous métallisés, qu'ils soient autour du transistor ou le long du doigt de source.



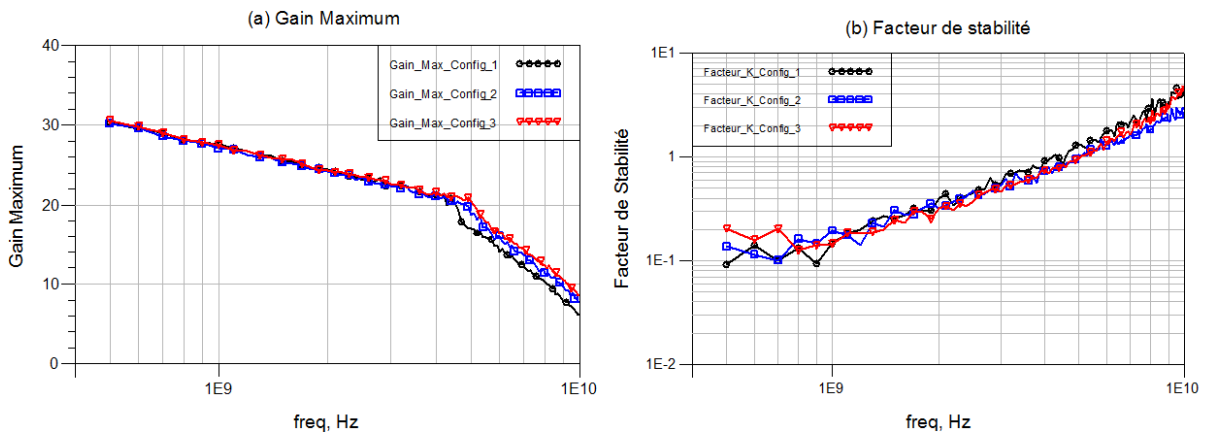


Figure 29 : (a) Gain maximum et (b) facteur de stabilité des transistors quatre cellules. Config\_1 correspond à la Figure 13 (a), Config\_2 à la Figure 13 (b) et Config\_3 à la Figure 13 (c)

Une autre configuration a été proposée, c'est la configuration différentielle. Sa mesure nécessite un analyseur de réseau vectoriel à quatre ports. Ces mesures ont été effectuées sur le site NXP Semiconductors de Nimègue aux Pays-Bas.

L'analyseur de réseau vectoriel quatre ports utilisé permet deux types de mesures quatre ports. La première est une mesure en mode commun à quatre ports, l'autre est une mesure équilibrée où chaque couple de deux ports excite en fonctionnement différentiel le transistor. La comparaison de ces deux mesures est présentée sur la Figure 30 afin d'évaluer la différence en termes de performances des deux excitations. Ces mesures mettent en évidence Figure 30 (a) un gain maximum supérieur de 0.3 dB lors d'une excitation différentielle mais une fréquence de coupure plus basse. De même sur la Figure 30 (b) on observe que le facteur de stabilité est quelque peu supérieur dans le cas d'une excitation différentielle.

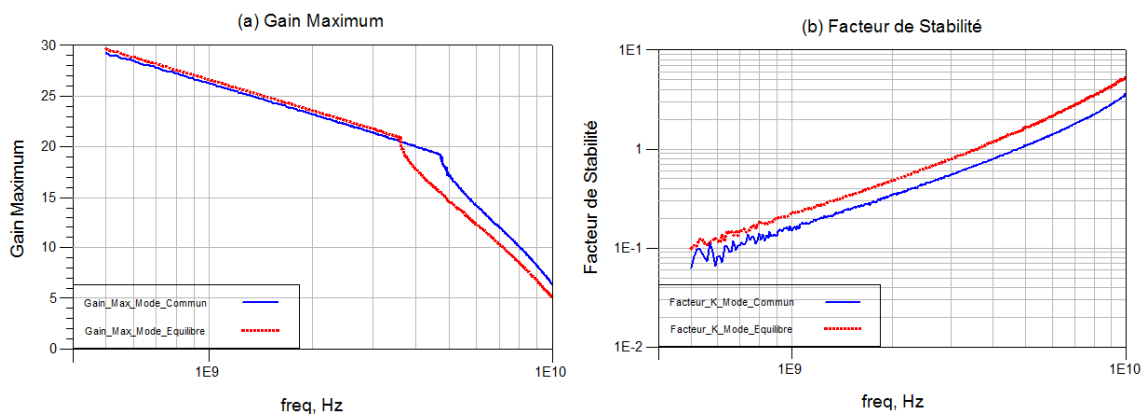


Figure 30 : Comparaison des (a) gains maximums et (b) facteurs de stabilité mesurés de transistors différentielles dans le cas d'une excitation des ports en mode commun ou en mode équilibré

Il est intéressant de comparer les performances d'un transistor en configuration différentielle et d'un transistor de taille équivalente dans une des configurations décrites dans le paragraphe précédent. Pour cela on choisit un transistor de quatre cellules dans la configuration avec les trous métallisés le long du doigt de source (Figure 13 (a)), que l'on compare à une configuration différentielle de deux fois deux cellules. Ainsi les deux



configurations présentent la même périphérie de transistor. La Figure 31 (a) montre une perte de 1 dB pour le gain maximum dans le cas de la configuration différentielle comparé à celle standard ce qui est lié au facteur de stabilité Figure 31 (b) qui est légèrement supérieur pour la configuration différentielle.

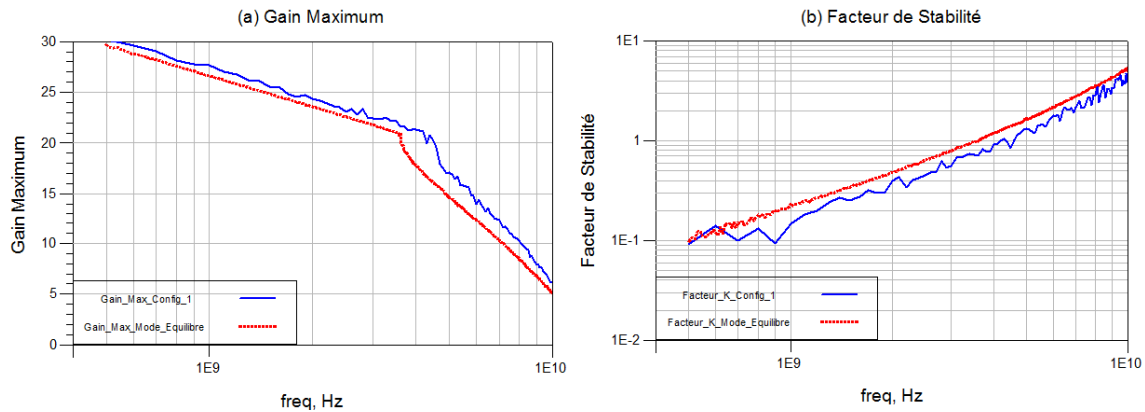


Figure 31 : Comparaison des (a) gains maximums et (b) facteurs de stabilité mesurés du transistor quatre cellules de la Figure 13 (a) et d'un transistor différentielle de deux fois deux cellules excité de façon équilibrée

### I.5.2.2. Mesures des paramètres en large signal

Après avoir montré que le transistor fonctionnait sur le substrat HRS, ce qui confirme la bonne réalisation des trous métallisés, il est intéressant d'en comparer les performances large signal avec le transistor actuel sur LRS. Cette partie présente les mesures load-pull des configurations de transistors en mode commun. Le matériel à disposition ne permettait pas alors de faire une mesure load-pull à quatre ports du transistor en configuration différentielle.

Les mesures load-pull consistent à faire varier l'impédance de charge du transistor afin d'en tirer les performances optimales en termes de puissance, de gain et rendement du transistor. Pour chacune des fréquences mesurées, on effectue un balayage en puissance qui commence proche du petit signal et s'arrête après 3dB de compression. A chaque niveau de puissance, une zone importante d'impédance est balayée en sortie pour la mesure des performances du transistor à chacune d'entre elles.

Cette partie présente les mesures des transistors de quatre cellules avec 6 mm de périphérie. Pour apporter de la confiance dans les mesures, elles ont été réalisées sur plusieurs échantillons de chacune des configurations. De façon pratique, on s'intéresse à deux points d'impédance particuliers. On note MXE l'impédance présentant le maximum de rendement et MXP l'impédance présentant le maximum de puissance. Ces deux points sont analysés pour les applications de station de base à une puissance de sortie à 3dB de compression. Afin de comparer les différentes configurations de transistor réalisées sur les deux substrats HRS et LRS, la Figure 32 montre les maxima de rendement et de puissance de chacun des échantillons.

Une première mesure a été réalisée à 2.7 GHz. A part deux échantillons, l'ensemble des mesures se tient dans 0.5 point de rendement et 0.5 point de puissance, quelle que soit la configuration ou le substrat. A cette fréquence le transistor se comporte de la même façon



sur le substrat HRS que sur le substrat LRS. C'est encourageant car un décalage des performances aurait entraîné une optimisation du transistor et donc un cycle supplémentaire avant de pouvoir concevoir des circuits sur HRS.

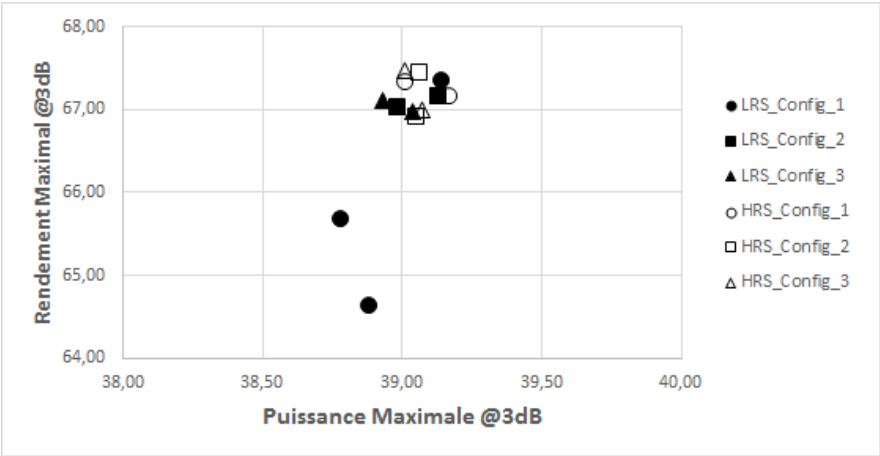


Figure 32 : Rendement et puissance à 3dB de compression à 2.7 GHz  
 Config\_1 correspond à la Figure 13 (a), Config\_2 à la Figure 13 (b) et Config\_3 à la Figure 13 (c)

Le même type de mesure a été effectué à 3.6 GHz. Cette fréquence est au centre de la bande 3.4 GHz – 3.8 GHz, bande télécom où les applications se multiplient. Les résultats sont présentés sur la Figure 33. Avant même les mesures, on peut s'attendre à une baisse du rendement maximum, car il est connu que la technologie LDMOS se rapproche de ses limites à cette fréquence de 3.6 GHz. Cela est vérifié par la mesure de la Figure 33. On voit également que le transistor sur LRS subit plus cette limite fréquentielle que le transistor sur HRS. Les échantillons sur HRS ont un rendement maximum compris entre 64 et 65 % alors que pour le LRS, on atteint 63.5 % de rendement maximum quand la moyenne des échantillons est plutôt autour de 62.5 %. Ce point est très intéressant pour le HRS puisque que les applications ont tendance à monter en fréquence, celui-ci présentant de meilleures performances sur les éléments actifs qui n'étaient pas forcément attendues, contrairement aux améliorations sur les éléments passifs présentées précédemment.

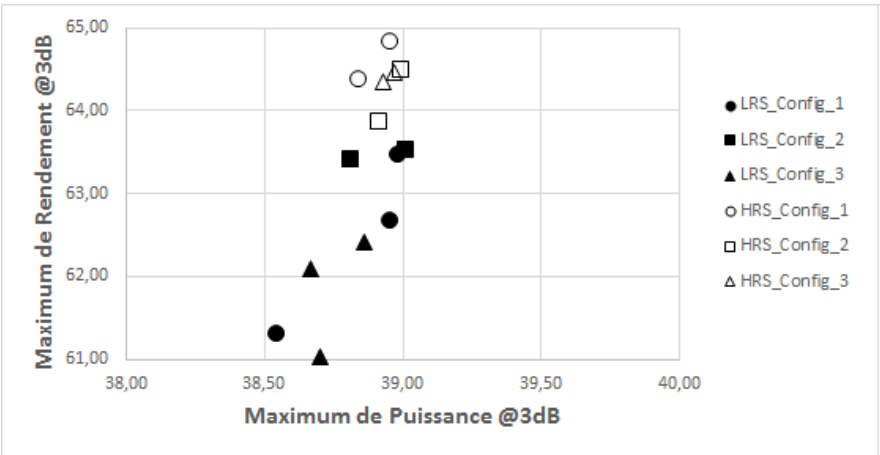


Figure 33 : Rendement et puissance à 3dB de compression à 3.6 GHz  
 Config\_1 correspond à la Figure 13 (a), Config\_2 à la Figure 13 (b) et Config\_3 à la Figure 13 (c)



## I.6. Conclusion

Après avoir décrit le substrat actuel et ses limites, ce premier chapitre a décrit une étape essentielle précédant la conception d'un amplificateur de puissance : la caractérisation des composants actifs et passifs sur un nouveau substrat à haute résistivité. La définition du substrat s'est basée sur des simulations électromagnétiques et sur la capacité technologique de l'entreprise. Un premier masque sur substrat HRS a pu être réalisé et les mesures ont montré une amélioration significative du facteur de qualité des éléments passifs ainsi qu'une amélioration des performances du transistor seul pour des fréquences autour de 3.6 GHz.

Cette amélioration du facteur de qualité des éléments passifs ne permet pas une intégration de l'adaptation de sortie qui est la raison qui motivant ce travail de recherche sur le substrat à haute résistivité. En effet, dans le meilleur des cas, c'est-à-dire pour un substrat avec une couche supplémentaire de cuivre d'une épaisseur de 10  $\mu\text{m}$ , le facteur de qualité des inductances se situe entre 30 et 40 alors que celui des fils actuellement utilisés pour la préadaptation de sortie se situe entre 50 et 100. Une des causes est la valeur de résistivité finale du substrat mesuré, environ 30  $\Omega\cdot\text{cm}$  alors que les recherches à base de simulations se sont portées sur des substrats à 100 voire 1000  $\Omega\cdot\text{cm}$  de résistivité. Toutefois ces valeurs de facteur de qualité permettent la réalisation d'amplificateurs de puissance avec des pertes réduites dans les circuits d'adaptation d'entrée et d'inter-étage.

Pour évaluer l'impact de cette réduction des pertes dans les circuits d'adaptation d'entrée et d'inter-étage, la suite logique était la modélisation des composants sur le substrat HRS. Cependant étant donné le temps de fabrication des masques de substrat HRS, auquel s'ajoute l'incertitude quant à la résistivité du prochain masque qui implique une nouvelle itération afin d'obtenir des modèles, il est devenu très clair qu'il ne serait pas possible dans le cadre de la thèse de réaliser un amplificateur de puissance MMIC sur un substrat à haute résistivité. La décision a alors été prise de concevoir les amplificateurs complets sur le substrat actuel LRS, avec un temps de fabrication maîtrisé et dont des modèles sont d'ores et déjà disponibles. Ce substrat est le LD MOS de NXP Semiconductors, à faible résistivité mais affiné à 50  $\mu\text{m}$ . On s'attachera dans la partie suivante à comparer deux amplificateurs de puissance, l'un en mode commun, l'autre en mode différentiel. L'apport de ces travaux de recherche étant sur la conception de l'amplificateur différentiel.









## Chapitre II. Conception d'amplificateurs RF de puissance

---

### II.1. Introduction

Dans le chapitre précédent nous avons porté nos recherches sur le substrat à haute résistivité HRS. L'amélioration du facteur de qualité des éléments passifs a été montrée bien qu'elle ne permette toujours pas d'intégrer l'adaptation de sortie sur le MMIC. Le challenge technologique de ce nouveau substrat est la réalisation des trous métallisés pour la connexion à la masse. Ainsi, dans nos travaux de thèse, nous avons envisagé d'étudier la configuration différentielle comme une solution alternative à la réalisation des trous métallisés proche des doigts du transistor. Des mesures sous pointes ont d'abord montré le bon fonctionnement du transistor sur ce nouveau substrat HRS, puis de la configuration différentielle, grâce à la mesure à l'analyseur de réseau quatre ports.

Dans le cadre du développement de ce nouveau substrat à haute résistivité, il est apparu que cette configuration différentielle présentait d'autres avantages et notamment sur la bande instantanée qui est un besoin qui découle naturellement de l'augmentation du débit nécessaire pour la transmission de données du réseau de téléphonie mobile. Le travail de recherche porte donc sur la conception de l'amplificateur différentiel. En effet, c'est par l'intégration du balun qui permet la conversion du signal du mode commun au mode différentiel qu'un avantage sur la bande instantanée est attendu.

Etant donné les demandes actuelles sur la bande instantanée, à savoir plusieurs centaines de MHz, ce chapitre va montrer les différents avantages de l'amplificateur différentiel dans une première partie expliquant également l'intérêt de cette structure pour la bande instantanée. Par la suite la conception d'un amplificateur complet est décrite. Une conception détaillée des différents étages d'adaptation est faite. Enfin les analyses en petit et en large signal sont présentées, elles donnent l'ensemble des performances attendues et permettent également d'anticiper d'éventuels problèmes d'oscillations.

#### II.1.1. Intérêts généraux

Dans le but de mettre en avant les différents avantages de la configuration différentielle, nous présentons ici cette structure en ne nous intéressant qu'aux structures balancées à 180° de déphasage. En effet il existe aussi des structures à 90° de déphasage ou autre qui ne seront pas étudiées ici. Les structures balancées sont utilisées pour additionner la puissance de plusieurs dispositifs, comme le montre la Figure 34. Cette structure peut être séparée en deux parties, chacune transportant un signal de même amplitude mais déphasé de 180°. Dans le cas idéal, la différence de phase est maintenue à 180°. Le point milieu entre ces deux parties est alors appelé masse virtuelle, visible sur la Figure 34, et joue un rôle important dans le fonctionnement de cette structure.

Le premier avantage de cette structure fonctionnant en opposition de phase est l'équivalence de la mise en série des transistors qui implique une mise en série des impédances d'entrée et de sortie. En effet, comme le montre la Figure 35, pour deux transistors présentant une impédance de sortie  $Z$ , leur mise en parallèle donne une impédance  $Z_p$  égale à la moitié de  $Z$  alors que leur mise en série donne une impédance  $Z_s$  égale à deux fois  $Z$ . Ainsi, il y a un rapport 4 sur les impédances présentées entre les deux configurations. Ce point est très important car la montée en puissance des amplificateurs implique des valeurs très faibles d'impédances de sortie qui rendent compliqué l'adaptation



de sortie à 50 Ω. Ainsi, pour une même puissance de sortie (même périphérie de transistor), on peut avoir une impédance de sortie quatre fois plus élevée avec le montage différentielle et donc faciliter l'adaptation de sortie.

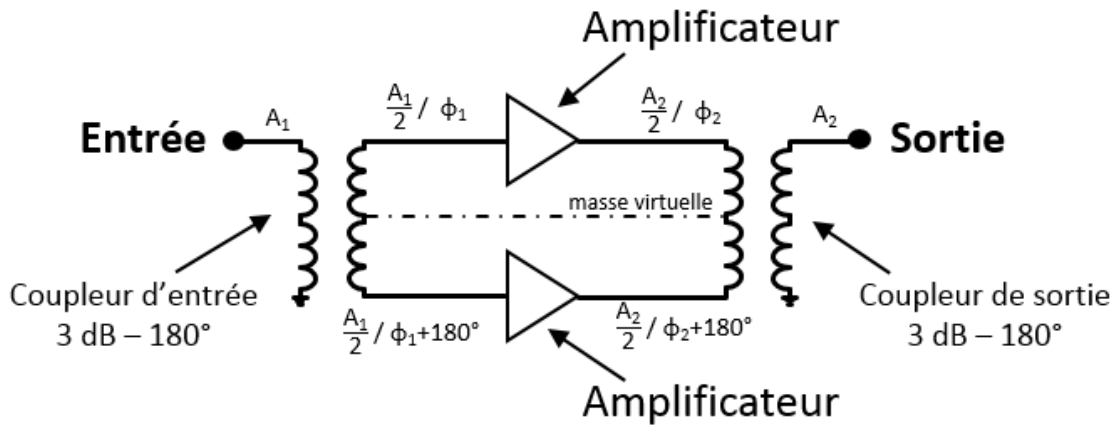


Figure 34 : Schématique d'une structure balancée et mise en évidence de la masse virtuelle par déphasage de 180°

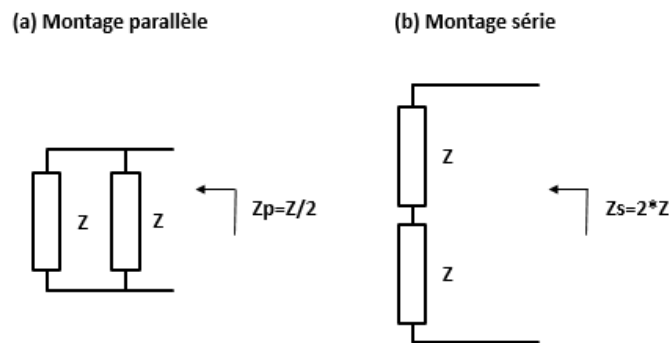


Figure 35 : Comparaison du niveau d'impédance des montages parallèle et série

La configuration différentielle permet théoriquement d'annuler les fréquences harmoniques d'ordre pair comme il est montré dans [29]. En réalité, en considérant un équilibre acceptable mais non parfait, le niveau d'harmonique d'ordre 2 est plus bas que dans une configuration en mode commun participant à une meilleure linéarité de l'amplificateur différentiel. La linéarité est également améliorée comme il est montré dans la référence [30], en comparant le niveau des produits d'intermodulation d'ordre 3 des amplificateurs en mode commun et en mode différentiel.

L'inductance de source ou inductance de mode commun est un parasite important des amplificateurs de puissance. Elle est représentée sur la Figure 36 pour un transistor simple. Dans le cas d'un montage différentiel, parfaitement équilibré, les composantes fondamentales des courants des deux amplificateurs sont égaux mais en opposition de phase. Ainsi, s'ils présentent une inductance de mode commun connectant la source à la masse, une annulation des courants traversant ces dernières a lieu dans le cas idéal. En réalité l'équilibre n'est pas toujours parfait mais la configuration différentielle limite tout de



même les problèmes engendrés par l'inductance de source [31]. La configuration différentielle, notamment du fait qu'elle réduise l'inductance de source permet d'assurer une meilleure stabilité de l'amplificateur de puissance comme il est montré dans [32].

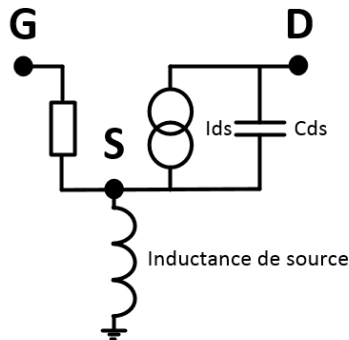


Figure 36 : Schéma d'un transistor LDMOS et de son inductance de source

### II.1.2. Intérêts pour la bande instantanée

La bande instantanée correspond au maximum de signal modulé linéaire qui peut être amplifié sans distorsion asymétrique. Cette bande est plus réduite que la bande RF. En effet, un amplificateur de puissance peut avoir une bande RF de 400 MHz, entre 1.8 et 2.2 GHz par exemple, c'est-à-dire être capable d'amplifier un signal porté par une fréquence entre 1.8 et 2.2 GHz mais ne pas être capable d'amplifier sans distorsion asymétrique un signal de largeur de bande 400 MHz. Il n'amplifie alors instantanément que des canaux de largeur de bande réduite, par exemple 20 MHz ou encore 40 MHz.

#### II.1.2.1. Les limitations de la bande instantanée

La Figure 37 représente le spectre de sortie d'un amplificateur de puissance excité par deux signaux non modulés. Un signal de bande de base (dans ce cas, sa fréquence est égale à l'espacement entre les deux porteuses) apparaît en entrée et en sortie du dispositif actif de telle sorte qu'il génère une modulation d'enveloppe conduisant à une distorsion des produits d'intermodulation d'ordre 3,  $IMD_{3\_B}$  et  $IMD_{3\_H}$ , avec une éventuelle asymétrie entre eux selon la phase de ce signal.

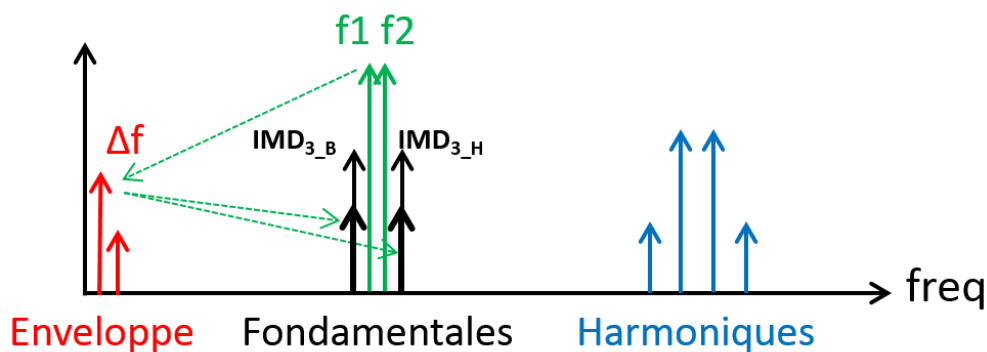


Figure 37 : Spectre de sortie d'un amplificateur RF de puissance excité par deux tons et génération des produits d'intermodulation d'ordre 3 haut et bas :  $IMD_{3\_B}$  et  $IMD_{3\_H}$



La charge passive présentée dans les plans de grille et de drain du transistor impacte cette modulation d'enveloppe. Dans le cas du drain, qui est l'accès le plus contraignant, du fait de la puissance présente par rapport à la grille, cette charge de la source de courant  $I_{ds}$  est constituée de l'ensemble des éléments passifs allant de la capacité intrinsèque  $C_{ds}$  à la sortie  $50 \Omega$ , comme illustré sur la Figure 38 (a). Quelle que soit la topologie, elle peut être représentée en bande de base par un réseau L-C parallèle, Figure 38 (b), où  $L_{eq}$  et  $C_{eq}$  sont fonction de l'ensemble des inductances et capacités connectées entre la source de courant et le découplage de la bande de base. Cette charge  $L_{eq}$ - $C_{eq}$  résonnant en bande de base, combinée à la présence de signaux en bande de base génère une asymétrie [33] dans les produits d'intermodulation d'ordre 3, haut et bas :  $IMD_{3\_B}$  et  $IMD_{3\_H}$ , par modulation d'enveloppe, avec un effet maximum à la résonance de cette impédance vue par la source de courant.

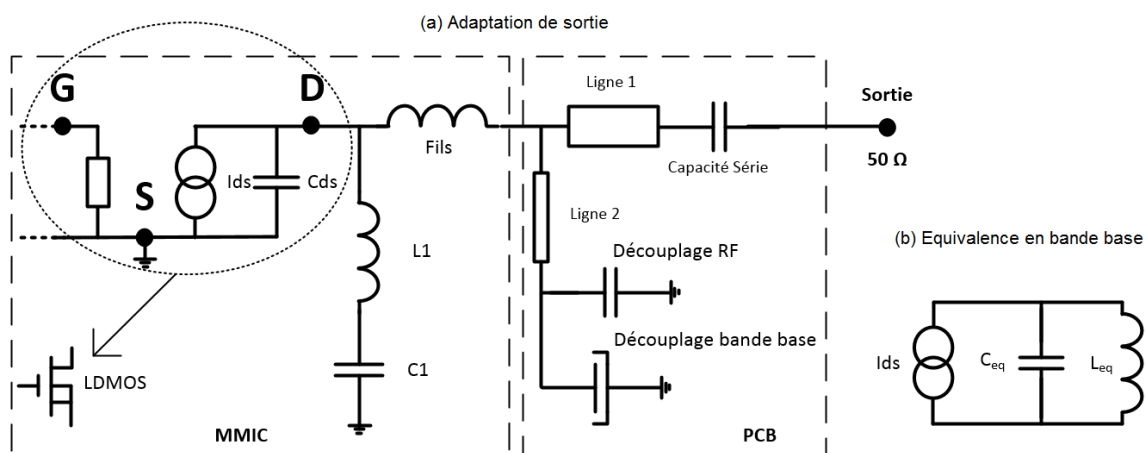


Figure 38 : Schématic standard d'une adaptation de sortie (a) et mise en évidence de l'équivalence en bande de base (b)

Pour avoir une idée de la fréquence où se situe cette résonance, on s'intéresse à la simulation du circuit de la Figure 38 (a). Pour mieux illustrer ce phénomène, une simulation a été réalisée en considérant la conception d'un amplificateur standard en mode commun destiné à la bande 1.8 à 2.2 GHz. Les valeurs des différents éléments passifs de la Figure 38 (a) sont basées sur cette conception. On observe alors Figure 39 l'impédance présentée dans le plan de la source de courant du drain du transistor en fonction de la fréquence. Une première résonance en dessous de la bande d'intérêt autour de 1.7 GHz est observée, ce qui est la pratique conventionnelle afin d'obtenir une bonne adaptation de sortie (résonance de  $L_1$  avec  $C_{ds}$ ), mais on observe également une résonance indésirable entre 100 et 200 MHz selon les valeurs des éléments passifs utilisés. C'est cette résonance qui peut créer une asymétrie dans la distorsion du signal et ainsi limiter la bande instantanée de l'amplificateur. Elle a une influence sur les produits d'intermodulations d'ordre 3. Ainsi, la limitation de la bande instantanée, qui est l'écartement maximal entre les deux fréquences fondamentales, est de l'ordre de la moitié de cette résonance.

Les performances actuelles, de l'état de l'art industriel en télécommunications mobiles, se trouvent limitées à environ 100 MHz de bande instantanée ce qui permet de faire face à des bandes passantes de signal modulé de 60 à 80 MHz, [34], alors que les attentes



pour les futurs systèmes sont d'environ 400 MHz. La performance actuelle étant déjà le résultat d'années d'améliorations technologiques.

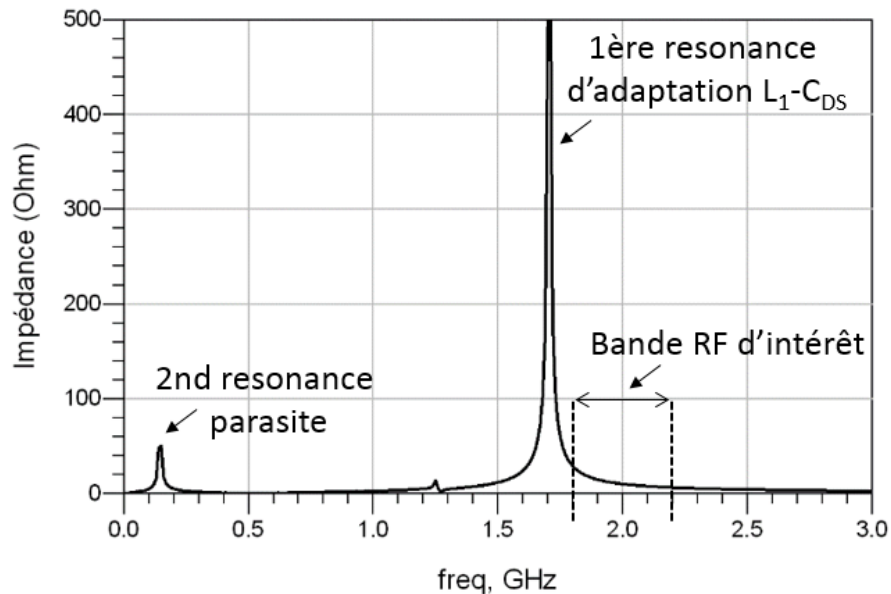


Figure 39 : Impédance vue par le drain du transistor dans le plan la source de courant et mise en évidence de la limitation en bande instantanée

La limitation de la bande instantanée vient majoritairement de la présence d'une capacité de découplage RF à l'intérieur du boîtier, Figure 38 (a), ainsi qu'à la distance électrique entre le plan de source du transistor et le découplage en bande base. Ainsi les solutions de ce problème peuvent consister à réduire ou à retirer la capacité à l'intérieur du boîtier et/ou à réduire la distance électrique entre le découplage en bande base et le plan de la source de courant du transistor. La solution idéale doit avoir pour but d'amener la capacité de découplage en bande base au plus près de la source de courant, c'est-à-dire au bout de la première inductance à la masse.

Les techniques présentées dans la littérature, [35] et [36], ont toutes pour but de réduire au minimum les inductances et capacités afin de monter en fréquence de résonance, ou exprimé différemment, elles visent à amener le découplage de la bande de base aussi proche que possible de la source de courant. Les améliorations de bande instantanée apportées par ces différentes techniques d'adaptation et de découplage bande de base restent très limitées et éloignées des objectifs futurs.

### II.1.2.2. La configuration différentielle comme solution

Une approche différente envisagée pour repousser la limitation en bande instantanée consiste à utiliser des amplificateurs différentiels avec un fonctionnement large bande, à savoir à l'aide de baluns large bande, comme cela est illustré sur la Figure 40, représentant la sortie d'un MMIC en configuration push-pull. La topologie push-pull d'adaptation de sortie utilise une inductance à la masse ayant pour but de résonner avec la capacité de sortie du transistor,  $C_{ds}$ . Le point milieu des deux inductances au nœud A, est alors une masse virtuelle du fait de la configuration différentielle. La mise à la masse virtuelle dans les amplificateurs push-pull est définie comme la couverture en fréquence de bande passante



des baluns. Si les baluns sont large bande, la masse virtuelle s'étend en dessous de la bande RF d'intérêt et notamment en bande base, ce qui permet la connexion d'un découplage en bande de base, au niveau du nœud A, de la Figure 40, via une connexion inductive qui n'impactera pas la résonance de l'impédance précédemment décrite.

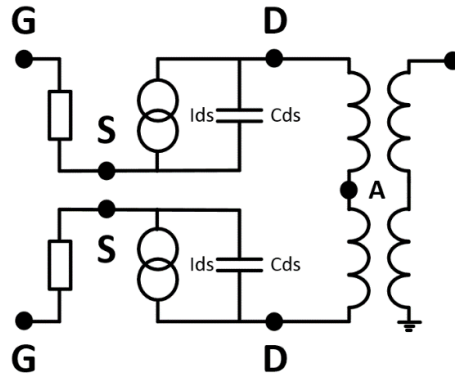


Figure 40 : Schématique différentielle de l'adaptation de sortie

La même simulation que pour le cas du mode commun a été réalisée ici avec la schématique de la Figure 40. Il apparaît sur la Figure 41, la résonance légèrement en dessous de la bande de fréquence d'intérêt, à savoir 1.8 à 2.2 GHz, comme dans le cas de l'amplificateur en mode commun. Cependant la résonance parasite autour de 150 MHz n'est plus visible. Cette configuration permet donc de s'affranchir de l'effet indésirable d'asymétrie créé sur la distorsion précédemment expliquée. Toutefois, les simulations présentées ici dans chacun des cas, utilisent des éléments passifs idéaux, notamment le balun, et l'analyse est faite en fonctionnement petit signal. Il conviendra par la suite d'observer l'effet du caractère non idéal des éléments passifs de la technologie, notamment le balun, ainsi que d'évaluer la bande instantanée en fonctionnement large signal pour les deux configurations proposées.

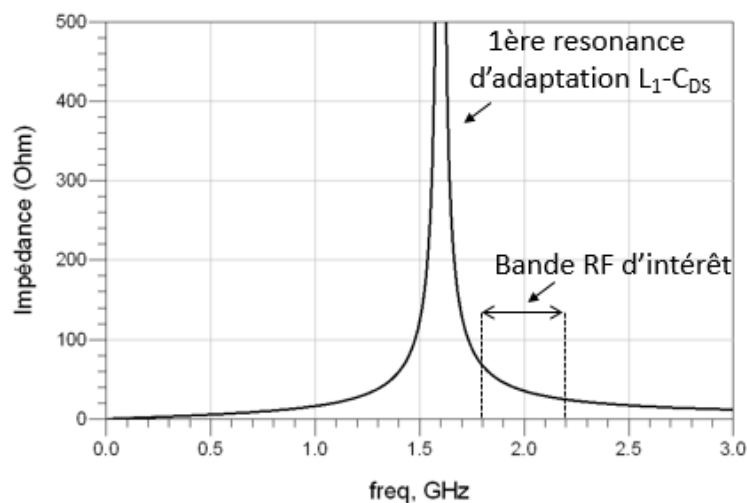


Figure 41 : Impédance vue par le drain du transistor dans le plan la source de courant dans le cas d'une configuration différentielle idéale



Dans le cas de la configuration différentielle, l'impédance présentée dans le plan de la source de courant est indépendante de ce qui est connecté au point milieu A du fait de la masse virtuelle. Ceci est possible si la masse virtuelle reste valide assez bas en fréquence, englobant ainsi la bande base. D'une part, la capacité de découplage RF n'est alors plus nécessaire du fait de cette masse virtuelle, et l'ensemble des éléments nécessaires au découplage en bande base connecté en ce point A sera invisible du drain dans le plan de la source de courant. Cette propriété de la configuration différentielle nécessite un balun large bande en amplitude et en phase. La conception d'un tel balun sera détaillée par la suite.

Afin d'évaluer l'amélioration en bande instantanée de cette configuration différentielle, il est décidé de réaliser un amplificateur en fonctionnement différentiel, ainsi qu'un amplificateur en mode commun. Ces deux amplificateurs utiliseront la même périphérie de transistor dans le but d'en comparer les performances.

## II.2. Conception des amplificateurs MMIC : mode commun et mode différentiel

### II.2.1. Spécifications

Afin de comparer les avantages relatifs des deux configurations sur la bande instantanée, il a donc été décidé de réaliser deux amplificateurs de puissance, en mode commun et en mode différentiel. Pour les raisons évoquées précédemment, le substrat choisi pour concevoir ses amplificateurs est le substrat LDMOS Silicium affiné à 50  $\mu\text{m}$ , actuellement utilisé chez NXP Semiconductors.

En termes de spécifications, le choix se porte bien évidemment sur une application de télécommunications. Ainsi la bande de fréquence visée est celle comprise entre 1.8 et 2.2 GHz où plusieurs bandes télécoms existent. Une puissance crête de 50 W est visée. Ce niveau de puissance est un compromis entre les amplificateurs de fortes puissances [37] pour station de base (macro cells) et la tendance actuelle du réseau à se densifier et ainsi réduire la puissance [38] de chaque station de base (small cells). Le niveau de gain est estimé en fonction des performances actuelles connues de la technologie LDMOS [39] qui va être utilisée pour réaliser ces deux amplificateurs. Pour la bande instantanée dont l'amélioration est attendue par l'utilisation de la structure différentielle, il n'est pas donné de spécification. La conception sera faite dans le but d'atteindre la valeur la plus élevée de bande instantanée. L'ensemble des spécifications est résumé dans le tableau suivant :

Tableau 2 : Spécification pour la conception des amplificateurs de puissance en mode commun et en mode différentiel

Spécifications	Valeur	Unité
Fréquences	1.8 - 2.2	GHz
Gain Linéaire	30	dB
Puissance à 3dB de compression	47	dBm
Rendement à 3dB de compression	50	%
Coefficient de réflexion S11	-10	dB
Bande instantanée	Au mieux	MHz



Le niveau de puissance et le rendement sont donnés à 3 dB de compression, c'est l'usage pour les amplificateurs de puissance destinés au marché des stations de base. Afin d'atteindre les performances demandées en gain, un MMIC de deux étages est nécessaire. Les deux étages consécutifs seront appelés étage driver et étage final.

Prenons en compte ici les contraintes liées au boîtier. Le boîtier choisi est le SOT1211 utilisé au moment des travaux chez NXP Semiconductors. Une coupe de ce boîtier en est représentée sur la Figure 42. Normalement, ce boîtier accueille deux puces MMIC dont les sorties sont reliées chacune sur une des pattes de sorties 15 et 16 de la Figure 42. Dans notre étude, on s'intéresse à un amplificateur différentiel dont l'adaptation de sortie, incluant la recombinaison des deux signaux en opposition de phase, sera réalisée en dehors du boîtier. L'adaptation de sortie externe au boîtier est choisie pour les mêmes raisons qui font que l'adaptation en sortie de l'amplificateur en mode commun n'est pas intégrée car les éléments passifs intégrés ont trop de pertes. De ce fait, il est nécessaire que chacune des deux voies de notre amplificateur différentiel sorte du boîtier par une patte différente, pour ensuite être recombinaisonnées sur un circuit imprimé externe. Cela justifie le choix du boîtier SOT1211 possédant deux pattes de sortie.

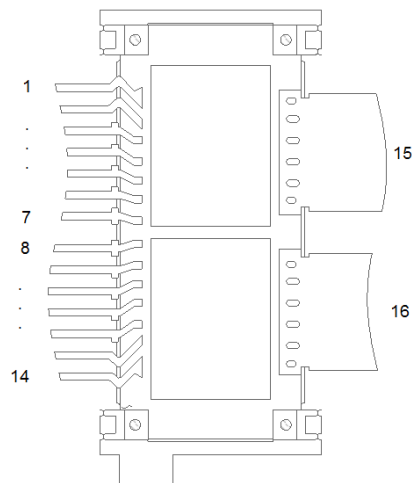


Figure 42 : Coupe schématique du boîtier SOT1211 de NXP Semiconductors

Contrairement à ce qui est fait normalement, c'est-à-dire de mettre deux puces MMIC dans le boîtier, une seule puce sera déposée au milieu de ce boîtier pour chacun des amplificateurs en mode commun et en mode différentiel afin de rendre la comparaison équitable.

Dans le cas de l'amplificateur en mode différentiel les deux blocs finaux en opposition de phase seront recombinaisonnés par un balun de sortie en dehors du boîtier comme le montre la Figure 43 (b), mais l'adaptation d'entrée et le balun d'entrée du mode différentiel seront intégrés sur le MMIC. En effet, à partir de l'entrée RF, patte 7 de la Figure 42, le circuit d'adaptation d'entrée aura pour fonction supplémentaire de diviser le signal en deux signaux de même amplitude mais en opposition de phase pour attaquer chacun des blocs de l'étage driver. La réalisation intégrée de cette fonction sensible est décrite dans la partie II.2.3.

Toujours dans le souci de comparer les deux configurations dans les mêmes conditions, l'amplificateur en mode commun sera également divisé en deux blocs comme le





montre la Figure 43 (a) et chacun des deux blocs sortira du boîtier par une des pattes de sortie. Tout comme pour le différentiel, la fonction de division de la puissance cette fois-ci en phase, sera intégrée et effectuée par le circuit d'adaptation d'entrée. Le dimensionnement des différents étages et la conception des circuits d'adaptation sont décrits dans les parties suivantes.

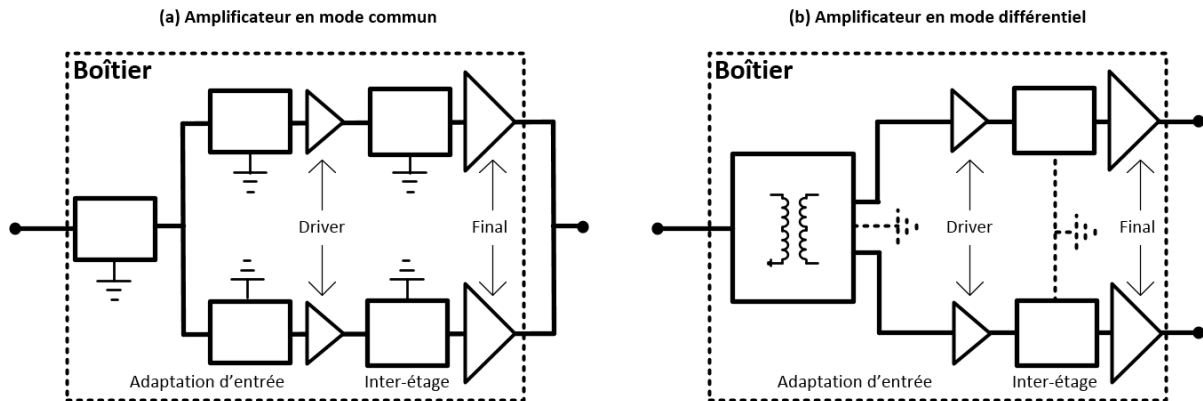


Figure 43 : Schéma bloc de la partie intégrée dans le boîtier des amplificateurs en mode commun (a) et en mode différentielle (b)

## II.2.2. Dimensionnement de l'étage final

La première étape de la conception d'un MMIC est le dimensionnement de l'étage final. En effet, en fonction de la puissance spécifiée et de la densité de puissance de la technologie, on évalue la taille du transistor capable de la délivrer. Normalement, la technologie utilisée est caractérisée et une bonne évaluation de la puissance délivrée par unité de longueur de doigt est obtenue. Cette puissance délivrable dépend un peu de la fréquence et ainsi quelques simulations non linéaires des modèles de fonderie sont réalisées pour avoir une idée plus précise de la taille du transistor et de ses performances.

Une façon simple d'estimer la puissance délivrée par unité de longueur de doigt est de tracer les courbes IV du modèle de transistor. Etant donné notre objectif simultané de rendement, on se place généralement en classe AB proche de la classe B. La puissance délivrable est alors donnée par l'équation suivante :

$$Puissance = \frac{(V_{dd} - V_{knee}) * I_{max}}{4}$$

Ainsi dans notre application, comme le montre la Figure 44 la tension  $V_{dd}$  est fixée à 28 V, la technologie donne un  $V_{knee}$  autour de 8 V, tension autour de laquelle le transistor passe du fonctionnement linéaire au non linéaire, avec un  $I_{max}$  autour de 220 mA/mm. Ainsi, on obtient une densité de puissance de l'ordre de 1.1 W/mm. La spécification en puissance de notre circuit étant de 50 W et le modèle du transistor basé sur 6 mm, il faudrait alors un transistor final de 48 mm, permettant en théorie d'atteindre 47.2 dBm soit un peu plus des 50 W spécifiés.

Une autre façon d'évaluer la capacité en puissance est de faire une simulation load-pull du modèle du transistor. Cette simulation réalisée sur un transistor de 48 mm donne une évaluation proche de la valeur précédemment déduite des courbes IV. La capacité en



puissance maximale est autour de 47.7 dBm, ainsi que le montrent les résultats de simulation load-pull du Tableau 3.

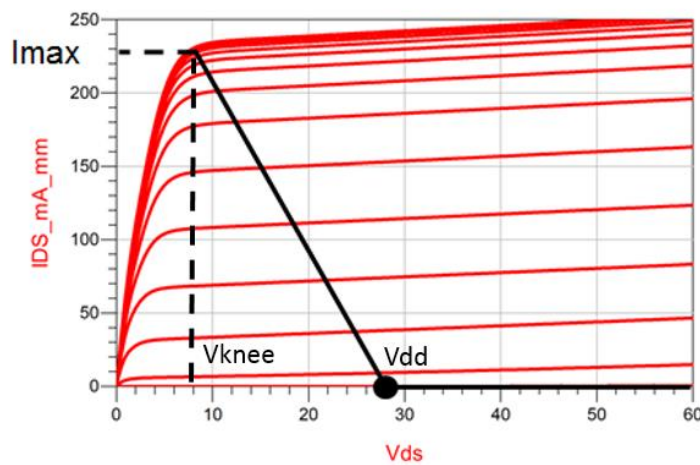


Figure 44 : Courbe IV du modèle de transistor 6 mm utilisé pour la conception

Dans les deux cas de recherche load-pull des optima en puissance et rendement, les pertes de l'adaptation de sortie ne sont pas prises en compte. Une première conception de l'adaptation de sortie requise permet d'évaluer le niveau de pertes dans la bande d'intérêt d'un circuit d'adaptation externe sur circuit imprimé. On cherche ici à obtenir une fonction de transfert plate entre les impédances obtenues d'une simulation load-pull du transistor final de 48 mm et la sortie 50 Ω du circuit imprimé. Cette simulation prend en compte les fils et les pattes de sortie ainsi que l'effet du boîtier.

Tableau 3 : Résultats load-pull simulés du modèle du transistor de 48 mm pour les points d'impédances présentant le maximum de rendement : MXE et le maximum de puissance : MXP

MXE à 3 dB de compression					MXP à 3 dB de compression				
Fréquence (GHz)	Rendement (%)	Puissance (dBm)	Gain (dB)	Impédances (Ω)	Fréquence (GHz)	Puissance (dBm)	Rendement (%)	Gain (dB)	Impédances (Ω)
1700	70,27	44,81	22,11	2,75+j*5,66	1700	47,60	57,47	20,6	3,68+j*1,60
1800	69,79	45,45	21,95	2,60+j*4,94	1800	47,61	54,87	20,11	3,02+j*1,6
1900	69,24	45,42	21,42	2,60+j*4,94	1900	47,75	60,1	20,65	2,80+j*2,23
2000	68,60	46,17	21,17	2,56+j*4,24	2000	47,85	60,58	19,85	2,80+j*2,23
2100	68,30	46,23	20,23	2,56+j*4,24	2100	47,87	60,56	19,37	2,80+j*2,23
2200	67,61	45,8	20,80	1,87+j*4,13	2200	47,92	55,17	17,92	3,02+j*1,56
2300	67,52	45,77	19,77	1,87+j*4,13	2300	47,93	59,93	18,33	2,80+j*2,23



Dans le cas de l'amplificateur en mode commun, la topologie standard d'adaptation est représentée sur la Figure 45. Ce circuit comporte différentes parties : Un pavé (Ligne 1) englobe l'empreinte des deux pattes de sorties du boîtier. La valeur de l'impédance est remontée grâce à une ligne moins large (Ligne 2) et des capacités à la masse (C1). Un découplage capacitif DC est nécessaire et précède une ligne 50  $\Omega$  se terminant par la sortie du circuit imprimé. Pour amener la polarisation,  $V_{dd}$ , qui alimente les drains des transistors de l'étage final, on utilise une ligne quart d'onde partant au plus proche des pattes de sortie du boîtier et se terminant par des capacités de découplage RF et bande base. Une simulation basée sur les modèles passifs donne un niveau de pertes entre 0.2 et 0.3 dB pour ce circuit d'adaptation de sortie.

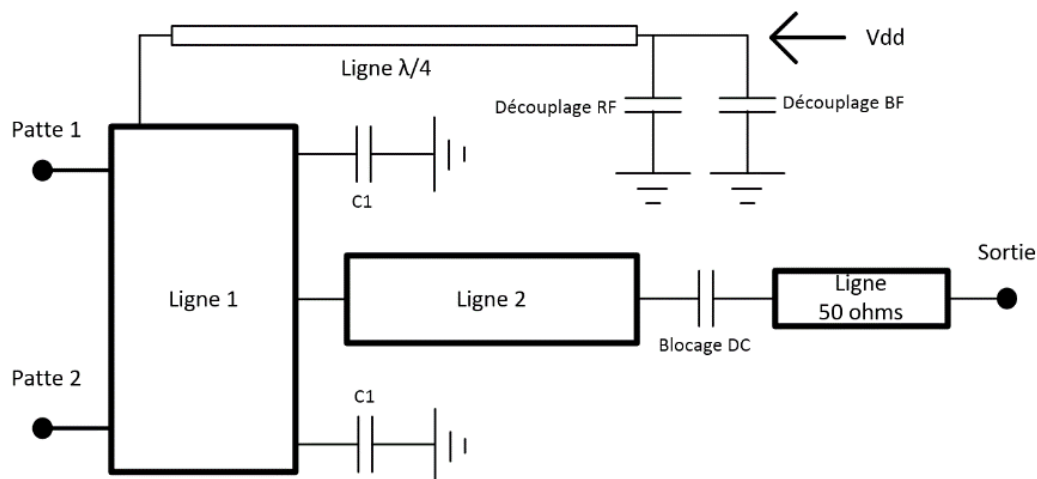


Figure 45 : Circuit d'adaptation de sortie de l'amplificateur en mode commun

Pour l'amplificateur différentiel les deux voies en opposition de phase sortent chacune par une des pattes du boîtier et doivent être recombinaées. Le choix se porte sur un balun commercial dont les entrées différentielles sont à 25  $\Omega$  et la sortie en mode commun à 50  $\Omega$ . Bien qu'il présente des pertes élevées, 0.3 dB dans la bande d'intérêt, le balun effectue également la transformation d'impédance de 25 à 50  $\Omega$ . La transformation de l'impédance présentée par les pattes à 25  $\Omega$  est réalisée grâce à des lignes microstrip (Ligne 1 et Ligne 2) de la Figure 46, L'ensemble du circuit, Figure 46, présente un niveau de pertes situé entre 0.4 et 0.5 dB. Concernant la polarisation, du fait du fonctionnement différentiel, on contacte deux lignes hautes impédances ensemble, Ligne 3 de la Figure 46, afin de former un point de masse virtuelle en RF. Ce point est découplé en bande base et la tension  $V_{dd}$  y est amenée. La longueur de la Ligne 3 étant faible devant la ligne quart d'onde de la configuration en mode commun, c'est une des contributions à l'augmentation de la bande instantanée en mode différentiel.

Ces conceptions en mode commun et en mode différentiel donnent respectivement un niveau de pertes de 0.3 et 0.5 dB. Ainsi pour atteindre 50 W avec le circuit complet, un transistor de 48 mm délivrant autour de 47.2 dBm est le bon choix pour l'étage final. La conception finale de l'adaptation de sortie externe sur circuit imprimé sera réalisée suite à des mesures load-pull des MMICs réalisés. Cette première conception rapide sera tout de même prise en compte lors des simulations de l'amplificateur complet.



Le dimensionnement de l'étage driver prend en compte plusieurs facteurs. Tout d'abord le gain attendu de l'étage final et son niveau de puissance délivrée permettent d'estimer la puissance nécessaire en entrée de l'étage final. Il faut ensuite prendre en compte les pertes de l'adaptation inter-étage. Enfin, le transistor driver doit fonctionner en régime linéaire afin de ne pas limiter la linéarité du circuit complet. En général pour les MMICs conçus chez NXP Semiconductors, un rapport de quatre est appliqué entre la taille de l'étage final et du driver.

Ainsi, l'étage final de 48 mm sera divisé en deux blocs de 24 mm, division nécessaire dans la configuration différentielle, et qui sera également appliquée dans la configuration mode commun afin de sortir de la même manière sur les deux pattes.

L'étage final ainsi divisé en deux blocs de 24 mm implique un étage driver de 12 mm de deux blocs de 6 mm. L'adaptation d'entrée a pour fonction supplémentaire de séparer le signal entrant dans le boîtier en deux signaux égaux joignant chaque bloc driver, en phase pour l'amplificateur en mode commun et en opposition de phase dans le cas du mode différentiel.

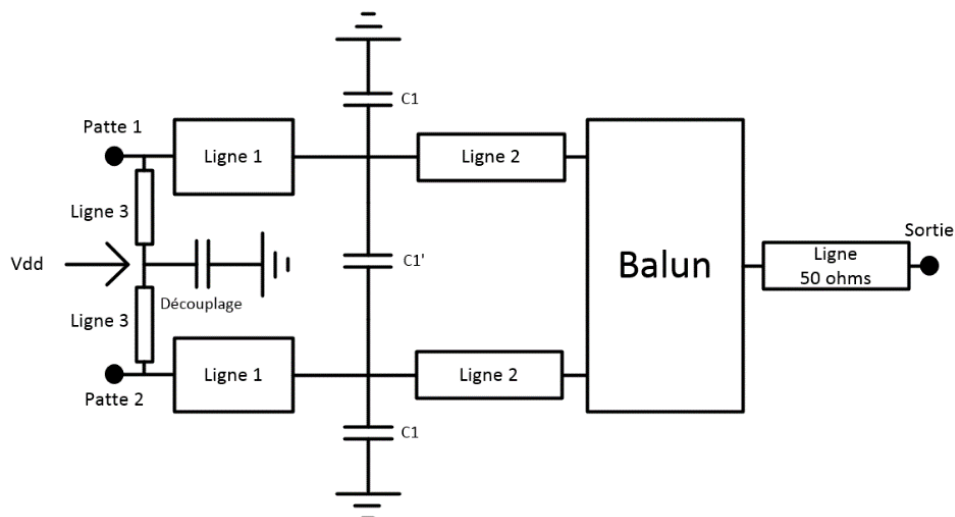


Figure 46 : Circuit d'adaptation de sortie de l'amplificateur en mode différentiel

### II.2.3. Circuit d'adaptation en entrée de l'amplificateur

Le signal d'entrée RF arrive dans le boîtier via la patte 7 Figure 42, elle est contactée sur le circuit imprimé d'une part et reliée dans le boîtier à la puce par un fil. Il faut ensuite amener ce signal sur les grilles des transistors drivers en limitant les pertes. Le but de ce circuit est d'adapter la grille du transistor driver à l'entrée du boîtier qui est à 50  $\Omega$ , tout en assurant la polarisation du transistor et en incluant la compensation thermique du courant de repos, propre au LDMOS.

Cette technologie LDMOS est caractérisée par une valeur importante de  $C_{gs}$ , la capacité grille source du transistor. Une façon convenable d'adapter l'entrée du transistor est de faire résonner cette capacité  $C_{gs}$  avec une inductance à la masse  $L_2$  comme le montre la Figure 47. Cette inductance doit, pour des raisons DC, être découplée. La réalisation de cette capacité de découplage  $C_{dec}$  est limitée en taille par la densité de capacité de la technologie. Cette limitation a comme effet indésirable d'augmenter la valeur d'inductance



alors nécessaire pour faire résonner  $C_{gs}$ . En effet cette capacité n'étant pas parfaite il faut compenser son impédance par une inductance  $L_2'$  supérieure à  $L_2$  afin que l'ensemble  $C_{dec}$ - $L_2'$  résonne  $C_{gs}$ . L'augmentation de la valeur de l'inductance affecte les pertes de l'adaptation d'entrée. La Figure 48 présente la valeur de l'inductance, normalisée à  $L_2$ , nécessaire pour faire résonner  $C_{gs}$  à la fréquence souhaitée en fonction de la valeur de  $C_{dec}$  normalisée à  $C_{gs}$ . Comme attendu, plus la valeur de  $C_{dec}$  est importante, plus la valeur de  $L_2'$  est proche de  $L_2$ . Une valeur de  $C_{dec}$  égale à dix fois celle de  $C_{gs}$  mène à une augmentation de l'inductance nécessaire de 10 %, ce qui est raisonnable.

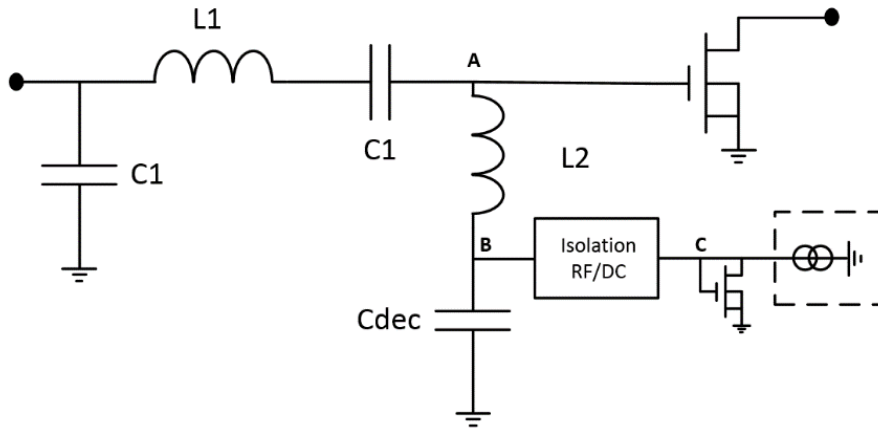


Figure 47 : Schématique de l'adaptation d'entrée de l'amplificateur en mode commun

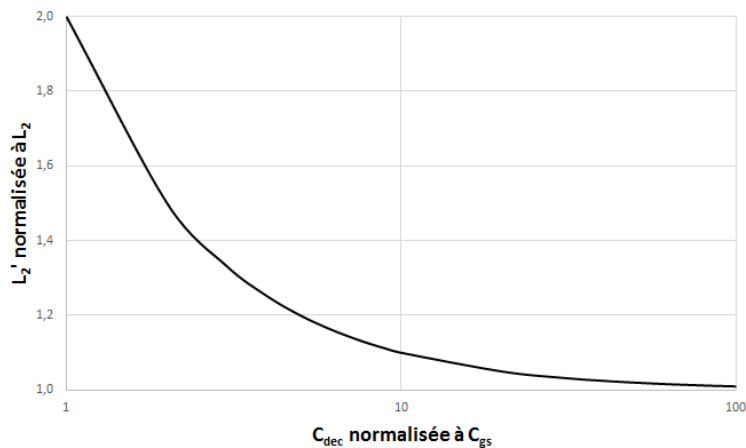


Figure 48 : Inductance nécessaire pour faire résonner  $C_{gs}$  en fonction de la valeur de  $C_{dec}$

La technologie LDMOS utilisée donne une valeur de capacité  $C_{gs}$  de  $1 \text{ pF} \cdot \text{mm}^{-1}$ . Dans notre cas, un transistor driver de 6 mm présente une capacité  $C_{gs}$  de 6 pF. En utilisant un rapport 10 pour  $C_{dec}$  cela mène à une capacité de découplage de 60 pF. Une telle capacité est dessinée sur la Figure 49 (a), Sa taille importante  $500 \times 600 \text{ } \mu\text{m}^2$  pose un problème pour la conception du circuit bien que cette capacité présente un bon découplage comme on peut le voir sur la Figure 50 où l'on évalue la capacité en résonnance. Pour la bande de fréquence d'intérêt, la transmission est inférieure à -25 dB qui est une bonne valeur de découplage.



La taille de cette capacité pouvant poser problème, une autre solution est proposée. Le découplage RF peut être assuré par un circuit L-C. L'avantage étant la taille réduite de celui-ci comme le montre la Figure 49 (b). La Figure 50 montre qu'on obtient des résultats comparables. Ce circuit L-C permet d'être en dessous de -25 dB pour l'ensemble de la bande de fréquence de 1.8 à 2.2 GHz.

A cette adaptation d'entrée, il faut ajouter le circuit de compensation thermique du courant de repos, spécifique au LDMOS. Ce circuit est composé d'un petit transistor où grille et drain sont connectés ensemble. Il est alimenté de l'extérieur par une source courant et la tension DC de la grille est copiée sur la grille du transistor RF qui par similarité électrique et du fait de leur proximité sur la puce auront le même courant de polarisation. La connexion est faite sur le nœud B de la Figure 47, à travers un circuit d'isolation RF/DC nécessaire du fait de la RF résiduelle pouvant être présente suite à un découplage imparfait.

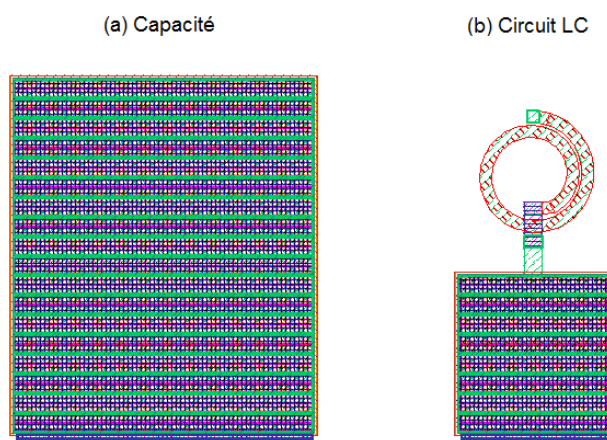


Figure 49 : Dessin de la capacité de découplage et du notch équivalent

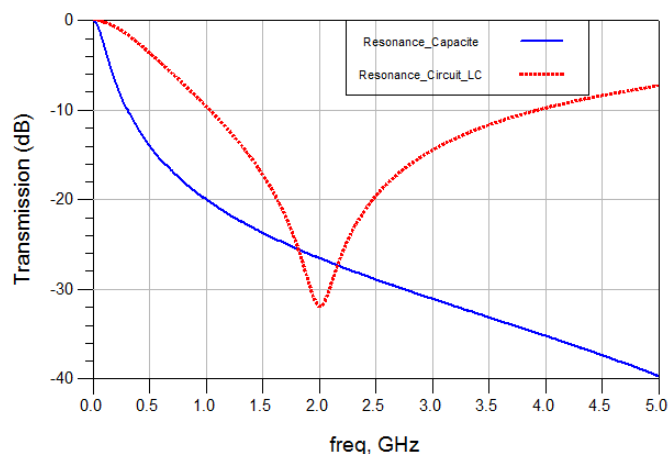


Figure 50 : Transmission en résonance de la capacité de découplage et du circuit L-C

Cette première partie de l'adaptation en parallèle sur le point A de la Figure 47 permet de résonner  $C_{gs}$  et d'inclure la polarisation ainsi que la compensation thermique. Il faut ensuite continuer l'adaptation jusqu'à l'entrée 50  $\Omega$ . Ceci est fait à l'aide de deux



cellules. Une cellule passe haut est constituée par l'inductance à la masse  $L_2$  associée à une capacité série qui réalise de fait l'isolation DC entre la grille du transistor et l'entrée RF. Une cellule passe bas de type  $L_1-C_1$ . L'ensemble des valeurs des éléments réalisant ce circuit d'adaptation est optimisé afin d'avoir une réponse de la fonction de transfert plate dans la bande de fréquence de l'amplificateur. On recherche environ 0.5 voire 1 dB maximum de différence, sur le niveau de pertes entre 1.8 et 2.2 GHz.

La configuration précédente de la Figure 47 est une configuration standard et bien connue. C'est l'adaptation d'entrée de notre amplificateur en mode commun.

Dans la suite, on présente la réalisation de l'adaptation d'entrée d'un amplificateur différentiel. De ce fait, en plus de la fonction adaptation, ce circuit doit également transformer le signal entrant en deux signaux de même amplitude mais en opposition de phase. Cette fonction peut être réalisée à l'aide de baluns, éléments passifs formant deux signaux en opposition de phase à partir d'un signal d'entrée en mode commun et inversement.

Concernant le choix du balun utilisé, comme il a été dit dans la partie 1.4.2.3 les baluns Lattice, [24] et [25], et Marchand, [26] et [27], présentent tous deux une taille trop importante pour être facilement intégrés. Un autre problème réside dans le niveau d'impédance de ces composants passifs. Ces baluns sont conçus pour  $50 \Omega$  sur le côté mode commun, et  $25 \Omega$  sur les côtés équilibrés. Ceci correspond à une différence claire entre la fonction d'adaptation (grille du transistor à  $25 \Omega$ ) et la fonction de séparation du signal d'entrée en deux signaux en opposition de phase. Comme il sera démontré plus loin, cette configuration (balun 25-50  $\Omega$ ) n'est pas l'optimale concernant la taille, du fait qu'une combinaison des deux fonctions à réaliser est possible.

La nouveauté présentée ici réside dans l'utilisation d'un balun très large bande avec un bon équilibre ce qui rend la conception d'un amplificateur push-pull plus facile et plus cohérente. De plus, ce balun est intégré à l'adaptation d'entrée entre le plan de grille du transistor et l'entrée  $50 \Omega$ . Le balun proposé est un balun transformateur [40] et [41], réalisé à l'aide de lignes de transmission très courtes par rapport à la longueur d'onde ( $600 \mu\text{m}$  de longueur physique par rapport à une longueur  $\lambda/4$  d'environ 10 mm à 2 GHz) qui fournit un comportement large bande inhérent. Pour réaliser ce balun, la couche métallique du primaire, réalisée sur métal 5, est connectée à l'entrée du signal et se termine avec une connexion à la masse. En dessous, le secondaire, réalisé sur métal 4, est une ligne se terminant par les ports 2 et 3, comme représenté sur la Figure 51.

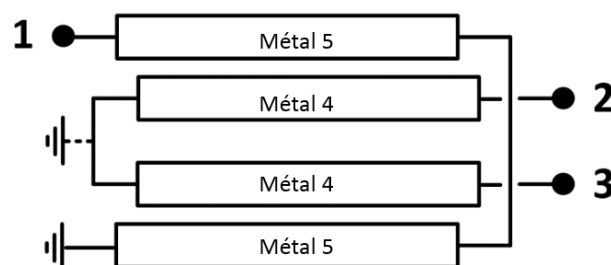


Figure 51 : Schéma électrique du balun transformateur simulé

Le balun transformateur montre de très bonnes performances simulées en équilibre, comme indiqué sur la Figure 52. Dans la bande d'intérêt, le déséquilibre d'amplitude est de



0,2 dB et le déséquilibre de phase maximum est de 5°. En se basant sur les conclusions de l'annexe 1, ces déséquilibres sont acceptables pour la réalisation du mode différentiel. À 2 GHz, les pertes du balun sont d'environ 3,3 dB, pertes importantes à première vue mais il sera montré par la suite qu'en intégrant le balun au circuit d'adaptation, ces pertes sont convenables.

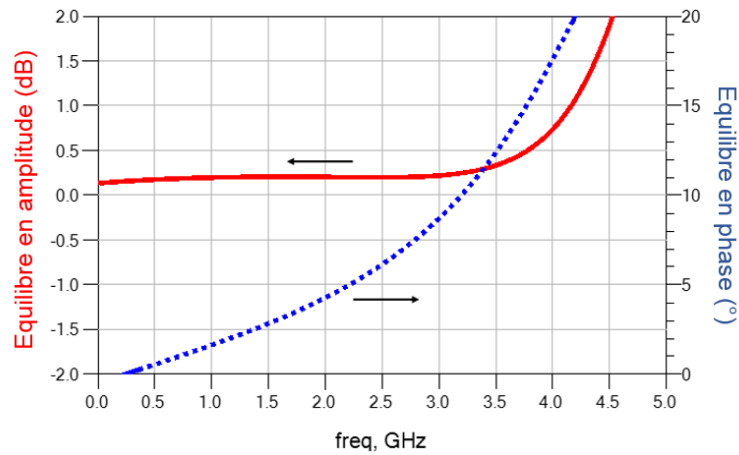


Figure 52 : Equilibre en amplitude et en phase du balun transformateur simulé

Ce balun transformateur est utilisé dans le circuit d'adaptation d'entrée au plus proche des grilles des transistors du fait de sa nature inductive qui permet de faire résonner  $C_{gs}$ , comme expliqué dans la partie précédente. Une fois le balun optimisé, il faut une longueur de ligne supplémentaire  $L_2'$  afin de présenter l'inductance nécessaire pour faire résonner  $C_{gs}$  comme le montre la Figure 53 (b). L'ensemble peut ainsi être utilisé en tant que premier élément d'adaptation. La masse virtuelle B de la Figure 53 (b) fournit maintenant un point de connexion naturel pour la polarisation et la compensation thermique. Il suffit ensuite d'une cellule passe bas  $L_1' - C_1'$  pour finir l'adaptation 50  $\Omega$  de l'entrée. Le blocage DC est réalisé par le balun lui-même. Le schéma est présenté Figure 53 (b).

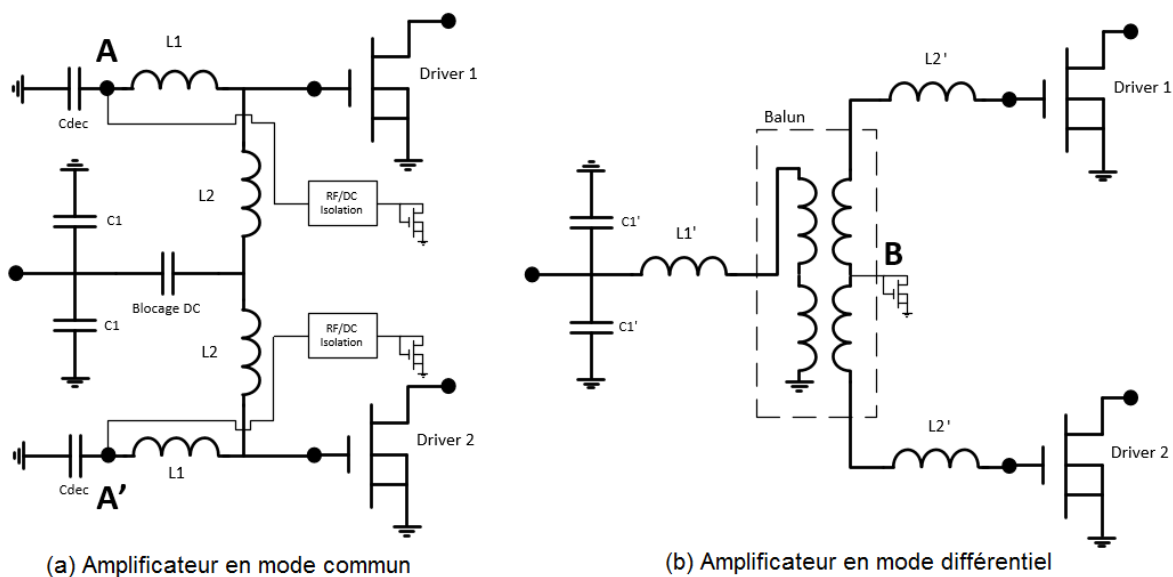


Figure 53 : Schéma des adaptations d'entrée en mode commun et différentiel





Dans le but de montrer les avantages et inconvénients de la configuration différentielle, une comparaison a été faite des deux conceptions précédemment décrites, une en mode commun et une en mode différentiel. Chaque conception utilise la même périphérie de transistor et vise la même bande de fréquence. La Figure 53 (a) montre donc la schématique correspondant à l'adaptation d'entrée en mode commun modifiée afin d'atteindre les deux blocs driver. La Figure 53 (b) met en évidence la simplicité de la configuration différentielle due à l'utilisation d'une partie du balun pour faire résonner  $C_{gs}$ , à la suppression de la capacité série de découplage DC. La simplification de la polarisation sera discutée plus tard.

La première comparaison concerne le niveau de pertes dans cette adaptation d'entrée, des grilles de l'étage driver à l'entrée  $50 \Omega$ . Comme montré sur la Figure 54, le niveau de pertes est équivalent dans les deux configurations. Bien que simplifié, la version différentielle contient des pertes notamment dans le balun. Cependant en utilisant celui-ci dans l'adaptation, en plus de sa fonction de conversion du signal, cela permet de limiter les pertes globales et d'atteindre le même niveau de pertes que dans la configuration standard en mode commun alors qu'une fonction supplémentaire est réalisée.

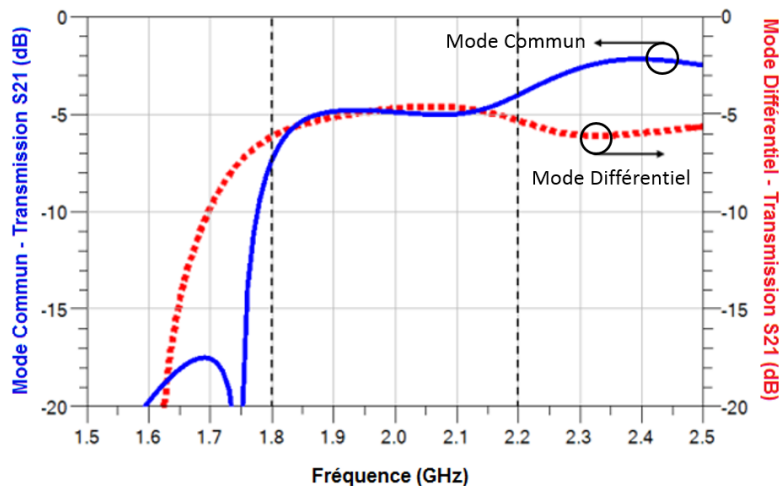


Figure 54 : Niveau de pertes dans l'adaptation d'entrée des amplificateurs en mode commun et en mode différentiel

La comparaison suivante concerne la polarisation des grilles de l'étage driver. Un des avantages de la configuration différentielle est la qualité de la masse virtuelle, liée aux performances du balun utilisé, simplifiant alors le circuit de polarisation. La Figure 55 montre la tension RF résiduelle sur le nœud de découplage dans chacune des configurations, respectivement les nœuds A et B de la Figure 53 (a) et (b) pour le mode commun et le mode différentiel et ce pour les deux fréquences extrêmes de notre bande. À ces nœuds, on souhaite connecter le transistor de petite taille qui permet la compensation en température du courant de repos. Le ratio de 1 pour 10 entre les deux versions permet de retirer le circuit d'isolation RF/DC dans la configuration différentielle alors qu'il est nécessaire dans celle en mode commun.

Ensuite, un autre avantage du mode différentiel est la compacité de la conception. Ceci est illustré sur la Figure 56. On démontre une réduction autour de 50 % de la place occupée par l'adaptation d'entrée et les transistors du bloc driver.



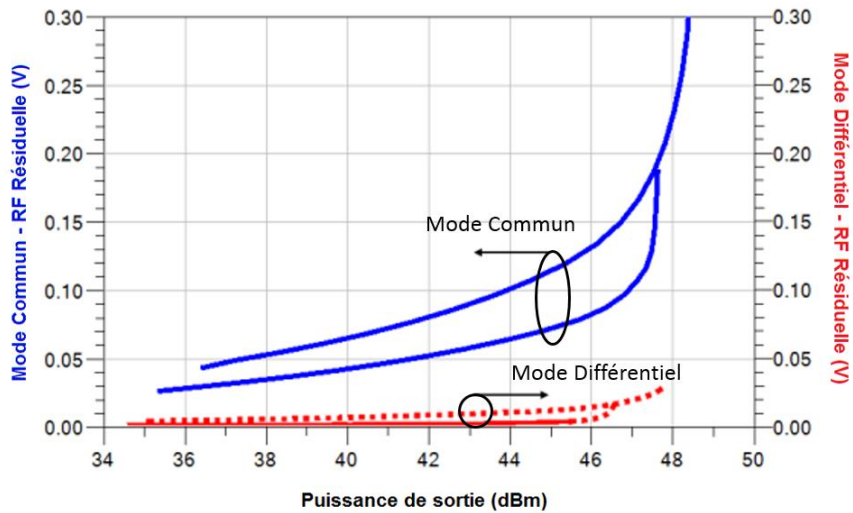


Figure 55 : Puissance RF résiduelle sur les noeuds découplés entre mode commun et mode différentiel

Enfin, le dernier avantage de la configuration différentielle est le temps de simulation électromagnétique économisé. En effet, la majeure partie du temps de simulation électromagnétique provient des capacités. Celles-ci sont réalisées, pour des raisons technologiques, par des grilles de métal plutôt que par des plans, cela implique un temps de simulation bien plus important du fait du maillage. La configuration différentielle permet de retirer les capacités à la masse ainsi que la capacité série faisant office de blocage DC. De ce fait, la simulation électromagnétique de l'adaptation d'entrée complète est possible en mode différentiel alors que ce n'était pas le cas pour le mode commun.

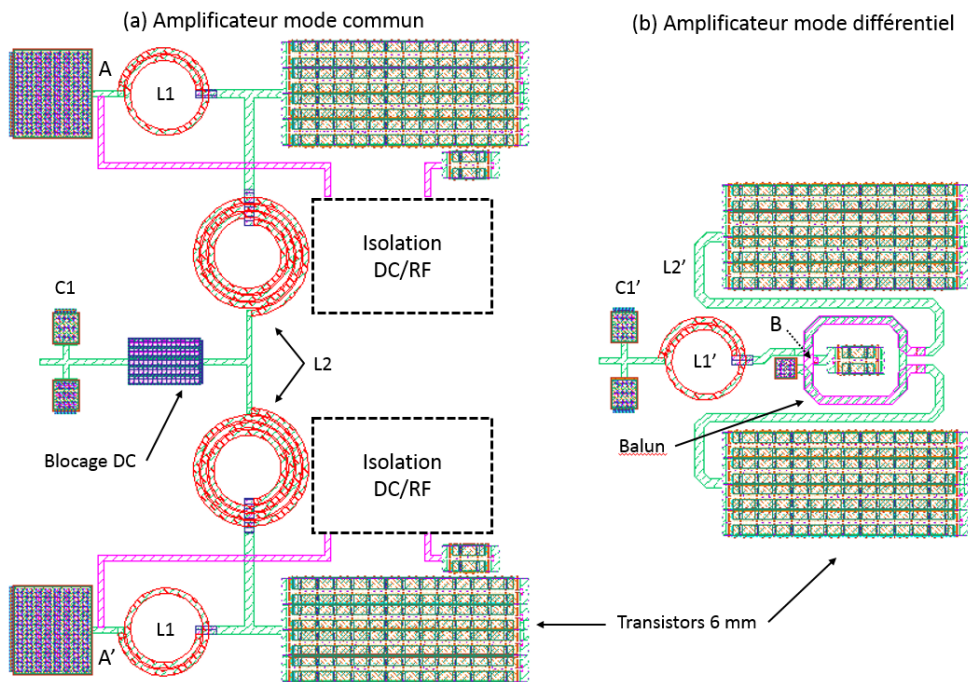


Figure 56 : Dessin de l'adaptation d'entrée des amplificateurs



## II.2.4. Circuit d'adaptation inter-étage de l'amplificateur

Le circuit d'adaptation inter-étage a pour but d'adapter en impédance, les drains des transistors de l'étage driver avec les grilles des transistors de l'étage final et dans le même temps assurer la polarisation et l'isolation DC de chaque côté. C'est pourquoi ce circuit doit comporter une capacité série ainsi que des inductances à la masse découplées en RF afin de découpler les alimentations  $V_{ds1}$  pour le drain du transistor de l'étage driver et  $V_{gs2}$  pour la grille du transistor de l'étage final. Une topologie souvent utilisée consiste à ajouter une inductance série à ce circuit. Cet ensemble représenté sur la Figure 57 pour le mode commun permet de limiter les pertes et d'obtenir une réponse plate de la fonction de transfert dans la bande de fréquence souhaitée de 1.8 à 2.2 GHz.

Pour la configuration différentielle, la même topologie que pour l'amplificateur en mode commun est utilisée comme le présente la Figure 58. Du fait du fonctionnement en mode différentiel des simplifications sont possibles. Les inductances à la masse, pour être découplées en RF, n'ont besoin que d'être connectées ensemble afin de former une masse virtuelle en RF, sur les nœuds D et E de la Figure 58, du fait du fonctionnement large bande du balun utilisé. A noter que la compensation thermique n'est pas représentée ici pour l'étage final mais sera bien présente sur la puce.

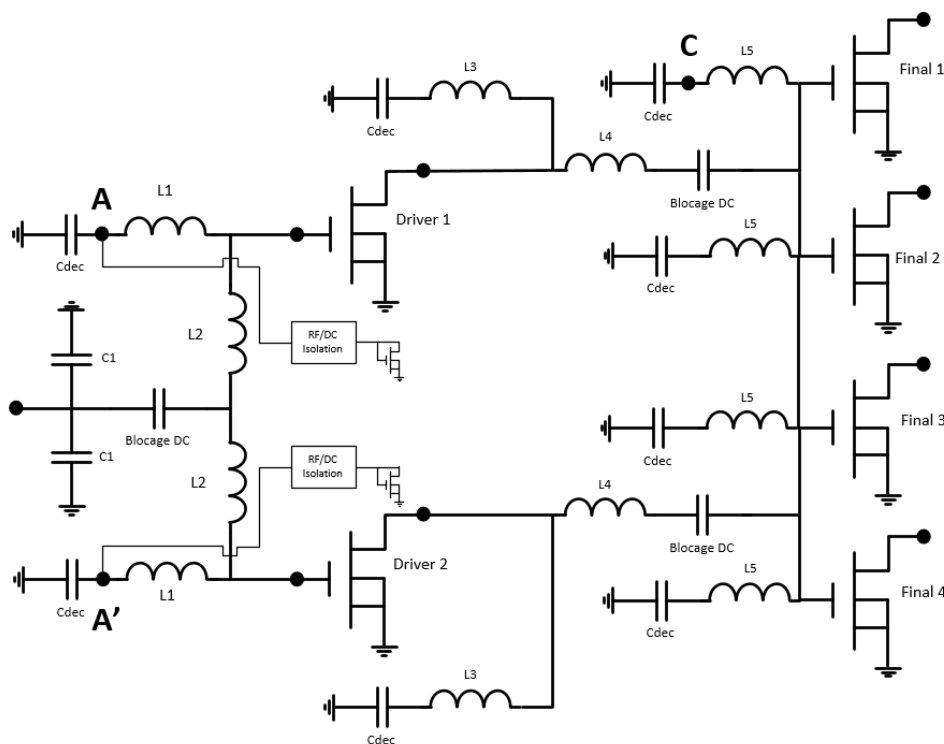


Figure 57: Adaptation d'entrée et d'inter-étage de l'amplificateur en mode commun



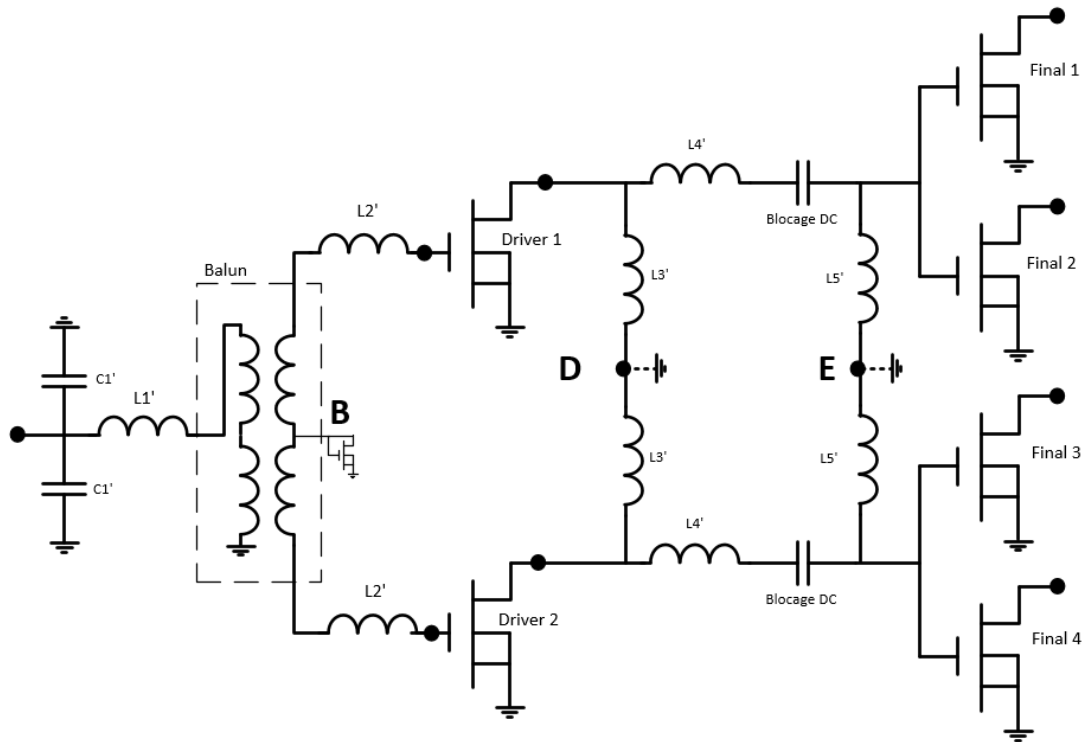


Figure 58 : Adaptation d'entrée et d'inter-étage de l'amplificateur en mode différentiel

## II.2.5. Environnement de l'amplificateur

Après avoir conçu les briques de base de nos amplificateurs, il faut prévoir l'effet de l'environnement. Ainsi, on réalise une simulation électromagnétique 3D du boîtier à l'aide du logiciel HFSS. Cette simulation permet de prendre en compte les pattes du boîtier ainsi que l'effet du plastique qui compose le boîtier. Ce dernier est représenté sur la Figure 59. Les pattes centrales du boîtier sont les pattes 7 et 8. On utilise ici la patte 7 pour l'entrée RF. Ainsi, pour des raisons de symétrie de la puce, la patte 8 ne sera pas utilisée et l'on retrouve numérotées les pattes qui seront utilisées pour la polarisation à savoir les pattes 6 et 9 pour  $V_{gs1}$ , 5 et 10 pour  $V_{gs2}$  et enfin 4 et 11 pour  $V_{ds1}$ . Côté sortie, les deux pattes seront utilisées pour la RF ainsi que pour amener la polarisation  $V_{ds2}$ .

Enfin une simulation des fils reliant les pattes du boîtier à la puce conçue est effectuée. Celle-ci permet de prendre en compte le couplage entre les fils ainsi que l'inductance qu'ils représentent. Une différence de configuration des fils de sortie dans chacun des modes est visible sur la Figure 60. Dans le cas de l'amplificateur en mode commun, les deux blocs finaux de 24 mm ont été construits à l'aide de deux fois quatre blocs de 6 mm. Ces derniers sont espacés afin de ne pas trop compacter l'adaptation inter-étage limitant ainsi les couplages entre éléments passifs. Dans le cas de l'amplificateur en mode différentiel, le fonctionnement de ce dernier amène à connecter ensemble des inductances à la masse provenant de chacune des deux voies, ainsi les blocs finaux sont compactés afin de faciliter la connexion de ces inductances entre elles pour fournir les masses virtuelles.



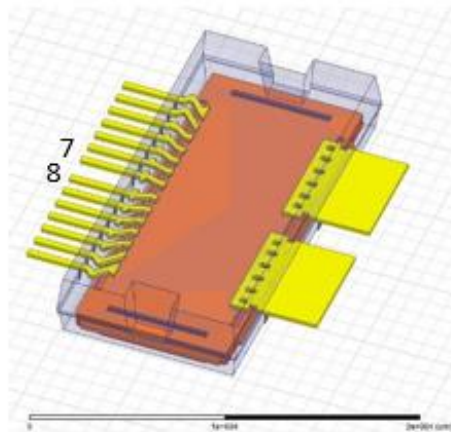


Figure 59 : Dessin 3D du boîtier utilisé

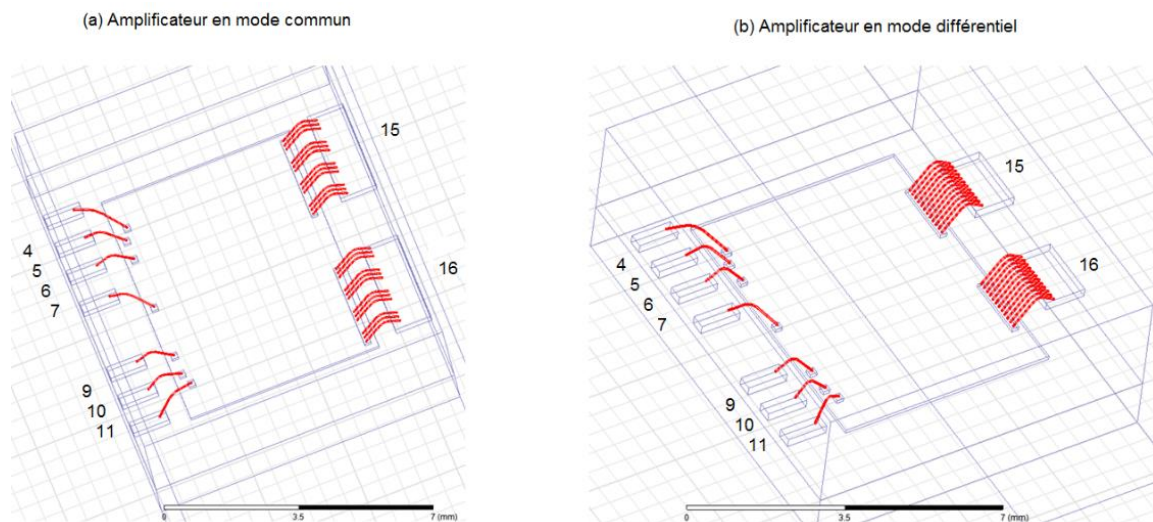


Figure 60 : Dessin des fils utilisés dans chacune des configurations

## II.3. Simulations des amplificateurs MMIC : mode commun et mode différentiel

### II.3.1. Analyse en petit signal

Une première optimisation des MMICs a été réalisée est faite avec des circuits d'adaptation basés sur les modèles disponibles. Au fur et à mesure, ces modèles sont remplacés par des simulations électromagnétiques, qui sont plus précises notamment parce qu'elles prennent en compte l'interaction entre les différents éléments composant ces circuits d'adaptation. Chacune des simulations présentées dans cette partie prend en compte les effets du boîtier et des fils simulés dans la partie II.2.5, ainsi que de l'adaptation de sortie conçue à la partie II.2.2. Les résultats présentés dans cette partie sont ceux obtenus après de nombreuses optimisations pour lesquelles, dès que possible, des simulations électromagnétiques ont été utilisées en remplacement des modèles.



### II.3.1.1. Analyse des paramètres S

L'analyse en petit signal commence par les paramètres S, conventionnellement utilisés pour l'étude à faible puissance des amplificateurs, dont l'ensemble est illustré sur la Figure 61 pour un balayage en fréquence allant du continu à 5 GHz. On s'intéresse plus particulièrement aux paramètres de transmission S21 qui représente le gain ainsi qu'au paramètre de réflexion S11 qui représente l'adaptation d'entrée. Les spécifications de ces paramètres étant données pour la bande de fréquence allant de 1.8 à 2.2 GHz, la Figure 62 présente ces deux paramètres dans une bande de fréquence resserrée autour de cette dernière.

Les simulations effectuées, prenant en compte l'ensemble des effets de couplage présents dans l'amplificateur, sont en ligne avec les spécifications. Dans la bande de fréquence 1.8 à 2.2 GHz, le coefficient de réflexion S11 de la Figure 62 (a), est inférieur à -10 dB. Le gain S21 de la Figure 62 (b), est bien au-dessus des 30 dB attendus. Il est légèrement supérieur dans le cas de l'amplificateur en mode commun. De plus l'isolation S12 de la Figure 61 (c) est bien meilleure que 40 dB ce qui est un bon point pour la stabilité de l'amplificateur.

Dans le cas de l'amplificateur en mode commun, on remarque une forte remontée du gain autour de 400 MHz sur la Figure 61 (b). Elle est liée à la résonance de l'impédance dans le plan de la source de courant du drain qui sera décrite plus loin. Aucune résonance franche n'est visible pour la configuration différentielle.

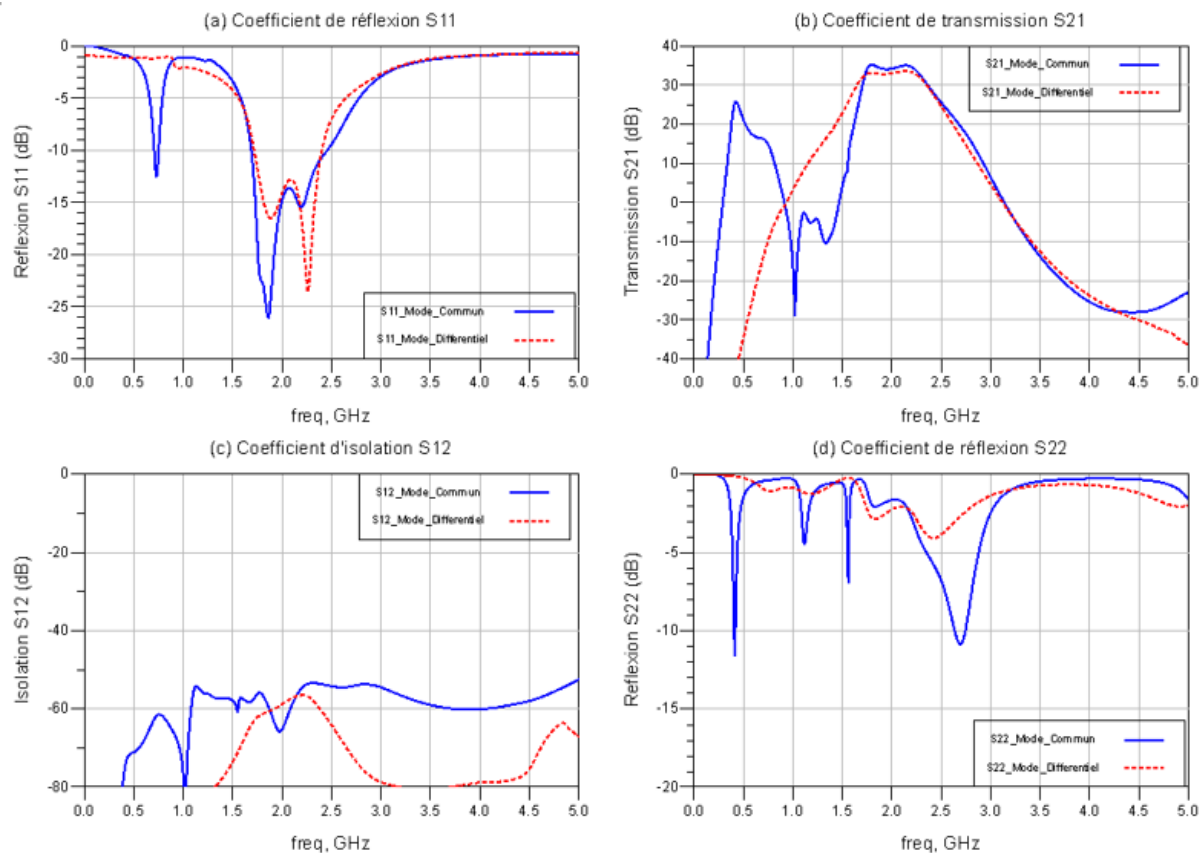


Figure 61 : Paramètres S large bande des deux configurations d'amplificateur



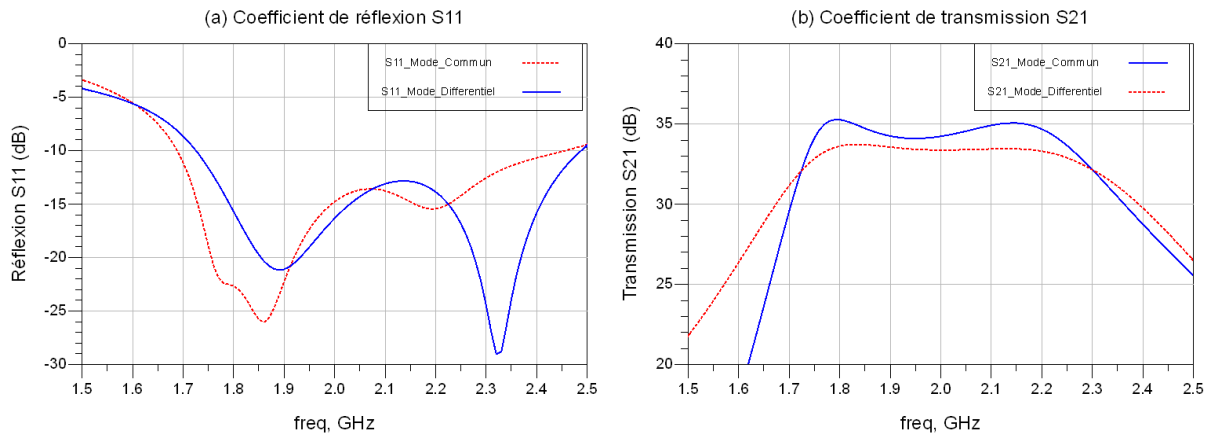


Figure 62 : Paramètres S bande étroite des deux configurations d'amplificateur

Un autre paramètre à observer lors de l'analyse petit signal est le facteur de stabilité. Le facteur de Rollet  $k$ , introduit par [42] est défini comme suit :

$$k = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2 * |S_{12} * S_{21}|} \text{ avec } \Delta = S_{11} * S_{22} - S_{12} * S_{21}$$

Dans chacune des configurations, la Figure 63 montre, ce coefficient est supérieur à 1 et donc signifie que les amplificateurs sont inconditionnellement stables. Cependant, dans le cas d'un amplificateur à deux étages, ce coefficient n'est pas suffisant comme nous le verrons plus loin.

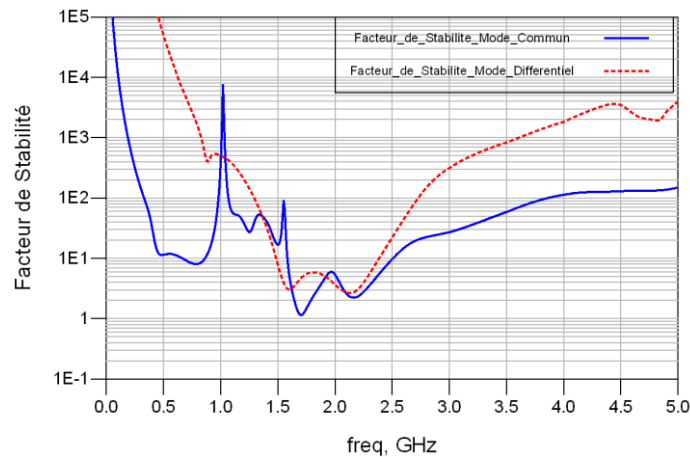


Figure 63 : Facteur de Rollet  $k$  des deux configurations d'amplificateur

Le dernier paramètre pris en compte, est le gain de boucle, c'est-à-dire le produit des paramètres S21 et S12. Une limite autour de -20 dB est fixée par les concepteurs de MMIC afin de limiter les oscillations possibles de l'amplificateur. Dans les deux configurations, la Figure 64 montre que cette limite n'est pas franchie et permet ainsi d'écarter d'éventuelles oscillations.



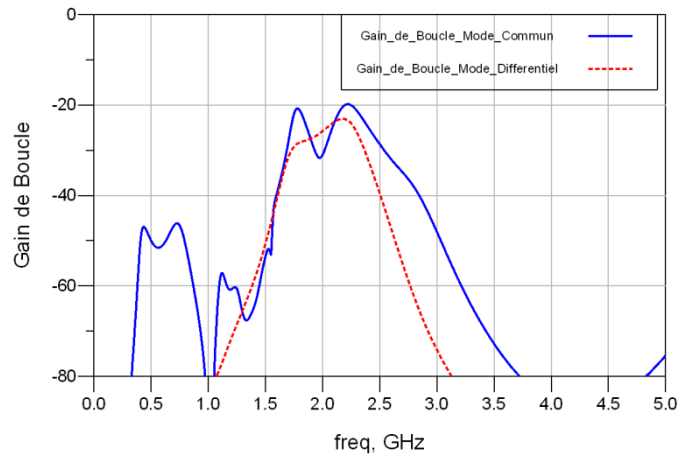


Figure 64 : Gain de boucle des deux configurations d'amplificateur

### II.3.1.2. Analyse de la stabilité avec le logiciel STAN

Précédemment, le facteur de stabilité  $k$  a été analysé. Ce facteur est prévu pour un dispositif linéaire deux ports mais n'est pas suffisant pour détecter des boucles internes d'oscillation dans le cas d'un amplificateur de puissance de deux étages. En effet, des oscillations internes ne peuvent être mises en évidence par ce facteur de stabilité. Il est nécessaire d'utiliser d'autres outils et le choix s'est porté sur un outil développé par le CNES et l'université de Bilbao et commercialisé par la société AMCAD Engineering.

L'analyse de la stabilité présentée ici est basée sur la technique d'identification des pôles et des zéros [43] et fait suite aux travaux de recherches de l'université du Pays Basque en Espagne dans [44] et [45]. L'approche développée dans STAN est d'utiliser comme le montre la Figure 65, une source de courant sinusoïdale en petit signal,  $I_{\text{Sonde}}$ , connectée à un nœud quelconque  $N$  du circuit. On s'intéresse alors à l'impédance,  $H_0$  égale au rapport de  $V_{\text{Sonde}}$  et  $I_{\text{Sonde}}$ , vu par cette source de courant en ce nœud  $N$ . Le tracé en partie réelle et partie imaginaire de cette impédance, en fonction de la fréquence injectée par la sonde,  $F_{\text{Sonde}}$ , permet d'identifier une instabilité du circuit dans le cas où le tracé entourerait dans le sens horaire le point d'impédance nulle.

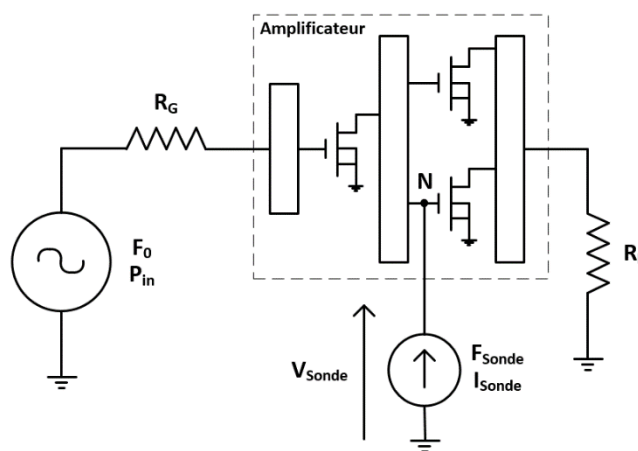


Figure 65 : Schématisation de l'amplificateur et de la sonde utilisée pour injecter le signal





L'outil STAN fourni par AMCAD permet dans le même temps de faire des simulations paramétriques. On peut ainsi balayer plusieurs valeurs de polarisation ou encore les conditions de charge ou de source du circuit. C'est ce qui a été fait pour l'amplificateur en mode commun sur la Figure 66, où est représentée l'impédance vue par la sonde pour différents nœuds d'injection, à savoir les grilles de l'étage driver et du final. Les paramètres qui sont balayés sont la tension  $V_{dd}$ , pour la Figure 66 (a) et la Figure 66 (d), ainsi que les tensions de grilles,  $V_{gs1}$ , pour la Figure 66 (b) et la Figure 66 (e) et enfin  $V_{gs2}$ , pour la Figure 66 (c) et la Figure 66 (f). Dans aucun des cas l'impédance  $H_0$  n'entoure le point d'impédance nulle, démontrant qu'aucune oscillation n'est présente en fonctionnement petit signal de l'amplificateur en mode commun.

La même analyse a été faite en plusieurs nœuds du circuit pour des variations d'impédance de charge et de source. Enfin les simulations paramétriques précédemment citées ont été faites sur l'amplificateur en mode différentiel pour lequel aucune oscillation n'a été trouvée.

Cette analyse de stabilité développée dans STAN peut également être réalisée en large signal et sera présentée plus loin. Cela permettra de mettre en évidence des oscillations qui n'apparaissent qu'au-delà d'un certain niveau de puissance du signal d'entrée.

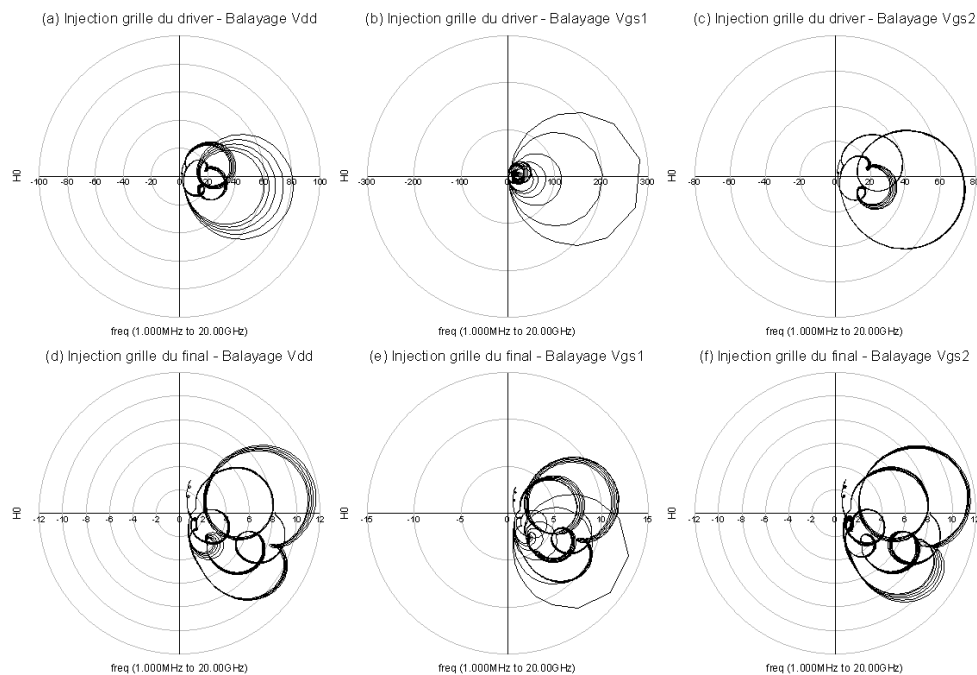


Figure 66 : Analyse de la stabilité en petit signal de l'amplificateur en mode commun

### II.3.1.3. Analyse des simulations AC

Au-delà des performances RF, une attention particulière a été portée sur les résonances en bande de base des impédances dans le plan de la source de courant des étages driver et final. Il a été décrit dans [33] que ce sont ces résonances d'impédance qui produisent l'asymétrie des produits d'intermodulation d'ordre trois et ainsi limitent la linéarité de l'amplificateur. Comme le montre la Figure 67, une amélioration proche d'un facteur deux



sur la fréquence de résonance des étages est obtenue avec la configuration différentielle en comparaison avec celle en mode commun. La résonance limitante dans les deux cas provient de l'étage driver. La limitation de la bande instantanée étant liée à cette résonance, on attend une amélioration du même ordre de la bande instantanée en mode différentiel.

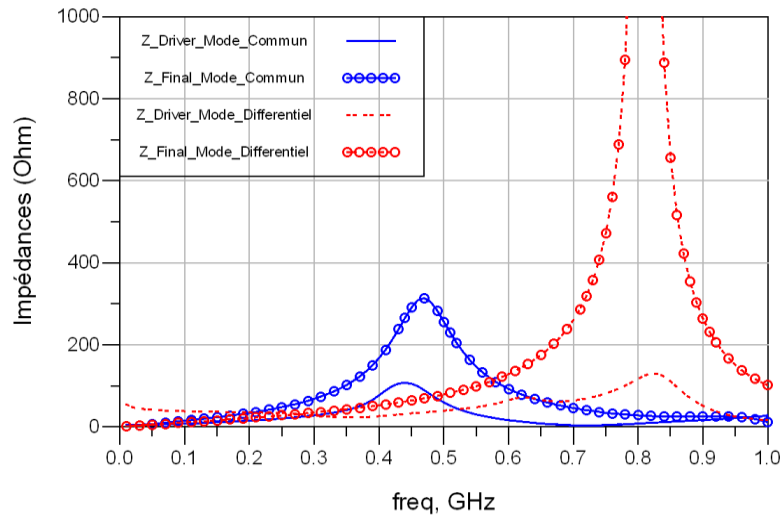


Figure 67 : Impédances des drains dans le plan de la source de courant pour les étages driver et final des amplificateurs mode commun et mode différentiel

En complément des simulations paramètres S, il est intéressant de réaliser des simulations AC qui sont représentées Figure 68. Elles permettent, en sondant les tensions et les courants de différents nœuds d'apporter des informations sur les pertes dans chacun des circuits d'adaptation ainsi que sur le gain de l'amplificateur complet. On retrouve un niveau de pertes équivalent pour les adaptations d'entrée de la Figure 68 (a) et d'inter-étage de la Figure 68 (b). La différence sur les pertes en sortie vient de l'utilisation d'un balun pour la configuration différentielle comme le montre la Figure 68 (c). Enfin, la Figure 68 (d) montre que le gain simulé dans les deux configurations correspond à ce qu'il a été observé avec les paramètres-S.



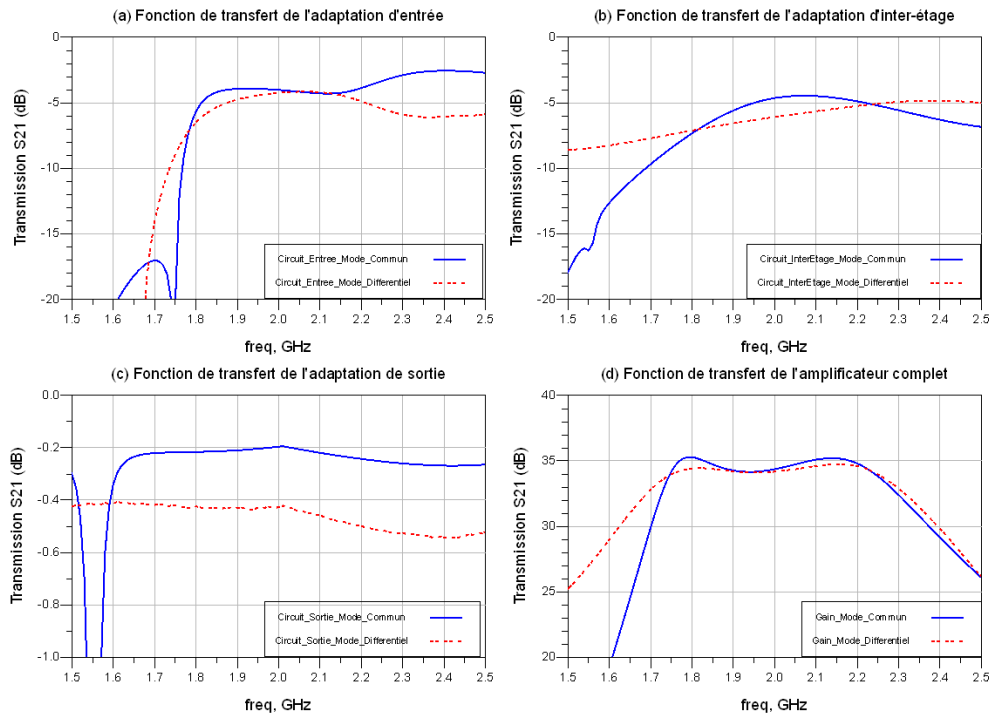


Figure 68 : Simulations AC des deux amplificateurs mode commun et mode différentiel

#### II.3.1.4. Analyse de sensibilité

Afin d'anticiper une déviation standard de la valeur de certains éléments, une analyse Monte Carlo est effectuée sur chacun des amplificateurs. Cette analyse consiste à faire varier chacun des éléments technologiques composant les circuits d'adaptation, par exemple le rayon interne d'une inductance, ou encore la taille d'une capacité. Ces variations sont liées à la technologie. Pour la technologie LDMOS utilisée, on choisit généralement une distribution gaussienne avec une déviation standard de 3.3 % pour l'ensemble des éléments passifs.

On s'intéresse aux paramètres de transmission S21 et de réflexion S11 pour lesquels 1000 itérations ont été effectuées. On observe, pour la configuration en mode commun, sur la Figure 69 (a) que dans la majorité des cas le coefficient de réflexion S11 reste inférieur à -10 dB et le gain est compris entre plus ou moins 1.5 dB par rapport à sa valeur initiale.

La configuration différentielle, sur la Figure 69 (b), est moins étalée notamment sur le gain que celle en mode commun. Cela peut venir du fait qu'une partie de la conception, comme le balun en entrée ou une partie de l'adaptation inter-étage, est faite uniquement en simulations électromagnétiques. Ainsi il n'est pas possible de faire varier des paramètres d'éléments comme les inductances. Cependant diverses simulations électromagnétiques ont été réalisées où la largeur de ligne des inductances a été modifiée. Celles-ci ne montrent pas de comportement à risque, les écarts en paramètres S restent proches de ceux de la Figure 69.

D'autres investigations ont été menées afin de mettre en évidence une éventuelle sensibilité d'un élément particulier. En effet, pour chacun des éléments passifs, inductance, lignes, capacités, des simulations ont été effectuées variant les valeurs d'un élément à la fois afin de déterminer si un élément était fortement sensible pour la conception et mettre en



place une solution si besoin. Cela n'a pas été le cas et confirme la conclusion de l'analyse Monte Carlo.

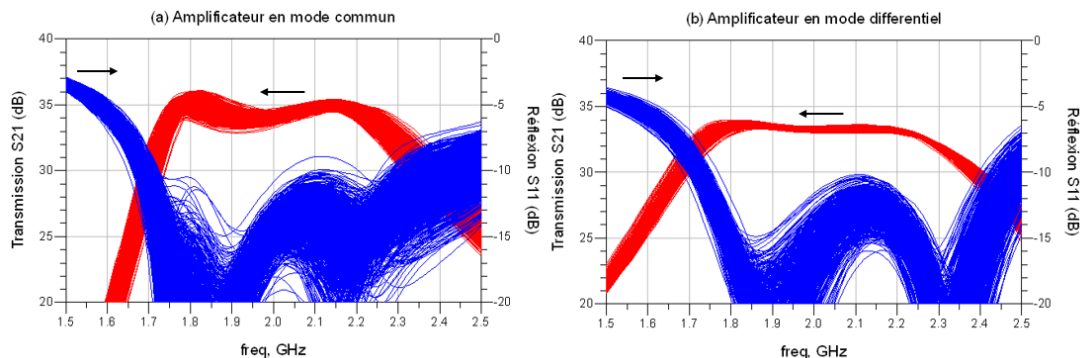


Figure 69 : Analyse Monte Carlo des paramètres de transmission S21 et de réflexion S11 pour les modes commun et différentiel

## II.3.2. Analyse en large signal

### II.3.2.1. Analyse des simulations non linéaires Harmonique Balance

Dans cette simulation en fonctionnement large signal l'amplificateur complet, optimisé à l'aide des simulations en petit signal, est excité à l'aide d'une source de puissance à une certaine fréquence. La puissance d'entrée est alors balayée d'une valeur correspondant au petit signal à une valeur pour laquelle l'amplificateur a atteint une compression supérieure à 3 dB. L'amplificateur ayant un fonctionnement large bande, il convient de balayer également la fréquence afin de vérifier ce comportement large bande en puissance. Ainsi la Figure 70 et la Figure 72 représentent les performances en termes de gain, puissance, rendement et coefficient de réflexion S11, pour l'amplificateur en mode commun et celui en mode différentiel, en fonction de la puissance de sortie. La Figure 71 et la Figure 73 représentent les mêmes performances en fonction de la fréquence pour les deux modes respectifs.

Une première observation peut être faite. Pour les deux configurations, en mode commun sur la Figure 70 (a) et en mode différentiel sur la Figure 72 (a), la pente du gain, entre le fonctionnement en petit signal et le début de la compression, donne des informations sur la polarisation. Pour nos applications, la polarisation standard donne une légère expansion du gain avant la compression, c'est le cas ici. Ces figures permettent également d'observer la compression ainsi que la puissance atteinte.

Le but de cette simulation est d'optimiser les différents éléments passifs de l'amplificateur afin qu'il présente les mêmes performances en large signal sur l'ensemble de la bande 1.8 à 2.2 GHz. On observe après optimisation, l'ensemble des performances en fonction de la fréquence pour plusieurs valeurs de puissance d'entrée. Le gain de la Figure 71 (a) et de la Figure 73 (a), présente dans les deux configurations une platitude acceptable (autour de 1 dB). On observe de même pour le rendement sur la Figure 71 (b) et la Figure 73 (b). Quant à la puissance de sortie, Figure 71 (d) et Figure 73 (d) montrent une légère baisse observable à 2.2 GHz, malgré les optimisations nombreuses. Concernant le coefficient de réflexion S11, que ce soit en balayant la puissance ou la fréquence, il est dans la majorité des cas autour de la valeur attendue des -10 dB.



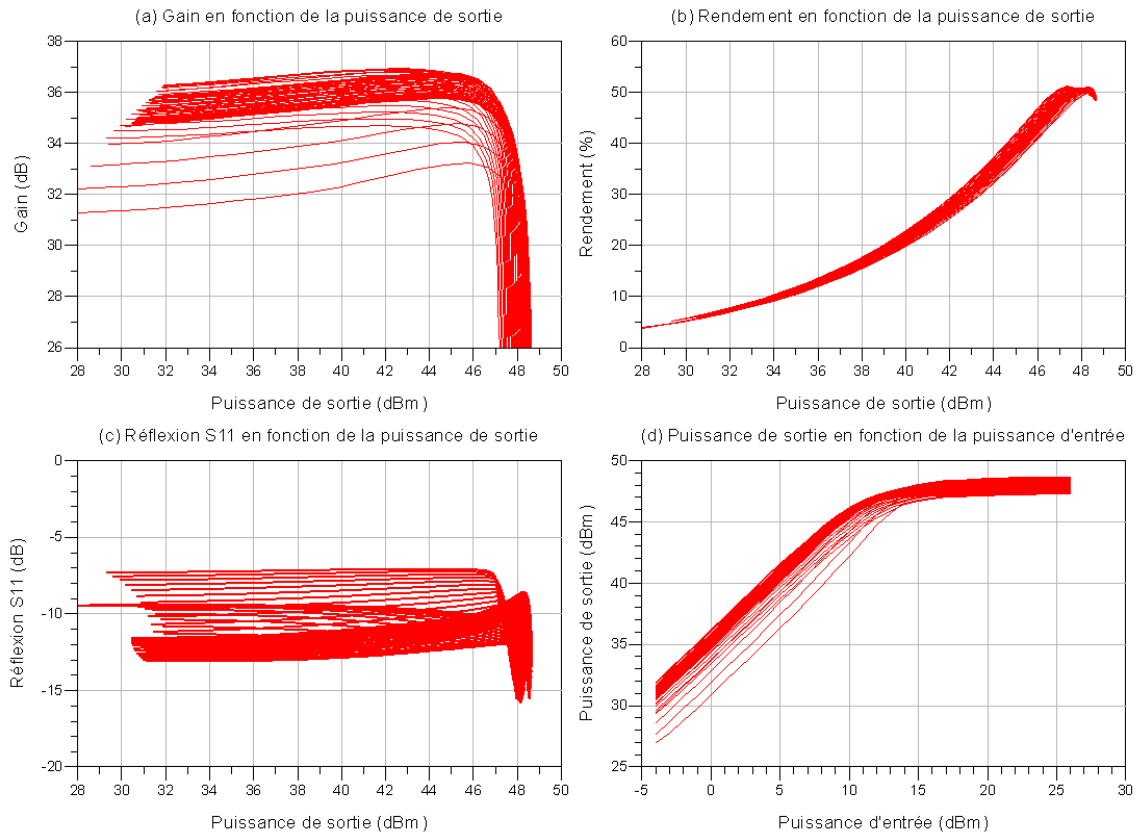


Figure 70 : Simulation de l'amplificateur en mode commun en fonction de la puissance

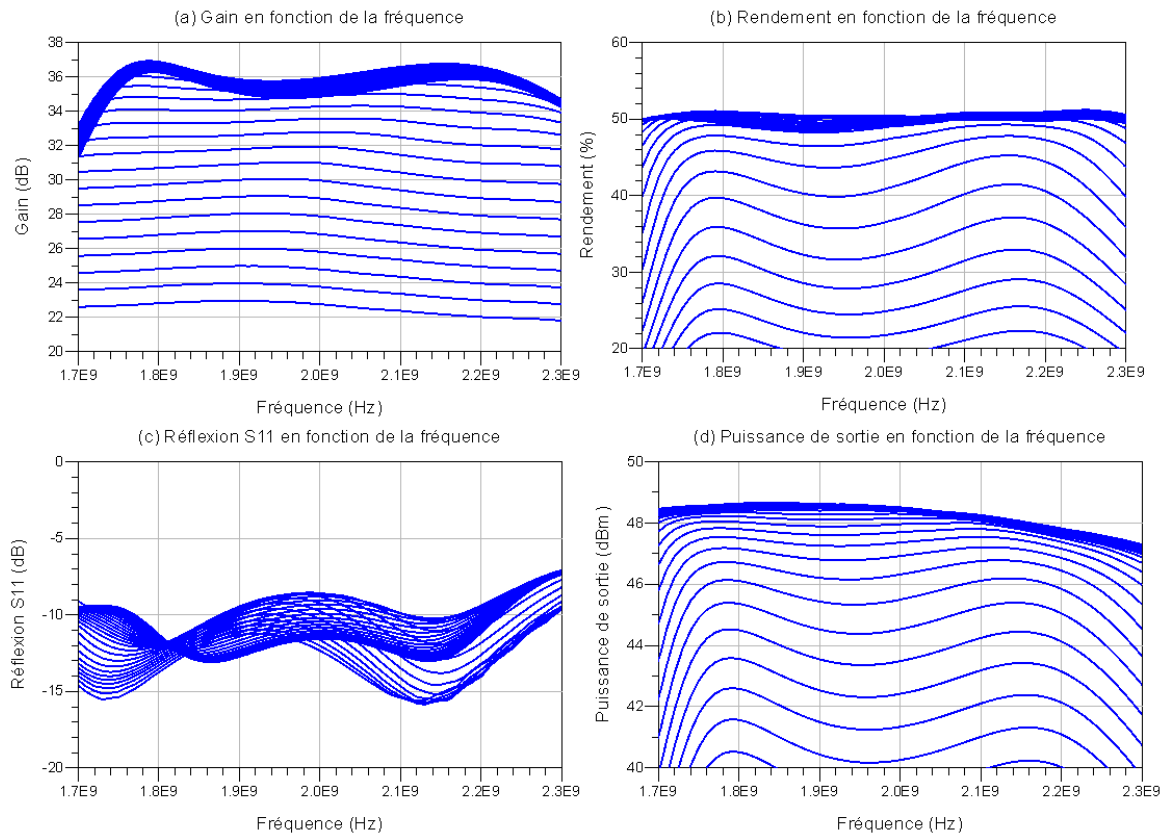


Figure 71 : Simulation de l'amplificateur en mode commun en fonction de la fréquence



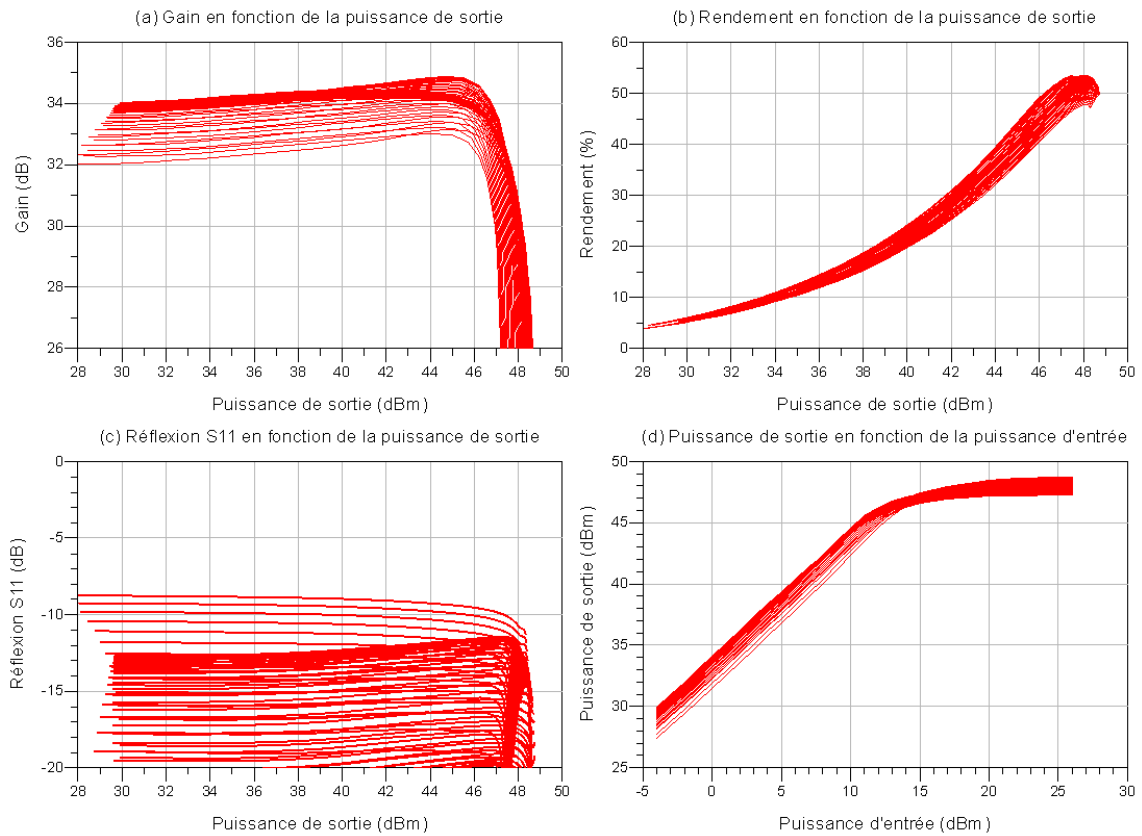


Figure 72 : Simulation de l'amplificateur en mode différentiel en fonction de la puissance

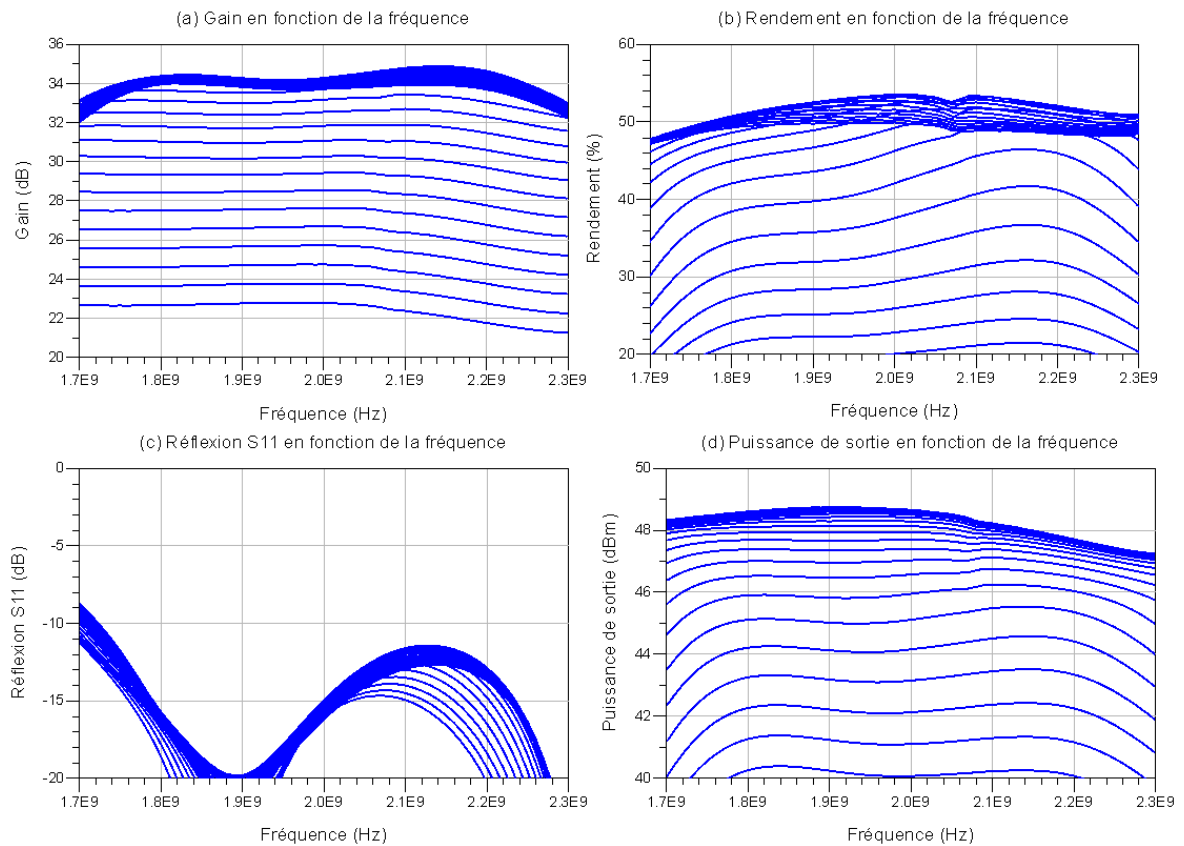


Figure 73 : Simulation de l'amplificateur en mode différentiel en fonction de la fréquence



### II.3.2.2. Analyse de la stabilité en fort signal avec le logiciel STAN

Comme décrit précédemment, l'outil d'analyse de stabilité STAN utilisé en petit signal peut également être utilisé en large signal afin de détecter d'éventuelles oscillations n'apparaissant qu'à un certain niveau de puissance. A l'aide de simulations paramétriques, balayant les valeurs de puissance d'entrée de l'amplificateur, une instabilité a été mise en évidence dans le cas de l'amplificateur en mode commun.

Dans des conditions de polarisation et de charges nominales, la puissance d'entrée est balayée avec un pas de 1 dB sur une dynamique de 25 dB jusqu'à 3dB de compression. La fréquence de travail est de 2 GHz au centre de la bande de l'amplificateur. La sonde est une source de courant dont la fréquence est balayée de quelques MHz à 20 GHz. On constate sur la Figure 74 (a) que l'impédance vue par la sonde encercle l'origine dans le sens horaire, synonyme d'oscillation. Après diverses investigations, la correction de cette instabilité démontrée sur la Figure 74 (b), a été obtenue par la connexion ensemble respectivement des grilles et drains des deux blocs actifs de l'étage final afin de supprimer cette oscillation. La même chose a été faite pour les grilles et drains de l'étage driver pour résoudre des problèmes de stabilité lorsque la fréquence du signal était autour de 2.1 GHz.

Enfin, des simulations pour d'autres fréquences dans la bande d'intérêt ont été effectuées afin de vérifier qu'il n'y avait pas d'autres oscillations présentes. Ces simulations en large signal sont très lourdes et prennent un temps considérable mais elles permettent de détecter des oscillations très gênantes dont la correction, une fois l'amplificateur MMIC réalisé, devient très difficile.

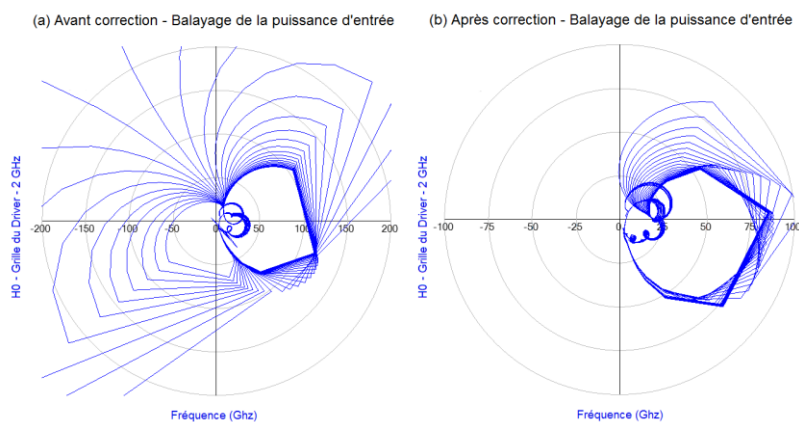


Figure 74 : Analyse de la stabilité en large signal du mode commun : (a) instabilité avant correction et (b) stabilité après correction

### II.3.2.3. Prévisions des performances en bande instantanée

Une simulation en large signal peut être faite afin d'avoir une autre évaluation de la bande instantanée d'un amplificateur de puissance. Celle-ci est une simulation où l'on excite l'amplificateur en bi-mode avec deux fréquences porteuses. Ces dernières sont espacées spectralement d'un certain  $\Delta f$ . La simulation balaye la valeur de  $\Delta f$ , d'une très faible valeur à 1 GHz.

Il a été décrit dans la partie II.1.2.1 que l'amplificateur, au-delà d'une certaine largeur de bande, crée des distorsions, parfois asymétriques sur les produits d'intermodulations. Ce



sont ces asymétries que l'on cherche à observer en représentant sur la Figure 75 le niveau de ces produits d'intermodulations d'ordre 3 et 5 en fonction de l'écart en fréquence entre les deux porteuses qui excitent l'amplificateur. La puissance d'entrée est réglée autour de 9 dBm afin d'avoir des niveaux d'IMD3 autour de -30 dBc, niveau proche de celui du fonctionnement standard de l'amplificateur de puissance.

On observe sur la Figure 75, une asymétrie sur les IMD3 de l'amplificateur en mode commun pour un écartement en fréquence autour de 150 MHz. Cette valeur est en adéquation avec la conclusion basée sur les résonances d'impédances de drain de chacun des étages de la partie II.3.1.3. Dans le cas de l'amplificateur en mode différentiel sur la Figure 76, jusqu'à 1 GHz, il est difficile d'observer une asymétrie entre les IMD3 et IMD5, d'autant plus qu'au-delà de 200 MHz entre les fréquences fondamentales, les produits d'intermodulations se retrouvent hors de la bande RF de l'amplificateur, leurs niveaux étant affectés en conséquence. L'attente sur la bande instantanée reste donc basée sur la simulation en petit signal décrite dans la partie II.3.1.3 en attendant la mesure du chapitre suivant.

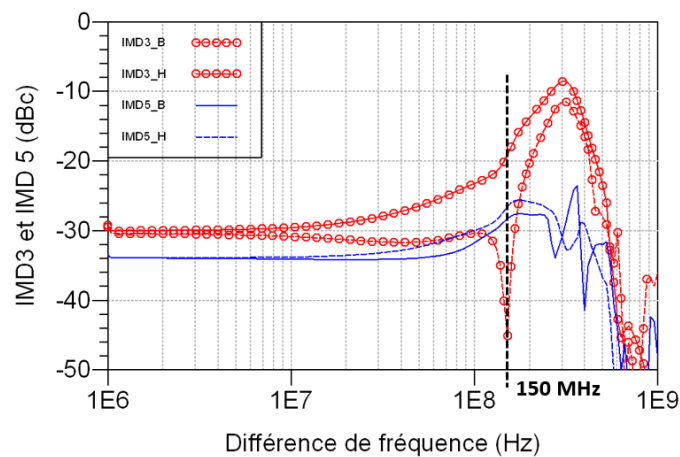


Figure 75 : Simulation des produits d'intermodulations d'ordre 3 et 5 en mode commun

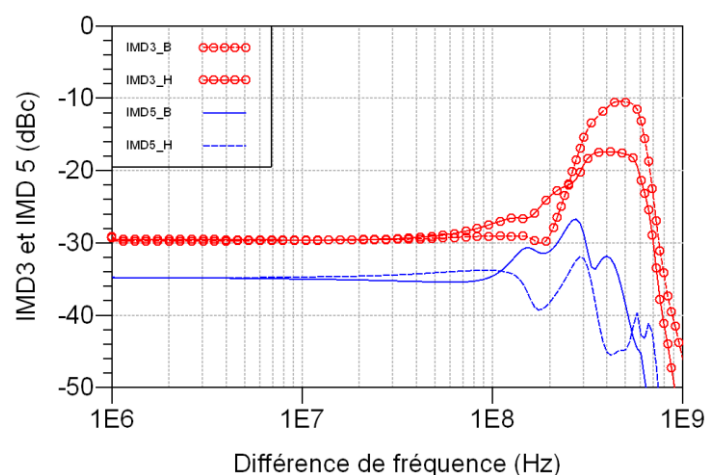


Figure 76 : Simulation des produits d'intermodulations d'ordre 3 et 5 en mode différentiel





## II.4. Dessins des amplificateurs

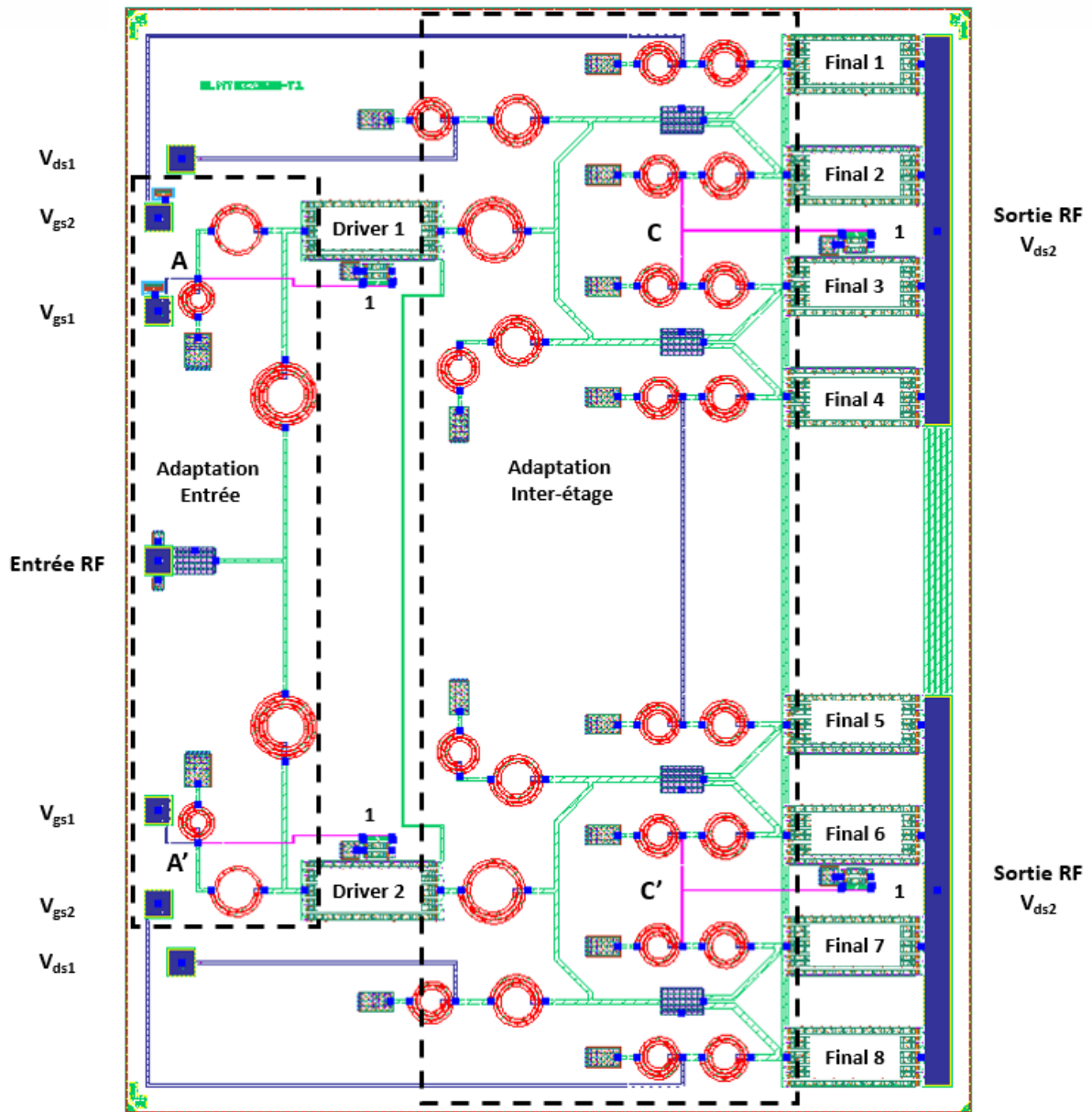
Tout au long de l'optimisation des circuits d'adaptation d'entrée et d'inter-étage, ces derniers ont été dessinés en parallèle. Ainsi les contraintes de place ont été prises en compte dans la conception. Comme il a été dit précédemment, le circuit d'adaptation est basé sur des modèles des composants puis ils sont remplacés au fur et à mesure par des simulations électromagnétiques. On commence par remplacer élément par élément, puis des simulations électromagnétiques plus complexes sont réalisées par bloc. De ce fait, les interactions entre éléments passifs sont prises en compte successivement.

Après avoir effectué l'ensemble des simulations permettant d'optimiser nos amplificateurs afin qu'ils présentent les performances attendues, on obtient les dessins finaux des amplificateurs MMICs en mode commun et en mode différentiel représentés respectivement sur la Figure 77 et sur la Figure 78.

Concernant l'amplificateur en mode commun, l'écartement des pattes de sortie du boîtier SOT1211 de la Figure 42, impose l'écartement entre les deux blocs finaux, chacun de 24 mm de périphérie de transistor, réalisé à l'aide de quatre transistors de 6 mm chacun. Ces derniers sont légèrement espacés afin de faciliter la réalisation de l'adaptation inter-étage et de limiter les couplages entre inductances. Cette disposition engendre un écartement important entre les deux blocs driver. L'utilisation de ligne de transmission pour joindre ces blocs depuis l'entrée RF a contraint à réduire la valeur des inductances séries utilisées dans l'adaptation d'entrée. On remarque également la présence des transistors servant à la compensation thermique du courant de repos. Agrémentés d'un circuit d'isolation RF/DC, ils sont connectés aux nœuds A/A' et C/C' respectivement, pour réguler en fonction de la température, les tensions  $V_{gs1}$  et  $V_{gs2}$ .

Pour l'amplificateur en mode différentiel de la Figure 78, les deux blocs finaux sont plus compacts. La raison de ne pas les espacer est que ceux-ci sont connectés ensemble par des inductances à la masse, ici réalisées à l'aide de lignes de transmission, qui forment au point milieu une masse virtuelle RF au nœud E. C'est à ce nœud E que sont connectés les circuits de compensation thermique du courant de repos pour l'étage final, tandis que pour l'étage driver, ces circuits proches des transistors driver, sont connectés au nœud B. On distingue dans l'adaptation d'entrée le balun transformateur qui a été optimisé en prenant en compte la longueur de lignes de transmission nécessaires pour atteindre les blocs driver.





1 : Compensation thermique

Figure 77 : Dessin final de l'amplificateur en mode commun



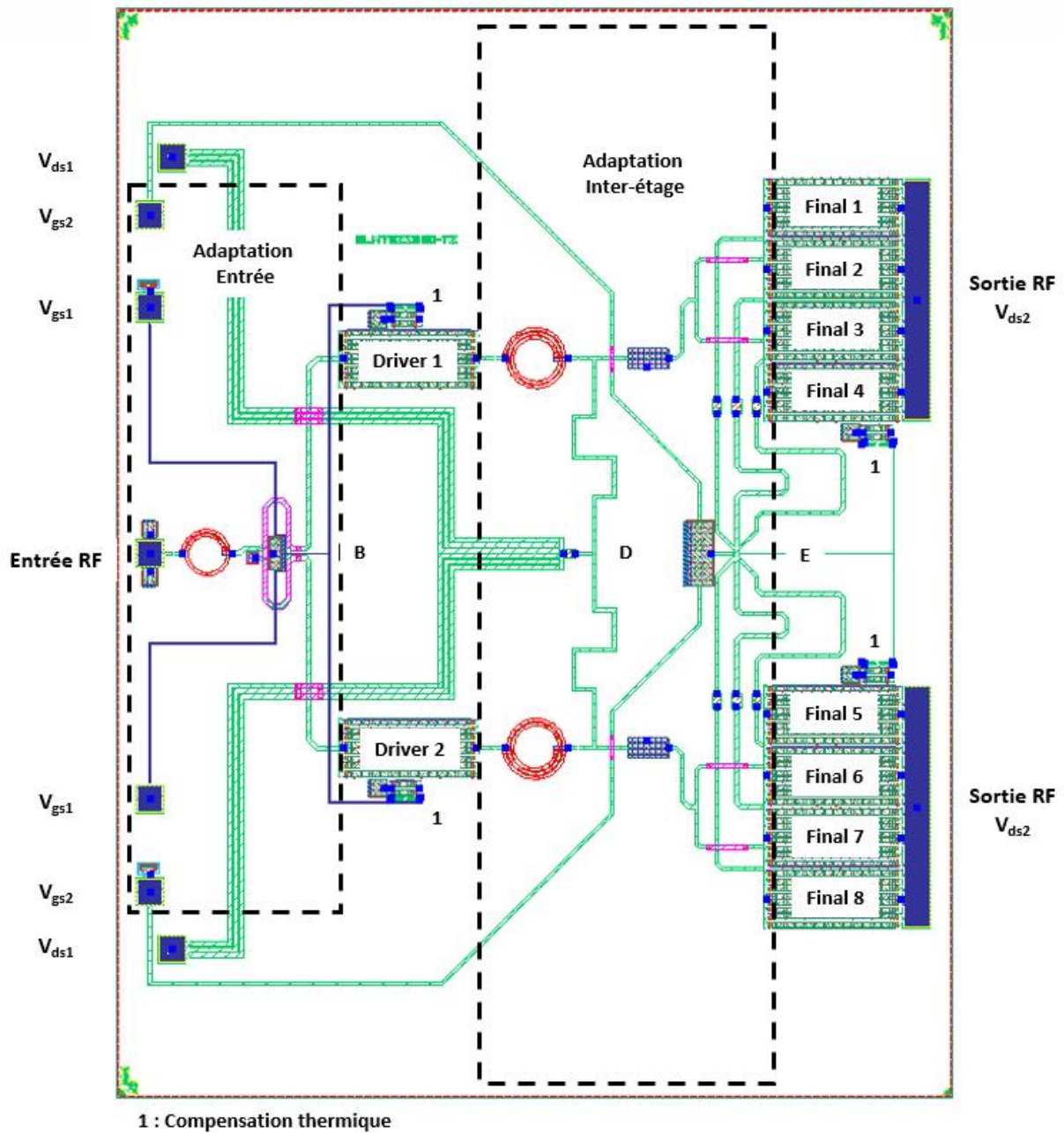


Figure 78 : Dessin final de l'amplificateur en mode différentiel



## II.5. Conclusion

Dans ce chapitre, nous avons présenté en particulier notre nouvelle méthode de conception de l'amplificateur LDMOS de puissance basée sur une structure différentielle avec son balun [46] que nous avons développée car nous pensions proposer ainsi une amélioration majeure de la bande passante instantanée. Pour valider cette amélioration, deux amplificateurs de puissance ont été conçus avec les mêmes niveaux de performances simulées, en termes de gain, rendement et puissance. Le premier standard en mode commun et le second en mode différentiel. La configuration différentielle a objectif d'améliorer la bande instantanée par l'intégration dans l'adaptation d'entrée d'un balun transformateur qui est l'objet des travaux de recherche de ce chapitre.

Chaque étape de la conception a été détaillée et fait le comparatif entre les deux amplificateurs. Des analyses en petit et en large signal assurent que les amplificateurs simulés présentent les mêmes performances de gain, rendement et puissance. L'utilisation du logiciel STAN a permis d'écartier des problèmes d'oscillations de l'amplificateur en mode commun. Bien que nos deux amplificateurs visent les mêmes performances, on note que l'amplificateur en mode différentielle est plus compact notamment grâce à la suppression de plusieurs éléments, des circuits d'adaptation, du fait de la configuration différentielle.

Enfin la simulation des impédances présentées dans le plan de la source de courant des étages driver et final, alliée à la simulation des produits d'intermodulations permet d'envisager une bande instantanée doublée dans le cas de l'amplificateur en mode différentiel en comparaison de celui en mode commun. Toute la phase de conception et de simulations nous a conforté dans notre idée mais cette avancée doit être vérifiée lors de réalisations concrètes et d'une phase expérimentale, c'est l'objet du chapitre suivant.







## Chapitre III. Mesures et Caractérisation

### III.1. Introduction

Les travaux de recherche du chapitre précédent montrent en simulation que la configuration différentielle repousse, à une fréquence plus élevée, la résonance en bande de base des impédances présentées dans le plan de la source de courant des étages driver et final. L'intégration dans l'adaptation d'entrée d'un balun large bande permet cette amélioration. La conception complète des amplificateurs MMICs a été décrite.

A partir du dessin des amplificateurs conçus en mode commun et en mode différentiel, les différents masques correspondant à chacune des couches du processus ont été réalisés pour réaliser les différentes étapes lithographiques de fabrications des puces MMICs. Elles ont ensuite été assemblées dans le boîtier SOT1211 et l'on dispose alors des deux amplificateurs dont une photographie est montrée sur la Figure 79.

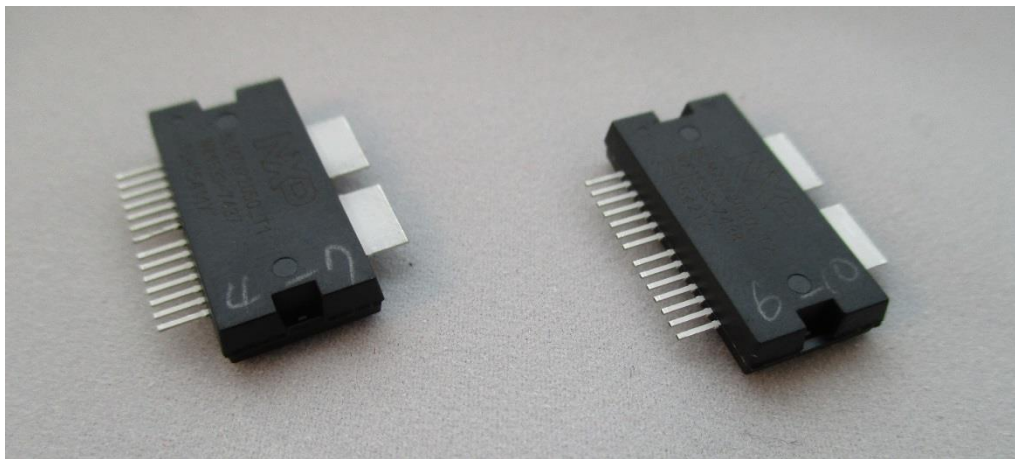


Figure 79 : Amplificateurs en mode commun et en mode différentiel dans le boîtier SOT1211

Après réception des boîtiers, notre première étape a consisté à caractériser les amplificateurs seuls : c'est-à-dire sans les circuits externes d'adaptation. Le but de cette caractérisation était de vérifier le bon fonctionnement des amplificateurs et de déterminer les impédances de charge optimales que devait présenter le circuit imprimé externe d'adaptation en sortie permettant d'atteindre les performances optimales en termes de gain, puissance et rendement. A partir de ces impédances optimales, un circuit d'application a été réalisé pour finaliser l'amplificateur dans un environnement  $50 \Omega$ . Enfin ces circuits d'applications sont mesurés et les performances des configurations en mode commun et en mode différentiel peuvent être comparées.

### III.2. Caractérisation du MMIC seul

#### III.2.1. Démarche standard pour l'amplificateur mode commun

Avant de vouloir mesurer les performances de notre amplificateur dans les conditions réelles d'utilisation, il faut caractériser le MMIC seul, notamment ses impédances optimales de charge, afin de réaliser un circuit imprimé d'application présentant au MMIC les



impédances optimales menant aux meilleures performances de ce dernier. Dans ce but, on utilise des supports mécaniques spéciaux de circuits imprimés en trois parties distinctes.

On distingue, sur la gauche de la Figure 80, la partie correspondant à l'entrée de l'amplificateur. Cette dernière est composée d'une ligne  $50 \Omega$  reliant la patte de l'amplificateur au connecteur. En effet l'amplificateur a déjà été conçu de sorte à être adapté à  $50 \Omega$ . Les autres pattes, destinées à la polarisation, sont reliées à des cosses après avoir été découplées en RF afin de ne pas perturber les alimentations.

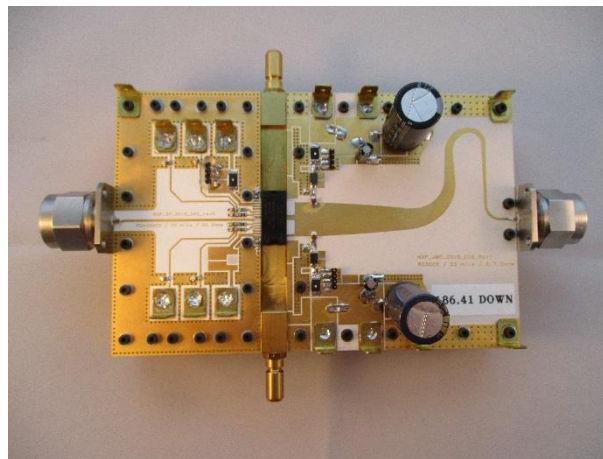


Figure 80 : Circuit de test de l'amplificateur en mode commun

D'autre part, la sortie de l'amplificateur MMIC n'étant pas adaptée à  $50 \Omega$  il faut trouver un moyen simple, large bande et à faible pertes d'effectuer la transformation d'impédance des pattes de sorties à  $50 \Omega$ . Une solution pour cette transformation d'impédances est une ligne fuselée, appelée Taper, dont la largeur correspond à l'empreinte des pattes de sortie et se réduit progressivement jusqu'à la largeur d'une ligne  $50 \Omega$ . Les performances large bande de la ligne Taper dépendent de sa longueur. Plus la ligne Taper est longue, plus on peut descendre en fréquence avec des performances acceptables. Ainsi pour éviter d'utiliser une mécanique trop encombrante, une autre solution est utilisée, c'est la ligne Klopfenstein [47] qui correspond à une amélioration de la ligne Taper où la réduction de la largeur ne se fait plus de manière linéaire. La Figure 81 (a) montre une ligne Taper ainsi que la ligne Klopfenstein finalement utilisée. Pour des longueurs développées égales, la ligne Klopfenstein présente de meilleures performances comme on peut le voir sur la Figure 81 (b) et permet notamment d'avoir une adaptation inférieure à  $-20$  dB jusqu'à 800 MHz. Enfin, le reste du circuit imprimé de sortie sert à la polarisation et à la mesure de courant qui permet d'évaluer le rendement de l'amplificateur.

La partie centrale du circuit de test, où repose le boîtier de l'amplificateur, permet un refroidissement à eau par le dessous et fait le lien entre les deux autres parties.





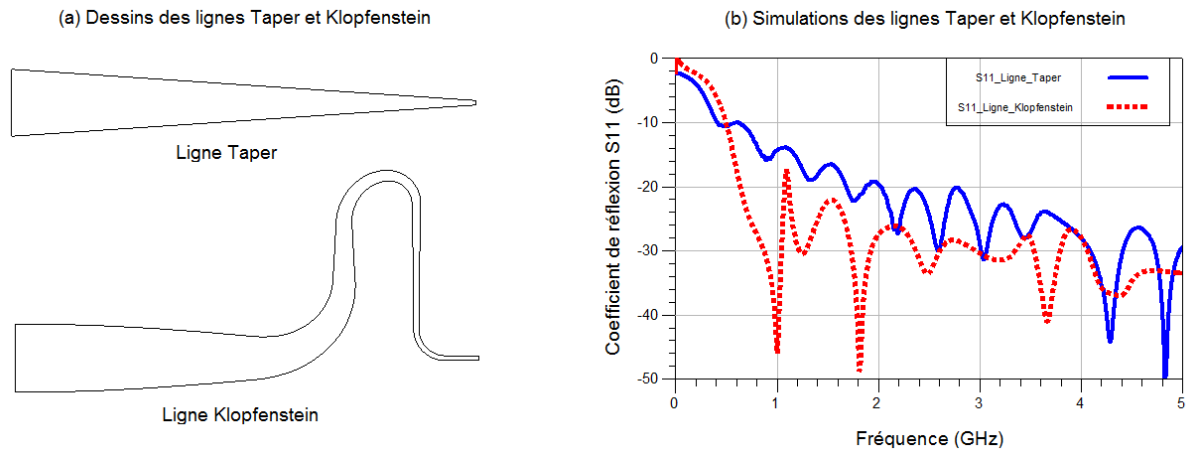


Figure 81 : Dessins et simulations des lignes Taper et Klopfenstein

L'objectif du circuit de test de la Figure 80 étant de faciliter la mesure des paramètres S et des mesures load-pull de l'amplificateur MMIC en boîtier, il convient de soustraire à la mesure l'effet des circuits imprimés d'entrée et de sortie. Pour cela, on mesure les circuits imprimés d'entrée et de sortie dans trois configurations correspondant aux trois standards d'une calibration TRL. De ces trois mesures on peut déduire les paramètres S caractérisant les circuits imprimés d'entrée et de sortie. Les fichiers de paramètres S deux ports ainsi créés peuvent être injectés dans la calibration de l'analyseur de réseau utilisé, afin d'avoir des mesures de paramètres S intrinsèques dans le plan des pattes du boîtier de l'amplificateur. Cependant, on réalise généralement la mesure dans le plan des connecteurs du circuit de test et l'effet des circuits imprimés d'entrée et de sortie est soustrait après la mesure à l'aide du logiciel ADS par une simulation de de-embedding. Ceci permet de conserver les deux mesures au final, et peut permettre de mettre en évidence certains dysfonctionnements.

La bonne caractérisation des circuits d'entrée et de sortie est importante. Tout d'abord une mesure précise des paramètres S est nécessaire afin d'évaluer le bon fonctionnement de l'amplificateur. Ensuite on a besoin de mesurer avec précision les impédances présentées par l'amplificateur en sortie afin d'avoir des mesures load-pull ayant du sens. Ainsi, lors de l'extraction des paramètres S du circuit imprimé de sortie il est nécessaire de connaître l'impédance présentée par ce dernier. Dans le cas standard en mode commun, cette impédance correspond à la largeur de ligne qui englobe les pattes de l'amplificateur mais qu'en est-il dans le cas de notre circuit différentiel ?

### III.2.2. Comment mesurer l'amplificateur en mode différentiel

Pour rappel, l'amplificateur différentiel en boîtier est construit de la manière suivante. Une entrée RF en mode commun est transformée en deux signaux égaux en opposition de phase qui sont amplifiés par l'étage driver puis l'étage final. Ces deux signaux sortent chacun du boîtier par une patte différente. Ainsi, l'amplificateur en boîtier comporte désormais trois ports contre deux dans la version standard, il en va de même pour le circuit imprimé de sortie de la Figure 82. Une simple calibration TRL ne permet donc pas de déduire les mesures dans le plan des pattes de l'amplificateur.



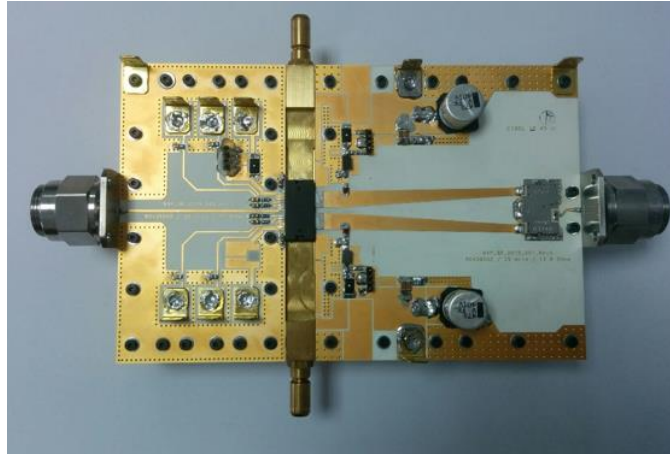


Figure 82 : Circuit de test de l'amplificateur en mode différentiel

Afin de pouvoir remonter aux impédances présentées dans le plan des pattes de l'amplificateur en boîtier, nous avons raisonné de la manière suivante : Dans le cas où l'amplificateur est parfaitement symétrique et équilibré, on peut introduire deux baluns idéaux en cascades entre les sorties de l'amplificateur et du circuit imprimé de sortie. Ces baluns sont représentés sur la Figure 83, en comparaison avec la configuration en mode commun. L'ajout de ces baluns idéaux ne perturbe pas l'ensemble mais permet de se retrouver au point A de la Figure 83 dans la situation de l'amplificateur en mode commun, c'est-à-dire avec un amplificateur et un circuit imprimé de sortie avec chacun deux ports. Ainsi en caractérisant le circuit imprimé de sortie, à l'aide de mesures des standards TRL, il sera possible de remonter aux impédances dans le plan du point A de la Figure 83. De ces impédances on pourra déduire les impédances de chaque patte de sortie et ainsi réaliser une adaptation de sortie basée sur ces dernières.

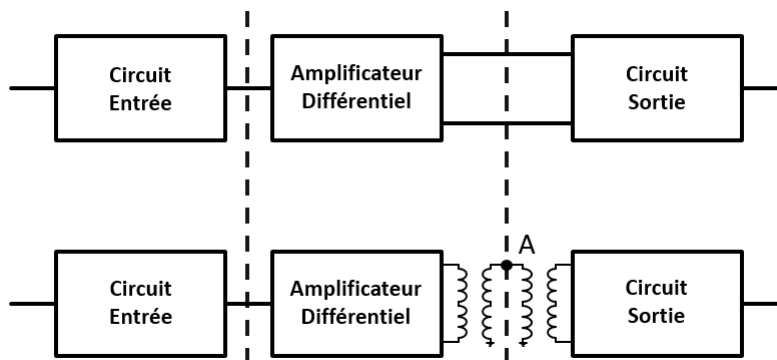


Figure 83 : Schéma bloc de l'ensemble circuit de test et amplificateur différentiel

### III.2.3. Mesures des Paramètres S

Les mesures en paramètres S ont été effectués sur trois échantillons différents afin d'en vérifier la consistance. La calibration de l'analyseur de réseau a été réalisée jusqu'au bout des câbles comme le montre la Figure 84. Le plan de calibration final sera amené au niveau de l'amplificateur en boîtier après les mesures, à l'aide du logiciel ADS.



Le circuit imprimé de sortie qui a été conçu pour permettre la mesure et la caractérisation du MMIC seul, comporte un circuit de mesure du courant consommé. Ce circuit imprimé est utilisé pour la mesure au load-pull et sa conception implique des résonances en dessous de 800 MHz qui ne permettent donc pas de mesurer les paramètres S en dessous de cette fréquence.

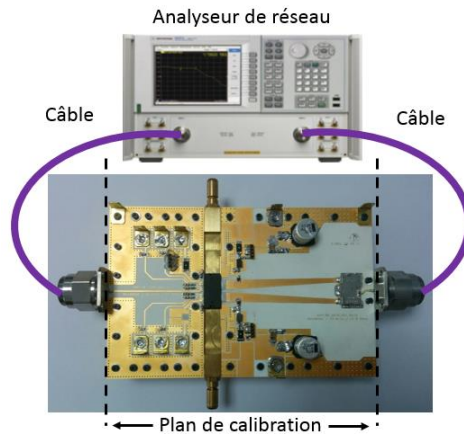


Figure 84 : Schéma de mesure des paramètres S

Les mesures présentées sur la Figure 85 sont les mesures du MMIC différentiel seul dans le plan de ses pattes du boîtier SOT1211. Puisque le MMIC est adapté à  $50 \Omega$  en entrée, les mesures sont observées avec un port  $50 \Omega$  de référence en entrée. A l'inverse, puisque le transistor du MMIC n'est pas adapté à  $50 \Omega$  en sortie, on observe les mesures à l'aide d'un port de référence en sortie présentant une même impédance complexe en fonction de la fréquence pour simplifier les choses. Cette impédance complexe est choisie comme celle présentant un gain plat et au niveau attendu dans l'ensemble de la bande d'intérêt.

La première observation qui peut être faite sur les mesures de la Figure 85 (b) est que le gain présenté par l'amplificateur dans la bande de fréquence visée présente une légère pente avec une bosse à 1.7 GHz et une légère coupure à 2.2 GHz. D'autre part, la Figure 85 (a) montre que le MMIC seul est bien adapté en entrée avec un paramètre S11 de module inférieur à -10 dB dans la bande 1.8 à 2.2 GHz. On note également sur la Figure 85 (c) une bonne isolation.

Enfin, il est important de vérifier qu'aucune résonance n'est observée à basse fréquence, tout du moins jusqu'à 800 MHz puisque la mesure ne permet pas de descendre plus bas en fréquence. Cette caractérisation basse fréquence sera possible avec le circuit d'application qui doit être adapté à  $50 \Omega$  en entrée et en sortie tout en gardant le maximum de performances du MMIC.

Le fait de mesurer plusieurs pièces permet de s'assurer de la consistance de la mesure d'une part et également de la dérive technologique qu'il peut y avoir entre différentes pièces. Celles-ci provenant d'une même plaquette, les différences de performances sont limitées ainsi que le montrent les mesures de la Figure 85. Il aurait été intéressant de mesurer certaines pièces d'une autre plaquette et/ou d'une autre session de fabrication, afin d'observer les différences que cela peut engendrer.



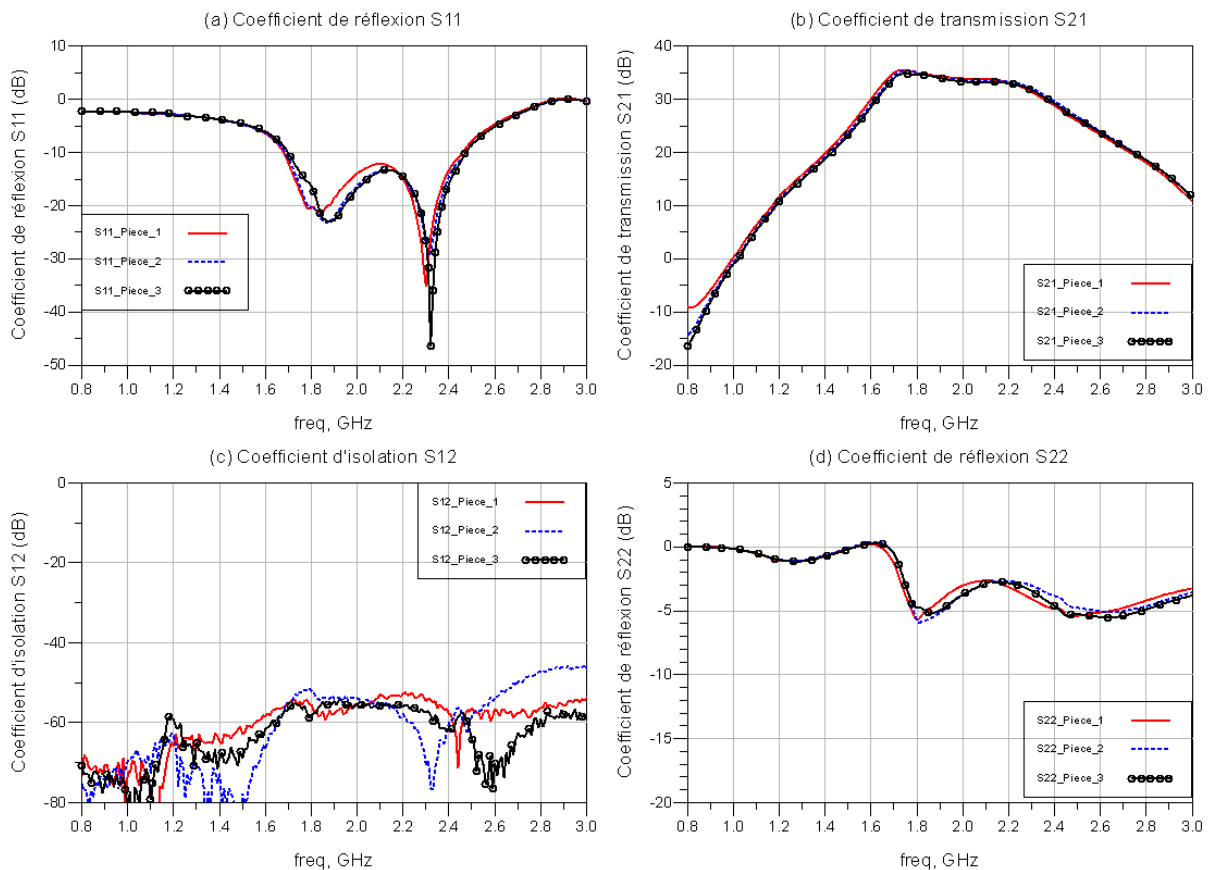


Figure 85 : Paramètres S mesurés large bande de l'amplificateur en mode différentiel

Concernant le facteur de stabilité  $k$ , il est représenté pour une mesure dans le plan des connecteurs du circuit de test et une autre dans le plan des pattes du boîtier, respectivement sur la Figure 86 (a) et la Figure 86 (b). Dans le premier cas, le circuit de test est inconditionnellement stable du point de vue du facteur de stabilité  $k$ , tout en sachant qu'il ne permet pas de mettre en évidence l'ensemble des oscillations possibles. Par contre, après avoir déduit de la mesure les pertes contenues dans le circuit imprimé afin d'amener la mesure dans le plan des pattes du MMIC, le facteur  $k$  passe très nettement en dessous de 1 à plusieurs fréquences. Ce souci est imputé à la manière dont les pertes du circuit imprimé sont déduites de la mesure, car ce comportement n'est pas physique, comme on peut voir sur la Figure 85 (d) où le coefficient de réflexion  $S_{22}$  est supérieur à 0 dB autour de 1.6 GHz. Dans tous les cas, la stabilité et les paramètres S ont été de nouveau mesurés sur le circuit d'application final  $50 \Omega - 50 \Omega$  adaptant le MMIC car c'est dans ces conditions que l'on souhaite avoir un circuit stable.

Pour pouvoir comparer ces mesures à la simulation, il faut se trouver dans les mêmes conditions. Les paramètres S présentés dans la partie II.3.1.1 correspondent à une simulation incluant l'adaptation de sortie du MMIC en boîtier. De manière complémentaire, on compare ci-dessous la mesure avec une simulation du même MMIC conçu sans l'adaptation de sortie mais avec un port de sortie présentant la même impédance complexe que celle utilisée pour observer la mesure dans le paragraphe précédent. On observe alors sur la Figure 87 que les paramètres  $S_{11}$  et  $S_{21}$  mesurés autour de la bande de fréquence d'intérêt sont plutôt en adéquation avec la simulation.



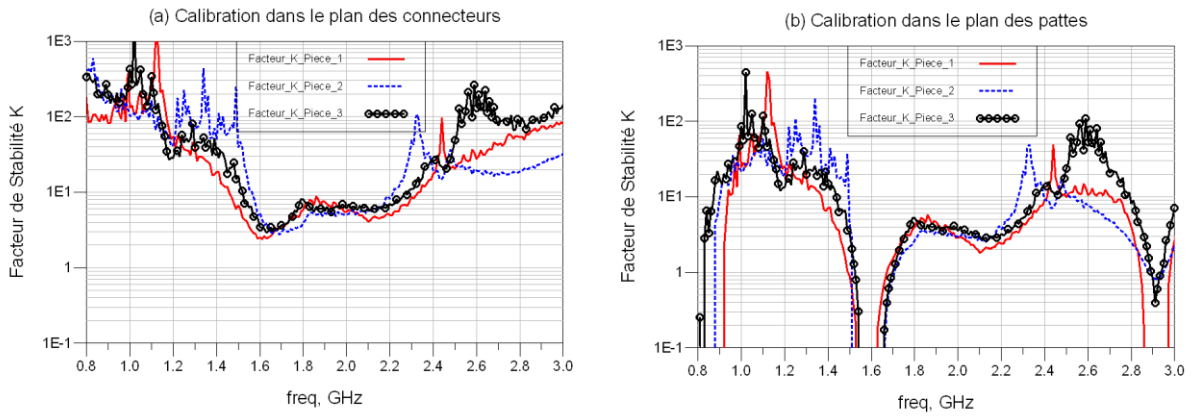


Figure 86 : Facteur de stabilité de l'amplificateur en mode différentiel selon le plan de calibration

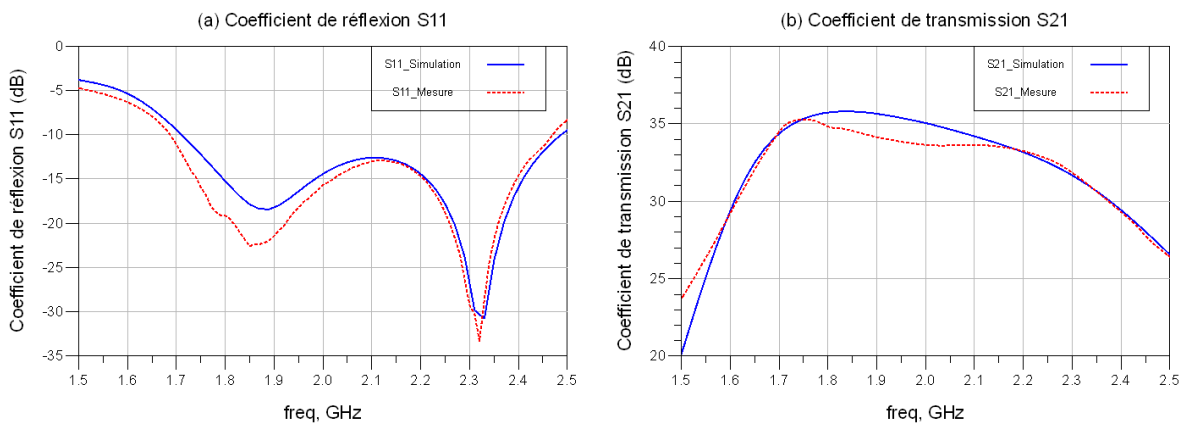


Figure 87 : Comparaison des paramètres S simulés et mesurés

L'amplificateur en mode commun a également été mesuré dans les mêmes conditions. Les mesures ramenées dans le plan des pattes du boîtier sont comparées sur la Figure 88 à celles obtenues avec le MMIC en configuration différentielle. On peut observer sur la Figure 88 (a) que l'adaptation d'entrée est meilleure dans le cas de la conception différentielle, tandis que le gain est plus plat dans le cas de la configuration en mode commun comme le montre la Figure 88 (b).

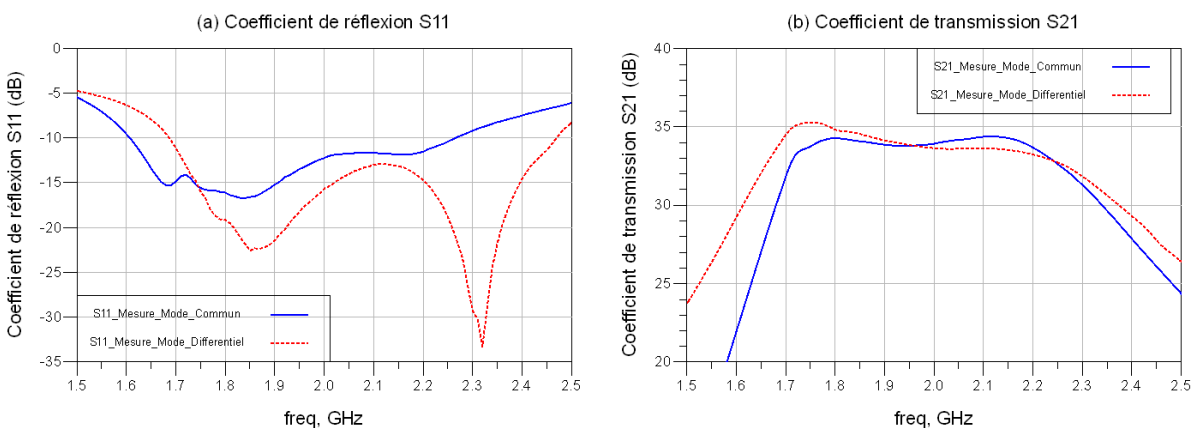


Figure 88 : Comparaison des paramètres S des amplificateurs réalisés



Cette première phase de mesures en paramètres S a permis de s'assurer du bon fonctionnement des MMIC réalisés et de prévenir tout souci lié à la fabrication avant d'effectuer des mesures load-pull de façon sereine.

### III.2.4. Mesures load-pull des amplificateurs en mode commun et différentiel

Le principe de la mesure load-pull [48] a été brièvement introduit dans la partie I.5.2.2. Pour rappel, le but de cette caractérisation est de déterminer les impédances de charge permettant d'atteindre les performances optimales du circuit en termes de puissance, rendement et gain du MMIC.

L'équipement nécessaire pour effectuer une mesure load-pull est plus complexe que pour les paramètres S. Il y a la nécessité de pouvoir faire varier de façon précise l'impédance de charge de l'amplificateur MMIC. Il existe deux façons de mettre en œuvre cette variation d'impédance. Une technique dite passive qui utilise des adaptateurs mécaniques variables appelés tuners et une technique active où les variations d'impédance se font de manière électronique en présentant des générateurs de puissances variables en phase et en amplitude.

Dans notre cas un tuner passif a été utilisé en sortie. Le MMIC en boîtier a été conçu pour être adapté à l'entrée de telle sorte qu'aucun tuner n'est utilisé à l'entrée. Structuré autour d'un analyseur de réseau vectoriel, le banc de mesure load-pull piloté par le logiciel IVCaD de la société AMCAD est représenté de façon simplifiée sur la Figure 89. Un signal sinusoïdal à une fréquence  $F_0$  est fourni par le générateur de puissance et l'alimentation fournit la puissance continue au dispositif sous test (DUT). A l'aide du coupleur d'entrée, on obtient les puissances  $P_1$  et  $P_2$  qui représentent respectivement le signal d'entrée incident et le signal réfléchi par le composant. La puissance de sortie du composant est déduite de la mesure de  $P_3$ .

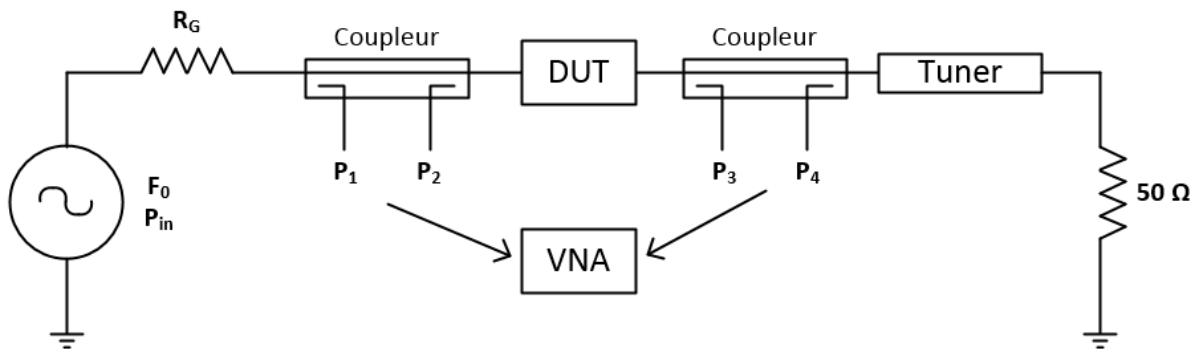


Figure 89 : Schéma de principe du banc load-pull utilisé pour les mesures

Après avoir calibré l'ensemble du banc, la mesure se déroule de la façon suivante : On définit pour chaque fréquence, une zone d'impédance que l'on souhaite présenter à la sortie du dispositif. Pour chacun des points d'impédance, le tuner calibré présentera cette impédance à la sortie du dispositif et un balayage en puissance d'entrée sera effectué, à partir du petit signal et jusqu'à atteindre et dépasser légèrement les 3 dB de compression sur la puissance de sortie. Cette opération est réalisée pour chaque impédance demandée et l'ensemble est mesuré à plusieurs fréquences.



Le logiciel IVCaD traite l'ensemble des données et permet de tracer des contours d'impédances présentant une puissance, un rendement ou encore un gain constant. On peut observer sur la Figure 90 les contours d'impédance à rendement constant et à puissance constante à une fréquence de 2 GHz pour l'amplificateur MMIC en mode différentiel.

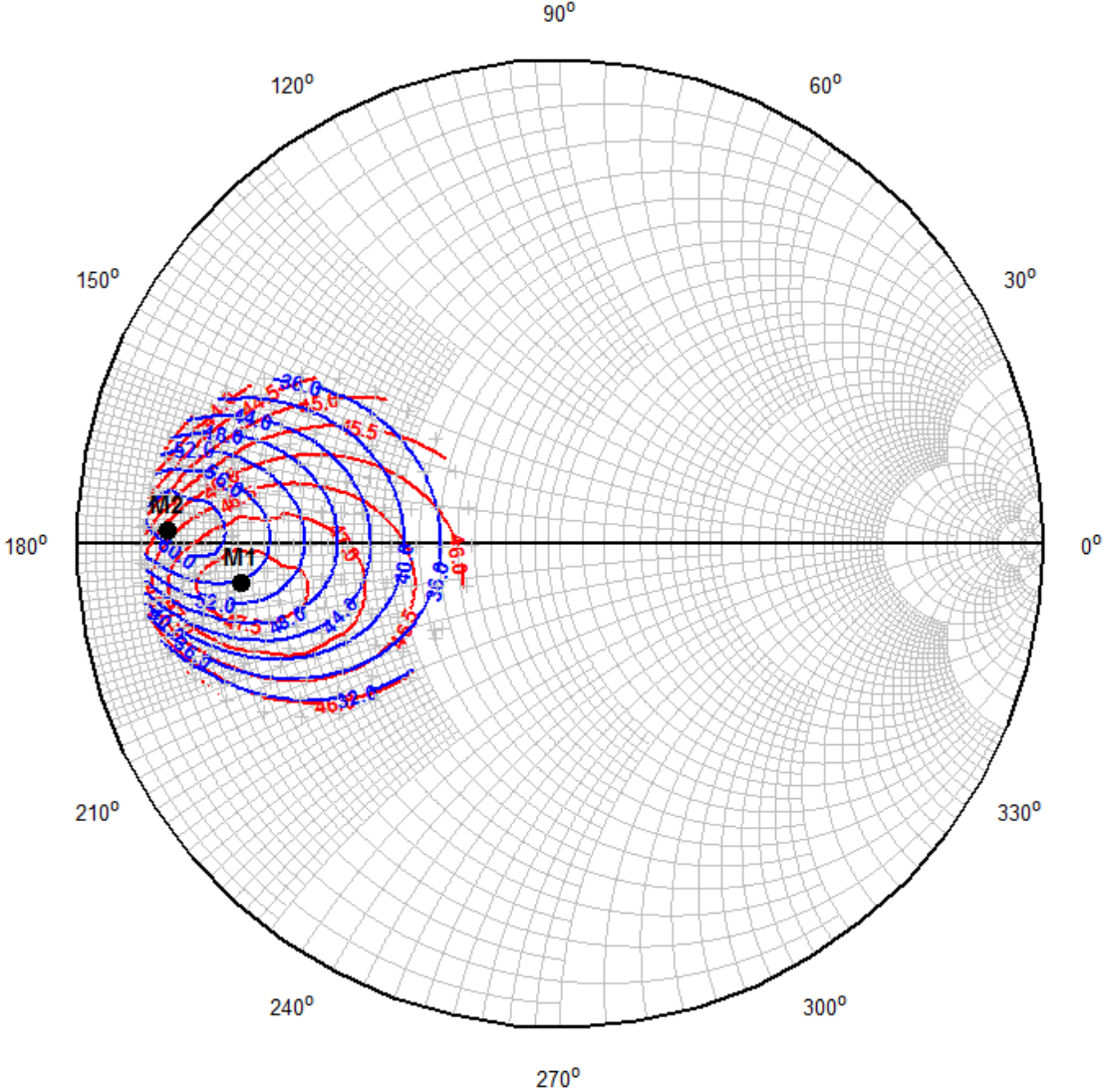


Figure 90 : Contours à rendement et puissance constants représentés sur l'abaque de Smith à 2 GHz de l'amplificateur en mode différentiel en boîtier

Autour des points MXE (M2) et MXP (M1) de la Figure 90 correspondant respectivement au maximum de rendement et le maximum de puissance, des contours sont représentés avec un pas de quatre points de rendement et 0.5 dB de puissance. Les mesures load-pull de la Figure 90 ont été successivement réalisées à chaque fréquence de la bande d'intérêt entre 1.8 et 2.2 GHz pour les deux MMICs en boîtier en mode commun et en mode différentiel. Le Tableau 4 synthétise ces résultats pour le MMIC en mode différentiel aux deux points MXE et MXP correspondant respectivement aux impédances optimales en rendement et en puissance.



La première spécification à vérifier est le niveau de puissance atteignable. L'objectif est d'atteindre 47 dBm, soit 50 W, sur le circuit imprimé d'application, c'est-à-dire présentant 50  $\Omega$  à l'entrée et à la sortie. Ici, le Tableau 4 montre une puissance maximale disponible légèrement supérieure à 47 dBm mais devrait tout juste atteindre la puissance souhaitée compte tenu des 0,4 dB de pertes attendues pour le circuit d'adaptation de sortie. D'autre part, le rendement présente des valeurs très encourageantes, que ce soit pour les points d'impédances de puissance maximale ou pour ceux de rendement maximal. Enfin le gain linéaire mesuré est en adéquation avec la simulation malgré une légère pente. On peut aussi remarquer dans le Tableau 4 que les impédances sont assez regroupées et il sera vu par la suite si elles permettent une bonne adaptation sur l'ensemble de la bande.

Tableau 4 : Résultats load-pull de l'amplificateur différentiel

Maximum de rendement					Maximum de puissance				
Fréquence (MHz)	Rendement (%)	Puissance (dBm)	Gain (dB)	Impédance ( $\Omega$ )	Fréquence (MHz)	Puissance (dBm)	Rendement (%)	Gain (dB)	Impédance ( $\Omega$ )
1800	62.9	46.12	35.82	7.58-3.91j	1800	47.66	55.4	34.73	12.60-2.04j
1900	59.9	46.00	35.34	7.49-3.98j	1900	47.19	52.4	34.27	10.83-1.77j
2000	61.3	46.29	34.07	5.25-0.86j	2000	47.74	55.5	33.74	10.14-2.94j
2100	58.3	46.34	34.67	6.31-0.01j	2100	47.65	51.9	33.20	10.44-4.76j
2200	55.6	46.34	34.82	7.80-0.15j	2200	47.38	50.3	33.04	13.33-4.32j

L'objectif de cette mesure load-pull était de connaître les performances large signal intrinsèques de l'amplificateur réalisé et également de connaître les impédances optimales que doit présenter le circuit imprimé externe d'adaptation de sortie dans le plan du boîtier afin d'atteindre ces performances optimales. Avant cela, comparons ces performances mesurées pour l'amplificateur MMIC en boîtier avec celles de l'amplificateur en mode commun mesuré dans les mêmes conditions.

La Figure 91 (a) et la Figure 91 (b) comparent la puissance de sortie en fonction de la fréquence respectivement des amplificateurs en mode commun et en mode différentiel pour les deux optima en puissance MXP et en rendement MXE. Que ce soit à MXE ou MXP, ils présentent globalement le même niveau de puissance comme il était attendu au vu des simulations. Une chose intéressante à noter est que le rendement comparé sur la Figure 92 (a) et la Figure 92 (b) est légèrement supérieur dans le cas de l'amplificateur en mode différentiel, bien qu'il présente plus de pente en fonction de la fréquence. Cependant, c'est l'amplificateur en mode commun qui présente le meilleur gain ainsi que le montre la Figure 93 (a) et la Figure 93 (b).





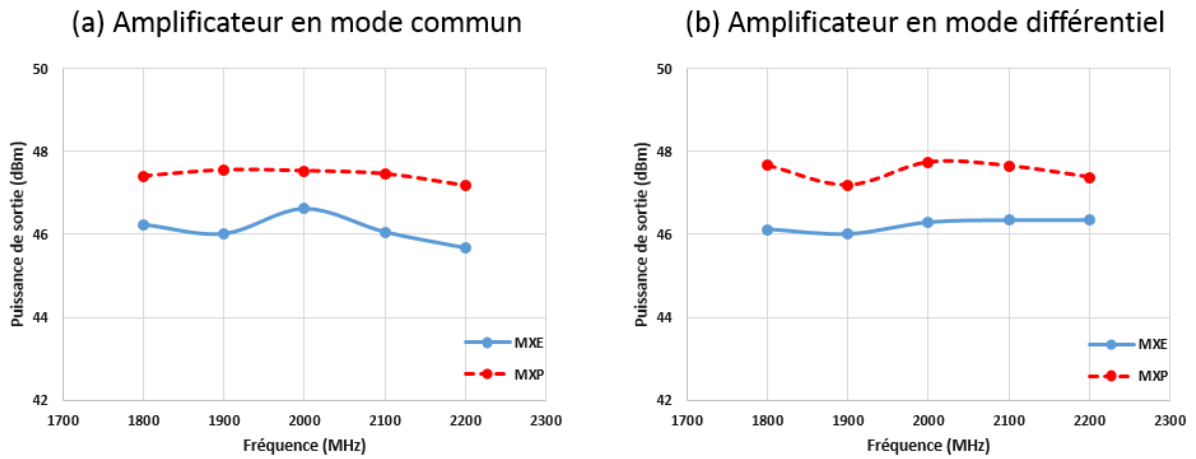


Figure 91 : Mesures de la puissance de sortie en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE

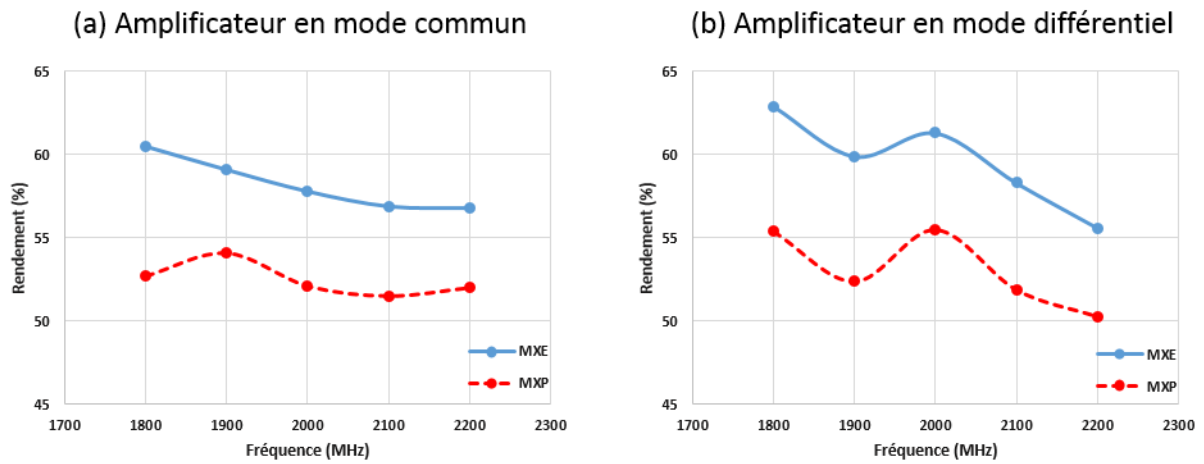


Figure 92 : Mesures du rendement en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE

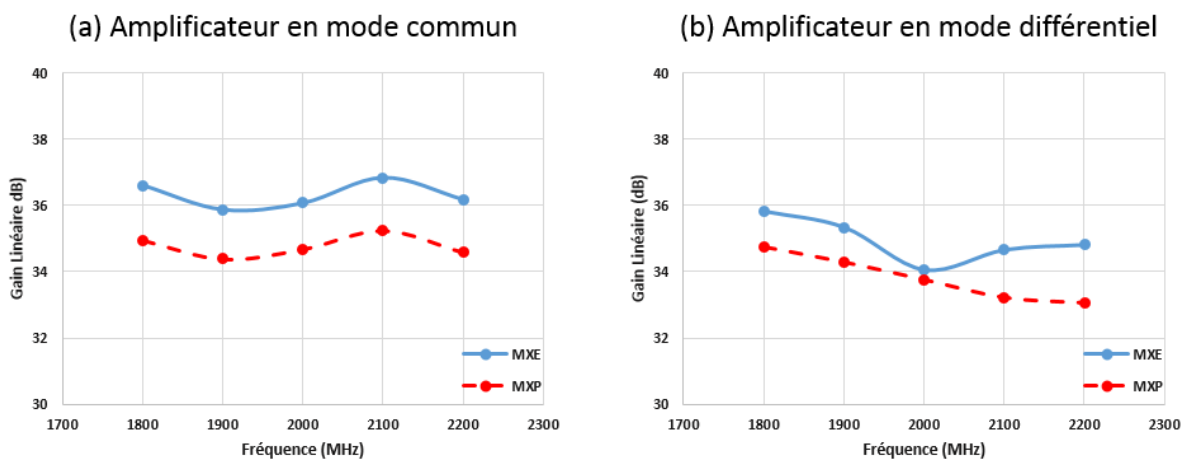


Figure 93 : Mesures du gain en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE



Ces mesures load-pull peuvent être comparées à celles des produits déjà existant. En effet le MMIC, de la société Ampleon, BLM7G1822S-40PB [49] est réalisé avec la même technologie de LDMOS que nos amplificateurs. Ce dernier adresse une puissance légèrement inférieure mais le rendement et le gain de nos amplificateurs sont supérieurs à ceux de ce cet amplificateur de puissance. Ceci s'explique en partie par le fait que nos puces ont été affinées à une épaisseur de 50  $\mu\text{m}$  alors que celle du produit BLM7G1822S-40PB est de 180  $\mu\text{m}$ . Cette comparaison confirme l'apport sur la réduction des pertes dans les éléments d'adaptation due à l'amincissement du substrat.

La mesure large signal load-pull a permis de déterminer expérimentalement les conditions optimales de charge correspondant aux optima de puissance ou de rendement du composant réalisé. Cependant l'amplificateur MMIC en boîtier n'est pas utilisable seul car il est adapté à 50  $\Omega$  à l'entrée mais pas en sortie. C'est pourquoi, on s'intéresse aux impédances à présenter afin d'atteindre les valeurs optimales en termes de puissance, rendement et gain de l'amplificateur. Pour cela, il convient de réaliser un circuit imprimé externe d'adaptation de sortie qui en limitant au maximum les pertes aura pour but de faire la transformation des impédances obtenues au load-pull aux 50  $\Omega$  standard.

### III.3. Réalisation des circuits d'application

#### III.3.1. Modélisation des impédances load-pull

Pour qu'il soit utilisable pour notre application de télécommunication, l'amplificateur en boîtier doit être mis dans un environnement 50  $\Omega$ , en entrée et en sortie. Tel qu'il a été conçu, il est déjà adapté à l'entrée mais il faut faire la transformation d'impédance en sortie vers 50  $\Omega$ . Cette adaptation a été réalisée sur un substrat de type Rogers. Ce circuit imprimé a été monté sur une semelle en cuivre pour des raisons de dissipation thermique. L'ensemble du MMIC en boîtier avec le circuit d'adaptation externe est appelé circuit d'application.

Les mesures load-pull précédentes du mode différentiel ont donné les impédances optimales MXE et MXP, reportées dans le Tableau 4, pour quelques fréquences de la bande d'intérêt entre 1.8 et 2.2 GHz. Ces impédances sont représentées sur les abaques de la Figure 94 (a) et de la Figure 94 (b) respectivement pour les amplificateurs en mode commun (abaque normalisé à 5  $\Omega$ ) et en mode différentiel (abaque normalisé à 12  $\Omega$ ). Ces impédances optimales sont assez regroupées pour MXP, moins pour MXE, de telle sorte qu'il a été décidé de synthétiser les impédances MXP qui de plus permettent d'atteindre le niveau de puissance souhaité.

Afin de réaliser l'adaptation sur l'ensemble de la bande, il convient de modéliser ces impédances par un circuit passif que l'on cherchera par la suite à adapter à 50  $\Omega$ . La conception du circuit d'adaptation de sortie pour adapter les impédances load-pull modélisées est basée sur les topologies d'impédances représentées sur la Figure 95. Une résistance  $R_1$  en parallèle avec  $C_{ds}$  correspondent à l'impédance de la source de courant. Une capacité à la masse supplémentaire  $C_{pad}$  décrit l'effet du pad où le fil de sortie inductif est connecté pour relier la patte de sortie du boîtier, représentée par une ligne de transmission. Dans le cas de l'amplificateur en mode commun, les deux pattes de sorties seront connectées ensemble comme sur la Figure 95 (a), tandis que dans le cas du mode différentiel, il a été montré au paragraphe III.2.2, que les impédances obtenues en load-pull correspondent à celles vues à travers un balun idéal chargé par les blocs finaux de



l'amplificateur. On retrouve ce balun idéal dans le circuit de modélisation des impédances sur la Figure 95 (b).

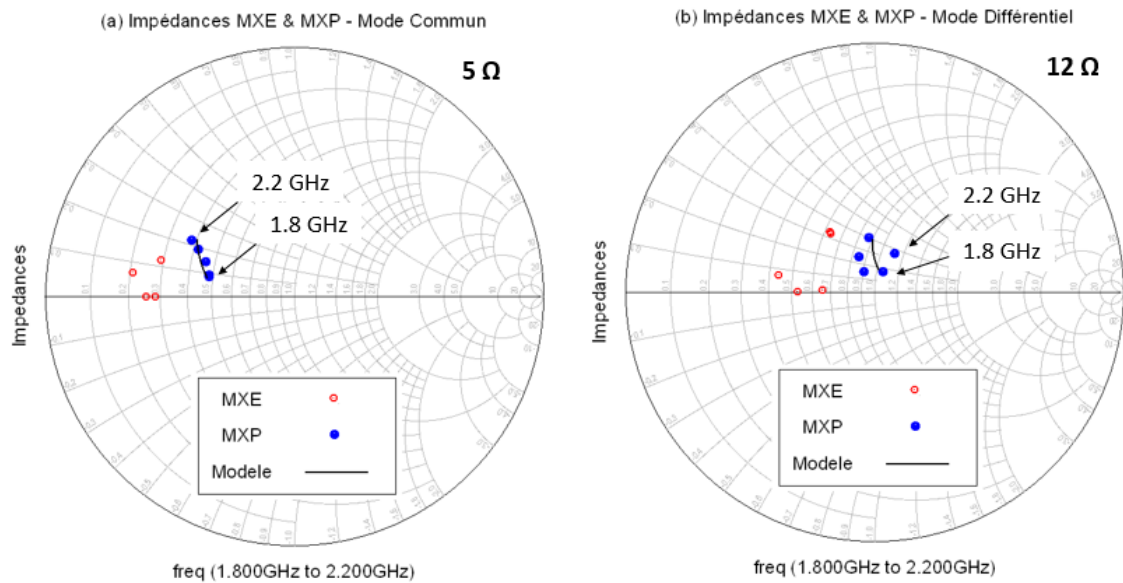


Figure 94 : Impédances load-pull pour MXE et MXP des amplificateurs mode commun et mode différentiel dans la bande d'intérêt 1.8 à 2.2 GHz

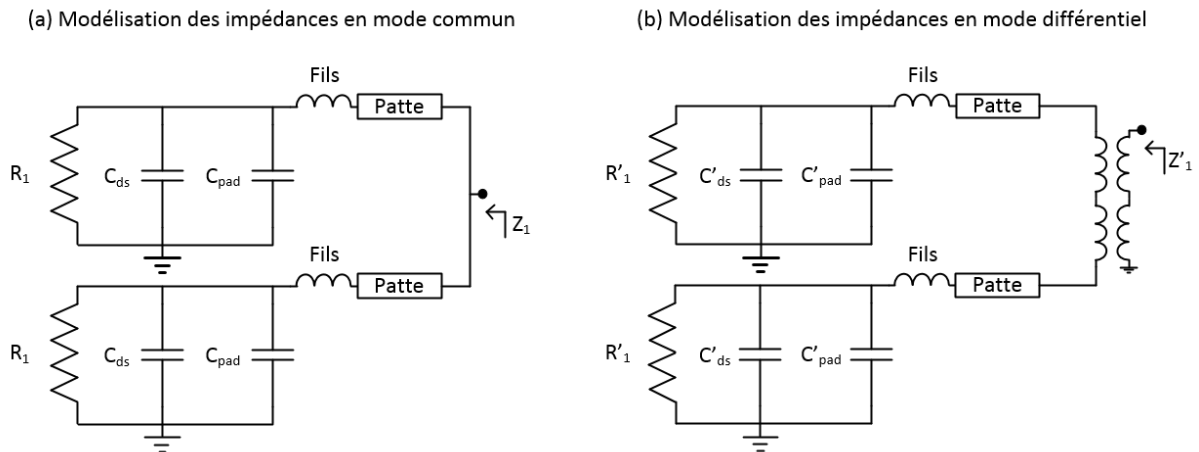


Figure 95 : Circuits modélisant les conjugués des impédances load-pull des MMICs en boîtier pour le mode commun (a) et le différentiel (b)

Pour finaliser ces modèles d'impédances, il suffit ensuite d'optimiser les valeurs des composants des circuits de la Figure 95 permettant de simuler les valeurs  $Z_1$  ou  $Z'_1$  correspondant entre 1.8 et 2.2 GHz aux conjugués des impédances mesurées en load-pull. On peut observer sur la Figure 94 que les impédances  $Z_1$  et  $Z'_1$  modélisent avec précision respectivement le mode commun et le mode différentiel. Le modèle permettra de s'approcher plus précisément d'un sens physique de variation en comparaison des mesures.



On retrouve les valeurs numériques optimisées des composants des circuits de la Figure 95 dans le Tableau 5. Pour les deux configurations, les valeurs de  $R_1$  et de  $C_{ds}$  sont les mêmes puisque propres aux transistors. La valeur de  $C_{pad}$  diffère du fait que les blocs de 24 mm ne sont pas agencés de la même manière dans les deux configurations, comme on peut le voir sur la Figure 77 et la Figure 78. En effet le pad est plus étiré dans le cas de l'amplificateur MMIC en mode commun. Pour les mêmes raisons la valeur d'inductance des fils de sortie diffère légèrement. Enfin les pattes de sorties sont modélisées par une ligne d'impédance  $Z_{patte}$  et d'une longueur  $E_{patte}$  à 2 GHz, de même valeur pour les deux configurations.

Tableau 5 : Valeurs numériques des composants du modèle d'impédance optimale pour les configurations mode commun et mode différentiel

Mode	$R_1$ ( $\Omega \cdot \text{mm}$ )	$C_{ds}$ ( $\text{pF} \cdot \text{mm}^{-1}$ )	$C_{pad}$ ( $\text{pF} \cdot \text{mm}^{-1}$ )	$L_{fils}$ (pH)	$Z_{patte}$ ( $\Omega$ )	$E_{patte}$ ( $^\circ$ )
Mode Commun	225	0.26	0.11	160	14	18.8
Mode	$R'_1$ ( $\Omega \cdot \text{mm}$ )	$C'_{ds}$ ( $\text{pF} \cdot \text{mm}^{-1}$ )	$C'_{pad}$ ( $\text{pF} \cdot \text{mm}^{-1}$ )	$L'_{fils}$ (pH)	$Z'_{patte}$ ( $\Omega$ )	$E'_{patte}$ ( $^\circ$ )
Mode Différentiel	225	0.26	0.02	190	14	18.8

### III.3.2. Conception des circuits d'application

Les topologies des circuits d'adaptation de sortie ont déjà été présentées dans la partie II.2.2 mais elles ont été optimisées afin de présenter les impédances load-pull au boîtier. La fonction de transfert de chacune des adaptations de sortie est représentée sur la Figure 96. On retrouve le niveau de pertes attendu dans chacune des configurations. L'adaptation de sortie de l'amplificateur différentiel présente plus de pertes du fait de l'utilisation d'un balun commercial dont les pertes sont importantes. Cette différence sur les pertes du circuit d'adaptation de sortie devrait se traduire en une perte de quelques points de rendement pour l'amplificateur différentiel et un niveau de puissance et de gain légèrement plus bas.



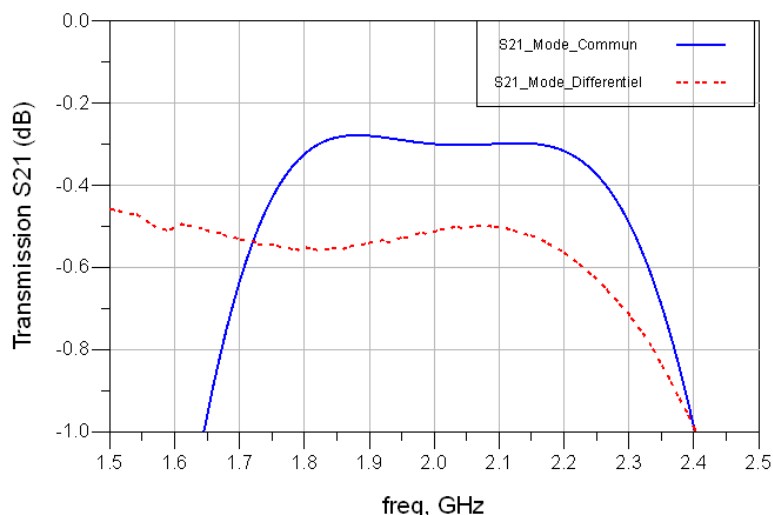


Figure 96 : Fonction de transfert des circuits externes d'adaptation de sortie pour le mode commun et le mode différentiel

Avant d'évaluer ces différences entre les modes commun et différentiel, on peut s'intéresser à l'impédance présentée dans le plan de la source de courant du drain du transistor final. Il a été montré que la résonance de cette impédance est le facteur limitant de la bande instantanée de l'amplificateur. Comme attendu, du fait de la conception différentielle, la résonance est bien plus élevée en fréquence dans le cas de l'amplificateur différentiel que dans le cas de celui en mode commun comme le montre la Figure 97. Cette simulation de l'adaptation de sortie sera confirmée avec les mesures ultérieures de la bande instantanée.

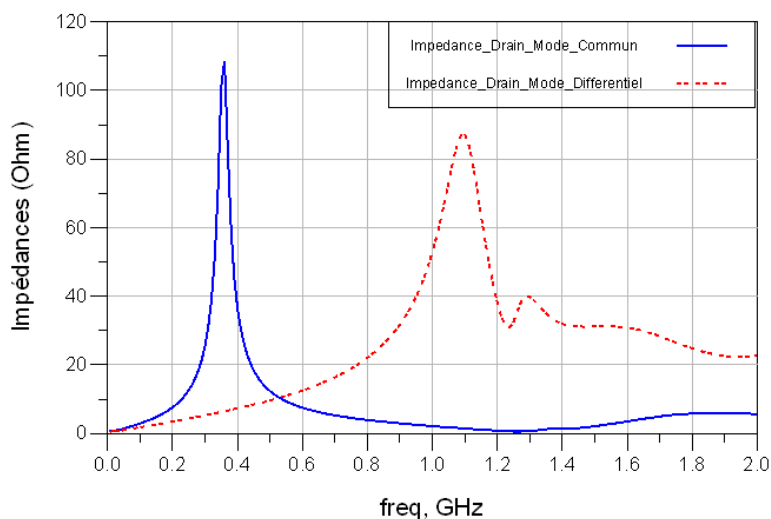


Figure 97 : Impédances simulées dans le plan de la source de courant pour les amplificateurs en mode commun et en mode différentiel

Après avoir réalisé l'adaptation de sortie, il convient d'ajouter le circuit de polarisation du MMIC et une ligne d'accès 50  $\Omega$  à l'entrée. Pour l'accès d'entrée des circuits d'application, la même ligne 50  $\Omega$  est utilisée pour les deux amplificateurs qui partagent également le même circuit de polarisation pour les tensions  $V_{gs1}$ ,  $V_{gs2}$  ainsi que  $V_{ds1}$ . Pour la



polarisation  $V_{ds2}$  du second étage, une ligne quart d'onde est utilisée dans le cas du mode commun avec un découplage en BF et en RF à son extrémité. Dans le cas de l'amplificateur en mode différentiel le découplage se fait au point milieu, correspondant à une masse virtuelle, formé par les deux lignes hautes impédances connectées chacune à une des pattes de sortie du MMIC. Cependant pour des raisons d'encombrement, la tension continue  $V_{ds2}$  est amenée de la même manière que dans le cas de l'amplificateur en mode commun.

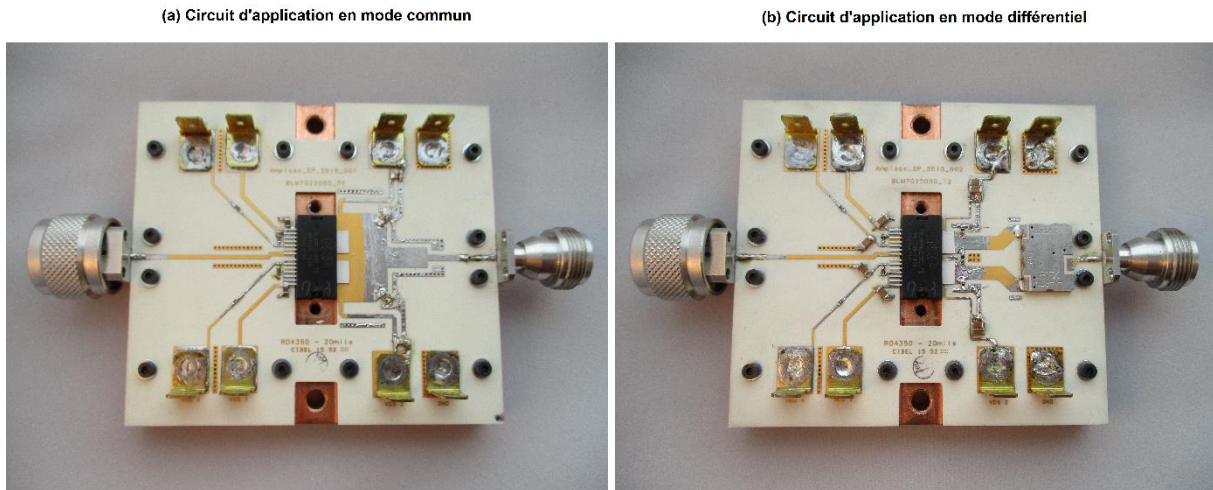


Figure 98 : Photos des circuits d'application en mode commun et en mode différentiel

### III.4. Mesures des premiers circuits d'application

Les amplificateurs ont été initialement conçus comme des puces MMICs assemblées dans un boîtier intégrant une adaptation  $50 \Omega$  d'entrée mais aucune adaptation de sortie. Ces amplificateurs ont alors été intégrés dans un circuit de test pour être caractérisés en load-pull. Ces résultats ont alors permis de synthétiser les circuits d'adaptation de sortie externes correspondant aux performances optimales en puissance. Les circuits dits d'application sont alors constitués des MMICs en boîtier avec leurs circuits externes d'adaptation de telle sorte qu'ils sont adaptés  $50 \Omega$  entrée- sortie. Cette partie décrit les mesures de ce circuit d'application.

#### III.4.1. Mesures des paramètres S du circuit d'application

La campagne de mesure commence par les performances en petit signal de nos circuits d'application. Ces mesures ont été réalisées à une puissance d'entrée de  $-20$  dBm pour des fréquences allant de  $10$  MHz à  $3$  GHz. La polarisation du MMIC est de  $5$  mA/mm aussi bien pour l'étage driver que pour l'étage final. La température est maintenue constante à  $25$  °C grâce à un système de refroidissement à eau.

Les deux circuits d'application conçus respectivement à l'aide des MMICs en mode commun et en mode différentiel, sont assez bien adaptés à l'entrée ainsi que le montre le paramètre  $S_{11}$  de la Figure 99 (a) inférieur à  $-10$  dB dans les deux cas. Plusieurs observations peuvent être faites sur la mesure en transmission de la Figure 99 (b). Tout d'abord, les deux amplificateurs présentent le gain attendu dans la bande de fréquence souhaitée. Ensuite, on observe des remontées ou résonances aux fréquences plus basses correspondant aux résonances d'impédances des drains des transistors finaux dans le plan



de la source de courant. Dans le cas de l'amplificateur en mode commun, cette remontée est autour de 350 MHz qui laisse donc espérer une bande instantanée de l'ordre de la moitié autour de 150 MHz. Cette remontée à 350 MHz étant importante, avec un gain supérieur à 20 dB, il faudra s'assurer de la stabilité de l'amplificateur. Il est intéressant de noter que dans le cas de l'amplificateur en mode différentiel, cette résonance est située bien plus haut en fréquence, autour de 680 MHz, ce qui pourrait conduire à une bande instantanée de l'ordre de 340 MHz deux fois supérieure à celle en mode commun. Les mesures suivantes viendront confirmer cette attente.

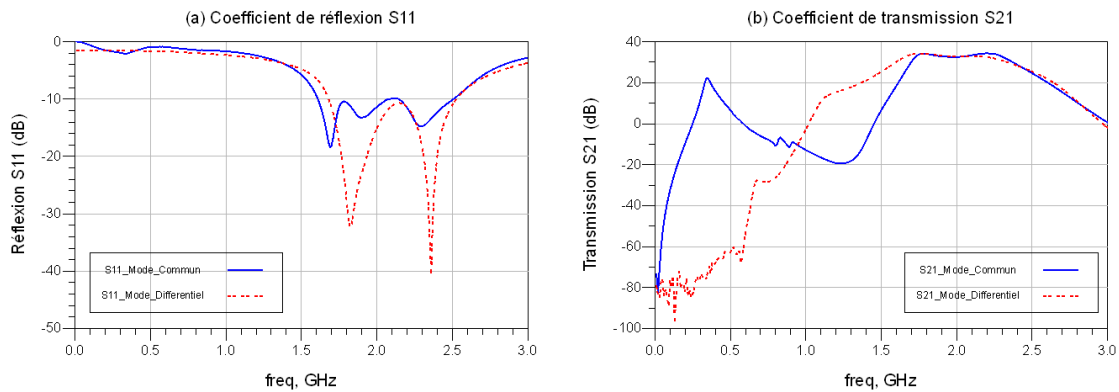


Figure 99 : Paramètres S mesurés des circuits d'application en mode commun et en mode différentiel

Une autre information découle directement de la mesure en petit signal de nos circuits d'application : c'est le facteur de stabilité  $k$ . Dans notre bande de fréquence d'intérêt et même au-delà les mesures de la Figure 100 montrent que le circuit d'application en mode différentiel est inconditionnellement stable du point de vue du facteur de stabilité  $k$ . Par contre la Figure 100 montre que le circuit d'application basé sur le MMIC en mode commun a un facteur de stabilité  $k$  inférieur à 1 autour de 1.7 GHz. En se basant sur les cercles de stabilité de la Figure 101, on s'aperçoit que le problème vient de l'entrée mais qu'aucun cercle n'incluse la valeur  $50 \Omega$  même si la marge est faible. La source de puissance qui sera connectée à l'amplificateur étant une source  $50 \Omega$ , cela ne posera pas de problème pour la stabilité.

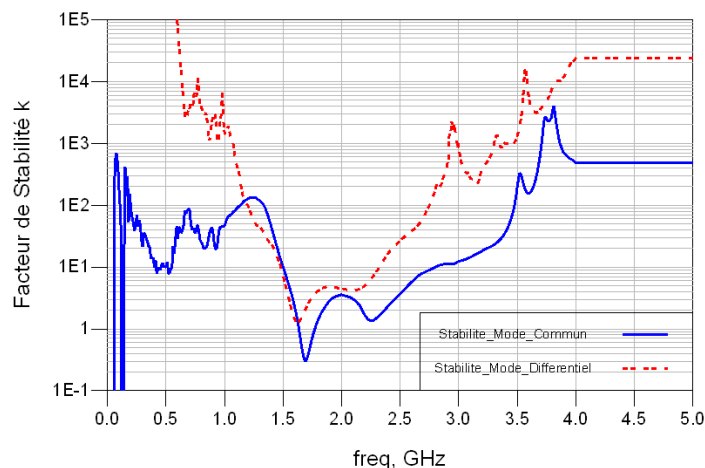


Figure 100 : Facteur de stabilité  $k$  des circuits d'applications



Une fois les mesures en petit signal effectuées afin de s'assurer de la stabilité et du bon fonctionnement faible-signal de l'amplificateur, des mesures en puissance ont été réalisées.

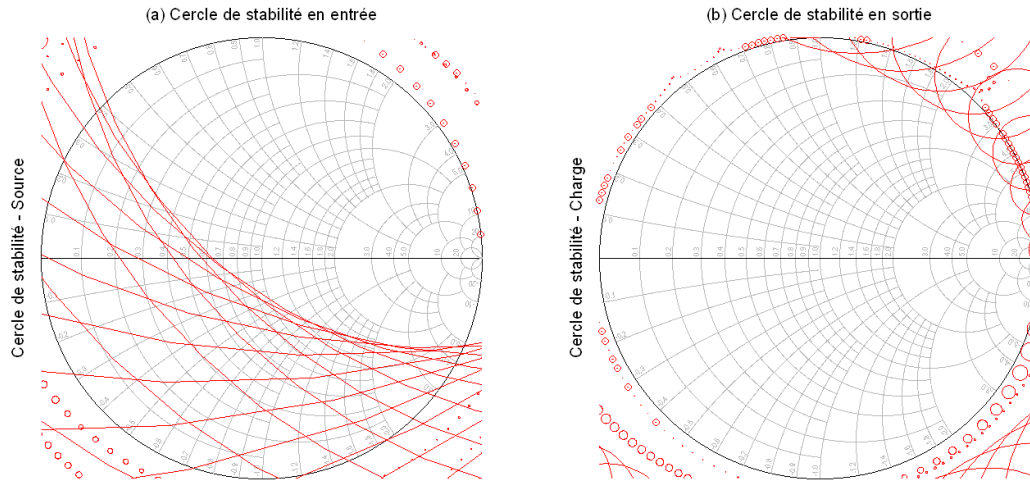


Figure 101 : Cercle de stabilité pour l'amplificateur en mode commun

### III.4.2. Mesures en puissance des circuits d'application

Pour ces mesures en puissance, le transistor est polarisé, de même que précédemment, à 5 mA/mm pour chacun des étages. La puissance d'entrée est balayée d'une faible valeur jusqu'à atteindre la compression à 3 dB de l'amplificateur.

Le choix privilégié pour nos applications est de représenter le gain et le rendement des amplificateurs en fonction de la puissance de sortie. Ainsi, la Figure 102 et la Figure 103 présentent ces performances aux fréquences d'intérêt pour les versions en mode commun et en mode différentiel. La première observation faite sur le gain est que la pente quasi nulle avant la compression confirme la bonne polarisation du transistor. Ensuite on observe la compression et la puissance de sortie maximale atteinte. On s'intéresse au rendement à 3 dB de compression et l'ensemble de ces valeurs est résumé dans le Tableau 6 pour les deux versions d'amplificateurs.

Dans les deux configurations, la puissance maximale de sortie est comprise entre 40 et 50 W avec un rendement proche de 50 %. Dans le cas de l'amplificateur différentiel, le gain présente une pente décroissante des basses fréquences vers les hautes fréquences alors que l'amplificateur en mode commun présente deux bosses autour des fréquences extrêmes de la bande. Ces mesures sont consistantes entre elles et en adéquation avec les simulations non-linéaires effectuées au chapitre précédent.

Le circuit d'application pourrait être modifié, notamment les capacités utilisées, afin de privilégier la puissance ou bien le rendement, ou encore pour ajuster la pente en gain. Cependant, dans le cadre de notre étude prospective sans spécifications précises d'application client, les résultats présentés sont jugés en adéquation avec nos spécifications initiales données en section II.2.1. De plus, les circuits d'application destinés aux applications de télécommunications ne seraient pas aussi large bande que ceux présentés





ici. On pourrait alors obtenir de meilleures performances de rendement et de puissance maximale en réduisant la bande de fréquence visée.

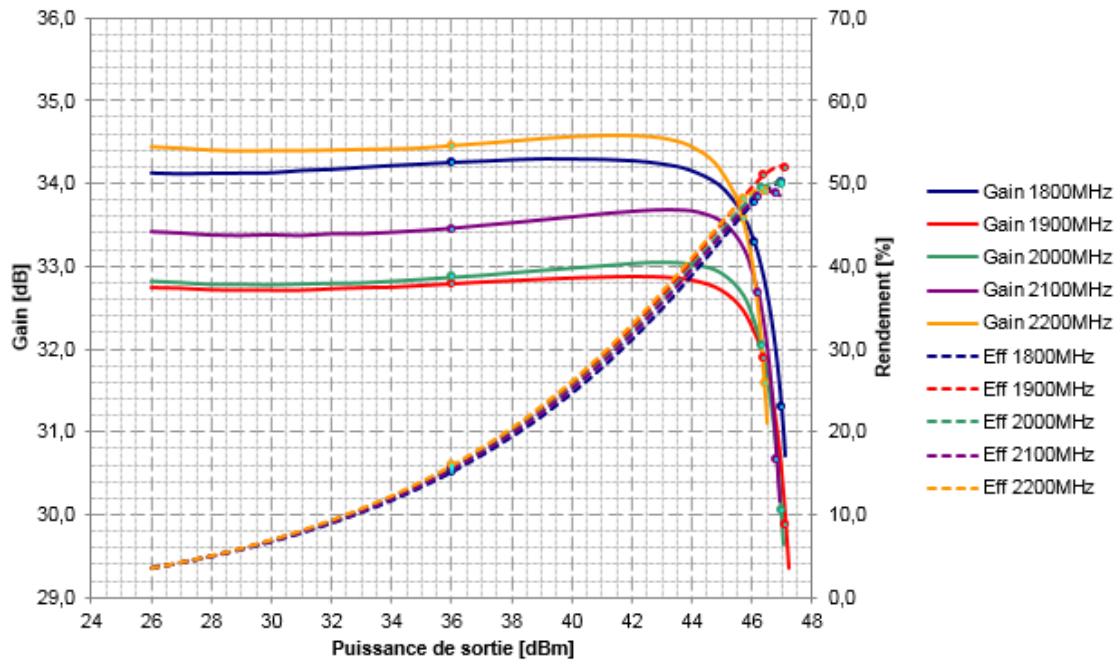


Figure 102 : Gain et rendement en fonction de la puissance de sortie de l'amplificateur en mode commun dans la bande de fréquence d'intérêt entre 1.8 et 2.2 GHz

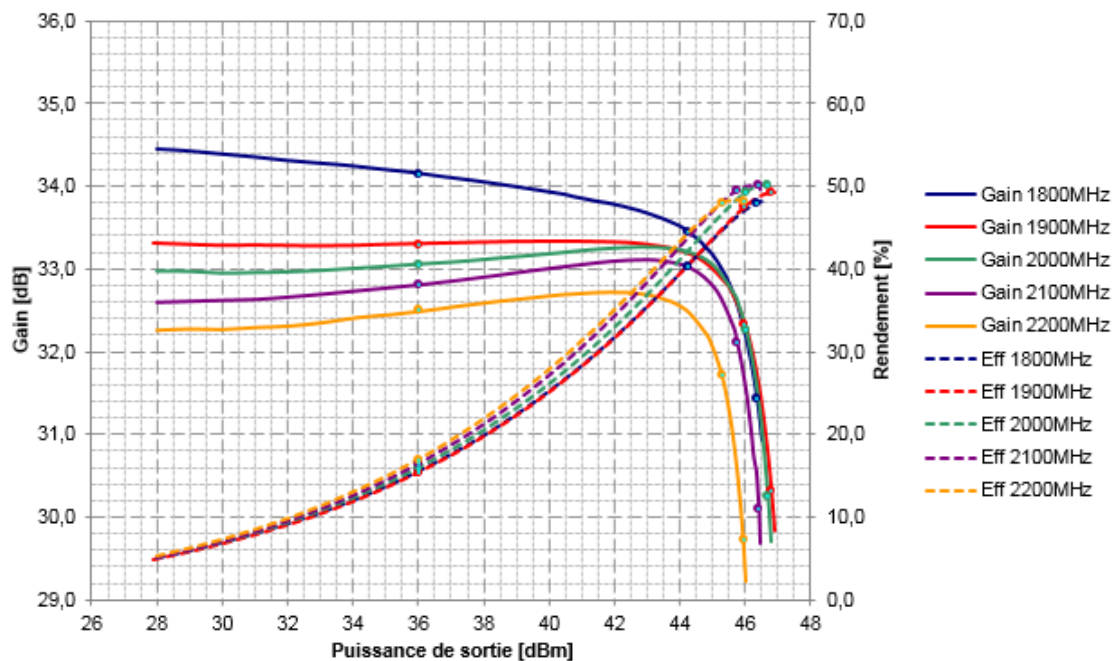


Figure 103 : Gain et rendement en fonction de la puissance de sortie de l'amplificateur en mode différentiel dans la bande de fréquence d'intérêt entre 1.8 et 2.2 GHz



Tableau 6 : Performances mesurées des circuits d'applications à 3 dB de compression

Amplificateur en mode commun				Amplificateur en mode différentiel			
Fréquence (MHz)	Puissance (dBm)	Rendement (%)	Gain (dB)	Fréquence (MHz)	Puissance (dBm)	Rendement (%)	Gain (dB)
1800	47.0	50.1	34.3	1800	46.4	47.9	34.4
1900	47.1	51.9	32.9	1900	46.8	49.2	33.3
2000	47.0	49.9	33.0	2000	46.7	50.1	33.3
2100	46.8	48.7	33.7	2100	46.4	50.1	33.1
2200	46.4	49.1	34.6	2200	46.0	48.1	32.7

### III.4.3. Mesures de linéarité

La mesure de linéarité présentée dans cette section a été faite pour un signal standard WCDMA d'une largeur spectrale de 3.84 MHz autour d'une seule porteuse allant de 1800 MHz à 2200 MHz. On mesure ensuite les ACPR (Adjacent Channel Power Ratio) qui sont les ratios de puissance entre le canal principal et les deux canaux adjacents à 5 MHz de décalage par rapport à la porteuse et de même pour ceux à 10 MHz.

N'ayant pas de spécifications contraintes par une application client, ces mesures d'ACPR à 5 et 10 MHz de la Figure 104 et de la Figure 105 montrent simplement le bon fonctionnement des amplificateurs réalisés. En effet pour les deux configurations, avant la compression, le niveau d'ACPR à 5 MHz est inférieur à -45 dBc qui est une valeur référence pour nombre d'applications. De plus comme il est attendu, la puissance dans les canaux à 10 MHz est plus faible qu'à 5 MHz. Etant donné les niveaux intrinsèques très faibles de distorsion sur les canaux adjacents, il serait alors envisageable d'utiliser une pré-distorsion digitale afin d'atteindre les niveaux d'APCR attendus par les applications au cas où ceux-ci ne seraient pas suffisants.



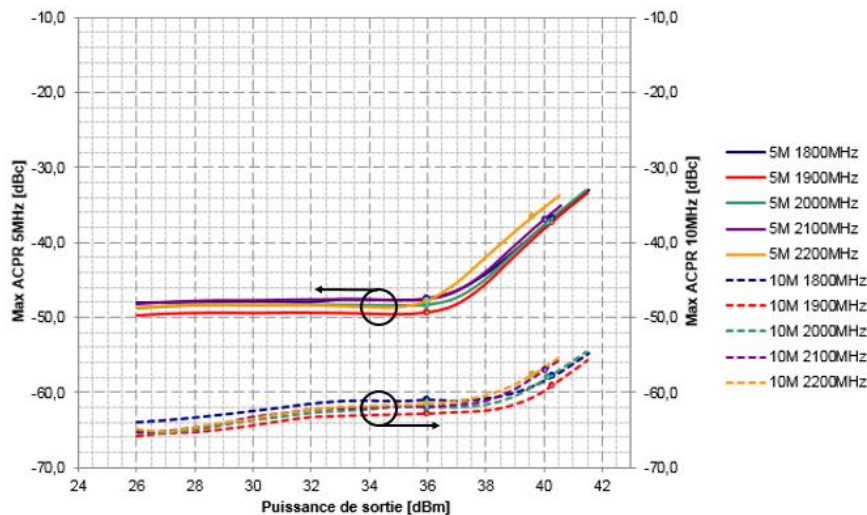


Figure 104 : Mesures des ACPR pour l'amplificateur en mode commun

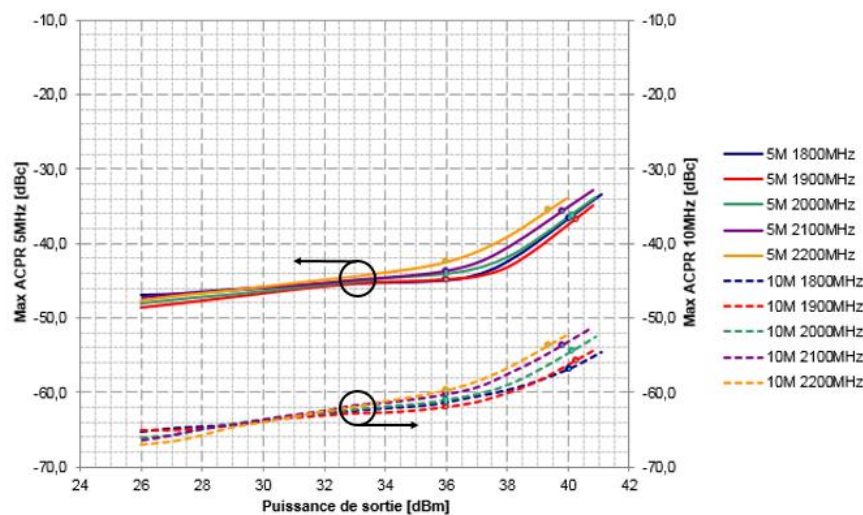


Figure 105 : Mesures des ACPR pour l'amplificateur mode différentiel

### III.4.4. Mesure de la bande instantanée

Après avoir vérifié le bon fonctionnement en puissance de nos amplificateurs, nous avons mis en œuvre la mesure en régime bi-porteuse de la bande instantanée. Pour cela, deux sources sont utilisées avec leur puissance réglée afin d'avoir les produits d'intermodulation à un niveau de  $-30$  dBc, c'est-à-dire 30 dB en dessous du niveau des composantes fondamentales. Dans notre cas, ce réglage a conduit à une puissance de sortie autour de 43.5 dBm pour nos amplificateurs. Cette puissance correspond à un niveau d'utilisation standard de l'amplificateur.

Dans le cas de l'amplificateur en mode commun, la Figure 106 montre que, la limite de la bande instantanée mesurée est de 150 MHz alors qu'elle atteint 350 MHz dans le cas de notre amplificateur en mode différentiel comme le montre les mesures de la Figure 107. Tout d'abord ces mesures confirment bien les attentes exprimées à la suite des simulations, en particulier pour ce qui concerne l'étude de l'impédance présentée au drain dans le plan



de la source de courant du transistor. Ce résultat de 350 MHz correspond à une amélioration majeure de la bande instantanée. En effet la seule configuration différentielle apporte une amélioration d'un facteur deux sur la bande instantanée tout en gardant des performances similaires sur le gain, le rendement et la puissance.

De même que pour les mesures load-pull, on peut comparer ces mesures de bande instantanée avec celle d'autres travaux de recherche ou de produits existants. Tout d'abord la référence [50], qui utilise la même technologie, et la référence [51], un exemple sur le LDMOS de Freescale, montrent des résonances de produits d'intermodulations qui n'excèdent pas 180 MHz. Une autre référence [52], réalisé sur du GaN, met en avant une bande instantanée de 100 MHz qui est une valeur proche de celles obtenues dans les références déjà citées, [34], [35] et [36]. Ces performances, comparable à notre amplificateur en mode commun, sont bien inférieure aux 350 MHz de notre amplificateur différentielle.

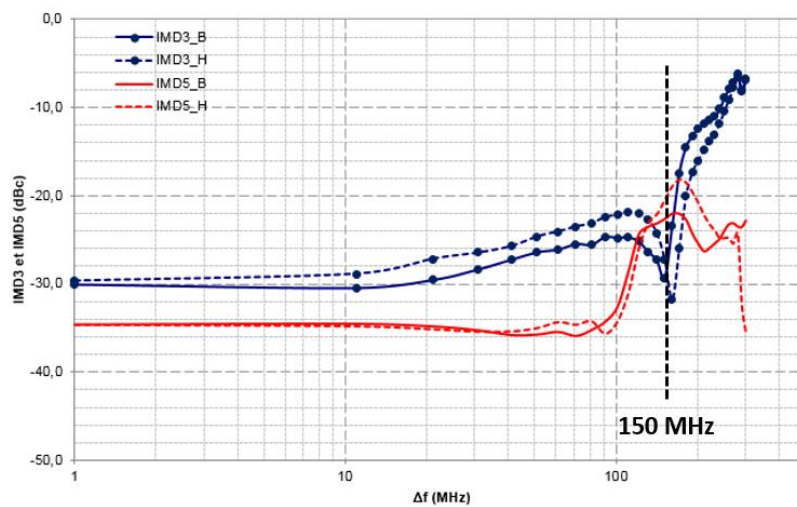


Figure 106 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode commun

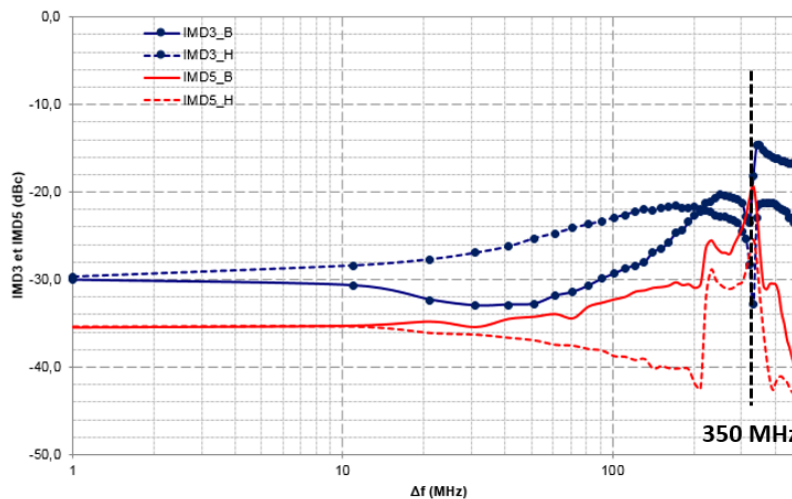


Figure 107 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode différentiel



Ce résultat constitue donc une avancée majeure permettant de repousser les limites actuelles et d'envisager l'augmentation de bande instantanée requise pour les futurs systèmes.

### III.5. Modifications du circuit d'application final en mode différentiel et mesures

Une limitation des performances de l'amplificateur différentiel est l'utilisation d'un balun commercial externe non optimisé spécifiquement pour notre application et contribuant à une partie importante des pertes de l'adaptation de sortie. Une solution pour réduire les pertes est de réaliser un balun directement sur le circuit imprimé, utilisé pour l'adaptation de sortie. La Figure 108 montre le circuit imprimé final d'adaptation de sortie intégrant le balun de sortie.

La base de cette nouvelle conception est la même que celle présentée sur la Figure 46. Par opposition à la place du balun commercial, on a conçu et intégré un balun sur le circuit imprimé dont la topologie, entre les ports différentiels 2 et 3 et le port en mode commun 1, est visible sur la Figure 108. Pour des raisons de découplage de courant continu, il est nécessaire d'utiliser des capacités séries  $C_2$  faisant office de blocage DC. Comme le balun commercial, le balun intégré a été conçu pour  $50 \Omega$  sur le port 1 et  $25 \Omega$  pour les ports 2 et 3. Le primaire du balun, allant du port 1 à la masse est réalisé sur la face supérieure du circuit imprimé tandis que le secondaire, les ports 2 et 3 reliés chacun à la masse, est réalisé sur la face arrière du circuit imprimé. Cette face arrière est utilisée comme masse pour le circuit imprimé. C'est pourquoi une partie de cette face arrière est retirée autour du balun et le support mécanique en cuivre est érodé sous le balun afin d'éviter un contact entre la masse et le secondaire, si ce n'est en ses extrémités puisque c'est la topologie du balun.

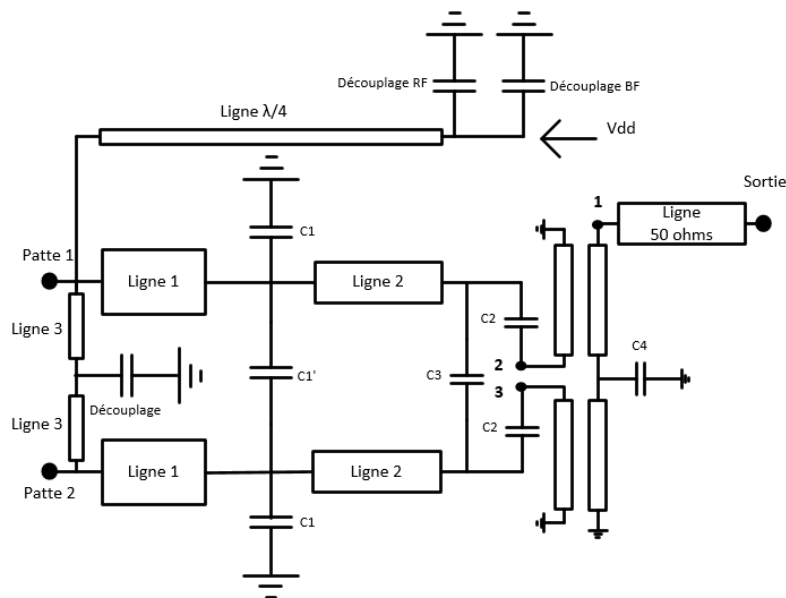


Figure 108 : Schéma de l'adaptation de sortie du circuit d'application final avec son balun intégré

La Figure 109 présente une photographie de ce circuit d'application final intégrant le balun de sortie sur le circuit imprimé externe. Le circuit imprimé est beaucoup moins large que celui de la première version. L'espace utile, c'est-à-dire l'adaptation de sortie et le découplage RF en entrée et en sortie, passe de  $5 \times 3.5 \text{ cm}^2$  à  $3.5 \times 3.5 \text{ cm}^2$ . En effet, le balun



réalisé sur le circuit imprimé occupe moins d'espace que le balun commercial de la version précédente.

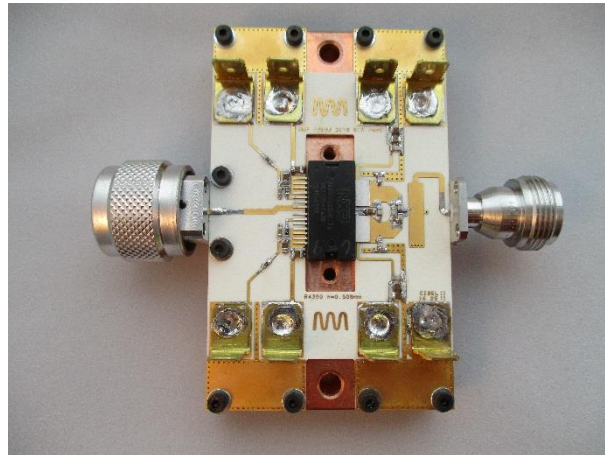


Figure 109 : Circuit d'application final pour l'amplificateur en mode différentiel intégrant le balun de sortie

La première mesure concernant ce nouveau circuit d'application est celle des paramètres S. On compare sur la Figure 110 les paramètres S11 et S21 du premier circuit d'application de l'amplificateur différentiel (Circuit 1), réalisé à l'aide du balun commercial, avec le second circuit (Circuit 2) réalisé lui avec un balun intégré sur le circuit imprimé. Les mesures sont en adéquation avec la simulation et constantes entre elles. En effet, les deux circuits d'application présentent, dans la bande visée, le même niveau d'adaptation d'entrée et de gain. On retrouve également, dans les deux cas, la remontée autour de 700 MHz correspondant à la résonance d'impédance vue par la source de courant du drain du transistor. La mesure des paramètres S permet également de s'assurer de la stabilité du circuit comme on peut l'observer sur le facteur de Rollet de la Figure 111.

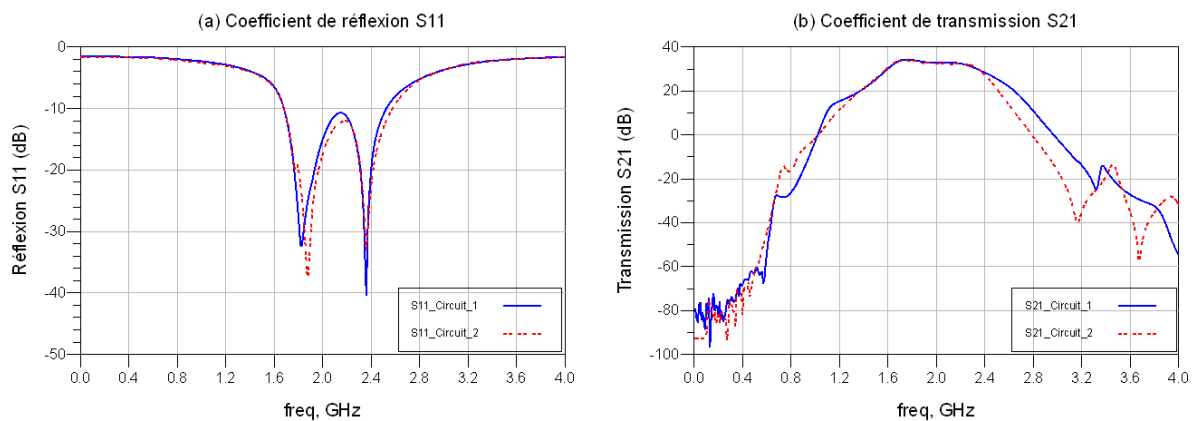


Figure 110 : Paramètres S des circuits d'applications différentiels avec un balun commercial (Circuit 1) et avec un balun intégré (Circuit 2)



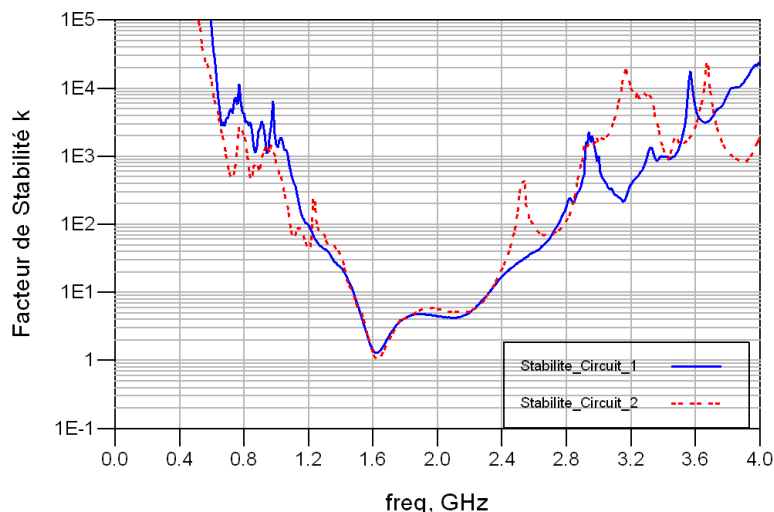


Figure 111 : Facteur de stabilité k des circuits d'applications différentiels avec un balun commercial (Circuit 1) et avec un balun intégré (Circuit 2)

Une fois caractérisé le fonctionnement attendu en petit signal, on a réalisé les mesures en puissance de notre circuit d'application différentiel final. Ces mesures large-signal ont été réalisées dans les mêmes conditions que pour les circuits d'application précédents. La Figure 112 montre le gain et le rendement mesurés en fonction de la puissance de sortie aux fréquences d'intérêt. Ce circuit d'application présente une pente du gain comme c'était le cas pour la première version. La puissance à 3 dB de compression est au minimum de 46 dBm sur l'ensemble de la bande, comme c'était le cas avec le balun commercial, même si certaines fréquences présentaient plus de puissance. L'amélioration apportée par le balun conçu sur le circuit imprimé se traduit sur le rendement. En effet, le rendement a augmenté en moyenne de 3,5 points avec un minimum de 50 % sur la bande alors que c'était le maximum pour le premier circuit d'application différentiel du Tableau 6.

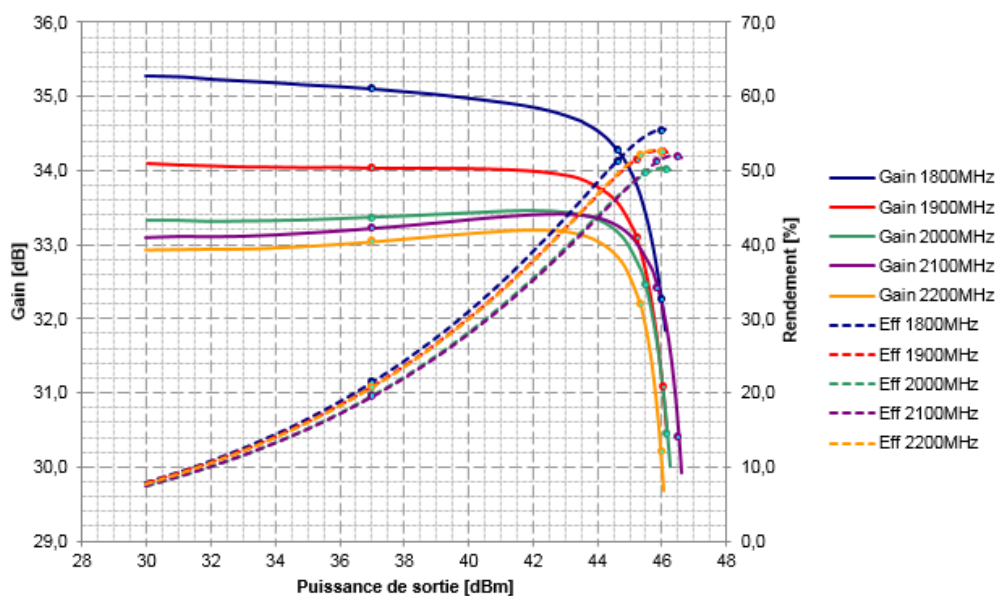


Figure 112 : Gain et rendement en fonction de la puissance de sortie du circuit d'application final avec un balun de sortie intégré dans la bande d'intérêt entre 1.8 et 2.2 GHz



Tableau 7 : Mesures du circuit d'application final à 3 dB de compression

Fréquence (MHz)	Puissance (dBm)	Rendement (%)	Gain (dB)
1800	46.0	55.4	35.3
1900	46.0	52.6	34.1
2000	46.2	50.2	33.4
2100	46.5	51.9	33.4
2200	46.0	52.4	33.2

La dernière caractéristique à vérifier expérimentalement est la bande instantanée de notre circuit d'application. Aucune amélioration n'est attendue puisque que le facteur limitant est le découplage RF et BF et non les caractéristiques du balun. Effectivement, on retrouve une bande instantanée maximale mesurée à 350 MHz comme le montre la Figure 113, mais avec une amélioration très nette sur la différence entre les deux produits d'intermodulation d'ordre 3, bas et haut  $IMD_{3\_B}$  et  $IMD_{3\_H}$ , avant la résonance en comparaison avec la mesure de la Figure 107 pour le circuit d'application précédent.

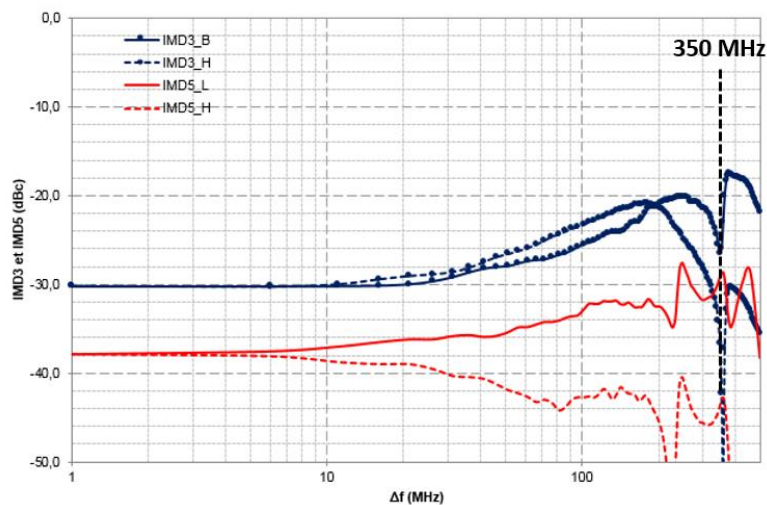


Figure 113 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode différentiel

### III.6. Conclusion

Le point de départ de cette partie était les amplificateurs MMIC de puissance en mode commun et en mode différentiel dans leur boîtier. Afin de mesurer leurs performances optimales, dans un environnement  $50 \Omega$ , les MMICs ont été mesurées seuls à l'aide de circuits de test spécifiques et les performances mesurées des deux amplificateurs MMICs seuls ont démontré une très bonne adéquation avec les simulations.





A partir de la mesure load-pull, un circuit d'adaptation de sortie a été conçu et l'ensemble formé avec l'amplificateur en boîtier a été mesuré. Que ce soit en fonctionnement petit signal ou en fort signal, les deux configurations d'amplificateurs réalisées présentent comme prévu des performances sensiblement équivalentes. L'amélioration très significative apportée par la configuration différentielle concerne la bande instantanée de l'amplificateur. En effet cette dernière est passée de 150 MHz pour l'amplificateur en mode commun à 350 MHz pour celui en mode différentiel. C'est une amélioration majeure de la spécification en bande instantanée apportée uniquement par la méthode de conception de l'amplificateur et non pas par un changement de technologie initialement envisagée par l'adoption d'un substrat à haute résistivité.

En fin de chapitre, une seconde version du circuit d'application pour l'amplificateur en mode différentiel a été réalisée et mesurée. Grâce au remplacement du balun commercial par un balun intégré au circuit imprimé, plusieurs points de rendement ont été gagnés tout en gardant une bande instantanée de 350 MHz. On rappelle que le circuit d'application final présente, dans la bande d'intérêt de 1.8 à 2.2 GHz, une puissance de sortie légèrement supérieure à 46 dBm, un gain de plus de 33 dB pour un rendement supérieur aux 50 % spécifiés.





## Conclusion générale

---

L'amplificateur RF de puissance est au cœur des stations de base de nos systèmes de radiocommunications cellulaires. Depuis plusieurs décennies, le transistor LDMOS, la technologie reine pour les stations de bases, est challengé en raison de l'augmentation constante du débit nécessaire à l'utilisateur. De plus, l'arrivée du transistor HEMT GaN sur ce marché challenge une fois de plus cette technologie silicium LDMOS.

Une première piste d'amélioration envisagée dans ces travaux de doctorat est l'utilisation d'un substrat silicium à haute résistivité pour pallier aux importantes pertes dans les éléments passifs du réseau d'adaptation de sortie. Les travaux menés dans cette étude ont mis en évidence l'apport de ce nouveau substrat sur les facteurs de qualité des éléments passifs ainsi qu'une amélioration à haute fréquence des performances du transistor sans aucune optimisation préalable. Malgré ces améliorations significatives, les choix de développement de l'entreprise NXP Semiconductors et le temps de cycle de fabrication de ce nouveau substrat ne nous ont pas permis de concevoir et de mesurer un amplificateur complet sur substrat à haute résistivité dans le cadre de la thèse.

Les travaux de notre étude se sont alors recentrés sur la structure différentielle qui au départ était une solution envisagée pour s'affranchir des trous métallisés le long des doigts de source du transistor réalisé sur substrat à haute résistivité. Il s'est avéré qu'en plus des avantages bien connus des structures différentielles, une amélioration de la bande instantanée de l'amplificateur était possible.

Après avoir expliqué l'idée qui mène à une amélioration de la bande instantanée de l'amplificateur par l'utilisation de la conception différentielle, deux amplificateurs ont été conçus. Un amplificateur a été conçu en mode commun, soit la version standard, et un autre amplificateur conçu en mode différentiel dont le but est d'améliorer la bande instantanée. Afin de rendre la comparaison équitable, la même périphérie de transistor a été utilisée, seuls les circuits d'adaptation changent. Chaque étape de la conception a été décrite et les différences entre chaque configuration mises en avant. Des analyses poussées permettent, avant fabrication, d'évaluer le comportement en large signal de l'amplificateur ainsi que d'écarter d'éventuels problèmes liés à des oscillations.

Une nouveauté de ce travail est l'intégration du balun dans le circuit d'adaptation d'entrée de notre amplificateur. Cet élément permet de transformer le signal entrant en deux signaux en opposition de phase. Le fonctionnement différentiel facilite la conception et réduit la taille des circuits d'adaptation d'entrée et d'inter-étage. En plus des avantages bien connus des amplificateurs différentiels, un avantage sur la bande instantanée a été mis en évidence en simulation mais il restait alors à effectuer les mesures de nos amplificateurs pour confirmer ces attentes.

Avant de réaliser un circuit d'application utilisable, c'est-à-dire dans un environnement  $50 \Omega$  en entrée et en sortie, il convient de caractériser l'amplificateur seul. Cela a été fait pour les deux amplificateurs conçus et les performances mesurées ont été en adéquation avec les simulations. Chacun des circuits d'application a ensuite été réalisé avec l'adaptation externe de sortie à  $50 \Omega$  en se basant sur les mesures load-pull pour lesquelles la calibration en mode différentielle a dû être modifiée par l'utilisation de deux baluns idéaux cascades en sortie.



Les mesures en puissance ont été présentées et montrent que les deux circuits d'application réalisés atteignent globalement les mêmes performances avec un gain supérieur à 30 dB, un rendement autour de 50 % pour une puissance légèrement inférieure à 50 W. Enfin, les mesures finales de linéarité ont confirmé les attentes puisque la bande instantanée limitée à 150 MHz, dans le cas de l'amplificateur en mode commun, atteint 350 MHz avec la configuration différentielle. C'est une amélioration majeure obtenue par un changement de conception de l'amplificateur sans optimisation de la technologie. Une seconde version du circuit d'application en mode différentiel a été réalisée et quelques points de rendement ont été gagnés grâce à la réalisation d'un balun intégré au circuit imprimé en lieu et place du balun commercial précédemment utilisé.

La bande de fréquence qui a été visée au départ est comprise entre 1.8 GHz et 2.2 GHz car de nombreuses bandes télécoms sont comprises entre ces fréquences espacées de 400 MHz. Une nouvelle optimisation de notre amplificateur différentiel, au niveau de la puce MMIC, pourrait permettre d'atteindre 400 MHz de bande instantanée. Ceci permettrait d'avoir un amplificateur de puissance large bande RF ayant une bande instantanée de même largeur à proposer pour les applications futures.

Les applications d'amplificateurs de puissance pour station de base ayant pour tendance de monter en fréquence, il serait intéressant d'utiliser ce concept d'amplificateur différentiel dans des bandes de fréquences comme 2.3 à 2.7 GHz voire même de 3.4 à 3.8 GHz. Cette montée en fréquence pourrait challenger la conception des baluns.

Si on revient au point de départ de ces travaux de recherche, le substrat à haute résistivité avait pour but d'augmenter le facteur de qualité des éléments dans le but de pouvoir intégrer l'adaptation de sortie. Cette attente est toujours d'actualité et d'autant plus forte, qu'aujourd'hui les stations de base se dirigent vers des systèmes à soixante-quatre antennes et autant d'amplificateurs de puissance assemblés proches les uns des autres justifiant la nécessité d'intégrer l'adaptation de sortie. Cette intégration peut se faire de deux manières différentes. La première méthode consiste à utiliser un substrat à haute résistivité suffisamment élevée pour permettre l'intégration de l'adaptation de sortie, ce qui n'était pas le cas avec celui mesuré au cours de la thèse dont la résistivité finale était de 30  $\Omega$ .cm. Une autre piste est d'intégrer une seconde puce dans le boîtier, reliée à la première par des fils, ne comprenant que l'adaptation de sortie et ce, sur un substrat présentant un très bon facteur de qualité pour les éléments passifs tel que le GaAs.

Malgré l'arrivée sur le marché d'amplificateurs de puissances en technologie HEMT GaN, le LDMOS peut maintenir sa position à condition qu'il continue d'évoluer. Ces travaux de recherche ont montré qu'un changement vers un substrat à haute résistivité est une piste intéressante et qu'il est possible d'améliorer fortement la bande instantanée, paramètre de plus en plus important pour l'amplificateur de puissance, simplement par un changement de conception. Ainsi la suite logique de ces travaux serait de combiner le changement technologique permettant l'intégration de l'adaptation de sortie avec la conception différentielle améliorant la bande instantanée. L'intérêt de continuer avec le LDMOS est principalement lié au coût de fabrication, bien plus bas que le GaN, additionné au fait que l'on maîtrise d'ores et déjà la fabrication sur des plaquettes de tailles importantes.







## Références bibliographiques

---

- [1] W. H. Doherty, "A new high efficiency power amplifier for modulated waves", Proc. IRE, vol. 24, pp. 1163-1182, Sep. 1936.
- [2] Blednov I.I. and Jos van der Zanden, "High Power LDMOS Integrated Doherty Amplifier for W-CDMA", in Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE 2006.
- [3] J. Qureshi, et al., "A wideband 20 W LDMOS Doherty power amplifier", IEEE MTT-S IMS Dig., pp. 1504–1507, June 2010.
- [4] X. Moronval, J. van der Zanden, M. Ercoli, « A 100 W tri-band LDMOS integrated Doherty amplifier for LTE-advanced applications », Microwave Symposium (IMS), 2015.
- [5] Steve C. Cripps, "RF Power Amplifiers For Wireless Communications", Second Edition, Artech House, pp. 14-15, 2003.
- [6] F. van Rijs, "Status and trends of silicon LDMOS base station PA technologies to go beyond 2.5 GHz applications", in RWS Conference, IEEE 2008.
- [7] Daniel Grunner, "Analysis, Design, and Evaluation of LDMOS FETs for RF Power Applications up to 6 GHz", in IEEE Transactions of microwave theory and techniques, Vol 58, No 12, December 2010.
- [8] S. Theeuwens, "LDMOS Transistors in Power Microwave Applications", Microwave Journal, 2008.
- [9] A. Wood, C. Dragon, and W. Burger, "High performance silicon LDMOS technology for 2 GHz RF power amplifier applications", in Int. Electron Device Meeting Tech. Dig, pp 87-90, 1996.
- [10] H. F. F. Jos, "Novel LDMOS structure for 2 GHz high power basestation applications"; in Eur. Microw. Conf., pp 739-744, 1998.
- [11] H. Brech, W. Brakensiek, D. Burdeaux, W. Burger, C. Dragon, G. Formicone, B. Pryor, and D. Rice, "Record efficiency and gain at 2.1 GHz of high power RF transistors for cellular and 3G base stations," in Int. Electron Device Meeting Tech. Dig., pp. 359–362, 2003.
- [12] F. van Rijs and S. J. C. H. Theeuwens, "Efficiency improvement of LDMOS transistors for base stations: Towards the theoretical limit," in Int. Electron Device Meeting Tech. Dig., pp. 205–208, 2006.
- [13] S. J. C. H. Theeuwens and H. Mollee, "S-band radar LDMOS transistors," in Proc. 4th Eur. Microw. Integr. Circuits Conf., pp. 53–56, EuMIC04-1, 2009.
- [14] K. Werner and S. Theeuwens, "RF driven plasma lighting - The next revolution in light sources are powered by solid state RF technology," Microw. J., vol. 12, pp. 68–74, Dec. 2010.
- [15] M. Szymanoski, "A 900 MHz, 200 W Silicon LDMOS Power Amplifier Using Integrated Passive Devices in a New Over-Molded Plastic Package", Microwave Symposium Digest, MTT '09. IEEE MTT-S International, 2009.
- [16] M. H. Hanes, A. K. Agatwal, T. W. O'Keeffe, H. M. Hobgood, J. R. Szedon, T. J. Smith, R. R. Siergiej, P. G. McMullin, H. C. Nathanson, M. C. Driver, and R.N.Thomas,



"MICROXTM An All-Silicon Technology for Monolithic Microwave Integrated Circuits," IEEE Electron Device Lett., Vol.14, pp.219-221, 1993.

[17] Larry Zu, "High Quality-Factor Inductors Integrated on Si Multichip Modules", in IEEE 1995.

[18] Takashi Nakashima, "0.8um BiCMOS Process with High Resistivity Substrate for L-Band Si-MMIC Applications" in IEEE 1996.

[19] Masayoshi ONO, "1.9GHz/5.8GHz-Band On-Chip Matching Si-MMIC Low Noise Amplifiers Fabricated on High Resistivity Si Substrate", in Radio Frequency Integrated Circuits Symposium, IEEE 1999.

[20] N. Momo, "90nm node RF CMOS technology with latch-up immunity on high-resistivity substrate", in EuMA, September 2009.

[21] E. Valleta, "Design and Characterization of Integrated Passive Elements on High Ohmic Silicon", in MMT-S Digest, IEEE 2003.

[22] Steven L. Wright, "Reliability Testing of Through-Silicon Vias for High-Current 3D Applications", in Electronic Components and Technology Conference, IEEE 2008.

[23] Vadim Issakov, Maciej Wojnowski, Grit Sommer, "Application of Multimode TRL Technique for Accurate Balun Characterization and Estimation of its Impact on Measurement of Differential Devices" in Microwave Measurement Conference (ARFTG), 2011 77th ARFTG, pp. 1-6, 10-10 June 2011.

[24] D. Kuylenstierna and P. Linner, "Is the second order lattice balun a good solution in MMICs—a comparison with a direct-coupled transformer balun," in MTT-S Int. Microwave Symp. Dig. Papers, pp. 539–542, Jun. 2005.

[25] Gerard Bouisse, "1.8GHz-2.5GHz LDMOS push-pull integrated PA", TARGET days 2006, Frescati, Italy, 2006.

[26] Gerard Bouisse, "Integration of balun functions in RF LDMOS technology", EE times Asia and Electronics world, December 2006.

[27] Huang, C.-H.; Chen, C.-H.; Horng, T.-S., "Design of Marchand Balun of Spiral Shape Using Physical Transformer Model on Silicon Integrated Passive Device Substrate", Radio and Wireless Symposium (RWS), 2010 IEEE, pp. 456-459, 2010.

[28] H. Y. D. Yang and J. A. Castaneda, "Design and analysis of on-chip symmetric parallel-plate coupled-line balun for silicon RF integrated circuits," in Radio Freq. Integrated Circuits Symp., Philadelphia, PA, pp. 527–530, Jun. 2003.

[29] Nelsy Monsauret, "Etude et conception d'amplificateurs basse tension très large bande pour radiotéléphones portatifs", Thèse de Doctorat, Université de Limoges, pp 63-83, N° d'ordre 03-2001, 2001.

[30] I. Dettmann, L. Wu, M. Berroth, "Comparison of a Single-Ended Class AB, a Balance and a Doherty Power Amplifier", in Asia-Pacific Conference Proceedings, APMC 2005.

[31] Steve C. Cripps, "RF Power Amplifiers For Wireless Communications", Second Edition, Artech House, pp. 372-380, 2003.

[32] Steve C. Cripps, "RF Power Amplifiers For Wireless Communications", Second Edition, Artech House, pp. 386, 2003.





- [33] N. B. Carvalho and J. C. Pedro, "Two-tone IMD asymmetry in microwave power amplifiers," in IEEE MTT-S Int. microw. Symp. Dig., pp. 445–448, 2000.
- [34] A. Ahmed, I. Babesku, I. Schultz, H. H. Ladhani, I. K. Jones, M. Bokatius, P. Hart "A 3S0W, 2GHz, 44% efficient LDMOS power amplifier design with capability to handle a wideband 6SMHz envelope signal," IEEE MTT-S International Microwave Symposium Digest (MIT), 2012, pp.1,3, 17-22 June 2012.
- [35] Hussain H. Ladhani, Jeffrey K. Jones, Gerard Bouisse, "Improvements in the Instantaneous-Bandwidth Capability of RF Power Transistors using In-Package High-k Capacitors," 2011 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1-4, June 2011.
- [36] Takenaka I. et al, "Improvement of Intermodulation Distortion Asymmetry Characteristics with Wideband Microwave Signals in High Power Amplifiers," IEEE Trans. Microwave Theory & Tech., vol. 56, no. 6, pp. 1355-1363, June 2008.
- [37] J.R. Gajadharsing, O. Bosma, P. van Westen, "Analysis and Design of a 200W LDMOS Based Doherty Amplifier for 3G Base Stations", Microwave Symposium Digest, IEEE MTT-S International, 2004.
- [38] Lei Zhao ; Lu Wang ; Margaret Szymanowski, "A 20 Watt, Two-stage, Broadband LDMOS Power Amplifier IC in PQFN8x8 Package at 2 GHz for Wireless Applications", Microwave Integrated Circuits Conference (EuMIC), 7th European, 2012.
- [39] X. Monroval, R. Abdoelgafoer, A. Dechansiaud, "MMIC-Based asymmetric Doherty power amplifier for small cells applications", International Journal of Microwave and Wireless Technologies, 7(5), pp. 499–505, 2014.
- [40] John R. Long, "Monolithic Transformers for Silicon RF IC Design", in IEEE Journal of Solid-State Circuits, Vol. 35, No. 9, September 2000.
- [41] Tao Liang, J. Gillis, D. Wang, P. Cooper, "Design and modeling of compact on-chip transformer/balun using multi-level metal windings for RF integrated circuits", in RFIC Symposium, Digest of Papers, IEEE 2001.
- [42] Rollett, J. M., "Stability and Power-Gain Invariants of Linear Twoports," IRE Trans. on
- [43] J. Jugo, J. Portilla, A. Anakabe, A. Suarez, J. M. Collantes, "Closed-loop stability analysis of microwave amplifiers", IEE Elect. Letters.Vol.37, Nc4, pp.226-228, Feb. 2002.
- [44] A. Anakabe, N. Ayllón, J. M. Collantes, A. Mallet, G. Soubercaze-Pun, and K. Narendra, "Automatic pole-zero identification for multivariable large-signal stability analysis of RF and microwave circuits," in Microwave Conference (EuMC), 2010 European, pp. 477–480, 2010.
- [45] J. M. Collantes, N. Otegi, A. Anakabe, N. Ayllon, A. Mallet, and G. Soubercaze-Pun, "MonteCarlo stability analysis of microwave amplifiers," in Wireless and Microwave Technology Conference (WAMICON), IEEE 12th Annual, 2011, pp. 1–6, 2011.
- [46] S. Plet, M. Campovecchio, G. Bouisse, "Improvement of LDMOS MMICs compactness", in IEEE Radio & Wireless Week, January 2016
- [47] Klopfenstein, "A Transmission Line Taper of Improved Design" in IRE, June 1955.
- [48] Steve C. Cripps, "RF Power Amplifiers For Wireless Communications", Second Edition, Artech House, pp. 359-369, 2003.



- [49] Datasheet BLM7G1822S-40PB LDMOS 2-stage power MMIC, Rev. 5, [www.ampleon.com/products.html](http://www.ampleon.com/products.html), Feb 2016.
- [50] X. Monroval, A. Dechansiaud, R. Abdoelgafoer, "A 20W Multi-Band Multi-Mode MMIC Power Amplifier for Base Station Applications", in Microwave Integrated Circuits Conference (EuMIC), 2013.
- [51] Datasheet MD7IC1812NR1 RF LDMOS Wideband Integrated Power Amplifiers, Rev. 0, [www.nxp.com](http://www.nxp.com), May 2015.
- [52] XJ. Xia, M. Yang, X. Zhu, "Linearized Asymmetrical GaN Doherty Power Amplifier with 100 MHz instantaneous bandwidth at 3.5 GHz", in RF and Wireless Technologies for Biomedical and Healthcare Applications, IEEE 2013.







## Annexes

---

Annexe 1. L'impact du déséquilibre d'un balun .....	127
-----------------------------------------------------	-----





## Annexe 1. L'impact du déséquilibre d'un balun

Pour commencer rappelons ici la fonction d'un balun. C'est un élément passif à trois ports qui convertit un signal en mode commun en deux signaux différentiels, d'amplitude moitié et en opposition de phase, et vice-versa. Il peut être représenté comme sur la Figure 114. Dans un fonctionnement idéal, un signal d'amplitude 1 est converti en deux signaux d'amplitude 0.5 et déphasés de 180°.

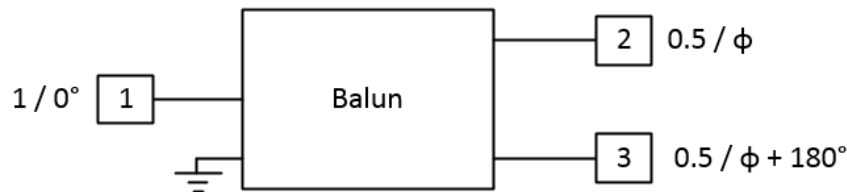


Figure 114 : Schéma d'un balun

Lorsqu'il est réalisé le balun présente des pertes et des déséquilibres en amplitude et en phase. On cherche à évaluer l'impact de ces déséquilibres sur les pertes possibles en puissance.

Concernant l'écart en phase, considérons le balun convertissant deux signaux différentiels en un signal en mode commun. Ces deux signaux sont déphasés de 180° auxquels est ajouté un déséquilibre  $\Delta\varphi$ . Ainsi on obtient les tensions aux ports 2 et 3 :

$$V_2(t) = V \cos\left(\omega t + \frac{\Delta\varphi}{2}\right) \text{ et } V_3(t) = V \cos\left(\omega t + \pi - \frac{\Delta\varphi}{2}\right)$$

Il découle du fonctionnement du balun :

$$V_1(t) = V \left( \cos\left(\omega t + \frac{\Delta\varphi}{2}\right) + \cos\left(\omega t + \pi - \frac{\Delta\varphi}{2}\right) \right) = 2V \sin(\omega t) \sin\left(\frac{\Delta\varphi}{2}\right)$$

Ainsi la puissance en Watts débitée dans une charge R est égale à :

$$\text{Puissance}(W) = \frac{|V(t)|^2}{R} = \frac{4V^2 \sin^2\left(\frac{\Delta\varphi}{2}\right)}{R}$$

Dans le cas où  $\Delta\varphi$  est nul,  $P(t) = \frac{4V^2}{R}$ , ainsi les pertes en fonction de  $\Delta\varphi$  sont :

$$\text{Pertes}(W) = \frac{4V^2}{R} - \frac{4V^2 \sin^2\left(\frac{\Delta\varphi}{2}\right)}{R} = \frac{4V^2}{R} \left(1 - \sin^2\left(\frac{\Delta\varphi}{2}\right)\right)$$

On en déduit les pertes en dB normalisées, représenté sur la Figure 115 :

$$\text{Pertes}(dB) = 10 \log_{10} \left(1 - \sin^2\left(\frac{\Delta\varphi}{2}\right)\right)$$



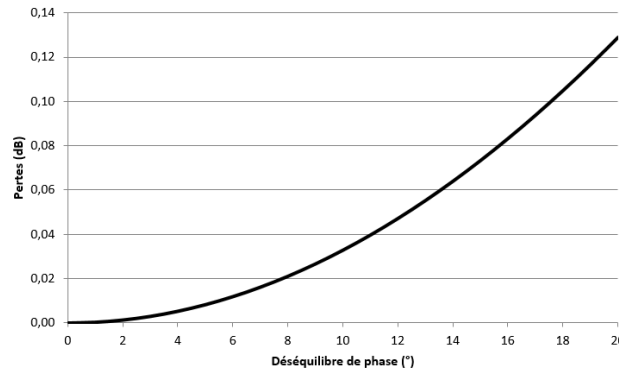


Figure 115 : Pertes en puissance en fonction du déséquilibre en phase du balun

Concernant l'écart en phase, considérons le balun convertissant deux signaux différentiels en un signal en mode commun. Ces deux signaux sont déphasés de  $180^\circ$  auxquels est ajouté un déséquilibre  $\Delta\phi$ . Ainsi on obtient aux ports 2 et 3 :

$$V_2(t) = V_2 \cos(\omega t) \text{ et } V_3(t) = V_3 \cos(\omega t)$$

Ainsi la puissance en Watts débitée dans une charge R est égale à :

$$Puissance(W) = \frac{|V_2|^2}{R} + \frac{|V_3|^2}{R} = \frac{|V_2|^2}{R} \left(1 + \frac{|V_3|^2}{|V_2|^2}\right)$$

Dans le cas où  $V_2=V_3$ ,  $Puissance(W) = \frac{2V_2^2}{R}$ , ainsi les pertes en fonction du déséquilibre en amplitude sont :

$$Pertes(W) = \frac{2V_2^2}{R} - \frac{|V_2|^2}{R} \left(1 + \frac{|V_3|^2}{|V_2|^2}\right) = \frac{|V_2|^2}{R} \left(1 - \frac{|V_3|^2}{|V_2|^2}\right)$$

On en déduit les pertes en dB normalisées, représenté sur la Figure 116 :

$$Pertes(dB) = 10 \log_{10} \left(1 - \frac{|V_3|^2}{|V_2|^2}\right)$$

Cette évaluation des pertes engendrées par les différents déséquilibres permet de se donner des ordres de grandeur de déséquilibres acceptables. En effet, un déséquilibre d'une dizaine de degrés sur la phase engendre une perte en puissance acceptable. Pour le déséquilibre en amplitude on se limitera à 0.2 dB engendrant 0.1 dB de perte sur la puissance.





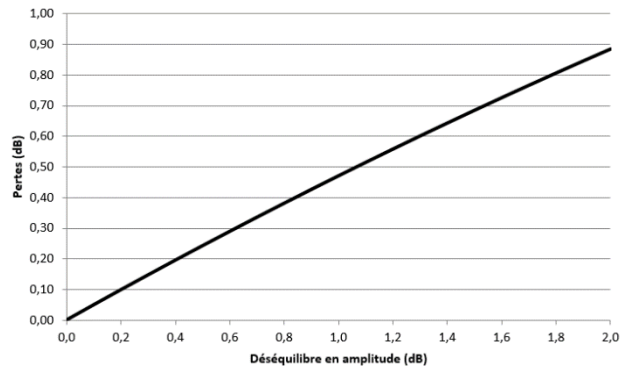


Figure 116 : Pertes en puissance en fonction du déséquilibre en amplitude du balun





## Table des illustrations

Figure 1 : Schéma du retour de courant qui s'établit dans le substrat LDMOS Si à faible résistivité .....	20
Figure 2 : Représentation d'une inductance et du tunnel utilisé pour y accéder .....	21
Figure 3 : Facteurs de qualité simulés sur les substrats LRS, HRS100 et HRS1K, précédemment décrit, de l'inductance (a) qui fait 2,5 tours avec un rayon interne de 100 $\mu\text{m}$ et une largeur de piste de 5 $\mu\text{m}$ , de l'inductance (b) qui fait 4,5 tours avec un rayon interne de 70 $\mu\text{m}$ et une largeur de piste de 15 $\mu\text{m}$ .....	22
Figure 4 : Coefficient de réflexion de capacités carrées chargées par une impédance complexe pour les deux types de substrat LRS et HRS.....	23
Figure 5 : Comparaison du facteur de qualité simulé d'une capacité carrée de 90 $\mu\text{m}$ de côté connectée à la masse par dopage du substrat LRS ou par trous métallisés .....	24
Figure 6 : Facteur de qualité de l'inductance de 4,5 tours avec un rayon interne de 70 $\mu\text{m}$ et une largeur de piste de 15 $\mu\text{m}$ réalisée sur le métal M5 ou empilée sur le métal M5 et le métal M4 avec le tunnel sur métal 3, Config_1, ou sur métal 3, métal 2 et métal 1, Config_2 .....	25
Figure 7 : Facteur de qualité simulé de l'inductance de 4,5 tours avec un rayon interne de 70 $\mu\text{m}$ et une largeur de piste de 15 $\mu\text{m}$ réalisée sur les couches métal M5 et M6 .....	26
Figure 8 : Facteur de qualité simulé d'une inductance qui fait 2.5 tours avec un rayon interne de 7 $\mu\text{m}$ et une largeur de piste de 5 $\mu\text{m}$ réalisée pour différentes épaisseurs de cuivre en métal 6 et pour les substrats (a) HRS100 et (b) HRS1K .....	26
Figure 9 : Modèle schématique des inductances sur substrat HRS .....	27
Figure 10 : Dessin de lignes de transmission de largeur 25 $\mu\text{m}$ et de longueurs 1000 et 2000 $\mu\text{m}$ réalisées sur le substrat HRS pour une mesure sous pointes.....	28
Figure 11 : Dessin d'une inductance de 5.5 tours avec un rayon interne de 80 $\mu\text{m}$ et une largeur de piste de 15 $\mu\text{m}$ réalisée sur le substrat HRS .....	30
Figure 12 : Dessin d'une partie des capacités carrées de 200 $\mu\text{m}$ de côté réalisées sur le substrat HRS : (a) capacité en série, (b) capacité à la masse avec les trous métallisés au bord de l'électrode du bas, (c) capacité à la masse avec les trous métallisés sous l'ensemble de l'électrode et (d) capacité en résonance .....	30
Figure 13 : Plots GSG et le côté grille des configurations des transistors proposées : (a) configuration standard en mode commun, (b) configuration avec des trous seulement autour du transistor, (c) configuration coplanaire .....	31
Figure 14 : Dessin d'un transistor LDMOS deux fois deux cellules en configuration différentielle.....	32
Figure 15 : Deux transistors LDMOS en configuration différentielle agrémentés de baluns ..	33
Figure 16 : Dessins des baluns transformateurs pour la mesure cascadee (a) et en trois ports (b).....	33
Figure 17 : Photographie des pointes utilisées pour la mesure.....	34



Figure 18 : Facteurs de qualité mesurés et simulés de deux lignes différentes : (a) LIN01 5*1000 $\mu\text{m}^2$ et (b) LIN05 50*1000 $\mu\text{m}^2$ .....	35
Figure 19 : Photographie au microscope de la mesure sous pointes d'une inductance .....	35
Figure 20 : Facteurs de qualité mesurés et simulés de deux inductances : (a) I02 faisant 2,5 tours avec un rayon interne de 80 $\mu\text{m}$ et une largeur de piste de 5 $\mu\text{m}$ et (b) I08 faisant 2,5 tours avec un rayon interne de 80 $\mu\text{m}$ et une largeur de piste de 30 $\mu\text{m}$ .....	36
Figure 21 : Facteurs de qualité mesurés de deux capacités mesurées sur HRS : C01 capacité carrée de 90 $\mu\text{m}$ de côté et C02 capacité carrée de 210 $\mu\text{m}$ de côté.....	36
Figure 22 : (a) Coefficient de transmission mesuré et (b) facteur de qualité mesuré de la capacité carrée C02 de 210 $\mu\text{m}$ de côté à la masse dans deux configurations : Config_1 avec les trous en dessous de la capacité et Config_2 avec les trous sur le bord de l'électrode du bas .....	37
Figure 23 : (a) Paramètres S mesurés et (a) gain maximum mesuré des baluns cascades du masque HRS.....	38
Figure 24 : Gain maximum du balun mesuré en trois ports.....	38
Figure 25 : Facteurs de qualité mesurés en HRS et LRS et simulés de deux lignes : (a) LIN01 5*1000 $\mu\text{m}^2$ et (b) LIN05 50*1000 $\mu\text{m}^2$ .....	39
Figure 26 : Facteurs de qualité mesurés en HRS et LRS et simulés de deux inductances : (a) I02 faisant 2,5 tours avec un rayon interne de 80 $\mu\text{m}$ et une largeur de piste de 5 $\mu\text{m}$ et (b) I08 faisant 2,5 tours avec un rayon interne de 80 $\mu\text{m}$ et une largeur de piste de 30 $\mu\text{m}$ .....	40
Figure 27 : (a) Comparaison des facteurs de qualité mesurés en LRS et en HRS de la capacité carrée C02 de 210 $\mu\text{m}$ de côté et (b) Coefficient de réflexion de la capacité C02 chargée par une impédance complexe .....	41
Figure 28 : (a) Facteur de qualité mesuré de la capacité carrée C02 de 210 $\mu\text{m}$ de côté et (b) Transmission de la mesure en résonance de la même capacité C02 mise à la masse par trous sous l'électrode du bas .....	41
Figure 29 : (a) Gain maximum et (b) facteur de stabilité des transistors quatre cellules.....	43
Figure 30 : Comparaison des (a) gains maximums et (b) facteurs de stabilité mesurés de transistors différentiels dans le cas d'une excitation des ports en mode commun ou en mode équilibré.....	43
Figure 31 : Comparaison des (a) gains maximums et (b) facteurs de stabilité mesurés du transistor quatre cellules de la Figure 13 (a) et d'un transistor différentiel de deux fois deux cellules excité de façon équilibrée .....	44
Figure 32 : Rendement et puissance à 3dB de compression à 2.7 GHz .....	45
Figure 33 : Rendement et puissance à 3dB de compression à 3.6 GHz .....	45
Figure 34 : Schématisation d'une structure balancée et mise en évidence de la masse virtuelle par déphasage de 180° .....	50
Figure 35 : Comparaison du niveau d'impédance des montages parallèle et série.....	50
Figure 36 : Schéma d'un transistor LDMOS et de son inductance de source.....	51



Figure 37 : Spectre de sortie d'un amplificateur RF de puissance excités par deux tons et génération des produits d'intermodulation d'ordre 3 haut et bas : $IMD_{3\_B}$ et $IMD_{3\_H}$ .....	51
Figure 38 : Schématique standard d'une adaptation de sortie (a) et mise en évidence de l'équivalence en bande de base (b).....	52
Figure 39 : Impédance vue par le drain du transistor dans le plan la source de courant et mise en évidence de la limitation en bande instantanée.....	53
Figure 40 : Schématique différentielle de l'adaptation de sortie.....	54
Figure 41 : Impédance vue par le drain du transistor dans le plan la source de courant dans le cas d'une configuration différentielle idéale.....	54
Figure 42 : Coupe schematique du boîtier SOT1211 de NXP Semiconductors.....	56
Figure 43 : Schéma bloc de la partie intégrée dans le boîtier des amplificateurs en mode commun (a) et en mode différentielle (b).....	57
Figure 44 : Courbe IV du modèle de transistor 6 mm utilisé pour la conception.....	58
Figure 45 : Circuit d'adaptation de sortie de l'amplificateur en mode commun.....	59
Figure 46 : Circuit d'adaptation de sortie de l'amplificateur en mode différentiel.....	60
Figure 47 : Schématique de l'adaptation d'entrée de l'amplificateur en mode commun.....	61
Figure 48 : Inductance nécessaire pour faire résonner $C_{gs}$ en fonction de la valeur de $C_{dec}$ .....	61
Figure 49 : Dessin de la capacité de découplage et du notch équivalent.....	62
Figure 50 : Transmission en résonance de la capacité de découplage et du circuit L-C.....	62
Figure 51 : Schéma électrique du balun transformateur simulé.....	63
Figure 52 : Equilibre en amplitude et en phase du balun transformateur simulé.....	64
Figure 53 : Schéma des adaptations d'entrée en mode commun et différentiel.....	64
Figure 54 : Niveau de pertes dans l'adaptation d'entrée des amplificateurs en mode commun et en mode différentiel.....	65
Figure 55 : Puissance RF résiduelle sur les noeuds découplés entre mode commun et mode différentiel.....	66
Figure 56 : Dessin de l'adaptation d'entrée des amplificateurs.....	66
Figure 57: Adaptation d'entrée et d'inter-étage de l'amplificateur en mode commun.....	67
Figure 58 : Adaptation d'entrée et d'inter-étage de l'amplificateur en mode différentiel.....	68
Figure 59 : Dessin 3D du boîtier utilisé.....	69
Figure 60 : Dessin des fils utilisés dans chacune des configurations.....	69
Figure 61 : Paramètres S large bande des deux configurations d'amplificateur.....	70
Figure 62 : Paramètres S bande étroite des deux configurations d'amplificateur.....	71
Figure 63 : Facteur de Rollet k des deux configurations d'amplificateur.....	71
Figure 64 : Gain de boucle des deux configurations d'amplificateur.....	72
Figure 65 : Schématique de l'amplificateur et de la sonde utilisée pour injecter le signal.....	72



Figure 66 : Analyse de la stabilité en petit signal de l'amplificateur en mode commun.....	73
Figure 67 : Impédances des drains dans le plan de la source de courant pour les étages driver et final des amplificateurs mode commun et mode différentiel .....	74
Figure 68 : Simulations AC des deux amplificateurs mode commun et mode différentiel.....	75
Figure 69 : Analyse Monte Carlo des paramètres de transmission S21 et de réflexion S11 pour les modes commun et différentiel .....	76
Figure 70 : Simulation de l'amplificateur en mode commun en fonction de la puissance .....	77
Figure 71 : Simulation de l'amplificateur en mode commun en fonction de la fréquence .....	77
Figure 72 : Simulation de l'amplificateur en mode différentiel en fonction de la puissance ...	78
Figure 73 : Simulation de l'amplificateur en mode différentiel en fonction de la fréquence....	78
Figure 74 : Analyse de la stabilité en large signal du mode commun : (a) instabilité avant correction et (b) stabilité après correction .....	79
Figure 75 : Simulation des produits d'intermodulations d'ordre 3 et 5 en mode commun.....	80
Figure 76 : Simulation des produits d'intermodulations d'ordre 3 et 5 en mode différentiel ...	80
Figure 77 : Dessin final de l'amplificateur en mode commun .....	82
Figure 78 : Dessin final de l'amplificateur en mode différentiel.....	83
Figure 79 : Amplificateurs en mode commun et en mode différentiel dans le boîtier SOT1211 .....	87
Figure 80 : Circuit de test de l'amplificateur en mode commun .....	88
Figure 81 : Dessins et simulations des lignes Taper et Klopfenstein.....	89
Figure 82 : Circuit de test de l'amplificateur en mode différentiel .....	90
Figure 83 : Schéma bloc de l'ensemble circuit de test et amplificateur différentiel .....	90
Figure 84 : Schéma de mesure des paramètres S.....	91
Figure 85 : Paramètres S mesurés large bande de l'amplificateur en mode différentiel .....	92
Figure 86 : Facteur de stabilité de l'amplificateur en mode différentiel selon le plan de calibration.....	93
Figure 87 : Comparaison des paramètres S simulés et mesurés.....	93
Figure 88 : Comparaison des paramètres S des amplificateurs réalisés.....	93
Figure 89 : Schéma de principe du banc load-pull utilisé pour les mesures .....	94
Figure 90 : Contours à rendement et puissance constants représentés sur l'abaque de Smith à 2 GHz de l'amplificateur en mode différentiel en boîtier .....	95
Figure 91 : Mesures de la puissance de sortie en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE .....	97
Figure 92 : Mesures du rendement en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE .....	97



Figure 93 : Mesures du gain en fonction de la fréquence pour les deux MMICs en boîtier (mode commun et mode différentiel) pour les charges optimales en puissance MXP et en rendement MXE .....	97
Figure 94 : Impédances load-pull pour MXE et MXP des amplificateurs mode commun et mode différentiel dans la bande d'intérêt 1.8 à 2.2 GHz .....	99
Figure 95 : Circuits modélisant les conjugués des impédances load-pull des MMICs en boîtier pour le mode commun (a) et le différentiel (b) .....	99
Figure 96 : Fonction de transfert des circuits externes d'adaptation de sortie pour le mode commun et le mode différentiel.....	101
Figure 97 : Impédances simulées dans le plan de la source de courant pour les amplificateurs en mode commun et en mode différentiel .....	101
Figure 98 : Photos des circuits d'application en mode commun et en mode différentiel.....	102
Figure 99 : Paramètres S mesurés des circuits d'application en mode commun et en mode différentiel.....	103
Figure 100 : Facteur de stabilité k des circuits d'applications.....	103
Figure 101 : Cercle de stabilité pour l'amplificateur en mode commun .....	104
Figure 102 : Gain et rendement en fonction de la puissance de sortie de l'amplificateur en mode commun dans la bande de fréquence d'intérêt entre 1.8 et 2.2 GHz.....	105
Figure 103 : Gain et rendement en fonction de la puissance de sortie de l'amplificateur en mode différentiel dans la bande de fréquence d'intérêt entre 1.8 et 2.2 GHz.....	105
Figure 104 : Mesures des ACPR pour l'amplificateur en mode commun .....	107
Figure 105 : Mesures des ACPR pour l'amplificateur mode différentiel .....	107
Figure 106 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode commun .....	108
Figure 107 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode différentiel ..	108
Figure 108 : Schéma de l'adaptation de sortie du circuit d'application final avec son balun intégré .....	109
Figure 109 : Circuit d'application final pour l'amplificateur en mode différentiel intégrant le balun de sortie.....	110
Figure 110 : Paramètres S des circuits d'applications différentiels avec un balun commercial (Circuit 1) et avec un balun intégré (Circuit 2).....	110
Figure 111 : Facteur de stabilité k des circuits d'applications différentiels avec un balun commercial (Circuit 1) et avec un balun intégré (Circuit 2).....	111
Figure 112 : Gain et rendement en fonction de la puissance de sortie du circuit d'application final avec un balun de sortie intégré dans la bande d'intérêt entre 1.8 et 2.2 GHz.....	111
Figure 113 : Mesures des produits d'intermodulations d'ordre 3 et 5 en mode différentiel ..	112
Figure 114 : Schéma d'un balun .....	127
Figure 115 : Pertes en puissance en fonction du déséquilibre en phase du balun .....	128
Figure 116 : Pertes en puissance en fonction du déséquilibre en amplitude du balun .....	129



## Table des tableaux

---

Tableau 1 : Plage de paramètres des inductances réalisées sur le masque HRS .....	29
Tableau 2 : Spécification pour la conception des amplificateurs de puissance en mode commun et en mode différentiel .....	55
Tableau 3 : Résultats load-pull simulés du modèle du transistor de 48 mm pour les points d'impédances présentant le maximum de rendement : MXE et le maximum de puissance : MXP .....	58
Tableau 4 : Résultats load-pull de l'amplificateur différentiel.....	96
Tableau 5 : Valeurs numériques des composants du modèle d'impédance optimale pour les configurations mode commun et mode différentiel.....	100
Tableau 6 : Performances mesurées des circuits d'applications à 3 dB de compression ....	106
Tableau 7 : Mesures du circuit d'application final à 3 dB de compression.....	112







## Conception d'amplificateurs intégrés de puissance en technologie Silicium pour station de base de quatrième génération des systèmes de radiocommunications cellulaires

---

Ces travaux de recherche concernent les amplificateurs RF de puissance pour stations de base. La technologie actuelle de transistor RF la plus compétitive, le LDMOS, est confrontée à l'augmentation constante du débit et à la concurrence d'autres technologies comme le HEMT GaN. Un autre challenge est l'intégration de l'adaptation de sortie réalisée en dehors du boîtier qui n'est plus compatible avec les futurs standards combinant jusqu'à soixante-quatre amplificateurs de puissance proches les uns des autres.

Une première piste envisagée dans cette thèse est le substrat Si à haute résistivité. A partir de simulations puis de mesures sur plaques, l'amélioration du facteur de qualité des éléments passifs a été démontrée mais ces premières investigations ne permettent pas l'intégration de l'adaptation de sortie avec la technologie actuelle bien que les résultats soient très encourageants.

Les challenges technologiques de ce nouveau substrat ont mené à considérer la structure différentielle pour les amplificateurs. En plus des avantages connus de cette configuration, nous avons montré que la conception d'un amplificateur de puissance différentiel montre une amélioration importante de la bande instantanée répondant au besoin d'un débit toujours plus élevé. Cette amélioration ne dégrade pas les autres performances en gain, rendement et puissance de sortie.

Dans la continuité de cette thèse, les perspectives concernent la conception d'un amplificateur de puissance sur substrat SI à haute résistivité combinée à une structure différentielle qui pourrait permettre une avancée majeure sur toutes les performances tout en gardant l'avantage du faible coût du LDMOS Silicium en comparaison des autres substrats.

---

Mots-clés : Amplificateur RF de puissance, MMIC, LDMOS, Bande instantanée

## Design of base stations integrated power amplifier in silicon technology for the fourth generation of cellular radio communication networks.

---

This research concerns the RF power amplifiers for base stations. The current most competitive technology of RF transistor, the LDMOS, faces the constantly increasing data rate and competition from other technologies such as GaN HEMT. Another challenge is the integration of the output matching made outside of the package which is not compatible with future standards combining up to sixty-four power amplifiers close to each other.

A first track proposed in this thesis is the high resistivity Si substrate. From simulations and measurements on wafers, improved passive elements quality factor has been demonstrated but these initial investigations do not allow the integration of the output matching with the current technology, although the results are very encouraging.

The technological challenges of this new substrate led to consider the differential structure for amplifiers. Besides to the known advantages of this configuration, we have shown that the design of a differential power amplifier shows a significant improvement in the instantaneous bandwidth meeting the need for higher data rate. This improvement does not degrade other performance as gain, efficiency and output power.

In continuation of this thesis, the perspective concerns the design of a power amplifier on a high resistivity Si substrate combined with a differential structure that could enable a major advance over all performance while keeping the advantage of low cost of LDMOS silicon compared to other substrates.

---

Keywords : RF power amplifier, MMIC, LDMOS, Instantaneous bandwidth

