université Paris Ouest Nanterre La Défense

ED 139 : Ecole doctorale Connaissance, langage, modélisation

EA 4415 - Thermique Interfaces Environnement

Cheikh Tidiane DIA

GENERATION DE MODELES COMPACTS THERMIQUES DYNAMIQUES DE COMPOSANTS ELECTRONIQUES VIA LES ALGORITHMES GENETIQUES

Thèse présentée et soutenue publiquement le 11 décembre 2015
en vue de l'obtention du doctorat de Energétique, génie des procédés
de l'Université Paris Ouest Nanterre La Défense

sous la direction de M. Najib LARAQI

Jury :

Président :	Mr Martin RAYNAUD	INSA Lyon
Rapporteur:	Mr Bertrand GARNIER	Université de Nantes
Rapporteur:	Mr Sadat HAMOU	Université de Poitiers
Examinateur:	Mr Nacim ALILAT	Université Paris Ouest Nanterre La Défense
Examinateur:	Mr Abderrahmane BAÏRI	Université Paris Ouest Nanterre La Défense
Membre invité:	Mr Jean – Gabriel BAUZIN	Université Paris Ouest Nanterre La Défense
Membre invité:	Mr Eric MONIER-VINARD	Thales Global Services, Vélizy

Remerciements

Cette thèse a été réalisée en partenariat entre l'entreprise Thales Global Services et le laboratoire LTIE de Ville d'Avray, rattaché à l'université Paris Ouest Nanterre. J'exprime donc ma reconnaissance envers ces deux entités pourm'avoir donné l'opportunité et les éléments nécessaires à la réalisation des travaux présentés dans ce manuscrit.

Je tiens tout d'abord à remercier Monsieur Eric Monier-Vinard de m'avoir accordé sa confiance et d'avoir mis à ma disposition tous les moyens possibles pour le bon déroulement de ce projet.

J'exprime ma gratitude à Monsieur Najib Laraqi, mondirecteur de thèse, pour ses précieux conseils et pour m'avoir guidé tout au long de ces années.

A tous mes collègues de TGS qui se donnent corps etâme pour faire de l'unité thermique, une référence incontournable du domaine. Je pense tout particulièrement à Valentin Bissuel,

Julien Dufrenne, Olivier Daniel, Cyrielle Lefevre et Marie-Cécile Kotelon.

Une mention spéciale à mes amies et ex-doctorants de l'IUT de Ville d'Avray, Esther Zarco Perna et Mounir Chbiki avec lesquels j'ai passé de très agréables moments.

Je n'oublie pas Jean Pascal Guinard et Nhat Nguyen pour l'aide qu'ils m'ont apportée durant cette thèse.

Je tiens également à remercier toutes les personnes rencontrées à TGS et au LTIE.

Enfin, je pense à toute ma famille et mes amis qui n'ont ménagé aucun effort pour me soutenir à accomplir ce travail.

Table des matières

Figures 6
Equations 9
Tables 10
ABSTRACT 12
INTRODUCTION GENERALE 16
PARTIE 1: La modélisation thermique des cartes électroniques 18
Nomenclature 19
I. Les enjeux de la modélisation thermique 20
II. Les challenges de la modélisation des cartes électroniques 20
III. L'approche analytique 22
IV. L'élaboration d'un modèle analytique de carte électronique 22
V. Expression d'un modèle analytique destiné aux cartes électroniques 26
VI. Réalisation d'un modèle de carte électronique standard 29
VII. Calculs conventionnels des propriétés thermiques d'une carte électronique 30
VIII. Etablissement d'un modèle de cartes multicouches 31
IX. Les outils de comparaison des modèles analytique et numérique 32
X. Confrontation des techniques de modélisation des cartes 33
XI. Pertinence du modèle de mélange des deux constituants d'une couche 35
XII. Modélisation des échanges latéraux d'une carte électronique 37
XIII. Modélisation du rayonnement thermique de la carte 38
XIV. Modélisation de l'interface composant-carte 41
XV. Limite de l'uniformité des propriétés thermiques d'une couche 44
XVI. Les futures technologies envisagées pour les cartes électroniques 47
XVII. Synthèse sur la modélisation d'une carte électronique 48
Bibliographie 49
PARTIE 2 : La modélisation thermique des composants électroniques 53
Nomenclature 54
I. Les challenges de la modélisation des composants électroniques 55
II. Les Etats de l'art sur la modélisation thermique d'un composant électronique 55
III. Vision succincte de la conception d'un circuit intégré 56
IV. Analyse du comportement thermique des circuits intégrés 58
V. Vision succincte de la conception d'un transistor de puissance 59
VI. Modèle analytique d'une puce électronique 63
VII. Réalisation d'un modèle de transistor 64
VIII. Modélisation transitoire des semi-conducteurs 67

IX. Statut sur la modélisation des puces électroniques 68
X. Vision des principales technologies de composant 68
XI. Les spécificités des technologies de packaging des composants électroniques 71
XII. Les boitiers SO et SOT 72
XIII. Les Boitiers QFN et MLF 73
XIV. Les Boitiers BGA et CSP 75
XV. Les Boitiers MCP, S-CSP et SIP 79
XVI. Les résistances ou « Thick and Thin Film Resistor » 81
XVII. Les condensateurs ou « Capacitor Passive Devices » 83
XVIII. Les inductances ou « Inductor Passive Devices » 85
XIX. Les matériaux usuels des composants électroniques 87
XX. Synthèse sur la modélisation des composants électroniques 89
Bibliographie 91
PARTIE 3 : La réduction des modèles des composants électroniques 93
I. L'état de l'art 94
II. Les réseaux nodaux 95
III. Les réseaux Cauer-Foster 95
IV. La méthodologie DELPHI 98
V. Problématique liée à la méthodologie DELPHI 101
VI. Application des algorithmes génétiques aux composants électroniques 103
VII. Couplage des algorithmes génétiques à la méthodologie DELPHI 108
VIII. Pertinence des scénarii de conditions aux limites 110
IX. Définition des paramètres des algorithmes génétiques 112
X. Fiabilité du processus de réduction 114
XI. Industrialisation du processus de réduction 116
XII. Comptabilité du processus avec la nature du semi-conducteur 118
XIII. Extension de la méthodologie mono-puce DELPHI 121
A. Le projet PROFIT 121
B. Description des implémentations de la méthodologie PROFIT 122
C. Création d'un modèle comportemental dynamique 125
D. Amélioration de la qualité des modèles dynamiques 127
E. Prévisions du modèle pour un cycle d'activation-désactivation 129
F. Pertinence des modèles dynamiques compacts par rapport aux effets d'échelle 131
G. Problématique des composants mono-puce asymétrique 132
H. Bilan de la création de modèle compacts dynamiques dit « mono-puce » 137
XIV. Extension de la méthodologie de réduction au composant « multi-puce » 138
A. Problématique liée au modèle compact des composants à multiples puces 138

B. Modèle compact dynamique pour un composant multi-puce « stacked-dies » ... 139
C. Comportement du modèle DCTM multi-puce « stacked-dies » ... 143
D. Comportement du modèle DCTM multi-puce « stacked-dies » sur carte 2s2p . 144
E. Modèle compact dynamique dédié au composant multi-puce « side by side » ... 145
F. L'approche « multi-réduction » des composants « side by side » ... 149
XV. Synthèse sur la modélisation compact des composants électroniques ... 151
Bibliographie ... 153
PARTIE 4 : Validation expérimentale des concepts de réduction ... 156
I. La carte ISL8023 ... 158
A. Modélisation des composants de la carte ISL8023 ... 159
B. Modélisation de structure propre à la carte ... 162
C. Caractérisation expérimentale de son comportement ... 163
D. Configurations expérimentales complémentaires ... 165
E. Définition des pertes thermiques propres à l'inductance ... 166
F. Comparaison expérimentation – simulation numérique ... 168
G. Problématique de la caractérisation des températures internes ... 169
II. La carte ISL8201 ... 170
A. Modélisation de ses composants ... 171
B. Modélisation de structure propre à la carte de test ... 174
C. Calibration du modèle physique de L'ISL8201 ... 174
D. Décomposition des surfaces externes du composant ... 176
E. Création du modèle compact de l'ISL8201 ... 177
F. Caractérisation expérimentale de son comportement ... 178
G. Réduction du temps d'obtention des modèles compacts ... 179
III. Les nouveaux axes de la réduction des composants complexes ... 180
IV. Bilan sur la caractérisation expérimentale des modèles compacts complexes ... 181
Bibliographie ... 182
PARTIE 5: Bilan des avancées réalisées et perspectives ... 183
ANNEXES ... 187

Figures

Figure 1: Les niveaux d'analyse thermique d'un système électronique 20
Figure 2: Carte industrielle conventionnelle 21
Figure 3: Foisonnement des composants d'une carte électronique industrielle 21
Figure 4: Exemple de constitution industrielle d'un circuit imprimé 21
Figure 5: Routage électronique d'une carte électronique 22
Figure 6: Vue d'une carte avec une source centrée sur la surface supérieure 29
Figure 7: Principe de réduction de la structure d'une carte 30
Figure 8: Convergence des prédictions du modèle analytique sous Mathcad® 33
Figure 9: Impact de la métallisation de la couche avoisinant la source 34
Figure 10: Impact de la couche diélectrique avoisinant la source de chaleur 35
Figure 11: Comparaison des modèles "majorant", "minorant" et "sigmoïde" 36
Figure 12: Décomposition des faces de la carte et de son composant 39
Figure 13: Facteur de vue entre deux surfaces orthogonales 40
Figure 14: Variation des facteurs de forme pour différentes configurations 40
Figure 15: Contacts d'un composant de type «Ball Grid Array» 41
Figure 16: Zones de contact entre le composant et la carte 42
Figure 17: Distribution des températures dans l'interface composant-carte 43
Figure 18: carte Jedec 2s2p pour caractériser un composant électronique 44
Figure 19: Comparaison des 2 véhicules de test 2s0p et 2s2p 44
Figure 20: Exemple de représentation des zones métalliques d'une carte 2s2p 46
Figure 21: Image exotique de la technologie PCS 47
Figure 22: Concept de la technologie des puces enterrées 48
Figure 23: Nouvelle technologie de transistor 56
Figure 24: Tuile logique d'un circuit intégré 57
Figure 25: Exemple d'architecture d'un Circuit Intégré 57
Figure 26: Conductivités thermiques de l'arséniure de gallium et du Silicium 58
Figure 27: Descriptif de l'architecture physique d'un amplificateur 60
Figure 28: Pertes thermiques d'un transistor 60
Figure 29: Exemple motif disposant de 2 doigts de grille 61
Figure 30: Gamme de performances des matériaux semi-conducteurs 62
Figure 31: Localisation des mesures de températures des transistors 62
Figure 32: Nouvelle constitution des amplificateurs de puissance 63
Figure 33: Vue surfacique d'une puce industrielle de chez UMS 64
Figure 34: Modèle analytique et vue thermique de la puce modélisée 65
Figure 35: Evolution des technologies de report des composants 69
Figure 36: Evolution des technologies de packaging des composants 70
Figure 37: Projection des ventes de Circuits Intégrés en 2017 71
Figure 38: Représentation des composants passifs d'une carte électronique 72
Figure 39: Boitier CMS plastique, possédant 3 pattes en L sur deux cotés 72
Figure 40: Boitier CMS plastique, possédant 32 broches au pas de 0.5mm 73
Figure 41: Vision d'un boitier QFN industriel à 16 pattes au pas de 0.5mm 74
Figure 42: Boitier CMS plastique, de type Power-Pak 75
Figure 43: Boitier plastique de type « Ball Grid Area » 76
Figure 44: Boitier plastique BGA 208 billes à substrat 2 couches 76
Figure 45: Boitier de type « Flip Chip Ball Grid Area » (source IBM) 78
Figure 46: Exemple de puce utilisant la technologie « flip-chip » 78
Figure 47: Boitier CMS plastique, possédant 2 puces identiques 79
Figure 48: Boitiers CMS plastiques à multiples puces 79
Figure 49: Boitier CMS plastique, de type « pyramid stacked QFN » 80
Figure 50: Convertisseur DC-DC représentatif des « System-in-Packages » 80
Figure 51: Exemple de résistance CMS couche mince 81
Figure 52: Véhicule de test destiné aux résistances CMS 82
Figure 53: Conception élémentaire d'un condensateur 83
Figure 54: Exemple de condensateur CMS de type MLCC 84

Figure 55: Exemple de défaillance d'un boitier MLCC 84
Figure 56: Exemple d'inductance CMS de type « wound inductors » 85
Figure 57: Exemple d'inductance CMS de type « multilayer inductors » 86
Figure 58: Exemple d'inductance CMS de type « planar spiral inductors » 86
Figure 59: Dépendance des performances thermiques d'un boitier QFN16 88
Figure 60: Modèle thermique élémentaire 95
Figure 61: Réseau RC de type Foster 96
Figure 62: Représentativité d'un réseau RC en fonction du nombre échelon 96
Figure 63 : Les réseaux RC de type Cauer 97
Figure 64: Comparaison des réseaux RC Cauer et Foster sous LT-Spice® 98
Figure 65: Le processus de réduction de la méthodologie DELPHI 100
Figure 66: Subdivisions des surfaces supérieure et inférieure du boitier 101
Figure 67: Comportement thermique d'un composant de type QFN. 101
Figure 68: Utilisation des algorithmes génétiques dans le domaine thermique 102
Figure 69: Réseau nodal élémentaire d'un modèle de type DELPHI 103
Figure 70: Prédictions des températures moyennes du nœud «Top» 107
Figure 71: Prédictions des températures moyennes du nœud «Bottom» 107
Figure 72: Prédictions des températures moyennes du nœud «Paddle» 107
Figure 73: Prédictions des températures moyennes du nœud «Sides» 108
Figure 74: Réseau de type DELPHI 108
Figure 75: Subdivision de la surface inférieure 109
Figure 76: Prédictions des températures maximales du nœud «Jonction» 109
Figure 77: Prédictions des températures moyennes du nœud «Bottom inner» 110
Figure 78: Prédictions des températures maximales du nœud «Jonction» 111
Figure 79: Tests de convergence de l'algorithme génétique 113
Figure 80: Reproductibilité du comportement de l'algorithme génétique 113
Figure 81: Prédictions des températures maximales du nœud «junction» 114
Figure 82: Prédictions des températures moyennes du nœud «Bottom inner» 115
Figure 83: Prédictions des températures moyennes du nœud «Top inner» 115
Figure 84: Comparaison sur 48 conditions entre des deux modèles du QFN16 117
Figure 85: Présentation du QFN16 avec une dissipation localisée 119
Figure 86: Puce AsGa avec une dissipation localisée 120
Figure 87: Principe de l'approche déclinée par Christiaens et al 121
Figure 88: Forme du réseau thermique dynamique 122
Figure 89: Comparaison entre le DTM et le DCTM du QFN16 126
Figure 90: Forme du réseau thermique dynamique 127
Figure 91: Comparaison des précisions des DCTM avec ou sans nœuds internes 128
Figure 92: Ecart sur la température de jonction du DCTM du QFN16 129
Figure 93: Définition des périodes d'activation et de désactivation de la puce 129
Figure 94: Performances du modèle en fonctionnement discontinu 130
Figure 95: Comparaison du comportement du réseau RC dans Spice® et Icepak® 131
Figure 96: Comparaison des modèles DTM et DCTM du QFN32 132
Figure 97: Ecart sur la température de jonction du DCTM du QFN32 132
Figure 98: Deux types de topologies de « powerpaks » 133
Figure 99: Analyse de construction du boîtier Fairchild dit « Power56 » 133
Figure 100: Impact des fils métalliques sur la température de jonction 134
Figure 101: Impact des fils de connexion sur les températures du boitier 135
Figure 102 : Découpage de la face inférieure du « Power56 » 135
Figure 103: Comparaison des modèles du composant avec fils de connexion 137
Figure 104: Erreur sur la température de jonction du DCTM entre 10ms et 100s 137
Figure 105: Exemple de boitier électronique doté de plusieurs plateformes 139
Figure 106: Forme du réseau RC du boîtier QFN48 « stacked-dies » 141
Figure 107: Prédiction de la température maximale vue par la puce supérieure 142
Figure 108: Prédiction de la température moyenne vue par la puce inférieure 142
Figure 109: Définition des périodes d'activation et de désactivation des puces 143
Figure 110: Température maximale de la puce supérieure au cours du cycle 143
Figure 111: Prédiction de la température moyenne de la puce inférieure au cours du cycle 144

Figure 112: Différence entre les modèles DTM et DCTM du QFN48 144
Figure 113: Ecart du modèle DCTM sur la prédiction des nœuds de jonction du QFN48 145
Figure 114: Vue interne et externe du FAN2106MPX 146
Figure 115 : Décomposition des faces supérieure et inférieure du MLP25A 147
Figure 116: Prédiction des températures de jonction des trois puces encastrées 149
Figure 117 : Illustration du modèle pseudo-compact de la puce A 150
Figure 118: Prédiction des températures de jonction de la réduction « pseudo-compacts » 151
Figure 119: Vision des deux cartes industrielles de démonstration étudiée 157
Figure 120: Diagramme électrique fonctionnel 158
Figure 121: Thermographie infrarouge de la face supérieure de la carte avec zoom 119497 158
Figure 122: Topologie du boitier QFN16 159
Figure 123: Présentation du modèle numérique du QFN16 159
Figure 124: Plan de coupe de l'inductance et radiographie RX 160
Figure 125: Topologie du réseau mis en place pour l'inductance 161
Figure 126: Définition du modèle compact « 6 surfaces » de l'inductance 161
Figure 127: Conception des couches métalliques constitutives de la carte de test 162
Figure 128: Modèle réduit de la carte et de ses composants actifs sur Icepak 163
Figure 129: Principe de fonctionnement de la carte de test 163
Figure 130: Comportement thermique des deux composants activés ou non 164
Figure 131: Vue thermique de la face arrière de la carte de test 164
Figure 132: Rotation à 90° des composants de la carte de test 165
Figure 133: Schéma électrique Spice de la fonction de l'ISL8023 166
Figure 134: Courant de sortie de l'ISL8023 avant filtrage 167
Figure 135: Décomposition du courant de sortie de l'ISL8023 passant par l'inductance 167
Figure 136: Comportement thermique propre à l'inductance de chez Cintec 168
Figure 137: Définition des composants destinés aux tests thermiques 169
Figure 138: Schéma de principe de la puce « TEMP01 » 170
Figure 139: Diagramme électrique fonctionnel de l'ISL8201 171
Figure 140: Vues interne et externe (RX) du composant ISL8201 171
Figure 141: Modèle numérique détaillé du ISL8201 173
Figure 142: Modèle numérique détaillé du ISL8201 173
Figure 143: Mesures thermiques mises en œuvre sur L'ISL8201 174
Figure 144: Décomposition «intuitive» des surfaces externes 176
Figure 145: Décomposition «intelligente» des surfaces externes 176
Figure 146:Décomposition de la vue infrarouge zoom 119497 179
Figure 147: Définition des modèles thermiques sub-compacts 180
Figure 148: Modèle thermique hybride de l'ISL8201 180
Figure 149: Caractérisation des modèles thermiques pour composant à multi-puce 181
Figure 150: Prédictions des températures moyennes du nœud «Sides» 202
Figure 151: Prédictions des températures moyennes du nœud «Top inner» 204
Figure 152: Prédictions des températures moyennes du nœud «Bottom inner» 204
Figure 153: Prédiction de la température maximale vue par la puce supérieure du QFN48 sur carte 2s2p 211
Figure 154: Prédiction de la température moyenne vue par la puce inférieure du QFN48 sur carte 2s2p 211
Figure 155: Conception des couches métalliques constitutives de la carte de test 214
Figure 156: Vue des modèles de la structure multicouches de la carte de test 214

Equations

Équation 1: Equation de la chaleur réduite 23
Équation 2: Equations transcendantales 37
Équation 3: Loi de conductivité variable en fonction de la température 58
Équation 4: Loi de chaleur spécifique variable en fonction de la température 67
Équation 5: Expression des pertes thermiques d'un condensateur 85
Équation 6: Modèle de mélange de Maxwell-Eucken 88
Équation 7: Représentation mathématique du réseau Foster 96
Équation 8: Fonction à minimiser donnée par le standard JEDEC 100
Équation 9: Fonction coût utilisée par Parthiban en 2005 104
Équation 10: Exemple de fonction coût multicritères proposée par « Thales » 106
Équation 11: Bilan de chaleur sur un nœud 122
Équation 12: Bilan de chaleur sur un nœud en permanent 122
Équation 13: Présentation matricielle du problème en régime permanent 123
Équation 14: Résolution matricielle du problème en régime permanent 123
Équation 15: Développement en série de Taylor de la température à l'instant t_k 124
Équation 16: Présentation matricielle du problème 124
Équation 17: Résolution matricielle du problème en régime transitoire 124
Équation 18: Définition de la fonction coût destinée aux modèles dynamiques 125
Équation 19: Fonction coût multicritères pour composant multi-puce 138
Équation 20: Expression de la résistance électrique du solénoïde en fonction de la température 161

Tables

Table 1: Expression des paramètres pour un écoulement laminaire 27
Table 2: Caractéristiques thermiques d'une carte multicouches 2s2p 31
Table 3: Prédiction des températures de la source des modèles MTE et MTD sous Mathcad® 33
Table 4: Prédiction des températures de la source des modèles MTE et MTD sous Ansys 34
Table 5: Prédiction des températures de la source basée sur le modèle de mélange minorant 36
Table 6: Prédiction des températures de la source basée sur le modèle de mélange sigmoïde 37
Table 7: Impact des transferts thermiques latéraux d'une carte 2s2p 38
Table 8: Prédiction des températures des sources de la matrice de contact 43
Table 9: Température de la source de chaleur du composant monté sur carte 2s0p 46
Table 10: Paramètres des modèles de conductivités thermiques 59
Table 11: Impact de la correction des températures des doigts 65
Table 12: Impact de la correction des températures des doigts 66
Table 13: Influence de l'épaisseur de puce sur les températures des doigts 66
Table 14: Influence d'une dissipation thermique sous-surfacique 67
Table 15: Paramètres des modèles de capacités thermiques 67
Table 16: Dimensions caractéristiques d'un composant de type QFN 74
Table 17: Contrainte thermique liée à la nature du câblage filaire 75
Table 18: Dimensions caractéristiques d'un composant de type CSP 77
Table 19: Dimensions normalisées des résistances CSM 82
Table 20: Caractéristique thermique d'une résistance 3216 (ou US 1206) 83
Table 21: Présentation du boitier industriel QFN16 étudié 87
Table 22: Réseaux RC à 4 échelons donnant la résistance jonction-ambiante 97
Table 23: Présentation du boitier QFN16 étudié 104
Table 24: Choix des matériaux du composant 104
Table 25: Comparaison des performances des modèles compacts 105
Table 26: Impact de la fonction coût sur la prédiction de la température de jonction 106
Table 27: Etude paramétrique de l'algorithme génétique 112
Table 28: Score final du réseau déduit pour le QFN16 114
Table 29: Présentation du composant AD8270 en boitier QFN16 116
Table 30: Choix des matériaux du composant industriel 116
Table 31: Réseau du modèle compact du composant 116
Table 32: Scénario test de validation 117
Table 33: Comparaison du comportement du modèle compact pour Q=1W 117
Table 34: Comparaison du comportement du modèle compact pour Q=0.5W 118
Table 35: Comparaison du comportement du modèle compact pour Q=1W 118
Table 36: Comparaison du comportement du modèle compact pour Q=0.5W 119
Table 37: Comparaison du comportement du modèle compact pour Q=0.05W 120
Table 38: Comparaison du comportement du modèle compact pour Q=0.5W 120
Table 39: Coefficients d'échange thermique pour la génération du modèle dynamique 125
Table 40: Paramètres fixés pour l'algorithme génétique 125
Table 41: Capacités thermiques associées au réseau de résistance 126
Table 42: Réseau de résistances modifié du modèle compact du QFN16 128
Table 43: Capacités thermiques associées au réseau de résistance 128
Table 44: Présentation du boitier QFN32 131
Table 45: Présentation du boîtier dit « Power56 » 134
Table 46: Réseau de résistances du modèle compact du « Power56 » 136
Table 47: Capacités thermiques du réseau du « Power56 » 136
Table 48: Présentation du boîtier QFN48 « stacked-dies » 140
Table 49: Réseau de résistances boîtier QFN48 « stacked-dies » 141
Table 50: Capacités thermiques du réseau du boîtier QFN48 « stacked-dies » 141
Table 51: Caractéristiques thermiques de carte multicouches 2s2p 145
Table 52: Caractéristiques géométriques du MLP25A 146
Table 53: Réseau de résistances boîtier MLP25A « side by side » 147
Table 54: Capacités thermiques du réseau du boîtier MLP25A « side by side » 148

Table 55: Comportement du modèle global pour différentes sollicitations 148
Table 56: Scénario test de validation 148
Table 57: Comportement du modèle « sub-compact » pour différentes sollicitations 150
Table 58: Présentation des éléments du boitier QFN16 ISL8023 159
Table 59: Présentation des éléments de l'inductance de la fonction ISL8023 160
Table 60: Présentation de puissances affectées aux composants de la carte de test 166
Table 61: Comparaison des températures de surface pour le modèle de carte simplifié 168
Table 62: Comparaison des températures de surface pour le modèle de carte détaillé 168
Table 63: Comparaison des températures de surface pour le modèle de carte simplifié avec des compacts 169
Table 64: Caractéristiques des constituants du SiP 172
Table 65: Dimensions du contrôleur ISL8105 172
Table 66: Dimensions de la structure cuivre du boitier ISL8201 173
Table 67: Caractéristiques thermiques des constituants de l'ISL8201 174
Table 68: Mesures thermiques locales à la surface du boitier 175
Table 69: Présentation de puissances affectées aux composants de la carte de test 175
Table 70: Comparaison des températures des zones de référence de la surface supérieure 175
Table 71: Comparaison des prédictions du modèle détaillé et de son modèle compact 177
Table 72: Bilan de flux sur les différents nœuds externes de l'ISL8201 178
Table 73: Comparaison des résultats numériques et des relevés expérimentaux 179
Table 74: Performances des modèles 180
Table 75: Capacités thermiques associées au réseau de résistance du QFN32 210
Table 76: Réseau de résistances modifié du modèle compact du QFN32 210

ABSTRACT

This thesis is dedicated to the generation of behavioral thermal model for electronic component having multiple active sensitive chips. This innovative study focuses on the necessary improvements of the concept of steady-state and dynamic compact models in order to elaborate pertinent and accurate modeling practical techniques.

These last decades, the continuous trend towards electronics miniaturization and its densification, to execute more functions in less space, without hampering the performances, has drastically affected the technologies of electronic components. Electronic devices are ceaseless getting smaller, closer to the chip size, and consequently submitted to higher power density.

The continuous increase of power density exacerbates the component thermal constraints and magnifies the cooling issues to evacuate their heat from a more and more overpopulated and warmer Printed Circuit Board (PCB).

The trend to Chip-Size Packages (CSP) has also changed the way the heat is removed from a high-powered chip. Due to the decrease of case-air surfaces of the package, the embedded heat has henceforth to be efficiently drained toward the metallic structure of multi-layered PCBs.

More and more, the conventional single chip packages, used for decade, are now unable to perform the range of functions that are mandatory for new electronic designs. Therefore, the integration of multiple active chips inside the same package appears to be the key technology of the electronic component manufacturers.

The thriving development of this solution, defined as 3D packaging technology, permits to master the required gain in space as well as to shorten the interconnection between the various elements of the device, using for instance pyramid stacked-die architecture.

So, the operating temperature limits of mono-chip packages that are encountered today are going to be drastically amplified with the introduction of 3D packaging technology in the System-In-Package devices.

In order to detect potential reliability issues of these high powered devices, the ability to know the sensitivity of component temperatures to the environmental conditions or to board design parameters is today a crucial stake.

Thus last generation of electronic component is reinforcing the need for simulating in accurate details the sensitive internal parts of the component as well as its vicinity board architecture.

But a detailed simulation always requires expensive grid size to achieve a relevant model, and consequently large computation time which is not convenient to earlier thermal issue detection.

To help the electronic designer to early identify the overheated electronic components, the purpose is to generate simplified models, capable to mimic the thermal behavior of sophisticated detailed models.

These simplified or compact models using well-known thermal resistances network replicate the thermal path from the most sensitive elements to the external package surfaces and enable to accurately predict their temperatures as well as the case heat flow rates.

Preliminary evaluations performed on the popular, plastic Quad Flat-pack No lead package family showed that the simplest network definition, restricted to the heating source and two

external surfaces, is always insufficient to properly characterize the thermal response of real device.

So our development of steady-state compact thermal model (CTM) for electronic component is based on a process flow defined by the European project DELPHI which was revised by the presented work to address multi-chip components. DELPHI style compact thermal model presents an enlarged node number, especially for the component external surfaces which are divided in a set of relevant areas.

The process flow starts according to DELPHI methodology with a conventional creation of a steady-state CTM from the thermal behavior of a realistic representation of a given component. Then a fitting technique permits to select the best compliant resistances network for a consistent set of boundary conditions.

As fitting technique, the choice was done to use Genetic Algorithm based on the theory of evolution of a given population. The initial population is randomly created with a given number of matrices of resistances which permit to evaluate the temperature and heat flow rate of each node. Then the following cycle is applied: evaluate the networks, choose some of the best ones and create new networks as children of the previously chosen ones, add these children to the chosen parents to create a new population.

An evaluation function and a termination condition are the sensitive points of the process they are respectively used to evaluate the networks performance and to decide if the fitting must continue in order to find a better solution or not.

The selected Genetic Algorithm fitting technique ensures a constant quality of deducted thermal networks. The declined steady-state approach highlights the sensitivity of the deducted model to relevant parameters such as realistic sets of boundary conditions or the required subdivisions of component external surfaces, to properly match a set of targeted temperatures and heat flow rates.

It occurs that the subdivision definition have to be numerically optimized to efficiently describe the asymmetric temperature mappings which are usually encountered for multi-chip devices.

To deal with multiple chips packages, each chip is activated separately then all are activated for different power load.

As significant result the established Compact Thermal Model proves to be practically independent of the boundary conditions and can be reused whatever the electronic board operating environment is.

Moreover, the respect of the maximum operating temperature below manufacturer limit, is ceaseless difficult to manage for all the overheated components of a board, especially for harsh environmental conditions.

One way to limit the sensitive or junction temperature without using complex cooling techniques is to optimize the source heating period. In such a way, the electronic functions are activated during short time period to maintain the temperature to a reliable level.

To develop that new kind of behavioral model, so called Dynamic Compact Thermal Models (DCTM), the current study promotes a novel methodology which allows deriving a resistance-capacity network able to accurately predict the transient response of all sensitive parts of complex components.

The proposed reduction methodology is based on two main successive stages.

Following the previous steady-state stage, the process flow focuses on the determination of thermal capacitance matrix of a dynamic CTM from a temporal response of the numerical realistic model of the component. Unlike the steady-state model, the DCTM generation does not require a large number of scenarios, for instance a set of 10 added independent boundary conditions is enough. As previously, the set of added capacitances is derived from Genetic Algorithm fitting technique using a new cost function based on the divergence between the temperatures of the detailed and the compact models. A good agreement is generally found when the score is between 0.98 and 1.

The current study reveals that the initial deducted RC network appears to be irrelevant to report the transient heat spreading in the surroundings of the chip, during the first time steps. Thus to resolve that issue, the thermal resistances of the network that have a major impact on the chip cooling are split into two or more elements to obtain a convenient agreement.

In fact, the process flow increases the number of network ladders for an optimum resolution of the time-history of the temperature. Subdivision factors of the thermal resistance of selected heat spreading path are also derived from the fitting process. Eventually a capacitance value is associated with each added internal node to the initial network.

For multi-chip devices, a new approach was developed with the purpose to minimize the consuming time to create a multi-junction compact thermal model at once.

Thus the methodology considers that the package can be subdivided as several discrete parts. Each one is reduced separately by using the technique described previously. Then, the generated sub-compact thermal models are gathered to predict the global thermal behavior of the component.

The analysis highlights that the main issue of the reduction process is to get an appropriate decomposition of boundary surfaces of each part which depends on the activation of the various chips.

N-source steady-state or dynamic thermal resistances network can be built using the superposition principle and Genetic Algorithm fitting technique.

The principal achievement of this work is the creation of a behavioral model with high degree of Boundary Condition Independence and Boundary Initial Condition Independence for multi-chip packages.

In order to qualify the performances of developed thermal model, the behavior of various single or n-source networks has been analyzed by considering application case scenarios and compared to the steady-state or transient response of their realistic models.

The proposed approach has been validated on a large number of electronic components and is proven to be powerful for producing models whose predictions are very close to the detailed models, generally below 10% of error.

Moreover, it occurs that the concept of Compact thermal Model can be extended to other electronic component families such as high-powered passive device.

As early mentioned, Printed Circuit Board has to be considered as the dominant remover of component heat and an accurate three-dimensional prediction of temperature distribution is mandatory for properly evaluating the temperatures of its sensitive Surfaces Mounted Devices (SMD).

Thus the conventional assumptions for electronic board thermal modeling are discussed with the aim to check the pertinence of existing methods and to quantify the inherent uncertainty of

thermal effective conductivity determination of the thermal test vehicle recommended to characterize the thermal performances of electronic component.

The results highlight the fact that the conventional practices for PCB modeling can dramatically underestimate component temperatures when their size is getting very small.

It occurs that the thermal validation of the thermal model of an electronic component requires making a detailed representation of the various copper traces of each layer of the test board in order to obtain a good agreement with experimental characterizations.

Thus some of developed detailed and compact thermal models were compared with the experimental data using the arsenal of measurement techniques such as the "diode-forward-drop" method, infrared camera or Thermo-chromic Liquid Crystal.

As summary, the present work proposes a guideline to create DELPHI style pertinent steady-state or dynamic thermal behavioral models dedicated for emerging multi-chip components.

The deducted compact thermal network allows electronic designers to quickly determine the limits of the power dissipation of electronic component and early detect the critical candidates for harsh environmental conditions.

Keywords: Dynamic compact thermal model, DELPHI methodology, Embedded-dies, Genetic Algorithm, HERMES Project, Infrared camera, Multi-die package, Thermal simulation, Thermochromic Liquid Crystal, Transient, Stacked-die package, Superposition principle, Vias, and µvias.

INTRODUCTION GENERALE

Le secteur de l'électronique est en perpétuelle évolution, répondant à une demande accrue aussi bien dans le domaine public que militaire. La conception des systèmes automatisés modernes exige une intervention de l'électronique. La défaillance de ces systèmes peut engendrer des conséquences désastreuses impliquant des vies humaines. Le dysfonctionnement peut provenir de plusieurs causes. En général, l'effet thermique est un des facteurs majeurs de la plupart de celles répertoriées. D'où la nécessité d'accorder une grande importance à l'étude thermique, et cela le plus tôt possible dans la conception.

Plusieurs niveaux d'étude peuvent être identifiés : niveau puce, niveau composant, niveau carte et niveau système. Au niveau puce, l'analyse se focalise sur la non-uniformité des dissipations, faisant apparaître des points chauds ou « hotspots ». Le composant ou package apporte une protection contre les contraintes mécaniques, l'introduction de contaminations externes fournit également un chemin thermique à la chaleur dissipée au niveau de la puce, à travers le support et les connexions vers la carte. En dehors de la thermique, l'approche doit donc regrouper plusieurs domaines multi-physiques. Les composants critiques peuvent être détectés au niveau carte, permettant d'optimiser les solutions de refroidissement. Enfin, le niveau système fournit une vue d'ensemble et l'interaction avec le milieu externe.

Aussi avec l'augmentation des fonctionnalités requises par les systèmes électroniques modernes, le nombre d'entrées/sorties au niveau des composants électroniques ne cesse d'augmenter depuis ces dernières années. Les packages représentant un composant passif discret font place à des systèmes plus complexes. Cette tendance a pour conséquence l'augmentation de la densité de puissance dissipée.

La simulation détaillée au niveau carte de ces nouveaux types de packages est quasiment impossible du fait de la limitation des moyens de calculs actuels. En outre, dans la plupart des cas de conception électronique, seule l'estimation des températures en quelques points est intéressante. Une étude détaillée au niveau composant n'est pas nécessairement pertinente.

Il faut donc un compromis entre faisabilité et/ou rapidité des calculs et une précision sur les paramètres importants. Une alternative est de trouver des modèles comportementaux équivalents aux modèles détaillés, capable de reproduire son comportement thermique aux points cruciaux. C'est dans cette optique que le projet européen DELPHI (Development of libraries of physical models of electronic components for an integrated design environment) a été initié en 1993. L'objectif de ce projet était de pouvoir générer un modèle compact à partir d'un modèle détaillé d'un composant électronique. Celui-ci a ainsi abouti à une standardisation du processus de génération des modèles mis en oeuvre. Néanmoins, les avancées issues de ce projet sont limitées aux composants mono-puces et à leur comportement thermique en régime permanent.

L'objectif de cette thèse est de réfléchir à une approche multi-échelle de la génération de modèles compacts et leur interaction avec la carte. La modélisation multi-échelle consiste à la génération de modèles mono-puces ou multi-puces et leur réutilisation éventuelle dans des systèmes plus complexes tels que les « Printed Circuit Board » ou les « System-In-packages ».

La méthodologie adoptée est la création de réseaux de résistances et de capacités pour pouvoir répondre à la demande au niveau industriel. En effet, la plupart des logiciels du marché utilisent cette approche pour la modélisation des modèles comportementaux au niveau composant. Ainsi pour conserver l'esprit du projet DELPHI, les modèles doivent pouvoir être utilisés par l'ensemble des logiciels prévus à cet effet.

Afin de bien décrire les avancées et les perspectives liées à cette thèse, le manuscrit sera subdivisé en cinq parties.

Dans la première partie, nous reviendrons sur les principes fondamentaux de la modélisation thermique d'une carte électronique, en se focalisant sur l'approche analytique. Les méthodes de simplification de la carte, dans le but de réduire la taille des modèles numériques, seront également abordées.

Dans la deuxième partie, nous discuterons de l'évolution des boitiers électroniques. L'impact des différents matériaux du composant, sur l'aspect thermique, seront étudiés.

La troisième partie est dédiée à la génération de modèles compacts dynamiques. La méthodologie et les hypothèses seront présentées de façon détaillée. La méthodologie proposée sera appliquée à différentes configuration de packages.

La quatrième partie sera consacrée à la validation expérimentale de notre modèle de réduction. Les moyens et les techniques de mesure seront abordés.

Enfin, la dernière partie sera consacrée au bilan des travaux réalisés et ouvre une voie de réflexion sur la réduction au niveau système et les enjeux que cela implique.

La thermique appliquée à l'électronique est assez vaste et peut faire l'objet d'un ouvrage à elle seule. Nous nous limiterons donc aux études relatives à notre axe de recherche.

PARTIE 1: La modélisation thermique des cartes électroniques

Nomenclature

L	Longueur caractéristique
Lb	Longueur de la carte
Wb	Largeur de la carte
φ	Densité de flux thermique
grad	Opérateur gradient
h	Coefficient d'échange thermique
Hb	Epaisseur de la carte
k	Conductivité thermique
T	Température
T_f	Température de référence
T_∞	Température ambiante
C_p	Chaleur spécifique à pression constante
t	Temps
σ	Constante de Stefan – Boltzman
ε	Emissivité
θ_i	Répartition de température sur la couche i, par rapport à la température ambiante
F	Facteur de forme
P_V	Puissance volumique
Gr	Nombre de Grashof
Pr	Nombre de Prandtl
Ra	Nombre de Rayleigh
G_L	Fonction de gravité
i	Indice de la couche i
Nl	Nombre de couches de la carte
Φ	Facteur de couverture de piste

I. Les enjeux de la modélisation thermique

Malgré des avancées continues, la simulation au niveau système reste un défi pour que celle-ci soit réellement significative et exécutée dans un temps raisonnable. Les modèles de simulation à ce niveau sont toujours des représentations extrêmement simplifiées dont la définition à un impact majeur sur la qualité des prédictions des températures clefs.

A titre d'exemple, le projet européen Crescendo (Collaborative and Robust Engineering using Simulation Capability Enabling Next Design Optimization), coordonné par Airbus, avait pour objectif de représenter par un réseau, de moins de 50 nœuds, le comportement transitoire d'un coffret électronique complexe composé de plusieurs cartes électroniques et leur légion de composants électroniques.

Il est clair que la modélisation de systèmes électroniques implique invariablement une hiérarchie d'échelles de longueur s'étendant du micron, au niveau d'une puce électronique, à plusieurs mètres au niveau d'une baie électronique comme l'illustre la Figure 1.

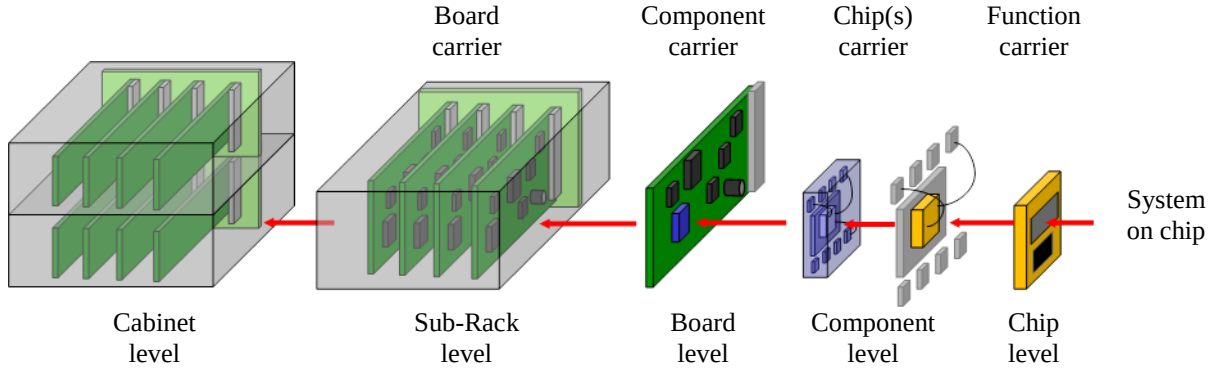


Figure 1: Les niveaux d'analyse thermique d'un système électronique

Aujourd'hui, seules des tendances paramétriques peuvent être effectuées quand des évaluations précises des températures du système sont obligatoires pour caractériser correctement la tenue des performances et des exigences de fiabilité de produits électroniques toujours plus compacts.

II. Les challenges de la modélisation des cartes électroniques

La simulation au niveau carte suppose la capacité d'analyser correctement l'impact sur un composant sensible, du voisinage d'un ensemble de composants actifs ou passifs présentant, ou non, de fortes dissipations thermiques.

Ce niveau d'analyse demeure souvent difficile à appréhender par beaucoup de sociétés, souvent par manque de données ou de modèles adéquats indispensables pour évaluer les températures de composants toujours plus miniaturisés. Ainsi les problèmes thermiques sont détectés tardivement et ils sont le plus souvent difficilement résolubles. Les potentiels changements de conception de la carte demeurent dès lors limités à l'ajout de solutions de refroidissement (radiateurs), conduisant à un surcout et des délais de fabrication supérieurs. Cela implique également un volume d'occupation, une masse et une puissance électrique consommée plus importants.

Cette vision devient de moins en moins défendable avec le développement de cartes électroniques à Haute Densité d'Interconnexion (HDI) qui autorise un foisonnement toujours plus accru des composants et va engendrer à termes une intensification des contraintes thermiques liées à cette très forte proximité.

Pour illustrer ce foisonnement, une carte électronique conventionnelle à 20000 points de connexions, équipée de 1675 composants est présentée sur la Figure 2.

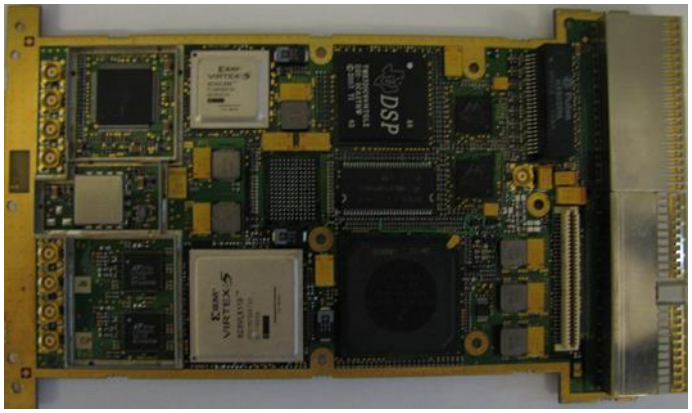


Figure 2: Carte industrielle conventionnelle

Sa longueur, sa largeur et son épaisseur sont égales respectivement à 160mm, 100mm et 1.6mm.

Une large variété de modèles thermiques est par conséquent nécessaire pour caractériser avec précision son comportement thermique et optimiser son refroidissement, comme l'indique la Figure 3.

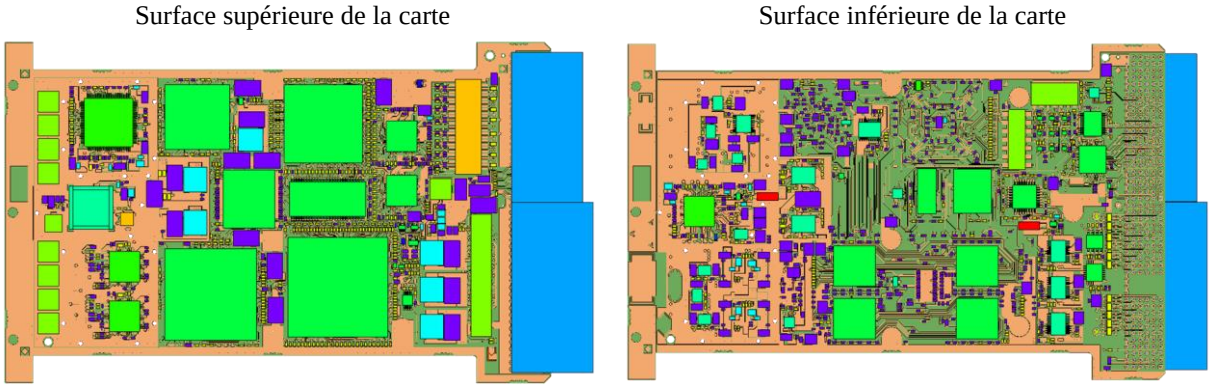


Figure 3: Foisonnement des composants d'une carte électronique industrielle

D'autre part, la précision de la simulation au niveau d'une carte dépend principalement des propriétés thermiques de la structure à multiple couches de son circuit imprimé.

Un circuit imprimé multicouches est un empilement de feuillard de cuivre (foil), de pré-imprégnés (prepreg) et de stratifiés (laminate), comme le schématise l'exemple ci-après d'une construction à 6 couches d'interconnexion.

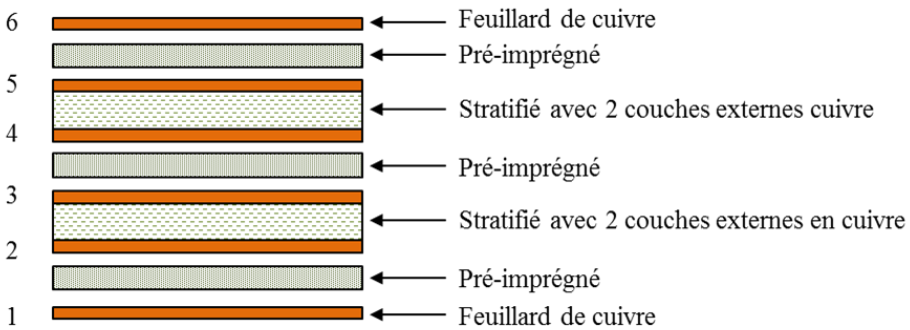
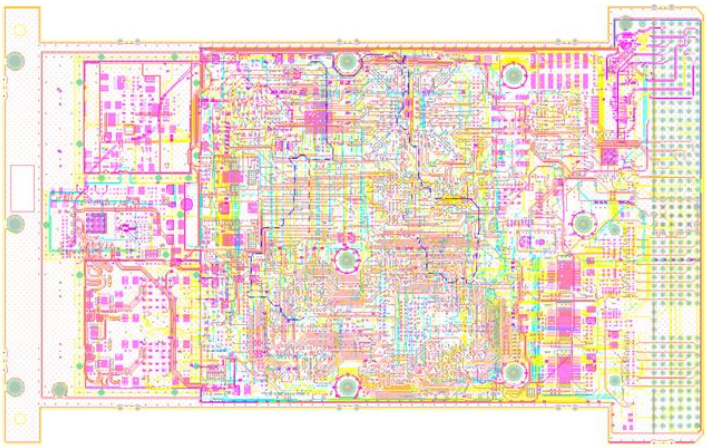


Figure 4: Exemple de constitution industrielle d'un circuit imprimé

Les stratifiés et les pré-imprégnés sont composés d'une résine époxy ou polyimide associée à un tissu de verre. Les pré-imprégnés ont leur résine incomplètement polymérisée, afin de réaliser le collage inter-couches et remplir par pressage les zones non gravées des couches.

A titre d'exemple la carte industrielle présentée Figure 3 est constituée de 12 couches d'interconnexion ayant une épaisseur de 17.5 ou 35µm, lesquelles sont isolées par 11 couches diélectriques variant de 75µm à 250µm.

La Figure 5 montre la superposition des géométries des traces en cuivre des couches alternées de la carte et met en évidence la complexité de modéliser finement cette structure hétéroclite.



Superposition des 23 couches de cuivre

Figure 5: Routage électronique d'une carte électronique

En résumé, l'objectif est de fournir un processus efficient pour réaliser une conception thermique optimale des cartes électroniques complexes développées par le groupe Thales.

Le plus souvent cet enchevêtrement complexe des pistes est remplacé dans les simulations numériques par un matériau équivalent orthotrope.

III. L'approche analytique

Dans toute conception, il est nécessaire de statuer au plus tôt sur les performances thermiques des nouvelles technologies mises en œuvre pour évacuer la chaleur dissipée par les composants d'une carte électronique.

L'approche numérique très utilisée dans le milieu industriel peut s'avérer lourde, coûteuse et dans certaines situations compliquée à maîtriser par les concepteurs.

Pour s'affranchir de cela, en phase de pré-étude tout au moins, il est nécessaire de développer des méthodes simples capables d'estimer les températures critiques en quelques points, leur précision étant moins importante que leur capacité à détecter la criticité d'une conception. Celles-ci impliquent, entre autres, la recherche d'approches analytiques basées sur l'équation de la chaleur.

IV. L'élaboration d'un modèle analytique de carte électronique

La caractérisation d'un composant électronique ne peut pas être dissociée du circuit imprimé à multiples couches sur lequel celui-ci est monté. La modélisation de son comportement thermique est par conséquent cruciale. Pour valider la qualité des simulations numériques et la pertinence des hypothèses simplificatrices à envisager, une approche analytique capable de déterminer la répartition de la température en chaque point de la carte est mise en œuvre.

Dans cette partie, nous considérons la résolution de l'équation de la chaleur en régime permanent. La température d'un objet est dès lors indépendante du temps.

La carte est modélisée par un parallélépipède, c'est la forme la plus répandue en électronique. Celui-ci peut échanger de la chaleur avec le milieu environnant à travers différents modes de transfert. L'échange thermique va intervenir naturellement entre la carte et le milieu ambiant dès lors qu'il existe un gradient de température et cela quel que soit le milieu considéré.

Trois types de transfert, couplés ou non, sont à considérer: la conduction, la convection et le rayonnement. La conduction caractérise le transfert de chaleur dans un corps sans transport de matière, causée par une différence de température. La convection est le phénomène de transfert de chaleur avec transfert de matière. Il se produit à l'interface de deux systèmes de phases différentes. Et le rayonnement se produit entre deux corps sans support matériel, à partir du moment où leur température dépasse les 0 K. Ces trois modes d'échange vont interagir au niveau du refroidissement d'une carte électronique et de leur optimisation dépend sa fiabilité.

La dissipation thermique des composants est le plus souvent surfacique ainsi on néglige toute dissipation volumique produite au sein de la carte, telle de l'effet joule dans les pistes.

Une carte électronique est constituée d'un ensemble de couches électriques, très conductrices de la chaleur, lesquelles sont isolées entre elles par un matériau diélectrique, à très faible conductivité thermique, qui restreint la diffusion de la chaleur dans l'épaisseur de la carte. Ainsi son comportement thermique va dépendre d'un ensemble de valeurs de conductivité thermique axiales, définies par *kx*, *ky* ou *kz*, supposées indépendantes de la température.

Par conséquence, l'équation de la chaleur de la chaleur se résume à :

$$kx_i \frac{\partial^2 \theta_i(x,y,z)}{\partial x^2} + ky_i \frac{\partial^2 \theta_i(x,y,z)}{\partial y^2} + kz_i \frac{\partial^2 \theta_i(x,y,z)}{\partial z^2} = 0 \quad for\ i = 1 \dots nl$$

Équation 1: Equation de la chaleur réduite

L'indice i désigne une couche spécifique des nl couches constitutives de la carte électronique.

L'expression $\theta_i(x,y,z) = T_i(x,y,z) - T_\infty$ correspond à la différence entre les températures locales et de référence en un point ayant pour coordonnées cartésiennes x, y et z.

De la même manière, chacune des couches va présenter un comportement thermique spécifique qui dépend de l'arrangement géométrique complexe d'une multitude de pistes en cuivre, noyées dans un matériau diélectrique. Ainsi, chaque couche est composée de deux constituants dont la conductivité thermique est communément estimée en supposant une conduction de la chaleur continue, en parallèle, dans les deux solides.

L''équation de la chaleur est alors dépendante d'une loi de mélange:

$$\mathrm{K}_{x,i} \frac{\partial^2 \theta_i(x,y,z)}{\partial x^2} + \mathrm{K}_{y,i} \frac{\partial^2 \theta_i(x,y,z)}{\partial y^2} + \mathrm{K}_{z,i} \frac{\partial^2 \theta_i(x,y,z)}{\partial z^2} = 0$$

$$avec\ \mathrm{K}_{l,i} = km + \phi_{l,i} \cdot (kf - km)\ , \qquad l = x, y\ ou\ z$$

Où *km*, *kf*, ϕ sont respectivement la conductivité thermique du matériau diélectrique, celle du cuivre et la fraction du volume occupée par celui-ci.

Il est généralement assumé que la structure d'une carte électronique à plusieurs couches peut être efficacement représentée par une couche homogène dont les dimensions sont semblables à celles de la carte ayant une conductivité thermique équivalente propre à chacun de ces axes,

x, y, ou z. Cette supposition a l'avantage immédiat de minimiser les temps de calcul mais son domaine de validité reste toujours à contrôler.

De nombreux travaux menés sur la caractérisation de la constitution d'une carte électronique démontrent que la conductivité thermique transversale équivalente (kez) est toujours très inférieure aux conductivités thermiques longitudinales (kex, key), aussi celles-ci doivent être impérativement différenciées.

Les couches conductrices peuvent être connectées entre elles par des trous métallisés, dénommés vias ou micro-vias, avec pour objet d'assurer la transmission des signaux électriques. Ceux-ci ont aussi comme avantage de drainer plus efficacement la puissance dissipée par un composant vers le cœur de la carte. Toutefois, la dissymétrie des transferts thermiques longitudinaux et transversaux demeure toujours importante, le plus souvent le ratio est supérieur à 20.

La détermination d'un matériau anisotrope équivalent dépend des informations disponibles sur la constitution des diverses couches de la carte et de leur exploitation.

En définitive, l'équation de la chaleur est souvent réduite à l'analyse d'une seule couche dont les propriétés thermiques sont supposées représentatives. En régime permanent, sans production de chaleur, celle-ci a la forme suivante:

$$kex.\frac{\partial^2\theta(x,y,z)}{\partial x^2} + key.\frac{\partial^2\theta(x,y,z)}{\partial y^2} + kez.\frac{\partial^2\theta(x,y,z)}{\partial z^2} = 0$$

La méthode de séparation des variables est utilisée pour la résolution de cette équation:

$$\theta(x,y,z) = X(x).Y(y).Z(z)$$

L'équation se transforme facilement en:

$$kex.\frac{1}{X(x)}.\frac{d^2X(x)}{dx^2} + key.\frac{1}{Y(x)}.\frac{d^2Y(y)}{dy^2} + kez.\frac{1}{Z(z)}.\frac{d^2Z(z)}{dz^2} = 0$$

Les solutions des profils de températures propres à chacun des axes sont déclinées ci-après :

$$X(x) = A.\cos(\alpha.x) + B.\sin(\alpha.x)$$

$$Y(y) = C.\cos(\beta.y) + D.\sin(\beta.y)$$

$$Z(z) = E.\exp(r.(z - Hb)) + F.exp(-r.(z + Hb))$$

La forme exponentielle est retenue pour annihiler les artefacts mathématiques rencontrés lorsque les fonctions hyperboliques sont employées. La forme de l'expression basée sur l'épaisseur de la carte, Hb, tend rapidement vers zéro dès que la valeur de r croit.

Pour résoudre ces expressions, il est nécessaire de définir des conditions pertinentes à appliquer sur les surfaces externes ou internes du domaine.

Les conditions aux limites sont de plusieurs types:

- Condition de Dirichlet ou de première espèce: une distribution de température est imposée sur les frontières du domaine.

  $$T = f(x,y)\ pour\ une\ carte\ orthogonale\ \text{à}\ l'axe\ z$$

  L'ensemble des points ayant la même température vont définir une surface isotherme.

- Condition de Neumann ou de deuxième espèce: une densité de flux est imposée sur les parois du domaine.

$$\varphi = -\mathrm{K}_{z,i}.\left[\frac{\partial\theta(x,y,z)_i}{\partial z}\right]_{z=z0} = f(x,y)\ \ sur\ l'axe\ z$$

Le cas adiabatique correspond au cas particulier où la densité de flux est nulle.

- Condition de Fourier ou de troisième espèce: un flux convectif est échangé entre le solide et le milieu fluide, avec déplacement de matière.

  Celui-ci s'exprime sous la forme:

$$\varphi = hc.(T - T_{ref})$$

  Le paramètre *hc* représentant le coefficient de convection thermique.

  Classiquement, la carte est assimilée à une plaque plane et une corrélation empirique basée sur un jeu de paramètres adimensionnels, tels les nombres de Grashoof (*Gr*), Prandtl (*Pr*) ou Rayleigh (*Ra*) pour la convection naturelle, fournit la valeur de ce coefficient. Par exemple, si l'on considère une plaque, soumise à une température uniforme et un écoulement fluidique, l'expression de h peut être écrite sous la forme:

$$hc = \frac{k_A}{L}.C.(Gr_L.Pr)^n = \frac{k_A}{L}.C.(Ra_L)^n$$

- Condition de type radiatif : la carte et ses composants peuvent échanger avec le milieu transparent environnant et/ou les autres objets qui l'entourent, ayant une température différente, par rayonnement. Le rayonnement fonctionne différemment par rapport au mécanisme de la conduction et de la convection dans le sens où il ne requiert pas la présence d'un milieu matériel pour qu'il y ait un échange de chaleur.

  L'échange radiatif de la surface d'une carte est caractérisé par la constante de Stefan-Boltzmann, $\sigma = 5.67 \times 10^{-8}$ W/ (m².K⁴), la capacité de son revêtement à émettre de l'énergie par rayonnement définie par son émissivité ε et par un facteur de forme F qui exprime la part du flux quittant cette surface vers l'environnement.

  Pour les corps opaques, tels que les métaux par exemple, le rayonnement est considéré comme un phénomène surfacique:

$$\varphi = \varepsilon.\sigma.F.(T^4 - {T_{ref}}^4)$$

  Il est à noter que l'émissivité d'un objet dépend de son revêtement surfacique.

- Hormis le cas particulier du domaine spatial, les phénomènes de convection et de rayonnement sont dans la majorité des applications électroniques couplés:

$$-\mathrm{K}_{n,i}.\left[\frac{\partial\theta(x,y,z)_i}{\partial n}\right]_{n=n0} = h.\left(T - T_{ref}\right)$$

- La définition ci-dessous d'un coefficient d'échange global, nommé *h*, permet de conserver l'expression de la condition de Fourier en combinant le coefficient de convection et le coefficient équivalent de rayonnement.

$$h = hc + hr = \frac{k_A}{L}.C.(Ra_L)^n + \varepsilon.\sigma.F.\left(T^2 + {T_{ref}}^2\right).\left(T + T_{ref}\right)$$

- Condition d'interface: si la carte est en contact avec un autre solide, la conservation du flux est considérée à leur interface. En notant k_1 et k_2 les conductivités des deux matériaux en présence, elle se traduit par la relation suivante:

$$\mathrm{K}_{n,1}.\left[\frac{\partial\theta(x,y,z)_1}{\partial n}\right]_{n=n1} = \mathrm{K}_{n,2}.\left[\frac{\partial\theta(x,y,z)_2}{\partial n}\right]_{n=n1}$$

- Si le contact peut être supposé parfait, une seconde égalité s'ajoute à la précédente.

$$\theta(x,y,z)_2|_{n=n_1} = \theta(x,y,z)_1|_{n=n_1}$$

En réalité, un saut de température est plutôt observé à l'interface traduisant un contact imparfait. En fait, au niveau microscopique, seule une petite partie des surfaces est en contact. Pour prendre en compte cette discontinuité entre les deux matériaux, la notion de résistance de contact est introduite.

Ce type de conditions est matérialisé par la présence de points d'appui «thermiques» d'une structure métallique sur la carte qui permettent d'évacuer plus efficacement la chaleur dissipée par les composants, telles que les glissières thermiques.

V. Expression d'un modèle analytique destiné aux cartes électroniques

Pour la modélisation d'une carte électronique au moyen d'un bloc anisotrope homogène, comportant des sources sur sa face supérieure, la déclinaison la plus conventionnelle de ces différentes conditions aux limites est la suivante:

- Conditions sur les faces latérales:

$$\mathrm{K}_{x,i}\cdot\left.\frac{\partial\theta_i(x,y,z)}{\partial x}\right|_{x=0,Lb} = 0 \text{ et } \mathrm{K}_{y,i}\cdot\left.\frac{\partial\theta_i(x,y,z)}{\partial y}\right|_{y=0,Wb} = 0$$

Avec *Lb* et *Wb*, respectivement, la longueur et la largeur du bloc anisotrope.

En effet, l'épaisseur de la carte étant très faible comparée à ses autres dimensions *Lb* et *Wb*, comme mentionnée sur la Figure 2, le flux passant à travers les faces latérales est négligeable. Celles-ci sont considérées adiabatiques. Cette hypothèse a pour avantage de simplifier la forme de l'équation transcendantale. Dans le cas contraire, l'équation transcendantale aura pour forme $(x^2-\alpha).\tan(x) = b.x$ **[CULHAM, 2000]**.

Les surfaces supérieure et inférieure sont exposées à des coefficients d'échange thermique uniformes, nommés respectivement *ht* et *hb*, lesquels permettent de distinguer l'impact de l'orientation de la gravité lorsque la carte est en position horizontale. Ces deux coefficients combinent les échanges convectifs et radiatifs.

Dans le cas où la source est localisée sur la face supérieure, les conditions aux limites sont décrites ci-dessous :

- Condition sur la face supérieure:

$$-\mathrm{K}_{\mathrm{z,nl}}\cdot\left.\frac{\partial\theta_{nl}(x,y,z)}{\partial z}\right|_{z=Hb} = ht.\theta_{nl}(x,y,Hb) - u(x,y)$$

Une densité de flux uniforme nommée $\mathrm{u(x,y)}$ est prise en compte pour matérialiser la présence d'un composant sur cette face.

- Condition sur la face inférieure:

$$-\mathrm{K}_{z,1}.\left.\frac{\partial\theta_1(x,y,z)}{\partial z}\right|_{z=0} = -hb.\theta_1(x,y,0)$$

Lorsque la source est localisée sur la face inférieure, les conditions suivantes sont retenues :

- Condition sur la face supérieure:

$$-\mathrm{K}_{\mathrm{z,nl}} \cdot \left.\frac{\partial \theta_{nl}(x,y,z)}{\partial z}\right|_{z=Hb} = ht.\theta_{nl}(x,y,Hb)$$

- Condition sur la face inférieure:

$$-\mathrm{K}_{z,1.} \left.\frac{\partial \theta_1(x,y,z)}{\partial z}\right|_{z=0} = -hb.\theta_1(x,y,0) + r(x,y)$$

La densité de flux uniforme est nommée dans ce cas $\mathrm{r(x,y)}$.

Les coefficients d'échange appliqués sur les faces supérieure et inférieure sont le plus souvent estimés en utilisant les corrélations issues de la littérature. Les valeurs usuelles de C et de n, Table 1, ont été déterminées expérimentalement. Elles dépendent de l'orientation de la gravité par rapport à la carte, mais aussi de la nature de l'écoulement.

Orientation	L	C	n
Verticale ($10^4 < \mathrm{Ra_L} < 10^9$)	Hauteur	0.59	0.25
Horizontale – face chaude en haut	Surface/Périmètre	0.54	0.25
Horizontale – face chaude en bas	Surface/Périmètre	0.27	0.25

Table 1: Expression des paramètres pour un écoulement laminaire

Toutefois, leur validité dans le domaine des cartes électroniques fait débat et de nouvelles corrélations sont proposées depuis quelques années **[LEWANDOWSKY, 1983]**.

En effet Lewandowsky a conduit des investigations poussées dans le but d'établir un ensemble de relation dédiées aux plaques planes verticale et horizontale. Celles-ci sont fortement dépendantes de la définition de la longueur caractéristique L. Cette dernière a été clarifiée par M. Yovanovich, lequel recommande l'utilisation de la longueur la racine carrée de la surface totale active $L = \sqrt{Sb}$ **[YOVANOVICH, 1993]**. Cette définition permet de considérer toutes les dimensions de la carte analysée.

D'autre part, il propose une nouvelle expression du coefficient de convection thermique:

$$hc = \frac{k}{\sqrt{Sb}} . F(Pr). G_{\sqrt{Sb}}. (Ra_{\sqrt{Sb}})^n$$

Où *F(Pr)* est le nombre de Prandtl universel défini par Churchill **[CHURCHILL, 1975]**.

$$F(Pr) = 0.67. \left[1 + \left(\frac{0.5}{Pr}\right)^{\frac{9}{16}}\right]^{-\frac{4}{9}}$$

La fonction de gravité $\mathrm{G_L}$ dépend des dimensions, de l'orientation et de l'activation des faces.

Aux coefficients de convection, obtenus par corrélation, s'ajoute la partie liée au rayonnement. Le plus souvent, les cartes subissent un traitement surfacique. L'ordre de grandeur de l'émissivité de la surface de la carte est de l'ordre de 0.9.

La distribution tridimensionnelle de la température d'une source de chaleur, nommée S, disposée sur la face supérieure d'un bloc homogène a été résolue utilisant le développement en série de Fourier et la méthode des fonctions orthogonales.

Plusieurs auteurs ont traité ce type de résolution pour dériver des modèles destinés à analyser le comportement de sources de chaleur montées sur un substrat, isotrope dans la majorité des cas **[KÄRNER, 1994] [CHOOBINEH, 2012] [ANKIREDDI, 2008]**.

D'autres approches telles que les fonctions de Green **[ELLISON, 2003]** et la méthode des quadripôles **[PAILHES, 2011]** sont également disponibles dans la littérature.

Le modèle développé autorise l'analyse du comportement thermique d'une carte électronique.

La solution finale en régime permanent s'écrit sous la forme:

$$\theta_i(x,y,z) = \frac{Ps}{Ls.Ws} \cdot \sum_{m=0}^{M} \sum_{n=0}^{N} A_m \cdot B_n \cdot \cos\left(\frac{m\,\pi}{Lb} \cdot x\right) \cdot \cos\left(\frac{n\,\pi}{Wb} \cdot y\right) \cdot \omega_{m,n,i}\,(z)$$

M et N sont des entiers positifs, ils correspondent aux limites supérieures des séries de Fourier tronquées. Leur valeur dépend du niveau de précision souhaité.

En pratique, le nombre de termes est basé sur un rapport proportionnel entre la taille de la source considérée (*Ls, Ws*) et celle de la carte (*Lb, Wb*), comme indiqué ci-après:

$$M = a\,.\,\frac{Lb}{Ls} \;\; et \;\; N = a\,.\,\frac{Wb}{Ws}$$

Celui-ci doit être multiplié par un facteur adéquat, nommé *a*. Il est clair que ce facteur a une influence majeure sur le nombre d'itérations exigé pour atteindre la solution dès que le rapport des dimensions carte-source est élevé **[MONIER-VINARD, 2014]**.

Les expressions du produit des deux termes surfaciques A_m, B_n s'écrivent sous la forme:

$$A_m = 4 \cdot As_m + \frac{Ls}{Lb}.\delta_m \quad avec \quad As_m = \frac{sin\left(\frac{m\,\pi}{Lb} \cdot \frac{Ls}{2}\right) \cdot cos\left(\frac{m\,\pi}{Lb} \cdot xc\right)}{m\,\pi + \delta_m}$$

$$B_n = 4 \cdot Bs_n + \frac{Ws}{Wb}.\delta_n \quad \text{avec} \quad Bs_n = \frac{\sin\left(\frac{n\,\pi}{Wb} \cdot \frac{Ws}{2}\right) \cdot \cos\left(\frac{n\,\pi}{Wb} \cdot yc\right)}{n\,\pi + \delta_n}$$

Les paramètres *xc* et *yc* correspondent aux coordonnées du centre de la source. La fonction de Kronecker δ résout les cas indéterminés où les valeurs m et/ou n sont égales à zéro.

La température moyenne d'une zone arbitraire z, rectangulaire ou carrée est obtenue en intégrant les deux fonctions cosinus sur la région de la source.

$$\bar{\theta}_i(xz,yz,Lz,Wz,zz) = \frac{Ps}{Ls.Ws} \cdot \sum_{m=0}^{M} \sum_{n=0}^{N} A_m \cdot B_n \cdot \overline{A_m(xz,Lz)} \cdot \overline{B_n(yz,Wz)} \cdot \omega_{m,n,i}\,(zz)$$

Les deux expressions des coefficients de Fourier moyens se résument à:

$$\overline{A_m(xz,Lz)} = 2 \cdot \frac{Lb}{Lz} \cdot Az_m + \delta_m \quad \text{et} \quad \overline{B_n(yz,Wz)} = 2 \cdot \frac{Wb}{Wz} \cdot Bz_n + \delta_n$$

$$avec \quad Az_m = \frac{sin\left(\frac{m\,\pi}{Lb} \cdot \frac{Lz}{2}\right) \cdot cos\left(\frac{m\,\pi}{Lb} \cdot xz\right)}{m\,\pi + \delta_m} \;\; et \;\; Bz_n = \frac{\sin\left(\frac{n\,\pi}{Wb} \cdot \frac{Wz}{2}\right) \cdot \cos\left(\frac{n\,\pi}{Wb} \cdot yz\right)}{n\,\pi + \delta_n}$$

Pour le cas particulier de la température moyenne de la source l'expression se résume à:

$$\bar{\theta}_i(zc) = \frac{Ps}{Ls.Ws} \cdot \sum_{m=0}^{M} \sum_{n=0}^{N} A_m \cdot B_n \cdot \overline{A_m} \cdot \overline{B_n} \cdot \omega_{m,n,i}\,(zc)$$

$$avec\ \overline{A_m} = 2 \cdot \frac{Lb}{Ls} \cdot As_m + \delta_m \quad \text{et} \quad \overline{B_n} = 2 \cdot \frac{Wb}{Ws} \cdot Bs_n + \delta_n$$

Il reste à expliciter le profil thermique suivant l'axe z, $\omega_{m,n,i}$ (z), lequel dépend des propriétés thermiques, de la géométrie des i couches de la carte et des conditions aux limites.

Ces expressions démontrent qu'il est facile d'établir et de mettre rapidement en œuvre, un modèle analytique simplifié d'une carte électronique. Celui-ci ne nécessite pas de maillage complexe, ni de règles de convergence à maitriser.

Ainsi les principales hypothèses retenues pour la modélisation thermique d'une carte électronique sont établies de manière à vérifier la pertinence des méthodes numériques.

VI. Réalisation d'un modèle de carte électronique standard

Pour évaluer la pertinence des techniques de modélisation d'une carte électronique, une analyse est menée sur un véhicule de test défini par un standard américain dénommé JEDEC-JESD51. Celui-ci est destiné à normaliser le processus de caractérisation des performances thermiques d'un composant électronique tel qu'un Circuit Intégré. Ce guide décrit les exigences pour la fabrication des véhicules de caractérisation et la définition des environnements de test, les moyens et les techniques de mesures à respecter, ainsi que les métriques déduits, en particulier la résistance thermique entre la jonction du composant et son environnement.

Cette donnée ne permet pas d'interpréter correctement comment la chaleur de la puce est transférée vers la carte et vers le milieu environnant. Cette répartition est principalement dépendante de la nature de la carte qui reçoit le composant et de sa capacité à drainer la puissance dissipée du composant vers l'ambiante. Celle-ci peut être définie par la résistance thermique entre le composant et l'ambiante et notre objectif est de mieux cerner cet échange.

Le modèle établi se focalise uniquement sur un véhicule de test, dénommé 2s2p avec ses 2 couches externes destinés à véhiculer les signaux (2s) du composant et ses deux plans internes (2p) d'alimentation et de masse.

Néanmoins, les exigences des normes JESD51 sont difficiles à mettre en œuvre d'un point de vue industriel, en particuliers sur les épaisseurs des couches conductrices. Pour se rapprocher de la réalité, les dimensions préconisées par la norme ont été adaptées à notre problématique.

La longueur, la largeur et l'épaisseur du véhicule sont respectivement 75mm, 100mm et 1.6mm. La source de chaleur surfacique est placée en son centre, comme indiqué Figure 6.

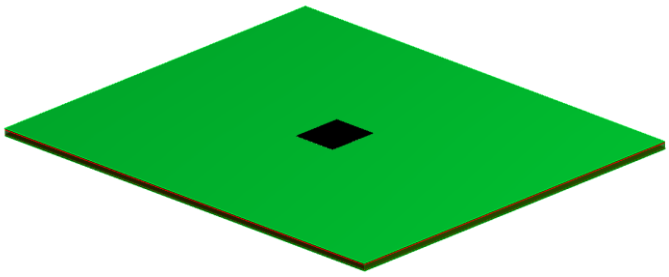


Figure 6: Vue d'une carte avec une source centrée sur la surface supérieure

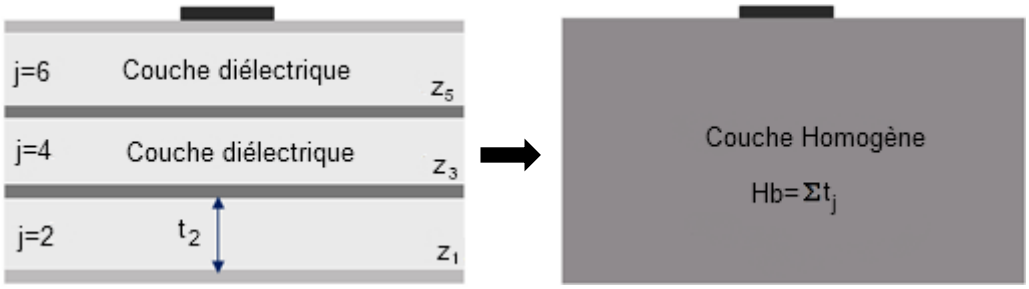
Ce véhicule de test 2s2p est constitué d'un empilage de 7 couches, Figure 7, qui alterne des couches conductrices du point de vue électrothermique et des couches diélectriques ayant une faible conductivité thermique. La répartition des couches au sein du véhicule est symétrique.

Les épaisseurs typiques de métallisation des couches externes et internes sont respectivement de 50µm et 35µm. Les couches externes et internes sont isolées entre elles par un matériau diélectrique de 250µm d'épaisseur (t_2).

VII. Calculs conventionnels des propriétés thermiques d'une carte électronique

Afin de simplifier la complexité du modèle, les sept couches du véhicule de test sont compactées en un bloc orthotrope équivalent.

La Figure 7 présente le concept pratique d'une modélisation thermique dite compacte d'une structure à multiple couches qui est appliqué à une carte électronique industrielle.



Modèle Thermique Détaillé (DTM) — Modèle Thermique Equivalent (MTE)

Figure 7: Principe de réduction de la structure d'une carte

Les conductivités thermiques équivalentes sont généralement calculées en utilisant les formulations de résistances en séries (suivant z) et en parallèles (suivant x et y) issues de l'analogie électrique.

$$kex = \sum_{i=1}^{n} \frac{t_i}{\sum_{j=1}^{n} t_j} . \mathrm{K}_{x,i} \quad , \quad key = \sum_{i=1}^{n} \frac{t_i}{\sum_{j=1}^{n} t_j} . \mathrm{K}_{y,i} \quad et \quad kez = \frac{\sum_{j=1}^{n} t_j}{\sum_{i=1}^{n} \frac{t_i}{\mathrm{K}_{z,i}}}$$

Chaque couche a une conductivité thermique axiale spécifique dépendante de la loi de mélange choisie, telle que $K_{l,i} = km + \phi_{l,i} \cdot (kf - km)$ sur l'axe *l*.

Les conductivités thermiques *km* et *kf* de l'isolant et des pistes sont assumées isotropes et respectivement fixées à 0.3W.m^{-1}. K^{-1} pour la résine époxy renforcée de fibre de verre et à 400W.m^{-1}. K^{-1} pour le cuivre.

Cette approche est retenue par une large majorité d'auteurs pour modéliser le comportement thermique des cartes électroniques **[SHABANY, 2002] [CULHAM, 1998]**.

Toutefois, on peut s'interroger sur la pertinence de cette technique d'approximation des conductivités thermiques d'une carte électronique pour une source de chaleur surfacique locale. Celle-ci suppose par exemple sur chacun des axes que la totalité du flux thermique traverse l'intégralité des couches constitutives de la carte, de la même manière.

D'autre part, il peut être démontré que ces valeurs de conductivité thermique sont indépendantes de la localisation des couches. Ainsi, l'épaisseur de la couche isolante 6 n'aurait aucun impact sur le comportement thermique de la source de chaleur, une hypothèse peu probable.

La Table 2 compile les valeurs, pour la carte 2s2p, des épaisseurs des couches, du facteur de couverture de piste et de la conductivité thermique déduite du modèle de mélange.

nl_i	t_i (µm)	$\phi_{k,i}$ (%)	$K_{k,i}$ ($W.m^{-1}.K^{-1}$)
7	50	15	60.3
6	250	0	0.3
5	35	95	380
4	930	0	0.3
3	35	95	380
2	250	0	0.3
1	50	15	60.3

Table 2: Caractéristiques thermiques d'une carte multicouches 2s2p

A partir des formulations séries-parallèles, les valeurs des conductivités thermiques équivalentes sont respectivement pour les 3 axes de la carte:

$kex = key = 20.7 W.m^{-1}.K^{-1}$ et $kez = 0.336 W.m^{-1}.K^{-1}$.

Comme mentionné plus tôt, les propriétés thermiques de la carte sont fortement anisotropes.

La capacité de la carte à évacuer la puissance dissipée du composant dépend essentiellement du plan 3, puis du plan 5 lesquels vont drainer la majorité du flux dans le plan longitudinal. La présence des couches diélectriques engendre une discontinuité thermique dans le plan transversal, sa conductivité est pratiquement celle de la résine.

Il apparait nettement que la modélisation thermique dite compacte d'une structure à multiple couches doit être confrontée à une modélisation détaillée afin de statuer sur sa pertinence pour caractériser les performances d'un composant électronique.

D'autre part, les travaux de Y. Shabany **[SHABANY, 2002]** confirment l'imprécision très importante des formulations séries-parallèles lorsque la taille de la source est réduite.

VIII. Etablissement d'un modèle de cartes multicouches

Il s'agit de traduire le comportement thermique d'un composant, modélisé par une source de chaleur, dissipant sur une carte comportant i couches anisotropes. Dans ce modèle toutes les couches sont prises en compte en imposant à leur interface la condition de Fourier suivante:

$$K_{z,i} \cdot \left.\frac{\partial \theta(x,y,z)_i}{\partial z}\right|_{z=z_i} = K_{z,i+1} \cdot \left.\frac{\partial \theta(x,y,z)_{i+1}}{\partial z}\right|_{z=z_i} \quad pour \quad 0 < i < nl$$

Les couches sont supposées être en contact parfait à l'instar de la modélisation compacte basée sur un bloc orthotrope équivalent.

$$\theta_{i+1}(x,y,z)|_{z=z_i} = \theta_i(x,y,z)|_{z=z_i} \quad pour \quad 0 < i < nl$$

Cette hypothèse simplificatrice est proposée par plusieurs auteurs, en particulier dans les travaux de Y.S Muzychka **[MUZYCHKA, 2003]**, N. Rinaldi **[RINALDI, 2002].**

Toutefois, des travaux plus récents de S. Vintrou **[VINTROU, 2009]** ou Y.S Muzychka **[MUZYCHKA, 2013]** abordent la prise en compte d'une résistance thermique à l'interface des couches constitutives. Toutefois il n'existe pas réellement de mise en évidence expérimentale de son impact sur la diffusion de la chaleur dans les diverses couches de la carte.

L'expression du transfert thermique au travers de la section de la carte, $\omega_{m,n,i}(z)$, est basée sur l'utilisation de fonctions exponentielles pour pallier aux aberrations mathématiques, telles que $\omega c_{m,n,i}(z)$ et $\omega s_{m,n,i}(z)$:

$$\omega c_{m,n,i}(z) = 1 + e^{-2z \cdot r_{m,n,i}} \quad \text{et} \quad \omega s_{m,n,i}(z) = \frac{1 - e^{-2z \cdot r_{m,n,i}}}{r_{m,n,i}}$$

$$\text{avec } r_{m,n,i} = \sqrt{\left(\frac{m\,\pi}{Lb}\right)^2 \cdot \frac{\mathrm{K}_{x,i}}{\mathrm{K}_{z,i}} + \left(\frac{n\,\pi}{Wb}\right)^2 \cdot \frac{\mathrm{K}_{y,i}}{\mathrm{K}_{z,i}}}$$

D'autre part, celles-ci sont différenciées en fonction de la position de la source de chaleur :

- Si la source est localisée sur la face supérieure $\Rightarrow \omega_{m,n,i}(z) = \omega u_{m,n,i}(z)$

$$\omega u_{m,n,i}(z) = \frac{Nu_{m,n,i}}{Du_{m,n,i}} \cdot \left[\omega c_{m,n,i}(z - z_{i-1}) + \frac{\chi u_{m,n,i}}{\mathrm{K}_{z,i}} \cdot \omega s_{m,n,i}(z - z_{i-1})\right] \cdot e^{(z-Hb)\cdot r_{m,n,i}}$$

- A l'opposée si la source est sur la face inférieure $\Rightarrow \omega_{m,n,i}(z) = \omega r_{m,n,i}(z)$

$$\omega r_{m,n,i}(z) = \frac{Nr_{m,n,i}}{Dr_{m,n,i}} \cdot \left[\omega c_{m,n,i}(z_i - z) + \frac{\chi r_{m,n,i}}{\mathrm{K}_{z,i}} \cdot \omega s_{m,n,i}(z_i - z)\right] \cdot e^{-(z+Hb)\cdot r_{m,n,i}}$$

Les relations des fonctions $Nu_{m,n,i}$, $Du_{m,n,i}$, $Nr_{m,n,i}$ et $Dr_{m,n,i}$ sont fournies en Annexe A.

La seule difficulté réside dans l'établissement des fonctions de récurrence $\chi u_{m,n,i}$ et $\chi r_{m,n,i}$ décrites ci-après. Celles-ci caractérisent de proche en proche les conditions aux limites de chacune des couches d'épaisseur t_i.

- Pour une source localisée sur la face supérieure

$$\begin{cases} i = 1 \quad \Rightarrow \quad \chi u_{m,n,1} = hb \\ 1 < i < nl \quad \Rightarrow \quad \chi u_{m,n,i+1} = \dfrac{\mathrm{K}_{z,i} \cdot \left(r_{m,n,i}\right)^2 \cdot \omega s_{m,n,i}(t_i) + \chi u_{m,n,i} \cdot \omega c_{m,n,i}(t_i)}{\omega c_{m,n,i}(t_i) + \dfrac{\chi u_{m,n,i}}{\mathrm{K}_{z,i}} \cdot \omega s_{m,n,i}(t_i)} \end{cases}$$

- Si la source est positionnée sur la face inférieure

$$\begin{cases} i = nl\,, \quad \chi r_{m,n,nl} = ht \\ 1 \le i < nl\,, \quad \chi r_{m,n,i} = \dfrac{\mathrm{K}_{z,i+1} \cdot \left(r_{m,n,i+1}\right)^2 \cdot \omega s_{m,n,i+1}(t_{i+1}) + \chi l_{m,n,i+1} \cdot \omega c_{m,n,i+1}(t_{i+1})}{\left(\omega c_{m,n,i+1}(t_{i+1}) + \dfrac{\chi l_{m,n,i+1}}{\mathrm{K}_{z,i+1}} \cdot \omega s_{m,n,i+1}(t_{i+1})\right)} \end{cases}$$

Les formulations nécessaires à la validation des modèles numériques sont désormais définies.

Celles-ci ont été retranscrites sous le logiciel Mathcad® version 15.0 afin de conduire les calculs liés à la modélisation analytique.

Ses résultats seront désignés dans les tables par l'acronyme MA, pour Modèle Analytique.

IX. Les outils de comparaison des modèles analytique et numérique

Les prévisions des modèles analytiques sont obtenues pour une valeur du paramètre "a" fixée à 15, ceci afin de garantir la stabilité du résultat notamment pour les températures locales comme explicité dans la Figure 8.

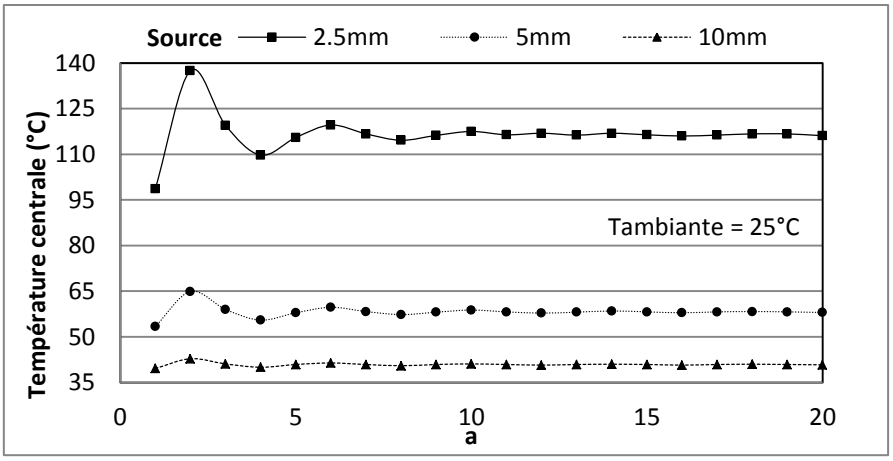


Figure 8: Convergence des prédictions du modèle analytique sous Mathcad®

Les simulations numériques sont conduites sous différents logiciels dédiés au métier de la thermique électronique: Icepak® 15.0, Flotherm® 9.3 et Ansys Thermique® 15.0. L'acronyme MN, pour Modèle Numérique, est retenu pour différencier les résultats fournis par ces codes de calcul.

La comparaison des modèles est faite sur les températures locales et moyennes. Deux critères d'erreur sont retenus pour juger de la cohérence entre les modèles analytiques et numériques.

$$\Delta T_s = \frac{T_{MA} - T_{MN}}{T_{MN} - T_\infty} \quad or \quad \overline{\Delta T_s} = \frac{\overline{T_{MA}} - \overline{T_{MN}}}{\overline{T_{MN}} - T_\infty}$$

X. Confrontation des techniques de modélisation des cartes

Le modèle analytique a été confronté au modèle numérique sur l'exemple de la carte 2s2p.

Le modèle est soumis aux conditions aux frontières suivantes:

- une taille de carte fixée à 75mm x 100mm x 1.6mm,
- des coefficients d'échange sur les faces supérieure et inférieure (ht et hb) fixés à 12.2W.m^{-2}. K^{-1},
- une température de référence de T_∞ = 85°C,
- une source carrée de 2.5, 5 ou 10mm de côté, centrée sur la carte,
- une dissipation surfacique uniforme de 0.5W imposée sur la face supérieure,
- pour le modèle compact de la carte des valeurs de conductivités thermiques équivalentes égales à *kex* = *key* = 20.66W.m^{-1}.K^{-1} et *kez* = 0.336W.m^{-1}.K^{-1},
- pour le modèle de structure détaillée les données extraites de la Table 2, sur les différentes couches de la carte.

La comparaison des modélisations thermiques équivalentes (MTE) ou détaillées (MTD) est présentée dans la Table 3 pour le calcul purement analytique.

Taille de la Source (mm^2)	MTE		MTD		Ecart	
	Tc_{MA} (°C)	Tav_{MA} (°C)	Tc_{MA} (°C)	Tav_{MA} (°C)	ΔT_{DC} (%)	$\overline{\Delta T_{DC}}$ (%)
2.5 x 2.5	129.3	122.6	117.4	112.8	36.6	35.5
5 x 5	108.1	104.7	104.8	101.8	16.3	17.3
10 x 10	97.5	95.8	96.5	95.0	8.1	8.3

Table 3: Prédiction des températures de la source des modèles MTE et MTD sous Mathcad®

La Table 4 fournit la même comparaison pour une résolution purement numérique.

Taille de la Source (mm^2)	MTE		MTD		Ecart	
	Tc_{MN} (°C)	Tav_{MN} (°C)	Tc_{MN} (°C)	Tav_{MN} (°C)	ΔT_{DC} (%)	$\overline{\Delta T_{DC}}$ (%)
2.5 x 2.5	129.2	122.6	117.4	112.8	36.4	35.3
5 x 5	108.0	104.7	104.8	101.8	16.2	17.2
10 x 10	97.5	95.8	96.5	95.0	8.1	8.3

Table 4: Prédiction des températures de la source des modèles MTE et MTD sous Ansys

La confrontation des approches analytique et numérique confirme la cohérence de modélisation de ce dernier.

Les résultats font apparaitre que le modèle MTE est très pessimiste dès que la taille de la source diminue et que le modèle MTD doit être adopté dans ce cas.

La divergence des 2 modélisations MTE et MTD est également présentée en fonction de :

- la fraction de cuivre de la couche 7 positionnée à proximité de la source de chaleur,
- l'épaisseur de la couche 6 qui pénalise le transfert de chaleur vers la couche 5 correspondant au premier plan cuivre (P) de la carte.

Les Figure 9 et Figure 10 décrivent l'évolution de l'écart entre les deux modélisations dès que la géométrie des couches de la carte est modifiée.

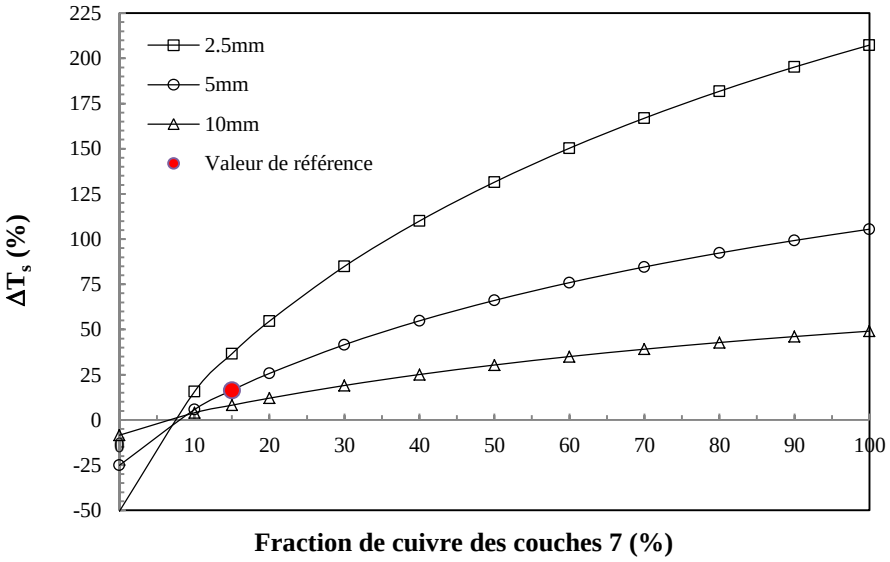


Figure 9: Impact de la métallisation de la couche avoisinant la source

La Figure 9 indique que l'écart varie fortement dès que la couverture de cuivre couvrant la couche supérieure est importante.

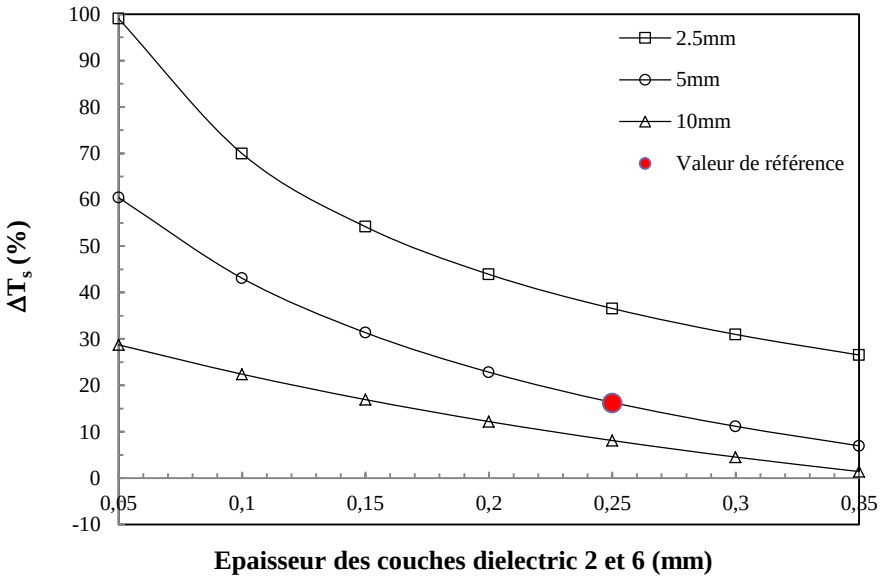


Figure 10: Impact de la couche diélectrique avoisinant la source de chaleur

XI. Pertinence du modèle de mélange des deux constituants d'une couche

Il est clair que le mode de calcul de la conductivité thermique engendre des écarts significatifs sur la prédiction des températures d'un composant.

De plus, la répartition des pistes de cuivre autour d'un composant est le plus souvent inhomogène et discontinue pour une carte industrielle. Cette distribution aléatoire va créer des dissymétries thermiques qu'il est prudent de quantifier avec plus d'exactitude.

Ainsi, l'hypothèse d'une conduction thermique continue, en parallèle, dans les deux solides implique une surestimation de la conductivité thermique, en fait un modèle « majorant », désigné par $K_{k,i}^{+}$.

$$K_{k,i}^{+} = km + \phi_{k,i} \cdot (kf - km)$$

A l'opposé, un modèle « minorant » doit également être défini afin d'analyser l'effet de ce paramètre sur la répartition de la chaleur dans le plan orthogonal à la carte.

Plusieurs modèles empiriques et théoriques ont été débattus par Karayacoubian **[KARAYACOUBIAN, 2006]** ou Yamada **[YAMADA, 1980]** pour quantifier la conductivité effective d'un mélange composite de solides. Dans notre cas, la conductivité thermique globale de chaque couche dépend de l'arrangement complexe des traces de cuivre, enterrées dans un matériau isolant. Ainsi, Bruggeman et Landauer ont retenu une expression basée sur la théorie des milieux pour calculer la conductivité d'un matériau comportant des particules très dispersées et ayant des formes hétérogènes.

Ce dernier est défini comme « minorant » et désigné par $K_{k,i}^{-}$.

$$K_{k,i}^{-} = \frac{1}{4} \cdot \left(\gamma_{k,i} + \sqrt{{\gamma_{k,i}}^2 + 8 \cdot kf \cdot km} \right)$$

$$avec\ \gamma_{k,i} = \left(3 \cdot \phi_{k,i} - 1\right) \cdot kf + \left[3 \cdot \left(1 - \phi_{k,i}\right) - 1\right] \cdot km$$

La comparaison entre les différents modèles est décrite sur la Figure 11

En pratique, lorsque le ratio de cuivre est faible, la conductivité effective va être proche du modèle « minorant », même si celui-ci sous-estime fortement la valeur de la conductivité thermique du mélange, comme l'indique la Figure 11.

Pour un ratio élevé, la valeur de conductivité thermique doit correspondre à la conductivité du cuivre proposé par le modèle « majorant ».

Pour éviter de tomber dans les extremums des deux approches, une loi appelée modèle « sigmoïde » ou modèle en « S » a été introduite par Pabst et Gregorová **[PABST, 2012]**.

Son profil est représenté sur la Figure 11 et son expression est décrite par l'équation :

$$K_{k,i} = K_{k,i}^{-} + \phi_{k,i} \cdot \left(K_{k,i}^{+} - K_{k,i}^{-}\right)$$

Ce modèle plus réaliste conserve le fait que les discontinuités des pistes vont introduire une barrière thermique due à la faible valeur de conductivité thermique du matériau diélectrique.

Il n'en demeure pas moins que le modèle proposé ne fournit qu'une valeur uniforme de la conductivité thermique d'une couche modélisée par un bloc homogène.

Pour les modèles compacts de la carte les conductivités thermiques équivalentes sont égales à:

- Modèle de mélange minorant kex = k*ey* = 17.47W.m^{-1}.K^{-1} et *kez* = 0.336W.m^{-1}.K^{-1},
- Modèle de mélange sigmoïde *kex* = *key* = 16.49W.m^{-1}.K^{-1} et *kez* = 0.336W.m^{-1}.K^{-1}.

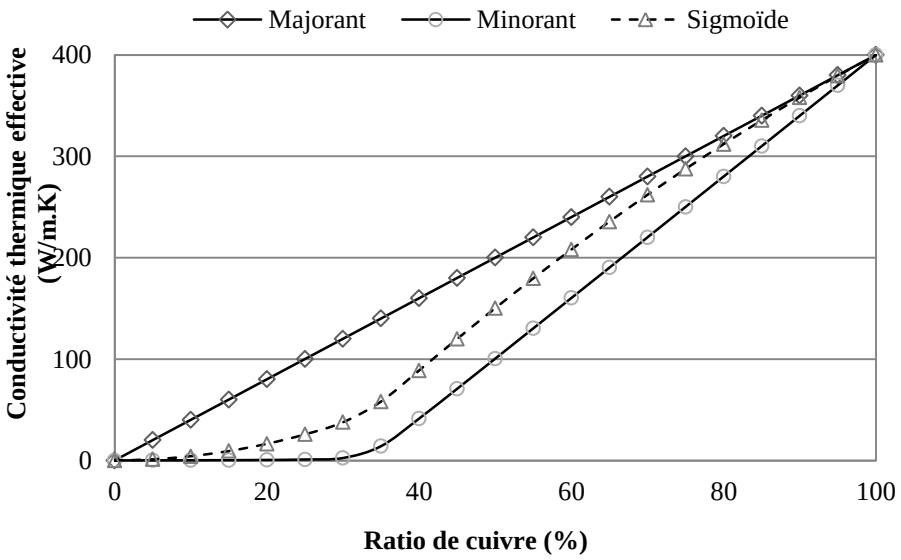


Figure 11: Comparaison des modèles "majorant", "minorant" et "sigmoïde"

A l'instar de la Table 3, les Table 5 et Table 6 décrivent l'impact du choix du modèle de mélange sur les températures vues par une source de chaleur placée au centre de la carte 2s2p.

Les résultats pour différentes tailles de source sont calculés à partir du logiciel Mathcad®.

Taille de la Source (mm^2)	MTE		MTD		Ecart	
	Tc_{MA} (°C)	Tav_{MA} (°C)	Tc_{MA} (°C)	Tav_{MA} (°C)	ΔT_{DC} (%)	$\overline{\Delta T_{DC}}$ (%)
2.5 x 2.5	134.4	126.9	167.5	156.2	-40.2	-41.2
5 x 5	110.6	106.9	114.9	112.2	-14.2	-19.3
10 x 10	98.8	96.9	98.9	97.6	-1.1	-5.5

Table 5: Prédiction des températures de la source basée sur le modèle de mélange minorant

Taille de la Source (mm^2)	MTE		MTD		Ecart	
	Tc_{MA} (°C)	Tav_{MA} (°C)	Tc_{MA} (°C)	Tav_{MA} (°C)	ΔT_{DC} (%)	$\overline{\Delta T_{DC}}$ (%)
2.5 x 2.5	133,0	125,8	148,7	136,2	-24,6	-20,3
5 x 5	109,9	106,3	112,9	108,6	-10,5	-9,5
10 x 10	98,4	96,6	98,4	96,9	0,0	-2,1

Table 6: Prédiction des températures de la source basée sur le modèle de mélange sigmoïde

Quel que soit le modèle de mélange, le choix de la modélisation, MTE ou MTD, a un impact significatif sur la température de la source, en particulier lorsque sa taille est réduite. Néanmoins, l'écart entre les modèles est plus faible pour une représentation sigmoïde de la conductivité thermique. Celui-ci est inférieur à 5 % pour une source de 10mm x 10mm.

XII. Modélisation des échanges latéraux d'une carte électronique

Comme mentionné, la majorité des modèles analytiques développés négligent les flux qui s'échappent à travers les quatre faces latérales.

Dans l'hypothèse où toutes les faces de la carte participent à l'échange de chaleur avec le milieu ambiant, les quatre conditions aux limites latérales sont remplacées par :

$$\mathrm{K}_{x,1} \cdot \left.\frac{\partial \theta_1(x,y,z)}{\partial x}\right|_{x=0} = h_{x=0}.\theta_1(0,y,z)$$

$$\mathrm{K}_{x,1} \cdot \left.\frac{\partial \theta_1(x,y,z)}{\partial x}\right|_{x=Lb} = h_{x=Lb}.\theta_1(Lb,y,z)$$

$$\mathrm{K}_{y,1} \cdot \left.\frac{\partial \theta_1(x,y,z)}{\partial y}\right|_{y=0} = h_{y=0}.\theta_1(x,0,z)$$

$$\mathrm{K}_{y,1} \cdot \left.\frac{\partial \theta_1(x,y,z)}{\partial y}\right|_{y=Wb} = h_{y=Wb}.\theta_1(x,Wb,z)$$

Chacune des faces peut avoir un coefficient d'échange thermique h_j distinct.

L'application de ces conditions aux limites sur les faces latérales se résume à résoudre une équation transcendantale ayant la forme:

$$(x^2 - \alpha).\tan(x) = \beta.x$$

Équation 2: Equations transcendantales

Où α et β dépendent de l'axe considéré *x* ou *y*. Ceux-ci représentent le produit et la somme des nombres de Biot de deux faces latérales opposées.

$$\alpha = \frac{h_{x=0} \cdot Lb}{\mathrm{K}_{x,1}} \cdot \frac{h_{x=Lb} \cdot Lb}{\mathrm{K}_{x,1}} \quad et \quad \beta = \frac{h_{x=0} \cdot Lb}{\mathrm{K}_{x,1}} + \frac{h_{x=Lb} \cdot Lb}{\mathrm{K}_{x,1}} \ \ suivant\ x$$

La résolution détaillée de la problématique est donnée en Annexe B. L'obtention de la solution finale passe par la détermination des racines de l'équation sur chaque axe.

La méthode de Newton-Raphson est généralement utilisée pour obtenir les solutions de cette équation **[CULHAM, 2000]**. L'inconvénient de cette méthode est qu'elle est très dépendante de la valeur de départ et il arrive que certaines racines ne soient pas détectées. Une méthode

plus stable est de résoudre directement le problème mathématique en considérant deux fonctions f et g définies ci-dessous.

$$f(x) = \tan(x) \quad et \quad g(x) = \frac{\beta . x}{x^2 - \alpha}$$

Les solutions de l'équation transcendantale sont constituées par les intersections des deux fonctions et sont obtenues par dichotomie avec la précision désirée.

La modélisation analytique des échanges latéraux d'une carte électronique s'avère complexe du point de vue mathématique. Très rapidement, la taille des systèmes linéaires à résoudre dépasse les capacités du logiciel Mathcad®. Aussi l'analyse a été restreinte à une source carrée de 100mm^2 et les prévisions du modèle déduites pour une valeur du paramètre "a" fixée à 7. Dans ces conditions le modèle analytique ne peut être précis comme l'indique la Table 7.

	Taille de la Source (mm^2)		Mathcad®			Icepak®	
			Tc_{MA} (°C)	Tav_{MA} (°C)		Tc_{MN} (°C)	Tav_{MN} (°C)
$\varphi x\|_{x=0,Lb} = 0$ et $\varphi y\|_{y=0,Wb} = 0$	10 x 10		97.3	95.5		97.8	96.0
$\varphi x\|_{x=0,Lb} \neq 0$ et $\varphi y\|_{y=0,Wb} \neq 0$	10 x 10		97.3	95.6		97.8	95.9

Table 7: Impact des transferts thermiques latéraux d'une carte 2s2p

La comparaison est menée sur la base des conditions décrites au chapitre X, avec un coefficient d'échange latéral de 12.2W.m^{-2}. K^{-1}.

Les résultats présentés démontrent que les échanges latéraux sont effectivement négligeables.

XIII. Modélisation du rayonnement thermique de la carte

Les cartes électroniques sont généralement vernies et présentent une forte émissivité d'environ 0.9. Cet ordre de grandeur a été vérifié en utilisant des étiquettes de mesure ayant une valeur d'émissivité contrôlée à 0.93.

Par ailleurs, pour les cartes de test 2s2p, un facteur de vue de 1 est souvent considéré pour évaluer les échanges radiatifs entre la carte et son environnement. Afin de confirmer cette hypothèse commune, ce facteur de forme a été estimé par une approche analytique, puis a été comparé à la valeur donnée par la simulation numérique.

Le calcul suppose un composant de forme cubique, centré sur un substrat dont les dimensions Lb et Wb sont respectivement fixées à 75mm et 100mm.

Les quatre faces latérales du composant sont désignées A, B, C et D, comme indiqué sur la Figure 12.

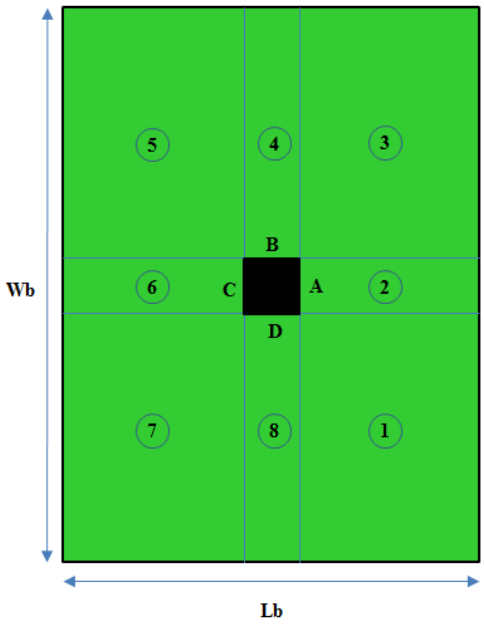


Figure 12: Décomposition des faces de la carte et de son composant

Les faces A et C sont symétriques, de même que B et D.

Le calcul du facteur de forme de la face supérieure de la carte vers l'environnement peut être résumé par l'expression:

$$F_{S\to E} = 1 - \frac{1}{S_S}.\left[4.S_1.(F_{1\to A} + F_{3\to B}) + 2.S_2.F_{2\to A} + 2.S_4.F_{4\to B}\right]$$

Celui-ci décrit l'impact de la présence du composant sur sa surface supérieure, notre objectif.

Sa détermination dépend des facteurs de vue suivants : $F_{1\to A}$, $F_{3\to B}$, $F_{2\to A}$ et de $F_{4\to B}$.

Ces valeurs sont calculées à partir d'une expression analytique, introduite par J.R Ehlert et T.F Smith **[EHLERT, 1993],** propre à une configuration entre deux faces orthogonales.

L'expression analytique est généralisée en utilisant des fonctions de Kronecker:

$$F_{1\to 2} = \frac{1}{A_1}\sum_{i=1}^{2}\sum_{j=1}^{2}\sum_{k=1}^{2}\sum_{l=1}^{2}(-1)^{i+j+k+l}G(x_i, y_j, \eta_k, \xi_l)$$

Avec

$$G(x_i, y_j, \eta_k, \xi_l) = \frac{1}{2\pi}\left\{\left({x_i}^2 + {\xi_l}^2\right)\cdot\frac{y_j-\eta_k}{\sqrt{{x_i}^2+{\xi_l}^2+\delta(x_i)\cdot\delta(\xi_l)}}\cdot\tan^{-1}\left[\frac{y_j-\eta_k}{\sqrt{{x_i}^2+{\xi_l}^2+\delta(x_i)\cdot\delta(\xi_l)}}\right] - \right.$$

$$\left.\frac{1}{4}\left\{\left({x_i}^2 + {\xi_l}^2\right)\cdot\ln\left[1+\frac{(y_j-\eta_k)^2}{{x_i}^2+{\xi_l}^2+\delta(x_i)\cdot\delta(\xi_l)}\right] - (y_j-\eta_k)^2\cdot\ln\left[1+\frac{{x_i}^2+{\xi_l}^2}{(y_j-\eta_k)^2+\delta(y_j-\eta_k)}\right]\right\}\right\}$$

La définition des divers paramètres est explicitée Figure 13.

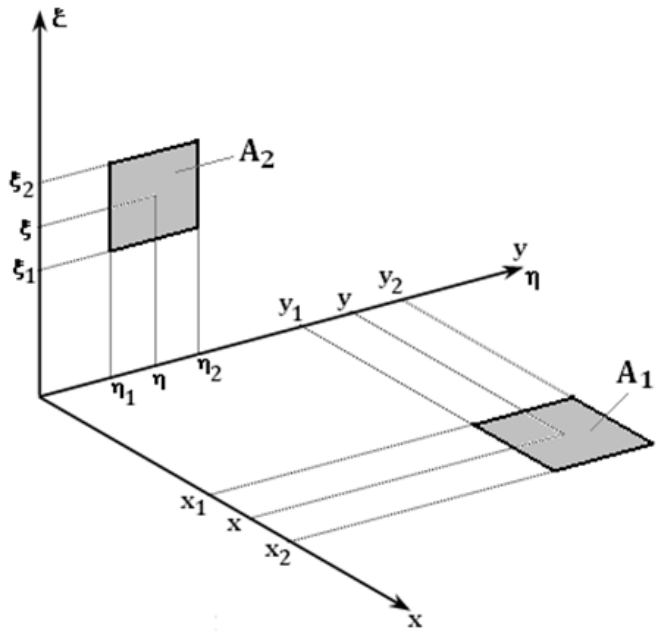


Figure 13: Facteur de vue entre deux surfaces orthogonales

L'impact de la forme du composant sur le facteur de vue de la carte $F_{S\to E}$ est donné Figure 14.

Cette analyse considère quatre tailles de composant en fonction de leur hauteur. Les valeurs du modèle analytique ont été comparées aux résultats numériques fournis par le logiciel Icepak®. Ces derniers sont matérialisés par des ronds pleins noirs.

Comme, on pouvait s'y attendre, la valeur des facteurs de forme de la surface de la carte vers l'environnement diminue lorsque la taille et la hauteur du composant augmente.

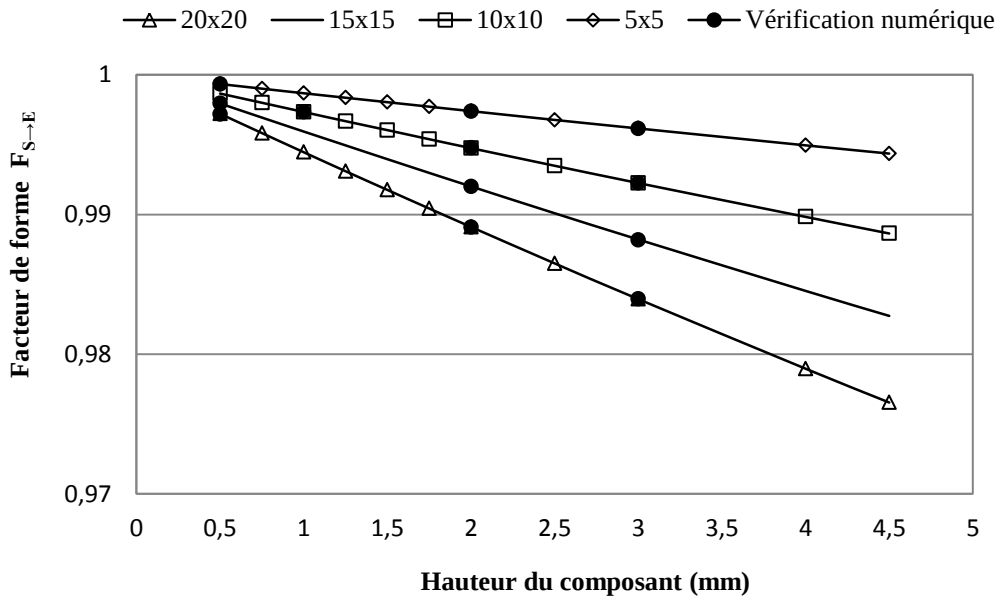


Figure 14: Variation des facteurs de forme pour différentes configurations

L'estimation numérique confirme les valeurs trouvées par le calcul analytique qui sont très proches de l'unité pour des configurations représentatives des composants électroniques miniaturisés.

XIV. Modélisation de l'interface composant-carte

La connexion d'un composant électronique ne peut être résumée à un seul contact sur la face de la carte qui l'accueil. En fait, il est nécessaire de modéliser correctement un ensemble de points d'appui thermique par lesquels va être drainée la chaleur dissipée par le composant vers le cœur de la carte, à l'instar de ce que décrit M. Rencz **[RENCZ, 2002]**.

Pour prendre en compte cette condition d'interface, le principe de superposition est adopté. Cette approche peut être appliquée à notre problématique puisque l'équation de la chaleur est linéaire comme l'explicite les travaux de Y.S Muzychka **[MUZYCHKA, 2003]**. Ainsi la réponse à toutes les impulsions thermiques en un point de la carte sera égale à la somme des réponses produites par chaque impulsion prise séparément.

$$\theta(P_1 + P_2 + \cdots + P_n) = \sum_{j=1}^{ns} \theta(P_j)$$

Les différents profils de température de chacune des sources sont cumulés par le modèle analytique. Ceux-ci permettent d'estimer la répartition de température sur les différentes couches en combinant les divers profils et les positions des sources sur un même plan.

La solution finale en régime permanent peut être écrite sous la forme:

$$\theta_i(x,y,z) = \sum_{j=1}^{ns} \frac{4 \cdot qs_j}{Lb \cdot Wb} \cdot \sum_{m=0}^{M_j} \sum_{n=0}^{N_j} \frac{A_{m,j} \cdot B_{n,j} \cdot cos\left(\frac{m\,\pi}{Lb} \cdot x\right) \cdot cos\left(\frac{n\,\pi}{Wb} \cdot y\right)}{(\delta_m + 1) \cdot (\delta_n + 1)} \cdot Z_{m,n,i,j}(z)$$

$$avec \;\; Z_{m,n,i,j}(z) = \delta(zc_j) \cdot \omega \mathrm{r}_{m,n,i}(z) + \delta(Hb - zc_j) \cdot \omega \mathrm{u}_{m,n,i}(z)$$

Cette fonction cumule les gradients des diverses sources pouvant être positionnées sur chacune des faces horizontales de la carte.

Comme mentionné, un composant électronique est susceptible d'être relié à la carte par un ensemble de billes comme illustré par la Figure 15. Ces points de contact vont transférer la majeure partie de la chaleur du composant.

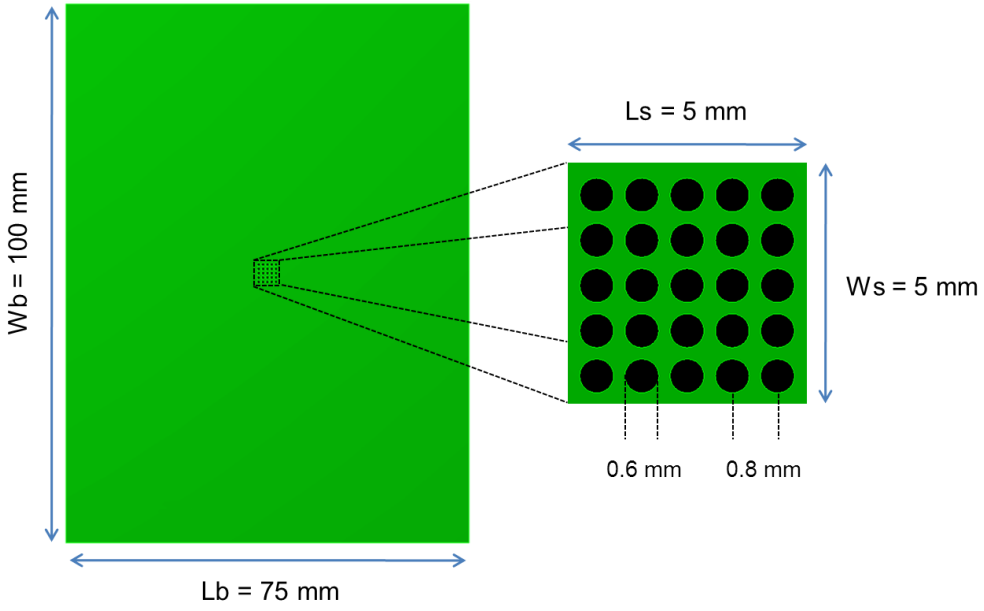


Figure 15: Contacts d'un composant de type «Ball Grid Array»

Le plus souvent, ces zones circulaires sont modélisées par des sources carrées afin de réduire les contraintes de maillage et par conséquent limiter la taille du modèle détaillé.

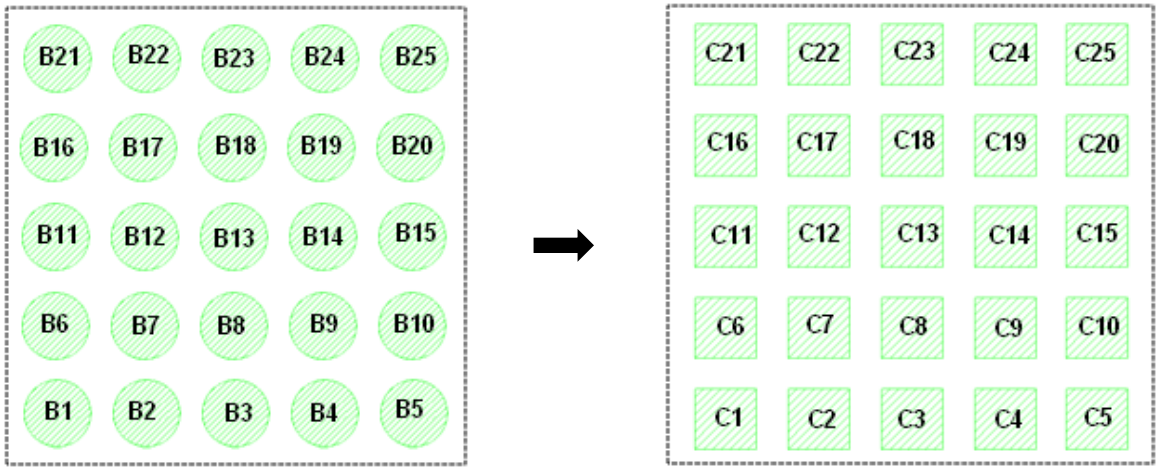


Figure 16: Zones de contact entre le composant et la carte

Leur surface se doit d'être identique à celle des zones circulaires mais la pertinence de cette hypothèse reste à démontrer, ainsi que son impact sur la précision du modèle.

Là encore l'approche analytique s'avère efficace pour statuer sur la forme de la source à adopter. Pour cela, les deux termes de Fourier A_m et B_n sont remplacés par la formulation:

$$A_{m,j} \cdot B_{n,j} = cos\left(\frac{m\,\pi}{Lb} \cdot xc_j\right) \cdot cos\left(\frac{n\,\pi}{Wb} \cdot yc_j\right) \cdot f(Rs_j)\ ou\ f(Ls_j, Ws_j)$$

$$avec\ \ f(Rs_j) = J_2 \cdot \left[Rs_j \cdot \sqrt{\left(\frac{m\,\pi}{Lb}\right)^2 + \left(\frac{n\,\pi}{Wb}\right)^2}\right] + J_0 \cdot \left[Rs_j \cdot \sqrt{\left(\frac{m\,\pi}{Lb}\right)^2 + \left(\frac{n\,\pi}{Wb}\right)^2}\right]$$

$$ou\ \ f(Ls_j, Ws_j) = \left[\frac{sin\left(\frac{m\,\pi}{Lb} \cdot \frac{Ls_j}{2}\right)}{\frac{m\,\pi}{Lb} \cdot \frac{Ls_j}{2} + \delta_m}\right] \cdot \left[\frac{sin\left(\frac{n\,\pi}{Wb} \cdot \frac{Ws_j}{2}\right)}{\frac{n\,\pi}{Wb} \cdot \frac{Ws_j}{2} + \delta_n}\right]$$

J_2 et J_0 sont des fonctions de Bessel de première espèce. Rs désigne le rayon de la source.

Pour le cas particulier de la température moyenne d'une source k l'expression se résume à:

$$\bar{\theta}_{i,k} = \sum_{j=1}^{ns} \frac{4 \cdot qs_j}{Lb \cdot Wb} \cdot \sum_{m=0}^{M_j} \sum_{n=0}^{N_j} \frac{A_{m,j} \cdot B_{n,j} \cdot A_{m,k} \cdot B_{n,k}}{(\delta_m + 1) \cdot (\delta_n + 1)} \cdot Z_{m,n,i,j}(z_k)$$

La Figure 17 indique la comparaison des températures centrales en considérant une forme circulaire ou carrée pour chacune des 25 zones de contact.

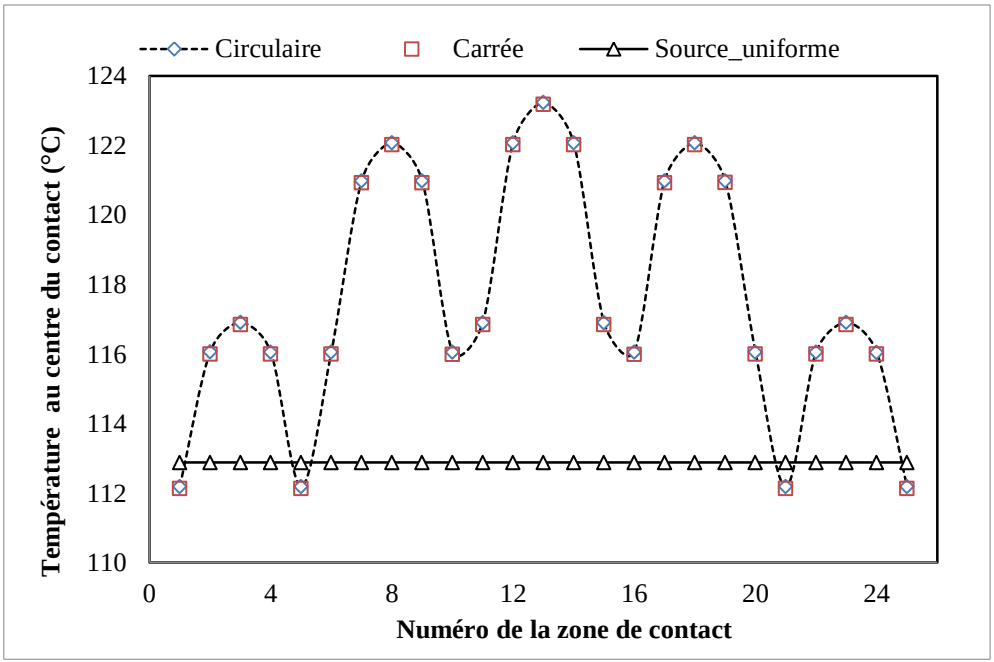


Figure 17: Distribution des températures dans l'interface composant-carte

Le diamètre et le pas des 25 zones représentées est typiquement de 0.6mm et de 0.8mm. La puissance appliquée sur chacun des contacts est de 20mW. La température ambiante et le coefficient d'échange thermique sont fixés respectivement à 85°C et 12.2W.m^{-1}.K^{-1}.

Le cas de la modélisation du composant par une source, dissipant 0.5W, correspondant à sa projection sur la carte est également considéré.

L'écart entre les 2 modélisations numériques démontre que la prise en compte de la forme réelle n'est pas indispensable. Celui-ci reste en deçà de 0,1 °C, soit un écart de 0,21 %.

Toutefois, la répartition de la température au sein de la matrice des contacts implique une représentation fine de la géométrie de l'interface pour l'établissement d'un modèle détaillé réaliste.

Le remplacement des points d'impact des billes par des carrés de même surface donne des résultats similaires. En revanche, la modélisation de ces multiples zones par une source uniforme minimise les pics de température constatés au niveau des zones locales, il est par conséquent nécessaire d'avoir une représentation fidèle de la liaison composant-carte.

Par ailleurs, la modélisation analytique confirme les résultats du modèle numérique comme indiqué sur la Table 8.

L'écart entre les modélisations est inférieur à 0.1 % pour l'ensemble des sources. Pour ne pas alourdir le tableau, seuls trois points de contact sont présentés.

Forme de la source	Numéro de la Source	MA		MN		Ecart	
		Tc (°C)	Tav (°C)	Tc (°C)	Tav (°C)	ΔT_{DC} (%)	$\overline{\Delta T_{DC}}$ (%)
Circulaire	1	112.2	111.0	112.2	111.0	-0.1	0.0
	13	123.2	122.3	123.2	122.3	0.0	0.0
	25	112.2	111.0	112.2	111.0	-0.1	0.0

Table 8: Prédiction des températures des sources de la matrice de contact

Le modèle numérique circulaire a été simulé, sous Ansys® Thermique, en utilisant un maillage de 671008 nœuds, correspondant à 215197 éléments dont 83905 nœuds (15000 éléments) au niveau de chaque couche interne de cuivre.

Le temps de simulation est de moins de 2 minutes, alors que la réponse analytique est quasi instantanée.

XV. Limite de l'uniformité des propriétés thermiques d'une couche

Cette approche simpliste est peu représentative des traces de cuivre d'une couche signal destinée à connecter le composant sur la carte. La Figure 18 décrit la conception d'un véhicule de test défini par le standard JEDEC pour caractériser les composants électroniques.

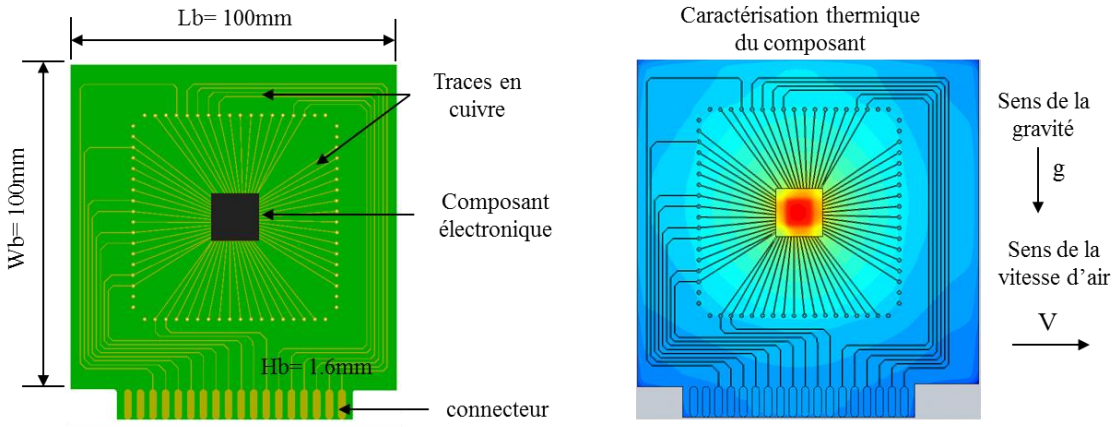


Figure 18: carte Jedec 2s2p pour caractériser un composant électronique

Le composant est placé au centre, ses connexions sont brasées à un ensemble de plages d'accueil relié par un jeu de pistes de cuivre continues, aux zones d'appui d'un connecteur.

Ce standard spécifie les caractéristiques de deux types de carte dénommée « Low effective thermal conductivity » (JESD51-3) et « High thermal conductivity » (JESD51-7).

La différence entre ces cartes est explicitée sur la Figure 19. Ainsi une carte dite 2s0p ne considère que le transfert thermique vers les couches signal surfacique. A l'opposée une carte dite 2s2p prend également en compte le transfert de chaleur vers deux plans (p) internes.

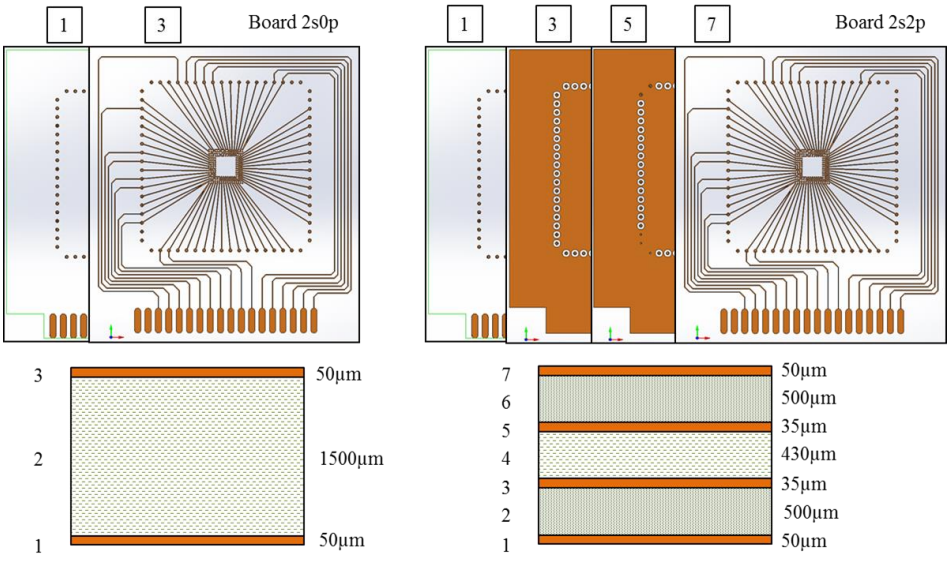


Figure 19: Comparaison des 2 véhicules de test 2s0p et 2s2p

La modélisation thermique a été menée sur ces deux cartes considérant les deux cas de figure suivants:

- Un modèle numérique de la géométrie détaillée des pistes de cuivre des faces supérieure et inférieure de la carte. Celles-ci ont chacune une épaisseur de 50µm. L'épaisseur totale de la carte est de 1.6mm. Les valeurs de conductivité du cuivre et du diélectrique ont été fixées à $400W.m^{-1}.K^{-1}$ et à $0.38W.m^{-1}.K^{-1}$.
- Un modèle numérique basé sur un modèle compact de la carte ayant des conductivités thermiques équivalentes égales à $kex = key = 2.54W.m^{-1}.K^{-1}$ et $kez = 0.405W.m^{-1}.K^{-1}$. Ces valeurs sont déduites du modèle « majorant » pour des taux de cuivre de la couche supérieure et inférieure, respectivement de 14% et 4.1%.

Les cartes JEDEC présentent une métallisation homogène sans discontinuité de leur couche métallique supérieure, Figure 18.

Les deux modèles considèrent les échanges thermiques radiatifs. L'émissivité du composant et de la carte ont été imposées respectivement à 0.9 et à 0.93.

Les conditions d'essai et la méthodologie de mesure pour caractériser les performances thermiques d'un composant électronique sont décrites dans les documents:

- JESD51-2 pour la convection naturelle,
- JESD51-6 pour la convection forcée,
- JESD51-4 pour la puce thermique destinée à mesurer la température de jonction.

En convection forcée, les conditions d'écoulement sont fixées de manière à avoir un régime turbulent établi avec un nombre de Reynolds très supérieur à 2000. A titre d'exemple le nombre de Reynolds à 1m/s est de l'ordre de 6500.

La confrontation de ces modèles par rapport à l'expérimentation est indiquée dans la Table 9.

Cette analyse démontre la perte de précision engendrée par une modélisation compacte d'une carte électronique. Ainsi, pour améliorer la qualité des prédictions des modèles de carte, il est nécessaire d'avoir accès à la représentation tri dimensionnelle exacte des pistes d'une carte. De là, chacune des couches de la carte peut être sous décomposée en un ensemble de n cubes orthotropes capable de capturer l'impact local des discontinuités thermiques.

Réalisés à partir de l'outil Ansys®, les travaux G.V Shankaran **[SHANKARAN, 2010]** confirment la nécessité de cette décomposition pour obtenir des résultats probants.

Pour cela, il utilise une méthode nommée « métal fraction » qui permet de construire une matrice des conductivités thermiques propre à chacune des couches de la carte comme l'illustre la Figure 20.

Cette approche est basée sur un découpage surfacique identique pour chacune des couches de la carte afin de capturer les discontinuités thermiques des plans de cuivre. A titre d'exemple la carte analysée a été décomposée en une grille de 400 par 400 cellules. Celle-ci doit être importante car un nombre réduit de cellules ne permet pas de discerner correctement l'isolation électrique entre 2 pistes. Cette barrière électrique a un impact significatif sur les transferts de chaleur surfaciques.

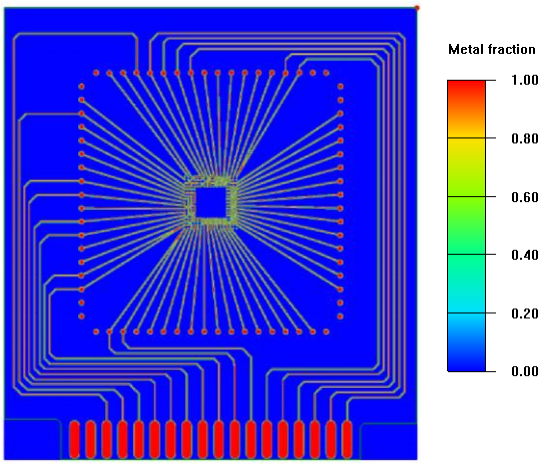


Figure 20: Exemple de représentation des zones métalliques d'une carte 2s2p

Une simulation numérique a été menée sur le modèle détaillé à partir du logiciel Icepak®. Ce modèle nécessité un maillage de 26 millions d'éléments, correspondant à 27millions de nœuds. Sa résolution exige plus d'une journée de calcul. A l'opposé le modèle issu de l'approche « métal fraction » est réduit à environ 10 millions d'éléments. Le temps de calcul est ainsi minimisé à environ 4h.

La machine retenue pour les simulations est un serveur de calcul dont les caractéristiques sont résumées sur le tableau suivant:

Serveur de calcul	
CPU	2* Intel Xeon X5690(@3.47Ghz 3.47Ghz
Ram	288Go
Nombre de cœurs	8

La validité du modèle « métal fraction » par rapport aux données expérimentales est également fournie dans la Table 9.

Il est clair que la modélisation de la conductivité thermique d'une couche de manière uniforme est peu représentative du comportement thermique d'une carte électronique.

Sa confrontation vis-à-vis de l'expérimentation montre un écart supérieur 10°C.

		Simulation	Données expérimentales			
Condition	Modélisation carte	T_C	T_{AMB}	Q	T_C	ΔT_C
V = 0m/s	Modèle référant 3D	126°C	22.9°C	2.022W	125.7°C	-0.3%
	Modèle « majorant »	136.8°C				-10.8%
	Modèle « métal fraction »	123.2°C				2.4%
V = 1m/s	Modèle référant 3D	146.9°C	25.9°C	3.076W	146.2°C	-0.6%
	modèle « majorant »	160.4°C				-12%
	Modèle « métal fraction »	142.2°C				3.3%

Table 9: Température de la source de chaleur du composant monté sur carte 2s0p

L'approche « métal fraction » apparait beaucoup plus adaptée pour calibrer rapidement les modèles détaillés de nos composants électroniques ainsi que de leur modèle comportemental.

Celle-ci autorise un gain de temps de calcul significatif par rapport à la modélisation détaillée, sans dégrader la pertinence des prédictions. Il est désormais possible de mener des études paramétriques sur une large gamme de conditions aux limites, notre objectif.

XVI. Les futures technologies envisagées pour les cartes électroniques

Des recherches actives sont faites pour améliorer et adapter la technologie des PCB avec les cartes Hautes Densité d'Interconnexion (HDI) et les cartes flexibles (flex PCB).

Les axes d'amélioration prévus pour la conception des PCB s'orientent vers l'utilisation de nouvelles alternatives utilisant la technologie 3D avec ce qu'on appelle les PCS (Printed Circuit Structure). Il s'agit d'étendre la technologie actuelle, 2.5 D de fabrication, à celle 3D permettant l'impression du circuit directement sur la structure pouvant accueillir des composants sur les trois directions de l'espace.



Figure 21: Image exotique de la technologie PCS

Une autre voie de densification porte sur la possibilité d'encastrer des fonctions électroniques passives ou actives au cœur des cartes électroniques.

Plusieurs projets de recherche destinés à étudier ce nouveau concept peuvent être cités.

Le premier est un projet français, nommé « PCB² », qui a regroupé plusieurs partenaires tels que CIRE, Airbus, EADS Astrium, Thales Alenia Space, Thales Airborne Systems, LAAS-CNRS, etc. L'objectif était de promouvoir l'intégration de composants passifs, condensateurs et résistances, dans une carte électronique, faisant suite à l'évolution des technologies HDI **[RENAULT, 2012]**.

Deux projets européens ayant pour objectif le développement et surtout l'industrialisation de cette technologie sont également à mentionner :

- 2003-2006 « Hiding Die » un acronyme pour « High Density Integration of Dies Into Electronics Substrates »
- 2008-2011 « Hermes » un acronyme pour « High density integration by Embedding chips for Reduced size Modules and Electronics Systems »

En déplaçant les puces nues dans les couches intérieures d'une carte électronique, Figure 22, une surface d'implantation sur ses deux faces extérieures est libérée. Cette nouvelle conception ouvre la porte à un nouvel accroissement de fonctions dans des espaces réduits.

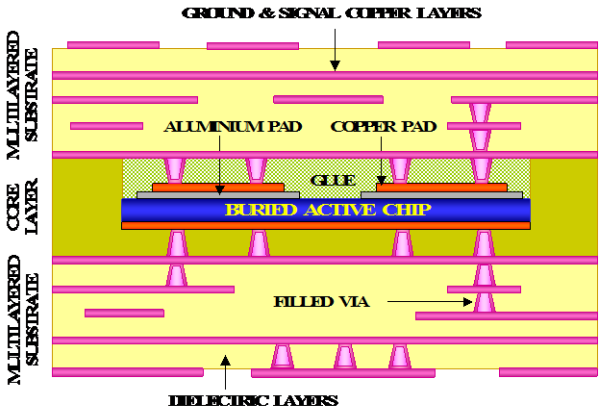


Figure 22: Concept de la technologie des puces enterrées

La présence de puces au cœur des cartes va amplifier les contraintes thermomécaniques vues par celles-ci et exacerber la problématique de leur refroidissement. Les résultats des travaux sur cette problématique ont déjà été publiés **[MONIER-VINARD, 2012] [MONIER-VINARD, 2013]** et démontrent la faculté d'implémentation d'une approche analytique.

XVII. Synthèse sur la modélisation d'une carte électronique

L'analyse analytique a permis de valider, sur des cas simples, la qualité des résultats fournis par les outils de simulation numérique à notre disposition. L'outil le plus approprié pour notre problématique apparait être le logiciel Icepak®. Il est à noter que les modèles numériques réclament des maillages très conséquents, plusieurs milliers de maille, pour être en accord avec les résultats des modèles analytiques.

D'autre part, cette analyse décrit les hypothèses simplificatrices généralement admises pour la modélisation des cartes électroniques ainsi que leur limite.

Il apparait que la modélisation de la structure d'une carte complexe par un bloc homogène orthotrope est à proscrire pour la caractérisation des performances de composants électroniques miniatures.

La modélisation des différentes couches de la carte pose la question de la méthodologie de calcul de la conductivité thermique des couches de cuivre présentant de fortes discontinuités géométriques, en particulier de celles avoisinant la source de chaleur. Ce sujet est débattu mais sa résolution reste à parfaire.

Pour pallier à cette incertitude la récupération de la géométrie réelle de toutes les couches de la carte s'avère nécessaire si l'on souhaite distinguer avec précision le comportement propre au composant et celui de son support, la carte.

La prise en compte des discontinuités des pistes des cartes électroniques réclame des modèles numériques de plusieurs millions de cellules et des temps de calcul prohibitifs. Pour pallier à ce problème, l'approche dite « métal fraction » proposée par le logiciel Icepak® a été analysée.

Celle-ci autorise une réduction de la taille des modèles numériques tout en conservant une précision suffisante pour décrire finement le comportement thermique d'une carte électronique industrielle.

Bibliographie

[ALBERS, 1995] John Albers, *An Exact Recursion Relation Solution for the Steady-state Surface Temperature of a General Multilayer Structure*, IEEE Transactions on Components Packaging and Manufacturing Technology – part A, Vol. 18, No.1, 1995.

[ANKIREDDI, 2008] Sai Ankireddi, Stanley Pecavar, *A Fourier Series-Based Analytical Solution for Three-Dimensional Conjugate Heat Transfer Problems in Microprocessor Cooling*, IEEE Transactions on Components and Packaging Technologies, Vol.31, No.2, 2008.

[BAGNALL, 2013] Kevin R. Bagnall, Yuri S. Muzychka and Evelyn N. Wang, *Application of the Kirchhoff Transform to Thermal Spreading Problems with Convection Boundary Conditions*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2013.

[BAGNALL, 2014] Kevin R. Bagnall, Yuri S. Muzychka and Evelyn N. Wang, *Application of the Kirchhoff Transform to Thermal Spreading Problems with Convection Boundary Conditions*, IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol.4, No.3, 2014.

[BATTY, 2001] William Batty, Carlos E. Christoffersen, Andreas J. Panks, Stephane David, Christopher M. Snowden and Michael B. Steer, *Electrothermal CAD of Power Devices and Circuits With Fully Physical Time-Dependent Compact Thermal Modeling of Complex Nonlinear 3-D Systems*, IEEE Transactions on Components and Packaging Technologies, vol. 24, No. 4, December 2001.

[CHANG, 2004] Christophe Chang, Raphaël Sommet, Raymond Quéré, Philippe Duême, *Nonlinear thermal reduced model for Microwave Circuit Analysis*, 12th GAAS Symposium – Amsterdam, 2004.

[CHURCHILL, 1975] Churchill, S.W. and Churchill, R.U., *A Comprehensive Correlating Equation for Heat and Component Transfer by Free Convection*, AIChE J., Vol. 21, 604 - 606, 1975.

[CHOOBINEH, 2012] Leila Choobineh, Ankur Jain, *Analytical Solution for Steady-State and Transient Temperature Fields in Vertically Stacked 3-D Integrated Circuits*, IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol.2, No.12, 2012.

[CULHAM, 1998] J. Richard Culham and M. Michael Yovanovich, *Factors Affecting the Calculation of Effective Conductivity in Printed Circuit Boards*, 1998 Intersociety Conference on Thermal Phenomena, 1998.

[CULHAM, 2000] J.R.Culham, P.Teertstra and M.M. Yovanovich, *Thermal Characterization of Electronic Packages Using a Three-Dimensional Fourier Series Solution*, Journal of Electronic Packaging, vol.122, p.233-239, September 2000.

[DITRI, 2007] John Ditri, *Heat Conduction in Microwave Devices with Orthotropic and Temperature-Dependent Thermal Conductivity*, IEEE Transactions on Microwave Theory and Techniques, Vol.55, No.3, March 2007, 2007.

[DORKEL, 1996] Jean-Marie Dorkel, Patrick Tounsi and Philippe Leturcq, *Three-Dimensional Thermal Modeling Based on the two-Port Network Theory for Hybrid or Monolithic Integrated power Circuits*, IEEE Transactions on Components, Packaging and Manufacturing Technology-Part A, Vol.19, No.4, Decmbre 1996.

[EHLERT, 1993] Ehlert, J. R. and Smith, T.F, View Factors for Perpendicular and Parallel, Rectangular Plates, Journal of Thermophysics and Heat Transfer, vol. 7, issue 1, pp. 173-174, 1993.

[EJECKAM, 2014] Felix Ejeckam, Daniel Francis, Firooz Faili, Joe Dodson, Daniel J.Twitchen, *Diamond for Enhanced GaN Device Performance*, 14th IEEE ITHERM Conference, 978-1-4799-5267-0, pp. 1206-1209, 2014.

[ELLISON, 2003] Gordon N. Ellison**,** *Maximum Thermal Spreading Resistance for Rectangular Sources and Plates with Nonunity Aspect Ratios,* IEEE Transactions on Components and Packaging Technologies, Vol.26, No.2, 2003.

[IUE] Site web: www.iue.tuwien.ac.at/phd/vitanov/node55.html

[KARAYACOUBIAN, 2006] P. Karayacoubian, M.M. Yovanovich, R. R. Culham, *Thermal Resistance-Based Bounds for the Effective Conductivity of Composite Thermal Interface Materials*, Semiconductor Thermal Measurement and Management Symposium, 2006 IEEE Twenty-Second Annual IEEE, pp 28-36, 2006.

[KÄRNER, 1994] Martin Kärner, Ulrich Schaper, *Geometry Considerations for Thermal Design of Microwave Heterojunction Bipolar Transistors*, Jpn. J. Appl. Phys. Vol.33 (1994) pp. 6501-6507, Part 1, No. 12A, December 1994.

[KOKKAS, 1974] Achilles G.KOKKAS, Thermal Analysis of Multiple-Layer Structures, IEEE Transactions on Electron devices, vol, ED-21, No.11, November 1974

[LEE] Chin C.Lee, Arthur L.PALISOC and Y.JY MIN, *Thermal Analysis of Integrated Circuit Devices and Packages*, IEEE Transactions on components, hybrids, and manufacturing technology, vol.12, No.4.

[LEWANDOWSKY, 1983] Lewandowski W.M., Kubski P., *Methodical Investigation of Free Convection from Vertical and Horizontal Plates*, Wärme-und Stoffübertragung 17, 147-154, 1983.

[LIENHARD] J. H. LIENHARD, *A Heat Transfer Textbook*, Phlogiston Press, Cambridge Massachusetts.

[MARANI, 2010] R. Marani, A.G. Perri, *Analytical Electrothermal Modelling of Multilayer Structure Electronic Devices*, The open Electrical & Electronic Engineering Journal, 4, pp. 32-39, 2010.

[MHTLAB] Site web: www.mhtlab.uwaterloo.ca

[MONIER-VINARD, 2012] Eric Monier-Vinard, Cheikh Dia, Valentin Bissuel, Olivier Daniel, *Thermal modeling of active embedded chips into high density electronic board*, 13th IEEE international conference on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro and Nanoelectronics and Systems, EUROSIME 2012, 04/2012.

[MONIER-VINARD, 2013] Eric Monier-Vinard, Najib Laraqi, Cheikh Dia, Minh Nhat Nguyen, Valentin Bissuel, *Analytical Thermal modelling of multilayered active embedded* chips into high density electronic board, THERMAL SCIENCE, Vol. 17, No. 3, pp. 695-706, 2013.

[MUZYCHKA, 2003] Y. S. Muzychka, J. R. Culham, M. M. Yovanovich, *Thermal Spreading Resistance of Eccentric Heat Sources on Rectangular Flux Channels*, Vol. 125, June 2003.

[MUZYCHKA, 2006] Y.S.Muzychka, M.M. Yovanovich and J.R.Culham, *Influence of Geometry and Edge Cooling on Thermal Spreading Resistance*, Journal of Thermophysics and Heat Transfer, Vol.20, No.2, April – June 2006

[MUZYCHKA, 2013] Yuri S. Muzychka, Kevin R. Bagnall and Evelyn N. Wang, *Thermal Spreading Resistance and Heat Source Temperature in Compound Orthotropic Systems With Interfacial Resistance*, IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol. 3, No. 11, November 2013.

[PABST, 2012] W Pabst, E Gregorová, *The sigmoidal average – a powerful tool for predicting the thermal conductivity of composite ceramics*, 6th European Thermal Sciences Conference (Eurotherm 2012), Journal of Physics: Conference Series 395, 2012.

[PAILHES, 2011] J. Pailhes, C. Pradere, J.-L Battaglia, J. Toutain, A. Kusiak, A.W. Aregba, J.-C. Batsale, *Thermal quadrupole method with internal heat sources,* International Journal of Thermal Sciences, 2011.

[PECHT, 1998] Michael G. Pecht, Rakesh Agarwal, Patrick Mc Cluskey, Terrance Dishongh, Sirus Javadpour, Rahul Mahajan, *Materials and Their properties, Electronic Packaging*, Published 1998 by Crc. ISBN 0-8493-9625-5.

[RENAULT, 2012] A. Renault, C. Munier, *Thermo-mechanical reliability of embedded capacitors,* 13th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems, Eurosime 2012, 2012.

[RENCZ, 2002] M. Rencz, V. Szekely, A. Poppe, B. Courtois, *Inclusion of RC compact models of packages into board level thermal Simulation Tools*, Semiconductor Thermal Measurement and Management, 2002 Eighteenth Annual IEEE Symposium, pp 71-76, 2002.

[RINALDI, 2002] N. Rinaldi, *Generalized Image Method with Application to the Thermal Modeling of Power Devices and Circuits*, IEEE Transactions on Electron Devices, Vol. 49, No. 4, April 2002.

[SEPULVEDA, 1998] Juan L. Sepulveda, Brush Wellman, Inc., *Advanced Microelectronic Packaging using BeO Ceramics*, 1998 International Symposium on Advanced Packaging Materials.

[SHABANY, 2002] Younes Shabany, *Component Size and Effective Thermal Conductivity of Printed Circuit Boards*, 2002Inter Society Conference on Thermal Phenomena, 2002.

[SHANKARAN, 2006] Gokul V Shankaran and Rahul K Singh, *Selection of Appropriate Thermal Model for Printed Circuit Boards in CFD Analysis*, Thermal and Thermomechanical Phenomena in Electronics Systems, 2006, ITHERM'06, The Tenth Intersociety Conference, 2006.

[SHANKARAN, 2010] Gokul V. Shankaran, M. Baris Dogruoz, Daniel de Araujo, *Orthotropic Thermal Conductivity and Joule Heating Effects on the Temperature Distribution of Printed Circuit Boards*, Thermal and Thermomechnical Phenomena in Electronic Systems (ITHERM), 12th IEEE Intersociety Conference, 2010.

[VINTROU, 2009] S. Vintrou, N. Laraqi**,** A. Bairi, *Thermal impedance of multi-finger microelectronic structures: exact analytical model*, Journal of Physics D: applied, vol. 42, issue 24, 2009.

[YAMADA, 1980] Etsuro Yamada, Terukazu Ota, *Effective thermal conductivity of dispersed materials,* Wârme-und Stoffübertragung, Vol. 13, Issue 1-2, pp 27-37, 1980.

[YOVANOVICH, 1993] M.M. Yovanovich and Khosrow Jafarpur, Models of Laminar Natural Convection from Vertical and Horizontal Isothermal Cuboids for all Prandtl and All Rayleigh Numbers Below 10^{11}, Microelectronics Heat Transfer Laboratory Department of Mechanical Engineering University of Waterloo, Proceedings of The 114th ASME Winter Annual Meeting, 1993

[YOVANOVICH, 1999] M.M. Yovanovich, Y.S.Muzychka and J.R.Culham, *Spreading Resistance of Isoflux Rectangles and Strips on Compound Flux Channels*, Journal of Thermophysics and Heat transfer, vl.13, No.4, October-December 1999, 1999.

PARTIE 2 : La modélisation thermique des composants électroniques

Nomenclature

F	Fonction objective ou fonction coût
M	Nombre de conditions aux limites
W	Poids sur les températures des nœuds
W_J	Poids sur la température de jonction
N	Nombre de nœuds externes
$T_{J,C}$	Température de jonction du modèle compact
$T_{J,D}$	Température de jonction du modèle détaillé
$T_{i,C}$	Température du i-ème nœud du modèle compact
$T_{i,D}$	Température du i-ème nœud du modèle détaillé
T_{Amb}	Température ambiante
t	Temps
$q_{i,C}$	Flux sortant du i-ème nœud du modèle compact
$q_{i,D}$	Flux sortant du i-ème nœud du modèle détaillé
Q	Puissance totale dissipée par la jonction
Z_{TH}	Impédance thermique
R_i	Résistance thermique de la i-ème chaine du réseau Foster
C_i	Capacité thermique de la i-ème chaine du réseau Foster
$P_{magnétique}$	Perte magnétique d'une bobine
P_{dc}	Perte dues au courant continu d'une bobine
P_{ac}	Perte dues au courant alternatif d'une bobine
I_{dc}	Courant continu
R_{OPER}	Résistance électrique de fonctionnement
R_{TYP}	Résistance électrique de référence
K_0	Coefficient de pertes magnétiques
K_1	Coefficient de pertes du courant alternatif
ΔI	Amplitude crête à crête du courant alternatif
D	« Duty cycle » ou cycle d'utilisation
f_o	Fréquence de fonctionnement
K_f	Constante de fréquence
K_b	Constante de flux magnétique
B_{pk}	Densité de flux magnétique maximale

I. Les challenges de la modélisation des composants électroniques

Ces dernières années, les technologies de fabrication des composants électroniques ont été bouleversées que ce soit au niveau de la conception du boitier que de celui des puces électroniques qu'ils englobent.

Cette révolution engendre une intégration toujours plus accrue de multiples fonctions et la notion de système s'applique désormais aussi bien à la puce qu'à leur boitier: System On Chip (SoC), System In package (SiP).

Ces nouveaux principes de conception ont un impact significatif sur les défis de la modélisation thermique. Plus que jamais, celle-ci va être vitale pour l'optimisation des performances électroniques; telles que la vitesse ou la consommation.

Ainsi, les puces semi-conductrices représentent la principale source de chaleur d'un équipement électronique et leur température est le paramètre le plus sensible de la conception. Cette sensibilité est exacerbée par la plus faible capacité des matériaux semi-conducteurs à conduire la chaleur quand leur température s'élève.

Une détermination précise d'une température dite de jonction est de plus en plus cruciale pour prévenir une défaillance prématurée d'un composant, d'une carte, ou d'un équipement.

En fait, le taux de défaillance d'une puce électronique augmente exponentiellement avec la température suivant la loi énoncée par S.A Arrhenius reprise par le standard JEDEC [**JESD74A, 2007**]. Celle-ci quantifie un facteur d'accélération du vieillissement en comparaison de la température normale d'utilisation préconisée par le fabricant.

$$AF_T = exp\left[\frac{Ea}{kB}\cdot\left(\frac{1}{T_{JU}} - \frac{1}{T_{JM}}\right)\right]$$

Avec

- Ea est l'énergie d'activation. Celle-ci est fixée à 0.7eV pour un circuit intégré,
- kB est la constante de Boltzman égale à $8.617x10^{-5}eV.K^{-1}$,
- T_{JU} est la température absolue de jonction pour la condition normale d'utilisation,
- T_{JM}est la température absolue de jonction pour la condition modifiée d'utilisation.

La température maximale de jonction des composants de gamme militaire doit généralement être limitée à 125°C. On note qu'une erreur de 10%, divisera la durée de vie du composant par 1.86. Cette valeur va augmenter pour les composants de gamme industrielle dont les puces ne peuvent être soumises à ce niveau critique de température.

Il apparait que la précision du modèle numérique doit obligatoirement rester bien inférieure à 10%, un véritable challenge.

Dans cette section, nous présenterons l'état de l'art des évolutions et des difficultés à résoudre pour caractériser leur comportement thermique.

II. Les Etats de l'art sur la modélisation thermique d'un composant électronique

La conception au niveau de la puce est pratiquement toujours indépendante de celle du boitier. Leur modélisation propre est généralement dissociée. Les concepteurs de boitier proposent une gamme de solution de montage pouvant accueillir une large variété de type de puces que nous exposerons dans la section suivante.

Il est à noter que la définition par le standard JEDEC de la température de jonction assume une dissipation uniforme sur 85% de la face supérieure d'un matériau semi-conducteur

[JESD51-4, 1997]. Une condition peu probable en pratique où de multiples zones de la puce vont voir des densités de flux de chaleur hétérogènes pouvant varier de 10W/cm^2 à plus que 10kW/cm^2.

Avant d'aborder la création d'un modèle thermique de composant, il est nécessaire de connaitre les conséquences de cette hypothèse simplificatrice sur les performances thermiques déclinées par les fabricants de composants électroniques.

Pour cela, un état de l'art succinct sur la modélisation de la puce est présenté afin d'avoir une meilleure compréhension des phénomènes électro-thermiques à prendre en compte pour parfaire la modélisation d'un composant électronique.

Deux axes d'application des puces électroniques sont explicités, à savoir:

- Un circuit intégré sur la base d'un substrat silicium
- Les amplificateurs haute puissance (acronyme anglais HPA)

III. Vision succincte de la conception d'un circuit intégré

Un circuit intégré est un assemblage de fonctions électroniques fabriquées sur le même bloc de semi-conducteur. Les fonctions élémentaires sont la diode et le transistor. Une diode est un dipôle passif non linéaire. Elle est créée à partir un matériau semi-conducteur, le plus souvent du silicium, sur lequel on crée une jonction en dopant différemment deux régions. Les dernières technologies de transistor, telle le 3D Tri – Gate d'Intel® sont conçues sur la base de gravure miniaturisée telle que 22nm. Leur finesse est en constante diminution autorisant un nombre de transistors toujours croissant. Leur conception 3D est également plus complexe comme l'indique la Figure 23.

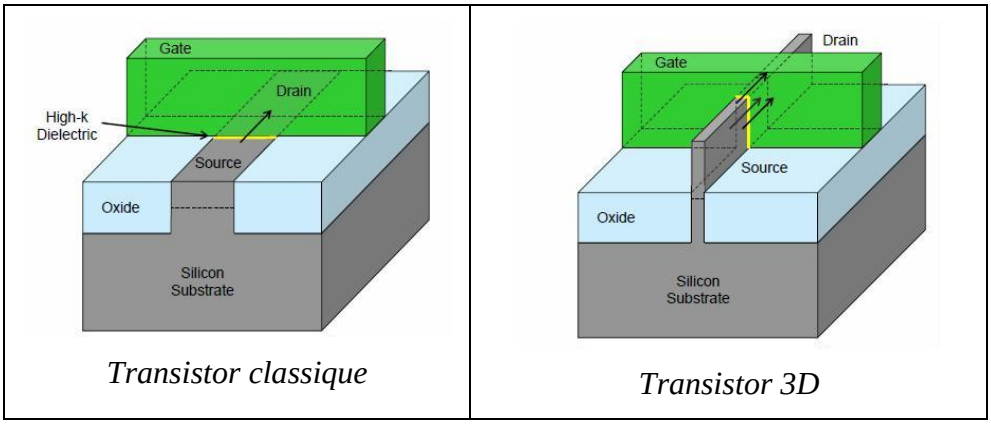


Figure 23: Nouvelle technologie de transistor

Celle-ci est disponible sur le marché avec les processeurs Ivy Bridge–E. Cette révolution autorise un gain de performance et une économie d'énergie en limitant les courants de fuite du fait de l'augmentation de la zone de contact entre la grille et le substrat.

Ces composants actifs et passifs miniaturisés et leurs interconnexions sont la base des circuits intégrés. Selon les informations transportées, il existe deux types de circuit intégré: les circuits analogiques et les circuits logiques. Les circuits analogiques transportent l'information d'un signal continu sous forme électrique, alors que les circuits logiques ou numériques utilisent le codage binaire. Le signal est donc discrétisé.

Ainsi un « Application-Specific Integrated Circuit » (ASIC) est composé de nombreuses cellules logiques élémentaires librement assemblables, la technologie la plus souple est la

« Field Programmable Gate Array » (FPGA) constituée d'un réseau de portes logiques programmables et reconfigurables.

La Figure 24 montre un exemple de bloc logique gravé en grand nombre sur la surface de la puce ainsi que son réseau logique devant être interconnecter.

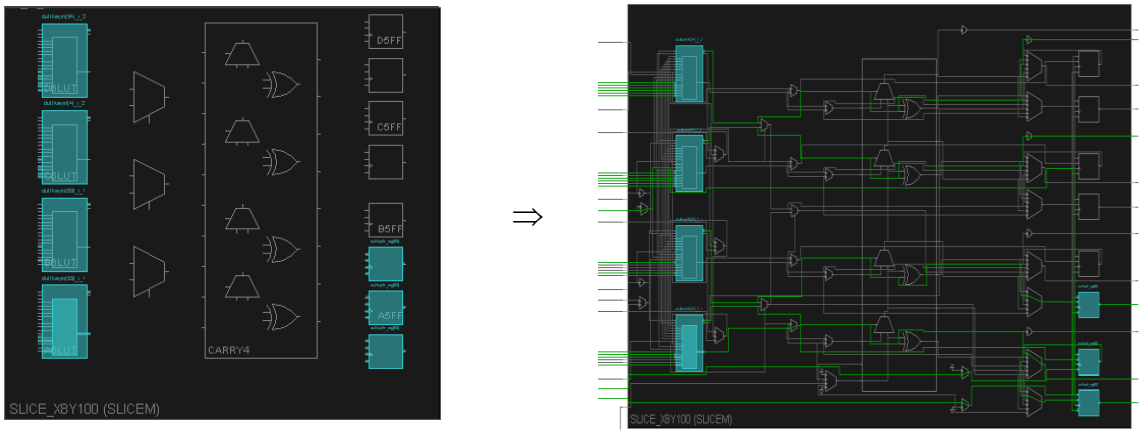


Figure 24: Tuile logique d'un circuit intégré

Pour illustrer notre propos, Figure 25 présente une puce industrielle de type « sea of gate » d'une surface de 130mm^2 constituée d'une matrice de 260 x 260 blocs lesquels vont être activés temporairement en fonction de l'algorithme des calculs à effectuer.

En bleu apparait un ensemble de ces tuiles logiques configurées pour une fonction numérique.

D'autre part, cette puce accueille des blocs logiques programmables et des groupes logiques non configurables indispensables pour réaliser l'ensemble de ses fonctions numériques.

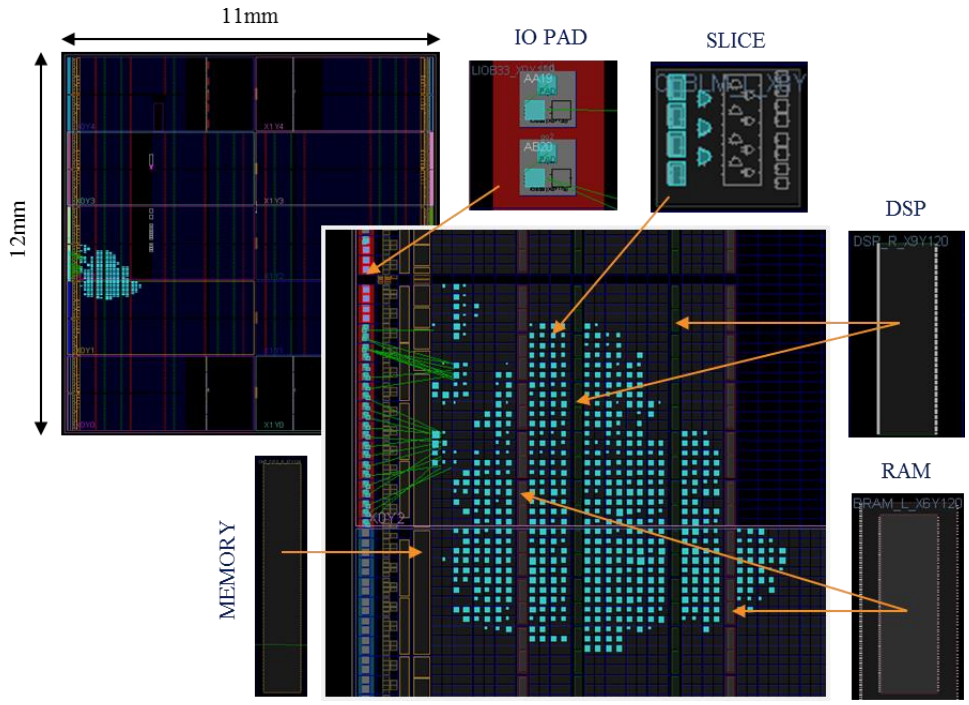


Figure 25: Exemple d'architecture d'un Circuit Intégré

Force est de constater que le concept d'une dissipation uniforme sur la surface de la puce est très éloigné de la réalité et que celui-ci ne permet pas de discerner des pics locaux de températures. Une description représentative des zones d'activations des blocs logiques, en

vue d'optimiser leur consommation, est désormais obligatoire pour maitriser la conception de ce « System-on-Chip » (SoC) totalisant plusieurs millions de transistors sur un semi-conducteur.

Généralement, la modélisation des températures aux différents points de la puce est basée sur l'utilisation de son plan d'architecture logique et physique, ou « Floorplan ». Cela consiste à regrouper les transistors en blocs fonctionnels. Chacun des blocs contient les détails concernant les différents types de transistor utilisés et leur nombre suivant la fonction recherchée. Il alors possible pour chacun des blocs logiques d'extraire une puissance représentant la perte de l'ensemble des transistors de la zone considérée. Puis par superposition de déduire le profil thermique de la puce.

IV. Analyse du comportement thermique des circuits intégrés

Le silicium est le matériau des circuits intégrés, sa conductivité thermique est dépendante de la température et celle-ci est le plus souvent exprimée sous la forme d'une loi en puissance:

$$k(T) = k_{ref}.\left(\frac{T_{ref}}{T}\right)^{\alpha}$$

Équation 3: Loi de conductivité variable en fonction de la température

La température T de la puce est exprimée en Kelvin et sa conductivité thermique est déduite d'une valeur de référence k_{ref} mesurée à une température de référence, dénommée T_{ref}. Toutefois d'autres formes d'équation ont été traitées par P. Vadasz [**VADASZ, 2010**].

Pour le silicium, pour une température de référence de 300K, la valeur de référence est de 148W.m^{-1}.K^{-1}. La variation de la conductivité thermique s'effectue en fonction de la valeur de l'exposant α qui pour le silicium est égal à 1.3. A 125°C (398K), la conductivité thermique du silicium est égale à 102.5W.m^{-1}.K^{-1}, soit une diminution supérieure à 30%. Par conséquent, la conductivité thermique décroît fortement lorsque la température de la puce augmente, ce qui a pour conséquence une amplification de la résistance thermique résultante.

D'autres semi-conducteurs montrent une dépendance similaire de leur conductivité thermique par rapport à la température. C'est le cas par exemple de l'arséniure de gallium (AsGa) et du nitrure de Gallium (GaN).

L'introduction de l'arséniure de gallium comme matériau semi-conducteur a amplifié les contraintes thermiques vues par les puces électroniques, comme le montre la Figure 26.

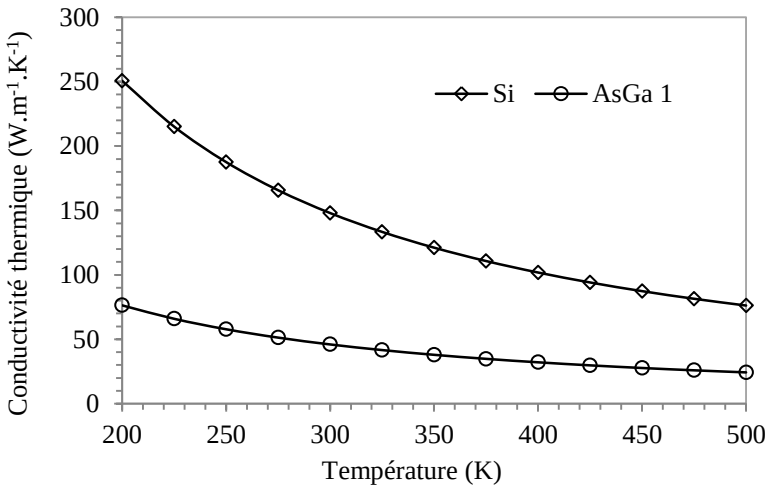


Figure 26: Conductivités thermiques de l'arséniure de gallium et du Silicium

Les relations typiquement rencontrées pour les principaux matériaux semi-conducteurs sont données sur la Table 10. Le nitrure de Gallium est pour sa part une solution prometteuse pour les futures générations de transistor à forte densité de puissance. Celui-ci peut être associé avec du diamant pour améliorer ses capacités d'évacuation de la chaleur **[EJECKAM, 2014]**.

Plusieurs modèles de conductivité thermique sont disponibles et il n'est pas toujours aisé de choisir la plus appropriée **[IUE]**.

Matériaux	T_{ref} (K)	k_{ref} ($W.m^{-1}.K^{-1}$)	α
Si	300	148	1.3
AsGa-1	300	46	1.25
AsGa-2	300	51	1.23
GaN-1	300	160	1.4
GaN-2	300	220	1.2
SiC	300	340	1.5

Table 10: Paramètres des modèles de conductivités thermiques

La modélisation des matériaux semi-conducteurs d'une puce doit être par conséquent capable de traduire correctement cette dépendance. Plusieurs auteurs ont abordé cette problématique, tels que J. Ditri [**DITRI, 2007**] ou K. R. Bagnall [**BAGNALL, 2014**].

Pour cela, ils utilisent une transformée de Kirchhoff pour résoudre le caractère non-linéaire des propriétés thermiques des semi-conducteurs. P. Vadasz [**VADASZ, 2010**] propose une méthode plus générale basée sur une transformée de Cole-Hopf.

Dans une majorité de cas, les modèles proposés sont résolus en considérant une condition de Dirichlet appliquée à la base de la puce. Toutefois, les travaux K. R. Bagnall [**BAGNALL, 2014**] décline une approche pour aborder le cas d'une condition de troisième espèce.

Considérant une température de fond de puce To, les températures d'une source de chaleur à la surface du matériau semi-conducteur peuvent être déduites à partir de l'expression:

$$T_1(x,y,z) = [To]^{\frac{-1}{(1-\alpha)}} \cdot [To + (1-\alpha)\cdot\theta_1(x,y,z)]^{\frac{1}{(1-\alpha)}} \quad avec \;\; nl = 1$$

$$\bar{T}_1(zc) = [To]^{\frac{-1}{(1-\alpha)}} \cdot [To + (1-\alpha)\cdot\bar{\theta}_1(zc)]^{\frac{1}{(1-\alpha)}} \quad avec \;\; nl = 1$$

Cette relation est toutefois limitée au cas d'une température de fond puce uniforme, ce qui dans la pratique est loin d'être une réalité.

V. Vision succincte de la conception d'un transistor de puissance

L'électronique moderne n'aurait pu se développer sans l'élément fondamental que représente le transistor. Les circuits intègrent un grand nombre de transistors rassemblés sur le même semi-conducteur. Néanmoins, on peut retrouver des transistors discrets à l'intérieur d'un boîtier unique.

Les deux types de transistor le plus souvent rencontrés sont: les transistors bipolaires et les transistors à effet de champ.

Les transistors bipolaires sont les plus répandus. Les trois bornes sont notées respectivement base, émetteur et collecteur. Le passage du courant entre l'émetteur et le collecteur est contrôlé par le courant de la base. La technologie la plus utilisée en électronique de puissance est le transistor « Insulated Gate Bipolar Transistor » ou IGBT.

Pour les transistors à effet de champ, l'appellation des terminaux est différente par rapport aux bipolaires. Ceux-ci sont nommés respectivement grille, source et drain.

Les deux catégories principales de transistors à effet de champ **[MAYE, 2005]** sont:

- les « Junction Field-Effect Transistors » (JFET) désignés par FET,

La grille crée une jonction normalement bloquante et le passage du courant de la source vers le drain est géré dans ce cas par la tension entre grille et source.

- les « Metal Oxide Semiconductor Field-Effect Transistors » (MOS ou MOSFET) désignés par TEC,

La Figure 27 décline la représentation physique des trois éléments primordiaux d'un amplificateur à effet de champ, à savoir: la source, la grille et le drain.

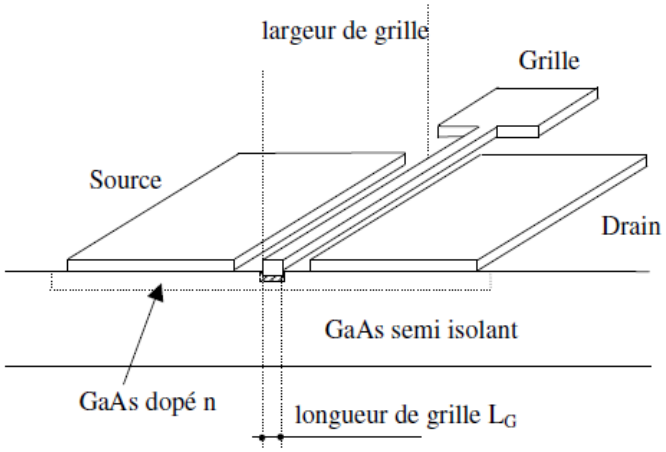


Figure 27: Descriptif de l'architecture physique d'un amplificateur

La montée en température des transistors s'explique par les pertes lorsque qu'ils sont en mode conduction et aux basculements entre les états bloquant et passant. La Figure 28 schématise les phénomènes mis en jeu.

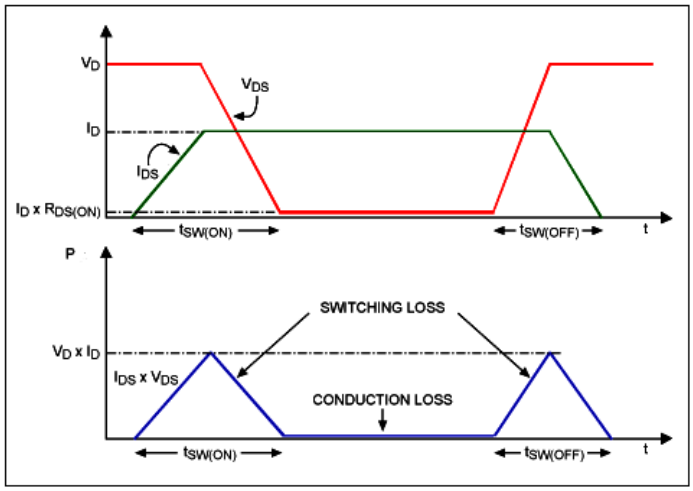


Figure 28: Pertes thermiques d'un transistor

La micro-électronique hyperfréquence est très présente dans les applications Thales, celle-ci couvre l'ensemble des domaines d'applications: militaire, civil et spatial. Cette technologie est dominée par les circuits intégrés monolithiques hyperfréquences désignés par l'acronyme anglais « Monolithic Microwave Integrated Circuit » (MMIC).

Cette technologie mature de composants électroniques est utilisée le plus souvent comme amplificateur haute puissance (acronyme anglais HPA). Les MMICs tels que les transistors à effet de champ MESFET ou HFET sont généralement fabriqués sur la base d'arséniure de gallium (GaAs), en raison de ses caractéristiques de très faible bruit et de sa forte bande passante. La conductivité thermique de ce semi-conducteur est beaucoup plus faible que celle du silicium, ainsi à 125°C, celle-ci est réduite à $32W.m^{-1}.K^{-1}$, ce qui va exacerber les contraintes thermiques vue par ce type de puce.

Pour obtenir des simulations thermiques fiables, il est primordial d'identifier avec précision la structure physique élémentaire d'un amplificateur de puissance.

Ce type d'amplificateur est formé par une couche de semi-conducteur dopé, ou canal, placée entre deux couches de semi-conducteur de dopage opposé pour former l'électrode centrale, nommée grille. Les extrémités du canal forment deux autres électrodes, le drain et la source. Il est à noter que la nature du dopage affecte également les propriétés du semi-conducteur.

Les dimensions des électrodes de ces transistors ainsi que le nombre de motifs métalliques, correspondant au nombre d'étage d'amplification, est variable en fonction des besoins.

La Figure 29 présente un exemple industriel d'amplificateur de puissance comportant 2 doigts de grille. Celle-ci met en évidence les échelles respectives des éléments du transistor, en particulier la taille le plus souvent submicronique des longueurs de grille.

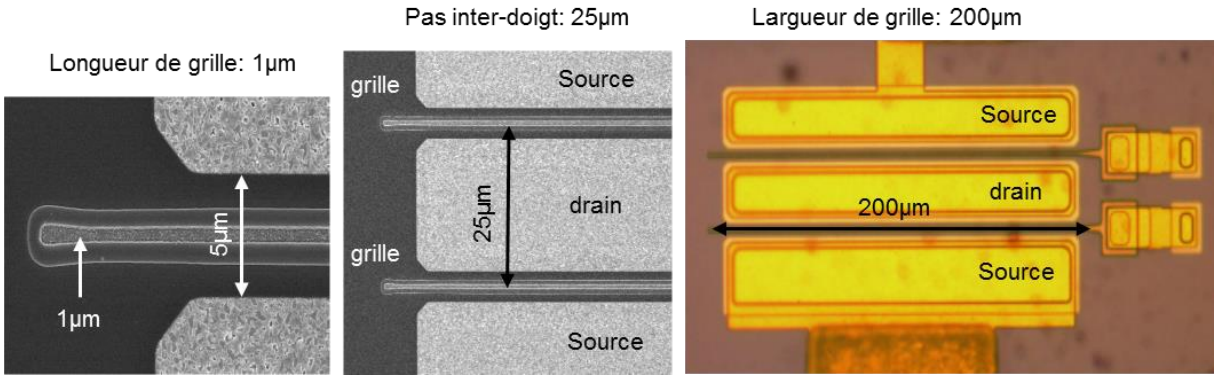


Figure 29: Exemple motif disposant de 2 doigts de grille

En effet, les performances en fréquence de ce type de transistor ont d'abord été améliorées en diminuant la longueur de grille qui est passée en 20 ans de 1µm à 0,1µm. Les largeurs de grille vont varier de 10µm à 200µm par doigt de grille. La métallisation surfacique du drain et des sources est faite en or.

Plus récemment, le développement des technologies « High-electron-mobility transistors », défini par l'acronyme HEMT, est fait à base de nitrure de gallium (GaN) sur substrat en carbure de silicium (SiC) afin de répondre aux besoins de montée en fréquence. Ces technologies représentent ainsi une véritable rupture par rapport à la technologie GaAs.

Ce type de transistor de puissance peut supporter des températures supérieures capables d'absorber une concentration accrue des densités de flux de chaleur.

La Figure 30 issue des travaux de C. Teyssandier [**TEYSSANDIER**, **2008**] synthétise les possibilités de ces matériaux dans le domaine des hautes fréquences par rapport au silicium.

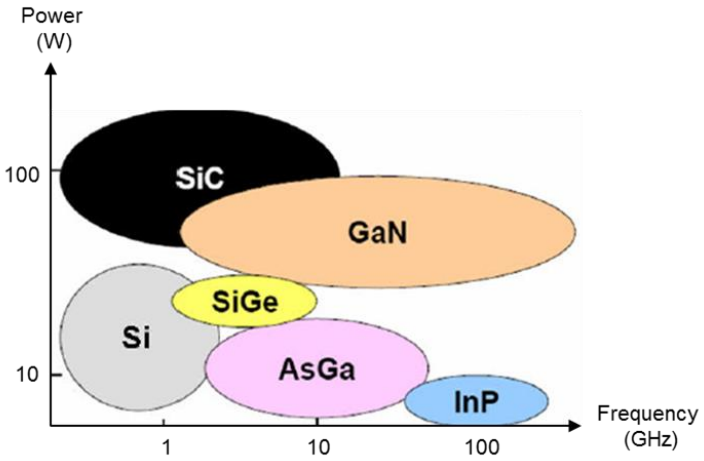


Figure 30: Gamme de performances des matériaux semi-conducteurs

Suivant la nature du semi-conducteur retenu, AsGa ou GaN, un transistor HEMT ou PHEMT ayant une largeur de grille de 0.25µm sera capable de supporter une densité de puissance de 0.5W à 4W par millimètre de longueur de grille. Cette évolution est principalement due à l'augmentation des performances thermiques de ces nouveaux semi-conducteurs.

Ainsi, la conductivité thermique du GaN à 125°C est égale à 115W.cm^{-1}.K^{-1} et celle du SiC à 221W.cm^{-1}.K^{-1}. Il est clair que ces deux solutions sont beaucoup plus avantageuses pour l'évacuation des calories.

Les méthodes de mesures de température submicronique de la zone active des transistors de puissance sont décrites dans les thèses de C. Chang [**CHANG, 2004**] et de V. Feuillet [**FEUILLET, 2006**], en particulier la méthode de diffusion Raman. Ces mesures sont effectuées au centre de chaque gille où le faisceau est focalisé dans l'espace grille-drain.

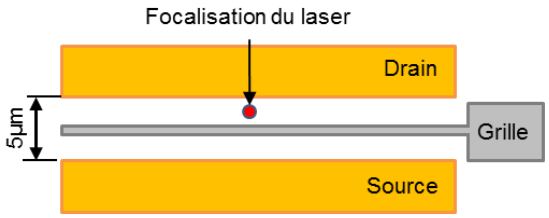
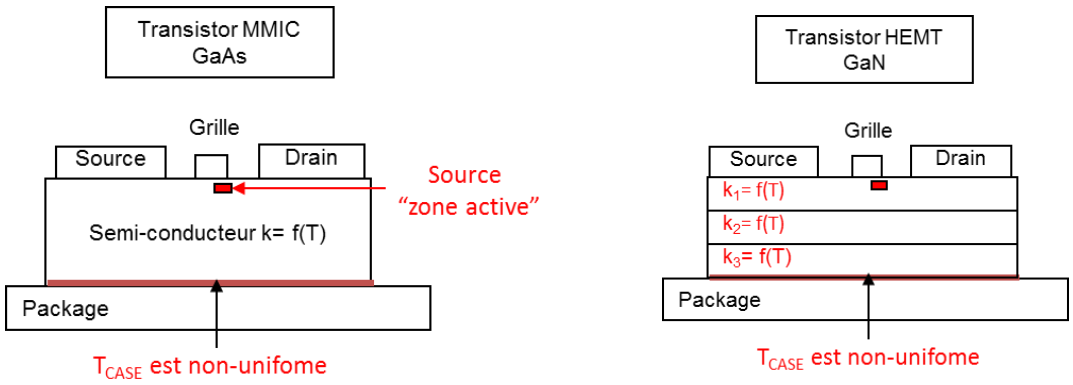


Figure 31: Localisation des mesures de températures des transistors

Toutefois, ce type de mesure est difficile à mettre en œuvre, le compromis entre la taille du faisceau laser et la dimension de l'espace grille-drain étant très réduit. D'autre part, la température mesurée n'est pas forcément la température maximale mais souvent une température de surface de la puce, très différente de celle de la zone active.

La définition du phénomène de couplage thermoélectrique n'est pas aisée et la localisation d'une source de chaleur sous-surfacique au niveau des jonctions Drain-Grille reste à parfaire.

Du point de vue thermique, le challenge pour ces nouvelles technologies consiste à modéliser correctement l'empilage de fines couches de matériaux ayant des propriétés thermiques très différentes, comme schématisé Figure 32. Bien évidement leur caractérisation reste une problématique majeure à résoudre pour les utilisateurs de puces encapsulées directement noyées dans un boitier électronique.



Technologie AsGa *Technologie GaN*

Figure 32: Nouvelle constitution des amplificateurs de puissance

D'autre part, il est de moins en moins judicieux de dissocier le comportement de la puce de celui du boitier dans laquelle celle-ci va être encapsulée.

Désormais, la prise en compte des contraintes thermiques dans les transistors de puissance est essentielle pour prédire avec précision leur performance électrique.

La réalisation de modèles couplés électrothermiques devient incontournable pour la conception des amplificateurs de puissance à haute performance afin de garantir leur fiabilité.

VI. Modèle analytique d'une puce électronique

L'approche analytique est également utilisée pour proposer une solution exacte puis la comparer aux résultats délivrés par le logiciel Icepak®.

Des publications **[DITRI, 2007]**, **[MARANI, 2010]**, **[MUZYCHKA, 2013]**, **[BAGNALL, 2014]** ont déjà traité la problématique de la variation de la conductivité afin de déterminer la répartition de température d'un transistor doté de multiples grilles.

Ces différents auteurs supposent le flux de chaleur comme monodirectionnel, de la source surfacique vers la base de la puce, ayant une température imposée ou un coefficient d'échange.

Cette hypothèse peut être cohérente sur quelques types de boitiers où tout est fait pour transférer le maximum de chaleur vers la carte, mais ne correspond pas à la réalité dans la plupart des cas.

Aucun d'eux ne considère le fait que la génération de la chaleur puisse être interne à la puce. Pour cela, il est nécessaire de réviser les conditions de continuité thermique inter-couches.

- Pour une source localisée à l'interface entre la couche s et s+1.

$$\theta_{s+1}(x,y,z)|_{z=z_s} = \theta_s(x,y,z)|_{z=z_s}$$

$$kz_{s+1} \cdot \frac{\delta\theta_{s+1}(x,y,z)}{\delta z}\bigg|_{z=z_s} - kz_s \cdot \frac{\delta\theta_s(x,y,z)}{\delta z}\bigg|_{z=z_s} = e(x,y)$$

Où e(x, y) est la fonction du flux de chaleur appliquée entre deux couches adjacentes.

La forme des expressions des températures locales et moyennes reste identique, seule diffère dans le cas d'une source encastrée, l'expression du profil suivant l'axe z désigné par $\omega_{m,n,i}(z)$ lequel est remplacé par l'expression $\omega e_{m,n,i}(z)$ ci-après.

$$\begin{cases} 0 \le z \le z_s \Longrightarrow \ \omega e_{m,n,i}(z) = \dfrac{Ner_{m,n,i}}{Der_{m,n,i}} \cdot \left[\omega c_{m,n,i}(z - z_{i-1}) + \dfrac{\chi u_{m,n,i}}{k z_i} \cdot \omega s_{m,n,i}(z - z_{i-1}) \right] \cdot e^{(z-Hb)\cdot r_{m,n,i}} \\ z_s \le z \le Hb \Longrightarrow \ \omega e_{m,n,i}(z) = \dfrac{Neu_{m,n,i}}{Deu_{m,n,i}} \cdot \left[\omega c_{m,n,i}(z_i - z) + \dfrac{\chi r_{m,n,i}}{k z_i} \cdot \omega s_{m,n,i}(z_i - z) \right] \cdot e^{-(z+Hb)\cdot r_{m,n,i}} \end{cases}$$

Les relations $Ner_{m,n,i}$, $Der_{m,n,i}$, $Neu_{m,n,i}$ et $Deu_{m,n,i}$ sont données en Annexe A.

Nous avons désormais les expressions nécessaires à analyser et comparer le comportement d'un ensemble de sources de chaleur montées sur un matériau semi-conducteur.

Ces différentes expressions considèrent une température d'embase imposée. L'application d'une condition de troisième espèce telle que l'approche proposée par K. R. Bagnall [BAGNALL, 2014] ne peut être appliquée lorsque le coefficient d'échange thermique est faible.

VII. Réalisation d'un modèle de transistor

Un modèle analytique pour illustrer cette problématique a été développé puis comparé aux résultats numériques d'Icepak®.

Celui-ci est établi sur la base d'une puce AsGa en provenance de la société United Monolithic Semi-conductor (UMS).

Celle-ci est composée d'un ensemble de 8 transistors à effet de champ MesFet multi-doigts, lesquels sont localisés à divers endroits comme le montre sur la Figure 33.

La taille de gravure de cette vieille technologie de transistors est de 0.75µm.

Seules quatre zones significatives en termes de puissance ont été conservées.

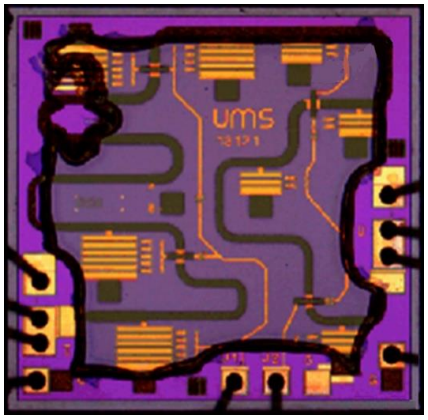


Figure 33: Vue surfacique d'une puce industrielle de chez UMS

Les principales caractéristiques de la puce et de ces transistors sont résumées ci-après.

- Longueur, largeur et épaisseur de la puce: 1.5mm, 1.5mm et 0.1mm
- Semi-conducteur: AsGa-1 (Table 10)
- Longueur, largeur de grille: 0.75µm, 200µm
- Nombre et pas des doigts : 5 doigts, espacés de 25µm
- Densités de puissance par largeur de grille: 0.5W/mm et 0.75W/mm,
- Puissance dissipée et température de fond de puce: 2.5W et 60°C

La numérotation des quatre transistors modélisés (TEC) est déclinée sur la Figure 34. Ces transistors sont soumis à des densités de puissance différentes. Les puissances dissipées sont respectivement de 0.5W pour les TEC_1 et TEC_3 et à 0.75W pour les TEC_2 et TEC_4.

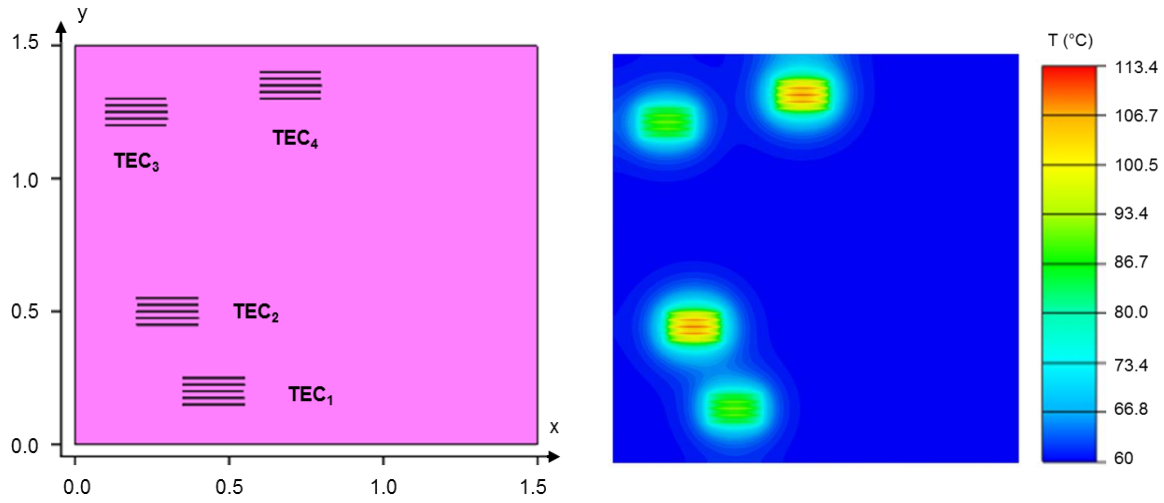


Figure 34: Modèle analytique et vue thermique de la puce modélisée

La position relative des différents doigts de chacun des transistors ainsi que les résultats des modèles analytiques et numériques sont données en Annexe C.

Les écarts calculés à partir des températures centrales et moyennes des doigts de chacun des transistors analytique est inférieure à 2%. La précision du modèle numérique réclame un maillage très fin, autour des doigts.

La cartographie thermique de la Figure 34 confirme bien que la température de la surface de la puce est non homogène.

Les contraintes thermiques sont concentrées sur les différents doigts des transistors. Le reste de la surface est pratiquement égale à la température imposée du fond de puce, à savoir 60°C.

Les doigts extérieurs du transistor sont nettement moins chauds que les doigts centraux (n°3) comme le démontre la Table 11.

Transistor	Doigt	1	2	3	4	5
TEC_1 0.5W/mm	$Tmax_{MA}$	101.5	106.7	108.3	106.9	101.8
	$Tmax_{MN}$	101.4	106.3	107.8	106.5	101.7
	ΔT %	0.2	0.9	1.0	0.9	0.2
TEC_2 0.75W/mm	$Tmax_{MA}$	124.6	133	135.4	132.9	124.4
	$Tmax_{MN}$	124.6	132.4	134.6	132.3	124.3
	ΔT %	0.1	0.8	1.1	0.8	0.2

Table 11: Impact de la correction des températures des doigts

Pour les transistors TEC_1 et TEC_2, l'écart sur les températures centrales des doigts est respectivement de 6.8°C et 11°C.

La considération de la diminution de la conductivité thermique accroît leur température respective, comme le montre la Table 12. Le fait de négliger cette correction au niveau de la conception puce va par conséquent engendrer une accélération de son vieillissement.

D'autre part, la résolution de l'équation de la chaleur nécessite de fixer une valeur de conductivité thermique à une température donnée. La Table 12 fournit les températures vues par les doigts centraux des transistors TEC_1 et TEC_2 lorsque la conductivité thermique de

l'arséniure de gallium est prise à 60°C, à savoir 40.351W.cm^{-1}.K^{-1}, pour des températures de fond puce comprise entre 40°C et 100°C.

Transistor	Modèle	T fond puce	40	50	60	70	80	90	100
TEC_{13} 0.5W/mm	k=f(T)	Tc_{MA}	84.0	95.8	108.3	119.4	131.2	143.1	155.0
		Tc_{MN}	84.2	96.0	107.8	119.6	131.5	143.3	155.2
	$k=k_{60°C}$	Tc_{MA}	84.3	94.3	104.3	114.3	124.3	134.3	144.3
		Tc_{MN}	83.7	93.7	103.7	113.7	123.7	133.7	143.7
TEC_{23} 0.75W/mm	k=f(T)	Tc_{MA}	109.6	122.5	135.4	148.3	161.2	174.2	187.2
		Tc_{MN}	108.9	121.7	134.6	147.5	160.4	173.4	186.3
	$k=k_{60°C}$	Tc_{MA}	106.2	116.2	126.2	136.2	146.2	156.2	166.2
		Tc_{MN}	105.4	115.4	125.4	135.4	145.4	155.4	165.4

Table 12: Impact de la correction des températures des doigts

Pour cette condition, la température maximale ou moyenne des doigts est fortement sous-estimée si la température de fond de puce excède la température de 60°C. Une correction systématique de la valeur de la conductivité thermique de la puce par rapport à la température imposée en fond de puce induit le même phénomène avec toutefois une amplitude moins accentuée. D'autres options comme par exemple de fixer celle-ci sur la température maximale des doigts centraux peuvent être envisagées mais toutes auront un impact sur la précision du modèle.

L'évolution des dimensions des sources ou de la puce va accroitre cette divergence. La Table 13 décline les influences relatives d'une réduction de la longueur des doigts à 0.5µm et d'un épaississement de la puce à 0.2mm.

	Longueur de grille	0.75µm	0.5µm	0.75µm
Transistor	Epaisseur de la puce	0.1mm	0.1mm	0.2mm
TEC_{13} 0.5W/mm	Tc_{MA}	108.3	110.2	118.1
	Tc_{MN}	107.8	110.1	117.7
	ΔT %	1	0.2	0.8
TEC_{23} 0.75W/mm	Tc_{MA}	135.4	138.5	149
	Tc_{MN}	134.6	138.3	148.2
	ΔT %	1.1	0.3	0.9

Table 13: Influence de l'épaisseur de puce sur les températures des doigts

L'épaisseur de la puce a un impact majeur sur les températures vues par les TECs, celle-ci doit être consciencieusement maillée pour garantir la qualité du modèle numérique.

D'autre part, la localisation de la dissipation des puces reste un point difficile à statuer ainsi si l'on suppose l'enfouissement à 1µm de profondeur des sources de chaleur relatives aux doigts des 5 TECs les températures maximales vues par la puce vont chuter.

Transistor	Profondeur de la source	surfacique	1µm	
TEC_{13} 0.5W/mm	Tc_{MA}	108.3	101.7	-6%
	Tc_{MN}	107.8	100.3	-7%
	ΔT %	1	3.4	
TEC_{23} 0.75W/mm	Tc_{MA}	135.4	124.9	-7%
	Tc_{MN}	134.6	122.5	-9%
	ΔT %	1.1	3.7	

Table 14: Influence d'une dissipation thermique sous-surfacique

Il est clair que la prise en compte de la dépendance de la conductivité thermique en fonction de la température est indispensable pour traduire correctement le comportement des puces électroniques au sein de leur boîtier. La position des sources de chaleur des puces sera toujours considérée surfacique.

Ces différents résultats démontrent la pertinence de l'outil Icepak® pour identifier les points chauds d'une puce industrielle et caractériser d'une manière cohérente le comportement thermique de son semi-conducteur.

VIII. Modélisation transitoire des semi-conducteurs

La chaleur spécifique et la masse volumique des semi-conducteurs vont également intervenir dans l'évolution temporelle des températures d'un composant électronique.

- La capacité thermique d'un matériau est la quantité de chaleur nécessaire pour augmenter la température d'un degré Kelvin par unité de masse. Plus la chaleur spécifique est importante, plus le temps nécessaire pour atteindre le régime permanent est décalé.
- La masse volumique représente la masse par unité de volume. C'est un paramètre crucial dans les applications aéronautiques où la réduction du poids d'un équipement électronique est un objectif permanent.

Pour ces paramètres, on observe également une dépendance vis-à-vis de la température, en particulier pour la chaleur spécifique. Cette sensibilité est définie par l'Équation 4.

$$C_p(T) = C_{p,ref} + C_{p,1}.\frac{\left(\frac{T}{T_{ref}}\right)^{\beta} - 1}{\left(\frac{T}{T_{ref}}\right)^{\beta} + \frac{C_{p,1}}{C_{p,ref}}}$$

Équation 4: Loi de chaleur spécifique variable en fonction de la température

Les paramètres de l'Équation 4 sont donnés dans la Table 15, pour quelques matériaux.

Material	T_{ref} (K)	Cp,ref ($J.K^{-1}.kg^{-1}$)	Cp,1 ($J.K^{-1}.kg^{-1}$)	β	ρ ($kg.m^{-3}$)
Si	300	711	255	1.85	2330
AsGa	300	322	50	1.6	5318
GaN	300	431	108	1.75	6150

Table 15: Paramètres des modèles de capacités thermiques

Ainsi, la capacité thermique du silicium et de d'arséniure de gallium à 125°C sont respectivement égale à 796.6$J.K^{-1}.kg^{-1}$ et à 338.6$J.K^{-1}.kg^{-1}$. En fonction des gradients vus par

le semi-conducteur, comme illustré précédemment, ces lois de variation devront être introduites dans l'outil de simulation retenu.

IX. Statut sur la modélisation des puces électroniques

Cette partie a permis de fournir un panorama succinct de la conception des puces électroniques et des challenges propres à leur modélisation thermique. L'origine des différents phénomènes de transfert de la chaleur a été abordée.

Nos travaux ont traité les spécificités du transfert thermique par conduction qui est le principal mode de transfert des circuits intégrés encapsulés dans les boitiers électroniques. L'impact de la dépendance des propriétés des semi-conducteurs vis-à-vis de la température a été explicité ainsi que la pertinence d'une dissipation surfacique uniforme appliquée aux puces électroniques.

Les technologies des boitiers électroniques sont désormais à expliciter avant de se concentrer sur la réduction de leur modèle numérique, notre propos.

Le boîtier électronique qui encapsule la puce a plusieurs fonctions:

- Garantir l'intégrité des signaux des entrées-sorties de la puce,
- Connecter le semi-conducteur à la carte à partir des connexions fiables,
- Protéger le circuit vis-à-vis des contraintes exercées par l'environnement extérieur, telles que les contraintes physico-chimiques ou mécaniques et thermiques,
- Assurer une bonne dissipation thermique des fonctions de la puce.

Les diverses enveloppes externes des boîtiers sont classées par des normes développées par des organismes comme l'IPC (« Institute for Interconnection and Packaging Electronic Circuits ») et le JEDEC (« Joint Electron Device Engineering Council »).

L'analyse se polarise sur les composants commerciaux à enrobage plastique, lesquels sont en évolution constante pour répondre aux besoins de tous les secteurs industriels.

X. Vision des principales technologies de composant

L'évolution technologique des boîtiers est tirée par les marchés tels qu'aujourd'hui les PC portables ou les téléphones portables pour lesquels l'intégration est un facteur prépondérant. Cet élan entraîne la disparition des technologies les plus anciennes pour des raisons de coût de production ou de performances, on parle alors d'obsolescence. Une fois matures de nouvelles versions optimisées sont proposées afin de réduire constamment la taille des équipements.

Les boitiers électroniques peuvent être caractérisés par la technique de leur report sur une carte électronique. Ainsi, deux catégories sont distinguables:

- Les composants dits à « piquer » dont les connexions électriques vont traverser la structure de la carte. Ceux-ci sont dotés de pattes, lesquelles sont insérées puis soudées dans des trous métallisés percés dans l'épaisseur de la carte. Cette technique est désignée par « Plated Through Hole », ou PTH, par les anglo-saxons.
- Les Composants à Montage Surfacique désigné par l'acronyme CMS ou par l'anglicisme « Surface Mounted Devices », ou SMD. Ceux-ci sont montés sur les deux faces d'un substrat constitué de multiples couches par un soudage dit à la vague.

Les principaux boitiers caractéristiques de ces deux catégories sont listés ci-après

- Through-hole Package:

  Transistor Outline package (TO), Dual-In-line Package (DIP), Pin Grid Array (PGA).

- Surface Mount Package:

  Small Outline package (SO ou SOP), Small Outline Transistor (SOT), Plastic Leaded Chip carrier (PLCC), Plastic Quad Flat Pack (PQFP), Plastic Ball Grid Array (PBGA), Chip-Scale Package (CSP), Quad Flat No-lead package (QFN), Micro Lead Frame package (MLF).

La majorité de ces boitiers est référencée comme des composants plastiques. En 2008, les composants céramiques représentaient uniquement 1% du marché. Aujourd'hui, leur utilisation reste réservée à des applications très spécifiques pour les microprocesseurs, les ASICs ou la réalisation de boitiers dits hermétiques destinés au domaine spatial.

La Figure 35 présente l'évolution des technologies de montage des composants sur une carte électronique. Pour satisfaire la demande accrue de densification, depuis les années 80, les composants à piquer (DIP) après avoir connus plus de 2 décennies de suprématie ont passé le relais aux boîtiers basés sur la technologie CMS **[VAL, 2011]**.

En 2017, seulement 3% des Circuits Intégrés seront soudé par cette technique. Les composants CMS ont permis de fortement densifier les cartes électroniques, autorisant des distances inter-composant courtes lesquelles limitent les effets parasites et améliorent les temps de réponses des signaux.

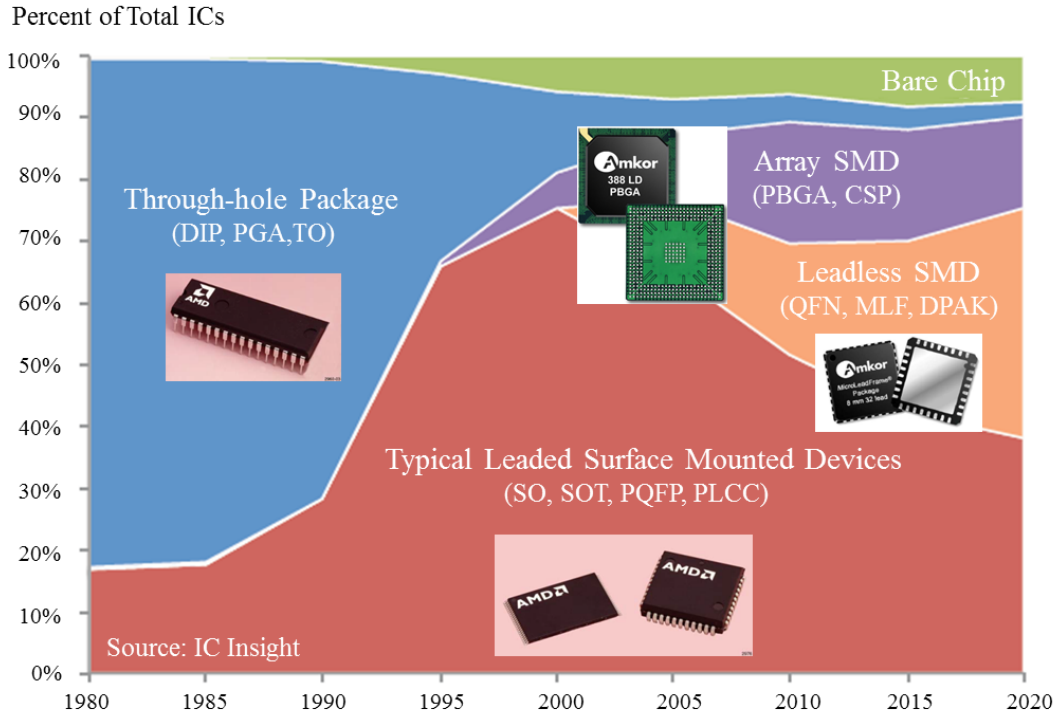


Figure 35: Evolution des technologies de report des composants

Cette transition s'est faite en premier lieu sur la forme des pattes qui sont passées de formes droites à des géométries repliées pour permettre le report en surface des composants. Les capacités de montage de ces composants n'ont cessé d'évoluer jusqu'au début des années 2000. Ainsi le pas inter-pattes est passé de 1.27mm à 0.5mm autorisant un nombre croissant

de pattes par boîtier. A partir de cette époque, une nouvelle technologie de composants basée sur l'utilisation de billes, les BGAs, a permis d'accentuer le nombre de d'entrées-sorties des packages. Celles-ci, ne sont plus disposées sur les faces latérales du composant mais directement sous la plateforme recevant la puce électronique.

Ainsi, pour un boîtier de 15mmx15mmx1.6mm, le nombre d'interconnexion sera de:

- 64 entrées-sorties pour un boitier PQFP au pas de 0.65mm,
- 196 entrées-sorties pour un BGA au pas de 1mm.

En parallèle à l'évolution du nombre de connexion des composants, ceux-ci se sont progressivement ajustés aux dimensions de la puce qu'ils doivent protéger, à l'instar des composants de type Chip-Scale Package, dont la puce représente 80% de la surface occupée par le boitier sur la carte. La hauteur des composants a également été fortement réduite passant de 2.33mm à 0.5mm. Ainsi beaucoup de boitiers CMS présentent des versions « aplaties » tels que Thin ou Shrink ou Thin Shrink Small Outline Package (TSOP, SSOP, TSSOP), Thin ou Fine Quad Flat Pack (TQFP, FQFP). Ces derniers sont désormais abandonnés au profit de boitiers dont les pattes ne sortent plus de l'encapsulant, tels que les boitiers QFNs.

Ceux-ci proposent comme les BGAs un contact direct entre le boitier et la carte et ils sont de plus en plus plébiscités pour leur capacité à évacuer la chaleur.

Cette évolution des types de boitiers est synthétisée sur la Figure 36. Celle-ci décrit également l'émergence des technologies 3D des boitiers de circuits intégrés, tels que les modules dit System-in-Package (SiP).

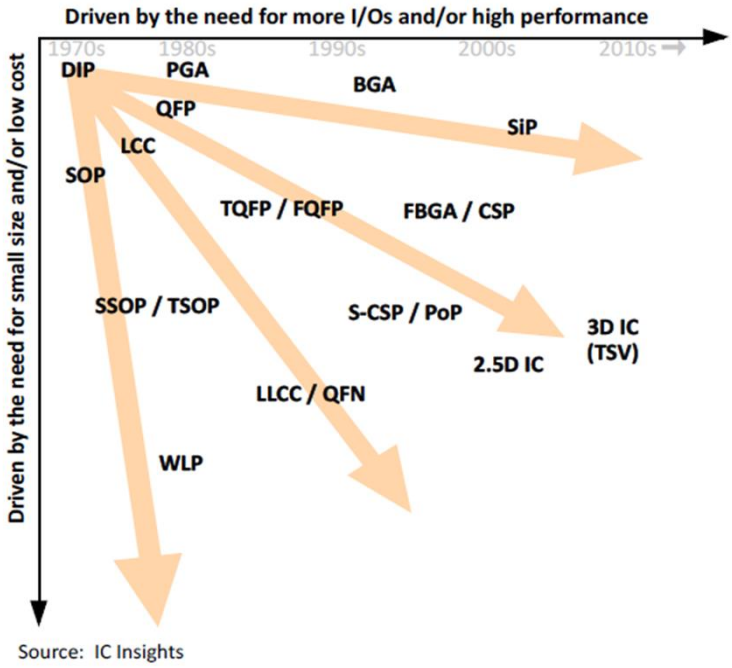


Figure 36: Evolution des technologies de packaging des composants

Pour réduire les inductances et les capacités parasites causées par les interconnexions électriques, le package peut complétement être supprimé, on parle alors de puce « nue », ou « bare die » directement déposée et câblée sur la carte. Néanmoins, le coût de cette technologie reste élevé et ce type de montage est peu répandu. L'implémentation des puces nues requiert un environnement contrôlé pour éviter d'endommager les fonctions.

Une alternative consiste à générer directement sur le wafer des puces l'ensemble des billes d'interconnexions. Cette technologie désignée sous le nom de « Wafer Level Package » (WLP) reste encore marginale en raison des pas ultrafins, de 0.4mm ou moins, nécessaires à leur montage sur la carte, des contraintes thermomécaniques ou des phénomènes d'électro-migration à maitriser.

XI. Les spécificités des technologies de packaging des composants électroniques

Cette partie se focalise uniquement sur les familles de boitiers émergents, en forte croissance ou matures décrits par la Figure 36, ou les moins susceptibles d'être frappés d'obsolescence.

Le rapport édité par McClean, en 2014, fournit une prévision du poids de chacune des familles, avec un chiffre d'affaire en hausse passant 168.7 en 2012 à 224.1 milliards de dollars, en 2017. Celle-ci montre que des boitiers matures de type « Small Outline package » seront toujours massivement utilisés, 30% du marché.

Ainsi, la conception des boitiers suivants est explicitée:

- Small Outline package (SO ou SOP), Small Outline Transistor (SOT),
- Quad Flat No-lead package (QFN), Micro Lead Frame package (MLF),
- Ball Grid Array (PBGA), Chip-Scale Package (CSP),
- Multi-Chip Package (MCP), System-In-Package (SiP).

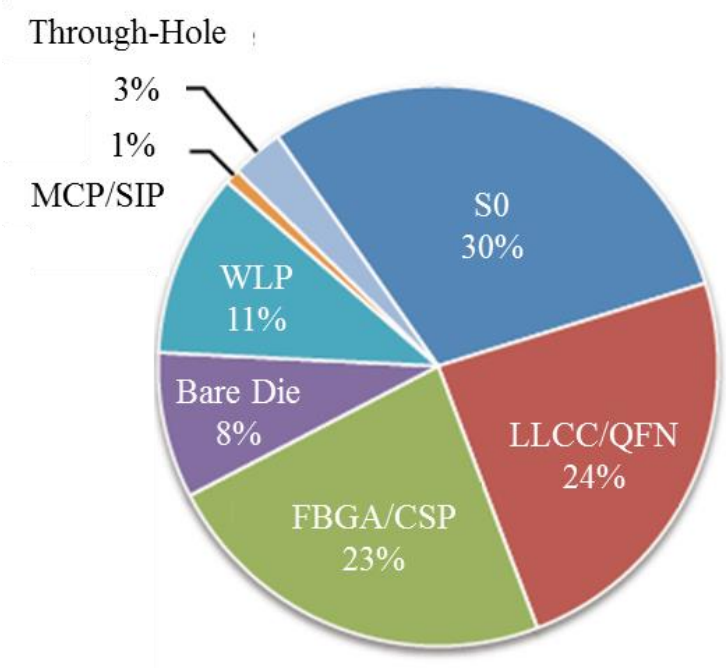


Figure 37: Projection des ventes de Circuits Intégrés en 2017

La majorité des études thermiques se polarise sur les Circuits Intégrés, alors que les composants dits passifs, souvent omis, subissent également une densification accrue et la maitrise de leur conditions de fonctionnement s'avère aussi complexe. D'autre part, ils représentent la majorité des composants d'une carte électronique et leur impact sur sa fiabilité est non négligeable.

A titre d'exemple, la répartition des composants de la carte industrielle, Figure 2, est déclinée dans la Figure 38. Celle-ci confirme le poids des composants passifs et la nécessité de correctement modéliser leur comportement thermique.

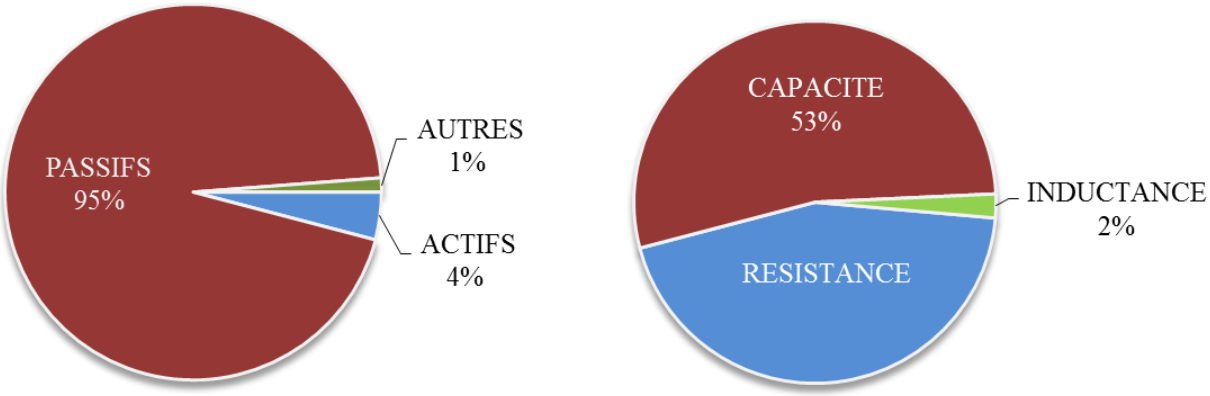


Figure 38: Représentation des composants passifs d'une carte électronique

Aussi, ces trois types de composants passifs seront abordés, à savoir :

- Les résistances ou Thick and Thin Film Resistor,
- Les capacités ou Capacitor Passive Device (CPD)
- Les inductances ou Inductor Passive Device (IPD).

XII. Les boitiers SO et SOT

Les boîtiers SO (incluant SOP, SOJ, SSOP, TSOP et TSSOP) ont dominé le marché durant les deux dernières décennies pour les petits nombres d'entrées-sorties. Ils commencent à décliner au profit des boitiers QFNs et CSPs.

Les boitiers SOT restent toutefois un boitier standard pour les fonctions simples telles que les transistors ou les diodes nécessitant un faible encombrement, un nombre d'entrées-sorties limité et un poids assez léger. Ce sont des composants CMS comportant deux rangées de broches. La puce est généralement collée sur une plateforme en cuivre ou en alliage de cuivre-fer ou en alliage fer-nickel. La plateforme ou « chip carrier » et les pattes sont réalisées en même temps par une attaque chimique. La puce est reliée aux pattes par des fils d'or. L'ensemble est ensuite placé dans un moule préchauffé dans lequel la résine est injectée sous pression à une température de 85°C afin de diminuer sa viscosité. Enfin, les broches de connexion sont cambrées pour obtenir la forme d'un L.

L'ensemble broche, plateforme, fils de câblage et puce est protégé par une résine d'encapsulation comme le montre la Figure 39.

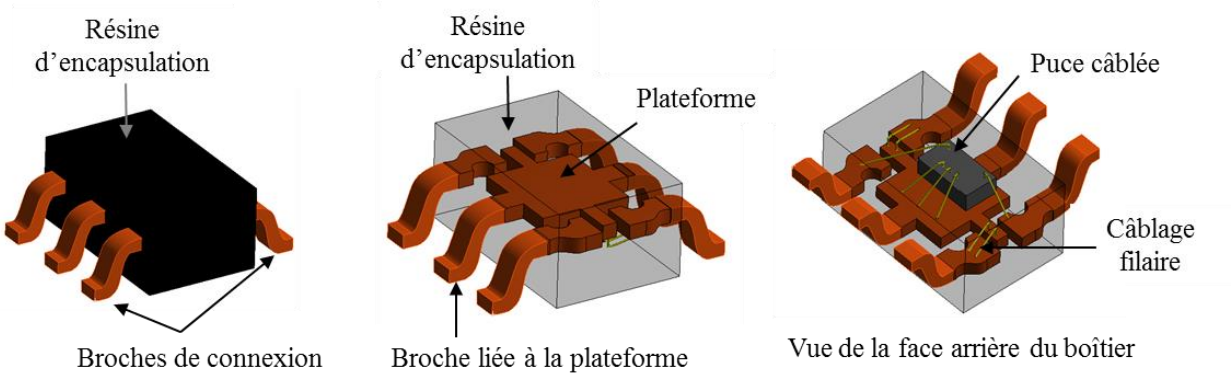


Figure 39: Boitier CMS plastique, possédant 3 pattes en L sur deux cotés

Dans ce type de boitier, la position de la face active de la puce peut être orientée vers le haut ou vers le bas tel que dans l'exemple de la Figure 39.

Le câblage filaire est réalisé à partir de fil d'or pratiquement pur (99.99%). Le diamètre typique est de 1 mil soit 25.4µm.

Du point de vue thermique, le transfert de chaleur de ce type de composants miniaturisés se fait essentiellement par la ou les pattes connectées à la plateforme. Celles-ci vont drainer le flux vers la structure de la carte et la nature du matériau de cette structure métallique va fortement influencer l'évacuation de la chaleur. Cet impact est désigné sous le nom de résistance thermique « junction-lead ». Les principaux alliages commerciaux utilisés sont:

- ALLOY 42 un alliage Fer-nickel dont la conductivité thermique est 13W.cm^{-1}.K^{-1},
- OLIN C7025 en cuivre-nickel dont la conductivité thermique est 170W.cm^{-1}.K^{-1},
- OLIN C194 en cuivre-fer dont la conductivité thermique est 260W.cm^{-1}.K^{-1},
- OLIN C151 en cuivre-Zirconium dont la conductivité thermique est 360W.cm^{-1}.K^{-1}.

XIII. Les Boitiers QFN et MLF

Beaucoup de fabricants de composants ont remplacé les boitiers SOIC par des QFNs aussi connu sous la désignation MLFs. La recherche de pas toujours plus fins de l'ordre de 0.5mm fragilise la mise en forme des pattes et pose la question de leur coplanarité. Ce problème a été résolu avec l'intégration des boitiers QFNs. Les broches du boitier au pas de 0.5mm sont droites, courtes et noyées dans la résine d'encapsulation pour réduire les dimensions externes du composant au plus près de celles de la puce, Figure 40.

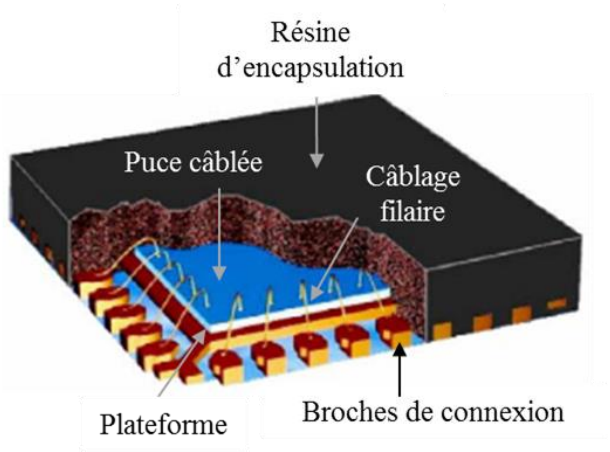
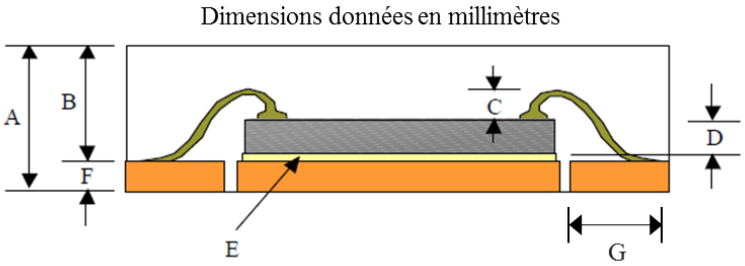


Figure 40: Boitier CMS plastique, possédant 32 broches au pas de 0.5mm

Ainsi, ils ont une inductance électrique moins élevée par rapport aux composants à pattes. Ces boitiers présentent un encombrement très faible au plus près de la puce.

Les QFNs sont des boitiers dont la plateforme de forme carrée ou rectangulaire est directement en contact avec la carte afin de minimiser les interfaces thermiques.

La Table 16 fournit un descriptif de la minimisation de l'empilage des éléments constituants un QFN.



Hauteur du composant (A)	0.8	1.0
Hauteur encapsulant (B)	0.55	0.7
Contrainte du câblage filaire (C)	0.175	0.2
Epaisseur maximale de la puce (D)	0.125	0.25
Epaisseur maximale de colle sous puce (E)	0.05	0.05
Epaisseur typique de la plateforme (F)	0.2	0.2
Longueur minimale de broche pour un fil (G)	0.2	0.2

Table 16: Dimensions caractéristiques d'un composant de type QFN

Le semi-conducteur est collé sur la plateforme faisant office de dissipateur thermique.

La surface occupée sur la carte dépend de la taille de la puce à encapsuler et du nombre d'entrée-sortie nécessaire à son utilisation. Ainsi, la puce AsGa de chez UMS précédemment étudiée est fournie dans un boitier QFN de 3mm de côté ayant 16 pattes. L'occupation du boitier est présentée sur la Figure 41, la puce couvre littéralement la plateforme et seules 8 pattes sont connectées.

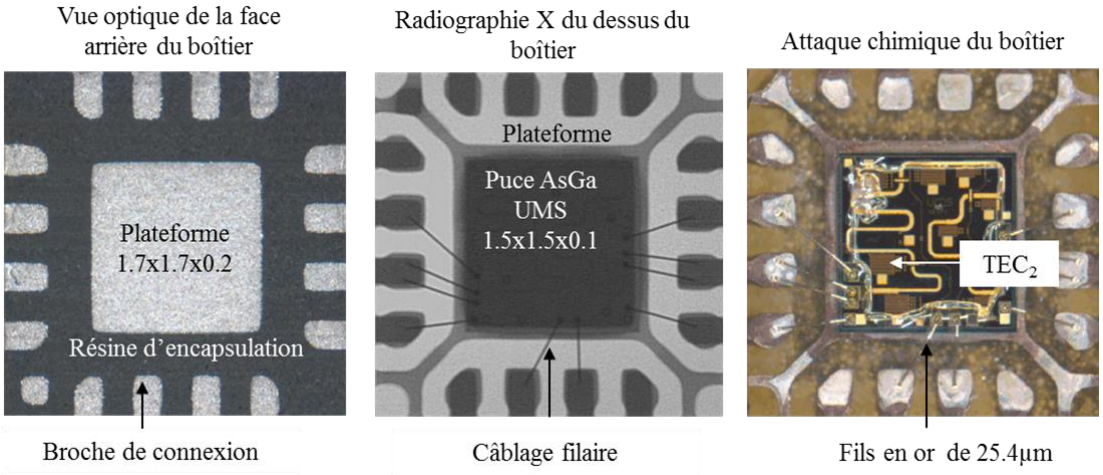


Figure 41: Vision d'un boitier QFN industriel à 16 pattes au pas de 0.5mm

Il est clair que ce type de boitier est dédié à drainer la chaleur de la puce au moyen d'une plateforme métallique très conductrice. En revanche, l'encapsulant possède une très faible conductivité thermique qui pénalise les transferts thermiques vers les faces latérales et supérieure du boitier.

Des versions comportant uniquement deux rangées de pattes sont également disponibles, ce type de composant est référencé sous le nom de « Dual Flat No leads package » (DFN). On retrouve aussi des configurations plus exotiques sur le marché.

Les composants de type Power-Pak présentent des comportements thermiques très similaires. Ce sont aussi des boitiers CMS plastique avec une plateforme métallique excentrée en contact direct avec la carte. A l'instar des QFNs, les « Power-Paks » ne comportent pas de pattes externes mais un ensemble réduit de broches, 2 ou 3, sur un même côté. Ce type de boitier accepte généralement des puces larges et supporte des courants impulsionnels importants.

Les boitiers « Power-Paks » sont généralement équipés de transistors à effet de champ à grille isolée ou « mosfets », de doubles diodes ou de régulateurs. Ces boitiers sont en passe de remplacer les boitiers de type Dx-Pak ayant des pattes en L.

Pour cela le câblage filaire est doublé voire quadruplé comme le montre la Figure 42.

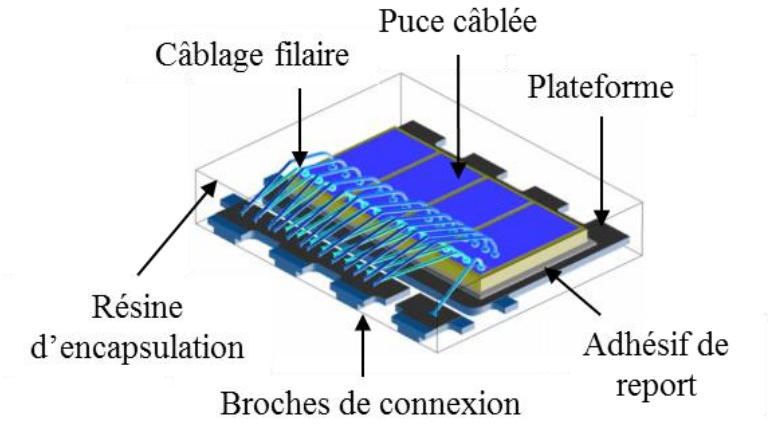


Figure 42: Boitier CMS plastique, de type Power-Pak

Le câblage filaire peut être en aluminium ou plus récemment en cuivre.

La Table 17 montre la relation entre le diamètre du fil et le courant maximum admissible.

	Diamètre du fil		Courant max (A) selon durée d'impulsion		
Nature du fil	µm	mils	10 secondes	1 seconde	0.1 seconde
Aluminium (Al)	120	5	2.75	5.5	13
Or (Au)	25	1	1.5	2.2	3

Table 17: Contrainte thermique liée à la nature du câblage filaire

Du point de vue thermique, le boitier n'est pas symétrique. Ces performances thermiques peuvent être améliorées en remplaçant le câblage filaire par un clip [**DIA, 2013**].

XIV. Les Boitiers BGA et CSP

Les BGAs sont des boitiers plastiques CMS, à sorties surfaciques, sous la forme de billes de brasure, au pas de 1mm. Celles-ci assurent la connexion électrique et mécanique à la carte. Ils sont en majorité destinés aux circuits logiques (FPGA, PLD…), aux microprocesseurs ou aux mémoires, lesquels ont besoin d'un encombrement très faible pour un grand nombre d'entrées-sorties. Celles-ci peuvent fluctuer typiquement de 156 à 1156 pour des boitiers carrés de 15mm de coté à 35mm.

Les billes sont disposées sous forme de matrice, pleine ou non, sous la surface du package. Pour le montage sur la carte, la brasure vient directement des billes. Ceci permet de pallier

aux défauts de coplanarité et d'alignement sur la plage d'accueil. Toutefois, la maitrise du report sur la carte et l'inspection de ces joints brasés restent des problèmes délicats.

D'autre part, les billes sont attachées à un substrat produit avec une technologie presque identique à celle de la fabrication des PCBs. Le plus souvent la résine est du Bismaleimide Triazine (BT) laquelle possède une isolation électrique supérieure. Le substrat est typiquement composé de deux ou de quatre couches de cuivre.

L'épaisseur du substrat est fonction du nombre de couches, celle-ci va varier typiquement de 0.36mm à 0.6mm. Pour un stratifié de 2 couches la métallisation cuivre des plans signaux est de l'ordre de 30µm et l'épaisseur diélectrique est comprise entre 225µm et 425µm.

La transmission du signal est assurée par via ou micro-via. La conception des traces du multicouches est complexe et on retrouve la problématique d'estimer correctement ses propriétés thermiques.

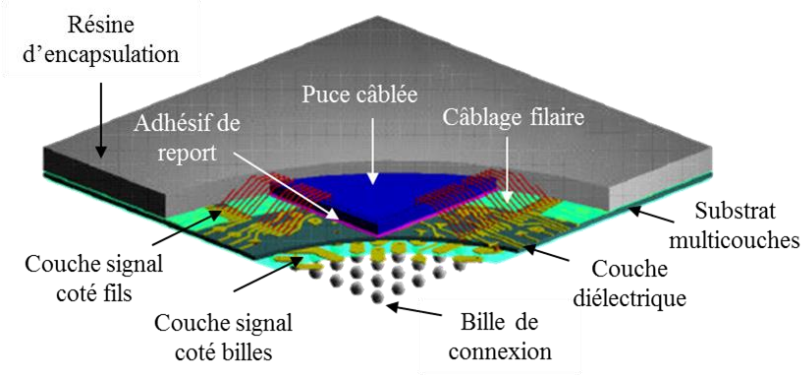


Figure 43: Boitier plastique de type « Ball Grid Area »

Le câblage filaire est réalisé en fil d'or avec un diamètre typique de 0.9 mil, soit 23µm.

La Figure 44 donne une vue d'un empilage des couches d'un substrat industriel et de la complexité du circuit assurant la liaison électrique entre la puce et les billes.

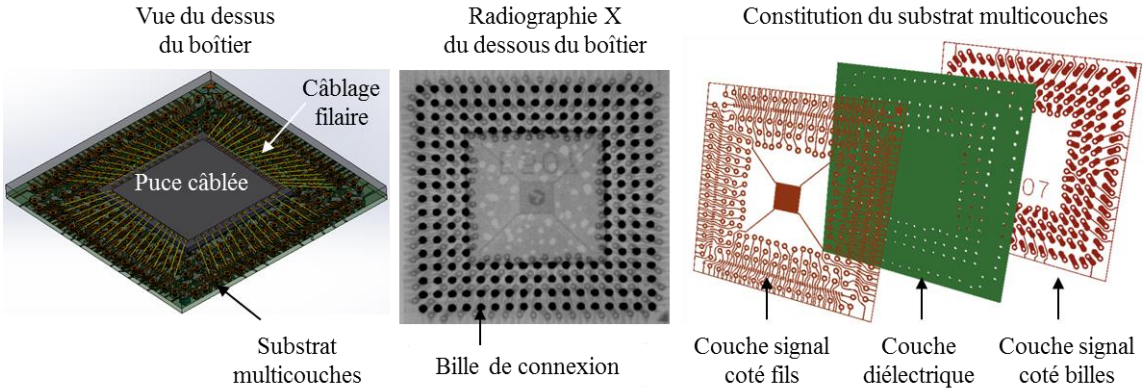


Figure 44: Boitier plastique BGA 208 billes à substrat 2 couches

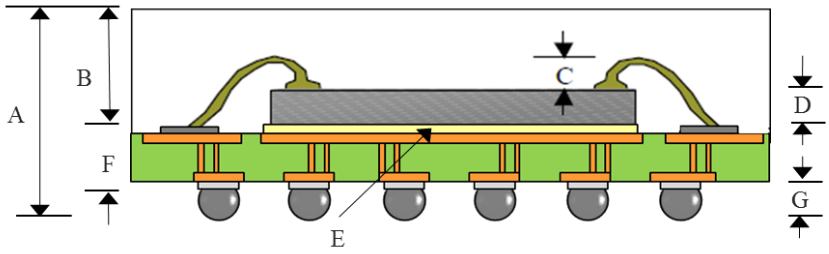
Les boitiers CSPs représentent une évolution des boitiers BGAs en termes de performances électriques, avec des longueurs de connexion très réduites. La taille du boitier à un encombrement très faible au plus proche de la taille de la puce. D'autre part, ils proposent une grande variété de pas inter-bille de 0.5, 0.65, 0.75, 0.8 et 1.0 mm pour couvrir de nombreuses configurations d'entrées-sorties de 36 à 324.

L'apparition de pas de 0.4 mm va encore accentuer la compacité de ces composants. Ainsi, à terme les CSPs seront remplacés par la famille des « Wafer Level CSPs» pour lequel la puce

fait office de boitier avec les billes d'interconnexion directement électro-déposées sur sa surface active. Par ce biais, la puce peut par conséquent être brasée sur la carte.

La Table 16 fournit un descriptif de la minimisation de l'empilage des éléments constituants un boitier « Chip Scale Package ».

Dimensions données en millimètres



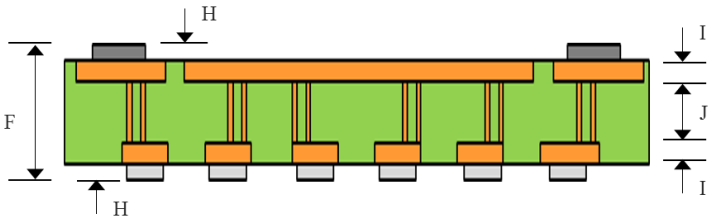
Hauteur du composant (A)	1.0	1.2	1.4
Hauteur encapsulant (B)	0.45	0.5	0.7
Contrainte du câblage filaire (C)	0.15	0.15	0.15
Epaisseur maximale de la puce (D)	0.165-0.175	0.165-0.175	0.330
Epaisseur maximale de colle sous puce (E)	0.05	0.05	0.05
Hauteur finale minimale des billes (G)	0.2	0.25-0.35	0.25-0.35
			
Epaisseur typique du substrat (F)	0.22	0.26-0.36	0.26-0.36
Epaisseur typique du diélectrique (J)	0.1	0.15	0.2
Epaisseur maximale des couches signal (I) • Métallisation cuivre initiale • Recharge métallique des vias	 0.015 0.015	 0.015 0.015	 0.015 0.015
Epaisseur du masque de brasure (H)	0.04	0.04	0.04

Table 18: Dimensions caractéristiques d'un composant de type CSP

Le câblage filaire est réalisé en fil d'or avec un diamètre typique de 1mil.

Bien entendu pour les microprocesseurs le nombre de couches est souvent plus conséquent souvent plus de 10 plans de signaux sont nécessaires. D'autre part, compte tenu de la forte densité de puissance à évacuer, la puce est souvent montée nue afin de pouvoir drainer sa chaleur vers un moyen de refroidissement associé à sa face supérieure.

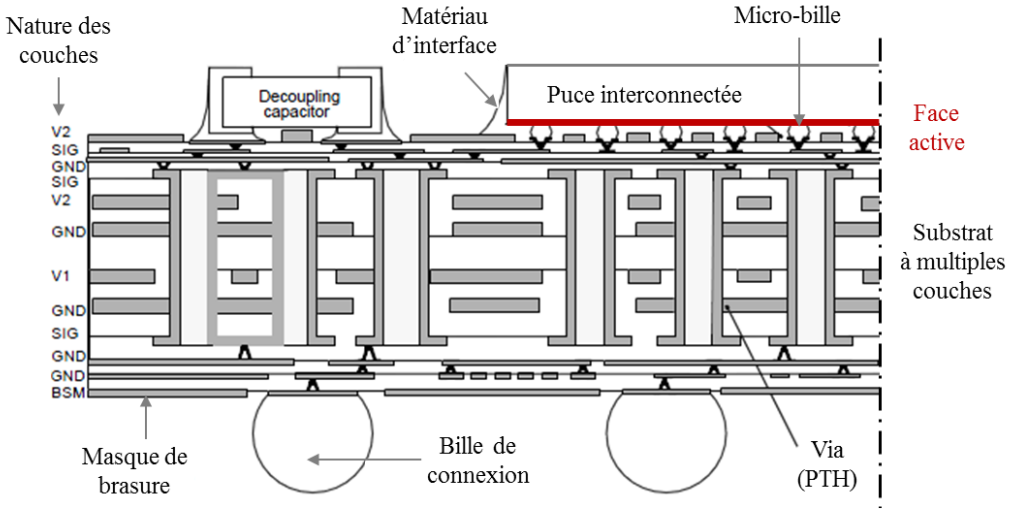


Figure 45: Boitier de type « Flip Chip Ball Grid Area » (source IBM)

Pour ce faire, le montage de la puce sur le substrat est fait par le biais d'une technologie appelée « flip-chip » (FC), Figure 45. A l'opposé du câblage filaire, la face active de la puce est retournée pour être brasée au substrat par des microbilles de brasure ou « bumps ». Celles-ci sont obtenues par électrodéposition lors de la réalisation du wafer. En outre, cette technologie donne de meilleures performances en hautes fréquences en réduisant les effets d'inductance parasites inhérents au câblage filaire. Toutefois le coût de fabrication reste élevé.

Le volume libre entre la puce et le substrat est rempli par un matériau diélectrique assurant l'isolation électrique de la face et une protection mécanique des microbilles.

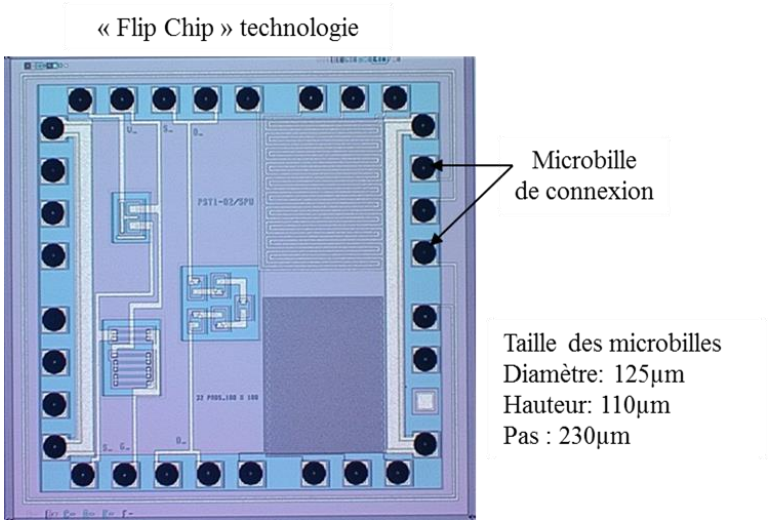


Figure 46: Exemple de puce utilisant la technologie « flip-chip »

Comme tous les packages, les BGAs et les CSPs ont aussi leurs inconvénients. La première contrainte est à chercher au niveau thermomécanique. En effet, des défaillances surviennent sur les billes périphériques aux quatre angles du boitier.

Ainsi des boitiers tels que les LGAs (Land Grid Array) ont vu le jour pour pallier à cette faiblesse. Les points sensibles des BGAs, les billes, sont remplacés par des zones d'interconnexion plus denses que ceux utilisés pour les QFNs. De la même manière que pour les boitiers BGAs, elles sont reliées à un via et ont les surfaces d'impact ont le plus souvent une forme carrée.

XV. Les Boitiers MCP, S-CSP et SIP

Parallèlement à l'optimisation des dimensions et des performances électriques des boitiers conventionnels mono-puce, on assiste depuis une dizaine d'année à l'émergence de composants munis de plusieurs puces afin d'accroitre ou de dupliquer les fonctionnalités.

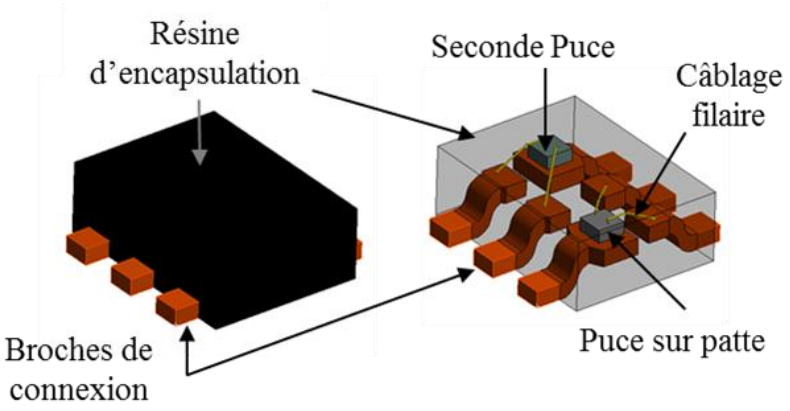


Figure 47: Boitier CMS plastique, possédant 2 puces identiques

Dorénavant des puces sont montées côte à côte, sur des pattes ou des plateformes séparées ou bien sur la même palette ou sur des plateformes communes, respectivement les Figure 47 et Figure 48.

Ces configurations planaires sont assimilées aux composants MCPs ou Multi-Chip Modules (MCM) lesquels suppriment un ensemble de boitiers unitaire au profit d'un boitier unique capable d'intégrer ces différentes fonctions et d'optimiser leur interconnexion.

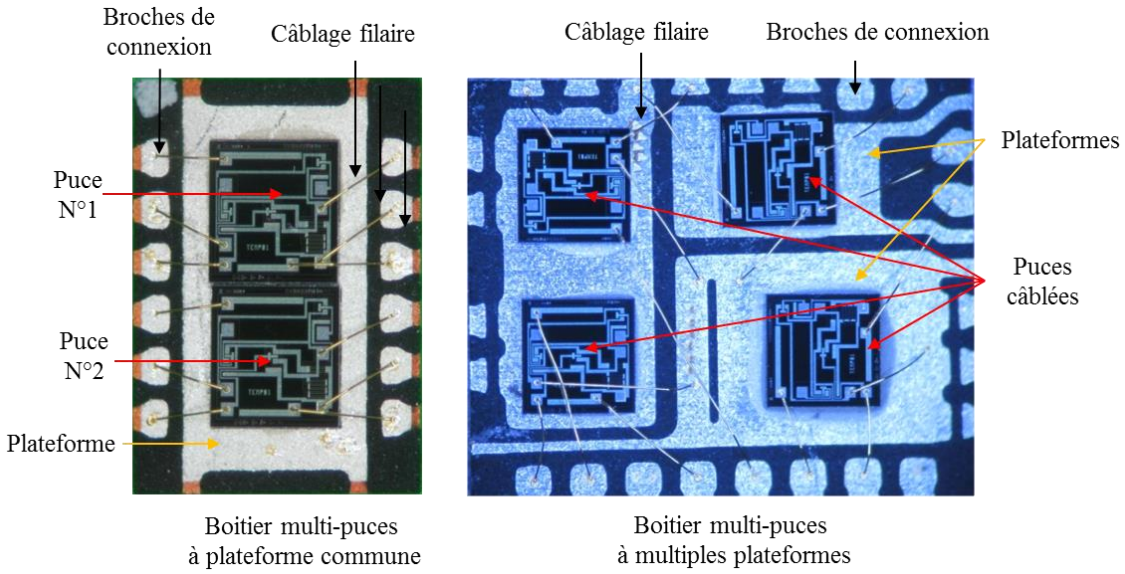


Figure 48: Boitiers CMS plastiques à multiples puces

Ces dernières années les boitiers MCPs ont massivement été utilisés dans les téléphones mobiles pour superposer divers types de mémoire: DRAM, SRAM, flash. Cet empilement vertical des puces mémoires répond à la double exigence de performances de plus en plus importantes et de compacité des appareils mobiles.

Ce type de composant est désigné par la lettre S pour « stacked » à l'instar des boitiers S-CSPs, Figure 49. Ceux-ci peuvent présenter des empilages de plusieurs puces en fonction de

l'application et des performances exigées. Cette technologie autorise un gain substantiel en termes d'implantation sur la carte.

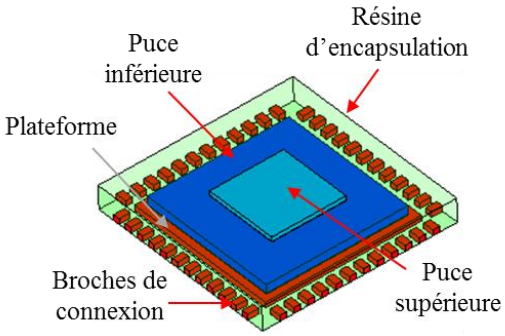


Figure 49: Boitier CMS plastique, de type « pyramid stacked QFN »

La Figure 49 démontre que pour un format standard de boitier leur topologie interne est désormais très hétéroclite et de plus en plus complexe à appréhender.

La solution SiP (« System in Package ») est une alternative aux modules MCMs. Un SiP désigne un système avec une intégration verticale ou horizontale de semi-conducteurs de technologies différentes. Il utilise souvent des boîtiers hétérogènes ayant diverses fonctions, le tout encapsulé dans un format standard de boitier. Ce type de packaging peut également englober des composants passifs ou actifs, Figure 50.

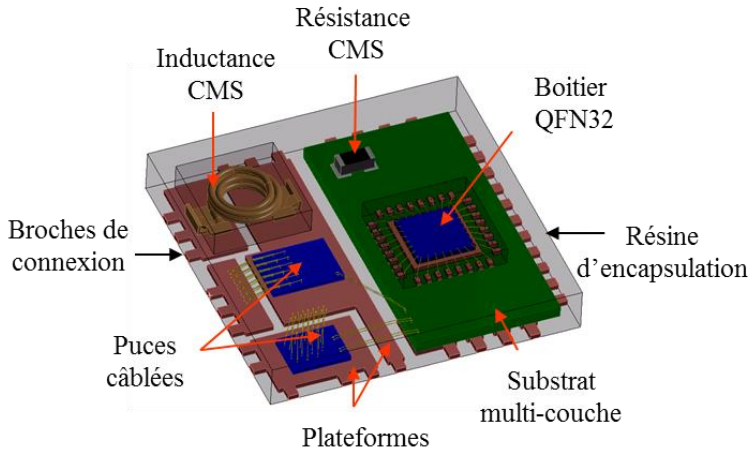


Figure 50: Convertisseur DC-DC représentatif des « System-in-Packages »

Il est possible de réutiliser certaines briques de bases, qui sont traditionnellement placées à l'extérieur, sur la carte de circuit imprimé ou PCB, et de les assembler pour créer de nouvelles fonctions et ainsi accélérer la mise sur le marché des produits.

Ces configurations tridimensionnelles (3D-IC) favorisent la mise en place d'une architecture avantageuse en termes de fonctionnalité, de performance et de coût, par rapport aux configurations planaires conventionnelles.

En définitive les boitiers SiPs ont plusieurs avantages :

- un faible coût à la conception, un seul composant est testé et assemblé,
- de meilleures performances électriques,
- une réduction de la consommation vue que les interconnexions entre les puces sont plus courtes que les connexions classiques.

XVI. Les résistances ou « Thick and Thin Film Resistor »

Cette partie se concentre sur les caractéristiques des résistances CMS car elles représentent la technologie la plus utilisée à l'heure actuelle. Les résistances sont communes à tous les circuits électroniques et peuvent être un élément crucial du processus de conception.

Les résistances sont facilement repérables sur une carte électronique. Il s'agit d'un composant passif bidirectionnel. La loi d'Ohm régit le fonctionnement des résistances. La tension est proportionnelle au courant. Le coefficient de proportionnalité définit la résistance ohmique. Celle-ci est liée à la longueur, la section et la résistivité électrique du matériau traversé par le courant. La chaleur est induite par le courant traversant la résistance et elle augmente la température de ce dernier. Les pertes thermiques sont dues essentiellement à l'effet joule.

Les résistances CMS se présente sous une forme rectangulaire, Figure 51.

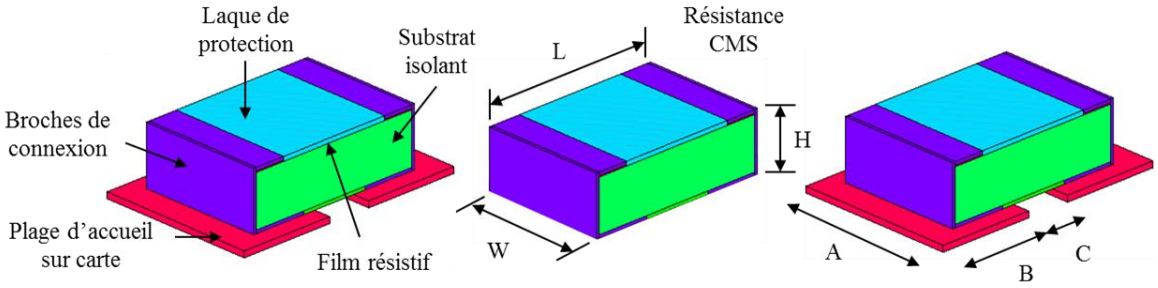


Figure 51: Exemple de résistance CMS couche mince

Le matériau constitutif de la résistance se dilate et se rétracte en fonction du changement de température; ce qui implique des contraintes mécaniques sur les deux liaisons entre la résistance et la carte électronique. Ces terminaisons placées aux deux extrémités du corps de la résistance sont en nickel.

La partie résistive est constituée d'une mince couche métallique ou d'oxyde métallique déposée sur un substrat le plus souvent en céramique. L'épaisseur, mince (Thin) ou épaisse (Thick), et la longueur détermine la valeur de la résistance ohmique.

- Les couches épaisses sont dédiées aux applications ayant des tensions ou des impulsions élevées qui demandent des résistances à faible valeur ohmique. Le matériau du substrat est typiquement une alumine (Al_20_3) ayant une degré de pureté de 96%. Sa conductivité thermique à 300K est de 23.5W.m^{-1}.K^{-1}.
- Les couches minces sont réservées aux résistances de précisions ou aux fréquences élevées. Cette technologie offre une bonne stabilité de la résistance ohmique en fréquence mais n'autorise pas la réalisation de très petites valeurs ohmiques. Le matériau du substrat est une alumine à haut degré de pureté, 99.5%, sa conductivité thermique à 300K est de 37W.m^{-1}.K^{-1}.

La conductivité de ces deux céramiques est également dépendante de la température, la valeur de l'exposant α est égale à 1, Équation 3. Les pertes par effet joule doivent être finement analysées. Ces composants miniatures ne supportent que de faible dissipation, bien inférieure à 0.5W.

Compte tenu de la taille des résistances CMS, pouvant être inférieure au millimètre l'évacuation de la chaleur produite par le film de la résistance dépend essentiellement des conditions d'assemblage sur la carte, et plus particulièrement des dimensions de ses empreintes. Celles-ci sont répertoriées dans les colonnes A, B et C de la Table 19.

Une puissance maximale est généralement associée à une taille de boitier, Table 19.

Caractéristiques nominales des boitiers des résistances (dimension en millimètre)								
Code EIA*	Code SI	L	W	H	A	B	C	P_{MAX}
2512	6332	6.3	3.2	0.6	3.5	1.6	3.8	1W
2010	5025	5	2.5	0.6	2.8	0.9	3.8	3/4W
1210	3225	3.2	2.5	0.55	4.8	0.9	2	1/2W
1206	3216	3.2	1.6	0.55	1.6	0.9	2	1/4W
0805	2012	2	1.2	0.45	1.3	0.7	1.2	1/8W
0603	1608	1.55	0.85	0.45	0.9	0.6	0.9	1/10W
0402	1005	1	0.5	0.35	0.6	0.5	0.5	1/16W
0201	0603	0.6	0.3	0.25	0.3	0.3	0.3	1/20W

Table 19: Dimensions normalisées des résistances CSM

* Electronic Industries Alliance standard

A l'instar du standard JEDEC-JESD51 dédié à la caractérisation thermique des circuits intégrés, il existe un standard NF14041-802 édité par le Comité Européen de Normalisation Electrotechnique (CENELEC). Ce comité propose un guide destiné à l'évaluation des performances thermiques des résistances CMS. Ce guide définit également un support de test composé d'un substrat FR4 et d'une seule couche signal surfacique en cuivre d'une épaisseur de 35µm dont le design est repris sur la Figure 52.

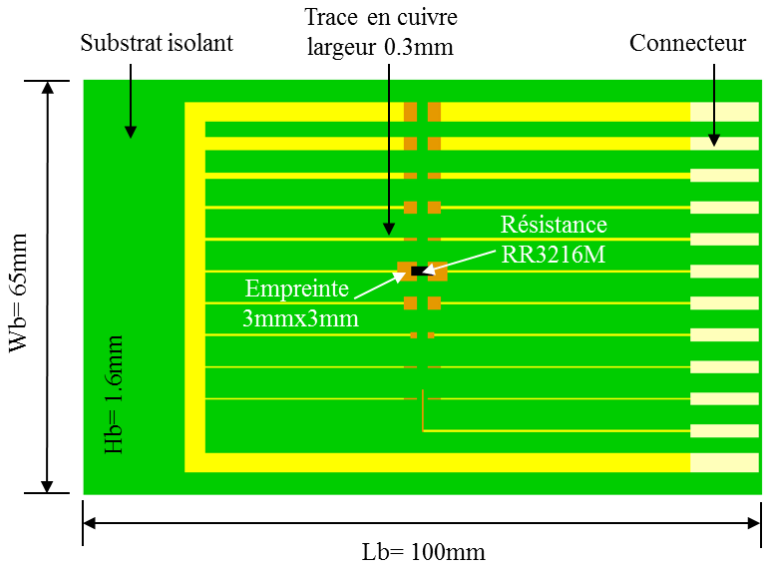


Figure 52: Véhicule de test destiné aux résistances CMS

Sa longueur, Sa largeur et son épaisseur sont respectivement de 100, 65 et 1.6 millimètres.

La Table 20 illustre l'influence de la taille de l'empreinte et de celle de la piste d'alimentation sur la capacité à drainer la chaleur du film de la résistance vers la carte.

Largeur de piste	Taille de l'empreinte	Résistance thermique Film-Ambiante
0.3mm	1mm x 1mm	335°C/W
	2mm x 2mm	282°C/W
	3mm x 3mm	218°C/W
2mm	2mm x 2mm	157°C/W

Table 20: Caractéristique thermique d'une résistance 3216 (ou US 1206)

Ainsi, pour une puissance dissipée de 1/4W et une température ambiante de 25°C, la température de film varie de 64.3°C à 95.5°C, lorsque la largeur de piste est réduite de 2mm à 0.3mm.

Il est clair que la miniaturisation des résistances va amplifier le besoin de quantifier avec précision leur comportement thermique.

De plus, certaines résistances sur la base de substrat en diamant offre pour des applications hyperfréquences la capacité de supporter des puissances de plusieurs dizaines de watt. Le diamant synthétique est utilisé en raison de sa conductivité thermique élevée de 1000 à 2000 $m^{-1}.K^{-1}$ à température ambiante.

En conlusion, le management thermique des résistances CMS d'une carte électronique s'avère délicat, en particulier par rapport à leur nombre, plusieurs milliers.

XVII. Les condensateurs ou « Capacitor Passive Devices »

- Les condensateurs céramiques

Aussi nombreux sur une carte électronique que les résistances, ces composants passifs sont très répandus et ont des encombrements très divers du fait des technologies nécessaires à leur gamme d'utilisation pour différentes applications. Par principe, un condensateur est constitué de deux armatures métalliques séparées par un isolant électrique, Figure 53. La capacité d'un condensateur est proportionnelle aux constantes diélectriques du matériau isolant (ε_0, ε_r) et la surface des électrodes (S). Celle-ci est inversement proportionnelle à la distance inter-électrode (D).

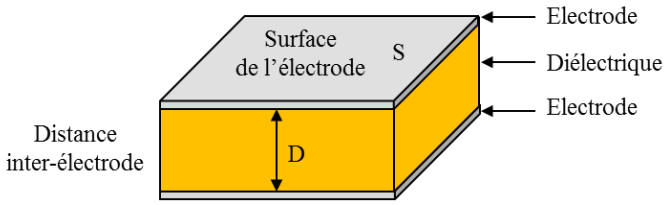


Figure 53: Conception élémentaire d'un condensateur

L'énergie est stockée entre cette paire d'électrodes étroitement espacée. Celle-ci est proportionnelle au carré du voltage (U) appliqué et la valeur de sa capacité (C). La zone active est située au chevauchement de deux électrodes de polarités opposées.

A titre d'exemple industriel, les boitiers CMS de type « Multi-Layer Ceramic Capacitor » intègrent un empilage de multiples électrodes conductrices, isolées entre-elles, par une céramique faisant office de diélectrique. La construction de ce type de condensateur est présentée sur la Figure 54.

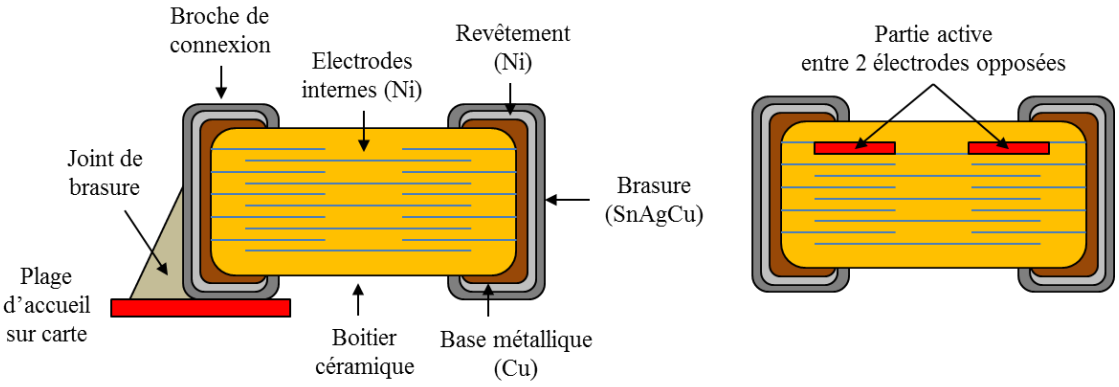


Figure 54: Exemple de condensateur CMS de type MLCC

Celle-ci montre qu'un grand nombre d'éléments capacitifs sont empilés en parallèle pour accroitre n fois la valeur de sa capacité (n). La distance inter-électrode ne cesse de diminuer, elle est désormais de l'ordre de 0.5µm autorisant la réalisation d'un millier de couches. La minimisation des distances diélectriques est liée à l'utilisation de poudres à base de dioxyde de titane (TiO2) ou baryum titanate (BaTiO3), compactées à chaud (1500-2000°C), dont les grains sont de plus en plus fins.

Les tailles disponibles des condensateurs CMS sont identiques à celles des résistances définies dans la Table 19, on retrouve par exemple les codes 0201 ou 1206.

La connexion électrique est également faite par les 2 broches latérales constituées d'une série de matériaux destinés à garantir la pérennité du report sur la carte. Il est clair que la connaissance des gradients températures vues par les broches des condensateurs est essentielle pour garantir la fiabilité d'une carte électronique. Celle-ci est souvent validée sur des véhicules comparables à celui des résistances, Figure 52.

En environnement sévère ce type de composant est particulièrement exposé.

Des fissures dues à ces contraintes thermiques peuvent apparaitre au sein du diélectrique ou au niveau du joint brasé, Figure 55, détruisant l'intégrité électrique du composant.

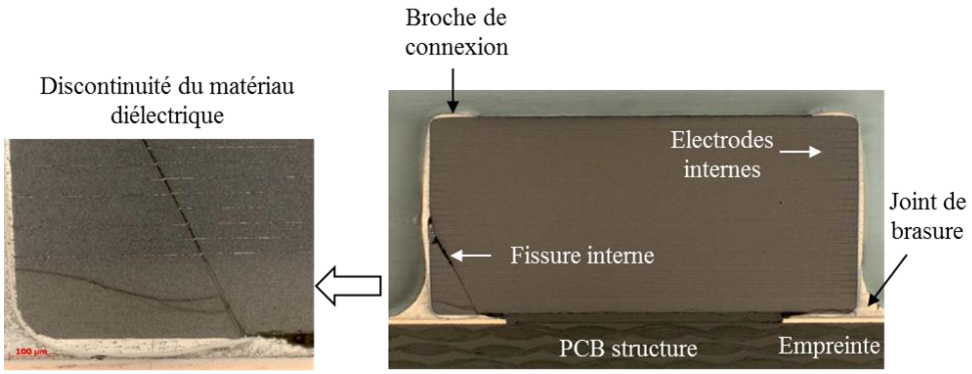


Figure 55: Exemple de défaillance d'un boitier MLCC

D'un point de vue thermique, les pertes par effet Joule sont caractérisées par une résistance électrique cumulative, désignée par « Equivalent-Series Resistance » (ESR). Un avantage des condensateurs MLCC est le fait qu'ils ont une résistance ESR très faible comparée aux autres types tels que les condensateurs électrolytiques.

Les pertes d'un condensateur peuvent être approximées par la formulation suivante:

$$P = ESR \cdot I_{rms}^2 = \frac{2\pi \cdot f \cdot C}{\tan \delta} \cdot U^2 = \frac{2\pi \cdot f \cdot \left(\varepsilon_0 \cdot \varepsilon_r \cdot n \cdot \frac{S}{D}\right)}{\tan \delta} \cdot U^2$$

Équation 5: Expression des pertes thermiques d'un condensateur

Cette dissipation interne doit être efficacement drainée vers la carte pour maintenir la température du matériau diélectrique en de ça de la valeur spécifiée par le fabricant. Celui-ci peut également définir la puissance maximale tolérée par son composant.

L'emploi des boitiers MLCC est en constante augmentation. Ils remplacent progressivement les condensateurs électrolytiques en aluminium et en tantale lesquels utilisent des matériaux diélectriques à base de poudre d'oxyde d'aluminium ou de pentoxyde de tantale.

XVIII. Les inductances ou « Inductor Passive Devices »

Avec les résistances et les condensateurs, les inductances sont la troisième catégorie de composants passifs des cartes électroniques.

Les inductances peuvent être catégorisées en fonction de la méthode de fabrication:

- La technologie dite « wound inductors »:

Le conducteur électrique est un jeu de spires en cuivre, lequel est enroulé autour d'un matériau magnétique à base de poudre de fer mélangée avec un liant en époxy, telles les ferrites. Cette technologie permet d'obtenir de large valeur d'inductance retenue le plus souvent pour des convertisseurs DC-DC. Dans ce cas, le circuit électrique est constitué d'un nombre réduit de tours de fils en cuivre de forte section pour minimiser leur résistance électrique et admettre de fort courant.

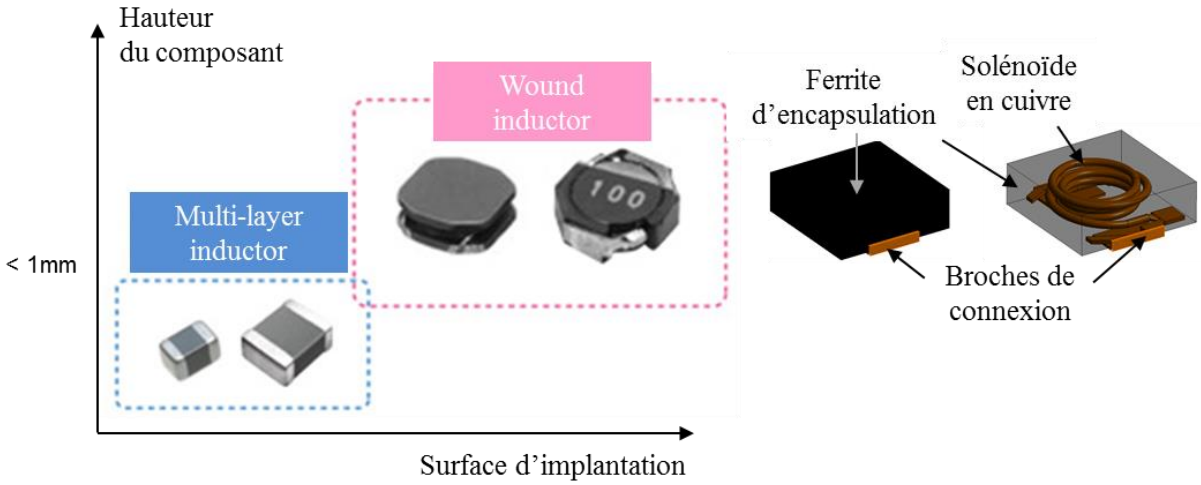


Figure 56: Exemple d'inductance CMS de type « wound inductors »

La structure magnétique à base de poudre de fer peut être également pressée autour des spires. Un vernis de protection assure l'isolation électrique du solénoïde en cuivre, celui-ci supporte des températures de plus de 200 °C. Néanmoins, pour des raisons de vieillissement thermique, la température de fonctionnement doit limitée à des valeurs beaucoup plus basses, telles que 125 °C.

Les contraintes de fabrication de cette technologie ne permettent pas de répondre aux exigences de réduction de la taille du boitier actuellement recherchée, Figure 56.

- La technologie dite « multilayer inductors »:

Le motif du circuit électrique est imprimé sur des couches de ferrite puis reproduit sur plusieurs couches empilées. La connexion entre les couches est assurée par des vias. Cette technologie réduit l'épaisseur du boitier mais les valeurs d'inductance demeurent limitées.

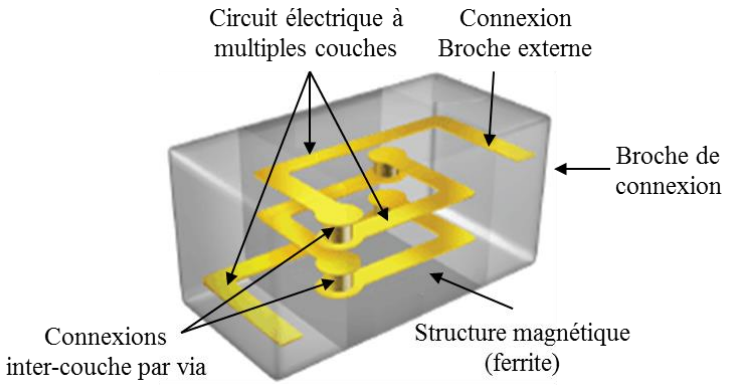


Figure 57: Exemple d'inductance CMS de type « multilayer inductors »

- La technologie dite « thin-film inductors »:

Le circuit électrique est formé d'un film mince, à l'instar des résistances. Ce type d'inductance propose seulement de très faibles valeurs d'inductance. Pour pallier à cette limitation, on assiste au développement d'inductance plane en forme de spirale.

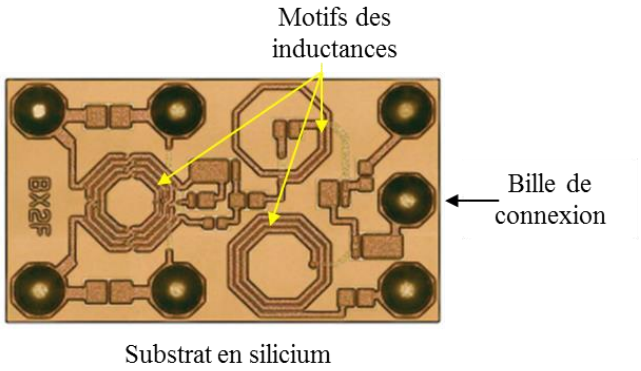


Figure 58: Exemple d'inductance CMS de type « planar spiral inductors »

Les inductances sont des composants électriques passifs qui stockent l'énergie dans leur structure magnétique. Ainsi une inductance emmagasine de l'énergie sous forme électromagnétique lorsqu'elle est parcourue par un courant. Le cas idéal n'aurait aucune perte d'énergie, mais en réalité, le fil conducteur employé pour la construction d'un circuit annulaire a aussi une résistance électrique, laquelle engendre des pertes par effet Joule. Par ailleurs, dans le cas où ce conducteur est enroulé sur un noyau ou englobé dans de la résine chargée, des pertes magnétiques vont s'ajouter à ces dernières. Ces pertes sont liées à deux phénomènes, l'hystérésis et les courants de Foucault, qui augmentent avec la fréquence et dépendent de la nature du matériau du noyau. Le fait que l'énergie stockée corresponde à une circulation de courant donne à l'inductance un effet d'inertie pour les courants. En particulier, ce courant ne peut pas être discontinu et la présence d'une inductance en série dans une connexion ralentit les variations de l'intensité.

Contrairement aux condensateurs, l'impédance d'une inductance est proportionnelle à la fréquence. Elles sont utilisées dans les alimentations d'énergie, les circuits de filtrage et les circuits à haute fréquence tels que les téléphones portables.

Les pertes thermiques des bobines dépendent des fréquences de basculement ou de commutation. On peut subdiviser ces pertes en trois catégories : les pertes magnétiques, les pertes issues des courants continus (CC) et les pertes dues aux courants alternatifs (CA).

Vishay® propose une estimation des pertes de ses bobines de type IHLP, connaissant les caractéristiques de la résine chargée englobant les spires **[VISHAY, 2011]**.

Les pertes sont caractérisées par la formule suivante :

$$P = K_1 . f^x . B^y . V_e + (R_{dc} + R_{ac}) . I_{rms}^2$$

XIX. Les matériaux usuels des composants électroniques

Les divers éléments constitutifs d'un composant sont fabriqués à partir de matériaux ayant des caractéristiques thermiques hétéroclites. De nos jours, la grande majorité des semi-conducteurs sont protégés par des composés à base de silice (SiO2) et de résine époxy.

Les matériaux utilisés pour le report de la puce sont généralement des films très minces basés également sur des composés à base d'argent et de résine époxy. Le choix de la colle est souvent couplé à celui de la résine pour trouver la meilleure adéquation à la problématique des coefficients de dilation des différents constituants.

Ces familles de polymères sont de très mauvais conducteurs électriques et thermiques avec des valeurs de conductivités thermiques très basses. Celles-ci vont être améliorées en rajoutant des renforcements métalliques à plus forte conductivité thermique [**PECHT, 1998**].

La grille métallique constituant la plateforme, les broches et les fils de câblage emploient des matériaux à forte conductivité thermique comme le cuivre ou l'or.

Il est légitime de s'interroger sur le rôle de chacun de ces constituants sur le transfert de la chaleur de la zone active de la puce vers les surfaces externes du boitier.

A titre d'exemple, une étude paramétrique a été menée sur l'impact des valeurs des conductivités thermiques des éléments d'un boitier de type QFN, présenté en Table 21.

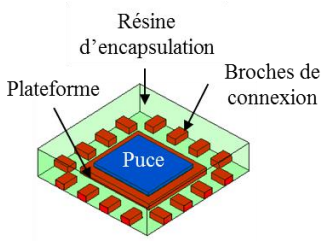
Vue du composant	Nom des éléments	Volume des constituants (mm^3)	Référence commerciale des matériaux	Conductivité thermique ($W.m^{-1}.K^{-1}$)
 Pas inter-broches: 0.5 mm	Résine	3x3x0.75 - $V_{interne}$	Sumikon-EME-G770	0.9
	Plateforme	1.6x1.6x0.2	LG Innotek C194+	260
	Broches	(0.23x0.4x0.2) x16		
	Puce	1.1x1.1x0.2	Silicium	150
	Colle	1.1x1.1x0.03	Ablebond 8290	2.1

Table 21: Présentation du boitier industriel QFN16 étudié

La Figure 59 démontre que la variation de conductivité thermique de la résine d'encapsulation influence le plus fortement la température vue par la zone active de la puce.

Pour les autres matériaux, une latitude de plus ou moins 50% de leur caractéristique n'a que peu d'incidence sur le comportement thermique de la puce.

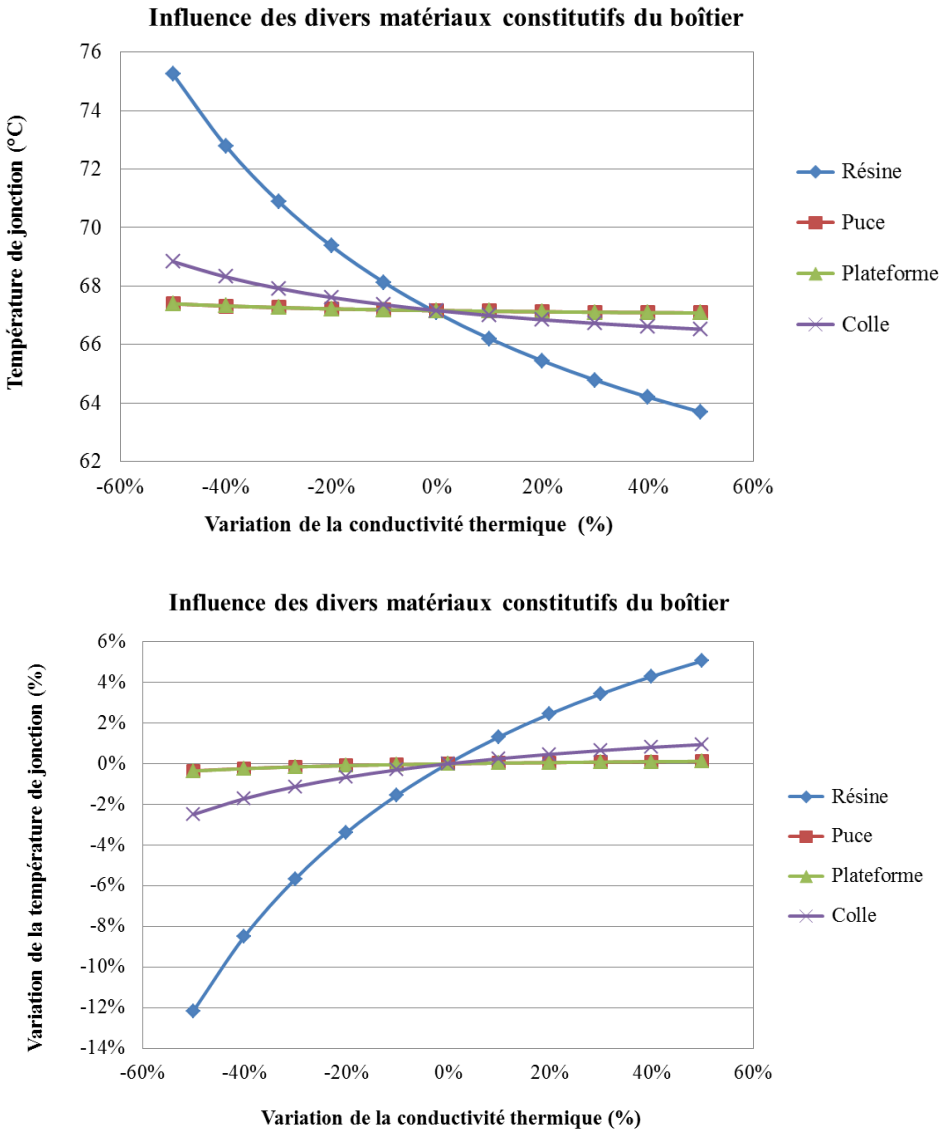


Figure 59: Dépendance des performances thermiques d'un boitier QFN16

Toutefois, l'analyse des propriétés thermiques des résines de surmoulage disponibles sur le marché indique que les valeurs de conductivité thermique de ces composés varient de $0.6 W.m^{-1}.K^{-1}$ à $0.9 W.m^{-1}.K^{-1}$, soit une plage de $0.75 W.m^{-1}.K^{-1}$ ±20% [**ROSTEN, 1995**]. L'incertitude sur la température maximale vue par la puce est dès lors grandement réduite, $T_{J\text{-}MAX}$ ±2°C.

Afin de statuer sur la pertinence de cette gamme de conductivité thermique pour les résines d'encapsulation, la loi des mélanges de Maxwell décrite de R. Kochetov [**KOCHETOV, 2011**] est utilisée. Cette loi est définie par l'expression:

$$k_{résine} = k_m \cdot \left[\frac{k_p + 2 \cdot k_m + 2 \cdot V_f \cdot (k_p - k_m)}{k_p + 2 \cdot k_m - V_f \cdot (k_p - k_m)} \right]$$

Équation 6: Modèle de mélange de Maxwell-Eucken

Celle-ci considère un composé de deux constituants, respectivement une matrice (m) homogène et une charge de particules (p).

Les valeurs de conductivité thermique typiques pour la silice (kp) et la résine époxy (km) sont respectivement: de 1.4W.m^{-1}.K^{-1} et 0.2W.m^{-1}.K^{-1}.

Il est clair que la valeur maximale de la conductivité thermique de la résine d'encapsulation ne peut excéder celle de la silice. Celle-ci sera par conséquent peu efficace pour drainer le flux de chaleur généré par la zone active de la puce.

La concentration maximale en particule (V_f) dépend de la forme et de l'arrangement des particules au sein de la matrice [**KUMLUTAS, 2006**], [**SHEN, 2011**], par exemple :

- Sphère proche répartie de manière aléatoire: Vf_{MAX}= 0.637
- Sphère proche ayant une forme ellipsoïdale: Vf_{MAX}= 0.735

Suivant la concentration, le modèle retourne une valeur de conductivité thermique pour la résine de surmoulage comprise entre 0.64W.m^{-1}.K^{-1} et 0.78W.m^{-1}.K^{-1}. En l'absence de données fabricant, il est ainsi possible de définir une valeur réaliste basée sur une loi de mélange.

Cette approche est applicable aux colles employées pour reporter la puce sur la plateforme métallique du boitier. Celles-ci sont le plus souvent chargées de particules d'argent. La conductivité thermique typique de l'argent est égale à 420 W.m^{-1}.K^{-1}. La valeur déduite pour la conductivité thermique de la colle argent est comprise entre 1.25W.m^{-1}.K^{-1} et 1.8W.m^{-1}.K^{-1}.

Une incertitude sur la conductivité de la colle a moins d'impact lorsque la taille de la puce devient importante comme l'illustre l'Annexe E, dans le cas d'un composant QFN64.

Il est moins nécessaire de connaître avec exactitude la nature de l'alliage de cuivre retenue pour la plateforme : cuivre-nickel, cuivre-fer ou cuivre-zirconium. La Figure 59 démontre que pour une conductivité thermique variant de 130W.m^{-1}.K^{-1} à 390W.m^{-1}.K^{-1}, à savoir 260W.m^{-1}.K^{-1} ±50%, celle-ci n'a que peu d'influence sur la température de la puce.

La méconnaissance des valeurs exactes des propriétés thermiques d'un composant n'engendre pas forcément une erreur significative de son modèle numérique, en régime permanent.

XX. Synthèse sur la modélisation des composants électroniques

Cette section a permis de présenter succinctement la diversité des boitiers des composants électroniques devant être adressée par un concepteur thermique afin de déterminer avec précision les températures de leurs éléments sensibles tels que les semi-conducteurs.

La plupart du temps, la modélisation des circuits intégrés électroniques considère que la zone active recouvre l'intégralité de la face supérieure du ou des semi-conducteurs encapsulés. Cette hypothèse tient au fait de la méconnaissance de la conception de leurs fonctions électroniques, de leurs conditions d'activation et de la localisation des zones actives. Dès lors que cette définition est connue, il est possible de déterminer avec précision le comportement thermique d'un ensemble de sources de chaleur ponctuelles de très faibles dimensions.

Les dernières générations de boitiers électroniques présentent une miniaturisation accrue, leur taille tend désormais vers celle de la puce à protéger. La topologie des boitiers est aménagée pour faciliter d'une part la densification des connexions électriques de la puce sur une carte électronique et d'autre part, pour efficacement drainer sa chaleur vers un chemin thermique préférentiel. Celui-ci est caractérisé par l'emploi d'éléments présentant de forte conductivité thermique, tels que des plateformes ou des substrats à base de cuivre.

L'accentuation des fonctions électroniques au sein d'un même composant électronique implique que la modélisation doit être désormais également étendue aux composants passifs,

tels que les inductances de puissance. Celle-ci va nécessiter le développement de modèle multi-physique pour représenter avec justesse les phénomènes générateurs de chaleur.

Bibliographie

[BAGNALL, 2014] Kevin R. Bagnall, Yuri S. Muzychka, Evelyn N. Wang, *Application of the Kirchhoff transform to Thermal Spreading Problems With Convection Boundary Conditions*, IEEE transactions on components, packaging and manufacturing technology, Volume 4, issue 3, March 2014.

[CHANG, 2004] Christophe Chang, Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars, Thèse de doctorat, de l'Université de Limoges, 2004.

[DIA, 2013] Cheikh DIA, Eric Monier-Vinard, Najib Laraqi, Valentin Bissuel, *Modélisation Thermique Dynamique des « Powerpaks »*, SFT 2013, Thermique et contexte incertain, Gérardmer, April 2013.

[DITRI, 2007] John Ditri, *Heat Conduction in Microwave Devices With Orthotropic and Temperature-dependent Thermal Conductivity*, IEEE transactions on microwave theory and techniques, Volume 55, N°3, March 2007.

[FEUILLET, 2006] Vincent Feuillet, Développement d'outils d'analyse thermique pour la conception de composants électroniques de puissance, Thèse de Doctorat de l'Université de Nantes, 2006.

[GUENIN, 1994] Bruce Guenin, *Transient thermal model for the MQUAD microelectronic package*, IEEE SemiTherm XI, February 1 – 3, 1994, San Jose.

[GUENIN, 2011] Bruce Guenin, *Transient Modelling of a High-Power IC Package, Part 1*, ElectronicsCooling, 2011.

[JESD51-4, 1997] Jedec standards Association, *Thermal Test Chip Guideline (Wire Bond Type Chip)*, JESD51-4, February 1997.

[JESD74A, 2007] Jedec standards Association, Early Life Failure Rate Calculation Procedure for Semiconductor components, JESD74A, February 2007.

[JESD15-4, 2008] Jedec standards Association, *"DELPHI Compact Thermal Model Guideline"*, JESD15-4, October 2008.

[KOCHETOV, 2011] R. Kochetov, A. V. Korobko, T. Andritsch, P. H. F. Morshuis, S. J. Picken, J. J. Smit, *Modelling of the thermal conductivity in polymer nanocomposites and the impact of the interface between filler and matrix*, Journal of Physics D: Applied Physics, 2011, 44 395401.

[KUMLUTAS, 2011] Dilek Kumlutas, Ismail H. Tavman, *A Numerical and Experimental Study on Thermal Conductivity of Particle Filled Polymer Composites*, Journal of Thermoplastic Composite Materials, 2006, Vol. 19.

[MAYE, 2005] Pierre Mayé, *Aide-mémoire Composants électroniques*, Dunod, Paris 2005, Fréquence, Paris, 1989 pour la première édition, ISBN 2 10 048885 6.

[MUZYCHKA, 2013] Yuri S. Muzychka, Kevin R. Bagnall, Evelyn N. Wang, *Thermal Spreading Resistance and Heat Source Temperature in Compound Orthotropic System with Interfacial Resistance*, IEEE transactions on components, packaging and manufacturing technology, Volume 3, issue 3, November 2013.

[PALACIN, 2005] Jordi Palacin, Marc Salleras, Josep Samitier and Santiago Marco, *Dynamic Compact Thermal Models With Multiple Power Sources: Application to an*

Ultrathin Chip Stacking Technology, IEEE Transactions On Advanced Packaging, vol.28, No.4, Novembre 2005.

[PANDYA, 2002] Kandarp I. Pandya, Wharton McDaniel, *A simplified Method of Generating Thermal Models for Power MOSFETs*, IEEE SemiTherm XVIII, March 12 – 14, 2002, San Jose.

[RENAULT, 2012] A. Renault, C. Munier, *Thermo-mechanical reliability of embedded capacitors*, 13th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems, Eurosime 2012, 2012.

[ROSTEN, 1995] H.I. Rosten, DELPHI – Status Report on the ESPRIT-Funded Project for the creation and validation of the thermal Models of electronic parts, Proceedings of EUROTHERM Seminar, 1995, No. 45.

[SALLERAS, 2005] M. Salleras, J. Palacin, M. Moreno, J. Santander, L. Fonseca, J. Samitier, S. Marco, A methodology to extract dynamic compact thermal models under time-varying boundary conditions: application to a thermopile based IR sensor, Microsyst Technol (2005) 12: 21-29, DOI 10.1007/s00542-005-0016-8.

[SCHWEITZER, 2011] Dirk Schweitzer, Heinz Pape, Liu Chen, Rudolf Kutscherauer and Martin Walder, *Transient dual interface measurement - A new JEDEC standard for the measurement of the junction-to-case thermal resistance*, 27th Annual IEEE SemiTherm, March 20 – 24, 2011, San Jose.

[SHEN, 2011] Ming-xia Shen, Yin-xin Cui, Jing He, and Yao-ming Zhang, *Thermal conductivity model of filled polymer composites*, International Journal of Minerals, Metallurgy and Materials, 2011,Vol. 18, No 5, pp 623, DOI: 10.1007/s12613-011-0487-9.

[SILICONFAREAST] Site web: www.siliconfareast.com

[SMITH, 2000] Lee Smith, *Trends in Multi-chip package integration*, Electronics Engineer, July 2000.

[TEYSSANDIER, 2008] Charles TEYSSANDIER, Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa: Analyse des effets parasites, Thèse de Doctorat de l'Université de Limoges, 2008.

[VADASZ, 2010] Peter Vadasz, Analytical Solution for Nonlinear Thermal diffusion: Kirchhoff Versus Cole-Hopf transformations, journal of Heat transfer, 2010, volume 132.

[VAL, 2011] Dr. Alexandre Val, *Packaging & Interconnexion en micro-électronique*, Ecole de microélectronique et microsystèmes, 16 au 19 Mai 2011, Fréjus.

[VISHAY, 2008] Vishay, *Using IHLP's in Automotive Applications*, Application Note, Revision: August 2008.

[VISHAY, 2011] Vishay, *Selecting IHLP Composite Inductors for Non-Isolated Converters Utilizing Vishay's Application Sheet*, Application Note, November 2011.

PARTIE 3 : La réduction des modèles des composants électroniques

Dans les chapitres précédents, nous avons mis en évidence que la thermique de l'électronique fait intervenir des géométries ayant des niveaux d'échelle très diverses.

Une simulation détaillée d'une carte électronique comportant plusieurs composants peut être difficile, voire impossible. De nombreux projets ont été abordés et des travaux sont toujours en cours avec l'objectif permanent de simplifier les différentes parties des systèmes électroniques tout en conservant une représentativité suffisante.

Les méthodes de simplification ou méthodes de réduction les plus répandues aboutissent à la création de réseaux constitués d'un ensemble de résistances (R) et de capacités (C) thermiques. Leur exploitation est basée sur l'analogie thermoélectrique.

Généralement, ce type réseau est lié à la définition d'une source de chaleur (conditions d'entrée) et d'un puits thermique (conditions de sortie) capable de la refroidir. Seuls les points référencés du réseau sont observables. Il s'agit d'une « boite noire » caractérisée par une fonction de transfert capable de préserver au mieux le comportement du modèle initial. Rappelons que ce type d'approche ne se préoccupe pas du sens « physique » du modèle réduit.

D'autres techniques, telles que la réduction d'ordre permettent de minimiser la taille des modèles tout en conservant leur structure **[MARTINS, 2009]**. La discrétisation des relations formelles d'un problème thermique aboutit à des équations algébriques. Celles-ci procurent une représentation physique plus ou moins dégradée des transferts thermiques et des champs de température au sein de la structure du composant. Il existe un lien mathématique entre le modèle de départ et celui obtenu à la fin du processus de réduction. Toutefois, la dimension des matrices dérivées reste importante en comparaison de l'approche nodale qui peut être réduite à une seule résistance au prix d'une erreur d'approximation conséquente. La comparaison menée dans les deux chapitres précédents entre l'approche analytique et la modélisation numérique a démontré la nécessité d'avoir une discrétisation très importante pour ajuster les prédictions des deux modèles. D'où le facteur de réduction doit être significatif pour limiter la dimension de ces modèles réduits, en fait bien supérieur à 1000.

Au vu du nombre de composants sur une carte électronique, plusieurs milliers, les travaux entrepris ce sont concentrés uniquement sur l'approche nodale et la résolution des limitations actuellement constatées. L'emploi de ce concept générique comme élément de simplification pour la modélisation des composants électroniques peut être exploité à partir d'une simple approche analytique aussi bien que par un grand nombre de logiciels du commerce. La nature du réseau équivalent est plus ou moins complexe en fonction des éléments à observer. Ceux-ci sont souvent résumés sous l'appellation de modèle thermique compact ou par l'acronyme anglais CTM.

Enfin, ce type de modèle répond au besoin des concepteurs de carte électronique lesquels se polarisent exclusivement sur la connaissance de la température vue par la zone active du composant pour valider, au plus tôt et le plus rapidement possible, les choix de leur conception.

I. L'état de l'art

Une des approches pour l'étude des phénomènes thermiques consiste à discrétiser le domaine d'étude en plusieurs surfaces considérées comme étant isothermes, d'autres sont soumises à un flux de chaleur uniforme. Des nœuds sont affectés à ces différents éléments, ceux-ci sont reliés par des résistances thermiques. Une capacité thermique peut être affectée à chacun des nœuds en vue d'une observation temporelle de l'évolution de sa température.

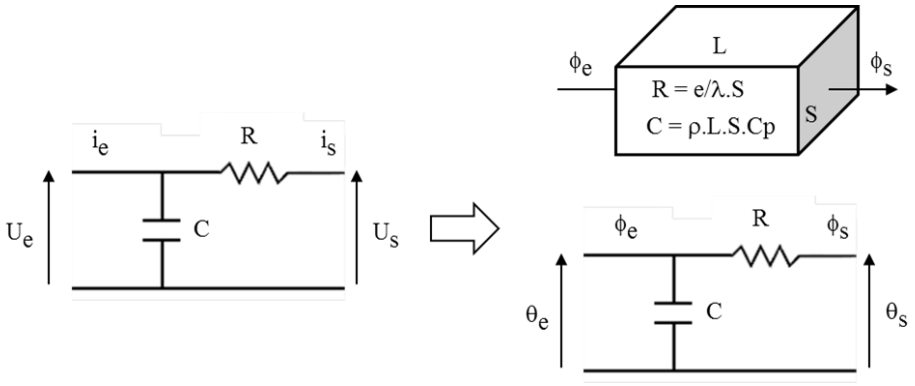


Figure 60: Modèle thermique élémentaire

L'obtention des résistances s'obtient sur la base de l'analogie thermoélectrique. Ainsi, les courants sont remplacés par des sources thermiques et les tensions se substituent aux gradients thermiques.

II. Les réseaux nodaux

Pour des géométries simples, les réseaux de résistances et de capacités sont déterminables au moyen de formulations classiques telles que : loi d'Ohm, transformation triangle-étoile, loi des nœuds, méthode des quadripôles [**BATSALE, 1994**], [**MARANZANA, 2003],** [**PAILHES, 2011**]. Dans ces méthodes, le nombre de nœuds affecté pour représenter le système est assez faible. Plusieurs approches tels que les logiciels Esatan, Minitan, Spice ou Esacap sont capables de résoudre efficacement des réseaux plus complexes en permanent et en transitoire.

Lorsque la géométrie devient très complexe, une discrétisation du domaine s'avère indispensable afin de capturer correctement les gradients thermiques du système. Ainsi plus le découpage est conséquent, plus les résultats seront précis. En contrepartie pour avoir une représentation simplifiée de son comportement, le nombre de nœuds nécessaire devra être significatif. D'autre part, les échanges non-linéaires convectifs et radiatifs sont difficilement caractérisables par des réseaux RC élémentaires.

Dans ce cas, il est préférable d'utiliser des logiciels de simulations numériques basés sur les méthodes: des éléments finis, des volumes finis ou des différences finies.

III. Les réseaux Cauer-Foster

La plupart des publications proposent des réseaux RC de type Cauer ou Foster. Les résistances et les capacités associées ne sont pas calculées à partir de la géométrie du domaine considéré. Les réseaux de type Foster sont en général issus de méthodes d'identification basées sur des mesures expérimentales **[SOFIA, 1995], [PANDYA, 2002]** ou plus rarement à partir d'une simulation numérique **[CODECASA, 2014]**. La mesure de la zone active du composant est référencée sous le nom de température de jonction et son refroidissement est assuré en imposant une température, par exemple, sur la face inférieure de la carte de test. La continuité du flux de chaleur entre ces deux nœuds suppose que les autres surfaces soient isolées. De ce fait, celui-ci est considéré unidirectionnel. La réponse temporelle en un point de la surface de la puce, souvent la température maximale, est extrapolée pour l'établissement du réseau. En pratique, le réseau de type Foster, Figure 61, est le plus souvent adopté. Cette approche ne nécessite pas de connaissances sur le système.

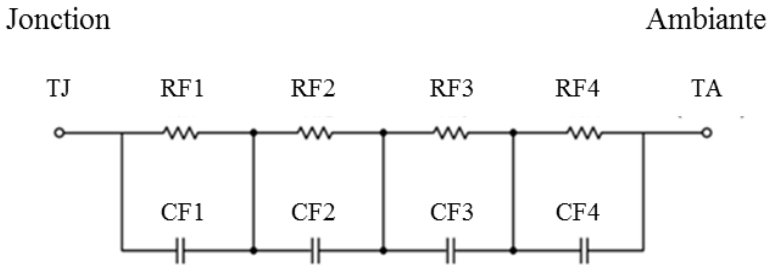


Figure 61: Réseau RC de type Foster

Le modèle Foster est une succession d'impédance en échelle constituée d'une résistance et d'une capacité en parallèle. Celui-ci peut être formalisé par une expression exponentielle comme indiqué dans l'Équation 7.

$$Z_{TH}(t) = \sum_{i=1}^{n} R_i . \left[1 - \exp\left(-\frac{t}{R_i . C_i}\right)\right]$$

Équation 7: Représentation mathématique du réseau Foster

Chaque terme i représente un échelon de la représentation Foster. En général, au minimum, trois échelons d'impédance sont nécessaires pour avoir une bonne adéquation entre le modèle expérimental et sa représentation mathématique.

Les réseaux d'ordre inférieur donnent des résultats moins précis, en particulier pour les premiers instants d'activation de la puce, Figure 62. Les écarts en température pour ces 3 types de réseau sont décrits en Annexe F.

Ceux-ci montrent que le coefficient de détermination (R^2) est proche de 1 dès que 3 échelons sont retenus pour caractériser cette montée en température.

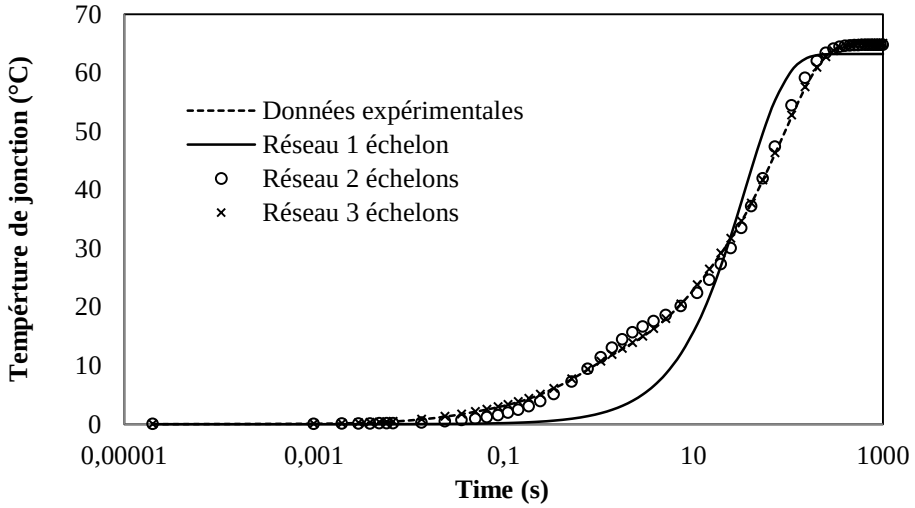


Figure 62: Représentativité d'un réseau RC en fonction du nombre échelon

Il est pratiquement impossible de donner un sens physique aux échelons identifiés. En effet, pour ce type de représentation, les capacités sont reliées aux nœuds adjacents alors que les capacités doivent être reliées à la masse, traduisant plus fidèlement un chargement progressif des différentes parties d'un composant.

Une interprétation plus physique de la réponse temporelle d'une zone active peut être obtenue au moyen d'une transformation du réseau Foster en un réseau de type Cauer.

Celui-ci est présenté Figure 63. Une méthode pour déterminer une fonction propre à la structure a été établie par Vladimir Székely **[SZEKELY, 1988]**.

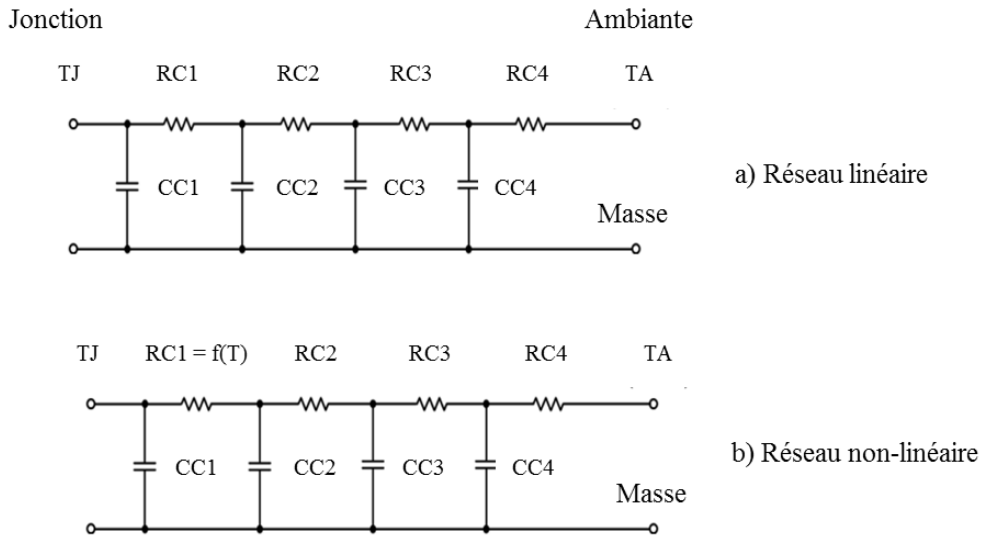


Figure 63 : Les réseaux RC de type Cauer

Le réseau RC déduit est unidirectionnel et typiquement linéaire.

Peu de références font état d'une caractérisation pour une gamme de température ambiante ou d'embase en mesure de déterminer la dépendance du réseau à cette variation [**HABRA, 2007**]. L'objectif serait de distinguer la variation de conductivité propre à chacun des échelons de la structure, éventuellement d'affiner leur nombre. Laquelle est majeure pour un semi-conducteur tel que l'arséniure de Gallium.

Un exemple est illustré dans la Table 22 sur un cas industriel des réseaux Foster et Cauer fournit par le fabricant Vishay® sur un composant ayant pour référence Si7431DP.

Echelon N°	n=1		n=2		n=3		n=4	
Type de réseau	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)
Foster	10.7	637.7	1.54	18.3	8.17	63.5	44.6	1848.7
Cauer	1.11	4.13	10.0	39.9	17.6	437.8	36.3	1730.1

Table 22: Réseaux RC à 4 échelons donnant la résistance jonction-ambiante

L'expression mathématique d'un réseau de type Cauer est plus complexe. Cette transformation Foster-Cauer est explicitée par Gerstenmaier [**GERSTENMAIER, 2007**]. Celle-ci assemble plusieurs éléments pouvant être testés indépendamment tels qu'un composant et son radiateur, en considérant que la température d'interface est homogène.

Bien que mathématiquement équivalent, voir la Figure 64, il est clair que la définition des échelons de ces 2 réseaux RC n'est pas similaire. La résistance thermique jonction-ambiante est identique pour les 2 réseaux. Celle-ci est égale à 65°C/W. En revanche la somme des capacités thermiques est différente. La Figure 64 présente la réponse du composant dissipant 1Watt. Celui-ci est placé au centre d'une carte Jedec 2s2p soumise à une ambiante de 0°C.

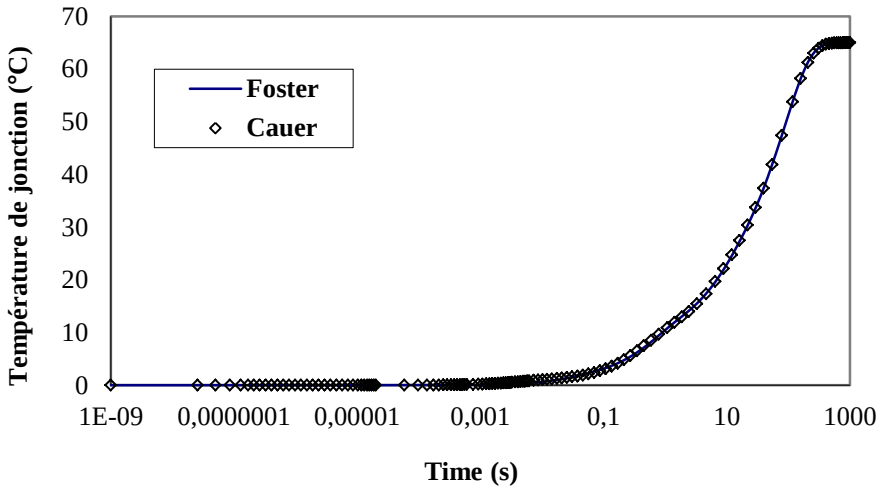


Figure 64: Comparaison des réseaux RC Cauer et Foster sous LT-Spice®

L'extension à deux chemins d'évacuation de la chaleur d'un composant électronique via des réseaux RC de type Cauer a été abordée par Marta Rencz [**RENCZ, 2001**].

Ses travaux ont été repris par le standard américain JEDEC dans le guide [**JESD51-14, 2010**]. L'approche proposée détermine l'impact thermique des éléments constitutifs de la structure mesurée et par conséquent définit les divers échelons du réseau propres par exemple à la puce, à la colle ou à la plateforme. Les faces latérales du composant ne sont pas prises en compte or celles-ci vont avoir un impact significatif pour les composants de faibles dimensions.

Néanmoins, cette approche peut s'avérer pratique pour la calibration d'une résistance thermique entre la jonction et la structure dite « junction-to-case » **[SCHWEITZER, 2011]** en déclinant avec précision les conditions expérimentales mises en place pour la mesurer. Un exemple de réseau décrivant la structure d'une résistance jonction-structure est donné en Annexe G.

Celle-ci peut-être également retenue dans le cadre de la détermination des propriétés physiques des matériaux et la caractérisation des résistances d'interface [**STEFFENS, 2005**]. Dans ce dernier cas, une centaine d'échelons peut être nécessaire pour discrétiser la réponse temporelle.

La modélisation thermique nodale unidirectionnelle ou bidirectionnelle est souvent combinée à une simulation électronique [**CHANG, 2004],** [**HABRA, 2007],** [**PANDYA, 2013**], **[CODECASA, 2014]**.

Dans le cadre du refroidissement des cartes électroniques, ce type de transfert thermique unidirectionnel ou bidirectionnel entre 2 faces supposées isothermes n'est pas suffisant pour accompagner une étude de conception détaillée. Les différentes faces du composant vont participer à l'évacuation de la chaleur vers l'ambiante. De même, l'échange thermique d'une face va présenter des zones privilégiées vers lesquelles le transfert thermique est favorisé.

IV. La méthodologie DELPHI

La méthodologie DELPHI est une approche qui élabore un modèle réduit à partir d'un modèle de connaissance détaillé. Le modèle détaillé consiste en un calcul numérique en conduction réalisé à partir d'un logiciel d'éléments finis, de volumes finis ou de différences finies. Cette méthodologie définit un processus de réduction qui recherche le meilleur accord entre les

performances thermiques d'un modèle physique réaliste d'un composant électronique et un modèle comportemental réduit reliant des points chauds à des faces froides.

Les projets Européens DELPHI et SEED ont établi les bases de cette méthodologie destinée à la caractérisation standardisée des composants électroniques. De plus, celle-ci pose les règles d'une définition pratique de leurs modèles comportementaux sous une forme réduite dite Compact Thermal Model.

Le projet européen DELPHI a regroupé six partenaires entre 1993 et 1996 dans le but de trouver une solution de réduction de la taille des modèles numériques des composants électroniques. L'objectif ultime était d'impliquer les fabricants à fournir des modèles, calibrés expérimentalement, aux concepteurs de carte électroniques.

La simplicité et le caractère intuitif des modèles présentant des transferts thermiques bidirectionnels favorisent leur fort taux d'utilisation dans l'industrie. Généralement, ceux-ci sont réduits à deux résistances thermiques. Ainsi, le standard Américain JEDEC propose un guide, ou « guidelines », pour leur génération [**JESD15-2, 2008**].

Les principales limitations à l'usage des modèles DELPHI dans l'industrie sont liées:

- A une création limitée à l'utilisation d'un seul code commercial, FLOPACK de chez MENTOR GRAPHICS,
- Au faible nombre de famille de composants proposée,
- la gamme des modèles disponibles est restreinte aux seuls composants adressés par cette méthodologie, typiquement les circuits intégrés mono-puces.

D'un point de vue pratique, la réalisation de ces modèles est également conditionnée à l'application d'un grand nombre de sollicitations appliquées sur les faces externes du modèle numérique, correspondant aux frontières du domaine de calcul, une approche coûteuse en termes de temps de calcul mais indispensable en termes de précision. En fait un plan d'expérience numérique capable de caractériser le comportement du composant par des combinaisons de conditions limites.

Son objectif est de rendre le modèle compact dérivé indépendant, ou plus précisément très peu dépendant, des conditions aux limites, une spécificité définit par l'anglicisme « *Boundary Condition Independence* » (BCI). Cette qualification est le point majeur de l'apport de la méthodologie DELPHI.

En 2008, la méthodologie a été reprise par l'organisme américain de standardisation des semi-conducteurs JEDEC pour standardiser la génération des modèles compacts destinés à la modélisation des composants électroniques, en vue de leur vulgarisation. Celle-ci s'appuie sur un guide ayant pour dénomination JESD15-4 [JESD15-4, 2008].

Les critères que doivent satisfaire un modèle compact pertinent sont décrits ci-dessus :

- La complexité du réseau doit être limitée. Un nombre maximal de 10 nœuds est recommandé. Néanmoins, le comité laisse une ouverture sur l'augmentation possible de ce nombre du fait des technologies émergentes de composants et du perfectionnement de la méthode de réduction. Cette limite semble être dépassée actuellement avec les composants à multiples puces.
- Le modèle doit exiger une indépendance aux conditions aux limites, en garantissant une bonne précision de la température de jonction pour 38 conditions d'application.
- Le format de partage des modèles doit être neutre, et non limité à un vendeur ou à un logiciel.
- Il doit être totalement documenté et appartenir au domaine public.

Les modèles de type DELPHI sont, en général, déduits à partir de l'analyse numérique d'un modèle réaliste d'un composant. La validation expérimentale doit être le point de départ pour juger de la qualité du modèle détaillé (DTM). Afin d'obtenir une bonne représentativité du modèle compact (CTM), le modèle numérique détaillé du composant électronique est soumis à des conditions opérationnelles de refroidissement. Le projet DELPHI a mis en évidence la problématique d'imposer des températures isothermes aussi celles-ci sont spécifiées sous la forme d'une gamme de coefficients d'échange thermiques différentiée pour chaque face du composant.

La Figure 65 récapitule les étapes préconisées par la méthodologie DELPHI.

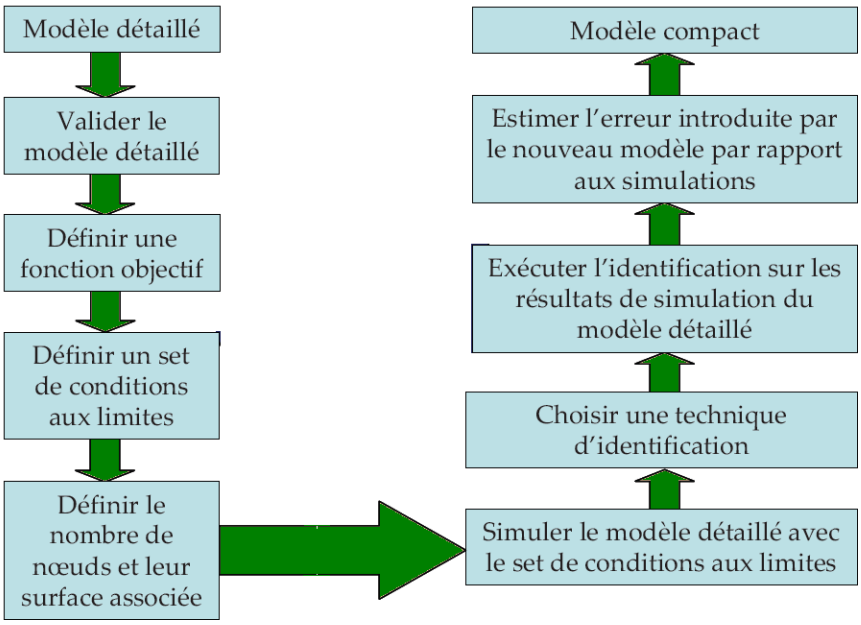


Figure 65: Le processus de réduction de la méthodologie DELPHI

La définition de ces conditions de 3eme espèce reste un des points perfectibles de la méthode, même si plusieurs auteurs ont décliné plusieurs listes pouvant être appliquées au composant pour couvrir différents modes de refroidissement.

- 38 scenarii définis par Philips [**VINKE, 1997**], [**CHRISTAENS, 1998**],
- 99 scenarii mis en place pour le programme DOTCOMP utilisé dans le logiciel Flopack [**LASANCE, 1999**]
- 58 scénarii investigué par Lasance [**LASANCE, 2001**] pour les boitiers TQFPs,
- 49 scenarii retenus par Thales (ex Thomson) à l'issue du programme DELPHI.

La définition d'une fonction objective, représentant l'écart entre le modèle détaillé et le modèle compact, n'est pas imposée mais un type de formulation est suggérée par l'Équation 8. Celle-ci recommande fortement d'inclure les flux sortant par les faces afin de considérer leur influence sur la température de la carte et les composants avoisinants.

$$F = \sum_{1}^{M} \left[W . \left(\frac{T_{J,CTM} - T_{J,DTM}}{T_{J,DTM} - T_{Amb}} \right)^2 + \left(\frac{1 - W}{N} \right) . \sum_{i=1}^{N} \left(\frac{q_{i,CTM} - q_{i,DTM}}{Q} \right)^2 \right]$$

Équation 8: Fonction à minimiser donnée par le standard JEDEC

- W est facteur de pondération,
- $T_{J,CTM}$ et $T_{J,DTM}$ sont respectivement les températures de la zone active du modèle compact et du modèle détaillé,

- T_{Amb} la température de référence,
- $q_{i,CTM}$ et $q_{i,DTM}$ les flux thermiques qui sortent de la face « i » des 2 modèles
- Q est le flux thermique total généré par la source de chaleur,
- M le nombre de conditions aux limites appliquées au modèle détaillé : 38 cas,
- N le nombre de surfaces externes prises en compte.

Ce dernier point est une autre avancée majeure de la méthodologie, à savoir l'introduction d'une recommandation sur la décomposition des frontières du domaine de calcul en un jeu de surfaces isothermes.

Ainsi les faces inférieure et supérieure peuvent être sous-découpées en deux zones, dénommées « inner » et « outer », avec pour chacune d'elle un nœud associé, Figure 66.

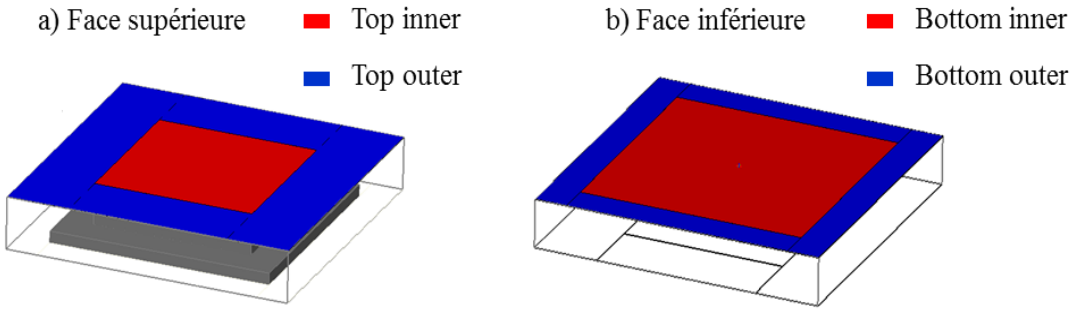


Figure 66: Subdivisions des surfaces supérieure et inférieure du boitier

Les dimensions des zones externes peuvent être ajustées sur les surfaces quasi isothermes dérivées de la simulation numérique, comme le montre la Figure 67.

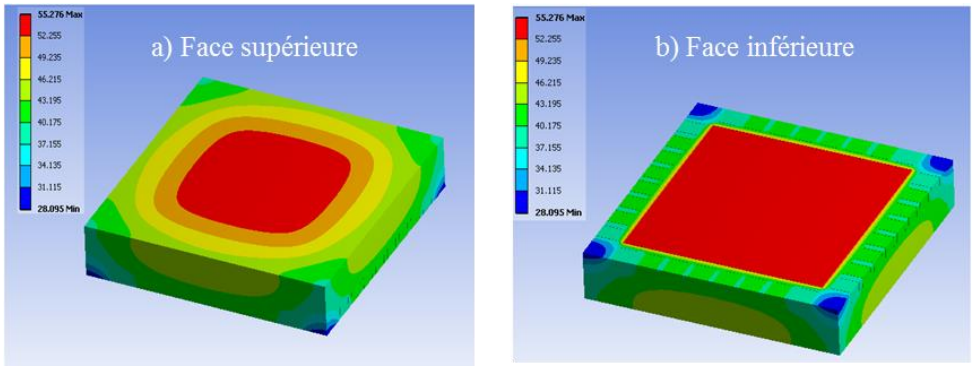


Figure 67: Comportement thermique d'un composant de type QFN.

Les faces latérales ou « side » et les zones d'interconnexion des broches ou « leads » peuvent être également considérées pour l'établissement du réseau.

Enfin, une des choses primordiales de la norme est la subdivision des responsabilités entre les fournisseurs de modèles compacts et les utilisateurs finaux.

V. Problématique liée à la méthodologie DELPHI

La mise en œuvre de la méthodologie DELPHI déclinée par le standard JEDEC laisse un certain point à résoudre:

- Le traitement d'un grand nombre de données lié à l'application d'un large spectre de conditions aux limites, par une technique d'identification pertinente.
- La détermination d'un réseau unique capable de reproduire le plus fidèlement possible le comportement d'un jeu d'observables indispensables au design.

- La capacité de ce dernier bien que linéaire à minimiser l'impact de la dépendance des propriétés des semi-conducteurs vis-à-vis de la température.
- La définition d'une erreur jugée acceptable pour chacun des paramètres des observables.
- Le régime transitoire n'est pas également pris en compte dans la méthodologie.

Le processus de détermination mentionné ci-dessus peut être rapproché de la sélection naturelle des êtres vivants inspirée de la théorie de l'évolution de Charles Darwin. Basé sur ce principe d'évolution naturelle, les algorithmes génétiques (GA) imitent de façon mathématique les principaux traits de la population: les générations, l'héritage génétique et la sélection d'individus basée sur la survie des plus forts.

Ces algorithmes de recherche adaptatifs font l'objet d'un intérêt toujours croissant en particulier pour aborder des problématiques dans le domaine du transfert thermique **[GOSSELIN, 2009]**.

En 2009, Louis Gosselin a répertorié, Figure 68, le nombre d'articles scientifiques proposant cette technique d'optimisation.

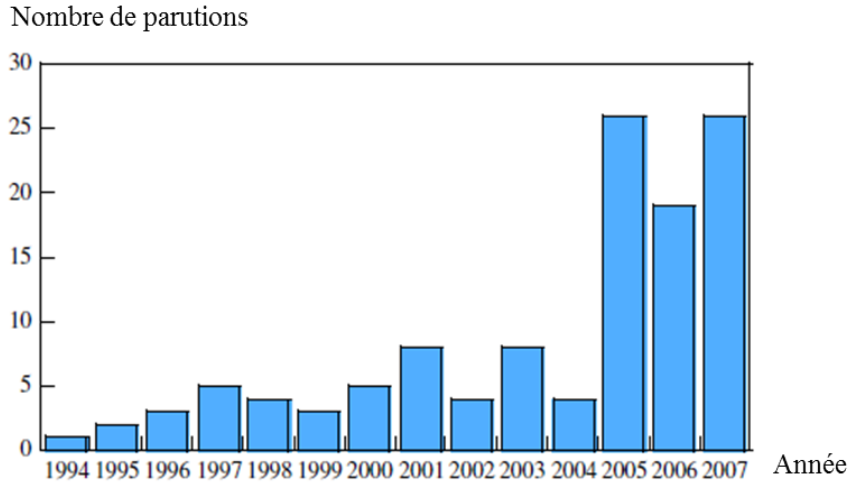


Figure 68: Utilisation des algorithmes génétiques dans le domaine thermique

Ces articles peuvent être classés en 3 thèmes principaux :

- L'optimisation de design: la définition de la conception de radiateur, d'échangeur, d'ailettes…
- Les méthodes inverses: à partir de mesures expérimentales la recherche de propriétés thermiques des matériaux, d'échange convectif ou radiatif…
- La détermination de corrélations ou de relations: à partir de simulations numériques l'ajustement des paramètres de fonctions de transfert.

Cette dernière peut être décrite de façon algorithmique comme suit :

Initialiser aléatoirement une population de solutions potentielles à un problème physique.

Pour un nombre de générations donné, un opérateur de sélection détermine les individus les plus prometteurs de la population courante, ainsi:

1) Appliquer un opérateur de sélection sur chacun des candidats de cette population pour évaluer leur aptitude et éliminer les mauvais candidats.
2) Arrêter si l'objectif de cette fonction, une valeur scalaire, est satisfait.
3) Produire une nouvelle population complémentaire (enfants), par mutation et croisement de la population sélectionnée (parents) afin d'augmenter leur aptitude

individuelle, de génération en génération.

4) Réitérer ce processus élitiste.

Il est clair que les AGs constituent un outil d'identification intelligent destiné à la recherche, en simultané dans de multiples directions, d'un modèle comportemental optimum, ou « single-objective optimization». Il s'agit du meilleur individu.

Cette technique propose une méthode d'optimisation mature capable de générer des résultats précis pour la méthode DELPHI en comparaison des techniques traditionnelles, telles que les moindres-carrés. Son adaptation à la réduction des composants électroniques est traitée ci-après.

VI. Application des algorithmes génétiques aux composants électroniques

Une première utilisation d'algorithme génétique comme technique innovante pour la thermique des composants électroniques a été établie par Parthiban en 2005 avec pour but de dériver un modèle thermique compact [**PARTHIBAN, 2005**].

L'algorithme est destiné à sélectionner, parmi un ensemble de réseaux de résistances thermiques, celles qui seront les plus aptes à répondre à notre problématique. Puis, par un jeu de croisements et de mutations successifs, déterminer la « solution » la plus adaptée.

Parthiban propose une règle générale pour fixer les paramètres clés de l'algorithme, à savoir:

- Maximiser le taux de croissement, environ de 80 à 90 %,
- Minimiser le taux de mutation de l'ordre de 1 à 5 %,
- Garder une taille de population modérée, entre 50 et 100.

Le non-respect de cette règle peut mener à un temps de recherche plus élevé ou à une convergence prématurée.

La portée du document est limitée aux composants comportant une seule puce active pouvant être représentée par un nœud de jonction, à l'instar de la méthodologie DELPHI. Toutefois, la forme du réseau multidirectionnel est plus complexe que les approches nodales conventionnelles.

Son processus de construction est bâti sur l'hypothèse d'un réseau initial de résistances ayant la forme d'une étoile, dit « Star-shaped », le nœud de jonction étant le point de départ des branches du réseau [**KRUEGER, 1992**]. Puis des résistances de shunt sont rajoutées, Figure 69, pour satisfaire les exigences en termes de précision [**VINKE, 1997**].

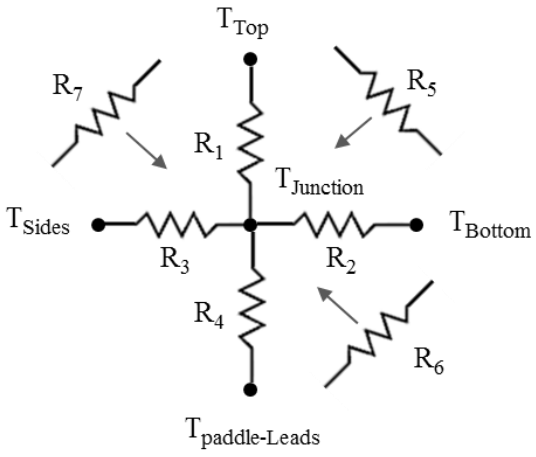


Figure 69: Réseau nodal élémentaire d'un modèle de type DELPHI

Cette approche est à mettre en relation avec les travaux de Clemens J.M. Lasance [LASANCE, 2008] sur un TQFP144, présentant une comparaison sur la précision de deux réseaux en « étoile » (« 3L star » et « 5L star ») par rapport à un réseau comportant des résistances de « shunt » (« 7L BCI »). Ce dernier présente une précision de l'ordre de 5% sur le « 7L BCI » et de l'ordre de 50% sur les résistances en «étoile ».

La fonction coût retenue par Parthiban se borne à minimiser la divergence des températures de jonction entre le modèle numérique FEM et son modèle comportemental.

$$F = \sum_{1}^{38} \frac{T_{J,CTM} - T_{J,FEM}}{T_{J,FEM}}$$

Équation 9: Fonction coût utilisée par Parthiban en 2005

De plus, une étude comparative des travaux de Parthiban est difficile du fait de la méconnaissance des données suivantes :

- Les dimensions physiques de la colle et des broches, le pas de ces dernières,
- l'épaisseur de la plateforme,
- leurs propriétés thermiques,
- la prise en compte ou non des connexions électriques, leur nature.
- le type de dissipation de la puce, surfacique ou volumique
- La dépendance en température ou non de la conductivité de la puce.

Malgré tout, nous avons étudié un composant proche de celui de l'article en nous basant sur la technologie employée par le fabricant Vishay® cité dans l'article.

Ce composant a une forme pyramidale tronquée très proche d'un cube, α=13°.

Ses caractéristiques géométriques et thermiques sont données dans les Table 23 et Table 24.

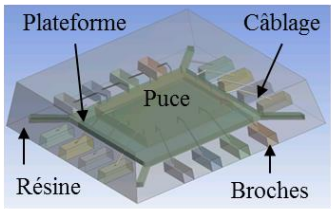
Vue du composant	Eléments	Volume des constituants (mm3)
 Pas inter-broches: 0.65 mm Diamètre câblage filaire: 25.4µm	Résine	$V_{Ext.} - V_{Int.}$ $V_{Ext.} = \frac{0.9}{3} x \left[4.375+4+\sqrt{4.375x4} \right]$
	Plateforme	2.25x2.5x0.2
	Broches	(0.23x0.67x0.2) x16
	Puce	2x1.75x0.1
	Colle	2x1.75x0.03

Table 23: Présentation du boitier QFN16 étudié

Eléments	Nature des matériaux	Conductivité thermique
Résine	Epoxy-Silice	0.67 $W.m^{-1}.K^{-1}$
Puce	Silicium	120 $W.m^{-1}.K^{-1}$
Plateforme-broches	Cuivre	385 $W.m^{-1}.K^{-1}$
Colle	Epoxy-Argent	2.1 $W.m^{-1}.K^{-1}$
Câblage filaire	Or	313 $W.m^{-1}.K^{-1}$

Table 24: Choix des matériaux du composant

Une puissance uniforme de 1W est appliquée à la surface supérieure de la puce dont la température maximale est assimilée à la jonction.

L'erreur moyenne mentionnée pour l'ensemble des 38 conditions aux limites définies n'excède pas 1.5%. Compte tenu de la précision obtenue, l'auteur n'aborde pas forcément la subdivision de la surface supérieure du composant dans sa stratégie de réduction.

D'autre part, l'auteur décline les performances du modèle compact pour 5 cas tests indépendants des 38 conditions aux limites initiales.

Compte tenu du manque d'information sur le modèle numérique, une comparaison a été faite uniquement sur la capacité des algorithmes génétiques à dériver un modèle comportemental capable de prédire avec précision des sollicitations aléatoires.

Les deux modèles CTM ont été déduits à partir des 38 conditions JEDEC et la fonction coût citée précédemment.

Les nœuds retenus pour le réseau sont listés ci-dessous:

- «Top»: la surface supérieure du composant.
- «Paddle-leads» : la surface inférieure de la plateforme du composant.
- «Bottom» : partie périphérique restante de la face inférieure.
- «Sides» : regroupement des quatre faces latérales

La Table 25 confirme la pertinence de l'emploi des AGs pour la réduction des composants électroniques.

	Convective heat transfer coefficient (W/m²K)				**Article Parthiban et al. T(°C)**			**Modèle interprété T(°C)**		
	htop	hbottom	hside	hpaddle	$T_{J,CTM}$	$T_{J,FEM}$	ΔT(%)	$T_{J,CTM}$	$T_{J,FDM}$	ΔT(%)
S= 39	10	10	10	10	1522.3	1522.0	0.02	2069.9	2067.2	0.1
S= 40	250	250	250	250	141.2	140.6	0.4	152.1	149.5	1.7
S= 41	5000	5000	5000	5000	38.5	39.0	-1.3	45.5	45.1	0.9
S= 42	500	10	10	500	147.0	147.5	-0.3	148.1	148.9	-0.5
S= 43	10000	10	10	500	85.9	85.7	0.2	85.7	85.1	0.7

Table 25: Comparaison des performances des modèles compacts

Toutefois, le principal objectif de Parthiban est d'avoir le plus de précision possible sur la température de jonction.

Le terme propre aux flux de l'Équation 8 qui garantit d'avoir une cohérence sur les autres nœuds n'est pas considéré. Leur prise en compte va dégrader la précision globale du modèle comportemental en fonction du poids accordé à ces paramètres. Force est de constater que la précision sur les autres nœuds est sacrifiée par l'auteur.

A titre d'exemple, la formulation de la fonction coût peut être complétée pour leur donner un poids comme mentionné dans l'Équation 10.

Selon les besoins, d'autres expressions de la fonction coût peuvent être paramétrées, en distinguant par exemple les températures maximales et les températures moyennes [**MONIER-VINARD, 2012**].

$$F(\theta, Q) = W \cdot f(\theta) + (1 - W) \cdot f(Q)$$

avec

$$f(\theta) = \left[1 - \left(\frac{1}{2} \cdot \sum_{b=1}^{M} \sum_{n=1}^{N} \frac{\Delta\theta_{n,b}}{M \cdot N} + \frac{1}{5} \cdot \max\left(\Delta\theta_{n,b}\right) + \frac{3}{10} \cdot \max\left(\Delta\theta_{n=j,b}\right)\right)\right]$$

et

$$f(\mathrm{Q}) = \left[1 - \frac{1}{2} \cdot \left(\sum_{b=1}^{M} \sum_{n=1}^{N} \frac{\Delta\mathrm{Q}_{n,b}}{M \cdot N} + \max\left(\left|1 - \frac{\mathrm{Q}_{n,b}^{CTM}}{\mathrm{Q}_{n,b}^{DTM}}\right|\right)\right)\right]$$

Équation 10: Exemple de fonction coût multicritères proposée par « Thales »

- $T_{n,b}^{CTM}$ et $T_{n,b}^{DTM}$ sont respectivement les températures moyennes des surfaces externes du modèle compact et du modèle détaillé,
- W est facteur de pondération entre les températures et les flux thermiques,
- $\Delta\theta_{n,b} = \left| T_{n,b}^{CTM} - T_{n,b}^{DTM} / T_{n,b}^{DTM} - T_{Amb} \right|$ correspond à l'erreur sur les températures,
- $\Delta\mathrm{Q}_{n,b} = \left|\mathrm{q}_{n,b}^{CTM} - \mathrm{q}_{n,b}^{DTM} / Q\right|$ correspond à l'erreur sur les flux thermiques.

Afin de matérialiser l'influence de la fonction coût sur la création d'un modèle compact, une analyse reprenant les 3 fonctions coûts mentionnées est menée. Toutefois, pour minimiser les temps de calculs, le boitier est supposé cubique. Ceci introduit une augmentation du volume de résine ainsi que de la face supérieure du composant.

La Table 26 présente les prédictions du réseau pour les 5 cas tests aléatoires de Parthiban. La forme de ces réseaux et les valeurs de leurs résistances sont données en Annexe J.

	Scénario	S= 39	S= 40	S= 41	S= 42	S= 43
Modèle FDM	$\mathrm{T_{J,FDM}}$	1907.9°C	126.9°C	40.4°C	131.5°C	74.5°C
Score Parthiban	$\mathrm{T_{J,CTM}}$	1904.3°C	124.9°C	40.1°C	129.8°C	73.0°C
	$\Delta\theta_{\mathrm{j,b}}$	-0.2%	-1.9%	-1.5%	-1.5%	-2.8%
	$\mathrm{T_{J,CTM} - T_{J,DTM}}$	-3.6°C	-1.6°C	-0.3°C	-1.4°C	-1.5°C
Score Jedec	$\mathrm{T_{J,CTM}}$	1903.9°C	124.7°C	40.2°C	129.4°C	72.9°C
	$\Delta\mathrm{T}$	-0.2%	-2.1%	-1.0%	-1.9%	-2.9%
	$\mathrm{T_{J,CTM} - T_{J,DTM}}$	-4.0°C	-1.8°C	-0.2°C	-1.8°C	-1.6°C
Score Thales	$\mathrm{T_{J,CTM}}$	1903.3°C	124.5°C	40.1°C	129.5°C	73.1°C
	$\Delta\theta_{\mathrm{j,b}}$	-0.2%	-2.2%	-1.5%	-1.8%	-2.6%
	$\mathrm{T_{J,CTM} - T_{J,DTM}}$	-4.6°C	-2.0°C	-0.3°C	-1.7°C	-1.4°C

Table 26: Impact de la fonction coût sur la prédiction de la température de jonction

L'erreur sur les températures est calculée au moyen de la relation $\Delta\theta_{j,b}$ pour une température ambiante fixée à 20°C. Certains pourcentages peuvent apparaître significatifs en particulier sur les très faibles échauffements, aussi l'écart en température est également explicité.

Quelle que soit la fonction coût les performances des modèles compacts sur la prédiction des températures de jonction pour ces 5 cas particuliers sont pratiquement identiques.

Le comportement du modèle compact pour la déduction des températures des quatre nœuds «Top», «Paddle», «Bottom» et «Sides» des faces externes est décliné ci-après.

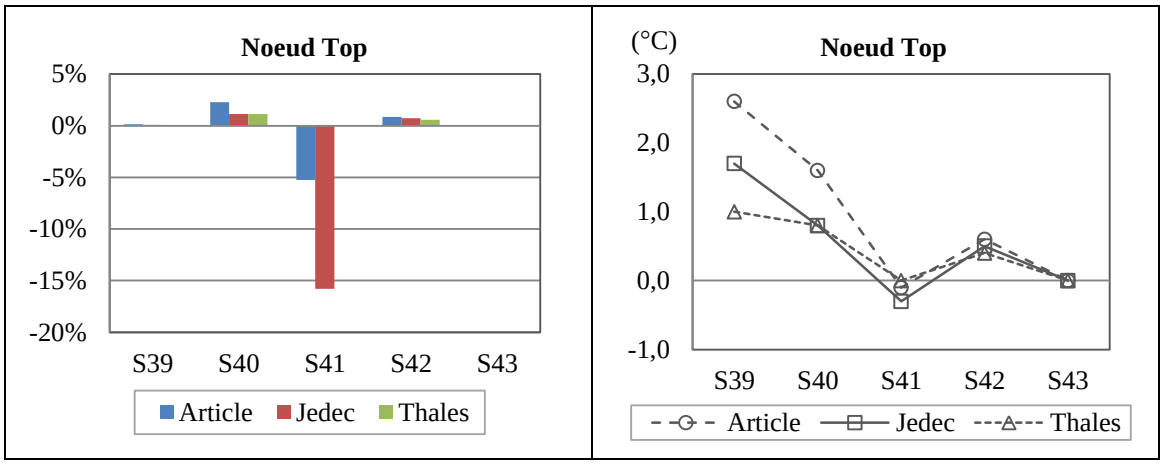


Figure 70: Prédictions des températures moyennes du nœud «Top»

La répartition de poids sur les différents paramètres de la fonction cout garantit une meilleure représentation du comportement des autres nœuds du réseau.

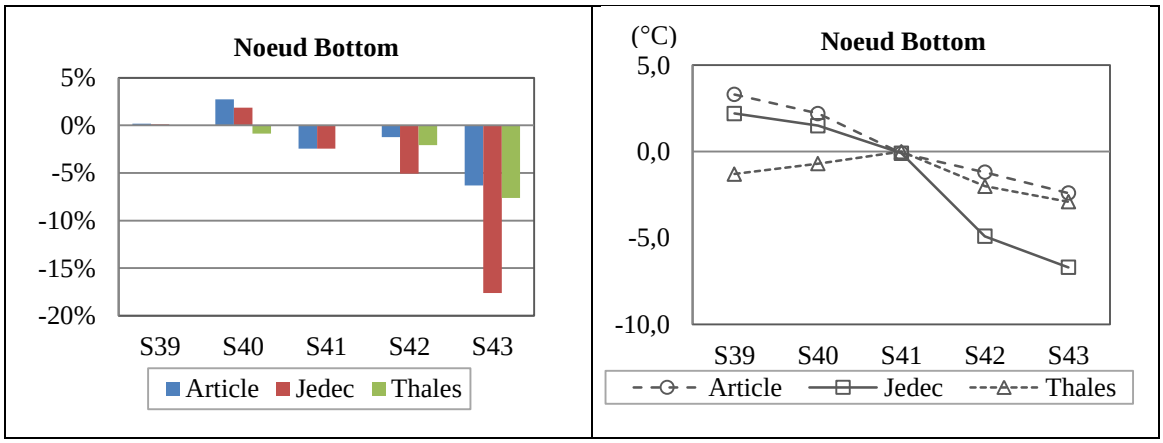


Figure 71: Prédictions des températures moyennes du nœud «Bottom»

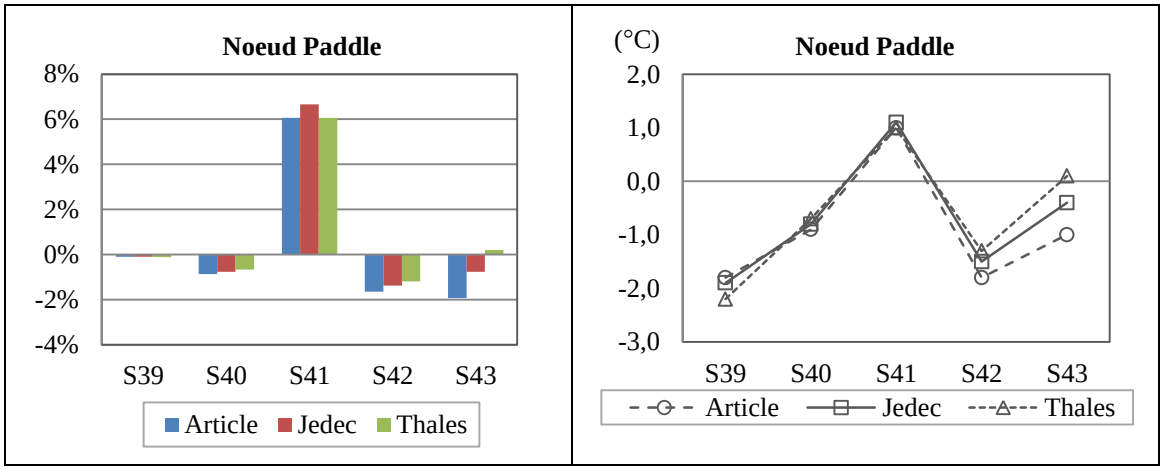


Figure 72: Prédictions des températures moyennes du nœud «Paddle»

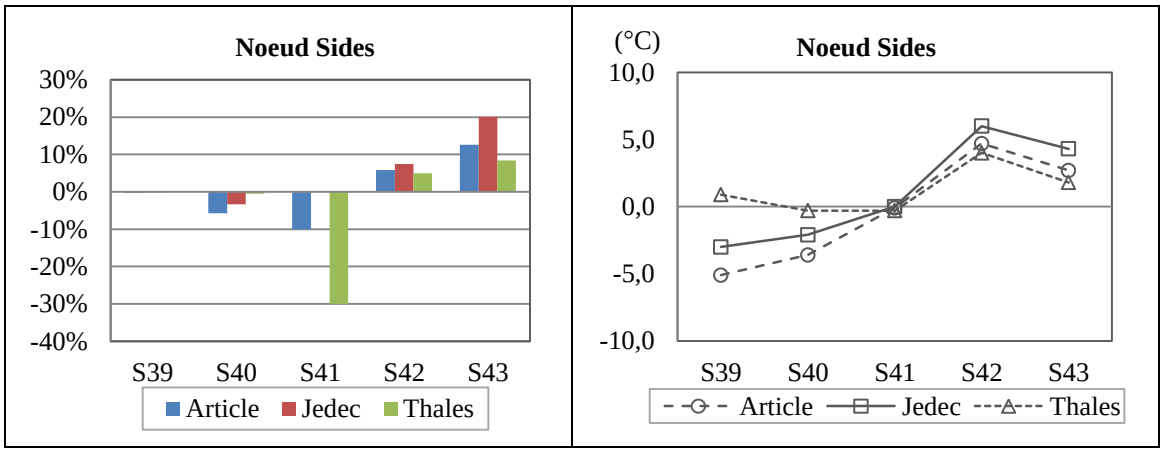


Figure 73: Prédictions des températures moyennes du nœud «Sides»

Parthiban et al. démontrent qu'il est envisageable d'incrémenter la complexité du réseau thermique représentatif du comportement d'un composant électronique en analysant les conditions à ces frontières, puis de sélectionner celui qui répondra le mieux à la précision recherchée sur un point chaud pouvant affecter sa durée de vie.

VII. Couplage des algorithmes génétiques à la méthodologie DELPHI

A l'instar du cas précédent, pour un composant mono-puce, la méthodologie DELPHI implique de définir obligatoirement un nœud interne, appelé Jonction (J), celui-ci est attribué pour décrire le comportement de la température maximale de la zone active.

En accord avec la décomposition préconisée, cinq nœuds sont généralement nécessaires pour les surfaces externes. Ceux-ci sont dénommés « Top Inner » (Ti), « Top Outer » (To), « Bottom Inner » (Bi), « Bottom Outer » (Bo) et « Sides » (S). Un nœud « Leads » (L) peut être affecté pour distinguer les broches si le composant comporte des connexions externes au boitier. La Figure 74 montre un exemple de réseau de type DELPHI.

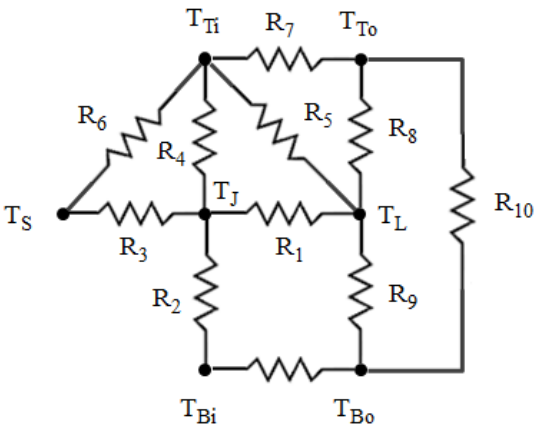


Figure 74: Réseau de type DELPHI

Le nombre de surface externe fixe la taille du réseau thermique initial, à savoir une matrice symétrique de N+1 lignes et colonnes.

En pratique, pour un boitier QFNs les nœuds de surface sont résumés à la liste ci-dessous:

- « Top Inner »: projection orthogonale de la puce sur la surface supérieure,
- « Top Outer »: partie périphérique restante de la face supérieure,
- « Bottom Inner »: projection orthogonale de la plateforme sur la face inférieure,

- « Bottom Outer »: partie périphérique restante de la face inférieure,
- « Sides »: regroupement des quatre faces latérales.

Cette nouvelle topologie a été appliquée à l'exemple du QFN16 de manière à vérifier la capacité des algorithmes génétiques à générer un réseau pertinent. En fait, la modification porte sur l'introduction d'une subdivision de la face supérieure du boitier en deux nœuds dénommés « Top Inner » et « Top Outer », Figure 66.

La définition de la surface du nœud « Top Inner » peut être déduite de l'observation des gradients thermiques sur ses faces externes comme explicitée Figure 66. L'objectif est de caractériser les surfaces externes isothermes, les plus pertinentes pour la construction du modèle compact.

Le nœud « Bottom Inner » correspond au nœud désigné précédemment par « Paddle ». Cette subdivision est perfectible, les zones relatives aux broches peuvent être distinguées de manière à appréhender la chaleur évacuée par fils de connexions.

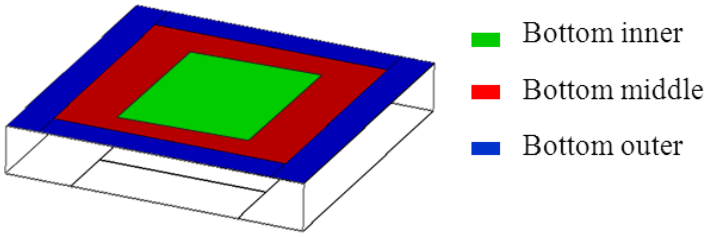


Figure 75: Subdivision de la surface inférieure

Pour illustrer, l'influence de la décomposition des faces externes du boitier en un nombre plus important de surfaces isothermes pour le boitier QFN16 les cas ci-dessous:

- « 4 surfaces » basé sur les quatre surfaces externes proposées par Parthiban,
- « 5 surfaces » utilisant les cinq surfaces externes conseillées par le standard Jedec,
- « 6 surfaces» la surface « Bottom » scindée en trois.

Les résultats sont présentés pour les fonctions Jedec et Thales lesquelles permettent d'obtenir un modèle compact plus fidèle vis à vis du comportement du modèle détaillé.

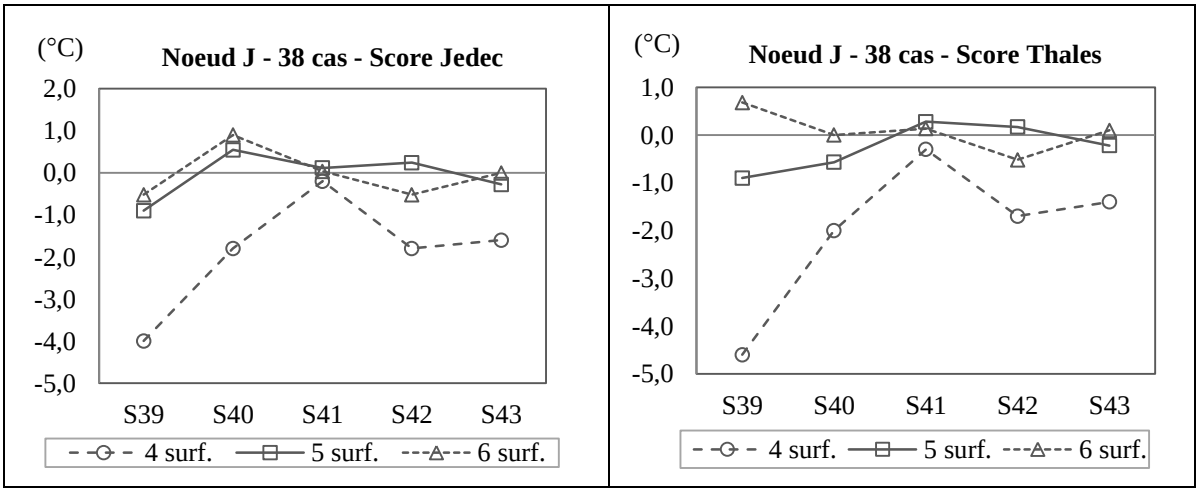


Figure 76: Prédictions des températures maximales du nœud «Jonction»

Les données et les réseaux des modèles 5 et 6 surfaces sont donnés en Annexe K et en Annexe L.

Il est clair que l'augmentation du nombre de surface est une solution pour améliorer la qualité des modèles compacts de type DELPHI. Cette analyse confirme l'intérêt de la décomposition des surfaces proposée par le standard Jedec.

D'autre part, le choix d'une fonction coût plus complexe, Equation 10, accentue l'ajustement du comportement du modèle compact sur les autres nœuds.

Cette amélioration touche également les autres nœuds du réseau comme l'indique la Figure 77 pour le nœud du « Paddle ».

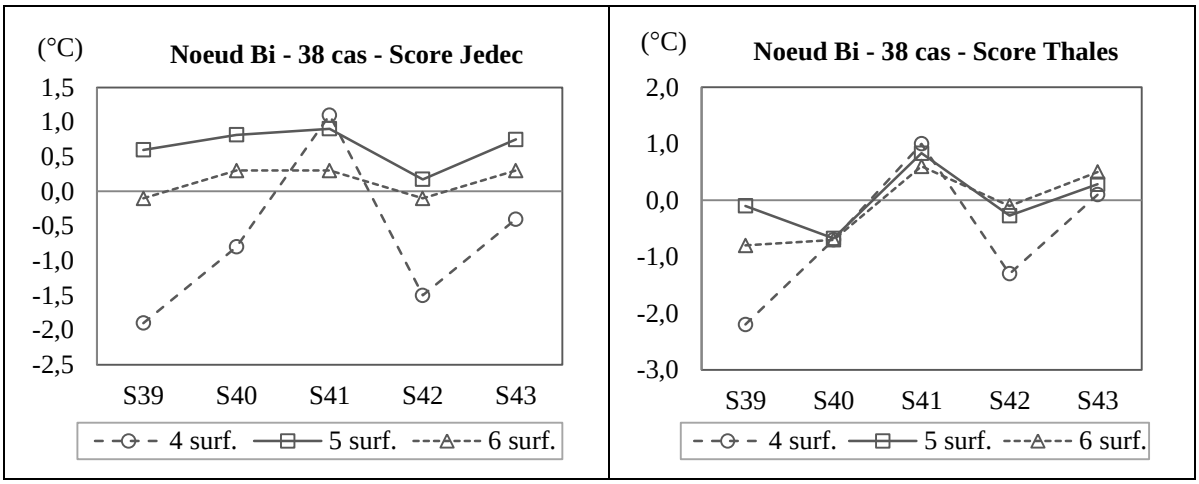


Figure 77: Prédictions des températures moyennes du nœud «Bottom inner»

Pour obtenir, un modèle comportemental indépendant de l'environnement un grand nombre de conditions aux limites est nécessaire. L'intérêt de ces modèles est leur capacité à être utilisés dans n'importe quelle application, dans des environnements variés, sans que la précision des prédictions soit altérée.

Aussi il est légitime de s'interroger sur le choix des 38 cas retenus par le standard Jedec. Ce nombre de conditions a été en permanence revu depuis la fin du projet DELPHI.

VIII. Pertinence des scénarii de conditions aux limites

Ainsi, à l'issue du programme DELPHI 49 scénarii furent sélectionnés par Thales pour la création des modèles compacts, Annexe I. Actuellement, il subsiste 38 scénarios présentés sous la forme d'un tableau de coefficients de transfert thermique, appelés les « 38 set », repris en Annexe H.

Ils sont appliqués de différentes façons selon que le composant dispose ou non de broches. Par exemple, pour un composant de type QFN celles-ci sont associées au boitier. Cela introduit des doublons et réduit le nombre de scénarios à 21. Par ailleurs, les scénarios 32-33 et 31–34 sont quasi similaires. Il n'est pas forcément nécessaire de conserver ces doublons, aussi deux scénarios supplémentaires sont supprimables. Ce nombre final de 19 scénarii est applicable aux boitiers tels que les DFNs, les QFNs ou les BGAs.

Le guide JESD15-4 laisse le choix de la définition du jeu de condition aux limites à l'utilisateur, le jeu proposé précédemment n'est par conséquent qu'une recommandation. Il en va de soi que des conditions aux limites spécifiques à certaines applications sont susceptibles d'être définies pour limiter le nombre de scénarios à employer et ne garder que ceux adaptés au domaine de fonctionnement.

La Figure 78 permet d'examiner l'influence sur l'établissement du modèle du QFN16 du:

- Nombre de scenarii,
- Choix des conditions aux limites retenus pour,
- Score ou fonction coût.

Les données, le réseau et la précision du modèle 5 surfaces sont donnés en Annexe M.

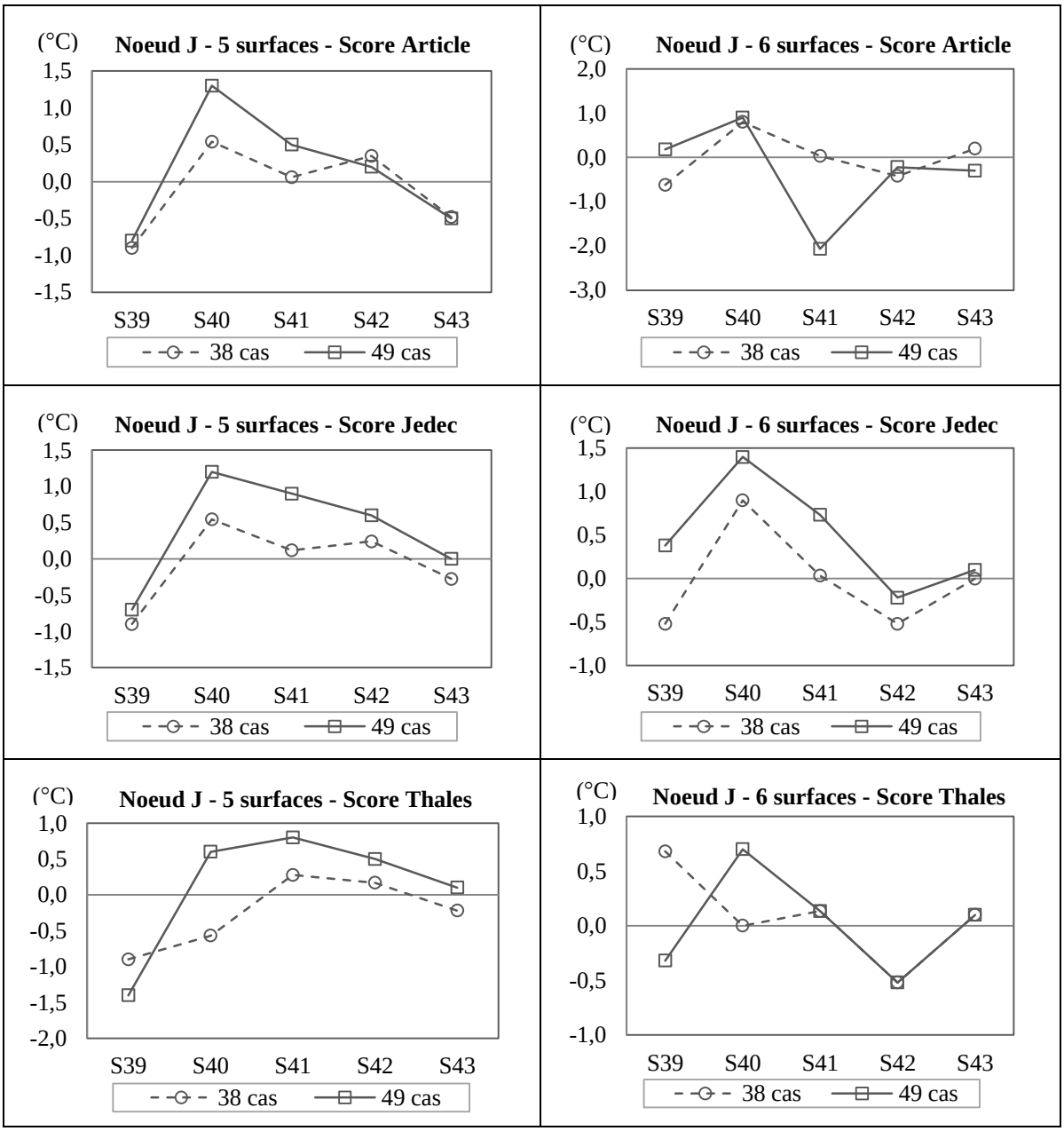


Figure 78: Prédictions des températures maximales du nœud «Jonction»

La prédiction de la température de jonction demeure de bonne qualité.

La combinaison de la méthodologie DELPHI et d'un algorithme génétique comme technique d'identification d'un modèle comportemental ayant la forme d'un réseau de résistances thermiques apparait un choix approprié pour la modélisation simplifiée des composants électroniques.

IX. Définition des paramètres des algorithmes génétiques

Pour illustrer le fonctionnement de l'algorithme génétique, une étude a été menée sur l'influence des paramètres clés des algorithmes génétiques sur le cas du QFN16.

Celle-ci a été initialement conduite à partir du logiciel commercial Evolver®. Ce logiciel d'optimisation via les algorithmes génétiques utilise les fonctionnalités d'Excel. Il est possible de définir des cellules à ajuster et une cellule à optimiser, correspondant à la définition de la fonction coût. Le logiciel offre également une grande liberté sur les paramètres de l'algorithme génétique. Six différentes méthodes d'optimisation : « Recipe », « Grouping », « Order », « Budget », « Project » et « Schedule ». Ces méthodes sont dédiées à des problématiques très diverses. Seul l'algorithme « recipe » admet une définition d'un jeu de variable pouvant changer indépendamment. Les taux de mutation (ξ) et de croisement (γ), ainsi que la taille de la population (λ) sont modifiables facilement. Il est alors possible d'observer le nombre de génération (ng) nécessaire à la détermination du réseau final et le score correspondant.

Néanmoins, Evolver® s'avère peu performant pour des cas complexes comportant plusieurs paramètres à optimiser, la rapidité de convergence est souvent rédhibitoire. Pour parfaire celle-ci, des stratégies progressives d'évolution sont le plus souvent nécessaires.

Par exemple, s'il n'y a aucune évolution du score pendant 300 générations les taux initiaux de mutation et de croissement peuvent réduits progressivement:

- γ - 0.03% avec une valeur limite minimale fixée à 15%
- ξ - 0.03% avec une valeur limite minimale fixée à 10%

D'autre part, les stratégies basées sur l'élitisme, tels que « $\lambda+\mu$ » sont également utiles pour converger pas à pas vers la meilleure optimisation.

Le paramètre μ correspond au nombre d'individus conservé à chacune des générations pour engendrer les futures λ populations.

Ces spécificités ont été optimisées et programmées pour satisfaire notre besoin pour la génération des modèles compacts.

Le jeu de variation des paramètres λ, γ et ξ, Table 27, illustre le type d'analyse réalisée pour calibrer le processus d'obtention du meilleur score.

Paramètre AG	λ	μ	γ	ξ
Référence	400	50	50%	10%
scenario 1	1000	50	50%	10%
scenario 2	400	50	10%	10%
scenario 3	400	50	50%	50%

Table 27: Etude paramétrique de l'algorithme génétique

Le scénario « Référence » correspond à celui sélectionné pour notre programme de réduction. Un seul des paramètres est modifié au niveau des autres scénarios, par ailleurs le score est collecté toutes les mille générations jusqu'à l'arrêt de l'algorithme.

Pour plus de praticité, le score est reformulé: $R = 1 - F(T,Q)$ (Équation 10)

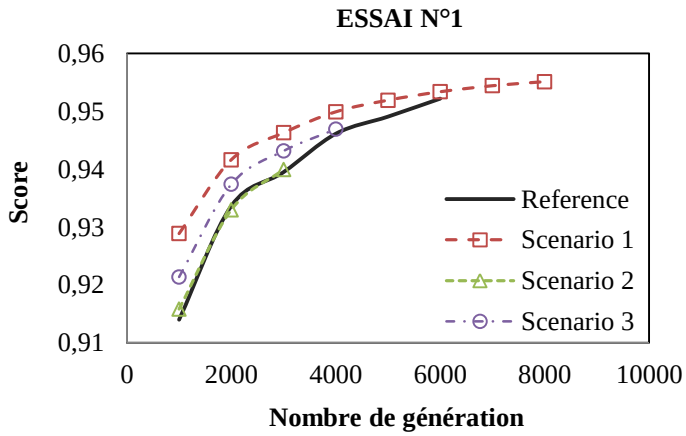


Figure 79: Tests de convergence de l'algorithme génétique

Pour juger de la reproductibilité du processus de sélection, le test ci-dessus a été reconduit à l'identique.

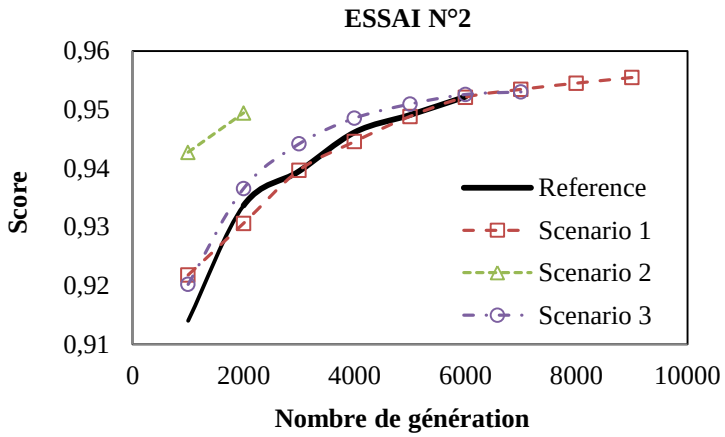


Figure 80: Reproductibilité du comportement de l'algorithme génétique

Pour le cas testé, le critère d'arrêt de la « Référence » a été atteint avant 7000 générations.

On constate pour les deux essais effectués que le taux de croisement γ est le paramètre qui a le plus d'influence sur la convergence de l'algorithme génétique puisque ce dernier s'arrête d'itérer très vite lorsqu'on passe de 50% à 10% et l'erreur de son score final par rapport à celui de la référence est la plus grande des 3 scénarios. On observe donc une convergence prématurée.

On note qu'une augmentation de la population λ a tendance à augmenter le nombre de génération. Le taux de mutation a un comportement plus aléatoire sur les deux essais.

Sur le premier, on observe une convergence prématurée, alors que sur le deuxième test, on observe une augmentation du nombre de génération tout en se rapprochant de la référence.

La faible divergence des résultats du 2eme essai, Table 28, démontre la stabilité de la solution déduite via l'algorithme génétique mis en place à Thales.

	Référence		Scénario 1		Scénario 2		Scénario 3	
	ng	R	ng	R	ng	R	ng	R
Essai n°1	6000	0.95220	8000	0,95513	3000	0,93995	4000	0,94692
Essai n°2	6000	0,95220	9000	0,95547	2000	0,94944	7000	0,95302

Table 28: Score final du réseau déduit pour le QFN16

Ces constatations confirment les résultats obtenus par Parthiban et al. En effet, il est mentionné “From the results we can see that the crossover rate has the greatest influence in the GA search optimization pattern, followed by the mutation rate and finally the population size”.

Par conséquent, les paramètres optimaux pour un algorithme génétique sont: un taux de croisement assez important, un taux de mutation qui ne soit pas trop élevé et une population qui ne soit pas trop grande afin d’optimiser le temps de calcul.

X. Fiabilité du processus de réduction

L’utilisation des algorithmes génétiques autorise une grande souplesse dans le couplage de diverses fonctions coût et scénarii de conditions aux limites. L’objectif est au final d’avoir le meilleur compromis possible sur les observables essentielles à la conception thermique.

Un réseau peut apparaitre très performant sur une des observables et défaillant sur une autre. A titre d’exemple, l’analyse des prédictions des nœuds de « junction », « bottom inner » et « top inner » est explicitée lorsque la longueur et la largeur de la puce du boitier QFN16, déclinées dans la Table 23, sont divisées par deux. La surface « top inner » correspondant à la projection de la puce sur la surface supérieure est fortement réduite.

La comparaison des réseaux est effectuée en considérant:

- les 49 scénarii « Thales »,
- les scores « Jedec » et « Thales »,
- les décompositions « 5 surfaces » et « 6 surfaces » utilisées auparavant,
- une puissance uniforme de 1W est appliquée à la surface supérieure de la puce.

Les Figure 81 et Figure 82 décrivent les écarts de température entre les modèles détaillés et compact pour les cas tests de la Table 25.

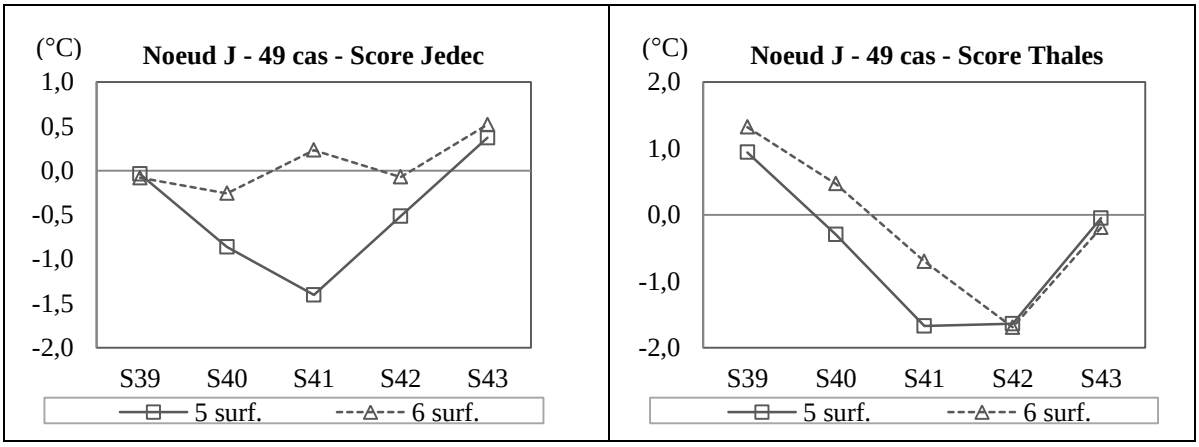


Figure 81: Prédictions des températures maximales du nœud «junction»

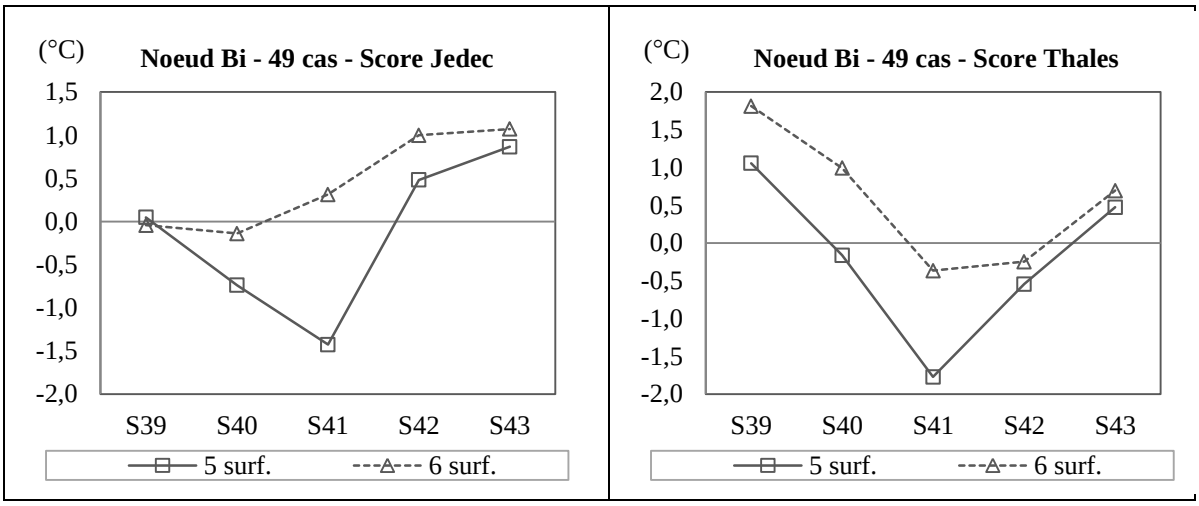


Figure 82: Prédictions des températures moyennes du nœud «Bottom inner»

Les résultats et les réseaux des quatre réseaux dérivés sont déclinés en Annexe N. Les valeurs R (Équation 10) des scores finaux pour chacun des réseaux sont:

- « Jedec »: « 5 surfaces » R=0.998, « 6 surfaces » R=0.997
- « Thales»: « 5 surfaces » R=0.988, « 6 surfaces » R=0.992

Il est net que l'utilisation du score « Jedec » comme fonction coût pour déduire le réseau s'avère plus performante que le score « Thales » sur les noeuds « junction » et « bottom inner», deux de nos observables.

En revanche son utilisation pour décrire le comportement du nœud « top inner », Figure 83, est beaucoup moins fiable. Cette constatation est également valable pour les nœuds « bottom outer » et « bottom middle ».

La prise en compte dans la fonction coût des températures maximales, moyennes et des flux thermique obligatoirement dégrade la valeur du score de la réduction.

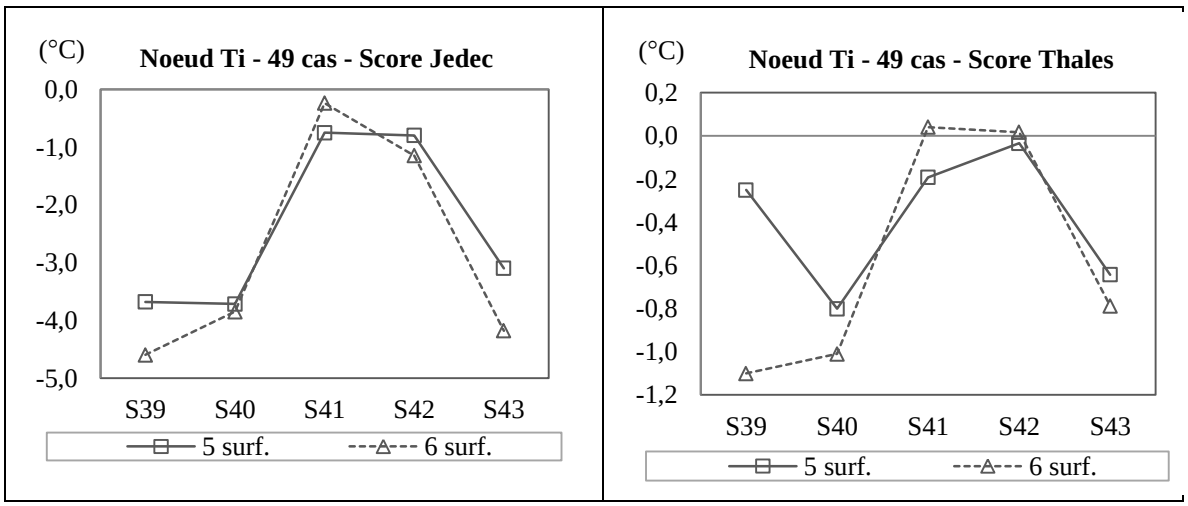


Figure 83: Prédictions des températures moyennes du nœud «Top inner»

En revanche, le comportement thermique de l'ensemble des nœuds est fidèle à celui du modèle détaillé.

XI. Industrialisation du processus de réduction

Le choix des dimensions est basé sur une analyse technologique d'un composant réel de chez le fabricant Analog Devices ayant pour référence AD8270.

Cette connaissance de la géométrie externe et interne du package permet de créer un modèle très détaillé très proche du vrai composant.

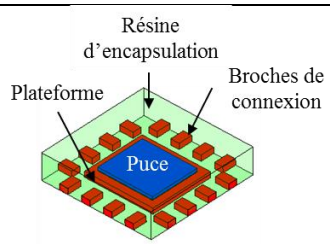
Vue du composant	Nom des éléments	Volume des constituants (mm^3)
 Pas inter-broches: 0.65 mm Pas de câblage filaire	Résine	$V_{Ext..} - V_{Int.}$ $V_{Ext.}$=4 x 4 x 0.85
	Plateforme	2.4x2.4x0.2
	Broches	(0.3x0.4x0.2) x16
	Puce	1.9x1.9x0.3
	Colle	1.9x1.9x0.03

Table 29: Présentation du composant AD8270 en boitier QFN16

Le matériau du semi-conducteur est du silicium. Sa conductivité dépend de la température selon la formule donnée par Équation 3. Les autres matériaux sont considérés isotropes et leurs propriétés thermiques sont déclinées dans la Table 30.

Le câblage filaire n'est pas considéré dans cet exemple car le modèle peut être utilisé par des logiciels n'autorisant pas cette modélisation.

Nom des éléments	Référence commerciale des matériaux	Conductivité thermique ($W.m^{-1}.K^{-1}$)	Chaleur massique ($J{\cdot}kg^{-1}{\cdot}K^{-1}$)	Masse volumique ($kg.m^{-3}$)
Résine	SUMITOMO-EME-6710SG	0.66	920	1900
Puce	Silicium	k_{Si}	708	2330
Plateforme-broches	OLIN C194	260	385	8900
Colle	ABLESTIK 71-1	2.1	728	2400
Câblage filaire	Or	317	128	19 300
Brasure	SnPb 63/37	51	167	8400

Table 30: Choix des matériaux du composant industriel

La matrice de résistance dérivée du processus automatisé de réduction est donnée dans la Table 31.

Résistances (K/W)	Fonction coût Thales – 49 cas				
5 surfaces	Top inner	Bottom inner	Top outer	Bottom outer	Sides
« Junction »	160.4	4.7	217.8	213.5	-
« Top inner »	-	4666.7	199487	3025.7	-
« Bottom inner »	4666.7	-	4312.8	718.1	-
« Top outer »	199487	4312.8	-	171.7	206.3
« Bottom outer»	3025.7	718.1	171.7	-	202.3

Table 31: Réseau du modèle compact du composant

La dissipation est uniformément répartie sur la face supérieure de la puce. Le cas d'une dissipation localisée sur un semi-conducteur en silicium sera évoqué dans la partie 4

Les fortes résistances sans incidence sur la précision sont filtrées pour alléger la complexité du réseau thermique.

La géométrie réelle du composant est réduite en une forme parallélépipédique englobant un réseau thermique. Le comportement des nœuds du réseau, Figure 84, est fidèle à celui du modèle 3D sur la gamme complète des 49 conditions aux limites, Annexe I.

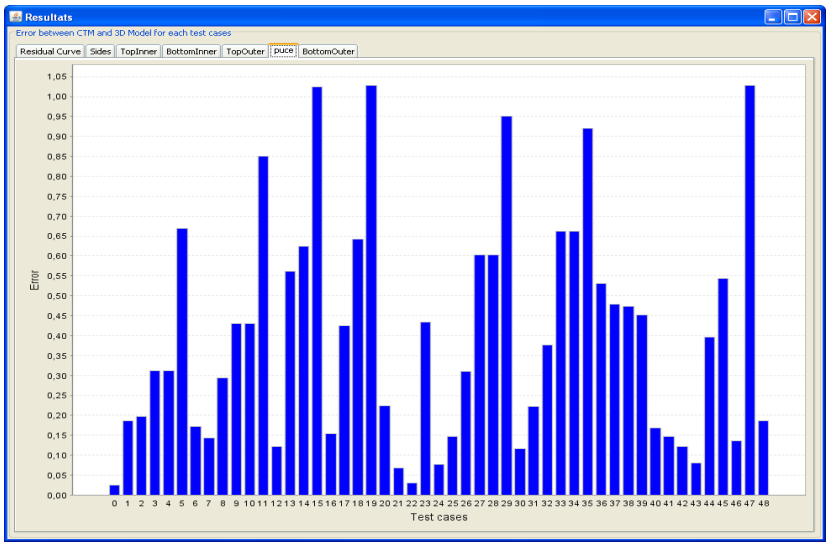


Figure 84: Comparaison sur 48 conditions entre des deux modèles du QFN16

La différence entre des températures de jonction des deux modèles est inférieure à 2%.

Afin de valider l'indépendance du modèle compact par rapport aux conditions aux limites, un scénario complémentaire, Table 32, a été testé. Celui-ci peut être rapproché d'un montage du composant sur carte de test Jedec 2s2p refroidie par convection et rayonnement thermique.

	$\mathbf{h_{Top}}$	$\mathbf{h_{Bottom}}$	$\mathbf{h_{Sides}}$
S50	20 $W.K^{-1}.m^{-2}$	800 $W.K^{-1}.m^{-2}$	10 $W.K^{-1}.m^{-2}$

Table 32: Scénario test de validation

La température ambiante est fixée à 0°C.

La prédiction du CTM est cohérente par rapport aux prévisions du modèle détaillé, Table 33, aussi bien sur les températures que pour les flux partant des différents nœuds du composant.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$	q_{DTM}	q_{DTM}	$\Delta Q_{n,b}$
« Junction »	109.6	109.9	< 1%	-1	-1	
« Top inner »	106.1	106.1	<1%	0.0076	0.00766	<1%
« Top outer »	76.7	75.0	2.2%	0.019	0.019	<1%
« Bottom inner »	105.6	107.2	1.5%	0.486	0.494	1.7%
« Bottom outer »	59.4	57.5	3.2%	0.479	0.471	1.7%
« Sides »	59.6	65.2	9.4%	0.0081	0.00887	9.5%

Table 33: Comparaison du comportement du modèle compact pour Q=1W

La prédiction du réseau doit être indépendante de la puissance dissipée. Ainsi, la modification de la puissance ne doit pas avoir d'impact sur la pertinence du modèle.

La Table 34 montre les prédictions si la puissance dissipée par la puce est divisée par deux.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$	q_{DTM}	q_{DTM}	$\Delta\mathbf{Q}_{n,b}$
« Junction »	54.8	54.9	<1%	-0.5	-0.5	
« Top inner »	52.8	53.1	<1%	0.0038	0.0038	<1%
« Top outer »	38.3	37.5	2.1%	0.0096	0.0092	<1%
« Bottom inner »	52.6	53.6	1.9%	0.243	0.247	4.2%
« Bottom outer »	29.6	28.7	3.0%	0.240	0.235	2.1%
« Sides »	29.8	32.6	9.4%	0.0041	0.0044	7.3%

Table 34: Comparaison du comportement du modèle compact pour Q=0.5W

Même si le réseau thermique généré par l'algorithme génétique n'a aucune signification physique, il reproduit plus fidèlement la distribution thermique des faces supérieure et inférieure, contrairement aux réseaux simplifiés comportant uniquement un seul nœud par surface.

La méthodologie de réduction des composants mono puce a été appliquée sur un ensemble de QFN ayant des tailles différentes et ces travaux entérinent la robustesse de la méthodologie DELPHI couplé à un algorithme génétique.

- Cas d'un boitier QFN avec 48 broches [MONIER-VINARD, 2010],
- Cas d'un boitier QFN avec 32 broches [MONIER-VINARD, 2011],

XII. Comptabilité du processus avec la nature du semi-conducteur

La majorité des travaux menés sur la réduction des composants électroniques traite du cas d'une puce dont le semi-conducteur est du silicium.

La Figure 26 a mis en avant que la conductivité thermique de l'arséniure de gallium (AsGa) est beaucoup plus sensible au niveau de température atteint par la puce encapsulée. Il est par conséquent indispensable de vérifier que le modèle dérivé via le processus de réduction est bien compatible pour ce semi-conducteur. Le modèle du boitier QFN16 est reconduit pour cette analyse, seule la nature de la puce a été modifiée par le matériau AsGa1, Table 10.

La prédiction du CTM reste fidèle comme soulignée Table 35 pour le scénario Table 32.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$	q_{DTM}	q_{CTM}	$\Delta\mathbf{Q}_{n,b}$
« Junction »	112,2	111,8	0,3%	-1	-1	
« Top inner »	106,8	107,2	-0,4%	0,0077	0,0077	0,26%
« Top outer »	77,1	73,1	5,2%	0,0191	0,0181	5,06%
« Bottom inner »	105,3	107,1	-1,6%	0,4876	0,4934	1,19%
« Bottom outer »	59,5	57,6	3,3%	0,4775	0,4719	1,18%
« Sides »	59,7	65,3	-9,3%	0,0081	0,0089	9,29%

Table 35: Comparaison du comportement du modèle compact pour Q=1W

Le réseau déduit par le processus est fourni en Annexe N.

La Table 36 montre l'évolution des prédictions si la puissance est divisée par deux.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$	q_{DTM}	q_{CTM}	$\Delta Q_{n,b}$
« Junction »	55,9	55,9	-0,1%	-0.5	-0.5	
« Top inner »	53,2	53,6	-0,7%	0,0038	0,0039	0,55%
« Top outer »	38,5	36,5	5,1%	0,0095	0,0091	4,97%
« Bottom inner »	52,7	53,5	-1,6%	0,2439	0,2467	1,16%
« Bottom outer »	29,8	28,8	3,2%	0,2387	0,2359	1,16%
« Sides »	29,9	32,6	-9,3%	0,0041	0,0044	9,34%

Table 36: Comparaison du comportement du modèle compact pour Q=0.5W

Les températures déduites de la simulation numérique, sur les deux cas précédents, sont légèrement plus élevées. Toutefois, la méthodologie est capable de prendre en compte cette variation de la nature du semi-conducteur.

La divergence des prédictions entre les deux niveaux de puissance est minime, bien que la conductivité thermique du semi-conducteur soit passée de 41.1W.m^{-1}.K^{-1} à 33.6W.m^{-1}.K^{-1}, soit une variation de l'ordre 18%.

Toutefois, cette conclusion est liée au fait que la puissance surfacique dissipée par la puce est uniformément répartie sur l'intégralité de sa face supérieure.

La représentation du comportement d'un transistor à effet de champ (TEC), Figure 33, est plus sensible.

Dans ce cas, la puissance dissipée par la puce est localisée au niveau d'un TEC ayant 5 doigts de dimensions 1µm x 200 µm dissipant chacun 0.01W.

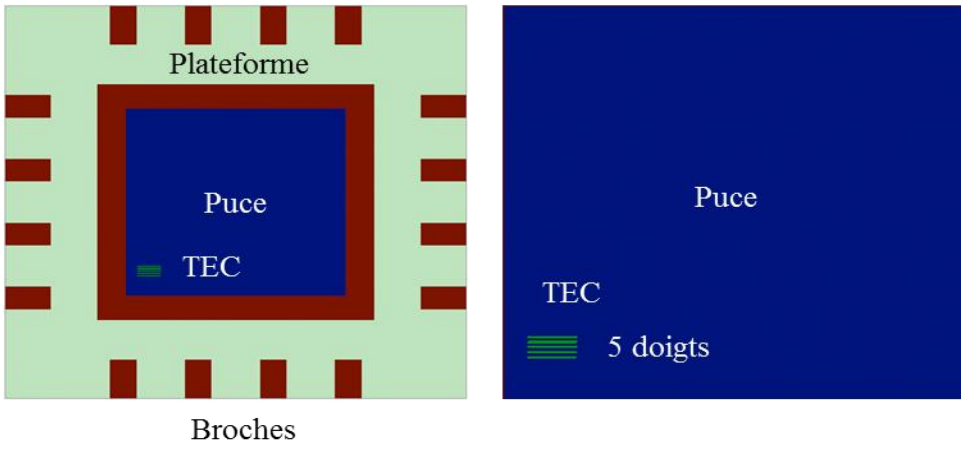


Figure 85: Présentation du QFN16 avec une dissipation localisée

Le réseau thermique considère, comme précédemment, un seul nœud de jonction, correspondant à la température maximale des 5 zones de dissipation, en fait l'évolution de la température du doigt central.

Le réseau déduit est fourni en Annexe P. On observe ainsi une variation forte de la résistance du chemin thermique prépondérant « jonction – bottom inner ». Cette dernière est dépendante de la nature du semi-conducteur, mais également du choix de modélisation de la dissipation.

La Table 39 présente la comparaison des prédictions des modèles dans le cas du scénario Table 32 et d'une puissance de 0.05Watt appliquée à ce nœud.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$	q_{DTM}	q_{CTM}	$\Delta Q_{n,b}$
« Junction »	10.2	10.3	-0.8%	-0.05	-0.05	
« Top inner »	5.2	5.3	-1.7%	0.0004	0.0038	1.5%
« Top outer »	3.9	3.7	5.3%	0.0010	0.0096	5.2%
« Bottom inner »	5.2	5.3	-1.9%	0.0241	0.2407	1.8%
« Bottom outer »	3.0	2.9	2.2%	0.0242	0.2418	1.8%
« Sides »	3.0	3.3	-8.9%	0.0004	0.0041	8.9%

Table 37: Comparaison du comportement du modèle compact pour Q=0.05W

On observe une bonne corrélation entre le modèle détaillé et le modèle compact lorsque les puissances dissipées sont identiques à celles utilisées pour la réduction, moins 1% d'écart sur le nœud de jonction.

Dans ce cas de fonctionnement, l'écart sur la température de jonction atteint 12.7% lorsque la puissance est multipliée par 10. La température des autres nœuds reste, par ailleurs, fidèle au modèle détaillé. Cela s'explique par la forte dépendance des chemins thermiques, en particuliers de la jonction vers le « bottom inner » pour ce type de composant.

La Table 38 montre les prédictions si la puissance dissipée du TEC est multipliée par 10.

b = S50	T_{DTM}	T_{CTM}	$\Delta\theta_{n.\ b}$	q_{DTM}	q_{CTM}	$\Delta Q_{n.b}$
« Junction »	118.2	103.2	12.7%	-0.5	-0.5	
« Top inner »	52.5	53.3	-1.4%	0.0038	0.0038	1.3%
« Top outer »	38.7	36.6	5.5%	0.0096	0.0091	5.4%
« Bottom inner »	52.2	53.2	-2.0%	0.2407	0.2452	1.9%
« Bottom outer »	29.6	29.0	2.2%	0.2418	0.2374	1.8%
« Sides »	30.1	32.7	-8.8%	0.0041	0.0045	8.7%

Table 38: Comparaison du comportement du modèle compact pour Q=0.5W

La vue thermique met en évidence un fort gradient thermique localisé dans un angle de la surface de la puce, contrairement au cas d'une dissipation uniforme. Une variation de température de 67.2°C est constatée sur cette surface.

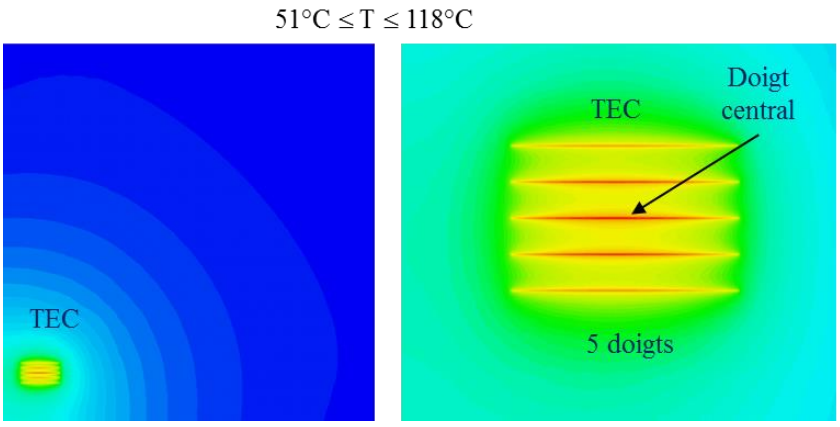


Figure 86: Puce AsGa avec une dissipation localisée

Pour réduire cet écart, il est possible d'effectuer la réduction sur les mêmes scénarios en considérant deux niveaux différents de dissipation. Cette méthode assure d'avoir une moyenne sur les extrêmes.

En outre, une résistance dépendante de la température peut être introduite dans le réseau pour prendre en compte cette variation.

XIII. Extension de la méthodologie mono-puce DELPHI

A. Le projet PROFIT

A l'issue du projet européen DELPHI, il a été envisagé de pouvoir caractériser les composants électroniques dans le domaine temporel. La génération de modèles compacts dynamiques, indépendants des conditions aux limites, a été au cœur du projet PROFIT [**PAPE, 2004**]. Ceux-ci sont le plus souvent définis par l'acronyme DTCM pour « Dynamic Compact Thermal Model ».

Le projet Profil fait le postulat que les valeurs des réseaux de résistance ont été ajustées par une routine d'optimisation numérique en exploitant les résultats des simulations des scénarii mis en place pour DELPHI. Puis les valeurs optimisées des capacités thermiques nécessaires au modèle dynamique sont ajoutées au réseau existant.

Cette approche en deux étapes successives a été explorée par Christiaens et al [**CHRISTIAENS, 1998**] sur un composant électronique mono-puce. L'ajustement du modèle CTM, puis du modèle DCTM, est basé uniquement sur leur accord avec la température vue par la jonction du modèle détaillé. Hormis pour la capacité thermique de partie active, ou jonction, les autres capacités sont introduites sur de nouveaux nœuds crées dans le réseau. Ainsi les résistances thermiques du réseau initial sont scindées en deux. Si la somme des deux parties reste identique à la résistance initiale, la position du nouveau nœud est ajustée pour satisfaire les exigences en termes de précision, Figure 87.

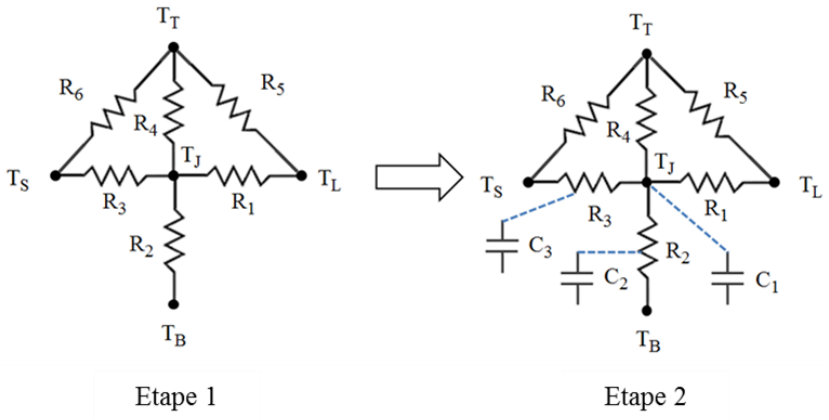


Figure 87: Principe de l'approche déclinée par Christiaens et al

Peu ou pas d'articles ont repris la méthodologie de réduction décrite dans le cadre du projet PROFIT dans le but de développer des modèles thermiques compacts transitoires. Nos travaux vont par conséquent se concentrer sur la validation de ces concepts dédiés aux seuls composants mono-puce, puis aborder la problématique de leur extension à des composants électroniques plus sophistiqués.

B. Description des implémentations de la méthodologie PROFIT

A la différence de l'approche précédente, tous les nœuds du réseau de résistances sont dotés d'une capacité thermique.

La Figure 88 présente un exemple de la forme du réseau recherchée pour la création du modèle compact dynamique.

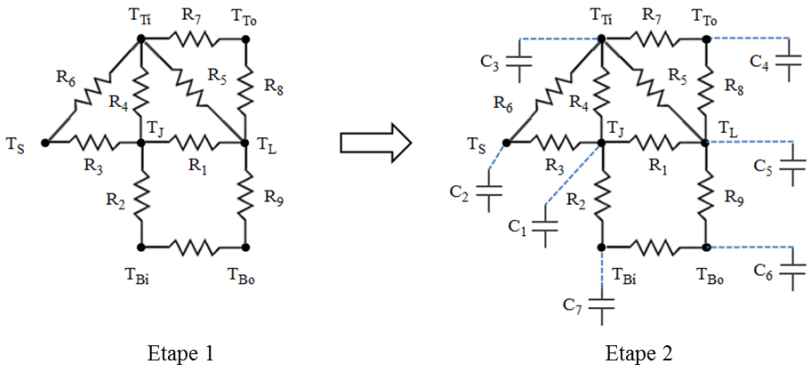


Figure 88: Forme du réseau thermique dynamique

Considérant l'analogie électrothermique, la loi des nœuds est appliquée à chacun des points du réseau. Les résistances thermiques sont exprimées sous la forme d'un jeu de conductances, notées $G_{i,j}$, reliant chacun des nœuds constitutifs du réseau. Les surfaces externes sont connectées à un nœud de référence dédié à la température ambiante. Ces conductances de type « Newton » entre un nœud d'indice i et un nœud dit « ambiante » seront désignées par $G_{i,amb}$.

Sur la base d'un modèle linéaire, on écrit bilan thermique d'un nœud i sous la forme:

$$P_i = C_i \frac{dT_i}{dt} + \sum_{j=1}^{n} G_{i,j}.\left(T_i - T_j\right) + G_{i,amb}.\left(T_i - T_{amb}\right)$$

Équation 11: Bilan de chaleur sur un nœud

Nous verrons que cette hypothèse reste valide dans la plupart des cas où la source de dissipation est uniformément répartie sur toute la surface de la puce, même si la conductivité du matériau varie en fonction de la température. Cette approche, dans le sens de l'indépendance par rapport aux conditions aux limites, atteint ses limites lorsque la ou les zone(s) de dissipation sont très localisées.

Comme proposé par la méthodologie DELPHI, le processus de réduction est scindé en deux étapes.

- Etape 1: Résolution du système en permanent

Dans ce cas l'évolution de la température est indépendante du temps et la matrice [C] n'a pas d'impact sur la résolution du problème.

L'Équation 11 se résume à l'Équation 12.

$$P_i = \sum_{j=1}^{n} G_{i,j}.\left(T_i - T_j\right) + G_{i,amb}.\left(T_i - T_{amb}\right)$$

Équation 12: Bilan de chaleur sur un nœud en permanent

Le même raisonnement est appliqué à tous les nœuds du réseau. Pour un composant électronique, seule la puissance du ou des nœuds dits de « jonction » est non nulle. De la même manière, seules les surfaces externes ont des conductances $G_{i,amb}$ non nulles.

Le système d'équation peut être mis sous la forme matricielle, Équation 13.

$$[P] = ([G] + [G_{amb}]_b).[T]_b - [G_{amb}]_b.[T_{amb}]$$

Équation 13: Présentation matricielle du problème en régime permanent

Ainsi la matrice $[G_{amb}]_b$ prend en charge que les conditions d'environnement et varie en fonction de b scénarios.

Pour ne pas alourdir la résolution du problème, la matrice $[T_{amb}]$ est supposée nulle, l'expression peut être mise sous la forme:

$$[T]_b = ([X]_b)^{-1}.[P] \quad avec\ [X]_b = [G] + [G_{amb}]_b$$

Équation 14: Résolution matricielle du problème en régime permanent

Les matrices $[G]$ et $[G_{amb}]_b$ ont la forme suivante:

$$[G] = \begin{bmatrix} \sum_{j=1}^{n} G_{1,j} & -G_{1,2} & \cdots & -G_{1,n} \\ -G_{2,1} & \sum_{j=1}^{n} G_{2,j} & \cdots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ -G_{n,1} & \cdots & \cdots & \sum_{j=1}^{n} G_{n,j} \end{bmatrix} \quad [G_{amb}]_b = \begin{bmatrix} G_{1,amb} & 0 & \cdots & 0 \\ 0 & G_{2,amb} & \cdots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ 0 & \cdots & \cdots & G_{n,amb} \end{bmatrix}$$

Les chapitres précédents ont explicités la méthode de détermination de la matrice $[G]$. Cette dernière est considérée rendue indépendante des conditions aux limites décrites par la matrice $[G_{amb}]_b$, ceci grâce à sélection du meilleur réseau par l'algorithme génétique. Ce dernier tient compte de la variation non-linéaire de la conductivité thermique des matériaux en fonction de la température. Le fait de conserver un vecteur des puissances $[P]$ fixe pour les 38 ou 49 conditions aux limites engendre de large gamme de températures au sein du composant et par ce fait de minimiser cet impact.

- Etape 2: Résolution du système en transitoire

Dans la nouvelle partie du processus de réduction, il s'agit de déterminer les capacités thermiques à appliquer à chaque nœud du réseau, ceci à partir de l'Équation 11.

Cette matrice des capacités se présente sous la forme d'une matrice diagonale:

$$[C] = \begin{bmatrix} C_1 & 0 & \cdots & 0 \\ 0 & C_2 & \cdots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ 0 & \cdots & \cdots & C_n \end{bmatrix}$$

Les matrices$[G]$ et $[C]$ ne dépendent que de la géométrie interne du composant.

Sur la base d'un développement en série de Taylor, de la température, on déduit:

$$T_i(t_k) = T_i(t_{k-1}) + \frac{\left(\frac{dT_i}{dt}\right)_{t_k}}{1!}.(t_k - t_{k-1}) + \frac{\left(\frac{d^2T_i}{dt^2}\right)_{t_k}}{2!}.(t_k - t_{k-1})^2 + \ldots$$

Équation 15: Développement en série de Taylor de la température à l'instant t_k

Le développement à l'instant t_k est retenu car en général la température initiale de fonctionnement est connue. Le processus de calcul est ascendant.

Si les pas de temps sont suffisamment petits ou si la variation de la température entre deux instants successifs n'est pas abrupte, on se limite à un développement du premier ordre en tronquant les termes d'ordre plus élevés de la série de Taylor.

$$\left(\frac{dT_i}{dt}\right)_{t_k} = \frac{T_i(t_k) - T_i(t_{k-1})}{t_k - t_{k-1}}$$

Cette relation, appliquée au nœud i, au temps t_k, donne:

$$P_i(t_k) = C_i.\frac{T_i(t_k) - T_i(t_{k-1})}{t_k - t_{k-1}} + \sum_{j=1}^{n} G_{i,j}.\left[T_i(t_k) - T_j(t_k)\right] + G_{i,amb}.\left[T_i(t_k) - T_{amb}\right]$$

Ou encore en considérant $\mathrm{T_{amb}} = 0$

$$P_i(t_k) = \left[\frac{C_i}{t_k - t_{k-1}} + \sum_{j=1}^{n} G_{i,j} + G_{i,amb}\right].T_i(t_k) - \sum_{j=1}^{n} G_{i,j}.T_j(t_k) - \frac{C_i}{t_k - t_{k-1}}.T_i(t_{k-1})$$

Cette approche explicite permet d'avoir une résolution matricielle du problème telle que défini par l'équation avec $[\mathrm{X}]_\mathrm{b} = [\mathrm{G}] + [\mathrm{G_{amb}}]_\mathrm{b}$.

$$[\mathrm{P(t_k)}] = \left[\frac{1}{\mathrm{t_k - t_{k-1}}}.[\mathrm{C}] + [\mathrm{X}]_\mathrm{b}\right].[\mathrm{T(t_k)}]_\mathrm{b} - \frac{1}{\mathrm{t_k - t_{k-1}}}.[\mathrm{C}].[\mathrm{T(t_{k-1})}]_\mathrm{b}$$

Équation 16: Présentation matricielle du problème

On en déduit :

$$[\mathrm{T(t_k)}]_\mathrm{b} = \left[\frac{1}{\mathrm{t_k - t_{k-1}}}.[\mathrm{C}] + [\mathrm{X}]_\mathrm{b}\right]^{-1} \cdot \left[[\mathrm{P(t_k)}] + \frac{1}{\mathrm{t_k - t_{k-1}}}.[\mathrm{C}].[\mathrm{T(t_{k-1})}]_\mathrm{b}\right]$$

Équation 17: Résolution matricielle du problème en régime transitoire

Où $[P(t_k)]_b$ est le vecteur de puissance appliqué aux nœuds à t_k.

$[T(t_k)]_b$ et $[T(t_{k-1})]_b$ sont les vecteurs de température respectivement aux instants t_k et t_{k-1}.

Une formulation classique utilisée par d'autres auteurs [**VINCEZI, 2011**].

Ces températures dépendent des b conditions aux limites appliquées au modèle transitoire.

Les nouvelles conditions proposées à l'issue de notre analyse [MONIER-VINARD, 2011] sont déclinées dans le Table 39.

Celles-ci différent des conditions utilisées pour la création du réseau de résistance. Le nombre de conditions aux limites nécessaires à la détermination des capacités thermiques du réseau est toutefois beaucoup moins important.

En effet, en régime transitoire, la dépendance par rapport aux conditions aux limites est moins marquée, en particulier pour les premiers paliers des courbes dynamiques.

L'optimisation de la matrice des capacités thermiques est faite à partir d'algorithmes génétiques.

	Coefficients d'échange thermique h en $W.m^{-2}.K^{-1}$		
Scénarii	**hTop**	**hBottom**	**hSides**
1	15	100	5
2	50	250	15
3	800	20	5
4	1.10^{-8}	1.10^{-8}	1.10^{-8}
5	40	1000	15
6	1.10^{-8}	100	50
7	1000	40	100
8	100	1.10^{-8}	5
9	15	200	200
10	30	200	50

Table 39: Coefficients d'échange thermique pour la génération du modèle dynamique

Il faut être très vigilant par rapport à la discrétisation en temps. Il est conseillé de retenir un maillage non uniforme, assez fin sur les premiers pas de temps puis plus relâché lorsque l'on s'approche du régime permanent.

La formule ci-dessous donne la progression des pas de temps.

$\Delta t(t) = \Delta t_0 + a.t$ ou encore $t_{i+1} - t_i = \Delta t_0 + a.t_i$

Charge à l'utilisateur de fournir les valeurs des paramètres Δt_0 pour préciser la discrétisation souhaitée.

C. Création d'un modèle comportemental dynamique

La méthode de réduction est basée sur la méthodologie de résolution nodale décrite précédemment. A partir du réseau de résistance, la seconde étape du processus consiste à déterminer les capacités en mesure de reproduire le comportement thermique temporel au moyen d'un algorithme génétique.

Ses paramètres sont définis dans la Table 40.

Paramètre AG	Taille de la population	γ	ξ
Référence	150 - 300	50%	10%

Table 40: Paramètres fixés pour l'algorithme génétique

Comme pour la construction des modèles compacts « statiques », les matrices candidates sont évaluées par rapport à une fonction score décrite par l'Équation 18.

$$F_t = 1 - \frac{1}{M.N.nt}.\sum_{b=1}^{M}\sum_{n=1}^{N}\sum_{k=1}^{nt}\left\{W.\left[\Delta T(t_k)_{n=j,b}\right]^2 + \frac{1-W}{N-1}.\left[\Delta T(t_k)_{n\neq j,b}\right]^2\right\}$$

Équation 18: Définition de la fonction coût destinée aux modèles dynamiques

Avec nt le nombre de pas de temps. Le poids entre la température de la jonction et celles des autres nœuds du réseau W est fixé à 0.5.

L'optimisation est basée uniquement sur les températures car il est difficile d'ajuster des flux thermiques quasi nul dans les premiers pas temps.

Les capacités thermiques extraites de la matrice diagonale sont reprises dans la Table 41. La somme des capacités thermiques est très proche de la valeur déduite du modèle détaillé égale à 25.8 $mJ.K^{-1}$.

Nœuds	Junction	Top inner	Bottom inner	Top outer	Bottom outer	Sides	$\sum C_n$
C x 10-3 J. K^{-1}	5.7	1.4	1.8	9.4	2.3	7.3	27.9

Table 41: Capacités thermiques associées au réseau de résistance

En reprenant la condition aux limites S50 de la Table 32, une comparaison des réponses temporelles concernant la température de jonction du modèle détaillé et de son modèle compact RC a été menée, Figure 89.

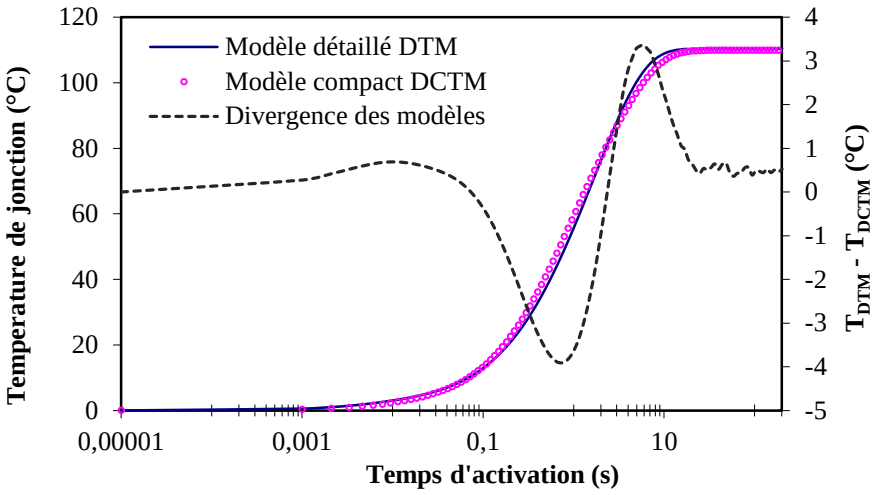


Figure 89: Comparaison entre le DTM et le DCTM du QFN16

Pour cette condition aux limites, la température de jonction de la puce évolue d'une température ambiante nulle, à une température stabilisée de 110 °C.

La divergence (T_{DTM}-T_{DCTM}) maximale entre les deux modèles est faible, moins de 4°, en valeur absolue.

Les erreurs les plus élevées sont manifestes aux points d'inflexion relatifs au chargement successif des capacités thermiques des constituants du composant.

L'extension de la méthodologie Delphi à la modélisation du comportement dynamique des composants électroniques dit mono-puce est démontrée. Celle-ci fait également appel à la mise en œuvre de:

- Un set spécifique de conditions de conditions aux limites,
- Une technique d'identification basée également sur un algorithme génétique,
- Une fonction coût pour caractériser l'erreur.

D. Amélioration de la qualité des modèles dynamiques

La représentativité d'un réseau RC unidirectionnel est fonction d'un nombre échelon introduit pour ajuster plus finement le modèle sur les éléments constitutifs du composant, Figure 62. Un réseau basé uniquement sur la définition des faces externes et d'un seul nœud interne est le plus souvent insuffisant pour traduire correctement l'évolution temporelle, en particulier sur les premiers pas de temps.

Pour pallier à ce problème, les résistances thermiques représentatives des chemins prépondérants sont subdivisées, au minimum, en deux éléments afin d'améliorer la qualité des prédictions du réseau RC sur l'ensemble du domaine temporel.

A l'instar des travaux menés par Chritiaens [**CHRISTIAENS, 1998**] et Parthiban [**PARTHIBAN, 2005**], l'adjonction de nœuds « fictifs » est effectuée progressivement et leur position sur la branche du réseau analysé est laissée au choix de l'algorithme.

La Figure 90 décrit le principe de fonctionnent de cette troisième étape de réduction.

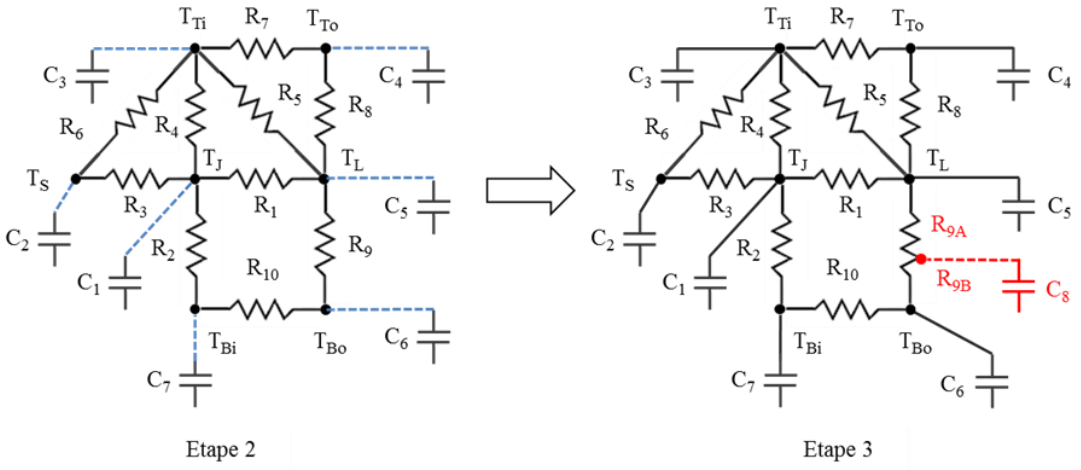


Figure 90: Forme du réseau thermique dynamique

Là encore par l'algorithme génétique est mis en œuvre pour générer automatiquement les facteurs de segmentation des résistances. La formule de décomposition des résistances, dans le cas d'une seule fragmentation, est donnée par la formule suivante:

$$R_{i,j} = \alpha_{fn}.R_{i,fn} + (1 - \alpha_{fn}).R_{fn,j}$$

Les valeurs de α_{fn} sont récupérées à partir de l'algorithme génétique du logiciel Evolver®.

Sur le cas du QFN16, pour parfaire la précision de son modèle compact, ce processus a discerné 4 nouveaux nœuds internes à introduire dans le réseau, reliant le nœud de jonction et les nœuds « Top inner », « Bottom inner », « Top outer » et « Bottom outer ».

La Table 42 désigne la modification apportée au réseau initial fournit dans de la Table 32.

Résistances (K/W)	**Fonction coût Thales – 49 cas**				
5 surfaces	**Junction**	**Top inner**	**Bottom inner**	**Top outer**	**Bottom outer**
« Bottom inner »	-	4666.7	-	4312.8	718.1
« Top outer »	-	199487	4312.8	-	171.7
« Bottom outer»	-	3025.7	718.1	171.7	-
« Inner 1»	56.9	103.5	-	-	-

« Inner 2»	4.47	-	0.27	-	-
« Inner 3»	99.5	-	-	118.3	-
« Inner 4»	213.5	-	-	-	0.0021
« Sides »	-	-	-	206.3	202.3

Table 42: Réseau de résistances modifié du modèle compact du QFN16

L'introduction des nœuds fictifs a une influence sur la capacité thermique globale du réseau DCTM, qui est égale à 26.3 $mJ.K^{-1}$.

Cette dernière est plus proche de la valeur du modèle détaillé estimée à 25.8 $mJ.K^{-1}$.

Les nouvelles valeurs des capacités sont déclinées dans la Table 43.

Nœuds	**Junction**	**Top inner**	**Bottom inner**	**Top outer**	**Bottom outer**	**Sides**
C x 10-3 J. K^{-1}	1.77	9.25	2.46	3.91	2.4	8.79

Nœuds	Inner 1	Inner 2	Inner 3	Inner 4	$\sum C_n$
C x 10-3 J. K^{-1}	7.36	2.58	2.57	2.32	26.3

Table 43: Capacités thermiques associées au réseau de résistance

La Figure 91 montre la divergence du réseau amélioré, ainsi que les pourcentages d'erreur, sur tous les pas de temps, entre l'ancien et le nouveau modèle DCTM.

La modification du réseau améliore significativement la qualité du DCTM, Figure 91.

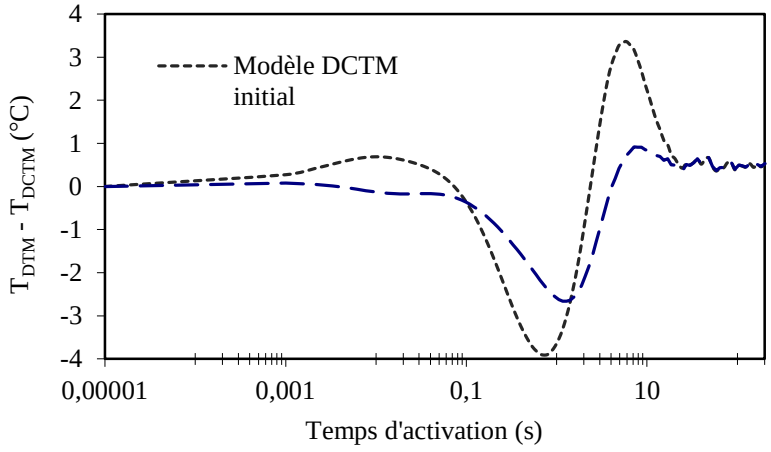


Figure 91: Comparaison des précisions des DCTM avec ou sans nœuds internes

La qualité du réseau est globalement améliorée, en particulier sur les premiers pas de temps. La divergence (T_{DTM}-T_{DCTM}) maximale est désormais réduite à moins de 3.5 °C, en valeur absolue. La précision du modèle révisé est explicitée Figure 92.

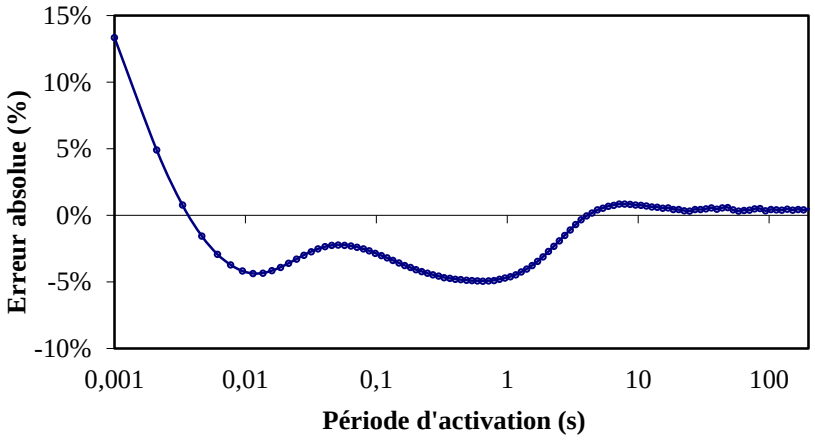


Figure 92: Ecart sur la température de jonction du DCTM du QFN16

On constate que le modèle présente une erreur absolue, inférieur à 5%, dès que la température vue par la puce devient significative.

E. Prévisions du modèle pour un cycle d'activation-désactivation

La qualité du modèle doit également être validée quand un cycle d'activation et de désactivation de la puce. Le cycle mis en œuvre pour ce test est décrit dans la Figure 93.

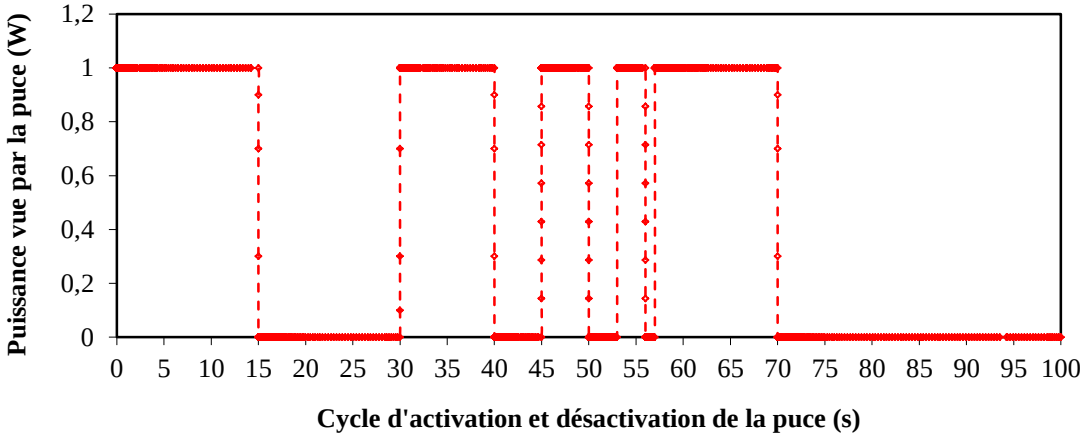


Figure 93: Définition des périodes d'activation et de désactivation de la puce

Les premiers instants d'activation ou de désactivation sont mal interprétés par le modèle compact, Figure 94. Les écarts sur la prévision des températures de jonction constatés sont plus importants.

La segmentation mise en œuvre est insuffisante. Le nombre d'échelons RC doit être accentué pour améliorer la sensibilité du modèle. Cette modification est difficilement réalisable à partir du logiciel Evolver® dont les performances sont limitées pour de large réseau. Une programmation du processus est à développer pour accentuer les possibilités de segmentation du réseau.

Toutefois l'erreur relevée sur les pics de température n'excède pas 10%. Ainsi tout dépend de la précision attendue sur les différents instants du cycle.

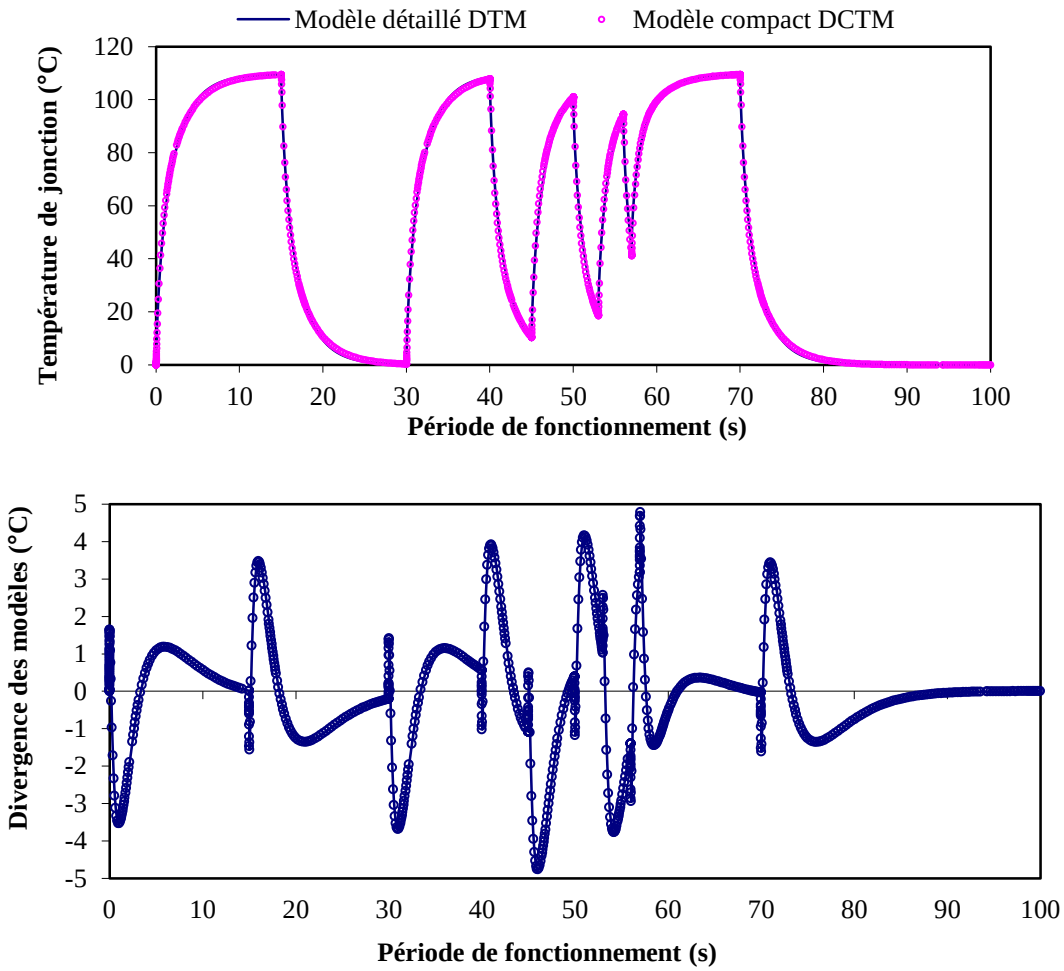


Figure 94: Performances du modèle en fonctionnement discontinu

L'intérêt des modèles DCTM est de pourvoir limiter la température vue par la puce du composant au moyen d'une optimisation temporelle de la puissance appliquée.

Les cycles peuvent être analysés en accord avec le modèle électrique en utilisant par exemple le logiciel Spice®.

Malgré une faible divergence entre la simulation thermique et la simulation électrique, Figure 95, le bénéfice sur les temps de calcul est majeur.

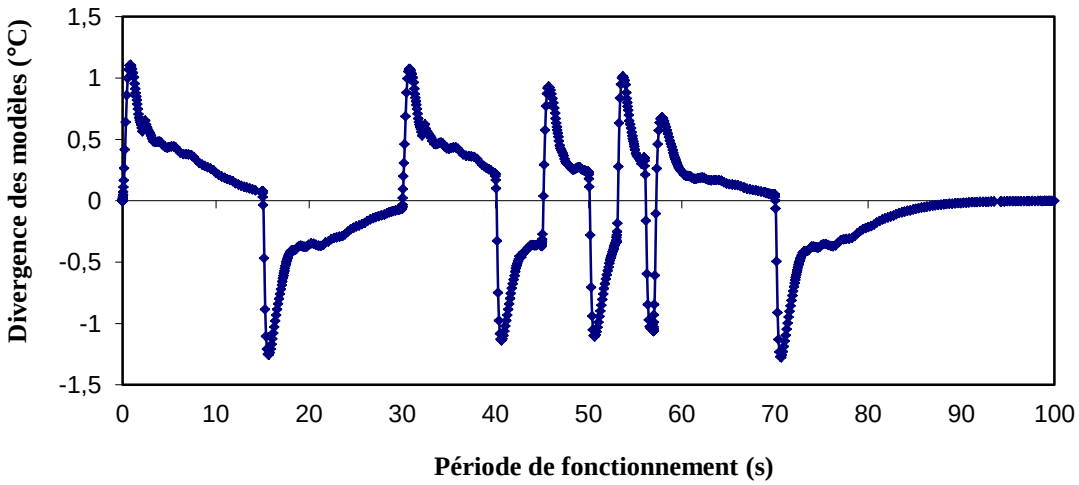


Figure 95: Comparaison du comportement du réseau RC dans Spice® et Icepak®

L'utilisation des modèles électrothermiques dans Spice® fait l'objet de travaux, les plus récents menés par l'université polytechnique de Milan [**CODECASA, 2014**].

F. Pertinence des modèles dynamiques compacts par rapport aux effets d'échelle

La même approche a été appliquée à des composants QFNs mono-puce de diverses tailles afin de statuer sur la robustesse de la méthodologie.

Les caractéristiques géométriques, d'un composant de type QFN possédant un nombre doublé de connexion, à savoir 32, sont décrites dans la Table 44.

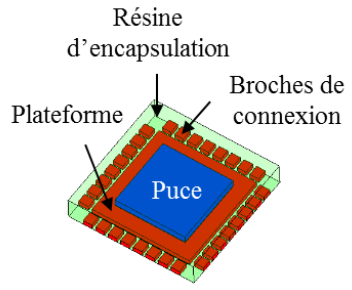
Vue du composant	**Nom des éléments**	**Volume des constituants (mm^3)**
	Résine	$V_{Ext..} - V_{Int.}$ avec $V_{Ext.}$=5 x 5 x 0.9
	Plateforme (+ 32 broches)	3.9x3.9x0.2
		(0.23x0.4x0.2) x32
	Puce	2.8x2.8x0.28
	Colle	2.8x2.8x0.03

Table 44: Présentation du boitier QFN32

Les propriétés thermiques des matériaux des éléments constitutifs du boitier sont inchangées. On suppose toujours une dissipation uniforme de 1 Watt.

Le réseau dérivé du processus de réduction comprend 4 nœuds internes reliant le nœud de jonction et les surfaces supérieures et inférieures du boitier. Le réseau complet est fourni en Annexe Q.

En reprenant la condition aux limites S50 de la Table 32, on vérifie que la comparaison entre les modèles DTM et DCTM est fiable, telle que décrite dans la Figure 96.

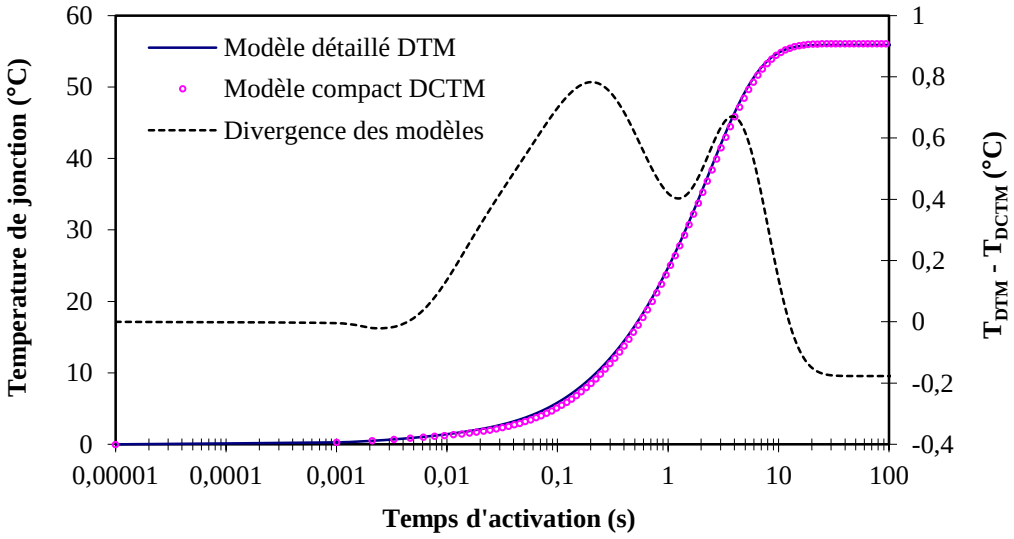


Figure 96: Comparaison des modèles DTM et DCTM du QFN32

Du fait des dimensions plus larges des différentes parties du composant, par rapport au précédent, la température atteinte dans ce cas est diminuée de moitié.

L'erreur absolue du modèle compact dynamique est tracée sur la Figure 97.

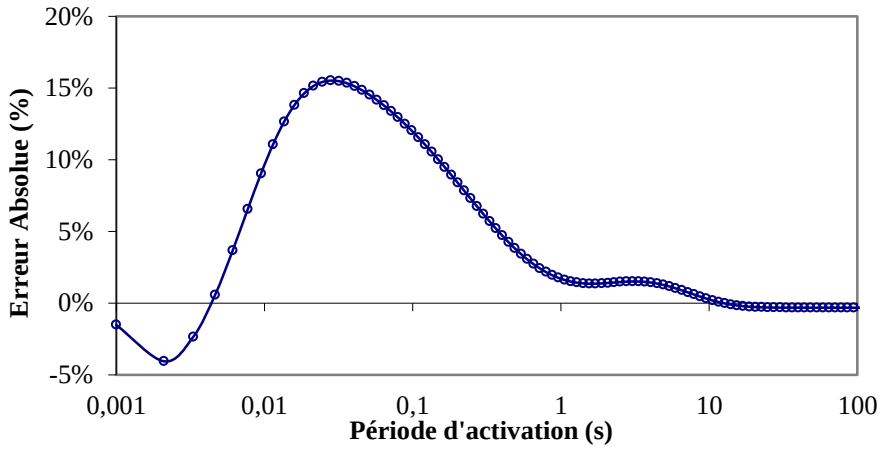


Figure 97: Ecart sur la température de jonction du DCTM du QFN32

A l'instar du cas du boitier QFN16, les pourcentages d'erreur plus importants sont relevés sur les premiers instants de l'activation du composant. Ceux-ci peuvent être réduits en accentuant le nombre de nœuds internes fictifs.

Le processus de création de modèle compact dynamique est validé pour les composants symétriques dotés d'une seule puce.

G. Problématique des composants mono-puce asymétrique

La décomposition proposée par le standard JEDEC s'adresse uniquement à des composants symétriques, le centre de la puce est confondu avec celui du boitier. Or plusieurs familles sont asymétriques, telles que les « Powerpaks » ou les « D2pak ».

Pour illustrer le comportement thermique de ces boitiers, deux configurations électriques de «powerpaks» sont étudiées. Les dimensions externes du composant sont identiques, seul le type de connexion électrique des broches à puce diffère, Figure 98.

Ainsi la connexion électrique d'un mosfet vers les broches est assurée soit par:

- un ensemble de fils métalliques,
- un « clip » massif métallique.

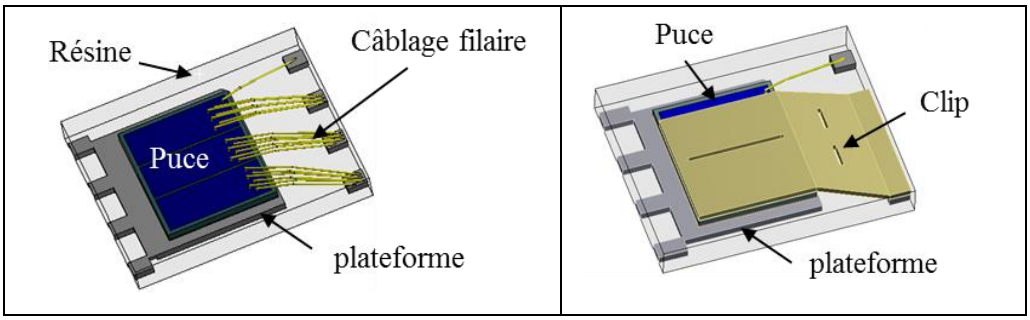
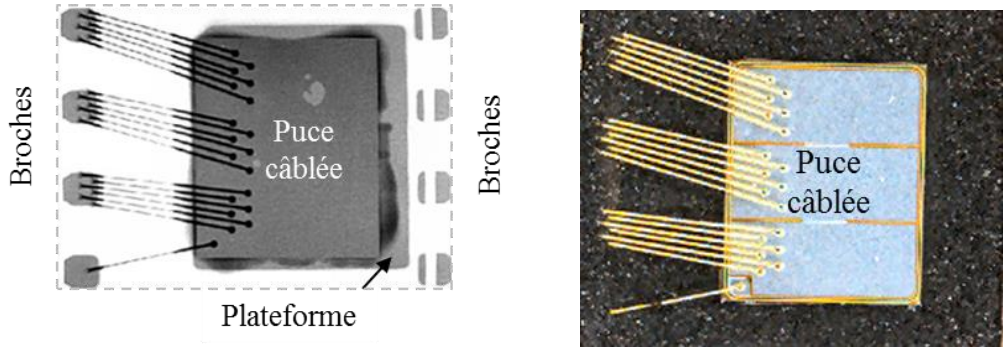


Figure 98: Deux types de topologies de « powerpaks »

Ce « clip » est d'un matériau conducteur électrique, le plus souvent du cuivre, pour faciliter le transport du courant.

Les principaux avantages de ces boitiers sont la réduction des contraintes thermomécaniques et l'augmentation des performances thermiques.

L'étude est menée sur un composant réel ayant pour référence FDMS2572. Sa constitution est définie au moyen d'analyses technologiques, Figure 99.



Vue RX de dessus du boîtier Vue interne après attaque chimique

Figure 99: Analyse de construction du boîtier Fairchild dit « Power56 »

On remarque clairement la dissymétrie du boîtier, la plateforme située à droite va transférer la majorité de la puissance dissipée par la puce vers la carte.

La géométrique des différents éléments est donnée dans la Table 45.

Le mosfet est considéré comme une mono-source de chaleur, désigné sous le nom de «puce » (partie bleue). Celui-ci est collé sur une plateforme métallique (partie grise).

Les propriétés thermiques des matériaux des constituants ont été fournies en Table 30.

Si la réduction du composant doté d'un clip converge sur un score important, celle du composant en version filaire de la Table 45 s'avère plus problématique.

La principale difficulté relevée pour la réduction de ce type de composants asymétriques est la prise en compte dans le modèle numérique du câblage filaire. Les fils de connexions sont le plus souvent négligés en raison de l'augmentation de la taille des modèles numériques nécessaires à leur simulation.

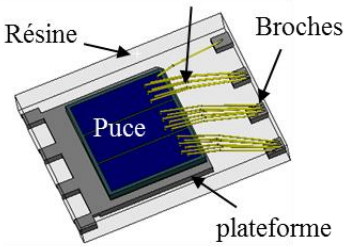
Câblage filaire	Nom des éléments	Volume des constituants (mm^3)
 Pas inter-broches: 1.27 mm Diamètre câblage filaire : 50µm Nombre de fils : 19	Résine	$V_{Ext..} - V_{Int.}$ avec $V_{Ext.}$=6 x 4.9 x 0.694
	Plateforme	3.3 x 3.8 x 0.25
	Broches	(0.5x0.4x0.25) x8
	Puce	2.8 x 3.3 x 0.19
	Colle	2.8 x 3.3 x 0.034

Table 45: Présentation du boîtier dit « Power56 »

La nature des fils de connexion, du cuivre ou de l'or, joue un rôle moindre par rapport à l'absence de ces connexions, Figure 100.

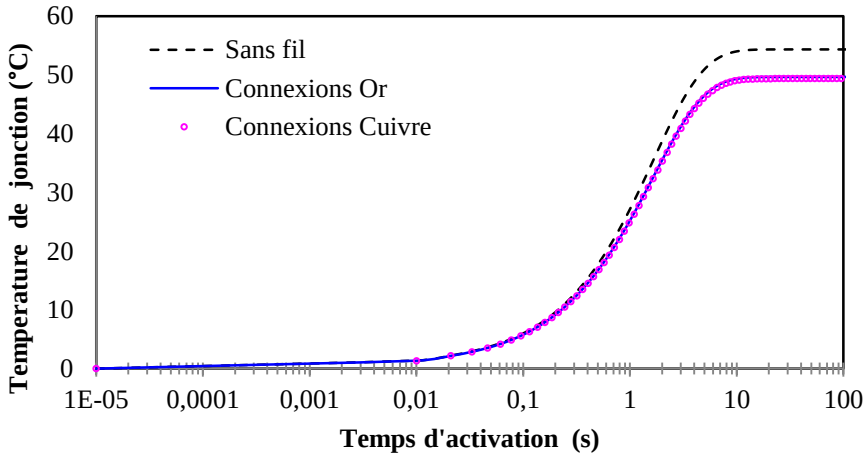


Figure 100: Impact des fils métalliques sur la température de jonction

Quelle que soit la nature des fils de connexion, du cuivre ou de l'or, leur présence engendre une diminution de l'ordre de 10% de la température atteinte par la puce.

De plus, l'impact sur l'homogénéisation thermique de ces fils métalliques, à forte conductivité thermique, est assez significatif comme le démontre la Figure 101.

Les températures sont déduites des conditions aux limites définies Table 32 et une puissance surfacique imposée à la face supérieure de la puce de 0.9Watt.

Il est évident que la représentation des températures moyennes vues par les faces latérales par un nœud unique dit « sides » ne peut aboutir lorsque le câblage filaire est omis.

Seule une décomposition de ces surfaces en plusieurs nœuds, trois par exemple, permet de conserver la qualité des modèles compacts dérivés du processus de réduction.

Les faces supérieure et inférieure nécessitent également des subdivisions supplémentaires.

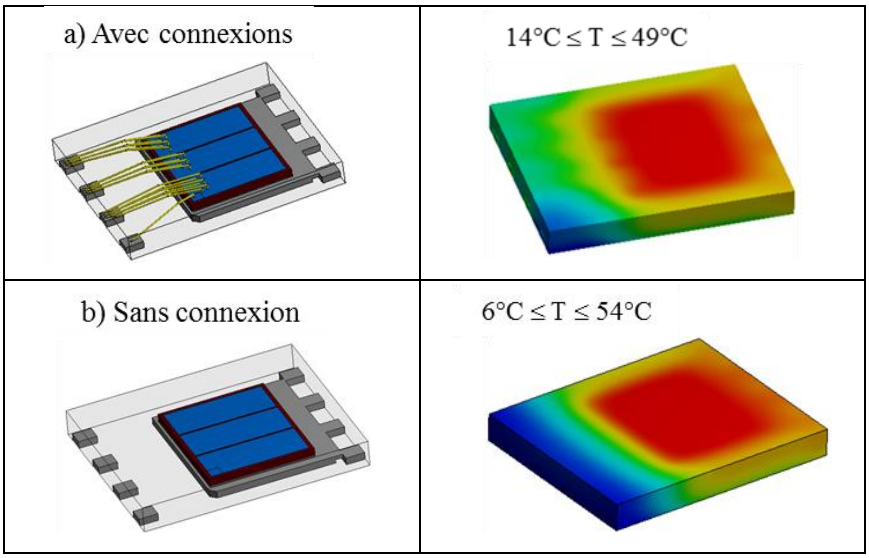


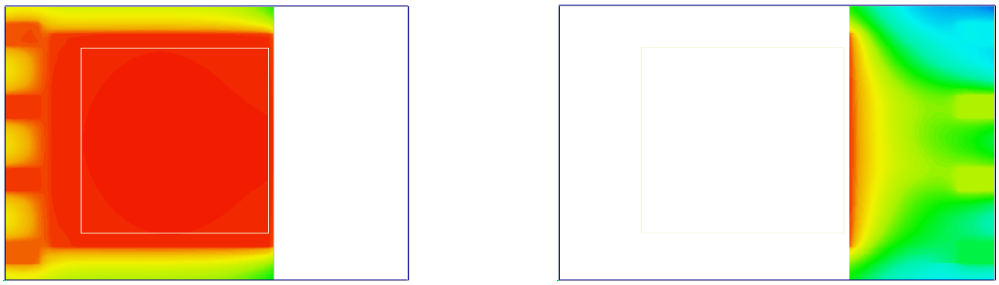
Figure 101: Impact des fils de connexion sur les températures du boitier

Par conséquent, pour retranscrire fidèlement le comportement thermique du composant, il est indispensable de représenter ces fils de connexion dans le modèle numérique.

Néanmoins la prise en compte de ces éléments rend plus complexe la représentation de la géométrie interne du composant. Le temps de simulation pour établir le modèle compact dynamique est également plus conséquent.

Avec la prise en compte des fils de connexion, la forme du réseau est restreinte à une topologie Jedec de type « 5 surfaces » à savoir les surfaces supérieure et inférieure subdivisées en deux et les quatre surfaces latérales regroupées.

Si le découpage de la face supérieure suit à la norme Jedec, correspondant à la projection de la puce sur cette surface, celui de la face inférieure est moins intuitif, Figure 102.



Surface dite « Bottom Inner » Surface dite « Bottom Outer »

Figure 102 : Découpage de la face inférieure du « Power56 »

Les nœuds « Bottom Inner » et « Bottom outer » sont ainsi représentatifs de deux surfaces adjacentes, contrairement à la décomposition DELPHI où la surface dite « Bottom outer » forme une couronne autour de la partie centrale « Bottom Inner ».

Les Table 46 et Table 47 reprennent les matrices de résistances et de capacités.

Résistances (K/W)	**Fonction coût Thales – 49 cas**				
5 surfaces	Junction	Top inner	Bottom inner	Top outer	Bottom outer
« Bottom inner »	-	39.5	-	-	-
« Top outer »	-	-	68.2	-	-
« Bottom outer»	-	131326	901.8	921.1	-
« Inner 1»	61.2	528.5	-	-	-
« Inner 2»	1.7	-	0.44	-	-
« Inner 3»	816867	-	-	386465	-
« Inner 4»	2158964	-	-	-	130893
« Sides »	-	-	226.5	87.6	356.5

Table 46: Réseau de résistances du modèle compact du « Power56 »

Il est à noter que des nœuds fictifs supplémentaires I1, I2, I3 et I4 ont été ajoutés au réseau dynamique initial.

Ces nœuds sont respectivement localisés entre le nœud « jonction » et les noeuds « Top inner », « Bottom inner », « Top outer » et « Bottom outer».

Les résistances de ces chemins thermiques ne sont donc pas filtrées dans la matrice initiale.

Nœuds	**Junction**	**Top inner**	**Bottom inner**	**Top outer**	**Bottom outer**	**Sides**
C x 10-3 J. K^{-1}	4.3	1.0	10.96	9.1	0.8	4.8

Nœuds	**Inner 1**	**Inner 2**	**Inner 3**	**Inner 4**
C x 10-3 J. K^{-1}	6.56	2.69	0.65	0.15

$\sum \mathbf{C_n}$
41.0

Table 47: Capacités thermiques du réseau du « Power56 »

Les différents termes des matrices n'ont pas réellement de signification physique.

Néanmoins le chemin thermique primordial est respecté, c'est à dire du noeud « jonction » vers le nœud « bottom inner » qui représente la dissipation thermique de la puce vers une partie de la face inférieure du boitier.

En effet, ce chemin impose la plus faible résistance à la dissipation thermique.

La capacité thermique globale qui est de $0.0414 J.K^{-1}$ est également conservée par la matrice de capacités dont la somme des différents termes est égale à $0.041 J.K^{-1}$.

L'écart maximal, en régime permanent, sur les 49 scénarios est inférieur à 1.4 % sur la jonction.

La Figure 103 donne la réponse des deux modèles sur le cas test, Table 32.

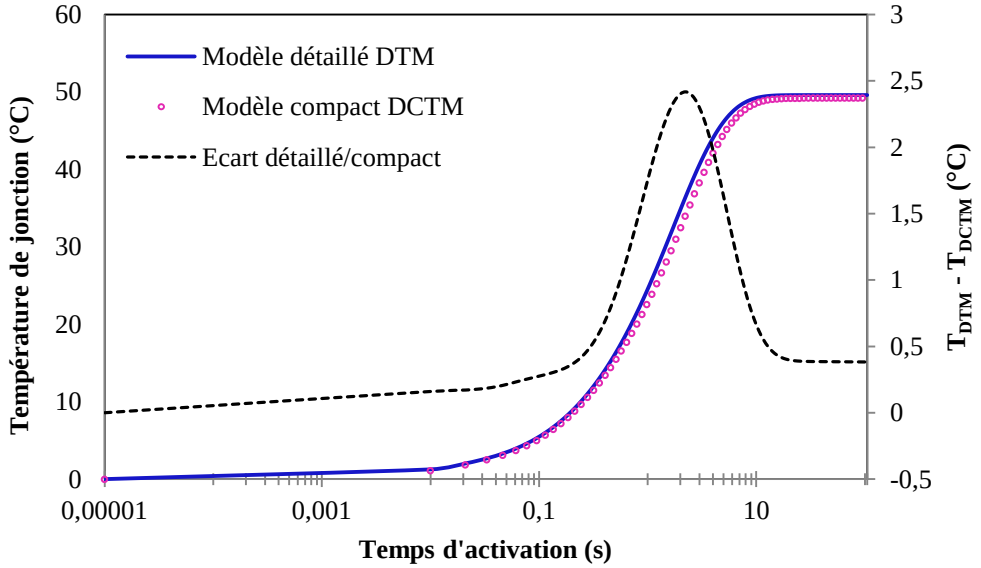


Figure 103: Comparaison des modèles du composant avec fils de connexion

La divergence entre le « modèle initial » et le « modèle compact dynamique » est assez faible, elle représente moins de 2.5 °C sur tous les pas de temps.

L'erreur du DCTM est en de ça de 10% pour les températures élevées, Figure 104.

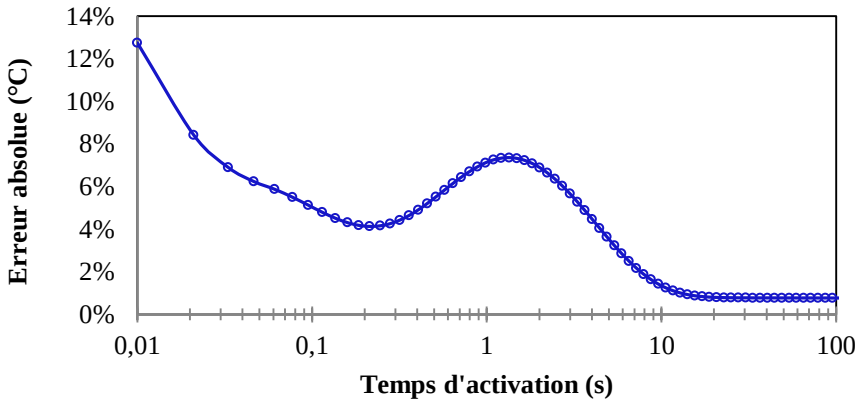


Figure 104: Erreur sur la température de jonction du DCTM entre 10ms et 100s

La détermination du comportement thermique de la jonction composant en transitoire à partir du modèle détaillé, pour un unique scénario est de l'ordre de 17h pour le modèle, alors qu'il est quasi instantané sur le modèle compact, notre objectif.

H. Bilan de la création de modèle compacts dynamiques dit « mono-puce »

En résumé, le développement d'une méthodologie pour générer un modèle compact dynamique, inspirée par les projets européens DELPHI et PROFIT, nous a permis de proposer un modèle transitoire comportemental capable de prédire fidèlement la température critique du composant.

Le modèle de réduction suggère l'utilisation des algorithmes génétiques qui s'avèrent très adaptés pour la réalisation de ce type de problématique.

La réduction est composée des étapes successives suivantes:

- Un premier processus permet de générer le réseau de résistances, en accord avec les 49 cas « Thales » ou les 38 cas « Jedec » de conditions aux limites.
- Un second processus fournit les capacités thermiques pour ajuster un panel d'une dizaine de conditions temporelles.
- Un dernier processus autorise le rajout de nœuds complémentaires sur les chemins thermiques prépondérants du réseau pour parfaire sa précision.

Cette approche a été testée, avec succès, sur plusieurs composants de la famille des QFNs, ayant des configurations géométriques variées.

Pour certaines familles de composant, telles que les « powerpaks », la modélisation des fils de connexion apparait indispensable pour avoir un modèle détaillé réaliste et une estimation conforme de la température vue par le semi-conducteur du composant.

Néanmoins la modélisation numérique détaillée est très lourde. Il est donc recommandé d'utiliser des modèles simplifiés appelés modèles thermiques compacts dynamiques afin de minimiser les temps de simulation.

La détermination de la criticité thermique d'un composant en transitoire via l'utilisation d'un modèle dynamique compact est quasi instantanée.

La prochaine étape est d'étendre ce processus aux composants dotés de multiples puces.

XIV. Extension de la méthodologie de réduction au composant « multi-puce »

A. Problématique liée au modèle compact des composants à multiples puces

Ces dernières années ont vu l'émergence de composant englobant plusieurs puces montées:

- empilées, c'est la technologie dite « stacked-dies »,
- côte à côte, avec l'approche dite « side-by-side dies».

Les deux technologies peuvent être associées au sein d'un même boitier.

Ces configurations modifient profondément la répartition des gradients de températures sur les faces externes des boitiers électroniques. Notre propos est d'analyser les besoins pour appliquer la méthodologie proposée par le consortium DELPHI, à cette évolution des composants électroniques.

Ainsi, le principe de superposition est utilisé pour caractériser le comportement distinct ou grouper de chacune des puces constituants le boitier électronique étudié. Le nombre de scénarii à balayer est dès lors porté à (j+1) x 49 ou (j+1) x 38 conditions aux limites. Le paramètre j représente le nombre de sources de chaleur considéré au sein du composant.

La formulation de la fonction coût explicitée dans l'Équation 10 nécessite d'être adaptée pour traiter l'extension des données relatives à chacune des sources.

La $f(\theta)$ est désormais révisée par:

$$f(\theta) = \left[1 - \left(\frac{1}{2} \cdot \sum_{b=1}^{M} \sum_{n=1}^{N} \frac{\Delta\theta_{n,b}}{M \cdot N} + \frac{1}{5} \cdot \max\left(\Delta\theta_{n,b}\right) + \frac{3}{10} \cdot \sum_{i=1}^{J} \mathbf{max}\left(\Delta\boldsymbol{\theta}_{\boldsymbol{n=j_i,b}}\right)\right)\right]$$

Équation 19: Fonction coût multicritères pour composant multi-puce

Force est de constater que cette méthode de superposition est très pénalisante dès le nombre de source devient important.

- « stacked-dies »

La décomposition des surfaces externes du boitier déclinée par la méthodologie DELPHI peut être conservée pour ce type de composants. La projection de la plus haute puce est retenue pour définir la zone dite « top inner ». Lorsque celle-ci est plus petite que la puce du bas, il est souvent utile de rajouter un nœud supplémentaire sur la surface supérieure pour améliorer la précision du réseau. Les deux puces sont généralement reliées par un film fin de colle, aussi l'échauffement de l'une à un impact significatif sur l'autre. La topologie des modèles compacts générés est basée sur l'utilisation d'un nœud de jonction propre à chacune des puces. De là, il est possible de distinguer les puissances appliquées à chacune d'elles et de connaitre leurs influences sur le comportement thermique du boitier. Dans certains cas très spécifiques, une seule température de jonction est retenue, celle-ci correspondant à la température maximale atteinte par la puce la plus chaude. Cette approche moins précise est très dépendante des scénarii d'activation des puces.

- « side-by-side »

La décomposition des surfaces supérieure et inférieure du boitier est plus complexe et surtout beaucoup plus intuitive. Selon l'activation des puces, les zones externes les plus chaudes du boitier vont avoir des localisations différentes. Aussi, le réseau se doit de reproduire au mieux ces distributions de température. L'emploi de plusieurs nœuds « top inner » est rendu indispensable.

De la même manière un composant « side-by-side » est susceptible d'avoir plusieurs plateformes disjointes, Figure 105. La définition de plusieurs nœuds « Bottom inner » s'avère nécessaire pour satisfaire un bon niveau de précision.

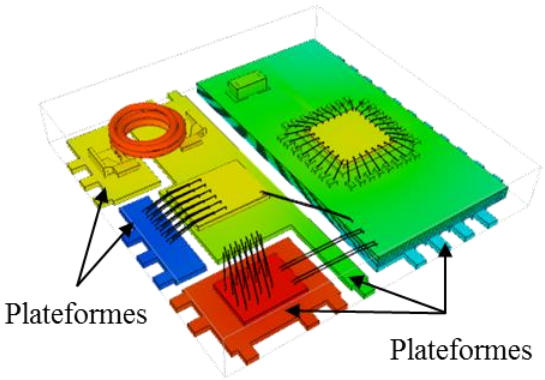


Figure 105: Exemple de boitier électronique doté de plusieurs plateformes

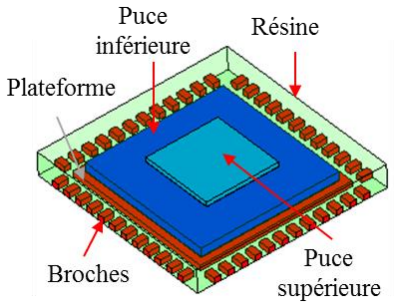
Pour ces boitiers complexes, dont certaines surfaces doivent être subdivisées en un nombre substantiel d'éléments le concept d'une décomposition surfacique « inner » ou « outer » n'est plus réellement explicite.

B. Modèle compact dynamique pour un composant multi-puce « stacked-dies »

Notre étude se focalise sur la configuration dont les puces sont superposées en forme de pyramide.

Toutefois, ces résultats sont généralisables à d'autres formes d'empilage ou si un bloc, dit « spacer », est intercalé entre deux puces.

Les caractéristiques du composant étudié sont fournies Table 48.



Pas inter-broches: 0.5mm

Epaisseur des films de colle: 20µm

Pas de câblage filaire

Nom des éléments	Volume des constituants (mm^3)
Résine	$V_{Ext..} - V_{Int.}$ avec $V_{Ext.}$=7 x 7 x 0.9
Plateforme	5.1 x 5.1 x 0.2
Broches	(0.23x0.4x0.2) x48
Puce supérieure	2.54 x 2.54 x 0.25
Puce inférieure	5 x 5 x 0.25

Table 48: Présentation du boîtier QFN48 « stacked-dies »

Dans le cas particulier d'un montage pyramidal, la taille des puces décroit à mesure que l'on se rapproche de la surface supérieure du boitier. Celui-ci comprend uniquement deux puces mais la réduction a été également testée avec succès sur des composants accueillant trois puces. Le nombre de puces empilées est très souvent supérieur à trois.

Le semi-conducteur considéré pour les deux puces est du silicium. Les propriétés thermiques des matériaux des constituants ont été fournies en Table 30.

La réponse temporelle de la température de jonction des deux puces dépend principalement des propriétés thermiques de la résine d'encapsulation.

Sa capacité thermique, de 0.05128 $J.K^{-1}$, représente pratiquement 60% de la capacité thermique global égale à 0.08649 $J.K^{-1}$.

D'autre part, à l'instar des boitiers QFN16 (Figure 59) ou QFN64 (Annexe E) la valeur de sa conductivité thermique influence fortement le comportement thermique du boitier.

Les étapes de la réduction sont identiques à celles présentées pour le cas des QFN16 et QFN32. Seul diffère le nombre de scénarii analysés, ainsi 147 conditions aux limites sont ajustées (Équation 19, M=147).

La forme du réseau est restreinte à une topologie Jedec de type « 5 surfaces » avec les surfaces supérieure et inférieure subdivisées, en deux et les quatre surfaces latérales regroupées.

Les surfaces externes « Top inner » et « Bottom inner » ont respectivement les dimensions (longueur et largeur) de la puce supérieure et de la plateforme.

Les observables retenues pour les deux puces sont la température maximale de la puce supérieure et la température moyenne de la puce inférieure afin de pouvoir discerner un gradient thermique entre ces deux éléments.

Pour ne pas alourdir le réseau et optimiser le temps de convergence de l'algorithme d'Evolver®, seulement trois nœuds additionnels ont été considérés pour parfaire la qualité du modèle dynamique.

Le principe de modification apportée au réseau initial du DCTM est décrit Figure 106.

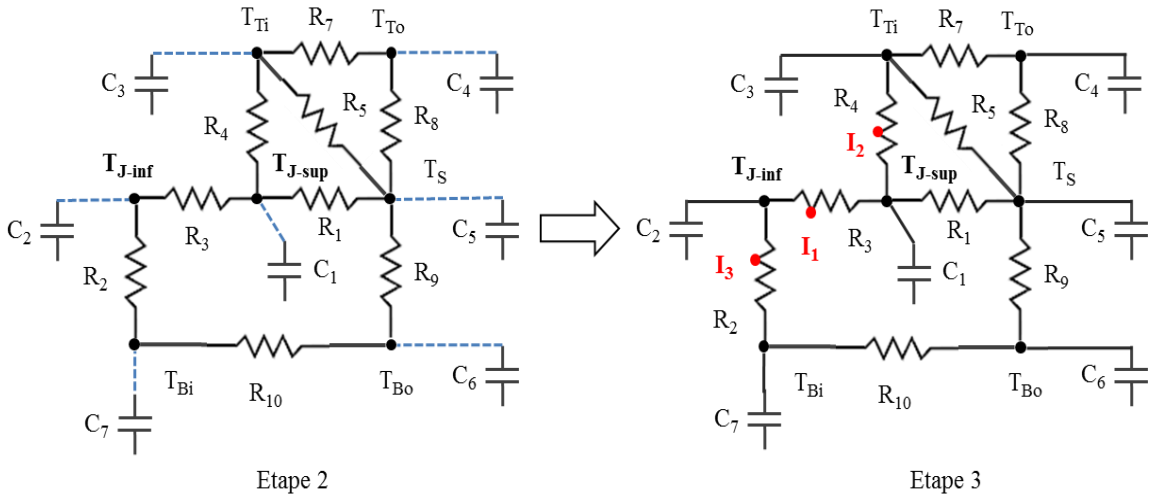


Figure 106: Forme du réseau RC du boîtier QFN48 « stacked-dies »

Les Table 49 et Table 50 fournissent les données du réseau RC déduit.

Résistances (K/W)	**Fonction coût Thales – 49 cas**					
5 surfaces	Junction sup	Top inner	Bottom inner	Top outer	Bottom outer	Junction inf
« Bottom inner »	9.55	89452	-	-	-	-
« Top outer »	522.1	2236528	183.8	-	39.79	-
« Bottom outer»	38657	37447717	3224.3	39.79	-	-
« Inner 1»	3.2	22.1	-	-	-	2.79
« Inner 2»	20.4	-	-	-	-	-
« Inner 3»	-	-	3.01	-		1.45
« Sides »	-	-	-	347.4	149.9	-
« Junction inf »	-	175.6	-	47.1	67.2	-

Table 49: Réseau de résistances boîtier QFN48 « stacked-dies »

Nœuds	**Junction sup**	**Top inner**	**Bottom inner**	**Top outer**	**Bottom outer**	**Sides**
C x 10-3 J. K^{-1}	2.64	0.48	3.25	30.25	8.28	8.65

Nœuds	**Junction inf**	**Inner 1**	**Inner 2**	**Inner 3**
C x 10-3 J. K^{-1}	10.65	15.51	2.65	4.32

$\sum C_n$
86.68

Table 50: Capacités thermiques du réseau du boîtier QFN48 « stacked-dies »

Dans la lignée des composants précédents, la concordance de la masse thermique est une fois de plus respectée entre les deux modèles. L'écart relevé est inférieur à 0.3%.

La température de jonction de la puce supérieure est affichée sur la Figure 107.

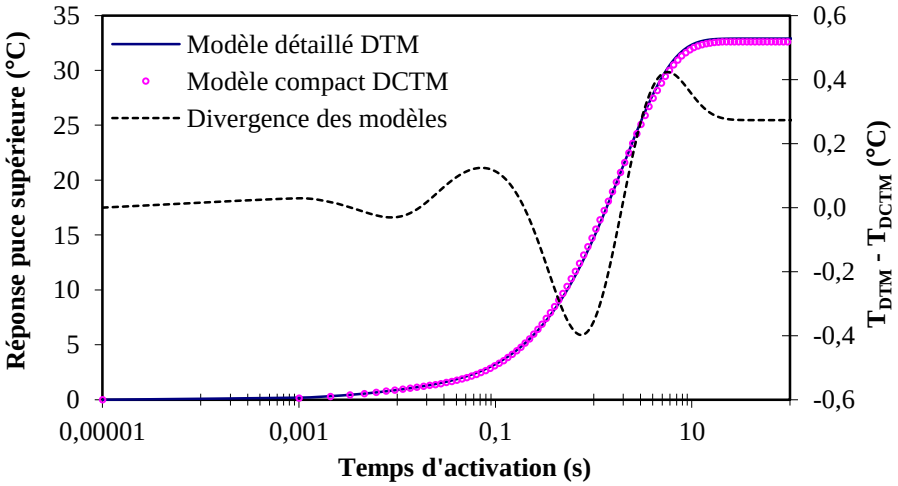


Figure 107: Prédiction de la température maximale vue par la puce supérieure

La température moyenne de jonction de la puce inférieure est décrite Figure 108.

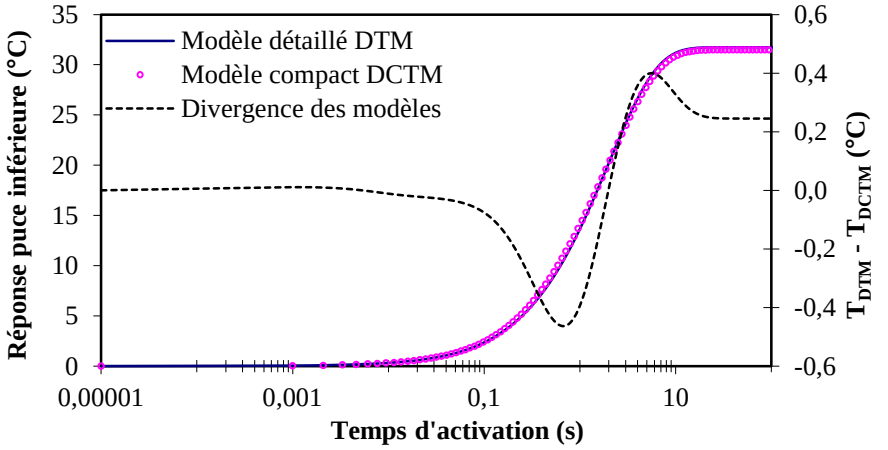


Figure 108: Prédiction de la température moyenne vue par la puce inférieure

La comparaison des températures est déduite pour les conditions fournies en Table 32. La puissance appliquée à chacune des puces est fixée à 0.5Watt.

Les courbes décrivent la bonne cohérence des deux modèles avec un écart entre ±0.5°C, pour tous les pas de temps.

Les deux jonctions semblent avoir le même profil mais ceux-ci diffèrent. Ainsi, la montée en température de la puce supérieure, plus petite, est plus brusque que la puce inférieure nettement plus grande. Celle-ci compte tenu de sa capacité thermique plus forte met plus de temps à se stabiliser.

Si en régime permanent, seule la température de jonction maximale peut être suffisante, il est absolument nécessaire de les dissocier en régime transitoire pour obtenir une bonne corrélation sur l'évolution temporelle de chacune des puces.

C. Comportement du modèle DCTM multi-puce « stacked-dies »

Le management thermique des points sensibles d'un composant multi-puce nécessite le suivi des températures tout au long de cycles d'activation et de désactivation des puces, en vue de les limiter.

En plus d'être indépendant des conditions aux limites, le modèle doit être également indépendant de la condition initiale.

Le « duty cycle » mis en œuvre pour ce test est décrit dans la Figure 109.

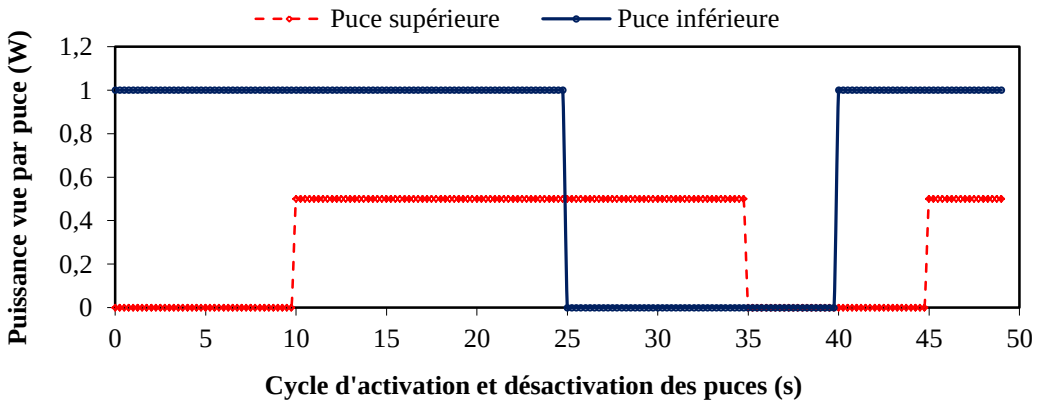


Figure 109: Définition des périodes d'activation et de désactivation des puces

Les températures de jonction des deux puces sont tracées Figure 110 et Figure 111.

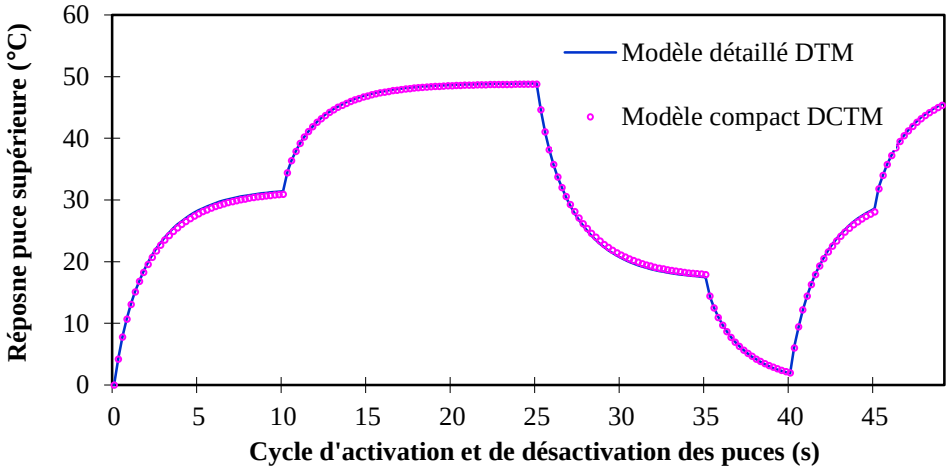


Figure 110: Température maximale de la puce supérieure au cours du cycle

A l'instar des composants mono-puce, le modèle compact dynamique dit DCTM reproduit assez fidèlement le comportement du modèle détaillé et autorise un management de la température vue par les deux puces.

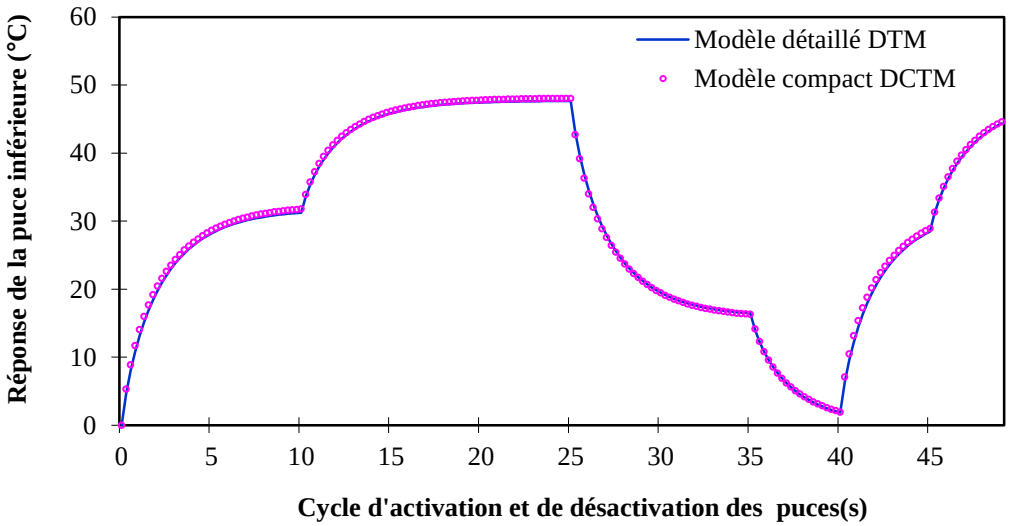


Figure 111: Prédiction de la température moyenne de la puce inférieure au cours du cycle

On note également que la précision des différents nœuds est dépendante des premiers instants où l'activation et la désactivation des puces sont réalisés, Figure 112.

Cette analyse démontre que la création de modèle compact dynamique pour des composants présentant plusieurs puces empilées est envisageable en appliquant le principe de superposition pour distinguer leur comportement propre.

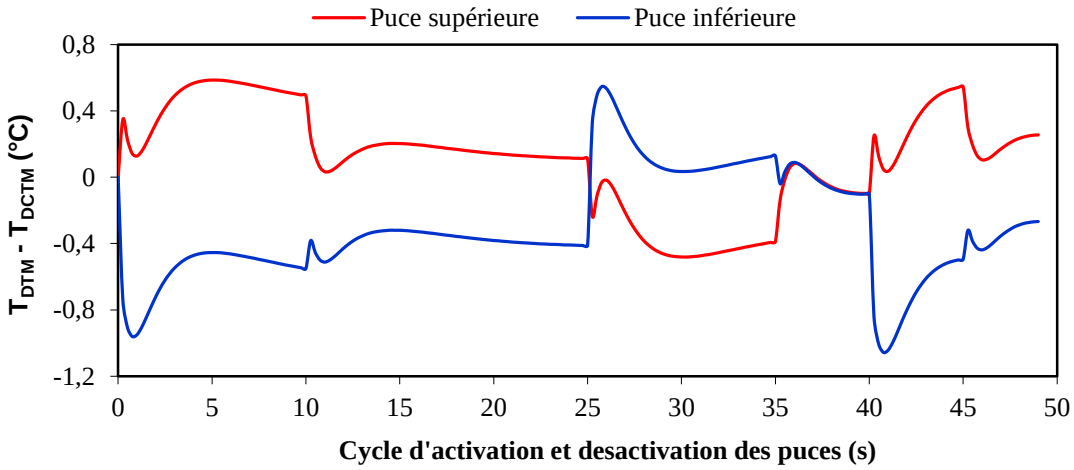


Figure 112: Différence entre les modèles DTM et DCTM du QFN48

Dès que les puces sont activées simultanément l'erreur faite sur la prédiction diminue, ainsi la température critique des puces peut être estimée avec une meilleure précision.

D. Comportement du modèle DCTM multi-puce « stacked-dies » sur carte 2s2p

Les deux modèles du composant QFN48 « stacked-dies » sont montés sur la même carte de type 2s2p, Figure 19. Cette dernière en position horizontale est refroidie en convection naturelle, couplée aux phénomènes de rayonnement dans une ambiante de 35°C. L'émissivité de la carte et celle du composant sont fixées à 0.9. Le facteur de forme de la carte vers l'ambiant est de 0.998.

Afin de simplifier l'analyse le modèle détaillé de la carte est remplacé par un bloc avec une conductivité thermique orthotrope effective.

La Table 2 compile les valeurs prises compte pour le modèle de la carte 2s2p.

nl_i	t_i (µm)	$\phi_{k,i}$ (%)	$K_{k,i}$ ($W.m^{-1}.K^{-1}$)	$C_{k,i}$ ($J.K^{-1}$)
7	50	10	40.3	0.65
6	250	0	0.3	2.64
5	35	100	400	1.20
4	930	0	0.3	9.82
3	35	100	400	1.20
2	250	0	0.3	2.64
1	50	2	8.3	0.55

Table 51: Caractéristiques thermiques de carte multicouches 2s2p

A partir des formulations séries-parallèles, les valeurs des conductivités thermiques équivalentes sont respectivement pour les 3 axes de la carte: *kex* = *key* = 20W.m^{-1}.K^{-1} et *kez* = 0.35W.m^{-1}.K^{-1}. La capacité thermique global de la carte est estimée à C=18.7 J.K^{-1}.

La puce supérieure est activée tout au long du cycle, sa puissance est fixée à 0.5Watt. Une puissance de 1Watt est appliquée à la puce inférieure au bout de 50s.

La précision des températures maximale et moyenne des deux puces est décrite Figure 113.

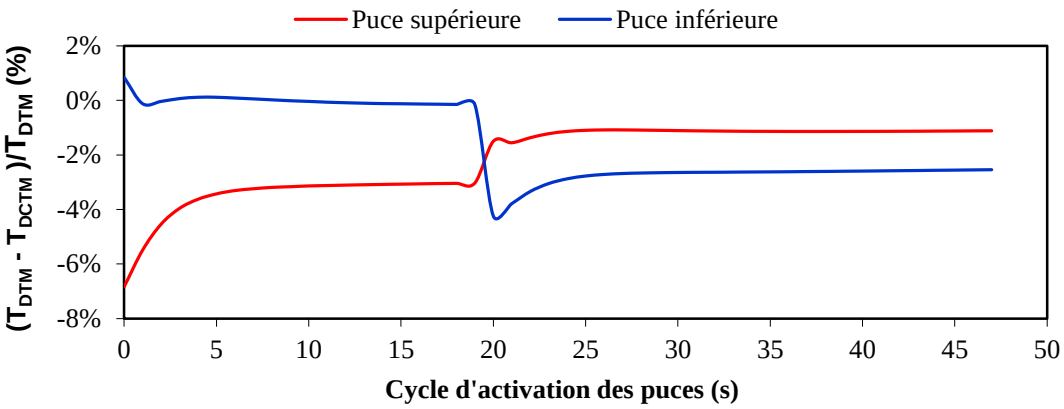


Figure 113: Ecart du modèle DCTM sur la prédiction des nœuds de jonction du QFN48

La comparaison des réponses temporelles des modèles détaillé et compact est fournie en Annexe R.

La précision d'un modèle compact dynamique à multiples puces, montées sur une carte électronique équivalente, reste conforme à celle du modèle soumis à un jeu de coefficients d'échange à ces frontières.

Par conséquent, celui-ci est susceptible d'être utilisé quelles que soient les conditions d'environnement, notre but.

E. Modèle compact dynamique dédié au composant multi-puce « side by side »

L'émergence de composants multi-puce avec des intégrations verticales ou horizontales est le nouveau leitmotiv des fabricants.

Comme mentionné ces composants peuvent revêtir plusieurs configurations différentes, en particulier une architecture « side by side ». Pour illustrer celle-ci, le cas d'un composant

équipé de trois puces positionnées horizontalement est abordé. Son boitier est un QFN à 25 broches, dénommé MLP25A.

Celui-ci est largement inspiré d'un composant industriel existant dont la vue interne et la face arrière sont exposées.

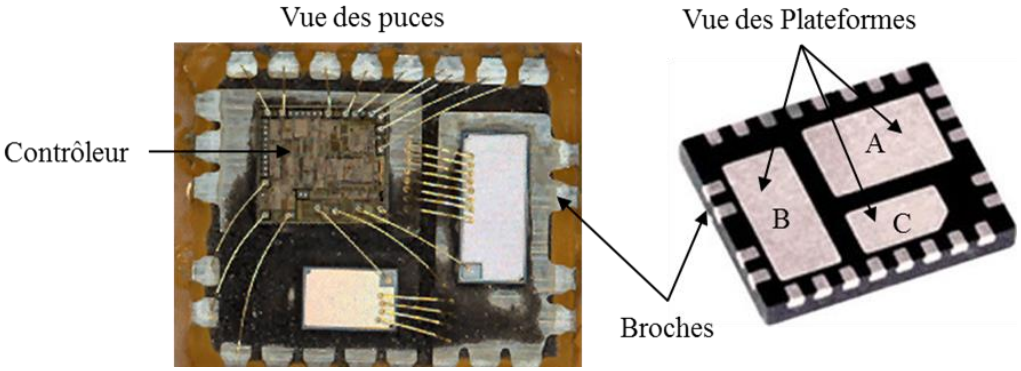


Figure 114: Vue interne et externe du FAN2106MPX

L'intérêt de ce composant est d'avoir trois puces actives en silicium, 2CMOS et un contrôleur ayant des dimensions distinctes. Celles-ci sont montées sur trois plateformes également de taille différente.

Bien entendu, les trois puces du composant sont soumises à des sollicitations thermiques distinctes. Cela fait apparaitre des gradients thermiques dissymétriques conséquents entre les zones actives.

Les dimensions des éléments constitutifs du modèle sont reportées dans la Table 52.

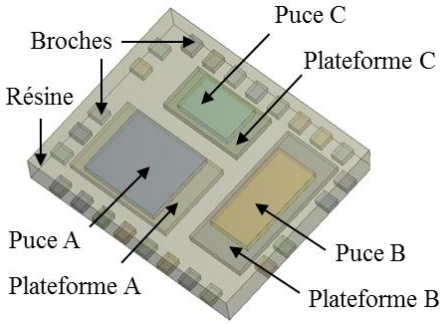
Vue du composant modélisé	**Nom des éléments**	**Volume des constituants (mm^3)**
 Pas inter-broches: 0.5mm Epaisseur des films de colle: 5µm Pas de câblage filaire	Résine	$V_{Ext..} - V_{Int.}$ avec $V_{Ext.}$=6 x 5 x 0.8
	Plateforme A	5.1 x 5.1 x 0.2
	Plateforme B	1.51 x 3.44 x 0.2
	Plateforme C	2.2 x 1.22 x 0.2
	Broches	(0.325 x 0.4 x 0.2) x 25
	Puce A	2.076 x 1.867 x 0.2
	Puce B	1.1 x 2.394 x 0.2
	Puce C	1.494 x 0.99 x 0.2

Table 52: Caractéristiques géométriques du MLP25A

Les caractéristiques thermiques des éléments du MLP25A sont indiquées Table 30.

L'un des enjeux majeurs pour la réduction de ce type de composant est d'obtenir une décomposition des surfaces externes du boitier qui puisse reproduire fidèlement un ensemble de zones isothermes afin de générer un réseau de résistances qui soit indépendant des conditions aux limites.

Ainsi la méthode de superposition doit être impérativement appliquée, en activant tour à tour chaque puce, puis toute ensemble. De ce fait, le nombre de scénarios nécessaires est multiplié

par quatre et le nombre de paramètre à extraire, par l'algorithme génétique, devient conséquent.

La génération du réseau en une seule étape est basée sur les hypothèses suivantes :

- Quatre nœuds sur la face supérieure du boîtier: Top1, Top2, Top3 et Top4.
- Quatre nœuds sur la face inférieure: Bot1, Bot2, Bot3, Bot4.
- Les faces latérales sont fusionnées en un seul nœud: S
- Les nœuds de jonction de chacune des puces sont représentés: JA, JB et JC.
- Pas d'introduction de nœuds fictifs supplémentaires dans le réseau

La décomposition des faces supérieure et inférieure est indiquée sur la Figure 115.

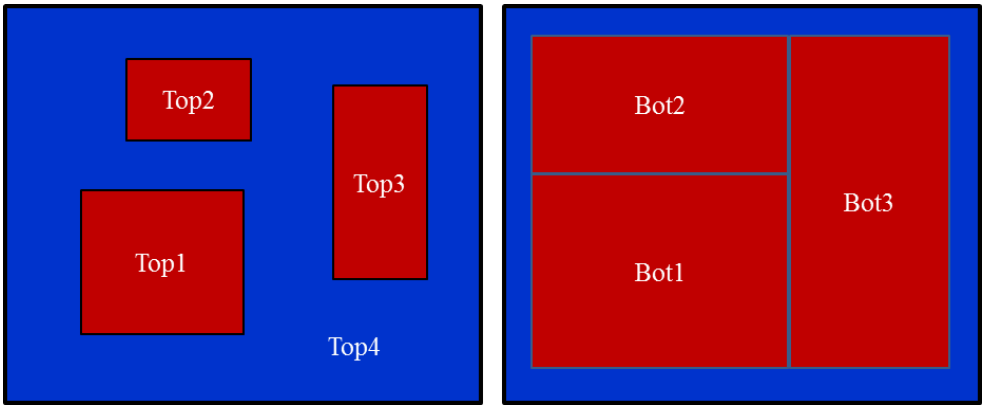


Figure 115 : Décomposition des faces supérieure et inférieure du MLP25A

La matrice de résistance étant symétrique, seulement n.(n-1)/2 résistances sont générées, avec n=12.

Ce nombre correspond à neuf surfaces externes et trois nœuds internes.

Les Table 53Table 46 et Table 54 dévoilent les matrices de résistances et de capacités du MLP25A.

R (K/W)	**Fonction coût Thales – 49 cas**										
9 Surfaces	JA	JC	Top1	Top3	Top2	Top4	Bot1	Bot3	Bot2	Bot4	Sides
JA	60515	5601	350.5	9006	-	635.5	15.2	1673	29670	1192	3117
JB	-	5669	32686	78140	187	551.8	-	18569	18.4	2727	1778
JC	-	-	14734	209.4	70598	1216	-	41.2	19900	7638	5857
Top1	-	-	-	11428	37591	2567	43.2	2625	27373	11072	18795
Top3	-	-	-	-	-	5511	-	116	65918	52376	14622
Top 2	-	-	-	-	-	1149	-	-	45.3	19049	16135
Top 4	-	-	-	-	-	-	2463.	1019	21785	392	180
Bot1	-	-	-	-	-	-	-	79755	-	1054	6276

Table 53: Réseau de résistances boîtier MLP25A « side by side »

La réduction d'un boitier multi-puce dit « side-by-side » réclame de traiter des tailles de matrice plus importante en raison du nombre de nœuds nécessaire pour réaliser un modèle indépendant des conditions aux limites ayant une précision suffisante.

De ces conditions, l'algorithme met plus de temps et a plus de difficulté à converger, en particulier en régime transitoire.

Nœuds	Chip A	Chip B	Chip C	Top 1	Top 2	Top 3	Top 4
C x 10-3 (J. K^{-1})	5.2	3.99	4.01	6.05	5.71	3.1	6.87

Nœuds	Bot 1	Bot 2	Bot 3	Bot4	Sides
C x 10-3 (J. K^{-1})	1.81	2.81	0.16	2.13	5.16

$\sum C_n$
47

Table 54: Capacités thermiques du réseau du boîtier MLP25A « side by side »

La comparaison du réseau avec le modèle détaillé, sur le cas test de la Table 32, montre une bonne adéquation pour différentes sollicitations de la puce telle que décrit sur la Table 55.

b = S50	P	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$
JA	0W	42°C	42.2°C	-0.48%
JB	1W	124.3°C	122.5°C	1.45%
JC	1W	170.3°C	165.9°C	2.58%

b = S50	P	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$
JA	0.3W	41.4°C	41.9°C	-1.21%
JB	0.3W	41.8°C	41.5°C	0.72%
JC	0.3W	58.8°C	57.7°C	1.87%

b = S50	P	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$
JA	1W	122.9°C	123.7°C	-0.65%
JB	0W	33.9°C	34.9°C	-2.95%
JC	1W	178°C	173.2°C	2.70%

b = S50	P	T_{DTM}	T_{CTM}	$\Delta\theta_{n,b}$
JA	1W	112°C	113.2°C	-1.07%
JB	1W	121.3°C	119.3°C	1.65%
JC	0W	44.5°C	45.4°C	-2.02%

Table 55: Comportement du modèle global pour différentes sollicitations

Afin de valider l'indépendance des modèles, par rapport aux 49 conditions aux limites Thales, un scénario des 38 conditions Jedec, Annexe H, est appliqué, avec une dissipation de 0.3 W sur chaque puce.

	h_{Top}	h_{Bottom}	h_{Sides}
S51	10 $W.K^{-1}.m^{-2}$	500 $W.K^{-1}.m^{-2}$	10 $W.K^{-1}.m^{-2}$

Table 56: Scénario test de validation

La prédiction de l'évolution temporelle des températures de jonction des trois puces déduite des modèles DTM et DCTM est représentée sur la Figure 116.

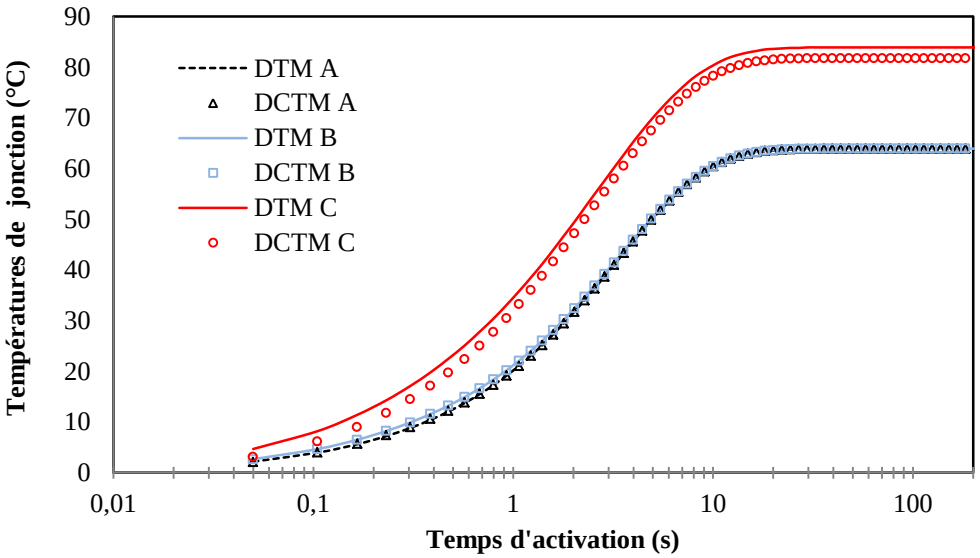


Figure 116: Prédiction des températures de jonction des trois puces encastrées

Si le niveau de précision est adéquat pour les deux grandes puces A et B, celui-ci de la puce C est loin d'être satisfaisant. Le découpage retenu en 9 surfaces ne permet d'ajuster correctement les températures de jonction « stabilisées » du modèle compact. Ce nombre doit être accentué afin de mieux définir un jeu plus réaliste de zones isothermes.

Force est de constater que ce découpage est loin d'être intuitif et qu'une démarche plus rationnelle doit être mise en œuvre pour atteindre un niveau de précision plus élevé.

Une nouvelle phase est à intégrer au processus de réduction avec pour objectif de déterminer le jeu de surfaces isothermes le plus approprié.

F. L'approche « multi-réduction » des composants « side by side »

Le cas précédent peut être désigné sous l'intitulé d'une approche dite réduction globale. Son inconvénient majeur est le traitement de matrices larges pour dériver un modèle compact dynamique indépendant des conditions aux limites.

Pour pallier à cette difficulté, une méthodologie dite « multi-réduction » peut s'avérer plus économique en termes de temps de calcul.

Elle consiste à découper le boîtier en un ensemble de volumes virtuels pouvant être assimilés à des composants mono-puce.

Ainsi, ils intègrent une plateforme, un semi-conducteur et une partie du volume résine environnant, les fils de connexion éventuellement.

Ces groupements sont dérivés indépendamment pour former un ensemble de modèles réduits, appelés « pseudo-compacts ». Le processus de réduction de chacun des volumes virtuels suit la même méthodologie que celui décrit pour la réduction des composants mono-puce.

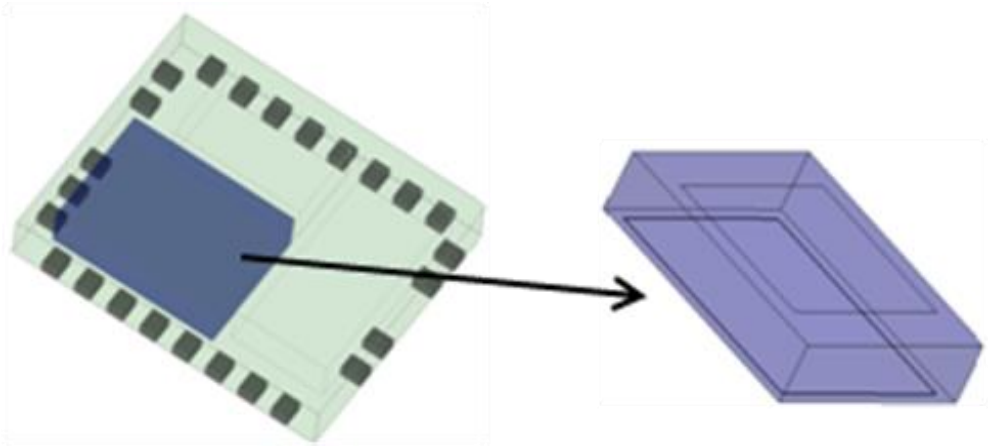


Figure 117 : Illustration du modèle pseudo-compact de la puce A

Les réseaux et la position des nœuds fictifs, des trois pseudo-compacts retenus pour notre analyse sont donnés en Annexe S.

Ces derniers sont réintroduits dans le modèle détaillé initial afin de générer un modèle compact basé sur l'utilisation de modèles dits « sub-compacts ».

Les tests de la Table 55 sont reconduits afin de juger de la qualité des réseaux.

La Table 57 révèle que les écarts les plus forts par rapport au modèle détaillé se produisent lorsque les puces ne dissipent pas. Néanmoins, cette divergence reste inférieure à 6 % sur les cas testés.

b = S50	**P**	$\mathbf{T_{DTM}}$	$\mathbf{T_{CTM}}$	$\mathbf{\Delta\theta_{n,b}}$
JA	0W	42	43.8	-4.29%
JB	1W	124.3	127.5	-2.57%
JC	1W	170.3	168.8	0.88%

b = S50	**P**	$\mathbf{T_{DTM}}$	$\mathbf{T_{CTM}}$	$\mathbf{\Delta\theta_{n,b}}$
JA	0.3W	41.4°C	40.7°C	1.69%
JB	0.3W	41.8°C	43.4°C	-3.83%
JC	0.3W	58.8°C	58.6°C	0.34%

b = S50	**P**	$\mathbf{T_{DTM}}$	$\mathbf{T_{CTM}}$	$\mathbf{\Delta\theta_{n,b}}$
JA	1W	122.9	118.3	3.74%
JB	0W	33.9	35.9	-5.90%
JC	1W	178	176.7	0.73%

b = S50	**P**	$\mathbf{T_{DTM}}$	$\mathbf{T_{CTM}}$	$\mathbf{\Delta\theta_{n,b}}$
JA	1W	112°C	109°C	2.68%
JB	1W	121.3°C	126°C	-3.87%
JC	0W	44.5°C	45.3°C	-1.80%

Table 57: Comportement du modèle « sub-compact » pour différentes sollicitations

La Figure 118 reprend la description des prédictions des températures de jonction des trois puces du modèle réduits en plusieurs étapes successives.

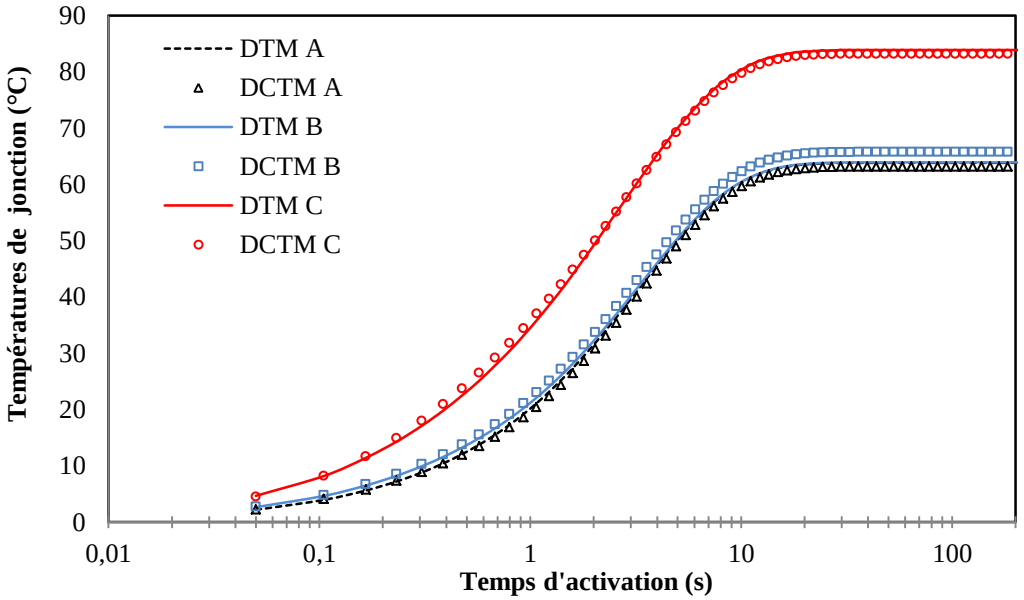


Figure 118: Prédiction des températures de jonction de la réduction « pseudo-compacts »

A l'instar des cas étudiés auparavant, la masse thermique globale est respectée par les deux approches.

Il apparait que la méthodologie « globale » et « multi-réduction » sont en mesure de dériver un modèle compact ayant une bonne précision. Celui-ci fournit une vision de la température de jonction ou maximale, en régime permanent et transitoire, de différentes parties actives du composant **[DIA, 2013].**

Néanmoins, chacune de ces techniques a ses avantages et ses inconvénients.

L'atout majeur de l'approche « multi-réduction » est de se libérer du principe de superposition et ainsi de ne pas multiplier les scénarios, contrairement à l'approche « globale ». Par ailleurs, le nombre de paramètres à ajuster par l'algorithme génétique est plus restreint. Cela permet d'introduire des nœuds fictifs supplémentaires dans les réseaux dynamiques.

Cette approche peut également être conservée pour réduire la taille du modèle numérique initial.

Toutefois, l'approche « multi-réduction » contient encore de la résine. L'idée est de pouvoir supprimer cette partie en subdivisant le package en trois composants virtuels adjacents, ceci reste à investiguer.

Afin d'accomplir ce processus, deux solutions sont possibles. La première est d'avoir trois pseudo-compacts en contact. Mais, la plupart des logiciels du commerce ne gère pas cette approche. La deuxième solution est de créer des nœuds intermédiaires de face, entre les pseudo-compacts.

XV. Synthèse sur la modélisation compact des composants électroniques

Afin d'accompagner la rupture technologique des composants électroniques, sur la base du processus de réduction proposé par la méthodologie DELPHI concernant les composants électroniques dotés d'une puce unique, un ensemble de méthodologies complémentaires a été développé.

Leur application démontre qu'il est envisageable de générer des modèles thermiques compacts dynamiques dédiés aux composants à multiples puces capables de reproduire avec une bonne précision le comportement d'un composant électronique.

Les développements effectués ont établi les axes d'implémentation suivants:

- Une technique d'ajustement basé sur les algorithmes génétiques,
- L'utilisation du principe de superposition pour établir des modèles réduits de composants ayant plusieurs sources de chaleur sur leur puce.
- L'utilisation du principe de superposition pour établir des modèles réduits destinés aux composants ayant plusieurs puces,
- Un processus pour établir leur modèle réduit temporel,
- Des voies pour améliorer la précision des modèles réduits: subdivision des surfaces, paramétrage de fonction coût, subdivision des résistances thermiques,
- Une réflexion sur la réduction d'ordre multiple destinée à limiter la taille des modèles numériques.

Les modèles comportementaux déduits de modèles détaillés proposent une divergence sur les températures de jonction ou les flux thermiques à leurs frontières généralement en deçà de 10%.

D'autre part, ceux-ci autorisent une réduction significative des temps de calculs concernant la simulation thermique d'une carte électronique complète, notre objectif final.

Bibliographie

[ARUNASALAM, 2005] Parthiban Arunasalam, Kankanhally N. Seetharamu, Ishak Abdul Azid, *Determination of Thermal Compact Model via Evolutionary Genetic Optimization Method*, IEEE Transactions on components and packaging technologies, vol.28, No.2, 2005.

[**BALWANT, 1995**] Balwant, S. Lall, Bruce M. Guenin, Ronald J. Molnar, *Methodology for Thermal Evaluation of Multichip Module*, IEE Transactions on Components packaging, and manufacturing Technology - Part A, vol.18, No.4, December 1995

[**BATSALE, 1994**] J. C. Batsale, D. Maillet et A. Degiovanni, Extension de la méthode des quadripoles thermiques a l'aide de transformations integrals – calcul du transfert thermique au travers d'un defaut plan bidimensionnel, International Journal of Heat mass transfer, Vol. 37, No. 1, pp. 11-127, 1994.

[**CHANG, 2004]** Thése de Chang Christophe, Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars, 2004.

[CHRISTIAENS, 1998] Filip Christiaens, Bart Vandevelde, Eric Beyne, Robert Mertens, *A Generic Methodology for Deriving Compact Dynamic Thermal Models, Applied to the PSGA Package*, Vishay, IEEE Transactions on components, packaging and manufacturing technology – Part A, Vol. 21, No. 4, December 1998.

[**CODECASA, 2014]** Lorenzo Codecasa, Vincenzo d'Alessandro, Alessandro Magnani, Niccolò Rinaldi, Peter J. Zampardi, *FAst Novel Thermal Analysis Simulation Tool for Integrated Circuits*, THERMINIC, 20th International Workshop on Thermal Investigations of ICs and Systems, 2014.

[CODECASA, 2014] L Codecasa, V d'Alessandro, A Magnani, N Rinaldi, P J Zampardi, *Fast Novel Thermal Analysis Simulation Tool for Integrated Circuits*, Therminic 2014.

[DIA, 2013] C.T. Dia, E. Monier-Vinard, V. Bissuel, N. Laraqi, O. Daniel, *Dynamic sub-compact model and global compact model reduction for multichip componentss, 19th International Workshop on Thermal Investigations of ICs and Systems* THERMINIC 2013, Berlin, Germany, 25-27 Sept 2013, 2013

[**GERTENMAIER, 2007**] Y.C. Gerstenmaier, W. Kiffe, G. Wachutka, *Combination of Thermal Subsystems Modeled by Rapid Circuit Transformation,* THERMINIC 2007, ISBN: 978-2-35500-002-7.

[GOSSELIN, 2009] Louis Gosselin, Maxime Tye-Gingras, François Matieu-Potvin, *Review of utilization of genetic algorithms in heat transfer problems*, International Journal of Heat and Mass Transfer, 2009, Vol. 52, pp. 2169-2188

[HABRA, 2007] Thèse de Wasim HABRA, Développement de modèles thermiques compacts en vue de la modélisation électrothermique des composants de puissance, 2007, https://tel.archives-ouvertes.fr/tel-00159791.

[**JESD15-2, 2008**] JEDEC SOLID STATE TECHNOLGY ASSOCIATION, *Two-Resistor Compact Thermal Model Guideline*, 2008.

[**JESD15-4, 2008**] JEDEC SOLID STATE TECHNOLGY ASSOCIATION, *DELPHI Compact Thermal Model Guideline*, 2008

[**JESD71-7, 2008**] JEDEC SOLID STATE TECHNOLGY ASSOCIATION, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages, 1997.

[**JESD51-14, 2010**] JEDEC SOLID STATE TECHNOLGY ASSOCIATION, Transient Dual Interface Test Method for the Measurement of the Thermal Resistance Junction to Case of Semiconductor Devices with heat flow through a Single Path, 2010.

[**KRUEGER, 1992**] William Krueger, Avram Bar-Cohen, *Thermal Characterization of a PLCC- Expanded Rjc Methodology*, , IEEE Transactions on Components, Hybrids and Manufacturing Technologies, Vol. 15, No. 5, 1992.

[**LASANCE, 1999**] Clemens J. M. Lasance, Creation and Evaluation of Compact Models for Thermal Characterisation Using Dedicated Optimisation Software, Proceedings SEMITHERM XV, 1999, pp. 189-200.

[**LASANCE, 2001**] Clemens J. M. Lasance, *Two Benchmarks to Facilitate the Study of Compact Thermal Modeling Phenomena,* IEEE Transactions on Components and Packaging technologies, Vol. 24, No. 4, 2001.

[LASANCE, 2008] Clemens J.M. Lasance, Ten years of Boundary-Condition-Independent Compact Thermal Modeling of Electronic Parts: A review, Heat Tranfer Engineering, vol.29, no.2, pp 149-168, 2008.

[**MARANZANA, 2003**] Thèse de Gaël Maranzana, Modélisation thermique des composants électroniques de puissance par la méthode des quadripôles, Mars 2003

[MARTINS, 2009] Olivier Martins, N Peltier, S Guédon, S Kaiser, Y Marechal and Y Avenas, *A New Methodology for Early Stage Thermal Analysis of Complex Electronic Systems*, Therminic 2009, 7-9 October 2009, Leuven, Belgium, 2009.

[MONIER-VINARD, 2010] Eric Monier-Vinard, Valentin Bissuel, Paul Murphy, Olivier Daniel, Julien Dufrenne, *Thermal Modeling of Emerging Multi-chip Packages*, 12th IEEE international conference on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro and Nanoelectronics and Systems, Bordeaux, France, 2010.

[MONIER-VINARD, 2011] Eric Monier-Vinard, Cheikh Tidiane Dia, Valentin Bissuel, Olivier Daniel, Najib Laraqi, *Extension of the DELPHI methodology to Dynamic Compact Thermal Model of Electronic Component*, THERMINIC, 17th International Workshop on Thermal Investigation of ICs and Systems, 27-29 September 2011, Paris, France, 2011.

[**MONIER-VINARD, 2012**] E. Monier-Vinard, C.T. Dia, V. Bissuel, N. Laraqi, O. Daniel, *Dynamic Compact Thermal Model for stacked-die components,* SEMI-THERM 2012, San Jose, California, USA, 18-22 March 2012, 2012.

[MONIER-VINARD, 2013] Eric Monier-Vinard, Valentin Bissuel, Cheikh Tidiane Dia, Olivier Daniel, Najib Laraqi, *Investigation of Delphi Compact Thermal Modeling Surface-Mounted Soft Magnetic Composite Inductor*, THERMINIC, 19th International Workshop on Thermal Investigation of ICs and Systems, 25-27 September 2013, Berlin, Germany, 2013.

[**PAILHES, 2011**] J. Pailhes, C. Pradere, J.-L. Battaglia, J. Toutain, A. Kusiak, A.W. Aregba, J.-C. Batsale, *Thermal quadrupole method with internal heat sources*, 2011, International Journal of Thermal Sciences, 10.1016/j.ijthermalsci.2011.10.005.

[PANDYA, 2002] Kandarp I. Pandya, Wharton McDaniel, *A simplified Method of Generating Thermal Models for Power MOSFETs*, IEEE SemiTherm XVIII, March 12 – 14, 2002, San Jose.

[PANDYA, 2013] Kandarp Pandya, Vishay Application Note 841: Electro-Thermal simulation of Vishay Siliconix Power Mosfets on a PSpice Platform, Vishay, Application Note 841, 2013.

[**PAPE, 2004**] Heinz Pape, Dirk Schweitzer, John H. J. Janssen, Arianna Morelli, Claudio M. Villa, *Thermal Transient Modeling and Experimental Validation in the European Project PROFIT*, IEEE Transactions on Components and Packaging technologies, Vol. 27, No. 3, 2001.

[**PARTHIBAN, 2005**] Parthiban Arunasalam, Kankanhally N. Seetharamu, Ishak Abdul Azid, *Determination of Thermal Compact Model via Evolutionary Genetic Optimization Method*, IEEE Transactions on Components and Packaging Technologies, Vol. 28, No. 2, 2005.

[**POPE, 2006**] A. Poppe, Y. Zhang, J. Wilson, G. Farkas, P. Szabo, J. Parry, M. Rencz, V. Szekely, *Thermal measurement and modeling of multi-die packages*, Therminic 2006, Nice, Côte d'Azur, France 27-29 Sebtember 2006, 2006.

[**RENNER, 2003**] G. Renner, A. Ekart, *Genetic algorithms in computer aided design*, Computer-Aided Design 35, 2003, pp. 709-726, 2003.

[RENCZ, 2001] Marta Rencz, Valdimir Székely, *Dynamic thermal multiport modeling of IC packages*, IEEE Transactions on Components and Packaging Technologies.Vol.24, No 4, Dec.2001,pp 596-604.

[**SABRY, 2012**] M-N Sabry, *A Framework Theory for Dynamic Compact Thermal Models*, SEMI-THERM 2012, San Jose, California, USA, 18-22 March 2012, 2012.

[SCHWEITZER, 2011] Dirk Schweitzer, Heinz Pape, Liu Chen, Rudolf Kutscherauer, Martin Walder, *Transient dual interface measurement - A new JEDEC standard for the measurement of the junction-to-case thermal resistance*, 27th Annual IEEE SemiTherm, March 20 – 24, 2011, San Jose.

[SOFIA, 1995] John W. Sofia, *Analysis of Thermal Transient Data with Synthesized Dynamic Models for Semiconductor Devices*, IEEE Transactions on components, packaging and Manufacturing technology, Part. A, vol.18, No.1, 1995.

[**STEFFENS, 2005**] Oliver Steffens, Péter Szabó, Michael Lenz, Gábor Farkas, *Thermal transient characterization methodology for single-die and stacked structures*, 21st IEEE SEMI-THERM Symposium, 2005.

[SZEKELY, 1988] Vladimir Székely, Tran Van Biena, *Fine structure of heat flow path in semiconductor devices: A measurement and identification method*, Solid-State Electronics, 1988, Vol. 31, No. 9, pp. 1363-1368.

[VINKE, 1997] Heinz Vinke, Clemens J. M. Lasance, Compact Models for Accurate Thermal Characterization of Electronic Parts, IEEE Transactions on Components, Packaging and Manufacturing Technologies, Vol. 20, No. 4, 1997.

[**VINCEZI, 2011**] Alessandro Vincenzi, Arvind Sridhar, Martino Ruggiero, David Atienza, *Fast Thermal Simulation of 2D/3D Integrated Circuits Exploiting Neural Networks and GPUs*, Proceedings of the 17th IEEE/ACM international symposium on Low-power electronics and design, ISLPED 2011.

PARTIE 4 : Validation expérimentale des concepts de réduction

Cette partie est destinée à mettre en œuvre sur des cas concrets, les diverses implémentations apportées à la méthode DELPHI. Pour cela, la caractérisation et la modélisation du comportement thermique de deux cartes électroniques destinées à la validation des performances électriques d'une fonction électronique, un convertisseur DC-DC, sont explicitées. Les deux cartes étudiées sont de chez Intersil® et ont pour références respectivement ISL8023 et ISL8201.

Ces deux cartes de « démonstration » illustrent également l'évolution de la densification des composants électroniques avec le passage d'une fonction réalisée en boitiers discrets vers un boitier multi-puce dit « System In Package ».

La disposition des composants sur la carte et leur technologie sont exposées sur la

Figure 119.

A l'instar des cartes de test Jedec 2s2p, les composants sont montés sur des substrats constitués de 7 couches.

Les dimensions des substrats des 2 cartes sont de 52x69x0.731mm^3 pour l'ISL8023 et de 80x80x1.1mm^3 pour L'ISL8201. Il est à noter que leurs dimensions diffèrent singulièrement des recommandations édifiées par le standard JEDEC.

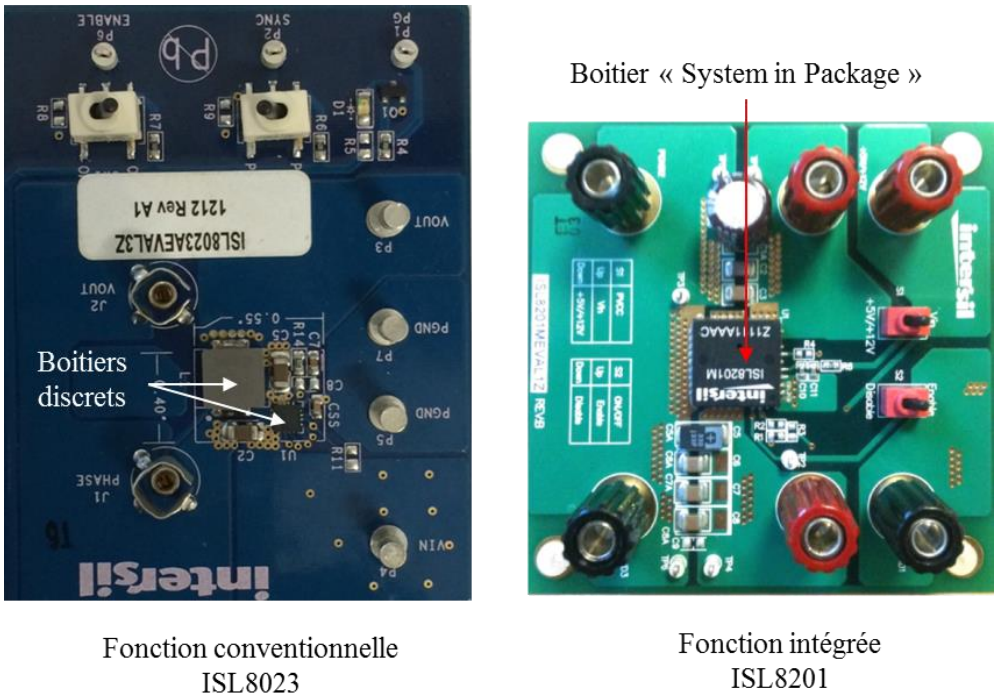


Figure 119: Vision des deux cartes industrielles de démonstration étudiée

La description détaillée de la répartition des couches cuivre et diélectrique ainsi que celle du routage des pistes est fournie par le fabricant. Aussi il est possible de modéliser d'une manière réaliste les éléments de la carte qui vont participer activement aux transferts de la chaleur dissipée au sein des composants. Cette modélisation est faite à partir du logiciel Icepak®, que nous avons « qualifié » auparavant.

La confrontation des résultats des modèles numériques et des relevés expérimentaux est effectuée pour :

- un fonctionnement en régime stabilisée
- des conditions d'environnement dites de « laboratoire »

Les mesures thermiques sont effectuées au moyen d'une caméra infrarouge disposant d'une gamme d'objectif capable de discerner, avec une précision de l'ordre de +/- 2°C, les températures de surface vues par les différents composants montés sur les cartes. L'emploi de thermocouples est prohibé en raison de leur influence sur le comportement thermique de composant miniature.

La maitrise des relevés infrarouge est garantie par l'usage d'étiquettes à émissivité contrôlée.

I. La carte ISL8023

Le composant ISL8023 est un convertisseur DC-DC qui peut délivrer un courant de 3 Ampères pour une tension d'entrée pouvant varier de 2.7 à 5.5Volts. Son rendement est élevé, plus de 90% sur certaines configurations, aussi les pertes thermiques seront limitées. Pour minimiser sa surface d'implantation sur la carte, moins de 141.9 mm^2, celui-ci est encapsulée dans un boitier QFN16.

Du point de vue électrique, le convertisseur est associé avec un certain nombre de composants discrets en boitier CMS: une inductance, des capacités et des résistances.

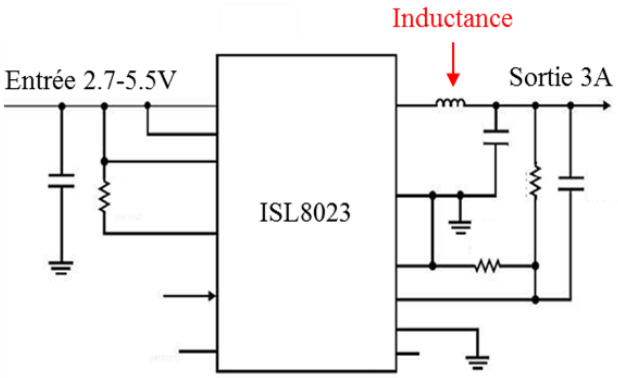


Figure 120: Diagramme électrique fonctionnel

Le diagramme, Figure 120, montre que l'inductance placée en série peut être traversée par un courant important et par conséquence présenter des pertes thermiques ayant un impact significatif sur le convertisseur.

Cette analyse est corroborée par la mesure infrarouge effectuée en laboratoire pour cette carte.

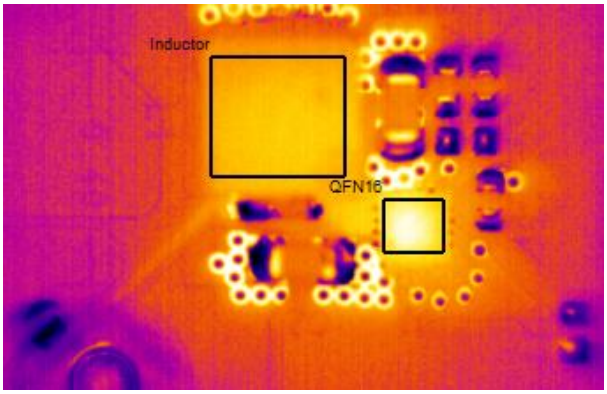


Figure 121: Thermographie infrarouge de la face supérieure de la carte avec zoom 119497

La température surfacique de l'inductance apparait pratiquement aussi chaude que celle du convertisseur et il est indispensable de réaliser son modèle thermique pour caractériser de manière adéquate les températures vues par la carte.

A. Modélisation des composants de la carte ISL8023

Afin de définir correctement la constitution des composants plusieurs analyses technologiques ont été menées sur le boitier ISL8023 et une inductance de chez Cyntec PCMB062D-R81MS.

La vue interne du circuit intégré monté sur la carte indique qu'il s'agit d'un boitier QFN16.

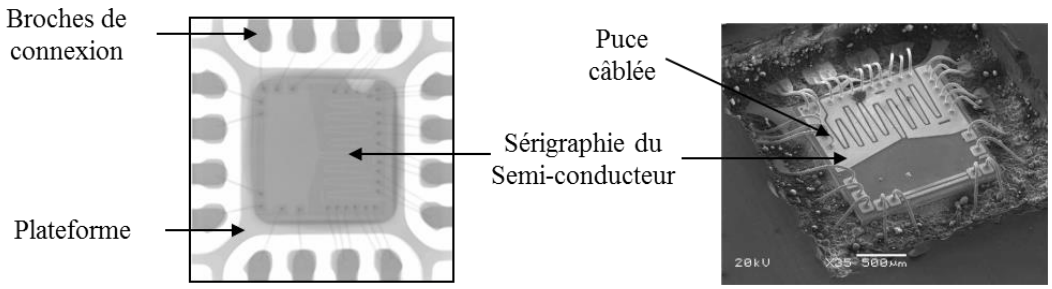


Figure 122: Topologie du boitier QFN16

Par rapport au boitier QFN16 étudié précédement, le motif de la source n'est pas uniforme sur l'intégralité de la surface du semi-conducteur, comme le montre son observation aux rayons X, Figure 122. La puissance dissipée par la fonction est uniquement appliquée sur une partie réduite de la puce. Celle-ci va introduire une dissymétrie thermique. Le modéle numérique est réalisé de manière très détaillée, en prenant en compte les diverses interconnexions électriques du semi-conducteur et des broches.

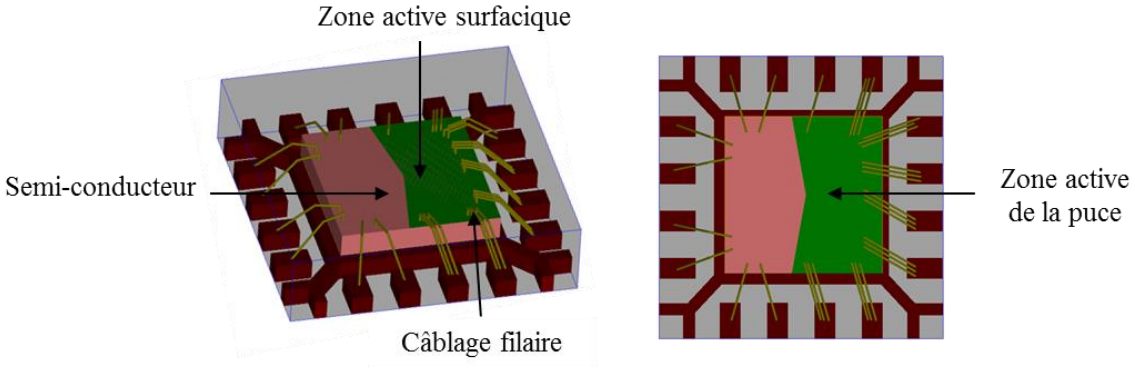


Figure 123: Présentation du modèle numérique du QFN16

Ses caractéristiques géométriques et thermiques sont données dans les Table 58 et Table 24. Seule la conductivité de la résine est différente et vaut 0.9 $W.m^{-1}.K^{-1}$.

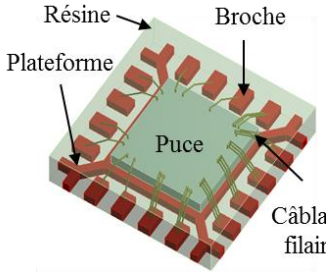
Vue du composant	Nom des éléments	Volume des constituants (mm^3)
 Pas inter-broches: 0.5 mm Diamètre câblage filaire: 25.4µm	Résine	$V_{Ext.} - V_{Int.}$ $V_{Ext.}$=3x3x0.75
	Plateforme	1.85x1.85 x0.2
	Broches	(0.22x0.385x0.2) x16
	Puce	1.66x1.66x0.22
	Colle	1.66x1.66x0.03

Table 58: Présentation des éléments du boitier QFN16 ISL8023

Son réseau compact est donné en Annexe T. Celui-ci utilise pour les nœuds « Top inner » et « Bot inner » respectivement la projection de la puce sur la surface supérieure et celle de la plateforme. La température du nœud de jonction est basée sur la température maximale vue par la zone active, Figure 123.

L'inductance a également été passée aux rayons X puis sectionnée dans un plan pour identifier les dimensions de ses éléments internes.

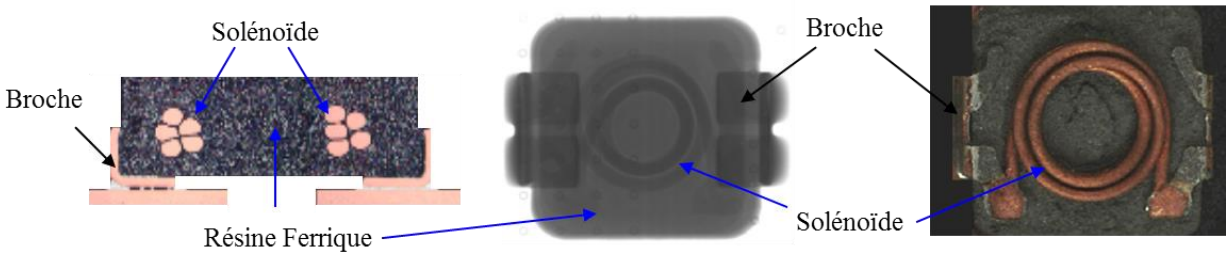


Figure 124: Plan de coupe de l'inductance et radiographie RX

Ces observations ont permis de construire un modèle numérique « réaliste» basée sur la Figure 124.

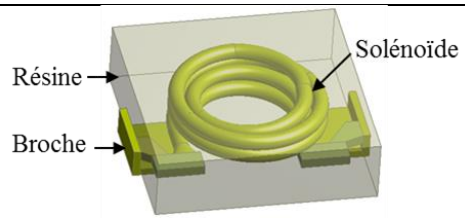
Vue du composant	Nom des éléments	Volume des constituants (mm^3)
	Résine	$V_{Ext..} - V_{Int.}$ $V_{Ext.}$=6.9 x 6.6 x 2.2
	Solénoïde	π x 0.41 x 65
	Broches	(1.78x5.3x0.2) x2

Table 59: Présentation des éléments de l'inductance de la fonction ISL8023

Il s'avère que le manque de données sur les propriétés thermiques et magnétiques du matériau englobant le solénoïde est un point bloquant à la création d'un modèle thermique réaliste.

Ce composant passif soumis à des courants alternatifs élevés, en fréquence et en ampérage, est susceptible d'être le point chaud de la fonction de l'ISL8023 du fait des pertes joules du bobinage et des pertes magnétiques. Le matériau magnétique englobant le solénoïde est composé de poudre de fer mélangé à de l'époxy. Ceux-ci sont compactés autour des spires de la bobine pour former l'enveloppe extérieure du composant, Figure 124.

La conductivité thermique de ce composé a été déterminée en utilisant la loi de mélange de Maxwell définie Équation 6.

Cette loi est basée sur la fraction maximale (Vf) pour laquelle un volume peut être rempli aléatoirement de sphères et de la conductivité thermique de la poudre de fer (kp) et de la résine de polyester (km). Dans le cas présent, ces paramètres sont fixés respectivement à 0.64W.m^{-1}.K^{-1}, 74 W.m^{-1}.K^{-1} et 0.345 W.m^{-1}.K^{-1}. La conductivité thermique effective (ke) déduite pour le matériau d'encapsulation est de 2.1 W.m^{-1}.K^{-1}. La conductivité thermique du cuivre pur égale à 400W.m^{-1}.K^{-1} est prise pour le solénoïde.

Le modèle du solénoïde est construit en considérant la résistance électrique pour un courant continu typique (DRC). Pour l'inductance la valeur mesurée par le fournisseur est de 8.3mΩ à 20°C et de 12mΩ à 125°C.

Ces valeurs sont en accord avec l'Équation 20 en considérant les caractéristique du cuivre suivante: α= 0.00393 et ρ_{20}=1.68.10^{-8} Ω.m.

$$R_\theta = \frac{4 \cdot \rho_{ref} \cdot L}{\pi \cdot D^2} \cdot \left[1 + \alpha \cdot \left(T_\theta - T_{ref}\right)\right]$$

Équation 20: Expression de la résistance électrique du solénoïde en fonction de la température

Ainsi la longueur déployée du solénoïde doit être de 65mm et son diamètre moyen égal à 0.41mm. Une valeur proche des relevés effectués sur l'inductance coupée en deux.

Une étude détaillée de ce composant, ainsi qu'une méthodologie de génération de son modèle compact est présentée dans [MONIER-VINARD, 2013].

Il apparaît que les propriétés thermiques et magnétiques du matériau encapsulant ont un impact majeur sur les prédictions du modèle numérique. La caractérisation expérimentale de ces propriétés est impérative pour établir un modèle physique réaliste. D'autre part, la localisation de la dissipation de chaleur en son sein reste à parfaire.

Cette analyse démontre que les températures tant de la partie magnétique et du solénoïde doivent être identifiées avec précision pour empêcher tout phénomène de vieillissement accéléré.

En considérant une dissipation volumique uniforme et l'échauffement par effet joule dans le solénoïde, un modèle thermique compact à deux sources de l'inductance basé sur le processus de réduction décrit pour le QFN16 a été établi, Figure 125.

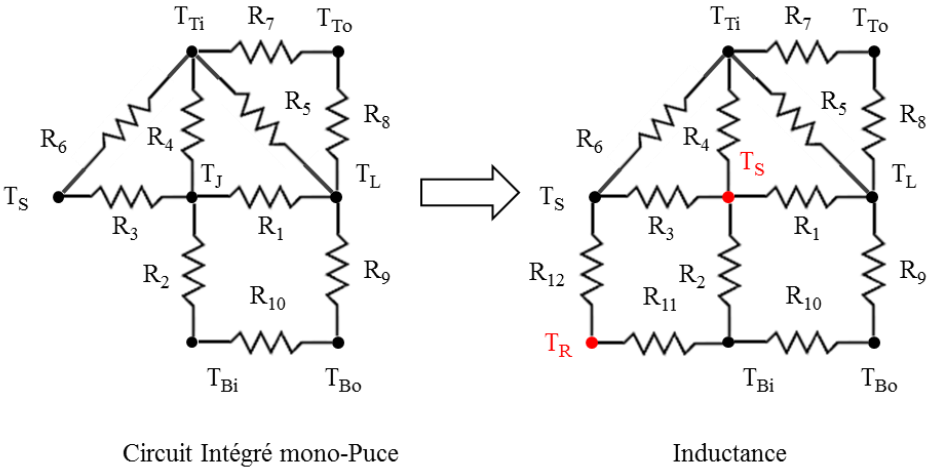


Figure 125: Topologie du réseau mis en place pour l'inductance

Les températures maximales du solénoïde (T_S) et de la résine (T_R) sont assimilées à des nœuds de jonction. Le réseau dérivé pour l'inductance chez Cyntec PCMB062D-R81MS est fourni en Annexe T.

Le problème principal pour la réduction de ce modèle est de définir correctement les surfaces externes isothermes, celles-ci s'avèrent asymétriques et circulaire, Figure 126.

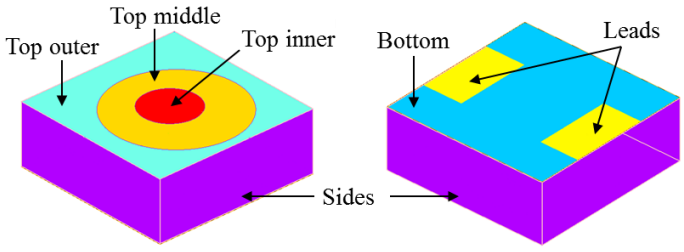


Figure 126: Définition du modèle compact « 6 surfaces » de l'inductance

Là encore, pour ce type de composant magnétique, la méthodologie de réduction proposée reste consistante, le score trouvé est F=0.984 pour les 49 scénarii Thales.

Une divergence en de ça de 5 % est observée, avec la capacité novatrice de contrôler la température maximale du solénoïde (Coil) aussi bien que celle de la partie magnétique (Core) pour détecter les dégradations potentielles liées à son vieillissant.

B. Modélisation de structure propre à la carte

Le PCB est réprésenté en deux types de modélisation:

- en tenant compte de tous les détails du routage de la carte: Figure 127.
- en utilisant l'approche dite « métal fraction » vue au premier chapitre.

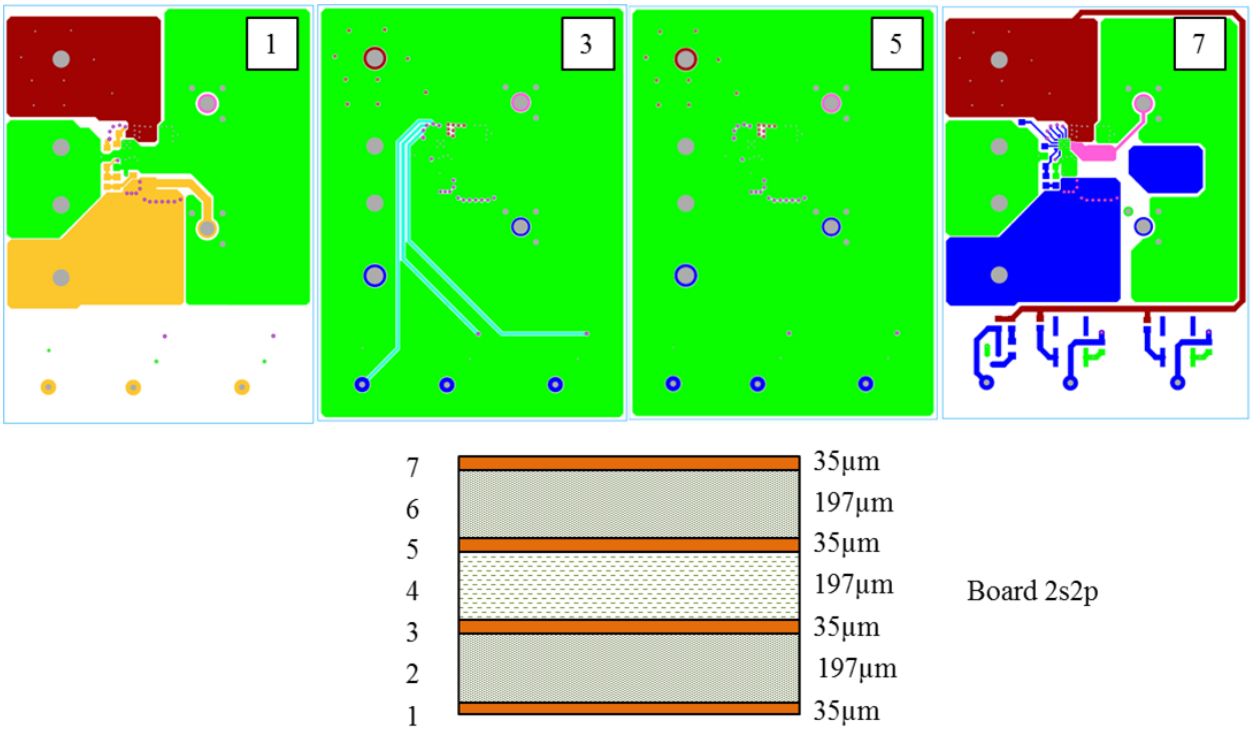


Figure 127: Conception des couches métalliques constitutives de la carte de test

La méthode « metal fraction », évite d'avoir une modélisation réelle de toutes les traces de cuivre et des vias de la carte, même si celles-ci sont prises en compte dans la représentation de la carte équivalente générée.

Cette méthode réduit donc considérablement la taille du maillage et autorise la validation en première approche les paramètres du modèle numérique du substrat de la carte.

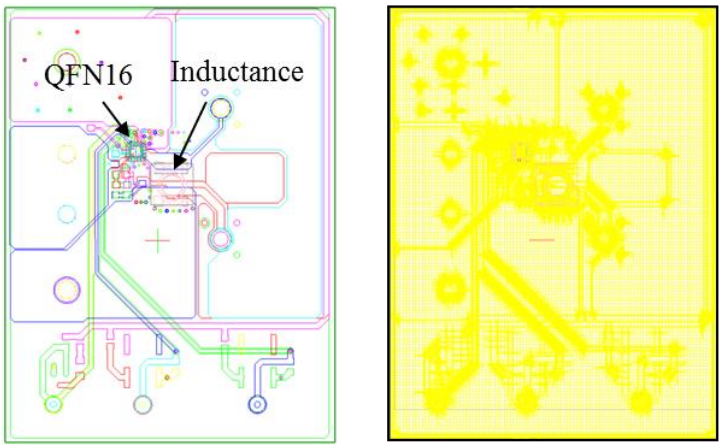


Figure 128: Modèle réduit de la carte et de ses composants actifs sur Icepak

Ensuite le modèle de la carte très détaillée reproduisant les couches, les pistes et les via est retenu pour la validation des modèles des composants électroniques vis-à-vis de l'expérimentation.

C. Caractérisation expérimentale de son comportement

L'inductance initiale (DR73-1R0-16CF11) de la carte ISL8023 a été remplacée par l'inductance PCMB062D-R81MS de chez Cyntec. Ses modèles numériques détaillés et compact ont été explicités.

L'analyse expérimentale considère la carte en position verticale, refroidie par convection naturelle couplée à du rayonnement thermique.

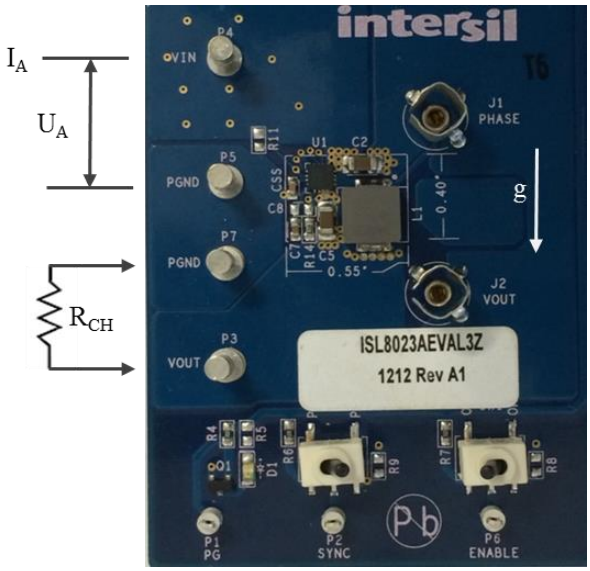


Figure 129: Principe de fonctionnement de la carte de test

- Mesures électriques

Une résistance électrique dite de charge, R_{CH}, est placée entre les connecteurs P7 et P3. Sa valeur mesurée par un multimètre Fluke 8846A est égale à 0.7Ω.

La tension d'alimentation est fixée à 5.0V. Dans ces conditions, la tension d'alimentation mesurée est de 4.827V (U_A) et le courant d'alimentation est de 1.07A (I_A).

La tension de sortie mesurée sur les connecteurs V_{CH} est de 1.79V. Dans ces conditions le courant traversant l'inductance est de 2.557A. Ce que confirme une mesure par pince ampère-métrique qui relève un courant de sortie de 2.6 A (I_{CH}).

Ces mesures donnent le bilan de la puissance dissipée par la carte et les composants:

$$P_D = P_A – P_{CH} = 5.155 - 4.654 = 0.5W$$

- Mesures infrarouge à l'aide du zoom 119497

Une étiquette à émissivité contrôlée est reportée sur la surface supérieure des deux composants à analyser. La valeur de son émissivité est de 0.93.

La température moyenne ambiante mesurée par thermocouple est de 25.4°C.

Pour ce cas test, les valeurs maximales de températures relevées sur les boitiers du QFN16 et de l'inductance sont respectivement de 38.1°C et 35°C.

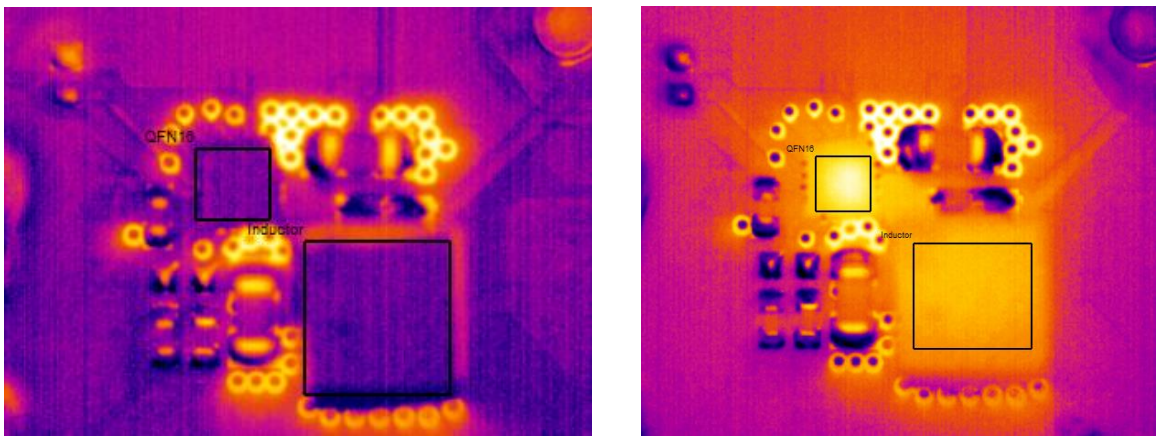


Figure 130: Comportement thermique des deux composants activés ou non

Les échauffements par rapport à l'ambiante sont par conséquent de 12.7°C et 9.6°C.

D'autre part, quatre « points de référence» ont été identifiés sur la face arrière de la carte afin d'obtenir des points de mesure complémentaires en vue d'une comparaison avec le modèle numérique. La température de chacun de ces points est indiquée sur la Figure 131.

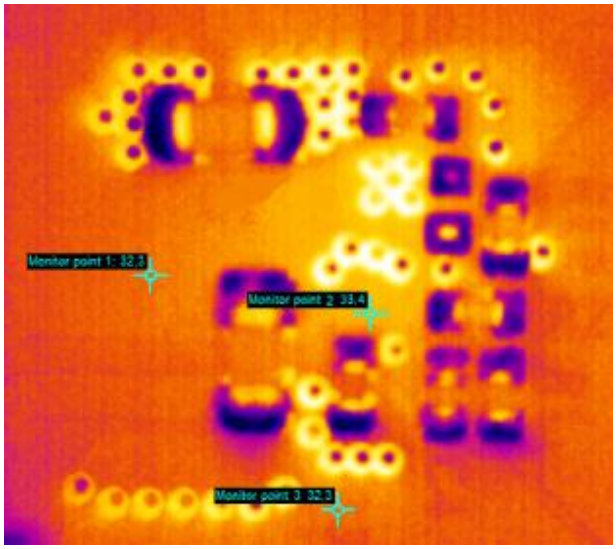


Figure 131: Vue thermique de la face arrière de la carte de test

D. Configurations expérimentales complémentaires

Afin d'avoir plusieurs cas de comparaison entre les données expérimentales est les résultats des modèles numériques, la carte a subi une rotation de 90° puis de 180°.

- Mesures infrarouge à l'aide du zoom 119497 sur carte tournée à 90°

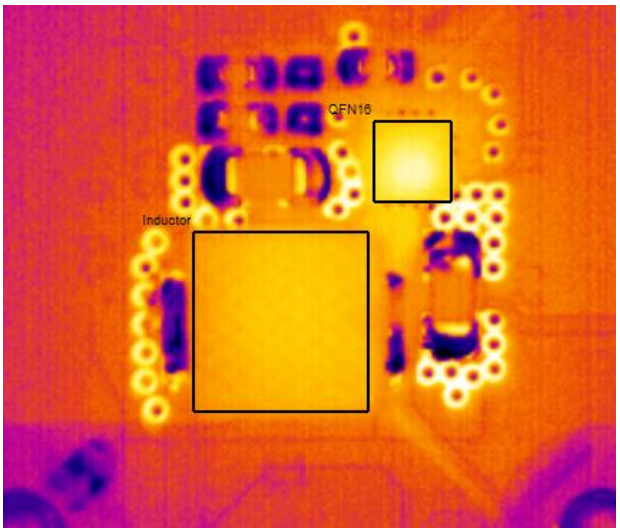


Figure 132: Rotation à 90° des composants de la carte de test

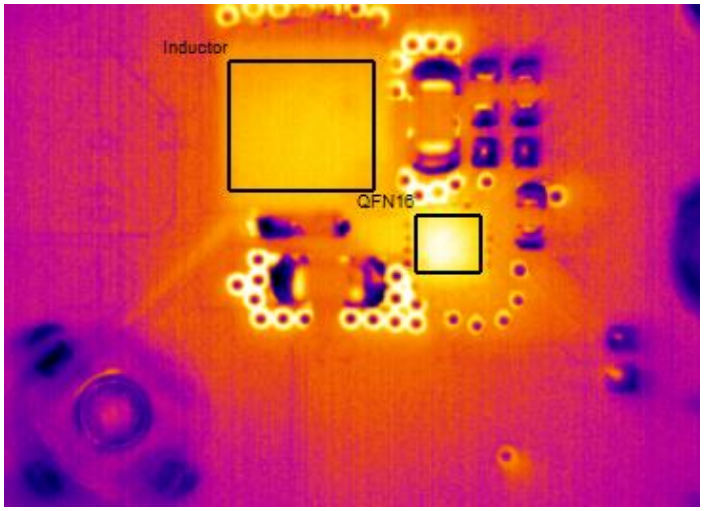
La température ambiante est mesurée à 25.3 °C. Les valeurs maximales des relevés des températures sur les boitiers du QFN16 et de l'inductance sont respectivement de 37.9°C et 34.9°C.

Les échauffements par rapport à l'ambiante sont par conséquent de 12.6°C et 9.6°C.

L'orientation de la carte ne change pas les températures vues par les deux composants.

- Mesures infrarouge à l'aide du zoom 119497 sur carte tournée à 180°

La température ambiante mesurée est de 25.3 °C. Pour cette configuration, les valeurs maximales de températures vues par les boitiers du QFN16 et de l'inductance sont respectivement de 38 °C et 35.2 °C.



Les échauffements par rapport à l'ambiante sont par conséquent de 12.7°C et 9.9°C.

Ces relevés sont identiques à ceux effectués lors du premier test. La position des deux composants par rapport à l'écoulement d'air n'interfère pas sur leur température.

Les gradients relevés sur l'inductance sont loin d'être négligeable et ils doivent être correctement estimés pour caractériser le comportement thermique du boitier QFN16.

E. Définition des pertes thermiques propres à l'inductance

La valeur de l'inductance et celle du «Direct Current Resistance» de PCMB062D-R81MS sont respectivement de 0.81 µH et 8.3mΩ. Ces valeurs, données par le constructeur, ont été considérées pour la simulation électronique.

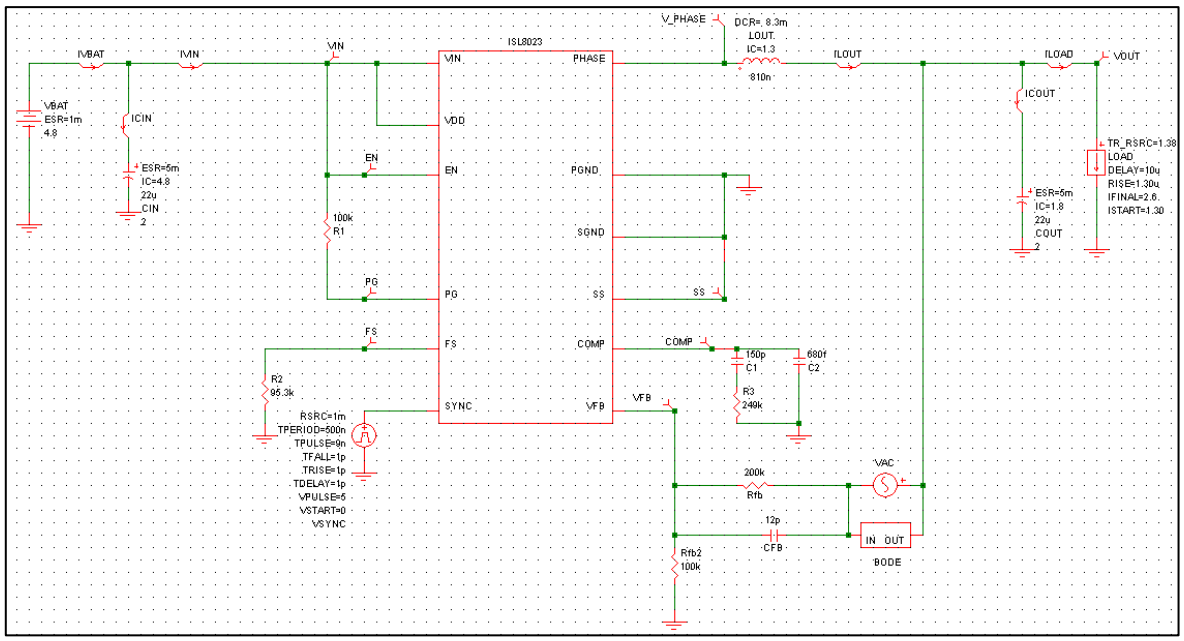


Figure 133: Schéma électrique Spice de la fonction de l'ISL8023

La répartition sur l'ensemble du circuit des pertes thermiques déduite de la simulation électrique est résumée *Table 60*:

Résultats de la simulation électrique	
Boitier QFN16	0.28W
Inductance	0.10W
Carte et autres composants	0.12W

Table 60: Présentation de puissances affectées aux composants de la carte de test

Toutefois pour l'inductance, les pertes par effet joule et les pertes magnétiques doivent être discernées. En utilisant les résultats de la simulation électronique, on observe que la bobine est traversée par un courant triangulaire.

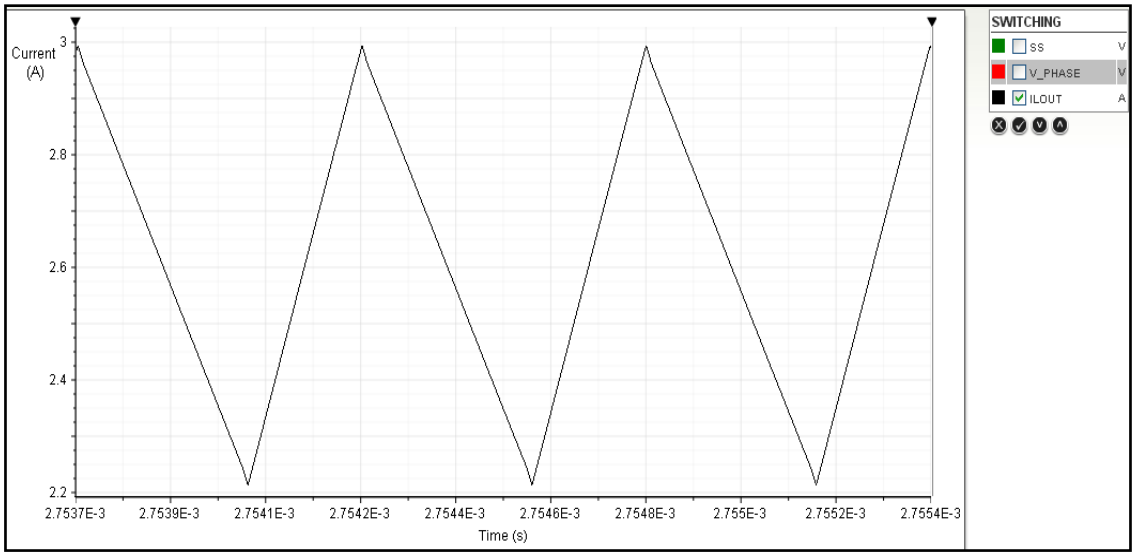


Figure 134: Courant de sortie de l'ISL8023 avant filtrage

Ce courant peut être décomposé en un courant direct et un courant alternatif. Le courant alternatif est absorbé par les condensateurs de sortie pour délivrer un courant continu en sortie.

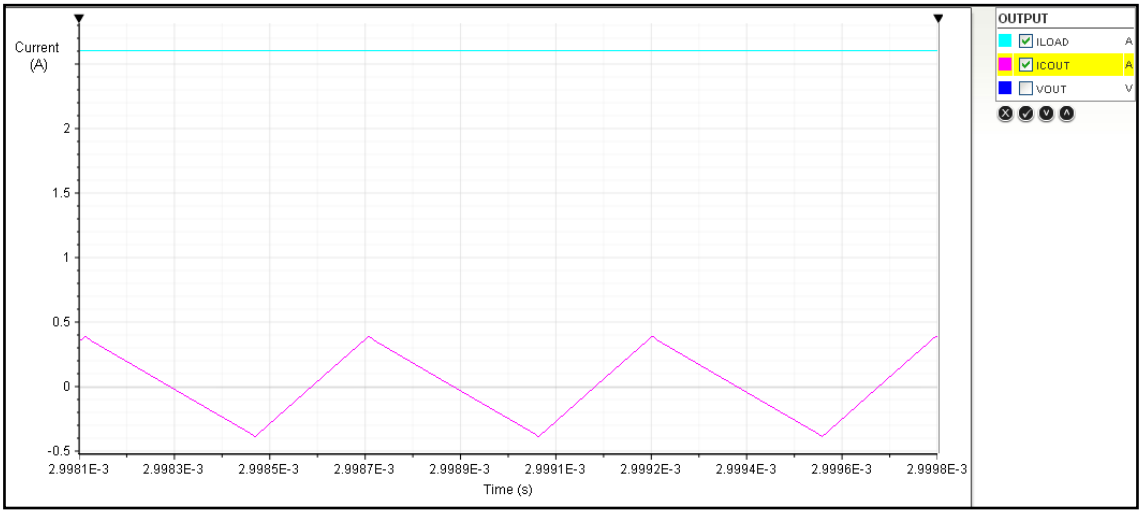


Figure 135: Décomposition du courant de sortie de l'ISL8023 passant par l'inductance

Avec les données du constructeur pour une fréquence 2Mhz, les puissances issues de la simulation électronique sont:

	P_{JOULE}	$P_{MAGNETIQUE}$
P_{AC}	0.01W	-
P_{DC}	0.069W	-
	0.079W	0.021W

Ainsi, pour la carte de démonstration de l'ISL8023, pour un courant de 2.6A, les pertes de l'inductance engendrent une dissipation de 0.1W. Celle-ci se traduit par un gradient thermique de l'ordre de 10°C. Du fait de la proximité du QFN16 et des caractéristiques de la carte, cet échauffement est plus élevé que le celui fournit par le fabricant, Figure 136.

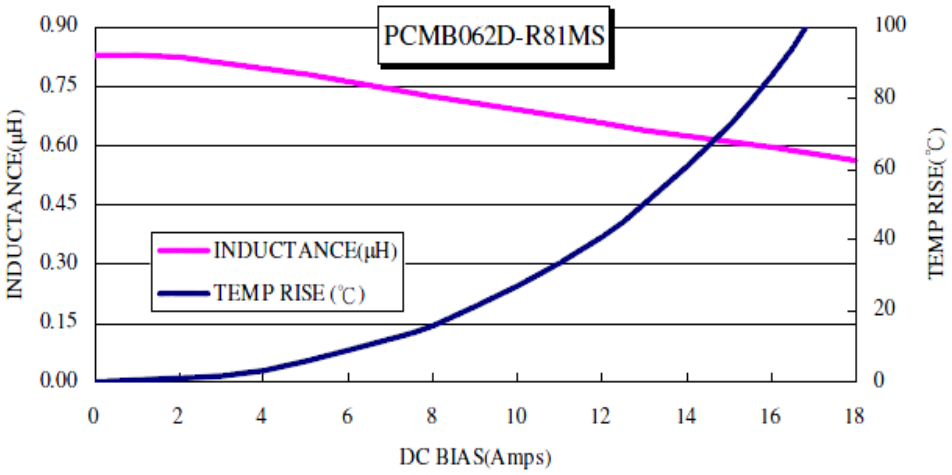


Figure 136: Comportement thermique propre à l'inductance de chez Cintec

Cette estimation doit être confrontée à une simulation magnétique par exemple avec le logiciel Maxwell 3D de chez Ansys.

F. Comparaison expérimentation – simulation numérique

La comparaison est déclinée pour les deux modèles de carte suivants :

- Modèle simplifié. Lequel correspond à l'approche « métal fraction »
- Modèle détaillé pour lequel tous les éléments de la carte sont modélisés

Par ailleurs, le modèle simplifié couplé à des modèles compacts en lieu et place des composants détaillés, a également été analysé.

Les Table 61 et Table 62 fournissent les prédictions des modèles numériques.

	Configuration initiale à T_A=25.4°C			Configuration à 90° à T_A=25.3°C		
Composant	Mesure	Modéle	Δθ	Mesure	Modéle	Δθ
Boitier QFN16	38.1	38.1	0.0%	37.9	38.1	1.6%
Inductance	35	35.5	5.2%	34.9	35.6	7.3%
Carte point 1	32.3	32.9	8.7%	-	-	-
Carte point 2	33.4	33.8	5.0%	-	-	-
Carte point 3	32.3	32.5	2.9%	-	-	-
Jonction QFN16	-	39.6	-	-	39.7	-

Table 61: Comparaison des températures de surface pour le modèle de carte simplifié

	Configuration initiale à T_A=25.4°C			Configuration à 90° à T_A=25.3°C		
Composant	Mesure	Modéle	Δθ	Mesure	Modéle	Δθ
Boitier QFN16	38.1	38.7	4.7%	37.9	38.8	6.7 %
Inductance	35	35.3	3.1%	34.9	35.2	3.0 %
Carte point 1	32.3	33.2	13.0%	-	-	-
Carte point 2	33.4	34.6	15.0%	-	-	-
Carte point 3	32.3	32.7	5.8%	-	-	-
Jonction QFN16		39.6		-	39.7	-

Table 62: Comparaison des températures de surface pour le modèle de carte détaillé

Composant	Configuration initiale à T_A=25.4°C			Configuration à 90° à T_A=25.3°C		
	Mesure	Modéle	Δθ	Mesure	Modéle	Δθ
Boitier QFN16	38.1	38.2	0.8%	37.9	38.2	0.8%
Inductance	35	35.4	4.2%	34.9	35.5	5.2%
Carte point 1	32.3	32.2	1.4%	-	-	-
Carte point 2	33.4	34.0	7.5%	-	-	-
Carte point 3	32.3	32.7	5.8%	-	-	-
Jonction QFN16		39.5	-	-	39.5	

Table 63: Comparaison des températures de surface pour le modèle de carte simplifié avec des compacts

On observe une bonne corrélation entre les différentes approches. La méthodologie élaborée génére des réseaux avec une bonne précision, moyennant une représentation assez fidèle du composant réel tant sur la géométrie que sur les caractéristiques thermiques des matériaux.

G. Problématique de la caractérisation des températures internes

La caractérisation des concepts de réduction établis au cours de cette étude reste à valider expérimentalement, en particulier une meilleure maitrise des puissances réellement dissipées par le semi-conducteur et de sa température.

Afin de réellement contrôler la température maximale vue au niveau de la puce, les divers composants électroniques étudiés ont été modifiés et ils sont désormais instrumentés de puce dite thermique comme le montre la Figure 137.

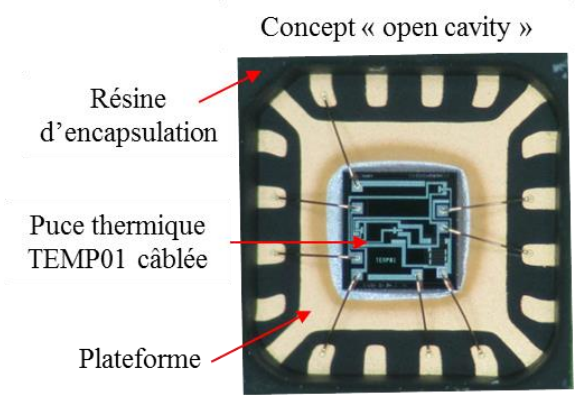


Figure 137: Définition des composants destinés aux tests thermiques

En fait, la résine d'encapsulation a été ouverte de manière à retirer la puce existante pour procéder à l'assemblage d'une puce capable de mesurer le comportement électrique d'un élément chauffant résistif et d'une diode utilisée comme capteur de température. Ces deux sérigraphies sont dessinées à la surface d'une puce en silicium en accord avec la définition du standard JEDEC JESD51-4.

Ce dernier préconise ce type de puce pour caractériser la résistance thermique entre la jonction du composant et l'ambiante, ou R_{JA}.

Compte tenu de la taille de plus en plus réduite des composants analysés, la puce thermique la plus petite du marché, nommée TEMP01 a été montée. Toutefois, celle-ci n'est plus disponible sur le marché. Sa longueur et sa largeur sont respectivement 1.371mm et 1.397mm. Son épaisseur dépend de la conception du boitier devant l'accueillir, généralement de 200 à 350µm.

Le design de la puce est explicité sur la Figure 138.

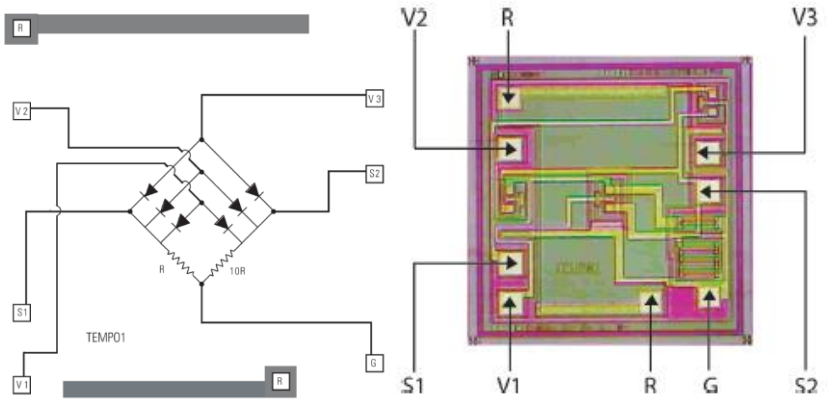


Figure 138: Schéma de principe de la puce « TEMP01 »

La mesure thermique est assujettie à une calibration de la tension de la diode en fonction de la température pour un courant continu direct imposé typiquement à 1mA. Son expression fournit en fonction de la tension aux bornes de la diode, la valeur de la température correspondante. Cette démarche est décrite par le standard JEDEC **[JESD286-B, 2000].**

Ce type de mesures a été validé lors d'une analyse sur une carte électronique équipée de sept composants dits thermiques [**MONIER-VINARD** ,**2008**].

II. La carte ISL8201

Les "System-in-packages" sont une technologie très avancée des composants multi-puce, pouvant intégrée aussi bien des composants actifs que des composants passifs.

En général, ils englobent des fonctions entières telles que des convertisseurs DC/DC par exemple, avec des intégrations verticales ou horizontales de puces nues, de même que des composants utilisant la technologie conventionnelle.

Les "System-in-packages" sont devenus un moyen alternatif en vue de répondre à la tendance de la miniaturisation des systèmes électroniques qui nécessitent de plus en plus de fonctionnalités confinées dans des espaces réduites.

Afin de répondre à l'exigence de la modélisation de ce type de packages, des analyses poussées ont été faites sur le module Intersil®, ISL8201. Ce composant customisé est de la famille des QFNs et il comporte 15 broches de connexion.

Le composant ISL8201 est également un convertisseur DC-DC qui délivre un courant de 10Ampères pour une tension d'entrée pouvant varier de 1 à 20Volts. Son rendement est élevé, plus de 95%, aussi les pertes thermiques seront limitées.

Du point de vue électrique, le convertisseur intègre tous les composants nécessaires à sa fonction, en particulier deux transistors CMOS, une diode Zener, un contrôleur et une inductance.

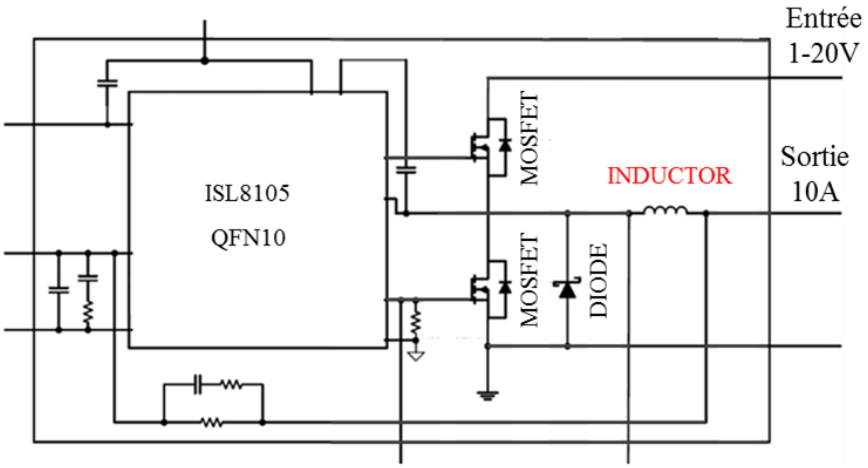


Figure 139: Diagramme électrique fonctionnel de l'ISL8201

Le diagramme, Figure 139, montre que l'inductance est également placée en série et par conséquence va présenter des pertes thermiques importantes pour un courant de 10A.

L'objectif est de proposer une méthodologie de génération de modèle compact, indépendant des conditions aux limites, possédant un nombre élevé de sources de chaleur.

Il a été démontré que l'utilisation de la méthode de superposition et des algorithmes génétiques est un moyen efficace pour la création de réseaux thermiques pour ce genre de composants assez complexes.

A. Modélisation de ses composants

Comme vu auparavant, la construction d'un modèle numérique fidèle au composant réel nécessite une connaissance précise de la géométrie interne du composant. Pour ce faire des techniques telles que l'inspection aux rayons x, l'attaque chimique, le microscope à balayage électronique, la découpe du composant ont été mises en oeuvre, Figure 140.

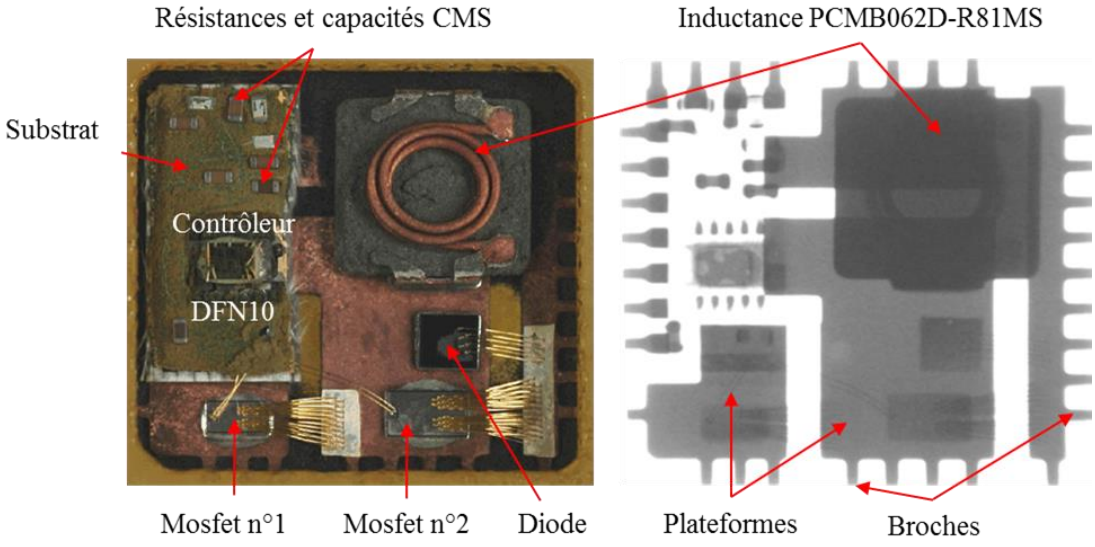


Figure 140: Vues interne et externe (RX) du composant ISL8201

L'attaque chimique à droite révèle que trois puces nues correspondant aux deux transistors Mosfet et à la diode Zener du schéma électrique, Figure 139, sont déposées sur des plateformes métalliques ayant des formes polygonales.

Un boitier actif discret, de la famille des DFN, est monté sur un petit PCB interne sur lequel on constate la présence de résistances et des condensateurs CMS. Le DFN dispose de deux rangées latérales de 5 pattes de connexions.

On identifie également un boitier discret passif encapsulant un solénoïde, c'est une inductance CMS. Celle-ci occupe un volume significatif au sein du boitier de l'ISL8201.

Le volume des principaux composants de l'ISL8201 sont définies dans la Table 64.

Nom des composants	Volume des constituants (mm^3)
Boitier ISL8201	15 x 15 x 3.5
Substrat multicouche interne	5 x 10.6 x 0.36
Composant CMS DFN10	4 x 4 x 0.9
Inductance CMS	6.9 x 6.6 x 2.2
Diode	2 x 2 x 0.25
Mosfet 1	2. x 1 x 0.25
Mosfet 2	2.5 x 2 x 0.2
Résistance CMS	1.0 x 0.5 x 0.35

Table 64: Caractéristiques des constituants du SiP

L'inductance CMS implantée au sein du boitier ISL8201 est la même que celle de ISL8023, à savoir PCMB062D-R81MS.

Les dimensions des éléments internes du boitier DFN10 sont explicitées dans la Table 65.

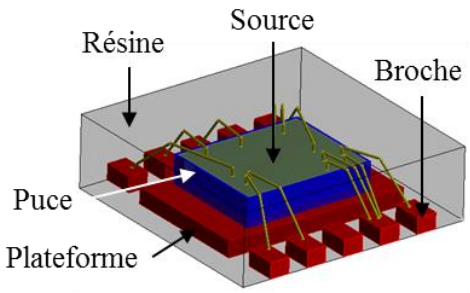
Vue du composant	Nom des éléments	Volume des constituants (mm^3)
 Pas inter-broches: 0.5mm Câblage filaire en or: 25.4µm	Résine	$V_{Ext..} - V_{Int.}$ $V_{Ext.}$= 3x3x0.9
	Plateforme	(2.38x1.64x0.21)
	Broches	(0.4x0.23x0.21) x10
	Puce	(1.67x1.35x0.36)
	Colle	(1.67x1.35x0.03)

Table 65: Dimensions du contrôleur ISL8105

A l'instar du QFN16, un modèle compact « 5 surfaces » a été dérivé, celui-ci est fourni en Annexe U. Le score pour les 49 conditions « Thales » est F=0.978 pour un optimum à 1.

Le composant DFN10 est reporté sur un substrat de 7 couches constitué de 2 plans de cuivre de 35µm, ceux-ci sont pleins.

Ces couches supérieure et inférieure ont des couvertures de cuivre négligeable.

Pour améliorer l'évacuation de la chaleur produite par la puce, sa plateforme est reliée à ses plans par une matrice de 6 vias ayant un pas de 1mm.

Le diamètre de perçage est de 0.3mm et leur métallisation interne est de 35µm.

La Figure 141 décrit le chemin thermique mis en place entre les couches 7, 5 et 3.

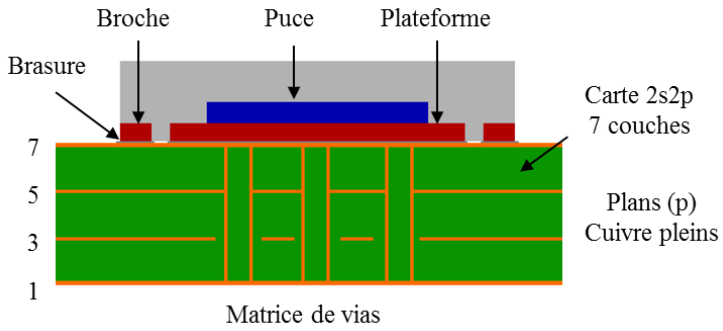


Figure 141: Modèle numérique détaillé du ISL8201

Le volume de chacune des plateformes de l'ISL8201 est indiqué dans la Table 66.

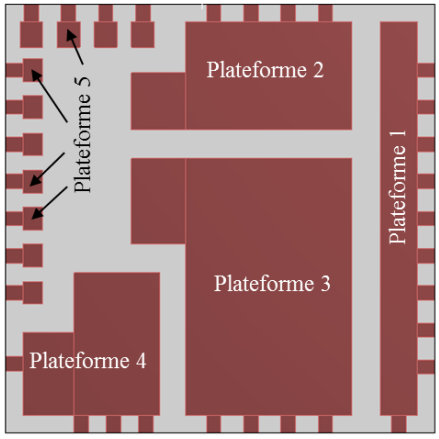
Vue du composant	Nom des éléments	Volume des constituants (mm^3)
	Plateforme 1	1.3 x 13.8 x 0.5
	Plateforme 2	(5.8 x 3.8 + 1.9 x 2) x 0.5
	Plateforme 3	(5.8 x 9 + 1.9 x 3) x 0.5
	Plateforme 4	(3 x 5 + 1.8 x 2.9) x 0.5
	Plateforme 5	(0.7 x 0.8 x 0.5) x 11
	Broche de connections	(0.6 x 0.5 x 0.5) x 33

Table 66: Dimensions de la structure cuivre du boitier ISL8201

Basé sur toutes ces informations technologiques de l'architecture du composant, une représentation fidèle de chacune des parties du composant a été construite.

La Figure 142 présente le modèle numérique résultant de ces observations.

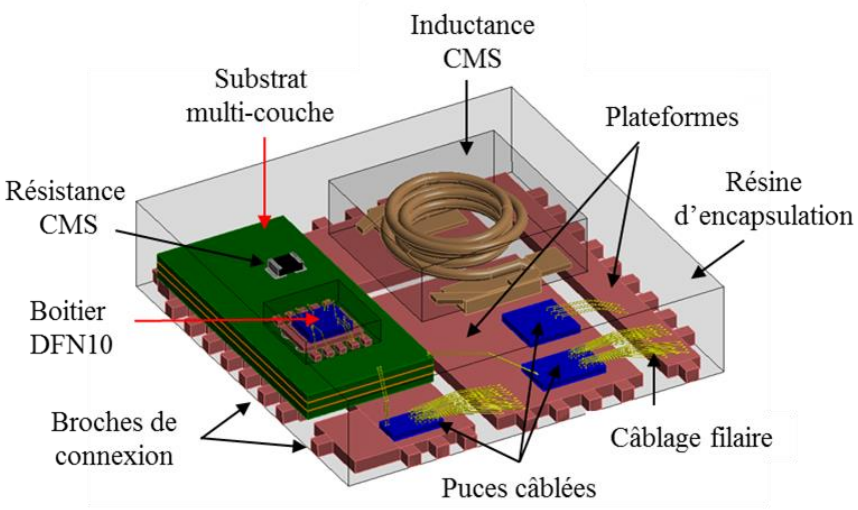


Figure 142: Modèle numérique détaillé du ISL8201

La référence des matériaux et leurs caractéristiques thermiques sont données dans la Table 67.

Constituants	Nom	k ($W.m^{-1}.K^{-1}$)
Englobant du SiP et du DFN	Sumitomo-eme-6710sg	0.66
Puces	Silicium	k(T)
Bobinage de l'inductance	Cuivre	400
Plateforme du SiP et du DFN	Olin C194	260
Joint de soudure du SiP	SnPb 63/37	51
Colle	Ablestik 71-1	2.1
Routage	Cuivre électrolytique	380
Couches diélectrique	Résine d'époxy	0.3

Table 67: Caractéristiques thermiques des constituants de l'ISL8201

B. Modélisation de structure propre à la carte de test

Le substrat de la carte est constitué d'un ensemble de 7 couches dont 2 plans de masse en cuivre. La définition précise de la sérigraphie et de la disposition des couches a également été extraite d'un outil de CAO électronique. La conception des couches et leur disposition est fournie en Annexe U.

La comparaison des modèles détaillé et compact de l'ISL8201 est aussi déclinée pour les deux modèles de la carte, à savoir:

- Modèle simplifié. Lequel correspond à l'approche « métal fraction »
- Modèle détaillé pour lequel tous les éléments de la carte sont modélisés

La vision de ces deux modèles spécifiques de la carte est également fournie en Annexe U

C. Calibration du modèle physique de L'ISL8201

Avant d'établir tout modèle compact, l'enjeu est de s'assurer que le modèle numérique est en mesure de traduire d'une manière réaliste le comportement physique observé sur le composant. Ainsi, des mesures infrarouges ont été effectuées pour divers points de fonctionnement électrique afin de calibrer notre modèle numérique sur ces cas de référence.

a) mesure infrarouge sans zoom b) Mesure infrarouge zoom 119497

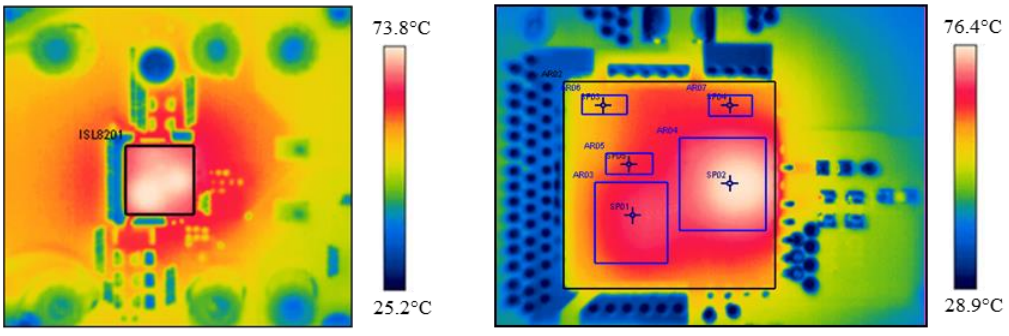


Figure 143: Mesures thermiques mises en œuvre sur L'ISL8201

Un ensemble de températures a été sélectionné sur la surface de L'ISL8201 dans le but de les comparer aux résultats fournis par le modèle numérique pour une répartition approximée des puissances dissipées par les différents composants du boitier.

La Table 68 reprend les températures observées sur un ensemble de zones caractéristiques pour une température ambiante de 19°C.

		Mesures de température infrarouge zoom 119497		
Nom de la zone	**Composant investigué**	**Minimale**	**Maximale**	**Moyenne**
AR04	DFN10	64.2°C	76.6°C	70.1°C
AR03	Inductance	59.5°C	66.8°C	64.4°C
AR05	Diode	59.3°C	64.5°C	62.2°C
AR06	Mosfet n°1	55.2°C	60.9°C	58.0°C
AR07	Mosfet n°2	59.7°C	63.3°C	61.6°C

Table 68: Mesures thermiques locales à la surface du boitier

La dissipation des composants est également déduite d'une simulation électrique. La répartition sur l'ensemble du circuit des pertes thermiques déduites de la simulation électrique est résumée dans la Table 69.

Résultats de la simulation électrique	
Junction	Puissance
DFN10	0.75W
Inductance–coil	0.79W
Inductance–core	0.43W
diode	0.38W
mosfet down	0.48W
mosfet up	0.48W

Table 69: Présentation de puissances affectées aux composants de la carte de test

La puissance totale dissipée au sein de l'inductance est extraite des données du constructeur pour une fréquence 600khz.

La Table 70 présente la corrélation entre les températures prédites par le modèle numérique et les mesures de température faites sur l'ISL8201.

	Mesures de température infrarouge zoom 119497			**Modèle thermique détaillé sous Icepak®**		
Nom de la zone	Min.	Max.	Moy.	Min.	Max.	Moy.
AR04	64.2°C	76.6°C	70.1°C	64.2°C	71.8°C	70.2°C
AR03	59.5°C	66.8°C	64.4°C	63.3°C	69.6°C	65.8°C
AR05	59.3°C	64.5°C	62.2°C	60.2°C	67.0°C	64.2°C
AR06	55.2°C	60.9°C	58.0°C	52.1°C	59.8°C	56.1°C
AR07	59.7°C	63.3°C	61.6°C	58.6°C	61.8°C	60.4°C

Table 70: Comparaison des températures des zones de référence de la surface supérieure

L'agrément pour les températures moyennes est en de ça de 5% en adéquation avec notre objectif de précision. Sur la base de ce modèle numérique « qualifié » le processus de réduction défini auparavant est déroulé.

D. Décomposition des surfaces externes du composant

Les études préliminaires montrent la nécessité d'une définition intelligente des surfaces d'échanges. Un processus d'optimisation de la décomposition a été envisagé afin de capter et de reproduire la disparité des gradients thermiques sur les surfaces du composant.

En effet, la subdivision des surfaces n'est plus intuitive pour ce type de package, Figure 144. Cette décomposition manuelle a été effectuée en définissant la structure du modèle suivante :

- 6 nœuds de jonction pour capturer le comportement des composants du boitier,
- 4 nœuds sur la surface supérieure du boitier pour définir ces échanges avec l'ambiante,
- 5 nœuds sur la surface inférieure pour traduire les transferts thermiques vers la carte,
- 1 nœud pour les quatre faces latérales.

Celle-ci a demandé plusieurs itérations « très intuitives» avant d'aboutir à un score en adéquation avec nos besoins.

Ainsi la matrice des conductances ([G]) de ce modèle compact dit « 10 surfaces » est une matrice 15x15.

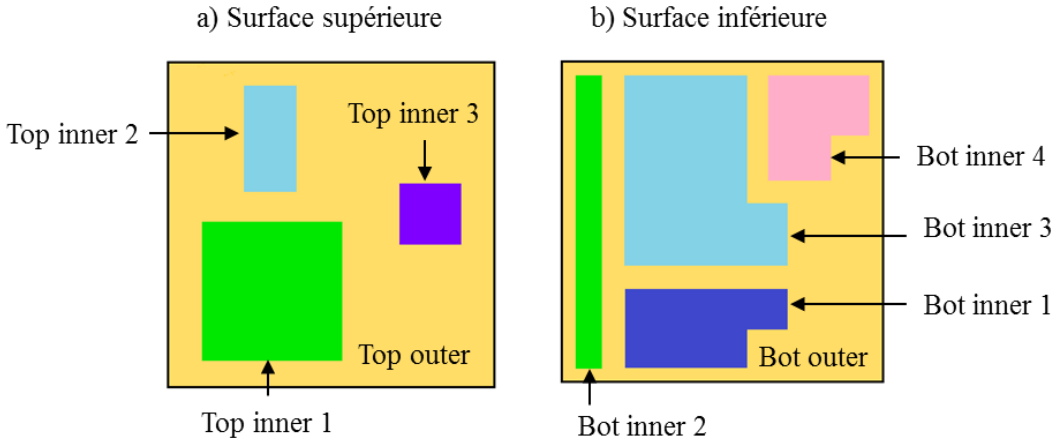


Figure 144: Décomposition «intuitive» des surfaces externes

La Figure 145 décrit l'évolution de la réflexion sur la définition des modèles DELPHI.

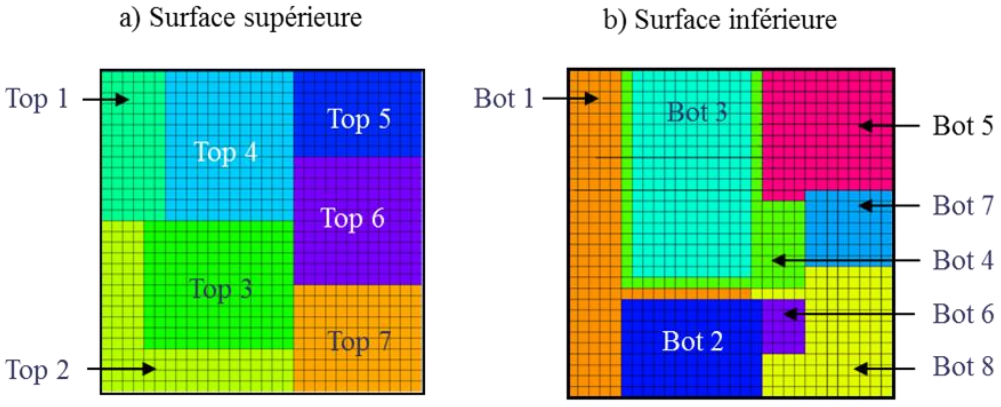


Figure 145: Décomposition «intelligente» des surfaces externes

Ainsi, en exploitant les résultats des 49 scénarii « Thales », l'algorithme génétique est dédié cette fois pour déterminer les zones pouvant être considérées comme isothermes. Tous les cas sont ramenés à une décomposition entre 1 et 10 de la variation de température, ces valeurs correspondant respectivement à la valeur minimale et maximale de la face étudiée. De là on cherche à obtenir la variance par zone la plus faible possible.

Au final, un modèle compact «19 surfaces» va être composé des nœuds ci-dessous:

- 6 nœuds de jonction pour capturer le comportement des composants du boitier,
- 7 nœuds sur la surface supérieure du boitier pour définir ces échanges avec l'ambiante,
- 8 nœuds sur la surface inférieure pour traduire les transferts thermiques vers la carte,
- 4 nœuds pour les faces latérales.

Le challenge est de dériver une matrice de conductances de dimension 25x25 qui soit capable de modéliser le comportement du modèle détaillé.

On peut noter que la notion de « inner » et « outer » n'est plus adaptée à la structure du modèle compact dont les faces sont subdivisées via un processus complétement automatisé.

L'intérêt de cette approche est de minimiser les temps de recherche pour définir la décomposition la plus pertinente.

E. Création du modèle compact de l'ISL8201

A partir des scénarios « Thales », le processus de réduction basé sur l'algorithme génétique a été en mesure de générer un modèle compact comportant 6 nœuds de jonction.

Le principe de superposition nécessite d'exploiter 294 scénarios afin de satisfaire le processus préconisé par notre approche.

Ce cas illustre le fait que l'algorithme génétique est en mesure de tenir compte d'un nombre assez important de nœuds internes aussi bien qu'externes.

On observe une bonne cohérence entre le modèle compact et le modèle détaillé pour les deux réseaux des modèles compacts DELPHI présentent des scores importants:

- décomposition « intuitive », F=0.927
- décomposition « intelligente », F=0.918

Les deux modèles compacts «10 surfaces» et «19 surfaces» générés à partir du processus de réduction sont donnés en Annexe T.

La Table 71 indique les prédictions des températures des composants actifs de l'ISL8201 pour la décomposition « intelligente ».

La dissipation totale et la température ambiante sont respectivement fixées à 3.31W et à 19°C.

Température	$\mathbf{T_{DTM}}$	$\mathbf{T_{CTM}}$	$\Delta\boldsymbol{\theta}$
Boitier DFN10 (C1)	85.5°C	86.2°C	1.1%
Inductance «solénoide» (I1)	72.9	72.5°C	-0.7%
Diode (D1)	66.8	66.1°C	-1.5%
Mosfet n°1 (M1)	66.6°C	66.3°C	-0.6%
Mosfet n°2 (M2)	63.6°C	64.1°C	1.1%

Table 71: Comparaison des prédictions du modèle détaillé et de son modèle compact

Flux	Q_{DTM}	Q_{CTM}	Erreur	ΔQ
Top 1	0.0078	0.015	92.3%	0.2%
Top 2	0.0217	0.032	47.5%	0.3%
Top 3	0.0256	0.0324	26.6%	0.2%
Top 4	0.0156	0.0315	101.9%	0.5%
Top 5	0.0102	0.0179	75.5%	0.2%
Top 6	0.0217	0.0333	53.5%	0.4%
Top 7	0.0196	0.0226	15.3%	0.1%
Bot 1	0.340	0.300	11.8%	1.2%
Bot 2	0.541	0.565	4.4%	0.7%
Bot 3	0.881	0.885	0.5%	0.1%
Bot 4	0.197	0.195	1.0%	0.1%
Bot 5	0.667	0.647	3.0%	0.6%
Bot 6	0.058	0.0532	8.3%	0.1%
Bot 7	0.169	0.146	13.6%	0.7%
Bot 8	0.225	0.199	11.6%	0.8%
S1	0.03	0.0344	14.7%	0.1%
S2	0.0269	0.0339	26.0%	0.2%
S3	0.0306	0.0346	13.1%	0.1%
S4	0.0265	0.0341	28.7%	0.2%

Table 72: Bilan de flux sur les différents nœuds externes de l'ISL8201

La qualité du modèle compact «19 surfaces» monté sur le modèle détaillé de la carte de démonstration est très proche du comportement du modèle de composant détaillé.

D'autre part, les flux thermiques pondérés respectent également la distribution constatée sur les faces «intelligentes» sélectionnées pour l'élaboration du modèle compact.

La divergence des prédictions thermiques de ce dernier n'excède pas 10%.

F. Caractérisation expérimentale de son comportement

Pour juger de la validité du réseau obtenu, la carte de démonstration du fabricant a été utilisée comme moyen de validation.

Ainsi, la configuration des vias thermiques implantés au sein de la carte a un impact majeur sur la résistance thermique jonction-ambiante et par conséquent sur le comportement thermique de l'ISL8201. En fonction de leur nombre sous les différentes plateformes, Table 66, les transferts thermiques vers les plans métalliques vont être très disparates.

En reprenant les relevés des mesures thermiques, il est possible de récupérer les températures moyennes vues par les zones retenues par le programme de décomposition des surfaces externes, Figure 146.

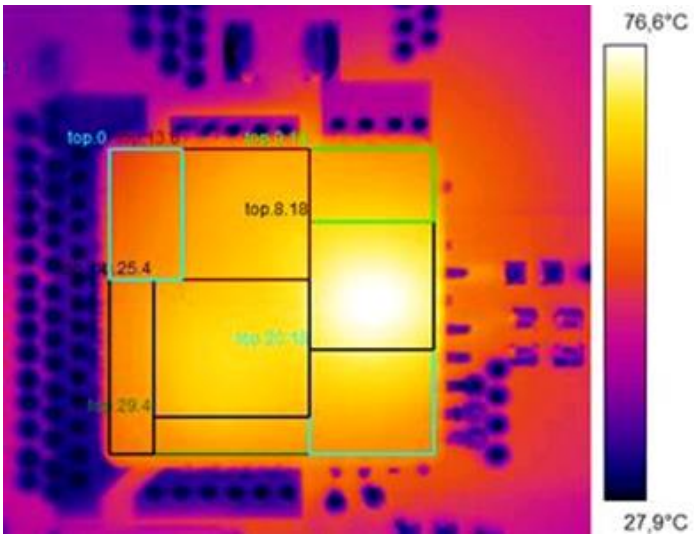


Figure 146:Décomposition de la vue infrarouge zoom 119497

La Table 73 présente la confrontation des températures des 7 zones prises en compte pour la surface supérieure du boitier.

	Mesures	**Modèle CTM**	**$\Delta\theta$**
Top 1	54.7°C	57.4°C	7.6%
Top 2	59.8°C	62.2°C	5.9%
Top 3	64.0°C	65.4°C	3.1%
Top 4	61.7°C	62.7°C	2.3%
Top 5	61.5°C	62.5°C	2.4%
Top 6	70.7°C	69.9°C	1.6%
Top 7	62.3	64.0°C	3.9%

Table 73: Comparaison des résultats numériques et des relevés expérimentaux

La définition des températures expérimentales des zones situées en bordure du composant est difficile à maitriser. En fait, il est difficile de discerner si la valeur affichée prend uniquement en compte la température vue par la surface supérieure du boitier.

La décomposition des zones est toutefois assez fidèle au comportement thermique du composant soumis à un chargement hétérogène des composants qui le compose, l'erreur est inférieure à 10% [**MONIER-VINARD, 2014**].

G. Réduction du temps d'obtention des modèles compacts

Pour réduire le temps de création des modèles, en particulier pour des composants complexes tels que les SiP, il est envisageable de mettre en œuvre des modèles dits sub-compacts. On peut parler de sous-structuration. Cela consiste à réduire séparément en avance de phase les composants actifs ou discrets puis à les injecter dans le modèle détaillé initial. Cet assemblage de multiples types de modèle est destiné à générer le réseau final en minimisant, la taille du modèle. D'autre part, cela offre la possibilité de capitaliser ces composants discrets dans une base de données.

Cette approche peut être également étendue au niveau de la carte, en réduisant par exemple une zone de vias. Dans le cas de l'ISL8201, le contrôleur ISL8105DFN10 et ses vias assurant le transfert de chaleur au cœur du PCB interne, ont été remplacés par des modèles compacts.

La Figure 147 décrit le principe de substitution réalisé pour ce composant.

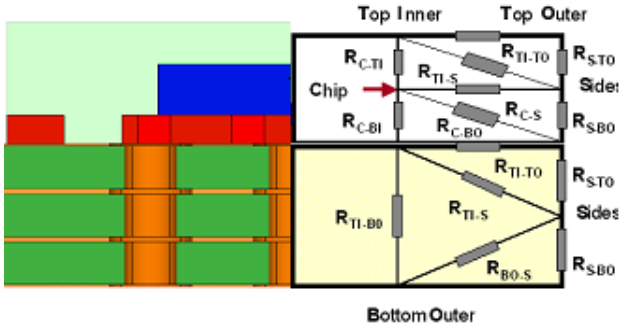


Figure 147: Définition des modèles thermiques sub-compacts

Le modèle détaillé de l'inductance PCMB062D-R81MS implantée au sein du boitier ISL8201 fait aussi l'objet d'une substitution, Figure 148.

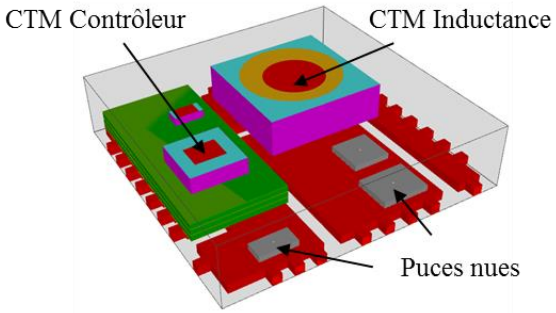


Figure 148: Modèle thermique hybride de l'ISL8201

La Table 74 décline le gain de temps observé via l'approche dite des modèles sub-compacts.

Type de modèle	Maillage	Temps de calcul
Modèle détaillé	5.5 million	4h30 / scenario
Modèle détaillé + Modèles compacts	1 million	40 min / scenario
Modèle compact	10 000	5 min / scenario

Table 74: Performances des modèles

Le bénéfice majeur de l'intégration des sub-compacts est la diminution de la taille du modèle numérique initial. Un ratio de 5 est observé entre les 2 modèles, sans pour autant compromettre la précision des résultats.

La divergence entre les prédictions des températures et des flux pondérés n'excède pas 2%.

Les simulations numériques des divers scénarios «jedec» ou «Thales» de conditions aux limites s'avèrent moins couteuses en termes de calcul.

III. Les nouveaux axes de la réduction des composants complexes

L'analyse du boitier de l'ISL8023 présente une nouvelle étape pour améliorer la qualité des réseaux dérivés de la simulation numérique.

Celle-ci concerne une technique basée sur les algorithmes génétiques, laquelle est destinée à déterminer la matrice diagonale des conductances externes, dénommée $[G_{amb}]_b$. Ainsi le nombre de surfaces nécessaires à une reproduction fidèle du comportement du composant est

automatiquement optimisé avant de procéder à la détermination de la matrice des conductances thermiques[G], puis des capacités thermiques[C].

IV. Bilan sur la caractérisation expérimentale des modèles compacts complexes

La caractérisation des modèles thermiques des composants discrets tels que l'ISL8023 confirme la pertinence du processus de réduction pour ce type de configuration. Les modèles compacts qualifiés par cette approche peuvent être réutilisés pour analyser le comportement thermique d'autre conception de carte électronique.

Les composants à multiples puces, dits « system in Package » vont amplifier la difficulté d'élaborer un modèle thermique comportemental suffisamment précis pour prédire les risques de leur utilisation dans les applications électroniques.

En effet, les dissipations des diverses puces dépendent des modes d'activation des fonctions qui les constituent, aussi la température de jonction maximale du composant peut concerner indifféremment chacune des puces et provoquer son vieillissement accéléré.

Une analyse du schéma électrique est désormais obligatoire pour caractériser la fonction de transfert de la dissipation de puissance au sein du composant.

La Figure 149 synthétise les étapes de processus pour générer un modèle compact capable de répondre aux critères de précision requis pour mener une analyse du comportement thermique des cartes électroniques à très haute densité développées par le groupe Thales.

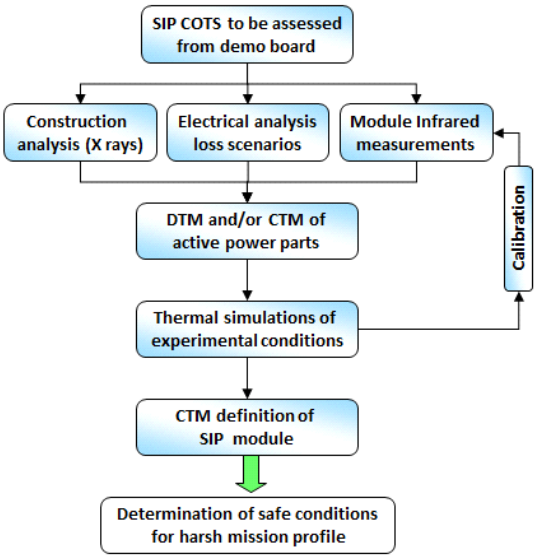


Figure 149: Caractérisation des modèles thermiques pour composant à multi-puce

Cette approche permet de calibrer un comportement réaliste des modèles numériques avant de procéder aux étapes successives destinées à l'obtention d'un modèle « statiques » puis « dynamiques » qui ont été explicitées tout au long de cette thèse.

Bibliographie

[JESD286-B, 2000] Jedec Standard – JESD286-B, Standard for Measuring Forward Switching Characteristics of Semiconductor Diodes, 2000.

[**MONIER-VINARD, 2008**] Eric Monier-Vinard, Jean-Marc. Deu, Valentin Bissuel, Thermal Characterization of COTS electronic Boards, ITHERM, 2008.

[**MONIER-VINARD ,2014**] E. Monier-Vinard, C.T. Dia, V. Bissuel, N. Laraqi, O. Daniel, *Latest Developments of Compact Thermal Modeling of System-in-Package devices by means of Genetic Algorithm* , ITHERM 2014, Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, Orlando , FL, USA, 27-30 May 2014, 2014.

PARTIE 5: Bilan des avancées réalisées et perspectives

De nombreuses technologies récentes telles que les composants à multiples puces ou les nouveaux concepts de cartes électroniques à haute densité sont associés pour concevoir des systèmes de plus en plus denses avec une augmentation incessante de leurs performances.

Ces évolutions se traduisent par une très forte augmentation de densité de puissance des composants électroniques et de leur foisonnement sur les cartes électroniques.

Afin d'anticiper ces contraintes et garantir un haut niveau de fiabilité, il s'est agi de mettre en œuvre une méthodologie capable de générer des modèles thermiques comportementaux dédiés aux divers composants électroniques montés sur les surfaces d'une carte électronique.

L'approche envisagée considère l'établissement d'un modèle comportemental élaboré à partir des résultats d'un modèle numérique représentant la structure la plus réaliste possible d'un composant électronique.

Celui-ci doit avoir une divergence en deçà de 5% et autoriser une réduction significative des temps de calculs concernant la simulation thermique d'une carte électronique complète.

Pour atteindre cet objectif, les travaux effectués dans le cadre de cette thèse ont consisté à analyser et à appliquer sur des cas concrets les méthodologies suivantes:

- Une technique d'ajustement basé sur les algorithmes génétiques en particulier sur l'optimisation de leur fonction coût,
- Un processus pour établir des modèles compacts pour des composants dotés de plusieurs puces,
- Un processus pour établir leur modèle réduit temporel,
- Des voies pour améliorer la précision des modèles réduits, telles que la subdivision des surfaces externes ou la subdivision de réseaux en plusieurs échelons,
- La possibilité d'une extension de la réduction aux composants passifs,
- Une réflexion sur la réduction d'ordre multiple,

En amont de ce travail, des approches analytiques ont été développées pour juger de la qualité des calculs numériques de plusieurs outils du commerce afin de sélectionner le plus adapté à la simulation des cartes électroniques.

Les différents concepts de réduction mis en œuvre dans ce travail ont fait l'objet d'une caractérisation expérimentale, laquelle a permis de statuer sur la pertinence de l'extension de la méthodologie DELPHI.

Tout au long de la thèse, les évolutions de cette implémentation ont été présentées aux principales conférences internationales consacrées au domaine thermique de l'électronique.

Celles-ci soumises à des comités de relecture sont désignées ci-dessous:

- SFT, Congrès annuel de la Société Francaise de Thermique.
- SEMI-THERM, annual IEEE Symposium on Semiconductor Thermal and Temperature Measurement.
- EUROTHERM, European Thermal-Sciences conference, every 4 years.
- EUROSIME, annual IEEE international Conference on Thermal, Mechanical and Multi-physics Simulation and Experiments in Micro-Electronics and Micro-Systems
- ITHERM, bi-annual IEEE international conference for scientific and engineering exploration of thermal, thermo-mechanical and emerging technology issues associated with electronic devices, packages and systems
- THERMINIC, annual IEEE international workshop on Thermal investigation of ICs and Systems,

- IMAPS, annual European Advanced Technology Workshop on Micropackaging and Thermal management sponsored by The International Microelectronics And Packaging Society

La dissémination des résultats de ces travaux représente plus de 15 articles, avec pour vocation de faire adopter par d'autres entreprises nos concepts.

En synthèse, le processus de réduction mis en œuvre pour les composants électroniques mono-puce ou multi-puce nécessite la définition d'un ensemble de points repris ci-dessous :

- Etablir un modèle numérique réaliste et validé du composant,

  La validation expérimentale doit être le point de départ pour juger de la qualité du modèle détaillé. Il est toujours difficile de mesurer avec précision les dissipations et les températures des différents éléments constituants d'un composant électronique. La modélisation des phénomènes thermo-électriques ou thermo-magnétiques couplés demeure difficile à maitriser pour accorder le modèle aux données expérimentales. La caractérisation des matériaux dont les propriétés thermiques dépendent de la température est souvent méconnue.

- Définir une fonction « objectif »,

  Celle-ci est destinée à mesurer l'écart acceptable entre le modèle détaillé et le modèle compact. Il s'agit de statuer sur le poids d'un jeu de paramètres permettant de définir la précision des observables du modèle compact, tels que la température maximale des points sensibles ou les flux thermiques aux surfaces du modèle. Si l'emploi du principe de superposition et l'optimisation d'une fonction coût multicritère ont permis de minimiser l'erreur, certains cas sont perfectibles en particulier pour les composants où les puces sont disposées horizontalement dans le boîtier.

- Définir des conditions aux limites,

  Le modèle doit être indépendant des conditions aux limites pour être utilisable quel que soit l'environnement auquel il est soumis. Deux jeux de scénarii sont proposés, d'une part pour la déduction de modèle statique, 49 conditions, et d'autre part pour dériver un modèle dynamique, 10 conditions. Ceux-ci sont appliqués quel que soit la topologie du composant, aussi leur représentativité physique et leur nombre restent à optimiser pour parfaire la qualité des données dédiées à la réduction. Des méthodes d'apprentissage pour l'organisation du déroulement des scénarii sont à explorer.

- Définir la topologie du modèle réduit,

  La complexité du réseau doit être limitée en garantissant toutefois une bonne précision. La qualité des modèles est liée à la décomposition de ces faces externes en un jeu de surfaces isothermes représentatives des échanges caractéristiques du composant réel. Le comportement de celui-ci est désormais lié à un processus qui s'attache à regrouper, de proche en proche, des éléments discrétisés de la surface étudiée en fonction d'un critère de température, ceci au moyen d'un algorithme génétique. Au final, en fonction d'un nombre de scénarii, une subdivision "intelligente" de la surface doit être obtenue. L'ensemble des surfaces déduites et les observables des points sensibles retenus constituent les nœuds du réseau à déduire. La multiplicité des éléments du réseau thermique pose la question du nombre de scénario nécessaires à sa réalisation, celui-ci peut s'avérer rédhibitoire en particulier pour des

modules électroniques très sophistiqués. Une autre technique de réduction basée sur la minimisation matricielle du modèle numérique est peut-être plus appropriée.

- Choisir une technique d'identification,

  Celle-ci est basée sur l'emploi d'algorithmes génétiques qui font office de fonctions d'ajustement. Ce type d'algorithme est dépendant de la stratégie d'évolution. Les paramètres retenus (taille de la population, taux de mutation et de croissement, sélection élitiste) pour l'identification des réseaux sont liés aux choix des scénarii et de la fonction « coût » retenus. La qualité de la réduction se doit de rester physique et stable ce qui n'est pas toujours le cas.

- Limiter la taille des modèles numériques

  La taille des modèles numériques détaillés à analyser demeure un problème, plusieurs million de mailles. Une première investigation a porté sur l'utilisation de composants réduits préalablement ou "sub-compact thermal model". Dans ces conditions, une sous-structuration des différents éléments du composant est opérée, ceux-ci sont traités de manière indépendante, puis réinjectés sous une forme compacte afin de procéder à la réduction du composant à partir de la méthodologie pré-citée. La question est de savoir si le cumul des divergences propres à chacun des modèles pré-réduits reste en de ça du critère d'acceptation actuel des modèles.

Les voies de réflexion sur l'évolution de la simplification des modèles numériques s'orientent vers des réductions de niveau carte, voire de niveau système. L'approche « metal fraction » permet d'avoir un seul bloc représentatif de la carte tout en conservant tout le détail des pistes et des vias. Elle a démontré son avantage, le gain en termes de temps de calcul est conséquent. Par ailleurs, elle offre l'intérêt de pouvoir être appliquée également au niveau composant, en particulier pour des boitiers complexes tels que les BGAs et les LGAs.

Les besoins de réduction, au niveau système, se sont fait ressentir dans l'industrie aéronautique. Le projet européen Crescendo (Collaborative and Robust Engineering using Simulation Capability Enabling Next Design Optimization), coordonné par Airbus, a été une étape majeure sur les orientations à prendre. Ainsi des résistances de type fluidique doivent être introduites dans le réseau pour prendre en compte le déplacement de matière. Toute la difficulté réside dans le fait de pouvoir reproduire toutes les conditions d'environnement dans un seul réseau. Les résultats des études de « J. Stafford et al. » dans leur article « Development of Compact Thermal-Fluid Models at the Electronic Equipment Level » sont assez prometteurs sur la réduction des systèmes, mais des travaux complémentaires doivent être menés pour générer des modèles précis et indépendant des conditions aux limites.

Enfin, ce travail a été effectué dans le cadre d'un travail collaboratif entre une entreprise et une université avec pour finalité la mise à disposition de ces approches aux ingénieurs du groupe Thales au moyen d'un outil de modélisation des composants. Les modèles proposés sont compatibles avec la plupart des logiciels du commerce existants qui sont dédiés à la thermique de l'électronique.

ANNEXES

Annexe A: Expressions des fonctions du modèle analytique d'une carte électronique ayant de multiples couches

- Si la source est localisée sur la face supérieure

$$Du_{m,n,i} = \left[kz_{nl} \cdot \left(r_{m,n,nl}\right)^2 + ht \cdot \frac{\chi u_{m,n,nl}}{kz_{nl}}\right] \cdot \omega s_{m,n,nl}(t_{nl}) + \left(\chi u_{m,n,nl} + ht\right) \cdot \omega c_{m,n,nl}(t_{nl})$$

$$Nu_{m,n,i} = \frac{e^{r_{m,n,nl} \cdot (z_{nl-1} - Hb)}}{e^{r_{m,n,i} \cdot (z_{i-1} - Hb)}} \cdot \prod_{j=i}^{nl-1} \frac{2 \cdot e^{-t_j \cdot r_{m,n,j}}}{\omega c_{m,n,j}(t_j) + \frac{\chi u_{m,n,j}}{kz_j} \cdot \omega s_{m,n,j}(t_j)}$$

- Si la source est localisée sur la face inférieure

$$Dr_{m,n,i} = \left[kz_1 \cdot \left(r_{m,n,1}\right)^2 + hb \cdot \frac{\chi l_{m,n,1}}{kz_1}\right] \cdot \omega s_{m,n,1}(t_1) + \left(\chi l_{m,n,1} + hb\right) \cdot \omega c_{m,n,1}(t_1)$$

$$Nr_{m,n,i} = \frac{e^{-r_{m,n,1} \cdot z_1}}{e^{-r_{m,n,i} \cdot (z_i + Hb)}} \cdot \prod_{j=i}^{2} \frac{2 \cdot e^{-t_j \cdot r_{m,n,j}}}{\omega c_{m,n,j}(t_j) + \frac{\chi r_{m,n,j}}{kz_j} \cdot \omega s_{m,n,j}(t_j)}$$

- Si la source est localisée entre deux couches

$$\mathrm{Der_{m,n,i}} = \left(\chi \mathrm{u_{m,n,s+1}} + \chi \mathrm{r_{m,n,s}}\right) \cdot \left[\omega \mathrm{c_{m,n,s}}(\mathrm{t_s}) + \frac{\chi \mathrm{u_{m,n,s}}}{\mathrm{kz_s}} \cdot \omega \mathrm{s_{m,n,s}}(\mathrm{t_s})\right]$$

$$\mathrm{Deu_{m,n,i}} = \left(\chi \mathrm{u_{m,n,s+1}} + \chi \mathrm{r_{m,n,s}}\right) \cdot \left[\omega \mathrm{c_{m,n,s+1}}(\mathrm{t_{s+1}}) + \frac{\chi \mathrm{r_{m,n,s+1}}}{\mathrm{kz_{s+1}}} \cdot \omega \mathrm{s_{m,n,s+1}}(\mathrm{t_{s+1}})\right]$$

$$\mathrm{Ner_{m,n,i}} = \frac{\mathrm{e}^{-\mathrm{r_{m,n,s}} \cdot \mathrm{t_s}}}{\mathrm{e}^{\mathrm{r_{m,n,i}} \cdot (\mathrm{z_{i-1}} - \mathrm{Hb})}} \cdot \prod_{\mathrm{j=i}}^{\mathrm{s-1}} \frac{2 \cdot \mathrm{e}^{-\mathrm{t_j} \cdot \mathrm{r_{m,n,j}}}}{\omega \mathrm{c_{m,n,j}}(\mathrm{t_j}) + \frac{\chi \mathrm{u_{m,n,j}}}{\mathrm{kz_j}} \cdot \omega \mathrm{s_{m,n,j}}(\mathrm{t_j})}$$

$$Neu_{m,n,i} = \frac{e^{-r_{m,n,s+1} \cdot t_{s+1}}}{e^{-r_{m,n,i} \cdot (z_i + Hb)}} \cdot \prod_{j=i}^{s+2} \frac{2 \cdot e^{-t_j \cdot r_{m,n,j}}}{\omega c_{m,n,j}(t_j) + \frac{\chi r_{m,n,j}}{kz_j} \cdot \omega s_{m,n,j}(t_j)}$$

Annexe B: Résolution de l'équation transcendantale (x²-a).tan(x) = b.x

- Si b = 0, alors a = 0

Et on retrouve la formulation classique du modèle analytique correspondant aux faces latérales isolées. Les solutions sont de la forme m.π avec m ≥ 0.

- Si a > 0 et b > 0

La fonction tangente est définie sur les intervalles $\left]\frac{\pi}{2} * k\,;\, \frac{\pi}{2} * (k+1)\right[$, celle-ci est strictement croissante sur ces intervalles. Soit

$$g(x) = \frac{b.x}{x^2 - a}$$

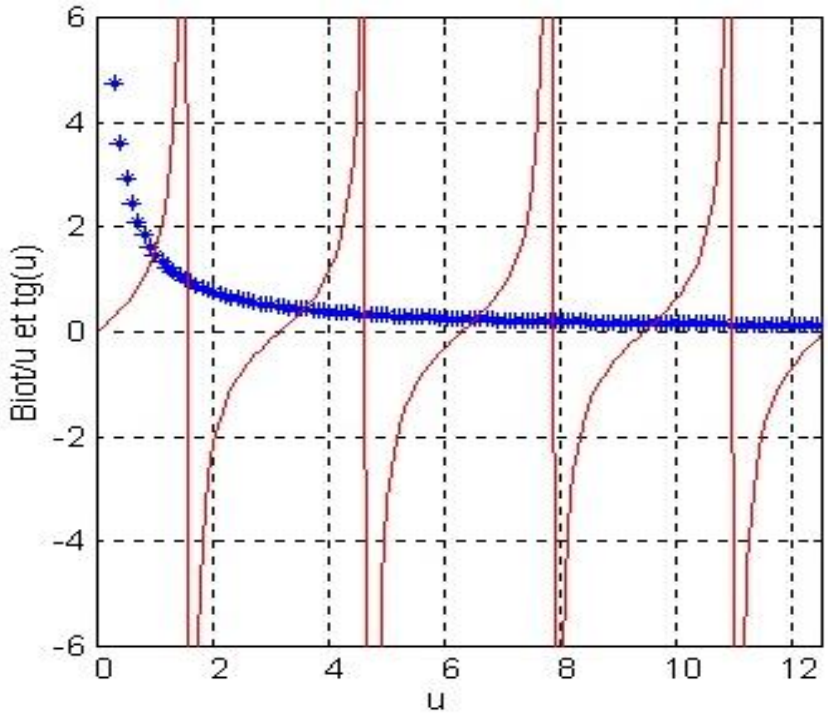
g est une fonction dérivable car quotient de fonctions polynômiales.

$$g'(x) = \frac{-b.(x^2 + a)}{(x^2 - a^2)^2} < 0$$

g est donc décroissante sur les intervalles $]0\,;\, a^{1/2}[$ et $]a^{1/2}\,;\, +\infty[$.

Deux situations sont alors possibles.

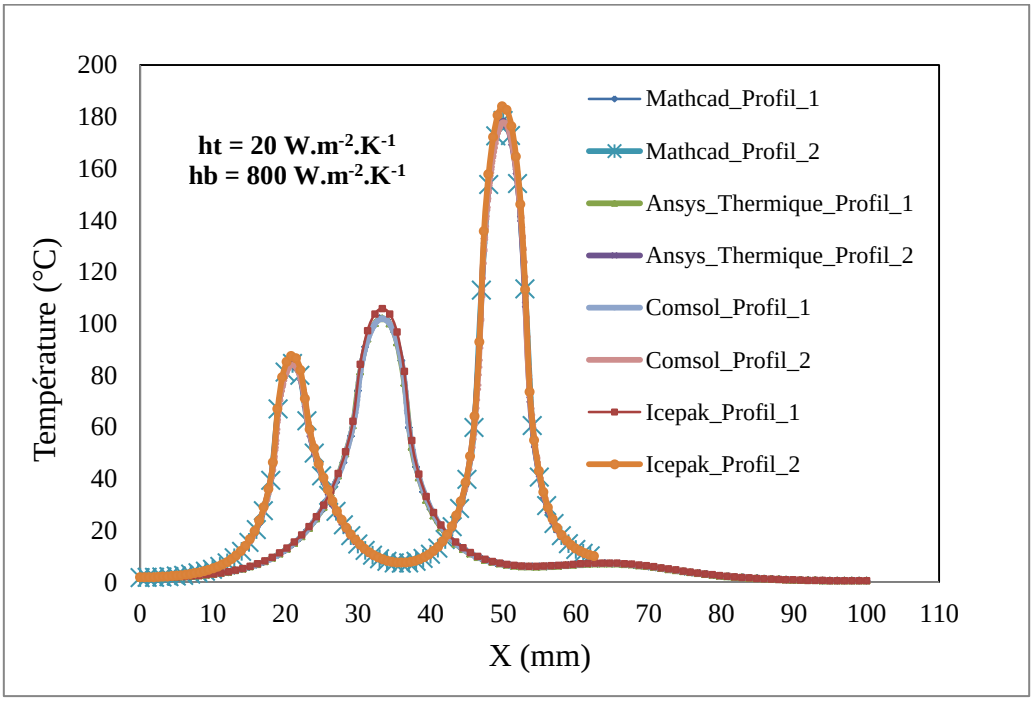
1) Soit $a^{1/2} = \frac{\pi}{2}.p$, dans ce cas, on aura une seule et unique solution dans les intervalles $\left]\frac{\pi}{2} * k\,;\, \frac{\pi}{2} * (k+1)\right[$, correspondant à l'intersection entre les courbes des fonctions « tan » et g.
2) Ou la valeur $a^{1/2}$ est comprise entre $\left]\frac{\pi}{2} * p\,;\, \frac{\pi}{2} * (p+1)\right[$, on aura une seule et unique solution pour $\left]\frac{\pi}{2} * k\,;\, \frac{\pi}{2} * (k+1)\right[$, sauf sur l'intervalle $\left]\frac{\pi}{2} * p\,;\, \frac{\pi}{2} * (p+1)\right[$ qui comportera deux solutions.



Annexe C: Comparaison entre modèle analytique et modèle numérique de la conductivité dépendante de la température, en utilisant la transformée de Kirchoff

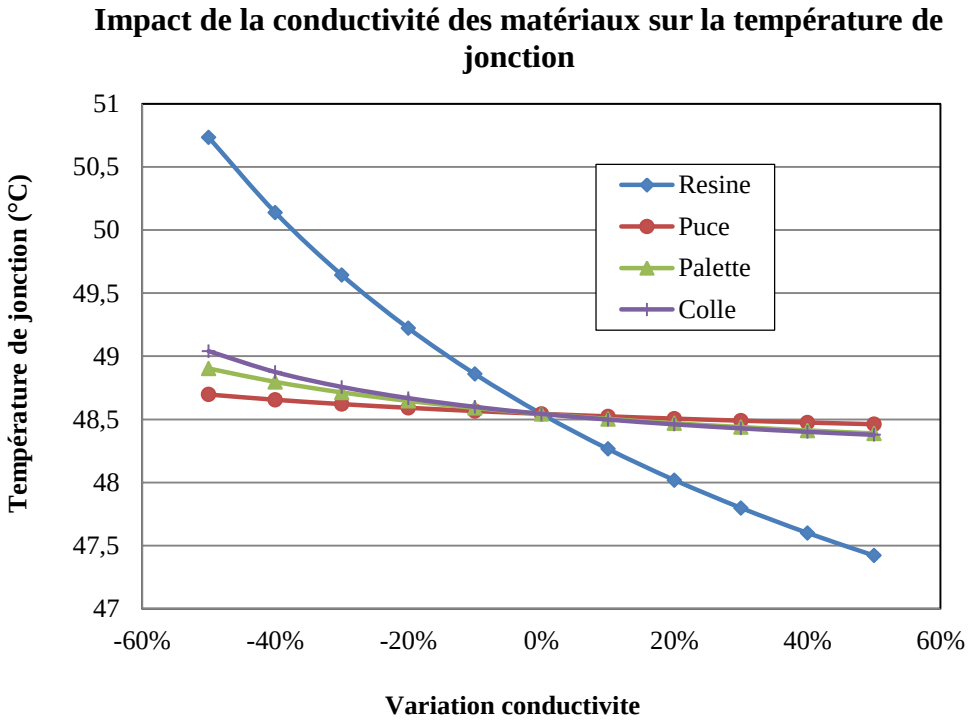
				Mathcad®		Icepak®		Ecart	
	Pd (W)	xc (mm)	yc (mm)	Tc (°C)	$\bar{T}$ (°C)	Tc (°C)	$\bar{T}$ (°C)	ΔTc (%)	$\overline{\Delta T}$ (%)
TEC_11	0,1	0,45	0,15	101.5	97.2	101.4	97.3	0.2%	-0.3%
TEC_12	0,1	0,45	0,175	106.7	101.8	106.3	101.6	0.9%	0.5%
TEC_13	0,1	0,45	0,2	108.3	103.1	107.8	102.9	1.0%	0.5%
TEC_14	0,1	0,45	0,225	106.9	101.9	106.5	101.7	0.9%	0.5%
TEC_15	0,1	0,45	0,25	101.8	97.5	101.7	97.6	0.2%	-0.3%
TEC_21	0,15	0,3	0,45	124.6	117.8	124.6	118.0	0.0%	-0.3%
TEC_22	0,15	0,3	0,475	133.0	125.0	132.4	124.8	0.8%	0.3%
TEC_23	0,15	0,3	0,5	135.4	126.9	134.6	126.7	1.1%	0.3%
TEC_24	0,15	0,3	0,525	132.9	124.8	132.3	124.6	0.8%	0.3%
TEC_25	0,15	0,3	0,55	124.4	117.5	124.3	117.7	0.2%	-0.3%
TEC_31	0,1	0,2	1,2	101.3	97.1	101.3	97.2	0.0%	-0.3%
TEC_32	0,1	0,2	1,225	106.6	101.7	106.2	101.5	0.9%	0.5%
TEC_33	0,1	0,2	1,25	108.1	102.9	107.6	102.7	1.0%	0.5%
TEC_34	0,1	0,2	1,275	106.6	101.7	106.2	101.5	0.9%	0.5%
TEC_35	0,1	0,2	1,3	101.4	97.2	101.3	97.3	0.2%	-0.3%
TEC_41	0,15	0,7	1,3	124.5	117.6	124.4	117.9	0.2%	-0.5%
TEC_42	0,15	0,7	1,325	133.1	125.0	132.5	124.8	0.8%	0.3%
TEC_43	0,15	0,7	1,35	135.6	127.2	134.9	126.9	0.9%	0.4%
TEC_44	0,15	0,7	1,375	133.4	125.3	132.8	125.1	0.8%	0.3%
TEC_45	0,15	0,7	1,4	125.3	118.4	125.1	118.5	0.3%	-0.2%

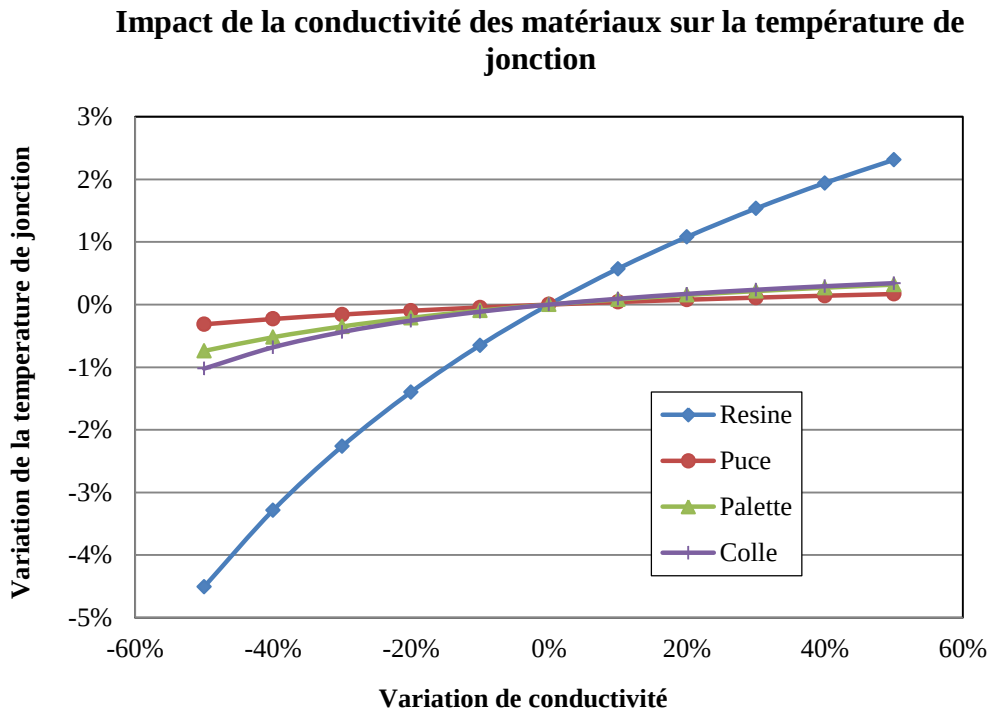
Annexe D : Comparaison de deux profils sur différents logiciels entre le modèle analytique et le modèle numérique pour la configuration 2



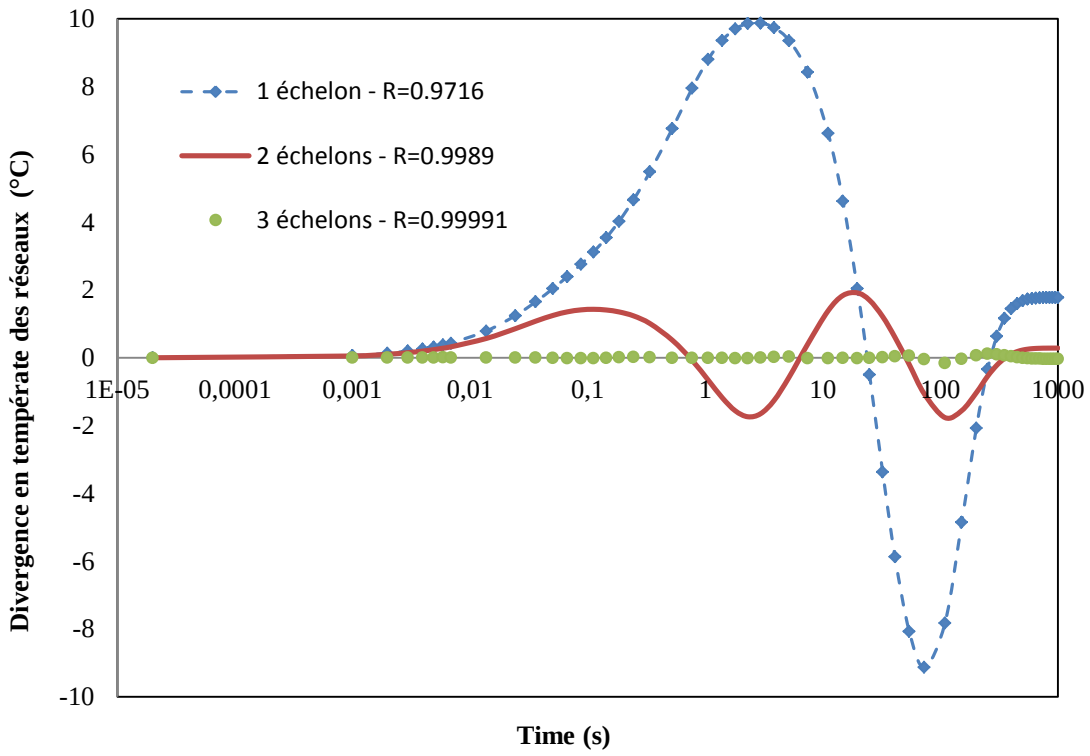
Le profil 1 représente la première bissectrice sur la surface contenant les sources. Le profil 2 correspond au segment reliant les points (0 mm, 0 mm, 1.6 mm) et (62.5 mm, 100 mm, 1.6 mm) passant par le centre de la source carrée.

Annexe E : Impact de la variation de la conductivité thermique sur la température de jonction d'un QFN64 de 9mm x 9mm





Annexe F: Précision des réseaux à 1,2 ou 3 échelons donnant la resistance jonction-ambiante du composant Si7431DP



Annexe G: Réseaux RC à 4 échelons donnant la résistance jonction-case du composant Si7431DP

Echelon N°	n=1		n=2		n=3		n=4	
Type de réseau	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)	R_n (°C/W)	C_n (mJ/W)
Foster	0.55	10.05	0.07	0.27	0.63	29.59	0.26	81.37
Cauer	0.07	0.39	1.05	6.5	0.25	42.54	0.13	4.64

Annexe H: Les 38 conditions aux limites « Philips » repris par le standard JESD15-4

		Heat transfer coefficients h en $W.m^{-2}.K^{-1}$			
Type	Test case	Top face	Bottom face	Sides	Leads
Free convection	1	10	10	10	10
	2	10	10	10	100
	3	10	10	10	1000
	4	10	10	10	10000
	5	30	30	30	30
Forced convection	6	50	50	50	10000
	7	10	100	10	1000
	8	100	10	10	1000
	9	10	100	10	100
	10	100	10	10	100
	11	50	50	50	50
	12	100	100	100	100
	13	100	100	100	500
Free convection and heat-sink	14	500	10	10	1000
	15	1000	10	10	1000
	16	10	500	10	1000
	17	10	1000	10	1000
	18	500	10	10	100
	19	1000	10	10	100
	20	10	500	10	100
	21	10	1000	10	100
Forced convection and heat-sink	22	100	100	100	1000
	23	100	1	100	1000
	24	1	100	100	1000
	25	200	200	200	1000
	26	50	50	50	1000
	27	200	200	200	10000
	28	100	100	100	10000
Cold plate	29	10000	10	10	100
	30	10	10000	10	100
	31	10000	10	10	1000
	32	10	10000	10	1000
	33	1	10000	1	10000
	34	10000	1	1	10000
Infinite fluid bath	35	109	109	109	109
	36	10000	10000	10000	10000
	37	1000	1000	1000	1000
	38	500	500	500	500

Annexe I: Les 49 conditions aux limites « Thales »

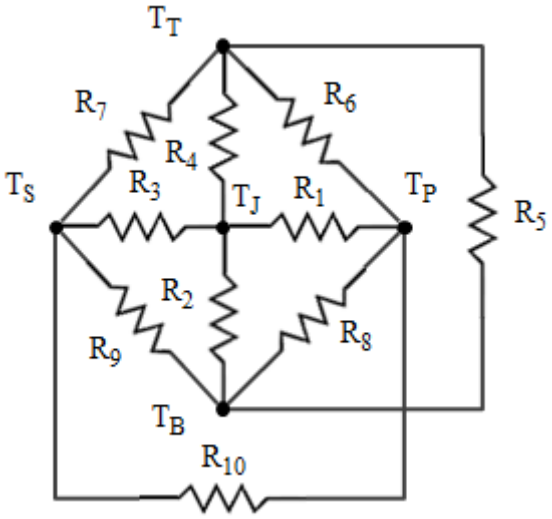
		Heat transfer coefficients h en $W.m^{-2}.K^{-1}$			
Type	Test case	Top face	Bottom face	Sides	Leads
Free convection conditions	1	5	1	5	1
	2	5	10	5	10
	3	5	25	5	50
	4	5	50	5	50
	5	5	50	5	100
	6	5	100	5	200
	7	15	1	15	1
	8	15	10	15	10
	9	15	25	15	50
	10	15	50	15	50
	11	15	50	15	100
	12	15	100	15	200
Forced convection conditions	13	30	5	30	5
	14	30	30	30	30
	15	30	50	30	50
	16	30	200	30	200
	17	80	5	80	5
	18	80	30	80	30
	19	80	50	80	50
	20	80	200	80	200
	21	200	5	200	5
	22	200	30	200	30
	23	200	50	200	50
	24	200	200	200	200
Free convection and heat-sink conditions	25	25	1	25	1
	26	25	10	25	10
	27	25	25	25	50
	28	25	50	25	50
	29	25	50	25	100
	30	25	100	25	200
	31	75	1	75	1
	32	75	10	75	10
	33	75	25	75	50
	34	75	50	75	50
	35	75	50	75	100
	36	75	100	75	200
Forced convection and heat-sink conditions	37	150	5	30	5
	38	150	30	30	30
	39	150	50	30	50
	40	150	200	30	200
	41	500	5	200	5
	42	500	30	200	30
	43	500	50	200	50
	44	500	200	200	200
Cold plate conditions	45	10	50	10	10^3
	46	10	10^3	10	10^4
	47	10^3	5	10	50
	48	10^4	50	10	500
Infinite	49	10^9	10^9	10^9	10^9

Annexe J: Modèle compact QFN16 « 4 surfaces » selon Parthiban

a) Résultats du modèle 3D

Température (°C)	S39	S40	S41	S42	S43
« Junction »	1907.9	126.5	40.4	131.2	74.5
« Top »	1866.8	90.2	21.9	89.8	24.4
« Bottom outer »	1878.9	100.4	24.1	116.4	58.0
« Paddle »	1904.4	124.0	36.5	129.0	71.8
« Sides »	1856.6	82.7	21.0	100.4	41.4

b) Illustration de la forme du réseau



c) Les réseaux déduits

Résistances	Fonction coût Article			
4 surfaces	Top	Bottom	Paddle	Sides
Junction	748.4	58.5	4.14	325.1
Top	-	102.1	122.0	198.0
Bottom	-	-	632.6	884.4
Paddle	-	-	-	32979
	Fonction coût JEDEC			
4 surfaces	Top	Bottom	Paddle	Sides
Junction	158.2	97.9	4.12	248.8
Top	-	63.3	5774	194.6
Bottom	-	-	96.4	5119
Paddle	-	-	-	8959.3
	Fonction coût THALES			
4 surfaces	Top	Bottom	Paddle	Sides
Junction	106.2	59.0	4.78	530845
Top	-	124.8	3176	147.9
Bottom	-	-	220.0	91.9
Paddle	-	-	-	41414

d) Les performances des réseaux

Température (°C)	Fonction coût Article				
4 surfaces	S39	S40	S41	S42	S43
« Junction »	1904.3	124.9	40.1	129.8	73.0
« Top »	1869.4	91.8	21.8	90.4	24.4
« Bottom outer »	1882.2	102.6	24.0	115.2	55.6
« Paddle »	1902.6	123.1	37.5	127.2	70.8
« Sides »	1851.5	79.1	20.9	105.1	44.1

Température (°C)	Fonction coût Jedec				
4 surfaces	S39	S40	S41	S42	S43
« Junction »	1903.9	124.7	40.2	129.4	72.9
« Top »	1868.5	91.0	21.6	90.3	24.4
« Bottom outer »	1881.1	101.9	24.0	111.5	51.3
« Paddle »	1902.5	123.2	37.6	127.5	71.4
« Sides »	1853.6	80.6	21.0	106.4	45.7

Température (°C)	Fonction coût Thales				
4 surfaces	S39	S40	S41	S42	S43
« Junction »	1903.3	124.5	40.1	129.5	73.1
« Top »	1867.8	91.0	21.9	90.2	24.4
« Bottom outer »	1877.6	99.7	24.1	114.4	55.1
« Paddle »	1902.2	123.3	37.5	127.7	71.9
« Sides »	1857.5	82.4	20.6	104.4	43.2

Annexe K: Modèle compact QFN16 « 5 surfaces » selon la méthodologie Jedec

a) Résultats du modèle 3D

Température (°C)	S39	S40	S41	S42	S43
« Junction »	1907.9	126.5	40.4	131.2	74.5
« Top inner »	1889.6	107.8	24.2	100.8	26.6
« Top outer »	1861.7	86.3	21.4	87.3	24.0
« Bottom inner »	1904.4	124.0	36.5	129.0	71.8
« Bottom outer»	1878.9	100.4	24.1	116.4	58.0
« Sides »	1856.6	82.7	21	100.4	41.4

b) Les deux réseaux déduits

Résistances	Fonction coût Jedec – 38 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	198.9	215.4	4.5	150.5	709.8
« Top inner »	-	713217	117905	248992.5	265495
« Top outer »	-	-	59020	150.4	121.3
« Bottom inner »	-	-	-	65.8	147362
« Bottom outer»	-	-	-	-	162.5

Résistances	Fonction coût Thales – 38 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	241.5	265.4	4.3	310.6	1429.7
« Top inner »	-	11413919	2745.2	1611.7	1763484
« Top outer »	-	-	559.1	424.5	71.7
« Bottom inner »	-	-	-	51.6	57842
« Bottom outer»	-	-	-	-	57.2

c) Les performances des réseaux

Température (°C)	Fonction coût Jedec – 38 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1907.0	127.0	40.5	131.4	74.2
« Top inner »	1894.0	111.2	24.6	102.7	26.8
« Top outer »	1861.0	85.8	21.3	86.9	23.9
« Bottom inner »	1905.0	124.8	37.4	129.2	72.6
« Bottom outer»	1881.0	101.9	24.1	116.2	57.8
« Sides »	1855.0	80.6	20.7	101.5	41.4

Température (°C)	Fonction coût Thales – 38 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1907.0	125.9	40.7	131.4	74.3
« Top inner »	1890.0	107.7	24.2	100.8	26.6
« Top outer »	1863.1	86.0	21.4	87.5	23.9
« Bottom inner »	1904.3	123.3	37.3	128.7	72.1
« Bottom outer»	1880.3	100.6	24.1	116.2	57.8
« Sides »	1859.0	83.1	20.6	102.6	42.2

Annexe L: Modèle compact QFN16 « 6 surfaces » selon la méthodologie Jedec

a) Résultats du modèle 3D

Température (°C)	S39	S40	S41	S42	S43
« Junction »	1907.9	126.5	40.4	132.2	74.5
« Top inner »	1889.6	107.8	24.2	100.8	26.6
« Top outer »	1861.7	86.3	21.4	87.3	24.0
« Bottom inner »	1904.4	124.0	36.5	129.0	71.8
« Bottom outer»	1873.9	96.0	22.8	113.9	55.3
« Bottom middle»	1892.6	112.4	27.7	123.4	65.6
« Sides »	1856.6	82.7	21.0	100.4	41.4

b) Les deux réseaux déduits

Résistances	Fonction coût Jedec – 38 cas					
6 surfaces	Top inner	Top	Bottom	Bottom	Bottom	Sides
« Junction »	208.6	279.6	4.35	532.7	4102.5	38500.6
« Top inner »	-	945943	8611.7	412928.6	14538.6	69935.3
« Top outer »	-	-	457.7	151.9	5317.7	135.3
« Bottom inner »	-	-	-	116.7	61.6	349.5
« Bottom outer»	-	-	-	-	27149.1	143.6
« Bottom middle»	-	-	-	-	-	12908.1

Résistances	Fonction coût Thales – 38 cas					
6 surfaces	Top inner	Top	Bottom	Bottom	Bottom	Sides
« Junction »	237.6	286.0	4.43	343.9	6789.9	934.8
« Top inner »	-	61948.2	788588	41035.5	1381.8	1700407
« Top outer »	-	-	434.8	16802.2	901.1	66.8
« Bottom inner »	-	-	-	144.8	56.5	1848.9
« Bottom outer»	-	-	-	-	273.3	48.7
« Bottom middle»	-	-	-	-	-	378269

c) Les performances des réseaux

Température (°C)	Fonction coût Jedec – 38 cas				
6 surfaces	S39	S40	S41	S42	S43
« Junction »	1907.4	127.4	40.4	131.7	74.5
« Top inner »	1893.9	111.1	24.5	102.6	26.8
« Top outer »	1861.5	86.1	21.4	86.9	23.9
« Bottom inner »	1904.3	124.3	36.8	128.9	72.1
« Bottom outer»	1871.2	94.1	22.7	109.6	50.4
« Bottom middle»	1899.6	118.3	28	128	71.1
« Sides »	1856.1	81.8	20.8	102.5	42.6

Température (°C)	Fonction coût Thales – 38 cas				
6 surfaces	S39	S40	S41	S42	S43
« Junction »	1908.6	126.5	40.5	131.7	74.6
« Top inner »	1891	108.4	24.1	101.5	26.6
« Top outer »	1861.4	85.3	21.3	87.2	23.9
« Bottom inner »	1903.6	123.3	37.1	128.9	72.3
« Bottom outer»	1871.7	93.9	22.7	112.4	53.6
« Bottom middle»	1893.3	112.9	27.7	123.3	65.6
« Sides »	1861.2	84.9	20.9	102.6	42.4

d) Comparaison des réseaux 4, 5 et 6 surfaces

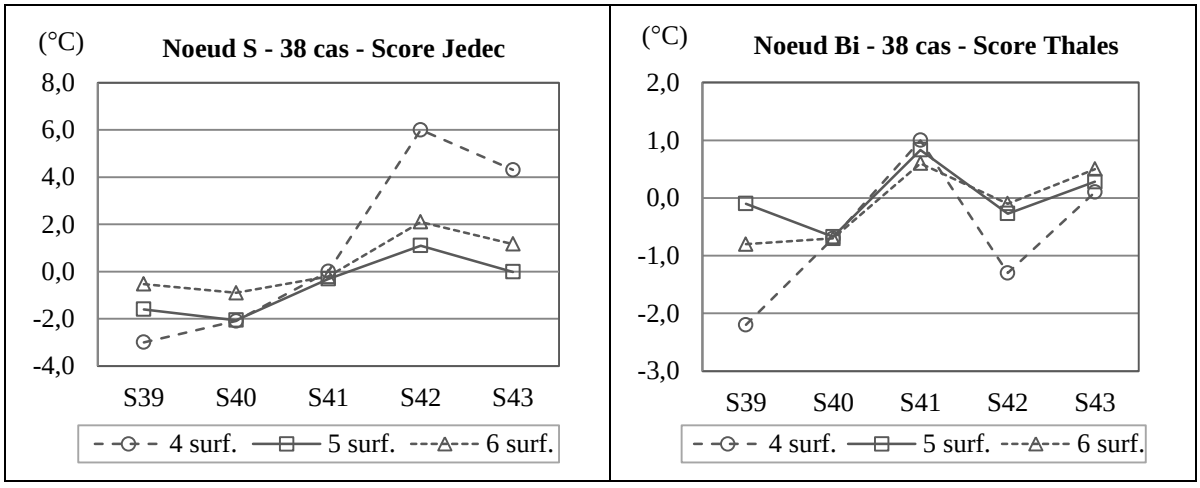


Figure 150: Prédictions des températures moyennes du nœud «Sides»

Annexe M: Modèle compact QFN16 « 5 surfaces » sur la base des scénarii Thales

a) Les deux réseaux déduits « 5 surfaces »

Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	327.2	379.9	4.35	214.7	243623
« Top inner »	-	16945.1	501.2	29231.9	129274
« Top outer »	-	-	1508.4	110.5	101.0
« Bottom inner »	-	-	-	57.2	472.1
« Bottom outer»	-	-	-	-	136.9

Résistances	Fonction coût Thales – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	218.3	293.1	4.35	342.8	30590.9
« Top inner »	-	2699.9	3753.2	9221.9	103044.8
« Top outer »	-	-	512.6	190.5	105.3
« Bottom inner »	-	-	-	49.9	46580.4
« Bottom outer»	-	-	-	-	89.8

b) Les performances des réseaux

Température (°C)	Fonction coût Jedec – 49 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1907.2	127.7	41.3	131.8	74.5
« Top inner »	1892.5	110.4	24.5	102.1	26.8
« Top outer »	1860.5	85.1	21.1	87.1	23.9
« Bottom inner »	1904.2	124.6	37.8	128.7	71.7
« Bottom outer»	1878.9	100.7	24.0	113.8	54.8
« Sides »	1857.3	82.6	20.8	101.1	40.7

Température (°C)	Fonction coût Thales – 49 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1906.5	127.1	41.2	131.7	74.6
« Top inner »	1890.0	108.7	24.4	101.2	26.6
« Top outer »	1861.7	86.2	21.4	87.3	23.9
« Bottom inner »	1903.5	124.1	37.7	128.8	72.2
« Bottom outer»	1878.6	100.5	24.0	115.5	57.1
« Sides »	1857.1	82.3	20.6	101.8	41.6

c) Comparaison des réseaux 5 déduits des scénarii Jedec et Thales

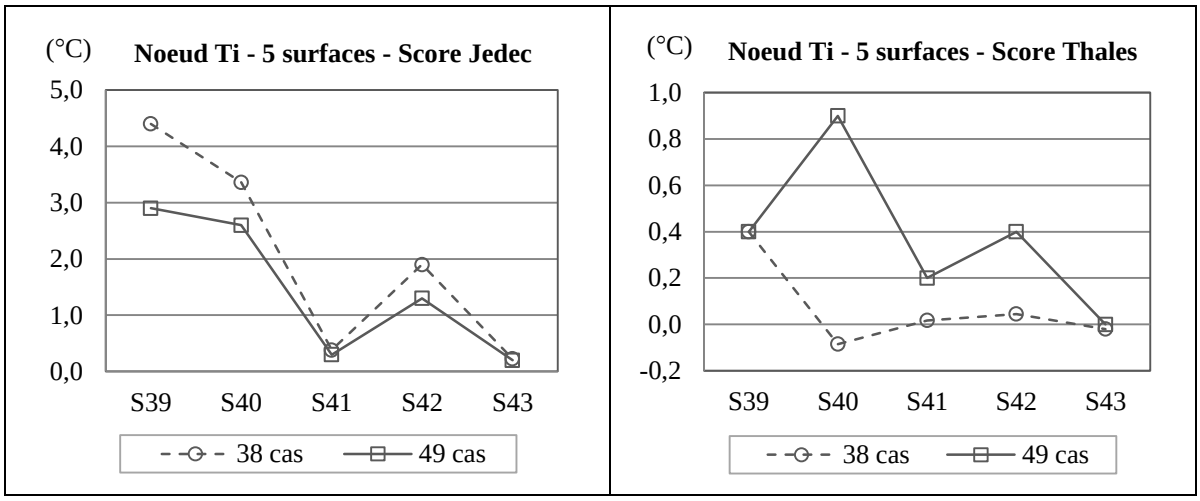


Figure 151: Prédictions des températures moyennes du nœud «Top inner»

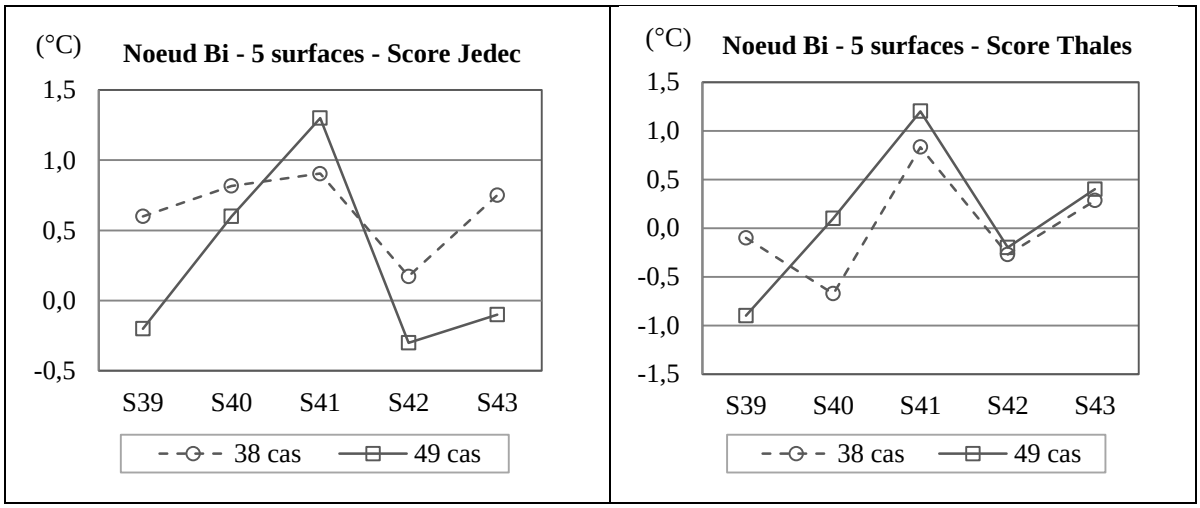


Figure 152: Prédictions des températures moyennes du nœud «Bottom inner»

Annexe N: Modèle compact QFN16 avec puce réduite sur la base des scénarii Thales

a) Résultats du modèle 3D pour la décomposition « 5 surfaces »

Température (°C)	S39	S40	S41	S42	S43
« Junction »	1912.6	131.9	44.1	77.8	135.8
« Top inner »	1895.9	113.0	25.4	27.5	105.1
« Top outer »	1864.1	88.1	21.6	24.1	88.1
« Bottom inner »	1906.3	125.6	36.8	73.2	130.0
« Bottom outer»	1877.8	100.2	24.0	57.8	115.9
« Sides »	1857.2	82.3	20.9	41.0	101.7

b) Les deux réseaux déduits « 5 surfaces »

Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	435.2	265.5	8.6	681.8	-
« Top inner »	-	-	3494.9	8523.6	-
« Top outer »	-	-	511.4	100.4	131.1
« Bottom inner »	-	-	-	50.7	-
« Bottom outer»	-	-	-	-	97.6

Résistances	Fonction coût Thales – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	461.2	302.7	8.4	707.0	-
« Top inner »	-	-	-	4705.6	-
« Top outer »	-	-	208.7	269.3	97.8
« Bottom inner »	-	-	-	62.8	-
« Bottom outer»	-	-	-	-	74.8

c) Les performances des réseaux « 5 surfaces »

Température (°C)	Fonction coût Jedec – 49 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1912.6	132.8	45.5	78.3	135.4
« Top inner »	1899.6	116.7	26.1	28.3	108.2
« Top outer »	1865.1	88.5	21.6	24.1	88.2
« Bottom inner »	1906.2	126.3	38.3	72.7	129.2
« Bottom outer»	1878.2	99.9	23.8	53.1	112.3
« Sides »	1856.5	81.5	20.5	40.5	101.3

Température (°C)	Fonction coût Thales – 49 cas				
5 surfaces	S39	S40	S41	S42	S43
« Junction »	1911.6	132.2	45.7	79.4	135.8
« Top inner »	1896.1	113.8	25.5	27.6	105.8
« Top outer »	1865.1	88.7	21.8	24.1	88.2
« Bottom inner »	1905.2	125.7	38.6	73.7	129.6
« Bottom outer»	1876.0	98.0	23.4	56.0	114.4
« Sides »	1859.0	83.4	20.6	42.0	102.5

d) Résultats du modèle 3D pour la décomposition « 6 surfaces »

Température (°C)	S39	S40	S41	S42	S43
« Junction »	1912.6	131.9	44.1	77.8	135.8
« Top inner »	1895.9	113.0	25.4	27.5	105.1
« Top outer »	1864.1	88.1	21.6	24.1	88.1
« Bottom inner »	1906.3	125.6	36.8	73.2	130.0
« Bottom outer»	1894.0	113.5	27.7	66.6	124.0
« Bottom middle»	1873.3	95.4	22.6	54.6	113.0
« Sides »	1856.2	82.3	20.9	41.0	99.7

e) Les deux réseaux déduits « 6 surfaces »

Résistances	Fonction coût Jedec – 49 cas					
6 surfaces	Top inner	Top	Bottom	Bottom	Bottom	Sides
« Junction »	441.4	273.7	8.6	22627.9	677.3	-
« Top inner »	-	-	-	1738.5	-	-
« Top outer »	-	-	149.2	-	3060.3	79.6
« Bottom inner »	-	-	-	38.5	132.7	-
« Bottom outer»	-	-	-	-	667239.0	-
« Bottom middle»	-	-	-	-	-	69.9

Résistances	Fonction coût Thales – 49 cas					
6 surfaces	Top inner	Top	Bottom	Bottom	Bottom	Sides
« Junction »	475.0	313.8	8.8	23484.6	741.1	-
« Top inner »	-	-	-	4896.0	-	-
« Top outer »	-	-	163.1	-	548.3	86.2
« Bottom inner »	-	-	-	49.6	155.9	-
« Bottom outer»	-	-	-	-	135.6	-
« Bottom middle»	-	-	-	-	-	74.8

f) Les performances des réseaux « 6 surfaces »

Température (°C)	Fonction coût Jedec – 49 cas				
6 surfaces	S39	S40	S41	S42	S43
« Junction »	1912.7	132.2	43.8	77.8	135.3
« Top inner »	1900.5	116.8	25.6	28.7	109.3
« Top outer »	1865.7	89.2	21.8	24.0	88.1
« Bottom inner »	1906.3	125.7	36.5	72.2	129.0
« Bottom outer»	1903.6	122.1	29.7	71.2	128.4
« Bottom middle»	1868.1	91.3	22.3	51.4	110.7
« Sides »	1856.2	81.3	20.5	38.5	99.7

Température (°C)	Fonction coût Thales – 49 cas				
6 surfaces	S39	S40	S41	S42	S43
« Junction »	1911.2	131.4	44.8	79.5	136.0
« Top inner »	1897.0	114.0	25.3	27.5	105.9
« Top outer »	1864.7	88.4	21.8	24.1	88.3
« Bottom inner »	1904.4	124.6	37.2	73.4	129.3
« Bottom outer»	1893.6	113.7	28.1	68.1	124.8
« Bottom middle»	1873.0	95.2	22.7	54.8	113.3
« Sides »	1857.6	82.2	20.5	40.4	101.2

Annexe O: Modèle compact QFN16 « 5 surfaces » avec une puce en AsGa

Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	244.3	1664.4	5.6	466.0	
« Top inner »	-	3191.9	391.6		
« Top outer »	-	-	255.3	159.6	150.2
« Bottom inner »	-	-	-	229.5	
« Bottom outer»	-	-	-	-	178.9

Annexe P : Modèle compact QFN16 « 5 surfaces » avec une puce en AsGa et des doigts

Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	2857.6		103.5		
« Top inner »	-	2015.7	171.2	4897.7	
« Top outer »	-	-	219.3	156.8	148.7
« Bottom inner »	-	-	-	149.6	
« Bottom outer»	-	-	-	-	173.8

Annexe Q: Modèle compact QFN32 « 5 surfaces » sur la base des scénarii Thales

Nœuds	Junction	Top inner	Bottom inner	Top outer	Bottom outer	Sides
C x 10-3 J. K^{-1}	2.59	3.96	7.07	12.6	2.47	4.86

Nœuds	Inner 1	Inner 2	Inner 3	Inner 4
C x 10-3 J. K^{-1}	4.89	5.6	3.24	0.26

$\sum C_n$
47.54

Table 75: Capacités thermiques associées au réseau de résistance du QFN32

Résistances (K/W)	Fonction coût Thales – 49 cas				
5 surfaces	Junction	Top inner	Bottom inner	Top outer	Bottom outer
« Bottom inner »	-	2647.5	-	207.2	66.2
« Top outer »	-	-	207.2	-	773.8
« Bottom outer»	-	-	66.2	773.8	-
« Inner 1»	7.1	76.2	-	-	-
« Inner 2»	1.23	-	0.26	-	-
« Inner 3»	50.0	-	-	202.1	-
« Inner 4»	2982.1	-	-	-	0.03
« Sides »	-	-	-	88.6	64.6

Table 76: Réseau de résistances modifié du modèle compact du QFN32

Annexe R: Prédictions du modèle compact dynamique QFN48 « stacked dies »

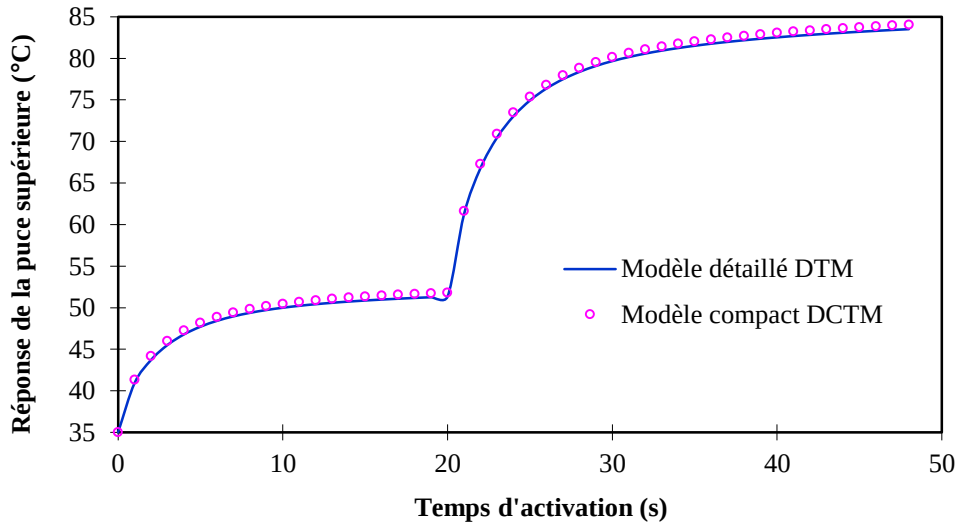


Figure 153: Prédiction de la température maximale vue par la puce supérieure du QFN48 sur carte 2s2p

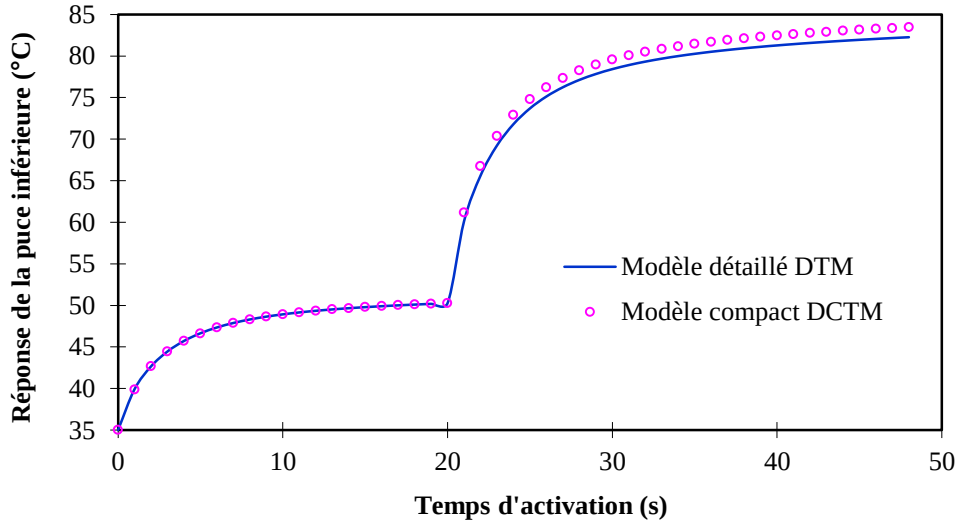


Figure 154: Prédiction de la température moyenne vue par la puce inférieure du QFN48 sur carte 2s2p

Annexe S : Réseaux et position des nœuds la réduction pseudo-compact du MLP25A

Réseau A (K/W)	**Ti**	**Bi**	**To**	**Bo**	**S**
Jonction (J)	546	6	4032	-	-
Top inner (Ti)	-	131.2	409	10064	-
Bottom inner (Bi)	-	-	314	30.2	68.2
Top outer (To)	-	-	-	11542	155
Bottom outer (Bo)	-	-	-		273
Réseau B (K/W)	**Ti**	**Bi**	**To**	**Bo**	**S**
Jonction (J)	2073	5.6	3543	-	15159
Top inner (Ti)	-	165.5	210	1670	2194
Bottom inner (Bi)	-	-	472	143	100.3
Top outer (To)	-	-	-	572.7	173.2
Bottom outer (Bo)	-	-	-	-	1233
Réseau C (K/W)	**Ti**	**Bi**	**To**	**Bo**	**S**
Jonction (J)	846	5.3	3452	-	3374
Top inner (Ti)	-	533.9	232	-	1937
Bottom inner (Bi)	-	-	23659	422	139.2
Top outer (To)	-	-	-	752.4	258
Bottom outer (Bo)	-	-	-		4505

C x 10-3 (J. K-1)	**A**	**B**	**C**
Jonction (J)	3.5	1.0	1E-10
Top inner (Ti)	1.2	0.97	0.37
Bottom inner (Bi)	0.39	3.7	1E-10
Top outer (To)	0.99	1.0	1.0
Bottom outer (Bo)	0.58	1E-10	0.02
Sides (S)	1.7	1.0	0.87
fn_1	1.0	-	0.11
fn_2	0.6	1.0	3.2
fn_3	1.2	0.5	0.04
fn_4	-	0.67	-

Résistances modifiées	**fn**	**A**	**B**	**C**
RJ,Ti	1	0.39	-	0.56
RJ,Bi	2	0.09	1E-05	0.39
RJ,To	3	0.005	0.08	0.54
RJ,Bo	4	-	1E-05	-

Annexe T: Modèles compacts thermiques de l'ISL8023 et de l'inductance

ISL8023					
Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	178.2	292.5	9.75	198.4	628.0
« Top inner »	-	1648.5	461.6	2287.8	8409.6
« Top outer »	-	-	1330.4	87561	80.6
« Bottom inner »	-	-	-	54.8	240.1
« Bottom outer»	-	-	-	-	43.4

PCMB062D-R81MS							
Résistances (K/W)	Fonction coût Jedec – 49 cas						
6 surfaces	Coil	Top inner	Top	Top	Bottom	Leads	Sides
« Coil »	-	13	10.9	-	71.1	48.4	-
« Core »	113.1	7.4	10.2	8.8	154.4	13.1	7.5

Annexe U: Modèle compact thermique de l'ISL8201

ISL8105					
Résistances	Fonction coût Jedec – 49 cas				
5 surfaces	Top	Top outer	Bottom	Bottom	Sides
« Junction »	517.5	2072	363.3	106.8	2.06
« Top inner »	-	-	1456	-	373.8
« Bottom inner »	-	123.3	-	-	956.6
« Bottom outer»	-	115	-	-	-
« Sides »	-	1682	-	-	-

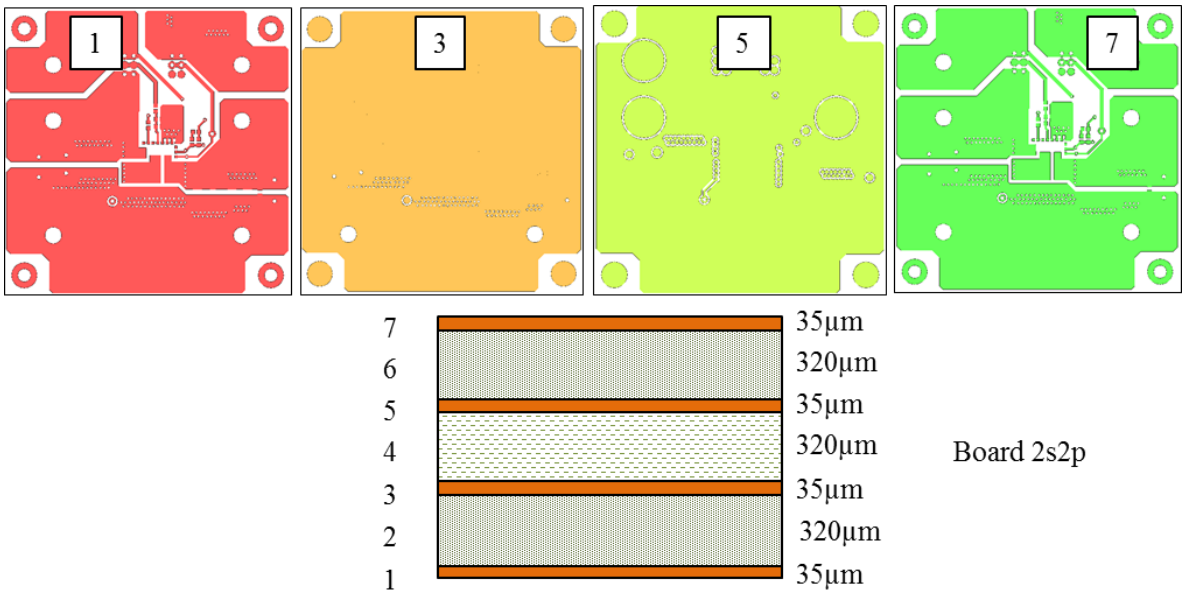


Figure 155: Conception des couches métalliques constitutives de la carte de test

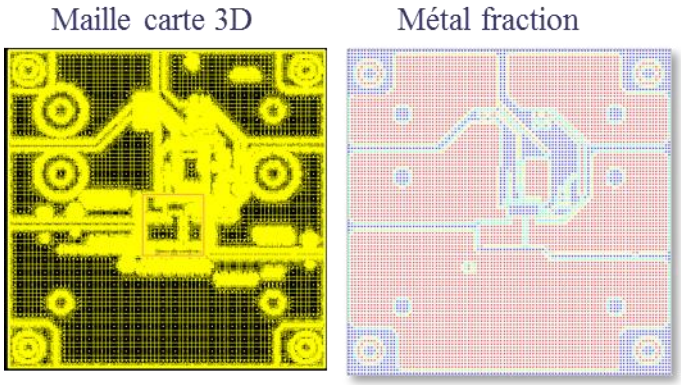


Figure 156: Vue des modèles de la structure multicouches de la carte de test

ISL8201											
Resistances	Fonction coût Jedec – 49 cas										
10 surfaces	**IPD-Core**	**Top inner 1**	**Top inner 2**	**Top inner 3**	**Top outer**	**Bottom inner 1**	**Bottom inner 2**	**Bottom inner 3**	**Bottom inner 4**	**Bottom outer**	**Sides**
Mosfet 1			6442		186		124		6.6	634	203
Mosfet 2	19223	2532			63.7	4726	31.5			54.6	2295
Diode		4598		96.8	3879	957	39.4			41.2	
IPD-Coil	11.6							33.3			
IPD-Core						28.9		36.2		37.4	
DFN10			66.2		6335		198		189	109	2147
Top inner 1				64.4		16494	12262			35.0	1057
Top inner 2					50.2				1195		1239
Top inner 3						189				37.5	5208
Top outer							767		17340	34	49.1
Bottom										240	
Bottom									1279	859	
Bottom										2546	3270
Bottom											28.7

	I1	M1	M2	D1	R1	Top1	Top2	Top3	Top4	Top5	Top6	Top7	Bot1	Bot2	Bot3	Bot4	Bot5	Bot6	Bot7	Bot8	S1	S2	S3	S4
C1	24584	-	7083	1257	1044	-	5900	636.7		912.4	86.3	876.7	-	35116	399.1	13573	149.6	5157	221	1464	-	355.3	-	-
I1	-	32046	-	-	-	-	-	31.5	1374	-	614.7	9977	-	40.8	58.5	431.5	-	-	-	1632	13631	-	-	-
I1	-	-	775	155.5	1203		21.2		5487	-	4266		706.5	37.1	140.5	4052	37643	-	-	-	7297	-	30728	-
M1	-	-	5331		12235			34956	10974	-	-	-		6595	1682	40527	6.21	-	995.7	-	-	19937	166.4	18845
M2	-	-	-	97.4	-	2188	32872		487.3	-	-	-	2537		5.95	66.6	555.4	-	-	1274	-	14740	2412	41589
D1	-	-	-	-	-	2820		601.8	265.5	-	3614		833.4	6575	6.03	71.5	347.9		-	-	26279	27030	875.9	-
R1	-	-	-	-	-	-			2810	36370		7157		4186		32396		4429	-	-	-	247.1	-	-
Top1	-	-	-	-	-	-	25580	18862	30224		8812	-	104.8	2584	298.3			2519	-	36441	-	-	-	366.5
Top2	-	-	-	-	-	-	-	0.62	9745	11630	-	-	-	80.1		697.2		108.7	-	-	162.5	-	-	3493.8
Top3	-	-	-	-	-	-	-	-	273.4	5877	-	-	-	24.6			4509	1334	35644	-	625.2	-	-	-
Top4	-	-	-	-	-	-	-	-	-	259.8	3232	-	2638			64.5			3650	-	38035	8379		-
Top5	-	-	-	-	-	-	-	-	-	-	42342	-		29279	11561	1117	91.8	1946	179.4	-	17668	1058	12925	-
Top6	-	-	-	-	-	-	-	-	-	-	-	-	-		324.5	188.8	191.30	-	-	-	-	82.3	-	-
Top7	-	-	-	-	-	-	-	-	-	-	-	-	-	268.8	-	-	4879	-	626.3	485.2	-	4611	10099	16938
Bot1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1899	-	-	-	-	-	-	5824	10.4
Bot2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1378	-	-	3868	-	-	2334	1940	60.7
Bot3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	7101	-	-	-	-	-	365.5	3342
Bot4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	42549	2176	-	4533	72.7	41550
Bot5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	489.8	-	-	175.3	12550	9953
Bot6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	521.2	-	1111	-	-	-
Bot7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	289.6	322.8	-	1288	-
Bot8	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	431.5	43684
S1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	877.7
S2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	17283
S3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	877.7