



AIX-MARSEILLE UNIVERSITÉ

ÉCOLE DOCTORALE SCIENCES POUR L'INGÉNIEUR
MÉCANIQUE, PHYSIQUE, MICRO ET NANOÉLECTRONIQUE – E.D. 353

THÈSE

pour obtenir le grade de

DOCTEUR de L'UNIVERSITÉ D'AIX-MARSEILLE

Spécialité : Micro et Nanoélectronique

présentée par

Emmanuel HARDY

Étude et développement d'un amplificateur audio de classe D intégré
haute performance et basse consommation

à soutenir publiquement le 27 juin 2013

Directeur de thèse : Rachid BOUCHAKOUR

Encadrant : Stéphane MEILLÈRE

JURY

Nacer ABOUCHI	CPE Lyon	<i>Rapporteur</i>
Philippe BÉNABÈS	Ecole Supérieure d'Electricité	<i>Rapporteur</i>
Laurent LATORRE	Université de Montpellier II	<i>Examineur</i>
Rachid BOUCHAKOUR	Aix-Marseille Université	<i>Directeur de thèse</i>
Stéphane MEILLÈRE	Aix-Marseille Université	<i>Co-encadrant</i>
Christian DUFAZA	Aix-Marseille Université	<i>Tuteur Industriel</i>

*Tout le malheur des hommes vient d'une seule chose,
qui est de ne savoir pas demeurer en repos, dans une chambre.*

Blaise Pascal,
Pensées.

Résumé

De nombreux dispositifs embarqués récents comme les téléphones portables, les GPS ou encore les consoles de jeu, possèdent un ou des haut-parleurs, chacun étant piloté par un amplificateur audio sur circuit intégré. De tels amplificateurs audio doivent répondre le mieux possible à quatre contraintes : une qualité audio satisfaisante, une immunité aux perturbations induites par le système, une faible consommation et une surface de silicium minimale. Ce travail de thèse a pour origine la création de l'entreprise Primachip en mai 2009 par Christian Dufaza et Hassan Ihs. Cette startup a été bâtie sur une architecture innovante d'amplificateur audio de classe D intégré, un concept de classe D numérique haute-performance avec un ADC dans la boucle de rétroaction. Une thèse sous contrat CIFRE et en partenariat avec l'IM2NP a débuté en décembre 2009 pour travailler sur le développement de cet amplificateur et elle s'est terminée en juin 2013. Une étude a tout d'abord été menée sur les différents types de modulation utilisés par les amplificateurs de classe D existant. La modulation de densité d'impulsion, qui utilise un modulateur de type delta-sigma ($\Delta\Sigma$), a été choisie pour l'amplificateur. Une méthode systématique et automatisable de dimensionnement de ces modulateurs a ensuite été présentée, ainsi que divers mécanismes permettant d'accroître les performances et la stabilité. Le principe de rétroaction partielle en particulier s'applique sur une boucle contenant un modulateur numérique qui pilote l'étage de puissance et un convertisseur analogique-numérique (ADC) effectuant la rétroaction. Cela permet d'obtenir la stabilité de cette boucle tout en offrant une excellente réjection des bruits de l'étage de puissance. Enfin, un prototype sur silicium de l'architecture d'amplificateur de classe D numérique a été conçu et fabriqué. Un nouvel ADC $\Delta\Sigma$ temps continu a été développé pour ce prototype, afin d'obtenir des performances supérieures ou égales à l'état de l'art. Les résultats obtenus sur le circuit se sont révélés encourageants, bien que toutes les spécifications n'aient pas été atteintes. L'analyse des erreurs de ce premier circuit doit permettre la réalisation d'un amplificateur intégré exploitant au mieux cette architecture de classe D numérique.

Mots-clés : Amplificateur Audio ; Classe D ; Modulateur Delta-Sigma ; Basse Consommation ; ADC Temps Continu

Abstract

Most current embedded devices, such as smartphones, GPS or portable consoles, feature one speaker or more, those speakers being driven by an integrated audio amplifier. This type of amplifier must meet four specifications: an adequate audio quality, to be immune to system disturbances, low power consumption and the smallest silicon area. This work takes its origin from the creation of Primachip in May 2009 by Christian Dufaza and Hassan Ihs. The aim of this startup was to develop and sell an innovative audio class-D amplifier for mobile market: the digital class-D concept. A partnership with the IM2NP laboratory was decided to propose a PhD topic under CIFRE contract (PhD in an industrial environment), in order to study and improve the amplifier architecture. The PhD work was carried out from December 2009 to June 2013. First of all, the major types of modulation and architectures for audio class-D amplifiers were studied and compared. Pulse density modulation was selected for the amplifier, using a delta-sigma modulator ($\Delta\Sigma$). An automatable method for designing $\Delta\Sigma$ modulators was introduced, and a few schemes allowing the audio performances to increase or a better loop stability. The concept of partial feedback, in particular, applies to a loop made of a digital $\Delta\Sigma$ modulator driving the power stage, with an analogue-to-digital converter (ADC) in the feedback path. It makes it possible to achieve stability while offering an outstanding power supply rejection. Finally, an integrated prototype of the class-D amplifier was designed, fabricated and evaluated. A new continuous-time $\Delta\Sigma$ ADC has been added to enable the digital class-D loop to achieve performances superior or equal to state of the art. The circuit measurement results were encouraging, although not ideal. The analysis of the prototype errors was performed. The conclusions should allow the design of an integrated audio amplifier making the best of the digital class-D architecture.

Keywords: Class-D; Audio Amplifier; Delta-Sigma Modulator; Low Power; Continuous-Time ADC

Remerciements

J'aimerais remercier à la fois Rachid Bouchakour, directeur de l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP), Sylvain Bourdel, responsable de l'équipe Conception de Circuits Intégrés (CCI), et Stéphane Meillère, mon encadrant, pour m'avoir permis d'accomplir ce travail de thèse, et les deux créateurs de Primachip, Christian Dufaza et Hassan Ihs, pour m'avoir ouvert les portes de l'industrie de l'audio.

Je remercie également Nacer Abouchi, de l'INL Lyon, et Philippe Bénabès, de l'Ecole Supérieure d'Electricité, d'avoir accepté de rapporter ce manuscrit. Leurs remarques m'ont été très précieuses pour améliorer la qualité de ce manuscrit.

La fin prématurée de Primachip en Mai 2011 a certes rendu la fin de thèse un peu compliquée, mais ce fut une expérience qui m'a beaucoup appris. Mon emploi chez Wolfson Microelectronics pendant les deux dernières années m'a permis d'avoir une vision beaucoup plus large du domaine de l'audio et cela a énormément nourri ce travail de thèse.

Enfin, je ne vais pas citer ici tous les gens qui m'ont côtoyé à Marseille, Caen et Édimbourg, mais je les remercie beaucoup de m'avoir soutenu, de m'avoir écouté quand je me plaignais, et pour m'avoir rappelé pourquoi j'ai consacré autant de temps à ce travail. J'ajoute une mention spéciale pour ceux qui m'ont aidé dans la correction (merci !). Et puis bien sûr, je remercie ma famille pour son soutien pendant ces presque quatre années.

Table des matières

Introduction générale.....	1
I. Introduction aux amplificateurs audio de classe D	5
I.1 Le marché des amplificateurs audio.....	7
I.1.1 Caractéristiques du marché de l’audio	7
I.1.2 Les acteurs du marché	8
I.1.3 Le choix de la technologie.....	8
I.2 Outils mathématiques pour la modélisation des amplificateurs audio.....	10
I.2.1 Échantillonnage	10
I.2.2 Changement de fréquence d’échantillonnage	12
I.2.2.1 Interpolation.....	12
I.2.2.2 Décimation.....	15
I.2.3 Fenêtrage	15
I.2.4 Quantification	16
I.3 Performances des amplificateurs audio.....	17
I.3.1 Notions de psychoacoustique	17
I.3.2 Mesure de la qualité audio.....	19
I.3.2.1 Plage dynamique	19
I.3.2.2 Taux de distorsion harmonique.....	20
I.3.2.3 Rapport signal à bruit.....	21
I.3.2.4 Taux de réjection des bruits d’alimentation	21
I.3.2.5 Notion de Haute-Fidélité.....	22
I.4 Amplificateurs de classe D	22
I.4.1 Principe de base	22
I.4.2 Problèmes inhérents à l’amplificateur de classe D	24
I.4.2.1 Étage de puissance	24
I.4.2.2 Efficacité énergétique	24
I.4.2.3 Émissions Électromagnétiques	25

TABLE DES MATIÈRES

I.4.3	Amplification de classe D avec un modulateur de largeur d'impulsions	26
I.4.3.1	Principe du modulateur de largeur d'impulsions	26
I.4.3.2	Avantages et limites du modulateur de largeur d'impulsions	27
I.4.4	Amplificateurs de classe D avec un modulateur de densité d'impulsions	29
I.4.5	Amplificateurs de classe D avec un modulateur de fréquence	29
I.4.6	Amplificateurs de classe D à entrée numérique.....	31
I.4.7	Tableau comparatif d'architectures	33
I.5	Conclusion du chapitre	35
	Références du chapitre I.....	37
II.	Boucle d'amplification $\Delta\Sigma$ à rétroaction partielle.....	39
II.1	Étude d'un modulateur du premier ordre	42
II.1.1	Modèle linéaire du modulateur du premier ordre	42
II.1.2	Simulation du modèle linéaire	43
II.1.3	Gain du quantificateur	44
II.1.4	Stabilité et saturation du modulateur	45
II.2	Conception de modulateurs $\Delta\Sigma$	46
II.2.1	Modulateurs $\Delta\Sigma$ d'ordre supérieur à 1	46
II.2.1.1	Détermination des fonctions de transfert du signal et du bruit	47
II.2.1.2	Cascade d'intégrateurs et de résonateurs avec rétroaction distribuée	48
II.2.1.3	Cascade d'intégrateurs et de résonateurs avec une simple rétroaction	50
II.2.2	Dimensionnement d'un modulateur.....	51
II.2.2.1	Calcul de la fonction de transfert du modulateur	53
II.2.2.2	Choix du filtre	54
II.2.2.3	Paramètres du filtre et performances du modulateur	59
II.2.3	Stabilisation non-linéaire	63
II.2.4	Technique du « dithering »	64
II.2.5	Quantificateurs multi-bit.....	66
II.2.6	Modulateurs $\Delta\Sigma$ à temps continu	68
II.3	Étude de la boucle $\Delta\Sigma$ à rétroaction partielle.....	68
II.3.1	Principe.....	69
II.3.2	Illustration du principe de la rétroaction partielle.....	70
II.3.2.1	STF de l'ADC égale à 1	71
II.3.2.2	STF de l'ADC différente de 1	74

TABLE DES MATIÈRES

II.3.3	Stabilité des modulateurs à rétroaction partielle	75
II.3.4	Evaluation du PSRR	76
II.3.5	Conclusion sur la rétroaction partielle	77
II.4	Étude de la consommation de l'étage de puissance selon la technique de modulation.....	77
II.4.1	Modélisation de l'étage de puissance	78
II.4.2	Modèle de haut-parleur	80
II.4.3	Simulations	82
II.4.3.1	La puissance consommée	82
II.4.3.2	Le taux d'exposition	82
II.4.3.3	La fréquence de commutation.....	83
II.4.3.4	Perturbations électromagnétiques	83
II.4.3.5	Résultats de simulation	84
II.5	Conclusion du chapitre	87
	Références du chapitre II.....	89
III.	Amplificateur de classe D numérique	91
III.1	Étage d'entrée numérique	94
III.1.1	Entrée audio	94
III.1.2	Filtrage de l'entrée PDM	95
III.1.3	Suppression des bruits parasites au démarrage.....	96
III.1.4	Calibration automatique d'offset	97
III.1.5	Modulateur Delta-Sigma	98
III.1.6	Interface de programmation série	100
III.2	Étage de puissance	100
III.3	Convertisseur Analogique Numérique Delta-Sigma à temps continu	102
III.3.1	Architecture	103
III.3.2	Choix d'un convertisseur $\Delta\Sigma$ temps continu.....	104
III.3.3	Dimensionnement du modulateur $\Delta\Sigma$ temps continu	105
III.3.3.1	Principe	106
III.3.3.2	Identification	107
III.3.3.3	Identification	108
III.3.3.4	Fonction de transfert	109
III.3.4	Mécanisme de suppression de bruit de phase (DLL).....	111
III.3.5	Algorithme de correction dynamique des erreurs d'appariement (DEM)	114
III.3.5.1	Principe du DEM	114

TABLE DES MATIÈRES

III.3.5.2	Evaluation des performances du PTVQ-DEM.....	117
III.3.6	Conclusion sur l'ADC	119
III.4	Conception du circuit intégré.....	120
III.4.1	Conception de la partie numérique	120
III.4.2	Blocs annexes	120
III.4.3	Validation du circuit	121
III.4.4	Assemblage du système sur silicium	122
III.5	Mesures du circuit intégré.....	125
III.5.1	Dispositif de test et de mesure	125
III.5.1.1	Description de la carte de test	125
III.5.1.2	Remarques sur la conception de la carte de test.....	127
III.5.1.3	Génération du signal PDM.....	127
III.5.2	Mesures de l'amplificateur	130
III.5.2.1	Dispositif de mesure	130
III.5.2.2	Mesure de THD+N	131
III.5.2.3	Mesure de PSRR.....	132
III.5.2.4	Mesure de Puissance	133
III.5.3	Mesures de l'ADC	133
III.5.3.1	Dispositif de mesure	133
III.5.3.2	Mesure de THD+N	134
III.5.3.3	Mesure du plancher de bruit.....	135
III.5.4	Mesures de consommation	136
III.5.5	Erreurs de conception	137
III.5.5.1	Erreurs du circuit.....	137
III.5.5.2	Mesure du composant parasite.....	139
III.5.5.3	Utilisation du FIB	140
III.5.6	Explication des résultats de mesure	141
III.6	Améliorations possibles de l'amplificateur.....	143
III.6.1	Optimisation de la surface	143
III.6.2	Optimisation de la consommation	144
III.7	Conclusion du chapitre	145
	Références du chapitre III	147
	Conclusion générale	149
	Annexe.....	153

Table des figures

FIGURE I.1	Architecture générique d'un amplificateur audio.....	9
FIGURE I.2	Echantillonnage d'un signal sinusoïdal	10
FIGURE I.3	Représentation dans le domaine fréquentiel de l'échantillonnage	11
FIGURE I.4	Sur-échantillonnage d'un signal sinusoïdal à 1 kHz échantillonné à 8 kHz.....	13
FIGURE I.5	Décimation d'un signal sinusoïdal à 1 kHz échantillonné à 48 kHz	14
FIGURE I.6	Spectre des fenêtres rectangulaire et de Blackman	16
FIGURE I.7	Spectre d'un sinus à 1 kHz échantillonné à 48 kHz quantifié	16
FIGURE I.8	Pondération de type A	19
FIGURE I.9	Notion de plage dynamique.....	20
FIGURE I.10	Illustration du taux de distorsion harmonique et bruit.....	20
FIGURE I.11	Illustration du taux de réjection des bruits d'alimentation	21
FIGURE I.12	Etage de puissance type « pont en H »	23
FIGURE I.13	Illustration du principe du modulateur PWM.....	26
FIGURE I.14	Modulateur de classe-D différentiel PWM du 1 ^{er} ordre	27
FIGURE I.15	Modulateur de classe-D différentiel à modulation de fréquence.....	30
FIGURE I.16	Amplificateur à entrée numérique en boucle ouverte.....	31
FIGURE I.17	Amplificateur à entrée numérique en boucle fermée.....	32
FIGURE I.18	Amplificateur à entrée numérique avec une boucle mixte	32

TABLE DES FIGURES

FIGURE II.1	Schéma général du concept de rétroaction partielle	39
FIGURE II.2	Schéma simplifié d'un modulateur Δ et d'un modulateur $\Delta\Sigma$	40
FIGURE II.3	Modulateur Delta-Sigma du premier ordre et modèle en Z de l'intégrateur	42
FIGURE II.4	Réponse en fréquence de la NTF d'un modulateur du 1 ^{er} ordre selon l'OSR	43
FIGURE II.5	Modulation d'un sinus en PDM et spectre du signal modulé.....	44
FIGURE II.6	Valeur du gain k en fonction de la valeur DC en entrée du modulateur pour 2, 3 et 5 niveaux de quantification	45
FIGURE II.7	Taux de distorsion en fonction de l'amplitude du signal d'entrée.....	46
FIGURE II.8	Représentation du modulateur $\Delta\Sigma$ sous forme d'un filtre rebouclé.....	47
FIGURE II.9	Structures CIFB et CRFB d'ordre 4	48
FIGURE II.10	NTF des modulateurs CIFB et CRFB	49
FIGURE II.11	Structures CIFF et CRFF d'ordre 4	51
FIGURE II.12	Etapes de conception d'un modulateur $\Delta\Sigma$	52
FIGURE II.13	Exemple de modulateur d'ordre 3 de type CRFB	53
FIGURE II.14	Modèle du modulateur d'ordre 3	53
FIGURE II.15	Réponse en fréquence du filtre du 4 ^{ème} ordre et représentation des pôles et zéros.....	56
FIGURE II.16	Filtre de Butterworth du 3 ^{ème} ordre.....	56
FIGURE II.17	Filtre de Chebyshev type I du 3 ^{ème} ordre	57
FIGURE II.18	Filtre de Chebyshev type II du 3 ^{ème} ordre.....	58
FIGURE II.19	Filtre Elliptique du 3 ^{ème} ordre	59
FIGURE II.20	Gabarit d'un filtre de Chebyshev de type II avec ses paramètres.....	60
FIGURE II.21	Spectre de la sortie d'un modulateur d'ordre 3	61
FIGURE II.22	Variation du SNR-A et de l'indice de modulation en fonction de l'OSR	61
FIGURE II.23	Variation du SNR-A et de l'indice de modulation en fonction de l'atténuation du filtre à 20 kHz.....	62
FIGURE II.24	Influence de la stabilisation non-linéaire sur le SNR-A	64
FIGURE II.25	Mécanisme de dithering à un modulateur $\Delta\Sigma$ et structure d'une LFSR	65

TABLE DES FIGURES

FIGURE II.26	Influence du dithering sur le SNR-A.....	66
FIGURE II.27	Comparaison du spectre d'un modulateur avec et sans dithering.....	66
FIGURE II.28	Influence du nombre de niveaux de quantification sur le SNR-A.....	67
FIGURE II.29	Schéma de principe de la rétroaction partielle.....	70
FIGURE II.30	Modèle linéaire d'un modulateur d'ordre 3 avec rétroaction partielle d'ordre 2	71
FIGURE II.31	Fréquences de coupure de STF_{ADC} pour obtenir la stabilité de la boucle en fonction de n_{ADC} et de l'ordre de la rétroaction partielle et délai induit par ces filtres en DC	75
FIGURE II.32	Variation du PSRR en fonction de la fréquence du signal parasite et de l'ordre de la rétroaction partielle	76
FIGURE II.33	Schéma électrique du modèle de l'étage de puissance	78
FIGURE II.34	Modèle de haut-parleur Thiele-Small.....	81
FIGURE II.35	Impédance du haut-parleur dans le modèle simulé	81
FIGURE II.36	Schémas des modèles des modulateurs PWM2 et PWM3	84
FIGURE II.37	Résultat des simulations pour la puissance	85
FIGURE II.38	Taux d'exposition des modulateurs.....	86
FIGURE II.39	Fréquence de commutation des modulateurs.....	86
FIGURE III.1	Architecture de l'amplificateur de classe D numérique	92
FIGURE III.2	Illustration du format PDM avec le codage sur 1 bit d'un signal sinusoïdal.....	94
FIGURE III.3	Chronogramme de l'interface I2S issu de la spécification de Philips	95
FIGURE III.4	Spectre d'un sinus à 1 kHz encodé au format PDM, après et avant le filtre passe- bas du 2 ^{ème} ordre	96
FIGURE III.5	Algorithme de suppression des bruits impulsionnels parasites	97
FIGURE III.6	Illustration de l'algorithme de calibration automatique	98
FIGURE III.7	Architecture du modulateur $\Delta\Sigma$ numérique de l'amplificateur.....	98
FIGURE III.8	STF et NTF du modulateur $\Delta\Sigma$ numérique.....	99

TABLE DES FIGURES

FIGURE III.9	Schéma général de l'étage de puissance.....	101
FIGURE III.10	Décodage des signaux de contrôle de l'étage de puissance	101
FIGURE III.11	Schéma de principe du circuit de contrôle des transistors de puissance.....	102
FIGURE III.12	Schéma de l'ADC temps continu	103
FIGURE III.13	Schémas équivalents pour effectuer la conversion entre un modulateur temps continu et un modulateur temps discret.....	106
FIGURE III.14	Modèle linéaire de la chaîne d'intégrateur de l'ADC temps continu implémenté dans la boucle d'amplification de classe D numérique	107
FIGURE III.15	Chronogramme de la conversion numérique-analogique	108
FIGURE III.16	NTF du modulateur temps continu et représentation des pôles et zéros	110
FIGURE III.17	Spectre de sortie de l'ADC	111
FIGURE III.18	Structure du générateur d'horloge sans jitter (DLL)	113
FIGURE III.19	Chronogramme des signaux de la DLL.....	113
FIGURE III.20	Schéma de la boucle de rétroaction de l'ADC	114
FIGURE III.21	Architecture du VQ-DEM 8 bits	116
FIGURE III.22	Architecture du PTVQ-DEM 8 bits.....	116
FIGURE III.23	Cellule DEM deux signaux du PTVQ-DEM.....	117
FIGURE III.24	Modèle d'un des intégrateurs du PTVQ-DEM.....	117
FIGURE III.25	Distribution des valeurs de SNR obtenues en simulation selon le type de DEM	118
FIGURE III.26	Layout du circuit complet avec la position des différents blocs du système....	124
FIGURE III.27	Surface relative des blocs de la partie numérique et des blocs du circuit.....	124
FIGURE III.28	Schéma de la carte de test.....	126
FIGURE III.29	Architecture du filtre interpolateur.....	128
FIGURE III.30	Spectres de sortie des filtres du filtre interpolateur	129
FIGURE III.31	Banc de mesure de l'amplificateur	130
FIGURE III.32	Courbe de la THD+N en fonction de l'amplitude d'entrée	131
FIGURE III.33	Courbe du PSRR en fonction de la fréquence	132

TABLE DES FIGURES

FIGURE III.34	Courbe de la puissance de sortie en fonction de l'amplitude d'entrée	133
FIGURE III.35	Banc de mesure de l'ADC	134
FIGURE III.36	Spectre du signal en sortie de l'ADC avec le générateur de signal du banc de mesure de l'ADC.....	134
FIGURE III.37	Mesure du plancher de bruit de l'ADC avec et sans DLL.....	135
FIGURE III.38	Consommation relative des principaux blocs du circuit.....	136
FIGURE III.39	Layout d'un des 4 level shifter	138
FIGURE III.40	Mesure de la caractéristique courant-tension du composant parasite entre les nœuds Vdda et Vbat pour 4 puces différentes.....	139
FIGURE III.41	Image au MEB de l'entaille réalisée grâce au FIB	140
FIGURE III.42	Schéma électrique simplifié d'un DAC unitaire.....	141

Liste des tableaux

TABLEAU I.1	Comparaison des différentes solutions d’amplificateur audio	9
TABLEAU I.2	Tableau comparatif des performances des exemples d’amplificateurs	34
TABLEAU II.1	Expression de la fonction de transfert en boucle ouverte du modulateur en fonction de l’ordre n de la rétroaction partielle	74
TABLEAU II.2	Tableau de commande des transistors pour piloter la tension aux bornes de la charge	79
TABLEAU II.3	Transitions possibles de l’étage de puissance et énergie de commutation associée.....	79
TABLEAU II.4	Paramètres de Thiele-Small.....	81
TABLEAU III.1	Tableau des performances du prototype d’amplificateur discret.....	92
TABLEAU III.2	Valeur des coefficients du modulateur $\Delta\Sigma$ numérique	99
TABLEAU III.3	Coefficients du modulateur $\Delta\Sigma$ de l’ADC.....	109
TABLEAU III.4	Moyennes et écart-types des valeurs de SNR obtenues dans les simulations selon le type de DEM	118
TABLEAU III.5	Tableau des performances en simulation de l’amplificateur	122
TABLEAU III.6	Caractéristiques des filtres composant le filtre interpolateur	128
TABLEAU III.7	Tableau des consommations pour chaque bloc principal	136
TABLEAU C.1	Performances de l’amplificateur de classe D numérique	151

Liste des acronymes

ADC	Analog-to-Digital Converter
CIC	Cascaded Integrator-Comb filter
CIFB	Chain of Integrators with distributed FeedBack
CIFF	Chain of Integrators with distributed FeedForward
CMOS	Complementary Metal-Oxyde-Silicon
CRFB	Chain of Resonators with distributed FeedBack
CRFF	Chain of Resonators with distributed FeedForward
$\Delta\Sigma$	Delta-Sigma
DAC	Digital-to-Analog Converter
DEM	Dynamic Element Matching
DLL	Delay Locked Loop
DR	Dynamic Range
EMI	ElectroMagnetic Interference
ESD	ElectroStatic Discharge
FFT	Fast Fourier Transform
FIB	Focused Ion Beam
FIR	Finite Impulse Response filter
FPGA	Field-Programmable Gate Array
GSM	Global System for Mobile communications
I2C	Inter-Integrated Circuit
I2S	Inter-IC Sound
IIR	Infinite Impulse Response filter
IP	Intellectual Property
LDO	Low DropOut generator

LSB	Least Significant Bit
MEB	Microscope Electronique à Balayage
MSB	Most Significant Bit
MOSFET	Metal–Oxide–Semiconductor Field-Effect Transistor
NTF	Noise Transfer Function
OSR	OverSampling Ratio
PDM	Pulse Density Modulation
PSRR	Power Supply Rejection Ratio
PTVQ-DEM	Partial-Tree Vector Quantizer - DEM
PWM	Pulse Width Modulation
RMS	Root Mean Square
RTZ	Return to Zero
SAR	Successive Approximation Register
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SNR-A	Signal to Noise Ratio A-weighted
S/PDIF	Sony/Philips Digital Interconnect Format
STF	Signal Transfer Function
TF	Transformée de Fourier
THD	Total Harmonic Distortion
THD+N	Total Harmonic Distortion + Noise
USB	Universal Serial Bus
VHDL	VHSIC Hardware Description Language
VQ-DEM	Vector-Quantizer DEM

Introduction générale

Avant-propos

Ces dernières années ont vu un fort changement des amplificateurs audio dans les applications embarquées. Les constructeurs de ces applications ont demandé aux fabricants de circuits de réduire fortement la consommation de leurs amplificateurs tout en améliorant la qualité audio perçue par l'utilisateur et en augmentant la puissance de sortie (comprise entre 1 et 2 Watt). Dans le même temps, le volume de ce type d'amplificateurs a suivi la très forte courbe des ventes des applications mobiles, essentiellement à travers le marché des téléphones portables, qui ont laissé leur place aux « smartphones ».

L'architecture des amplificateurs s'est donc adaptée à ce nouvel environnement. Les amplificateurs de classe D ont peu à peu remplacé les amplificateurs de classe AB car ils permettent d'atteindre une efficacité supérieure. Auparavant, les amplificateurs de classe D avaient pour défaut de moindres performances en termes de linéarité, du fait des temps morts injectés dans l'étage de puissance, de nécessiter un filtre passif en sortie induisant un coût plus élevé, et la difficulté de les rendre compatibles aux normes d'émissions électromagnétiques. Un important travail a été effectué pour améliorer la linéarité de cette classe d'amplificateurs, leur intégration en supprimant le filtre de sortie et les émissions électromagnétiques avec de nouvelles techniques de modulation.

Désormais, le niveau de bruit et la distorsion ont pu être maîtrisés grâce à de nombreux travaux sur la modulation, et également grâce à la certaine maturité acquise par les différentes équipes de conception d'amplificateurs de classe D intégrés. Les deux principales marges de progression sont désormais l'amélioration de la consommation, et la réjection des bruits de l'alimentation. Pour la consommation, les choix d'architecture et la technique de modulation ont une grande influence. Des modes basse consommation peuvent également être mis en place quand l'amplificateur n'est pas utilisé, l'implémentation de ces modes requiert toutefois de s'assurer que la transition vers ces modes n'est pas audible. Enfin, une réflexion entre une implémentation numérique ou analogique pour une fonction du système, peut permettre de diminuer sensiblement la consommation.

La deuxième marge de progression concerne l'amélioration de la réjection de l'alimentation. Deux possibilités sont offertes. La plus évidente est de réguler la tension d'alimentation de l'étage de puissance, pour que les perturbations se trouvant dans la bande audio ne soient pas transmises au signal pilotant le haut-parleur. Cette solution nécessite un filtrage très important de la tension d'alimentation et doit supporter les forts courants requis par l'étage de puissance, ce qui suppose d'importantes capacités de découplage, un régulateur d'excellente qualité et une conception soignée pour isoler ce nœud d'alimentation. Cette solution n'est pas envisageable pour un système embarqué à bas coût, car elle est volumineuse et nécessite un certain nombre de composants supplémentaires.

La deuxième possibilité est d'intégrer l'étage de puissance et ses perturbations dans une boucle de rétroaction afin de les atténuer. Cette technique est très largement répandue dans les systèmes actuels mais son implémentation présente des limites. Dans le cas d'une rétroaction dans une boucle analogique différentielle, la correction peut souffrir des erreurs d'appariement des composants passifs, limitant les performances. Une architecture pseudo-différentielle règle ce problème mais nécessite de doubler la boucle analogique. C'est pourquoi une implémentation avec une boucle numérique et une conversion analogique-numérique dans la boucle de rétroaction a fait l'objet de recherches. La principale difficulté posée par ce choix d'architecture est d'une part la stabilité de la boucle entière, du fait de la fonction de transfert du convertisseur analogique-numérique, et d'autre part la limitation des performances de la boucle par les performances du convertisseur analogique-numérique. Étudier les problèmes liés à ce type d'architecture et leur trouver des solutions constitue l'objet de ce travail de thèse.

Contexte de la thèse

Le concept particulier d'amplificateur de classe D numérique sur lequel cette thèse est basée avec sa boucle à rétroaction partielle a été développé par Hassan Ihs en 2007-2008 après une longue expérience dans l'industrie audio. Il s'est associé avec Christian Dufaza, professeur à l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP) pour créer en mai 2009 l'entreprise Primachip basée à Marseille. Le but de cette entreprise était de breveter l'architecture d'amplificateur et de lui trouver un débouché commercial, à travers de la conception de circuits ou la vente de licences d'exploitations. En parallèle, une activité de recherche et de développement a été mise en place par le biais d'un partenariat avec l'IM2NP, qui a débouché sur la création de ce sujet de thèse sous contrat CIFRE (Conventions Industrielles de Formation par la REcherche).

La cible de l'amplificateur de classe D numérique décrit ici est le marché des applications mobiles, et essentiellement les téléphones portables. Cette architecture a donc pour finalité d'être

INTRODUCTION GÉNÉRALE

implémentée sur un circuit intégré. Toutefois, un prototype d'amplificateur basé sur des composants discrets et un circuit numérique programmable a été conçu afin de démontrer la validité de l'architecture. L'évaluation des performances de ce prototype se sont avérées très encourageantes, compte tenu du manque de contrôle sur les performances de chaque partie du système, même s'il est vrai que les contraintes d'un circuit intégré sont exigeantes. La conception d'une version intégrée du circuit et son évaluation a donc été incluse dans le cadre de la thèse et a pris toute une année, de janvier 2010 à janvier 2011.

Par la suite, la fragilité financière de l'entreprise et le fait que la première version du circuit était inaboutie ont conduit à sa liquidation judiciaire en mai 2011. J'ai donc quitté Marseille pour travailler à Edimbourg chez Wolfson Microelectronics dans la conception de circuits intégrés audio, en continuant à la fois à enrichir mon travail de recherche, et en terminant la rédaction de la thèse. La soutenance a eu lieu le 27 juin 2013.

Plan du manuscrit

Ce manuscrit se divise en trois chapitres. Le chapitre I a pour but d'introduire les amplificateurs de classe D à travers des considérations sur le marché des amplificateurs audio, la présentation des outils mathématiques utilisés pour l'analyse des modulateurs, une description des différents critères de performance des dispositifs audio, reliés à la physiologie de l'oreille humaine, et enfin un état de l'art des amplificateurs de classe D. Cette dernière partie s'attachera à montrer les différentes architectures d'amplificateur et techniques de modulation utilisés, ainsi que les performances des amplificateurs récents pour chaque catégorie.

Ensuite, le chapitre II portera sur la conception de modulateurs $\Delta\Sigma$ optimisés pour l'audio. Nous exposerons de façon simple le principe de ce type de modulateur. Une méthode pratique et automatisable de conception et de dimensionnement de modulateurs $\Delta\Sigma$ d'ordre plus élevé sera présentée. Toutes les topologies existantes ne seront pas étudiées, seule l'architecture formée d'une cascade d'intégrateurs, d'un quantificateur et d'une boucle de rétroaction le sera. Le principe est de modeler les fonctions de transfert linéaires du système dans le domaine fréquentiel selon les spécifications, et de prendre ensuite en compte les non-linéarités par des simulations extensives, en ajoutant au besoin des mécanismes spécifiques pour améliorer le niveau de bruit, la distorsion et la stabilité. Le concept de boucle $\Delta\Sigma$ à rétroaction partielle sera exposé, cela permet à l'amplificateur de classe D numérique d'atteindre des valeurs de PSRR très importantes tout en ménageant la stabilité du système. Enfin, nous terminerons ce chapitre par une étude de la consommation de l'étage de puissance en fonction de la technique de modulation employée. Les modulations de largeur d'impulsion et de densité d'impulsion seront comparées.

INTRODUCTION GÉNÉRALE

Enfin, l'implémentation de l'amplificateur de classe D numérique sera l'objet du chapitre III. Nous commencerons par décrire les différents blocs de la partie numérique et le principe des mécanismes implémentés. Ensuite, nous verrons brièvement la conception de l'étage de puissance. Un convertisseur analogique-numérique $\Delta\Sigma$ temps continu 9 niveaux a été conçu spécifiquement pour obtenir des performances optimales dans la boucle de classe D numérique. Un nouveau mécanisme de génération d'horloge, mis en place pour atténuer fortement l'influence du bruit de phase dans le bruit du système, sera décrit. Un nouvel algorithme de correction dynamique des erreurs d'appariement a également été ajouté au convertisseur, dans le but de supprimer la distorsion causée par les erreurs d'appariement des composants dans la rétroaction. La conception et la validation du circuit intégré sera ensuite traitée. Cette partie sera suivie par l'évaluation des performances de l'amplificateur et du convertisseur seul, et les problèmes dus à conception seront analysés pour expliquer les performances décevantes du système. Nous terminerons ce chapitre par des propositions d'amélioration de l'architecture et une conclusion sur le concept d'amplificateur de classe D numérique développé dans ce manuscrit.

Chapitre I

Introduction aux amplificateurs audio de classe D

Un amplificateur audio est un dispositif électronique qui, à partir d'un signal de commande contenant des données audio, est capable de piloter un haut-parleur pour qu'il restitue le flux audio à un auditeur à la puissance souhaitée. La qualité sonore obtenue dépend à la fois des performances de l'amplificateur et des caractéristiques du haut-parleur. Le premier système d'amplification audio à partir d'un enregistrement a été inventé en 1877 par Thomas Edison avec son phonographe [1]. L'invention du tube à vide au début du XX^{ème} siècle a permis de remplacer la transmission mécanique du phonographe par une transmission électrique permettant par la suite une amélioration des performances ainsi que des contraintes de fabrication plus réduites. Ces tubes à vide ont également permis l'essor de la transmission radio sonore. Plus tard, dans les années 1960, les transistors à base de semi-conducteurs se sont répandus et ont peu à peu remplacé les tubes à vide grâce à leur coût bien plus faible [2]. Ainsi, des circuits intégrés de plus en plus complexes, miniaturisés et performants ont depuis été créés sur la base de ces transistors. Ces circuits intégrés sont aussi appelés puces électroniques. Aujourd'hui, des fonctions audio ont été ajoutées dans à peu près toutes les applications mobiles : des appareils de localisation par satellite à la console de jeu, en passant bien sûr par les derniers téléphones portables et les baladeurs audio, ainsi que les appareils électroniques plus conventionnels comme la télévision ou la chaîne Hi-Fi.

Ce chapitre a pour but d'introduire les nombreuses notions nécessaires pour comprendre les différents enjeux de la conception d'un amplificateur audio et de présenter les solutions les plus couramment utilisées. Nous commencerons ainsi par évoquer les contraintes à prendre en compte dans la conception et comment les différents acteurs du marché des amplificateurs audio sont positionnés. Nous présenterons ensuite toutes les notions et notations de traitement du signal, appliquées au son,

qui seront utilisées par la suite dans ce mémoire, afin que le lecteur comprenne bien les raisons d’être et la fonction exacte des différents blocs du système amplificateur audio numérique.

Dans la section suivante, nous nous intéresserons à la notion de qualité audio. Cela comprend quelques notions de psychoacoustique, permettant de faire le lien avec les mesures de qualité audio utilisées pour évaluer un amplificateur audio. Enfin, la dernière partie portera sur les amplificateurs de classe D. Nous commencerons par voir leur principe et les problématiques posées par leur conception. Nous finirons ensuite par un état de l’art portant d’une part sur trois différentes techniques de modulation utilisées dans des amplificateurs de classe D : la modulation PWM, la modulation PDM et la modulation de fréquence, et d’autre part sur l’implémentation analogique ou numérique de la boucle d’amplification. Nous comparerons ensuite les performances de quelques amplificateurs audio récents conçus pour des applications mobiles implémentant ces types de modulation. Nous finirons par une conclusion sur ce chapitre.

I.1 Le marché des amplificateurs audio

Le but de cette partie n'est pas de commenter longuement les tenants et les aboutissants de l'industrie audio, mais plutôt d'expliquer en quoi le marché des amplificateurs audio a une influence primordiale sur la conception d'un amplificateur numérique de classe D. Sans cela, il n'est pas possible d'expliquer pourquoi nous avons choisi d'intégrer tel ou tel bloc, de viser une certaine qualité audio ou bien de limiter la consommation.

I.1.1 Caractéristiques du marché de l'audio

Dans [3], les auteurs divisent le marché en deux parties : le marché de masse et le marché de niche. Le marché de niche repose sur des technologies au cycle de vie souvent très long, il est souvent plus stable que le marché de masse au niveau de la clientèle et porte par définition sur de faibles volumes. Ces caractéristiques donnent aux entreprises positionnées sur ce type de marché du temps pour développer des produits de haute qualité, à des prix plutôt élevés, qu'il est difficile de réduire. En effet, il n'est pas vraiment possible de réaliser des économies d'échelle sur de faibles volumes, par exemple, les amplificateurs à tubes pour les guitares électriques. Cette technologie a perduré depuis le début du XX^{ème} siècle jusqu'à maintenant. Ils sont beaucoup plus chers que les amplificateurs classiques à transistors mais les acheteurs recherchent avant tout une qualité de son particulière plutôt qu'un prix bas. Ainsi, la conception d'un produit pour ce type de marché, un amplificateur audio par exemple, va privilégier l'absence de défauts, la robustesse et la fiabilité du produit plutôt qu'un temps de développement rapide et des économies faites au détriment des performances.

A l'inverse, si l'entreprise veut adresser un marché de masse, elle doit avant tout être très mobile par rapport à l'évolution de ce marché. Toujours d'après [3], les cycles des nouveaux produits dans le domaine de l'audio s'accélèrent, ce qui fait que les entreprises doivent : soit diminuer les temps de mise sur le marché pour être présentes à chaque amélioration de la technologie, soit anticiper une génération grâce à une innovation majeure et être prêt à temps pour avoir une chance de s'insérer sur le marché. C'est ce modèle que les entreprises à faibles capitaux essaient de suivre. Le marché de masse est très concurrentiel mais génère des profits très importants pour les sociétés qui ont réussi à s'y installer. De ce fait, cela oblige les entreprises à toujours apporter des innovations, tant au niveau du marketing que de la technologie. Si bien sûr l'aspect technologique intéresse plus le lecteur de ce mémoire, les caractéristiques que doivent posséder les produits d'un même marché sont souvent dictées par des aspects marketing.

I.1.2 Les acteurs du marché

Le marché des amplificateurs intégrés est constitué d'acteurs très divers [4]. Les premiers acteurs sont de grands groupes généralistes du semi-conducteur qui conçoivent leurs propres amplificateurs audio et qui ont les capacités de les fabriquer et les tester en interne. Les principaux groupes de ce type sont Qualcomm, Texas Instruments, STMicroelectronics, NXP Semiconductor, ON Semiconductor et Austria Mikro Systeme. Ces groupes ont l'avantage de maîtriser toute la chaîne, de la conception à la fabrication avec ses nombreuses étapes. Cela donne une grande marge de manœuvre car les moyens de fabrication peuvent être adaptés à la conception. De plus, les prix peuvent être extrêmement compétitifs car l'entreprise engrange à elle seule ou presque toute la marge sur le produit.

Il existe aussi sur ce marché des entreprises de taille moyenne spécialisées dans les produits audio qui sont dépourvues d'usine de fabrication de semi-conducteurs. Elles possèdent la plupart du temps des moyens de tests dédiés. Nous pouvons citer comme exemple Wolfson Microelectronics, Cirrus Logic, Yamaha, AKM Semiconductor, Dialog Semiconductor.

L'entreprise Primachip, qui a proposé ce sujet de thèse, est ce qui est appelée en anglais une « start-up ». Elle visait dès sa création le marché des amplificateurs audio dédiés aux applications embarquées, ce marché étant essentiellement constitué des téléphones portables. Cette entreprise est partie d'une idée d'architecture très innovante par rapport à des produits concurrents. Elle a réalisé des prototypes afin de prouver la validité de cette idée à ses clients potentiels.

Pour fabriquer des prototypes ou des produits commercialisables, les start-up et les entreprises de taille moyenne ont besoin de faire appel à des « fondeurs », c'est-à-dire des groupes qui possèdent des usines pour fabriquer des circuits intégrés sur silicium. Parfois, les grands groupes généralistes peuvent avoir également le rôle de fondeurs pour de plus petites entreprises.

I.1.3 Le choix de la technologie

La figure I.1 montre les fonctions de base d'un amplificateur audio générique. Le signal d'entrée est d'abord traité afin de le transformer en un signal capable d'adresser l'étage de puissance avec le moins de perte de qualité possible. C'est ensuite l'étage de puissance qui va contrôler le haut-parleur. Il est très courant d'ajouter un banc de registres contenant les paramètres de fonctionnement de l'amplificateur. Enfin, de nombreux circuits intègrent une partie destinée à la gestion de l'alimentation, c'est-à-dire ce qui va générer les tensions d'alimentation et références internes.

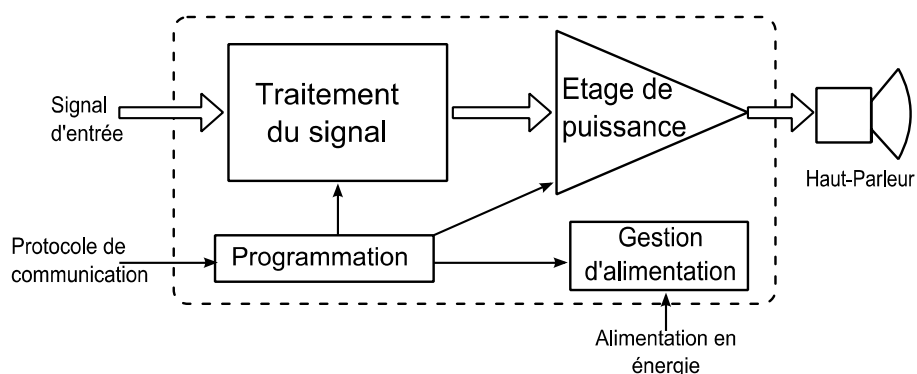


FIGURE I.1- Architecture générique d'un amplificateur audio

L'amplification audio peut se faire de plusieurs façons, chacune d'entre elles ayant ses avantages et inconvénients. Le tableau I.1 propose une comparaison en allant vers l'intégration la plus grande. Les premiers amplificateurs audio ont bien sûr été réalisés avec des composants discrets et ce jusqu'au début des premières puces électroniques complexes. Aujourd'hui, la plupart des amplificateurs modernes sont programmables, et ceux destinés aux grandes séries sont plutôt réalisés sur semi-conducteur, où les opérations pour fabriquer les différentes fonctions sont entièrement parallèles.

Nom de la Solution	Description	Avantages	Inconvénients
Composants discrets	Circuit imprimé avec des composants discrets	Temps de développement et de fabrication très rapide Très faible coût	Consomme de l'espace Limitation de la complexité des fonctions
Composants programmables	Circuit imprimé muni d'un FPGA, d'un DSP ou d'un microcontrôleur et de composants discrets pour l'étage de puissance	Temps de développement rapide Coût relativement faible pour un prototype	Intégration très moyenne Consommation non optimale
Système sur puce (« System on Chip »)	Circuit intégré composé de blocs distincts ou « IP » interconnectés ayant chacun une fonction particulière et qu'il est possible d'acheter séparément	Temps de développement correct Très bonne intégration Peu cher pour d'importants volumes	Les IP peuvent coûter cher Consommation et surface ne sont pas optimales
Circuit intégré sur mesure (« Full Custom »)	Circuit intégré entièrement dédié à une application	Permet une consommation et une surface minimum Très bonne intégration Très peu cher pour d'importants volumes	Temps de développement et de fabrication très long (de l'ordre de l'année) Coût très élevé

TABLEAU I.1 - Comparaison des différentes solutions pour implémenter un amplificateur audio

I.2 Outils mathématiques pour la modélisation des amplificateurs audio

Nous avons vu dans la partie précédente le contexte de ce travail. Nous allons maintenant présenter les outils que nous utiliserons pour modéliser les amplificateurs audio. Cette section a pour but de donner les idées et notions de traitement du signal nécessaires à l'explication de pourquoi et comment le signal audio doit être filtré dans les différents étages d'une chaîne de transmission audio.

Nous désignerons par « signal » un objet physique transportant de l'information [5], en l'occurrence des informations audio. Les signaux peuvent être transmis de façon continue, c'est-à-dire des signaux variant continûment dans le temps, ou alors de façon discrète, c'est-à-dire sous la forme d'une suite de nombres séparés par un intervalle de temps en général constant.

I.2.1 Échantillonnage

Pour un signal continu x_c donné, nous définissons par x la suite de valeurs correspondant à l'échantillonnage de x_c avec une période égale à T .

$$x = \{x[n]\}, \text{ avec } -\infty < n < +\infty \text{ et } x[n] = x_c(nT) \quad (\text{I.1})$$

T est défini comme la période d'échantillonnage. ω_s , la pulsation d'échantillonnage, est égale à l'inverse de T multipliée par 2π . La figure I.2 montre un signal sinusoïdal et sa version échantillonnée.

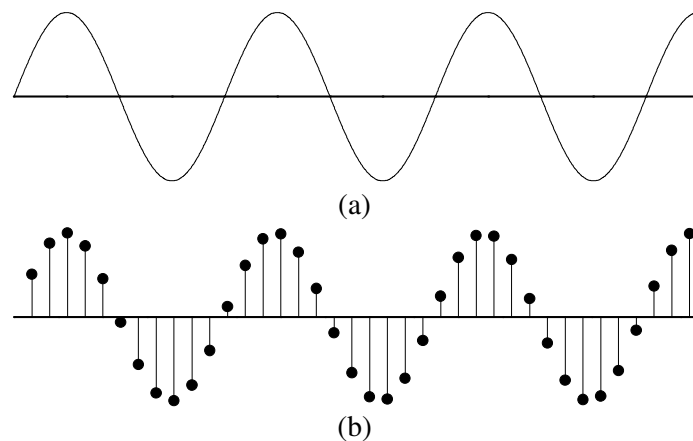


FIGURE I.2 - Échantillonnage d'un signal sinusoïdal : (a) signal sinusoïdal continu
(b) même signal échantillonné

La version échantillonnée $x_s(t)$ du signal continu $x_c(t)$ est obtenue en multipliant ce dernier par un « peigne de Dirac » noté $s(t)$. La fonction de Dirac est notée δ .

$$s(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT) \quad (I.2)$$

$$x_s(t) = x_c(t) \cdot s(t) = \sum_{n=-\infty}^{+\infty} x_c(t) \cdot \delta(t - nT) = \sum_{n=-\infty}^{+\infty} x_c(nT) \cdot \delta(t - nT) \quad (I.3)$$

Dans (I.3), nous utilisons le fait que la fonction de Dirac $\delta(t)$ est égale à 0 lorsque t est différent de 0. Nous passons alors d'une représentation temporelle à une représentation fréquentielle en utilisant une transformée de Fourier (TF). Nous calculons la TF $S(j\omega)$ de $s(t)$ où k est un entier naturel [6].

$$S(j\omega) = \frac{2\pi}{T} \sum_{k=-\infty}^{+\infty} \delta(\omega - k\omega_s) \quad (I.4)$$

Soit $X_s(j\omega)$ et $X_c(j\omega)$ les TF de $x_s(t)$ et $x_c(t)$. $X_s(j\omega)$ est égale au produit de convolution de $S(j\omega)$ et $X_c(j\omega)$.

$$X(j\omega) = \frac{1}{2\pi} X_c(j\omega) * S(j\omega) = \frac{1}{T} \sum_{k=-\infty}^{+\infty} X_c(j(\omega - k\omega_s)) \quad (I.5)$$

Cette dernière relation montre que dans le domaine fréquentiel, les spectres de $x_c(t)$ décalés de tous les multiples entiers de ω_s se superposent comme sur la figure I.3. Les répliques du spectre distantes d' ω_s sont appelées « alias ». Cette figure illustre bien le théorème de Shannon d'après lequel la fréquence minimale pour échantillonner un signal en conservant sa forme générale est égale au double de la fréquence maximale ω_N du spectre du signal. Si la fréquence d'échantillonnage est trop faible, une partie du premier alias se confond avec le signal et le perturbe. Ce dernier effet est appelé repliement de spectre.

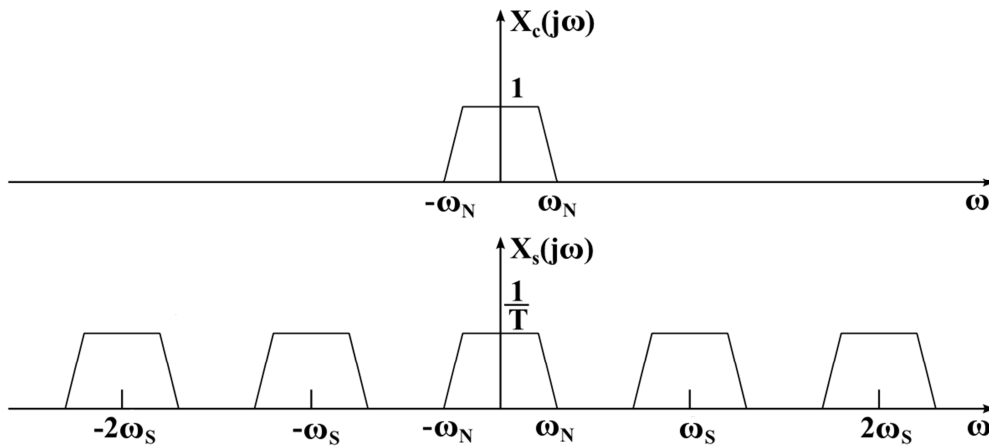


FIGURE I.3 - Représentation dans le domaine fréquentiel de l'échantillonnage, ω_N représente la borne supérieure du spectre de $x_c(t)$

I.2.2 Changement de fréquence d'échantillonnage

Il est très courant dans les dispositifs audio que la fréquence d'échantillonnage d'un signal ait besoin d'être modifiée au cours de son traitement. En effet, un signal audio entrant dans un système audio peut être échantillonné à plusieurs fréquences, selon la qualité recherchée (par exemple : 8 kHz, 44,1 kHz, 48 kHz ou 192 kHz), mais des parties de ce système peuvent devoir fonctionner à une fréquence particulière indépendante de cette fréquence d'échantillonnage initiale. Nous avons réalisé quelques simulations avec le logiciel Matlab [7] pour illustrer ces problèmes de changement de fréquence d'échantillonnage. Afin de rendre les spectres suivants plus proches de ce qui peut être mesuré dans un système réel, nous avons ajouté un bruit blanc d'une amplitude arbitraire au signal original.

I.2.2.1 Interpolation

L'interpolation consiste à augmenter la fréquence d'échantillonnage d'un signal temps discret de f_{SL} à f_{SH} et donc de « créer » les échantillons manquants. Nous nous plaçons ici dans le cas d'une interpolation simple où f_{SH} est un multiple entier de f_{SL} (d'un facteur A). $A-1$ zéros sont intercalés entre les échantillons du signal d'entrée. Ce signal est filtré de façon à ce que les alias au milieu du spectre ne soient pas gênants. Les figures I.4 (a) et (b) montrent l'interpolation d'un signal sinusoïdal de 1 kHz, nous passons d'une fréquence d'échantillonnage de 8 kHz à 48 kHz. Si les alias ne sont pas filtrés, les raies à 7 et 9 kHz, et dans une moindre mesure 15 et 17 kHz, seront audibles (figure I.4 (b)).

Si le facteur d'interpolation est fractionnaire et égal à A/B avec A et B entiers, il faut d'abord procéder à une interpolation d'un facteur A puis à une décimation d'un facteur B (voir la section suivante I.2.2.2).

Prenons l'exemple d'un amplificateur audio prenant en entrée un signal audio échantillonné à 48 kHz et fonctionnant à 128 fois cette fréquence soit 6,144 MHz. Si le signal ne subit pas d'interpolation, c'est-à-dire si aucun filtrage des alias n'est effectué, les alias se trouvant en dehors de la bande audio ne sont pas forcément filtrés à l'intérieur de l'amplificateur, ou par le filtre intrinsèque du haut-parleur. Dans ce cas, de l'énergie est perdue à amplifier des composantes spectrales qui sont de toute façon inaudibles.

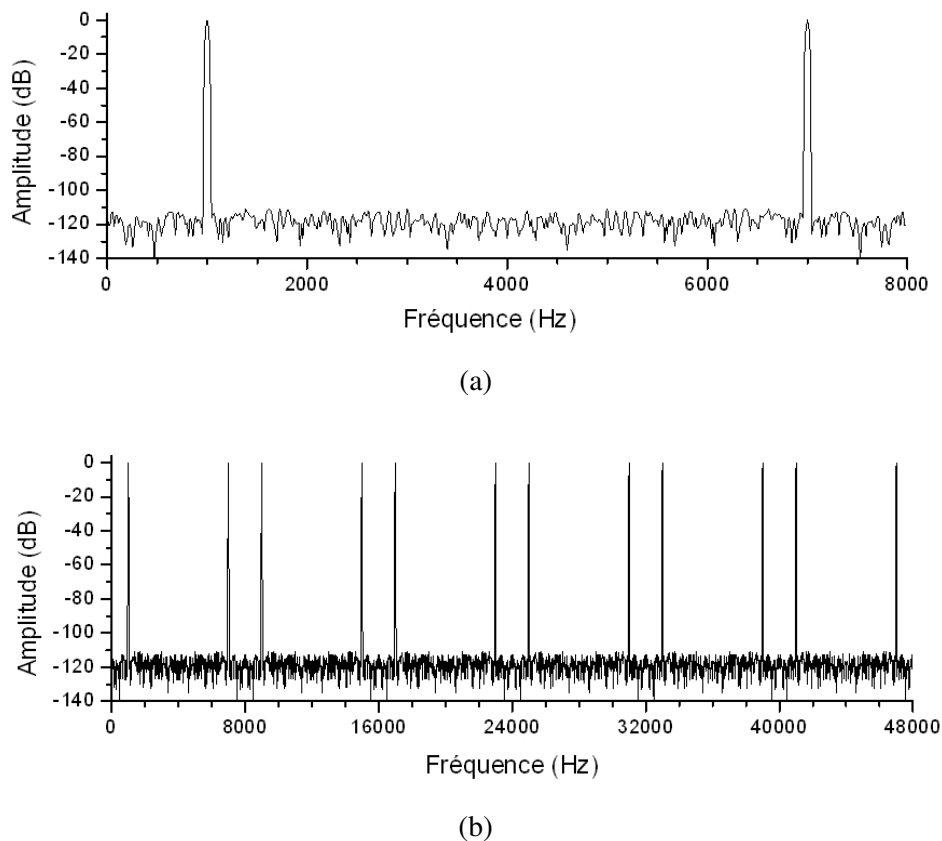


FIGURE I.4 - Sur-échantillonnage d'un signal sinusoïdal à 1 kHz échantillonné initialement à 8 kHz

(a) Spectre du signal échantillonné à 8 kHz

(b) Spectre du signal sur-échantillonné à 48 kHz

Au niveau de la conception, le défi est d'utiliser le moins possible de ressources matérielles pour implémenter le filtre interpolateur. Prenons l'exemple d'un signal audio échantillonné à 48 kHz que nous souhaitons interpoler d'un facteur de 128. Du fait de l'échantillonnage, les premières composantes à éliminer se trouvent dans la bande de fréquence 28 kHz – 48 kHz. La haute-fidélité recommande une très faible variation du gain sur la bande 20 Hz – 20 kHz (une variation inférieure à 0.1 dB est acceptable), ainsi qu'une phase linéaire, c'est-à-dire un retard constant en fonction de la fréquence. Ensuite, il faut une atténuation importante du filtre dès 28 kHz, de l'ordre de 120 dB. Le respect de ces contraintes nécessite un filtre d'ordre très élevé, en général un filtre de type FIR pour garantir la linéarité de la phase. L'ordre élevé et la faible fréquence de coupure par rapport à sa fréquence de fonctionnement suppose un nombre de portes logiques très important. En effet, plus la fréquence de coupure d'un filtre temps discret est petite par rapport à sa fréquence de fonctionnement, plus la valeur des coefficients du filtre est faible, ce qui nécessite une importante largeur en nombre de bits pour conserver la précision du signal.

Pour limiter la complexité de l'interpolateur, il est possible d'effectuer l'interpolation par étapes pour atteindre le facteur de 128. Cela permet de jouer sur le rapport fréquence de coupure sur fréquence de fonctionnement et d'additionner l'atténuation des filtres successifs pour obtenir le filtrage nécessaire des alias. Par exemple, un ou deux filtres FIR d'ordre 4 et 8 peuvent amener jusqu'à un facteur de 32 en atténuant fortement les alias. Ensuite, un filtre CIC dit « en peigne » peut éliminer les 3 groupes d'alias autour de $F_s/4$, $F_s/2$ et $3.F_s/4$ si F_s est la fréquence finale d'échantillonnage. Un exemple est présenté dans la section III.5.1.3.

Un autre moyen de relâcher les contraintes sur les filtres, et limiter la complexité est de se dire que dans le cas des instruments de musique, les harmoniques de plus grande amplitude se trouvent dans la bande 20 Hz – 4 kHz, et en dessous de 1 kHz pour la voix humaine [8]. Pour ces cas, le premier alias de haute amplitude à éliminer a donc une fréquence supérieure à 44 kHz au lieu de 28 kHz. Il convient toutefois prendre en compte le cas des percussions et des bruits synthétiques qui peuvent contenir une grande quantité de hautes-fréquences.

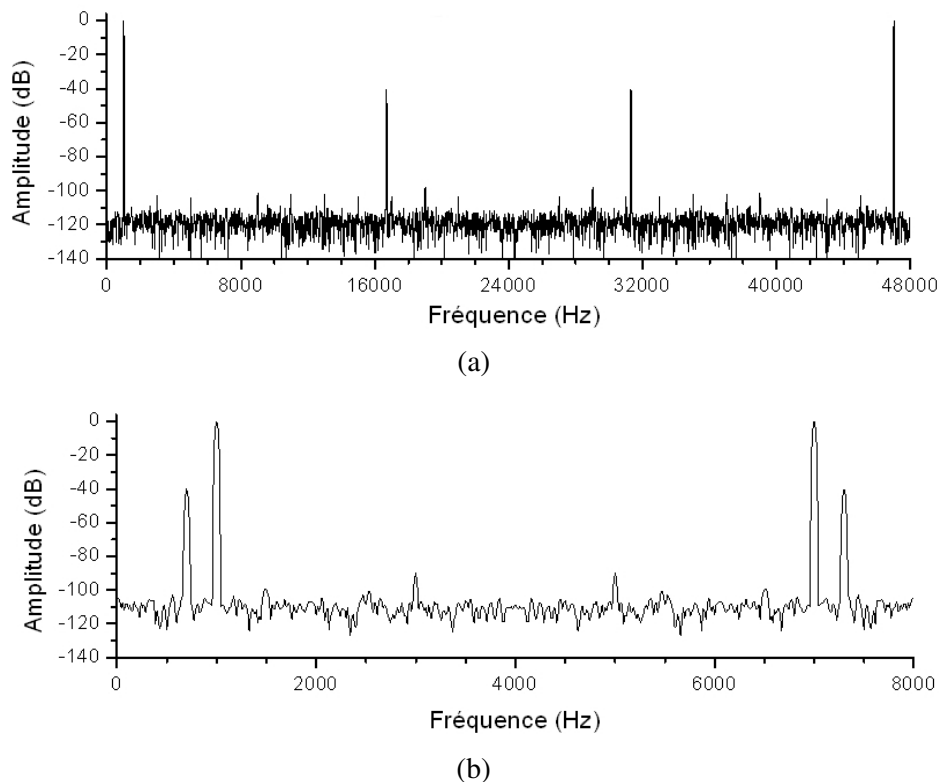


FIGURE I.5 - Décimation d'un signal sinusoïdal à 1 kHz échantillonné à 48 kHz

(a) Signal échantillonné à 48 kHz avec une raie parasite à 16,7 kHz

(b) Signal sous-échantillonné à 8 kHz avec la raie parasite se repliant à 700 Hz

I.2.2.2 Décimation

La décimation est l'opération inverse de l'interpolation. Il s'agit de diminuer la fréquence d'échantillonnage d'un signal temps discret de f_{SH} à f_{SL} (d'un facteur entier A). Quand un signal est sous-échantillonné, c'est-à-dire qu'un échantillon est pris tous les A échantillons, du contenu parasite en dehors de la bande peut se replier dans la bande passante. Ce principe est illustré sur la figure I.5 où une raie parasite à 16,7 kHz qui n'a pas été filtrée se replie, créant une raie à 700 Hz, qui pollue gravement le signal audio. C'est pour éviter ce genre de problèmes qu'il est important d'atténuer par filtrage le contenu parasite du signal avant le sous-échantillonnage.

I.2.3 Fenêtrage

Lorsque des signaux réels qui possèdent un nombre fini d'échantillons sont analysés, la Transformée de Fourier (TF) obtenue n'est pas satisfaisante. En effet, le fait de ne prendre le signal que sur une période donnée revient à multiplier le signal par une fonction rectangle (égale à 1 sur la période et à 0 en dehors) avant d'effectuer la TF du résultat. Cette fonction rectangle possède un certain contenu harmonique. En passant dans le domaine fréquentiel, la TF du produit du signal par la fonction rectangle est égale à la convolution de leurs TF respectives. La figure I.6 donne le spectre de la fenêtre rectangulaire (largeur de 51 éléments). Les lobes secondaires (à droite du lobe principal centré sur la fréquence nulle) sont d'amplitude assez élevée ce qui va modifier sensiblement l'allure du spectre du signal à observer. La caractéristique fréquentielle de la fenêtre de Blackman, définie par l'équation (I.6) [6], est représentée sur la même figure. Les lobes secondaires sont d'amplitude bien plus faible, ce qui va permettre une meilleure fidélité du spectre observé, et donc une meilleure précision sur le calcul du bruit dans la bande audio. Toutefois, le lobe principal est beaucoup plus large que pour la fenêtre rectangulaire, ce qui va avoir pour effet d'étaler la puissance à une fréquence donnée sur les fréquences proches. Pour diminuer cet effet, il faut augmenter le nombre d'échantillons pour le calcul de la TF.

$$w(n) = 0,42 - 0,5 \cos\left(\frac{2\pi n}{N-1}\right) + 0,08 \cos\left(\frac{4\pi n}{N-1}\right), \text{ avec } 0 \leq |n| \leq \frac{N}{2} \quad (I.6)$$

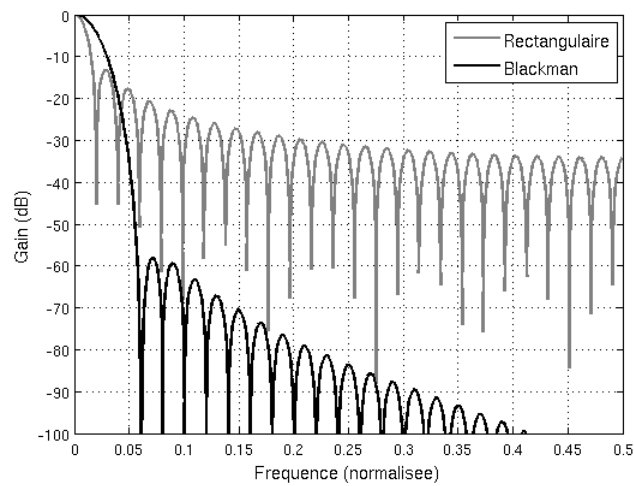


FIGURE I.6 - Spectre des fenêtres rectangulaire et de Blackman

I.2.4 Quantification

La quantification est un processus nécessaire à la conversion analogique numérique d'un signal. D'une distribution continue de valeurs, nous passons à une distribution quantifiée, créant ainsi une erreur. La distance entre deux valeurs quantifiées adjacentes est notée q . La figure I.7 montre un signal quantifié et l'impact de cette quantification sur son spectre.

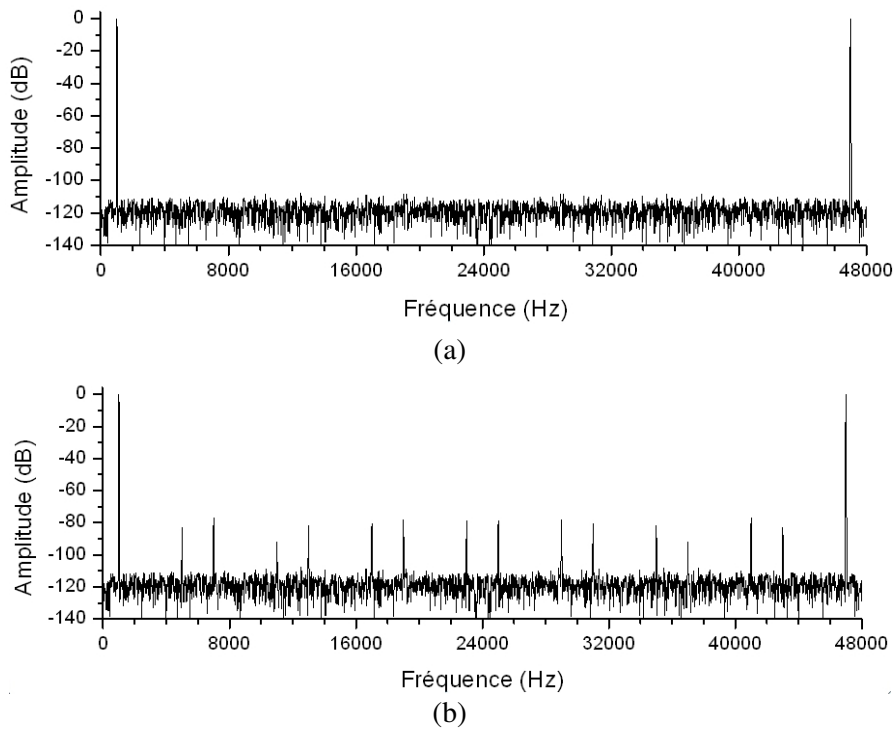


FIGURE I.7 - Spectre d'un sinus à 1 kHz échantillonné à 48 kHz quantifié
(a) 16 bits de quantification ; (b) 10 bits de quantification

Nous remarquons sur le spectre du signal quantifié sur 10 bits, que l'opération de quantification a pour effet de créer des raies parasites d'ordre impair, suffisamment puissantes pour être audibles car elles sont dans la bande passante du signal audio. Cette opération non-linéaire de quantification est par définition entièrement dépendante du signal d'entrée. Toutefois, dans les modèles linéaires des systèmes à temps discret, la quantification est représentée comme l'addition au signal d'un bruit de quantification indépendant du signal d'entrée. Si le signal quantifié est fortement périodique, l'erreur de quantification va avoir la même périodicité et générer des harmoniques. En revanche, si le signal possède des composantes pseudo-aléatoires du même ordre de grandeur ou supérieurs au pas de quantification, l'erreur de quantification va être dominée par ce comportement pseudo-aléatoire et l'hypothèse d'une décorrélation par rapport au signal d'entrée va être acceptable.

I.3 Performances des amplificateurs audio

Au premier abord, la qualité audio semble être une notion très subjective, étant donné que chaque personne n'entend pas de la même façon, avec la même sensibilité. Or un concepteur d'amplificateur audio ne pourrait pas travailler sans indicateurs, sans mesures de la qualité sonore. Dans le but de comparer les différents produits du marché, l'industrie de l'audio a défini des critères de qualité tout à fait tangibles, mesurables de façon reproductible, et basés sur des observations et des mesures issues de la psychoacoustique.

I.3.1 Notions de psychoacoustique

La psychoacoustique est l'étude de la perception humaine du son. Il existe de nombreuses publications sur des mesures quantifiées de la sensibilité de l'oreille humaine, obtenues grâce à des méthodes statistiques impliquant un échantillon conséquent de personnes. Nous apportons ici quelques données importantes sur l'audition humaine extraites de [9]. La première donnée est la plage de fréquence audible pour une oreille « normale ». Elle est considérée comme allant de 20 Hz à 20 kHz, même si la sensibilité aux hautes fréquences diminue avec le vieillissement. Cette donnée, assez arbitraire mais utilisée par tous, permet de définir la bande passante des systèmes audio.

De plus, le tympan peut détecter des variations de pressions allant de 20 μPa (seuil de détection admis, référence de la mesure logarithmique en dB SPL) à plus de 20 Pa (seuil de douleur, égal à 120 dB SPL). Cette dynamique, couvrant 120 dB, est très grande, et explique que les concepteurs recherchent des rapports de signal à bruit de l'ordre de 100 dB. Les valeurs de pression données plus

haut représentent la valeur RMS de l'onde de pression acoustique se propageant dans l'air. Toutefois, il est difficile de convertir le bruit du système d'amplification, souvent donné en $\mu\text{V RMS}$, en une valeur de pression, car celle-ci dépend grandement de la réponse en fréquence du haut-parleur. En revanche, l'oreille humaine ne peut détecter un changement d'amplitude inférieur à 0,5 dB, ce qui correspond à un changement de l'ordre de 6%. C'est pourquoi une grande précision sur les gains d'un système audio n'est pas primordiale.

Au contraire, le plus faible écart de fréquence détectable d'une harmonique pure est de 0,2% dans la bande 500 Hz – 2 kHz. C'est-à-dire que l'oreille peut faire la différence entre un sinus de fréquence 500 Hz et un autre de fréquence 501 Hz. Cette caractéristique avait son importance à l'époque des tourne-disques quand la fréquence de rotation était soumise aux défauts mécaniques. Aujourd'hui, dans les systèmes synchrones, la précision de l'horloge est de très loin suffisante.

Enfin, la sensibilité de l'oreille aux différentes fréquences n'est pas constante. Par exemple, deux signaux audio de même amplitude, l'un à 1 kHz et l'autre à 15 kHz ne seront pas ressentis comme étant de puissance égale. Cela donne lieu dans le calcul des performances audio à une pondération du spectre. La différence de sensibilité de l'oreille humaine selon les fréquences a été pour la première fois caractérisée par Fletcher et Munson en 1933 [10]. Ils ont présenté à des auditeurs un sinus pur à différentes fréquences et leur ont demandé de comparer son intensité avec un sinus de référence à 1 kHz. En faisant une moyenne pour un grand nombre d'auditeurs, ils ont extrait de ces mesures expérimentales des courbes d'intensité égale (« Equal-loudness contours » en anglais). Ce sont ces courbes qui ont donné la pondération de type A (« A-weighting » en anglais) représentée sur la figure I.8. Nous utiliserons cette pondération car même si elle est contestée [11] et que d'autres pondérations plus fidèles existent, elle reste la plus largement utilisée dans l'industrie. Nous pouvons observer ici que d'après ce modèle, l'oreille est plus sensible à des fréquences entre 800 Hz et 8 kHz avec un maximum autour de 4 kHz.

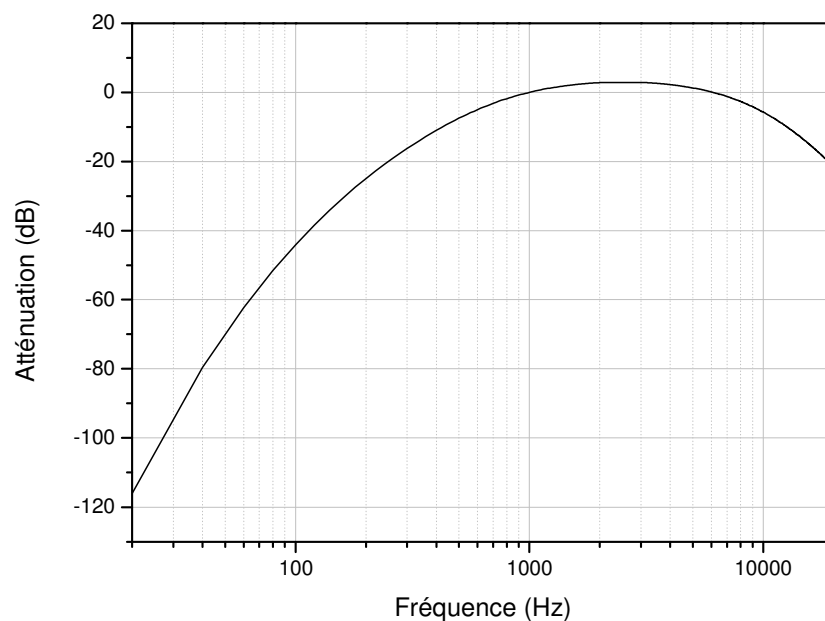


FIGURE I.8 - Atténuation par l'oreille humaine de l'amplitude sonore en fonction de la fréquence selon la pondération de type A

I.3.2 Mesure de la qualité audio

Comme nous l'avons évoqué plus haut, les concepteurs d'amplificateurs audio ont besoin de critères quantifiables et reconnus pour que les différents amplificateurs puissent être comparés sur la base de leurs performances. Il est habituel de mesurer ces paramètres en appliquant en entrée de l'amplificateur des signaux sinusoïdaux purs à des fréquences et amplitudes données. Il s'agit ensuite d'observer sur le spectre de la sortie la raie fondamentale et ses harmoniques ainsi que le bruit du système. Ajoutons que tous ces indicateurs sont sujets à des variantes selon les conditions dans lesquelles ils sont mesurés, notamment l'amplitude et la fréquence de l'entrée. La note d'application [12] donne une liste assez complète des mesures audio les plus courantes.

I.3.2.1 Plage dynamique

La plage dynamique de l'amplificateur (notée DR pour « Dynamic Range » en anglais) est définie par l'écart d'amplitude en décibels entre la valeur RMS du bruit dans la tension de sortie, intégré dans la bande audio, et la valeur RMS du plus grand signal admissible par l'amplificateur. Ce plus grand signal peut être défini pour un taux de distorsion donné, par exemple à 1% (ou 40 dB). Nous avons vu dans le paragraphe précédent combien l'oreille était sensible aux très faibles amplitudes de signaux, c'est pourquoi le niveau du plancher de bruit est primordial pour la qualité sonore. La figure I.9 illustre de façon simplifiée la notion de plage dynamique.

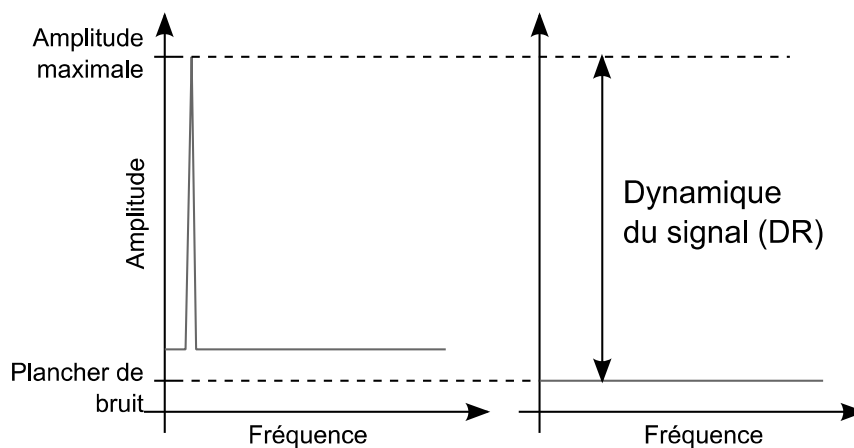


FIGURE I.9 - Notion de plage dynamique

I.3.2.2 Taux de distorsion harmonique

Le taux de distorsion harmonique noté THD (« Total Harmonic Distortion » en anglais) correspond au rapport de la puissance des harmoniques sur la puissance de la raie fondamentale. Cet indicateur permet de mesurer dans quelles proportions un dispositif audio donné ajoute des harmoniques au signal. On utilise toutefois plus souvent le THD+N qui ajoute à la puissance des harmoniques, celle du bruit (N pour « Noise » en anglais). La figure I.10 illustre la signification de cet indicateur de la qualité audio à pleine puissance. Nous pouvons noter que ce rapport peut être donné en dB ou en pourcentage.

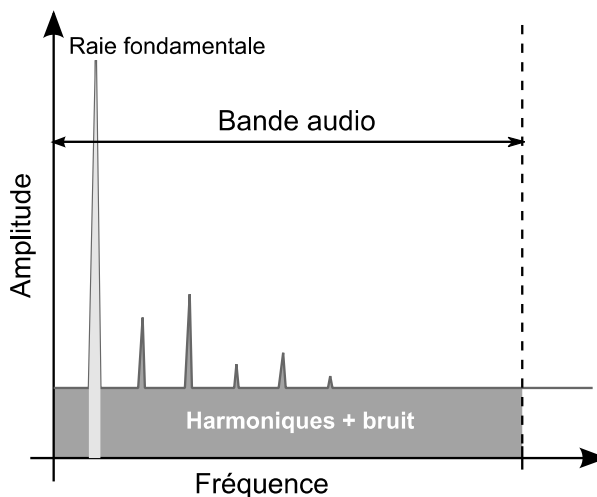


FIGURE I.10 - Illustration du taux de distorsion harmonique et bruit

I.3.2.3 Rapport signal à bruit

La qualité sonore des amplificateurs audio est également souvent jugée d'après le rapport signal à bruit noté SNR (« Signal-to-Noise Ratio »). Ce rapport mesure le bruit intrinsèque du dispositif audio, c'est-à-dire quand l'entrée de celui-ci est mise à zéro. On le calcule en faisant le rapport entre la puissance d'une raie pure et virtuelle de référence et la puissance du plancher de bruit.

Nous donnerons également par la suite des valeurs appelées SNR-A : il s'agit du rapport entre la puissance d'une raie pure et la puissance des parasites, c'est-à-dire bruit et harmoniques. Ce calcul s'effectue sur le spectre du signal en sortie avec une pondération de type A. Nous pouvons noter que cet indicateur est exactement l'inverse de la THD+N en exceptant la pondération (voir la figure I.10).

I.3.2.4 Taux de réjection des bruits d'alimentation

Il est également primordial de connaître l'impact de bruit d'alimentation sur le signal audio en sortie. Dans les téléphones mobiles par exemple, une fréquence parasite de 217 Hz apparaît lorsque le téléphone échange des données avec un relai (fréquence des trames). Cette fréquence se retrouve dans la tension d'alimentation perturbant l'écoute. La mesure de la réjection du bruit d'alimentation notée PSRR (pour « Power Supply Rejection Ratio » en anglais) est donc un indicateur important. Il faut pour cela injecter une perturbation dans la tension d'alimentation, et mesurer le rapport entre l'amplitude de la perturbation injectée et celle de l'harmonique correspondante dans le signal de sortie [13]. La figure I.11 illustre de façon simple la façon dont est mesuré le PSRR.

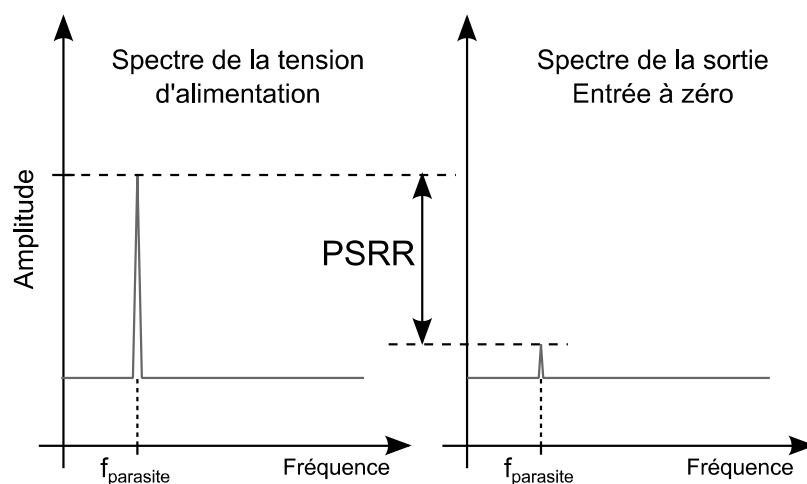


FIGURE I.11 - Illustration du taux de réjection des bruits d'alimentation

I.3.2.5 Notion de Haute-Fidélité

La Haute-Fidélité (HiFi en anglais pour « High Fidelity ») pour les appareils audio n'est pas un concept clairement défini. La première tentative pour définir ce qu'est la haute-fidélité date de 1973 avec la norme allemande DIN 45500-6. Les concepteurs d'équipement audio se sont alors concentrés sur la distorsion, le bruit de fond, les perturbations basse fréquence (appelé « hum » en anglais), mais également sur la linéarité de l'amplificateur en amplitude et en fréquence. Ce concept de haute-fidélité est de fait plutôt une appellation commerciale plutôt qu'une véritable norme. A notre époque, les choses ont quelque peu évolué du fait de l'apparition de l'audio numérique. En effet, de nouveaux phénomènes se sont ajoutés par rapport à l'audio analogique, comme la quantification et de l'échantillonnage. Ces phénomènes ne sont pas pris en compte dans la norme alors qu'ils jouent un rôle important dans l'appréciation de la qualité audio. Le terme de haute-définition a ainsi fait son apparition pour remplacer la haute-fidélité en référence à la haute-définition des écrans récents, mais cela reste toujours une appellation commerciale. En résumé, seules les mesures classiques de niveau de bruit, de distorsion et de plage dynamique avec un gain plat sur toute la bande audio sont des moyens reconnus de caractériser la qualité d'un appareil audio.

I.4 Amplificateurs de classe D

Les différents types d'amplificateurs sont rangés par classe. Les plus connues sont les classes A, B, AB, et D. Les autres classes d'amplificateurs utilisées dans les applications audio comme G ou H sont basées sur ces classes principales, avec l'ajout de fonctions évoluées pour améliorer la consommation (par exemple, la modulation de la tension d'alimentation). Il y'aurait beaucoup à dire sur chacune de ces classes d'amplificateur, nous renvoyons à d'autres ouvrages comme [9] ou [14] pour plus de détails. Seuls les amplificateurs de classe D feront l'objet d'une étude ici.

I.4.1 Principe de base

L'amplificateur de classe D contrairement aux autres classes n'utilise pas les transistors de l'étage de sortie dans leur mode linéaire. Le principe est d'appliquer à la charge la tension d'alimentation de façon positive, négative ou nulle, de manière discontinue à des fréquences en dehors de la bande audio. Deux façons courantes de piloter l'étage de puissance sont : la modulation de largeur d'impulsion appelée PWM pour « Pulse Width Modulation », et la modulation de densité d'impulsion (PDM pour « Pulse Density Modulation ») utilisant la modulation Delta-Sigma, notée $\Delta\Sigma$

pour abréger. Nous utilisons dans ce manuscrit la convention donnée dans le livre de Schreier [15], mais la notation Sigma-Delta ($\Sigma\Delta$) est tout aussi courante dans la littérature.

La modulation PWM dans son expression la plus simple consiste à comparer le signal d'entrée avec un signal en dent de scie. Lorsque le signal d'entrée est à une valeur basse, la sortie du comparateur est brièvement à '1' au début de la période du signal en dent de scie puis à '0' le reste de la période. Lorsqu'il est à une valeur haute, la sortie du comparateur est longtemps à '1' et très peu à '0'. Ce type de modulation permet donc bien de rendre une image du signal d'entrée sur deux niveaux logiques.

Le principe de la modulation $\Delta\Sigma$ est le suivant : le signal est échantillonné à une fréquence très supérieure à la fréquence de Nyquist, puis il entre dans un filtre rebouclé constitué de un ou plusieurs intégrateurs. La sortie de ce filtre est ensuite quantifiée sur un très faible nombre de valeurs, par exemple deux valeurs. Et ce signal quantifié est réinjecté en rétroaction du filtre rebouclé. La quantification génère un bruit très important, qui est repoussé vers les hautes fréquences du fait des caractéristiques du filtre rebouclé. Le signal d'entrée n'est quant à lui peu ou pas modifié d'un point de vue fréquentiel, du moins dans la bande audio. Ce type de modulation sera traité beaucoup plus en détail dans le chapitre II.

La figure I.12 représente un pont en H de transistors MOSFET, façon très commune d'implémenter l'étage de puissance. Ce montage a l'avantage de permettre d'actionner le haut-parleur de trois façons différentes matérialisant une valeur '+1', '-1' ou '0'. Des diodes sont ajoutées en parallèle des MOSFET afin de limiter les surtensions aux bornes des transistors, le haut-parleur étant fortement inductif.

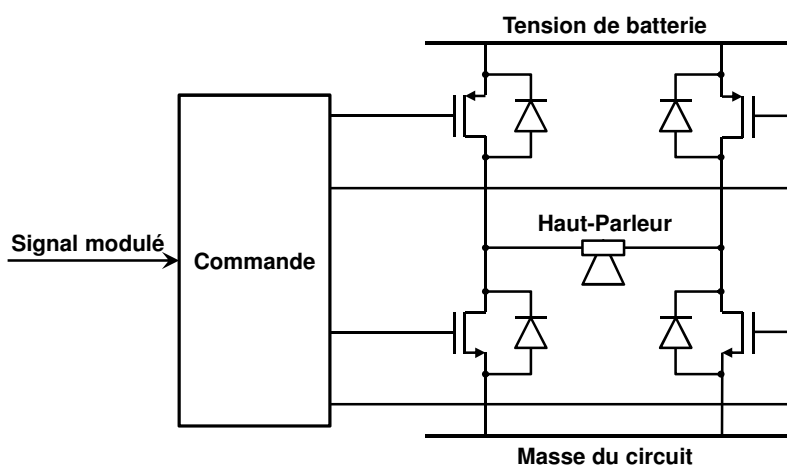


FIGURE I.12 - Etage de puissance type « pont en H »

L'intérêt de l'amplificateur de classe D est sa grande efficacité. Théoriquement, si les transistors n'ont pas de résistance drain-source et que la commutation des transistors ne consomme pas, le rendement de l'étage de puissance est égal à 100%. C'est pour cela que ce type d'amplificateur a d'abord été utilisé pour les applications de grande puissance, où l'échauffement dû à des forts courants est un problème très important. Il l'est également sur les applications embarquées fonctionnant sur batterie, où la consommation doit être la plus faible possible.

I.4.2 Problèmes inhérents à l'amplificateur de classe D

I.4.2.1 Étage de puissance

L'étage de puissance de l'amplificateur doit être piloté de façon à ce que les transistors ne puissent conduire le courant directement du nœud d'alimentation (tension de batterie notée V_{bat} dans la figure I.12) à la masse. Si les transistors P et N commutent en même temps, il pourrait y avoir une surconsommation de courant aux transitions qui mettrait le circuit en danger. Un certain délai est donc inséré entre la commutation du transistor N et du transistor P. Il doit être suffisamment long pour interdire la conduction directe dans une branche, et suffisamment court pour ne pas trop augmenter la distorsion. Un autre problème souvent rencontré vient du fait que les transistors de l'étage de puissance ne sont pas identiques. Cela donne des temps de montée et de descente du signal différents (surtout entre les paires de transistors PMOS et NMOS) selon la suite de commandes du pont en H, et peut générer des raies discrètes et du bruit dans la bande audio dégradant SNR et THD. C'est pour cela qu'une architecture avec une boucle de rétroaction entre la sortie de l'étage de puissance et l'entrée du modulateur est utilisée afin d'atténuer ces phénomènes parasites dans la bande audio

I.4.2.2 Efficacité énergétique

La formule de l'efficacité énergétique η de l'amplificateur de classe D est donnée par le rapport $\eta = P_{charge}/P_{batterie}$, où P_{charge} et $P_{batterie}$ désignent respectivement : la puissance consommée par la charge, c'est-à-dire le haut-parleur, et la puissance délivrée par la batterie au circuit. Nous utilisons la formule de la puissance :

$$P = \frac{1}{T} \int_0^T u(t) \cdot i(t) dt \quad (I.7)$$

La puissance P_{charge} est dissipée dans la résistance R_{charge} du haut-parleur. Nous obtenons :

$$P_{charge} = \frac{1}{R_{charge}T} \int_0^T u^2(t)dt = \frac{u_{RMS}^2}{R_{charge}} \quad (I.8)$$

La puissance $P_{batterie}$ délivrée par la batterie, de tension V_{bat} , est quant à elle égale à :

$$P = \frac{1}{T} \int_0^T V_{bat} \cdot i_{bat}(t)dt = V_{bat} \cdot \langle i_{bat}(t) \rangle \quad (I.9)$$

$\langle i_{bat}(t) \rangle$ est la valeur moyenne du courant fourni par la batterie. Nous obtenons donc des équations (I.7), (I.8) et (I.9)

$$\eta = \frac{u_{RMS}^2}{R_{charge} \cdot V_{bat} \cdot \langle i_{bat}(t) \rangle} \quad (I.10)$$

L'efficacité est le point fort de la classe D, la puissance délivrée à la charge est optimisée tout en limitant la dissipation de chaleur. Il est possible d'atteindre des rendements de l'ordre de 90%. Au niveau des pertes par effet Joule, le paramètre évident à prendre en compte est la résistance drain-source r_{ds} des transistors de l'étage de puissance mais également l'impédance du haut-parleur. Une deuxième source de perte peut venir de la présence de composantes parasites dans la bande passante du haut-parleur qui est un filtre passe-bas avec une fréquence de coupure de l'ordre de la dizaine de kHz. Pour éliminer cet effet, il faut soit faire en sorte d'éviter ces parasites dans la conception du modulateur (PWM ou PDM), soit filtrer la sortie de l'étage de puissance pour ne laisser que le contenu de la bande audio.

I.4.2.3 Émissions Électromagnétiques

A la sortie d'un amplificateur de classe D, de forts courants circulent entre l'étage de puissance et le haut-parleur, qui sont reliés par des câbles ou des lignes de métal plus ou moins longues. Du fait de ces forts courants, la façon dont sont agencés ces câbles ou lignes de métal couplés à l'inductance du haut-parleur peut générer des émissions électromagnétiques. En plus de diminuer l'efficacité de l'amplificateur, ces émissions peuvent perturber des systèmes proches. La fréquence de ces émissions électromagnétiques dépend du type de modulation employée. Des émissions seront observées tout d'abord à la fréquence de fonctionnement du modulateur, si elle est fixe, souvent de l'ordre du MHz. Ensuite, le signal de contrôle des transistors de l'étage de puissance est carré à l'ordre zéro. Cette caractéristique va créer des harmoniques à des fréquences plus élevées dont l'amplitude va être dépendante du temps de montée entre les états « haut » et « bas » [16].

Baisser les temps de montée et descente du signal modulé permet de limiter ce problème mais cela nécessite d'augmenter la zone d'extinction du pont en H, ce qui dégrade le THD [17]. Il est possible aussi d'utiliser une technique dite de « spread-spectrum » qui permet d'étaler au niveau spectral les commutations du signal [18]. Ainsi, les émissions électromagnétiques se trouvent avec une puissance étalée sur une large bande de fréquence et ne posent plus vraiment problème. Cette technique augmente toutefois la complexité du circuit avec l'ajout de blocs analogiques supplémentaires, comme des boucles à verrouillage de phase et des générateurs de signaux pseudo-aléatoires. Enfin, une dernière technique est de faire varier la fréquence de commutation de l'étage de puissance avec un modulateur de type auto-oscillant [19]. Ainsi, la puissance se trouve étalée sur une plus large bande, réduisant les risques d'interférence.

I.4.3 Amplification de classe D avec un modulateur de largeur d'impulsions

I.4.3.1 Principe du modulateur de largeur d'impulsions

Le principe de la modulation en largeur d'impulsion (PWM pour « Pulse Width Modulation ») est illustré sur la Figure I.13. Le signal d'entrée est comparé à une fonction « dent de scie ». Un signal modulé est ainsi créé, il ne prend que deux valeurs et contient tout le signal dans la bande audio. Ce dernier signal va contrôler un étage de puissance qui va à son tour actionner le haut-parleur. Un filtre de sortie peut également être ajouté pour supprimer les composantes fréquentielles non désirées. L'étage de puissance représenté ici est simple (« single-ended »). Le haut-parleur est connecté entre la masse et la sortie de l'étage de puissance, ce qui fait que la tension aux bornes du haut-parleur est soit $V+$, soit $V-$.

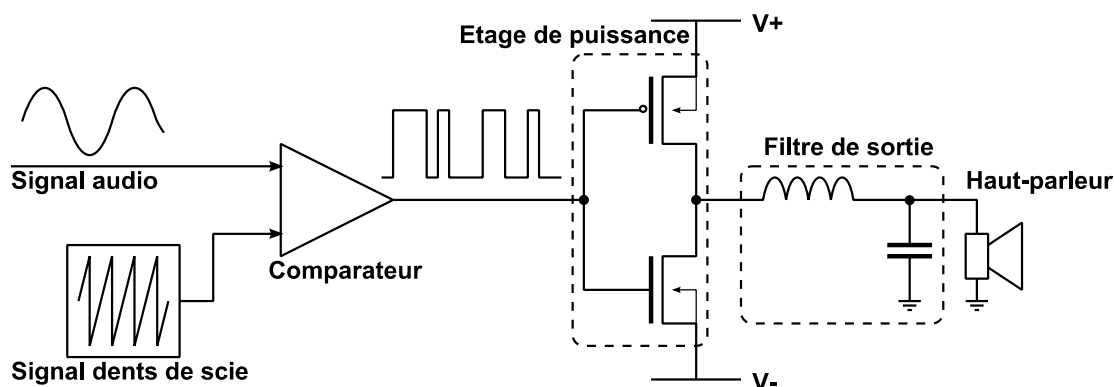


FIGURE I.13 - Illustration du principe du modulateur PWM

Une implémentation différentielle du premier ordre avec réjection des bruits d'alimentation est donnée sur la Figure I.14. Cette implémentation est dépourvue de filtre après l'étage de puissance, car la modulation employée fait que le signal différentiel est nul au repos, limitant ainsi la valeur du

courant instantané dans la charge, c'est la modulation de type BD [20]. Le haut-parleur est lui-même par sa conception un filtre passe-bas, il est souvent modélisé par une résistance en série avec une inductance. La fréquence de coupure de ce filtre intrinsèque se trouve autour de 84 kHz pour une inductance de 15 μH et une résistance de 8 Ω (charge typique pour un micro haut-parleur [21]).

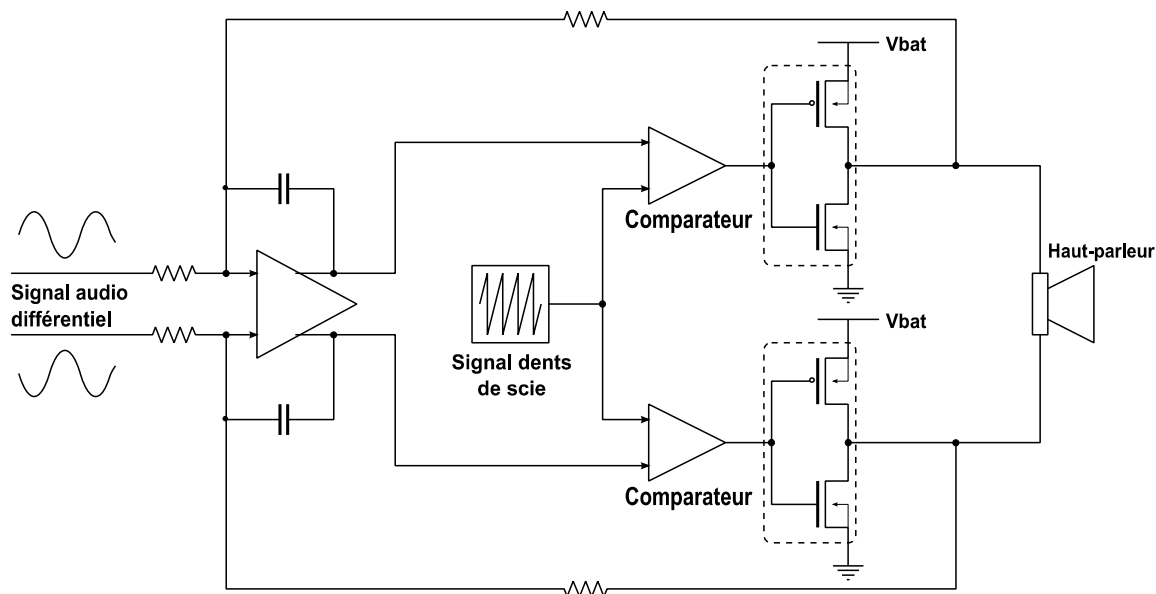


FIGURE I.14 - Modulateur de classe-D différentiel PWM du 1^{er} ordre

Néanmoins, il existe un autre type de modulation, de type AD, où le signal différentiel varie entre plus et moins la tension de batterie. Ce dernier type nécessite certes un filtre en sortie, mais les émissions électromagnétiques des deux signaux différentiels, en opposition de phase, s'annulent mutuellement, ce qui constitue un net avantage. Une comparaison des deux types de modulation est réalisée dans [20].

En boucle ouverte comme sur la Figure I.13, des imperfections des parties analogiques et du bruit d'alimentation de l'étage de puissance dégradent le signal émis par le haut-parleur. Le montage représenté sur la Figure I.14 propose donc une contre-réaction négative du premier ordre du signal PWM vers un intégrateur R-C. Ce principe peut être élargi à des ordres de contre-réaction plus élevés, comme dans [22] où les auteurs utilisent une boucle du second ordre.

I.4.3.2 Avantages et limites du modulateur de largeur d'impulsions

Voici un avantage de la structure présentée sur la Figure I.14 : pour une entrée nulle, les signaux de l'étage de puissance sont en phase, et donc, la tension différentielle aux bornes du haut-parleur reste nulle. La consommation reste ainsi faible malgré les commutations de l'étage de puissance. En revanche, pour une entrée non nulle, les signaux de sortie ne sont plus en phase et le spectre contient

des raies discrètes multiples de la fréquence du signal en dents de scie. Pour que ces raies puissent être filtrées par le haut-parleur, il est intéressant d'augmenter la fréquence du signal triangulaire, cependant, cela augmente en même temps la fréquence de commutation de l'étage de puissance et la consommation. Une fréquence autour de 300 kHz est classiquement choisie comme compromis [9].

Le modulateur PWM de la figure I.14 possède néanmoins quelques inconvénients, le principal étant son faible taux de réjection du bruit d'alimentation (faible PSRR). La cause principale est que les deux résistances dans le chemin de retour du signal PWM n'ont pas exactement la même valeur. Ainsi, les bruits d'alimentation ne sont pas corrigés de la même façon du côté positif et négatif du modulateur et se retrouvent significativement dans le signal audio en sortie. De ce fait, il est difficile pour un tel modulateur de répondre aux attentes de forte réjection de nombreuses sources de perturbations dans les téléphones portables modernes. Les auteurs de [23] ont publié un mécanisme de compensation de cet effet en mesurant l'effet de l'erreur d'appariement des résistances et en injectant cette compensation à travers la tension de référence des intégrateurs, ainsi qu'au niveau de la génération du signal triangulaire. Cela constitue une amélioration de l'amplificateur décrit dans [21], le PSRR à 217 Hz passe ainsi de 63 dB à 81 dB.

D'autre part, les implémentations récentes d'amplificateurs audio de classe D utilisant une modulation PWM possèdent une entrée numérique. Si leur boucle de modulation est analogique, un convertisseur numérique-analogique (DAC pour « Digital-to-Analog Converter ») est nécessaire. Ce DAC représente ainsi un surcroît important de complexité dans la conception de la chaîne d'amplification car ses performances en termes de bruit, distorsion et réjection des perturbations peuvent limiter les performances totales de la chaîne, ainsi que sa sensibilité aux bruits de phase de l'horloge. L'amplificateur présenté dans [24] possède cette topologie, ses performances en termes de plage dynamique (113 dB) et de distorsion (-84,4 dB) sont très importantes avec l'ordre élevé de la boucle mais aucun commentaire n'est fait sur l'influence du bruit de phase sur les performances de l'amplificateur avec son DAC placé en boucle ouverte. L'architecture du système présentée dans cette publication suggère néanmoins un mécanisme de génération d'horloge à très faible bruit.

Il existe enfin des modulateurs PWM numériques [25]. Ils se composent d'un modulateur numérique (cascade d'intégrateurs comme pour les modulateurs analogiques) et d'un « quantificateur » PWM numérique générant une largeur de l'impulsion discrète. Même si l'erreur générée par cette discrétisation est filtrée par le modulateur, il n'en faut pas moins une fréquence d'horloge plus élevée que les modulateurs analogiques afin d'avoir une plus grande plage de largeurs d'impulsion possibles. Cette implémentation est très intéressante car étant numérique, la surface est très faible et son fonctionnement ne dépend pas des paramètres technologiques.

I.4.4 Amplificateurs de classe D avec un modulateur de densité d'impulsions

Les amplificateurs de classe D en densité d'impulsions (PDM pour « Pulse Density Modulation ») fonctionnent grâce à des modulateurs $\Delta\Sigma$ qui génèrent à haute fréquence (quelques MHz) des impulsions plus ou moins regroupées selon la valeur du signal d'entrée. Dans le cas des amplificateurs de classe D, il n'est possible de piloter l'étage de puissance qu'avec valeurs : '+1', '-1' et '0'. Il s'agit donc de quantifier le signal en utilisant ces trois valeurs. Cela crée une erreur importante de quantification à filtrer. Les sections II.1 et II.2 porteront sur ce type de modulateurs.

Un amplificateur de classe D PDM est composé d'intégrateurs en cascade, d'un quantificateur et d'une boucle de rétroaction venant soustraire au signal d'entrée le signal de sortie. Les intégrateurs peuvent être soit temps continu : montage d'amplificateurs avec résistance et capacité en cascade, soit temps discret. Dans le cas des temps discret, l'implémentation peut-être analogique, grâce à la technique des capacités commutées, où les gains sont réalisés par des rapports de capacités [26].

Les auteurs de [27] proposent une boucle analogique mixte temps continu et temps discret du 4^{ème} ordre. Seul le premier intégrateur est temps continu et les trois autres sont à capacités commutées. L'avantage de cette technique est qu'elle ne nécessite pas d'échantillonnage de la sortie de l'étage de puissance. Ainsi, toutes les perturbations au niveau de l'étage de puissance sont intégrées et compensées dans la boucle permettant théoriquement une valeur importante de PSRR et de THD, conditionnée à une bonne conception du premier intégrateur. Ensuite, les auteurs utilisent des capacités commutées afin de tirer parti d'une meilleure maîtrise des variations technologiques dans la réalisation d'un rapport de capacités, plutôt que dans celle du produit d'une résistance et d'une capacité.

Cette technique peut évidemment être également numérique. De la même façon que pour les modulateurs PWM, l'avantage des solutions analogiques est de pouvoir prendre directement la valeur de la tension de sortie pour effectuer la rétroaction et ainsi obtenir une valeur de PSRR élevée. Faire la même chose avec un modulateur numérique nécessite une conversion analogique-numérique avec un ADC.

I.4.5 Amplificateurs de classe D avec un modulateur de fréquence

Ce dernier type d'amplificateur de classe D se présente comme une alternative aux modulateurs classiques PWM et $\Delta\Sigma$. La figure I.15 illustre une implémentation différentielle d'un amplificateur à modulation de fréquence. L'architecture est la même que pour un modulateur $\Delta\Sigma$ à ceci près que le

quantificateur, ou comparateur, possède une hystérésis. Si nous prenons un signal d'entrée positif, la sortie de l'intégrateur va dépasser le seuil haut du comparateur à hystérésis après un certain temps, un +1 sera alors envoyé pour commander l'étage de puissance. Ce signal est ensuite soustrait dans l'intégrateur au niveau de la rétroaction sur l'entrée. Ce dernier passera donc ensuite au-dessous du seuil bas du comparateur. La largeur du signal de commande diminuera d'autant plus que l'entrée est grande. Le signal audio est ainsi modulé en fréquence pour piloter l'étage de puissance.

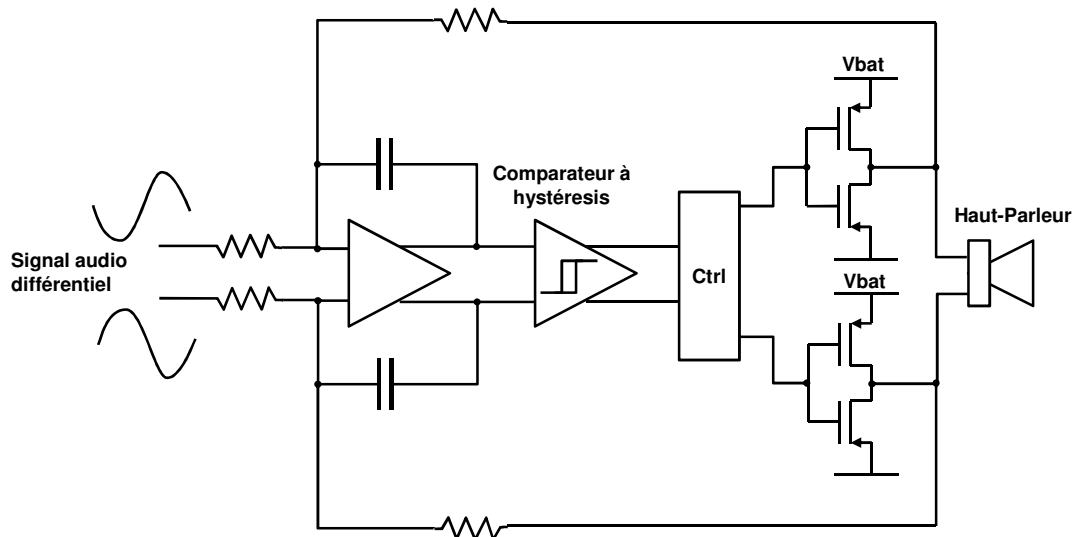


FIGURE I.15 - Modulateur de classe-D différentiel à modulation de fréquence

Les auteurs de [28] proposent une comparaison intéressante entre ce type de modulateur et la modulation PWM. Le principal avantage est un taux de distorsion bien meilleur, d'environ 20 dB, tandis que le principal inconvénient serait la haute fréquence requise pour atteindre de bonnes performances et la possible incompatibilité de cette fréquence avec le reste du système. Dans [29], les auteurs utilisent cette technique ainsi qu'une fonction de transfert particulière pour obtenir un amplificateur avec des performances dans la moyenne pour une consommation au repos dix fois inférieure à celles observées pour les autres amplificateurs du tableau comparatif (tableau I.2). Ils n'utilisent en effet qu'un seul amplificateur opérationnel pour réaliser leurs fonctions de transfert. La fonction de transfert utilisée est différente de la chaîne d'intégrateurs classique car elle utilise un contrôle de mode glissant (SMC pour « Sliding Mode Controller »). Cette fonction de transfert est fortement non linéaire et la méthode usuelle d'analyse des modulateurs PWM et PDM ne s'applique pas, Berkhout montre en effet dans [20] que le comparateur à hystérésis d'appareille à un intégrateur et non à l'addition simple d'une erreur de quantification (voir l'analyse des modulateurs $\Delta\Sigma$ dans le chapitre II). Peu de composants sont utilisés pour cet amplificateur, permettant une faible surface de silicium et une faible consommation. Toutefois, l'ordre utilisé ici est faible, ainsi que la fréquence de commutation obtenue (450 kHz), et cela ne permet pas d'obtenir une très bonne réjection de la distorsion pour des puissances moyennes (-46 dB à -8 dBFS). De plus, la correction de la distorsion

proposée engendre une atténuation ne permettant que d'atteindre 250 mW de puissance maximale à une tension de batterie de 2.7 V, c'est-à-dire 860 mW en normalisant la puissance pour une tension de 5 V.

I.4.6 Amplificateurs de classe D à entrée numérique

Les amplificateurs de classe D possédant une entrée numérique peuvent avoir trois types d'architecture différente [30]. Les trois techniques de modulation présentées précédemment, c'est-à-dire PWM, PDM et auto-oscillant, peuvent être appliquées indépendamment à ces types d'architecture. Les architectures sont toujours différentielles afin de rejeter toute erreur dans le mode commun mais nous les avons représentées avec une sortie simple pour simplifier les figures.

La première structure, dite « en boucle ouverte », est représentée sur la figure I.16. Elle est entièrement numérique. Le signal numérique est porté à la fréquence de fonctionnement du modulateur dans un filtre interpolateur. Ensuite le modulateur intègre la différence entre l'entrée et la sortie. La sortie du modulateur est quantifiée (PWM [25], PDM ou auto-oscillant) afin de contrôler l'étage de puissance. Le fait que cette solution soit entièrement numérique permet une intégration très aisée sur circuit intégré qui profite de la réduction de la taille des transistors. Son désavantage est l'absence de réjection des bruits de l'alimentation lorsque le haut-parleur est alimenté directement par la tension de batterie. En effet, dans [25], les auteurs obtiennent une réjection de 80 dB avec une entrée égale à zéro, c'est-à-dire quand l'exposition à la tension de batterie est quasi nulle, cette réjection tombant à presque 0 dB pour la puissance maximale de sortie. Ce désavantage signifie que l'alimentation doit être régulée et l'étage de puissance isolé. C'est assez difficile dans les applications mobiles, à la fois techniquement et en termes de prix.

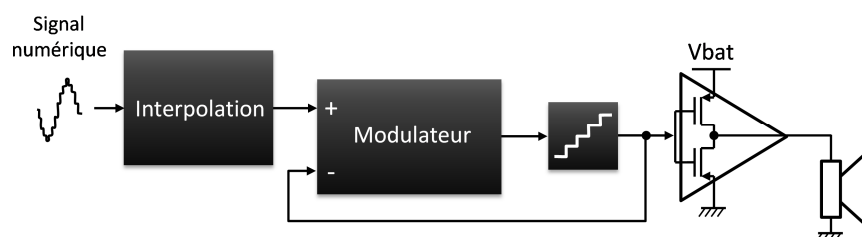


FIGURE I.16 – Amplificateur à entrée numérique en boucle ouverte

La figure I.17 représente une architecture en boucle fermée. Un modulateur numérique contrôle l'étage de puissance, mais la rétroaction se fait après l'étage de puissance grâce à un ADC. C'est la structure adoptée dans cette thèse et dans [31]. Dans [31], le signal d'entrée après interpolation est comparé au signal de rétroaction, la différence passe dans une chaîne d'intégrateurs, la sortie est quantifiée par un modulateur PWM numérique, avant de contrôler l'étage de puissance. La sortie de

l'étage de puissance est ensuite filtrée avant d'être reconvertie en numérique dans un ADC de type SAR (Registre à Approximations Successives). Cet amplificateur est conçu pour piloter un casque audio, mais l'architecture peut être adaptée aux haut-parleurs. L'avantage de cette architecture est de permettre une correction en théorie optimale des non-linéarités de l'étage de puissance, et des perturbations dans l'alimentation. Toutefois, tout délai dans la boucle de rétroaction, dû à la conversion analogique-numérique, peut déstabiliser la boucle. De plus, si l'ADC est temps discret, un filtre passe-bas doit être ajouté entre la sortie de l'étage de puissance et l'ADC, ce qui ajoute au délai.

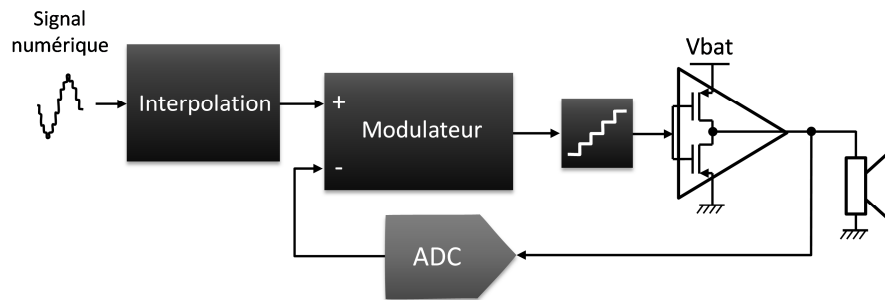


FIGURE I.17 – Amplificateur à entrée numérique en boucle fermée

Un dernier type d'amplificateur de classe D à entrée numérique avec une boucle dite « mixte » est représenté sur la figure I.18. Un modulateur numérique en boucle ouverte contrôle un DAC. Ce DAC va ensuite piloter une boucle de classe D analogique. Un exemple est présenté dans la seconde partie de [20]. Il s'agit d'un modulateur hybride comprenant un modulateur $\Delta\Sigma$ faisant passer les données audio de 24-bit à 7-bit sur-échantillonné 8 fois, un modulateur PWM numérique différentiel fonctionnant à 1024 fois la fréquence d'échantillonnage pilotant deux DAC 1-bit. Ensuite, chacun de ces DAC pilote un modulateur temps continu du 2nd ordre permettant une rétroaction analogique de la tension de sortie. L'architecture pseudo-différentielle de la partie contrôlant l'étage de puissance permet de contourner les problèmes d'appariement des résistances et d'obtenir une valeur importante de PSRR, de l'ordre de 80 dB, au prix d'une plus grande surface pour le modulateur analogique par rapport à une solution « entièrement différentielle » (« fully-differential »).

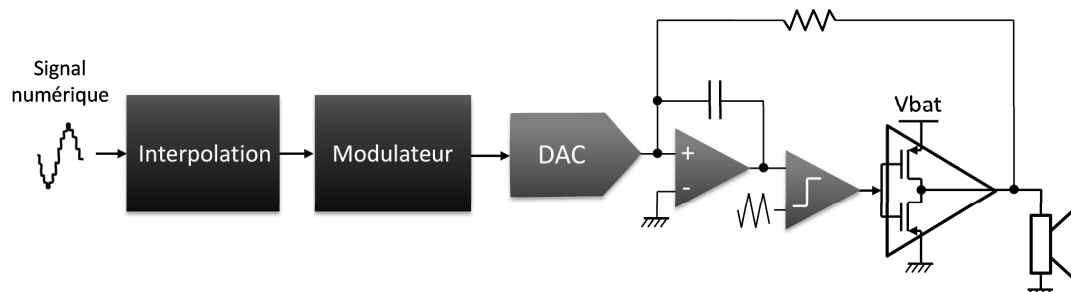


FIGURE I.18 – Amplificateur à entrée numérique avec une boucle mixte

I.4.7 Tableau comparatif d'architectures

Les architectures d'amplificateurs présentées précédemment sont représentatives de la plupart des variantes récentes d'amplificateurs de classe D. Le tableau I.2 résume leurs caractéristiques principales pour une charge standard de $8\ \Omega$. Une valeur constante d'inductance n'a pu être obtenue, mais cela ne crée des différences de valeurs qu'à la marge, dans la mesure où une valeur d'inductance élevée offre un meilleur filtrage du spectre en dehors de la bande audio, limitant ainsi le repliement de raies ou de bruit dans la bande audio. Les chiffres fournis sur les publications, et a fortiori pour les spécifications de circuit (« datasheets »), sont en général à prendre avec précaution, car ils sont très souvent donnés pour des conditions avantageuses par rapport aux forces et faiblesses de l'architecture. Par exemple, un amplificateur donné, ayant une consommation extrêmement faible mais souffrant d'une distorsion importante, donnera la valeur maximale de THD mesurée sur toute la plage d'amplitude, même si c'est pour une amplitude très faible, et non pas à des puissances usuelles d'utilisation.

Ainsi, il convient d'émettre quelques remarques quant aux valeurs données dans ce tableau. Premièrement, afin de mettre les amplificateurs sur un pied d'égalité, les valeurs de THD+N données ont été prises à la moitié de la puissance pour laquelle la THD+N est égale à 1%. Cela correspond à une puissance d'écoute typique, tandis que la valeur maximale de THD+N peut concerner des puissances de sortie assez différentes selon l'architecture. De plus, nous avons recalculé la plage dynamique de la même façon pour les publications à partir du bruit de sortie RMS intégré sur la bande audio avec une pondération de type A et de l'amplitude maximale RMS. Nous définissons également dans le tableau la puissance maximale pour laquelle la distorsion commence à dépasser un niveau « acceptable » (THD+N = 1% ou -40 dB). Cette puissance est parfois donnée à 10% de THD+N. Et enfin, dans un produit commercial, il est important de prendre en compte la variation de la tension de batterie qui n'est pas la même lorsqu'elle est en charge (5.5 V) et lorsqu'elle est presque vide (2.5 V) [21]- [26].

Auteur – [référence]	Huffenus - [23] - [21] ⁽¹⁾	Wang - [25]	Berkhout - [20]	Matamura - [27]	Analog Device - [26]	Rojas - [29]
Type	PWM temps continu	PWM numérique	PWM numérique / boucle analogique	$\Delta\Sigma$ temps continu / discret analogique	Entrée PDM / $\Delta\Sigma$ analogique temps discret	Modulateur analogique à hystérésis (ternaire)
Plage dynamique A-w	95 dB	122 dB	95 dB	103dB	95 dB	/
SNR à -6 dB	85 dB	91,5 dB	92 dB	/	/	92 dB
THD+N à $P_{THD=1\%/2}$ (max.)	-52 dB (-57 dB)	-85 dB (-84 dB)	-80 dB (-81 dB)	-91 dB (-91 dB)	-60 dB (-74 dB)	-64 dB (-71 dB)
PSRR (à 217 Hz)	80 dB	82 dB entrée nulle ⁽²⁾	80 dB	60 dB	85 dB	81 dB
$P_{THD=1\%}$	1,4 W	0,4 W (1,11 W) ⁽³⁾	1 W	1,48 W	1,38W	0,25 W (0,86 W) ⁽³⁾
Courant	2,3 mA ⁽⁴⁾	2,4 mA	/	3,2 mA	3,2 mA	0,21 mA
Tension de batterie	2.4 – 5.5 V	3 V	2,7 – 5 V	5 V	2,5 V – 5 V	2,7 V
$F_{commutation}$	250 kHz	667 kHz	350 kHz	300 kHz	290 kHz	450 kHz
Techno. CMOS	0.25 μ m	65 nm	0.14 μ m	0.35 μ m	/	0.5 μ m

⁽¹⁾ Seule la valeur de PSRR vient de la publication [23], les autres valeurs provenant de [21]

⁽²⁾ Il convient de rappeler ici que cette architecture n’offre une réjection des bruits d’alimentation que pour une entrée nulle, cette valeur tombant à 0 dB pour la puissance maximale.

⁽³⁾ Les valeurs entre parenthèses sont normalisées à 5 V à titre de comparaison car les amplificateurs proposés fonctionnent à des tensions inférieures.

⁽⁴⁾ Cette mesure de courant est donnée sans charge. Nous le précisons car l’étage de puissance consomme du courant même pour une entrée nulle.

TABLEAU I.2- Tableau comparatif des performances des exemples d’amplificateurs

I.5 Conclusion du chapitre

Ce premier chapitre a pour but de permettre au lecteur de mieux comprendre les enjeux de la conception d'un amplificateur audio de classe D. Nous avons choisi de commencer en consacrant une courte section au marché des amplificateurs audio, étant donné le contexte de cette thèse en partenariat avec une entreprise, et portant sur un système à visée commerciale. Nous avons montré comment ce marché particulier guidait la conception et le dimensionnement des produits, ainsi que le choix de la technologie. Nous avons ensuite rapidement présenté des notions de traitement du signal afin d'expliquer certaines problématiques comme la différence entre un traitement temps continu et temps discret d'un signal. L'échantillonnage avec notamment l'interpolation et la décimation, le fenêtrage et la quantification ont également été brièvement décrits. Ces notions de base expliquent une part importante des phénomènes parasites limitant les performances d'un modulateur $\Delta\Sigma$, comme nous le verrons dans le chapitre II.

Nous avons ensuite décrit différents critères de qualité audio utilisés dans l'industrie, caractérisant le bruit ou la distorsion, et nous les avons mis en relation avec des observations sur l'oreille humaine. Tous ces différents critères s'entremêlent parfois, au gré des habitudes des concepteurs. Par exemple, le SNR est égal à l'inverse de la THD+N, quand la distorsion est négligeable devant le bruit de quantification et le bruit thermique. Ces critères offrent un aperçu assez partial des performances d'un dispositif, car ils peuvent cacher des problèmes n'apparaissant qu'à certaines puissances ou dans des conditions réelles non optimales.

Nous avons enfin présenté les amplificateurs de classe D, qui font l'objet de cette thèse. Le principe commun est d'appliquer à une charge une tension pouvant prendre deux ou trois valeurs différentes à l'aide d'un pont à base de transistors à effet de champ. De nombreuses implémentations de ce type d'amplificateur ont été et sont encore proposées. Après avoir donné le principe et exposé certaines limitations intrinsèques à ce type d'amplificateur, nous nous sommes attachés à classer les grands types de modulation utilisés en fournissant un état de l'art récent. Nous avons retenu trois types de modulation : en largeur d'impulsion ou PWM, en densité d'impulsion ou PDM et une dernière catégorie en modulation de fréquence, à l'aide de comparateurs ou mécanismes à hystérésis. Nous avons également comparé dans la section I.4.6 les différentes architectures d'amplificateurs à entrée numérique.

Le tableau comparatif I.2 montre qu'il est difficile de départager les différentes techniques de modulation retenues pour l'état de l'art au regard des performances affichées pour un amplificateur de classe D. Pour chaque type de modulation, divers mécanismes ont été publiés pour améliorer les

performances de l'amplificateur (PSRR, THD, niveau de bruit, EMI, etc.) tout en conservant une consommation maîtrisée. Les modulateurs PWM et PDM sont les plus courants. La technique PWM permet une quantification très linéaire du signal d'entrée en faisant varier la largeur de l'impulsion (continuité des niveaux pour un modulateur analogique), tandis que la modulation PDM quantifie sur un certain nombre de niveaux avec une largeur d'impulsion fixe. Cette moindre linéarité est compensée par un ordre de modulateur et une fréquence de fonctionnement plus élevés. La technique des modulateurs auto-oscillants n'est pas encore répandue dans les amplificateurs commerciaux, mais elle présente de très bons avantages en termes de complexité, linéarité et consommation, car sa fréquence de fonctionnement varie en fonction du signal.

Ce travail de thèse porte sur l'implémentation d'un amplificateur de classe D constitué d'un modulateur numérique pilotant l'étage de puissance avec un ADC dans la boucle de rétroaction. Cette architecture n'a jamais été utilisée pour piloter un haut-parleur, du fait de problèmes de stabilisation et des limitations des performances par l'ADC. Nous l'avons choisie car comme nous l'avons vu dans la section I.4.6, elle permet d'obtenir une meilleure réjection des erreurs de l'étage de puissance que les boucles d'amplification analogiques, très couramment utilisées. Nous verrons dans les chapitres suivants les techniques utilisées pour obtenir des performances égales ou supérieures à celles de l'état de l'art avec l'architecture de classe D numérique que nous proposons.

Références du chapitre I

- [1] T. Edison, «Phonograph or Speaking Machine». US Brevet 200521, 1878.
- [2] W. Leach, «Electronic Technology,» J. Audio Engineering Soc., vol. 46, pp. 59-70, 1998.
- [3] B. Blesser et D. Pilkington, «Global Paradigm Shifts in the Audio Industry Part 2,» J. Audio Engineering Society, vol. 48, pp. 946-959, 2000.
- [4] Research in China, «Class D Audio Amplifier IC Market Report 2007-2008,» 2008.
- [5] A. V. Oppenheim et R. Schaffer, Discrete-Time Signal Processing Third Edition, Prentice Hall, 2009.
- [6] A. Oppenheim et A. Willsky, Signals and Systems, Second Edition, Prentice Hall, 1997.
- [7] MathWorks, Matlab (r2010b).
- [8] D. Roach, S. Janus et W. Jones, High Definition Audio for the Digital Home, Intel Press, 2006.
- [9] D. Self, Audio Power Amplifier Design Handbook, Focal Press, 2009.
- [10] H. Fletcher et W. A. Munson, «Loudness, Its Definition, Measurement and Calculation,» J. Acoust. Soc. Am., pp. 82-108, 1933.
- [11] R. S. Pierre et D. J. Maguire, «The Impact of A-weighting Sound Pressure Level Measurements during the Evaluation of Noise Exposure,» chez NOISE-CON, 2004.
- [12] Intersil, Audio Quality Measurement Primer - AN9789, 1998.
- [13] Texas Instruments, «Get low-noise, low-ripple, high-PSRR power with the TPS717xx,» Analog Applications Journal, pp. 17-19, 2007.
- [14] B. Cordell, Designing Audio Power Amplifiers, McGraw-Hill Professional, 2010.
- [15] R. Schreier et G. C. Temes, Understanding Delta-Sigma Converters, Wiley Interscience - IEEE Press, 2005.
- [16] P. e. a. Balmelli, «A Low-EMI 3-W Audio Class-D Amplifier Compatible With AM/FM Radio,» IEEE JSSC, vol. 48, n° 18, 2013.
- [17] N. Abouchi, P. Marguery et G. Pillonnet, «Reduction of Power Stage THD by Adding Output Capacitance,» chez AES, 2005.
- [18] Maxim, Spread-Spectrum-Modulation Mode Minimizes Electromagnetic Interference in Class-D Amplifiers - AN3881, 2006.

- [19] R. Cellier, A. Nagari, H. Souha, G. Pillonnet et N. Abouchi, «A Synchronized Self Oscillating Class-D Amplifier for Mobile Application,» chez ESSCIRC, 2012.
- [20] M. Berkhout et L. Dooper, «Class-D Audio Amplifiers in Mobile Applications,» IEEE Trans. on Circuits and Systems, vol. 57, n° 15, pp. 992-1002, 2010.
- [21] STMicroelectronics, 3W Filter-free Class D Audio Power Amplifier TS4962, 2007.
- [22] M. Berkhout, «An Integrated 200W Class-D Audio Amplifier,» chez ESSCIRC, 2002.
- [23] A. Hufenus, G. Pillonnet, N. Abouchi, F. Goutti, V. Rabary et R. Cittadini, «A High PSRR Class-D Audio Amplifier IC Based on a Self-Adjusting Voltage Reference,» chez ESSCIRC, 2010.
- [24] T. Ido et al., «A Digital Input Controller for Audio Class-D Amplifiers with 1-W 0.004% THD+N and 113dB DR,» chez ISSCC, 2006.
- [25] M. Wang, X. Jiang, J. Song et T. Brooks, «A 120 dB Dynamic Range 400 mW Class-D Speaker Driver with Fourth Order PWM Modulator,» JSSC, vol. 45, n° 18, pp. 1427-1435, 2010.
- [26] Analog Device, PDM Digital Input, Mono 2.4W Class-D Audio Amplifier - SSM2517, 2010.
- [27] A. Matamura, N. Nishimura et B. Y. Liu, «Filterless Multi-Level Delta-Sigma Class-D Amplifier for Portable Application,» chez ISCAS, 2009.
- [28] A. Hufenus, G. Pillonnet, N. Abouchi et F. Goutti, «A Comparison of Phase-Shift Self-Oscillating and Carrier-based PWM Modulation for Embedded Audio Amplifiers,» chez AES 128th Convention, 2010.
- [29] M. A. Rojas-González et E. Sánchez-Sinencio, «Low-Power High-Efficiency Class D Audio Power Amplifiers,» JSSC, vol. 44, n° 112, pp. 3272-3284, 2009.
- [30] R. Cellier, G. Pillonnet, N. A. et N. Abouchi, «A Review of fully digital audio class D amplifiers topologies,» chez NEWCAS, 2009.
- [31] T. Forzley et R. Mason, «A Scalable Class D Audio Amplifier for Low Power Applications,» chez AES 37th International Conference, 2009.

Chapitre II

Boucle d'amplification $\Delta\Sigma$ à rétroaction partielle

L'amplificateur de classe D numérique développé dans cette thèse s'appuie sur un concept de modulateur Delta-Sigma ($\Delta\Sigma$) numérique dont la rétroaction est distribuée. La figure II.1 propose un schéma de ce concept appelé rétroaction partielle. Le signal audio numérique sur-échantillonné à la fréquence de fonctionnement du modulateur $\Delta\Sigma$ est fourni en entrée de la boucle. On le compare avec un signal de rétroaction et la différence est intégrée dans le modulateur numérique. La sortie de la chaîne d'intégrateur est ensuite quantifiée, ce qui permet de piloter l'étage de puissance qui prend en entrée un signal '-1', '0' ou '+1'. La sortie de l'étage de puissance, analogique, est ensuite convertie en numérique dans un ADC pour donner à la boucle son signal de rétroaction.

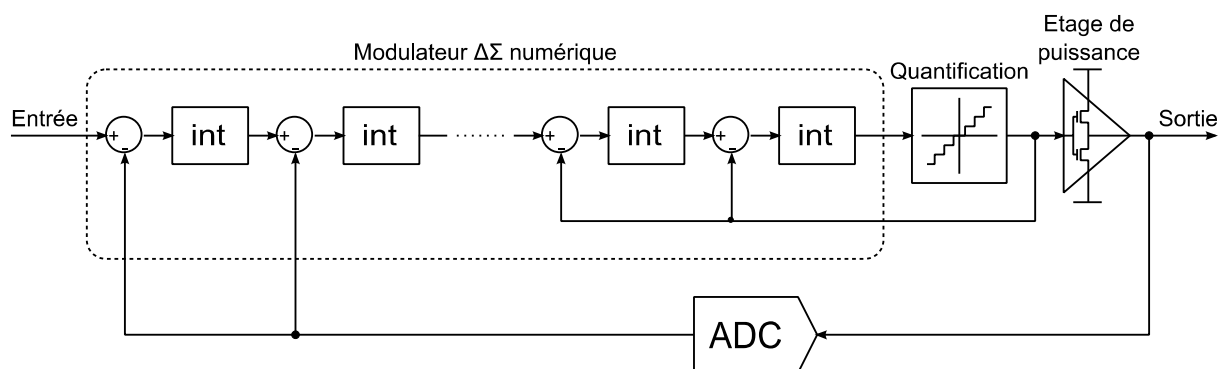


FIGURE II.1 - Schéma général du concept de rétroaction partielle

La modulation $\Delta\Sigma$ est très utilisée dans le domaine de l'audio, essentiellement pour effectuer les conversions analogique-numérique et numérique-analogique. Le principe essentiel de ce type de modulation consiste à quantifier le signal d'entrée sur un très faible nombre de niveaux, au minimum 2, et à filtrer l'erreur de quantification résultante dans la bande passante grâce au filtre intrinsèque du modulateur.

Ce principe a pour la première fois été décrit dans [1], avec les modulateurs Delta (ou Δ) en 1952. Dans cette architecture, l'intégration s'effectue dans la rétroaction sur la sortie quantifiée (voir figure II.2 (a)). Le signal d'entrée se trouve ainsi modulé par la même fonction de transfert que l'erreur de quantification. La démodulation nécessite ensuite un intégrateur et un filtre passe-bas. Le principal problème de ce type de modulation est que les basses fréquences du signal sont trop atténuées pour pouvoir les démoduler en obtenant suffisamment de dynamique par rapport au niveau de bruit.

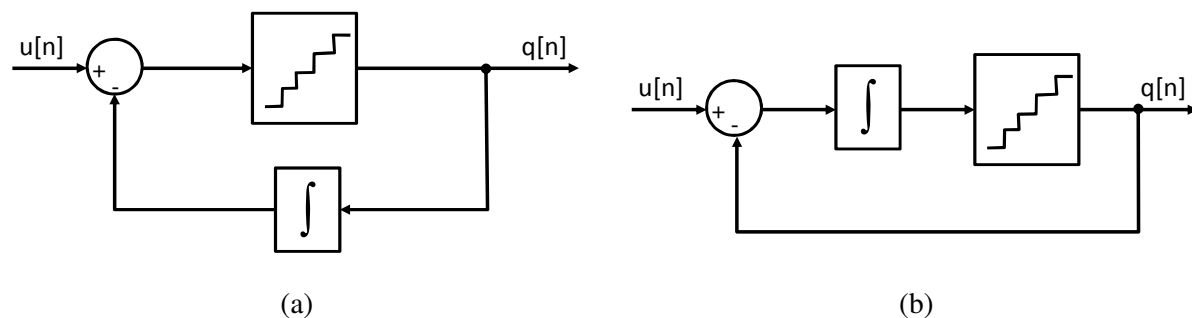


FIGURE II.2 - Schéma simplifié d'un modulateur Δ (a) et d'un modulateur $\Delta\Sigma$ (b)

A partir de la modulation Δ , les auteurs de [2] ont proposé en 1962 la modulation Delta-Sigma (ou $\Delta\Sigma$). Le passage de l'un à l'autre type de modulation est assez rapide car dans cette structure, l'intégrateur se trouve après la comparaison entre l'entrée et la sortie, juste en amont de la quantification (voir figure II.2 (b)). Dans cette implémentation, l'entrée et l'erreur de quantification possèdent leur propre fonction de transfert. Le contenu de l'entrée dans la bande passante du modulateur ne subit aucune atténuation, tandis que l'erreur de quantification est rejetée en dehors de cette bande passante.

L'architecture d'amplificateur de classe D numérique utilise la modulation $\Delta\Sigma$ pour différentes opérations. Elle est utilisée pour la transmission de données, la modulation du signal audio avant amplification dans la boucle de retour de l'amplificateur au niveau de la conversion analogique-numérique (ou ADC pour « Analogue-to-Digital Converter ») et également dans un système de correction dynamique des erreurs d'appariement de l'ADC.

Nous étudierons ainsi dans ce chapitre, le principe de la modulation $\Delta\Sigma$ à travers l'exemple d'un modulateur du premier ordre et nous verrons les principaux phénomènes mis en jeu. Dans une seconde partie, nous présenterons une méthode de dimensionnement des modulateurs. En effet, nous procédons par identification par rapport à la fonction de transfert d'un filtre en fonction de la qualité audio attendue. Nous verrons également les problèmes de stabilité qui se posent, quels sont les moyens d'action et finalement quels sont les compromis qu'il convient de faire. Nous évoquerons également le cas des modulateurs à temps continu.

Nous présenterons ensuite une étude du concept de boucle à rétroaction partielle qui a été développé et breveté par Primachip, et qui permet de placer un ADC dans la boucle de rétroaction $\Delta\Sigma$. Nous montrerons que ce principe offre un compromis entre stabilité et réjection des perturbations de l'alimentation. Et nous finirons par une étude de la consommation d'un amplificateur en fonction de la technique de modulation qu'il emploie. Nous comparerons à ce titre l'influence des modulations de type PDM et PWM sur la consommation de l'étage de puissance au niveau du nombre de commutations et du courant fourni par la batterie à la charge.

II.1 Étude d'un modulateur du premier ordre

II.1.1 Modèle linéaire du modulateur du premier ordre

Nous donnons sur les figures II.3 (a) et (b) le schéma d'un modulateur $\Delta\Sigma$ du premier ordre le plus simple. Une étude plus complète est menée dans le deuxième chapitre de [3]. Nous allons étudier son comportement en fréquence avec un modèle en transformée en Z. Le quantificateur n'est pas un composant linéaire, il est modélisé ici par un gain de 1 (non représenté) et l'addition d'une erreur $E(z)$ représentant le bruit de quantification.

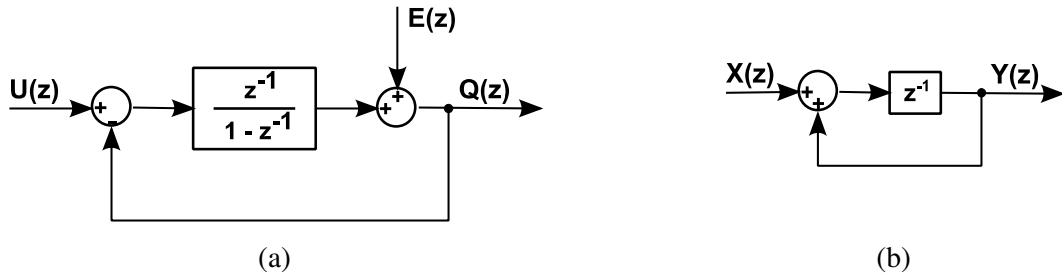


FIGURE II.3 - (a) Modulateur Delta-Sigma du premier ordre
(b) Modèle en Z de l'intégrateur

Pour obtenir les fonctions de transfert du signal et du bruit de quantification, nous recherchons l'expression de $Q(z)$ en fonction de $U(z)$ et $E(z)$.

$$Q(z) = \frac{z^{-1}}{1-z^{-1}}(U(z) - Q(z)) + E(z) \quad (\text{II.1})$$

$$Q(z) \left(1 + \frac{z^{-1}}{1-z^{-1}} \right) = \frac{z^{-1}}{1-z^{-1}} U(z) + E(z) \quad (\text{II.2})$$

Et nous obtenons :

$$Q(z) = z^{-1} \cdot U(z) + (1 - z^{-1})E(z) \quad (\text{II.3})$$

$$Q(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) \quad (\text{II.4})$$

Nous avons noté dans l'équation (II.4) STF la fonction de transfert du signal (« Signal Transfer Function ») et NTF la fonction de transfert du bruit (« Noise Transfer Function »). La STF est égale à z^{-1} , cela signifie que le signal d'entrée $U(z)$ se retrouve intégralement dans la sortie $Q(z)$, avec un décalage d'une période d'horloge. La NTF est quant à elle égale à $1-z^{-1}$. Pour obtenir la variation de l'amplitude de cette fonction de transfert en fonction de la fréquence, nous remplaçons les z par $e^{j\omega T} = e^{2\pi j f T}$ avec f la fréquence et T la période d'horloge du circuit. Nous définissons un facteur de sur-

échantillonnage OSR pour « Over-Sampling Ratio ». Ce facteur correspond au rapport entre la fréquence de fonctionnement du modulateur et la fréquence d'échantillonnage du signal numérique. Nous prendrons par la suite une valeur de 48 kHz pour cette fréquence. La figure II.4 montre la NTF pour un OSR de 8 et pour un OSR de 128. Nous pouvons voir que plus la fréquence de fonctionnement du modulateur est élevée, plus le bruit de quantification est faible dans la bande audio. Il est possible d'augmenter encore la réjection du bruit en utilisant des modulateurs d'ordre plus élevés.

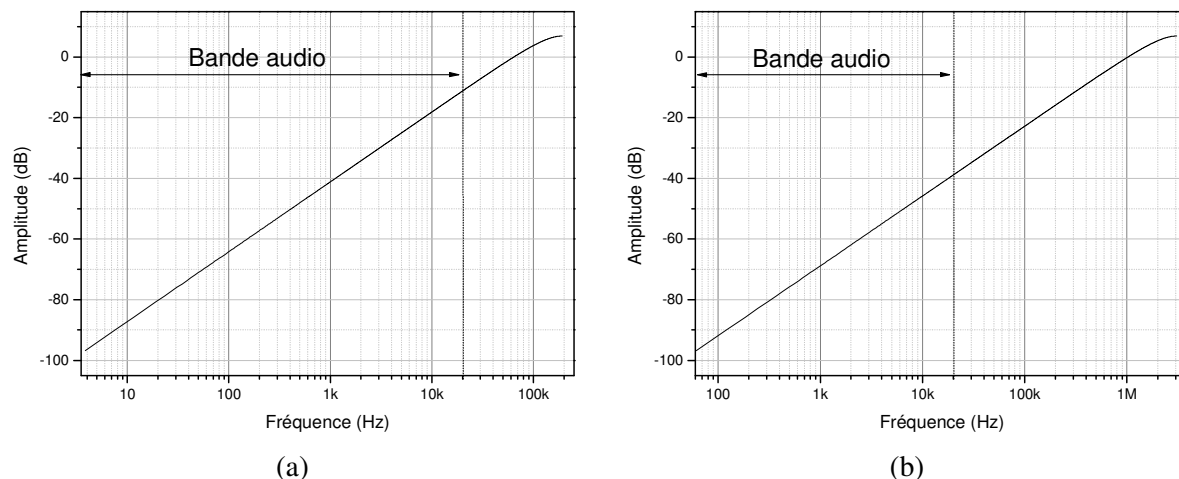


FIGURE II.4 – Réponse en fréquence de la fonction de transfert du bruit de quantification pour le modulateur $\Delta\Sigma$ du premier ordre en supposant un signal échantillonné à 48 kHz.

(a) Facteur de sur-échantillonnage de 8 ; (b) Facteur de sur-échantillonnage de 128

II.1.2 Simulation du modèle linéaire

Nous pouvons maintenant examiner sur la figure II.5 (a) l'allure du signal audio en entrée et en sortie du modulateur du premier ordre ainsi que son comportement en fréquence. Nous utilisons le modèle de la figure II.43 (a) en prenant comme source d'erreur un quantificateur 1 bit qui sort '+1' quand son entrée est supérieure à 0 et '-1' sinon. Une simulation avec Matlab Simulink est effectuée avec en entrée du modulateur un signal sinusoïdal à 1 kHz et une amplitude de -3 dB par rapport à la pleine échelle, qui est égale à 1 (ce sera le cas dans toutes les simulations suivantes). Le modulateur fonctionne avec un OSR de 8 afin de mieux visualiser les impulsions élémentaires. Il faut toutefois noter que le sinus en entrée est ici préalablement échantillonné à la fréquence de fonctionnement du modulateur. Nous obtenons un SNR de 32,7 dB A-weighting, ce qui est très faible et qui s'explique par le faible facteur de sur-échantillonnage et un ordre relativement bas. Le spectre du signal de sortie est représenté sur la figure II.5 (b).

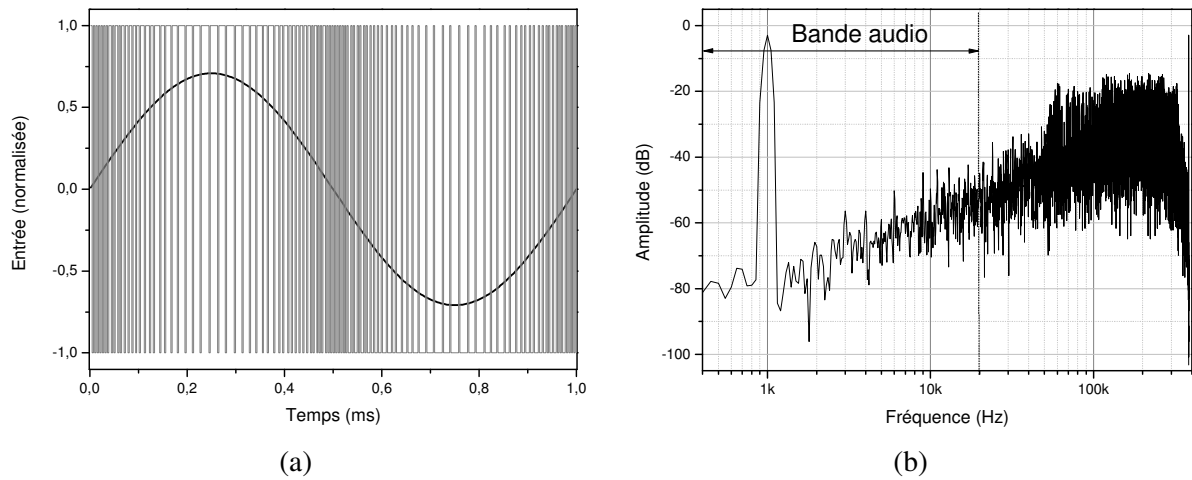


FIGURE II.5 - (a) en noir, le sinus en entrée du modulateur et en gris, le signal modulé en densité d'impulsion ; (b) spectre du signal de sortie, SNDR A-w = 32,7 dB

En résumé, un modulateur $\Delta\Sigma$ transforme un signal audio analogique ou numérique multi-bit en un flux numérique codé sur deux états ou plus, cadencé à une fréquence plusieurs fois supérieure à la limite de la bande audio. Le fait de coder sur très peu d'états l'information crée une très importante erreur de quantification. Cette erreur est filtrée par le filtre passe-haut intrinsèque du modulateur. Ainsi, le bruit dans la bande audible est très limité. En poussant le concept à des ordres plus élevés de modulateurs, il est possible d'obtenir une réjection du bruit de quantification supérieure à 120 dB par rapport à la pleine échelle, ce qui rend ce bruit parfaitement inaudible dans les applications de faible puissance.

II.1.3 Gain du quantificateur

L'opération de quantification dans le modèle linéaire illustré sur la figure II.3 est très simplifiée. Ce modèle constitué d'un gain de 1 avec l'ajout d'une erreur décorrélée de l'entrée fonctionne seulement si la quantification se fait sur un nombre suffisant de niveaux. Dans le cas d'une quantification sur 2 états, le gain dépend de la valeur en entrée comme nous allons le montrer par des simulations. Le gain k du quantificateur est défini dans l'équation (II.5). En supposant que l'erreur de quantification $e(n)$ est décorrélée de l'entrée du quantificateur $y(n)$ et que sa moyenne est nulle, nous obtenons l'équation (II.6).

$$q(n) = ky(n) + e(n) \quad (\text{II.5})$$

$$\langle q, y \rangle = k\langle y, y \rangle + \langle e, y \rangle \approx k\langle y, y \rangle \Rightarrow k \approx \frac{\langle q, y \rangle}{\langle y, y \rangle} \quad (\text{II.6})$$

Les auteurs de [4] ont développé un modèle non linéaire de quantificateur pour les modulateurs $\Delta\Sigma$ qui prend en compte l'influence de l'entrée dans l'erreur de quantification, et qui permet de calculer son gain effectif, de prévoir le SNR et la limite de stabilité du modulateur. Nous avons tracé sur la figure II.6 le gain du modulateur d'ordre 1 calculé avec la formule de l'équation (II.6) en fonction de la valeur DC en entrée et le nombre de niveaux de quantification. Nous observons que plus le nombre de niveaux est élevé, plus le gain calculé du quantificateur est proche de l'unité. Le fait que le gain ne soit pas égal à 1 et dépende de l'entrée rend la NTF effective du modulateur non linéaire, influant sur ses conditions de stabilité.

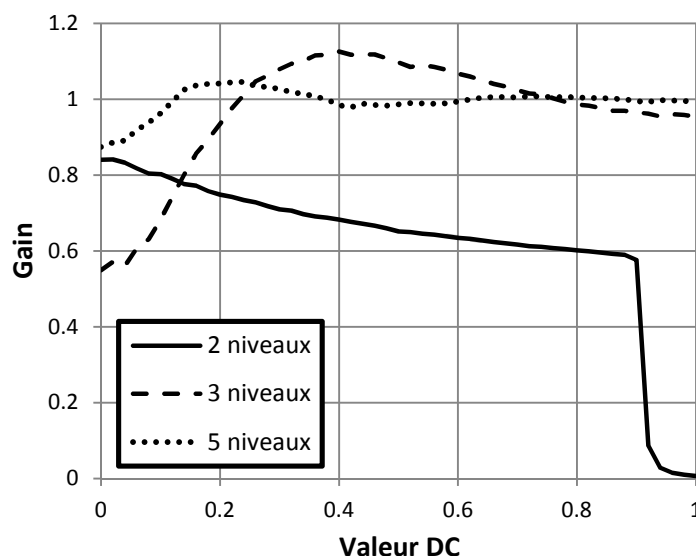


FIGURE II.6 – Valeur du gain k en fonction de la valeur DC en entrée du modulateur pour 2, 3 et 5 niveaux de quantification

II.1.4 Stabilité et saturation du modulateur

Deux phénomènes différents peuvent faire que le modulateur $\Delta\Sigma$ cesse de fonctionner correctement : l'instabilité et la saturation. La première condition peut être déduite de la fonction de transfert de bruit du modulateur. Le modulateur du premier ordre est ainsi inconditionnellement stable car d'après l'équation (II.4), sa NTF est égale à $1 - z^{-1}$.

Toutefois, l'intégrateur d'un modulateur réel sature quand l'entrée appliquée est de trop grande amplitude. Comme nous l'avons vu dans la section précédente, le processus de quantification n'est pas linéaire et le modèle de la figure II.4 (a) n'est pas très fidèle. La figure II.7 montre l'évolution du rapport signal à bruit et distorsion (SNDR) en fonction de l'amplitude d'entrée. Quand l'amplitude du sinus en entrée va au-delà de 0 dB, le quantificateur ne peut plus suivre en envoyant que des +1 et -1. Cela amène beaucoup de distorsion, ce qui n'est pas prévu dans le modèle linéaire.

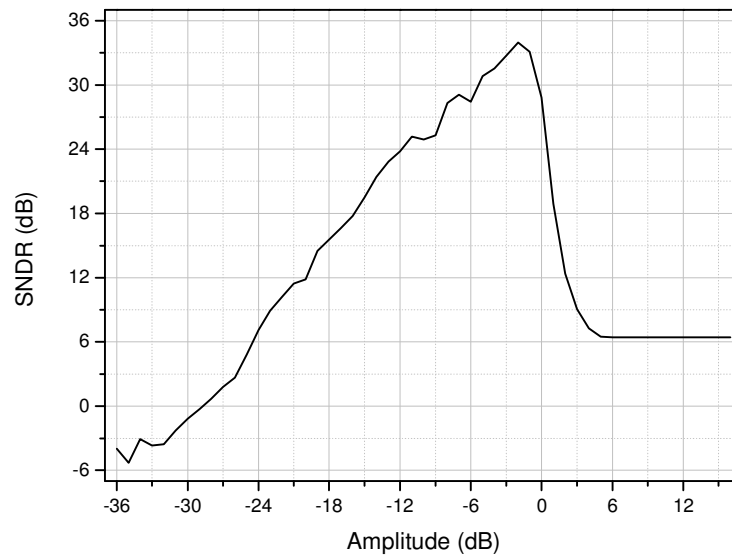


FIGURE II.7 - Taux de distorsion en fonction de l'amplitude du signal d'entrée (sinus)

II.2 Conception de modulateurs $\Delta\Sigma$

Nous avons donc vu dans la partie précédente à travers l'exemple du modulateur du premier ordre les principes de base de la modulation $\Delta\Sigma$, c'est-à-dire la quantification, le sur-échantillonnage, la modélisation des modulateurs et la stabilité.

II.2.1 Modulateurs $\Delta\Sigma$ d'ordre supérieur à 1

Pour concevoir un modulateur $\Delta\Sigma$, il faut définir ces spécifications : la bande passante, c'est-à-dire la bande de fréquence sur laquelle le bruit de quantification doit être fortement atténué (bande 20 Hz – 20 kHz pour les applications audio), la fréquence de fonctionnement (choix de l'OSR), les niveaux de bruit et de distorsion acceptables en fonction de l'amplitude. Plusieurs architectures de modulateur sont disponibles pour répondre aux besoins de l'application. En effet, chaque architecture possède des avantages particuliers et donne des fonctions de transfert différentes (NTF et STF). Dans les paragraphes suivants, nous utiliserons les notations et noms de structure de l'ouvrage de Schreier sur les convertisseurs $\Delta\Sigma$ [3].

II.2.1.1 Détermination des fonctions de transfert du signal et du bruit

Les fonctions de transfert du signal et du bruit appelées NTF et STF sont définies dans l'équation (II.4). Un modulateur $\Delta\Sigma$ peut être représenté sous la forme d'un « filtre rebouclé » comme sur la figure II.8. Nous cherchons à exprimer la STF et la NTF en fonction de L_0 et L_1 .

$$Y(z) = L_0(z).U(z) - L_1(z).Q(z) \quad (\text{II.7})$$

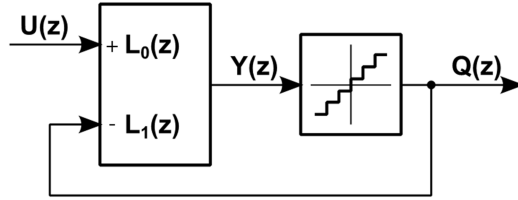


FIGURE II.8 - Représentation du modulateur $\Delta\Sigma$ sous forme d'un filtre rebouclé

Nous modélisons le quantificateur comme l'addition de $Y(z)$ et d'une erreur $E(z)$ de la même façon que pour le modulateur du premier ordre (voir figure II.3 (a)).

$$Q(z) = Y(z) + E(z) \quad (\text{II.8})$$

En injectant (II.7) dans (II.8), nous obtenons:

$$Q(z) = \frac{L_0(z)}{1 + L_1(z)}U(z) + \frac{1}{1 + L_1(z)}.E(z) \quad (\text{II.9})$$

Nous pouvons ainsi déterminer la STF et la NTF par identification :

$$\begin{cases} STF(z) = \frac{L_0(z)}{1 + L_1(z)} \\ NTF(z) = \frac{1}{1 + L_1(z)} \end{cases} \quad (\text{II.10})$$

Le fait d'exprimer les fonctions de transfert en fonction de L_0 et L_1 permet de faciliter l'étude des types de structure que nous allons voir dans les prochains paragraphes. Nous nommerons zéros les fréquences pour lesquelles le numérateur s'annule, et pôles les fréquences où le dénominateur s'annule. Cela aura une grande importance dans l'étude des fonctions de transfert. En effet, pour connaître la stabilité d'un système linéaire, il est courant de tracer sur un plan complexe les pôles (représentés par des croix) et les zéros (représentés par des cercles) de la fonction de transfert. Cela permet de déduire les propriétés de stabilité du système en fonction du type d'entrée. Nous pouvons remarquer par ailleurs dans l'équation (II.10) que la NTF et la STF ont le même dénominateur. Cela veut dire que quelle que soit la fonction de transfert du modulateur, la NTF et la STF posséderont toujours les mêmes pôles.

II.2.1.2 Cascade d'intégrateurs et de résonateurs avec rétroaction distribuée

Les figures II.9 (a) et (b) montrent respectivement des structures CIFB et CRFB du 4^{ème} ordre. Ces abréviations signifient respectivement « Chain of Integrators/Resonators with distributed FeedBack ».

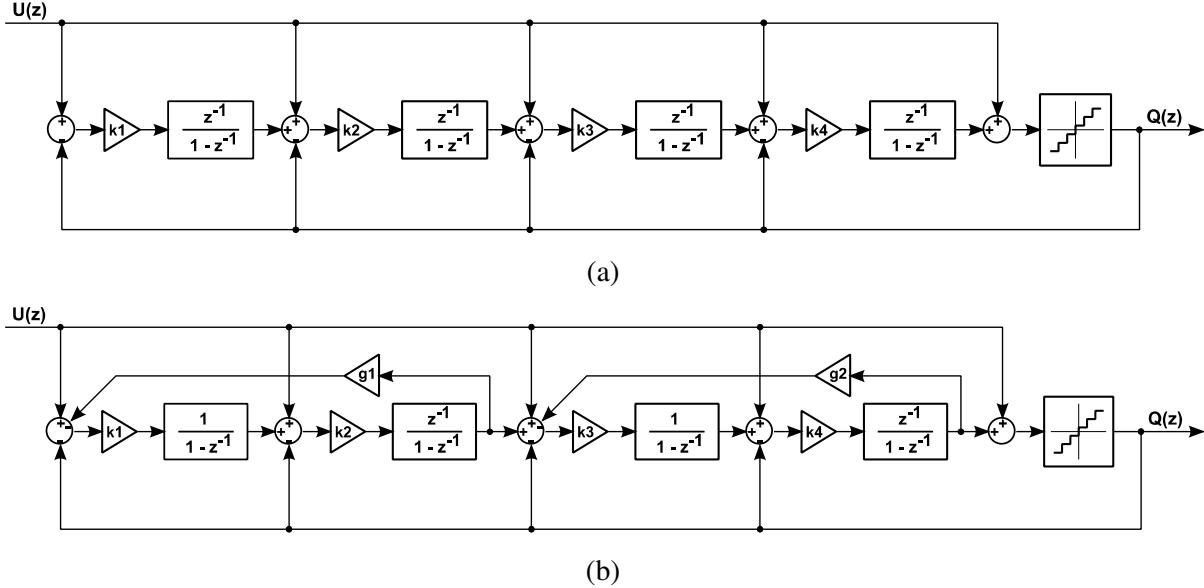


FIGURE II.9 - (a) Cascade d'intégrateurs CIFB d'ordre 4
(b) Cascade de résonateurs CRFB d'ordre 4

Nous calculons l'expression de $Q(z)$ pour le modulateur CIFB de la figure II.9 (a) :

$$Y(z) = U(z) + \frac{k_4 z^{-1}}{1-z^{-1}} \left(U(z) - Q(z) + \frac{k_3 z^{-1}}{1-z^{-1}} \left(U(z) - Q(z) + \frac{k_2 z^{-1}}{1-z^{-1}} (\dots) \right) \right) \quad (\text{II.11})$$

Nous en déduisons que les fonctions de transfert $L_0(z)$ et $L_1(z)$ (voir équation (II.7)) de la structure CIFB sont de la forme :

$$\begin{cases} L_0(z) = 1 + \frac{k_4 z^{-1}}{1-z^{-1}} \left(1 + \frac{k_3 z^{-1}}{1-z^{-1}} \left(1 + \frac{k_2 z^{-1}}{1-z^{-1}} (\dots) \right) \right) \\ L_1(z) = \frac{k_4 z^{-1}}{1-z^{-1}} \left(1 + \frac{k_3 z^{-1}}{1-z^{-1}} \left(1 + \frac{k_2 z^{-1}}{1-z^{-1}} (\dots) \right) \right) = \frac{N_1(z)}{(1-z^{-1})^4} = L_0(z) - 1 \end{cases} \quad (\text{II.12})$$

Nous en déduisons la STF et la NTF grâce aux résultats de l'équation (II.12) :

$$\begin{cases} STF(z) = \frac{L_0(z)}{1 + L_1(z)} = 1 \\ NTF(z) = \frac{1}{1 + L_1(z)} = \frac{(1 - z^{-1})^4}{(1 - z^{-1})^4 + N_1(z)} \end{cases} \quad (\text{II.13})$$

La STF est égale à 1 quelle que soit la valeur des coefficients k_i du fait de la structure du modulateur. Cela signifie que le signal d'entrée passe dans la sortie avec un gain de 1 sur toutes les fréquences et sans déphasage. Nous pouvons également remarquer que la NTF possède un zéro quadruple en $z = 1$. Cela veut dire que seule la composante continue est exclue du spectre du bruit de quantification. La figure II.10 (a) montre l'allure de la NTF pour ce modulateur.

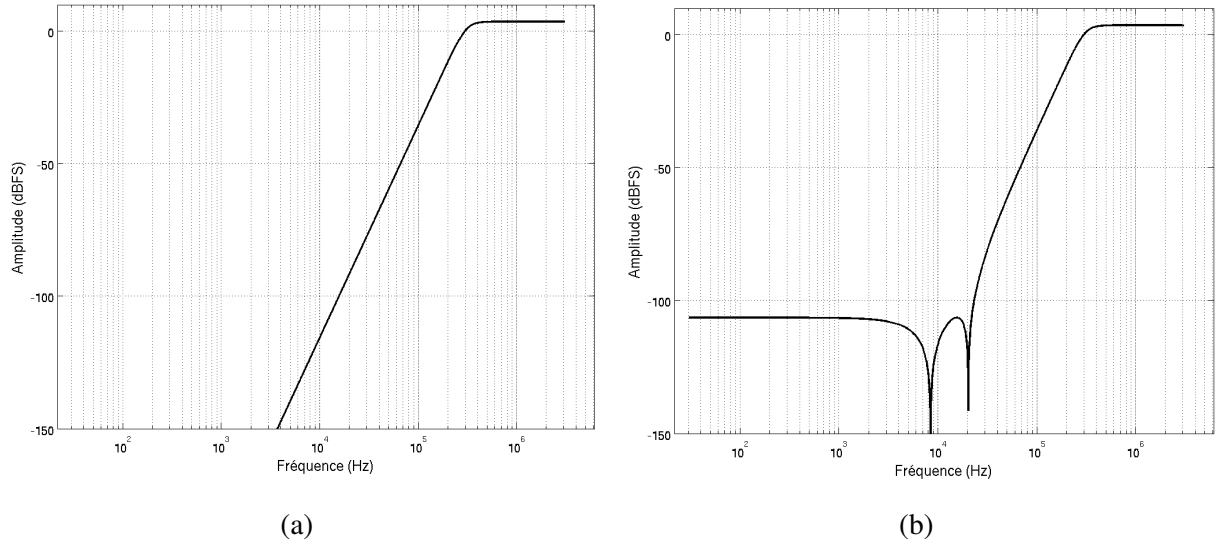


FIGURE II.10 - (a) NTF du modulateur CIFB d'ordre 4
(b) NTF du modulateur CRFB d'ordre 4

Pour obtenir les fonctions de transfert de la structure CRFB représentée sur la figure II.9 (b), nous posons le système linéaire donné dans l'équation (II.14). Nous remplaçons le quantificateur par l'addition d'une erreur $E(z)$ comme dans la section II.1.

$$\begin{cases} X_1(z) = k_1 \frac{1}{1 - z^{-1}} (U(z) - Q(z) - g_1 X_2(z)) \\ X_2(z) = k_2 \frac{z^{-1}}{1 - z^{-1}} (U(z) - Q(z) + X_1(z)) \\ X_3(z) = k_3 \frac{1}{1 - z^{-1}} (U(z) - Q(z) + X_2(z) - g_2 X_4(z)) \\ X_4(z) = k_4 \frac{z^{-1}}{1 - z^{-1}} (U(z) - Q(z) + X_3(z)) \\ Q(z) = X_4(z) + U(z) + E(z) \end{cases} \quad (\text{II.14})$$

En résolvant le système, nous obtenons le résultat suivant :

$$\begin{cases} STF(z) = 1 \\ NTF(z) = \frac{(1 - (2 - g_1 k_1 k_2) \cdot z^{-1} + z^{-2}) \cdot (1 - (2 - g_2 k_3 k_4) \cdot z^{-1} + z^{-2})}{Den(z)} \end{cases} \quad (II.15)$$

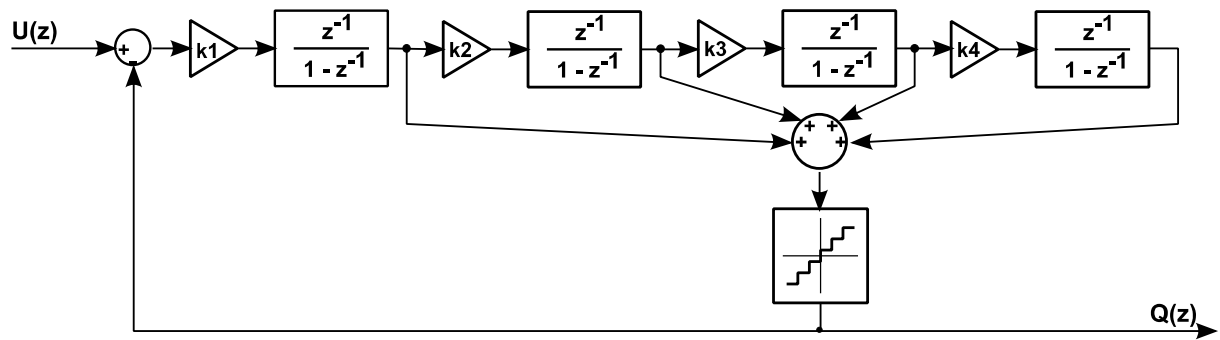
Nous obtenons ainsi une STF égale à 1 du fait de la structure du modulateur. En outre, le numérateur de la NTF s'exprime comme le produit de 2 polynômes du second degré. Chacun de ces polynômes possède deux racines complexes conjuguées, car les coefficients g_1 , k_1 et k_2 sont positifs et petits devant 1.

Ainsi, en jouant sur les coefficients du modulateur, il est possible d'insérer des zéros dans la bande audio, afin de mieux contrôler le filtrage du bruit de quantification dans la bande audio et ainsi d'optimiser la plage dynamique du modulateur. L'avantage de cette structure est donc de permettre le contrôle des zéros de la NTF grâce aux deux structures bouclées du second ordre. La figure II.10 (b) montre l'allure de la NTF de la structure.

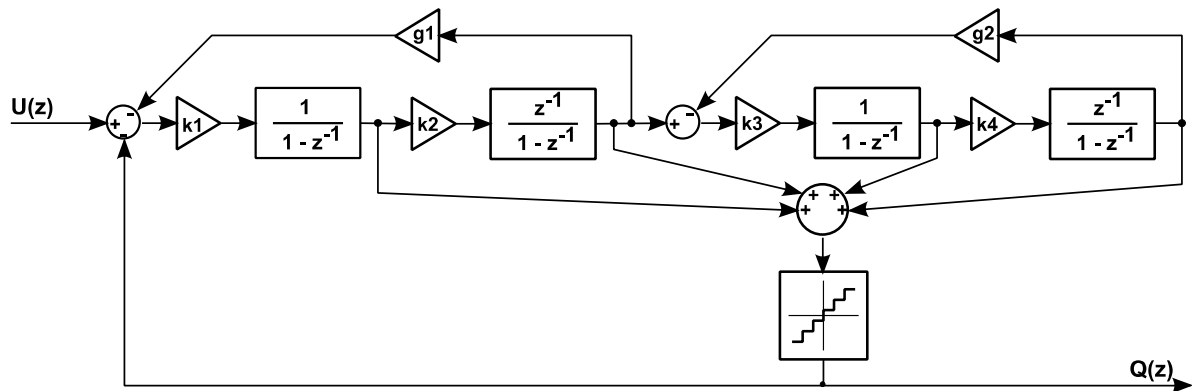
II.2.1.3 Cascade d'intégrateurs et de résonateurs avec une simple rétroaction

Les figures II.11 (a) et (b) montrent respectivement les structures dites CIFF et CRFF (« Chain of Integrators/Resonators with distributed FeedForward and input coupling»). Les modulateurs $\Delta\Sigma$ de type CIFF et CRFF ont la particularité par rapport aux CIFB et CRFB de n'avoir qu'un seul point de rétroaction, à l'entrée du modulateur. Cela est avantageux pour limiter le nombre d'additionneurs du système.

Le modulateur CIFF possède des STF et NTF de la même forme que dans l'équation (II.10) et donc avec une NTF à zéro quadruple en 1. La différence est que la STF n'est ici pas égale à 1. Il est possible de montrer en posant et en résolvant le système linéaire que l'ajout d'un chemin entre l'entrée $U(z)$ et l'additionneur de sortie peut remédier à cela. Quant au modulateur de type CRFF, les structures bouclées du 2nd ordre permettent de placer des zéros dans la bande audio en jouant sur la valeur des coefficients g_i , comme pour la structure CRFB.



(a)



(b)

FIGURE II.11 - (a) Cascade d'intégrateurs CIFF d'ordre 4

(b) Cascade de résonateurs CRFF d'ordre 4

II.2.2 Dimensionnement d'un modulateur

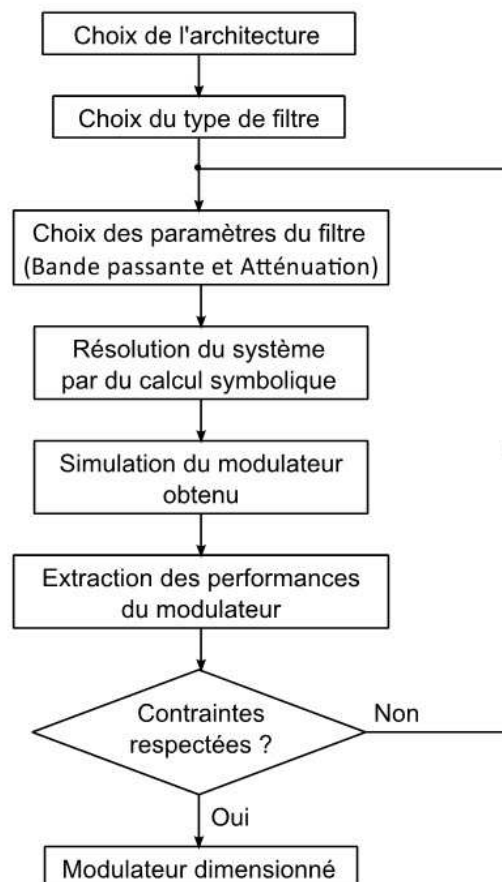
Comme expliqué précédemment, dans une application audio, le modulateur $\Delta\Sigma$ doit laisser passer le signal d'entrée sans trop l'altérer (STF) et renvoyer le maximum d'énergie du bruit de quantification en dehors de la bande audio (NTF). Il existe plusieurs méthodes pour effectuer ce dimensionnement. Dans [3], les auteurs ont par exemple établi un tableau dans lequel sont données les valeurs optimales des zéros de la NTF pour diminuer le bruit dans la bande passante. De même, il existe des méthodes de calcul et des tableaux permettant d'optimiser la valeur des pôles, essentiellement pour obtenir une bonne stabilité [5]. Des logiciels et autres boîtes à outil existent pour aider le concepteur de modulateurs $\Delta\Sigma$ à choisir ses coefficients. Il convient toutefois de recourir à un grand nombre de simulations et d'ajustements de paramètres pour optimiser le dimensionnement d'un modulateur $\Delta\Sigma$.

La méthode que nous utilisons pour dimensionner un modulateur est la suivante : selon les performances requises en termes de bruit, un ordre de modulateur est choisi. Ensuite, les coefficients

du modulateur sont choisis pour que sa NTF(z) corresponde à la fonction de transfert $H(z)$ d'un filtre passe-haut de même ordre choisi avec soin. Les paramètres de ce filtre sont l'atténuation dans la bande audio (réjection du bruit de quantification) et la fréquence de coupure (bande passante du modulateur). Ces deux paramètres règlent « l'agressivité » du filtre, c'est-à-dire que plus la fréquence de coupure et l'atténuation du filtre sont élevées, plus le filtre est proche de l'instabilité et peut saturer facilement. Schreier dans [3] donne comme paramètre empirique de stabilité le gain du filtre en dehors de la bande, c'est-à-dire à $F_s/2$.

Ensuite, le modulateur est décrit sous la forme d'un système linéaire. La résolution de ce système permet de déduire l'expression de la NTF en fonction des coefficients du modulateur. Il est ainsi possible de déterminer par identification ces coefficients. Des simulations sont ensuite effectuées pour déterminer principalement si le modulateur ne sature pas trop vite, si la bande passante est suffisamment importante, et si le bruit est suffisamment atténué.

Le diagramme de la figure II.12 montre les étapes du dimensionnement d'un modulateur $\Delta\Sigma$ selon la méthode décrite plus haut.

FIGURE II.12 - Etapes de conception d'un modulateur $\Delta\Sigma$

Pour illustrer cette méthode, nous prendrons l'exemple d'un modulateur d'ordre 3, de type CRFB, représenté sur la figure II.13. Nous identifierons la fonction de transfert de bruit de ce modulateur avec un filtre de Chebyshev type 2 également d'ordre 3.

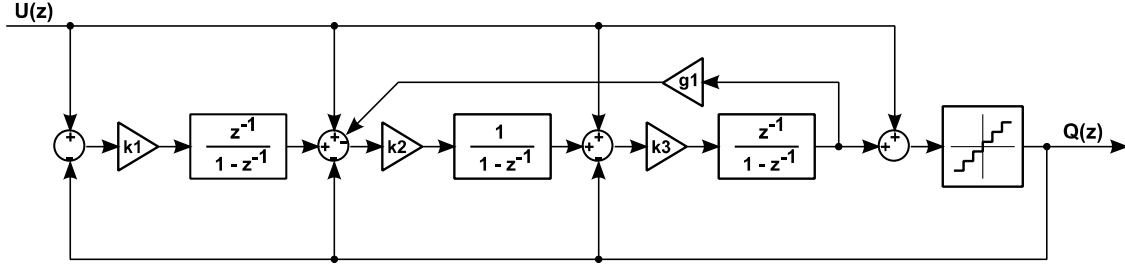


FIGURE II.13 - Exemple de modulateur d'ordre 3 de type CRFB

II.2.2.1 Calcul de la fonction de transfert du modulateur

La figure II.14 donne un modèle linéaire du modulateur. Le quantificateur est une nouvelle fois remplacé par l'addition d'une erreur $E(z)$.

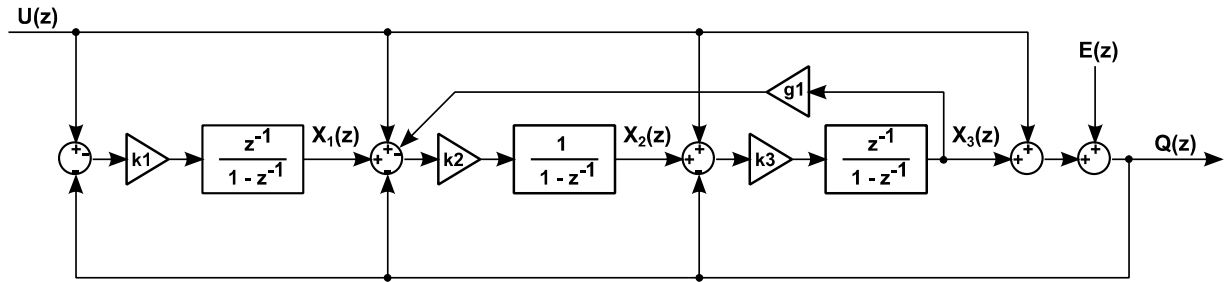


FIGURE II.14 - Modèle du modulateur d'ordre 3

Nous posons le système en remplaçant l'entrée $U(z)$ par une entrée nulle.

$$\begin{cases} X_1(z) = -Q(z) \cdot k_1 \cdot \left(\frac{z^{-1}}{1-z^{-1}} \right) \\ X_2(z) = (X_1(z) - Q(z) - g_1 \cdot X_3(z)) \cdot k_2 \cdot \left(\frac{1}{1-z^{-1}} \right) \\ X_3(z) = (X_2(z) - Q(z)) \cdot k_3 \cdot \left(\frac{z^{-1}}{1-z^{-1}} \right) \\ Q(z) = X_3(z) + E(z) \end{cases} \quad (\text{II.16})$$

Le système linéaire (II.16) peut se réécrire sous la forme :

$$\begin{cases} X_1(z) + k_1 \cdot \left(\frac{z^{-1}}{1 - z^{-1}} \right) Q(z) = 0 \\ -k_2 \cdot \left(\frac{1}{1 - z^{-1}} \right) X_1(z) + X_2(z) + g_1 \cdot k_2 \cdot \left(\frac{1}{1 - z^{-1}} \right) X_3(z) + k_2 \cdot \left(\frac{1}{1 - z^{-1}} \right) Q(z) = 0 \\ -k_3 \cdot \left(\frac{z^{-1}}{1 - z^{-1}} \right) X_2(z) + X_3(z) + k_3 \cdot \left(\frac{z^{-1}}{1 - z^{-1}} \right) Q(z) = 0 \\ -X_3(z) + Q(z) = E(z) \end{cases} \quad (\text{II.17})$$

Pour trouver la fonction de transfert de l'erreur NTF(z), nous résolvons le système (II.17) soit à la main ou avec un logiciel de calcul symbolique (Nous avons utilisé Maxima [6]). Cela nous permet de déduire la NTF du système :

$$\begin{aligned} NTF(z) &= \frac{Q(z)}{E(z)} = \frac{1 - a \cdot z^{-1} + a \cdot z^{-2} - z^{-3}}{1 - b \cdot z^{-1} + c \cdot z^{-2} - d \cdot z^{-3}} \\ \text{avec } \begin{cases} a &= 3 - g_1 \cdot k_2 \cdot k_3 \\ b &= 3 - k_3 \cdot (k_2 \cdot (g_1 + 1) + 1) \\ c &= 3 - k_3 \cdot (k_2 \cdot (g_1 - k_1 + 1) + 2) \\ d &= 1 - k_3 \end{cases} \end{aligned} \quad (\text{II.18})$$

Du fait de la structure du modulateur, nous avons $L_1(z) = L_0(z) - 1$, ce qui fournit une STF égale à 1.

II.2.2.2 Choix du filtre

Nous possédons donc l'expression des coefficients du filtre en fonction des coefficients du modulateur. Nous pouvons observer dans l'équation (II.18) que nous avons 4 expressions indépendantes et 4 coefficients. Ainsi, pour pouvoir identifier l'expression de la NTF avec la fonction de transfert d'un filtre, il s'agit de bien observer la forme de cette dernière.

De plus, toujours d'après l'équation (II.18), afin de pouvoir identifier la NTF avec la fonction de transfert $H(z)$ d'un filtre, il faut « normaliser » cette fonction de transfert pour avoir des 1 à l'ordre zéro du numérateur et du dénominateur. En effet, nous utilisons une fonction Matlab pour obtenir les coefficients de la fonction de transfert $H(z)$. Par défaut, $H(z)$ possède un gain unitaire dans sa bande non atténuée, c'est-à-dire à $F_s/2$ si F_s est la fréquence du modulateur. En revanche, la NTF possède un gain à $F_s/2$ que nous notons $H_{1/2}$ qui n'est en général pas égal à 1.

Nous pouvons obtenir ce gain en remplaçant les z^{-1} par -1 car :

$$e^{2i\pi\frac{(Fs/2)}{Fs}} = e^{i\pi} = -1 \quad (\text{II.19})$$

Nous obtenons donc :

$$H_{1/2} = \frac{1 - a(-1) + a(-1)^{-2} - (-1)^{-3}}{1 - b(-1)^{-1} + c(-1)^{-2} - d(-1)^{-3}} = \frac{2 + 2a}{1 + b + c + d} \quad (\text{II.20})$$

Nous allons tester différents types de filtres passe-haut du 3^{ème} ordre. Il est inutile de tester des filtres de type FIR (pour « Finite Impulse Response » en anglais) qui sont par définition non récurrents. Le modulateur $\Delta\Sigma$ est en effet par définition un système récurrent. Nous verrons quatre filtres de types IIR (pour « Infinite Impulse Response »). Nous supposons pour le dimensionnement de ces filtres que la fréquence d'échantillonnage est de 48 kHz avec un facteur de sur-échantillonnage (OSR) de 32.

II.2.2.2.1 Stabilité des filtres

Avant de donner les différents types de filtres, expliquons ici rapidement la façon dont est évaluée la stabilité d'un filtre linéaire à temps discret (voir [7] pour plus de détails théoriques). Nous prenons pour exemple un filtre du 4^{ème} ordre de type Chebyshev type II ayant pour fréquence de coupure 20 kHz et pour atténuation 70 dB. Nous obtenons la fonction de transfert $H(z)$ dans l'équation (II.21). Nous pouvons vérifier en remplaçant z^{-1} par -1 que $H_{1/2} = 1$.

$$H(z) = \frac{0,626 - 2,499z^{-1} + 3,747z^{-2} - 2,499z^{-3} + 0,626z^{-4}}{1 - 3,065z^{-1} + 3,613z^{-2} - 1,928z^{-3} + 0,392z^{-4}} \quad (\text{II.21})$$

La réponse en fréquence de la fonction de transfert $H(z)$ du filtre ainsi que les pôles et zéros sont tracés sur les figures II.15 (a) et (b). Les zéros de la fonction de transfert sont les racines du numérateur et les pôles les racines du dénominateur. La condition de stabilité du filtre est que les pôles doivent être contenus dans le cercle unitaire. Le paragraphe suivant en explique la raison.

Nous supposons que le signal en entrée du filtre est une suite dont la valeur initiale est zéro. Cela entraîne d'après [7] que le domaine de convergence (et donc de stabilité) du filtre est l'ensemble des valeurs de z à l'extérieur du cercle centré sur zéro d'un rayon égal à la distance entre le centre et le pôle le plus éloigné du centre (zone grise sur la figure II.15 (b)). La condition de stabilité pour un système linéaire est que le cercle unitaire soit contenu dans le domaine de convergence, ce qui est ici le cas. Et comme le domaine de convergence par définition ne peut pas contenir de pôle, la condition de stabilité du filtre est que les pôles doivent être contenus strictement à l'intérieur du cercle unitaire. C'est ce que nous vérifierons sur les différents filtres étudiés.

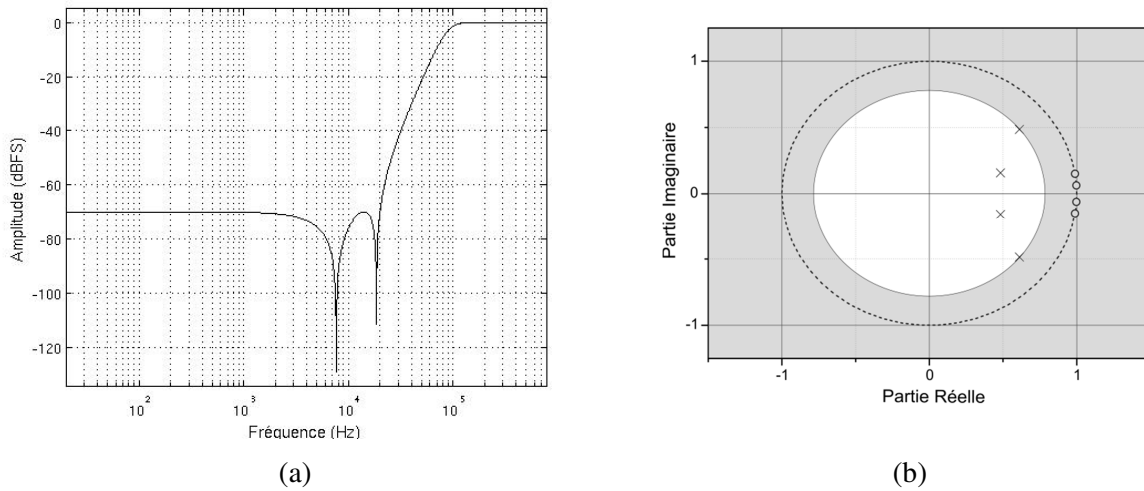


FIGURE II.15 - (a) Réponse en fréquence du filtre du 4^{ème} ordre

(b) Représentation des pôles et zéros du filtre avec le domaine de convergence en gris.

II.2.2.2 Filtre de Butterworth

Le filtre de Butterworth est conçu pour avoir un gain dans la bande passante aussi constant que possible [8]. L'équation (II.22) donne la fonction de transfert du filtre avec les valeurs des coefficients. Nous choisissons pour ce filtre de Butterworth une fréquence de coupure de 160 kHz. Nous pouvons remarquer que le numérateur peut se factoriser pour devenir $(1 - z^{-1})^3$, ce qui donne une racine triple en 1. Nous avons $H_{1/2} = 2,86$ dB. Les figures II.16 (a) et (b) donnent respectivement la réponse en fréquence du filtre et la position des pôles et des zéros dans le cercle unitaire.

$$H_{Butterworth}(z) = \frac{1 - 3z^{-1} + 3z^{-2} - z^{-3}}{1 - 2,348z^{-1} + 1,892z^{-2} - 0,518z^{-3}} \quad (\text{II.22})$$

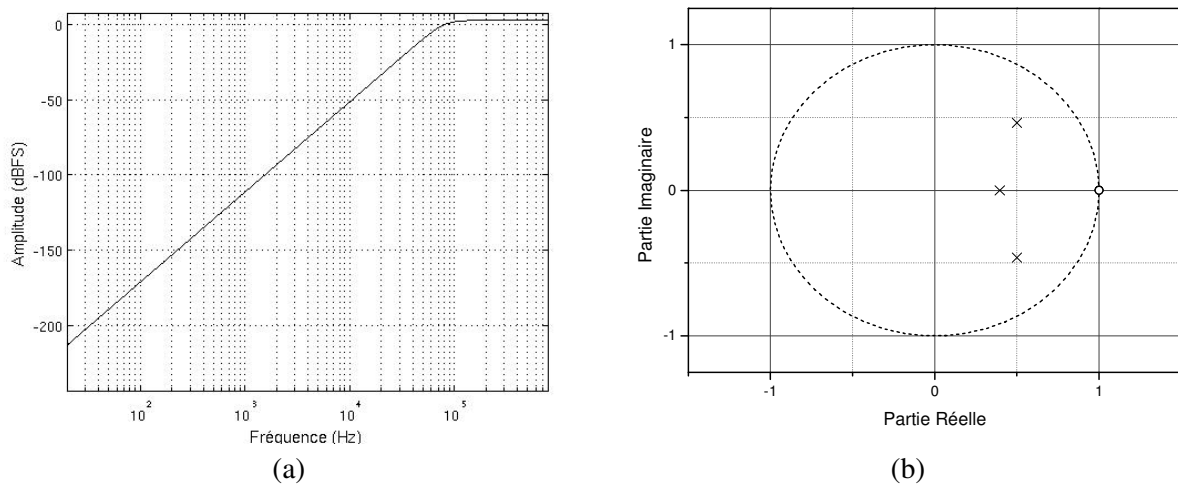


FIGURE II.16 - (a) Réponse en fréquence du filtre de Butterworth du 3^{ème} ordre

(b) Représentation des pôles et zéros du filtre

II.2.2.2.3 Filtre de Chebyshev type I

Les filtres de Chebyshev ont pour propriété, par rapport aux filtres de Butterworth, d'avoir une meilleure sélectivité en fréquence – c'est-à-dire une pente plus forte – en contrepartie d'ondulations dans la bande passante (type I) ou dans la bande atténuée (type II) [8]. Ces ondulations ne posent a priori aucun problème car elles se situent dans les hautes fréquences et peuvent améliorer la réjection dans la bande audio par rapport à Chebyshev type II. Toutefois, si elles sont importantes, elles peuvent regrouper de l'énergie de quantification dans une bande de fréquence particulière, ce qui peut avoir des effets en termes d'émissions électromagnétiques dans le cas d'un amplificateur. De plus, si cette résonance coïncide avec une fréquence de résonance du haut-parleur, cela peut induire une dépense d'énergie supplémentaire.

L'équation (II.23) donne la fonction de transfert du filtre avec les valeurs des coefficients. Les paramètres choisis sont une fréquence de coupure de 120 kHz et une ondulation de 2 dB dans la bande non atténuée. Nous avons $H_{1/2} = 3,08$ dB.

$$H_{Chebyshev_I}(z) = \frac{1 - 3z^{-1} + 3z^{-2} - z^{-3}}{1 - 2,339z^{-1} + 1,822z^{-2} - 0,451z^{-3}} \quad (\text{II.23})$$

Les figures II.17 (a) et (b) donnent respectivement la réponse en fréquence du filtre et la position des pôles et des zéros dans le cercle unitaire. Nous pouvons remarquer qu'il y'a une racine triple en zéro et qu'il y'a une résonance autour de la fréquence de coupure non loin de la bande passante du filtre intrinsèque des hauts parleurs.

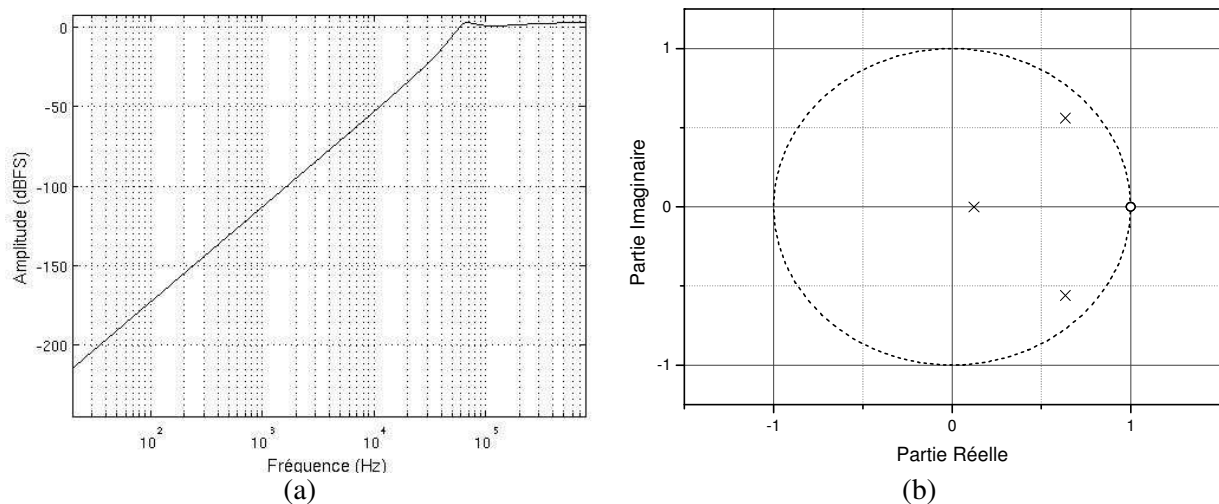


FIGURE II.17 - (a) Réponse en fréquence du filtre de Chebyshev type I du 3^{ème} ordre
(b) Représentation des pôles et zéros du filtre.

II.2.2.2.4 Filtre de Chebyshev type II

Voyons maintenant le filtre de Chebyshev de type II qui lui crée des ondulations dans la bande atténuée. L'équation (II.24) donne la fonction de transfert du filtre avec les valeurs des coefficients. Les paramètres sont une fréquence de fin de bande atténuée de 20 kHz et une atténuation de 55 dB. Nous avons $H_{1/2} = 3,63$ dB.

$$H_{Chebyshev_II}(z) = \frac{1 - 2,995z^{-1} + 2,995z^{-2} - z^{-3}}{1 - 2,171z^{-1} + 1,654z^{-2} - 0,433z^{-3}} \quad (II.24)$$

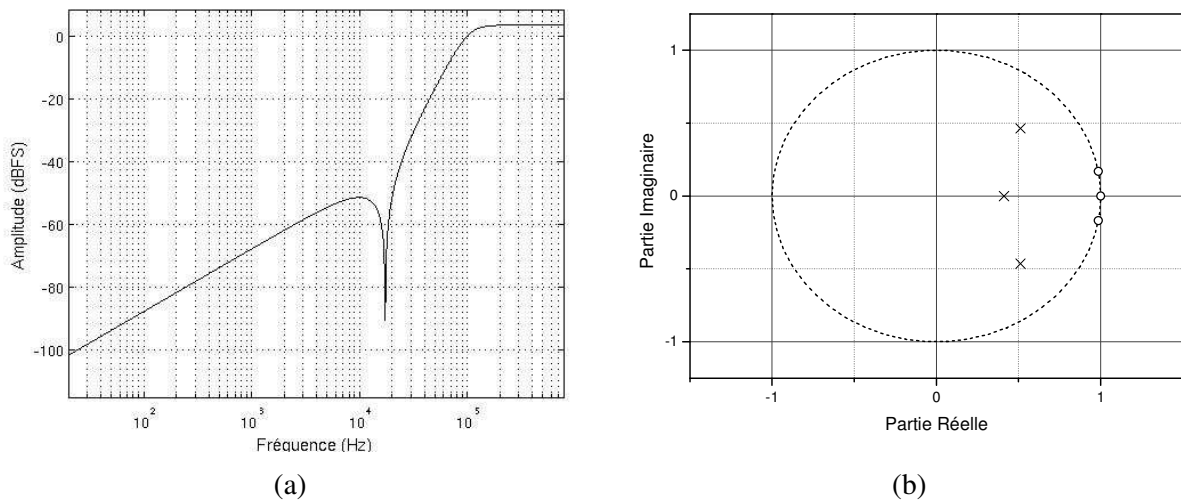


FIGURE II.18 - (a) Réponse en fréquence du filtre de Chebyshev type II du 3^{ème} ordre
(b) Représentation des pôles et zéros du filtre.

Les figures II.18 (a) et (b) donnent respectivement la réponse en fréquence du filtre et la position des pôles et des zéros dans le cercle unitaire. Il y a cette fois trois racines au numérateur, ce qui donne un zéro sur la composante continue et un zéro à 17,4 kHz. Plus l'ordre est élevé, plus il y a de zéros dans la bande atténuée, cela permet une réjection « plate » du bruit dans la bande audio. L'absence d'ondulation dans la « bande passante » du filtre empêche la concentration d'énergie à une fréquence particulière, ce qui limite les possibles perturbations électromagnétiques.

II.2.2.2.5 Filtre Elliptique

Nous allons tester enfin le filtre elliptique qui crée à la fois des ondulations dans la bande passante et dans la bande atténuée. L'équation (II.25) donne la fonction de transfert du filtre avec les valeurs des coefficients. Les paramètres choisis sont une ondulation de 2 dB dans la bande non atténuée et une atténuation de 50 dB à 20 kHz. Nous avons $H_{1/2} = 6,41$ dB.

$$H_{\text{Elliptique}}(z) = \frac{1 - 2,958z^{-1} + 2,958z^{-2} - z^{-3}}{1 - 1,595z^{-1} + 1,036z^{-2} - 0,1538z^{-3}} \quad (\text{II.25})$$

Les figures II.19 (a) et (b) donnent respectivement la réponse en fréquence du filtre (sans constante multiplicative) et la position des pôles et des zéros dans le cercle unitaire

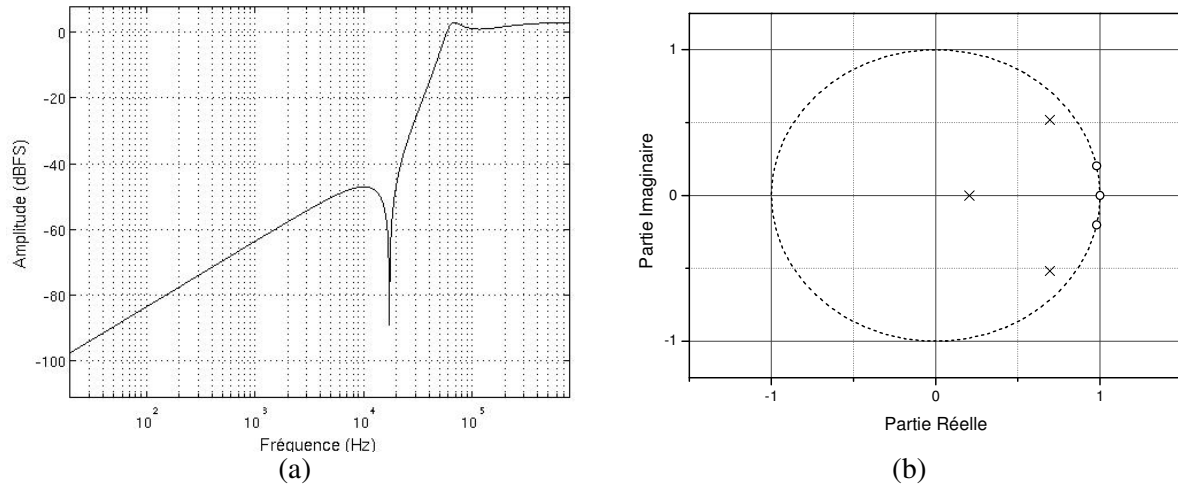


FIGURE II.19 - (a) Réponse en fréquence du filtre Elliptique du 3^{ème} ordre

(b) Représentation des pôles et zéros du filtre.

II.2.2.2.6 Conclusion sur le choix du filtre

Les deux principales qualités recherchées pour choisir un filtre modélisant la NTF du modulateur sont les suivantes : des zéros répartis sur la bande audio pour avoir une réjection du bruit la plus constante possible dans cette bande, et pas de résonance dans les hautes fréquences afin d'étaler au maximum la puissance du bruit. Le filtre de Chebyshev de type II répond à ces deux critères. C'est donc ce type de filtre qui a été choisi pour réaliser la NTF du modulateur $\Delta\Sigma$.

II.2.2.3 Paramètres du filtre et performances du modulateur

Grâce au logiciel de calcul symbolique Maxima [6], en utilisant l'équation (II.13) et les coefficients de la fonction de transfert du filtre, la résolution du système permet d'obtenir la valeur des coefficients g_1 , k_1 , k_2 et k_3 de la figure II.14. Nous réinjectons ces valeurs dans une simulation Matlab Simulink d'un modèle du modulateur afin d'en obtenir les performances théoriques. En faisant varier les paramètres du filtre, il est possible d'optimiser le SNR du modulateur et sa plage de fonctionnement qui dépend à la fois de la largeur de la bande d'atténuation du filtre, et de la valeur de l'atténuation.

II.2.2.3.1 Paramètres du filtre

Le filtre de Chebyshev type II est défini par trois paramètres : l'ordre, l'atténuation et la fréquence supérieure de la bande atténuée F_{stop} normalisée par rapport à la fréquence de fonctionnement du filtre F_s (voir figure II.20). Nous allons tester l'influence de ces paramètres sur les performances du modulateur évaluées grâce à deux paramètres : la valeur maximale du SNR-A (SNR avec une pondération de type « A-weighting » présentée dans le chapitre I) sur la plage d'amplitude -20 jusqu'à 0 dBFS et l'indice de modulation.

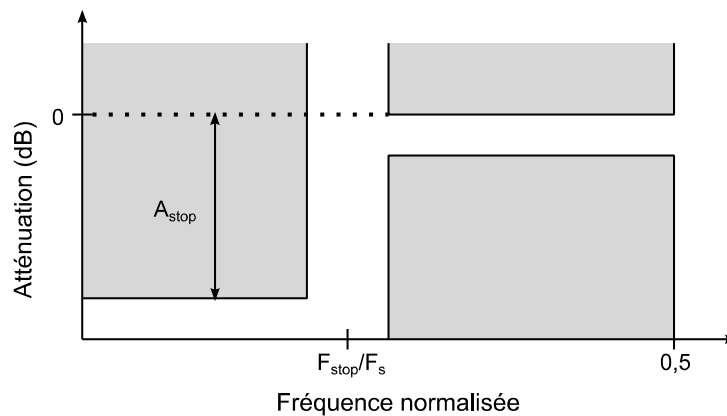


FIGURE II.20 - Gabarit d'un filtre de Chebyshev de type II avec ses paramètres

L'indice de modulation indique l'amplitude maximale par rapport à la pleine échelle de l'entrée (le gain du modulateur est de 1) pour laquelle le modulateur $\Delta\Sigma$ fonctionne sans saturer. Nous mesurerons ici l'indice de modulation d'après l'amplitude en entrée (sinus à 1 kHz) pour laquelle le taux de distorsion harmonique plus bruit (THD+N) est égal à 1%. Le spectre de la sortie d'un modulateur d'ordre 3 est représenté sur la figure II.21 afin de montrer l'allure des données traitées pour calculer le SNR-A. Un sinus de fréquence 1 kHz et d'amplitude -6 dB par rapport à la pleine échelle est mis en entrée de ce modulateur.

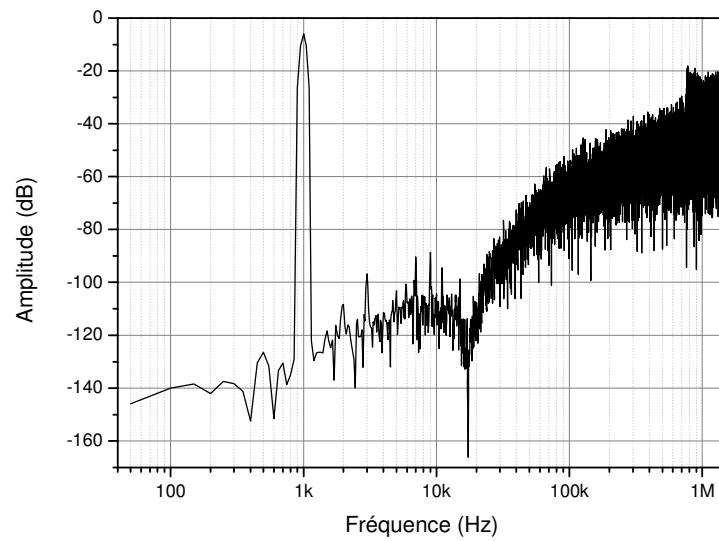


FIGURE II.21 - Spectre de la sortie d'un modulateur d'ordre 3

(Entrée de 1kHz et -6 dBFS, OSR de 64, atténuation de 50 dB à 20 kHz, 2 niveaux de quantification)

II.2.2.3.2 Facteur de sur-échantillonnage (OSR)

L'OSR détermine la fréquence de fonctionnement du modulateur. Plus cette fréquence est élevée, plus le rapport de la bande atténuée de la NTF sur la fréquence du modulateur est faible. Cela aide la stabilité en permettant un plus grand étalement du spectre du bruit de quantification pour les fréquences de fonctionnement les plus basses. Pour la simulation présentée ici, nous utilisons un modulateur d'ordre 3 dimensionné avec un filtre possédant une atténuation de 50 dB à 20 kHz et deux niveaux de quantification. Nous faisons varier la fréquence de fonctionnement du modulateur via l'OSR pour observer la variation de l'indice de modulation et du SNR-A. Pour chaque valeur d'OSR, nous devons recalculer les coefficients du modulateur pour maintenir la bande coupée à 20 kHz.

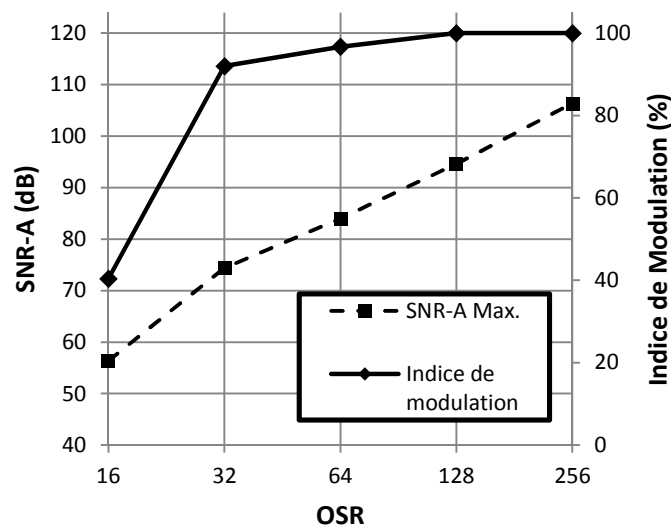


FIGURE II.22 - Variation du SNR-A et de l'indice de modulation en fonction de l'OSR

Sur la figure II.22, nous observons que l'indice de modulation dépasse rapidement les 90% quand l'OSR augmente, pour plafonner à 100% pour des valeurs élevées. Nous observons ici un lien entre OSR et stabilité car pour une atténuation donnée dans la NTF et à fréquence fixe, l'augmentation de la bande passante diminue la stabilité. Le SNR-A maximum varie linéairement à partir d'un OSR de 32, à raison d'environ 10dB quand la fréquence double. Cela s'explique par le fait que la quantité de bruit de quantification reste constante quel que soit l'OSR. Donc plus l'OSR augmente, plus ce bruit est étalé, et donc plus faible est la quantité dans la bande audio, augmentant de ce fait le SNR.

II.2.2.3.3 Atténuation

Nous faisons varier ici la valeur de l'atténuation A_{stop} à 20 kHz en conservant l'ordre 3 et en choisissant un OSR de 64. Le choix de cet OSR permet d'avoir une plus grande plage de valeurs d'atténuation A_{stop} pour lesquelles le modulateur reste stable. Nous observons sur la figure II.23 que l'indice de modulation diminue quand l'atténuation augmente. La courbe illustre bien le compromis entre niveau de bruit dans la bande audio et indice de modulation. Par exemple, il n'est pas forcément utile d'atteindre un SNR-A de 100 dB avec l'ordre 3 si seulement 50% de la pleine échelle est utilisable. En effet, si l'entrée est divisée par 2, il faut retrancher 6 dB à la valeur de SNR-A par rapport à la pleine échelle.

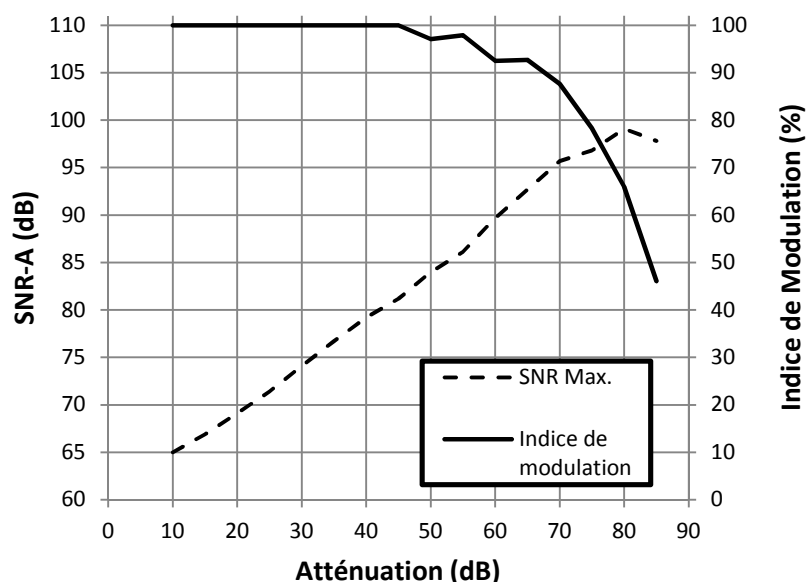


FIGURE II.23 - Variation du SNR-A et de l'indice de modulation en fonction de l'atténuation du filtre à 20 kHz

II.2.2.3.4 Conclusion sur les paramètres

La méthode utilisée ici pour dimensionner un modulateur est de nature itérative. Les graphes des figures II.22 et II.23 montrent qu'il n'est pas évident de trouver une loi donnant la valeur du SNR-A ou bien de l'indice de modulation en fonction des paramètres du filtre. En effet, les phénomènes en jeu sont fortement non-linéaires et peuvent dépendre aussi de la nature du signal audio en entrée. C'est pour cela que nous avons recours à de nombreuses simulations où nous faisons varier les paramètres du système. La clé pour gagner en efficacité sur ces multiples opérations est de les automatiser au maximum. Nous avons par exemple mis en place un algorithme itératif sur Matlab qui converge automatiquement vers l'amplitude maximale de stabilité du modulateur pour déterminer l'indice de modulation. Nous avons de plus interfacé les outils de simulation (Matlab) et de résolution symbolique des équations (Maxima [6]) dans le but de réduire le temps de génération des courbes de variation des paramètres.

Enfin, il faut noter que nous n'avons pas fait varier l'ordre du modulateur. Il est évident qu'augmenter cet ordre augmente significativement les performances du modulateur. Néanmoins, plus l'ordre est élevé, plus les équations deviennent complexes à résoudre et plus il est difficile de trouver une configuration stable pour le modulateur. Les ordres 4 ou 5 permettent d'atteindre relativement facilement 120 dB de SNR-A.

II.2.3 Stabilisation non-linéaire

Afin de permettre le fonctionnement du modulateur à des amplitudes où il n'est pas stable, une technique de stabilisation non linéaire peut être employée. Trois techniques pour borner la valeur contenue dans les intégrateurs et résonateurs sont présentées dans [9]. Le principe que nous utilisons ici est simple : quand la valeur contenue dans les intégrateurs excède une valeur limite, l'algorithme de stabilisation non-linéaire considère que le modulateur fonctionne de manière instable. Alors, tous les intégrateurs et résonateurs du modulateur sont remis à zéro en même temps. Cette remise à zéro crée bien sûr de la distorsion, mais la figure II.24 nous montre que ce mécanisme peut améliorer la plage de fonctionnement du modulateur de 2 dB (SNR-A au-dessus de 40 dB).

Pour obtenir cette valeur limite, la méthode à adopter est la suivante. En faisant un balayage très fin en amplitude de l'entrée du modulateur, il est possible d'obtenir la valeur d'amplitude pour laquelle le modulateur devient instable. En relevant la valeur maximale prise par les intégrateurs quand le modulateur devient instable, il devient possible de définir une zone de fonctionnement stable du modulateur. Le concepteur peut alors définir un seuil au-delà duquel il est certain que le modulateur

est instable. Il convient d'être prudent lors de la définition du seuil et d'effectuer des simulations pour le plus grand nombre de cas possibles afin d'éviter de remettre à zéro le modulateur inutilement et dégrader les performances.

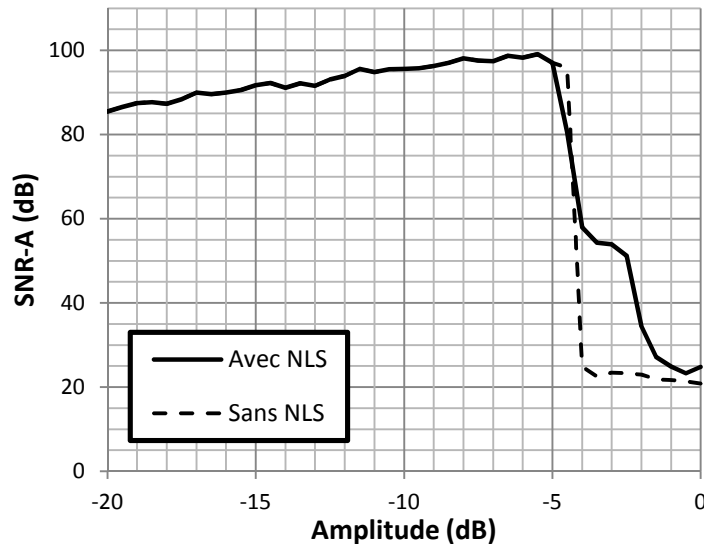


FIGURE II.24 - Variation du SNR-A en fonction de l'amplitude du sinus en entrée avec ou sans le mécanisme de stabilisation non linéaire (ordre 3, OSR de 64 et atténuation 50 dB à 20 kHz)

II.2.4 Technique du « dithering »

Nous avons considéré précédemment de façon implicite que l'erreur de quantification et l'entrée sont indépendantes. Cela peut être une bonne approximation pour des signaux complexes quasi aléatoires mais cela peut ne pas être du tout vérifié pour des signaux simples, comme un sinus ou une entrée constante non nulle par exemple. Le processus de quantification et le modulateur lui-même peuvent alors générer des harmoniques indésirables dans le spectre comme sur la figure II.27 (a).

De plus, dans un modulateur numérique, lorsque l'entrée est constante, il est possible d'obtenir un phénomène d'« idle tone ». Ce phénomène a lieu lorsque le modulateur reboucle toujours sur les mêmes états. Ces cycles peuvent être suffisamment longs pour former des composantes audibles. Une façon intuitive de briser ces cycles est d'introduire une part d'aléatoire dans le modulateur, ce qui est intrinsèquement le cas dans les modulateurs analogiques.

Une technique couramment utilisée en modulation $\Delta\Sigma$ pour introduire cette part d'aléatoire, et ainsi améliorer le taux de distorsion, consiste à injecter un signal aléatoire binaire en sortie de la chaîne d'intégrateurs et juste avant le quantificateur. Un générateur pseudo-aléatoire (Linear Feedback Shift Register ou LFSR en anglais) est utilisé ici, c'est une structure basée sur des registres et des

portes OU exclusif, qui génère pseudo-aléatoirement une suite de '0' et de '1' binaires. Ces '0' et '1' sont transformés respectivement en $-k$ et $+k$ et ajoutés à la sortie des intégrateurs. La figure II.25 en illustre le principe.

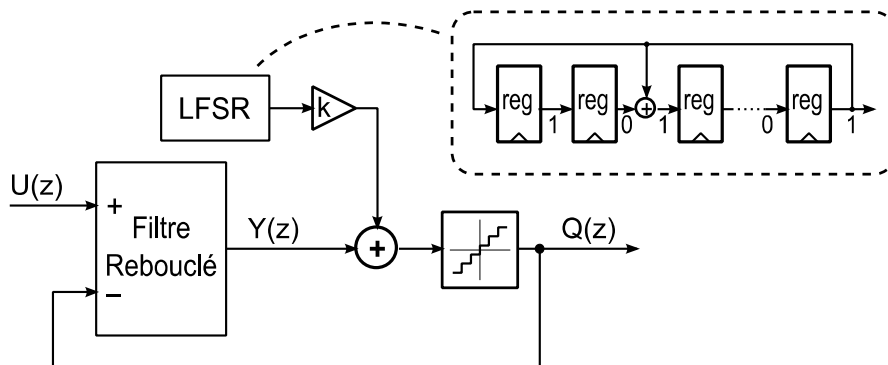


FIGURE II.25 - Ajout d'un mécanisme de dithering à un modulateur $\Delta\Sigma$ et structure interne générique d'une LFSR

Nous avons choisi un facteur k arbitrairement égal à $\Delta/4$ où Δ est le pas de la sortie du quantificateur. Il n'existe pas de calcul théorique permettant de déterminer l'amplitude idéale du dither à appliquer [10]. Si cette amplitude est trop faible, cette composante aléatoire n'a pas suffisamment d'influence sur les états du modulateur pour les empêcher de reboucler sur une même suite. Si par contre elle est trop grande, elle peut saturer plus vite le modulateur et augmenter le niveau de bruit dans la bande audio. Encore une fois, des simulations extensives peuvent permettre d'optimiser l'amplitude du dithering. De plus, plus l'ordre du modulateur est élevé, plus les cycles sont complexes et de moindre intensité. De nombreuses publications ont été consacrées au dithering car le principe est applicable dans de nombreux domaines (voir [11] et [12]).

La LFSR produit un bruit pseudo-aléatoire s'apparentant à du bruit blanc qui possède la même énergie sur toutes les fréquences. Il est également possible de filtrer ce bruit blanc pour changer sa couleur. Par exemple, le bruit rose en $1/f$ envoie la majorité du bruit dans les basses fréquences, ce qui n'aide pas les performances du modulateur. Le bruit bleu qui est en f permet de briser les « idle tones » du modulateur tout en rejetant l'essentiel de ce bruit vers les hautes fréquences, donc en dehors de la bande audio afin de limiter la perte de performance due à l'ajout de dithering à faible amplitude.

La figure II.26 illustre la variation du SNR-A en fonction de l'amplitude d'entrée du modulateur avec ou sans le mécanisme de dithering. Nous observons un gain significatif de SNR-A à toutes les amplitudes quand celui-ci est activé.

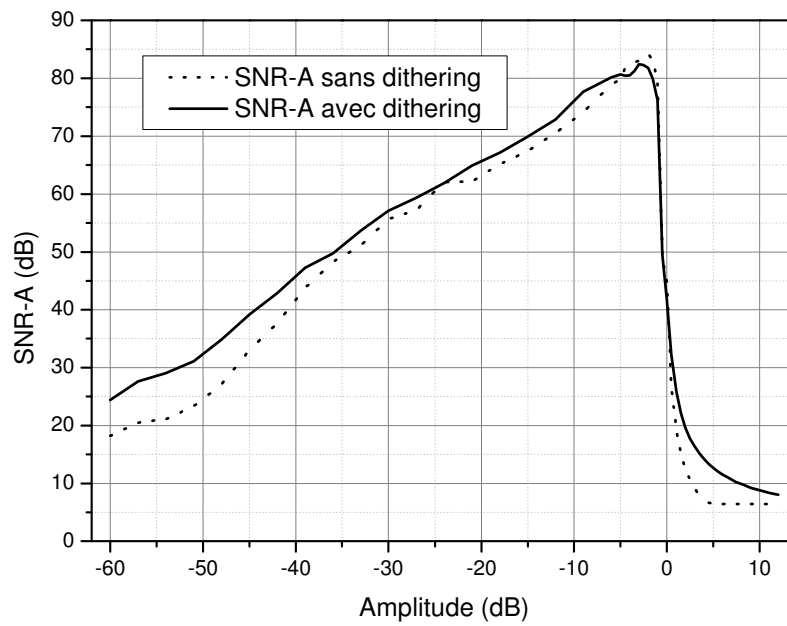


FIGURE II.26 - Variation du SNR-A en fonction de l'amplitude du sinus en entrée avec ou sans le mécanisme de dithering

Les figures II.27 (a) et (b) quant à elles montrent bien comment les premières harmoniques du signal sont supprimées par le dithering. Cela donne un spectre beaucoup plus lisse qui se traduit après calcul par un meilleur SNDR.

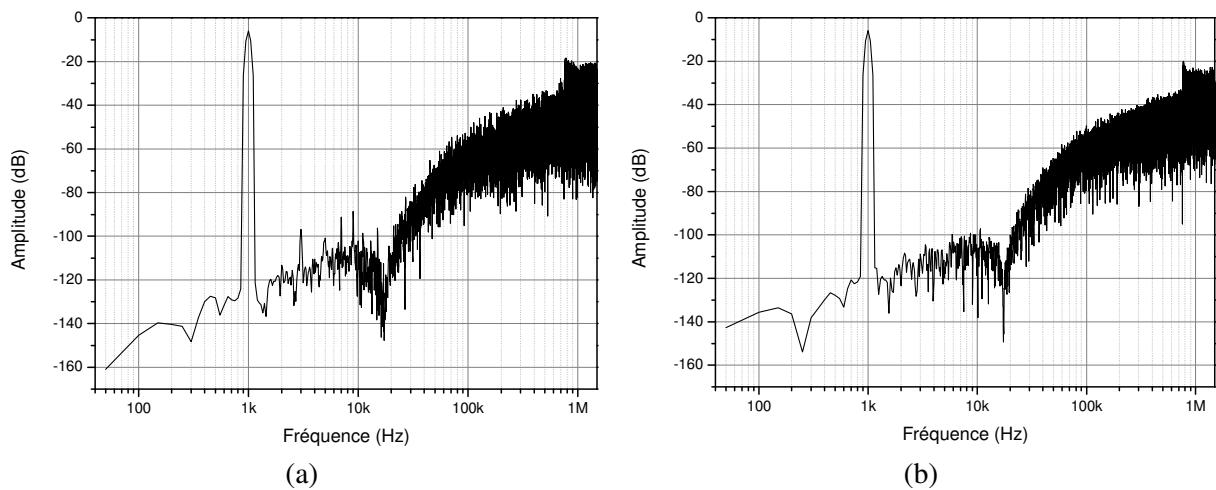


FIGURE II.27 - Comparaison du spectre d'un modulateur (ordre 3, OSR de 64 et atténuation 50 dB à 20 kHz) (a) sans et (b) avec dithering pour une entrée d'amplitude -6 dB

II.2.5 Quantificateurs multi-bit

Recourir à une quantification sur un plus grand nombre de niveaux en sortie du modulateur est une excellente technique pour augmenter l'indice de modulation et le SNR. La figure II.28 le

démontre. Nous simulons le même modulateur que précédemment en faisant varier le nombre de niveaux de quantifications de 2 à 11. L'indice de modulation dépasse ici rapidement les 95% (pour 5 niveaux) et se stabilise, alors que le SNR-A augmente régulièrement avec le nombre de niveaux, de façon sensible mais relativement réduite. Nous pouvons déduire de cette courbe qu'il est intéressant en termes de stabilité (indice de modulation élevé) d'augmenter autant que possible le nombre de bit jusqu'à des nombres inférieurs à 10.

Toutefois, il faut être conscient des limites de la quantification multi-bit. La raison d'être du modulateur $\Delta\Sigma$ est de transmettre au système en aval un signal codé sur un faible nombre de niveaux tout en conservant une très bonne qualité (transmission PDM sur un seul bit par exemple). Dans les systèmes analogiques, la réduction du nombre de niveaux permet de réduire le coût en surface d'une conversion numérique analogique. Cependant, si ce nombre de niveaux peut être supérieur à par exemple 5 niveaux, d'autres problèmes peuvent se substituer. Dans le cas d'un DAC précédé d'un modulateur numérique dont l'entrée est sur plusieurs niveaux, le non-appariement entre les DAC unitaires crée de la non-linéarité dans la caractéristique du quantificateur. Cela génère de la distorsion. Si les performances du modulateur doivent être améliorées, il est possible de mettre en place un algorithme qui va compenser ces problèmes d'appariement en distribuant l'activation des DAC unitaires dynamiquement (DEM pour « Dynamic Element Matching »). La section III.3.4 sera consacrée à ce mécanisme implémenté dans le prototype d'amplificateur de classe D pour un DAC 9 niveaux. Pour conclure sur le sujet, le nombre de niveaux d'entrée d'un DAC est choisi en fonction du besoin de performance en termes de bruit, du coût par DAC unitaire en termes de surface et du coût du DEM en termes de complexité. Le nombre de niveaux peut aller de 2 à 64 ou même plus.

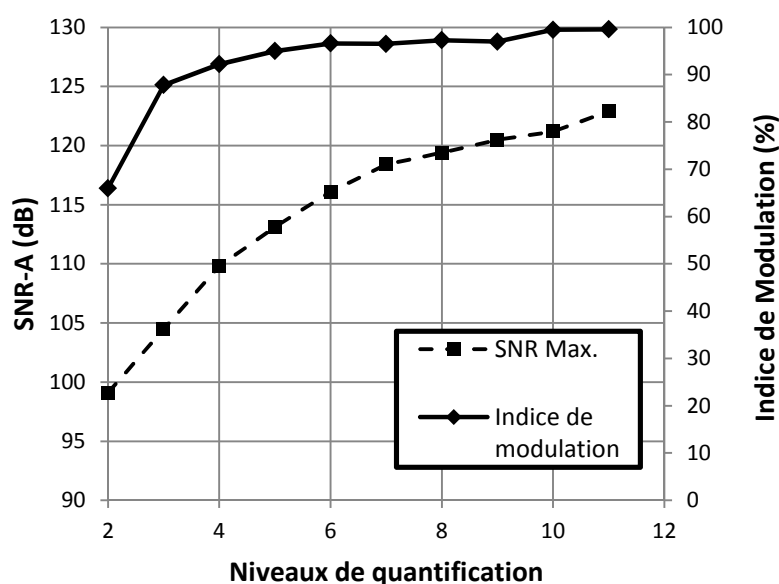


FIGURE II.28 - Variation du SNR-A et de l'indice de modulation en fonction du nombre de niveaux de quantification

II.2.6 Modulateurs $\Delta\Sigma$ à temps continu

Les modulateurs $\Delta\Sigma$ ne fonctionnent pas tous en temps discret comme les modulateurs numériques ou à capacités commutées. Dans certains ADC, comme c'est le cas dans cette thèse (voir le chapitre III), des modulateurs temps continu sont utilisés. Ils sont réalisés avec des intégrateurs temps continu, constitués d'un montage intégrateur d'amplificateur opérationnel avec des résistances et des capacités. Ces intégrateurs prennent donc en compte l'intégralité du signal et non simplement des échantillons toutes les périodes d'horloge. Toutefois, la sortie de la chaîne d'intégrateur est échantillonnée et « conservée » (« sample and hold ») par une horloge donnée, puis est quantifiée sur deux niveaux ou plus. Un DAC doit être placé dans la boucle de rétroaction car le signal repasse du domaine numérique au domaine analogique.

Le dimensionnement des modulateurs temps continu est différent de celui des modulateurs temps discret. En effet, ce sont des systèmes mixtes temps continu - temps discret. Les transformées de Laplace sont utilisées pour modéliser la partie temps continu. Les étapes de quantification et d'échantillonnage, qui ne sont pas indépendantes du signal d'entrée, sont modélisables en transformées de Laplace mais cela rompt la linéarité du modèle empêchant une résolution simple du système. Afin d'analyser et dimensionner les modulateurs temps continu, il est possible de trouver un modulateur temps discret équivalent [10]. La méthode consiste à relier par une équation différentielle sur les variables d'état du modulateur la sortie temps discret aux états continus du modulateur. En supposant un modulateur temps discret équivalent, une transformation permet de déduire les variables d'état discrètes. Cela permet d'obtenir et analyser la fonction de transfert du modulateur temps discret équivalent. La section III.3.3 du chapitre III montre de façon détaillée un exemple de l'utilisation de cette méthode pour un modulateur temps continu du 4^{ème} ordre.

II.3 Étude de la boucle $\Delta\Sigma$ à rétroaction partielle

La boucle $\Delta\Sigma$ à rétroaction partielle est le cœur du système amplificateur de classe D numérique. C'est grâce à elle que le système peut atteindre un taux de réjection des bruits d'alimentation (PSRR) d'au moins 80 dB sur toute la bande audio. Nous allons étudier ici la stabilité et les performances de cette structure en se basant sur des concepts décrits dans les sections II.1 et II.2.

II.3.1 Principe

Le principe est simple et s'applique aux modulateurs $\Delta\Sigma$ à rétroaction distribuée décrits dans le chapitre II. Pour obtenir une bonne réjection des perturbations de l'étage de puissance et donc améliorer le PSRR, il faut que ce dernier se trouve à l'intérieur de la boucle du modulateur. Ce principe est utilisé dans les architectures à l'état de l'art pour les applications mobiles où les perturbations sont nombreuses et difficilement compensables autrement (voir par exemple [13], [14] et [15]). Pour des boucles analogiques, effectuer cette rétroaction est relativement aisé a priori car aucune conversion n'est nécessaire. Elle est toutefois limitée par les erreurs d'appariement quand il s'agit de corriger les erreurs introduites dans le mode différentiel. De plus, l'ordre du modulateur est souvent faible car une boucle d'ordre 2 analogique suffit en général à atteindre un SNR A-w de 100 dB et les concepteurs ciblent une surface minimale. Mais cela signifie que les erreurs de l'étage de puissance ne sont rejetées qu'à l'ordre 2. Ainsi, si des valeurs de PSRR de 80 dB peuvent être atteintes pour 217 Hz (fréquence des trames du GSM), le PSRR est bien plus faible pour des fréquences de quelques kHz ce qui peut poser des problèmes avec la multiplication des perturbations dans les derniers téléphones mobiles.

Pour une architecture impliquant un modulateur numérique pilotant directement l'étage de puissance, le modulateur peut aisément être d'ordre 5 ou 6 sans coûter beaucoup en surface, et permettre des valeurs de PSRR de 100 dB sur toute la bande audio, du moins en théorie. Toutefois, parce que ce modulateur est numérique, un ADC est requis dans le chemin de la rétroaction. Un exemple de cette implémentation pour un amplificateur de classe D est décrit dans [16], il s'agit toutefois ici d'un amplificateur pour des écouteurs. Une boucle numérique est implémentée, contrôlant l'étage de puissance et l'ADC de retour est de type SAR (conversion à approximations successives). Cette architecture possède deux inconvénients : elle nécessite un filtre analogique peu intégrable en entrée de l'ADC, pour éliminer les bruits de quantification de l'étage de puissance. De plus, un ADC SAR pouvant répondre aux spécifications de bruit et de latence consomme beaucoup trop de courant et de surface pour être compétitif. Cette architecture a été implémentée sur FPGA, mais aucune version intégrée n'a apparemment vu le jour. De même, le fabricant Cirrus Logic a commercialisé un ADC seul, spécifiquement conçu pour effectuer la rétroaction d'un modulateur numérique [17] mais aucune version intégrée ne semble disponible. A part ces exemples, il n'y a pas eu à notre connaissance d'autres tentatives d'implémenter ce type de boucle.

La stabilité d'une telle architecture est relativement complexe à atteindre pour un ordre élevé de modulateur du fait des limites d'un ADC typique, au niveau du délai de conversion et de sa fonction de transfert, comme nous le montrerons par la suite. Afin d'obtenir la stabilité malgré tout, le concept de rétroaction partielle a été développé par l'entreprise Primachip. Il s'applique aux modulateurs à

rétroaction distribuée. Pour ce type de modulateur, le signal de rétroaction est la sortie du quantificateur, cependant, pour appliquer la NTF du modulateur aux perturbations de l'étage de puissance, il est plus intéressant de prendre le signal pilotant le haut-parleur comme rétroaction en veillant à le convertir en numérique. Mais le signal issu de la conversion peut être trop déphasé pour que la correction dans le modulateur s'effectue correctement, ce qui peut rendre le système instable. L'idée est donc de prendre le signal de l'ADC comme signal de rétroaction pour une première partie des intégrateurs et le signal issu de la quantification pour les autres comme illustré sur la figure II.29 (reproduction de la figure II.1 donnée en introduction). Nous nous attacherons à montrer par la suite que le choix de l'ordre de la rétroaction décide du compromis entre un PSRR élevé et la stabilité de la boucle.

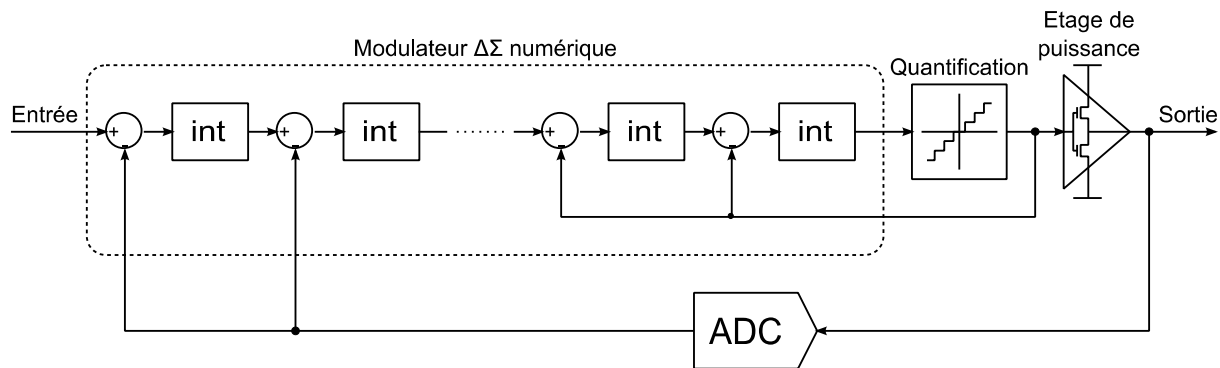


FIGURE II.29 - Schéma général de la rétroaction partielle

II.3.2 Illustration du principe de la rétroaction partielle

Pour comprendre le principe de la rétroaction partielle, nous allons l'illustrer par un exemple : un modulateur numérique d'ordre 3, composé d'une suite d'intégrateurs à rétroaction distribuée et avec un chemin de feedforward auquel on applique ce principe. Un modèle linéaire du modulateur avec un ordre de rétroaction de 2 est donné sur la figure II.30.

Nous modélisons l'ADC ici par sa fonction de transfert STF_{ADC} plus l'injection d'une erreur. Nous verrons deux cas : nous considérerons la STF de l'ADC comme égale à 1 dans un premier temps, puis nous remplacerons cette STF par un filtre passe-bas IIR dont nous ferons varier l'ordre et la fréquence de coupure. Ce filtre atténue l'amplitude des hautes fréquences et introduit également une certaine latence qui varie en fonction de sa fréquence et qui perturbe la boucle. Nous choisissons cette modélisation de l'ADC car un ADC $\Delta\Sigma$ à capacités commutées (un choix classique en audio) nécessite un filtre passe-bas anti-aliasing en entrée avant de pouvoir échantillonner le signal sans repliement de spectre. Nous verrons que l'addition d'un tel filtre modifie les pôles de la boucle.

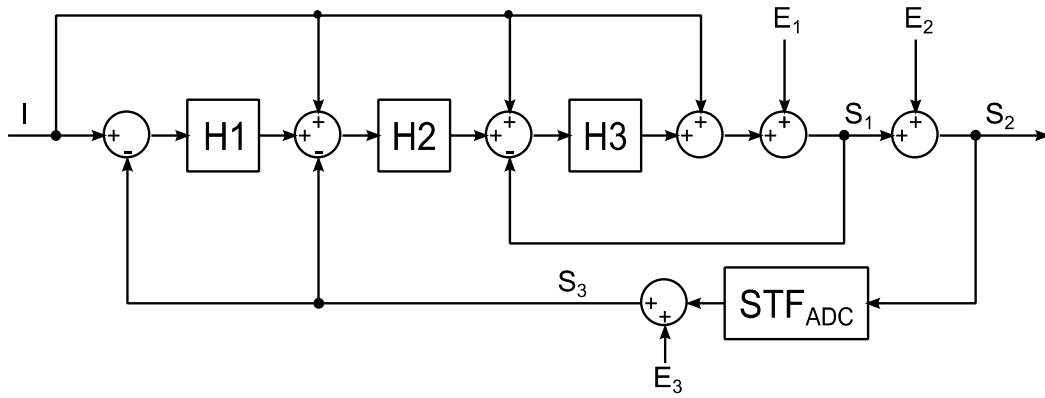


FIGURE II.30 - Modèle linéaire d'un modulateur d'ordre 3 avec chemin de feedforward et rétroaction partielle d'ordre 2

II.3.2.1 STF de l'ADC égale à 1

Nous allons calculer la fonction de transfert de ce modulateur par rapport au signal d'entrée I et aux signaux d'erreur E_1 , E_2 et E_3 . E_1 correspond à l'erreur de quantification du modulateur numérique, et l'erreur E_2 contient les perturbations dues à l'étage de puissance et à l'alimentation de ce dernier, dont la réjection est mesurée par le PSRR. L'erreur E_3 contient le bruit issu de la conversion analogique numérique. Nous supposons dans un premier temps que la STF de l'ADC est égale à 1 et que l'ordre de la rétroaction est de 2.

Le schéma du modèle linéaire de la figure II.30 permet de poser les équations suivantes afin de trouver les fonctions de transfert du signal I et des erreurs E_1 , E_2 et E_3 .

$$\begin{cases} S_1 = E_1 + I + H_3 \cdot (I - S_1 + H_2 \cdot (I - S_3 + H_1 \cdot (I - S_3))) \\ S_2 = S_1 + E_2 \\ S_3 = S_2 + E_3 \end{cases} \quad (\text{II.26})$$

La première équation nous donne l'expression suivante pour S_1 :

$$S_1 = \frac{1}{1 + H_3} \cdot E_1 + \frac{1 + H_3 + H_2 H_3 + H_1 H_2 H_3}{1 + H_3} \cdot I - \frac{H_2 H_3 + H_1 H_2 H_3}{1 + H_3} \cdot S_3 \quad (\text{II.27})$$

Nous définissons quatre fonctions de transfert STF, NTF₁, NTF₂ et NTF₃ pour respectivement les signaux I , E_1 , E_2 et E_3 . S_2 s'écrit donc ainsi :

$$S_2 = STF \cdot I + NTF_1 \cdot E_1 + NTF_2 \cdot E_2 + NTF_3 \cdot E_3 \quad (\text{II.28})$$

$$\begin{cases} STF = 1 \\ NTF_1 = \frac{1}{1 + H_3 + H_2H_3 + H_1H_2H_3} \\ NTF_2 = \frac{1 + H_3}{1 + H_3 + H_2H_3 + H_1H_2H_3} \\ NTF_3 = -\frac{H_2H_3 + H_1H_2H_3}{1 + H_3 + H_2H_3 + H_1H_2H_3} \end{cases} \quad (\text{II.29})$$

Nous revérifions dans l'équation (II.29) que la STF est toujours unitaire malgré la rétroaction partielle grâce au chemin de feedforward. De même, l'expression de NTF_1 n'est pas modifiée par l'ordre de la rétroaction partielle. Il est possible de démontrer ces résultats pour tout modulateur d'ordre $N \geq 2$ et d'ordre de rétroaction partielle $n \geq 0$.

$$H_i(s) = \frac{1}{\tau_i \cdot s} \quad (\text{II.30})$$

Pour compléter cette analyse, les blocs H_i sont maintenant remplacés par des intégrateurs temps continu dont la fonction de transfert a pour transformée de Laplace l'expression de l'équation (II.30). Comme nous l'avons expliqué dans la section II.2.6 sur les modulateurs temps continu, l'utilisation des transformées de Laplace avec l'addition d'une erreur de quantification et d'échantillonnage indépendante de l'entrée pour décrire les modulateurs $\Delta\Sigma$ n'est pas mathématiquement correcte. Toutefois, l'objet de cette démonstration est de vérifier la réjection des différentes erreurs, et l'utilisation des transformées de Laplace le permet très bien. Nous allons maintenant démontrer que nous obtenons une réjection d'ordre 2 avec un tel modulateur :

$$NTF_2 = \frac{1 + H_3}{1 + H_3 + H_2H_3 + H_1H_2H_3} \quad (\text{II.31})$$

$$NTF_2(s) = \frac{\tau_1\tau_2\tau_3s^3 + \tau_1\tau_2s^2}{\tau_1\tau_2\tau_3s^3 + \tau_1\tau_2s^2 + \tau_1s + 1} \quad (\text{II.32})$$

La variable s est remplacée par $j\omega$ afin d'étudier le comportement en fréquence de la fonction de transfert NTF_2 . Le module de $NTF_2(j\omega)$ est égal à :

$$|NTF_2(j\omega)| = \frac{\tau_1\tau_2\omega^2\sqrt{1 + \tau_3^2\omega^2}}{\sqrt{(1 - \tau_1\tau_2\omega^2)^2 + (\tau_1\omega - \tau_1\tau_2\tau_3\omega^3)^2}} \quad (\text{II.33})$$

Nous supposons ici que le modulateur fonctionne à une fréquence bien supérieure aux limites de la bande audio – ce qui signifie un OSR élevé – et que les constantes de temps τ_i sont choisies pour que les pôles de cette fonction de transfert se trouvent à des fréquences supérieures à celles comprises dans la bande audio.

Une fois ces hypothèses faites, en considérant que la pulsation ω est proche de 0, donc comprise dans la bande audio, nous obtenons :

$$|NTF_2(j\omega)| \approx \tau_1 \tau_2 \omega^2 \quad (\text{II.34})$$

$$|NTF_2(f)|_{dB} \approx 40 \log(2\pi\sqrt{\tau_1 \tau_2} f) \quad (\text{II.35})$$

Le module de $|NTF_2(j\omega)|_{dB}$ tend vers $-\infty$ pour des fréquences tendant vers 0 et qu'il augmente à raison de 40 dB par décade dans la bande audio. Nous obtenons donc bien une réjection d'ordre 2 du bruit dans l'étage de puissance grâce à la rétroaction partielle d'ordre 2. Il est bien sûr possible de démontrer qu'un ordre de rétroaction partielle n dans un modulateur d'ordre N supérieur ou égal à 2 donne une réjection d'ordre n du bruit dans l'étage de puissance.

Une analyse de NTF_3 , identique à celle effectuée précédemment et avec les mêmes hypothèses, nous conduit à un comportement de filtre passe-bas.

$$|NTF_3(j\omega)| = \frac{\sqrt{1 + \tau_1^2 \omega^2}}{\sqrt{(1 - \tau_1 \tau_2 \omega^2)^2 + (\tau_1 \omega - \tau_1 \tau_2 \tau_3 \omega^3)^2}} \quad (\text{II.36})$$

Nous pouvons montrer d'après l'équation (II.36) que le gain tend vers 1 dans les basses fréquences et vers $-\infty$ dans les hautes fréquences. Cela signifie que l'erreur générée par l'ADC reste la même dans la bande audio et est filtrée pour des fréquences plus élevées.

Nous avons choisi ici d'effectuer l'analyse fréquentielle avec des transformées de Laplace pour faciliter la démonstration. Mais ces résultats restent tout à fait valables dans le cas de modulateurs à temps discret.

En se basant sur l'équation (II.28), nous pouvons affirmer que dans cette structure, c'est le bruit de l'ADC qui détermine le SNR. En effet, le bruit dans la sortie comporte trois termes : le premier terme $NTF_1 E_1$ est entièrement déterminé par le modulateur numérique, c'est sa NTF propre multipliée par son erreur de quantification. Il est aisé de dimensionner un modulateur numérique qui rend négligeable ce terme devant les deux autres. Le second terme est $NTF_2 E_2$, l'erreur E_2 contient en grande partie la distorsion générée par l'étage de puissance et les bruits de la tension d'alimentation. La réjection de ces défauts est caractérisée par le PSRR. Le dernier terme est $NTF_3 E_3$. Nous avons vu que NTF_3 est passante dans la bande audio, mais E_3 est égale à la NTF de l'ADC multipliée par son erreur de quantification. Ce terme de bruit est donc entièrement dépendant de l'ADC et c'est aussi le plus difficile à améliorer. Nous pouvons considérer que c'est lui qui déterminera le plancher de bruit du système.

II.3.2.2 STF de l'ADC différent de 1

Nous allons maintenant refaire le calcul avec une STF de l'ADC différent de 1. Ajouter l'erreur de quantification de l'ADC filtrée par la NTF de l'ADC ne perturbe évidemment en rien les pôles de la structure. Ce n'est pas le cas quand STF_{ADC} est différent de 1 comme nous allons le voir.

Avec l'introduction de STF_{ADC} , le système donné dans l'équation (II.26) d'après le schéma de la figure II.30 devient :

$$\begin{cases} S_1 = E_1 + I + H_3 \cdot (I - S_1 + H_2 \cdot (I - S_3 + H_1 \cdot (I - S_3))) \\ S_2 = S_1 + E_2 \\ S_3 = STF_{ADC} \cdot S_2 + E_3 \end{cases} \quad (II.37)$$

Nous effectuons à nouveau la résolution et nous obtenons :

$$S_2 = STF \cdot I + NTF_1 \cdot E_1 + NTF_2 \cdot E_2 + NTF_3 \cdot E_3 \quad (II.38)$$

$$\begin{cases} STF = \frac{1 + H_3 + H_2H_3 + H_1H_2H_3}{1 + H_3 + STF_{ADC}(H_2H_3 + H_1H_2H_3)} \\ NTF_1 = \frac{1}{1 + H_3 + STF_{ADC}(H_2H_3 + H_1H_2H_3)} \\ NTF_2 = \frac{1 + H_3}{1 + H_3 + STF_{ADC}(H_2H_3 + H_1H_2H_3)} \\ NTF_3 = -\frac{H_2H_3 + H_1H_2H_3}{1 + H_3 + STF_{ADC}(H_2H_3 + H_1H_2H_3)} \end{cases} \quad (II.39)$$

Nous observons d'après l'équation (II.39) que les pôles de toutes ces fonctions de transfert sont modifiés par l'introduction de STF_{ADC} . Le tableau II.1 donne l'expression du dénominateur D_n des quatre fonctions de transfert définies dans l'équation (II.39) en fonction de l'ordre n de la rétroaction partielle. Nous observons que plus l'ordre de la rétroaction est élevé, plus la fonction de transfert STF_{ADC} possède une influence sur les pôles des différentes NTF. Cela est surtout vrai quand sa fréquence de coupure est proche des pôles des NTF. La position des pôles se trouve ainsi modifiée et il devient difficile de prévoir les conditions de stabilité du système.

n	D_n
0	$D_0 = 1 + H_3 + H_2H_3 + H_1H_2H_3$
1	$D_1 = 1 + H_3 + H_2H_3 + STF_{ADC}H_1H_2H_3$
2	$D_2 = 1 + H_3 + STF_{ADC}(H_2H_3 + H_1H_2H_3)$
3	$D_3 = 1 + STF_{ADC}(H_3 + H_2H_3 + H_1H_2H_3)$

TABLEAU II.1 - Expression de la fonction de transfert en boucle ouverte du modulateur en fonction de l'ordre n de la rétroaction partielle

II.3.3 Stabilité des modulateurs à rétroaction partielle

Nous allons montrer dans cette section l'influence de la rétroaction partielle sur la stabilité de la boucle composée d'un modulateur avec un ADC dans le chemin de rétroaction. La trop forte non-linéarité de ces processus nous a imposé comme dans le chapitre précédent d'avoir recours à des simulations pour prévoir de façon relativement fiable la stabilité d'un modulateur donné.

Il serait en effet intéressant d'utiliser les critères de stabilité courants que sont la marge de gain et la marge de phase sur la fonction de transfert en boucle ouverte du système en intégrant une STF de l'ADC différente de 1. Les tentatives que nous avons menées dans ce sens ne mènent malheureusement qu'à des incohérences entre ces résultats « analytiques » et ceux des simulations. En effet, nous avons observé que des structures peuvent être stables seulement en analytique ou seulement en simulation, ce qui donne peu de confiance sur la validité de cette méthode analytique.

Nous avons donc effectué des simulations sur un modulateur $\Delta\Sigma$ du 5^{ème} ordre cinq niveaux avec un OSR de 128. Un filtre passe-bas de type Butterworth, dont l'ordre et la fréquence de coupure sont variables, placé dans la boucle de rétroaction du modulateur simule la STF de l'ADC. La figure II.31 (a) donne la fréquence de coupure F_{cmin} du filtre en kHz pour laquelle la stabilité de la structure est obtenue, en fonction de l'ordre n_{ADC} de STF_{ADC} variant de 2 à 4, et en fonction de l'ordre de la rétroaction partielle variant de 1 à 5. La structure est jugée stable tant que la THD+N est supérieure à 1% pour une entrée sinusoïdale de -6 dBFS à 1 kHz. La figure II.31 (b) donne quant à elle le délai en nombre d'échantillons induit par ces filtres à fréquence nulle.

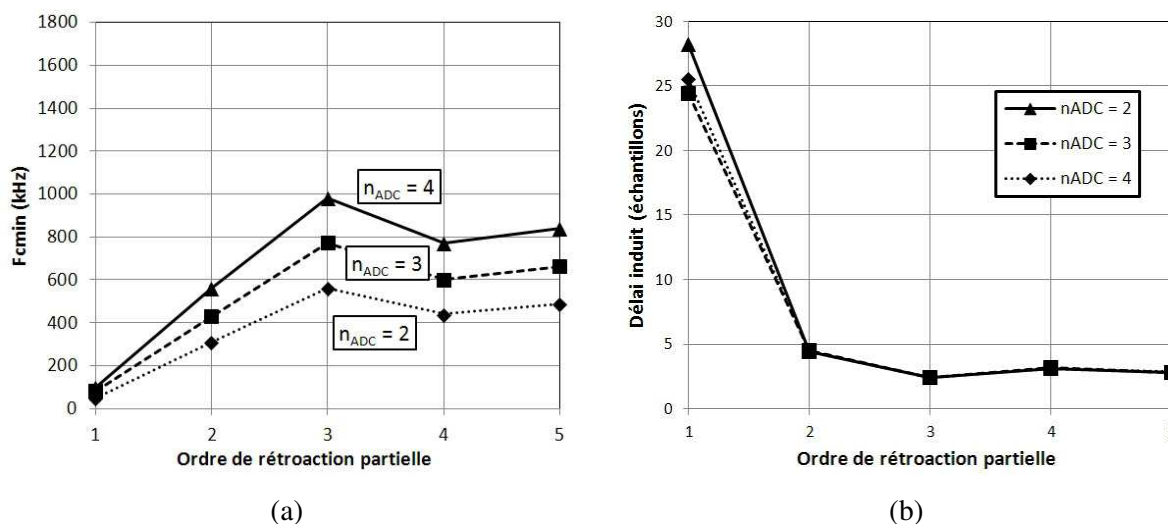


FIGURE II.31 - Fréquences de coupure de STF_{ADC} pour obtenir la stabilité de la boucle en fonction de n_{ADC} et de l'ordre de la rétroaction partielle et délai induit par ces filtres en DC

Nous pouvons conclure d'après ces deux figures que le délai induit à basse fréquence par ces filtres est primordial pour la stabilisation de la boucle et que l'ordre de STF_{ADC} ne semble pas avoir d'influence, ou très peu, sur la latence maximale admissible par la boucle à rétroaction partielle. En effet, la boucle corrige essentiellement le signal audio, donc si le signal d'entrée et le signal de rétroaction sont trop décalés, la différence entre ces deux signaux possède une amplitude très importante, ce qui a pour effet de saturer la boucle de l'amplificateur.

II.3.4 Evaluation du PSRR

Nous avons démontré pour un modulateur $\Delta\Sigma$ d'ordre 3, dans la section II.3.2, que l'ordre de la rétroaction partielle était égal à l'ordre de la réjection des bruits d'alimentation. Nous allons vérifier ce résultat par le calcul du taux de réjection des bruits d'alimentation (PSRR) grâce à des simulations sur un modulateur d'ordre 5.

Nous injectons dans la sortie du modulateur un signal sinusoïdal d'amplitude fixe à -32 dB ce qui correspond à un signal parasite d'amplitude 100 mV sur une tension de batterie égale à 4,2 V. Nous effectuons la simulation sur 5 périodes de ce signal parasite dont nous faisons varier la fréquence, et nous mesurons l'amplitude de la raie spectrale du signal parasite sur le spectre de la sortie du modulateur. Le PSRR est égal à la différence entre l'amplitude du signal parasite injecté et l'amplitude de son image dans le spectre de sortie. Les courbes du PSRR en fonction de la fréquence du signal parasite et de l'ordre de la rétroaction partielle sont données sur la figure II.32.

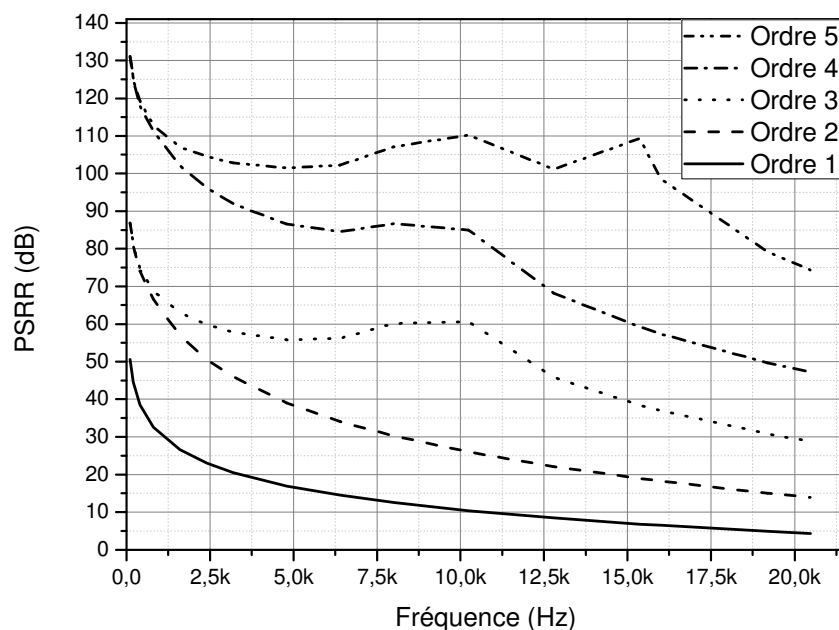


FIGURE II.32 - Variation du PSRR en fonction de la fréquence du signal parasite injecté en simulation dans l'alimentation et de l'ordre de la rétroaction partielle

Il apparaît sur ces courbes que les signaux injectés dans l'étage de sortie du modulateur sont rejetés par un filtre passe-haut d'ordre égal à celui de la rétroaction partielle. Il est d'ailleurs possible d'observer des zéros aux alentours de 10 kHz sur les courbes où l'ordre de la rétroaction est le plus élevé. La structure à rétroaction partielle permet donc d'atteindre des valeurs de PSRR élevées tout en préservant la stabilité de la boucle, ceci dépendant des performances de l'ADC.

II.3.5 Conclusion sur la rétroaction partielle

Dans cette section, nous avons décrit un mécanisme permettant de stabiliser une structure avec un modulateur $\Delta\Sigma$ numérique, pilotant un étage de puissance et dont le signal de sortie est converti en numérique par un ADC pour effectuer la rétroaction de la boucle. Nous avons montré comment la fonction de transfert de l'ADC pouvait perturber la stabilité de cette structure et par quel mécanisme de très bonnes valeurs de PSRR pouvaient être obtenues. La modélisation du système a également démontré que le bruit de la boucle complète est dominé par le bruit généré par l'ADC. Nous avons ensuite effectué des simulations qui montrent que le délai induit par la STF de l'ADC a une forte influence sur la stabilité de la boucle et détermine l'ordre de rétroaction maximal. De plus, les simulations d'injection de parasites dans l'étage de puissance ont montré que maximiser l'ordre de la rétroaction partielle permet d'améliorer le PSRR. Grâce à ces résultats, il est possible de donner des spécifications pour l'ADC pour atteindre les performances visées par le système d'amplificateur de classe D numérique en termes de SNR, de PSRR et de stabilité.

II.4 Étude de la consommation de l'étage de puissance selon la technique de modulation

Dans les amplificateurs de classe D, la consommation du circuit en fonctionnement est fortement dominée par l'énergie fournie à la charge. La modulation PDM est souvent perçue comme plus gourmande en énergie par rapport à la modulation PWM car elle nécessite une fréquence de fonctionnement plus élevée, et génère donc plus de commutations de l'étage de puissance. L'objet de cette section est de comparer la consommation générée par des deux types de modulation sur un modèle d'étage de puissance et de charge. Nous tirerons des simulations réalisées des critères d'efficacité de l'amplificateur en fonction de l'amplitude d'entrée pour juger l'influence de ces techniques sur la consommation.

II.4.1 Modélisation de l'étage de puissance

Nous avons présenté rapidement dans le chapitre I le pont en H. Son principal atout est d'être différentiel, cela permet d'éliminer toutes les perturbations du mode commun des deux signaux différentiels. L'inconvénient est de doubler la surface de l'étage de puissance par rapport à un étage de puissance où la charge est connectée à la tension commune. Toutefois la majeure partie des étages de puissance des amplificateurs de classe D pour haut-parleurs sont de ce type. Nous allons décrire ici les phénomènes pris en compte dans notre modèle de pont en H plus haut-parleur, qui permet de simuler la consommation de courant dans la charge représentant le haut-parleur. Il est ainsi possible d'effectuer des calculs de puissance en fonction du type de modulation choisi sans recourir à des simulations électriques de circuit qui prennent beaucoup plus de temps, bien que plus précises. Nous comparerons dans la section suivante les modulations PWM et PDM.

Le modèle de pont en H que nous avons adopté prend en compte trois phénomènes : l'impédance Z_{HP} de la charge, l'énergie nécessaire pour charger la grille des transistors de sortie et les résistances parasites du pont. La figure II.33 donne le schéma électrique équivalent avec paramètres qui a été porté sur Matlab Simulink pour effectuer les simulations. Nous nous intéresserons à l'impédance Z_{HP} du haut-parleur dans la section II.4.2.

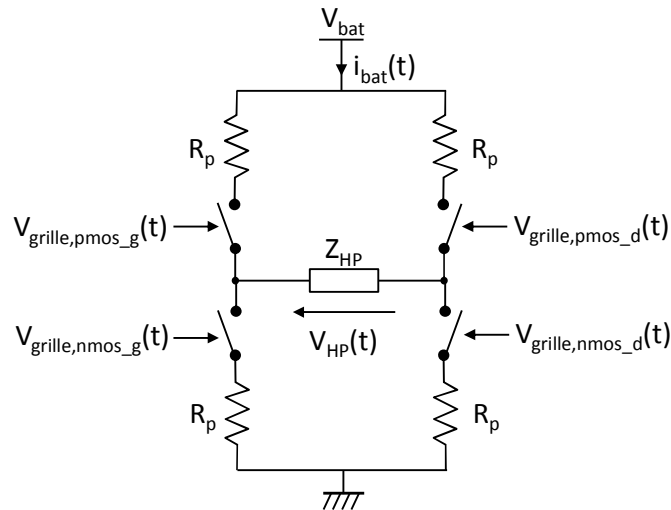


FIGURE II.33 - Schéma électrique du modèle de l'étage de puissance

Nous avons de plus évalué grâce à des simulations électriques l'énergie nécessaire pour charger la grille des transistors de puissance. En effet, les transistors de sortie sont dimensionnés pour réduire au maximum la résistance du canal et ainsi limiter les pertes par effet Joule pour augmenter l'efficacité. Il en résulte une largeur de canal de plusieurs millimètres et une très grande capacité à charger en un temps très court, de l'ordre de la nanoseconde, pour faire changer d'état ces transistors. Le tableau II.2 donne les tensions utilisées pour commander la tension appliquée à la charge.

Commande	Tension de grille des transistors			
	$V_{\text{grille}}(\text{pmos_g})$	$V_{\text{grille}}(\text{nmos_g})$	$V_{\text{grille}}(\text{pmos_d})$	$V_{\text{grille}}(\text{nmos_d})$
0	Vdd	Vdd	Vdd	Vdd
+1	Vss	Vss	Vdd	Vdd
-1	Vdd	Vdd	Vss	Vss

TABLEAU II.2 - Tableau de commande des transistors pour piloter la tension aux bornes de la charge

Enfin, nous avons inclus au modèle d'étage de puissance l'énergie dissipée pour faire commuter les transistors MOS. Pour obtenir la valeur de cette énergie, nous avons utilisé le logiciel de simulation électrique Spectre pour simuler la commutation d'un étage de puissance. L'étage de puissance simulé est celui qui a été conçu pour le prototype de circuit intégré qui sera présenté dans le chapitre III. Dans cette simulation, nous observons un pic de courant dans le circuit de commande de la grille d'un transistor lors d'une commutation. Nous avons donc simplement intégré ce pic de courant $i(t)$, et en multipliant le résultat par la tension de contrôle du transistor $u(t)$, nous obtenons directement l'énergie E d'une commutation unique d'un transistor.

$$E = \int_0^t u(t) \cdot i(t) \cdot dt \quad (\text{II.40})$$

De cette façon, nous avons évalué à 20 nJ l'énergie nécessaire pour le changement d'état d'un transistor PMOS et 10 nJ pour un transistor NMOS. En effet, un transistor PMOS est plus grand qu'un transistor NMOS à résistance ON égale, car la mobilité des porteurs de charge est plus grande pour ce dernier. L'énergie nécessaire pour faire commuter le pont dépend de la transition entre deux états. Le tableau II.3 donne d'une part la définition des états, et la liste des transitions possibles avec la quantité d'énergie associée nécessaire pour charger les grilles.

Transition	Transistors				Énergie
	$V_{\text{grille,pmos_g}}$	$V_{\text{grille,nmos_g}}$	$V_{\text{grille,pmos_d}}$	$V_{\text{grille,nmos_d}}$	
0 $\rightarrow$ -1	Décharge	Décharge	=	=	0 nJ
0 $\rightarrow$ +1	=	=	Décharge	Décharge	0 nJ
+1 $\rightarrow$ 0	Charge	Charge	=	=	30 nJ
-1 $\rightarrow$ 0	=	=	Charge	Charge	30 nJ
+1 $\rightarrow$ -1	Charge	Charge	Décharge	Décharge	30 nJ
-1 $\rightarrow$ +1	Décharge	Décharge	Charge	Charge	30 nJ

TABLEAU II.3 – Transitions possibles de l'étage de puissance et énergie de commutation associée

Le modèle intègre enfin les résistances parasites qui consomment une partie du courant destinée à la charge et donc dégradent l'efficacité. Il y a tout d'abord la résistance des plots de la puce, au nombre de quatre comme illustré sur la figure II.33, la résistance entre le drain et la source des deux transistors PMOS et NMOS, et la résistance des pistes de métal reliant les doigts de ces transistors. Nous avons pris de façon arbitraire la valeur de 500 m Ω pour la résistance cumulée $2R_p$ sur le chemin du courant en excluant la charge de 8 Ω . Les transistors sont conçus pour que cette résistance soit la plus faible possible, avec donc une longueur de grille minimum et une largeur maximum. Il faut cependant ajouter la résistance de la piste sur la carte où est soudé le circuit.

Avec ces données, il nous a été possible de modéliser le courant passant dans la charge, et d'en déduire le courant fourni par la batterie en fonction de la commande de l'étage de puissance. Nous avons choisi de ne pas modéliser les temps morts (voir section III.2). Ils sont nécessaires pour le fonctionnement correct d'un pont en H et sont donc présents dans toutes les architectures. La différence entre les techniques de modulation porte sur la réjection de la distorsion ainsi générée.

II.4.2 Modèle de haut-parleur

Un haut-parleur est usuellement modélisé par un schéma électrique séparé en deux parties (voir figure II.34 (a)) : une partie électrique et une partie mécanique. Ce modèle est issu des publications de Thiele et de Small [18] [19] [20] qui ont abouti aux paramètres de Thiele-Small, largement utilisés pour spécifier les haut-parleurs. Il est valide pour un déplacement linéaire de la membrane. Le tableau II.4 donne la description des paramètres de Thiele-Small. La figure II.34 (b) donne un modèle simplifié de haut-parleur sans transformateur avec des paramètres recalculés en fonction du facteur Bl.

Cependant, dans cette étude, nous nous intéressons à la consommation de l'étage de puissance en fonction de la technique de modulation. Si l'amplitude du signal d'entrée se trouve dans la bande de fonctionnement normal de l'amplificateur, le contenu dans la bande audio reste le même quel que soit le type de modulation utilisé. La différence se trouve dans la quantification, rejetée vers les hautes-fréquences. Dans la figure II.34 (b), l'impédance équivalente aux composants L_{ces} , C_{mes} et R_{es} en parallèle décrit des phénomènes mécaniques qui sont par nature basse fréquence. Si nous faisons l'hypothèse que cette impédance mécanique est dominée par la capacité C_{mes} dont l'impédance tend vers 0 en haute fréquence, nous pouvons considérer que le bruit de quantification appliquée au haut-parleur voit l'impédance électrique Z_e représentée sur la figure II.35 formée de la résistance R_e et de l'inductance L_e en série. La valeur de ces composants est caractéristique du haut-parleur et a une grande influence sur le rendement du système. Pour les téléphones portables, il est courant de trouver dans les publications et datasheets une valeur de 8 Ω pour la résistance et 22 μH pour l'inductance, ce

qui donne un filtre passe bas avec une fréquence de coupure de 57,9 kHz [21]. Nous pouvons noter que plus la valeur de l'inductance est élevée, moins la fréquence de coupure est haute, et moins les composantes du signal en dehors de la bande audio génèrent de la consommation de courant. C'est avantageux mais cela dépend totalement des caractéristiques électromécaniques du haut-parleur.

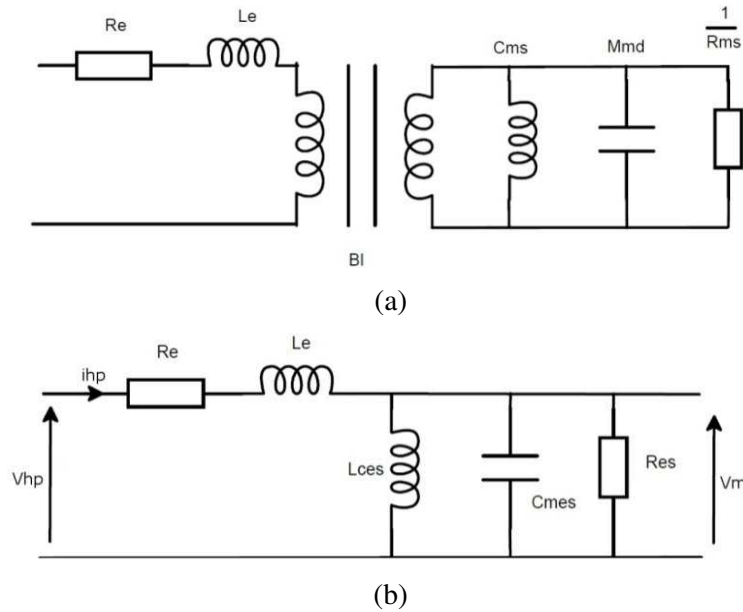


FIGURE II.34 – (a) Modèle de haut-parleur d'après Thiele-Small ;
(b) Modèle électrique simplifié

Nom	Description	Unité
R_e	Impédance du haut-parleur en DC	Ω
L_e	Inductance de la bobine	H
Bl	Produit du champ magnétique par la longueur. Ce facteur relie la force au courant.	T.m
C_{ms}	« Compliance » – Inverse de la constante de raideur de la membrane	m/N
M_{md}	Masse de la membrane en mouvement	kg
R_{ms}	« Résistance » mécanique – modélisation des pertes mécaniques dans le haut-parleur	N.s/m

TABEAU II.4 – Paramètres de Thiele-Small

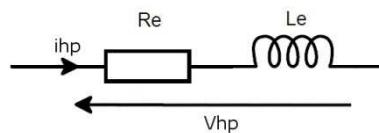


FIGURE II.35 – Impédance du haut-parleur dans le modèle simulé

II.4.3 Simulations

Pour évaluer l'intérêt de notre solution par rapport à d'autres techniques en termes de gestion de l'étagé de puissance, nous avons effectué plusieurs simulations pour mesurer les critères que nous listons ici. Nous noterons V_{bat} la tension de batterie, $i_{bat}(t)$ le courant fourni par la batterie, $V_{HP}(t)$ la tension aux bornes du haut-parleur, $N_{comm,T}$ le nombre de commutation pendant une période T , e_{comm} l'énergie nécessaire à une commutation et T la période du signal sinusoïdal en entrée de l'amplificateur.

II.4.3.1 La puissance consommée

L'efficacité est certainement le critère le plus important mais sa définition même est problématique. Nous l'avons définie dans le chapitre I comme le rapport de la puissance utilisée pour établir le signal d'entrée sinusoïdal à une amplitude donnée aux bornes de la charge, et de la puissance débitée par la batterie. Toutefois, dans cette étude, nous nous bornerons à comparer la puissance P_{bat} débitée par la batterie et dissipée dans le pont en H et la charge, et la puissance consommée par les préamplificateurs P_{comm} pour charger la capacité de grille des transistors de puissance à chaque commutation. Nous donnons dans l'équation (II.41) la formule de P_{bat} , la notation $\langle i_{bat}(t) \rangle$ signifie la valeur moyenne du courant $i_{bat}(t)$. L'équation (II.42) donne la formule de P_{comm} qui est définie comme la somme sur une période d'horloge de l'énergie nécessaire à chaque commutation (voir tableau II.3).

$$P_{bat} = \frac{1}{T} \int_0^T V_{bat} \cdot i(t) dt = V_{bat} \cdot \langle i_{bat}(t) \rangle \quad (II.41)$$

$$P_{comm} = \frac{1}{T} \sum_{i=1}^{N_{comm,T}} e_{comm}(i) \quad (II.42)$$

II.4.3.2 Le taux d'exposition

L'étagé de puissance d'un amplificateur de classe D est contrôlé par des signaux prenant les valeurs : '+1', '0' et '-1'. Ainsi, quand le signal de contrôle est égal à '+1' ou '-1', la charge du haut-parleur est soumise à la tension de batterie. Cette tension de batterie peut être exposée à des perturbations – et c'est le cas dans les applications mobiles – qui se transmettent entièrement ou partiellement à la charge, selon qu'il s'agisse respectivement d'une boucle ouverte ou fermée. Le temps d'exposition à la tension de batterie va donc avoir une forte influence sur la valeur du PSRR.

De la même façon, des perturbations sur la masse sont transmises à la charge de l'amplificateur lorsque celle-ci est placée entre le nœud de la batterie et la masse. Quand le signal de contrôle du pont en H est à zéro, les deux bornes du haut-parleur sont connectées à la même tension par les transistors de puissance, ce qui élimine les perturbations de la masse. La charge étant inductive, il y a toujours un courant et donc une tension résiduelle aux bornes du haut-parleur. De ce fait, la durée d'exposition à la masse est la même que la durée d'exposition à la tension de batterie. Le taux d'exposition t_{exp} est donc défini, pour un signal d'entrée périodique, comme le rapport de la durée du temps d'exposition à la tension de batterie sur la durée d'une période du signal.

$$t_{exp} = \frac{1}{T} \int_0^T \frac{|V_{charge}(t)|}{V_{bat}} dt \quad (II.43)$$

II.4.3.3 La fréquence de commutation

La fréquence de commutation est définie comme le nombre de commutations moyen de l'étage de puissance par seconde. A chaque changement d'état de l'étage de puissance une certaine quantité d'énergie est perdue. Nous avons évalué à 30 nJ l'énergie consommée par une commutation (voir section II.4.1). Quand cette énergie est multipliée par une fréquence de commutation de plusieurs centaines de kHz, cela donne des puissances de quelques dizaines de mW. Cette consommation devient non négligeable pour de faibles puissances de sortie, il convient donc de limiter les commutations de l'étage de puissance au maximum. Nous donnons ci-dessous la formule utilisée pour calculer cette fréquence.

$$f_{comm} = \frac{N_{comm,T}}{T} \quad (II.44)$$

II.4.3.4 Perturbations électromagnétiques

De plus, ces commutations peuvent générer des perturbations électromagnétiques (EMI pour « Electro Magnetic Interference » en anglais) pouvant gêner le fonctionnement du système. En effet, la circulation du courant sur les pistes du circuit génère un champ magnétique, qui peut lui-même créer un courant parasite dans les pistes parallèles et dégrader les signaux environnants.

La méthode classique pour limiter ces perturbations est d'insérer dans les impulsions de sortie des temps de montée et de descente de plusieurs dizaines de nanosecondes et ainsi de diminuer fortement les raies à hautes fréquences. Cette méthode repose sur le fait que la transformée de Fourier discrète d'un signal rectangulaire génère des raies spectrales d'intensité beaucoup plus forte que celles générées par un signal triangulaire, ou trapézoïdal en l'occurrence. Toutefois, cette technique

s'applique beaucoup mieux à la modulation PDM où le signal de sortie est composé d'impulsions élémentaires de durée constante, plutôt qu'à la modulation PWM trois états '+1', '0' et '-1' où des signaux de très faible amplitude ont une durée quasiment nulle. D'ailleurs, l'insertion de temps de montée et descente trop longs sur ce type de modulation ont de plus une influence néfaste sur la distorsion. Enfin, pour être plus complet, il faut ajouter que la modulation PWM à deux états '+1' et '-1' est très peu génératrice d'EMI. En effet, les deux signaux de contrôles sont en permanence en opposition de phase, ce qui neutralise leurs émissions respectives.

II.4.3.5 Résultats de simulation

Nous venons donc de définir des critères pour comparer différentes techniques de modulation. Trois techniques différentes ont été modélisées et simulées. Le premier modulateur est PDM, il s'agit du modulateur $\Delta\Sigma$ du 5^{ème} ordre utilisé dans l'architecture classe D numérique. Sa structure et ses coefficients sont donnés dans la section III.1.5. Les deux autres modulateurs sont de type PWM, ils sont illustrés sur les figures II.36 (a) et (b). Le premier, noté PWM2, est le modulateur PWM à deux états, du premier ordre avec rétroaction. Le second, noté PWM3, a une architecture différentielle du premier ordre, dont la sortie prend trois états et possède une boucle de rétroaction.

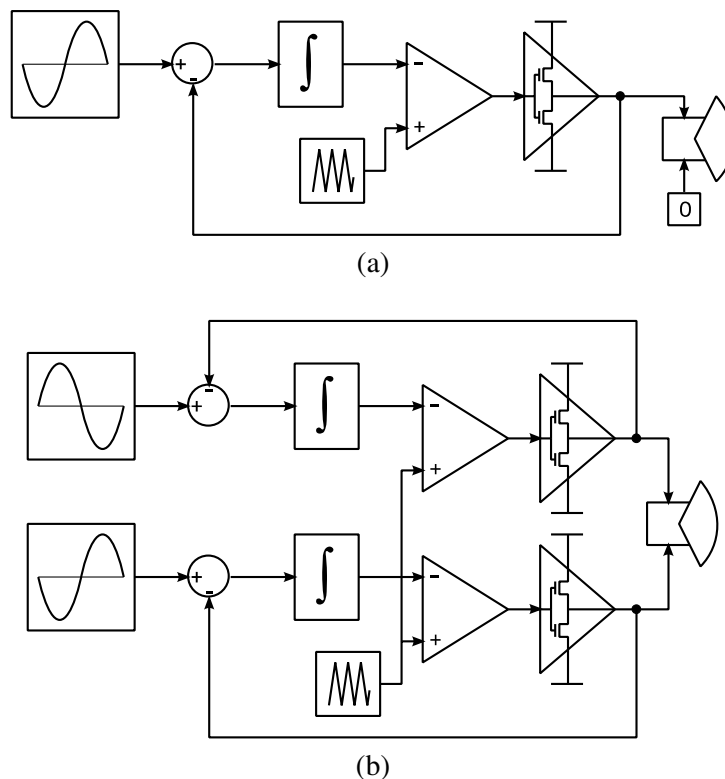


FIGURE II.36 - Schémas des modèles utilisés pour les simulations de l'étage de puissance

(a) Modulateur PWM du premier ordre à deux états (PWM2)

(b) Modulateur PWM pseudo-différentiel du premier ordre à trois états (PWM3)

L'intérêt des simulations que nous avons effectuées porte plutôt sur la façon dont est exploité l'étage de puissance, et avec quelle efficacité, plutôt que sur les performances audio. Les conditions de simulations sont une tension de batterie de 5 V pour alimenter le pont en H, une entrée sinusoïdale de fréquence 1 kHz dont l'amplitude varie et le calcul des critères définis précédemment est effectué sur deux périodes de ce signal.

Les courbes des figures II.37 à II.39 présentent les résultats comparés des simulations des trois types de modulations. La figure II.37 donne dans les graphes (a), (b) et (c) la puissance P_{bat} et la puissance consommée en commutations P_{comm} . Sur le graphe (d) de cette même figure, nous avons cumulé pour chaque modulateur les puissances P_{bat} et P_{comm} .

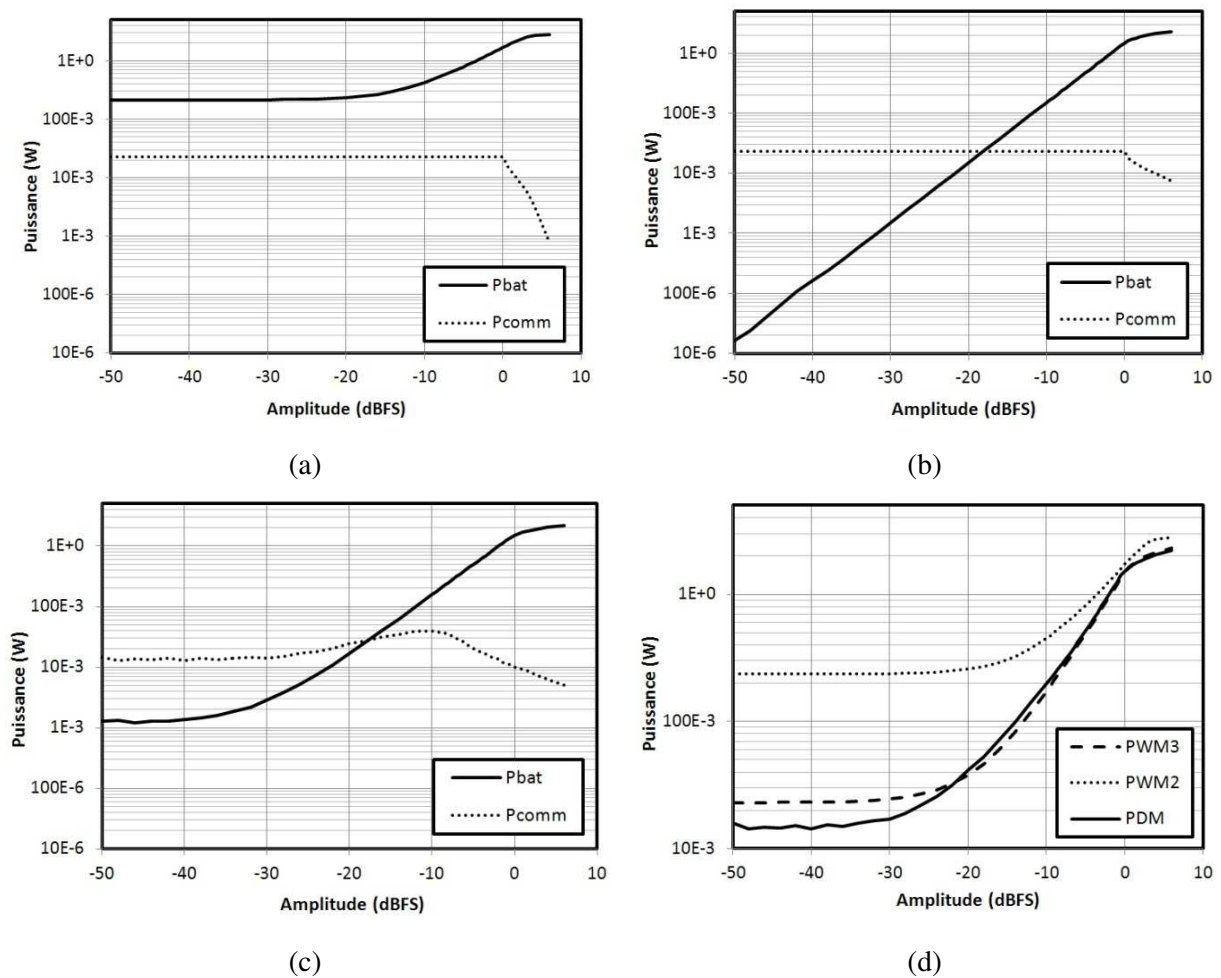


FIGURE II.37 - Résultat des simulations de puissance

(a) PWM2 ; (b) PWM3 ; (c) PDM ;

(d) Comparaison des puissances totales (batterie et commutations)

A propos de la puissance totale consommée illustrée sur la figure II.37 (d), le modulateur PWM2 est sans conteste le moins performant. Le fait que la charge soit en permanence alimentée par la batterie demande un fort courant, même pour une puissance du signal audio nulle. Entre les

modulateurs à trois états PDM et PWM3, nous avons des graphes ressemblants avec un avantage pour la puissance P_{bat} du PWM3 à basse amplitude. Cet avantage est cependant tout à fait négligeable car à ces amplitudes, la puissance P_{bat} est très faible devant P_{comm} . Le modulateur PDM consomme ainsi environ 30% de moins que le PWM3 pour des puissances inférieures à 10 mW car sa fréquence de commutation est inférieure, mais ces deux modulateurs se valent en termes de consommation pour des puissances supérieures.

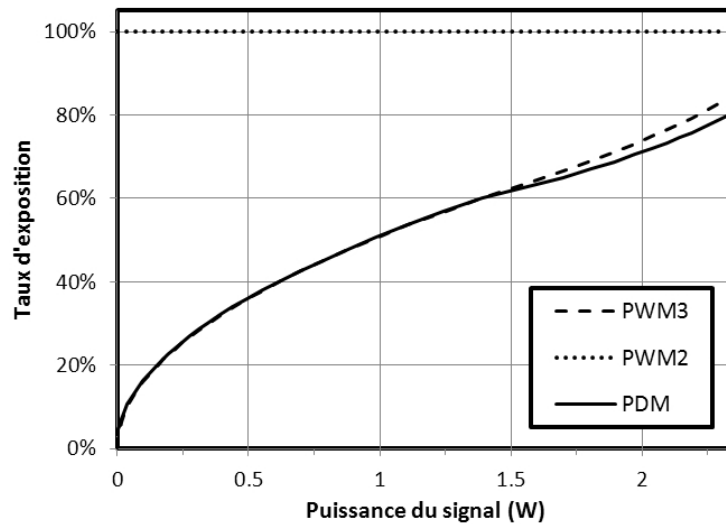


FIGURE II.38 - Taux d'exposition des modulateurs

Dans la figure II.38, le taux d'exposition du modulateur PWM2 est sans surprise égal à 100%. Nous voyons que l'introduction d'un état zéro pour le modulateur PWM3 et pour le modulateur PDM donne un taux d'exposition semblable et donc une immunité semblable aux bruits d'alimentation, avec toutefois un léger avantage pour la modulation PDM.

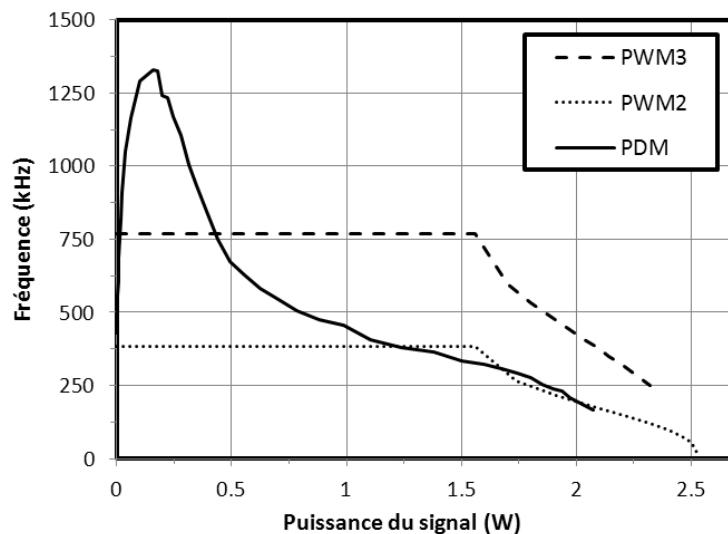


FIGURE II.39 - Fréquence de commutation des modulateurs

La figure II.39 présente les mesures du nombre de commutations de l'étage de puissance. Nous avons choisi de faire fonctionner les modulateurs PWM à 384 kHz, une fréquence usuelle qui correspond à 8 fois 48 kHz, la fréquence d'échantillonnage de l'entrée audio numérique. Nous observons encore sans surprise qu'avant saturation, les fréquences de commutation du PWM2 et de PWM3 sont respectivement de 384 et 768 kHz. La fréquence de commutation du PDM est quant à elle relativement faible à très basse et haute amplitude, de l'ordre de 400 kHz, à comparer avec la fréquence de fonctionnement du modulateur qui est de 6,144 MHz, même s'il y'a un pic à 1,3 MHz pour des puissances d'une centaine de mW. La courbe comparant les puissances totales relativise cette remarque car à ces puissances, la consommation due aux commutations est négligeable devant celle dissipée dans le haut-parleur.

En résumé, le modulateur PDM simulé ici est plus avantageux que le modulateur PWM tant au niveau de la réjection des bruits d'alimentation, que de la puissance consommée à basse et haute amplitude.

II.5 Conclusion du chapitre

Le but de ce chapitre est de présenter les différentes problématiques auxquelles nous nous sommes confrontés dans la conception de la boucle $\Delta\Sigma$ à rétroaction partielle de l'amplificateur audio numérique qui est l'objet de cette thèse. Le chapitre a donc débuté par l'explication du principe d'un modulateur $\Delta\Sigma$ en partant de l'exemple simple du modulateur du premier ordre. Les différentes notions de la modulation $\Delta\Sigma$ comme la quantification, la stabilité, le sur-échantillonnage ou les fonctions de transfert de bruit ont ainsi pu être illustrées.

Dans un second temps, une méthode robuste et automatisable de conception d'un modulateur $\Delta\Sigma$ a été présentée. Nous avons vu différentes architectures ayant chacune ses forces et faiblesses, nous en avons choisi une particulière afin d'illustrer notre méthode de dimensionnement de modulateurs. Cette méthode consiste en ces quelques étapes : choix de l'architecture, choix et paramétrage du filtre servant de modèle à la NTF et résolution du système avec le modèle en Z pour obtenir les coefficients du modulateur. Une étude sur les paramètres du filtre a de plus été réalisée afin de mettre en évidence leur influence sur le comportement du modulateur, sur la qualité du signal en sortie et sur la stabilité du modulateur.

Par la suite, diverses techniques ont été présentées. Elles permettent d'accroître les performances en termes de stabilité pour la quantification multi-bit, de qualité sonore pour le dithering et de SNDR pour la stabilisation non linéaire à haute amplitude. Le type d'étude que nous avons

réalisée pour chacune de ces techniques illustre parfaitement la façon dont les paramètres d'un modulateur $\Delta\Sigma$ sont fixés. En effet, la première analyse de la structure du modulateur est linéaire, et cette modélisation explique bien son comportement jusqu'au point où des processus non-linéaires entrent en jeu. Une étude des paramètres importants par balayage permet d'optimiser leur valeur. Une telle étude requiert toutefois une certaine expérience des modulateurs $\Delta\Sigma$.

Nous avons ensuite introduit le concept de rétroaction partielle en utilisant les notions présentées dans les sections précédentes. Ce principe, qui a fait l'objet d'un brevet [22], permet de résoudre les problèmes de stabilité d'un amplificateur audio piloté par un modulateur $\Delta\Sigma$ numérique et possédant un ADC dans sa boucle de retour. La rétroaction partielle offre un compromis entre la stabilité de la boucle et la réjection des perturbations dans l'étage de puissance. En effet, la fonction de transfert de l'ADC peut influencer négativement sur la stabilité de la boucle complète. L'intérêt du concept de rétroaction partielle est justement de pouvoir régler la quantité de rétroaction issue de l'ADC et celle issue directement de la sortie du modulateur $\Delta\Sigma$. Cela permet également d'atteindre un niveau de PSRR supérieur à 100 dB sur presque toute la bande audio en utilisant un ADC approprié, quand la plupart des amplificateurs existants affichent un maximum de 80 dB à 217 Hz. Cette valeur est atteinte avec notre système pour un ordre de rétroaction partielle supérieur ou égal à 2.

Enfin, nous avons présenté une étude sur la façon dont la technique de modulation influe sur la consommation de courant dans l'étage de puissance. Nous avons ainsi comparé les modulateurs PDM et PWM. Pour ce qui est de la consommation, ces deux types de modulateurs diffèrent surtout par le fait que la fréquence de commutation PWM est fixe tandis que celle du PDM varie avec l'amplitude du signal. Nous avons également comparé l'influence du nombre d'états de l'étage de puissance, deux ou trois. Sans surprise, nous avons constaté une nette augmentation de la consommation avec deux états et une exposition totale aux perturbations sur la tension d'alimentation, tandis que 3 états permettent d'obtenir une réjection intrinsèque des bruits d'alimentation qui diminue quand l'amplitude du signal augmente.

Références du chapitre II

- [1] F. De Jager, «Delta Modulation - a method of PCM transmission using the one unit code,» *Philips Res. Rep.*, vol. 7, pp. 442-466, 1952.
- [2] H. Inose, Y. Yasuda et J. Murakami, «A telemetering system by code modulation - Delta-Sigma Modulation,» *IRE Trans. Space Electron. Telemetry*, Vols. 1 sur 2 SET-8, pp. 204-209, 1962.
- [3] R. Schreier et G. C. Temes, *Understanding Delta-Sigma Converters*, Wiley Interscience - IEEE Press, 2005.
- [4] S. H. Ardalan et J. J. Paulos, «An Analysis of Nonlinear Behavior in Delta-Sigma Modulators,» *IEEE Transactions on Circuits and Systems*, vol. 34, n° 16, pp. 593-603, 1987.
- [5] R. Schreier, «An Empirical Study of High-Order Single-bit Delta-Sigma Modulators,» *IEEE Transactions on Circuits and Systems II*, vol. 40, pp. 461-466, 1993.
- [6] A. Vodopivec, *wxMaxima*, 11.08.0.
- [7] A. V. Oppenheim et R. Schaffer, *Discrete-Time Signal Processing Third Edition*, Prentice Hall, 2009.
- [8] M. Davis, «Chapter 2. Approximation,» chez *Passive, Active and Digital Filters*, CRC Press, 2006.
- [9] A. Leuciuc, «Nonlinear Stabilization Techniques for Delta-Sigma Modulators,» chez *European Conference on Circuit Theory and Design*, 1999.
- [10] S. Norsworthy, R. Schreier et G. Temes, *Delta-Sigma Data Converters - Theory, Design, and Simulation*, Wiley Interscience - IEEE Press, 1997.
- [11] J. Vanderkooy et S. P. Lipshitz, «Digital Dither: Signal Processing with Resolution far below the Least Significant Bit,» chez *AES 7th International Conference*, 1989.
- [12] R. A. Wannamaker, «The Theory of Dithered Quantization,» chez *University of Waterloo*, 2003.
- [13] M. Berkhout et L. Dooper, «Class-D Audio Amplifiers in Mobile Applications,» *IEEE Trans. on Circuits and Systems*, vol. 57, n° 15, pp. 992-1002, 2010.
- [14] STMicroelectronics, *3W Filter-free Class D Audio Power Amplifier TS4962*, 2007.
- [15] A. Hufenus, G. Pillonnet, N. Abouchi et F. Goutti, «A Comparison of Phase-Shift Self-Oscillating and Carrier-based PWM Modulation for Embedded Audio Amplifiers,» chez *AES 128th Convention*, 2010.

- [16] T. Forzley et R. Mason, «A Scalable Class D Audio Amplifier for Low Power Applications,» chez *AES 37th International Conference*, 2009.
- [17] Cirrus Logic, *Datasheet CS4461 - Multi-Bit A/D for Class-D Real-Time PSR Feedback*, 2005.
- [18] A. N. Thiele, «Loudspeakers in Vented Boxes: Part I,» *Journal of the Audio Engineering Society*, vol. 19, n° 15, pp. 382-392, 1971.
- [19] A. N. Thiele, «Loudspeakers In Vented Boxes: Part II,» *Journal of the Audio Engineering Society*, vol. 19, n° 15, pp. 471-483, 1971.
- [20] R. H. Small, «Vented-Box Loudspeaker Systems,» *Journal of the Audio Engineering Society*, vol. 21, n° 15, pp. 363-372, 1973.
- [21] Wolfson Microelectronics, *Datasheet WM9001 - 1W Dual-Mode Class AB/D Speaker Driver*, 2010.
- [22] H. Ihs et C. Dufaza, «Class-D Digital Amplifier Configured for Shaping non-idealities of an Output Signal». Brevet WO/2009/153449, 2009.

Chapitre III

Amplificateur de classe D numérique

Nous allons nous intéresser dans ce chapitre à l'implémentation de l'amplificateur de classe D numérique développé par l'entreprise Primachip composé d'un modulateur $\Delta\Sigma$ numérique pilotant l'étage de puissance, avec une rétroaction réalisée par un modulateur $\Delta\Sigma$ temps continu (que nous appellerons ADC par abus de langage). Nous détaillerons chacune des solutions techniques apportées au système, répondant aux contraintes énumérées plus haut. Cette architecture d'amplificateur se veut évolutive et adaptée aux exigences du marché du multimédia embarqué. Elle intègre de nombreuses fonctionnalités et mécanismes apportant des performances audio haute-définition, une bonne programmabilité et une consommation très basse. Les innovations majeures de cet amplificateur résident d'une part dans le concept de boucle à rétroaction partielle, présenté dans la section II.3, et d'autre part dans la mise en place d'un convertisseur analogique numérique temps continu dont les limitations ont été compensées par l'ajout de mécanismes spécifiques.

Ce chapitre portera également sur la conception et la mesure d'un prototype sur circuit intégré de cet amplificateur. Ce prototype fait suite à un premier prototype implémentant la boucle de classe D numérique, utilisant des composants discrets sur une carte électronique dédiée pour la partie analogique et un FPGA contenant la partie numérique. Le tableau III.1 présente les performances mesurées de ce prototype. Elles sont très satisfaisantes comparées aux performances de l'état de l'art présentées dans le tableau I.2. Toutefois, un prototype sur circuit intégré a été indispensable pour démontrer la faisabilité et prouver le potentiel de l'architecture de classe D numérique par rapport aux autres amplificateurs intégrés existants.

Paramètres	Mesures du prototype discret	Spécifications du prototype intégré
SNR	99,5 dB	105 / 110 dB
THD+N	-75 dB	-90 / -100 dB
PSRR à 217 Hz	87 dB	90 dB
Puissance maximale (THD+N = 1 %)	1,26 W	1,56 W
Courant	/	2,5 mA

TABLEAU III.1 - Tableau des performances du prototype d'amplificateur discret

L'architecture de l'amplificateur développé par Primachip est présentée sur le schéma de la figure III.1. Les blocs analogiques ont été représentés en gris et les blocs numériques ont été laissés en blanc.

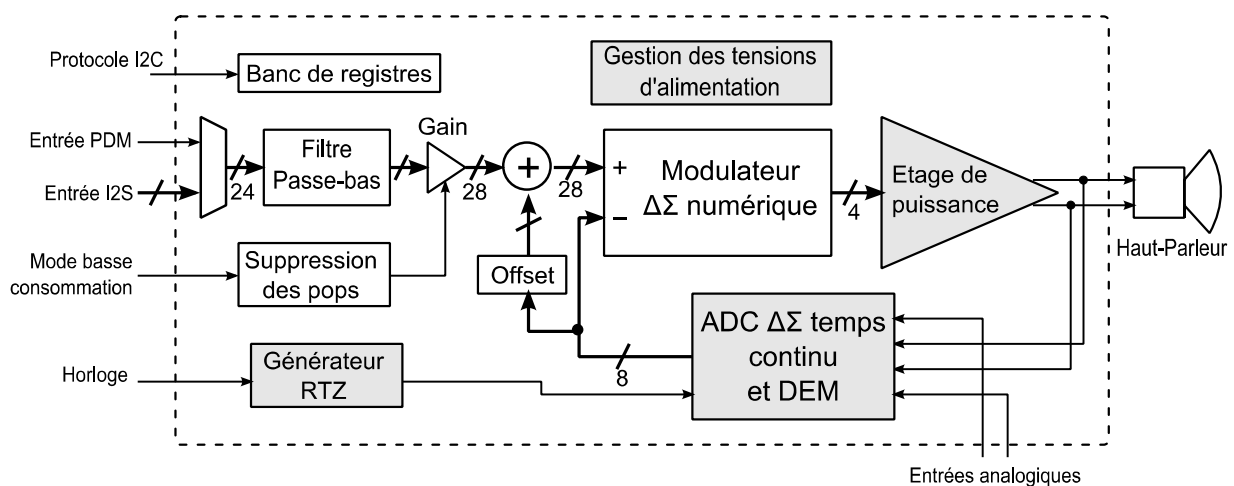


FIGURE III.1 - Architecture de l'amplificateur de classe D numérique avec ses principaux blocs et fonctions

Nous présenterons le système en le découpant en trois parties distinctes, faisant chacune l'objet d'une section. La première est la partie numérique comprenant le prétraitement du signal, le modulateur numérique, l'interface de programmation série permettant le contrôle et la configuration des blocs du circuit et d'autres mécanismes que nous détaillerons. La deuxième partie est l'étage de puissance qui décode le signal sur 5 niveaux issu du modulateur numérique, afin de générer les signaux de contrôle des 4 transistors de puissance du pont en H. C'est ce pont en H qui pilote directement le haut-parleur avec la tension de batterie. La troisième partie est l'architecture de l'amplificateur par l'ADC $\Delta\Sigma$ du 4^{ème} ordre temps continu. Cet ADC convertit en un signal numérique modulé le signal audio différentiel en sortie de l'étage de puissance pour fermer la boucle de rétroaction. Il est muni d'un nouveau générateur de signaux d'horloge RTZ (pour « Return-to-Zero » en anglais) qui permet de réduire de façon importante la sensibilité de l'ADC temps continu aux bruits

de phase de l'horloge (« jitter » en anglais). Un nouvel algorithme de correction dynamique des erreurs d'appariement (DEM) a été ajouté au DAC dans la boucle de rétroaction de l'ADC pour garantir la linéarité de celui-ci.

La conception du circuit intégré fera ensuite l'objet d'une section. Il s'agira de décrire les différents aspects et niveaux de cette conception : développement de la partie numérique, ajout des blocs permettant générer les tensions et courants nécessaires au fonctionnement autonome du prototype, étapes de validation et mesures des performances en simulation, et enfin, assemblage du circuit pour en faire un système sur silicium fonctionnel. La section suivante portera sur l'évaluation du prototype. Nous exposerons d'abord les moyens de test employés pour obtenir les mesures, puis nous en présenterons les résultats. Ces derniers seront analysés et des explications seront fournies quant à leur qualité, compte tenu des erreurs de conception détectées dans ce premier prototype. Nous terminerons ce chapitre III par des propositions d'amélioration de l'architecture d'amplificateur de classe D numérique.

III.1 Étage d'entrée numérique

Les amplificateurs de classe D possédant une entrée numérique sont souvent munis d'une boucle d'amplification analogique, qui est couplée à un convertisseur numérique analogique placé en amont en boucle ouverte (par exemple [1]). Ajouter cette entrée numérique crée donc de nouvelles contraintes d'implémentation, ajoute de la complexité et requiert de la surface supplémentaire. Contrairement à ces amplificateurs, l'architecture que nous avons développée supporte intrinsèquement une entrée numérique, la conversion numérique-analogique s'effectuant à l'intérieur de la boucle d'amplification. En effet, l'étage de puissance de l'amplificateur de classe D supporte un signal de commande sur 3 niveaux maximum. Un modulateur numérique est donc tout adapté pour générer un tel signal.

III.1.1 Entrée audio

L'étage d'entrée numérique de l'amplificateur permet au système de posséder potentiellement des interfaces pour tous les formats audio numériques. Il est possible de sélectionner deux types d'entrée sur le prototype grâce à l'interface de programmation série.

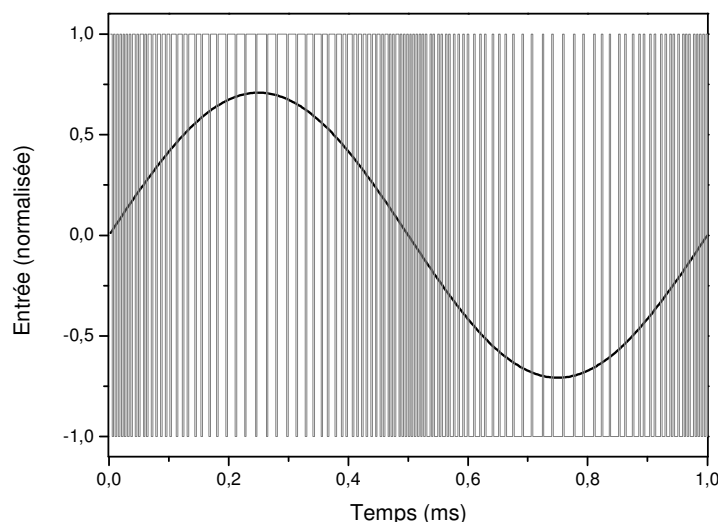


FIGURE III.2 – Illustration du format PDM avec le codage sur 1 bit d'un signal sinusoïdal

Le premier format choisi est le PDM (pour « Pulse Density Modulation »). Il s'agit en fait de la sortie d'un modulateur $\Delta\Sigma$ 1-bit qui peut donc être transmise sur un seul fil. Le circuit recevant ce format doit également posséder un signal d'horloge synchrone (voir figure III.2). Ce format a été retenu car il permet de transmettre les données sur un seul fil, ce qui a pour avantage de diminuer le nombre d'entrées et sorties. C'est un format numérique, donc relativement peu sensible aux

perturbations du circuit imprimé, et possédant une qualité satisfaisante pour la haute-fidélité. Un dernier point fort de ce format est que le signal est déjà sur-échantillonné à la fréquence de fonctionnement du modulateur ce qui évite la présence d'un filtre interpolateur dans l'amplificateur, laissant ce rôle à un processeur dédié au traitement du signal (DSP) ou au processeur central du système.

Une entrée I2S a également été incluse sur le prototype en option, afin de pouvoir piloter directement le prototype depuis la carte d'interface sans avoir à générer le signal au format PDM. La figure III.3 présente ce format I2S, elle est issue de la spécification de Philips [2]. C'est un format audio standard permettant de transmettre directement sur 3 fils un signal stéréo (2 canaux) codé sur 16, 20, 24 ou 32 bits. Un fil contient le signal d'horloge (SCK), un second le canal transmis WS – gauche ou droite – et le troisième contient les bits d'échantillons en série du MSB au LSB (SD).

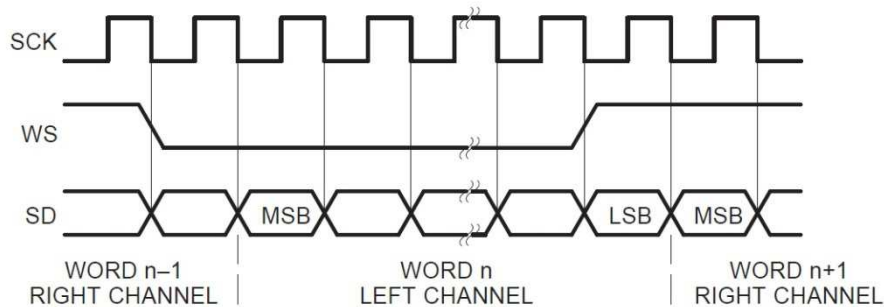


FIGURE III.3 – Chronogramme de l'interface I2S issu de la spécification de Philips [2]

Toutefois, le fonctionnement de l'amplificateur n'est pas optimal quand l'entrée I2S est utilisée car il n'y a pas de filtre interpolateur dans la partie numérique pour supprimer les alias produits par l'échantillonnage de l'entrée audio. Il y a simplement le filtre passe-bas du second ordre décrit plus bas.

III.1.2 Filtrage de l'entrée PDM

Avec le format PDM, il est préférable de munir l'étage d'entrée d'un filtre passe-bas afin de filtrer un maximum de bruit de quantification en dehors de la bande audio. Cela a pour effet de diminuer la puissance totale du signal à traiter par le modulateur de l'amplificateur et ainsi améliorer sa stabilité.

Les contraintes de ce filtre sont simples, il s'agit d'enlever la majeure partie du bruit de quantification en limitant l'erreur de gain et de phase dans la bande audio pour ne pas modifier le signal audio. La taille du filtre après synthèse doit également être la plus faible possible, ce qui guide vers un filtre de type IIR. Nous avons ainsi choisi un filtre du 2nd ordre de Butterworth, qui a pour

propriété d’avoir une courbe d’amplitude plate pour les fréquences de sa bande passante. La fréquence de coupure a été choisie pour avoir une atténuation inférieure à 0,2 dB à 20 kHz. La figure III.4 donne le spectre en entrée et en sortie de ce filtre.

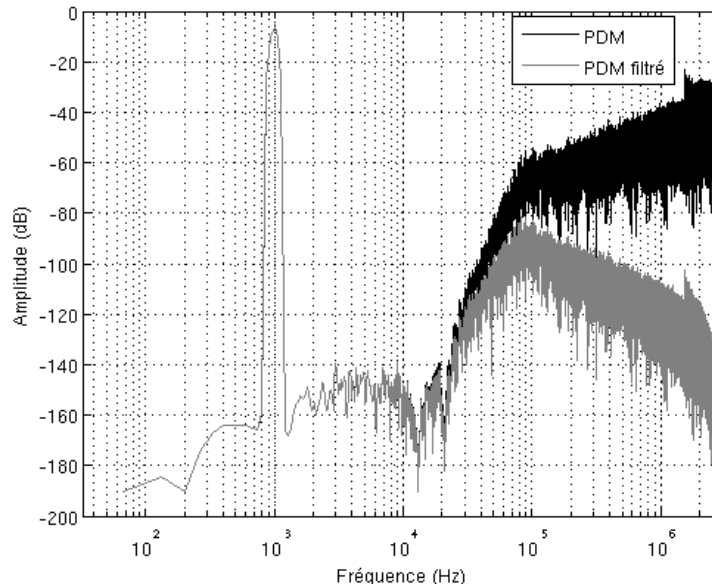


FIGURE III.4 – Spectre d’un sinus à 1 kHz encodé au format PDM, après et avant le filtre passe-bas du 2^{ème} ordre

III.1.3 Suppression des bruits parasites au démarrage

Au démarrage et à l’extinction du système, il est possible que le haut-parleur piloté par l’amplificateur émette un bruit caractéristique. Cela est dû à l’offset de la boucle qui n’est présent que lorsque le système est allumé. Ainsi, au démarrage, le haut-parleur passe subitement d’une tension nulle à l’offset. C’est cette transition qui est audible, en effet, la TF d’un échelon possède des composantes dans la bande audio. Cet offset vient très souvent des amplificateurs opérationnels. Dans notre structure, ce sont ceux de l’ADC qui génèrent l’offset qui se retrouve dans toute la boucle. S’ils peuvent paraître peu gênants, puisqu’ils n’affectent pas le signal audio en opération normale, ces bruits ne sont plus tolérés par les principaux fabricants d’appareils mobiles. C’est donc une spécification très importante pour les concepteurs d’amplificateurs audio intégrés.

Pour supprimer ce bruit, un mécanisme simple a été ajouté dans la partie numérique. Il s’agit respectivement d’augmenter ou de diminuer progressivement le gain de l’entrée numérique, sur une durée de quelques millisecondes, selon que le système démarre ou s’arrête. La figure III.5 illustre visuellement la façon dont le gain est adapté en fonction des consignes d’allumage et de mode muet. Pour remplir cette fonction, une machine d’état numérique, qui contrôle le gain programmable, est implémentée. Toutefois, afin de limiter la complexité du circuit, le gain programmable ne fait que décaler le signal numérique à gauche ou à droite. L’amplitude est donc modifiée de façon

logarithmique, par pas de ± 6 dB. Des intervalles de temps logarithmiques sont donc requis pour obtenir une montée du gain linéaire.

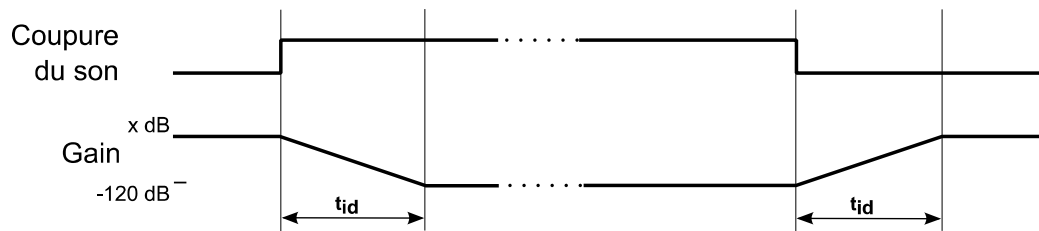


FIGURE III.5 - Illustration de l'algorithme de suppression des bruits impulsionnels parasites

III.1.4 Calibration automatique d'offset

Afin de limiter l'offset de l'ADC autant que possible pour qu'il ne se répercute pas dans la boucle, un algorithme de correction automatique d'offset a été mis en place. Le principal inconvénient d'un offset important est que la valeur moyenne du signal devient non nulle, ce qui se traduit par une surconsommation. Un autre effet de cet offset est le bruit lié à l'allumage ou l'extinction de la boucle qui ne peut pas être corrigé par le mécanisme décrit précédemment.

Le principe de la correction d'offset est le suivant : une machine d'état coupe le circuit, court-circuite l'entrée différentielle de l'ADC afin d'obtenir un zéro en entrée, et mesure grâce à un filtre passe-bas numérique la composante très basse fréquence de la sortie numérique pendant un temps t_{cal} . La valeur obtenue en sortie du filtre après ce laps de temps est considérée comme égale à l'offset, et est ajoutée à l'entrée numérique, ce qui atténue en pratique l'offset de sortie. Le filtre passe-bas numérique doit être aussi simple que possible afin de minimiser la surface de silicium. Malheureusement, pour les filtres numériques, plus la bande passante est faible, plus le filtre demande de la précision, et donc un grand nombre de portes logiques. Nous nous sommes donc limités à un filtre de Butterworth du premier ordre avec une fréquence de coupure de 10 Hz. Le premier ordre est justifié car avec une entrée nulle, et une sortie sur 9 niveaux, l'ADC produit un bruit de quantification modeste à partir de 20 kHz soit plus de trois décades après la fréquence de coupure du filtre, permettant d'espérer une réjection supérieure à 69 dB du bruit de quantification et donc une mesure précise de l'offset.

La figure III.6 illustre de façon visuelle l'algorithme de correction d'offset qui est contrôlé par une machine d'état.

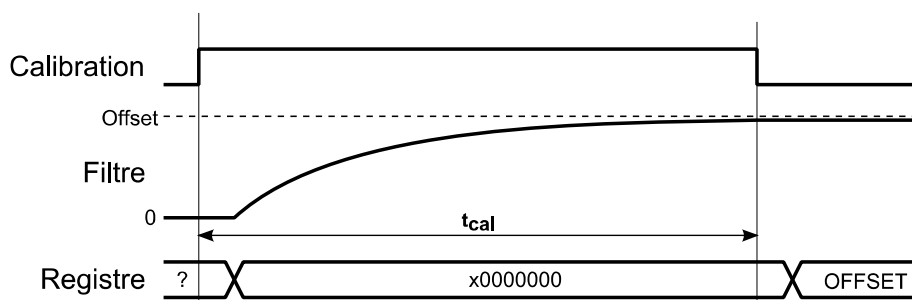


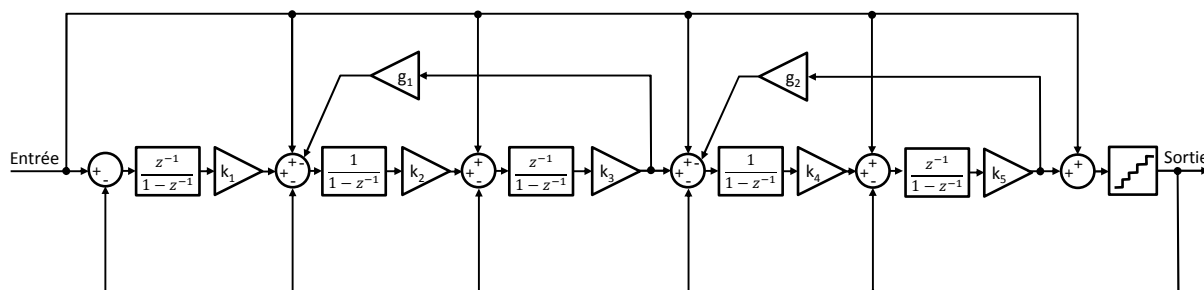
FIGURE III.6 - Illustration de l'algorithme de calibration automatique

Une simplification de ce mécanisme est possible : il suffit d'intégrer dans un registre la sortie de l'ADC lorsque l'entrée est nulle pendant la période de calibration. Le résultat de cette intégration divisée par le temps de calibration va donner la moyenne de la sortie de l'ADC. Cette moyenne doit être égale à l'offset de l'ADC si le temps de calibration est suffisamment long. Il suffit alors d'additionner cette valeur à l'entrée du modulateur $\Delta\Sigma$ numérique.

III.1.5 Modulateur Delta-Sigma

Le modulateur $\Delta\Sigma$ utilisé sur le prototype a été dimensionné selon la méthode décrite dans le chapitre II. Il est du 5^{ème} ordre, il possède une structure CRFB avec chemin de feed-forward, et donne une sortie quantifiée sur 5 valeurs. Il est équipé d'une LFSR permettant de générer un signal de dithering, et un mécanisme de NLS permet d'éviter une saturation de l'amplificateur. Ces techniques sont décrites dans la section II.2. Enfin, ce modulateur permet à la boucle de l'amplificateur d'utiliser le principe de la rétroaction partielle décrit dans la section II.3. L'ordre de cette rétroaction partielle est réglable de 0 à 5 via l'interface série I2C présentée dans la section III.1.6.

La figure III.7 montre un schéma de la structure du modulateur seul avec ses coefficients. Le contrôle de la rétroaction partielle n'est pas représenté pour simplifier le schéma.

FIGURE III.7 - Architecture du modulateur $\Delta\Sigma$ numérique de l'amplificateur

Le tableau III.2 ci-dessous regroupe les coefficients du modulateur.

Nom	Valeur	Nom	Valeur
k1	9/256	k5	9/32
k2	1/16	g1	5/64
k3	3/32	g2	15/4096
k4	11/64		

TABLEAU III.2 - Valeur des coefficients du modulateur $\Delta\Sigma$ numérique

Les figures III.8 (a) et (b) montrent les STF (fonction de transfert du signal) et NTF (fonction de transfert du bruit) du modulateur, en supposant un ordre de rétroaction partielle de 0. Notons que l'amplitude est notée en dBFS (« dB Full Scale »). Cela signifie que l'échelle logarithmique a pour référence la pleine échelle de l'amplificateur.

La STF est égale à 1 sur toute la bande de fréquence grâce au chemin de feedforward. Les trois zéros de la NTF sont placés à 0 Hz, 13 kHz et 21 kHz. Le 5^{ème} ordre du modulateur et le quantificateur 5 états permettent une plus forte atténuation du bruit dans la bande audio. Toutefois, la stabilité du modulateur a été privilégiée, dans le but d'atteindre un haut degré de rétroaction partielle et ainsi améliorer le PSRR sur toute la bande audio (voir la section II.3.4 et notamment la figure II.32). La stabilité de la boucle avec un ordre de 5 a été atteinte en simulation et l'objectif du prototype est que l'ADC soit suffisamment performant pour permettre un bon fonctionnement avec un ordre de 4.

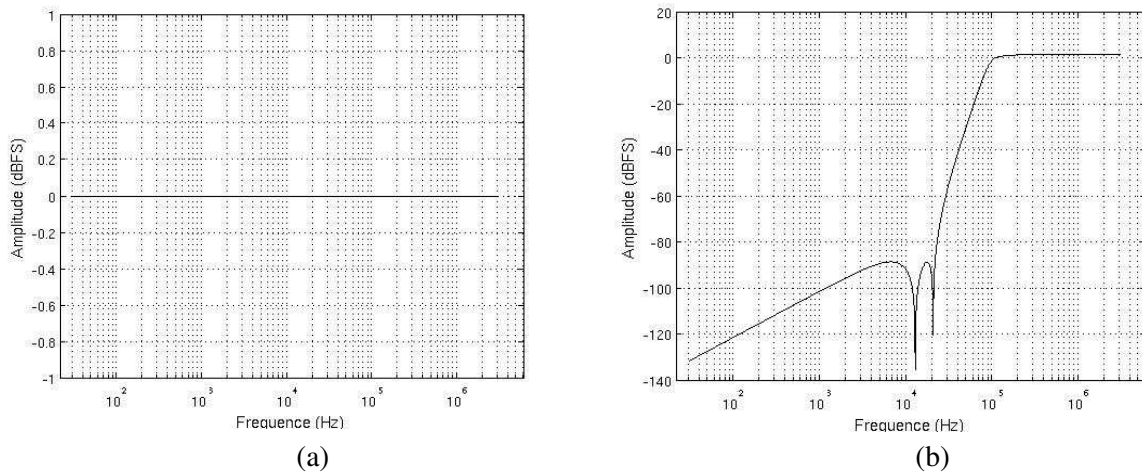


FIGURE III.8 - Fonctions de transfert du modulateur $\Delta\Sigma$ numérique (a) STF et (b) NTF

III.1.6 Interface de programmation série

Au moment de la conception du prototype sur silicium, nous avons listé les options qui seraient intéressantes à tester, et les paramètres à optimiser en cas de mauvais fonctionnement. Nous avons déterminé qu'il faudrait 87 bits distincts pour tout implémenter de façon indépendante. Il n'était bien sûr pas intéressant d'avoir un plot d'entrée-sortie pour chacun de ces bits. Nous avons donc opté pour l'ajout d'une interface série. Nous possédions déjà une carte d'interfaçage Texas Instruments ayant une interface I2C contrôlable par un PC, nous avons donc implémenté dans le circuit intégré une interface I2C permettant au contrôleur I2C de cette carte de lire et d'écrire dans le banc de registre du prototype.

Le protocole I2C (« Inter Integrated Circuit » en anglais [3]) consiste à transmettre en série de façon bidirectionnelle des octets sur deux fils. L'un de ces fils est un signal d'horloge et l'autre est le signal de données série. Quelques variantes existent sur le protocole selon la complexité du système et le choix des concepteurs. Il permet entre autres un partage du bus I2C entre un maître et plusieurs esclaves. Nous avons conservé le protocole de la carte Texas Instruments, et adapté la modélisation Verilog d'une interface I2C déjà existante à ce protocole.

Les principales options réglables via cette interface sont les suivantes : la mise en fonction des blocs et des options du circuit, le choix entre l'entrée I2S et PDM, le choix du mode de fonctionnement en amplificateur audio ou ADC seul, le courant de polarisation des amplificateurs de l'ADC et du générateur d'horloge, l'ordre de la rétroaction partielle dans la boucle d'amplification, la lecture de l'offset mesuré dans l'ADC et quelques autres options de débogage.

III.2 Étage de puissance

L'étage de puissance est décrit sur le schéma de la figure III.9. Il est constitué d'une première partie qui décode le signal issu du quantificateur qui prend cinq états distincts. Trois niveaux de commandes sont obtenus en utilisant l'horloge du système (voir figure III.10). Il est intéressant de noter que ce signal de contrôle utilise de la modulation de largeur d'impulsion ou PWM pour créer ces deux niveaux supplémentaires. Le décodage donne un signal de contrôle par demi-pont. Une seconde partie injecte des temps morts lors de leur changement d'état, et élève la tension grâce à des buffers. En effet, le contrôle de l'amplificateur se fait sous une alimentation de 1,8 V alors que les transistors de sortie fonctionnent sous 5 V. L'injection de temps morts a pour but d'éviter que les deux transistors du demi-pont soient passants en même temps, ce qui créerait un chemin de très faible résistivité entre la

tension de batterie et la masse. Le courant ainsi généré serait perdu en ce qui concerne le rendement, et serait même susceptible d'endommager les transistors de sortie.

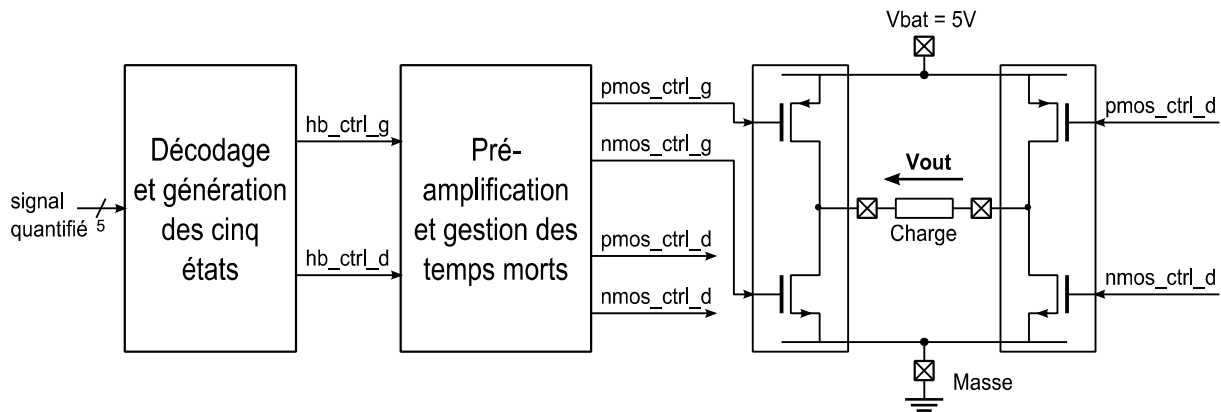


FIGURE III.9 - Schéma général de l'étage de puissance

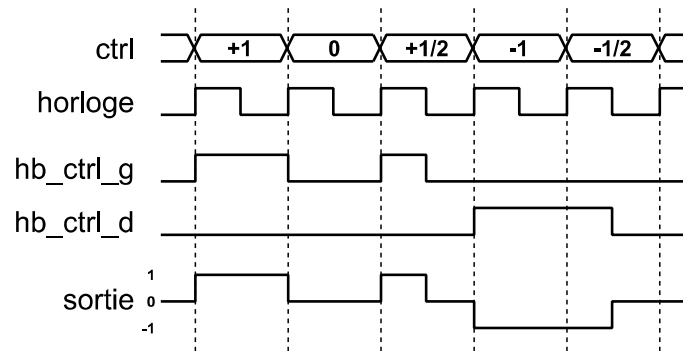


FIGURE III.10 - Chronogramme du décodage des signaux de contrôle de l'étage de puissance

La figure III.10 illustre la façon dont sont générés les cinq états sur trois niveaux. Les valeurs '+1' et '-1' sont obtenues en fermant un des deux transistors PMOS et le transistor NMOS opposé. La valeur '0' est obtenue en fermant les deux transistors NMOS. Les valeurs '-1/2' et '+1/2' sont quant à elles créées en appliquant '+1' et '-1' pendant une demi-période. La valeur des signaux de contrôle des transistors de puissance en fonction des états du signal quantifié (ctrl) est indiquée sur la figure III.10.

Ces signaux de contrôle sont ensuite envoyés vers la pré-amplification à proprement parler. La figure III.11 donne l'architecture de cette partie de l'étage de puissance pour un demi-pont, partie où les temps morts sont injectés lors des commutations du signal quantifié. Les chaînes d'inverseurs utilisées pour produire les délais sont représentées par un inverseur noté dl sur le schéma. L'injection de ces temps morts perturbe bien entendu l'intégrité du signal et a tendance à créer de la distorsion. Il faut toutefois se rappeler que cette distorsion est générée à l'intérieur de la boucle et qu'elle est donc filtrée et rejetée vers les hautes fréquences au même titre que l'erreur de quantification. Et il en va de même pour toutes les perturbations sur le signal qui interviennent au niveau de l'étage de sortie.

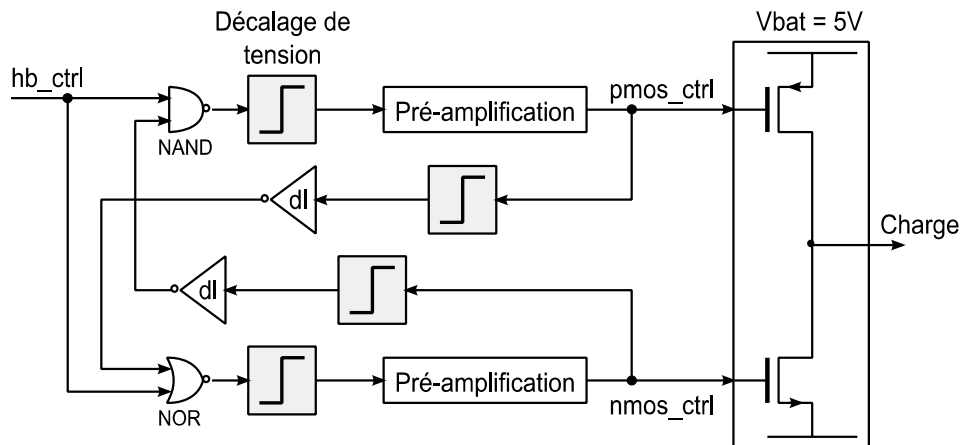


FIGURE III.11 – Schéma de principe du circuit de contrôle des transistors de puissance

La sortance du préamplificateur est également un paramètre important. En effet, chaque préamplificateur doit pouvoir piloter la très grande capacité d'entrée des transistors de puissance. Pour ce faire, une chaîne d'inverseurs dont la sortance est de plus en plus grande est mise en place. Cette chaîne est figurée par le bloc « Pré-amplification » sur la figure III.11.

Enfin, les transistors de puissance permettent le pilotage de la charge en tension. Ils sont dimensionnés dans le seul but de minimiser leur résistance quand ils sont passants (résistance ON) afin de maximiser la puissance transmise à la charge, tout en conservant une surface raisonnable. Le critère que nous avons retenu a été de rendre la résistance parasite totale entre le plot Vbat et la masse égale à 500 mΩ. Chaque plot a lui-même une résistance de 20 mΩ et ils sont au nombre de quatre sur le chemin. Les transistors ont donc été dimensionnés pour avoir une résistance ON de 210 mΩ. Un rapide calcul de puissance avec une charge nominale de 8 Ω et une tension de batterie de 5 V donne 1,56 W de puissance à 0 dBFS d'amplitude en entrée (voir équation (I.8), $P_{0dB} = (5/\sqrt{2})^2 / (8 + R_p)$ avec R_p la résistance parasite). Avec 500 mΩ de résistance parasite, cette valeur devient 1,38 W et avec 1 Ω, c'est 1,23 W. Cette valeur de résistance ON est donc primordiale, et c'est pourquoi l'étage de puissance occupe à lui seul 52,3 % de la surface totale (voir figure III.27).

III.3 Convertisseur Analogique Numérique Delta-Sigma à temps continu

Nous allons nous intéresser dans cette section à la conversion analogique numérique présente dans la rétroaction de l'amplificateur de classe D numérique. Le convertisseur analogique-numérique (ADC) a été conçu pour optimiser la stabilité de la boucle à rétroaction partielle en ayant une latence

très faible (inférieure à une période d'horloge) grâce à sa nature temps continu (voir la section II.3 du chapitre II). Comme cela a été démontré dans la même section, le bruit de la boucle à rétroaction partielle est dominé par le bruit de l'ADC qui limite donc les performances de tout le système. Il faut donc un ADC haute performance pour répondre aux contraintes posées par cette boucle, une structure $\Delta\Sigma$ temps continu du 4^{ème} ordre a ainsi été choisie pour l'ADC.

Les différentes raisons concernant ce choix seront expliquées dans un premier temps. Nous verrons ensuite brièvement comment cet ADC a été implémenté. Nous nous pencherons enfin davantage sur les deux mécanismes qui permettent à l'ADC de surmonter ses deux principales limitations au point de vue des performances : les problèmes de bruit de phase et d'appariement des composants passifs dans le DAC de rétroaction. La figure III.12 donne la structure système de l'ADC que nous avons utilisé dans le système classe D numérique. Il s'agit d'un modulateur $\Delta\Sigma$ temps continu du 4^{ème} ordre avec une quantification sur 9 niveaux utilisant une structure CIFF (présentée dans la section II.2).

III.3.1 Architecture

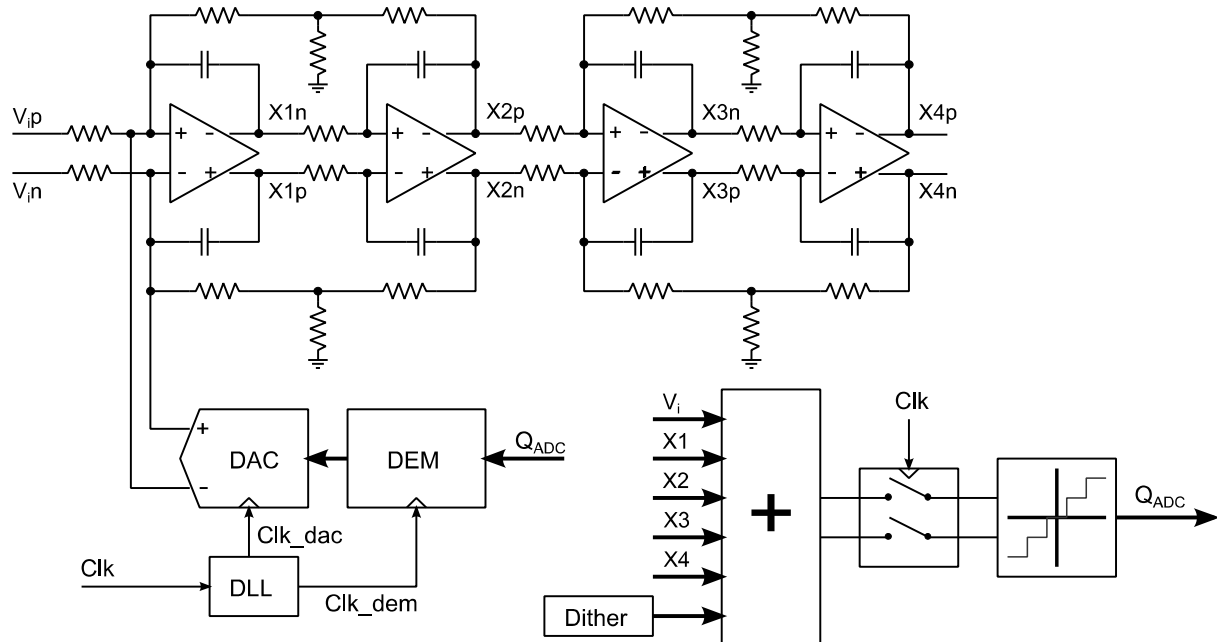


FIGURE III.12 - Schéma de l'ADC temps continu

L'ADC est tout d'abord composé d'une chaîne de 4 intégrateurs. La sortie de ces intégrateurs, ainsi que l'entrée et un signal pseudo-aléatoire (« dither »), sont additionnées, puis échantillonnées avant d'être quantifiées sur 9 niveaux. Ce signal de sortie quantifié Q_{ADC} est reconverti en analogique

pour être comparé au signal V_i en entrée du modulateur. Ce chemin de rétroaction dispose d'un algorithme de correction dynamique des erreurs d'appariement du DAC (le DEM), et d'un générateur d'horloge « sans » bruit de phase.

Une structure CRFF a été adoptée pour le modulateur afin de n'avoir qu'un seul chemin de rétroaction à piloter, ce qui ne nécessite qu'un seul DAC, et des zéros réglables dans la bande audio. Une structure CRFB (voir section II.3) aurait nécessité plusieurs DAC en courant pour piloter les signaux de rétroaction augmentant la surface. L'ordre de 4 permet d'obtenir une bonne réjection du bruit de quantification (de l'ordre de 120 dB). Le choix de 9 niveaux de quantification permet en plus de diminuer le bruit de quantification de l'ADC tout en ayant un algorithme de DEM pas excessivement complexe (variation exponentielle de la complexité quand le nombre de bits augmente dans notre architecture).

Afin de diminuer l'offset et d'éliminer les erreurs dans le mode commun, une implémentation « fully-differential » a été employée. Elle consiste à transmettre le signal sur deux chemins, positif et négatif, opposés et variant autour d'une tension commune. Le bruit, le gain et la bande passante des amplificateurs ont été soigneusement choisis pour optimiser les performances de l'ADC. Et enfin, pour rendre l'ADC insensible au bruit de phase de l'horloge du DAC, qui limite normalement les performances des convertisseurs temps continu, un générateur d'horloge basé sur une DLL a été conçu.

III.3.2 Choix d'un convertisseur $\Delta\Sigma$ temps continu

Les convertisseurs $\Delta\Sigma$ temps continu consistent toujours à quantifier le signal sur-échantillonné sur un très faible nombre de valeurs, en rejetant le bruit de quantification vers les hautes fréquences. La différence se trouve dans l'utilisation d'intégrateurs temps continu, un amplificateur opérationnel muni d'une résistance et d'une capacité. Les gains deviennent des rapports de résistances et les additions-soustractions se font en courant aux entrées des amplificateurs. L'intérêt est qu'aucun filtrage analogique de l'entrée n'est nécessaire, car l'opération d'échantillonnage a lieu en sortie du modulateur. Cela permet de diminuer la complexité du circuit et d'éviter toute distorsion engendrée par ce filtrage. De plus, toutes les erreurs internes du modulateur et les erreurs de quantification et d'échantillonnage sont traitées de façon continue et sont réinjectées intégralement dans la boucle de rétroaction. Il est ainsi théoriquement possible d'atteindre un taux de distorsion très faible à condition que le DAC n'engendre pas lui-même de distorsion.

L'utilisation de convertisseurs à temps discret, c'est-à-dire munis d'intégrateurs à capacités commutées, est néanmoins plus répandue pour réaliser des ADC $\Delta\Sigma$ audio. Un exemple est donné dans [4]. L'auteur de [5] effectue une comparaison intéressante entre cette technique et les convertisseurs temps continu. En effet, les ADC à capacités commutées sont théoriquement insensibles aux bruits de l'horloge, il est possible de réduire leur surface avec les changements technologiques et enfin, le fait qu'ils soient temps discret permet une bonne prédictibilité de leur comportement. Ce type de convertisseur est cependant limité par le fait que les amplificateurs utilisés doivent effectuer des transferts de charges rapidement, beaucoup plus rapidement que l'horloge du convertisseur qui est d'au moins quelque MHz. Ils doivent donc avoir une très grande bande passante, ce qui induit de fortes consommations de courant. Les ADC temps continu, justement grâce à leur aspect temps continu, suivent des constantes de temps beaucoup plus faibles, ce qui permet une simplification de la conception des amplificateurs et une consommation de courant plus faible. De plus, le bruit généré par ces amplificateurs est contrôlable en jouant sur les courants de polarisation et la taille des transistors selon les techniques usuelles de conception analogique.

Les ADC temps continu sont toutefois peu courants, à la fois dans l'industrie et dans les publications, pour un certain nombre de raisons. La principale raison, qui concerne tous les ADC temps continu, est le bruit de phase de l'horloge de l'ADC (appelé également « jitter » quand il est défini de façon temporelle). En effet, les données en sortie de l'ADC sont numériques et ne contiennent donc aucune information sur la qualité de l'horloge. Quand la rétroaction est effectuée, le signal numérique est multiplié par l'horloge et la tension de référence. Le bruit de phase est ainsi directement injecté dans l'addition en entrée, il ne peut donc pas être corrigé dans la boucle et augmente le niveau de bruit. Un bruit sur la période de quelques pico-secondes permet seulement un plancher de bruit de -120 dB [5]. Une horloge de PLL classique ne fait souvent pas mieux que 100 ps ce qui donne un plancher de bruit de seulement -80 dB, ce qui est bien en dessous des spécifications audio standards. Nous reviendrons plus tard en détail sur cet effet.

III.3.3 Dimensionnement du modulateur $\Delta\Sigma$ temps continu

Une méthode de dimensionnement de ces modulateurs est décrite dans l'ouvrage de Schreier sur les convertisseurs $\Delta\Sigma$ [6]. Nous proposons ici une adaptation de cette méthode pour analyser le modulateur temps continu décrit sur la figure III.12. Nous avons conservé les notations et nous reprenons en partie la démonstration.

III.3.3.1 Principe

La méthode consiste à convertir le modulateur temps continu en un modulateur temps discret en utilisant l'équivalence entre les schémas de la figure III.13 (a) et (b). L'entrée et la sortie de ces deux représentations sont égales. La première donne l'architecture exacte du modulateur temps continu. La seconde applique une fonction de transfert au signal d'entrée avant de l'échantillonner, puis d'entrer dans un modulateur $\Delta\Sigma$ entièrement temps discret. Une fois les coefficients du modulateur temps discret obtenus, il est possible de tracer la fonction de transfert du système et d'analyser les pôles et zéros et adapter les coefficients pour approcher la fonction de transfert désirée.

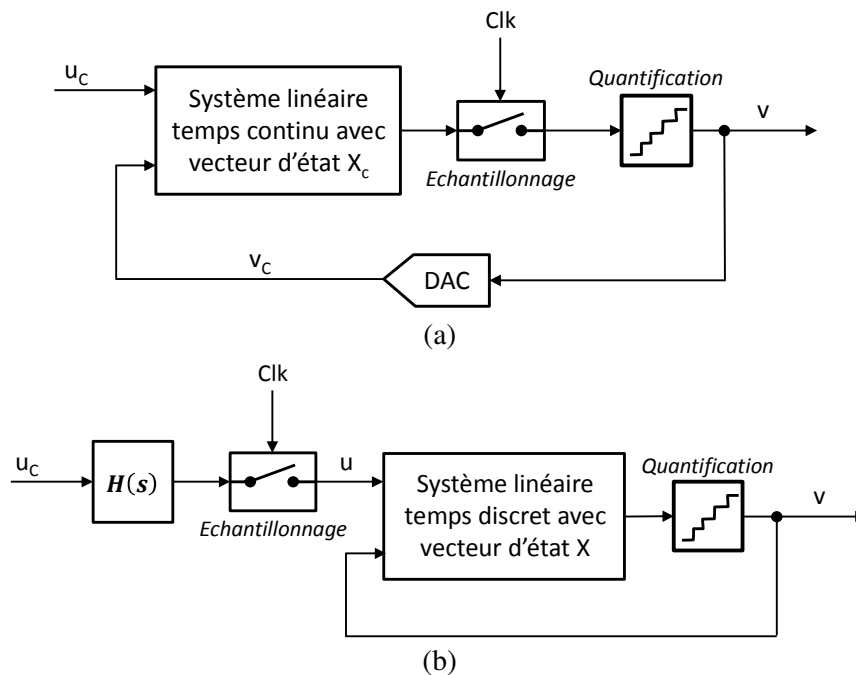


FIGURE III.13 - Schémas équivalents pour effectuer la conversion entre un modulateur temps continu (a) et un modulateur temps discret (b)

Afin d'appliquer cette méthode au modulateur temps continu, ce dernier est représenté sous forme linéaire (voir figure III.14).

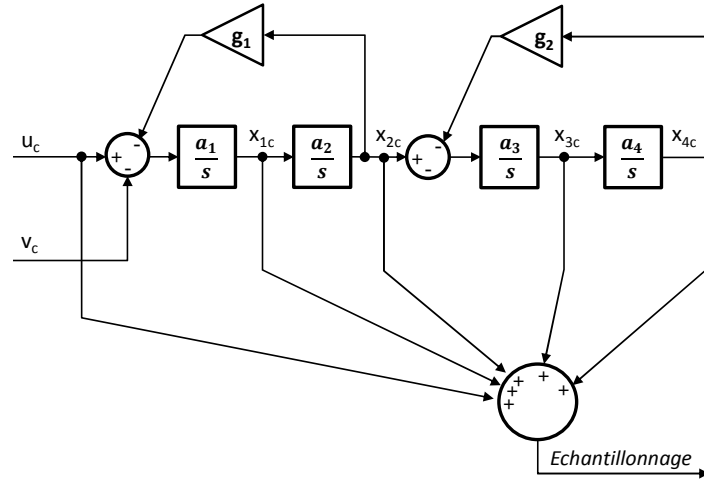


Figure III.14 - Modèle linéaire de la chaîne d'intégrateur de l'ADC temps continu implémenté dans la boucle d'amplification de classe D numérique

En normalisant la période d'échantillonnage à 1, l'équation différentielle régissant l'état du système peut s'écrire ainsi :

$$\dot{X}_c = A_c X_c + B_c \begin{bmatrix} u_c \\ v_c \end{bmatrix} \text{ avec } X_c = \begin{bmatrix} x_{1c} \\ x_{2c} \\ x_{3c} \\ x_{4c} \end{bmatrix}, \quad (III.1)$$

$$A_c = \begin{bmatrix} 0 & -a_1 g_1 & 0 & 0 \\ a_2 & 0 & 0 & 0 \\ 0 & a_3 & 0 & -a_3 g_3 \\ 0 & 0 & a_4 & 0 \end{bmatrix}, \text{ et } B_c = \begin{bmatrix} a_1 k_i & -a_1 k_f \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} = [B_{c1} \quad B_{c2}]$$

Le but est de déterminer les matrices A_d et B_d donnant l'état $X_d(n)$ du modulateur temps discret équivalent et vérifiant l'équation :

$$X_d(n+1) = A_d X_d(n) + B_d \begin{bmatrix} u(n) \\ v(n) \end{bmatrix}, \text{ avec } X_d(n) = \begin{bmatrix} x_{d1}(n) \\ x_{d2}(n) \\ x_{d3}(n) \\ x_{d4}(n) \end{bmatrix}, \text{ et } B_d = [B_{d1} \quad B_{d2}] \quad (III.2)$$

III.3.3.2 Identification

Par souci de clarté, nous réécrivons ici brièvement la démonstration donnée dans [6]. Pour obtenir l'équivalence, il faut résoudre l'équation différentielle (III.1). La solution est donnée dans l'équation (III.3) où la notation e^M dénote l'exponentielle de la matrice M .

$$X_c(t) = e^{A_c t} X_c(0) + e^{A_c t} \int_0^t e^{-A_c \tau} B_c \begin{bmatrix} u_c(\tau) \\ v_c(\tau) \end{bmatrix} d\tau \quad (III.3)$$

Avec une période d'échantillonnage égale à l'unité, à chaque coup d'horloge, nous posons l'égalité $X_d(n) = X_c(n)$. Nous pouvons donc écrire :

$$\begin{aligned} X_d(n+1) &= X_c(n+1) = e^{A_c(n+1)} X_c(0) + e^{A_c(n+1)} \int_0^{n+1} e^{-A_c\tau} B_c \begin{bmatrix} u_c(\tau) \\ v_c(\tau) \end{bmatrix} d\tau \\ &= e^{A_c} \left(e^{A_c n} X_c(0) + e^{A_c n} \int_0^n e^{-A_c\tau} B_c \begin{bmatrix} u_c(\tau) \\ v_c(\tau) \end{bmatrix} d\tau \right) \\ &\quad + e^{A_c(n+1)} \int_n^{n+1} e^{-A_c\tau} B_c \begin{bmatrix} u_c(\tau) \\ v_c(\tau) \end{bmatrix} d\tau \end{aligned} \quad (\text{III.4})$$

Nous identifions ici l'expression de $X_d(n)$ et nous effectuons un changement de variable dans l'intégrale restante.

$$X_d(n+1) = e^{A_c} X_d(n) + \int_0^1 e^{A_c(n+1)} e^{-A_c(n+1-\tau)} B_c \begin{bmatrix} u_c(n+1-\tau) \\ v_c(n+1-\tau) \end{bmatrix} d\tau \quad (\text{III.5})$$

$$\Rightarrow X_d(n+1) = e^{A_c} X_d(n) + \int_0^1 e^{A_c\tau} B_{c1} u_c(n+1-\tau) d\tau + \int_0^1 e^{A_c\tau} B_{c2} v_c(n+1-\tau) d\tau \quad (\text{III.6})$$

III.3.3.3 Identification

L'expression obtenue dans l'équation (III.6) est composée de trois termes permettant l'identification avec l'équation (III.2). Le premier terme permet d'obtenir :

$$A_d = e^{A_c} \quad (\text{III.7})$$

Le second terme correspond au filtrage $H(s)$ appliqué à l'entrée u_c défini dans la figure III.13, et le troisième terme correspond à la conversion numérique-analogique du signal de sortie $v(n)$ tel que :

$$B_{d2} v(n) = \int_0^1 e^{A_c\tau} B_{c2} v_c(n+1-\tau) d\tau \quad (\text{III.8})$$

Dans le DAC, le signal de sortie $v(n)$ est multiplié par une horloge RTZ pour donner le signal $v_c(t)$. La figure III.15 montre la relation entre ces deux signaux, ce qui permet de calculer l'intégrale de l'équation (III.8).

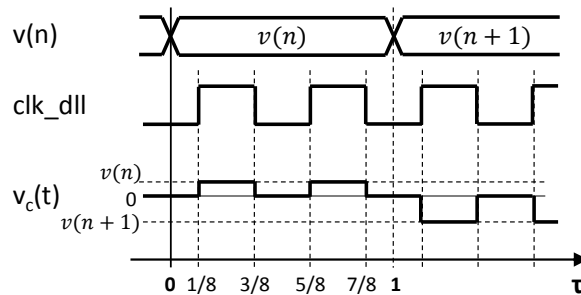


FIGURE III.15 - Chronogramme de la conversion numérique-analogique

D'après le fonctionnement décrit dans la figure III.15, nous pouvons écrire :

$$B_{d2}v(n) = \left(\int_{1/8}^{3/8} e^{A_c \tau} B_{c2} d\tau + \int_{5/8}^{7/8} e^{A_c \tau} B_{c2} d\tau \right) v(n) \quad (\text{III.9})$$

Dans le cas général, où la matrice A_c n'est pas toujours inversible, il est possible d'obtenir numériquement une approximation de B_{d2} en utilisant la méthode des trapèzes (III.10). N est le nombre de pas par intervalle de longueur $1/4$ et δ est le pas d'intégration.

$$B_{d2} \approx \sum_{k=0}^{N-1} \frac{1}{2} \left(e^{A_c(k\delta + \frac{1}{8})} + e^{A_c((k+1)\delta + \frac{1}{8})} \right) B_{c2} \delta + \sum_{k=0}^{N-1} \frac{1}{2} \left(e^{A_c(k\delta + \frac{5}{8})} + e^{A_c((k+1)\delta + \frac{5}{8})} \right) B_{c2} \delta \quad (\text{III.10})$$

$$\text{avec } \delta(N-1) = \frac{1}{4} \Rightarrow \delta = \frac{1}{4(N-1)}$$

III.3.3.4 Fonction de transfert

Le tableau III.3 donne les valeurs des coefficients de la figure III.14 définies par les valeurs de résistance et de capacité du modulateur temps continu de l'ADC.

Nom	Valeur	Nom	Valeur
k_i	1	a_1	$4,76.10^6$
k_f	2	a_2	$2,70.10^6$
g_1	0,00382	a_3	$1,29.10^6$
g_2	0,00909	a_4	$0,714.10^6$

TABLEAU III.3 - Coefficients du modulateur $\Delta\Sigma$ de l'ADC

Avec ces valeurs, nous pouvons obtenir numériquement la matrice A_c en divisant les coefficients a_i par la fréquence de fonctionnement du modulateur pour travailler à une fréquence unitaire.

En utilisant les équations (III.7) et (III.10), nous obtenons numériquement les matrices A_d et B_d qui permettent de décrire le fonctionnement du modulateur temps discret équivalent lorsque l'entrée est égale à 0. Avec les coefficients $a_{i,j}$ et $b_{i,j}$ de ces matrices, nous pouvons écrire le système de l'équation (III.11), en passant en transformée en z , que nous résolvons avec Maxima pour obtenir la NTF du modulateur temps discret équivalent.

$$\begin{cases}
 X_1 = z^{-1}(a_{1,1}X_1 + a_{1,2}X_2 + a_{1,3}X_3 + a_{1,4}X_4 + b_{2,1}V) \\
 X_2 = z^{-1}(a_{2,1}X_1 + a_{2,2}X_2 + a_{2,3}X_3 + a_{2,4}X_4 + b_{2,2}V) \\
 X_3 = z^{-1}(a_{3,1}X_1 + a_{3,2}X_2 + a_{3,3}X_3 + a_{3,4}X_4 + b_{2,3}V) \\
 X_4 = z^{-1}(a_{4,1}X_1 + a_{4,2}X_2 + a_{4,3}X_3 + a_{4,4}X_4 + b_{2,4}V) \\
 V = E + X_1 + X_2 + X_3 + X_4
 \end{cases} \quad (\text{III.11})$$

La figure III.16 (a) montre la variation de l'amplitude de la NTF du modulateur temps continu en fonction de la fréquence et III.16 (b) montre les pôles et les zéros de la structure. Nous observons que les pôles sont bien contenus dans le cercle unitaire. Le gain en dehors de la bande audio est de 4,24 dB ce qui traduit une réjection assez importante du bruit de quantification dans la bande audio. C'est pour cela qu'une division par deux est appliquée en entrée du modulateur, pour limiter l'excursion du signal et garantir la stabilité de l'ADC, ce que nous avons vérifié en simulation.

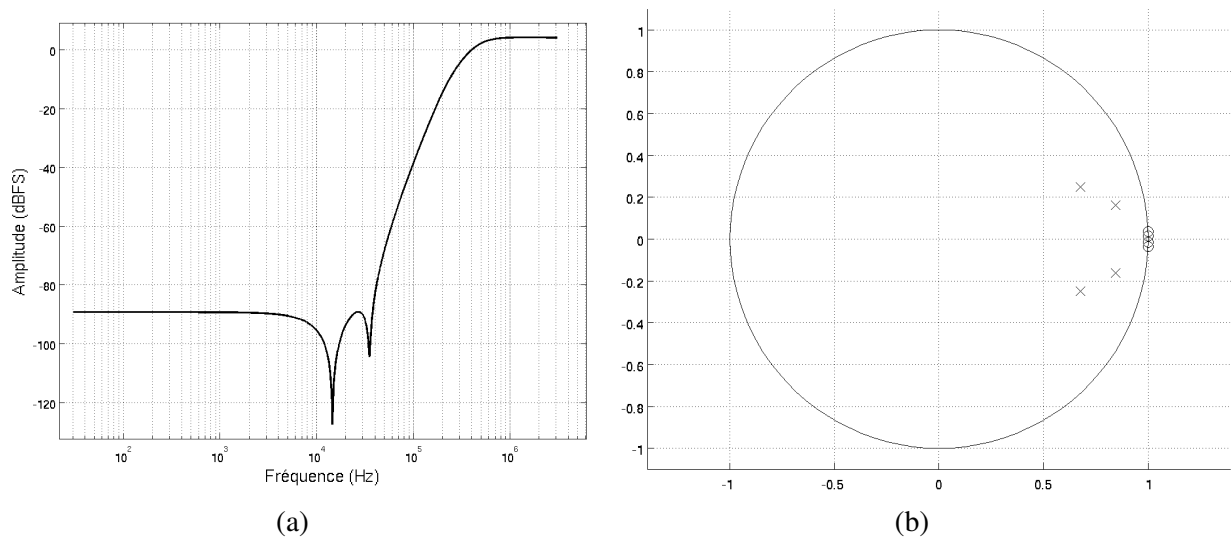


FIGURE III.16 – (a) Amplitude de la NTF du modulateur temps continu en fonction de la fréquence
(b) Représentation des pôles et zéros de la NTF sur le cercle unitaire

La figure III.17 donne le spectre du signal de sortie pour un sinus à 1 kHz et -6 dBFS d'amplitude. Nous calculons d'après ce spectre que l'ADC peut théoriquement atteindre un SNR de 127 dB en ignorant le bruit des composants passifs et des transistors.

La méthode que nous avons décrite peut être réalisée par des scripts Matlab et Maxima afin d'accélérer cette analyse. Toutefois, les équations mises en jeu ne sont pas linéaires et la résolution est faite de façon numérique et non symbolique. Cela ne permet pas une identification aisée de la NTF du système avec un filtre passe-haut de même ordre comme cela est possible avec les modulateurs temps discret (voir le chapitre II section II.2). De plus, le modulateur temps discret équivalent d'un modulateur temps continu de type CIFF ne va pas forcément avoir la même structure. Toutefois, même sans résolution formelle pour avoir le modulateur équivalent, cette méthode d'analyse aide à

l'obtention de bonnes performances en choisissant les coefficients du modulateur par itération en approchant les pôles et les zéros de la fonction de transfert désirée, soit « à la main », soit avec un algorithme d'optimisation.

Puis lorsque les coefficients du modulateur ont été déterminés, il reste à dimensionner les amplificateurs opérationnels (gain, bande passante, architecture, bruit) et choisir la taille des composants passifs en fonction de la constante de temps RC à réaliser, la surface optimale et les performances de bruit recherchées. Expliquer tout le dimensionnement de l'ADC nécessiterait un long développement car le circuit est complexe et cela tombe en dehors du champ de cette thèse.

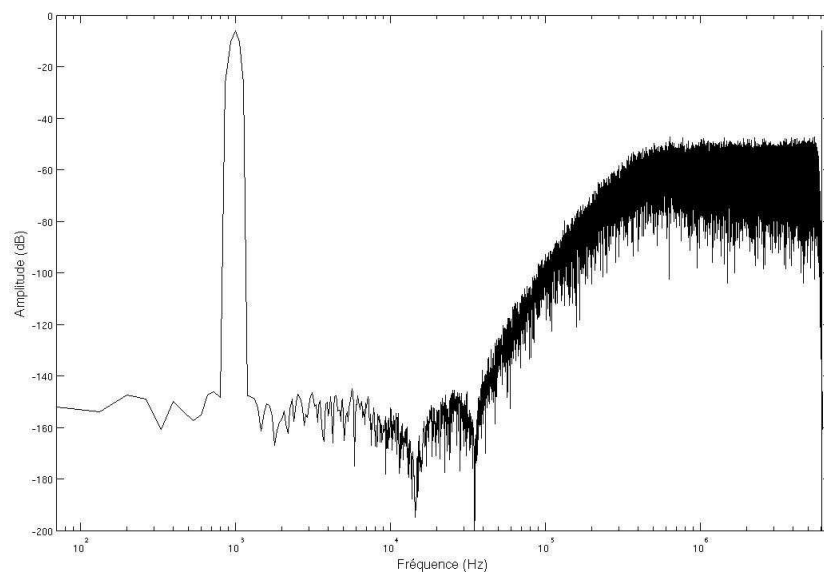


FIGURE III.17 - Spectre de la sortie de l'ADC avec une entrée à 1 kHz et -6 dBFS d'amplitude

III.3.4 Mécanisme de suppression de bruit de phase (DLL)

Comme nous l'avons dit plus haut, la principale limite pour les performances en termes de bruit de l'ADC $\Delta\Sigma$ temps continu est le bruit de phase de l'horloge (le terme anglais « jitter » est plus utilisé). En effet, l'ADC nécessite dans sa boucle de retour une conversion numérique-analogique. Toutefois, convertir directement le signal numérique, qui ne contient intrinsèquement pas de bruit, en un signal analogique produit un signal de retour perturbé par le bruit du système. Ce bruit s'ajoute donc sans correction au signal d'entrée et dégrade fortement le niveau de bruit de l'ADC. Il est dominé par le bruit généré par les changements d'état de la partie numérique à chaque front d'horloge du système.

Si les dispositifs à capacités commutées sont insensibles au bruit de phase, c'est que leurs amplificateurs sont conçus pour que leur sortie s'établisse très rapidement (« settling time » en

anglais). Ainsi le transfert de charge entre les capacités s'effectue au début de la période d'horloge. La valeur de cette charge ne dépend donc pas des variations des fronts d'horloge ou de la durée des impulsions. Les auteurs de [7] ont choisi d'exploiter cette insensibilité au bruit de phase des capacités commutées pour injecter un courant de rétroaction dans leur ADC temps continu. Toutefois, le grand nombre de résistances et de capacités que leur implémentation suscite ne permet pas des performances exceptionnelles du fait de problèmes d'appariement, même en ajoutant un algorithme de DEM performant.

Une autre solution à ce problème est de multiplier le signal de retour par un signal dont la valeur est minimum sur les fronts d'horloge et maximum entre eux afin de minimiser l'impact du jitter sur le l'intégration du signal. Un sinus est ainsi employé dans [8]. Une autre solution intéressante est présentée dans [9], elle consiste à ajouter un filtre FIR (filtre à réponse impulsionnelle finie) après le DEM permettant une bonne correction du bruit de phase. Cela est cependant difficilement implémentable dans l'ADC temps continu car les délais et pôles induits par ce nouveau filtre compliquent grandement la stabilisation de la structure.

Le moyen choisi ici pour éliminer ce bruit est de multiplier la sortie du DAC par un signal d'horloge égal à zéro lors des fronts d'horloge du système. Néanmoins, un tel système ne fait que substituer au bruit généré par les fronts d'horloges, le bruit de phase de l'horloge utilisée. C'est pourquoi l'ADC a été équipé d'un générateur d'horloge pour lequel le bruit de phase du signal de sortie est très faible, uniquement dépendant du bruit thermique, et non du bruit de phase de l'horloge d'entrée. Un schéma du générateur est donné sur la figure III.18. Signalons également que ce générateur a fait l'objet d'une publication [10].

La structure du générateur d'horloge utilisé est basée sur une boucle à verrouillage de délai (« Delay-Locked Loop » en anglais, abrégé par DLL). L'horloge d'entrée traverse tout d'abord une chaîne de 4 cellules de délai contrôlées en courant (VCDL pour « Voltage Controlled Delay Line »). Une cellule est composée d'un « buffer » (deux inverseurs en série) avec un courant de polarisation variable, chargeant une capacité. L'horloge ainsi décalée temporellement, est comparée avec l'inverse de l'horloge d'entrée dans un comparateur de phase (PFD pour « Phase Frequency Detector »). Ce comparateur pilote ensuite une pompe de charge (CP pour « Charge Pump ») qui contrôle le courant envoyé aux cellules de délais. Cette pompe de charge avec sa capacité permet l'ajustement du gain de la boucle et le contrôle de sa stabilité.

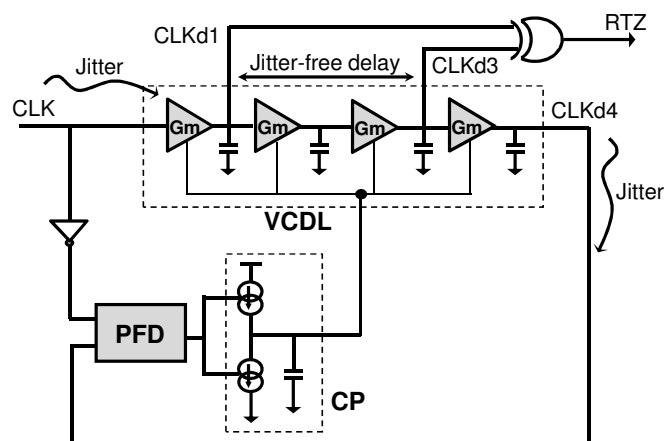


FIGURE III.18 - Structure du générateur d'horloge sans jitter

Pour être plus précis, le comparateur de phase fait un OU exclusif entre les deux signaux d'horloge, entrée et sortie. Si l'horloge d'entrée est en avance sur celle de sortie, le PFD envoie un courant positif sur la capacité de la pompe de charge, ce qui a pour effet d'augmenter la tension. Cette tension augmente à son tour le courant des inverseurs pour les rendre plus « rapides ». Le signal de sortie peut donc « rattraper » le signal d'entrée grâce à cette boucle de rétroaction d'ordre 1.

A l'équilibre, le fait de comparer l'horloge de sortie avec l'inverse de l'horloge d'entrée la décale d'une demi-période par rapport à elle, et donc, chaque cellule de délai produit un décalage d'un huitième de période. Le signal de sortie appelé RTZ est alors créé en effectuant le OU exclusif entre l'horloge issue de la première cellule de délai et celle issue de la troisième comme illustré sur la figure III.19.

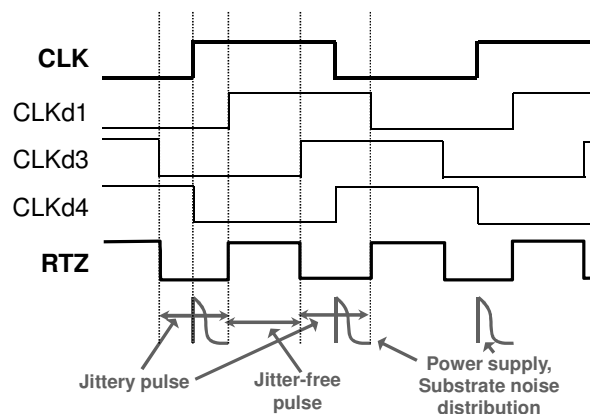


FIGURE III.19 - Chronogramme des signaux de la DLL

La durée d'intégration du signal de retour est égale au temps de traversée des deux cellules de délai. Ainsi, cette durée ne dépend pas du jitter de l'horloge d'entrée et n'est soumise qu'au bruit thermique des transistors des inverseurs, ce qui permet d'obtenir un plancher de bruit très bas pour l'ADC. En effet, le bruit thermique dans les inverseurs est contrôlable par des techniques de

conception analogique standard et peut être amené au-dessous des contributions en bruit des composants passifs et des amplificateurs du modulateur.

Il faut cependant préciser que la position relative des périodes actives du signal RTZ est toujours soumise au même jitter que l'horloge d'entrée. Mais cela n'a aucune influence sur l'opération d'intégration du signal de retour car c'est la durée d'intégration qui est importante, et non le moment. De plus, écarter les fronts du signal RTZ des fronts d'horloge du système permet de le rendre peu sensible aux bruits de l'amplificateur de classe D. En effet, si nous supposons une alimentation 1,8 V régulée, la majeure partie des perturbations dans le circuit est due aux commutations de l'étage de puissance qui effectue des appels de courants très importants. Ne pas intégrer le signal pendant ces commutations ne peut qu'améliorer le PSRR de cette partie du circuit.

La ligne de délai est également soumise au bruit de la tension d'alimentation, il est donc important d'avoir une alimentation bien régulée et des masses peu bruitée pour optimiser les performances du générateur d'horloge. Par contre, si l'alimentation 1,8 V est fortement perturbée, ces perturbations peuvent ne pas être compensées dans la boucle de la DLL. Cela dépend de sa fonction de transfert. Ce circuit a été intégré au prototype sur silicium. Nous verrons dans la section III.5 qu'une nette amélioration des performances de l'ADC a été observée en mesure.

III.3.5 Algorithme de correction dynamique des erreurs d'appariement (DEM)

III.3.5.1 Principe du DEM

Afin de corriger les erreurs d'appariement dans le DAC, un algorithme de correction dynamique des erreurs d'appariement (que nous abrègerons par DEM pour « Dynamic Element Matching ») a été mis en place sur l'ADC.

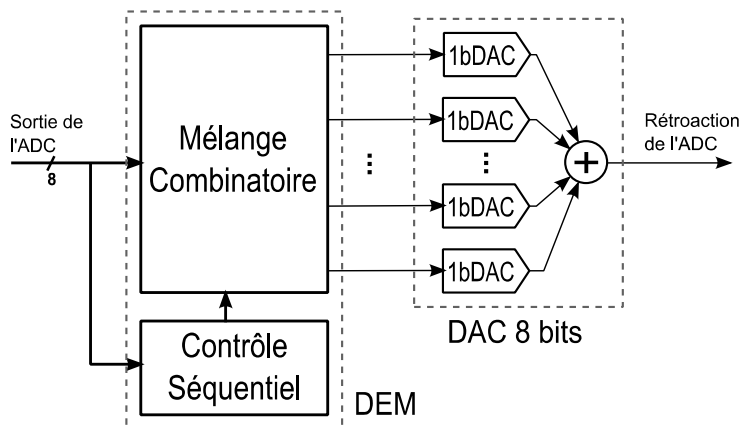


FIGURE III.20 - Schéma de la boucle rétroactive de l'ADC

Le DAC a pour but d'effectuer la conversion inverse pour fermer la boucle de retour de l'ADC. Son principe est illustré sur la figure III.20. La valeur de sortie de l'ADC sur 8 bits thermomètre est convertie en un courant qui est injecté sur les deux entrées différentielles du premier amplificateur. Il est constitué de 8 DAC identiques notés 1bDAC, qui génèrent un courant unitaire positif ou négatif selon la valeur du bit de contrôle. Les variations de dimension dues à la technologie provoquent des erreurs d'appariement entre les huit cellules, ce qui rend le DAC non-linéaire. En effet, à une même valeur de sortie de l'ADC correspond toujours une même combinaison de cellules actives provoquant de ce fait de la non-linéarité ou distorsion. Le signal distordu est ensuite directement comparé au signal d'entrée et cette distorsion ne peut donc pas être corrigée dans la boucle de l'ADC. Cette distorsion dans l'ADC se transmet par le même mécanisme à la boucle entière.

Le principe général d'un DEM est le suivant : il s'agit de compenser les différences des huit DAC unitaires en distribuant leur activation. Ainsi, à une même valeur de sortie de l'ADC pourra correspondre de nombreuses combinaisons. Par exemple, si l'ADC sort la valeur '-1', le DEM choisira d'activer pseudo-aléatoirement 3 DAC unitaires parmi les $8!/3!/5!=56$ combinaisons possibles. Pour ne pas ajouter de délai dans la rétroaction de l'ADC afin de garantir sa stabilité, ce mélange doit de plus se faire de façon combinatoire.

De nombreuses techniques de DEM ont fait l'objet de publication. La plus simple est la méthode DWA pour « Data-Weighted Averaging » [11]. Elle consiste simplement à effectuer une rotation dans l'utilisation des éléments du DAC pour qu'ils soient équitablement utilisés. Toutefois, la nature cyclique de ce processus du premier ordre (calcul d'une moyenne) crée des harmoniques dans la bande passante et ne peut prétendre à de très bonnes performances. De nombreuses variantes du DWA existent, elles sont listées dans [12], et une version très performante de cet algorithme, du second ordre cette fois, est présentée dans [13]. Un autre algorithme très utilisé, car présentant de bonnes performances pour un coût très modeste en ressources, est le DEM breveté de Galton, qui est basé sur une structure en arbre. Son principe est expliqué dans [14] et son implémentation est présentée dans [15]. L'architecture concurrente au niveau des performances est la quantification vectorielle appelée en anglais « Vector-quantizer » qui sera appelée VQ-DEM [16] – [17]. L'architecture originale de DEM que nous avons développée est issue de cet algorithme, elle permet potentiellement de meilleures performances que le DEM de Galton mais demande plus de ressources.

La figure III.21 montre l'implémentation du VQ-DEM pour une sortie de l'ADC sur 8 bits en code thermomètre. Le signal d'entrée $x[n]$ est fourni à 8 modulateurs $\Delta\Sigma$ dont le signal de rétroaction est l'un des 8 bits de sortie du DEM. Les signaux de sortie des modulateurs $q_i[n]$ sont ensuite fournis à l'aiguilleur qui les ordonne du plus petit au plus grand. Les k '1' du signal d'entrée sont affectés aux k DAC unitaires correspondant aux modulateurs avec le plus grand signal de sortie. Par exemple, si la

sortie de l'ADC est égale à +2, $x[n]$ possède 6 bits à '1', qui sont affectés aux DAC correspondant aux 6 plus grands $q_i[n]$.

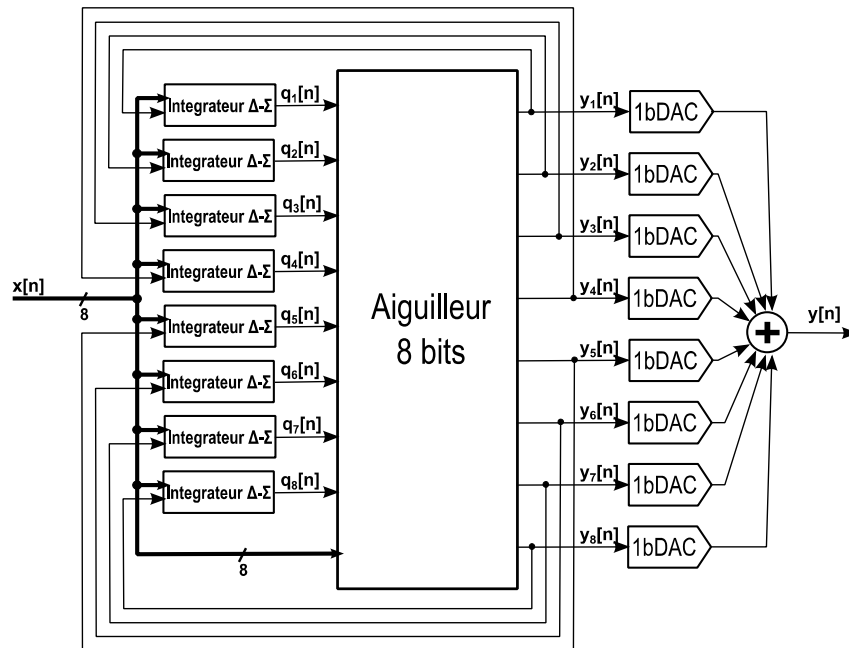


FIGURE III.21 - Architecture du VQ-DEM 8 bits

L'opération consistant à ordonner de façon purement combinatoire les 8 valeurs de $q_i[n]$ donne toute sa complexité au VQ-DEM. En effet, il y a $8! = 40320$ combinaisons possibles pour affecter les bits du signal d'entrée aux DAC unitaires en fonction du résultat des comparaisons. Un tel algorithme ne peut donc pas vraiment être utilisé en pratique au-delà de 4 bits. Pour diminuer cette complexité, nous avons adopté la structure « partiellement » en arbre donnée sur la figure III.22, et que nous noterons PTVQ-DEM pour « Partial Tree Vector Quantizer ».

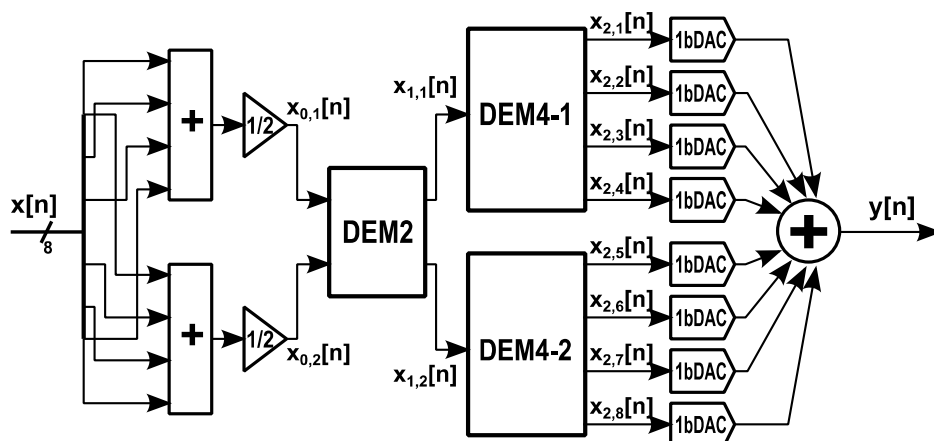


FIGURE III.22 - Architecture du PTVQ-DEM 8 bits

Le signal est d'abord mélangé avant de le diviser en deux, afin de rompre l'asymétrie du signal thermomètre, sans cela, les '0' se trouveraient majoritairement dans un des deux chemins et les '1'

dans l'autre. Le signal ainsi divisé en deux est fourni au bloc DEM deux signaux, noté DEM2, qui est détaillé sur la figure III.23. Dans ce bloc DEM2, le signal $x[n]$ est reconstitué et est fourni aux deux intégrateurs dont la rétroaction négative est le signal de sortie $x_{1,i}[n]$ correspondant. Les signaux $q_{0,i}[n]$ sont comparés entre eux et le maximum $x_{0,k}[n]$ des $x_{0,i}[n]$ est affecté à la sortie $x_{1,k}[n]$ avec $q_{0,k}[n]$ le maximum des $q_{0,i}[n]$. Un modèle linéaire temps discret d'un intégrateur $\Delta\Sigma$ du 2^{ème} ordre est donné sur la figure III.24.

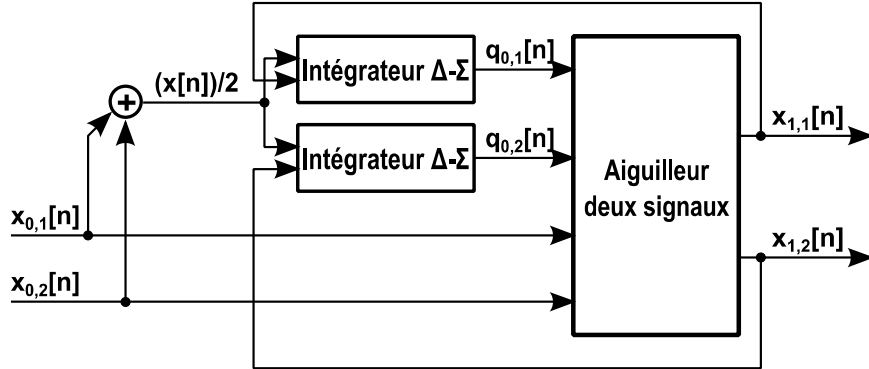


FIGURE III.23 - Cellule DEM deux signaux du PTVQ-DEM

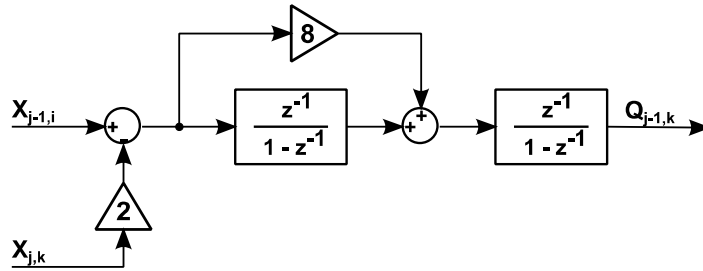


FIGURE III.24 - Modèle d'un des intégrateurs du PTVQ-DEM

Le bloc DEM4 repose sur le même principe que DEM2 sauf qu'il est composé de quatre intégrateurs et que le signal d'entrée $x_{1,i}[n]$ est converti sur 4 bits thermomètre. Ce sont ces bits qui sont affectés aux plus grands $q_{1,i}[n]$. Une modélisation de l'architecture et une étude complète de son fonctionnement ont fait l'objet d'une publication [18]. Nous y prouvons notamment que la structure que nous avons décrite réalise bien une réjection des erreurs d'appariement au second ordre et nous montrons que la superposition de plusieurs niveaux de DEM augmente le niveau de bruit en sortie.

III.3.5.2 Evaluation des performances du PTVQ-DEM

Dans le but d'évaluer les performances de l'algorithme de DEM que nous avons développé en simulation, nous l'avons placé avec d'autres algorithmes de DEM courants sur l'ADC temps continu. Nous avons ainsi modélisé et simulé avec Matlab Simulink le PTVQ-DEM, le VQ-DEM idéal sur 8 bits illustré sur la figure III.21, le DEM de Galton (GAL), léger et performant, et le DWA, qui a

l'architecture la plus simple. Pour chaque algorithme, nous avons effectué 100 tirages d'erreurs d'appariement du DAC 8 bits suivant une loi normale avec un écart type de 3% par rapport à l'unité. Nous avons effectué une mesure de SNR sur huit cycles d'un signal sinusoïdal d'amplitude -6 dB et de fréquence 1 kHz et nous avons placé les valeurs de SNR obtenues sur l'histogramme de la figure III.25 pour montrer leur distribution. Le tableau III.4 donne les moyennes et écart-types ainsi que leurs équivalents en termes de niveau de bruit par rapport à une référence de 1 V.

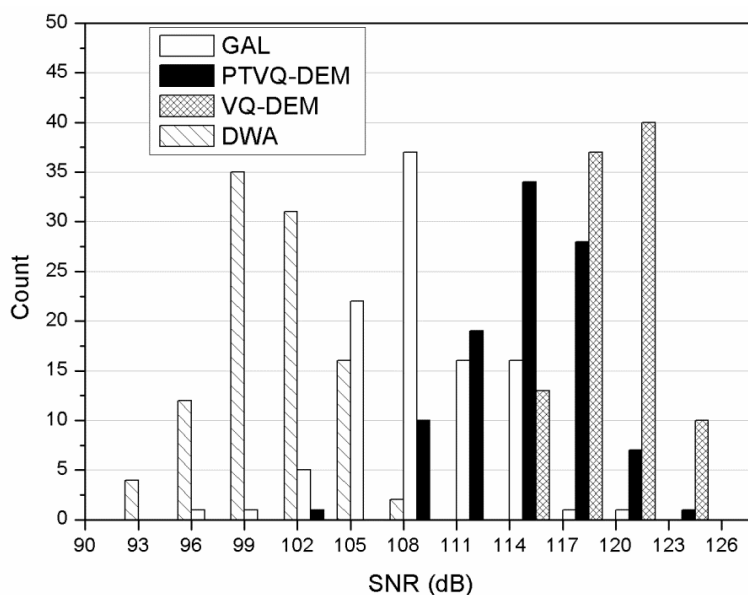


FIGURE III.25 - Distribution des valeurs de SNR obtenues en simulation selon le type de DEM

Mesure	GAL	PTVQ-DEM	VQ-DEM	DWA
Moyenne	110,1 dB	115,6 dB	120,0 dB	98,9 dB
Ecart-Type	3,75 dB	3,46 dB	2,34 dB	3,19 dB
Moyenne du niveau de bruit (par rapport à 1 V)	3,13 μ V	1,66 μ V	1,00 μ V	11,35 μ V
Ecart-Type du niveau de bruit (par rapport à 1 V)	1,69 μ V	0,81 μ V	0,31 μ V	5,04 μ V

TABLEAU III.4 - Moyennes et écart-types des valeurs de SNR obtenues dans les simulations selon le type de DEM

Ces résultats de simulation montrent plusieurs choses. Nous voyons que le DWA donne des résultats très en dessous des autres algorithmes, bien que cela puisse convenir à certaines applications où le faible coût est plus important que la performance. Il était de plus prévisible que le PTVQ-DEM ait des performances inférieures au VQ-DEM bien que la différence ne soit pas si grande. Et enfin, nous voyons que le PTVQ-DEM permet un niveau de bruit inférieur de moitié au niveau de bruit produit par GAL. Ces meilleures performances sont néanmoins contrebalancées par le fait que le DEM

de Galton affiche dans [15] un nombre de portes égal à 988 tandis que celui du PTVQ-DEM est de 2642 portes (équivalent NAND2).

III.3.6 Conclusion sur l'ADC

Nous avons vu comment il est possible de réaliser un ADC $\Delta\Sigma$ temps continu atteignant de très bonnes performances pour une faible consommation. Pour cela, nous avons poussé l'ordre du modulateur à 4 pour faire baisser le plancher de bruit, nous avons utilisé un quantificateur sur 8 niveaux pour diminuer la puissance du bruit de quantification et améliorer la stabilité de l'ADC en fonction de l'amplitude. Les amplificateurs et les résistances ont été dimensionnés de façon à limiter le bruit dans la bande audio. L'influence du bruit de phase a été fortement diminuée grâce à une boucle à verrouillage de délai, qui génère le signal du DAC de retour. Et enfin, les erreurs d'appariement inhérentes à l'utilisation de 8 DAC unitaires pour reconvertir en analogique les 8 bits de sortie ont été compensées grâce à un algorithme numérique de correction dynamique.

L'avantage le plus marquant de cette architecture est sa relativement faible consommation (1,2 mA en simulation), obtenue grâce au relâchement des contraintes de bande passante sur les amplificateurs de la boucle. L'aspect temps continu permet une conversion directe et sans perte du signal analogique, alors qu'un modulateur temps discret nécessite un filtrage pouvant altérer le signal. Un SNR de l'ordre de 110 dB peut être obtenu avec cette architecture, ce qui la situe à l'état de l'art, et aux limites peut-être de ce qui peut être obtenu dans un système mixte, intégré sur silicium.

Toutefois, en dépit de ces avantages, l'utilisation de cet ADC dans la boucle de classe D numérique rend l'amplificateur peu compétitif en termes de surface. Lorsqu'on fait abstraction de l'étage de puissance (qui ne dépend que de la technologie et de la tension d'alimentation) et des générateurs de tensions et courants de référence, on obtient un ADC à quatre amplificateurs avec composants passifs, un générateur d'horloge nécessitant une forte capacité pour sa pompe de charge, et une partie numérique qui demande des ressources relativement importantes (cette dernière pouvant certes être réduite avec une technologie plus avancée). Pour comparer, prenons l'exemple d'un amplificateur de classe D PWM à boucle analogique. Il est composé d'un DAC en boucle ouverte, qui doit être haute-performance, suivi d'un modulateur temps continu du second ordre, contenant deux amplificateurs opérationnels et composants passifs. Cette dernière architecture est donc plus compétitive que le système classe D numérique en termes d'intégration dans un système sur puce, même si les performances audio, notamment en termes de PSRR et THD, sont nettement moins élevées [19].

III.4 Conception du circuit intégré

Une fois l'amplificateur dimensionné et son architecture fixée au niveau système, l'étape suivante est la conception du circuit intégré. L'amplificateur de classe D implémenté (voir figure III.1) est un système mixte comprenant à la fois une partie numérique et une partie analogique interagissant fortement. La conception de la partie analogique ne rentre pas dans le champ de cette thèse.

III.4.1 Conception de la partie numérique

Au niveau de la partie numérique, la première étape a été de modéliser tous les blocs numériques en VHDL selon les spécifications que nous avons définies au niveau système (modèle Matlab Simulink). Ces blocs ont ensuite été simulés de façon extensive avec le logiciel Modelsim [20] qui est un outil de simulation de circuits numériques. Une fois leur fonctionnement prouvé, chacun de ces blocs a été intégré au niveau de hiérarchie supérieur pour de nouvelles simulations logiques, afin de vérifier le bon fonctionnement de l'ensemble. Une fois toute la hiérarchie modélisée, nous avons créé des stimuli à partir des modèles Matlab Simulink, permettant de simuler des entrées audio PDM, I2S, la programmation I2C et les autres entrées de contrôle dans le logiciel de simulation logique. Cela a permis de valider toute la partie numérique.

Une fois cette étape accomplie, nous avons profité d'avoir à disposition un prototype d'amplificateur sur FPGA pour implanter une version adaptée de la partie numérique. Nous avons ainsi pu nous assurer de son bon fonctionnement en conditions réelles. Ce fut notamment utile pour tester les ajouts par rapport au premier prototype, comme l'interface et le banc de registres I2C, le réglage du gain, la calibration d'offset, l'atténuation des bruits de démarrage.

Le modèle VHDL du DEM n'a pas pu être testé de la même manière sur FPGA. En effet, il a été spécialement conçu pour l'ADC temps continu décrit plus haut qui n'a jamais été implémenté. Toutefois, ce bloc ne présente pas de problème particulier au niveau de ses interfaces, et une co-simulation entre Matlab Simulink et Modelsim a permis une validation satisfaisante.

III.4.2 Blocs annexes

Afin de permettre au système de fonctionner de façon indépendante, des blocs annexes ont été ajoutés au circuit. Les principaux blocs concernent la gestion de l'alimentation du circuit. Un bandgap a ainsi été implémenté. Ce circuit permet de générer une tension de référence de 1,2 V, qui ne varie

pas avec la température, à partir de la tension de batterie V_{bat} en utilisant les propriétés intrinsèques des semi-conducteurs. Cette tension de référence est ensuite utilisée pour fixer la tension d'alimentation du circuit, générer des courants de référence pour les amplificateurs et enfin produire les autres tensions de référence nécessaires au système.

Un second bloc annexe du circuit est le LDO (pour « Low DropOut regulator »). Ce circuit génère la tension 1,8 V du système complet, ce qui inclue la partie traitement analogique hors pont en H, et les deux blocs numériques. Ce circuit est un régulateur dont la sortie peut supporter des demandes de courant, jusqu'à un certain point, sans qu'il y ait de chute de tension sur ce nœud d'alimentation. Une capacité externe de 1 μ F aide à remplir cette fonction.

Un générateur de courants réglable a également été conçu pour fournir les courants de référence de tous les amplificateurs du système par le biais de miroirs de courant. Il utilise un courant de référence de 1 μ A fourni par le bandgap. Afin de permettre l'optimisation de la consommation par rapport aux performances, essentiellement pour les amplificateurs de l'ADC, des registres I2C permettent de régler l'intensité de ces courants. En effet, l'augmentation du courant circulant dans un transistor diminue le bruit généré par ce dernier, ce qui peut permettre de diminuer le bruit de tout le système.

Enfin, quelques buffers ont été ajoutés au système pour réguler la tension de quelques nœuds importants, comme le mode commun (VAG) ou la tension de référence 1,2 V dans l'ADC, afin d'augmenter l'insensibilité du système aux perturbations extérieures.

III.4.3 Validation du circuit

Tout le travail de modélisation de la partie numérique a été finalisé quelques mois en avance par rapport aux blocs analogiques, cela a permis de mettre en place les outils et les méthodes de simulation mixte sur la suite de logiciel Cadence. La boucle complète d'amplification a pu être rapidement simulée en remplaçant les blocs analogiques par des modèles décrits en Verilog-A, qui est un langage de modélisation de circuits électroniques analogiques couramment utilisé dans l'industrie. Ces blocs en Verilog-A ont ensuite peu à peu été remplacés par les blocs analogiques finalisés.

La simulation mixte est indispensable à la validation d'un système complexe mixte, c'est-à-dire comprenant une partie numérique et analogique. En effet, un logiciel de simulation numérique ne peut simuler le comportement des transistors de la partie analogique. De même, un logiciel de simulation analogique utilisera des modèles plus ou moins complexes pour simuler les transistors de la partie numérique. Or, cette partie numérique contient un très grand nombre de transistors qui fonctionnent

sur deux états : passant ou fermé. Le temps de simulation sera par conséquent extrêmement long par rapport à la complexité réelle du circuit.

Dans le but de permettre la validation de tout le système avec des simulations regroupant les parties analogiques et numériques, les simulateurs analogiques et numériques fonctionnent en parallèle pour simuler chacune des parties de façon synchronisée. Les résultats de telles simulations donnent plus de confiance dans la validité du circuit que des simulations séparées pour les parties analogiques et numériques. La mise en place, la prise en main et l'utilisation pour validation de ces simulations mixtes ont pris un temps très important, mais elles ont permis de corriger un grand nombre de problèmes invisibles autrement.

Les simulations mixtes sur Cadence du circuit complet avec les blocs analogiques au niveau transistor, la partie numérique décrite en Verilog et VHDL et les plots d'entrée/sortie ont permis de donner les prévisions de performances données dans le tableau III.5. Le SNR et la THD+N sont donnés avec une fourchette car à ce niveau de performances, ils peuvent dépendre de phénomènes non décrits ou mal décrits par les modèles de transistor fournis par les fabricants. Le premier prototype d'un circuit sur un procédé nouveau pour l'équipe de conception permet normalement de vérifier la validité des modèles pour l'utilisation particulière qui est faite de ce procédé.

Paramètre	Valeur
SNR	105 / 110 dB
THD+N	-90 / -100 dB
PSRR à 217 Hz	90 dB
Puissance maximale (THD+N = 1 %)	1,6 W
Courant	2,5 mA

TABLEAU III.5 - Tableau des performances en simulation de l'amplificateur

III.4.4 Assemblage du système sur silicium

Les étapes dites de « back-end », c'est-à-dire le dessin des transistors, leur placement, le dessin des pistes de métal et l'assemblage du système sur silicium, viennent après la conception. Ces étapes peuvent être regroupées en trois catégories : la génération du layout du ou des circuit(s) numérique(s), la conception du layout des circuits analogiques et enfin l'assemblage de ces parties, aboutissant au circuit intégré final contenant tout le système.

Tout d'abord, la conception d'un circuit sur silicium nécessite le choix d'un fondeur, qui possède un certain choix de technologies, qui elles-mêmes comportent plusieurs options. La

technologie LFoundry que nous avons utilisée pour la réalisation du prototype possède une taille de grille de transistor de 0,15 μm . Cette technologie a été choisie car elle possède les options souhaitées pour ce type de design mixte. Elle supporte des tensions de 5 V grâce à des transistors spéciaux à drain étendu. La grande valeur de la permittivité électrique ϵ_R de son isolant permet de plus de réduire la taille des capacités, ce qui est très avantageux dans le circuit que nous présentons ici, en particulier pour l'ADC et la DLL. Enfin, la partie numérique du circuit est relativement faible, elle représente environ 15% de la surface totale. Les gains de surface sont donc trop faibles pour justifier le passage à une technologie dotée d'une taille de grille plus réduite, pour lesquelles le prix du mm^2 de silicium augmente fortement. D'autres considérations comme le service et la fréquence d'envoi de circuit pour fabrication sont également entrés en ligne de compte. Le véritable point faible de ce choix est la faible utilisation de cette technologie dans l'industrie, ce qui pose des questions en termes de maturité, et qu'un éventuel contrat avec un groupe pour réaliser le circuit en tant qu'IP propriétaire nécessiterait le portage de celui-ci sur une technologie plus courante.

Le choix de la technologie influe beaucoup plus sur la partie analogique que numérique car les caractéristiques physiques des transistors à dimension égale peuvent varier sensiblement d'une technologie à l'autre. Au niveau de la partie numérique, le modèle VHDL ou Verilog est transformé automatiquement par un outil de synthèse numérique en un ensemble de cellules logiques standards interconnectées appelé « netlist ». Ces cellules logiques standards sont ensuite remplacées dans la netlist par les cellules du fondeur spécialement optimisées pour la technologie en termes de surface.

La netlist ainsi obtenue est ensuite fournie à un logiciel de placement et routage. Son rôle est de placer de façon optimale les cellules logiques et de créer automatiquement les lignes métalliques d'interconnexion, et de créer un arbre d'horloge pour les parties séquentielles. L'optimum du placement peut être la minimisation de la surface, ou des temps de traversée des portes, ou encore d'autres critères. Le logiciel crée également automatiquement les lignes d'alimentation et de masse du circuit. Le résultat de cette opération est le dessin des masques de toute la partie numérique qui peut être intégré au layout complet. La figure III.27 (a) donne la surface relative des blocs de la partie numérique après synthèse. L'opération de placement/routage a entraîné une augmentation de la surface d'environ 37 % par rapport à la somme des surfaces de toutes les portes logiques ce qui fait en tout 0,19 mm^2 .

Une fois le masque des blocs analogiques réalisé, tous les blocs du système sont assemblés dans une même vue de manière à optimiser la surface, et les interconnexions et pistes d'alimentation sont réalisées. Un rail d'alimentation est créé tout autour du circuit et des blocs d'entrée-sortie sont ajoutés pour permettre le lien entre le circuit sur silicium et le boîtier. Ces blocs ont également pour fonction d'éviter les surtensions dans les nœuds du circuit par le biais de diodes ESD.

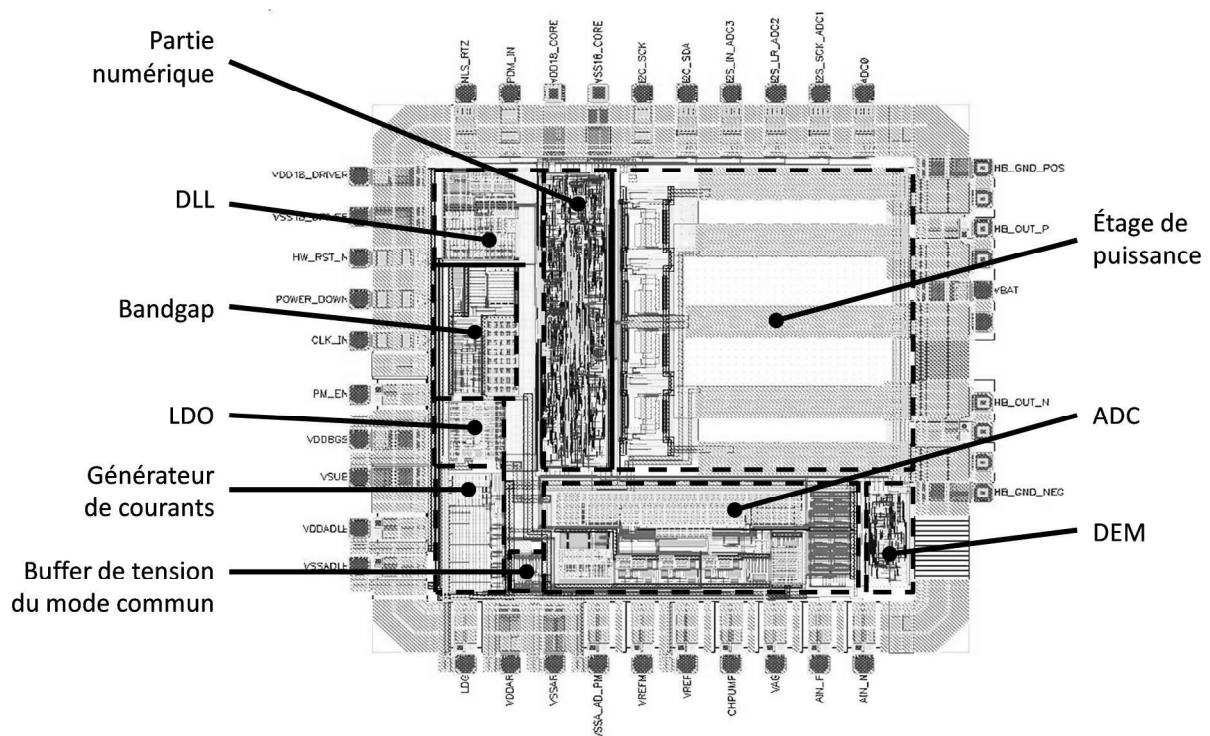


FIGURE III.26 - Layout du circuit complet avec la position des différents blocs du système

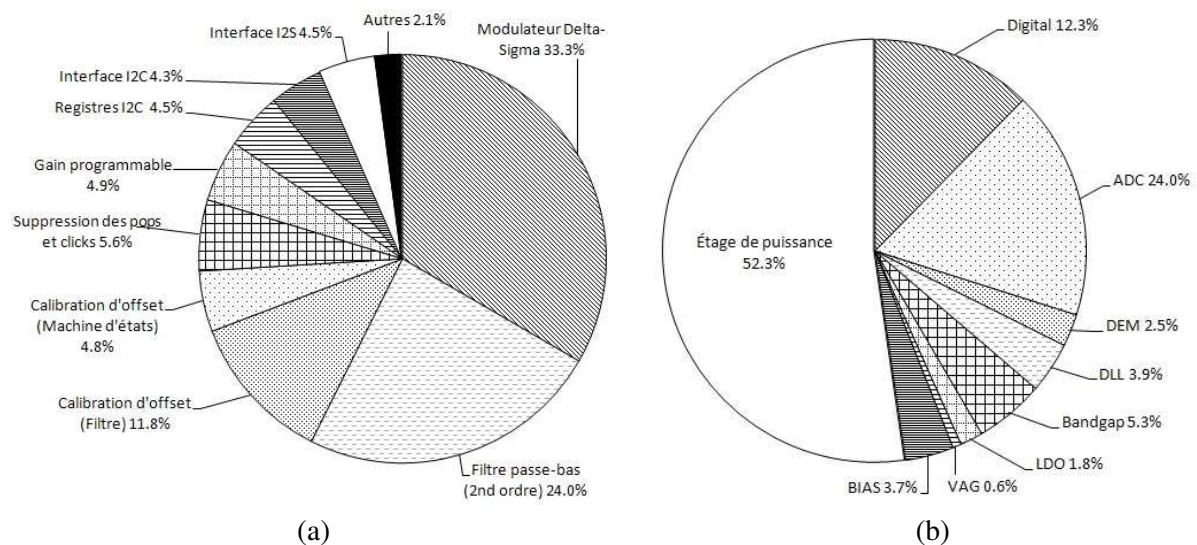


FIGURE III.27 - Surface relative (a) des blocs de la partie numérique (hors DEM) ;
(b) des blocs du cœur du circuit

La figure III.26 donne une vue du layout complet du prototype sur silicium avec la place des différents blocs. La figure III.27 (b) donne la surface relative de ces blocs du cœur du circuit. Le cœur du circuit représente environ 49 % de la surface totale du silicium ($1,89 \text{ mm}^2$), le routage 11 % et l'anneau contenant les rails d'alimentation et les plots d'entrée-sortie 40 %. La surface totale du circuit sur silicium fait ainsi $3,45 \text{ mm}^2$.

III.5 Mesures du circuit intégré

III.5.1 Dispositif de test et de mesure

III.5.1.1 Description de la carte de test

Après l’envoi du circuit intégré en fabrication (2 mois), une carte de test a été conçue dans le but de détecter les erreurs du circuit et d’effectuer des mesures audio. Le dispositif de test et de mesure comprend plusieurs éléments. La figure III.28 (a) présente un schéma de la carte de test avec ses principales fonctions et la figure III.28 (b) donne le placement des différents composants et connecteurs. La puce est placée au centre du circuit sur un « socket ». Cela permet de tester et mesurer différentes puces en utilisant la même carte, sans avoir besoin de les souder. Cela a toutefois pour inconvénient d’ajouter une impédance non négligeable sur toutes les entrées-sorties, et notamment la sortie différentielle de l’étage de puissance.

Les signaux I2C, I2S et l’horloge sont générés par une carte externe Texas Instruments [21]. Un logiciel permet de programmer les registres I2C par l’intermédiaire d’un lien USB entre un ordinateur et cette carte. Les deux signaux I2C produits par le contrôleur USB/I2C de cette carte sont ensuite reliés au circuit par l’intermédiaire d’un décaleur de tension conçu pour les interfaces I2C.

Au niveau de la génération audio, des données numériques sont nécessaires. L’ordinateur joue un morceau, un boîtier spécial relié par USB encode ce signal audio sous un format S/PDIF transmis par câble optique. Ce dernier signal est envoyé à la carte Texas Instruments qui le transforme en un signal I2S, et qui génère de plus une horloge synchrone cadencée à 256 fois la fréquence d’échantillonnage audio, soit 12,288 MHz à 48 kHz. C’est cette horloge qui cadence tout le circuit. La génération du signal PDM est quant à elle décrite dans la section III.5.1.3. Tous ces signaux numériques sont fournis en 3,3 V, ils doivent donc passer par un décaleur de tension pour être définis en 1,8 V, tension pour laquelle est conçu le circuit. Un régulateur a été ajouté à la carte de test pour produire les tensions d’alimentations nécessaires. L’entrée analogique différentielle a quant à elle été générée grâce à l’analyseur Audio Precision APX585 pendant les mesures des performances audio de l’amplificateur, puis par un générateur de signaux plus conventionnel et de moindre qualité pour les mesures de l’ADC qui ont suivi.

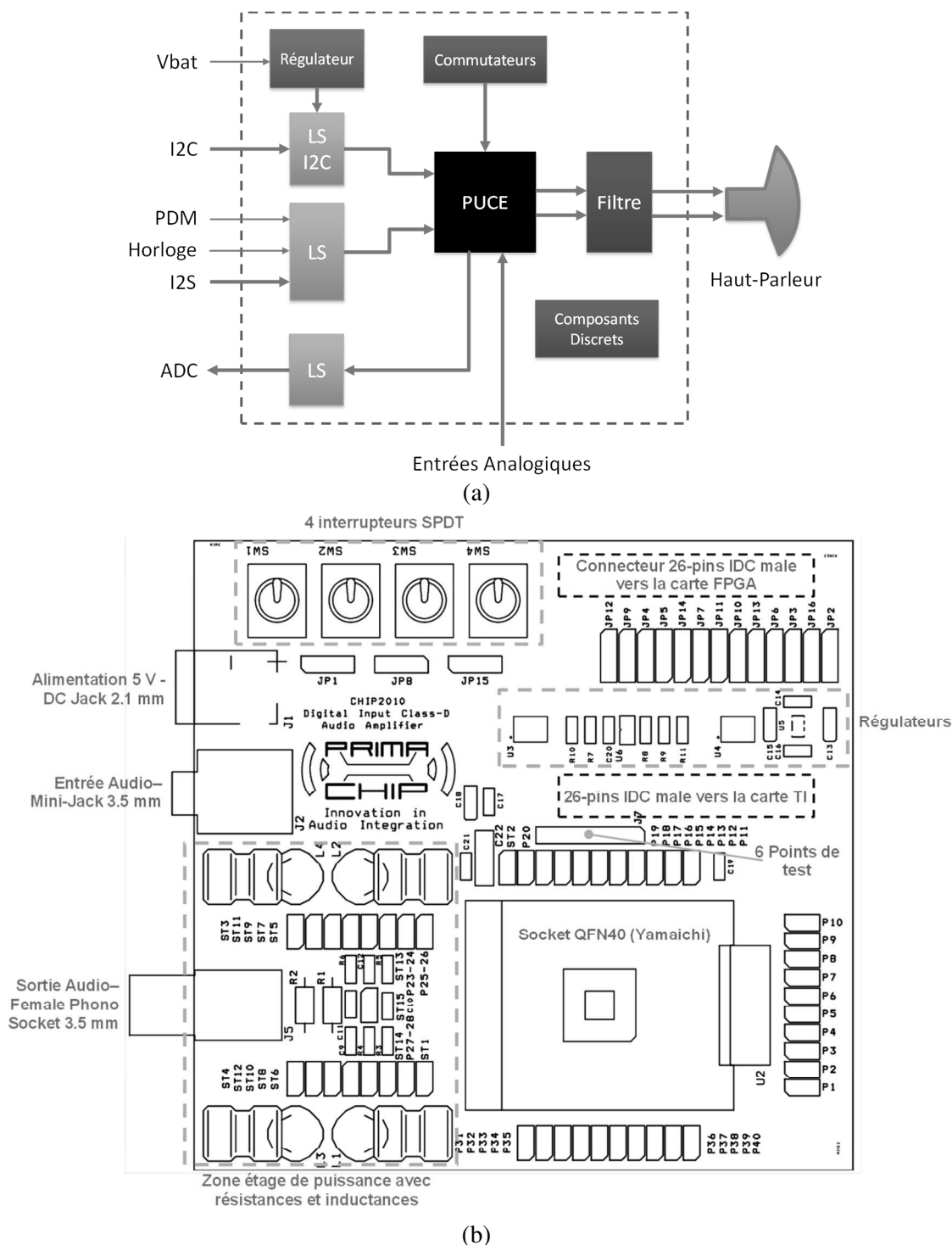


FIGURE III.28 – (a) Schéma des fonctions de la carte de test, LS est l'abréviation de Level Shifter, ou décaleur de tension ; (b) Schéma de la carte avec placement et désignation des principaux composants

Comme nous le voyons sur la figure III.28 (b), divers commutateurs et de nombreux cavaliers ont été inclus sur la carte pour permettre un contrôle manuel du signal de reset ou de l'alimentation du circuit, l'isolation et le contrôle de signaux internes du circuit. Ils constituent également un point de visualisation pour le débogage. L'inconvénient de ces cavaliers est de présenter une résistance non

négligeable sur des chemins critiques comme l'étage de puissance. Enfin, des composants optionnels ont été ajoutés en sortie de l'amplificateur. Ils permettent d'une part de simuler une charge, et d'autre part de filtrer les composantes haute fréquence du signal de sortie, afin de permettre l'utilisation d'un analyseur audio qui échantillonne à une fréquence inférieure à celle de l'amplificateur. Un schéma de la carte de test est donné en Annexe.

III.5.1.2 Remarques sur la conception de la carte de test

Nous avons réalisé la conception de la carte de test au sein de l'équipe de Primachip et quelques erreurs de conception ont été commises. Premièrement, le chemin du courant entre le nœud Vbat (nœud d'alimentation de l'étage de puissance, voir figure III.6) et la masse à travers l'étage de puissance possède une forte résistance. A l'origine, nous avons conçu le circuit pour que chaque côté du pont en H n'ait que 250 mΩ de résistance. En bloquant le pont en H à l'état +1, nous avons mesuré sur cette carte une résistance totale de 1 Ω entre le nœud Vbat et le plot en amont de la charge en suivant le sens du courant, et une résistance de 1,5 Ω entre le plot en aval et la masse pour une charge de 8 Ω. Ces résistances limitent la puissance maximale de l'amplificateur.

Deuxièmement, le plan de masse de la carte de test n'a pas pu servir de référence correcte pour le DAC dans la rétroaction de l'ADC. En effet, la résistance parasite entre le plan de masse de la carte et la masse des alimentations, multipliée par le courant drainé par les masses, crée une tension parasite dans le plan de masse de la carte. De plus, le courant injecté par l'étage de puissance dans le plan de masse est corrélé au signal, ce qui entraîne une multiplication du signal par lui-même dans le DAC qui prend cette masse de la carte comme référence, comme nous le verrons dans la section III.5.6.

Un troisième problème provient des décaleurs de tension. En effet, nous avons observé qu'ils prenaient dans les buffers des sorties numériques du circuit un courant de quelques centaines de μA, augmentant artificiellement la consommation totale du circuit de façon non négligeable. Une implémentation plus judicieuse de ces décaleurs de tension aurait été utile.

III.5.1.3 Génération du signal PDM

L'entrée PDM (pour « Pulse Density Modulation », voir chapitre I) est l'un des points clés de l'amplificateur. En effet, ce format permet à l'amplificateur de recevoir un signal audio numérique modulé sur un seul bit (donc un seul fil), avec une qualité telle que des signaux avec un SNR supérieur à 120 dB peuvent être transmis sans perte de précision du fait de la modulation. Ce format est maintenant assez utilisé dans l'industrie car il permet d'assouplir les contraintes de conception des

circuits imprimés. Nous avons choisi de générer notre propre flux PDM en interpolant et en modulant un signal audio I2S sur un FPGA.

Cette génération se fait en deux étapes : la première est d'amener la fréquence d'échantillonnage du signal audio de F_s (nous supposons $F_s = 48$ kHz pour la suite) à $128F_s$ (soit 6,144 MHz) grâce à un filtre interpolateur. Ensuite, un modulateur $\Delta\Sigma$ fonctionnant à cette dernière fréquence transforme le signal d'entrée en un flux PDM sur un seul bit. Ce modulateur $\Delta\Sigma$ sur deux niveaux possède une structure CRFB du 5^{ème} ordre avec les mêmes coefficients que le modulateur numérique du circuit.

Nous avons défini pour le filtre interpolateur ces trois spécifications : augmenter la fréquence d'échantillonnage du signal audio d'un facteur 128, atténuer les alias du signal d'entrée d'au moins 100 dB et avoir une atténuation de $\pm 0,1$ dB sur la toute bande audio. De plus, la complexité du filtre doit être suffisamment faible pour pouvoir être porté sur un FPGA. Pour remplir ces conditions, la solution consistant à sur-échantillonner directement le signal jusqu'à un OSR de 128, puis à filtrer les alias avec un unique filtre passe-bas est possible. Un tel filtre doit avoir une bande-passante de 20 kHz et avoir une atténuation de 100 dB à 28 kHz (fréquence du premier alias si le signal d'entrée est à 20 kHz). C'est possible avec un filtre d'ordre 17. Toutefois, lorsque ce filtre est converti en numérique, la précision sur les coefficients doit être telle que le portage sur FPGA consomme trop de ressources.

La solution retenue est donc de procéder au sur-échantillonnage par étapes. La figure III.29 présente l'architecture du filtre choisi et le tableau III.6 donne les caractéristiques des trois filtres qui le composent.

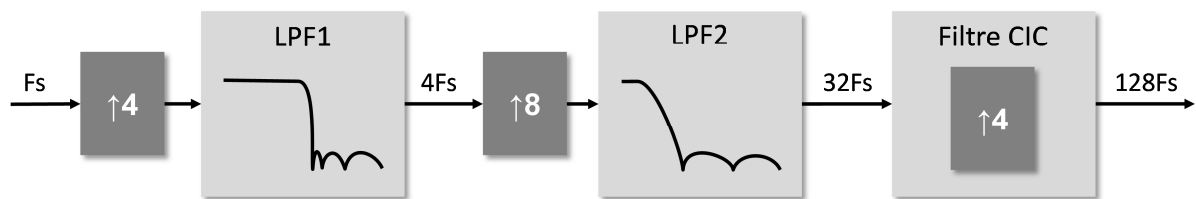


FIGURE III.29 - Architecture du filtre interpolateur

Filtre	LPF1	LPF2	CIC
Type	Filtre de Chebyshev type II	Filtre de Chebyshev type II	Cascaded Integrator-Comb
Ordre	11	5	4
Atténuation	80 dB	100 dB	Zéro à 32Fs, 64Fs et 96Fs, soit 1536, 3072 et 4608 kHz.
Bande passante à $\pm 0,1$ dB	20 kHz	20 kHz	
Bande atténuée	30 kHz	172 kHz	

TABEAU III.6 - Caractéristiques des filtres composant le filtre interpolateur

Les graphes (a), (b), (c) et (d) de la figure III.30 donnent le spectre du signal audio aux différentes étapes de l'interpolation. Le signal audio échantillonné à F_s (voir figure III.30 (a)) est donc sur-échantillonné une première fois à $4F_s$. Il passe tout de suite par le filtre d'ordre le plus élevé pour limiter la surface de ce filtre. En effet, quand un filtre est quantifié afin d'être implémenté en numérique, la complexité du filtre en termes de portes logiques dépend certes de l'ordre, mais surtout du rapport entre la fréquence de coupure du filtre et la fréquence de fonctionnement. Plus ce rapport est faible, plus le filtre nécessitera de portes logiques.

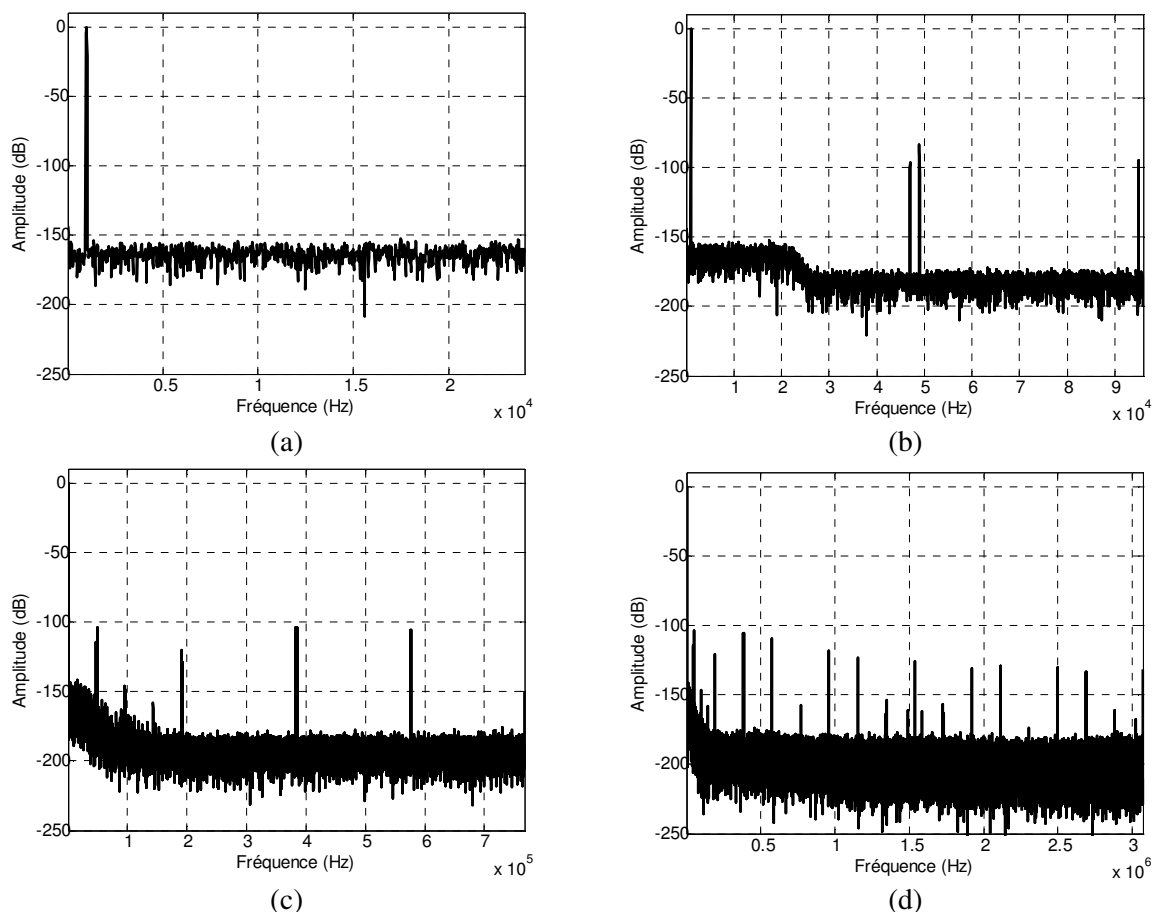


FIGURE III.30 - Spectres de (a) l'entrée du filtre interpolateur ; (b) la sortie de LPF1 ;
(c) la sortie de LPF2 ; (d) la sortie du filtre interpolateur

Ensuite, une fois le signal à $4F_s$ filtré (voir figure III.30 (b)), il est sur-échantillonné d'un facteur 8, portant la fréquence d'échantillonnage à $32F_s$. Le signal passe cette fois par un filtre d'ordre plus faible, car le premier alias qu'il doit atténuer se trouve à $4F_s - 20\text{kHz}$ soit 172 kHz (voir figure III.30 (c)). Enfin, le signal passe par un filtre de type « Cascaded Integrator-Comb ». Ce type de filtre est très intéressant pour l'interpolation car il permet en même temps de faire passer la fréquence d'échantillonnage F_s' du signal d'entrée à $k.F_s'$, k étant ici égal à 4, tout en supprimant les alias se trouvant à F_s' , $2F_s'$ et $3F_s'$. Le spectre de sortie du filtre interpolateur est donné sur la figure III.30 (d).

III.5.2 Mesures de l'amplificateur

III.5.2.1 Dispositif de mesure

L'évaluation précise des performances d'un amplificateur audio nécessite un appareillage de mesure relativement coûteux et spécifique, étant donné les niveaux de bruits mesurés. L'idéal est de disposer d'un analyseur audio. Ce système permet à la fois de générer des signaux extrêmement purs en termes de bruit et de distorsion, de façon analogique ou numérique, de capturer le signal de façon analogique ou numérique sans perte de qualité, et de le traiter dans un logiciel dédié permettant des mesures et balayages rapides. Ce matériel n'était pas disponible à l'IM2NP. Nous avons cependant eu accès par le biais de Primachip à un laboratoire de mesures audio pendant seulement deux jours en décembre 2010, une semaine après la réception du circuit. Nous avons ainsi pu mesurer sur un analyseur audio Audio Precision APX585 la THD+N, le PSRR et la puissance de sortie en fonction de l'amplitude. Nous n'avons malheureusement pas procédé à des mesures du niveau de bruit de l'amplificateur par manque de temps, car les problèmes rencontrés pour faire fonctionner le circuit le mieux possible ne l'ont pas permis.

La figure III.31 illustre le banc de mesure utilisé pour mesurer les performances de l'amplificateur. Les données d'entrée sont générées en I2S par l'analyseur audio, qui fournit par ailleurs un signal d'horloge au système (FPGA et puce). Le FPGA convertit ces données en PDM pour les envoyer à la puce, comme expliqué dans la section III.5.1.3. Le bloc I2C figure la capacité de changer les paramètres de fonctionnement de l'amplificateur depuis l'ordinateur vers l'interface I2C de la puce à travers la carte d'interface Texas Instruments. Des générateurs de tension à faible bruit ont été utilisés pour alimenter le circuit, à la fois dans la configuration standard, où la puce génère ses tensions internes à partir de la tension de batterie 5 V, et dans une configuration où les tensions sont forcées sur les nœuds correspondants.

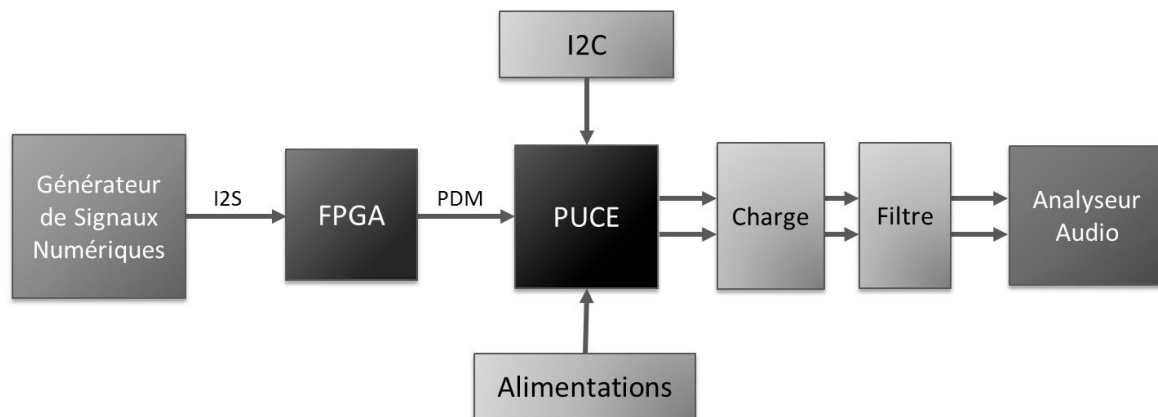


FIGURE III.31 - Banc de mesure de l'amplificateur

Pour toutes les mesures de l'amplificateur présentées dans les sections suivantes, le signal audio différentiel amplifié, issu de l'étage de puissance, est appliqué aux bornes d'une charge simulant l'impédance d'un haut-parleur avec une résistance de $8\ \Omega$ et une inductance de $15\ \mu\text{H}$. Un filtre RC du second ordre est également appliqué sur cette sortie différentielle, afin de protéger l'analyseur audio contre un contenu haute-fréquence de trop haute intensité. Et les mesures obtenues avec l'analyseur audio sont transmises à un logiciel dédié pour être traitées.

III.5.2.2 Mesure de THD+N

La première mesure est un balayage en amplitude du taux de distorsion et bruit. Nous avons effectué cette mesure pour une tension de batterie de 3 et 5 V avec un ordre de rétroaction partielle de 3. La figure III.32 montre le résultat de ces balayages. Ils sont bien en deçà des performances que nous avons ciblées pour le prototype (voir tableau III.5). En effet, la THD+N maximale ici n'est que de -60 dB pour des amplitudes d'entrée relativement basses (-18 dB) et $V_{\text{bat}} = 3\ \text{V}$. L'amplificateur devient instable à partir de -14 dB pour $V_{\text{bat}} = 3\ \text{V}$ et -10 dB pour $V_{\text{bat}} = 5\ \text{V}$, et la stabilisation non-linéaire permet cependant de maintenir artificiellement la THD+N au-dessous de -10 dB au-delà de ces valeurs. Nous observons à 3 V une saturation plus précoce de la boucle car la tension de sortie de l'amplificateur est appliquée aux résistances d'entrée de l'ADC, qui ne varient pas avec V_{bat} . Le gain dans le chemin de rétroaction qui est proportionnel à V_{bat} diminue donc. Cela augmente le gain de l'amplificateur et rend la boucle instable à plus faible amplitude. Les performances plus faibles que prévu seront expliquées dans la section III.5.6.

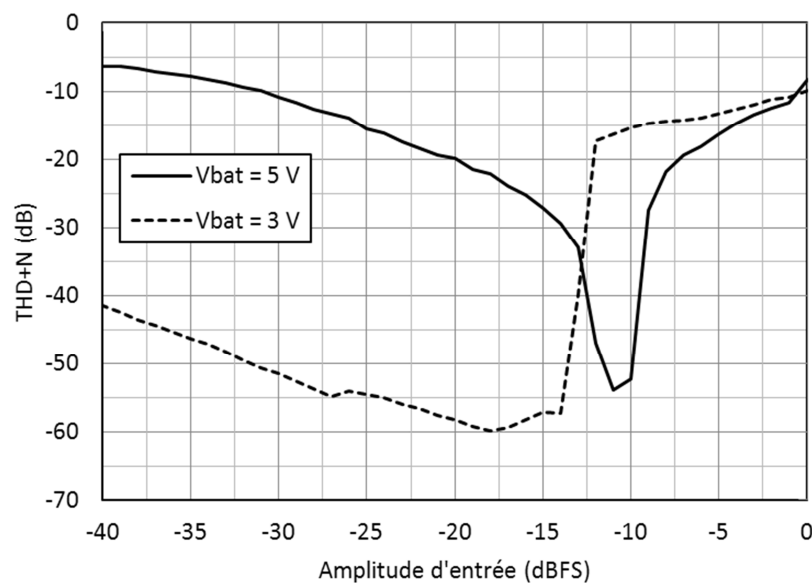


FIGURE III.32 - Courbe de la THD+N (taux de distorsion + bruit) en fonction de l'amplitude d'entrée

III.5.2.3 Mesure de PSRR

Des mesures de PSRR ont également été effectuées avec l'analyseur audio afin de déterminer l'influence de la rétroaction partielle. La figure III.33 présente la valeur du PSRR en fonction de la fréquence d'entrée pour les ordres de rétroaction partielle 1, 2 et 3, avec une tension de batterie égale à 3 V. Ces mesures ont été réalisées sans entrée en injectant dans la tension d'alimentation un signal sinusoïdal d'amplitude 100 mV et de fréquence variable.

Seules les mesures des ordres 1, 2 et 3 ont pu être obtenues, car les ordres 4 et 5 provoquent l'instabilité du prototype, même pour une entrée nulle, et la raie se trouve alors en dessous du plancher de bruit. C'est d'ailleurs ce plancher de bruit qui limite la valeur maximale du PSRR pour les plus basses fréquences. En effet, sur les courbes, l'ordre de la rétroaction n'a plus d'influence sur la valeur du PSRR pour ces basses fréquences. Il suffit en fait d'observer le spectre associé à ces points pour s'apercevoir que la raie à 217 Hz n'est plus visible et que l'analyseur audio utilise la composante du bruit pour calculer le PSRR qui est le ratio entre l'amplitude reçue et l'amplitude fournie.

Les courbes présentées ici affichent des valeurs de PSRR supérieures à celles obtenues dans les simulations de la boucle de rétroaction partielle (voir la figure II.32), car ces dernières n'intègrent pas le taux d'exposition propre à l'amplificateur. Ce taux d'exposition limite la vulnérabilité de l'amplificateur aux perturbations de la tension d'alimentation de l'étage de puissance et augmente de fait le PSRR.

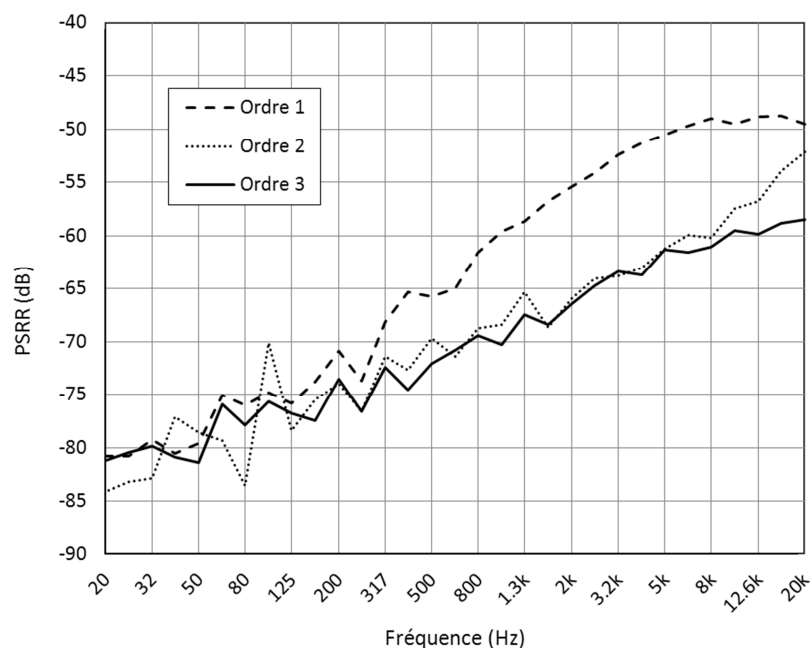


FIGURE III.33 - Courbe du PSRR en fonction de la fréquence

III.5.2.4 Mesure de Puissance

La figure III.34 présente la courbe de la puissance de sortie de l'amplificateur en fonction de l'amplitude d'entrée. En croisant cette courbe avec celle de la THD+N, nous obtenons une puissance maximale de 360 mW pour $V_{bat} = 3$ V, et de 960 mW pour $V_{bat} = 5$ V, en prenant le critère THD+N = 10 % (-20 dB). Une puissance de sortie à 1,34 W a toutefois été mesurée à 5 V, et pour une amplitude d'entrée de -1 dBFS, avec une THD+N de seulement -10 dB. Cela correspond aux 480 mW relevés pour $V_{bat} = 3$ V.

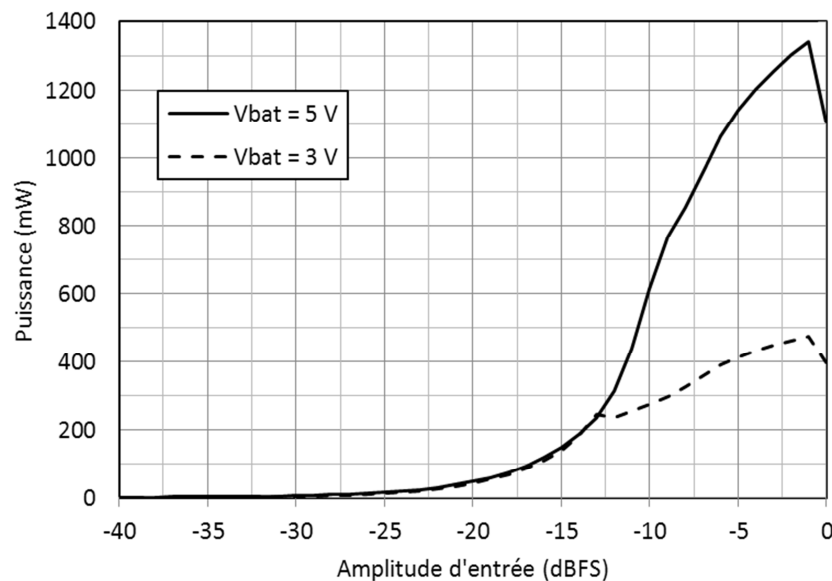


FIGURE III.34 - Courbe de la puissance de sortie en fonction de l'amplitude d'entrée

III.5.3 Mesures de l'ADC

III.5.3.1 Dispositif de mesure

L'ADC temps continu implémenté dans le circuit a été conçu pour pouvoir être mesuré de façon indépendante, car il peut être utilisé seul dans d'autres applications. Par manque de temps, les mesures de l'ADC n'ont pu être effectuées sur l'analyseur audio, comme ont pu l'être les mesures de l'amplificateur complet. L'IM2NP dispose toutefois d'un banc de mesure d'ADC qui n'est pas adapté à l'audio.

La figure III.35 décrit la chaîne de mesure utilisée. Un générateur de signaux analogiques produit un signal sinusoïdal différentiel dont les deux composantes sont en opposition de phase et oscillent autour du mode commun de l'ADC qui est de 0,9 V. Les deux composantes de ce signal sont connectées à la puce. Le mode de fonctionnement de la puce est contrôlé par I2C, nous avons ainsi

éteint toutes les fonctions inutiles en mode « ADC seul » afin de limiter les perturbations, et nous avons pu contrôler l'ADC, la DLL et le DEM. Des alimentations séparées ont été utilisées pour améliorer la qualité des tensions de référence. Nous avons relevé la sortie de l'ADC sur 4 bits sur un scope numérique. Ces données ont été enregistrées sur un fichier pour être post-traitées sur Matlab.

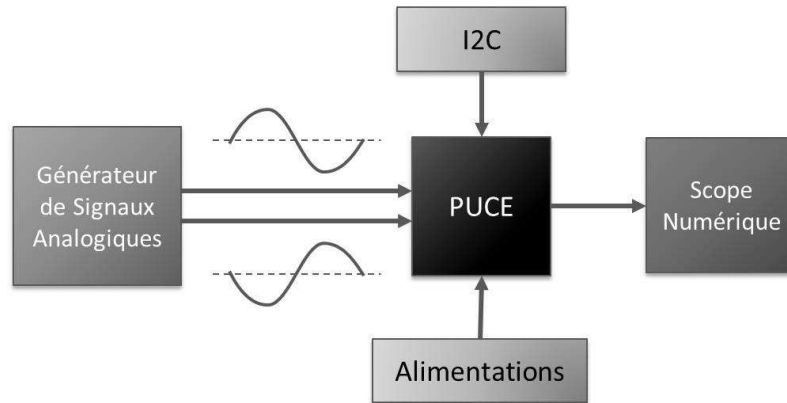


FIGURE III.35 - Banc de mesure de l'ADC

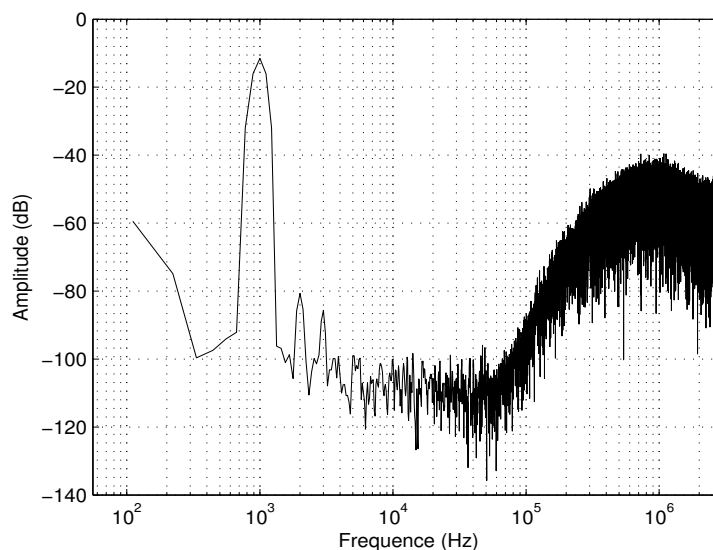


FIGURE III.36 - Spectre du signal en sortie de l'ADC avec le générateur de signal du banc de mesure de l'ADC

III.5.3.2 Mesure de THD+N

Le principal problème du banc de mesure disponible à l'IM2NP provient du générateur de signaux analogiques. Ce dernier produit des signaux sinusoïdaux ayant une THD+N d'environ -63 dB à 1 V d'après sa documentation. Étant donné que la THD attendue est de l'ordre de -90 dB/, aucune mesure valable de THD n'a pu être effectuée. La figure III.36 montre le spectre de sortie de l'ADC avec un signal d'amplitude -12 dB et de fréquence 1 kHz. Le SNDR A-w mesuré est de

66,1 dB. Les harmoniques d'ordre 2 et 3 sont très visibles sur ce spectre et expliquent ce chiffre très bas. La présence ou non du DEM et de la DLL ne modifie pas de façon sensible le spectre obtenu. Pour le DEM, cela signifie que la distorsion générée par le mauvais appariement est inférieure à la distorsion du générateur. Pour la DLL, c'est le bruit de ce générateur qui semble limiter le niveau de bruit.

III.5.3.3 Mesure du plancher de bruit

En revanche, la mesure du plancher de bruit de l'ADC a donné de bons résultats. Cette mesure s'effectue en connectant les deux entrées différentielles de l'ADC pour garantir une entrée nulle. Les données de sortie de l'ADC sont ensuite extraites par le scope numérique et traitées sur Matlab. Nous avons testé l'influence du DEM et de la DLL. Seule cette dernière possède une influence sur le niveau de bruit. Le DEM a pour fonction de limiter la distorsion, il est donc naturel qu'il n'améliore pas le niveau de bruit. La figure III.37 montre le spectre de la sortie de l'ADC avec et sans DLL pour une entrée nulle. Le plancher de bruit comparé à la pleine échelle donne un niveau de -104,8 dB A-w quand la DLL fonctionne, et seulement -82,6 dB A-w sans la DLL.

La DLL permet donc de gagner un facteur de 22,2 dB sur le niveau de bruit. Cela prouve d'une part l'efficacité de la DLL pour atténuer l'influence du jitter de l'horloge d'entrée, et d'autre part, que l'ADC temps continu permet d'atteindre un niveau de bruit de 105 dB. Sachant que le bruit de l'ADC limite les performances de la boucle classe-D numérique, et que l'environnement de test n'est pas optimal, cela montre le fort potentiel de l'architecture en termes de performances.

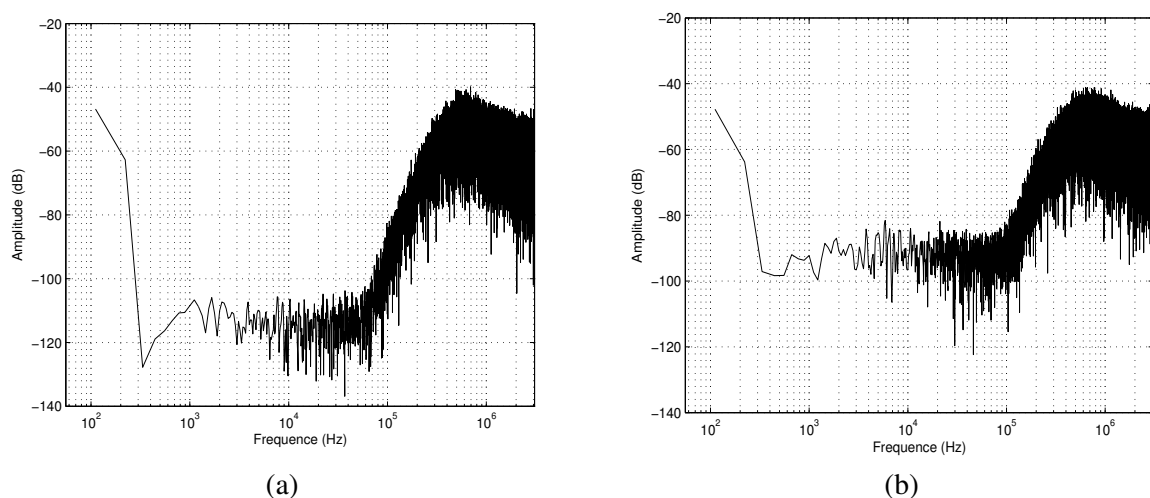


FIGURE III.37 - Mesure du plancher de bruit de l'ADC (a) avec et (b) sans DLL

III.5.4 Mesures de consommation

Le circuit a été conçu pour avoir une faible consommation. Nous avons donc mesuré cette consommation dans les principaux sous-blocs du circuit. Nous avons procédé par extinction progressive des fonctions du système en utilisant l’I2C et les commutateurs externes de la carte. Cela nous a permis de déduire par soustraction la consommation des blocs présentés dans le tableau III.7 pour une entrée nulle. La figure III.38 permet de visualiser ces consommations respectives.

Nom du bloc	Consommation de courant	Pourcentage
DLL	330 μ A	11,3 %
ADC + BIAS	1390 μ A	47,8 %
DEM	80 μ A	2,7 %
Étage de puissance	130 μ A	4,5 %
Partie numérique	550 μ A	18,9 %
LDO + Bandgap	430 μ A	14,8 %
Total	2,91 mA	100 %

TABLEAU III.7 - Tableau des consommations pour chaque bloc principal

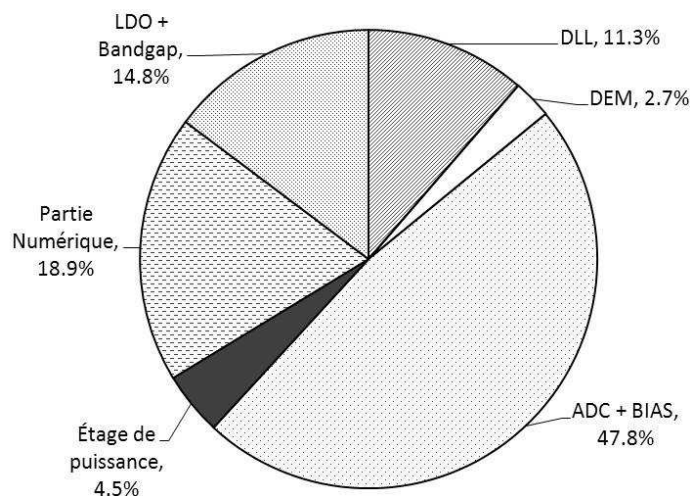


FIGURE III.38 - Consommation relative des principaux blocs du circuit

Les problèmes du circuit nous ont toutefois empêchés d’obtenir des mesures complètes. En effet, comme nous le verrons dans la section III.5.5, un composant parasite entre le nœud Vbat et le nœud LDO ne nous permet pas de fixer ces nœuds à leur tension nominale. Nous avons par conséquent forcé ces deux nœuds à 1,8 V afin d’annuler la tension aux bornes du composant parasite, et ainsi supprimer son influence sur les mesures de courant. Nous n’avons toutefois pas pu obtenir la consommation de l’étage de puissance quand il est alimenté sous 5 V.

Ces mesures de consommation montrent que notre architecture d’amplificateur se trouve dans une bonne moyenne par rapport aux consommations rapportées par les amplificateurs de l’état de l’art dont la consommation se situe entre 2,2 et 3,2 mA pour la majorité (voir tableau I.2). En effet, la consommation totale amputée de celle du LDO et du Bandgap, qui ne font pas vraiment partie de l’amplificateur, est de 2,5 mA. Il faut de plus ajouter que la consommation de l’ADC et des blocs lui permettant de bien fonctionner (DEM et DLL) s’élève à 62 % de la consommation totale. Enfin, nous nous sommes aperçus que les décaleurs de tension de la carte de test consommaient quelques centaines de μA de courant sur les sorties, augmentant significativement la consommation relevée de l’étage numérique. Il y’a également un certain nombre d’optimisations possibles pour réduire ces courants.

III.5.5 Erreurs de conception

Un unique prototype du circuit présenté dans ce chapitre a été réalisé. Même avec des vérifications poussées (simulations signaux mixtes) et extraction de parasites, il est assez courant dans l’industrie d’avoir des erreurs qui empêchent un fonctionnement normal du circuit. Seulement trois personnes ont participé de façon permanente à la conception, et trois sous-traitants ont exécuté la partie layout à distance. Il est donc malheureusement peu surprenant que des erreurs aient été commises. L’objet de cette section est de décrire et d’analyser les erreurs que nous avons détectées dans le circuit dans le but d’expliquer le mauvais fonctionnement et les mauvaises performances de l’amplificateur.

III.5.5.1 Erreurs du circuit

Comme nous l’avons vu dans la section III.5.2 qui regroupe les résultats de mesure de l’amplificateur, le principal défaut observé est une distorsion et un niveau de bruit importants. De plus, un composant parasite entre le nœud d’alimentation des blocs analogiques 1,8 V (nœud Vdda sur la figure III.39) et le nœud d’alimentation de l’étage de puissance (nœud Vbat sur la figure III.39) lie les deux tensions. Cela induit un courant entre ces deux nœuds lorsqu’on leur applique une tension par le biais de générateurs de tension externes. La tension du nœud Vdda est générée normalement par le LDO, mais peut être forcée avec un générateur externe. C’est notamment l’alimentation de l’ADC, de la DLL et la partie basse tension de l’étage de puissance.

Nous avons effectué un long travail pour détecter et caractériser ce défaut. Nous avons logiquement cherché les points dans le circuit où les nœuds Vbat et Vdda sont proches. Ils ne le sont qu’au niveau du Bandgap et de l’étage de puissance. Le nœud d’alimentation du Bandgap a été relié

par précaution sur un plot différent de l'alimentation de l'étage de puissance, nous avons donc pu éliminer cette hypothèse et chercher une erreur potentielle dans l'étage de puissance.

Dans l'étage de puissance, les composants qui nécessitent les deux alimentations sont les 4 décaleurs de tension se trouvant dans la chaîne de commande des transistors de puissance. Le layout d'un décaleur de tension est donné sur la figure III.39. Nous observons un blindage vertical entre l'un des deux transistors alimenté par Vdda et les transistors alimentés par Vbat. Toutefois, un de ces deux transistors se trouve du même côté que Vbat. A cet endroit, les nœuds Vdda et Vbat ne sont séparés que d'environ 1 μm . Même sans l'existence d'un composant parasite, cela poserait un problème de conception car le nœud Vbat est très bruité, et le nœud Vdda doit être aussi stable que possible. Nous verrons dans la section suivante III.5.5.2 une caractérisation de ce composant parasite, et dans la section III.5.5.3, nous verrons que la section de la branche de Vdda alimentant les décaleurs de tension par la technique du FIB permet d'incriminer le layout du décaleur de tension.

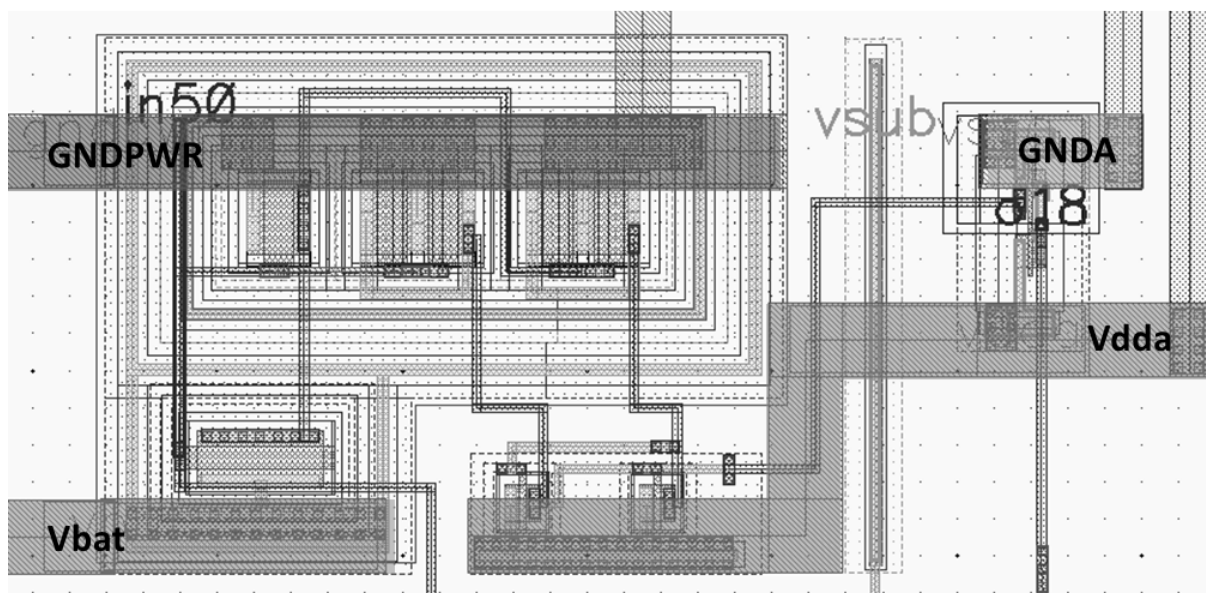


FIGURE III.39 - Layout d'un des 4 décaleurs de tension

Deux autres erreurs de conception ont concerné la partie numérique. Un coefficient 2 a été oublié dans la correction d'offset, cela ne permet que de corriger de moitié l'offset de l'ADC. Toutefois, la valeur détectée par l'algorithme peut être lue grâce à l'interface I2C. Cela permet de déduire la correction effective d'offset permise par l'amplificateur. Les mesures d'offset que nous avons réalisées indiquent ainsi que l'offset de la boucle peut être amené à quelques centaines de μV sur un offset de départ d'environ 3,2 mV.

Le second problème vient de la conception de la machine d'état pilotant le mécanisme de suppression des bruits de démarrage. Cette machine d'état est pilotée par un bit du banc de registres I2C. Elle fonctionne de façon satisfaisante un certain nombre de fois, lorsqu'on passe en mode MUTE

(« muet ») par exemple. Mais elle se bloque à un moment donné. Ce problème de robustesse de la machine d'état par rapport aux variations du bit I2C doit pouvoir être réglé facilement, et les bruits d'allumage et d'extinction de l'amplificateur sont parfaitement inaudibles lorsque la machine d'état fonctionne.

III.5.5.2 Mesure du composant parasite

Après nous être aperçus de la présence du composant parasite entre les nœuds Vdda et Vbat, nous avons décidé de le caractériser. Pour cela, nous avons pris une puce éteinte, avec toutes ses entrées non connectées. Nous avons ensuite appliqué une tension entre les deux plots du circuit, et mesuré le courant passant au travers du composant parasite. La figure III.40 présente la caractéristique du courant en fonction de la tension. Les courbes obtenues avec 4 puces différentes sont données, nous pouvons voir qu'elles sont très bien superposées.

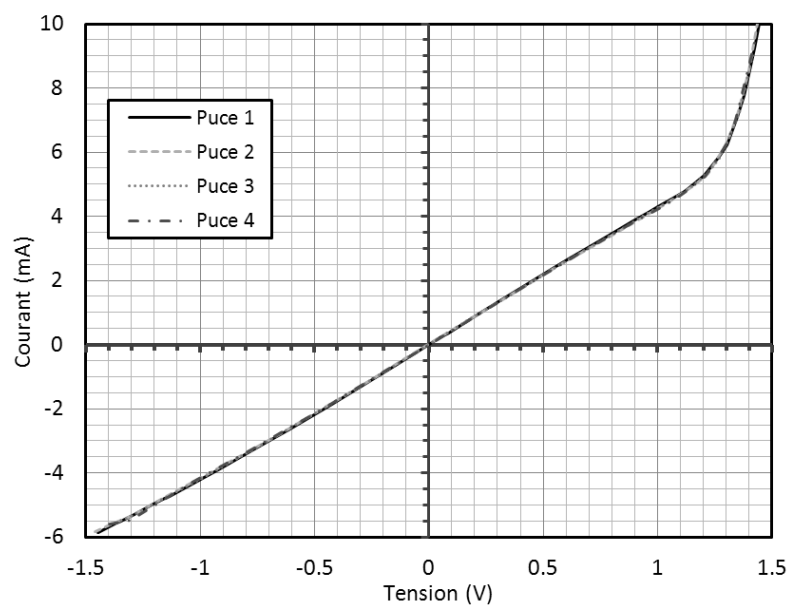


FIGURE III.40 - Mesure de la caractéristique courant-tension du composant parasite entre les nœuds Vdda et Vbat pour 4 puces différentes notées Puce 1 à 4

Ces courbes peuvent être clairement séparées en une composante linéaire et une composante exponentielle. Une partie linéaire est une caractéristique résistive dont la valeur mesurée est de $230\ \Omega$. La seconde partie se superpose à la première à partir de $+1,2\ \text{V}$. En retirant la composante linéaire à cette courbe, nous obtenons ce qui ressemble très fortement à la caractéristique de deux diodes en série dont la tension de seuil serait de $0,6\ \text{V}$. En étudiant le layout et la documentation du fondeur, ce composant ne devrait pas exister. Il était présent à la réception des circuits. Il peut donc s'agir d'un composant parasite qui s'est activé lors de la fabrication. Toutefois, la mauvaise isolation entre les deux nœuds dans le décaleur de tension constitue une erreur de conception.

III.5.5.3 Utilisation du FIB

Afin de valider l'hypothèse selon laquelle le composant parasite mesuré est dû à une erreur de dessin des masques dans l'étage de puissance, nous avons sectionné le chemin d'alimentation 1,8 V de l'étage de puissance sur le circuit en utilisant la technique du FIB (« Focused Ion Beam » en anglais). Cette technique peut être utilisée pour effectuer des entailles de très faibles dimensions sur une puce électronique. Le circuit doit être placé sous le faisceau d'électrons d'un microscope électronique à balayage (MEB) afin de permettre l'observation. Le FIB est une fonction supplémentaire ajoutée au MEB. C'est un second faisceau composé d'ions accélérés qui est émis vers la zone à entailler, détachant les couches d'atomes les unes après les autres jusqu'à la profondeur souhaitée.

Pour observer convenablement le circuit, un appareil créant les « bondings », c'est-à-dire les fils conducteurs entre les plots de la puce et le boîtier, est requis pour relier tous les nœuds à la masse. En effet, les électrons contenus dans le faisceau du MEB et touchant le métal ont tendance à s'accumuler dans les nœuds du circuit, si aucun chemin vers la masse n'est prévu. Cet effet empêche concrètement la visualisation du circuit au MEB, c'est ce qui explique l'image dégradée sur la figure III.41. L'entaille a toutefois pu être réalisée grâce aux coordonnées relevées sur le layout. Cette entaille et les deux pistes sectionnées sont toutefois visibles sur la figure III.41.

Après la section de la piste au FIB, nous avons replacé le circuit sous pointes et nous n'avons plus détecté aucun composant parasite entre le nœud à la tension de batterie et le nœud d'alimentation 1,8 V issu du LDO. Nous avons pu en déduire que le composant parasite entre les deux nœuds était situé dans la partie étage de puissance. Au regard de la faible distance dans les décaleurs de tension entre les nœuds Vdda et Vbat qui doivent être très bien isolés (voir figure III.39), et le mauvais placement de la barrière d'isolation, tout porte à croire que cette erreur de conception est responsable du composant parasite.

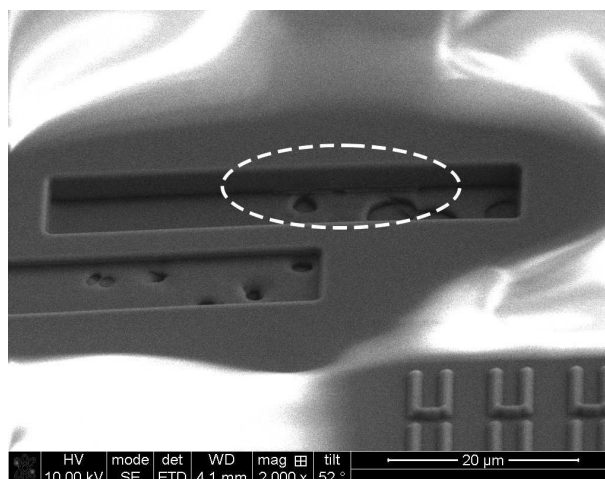


FIGURE III.41 - Image au MEB de l'entaille réalisée grâce au FIB

III.5.6 Explication des résultats de mesure

Dans cette section, nous montrons par un calcul théorique qu'étant donné la conception du circuit et le composant parasite détecté, nous pouvons expliquer les mauvaises performances du système. La figure III.42 propose un schéma électrique simplifié d'un DAC unitaire situé dans la rétroaction de l'ADC. Un DAC unitaire utilise les tensions de référence v_{ddar} et v_{ssar} et deux résistances unitaires R_u pour produire une sortie en courant différentielle dépendant de la valeur du bit associé. Le nœud v_{ddar} est relié à une tension 1,8 V de référence et v_{ssar} à une masse de référence. Le DAC total est constitué de 8 DAC unitaires dont les nœuds de sortie sont reliés, pour injecter sur l'entrée différentielle du premier amplificateur de l'ADC un courant proportionnel à la sortie numérique de l'ADC.

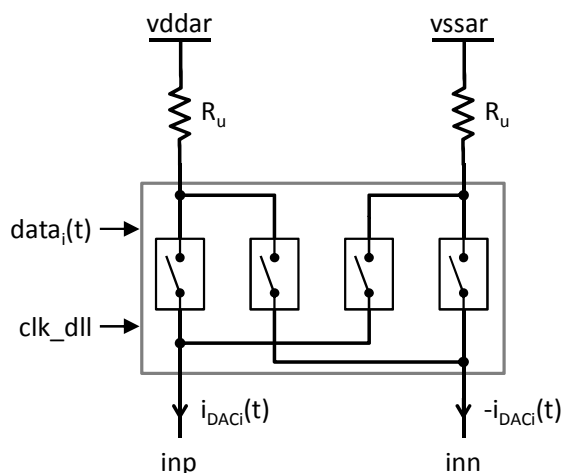


FIGURE III.42 - Schéma électrique simplifié d'un DAC unitaire

Du fait de maladresses dans la conception du système, les références v_{ddar} et v_{ssar} sont contaminées dans une certaine mesure par le signal audio. Pour le nœud v_{ddar} , l'erreur a été de faire de ce nœud de référence le nœud d'alimentation 1,8 V des plots d'entrée-sortie analogiques. Cela a créé un lien avec le nœud LDO, par le biais de diodes, qui est lui-même malencontreusement connecté à V_{bat} par le composant parasite. Ce nœud de référence aurait dû être isolé des autres nœuds.

Le nœud v_{ssar} a quant à lui été directement connecté au plan de masse de la carte. Il n'a pas été prévu de plan de masse séparé entre les masses analogiques qui doivent être perturbées le moins possible, et pour la masse de l'étage de puissance, qui injecte un fort courant (jusqu'à 500 mA), très corrélé au signal audio. Ce courant multiplié par la résistance de quelques dizaines de $m\Omega$, reliant le plan de masse de la carte aux sources de tension, fait que le plan de masse de la carte a une tension variable, fonction du signal audio. Ce dernier défaut peut être atténué avec une conception soignée de la carte de test.

La donnée audio numérique $data(t)$ en entrée du DAC, codée sur 8-bits thermomètre, est exprimée en fonction de la valeur des bits $data_i(t)$ égaux à 0 ou 1, et en fonction de l'entrée de l'ADC $S(t)$ et de l'erreur de quantification $E_Q(t)$, négligeable dans la bande audio. $S(t)$ et $E_Q(t)$ sont sans dimension.

$$\begin{cases} data(t) = S(t) + E_Q(t) \\ data(t) = \sum_{i=1}^8 data_i(t) = - \sum_{i=1}^8 (1 - data_i(t)) \end{cases} \quad (III.12)$$

Nous calculons le courant en sortie du DAC en faisant la somme des courants de sortie des 8 DAC unitaires.

$$i_{DAC}(t) = \frac{1}{R_u} \cdot \sum_{i=1}^8 data_i(t) \cdot vddar(t) + \frac{1}{R_u} \cdot \sum_{i=1}^8 (1 - data_i(t)) \cdot vssar(t) \quad (III.13)$$

Nous exprimons la contamination des deux tensions de référence $vddar$ et $vssar$ par le signal audio en les donnant comme la somme de leur valeur nominale (respectivement $vdda$ et 0), et du signal audio $S(t)$ atténué de coefficients α et β , homogènes à une tension.

$$\begin{cases} vddar(t) = vdda + \alpha \cdot S(t) \\ vssar(t) = \beta \cdot S(t) \end{cases} \quad (III.14)$$

En insérant les équations (III.12) et (III.14) dans (III.13), nous obtenons :

$$\begin{aligned} i_{DAC}(t) &= \frac{1}{R_u} \cdot \left((vdda + \alpha \cdot S(t)) \sum_{i=1}^8 data_i(t) + \beta \cdot S(t) \sum_{i=1}^8 (1 - data_i(t)) \right) \\ &= \frac{vdda}{R_u} \cdot data(t) + \frac{1}{R_u} \cdot S(t) \cdot (\alpha - \beta) \cdot \sum_{i=1}^8 data_i(t) \\ &= \frac{vdda}{R_u} \cdot data(t) + \frac{\alpha - \beta}{R_u} \cdot data(t)^2 + \frac{\alpha - \beta}{R_u} \cdot data(t) \cdot E_Q(t) \end{aligned} \quad (III.15)$$

Le résultat de l'équation (III.15) explique à la fois le problème de distorsion rencontré, avec notamment des harmoniques de rang pair, et le mauvais plancher de bruit obtenu. Le premier terme est la sortie idéale du DAC. Le deuxième terme montre que les perturbations ajoutent le carré du signal en entrée de l'ADC, générant donc des harmoniques d'ordre pair. Et enfin, le troisième terme montre un mélange entre le bruit de quantification de la boucle et le signal audio. Cela signifie que le bruit de quantification se replie autour du signal audio, dans la bande audio, donnant de faibles valeurs de SNR. Nous voyons que ces effets dépendent des valeurs des coefficients α et β . Le coefficient α est défini par le composant parasite, et le coefficient β peut être fortement atténué grâce à une bonne gestion des masses à la fois dans le circuit intégré et dans la carte de test.

Pour vérifier ces hypothèses, il conviendrait de comparer les spectres obtenus en mesure à des simulations Matlab Simulink dans un premier temps, puis des simulations mixtes sur Cadence qui prendraient en compte plus d'effet comme la saturation des blocs analogiques, leur réjection du bruit d'alimentation, et potentiellement d'autres phénomènes complexes qui nous ont échappé. Les conditions matérielles ne nous ont malheureusement pas permis d'obtenir les données suffisantes pour mener à bien cette étude.

III.6 Améliorations possibles de l'amplificateur

Nous avons parlé dans la section précédente des problèmes de conception du circuit. L'objet de cette partie est de tirer les conclusions de ces erreurs afin d'obtenir une version du circuit avec des performances optimales par rapport à l'architecture de l'amplificateur. Une seconde version du circuit serait donc le prototype actuel avec la correction des erreurs identifiées. Toutefois, pour une troisième version, de réelles améliorations de l'architecture peuvent être envisagées. Nous ne citerons pas l'amélioration des performances audio ciblées car les atteindre serait certainement largement suffisant au vu des applications embarquées actuelles. Nous nous concentrerons sur l'optimisation de la surface du circuit pour augmenter sa compétitivité par rapport aux architectures concurrentes, et la diminution de la consommation du circuit.

III.6.1 Optimisation de la surface

L'optimisation de la surface passe par l'analyse des surfaces relatives des blocs du système. La figure III.27, dans la section III.4.4, montre la distribution de la surface totale. En simplifiant, les surfaces relatives des différentes composantes du circuit sont les suivantes : 50% de la surface est allouée à l'étage de puissance, 25% à l'ADC avec le DEM et la DLL, 15% à la partie numérique et 10% à la partie génération de tensions et courants.

Il apparaît ainsi que l'étage de puissance est l'élément le plus étendu avec 50% de la surface du circuit, sans tenir compte de l'anneau des plots d'entrées/sortie. Ce serait donc en l'optimisant que les gains de surface seraient les plus importants. Cependant, cette surface est très largement dominée par les 4 transistors de puissance, et les dimensions de ces transistors de puissance ne dépendent que des spécifications de puissance de sortie maximale, qui déterminent le R_{ON} , et de la technologie utilisée. Ces résistances de canal dissipent non seulement de l'énergie, mais elles diminuent également la

tension disponible aux bornes du haut-parleur, provoquant plus rapidement une saturation du signal de sortie et de la distorsion.

Dans l'ADC temps continu, il est possible de montrer à partir des équations du modèle linéaire du système que la contribution au bruit total de chaque amplificateur décroît quand la place de l'amplificateur augmente. Ainsi le premier intégrateur est conçu pour avoir un niveau de bruit très faible, alors que cela a beaucoup moins d'importance pour les autres amplificateurs de la boucle (20 dB de réjection intrinsèque du bruit en plus à chaque ordre supérieur). Il serait donc plus optimal en termes de surface d'avoir quatre intégrateurs différents et de plus en plus petits. Cependant, sur ce premier prototype, les trois derniers intégrateurs de l'ADC sont identiques pour réduire le temps de conception.

Cependant, ces gains de surface sont marginaux. En supposant arbitrairement un gain après optimisation de 30% sur la partie numérique, de 10% sur l'ADC, de 30% sur la génération de courants et de 25% sur bandgap et LDO, le gain serait de 9% sur la surface totale de silicium. Ce serait un gain sensible mais pas fondamental. L'ADC, dont la taille ne peut pas être vraiment réduite en changeant de technologie, occuperait toujours une part très importante du circuit.

III.6.2 Optimisation de la consommation

La consommation est un facteur important dans le choix d'un amplificateur audio pour applications mobiles. Nous avons vu dans la section III.5.4 que le circuit consommait 2,9 mA au lieu des 2,5 mA visés. La consommation du prototype n'est certes pas optimale étant donné que les performances ont été privilégiées dans les parties analogiques. La figure III.38 montre les consommations relatives des différents blocs du circuit. La consommation totale au repos est ainsi dominée à 62 % par la consommation de la conversion analogique-numérique, c'est-à-dire l'ADC, la DLL, le DEM et les générateurs de courant.

De même que la surface des intégrateurs d'ordre élevé peut être diminuée, le courant circulant dans chaque amplificateur peut être optimisé. Le courant nominal de l'amplificateur du premier intégrateur est de 525 μ A, et il est de 117,5 μ A dans chacun des trois autres. En supposant que cette valeur peut être divisée par deux à chaque étage, 150 μ A peuvent être ainsi gagnés. La démarche serait de diminuer le courant jusqu'à ce que le bruit des amplificateurs ait une influence non négligeable sur le bruit de l'ADC par rapport au bruit de quantification et du DAC. Une augmentation de 0,1 dB du plancher de bruit de l'ADC en contrepartie de la diminution du courant pourrait par exemple être un critère acceptable.

Enfin, mettre en place un mode basse-consommation quand le signal d'entrée est nul serait à explorer. L'ordre de rétroaction partielle serait mis à zéro, et l'ADC en consommation minimale. Il n'y aurait certes plus aucun mécanisme pour rejeter les perturbations de l'étage de puissance, mais le taux d'exposition à la tension de batterie serait nul grâce au niveau zéro de l'étage de puissance. Cela permettrait ainsi de réduire fortement la consommation de l'amplificateur en annulant ou presque la consommation de l'ADC. Il faudrait toutefois effectuer cette modification avec soin pour limiter tout bruit parasite au redémarrage de la boucle.

III.7 Conclusion du chapitre

Dans ce chapitre, l'implémentation d'une solution originale d'amplificateur de classe D numérique a été décrite. La boucle utilisée dans cet amplificateur est composée d'un modulateur numérique fournissant le contrôle de l'étage de puissance, et un ADC est placé dans la rétroaction pour fermer la boucle. La nouveauté réside dans l'apport de solutions aux problèmes de stabilité posés par ce type de structure, grâce à une structure de boucle originale et à un ADC haute-performance. Un prototype de cette architecture sur circuit intégré a ensuite été présenté. Cette architecture peut supporter un grand nombre d'options et de mécanismes de compensation des défauts, telles que la calibration d'offset ou la suppression des pops, sans trop de coût de développement et de surface. Cela est dû au fait que la majeure partie des opérations du système se fait de manière numérique. Dans un amplificateur à boucle entièrement analogique avec un DAC en entrée, l'ajout de mécanismes analogiques donne un temps de développement plus long et rend plus difficile le passage d'une technologie à l'autre. Cet avantage est donc d'un grand intérêt pour la conception rapide de configurations optimisées pour des spécifications particulières.

Nous avons ensuite décrit un étage de puissance, composé de préamplificateurs et d'un pont en H, pouvant prendre 5 « états ». Les deux états intermédiaires ajoutés aux '+1', '0' et '-1' sont en fait un état actif durant une demi-période d'horloge. Cela revient finalement à utiliser une technique de PWM numérique car c'est la durée de l'impulsion qui est modulée et non le niveau de celui-ci. En suivant cette logique, il serait possible d'ajouter davantage de niveaux de quantification au modulateur pour améliorer la stabilité de l'amplificateur à haute amplitude, mais de trop petites impulsions pourraient causer des problèmes d'EMI et de la consommation dues au nombre de commutations.

Un convertisseur analogique numérique $\Delta\Sigma$ temps continu répondant aux contraintes de la boucle à rétroaction partielle a également été présenté. Cette architecture temps continu est peu courante par rapport à des ADC utilisant la technique des capacités commutées. Elle présente toutefois

l'avantage de peu consommer et sa nature de temps continu, par opposition à temps discret, lui permet sans filtrage de respecter l'intégrité du signal d'entrée dans la bande passante, rendant théoriquement la distorsion négligeable. Son principal désavantage est d'être totalement vulnérable au bruit de phase de l'horloge au niveau de la rétroaction, limitant fortement le SNR par rapport aux capacités commutées pour des conditions d'horloge standards. Un générateur d'horloge insensible au bruit de phase a été ajouté pour atténuer ce phénomène et donner de bonnes performances.

Ensuite, les différentes étapes de la conception d'un prototype sur circuit intégré de l'amplificateur de classe D numérique ont fait l'objet d'une section. Il s'agit d'un système mixte complexe à concevoir, valider et assembler. Avant de montrer les performances obtenues avec le prototype, nous avons présenté l'environnement de mesure, qui comprend à la fois des fonctions numériques de génération de données audio, de programmation série de la puce, et de fonctions analogiques de filtrage et d'interfaçage.

Il s'est avéré que les performances du prototype n'ont pas été au niveau de celles obtenues en simulation. Le niveau de THD+N maximale n'est que de -60 dB au lieu de -90 dB attendus, et sur une plage d'amplitude beaucoup plus faible du fait de la forte instabilité de la boucle. La consommation de courant mesurée est environ celle visée : 2,9 mA au lieu de 2,5 mA. Des mesures de PSRR ont pu être obtenues seulement pour un ordre de rétroaction partielle de 3 du fait de l'instabilité de la boucle à des ordres supérieurs. Le PSRR est toutefois supérieur à 80 dB à 217 Hz ce qui place l'architecture parmi les plus performantes dans l'état de l'art (tableau I.2). Nous avons également mesuré que nous obtenions un plancher de bruit de -105 dB A-w sur l'ADC, ce qui est proche des performances simulées. Nous avons mené une analyse après ces mesures et sommes parvenus à expliquer ces mauvais résultats par le composant parasite que nous avons mis en évidence entre les nœuds Vdda et Vbat, et également par des problèmes dans la conception du circuit et de la carte de test. En réglant ces problèmes, nous affirmons que l'architecture présentée dans cette thèse est à même de répondre aux spécifications des amplificateurs audio de dernière génération, voire même de les dépasser en ce qui concerne le PSRR.

La principale marge de progression de ce système d'amplificateur de classe D numérique est sa surface. Idéalement, la surface occupée par l'amplificateur devrait se réduire à une petite partie numérique de contrôle, à une partie analogique minimale et principalement au pont en H, dont la surface n'est fonction que du courant maximal à débiter et des caractéristiques physiques de la technologie. Un travail rigoureux d'optimisation pourrait permettre de beaucoup gagner en relâchant quelques contraintes par rapport au prototype, dimensionné pour déterminer les performances optimales de la boucle de classe D numérique plutôt que réduire les coûts.

Références du chapitre III

- [1] Analog Device, *PDM Digital Input, Mono 2.4W Class-D Audio Amplifier - SSM2517*, 2010.
- [2] Philips Semiconductors, *I2S Bus Specification*, 1986.
- [3] NXP, *UM10204 - I2C-bus specification and user manual Rev. 4*, 2012.
- [4] Y. Q. Yang, T. Sculley et J. Abraham, «A 330 mW 216 kHz 124 dB Single Die Stereo Delta-Sigma Audio Analog-to-Digital Converter,» chez *123rd AES Convention*, 2007.
- [5] M. Story, «Audio Analog-to-Digital Converters,» *Journal of Audio Engineering Society*, vol. 52, pp. 145-158, 2004.
- [6] S. Norsworthy, R. Schreier et G. Temes, *Delta-Sigma Data Converters - Theory, Design, and Simulation*, Wiley Interscience - IEEE Press, 1997.
- [7] M. Ortmanns, F. Gerfers et Y. Manoli, «A Continuous-Time Sigma-Delta Modulator with Switched Capacitor Controlled Current Mode Feedback,» chez *ESSCIRC*, 2004.
- [8] A. Eshragi, R. Ganti et W. Gao, «High performance delta-sigma ADC using a feedback NRZ sin DAC». US Brevet 6,462,687, 8 Oct. 2002.
- [9] L. I., A. Vinje et T. Saether, «Delta-Sigma DAC Topologies for Improved Jitter Performance,» chez *124th AES Convention*, 2008.
- [10] E. Hardy, H. Ihs, C. Dufaza, S. Meillère et R. Bouchakour, «Jitter-free return-to-zero generator,» *Electronics Letters*, vol. 47, n° 11, pp. 644-645, 2011.
- [11] R. Baird et T. Fiez, «Linearity Enhancement of Multibit Delta-Sigma A/D and D/A Converters using Data Weighted Averaging,» *IEEE Trans. Syst. II, Analog Digital Signal Process.*, vol. 42, pp. 753-762, 1995.
- [12] D. H. Lee et T. H. Kuo, «Advancing Data Weighted Averaging Technique for Multi-Bit Sigma-Delta Modulators,» *IEEE Trans. Circuits and Syst. II, Express Briefs*, vol. 54, pp. 838-842, 2007.
- [13] X. M. Gong, «An Efficient Second Order Dynamic Element Matching Technique for a 120 dB Multiple-Bit Delta-Sigma DAC,» chez *AES 108th Convention*, 2000.
- [14] I. Galton, «Spectral Shaping of Circuit Errors in Digital-to-Analog Converters,» *IEEE Trans. Syst. II, Analog Digital Signal Process.*, vol. 44, pp. 808-817, 1997.
- [15] E. Fogleman, J. Welz et I. Galton, «An audio ADC delta-sigma modulator with 100 dB SINAD and 102 dB DR using a second-order mismatch-shaping DAC,» chez *IEEE Custom Integrated Circuits Conference*, 2000.

- [16] S. R. et B. Zhang, «Noise-shaped multibit D/A convertor employing unit elements,» *Electronics Letters*, vol. 31, pp. 1712-1713, 1995.
- [17] A. Yasuda, H. Tanimoto et T. Iida, «A third-order delta-sigma modulator using second-order noise-shaping dynamic element matching,» *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1879-1886, 1998.
- [18] E. Hardy, H. Ihs, C. Dufaza, S. Meillère et R. Bouchakour, «A partial tree vector quantizer dynamic element matching technique for audio delta-sigma converters,» chez *IEEE Custom Integrated Circuits Conference*, 2011.
- [19] STMicroelectronics, *3W Filter-free Class D Audio Power Amplifier TS4962*, 2007.
- [20] Mentor Graphics, *Modelsim PE (6.4e)*.
- [21] Texas Instruments, *Input-USB Board 2*, 2008.

Conclusion générale

L'objet de ce travail de thèse a été de décrire et d'expliquer le fonctionnement de la solution d'amplificateur de classe D composée d'un modulateur numérique pilotant l'étage de puissance avec un ADC en rétroaction. Les modèles et les outils présentés doivent permettre l'adaptation de cette architecture à différents besoins. La conception et l'évaluation d'un prototype sur circuit intégré de ce système a permis, derrière les erreurs de conception, de mettre en évidence les forces et les faiblesses dans l'implémentation de la boucle de classe D numérique.

Nous avons ainsi vu dans le chapitre I le contexte des amplificateurs de classe D intégrés pour les applications mobiles. Nous avons ensuite présenté des notions et des outils mathématiques de base qui entrent en jeu pour la modélisation de systèmes audio. Les critères usuels mesurant les performances audio d'un système, liées à des observations sur la physiologie de l'oreille humaine, ont été définis. Puis nous avons effectué une revue des différentes caractéristiques des amplificateurs de classe D au niveau de leur topologie, du type de modulation utilisé, de l'aspect temps continu / temps discret du modulateur, etc. Nous avons sélectionné un nombre d'amplificateurs de classe D représentatifs de la diversité des architectures. Leurs avantages et inconvénients ont fait l'objet d'une discussion et nous avons comparé leurs performances dans le tableau I.2. Cela nous a permis de situer les performances simulées et mesurées de la solution de la boucle de classe D numérique que nous proposons dans ce manuscrit.

Le chapitre II a commencé par l'exposé du principe des modulateurs $\Delta\Sigma$ avec le modulateur du 1^{er} ordre. Nous avons ensuite proposé une méthode pratique et automatisable pour concevoir des modulateurs $\Delta\Sigma$ d'ordre élevé affichant les performances souhaitées. L'automatisation de la conception des modulateurs en fonction de l'atténuation et de la bande passante permet un gain de temps important. En effet, cette technique nécessite seulement un script de génération de filtre, un script de résolution de système et un script de simulation et d'analyse de la sortie. L'influence des paramètres comme l'OSR, le nombre de niveau de quantification et l'atténuation de la NTF dans la bande passante a été étudiée. D'autres techniques comme la stabilisation non-linéaire et le « dithering » permettant d'améliorer les performances des modulateurs $\Delta\Sigma$ ont été décrites.

CONCLUSION GÉNÉRALE

Nous avons ensuite introduit le concept de rétroaction partielle qui aide à la stabilisation des amplificateurs de classe D avec un ADC en rétroaction. Cette technique permet un compromis entre la stabilité et la réjection des perturbations de l'alimentation en distribuant la rétroaction entre la sortie du quantificateur et l'ADC dans la boucle $\Delta\Sigma$ pilotant l'étage de puissance. Des performances supérieures à 80 dB de PSRR sur toute la bande audio sont réalisables, ce qui est largement supérieur aux performances actuelles de l'état de l'art avec des modulateurs analogiques d'ordre faible. Enfin, nous avons comparé l'influence de la technique de modulation (PDM et PWM) dans la consommation de l'étage de puissance de l'amplificateur. Cette consommation se traduit à faible amplitude par l'énergie requise pour charger les très larges grilles des transistors de puissance et à haute amplitude par le courant issu de la batterie traversant le haut-parleur. Nous avons montré que malgré une fréquence de fonctionnement plus importante pour la modulation PDM par rapport à la modulation PWM, la consommation de l'étage de puissance était moindre à basse amplitude (voir figure II.37 (d)).

Enfin, le chapitre III a pour objet l'implémentation de l'architecture de classe D numérique dans un circuit intégré. Les trois parties numériques, analogiques et étage de puissance qui forment la boucle d'amplification ont été décrites. Le convertisseur analogique-numérique de la boucle a été conçu spécifiquement pour permettre à l'amplificateur d'atteindre les performances attendues en termes de bruit, de distorsion et de PSRR. Nous avons en effet vu dans la section II.3 sur la rétroaction partielle que les performances de l'ADC limitaient les performances de l'amplificateur. Une nouvelle technique de génération d'horloge, pour réduire l'influence du bruit de phase sur le bruit de l'ADC, et un nouvel algorithme de correction dynamique des erreurs d'appariement ont été ajoutés à l'ADC. Ils ont chacun fait l'objet d'une publication. Ensuite, les étapes de développement du circuit, comprenant la partie numérique, la simulation mixte et l'assemblage du système, ont été décrites.

La fin du chapitre a été consacrée aux mesures du prototype. Nous avons présenté le dispositif de mesure avec notamment la génération des signaux de contrôle, la carte de test du prototype et le matériel utilisé pour mesurer la sortie du circuit. Le tableau C.1 donne un résumé des performances obtenues avec la simulation mixte, mesurées sur le prototype réalisé avant cette thèse avec des composants discrets, et les mesures du prototype sur circuit intégré. Il montre que le prototype d'amplificateur sur silicium n'a pas obtenu les résultats escomptés, essentiellement à cause d'un chemin résistif entre deux nœuds d'alimentation que nous avons caractérisé et identifié (section III.5.5), et qui fournit une explication sur le faible niveau de performance du système (section III.5.6). Toutefois, si cette explication semble très convaincante, les conditions matérielles de cette thèse n'ont pas permis de mener à bien les simulations en signal mixte avec ce composant parasite qui auraient permis une comparaison avec les mesures de bruit et de distorsion obtenues.

CONCLUSION GÉNÉRALE

Paramètres	Mesures du prototype discret	Simulation mixte	Mesures du prototype intégré
SNR	99,5 dB	105 / 110 dB	Non mesuré (105 dB ADC seul)
THD+N	-75 dB	-90 / -100 dB	-55 dB
PSRR à 217 Hz	87 dB	90 dB	74 dB
Puissance maximale (THD+N = 1 %)	1,26 W	1,56 W	690 mW
Courant	/	2,5 mA	2,91 mA

TABLEAU C.1 – Performances de l’amplificateur de classe D numérique

Des pistes d’amélioration pour une éventuelle nouvelle version de l’amplificateur ont été proposées dans la section III.6. Dans le cadre d’applications embarquées, les performances audio obtenues en simulation sont presque d’un niveau haute-fidélité pour piloter des micro haut-parleur dont les caractéristiques de réponse en fréquence (phase et amplitude) et de distorsion sont très loin de la haute-fidélité. Les principaux points à améliorer seraient donc la surface et la consommation. En effet, la surface du prototype est peu compétitive par rapport à des solutions pilotant l’étage de puissance avec un modulateur analogique temps continu d’ordre faible (typiquement 2, voir section I.4). La consommation est dans la tranche basse des amplificateurs de classe D décrits dans l’état de l’art, mais des optimisations pourraient être apportées, essentiellement sur l’ADC.

La suite de ce travail serait d’implémenter ces améliorations sur un circuit intégré et de mesurer ce circuit sur un banc de mesure audio. Si les hypothèses que nous avons formulées à propos des mauvaises performances du circuit sont justes, le bruit et la distorsion devraient être grandement améliorés. Les bonnes mesures déjà obtenues pour la réjection des bruits d’alimentation de l’amplificateur montrent que la classe D numérique est définitivement adaptée aux nouvelles contraintes des applications portables, où l’ajout continu de nouvelles fonctions multiplie les sources possibles de perturbation de la bande audio.

PCB CH-2P210 was 01
Document Number
A3
Drawn by: C. Chen, 3896
Thursday, November 18, 2010 5:00 PM

