

ÉCOLE DOCTORALE MSII (ED n°269)

Mathématiques, Sciences de l'information et de l'Ingénieur

Institut d'Electronique du Solide et des Systèmes (UMR 7163)

THÈSE présentée par :

Jean-Christophe KRENCKER

soutenue le : **23 novembre 2012**

pour obtenir le grade de : **Docteur de l'Université de Strasbourg**

Discipline: Instrumentation et microélectronique

Spécialité : Micro et nanoélectronique

Développement d'outils et de modèles CAO de haut niveau pour la simulation électrothermique de circuits mixtes en technologie 3D.

THÈSE dirigée par :

HEBRARD Luc

HERVE Yannick

KAMMERER Jean-Baptiste

Professeur, Université de Strasbourg, directeur

Maître de conférences-HDR, Université de Strasbourg, co-directeur

Maître de conférences, Université de Strasbourg, encadrant

RAPPORTEURS :

COURTOIS Bernard

GARDA Patrick

Directeur de recherches, CNRS

Professeur, Université Pierre et Marie Curie

AUTRES MEMBRES DU JURY :

VACHOUX Alain

O'CONNOR Ian

Ingénieur-Chef de groupe, Ecole Polytechnique Fédérale de Lausanne (EPFL) - Suisse, Examineur

Professeur, Institut de Nanoélectronique de Lyon (INL), Examineur

Remerciements

Je tiens tout d'abord à remercier l'Agence Nationale de la Recherche pour le financement de ces travaux tout au long de ces trois années.

Je remercie également Daniel Mathiot, directeur de l'Institut d'Electronique du Solide et des Systèmes (InESS), de m'avoir accueilli au sein du laboratoire.

Je remercie chaleureusement Luc Hébrard, mon directeur de thèse, et Jean-Baptiste Kammerer, mon co-encadrant, pour la qualité pédagogique remarquable de l'encadrement, les conseils avisés et le regard critique qu'ils ont apportés sur mes travaux. Je les remercie également d'avoir partagé leur expérience et leur savoir faire. Je salue notamment la conception parfaite du capteur de température utilisé dans le circuit test réalisé par Jean-Baptiste. Je remercie également Yannick Hervé, mon co-directeur, qui a su identifier les points essentiels à ne pas négliger dès le début de cette thèse.

Je remercie Bernard Courtois, Patrick Garda, Ian O'Connor, Alain Vachoux, Renaud Gillon et Dominique Bechmann d'avoir accepté de faire partie de mon jury de thèse.

Je remercie encore Dominique Bechmann et les membres de l'équipe IGG pour la collaboration mise en place pour le développement d'un mailleur optimisé. En particulier, je remercie Lionel Untereiner avec qui j'ai eu des échanges constructifs sur la modélisation graphique.

J'adresse également mes remerciements à l'ensemble des membres de l'InESS. En particulier, je remercie Nicolas Collin pour sa disponibilité, notamment dans la résolution des problèmes techniques de CAO qui ont pu survenir, et Pascal Leindecker, pour la réalisation de la carte de test.

Enfin, je tiens à remercier l'ensemble de ma famille qui m'a soutenu aussi bien moralement que financièrement tout au long de ma scolarité et de mon cursus universitaire.

Table des matières

1	Introduction générale	9
2	Introduction sur les technologies 3D	13
2.1	Les technologies 3D	13
2.1.1	Empilement sur un interposeur : 2.5D	14
2.1.2	Empilement de puces : " <i>3D stacking</i> "	16
2.1.3	Le 3D monolithique	18
2.2	Intérêts des systèmes 3D	19
2.2.1	Réduction des délais d'interconnexion	19
2.2.2	Réduction de la consommation et du bruit	21
2.2.3	Optimisation et intégration hétérogène	22
2.3	Considérations thermiques	24
2.4	Conclusion	29
3	Conception de circuits intégrés	31
3.1	Niveau d'abstraction	31
3.2	Modélisation descendante dite <i>top-down</i>	32
3.3	Modélisation ascendante dite <i>bottom-up</i>	32
3.4	Cycle de conception en V	33
3.5	Place du simulateur dans le flot de conception	34
3.6	Conclusion	35
4	Effets électrothermiques et transfert de chaleur	37
4.1	Effets électrothermiques	37
4.1.1	Effet Joule	37
4.1.2	Effet Seebeck	38
4.1.3	Effet Peltier	39
4.1.4	Effet Thomson	40
4.1.5	Effet thermorésistif	41
4.1.6	Effet pyroélectrique	43
4.1.7	Remarques	43
4.2	Transfert de chaleur	44
4.2.1	Conduction thermique	44

4.2.2	Convection thermique	45
4.2.3	Rayonnement thermique	47
4.3	Transfert thermique dans les circuits intégrés	49
4.4	Conclusion	50
5	Simulation thermique	51
5.1	Méthodes analytiques et semi-analytiques	51
5.1.1	Principe	51
5.1.2	Avantages	59
5.1.3	Inconvénients	59
5.2	Méthodes numériques	59
5.2.1	Principe	59
5.2.2	Méthode par éléments finis	60
5.2.3	Méthode par différences finies	61
5.2.4	Avantages	62
5.2.5	Inconvénients	62
5.3	Simulation thermique multi-résolution	62
5.4	Réduction du modèle thermique	64
5.4.1	Approche par réseaux RC	64
5.4.2	Technique de réduction d'ordre du modèle	66
5.4.3	Marche aléatoire	68
5.4.4	Conclusion	71
6	Principe de la simulation électrothermique	73
6.1	Simulation électrothermique par relaxation	74
6.1.1	Principe	74
6.1.2	Avantages	74
6.1.3	Inconvénients	75
6.2	Simulation électrothermique directe	75
6.2.1	Principe	75
6.2.2	Avantages	75
6.2.3	Inconvénients	76
6.3	Etat de l'art des simulateurs électrothermiques	76
6.4	Conclusion	79
7	Simulateur électrothermique développé	81
7.1	Rappel des choix réalisés	81
7.1.1	Fonctions du simulateur	81
7.1.2	Environnement	81
7.1.3	Méthode de simulation	82
7.1.4	Modélisation thermique retenue	82
7.2	Principe de fonctionnement	83
7.2.1	Nomenclature utilisée	83

7.2.2	Principe	84
7.3	Création du sous-réseau électrothermique	85
7.4	Création du sous-réseau thermique	89
7.4.1	Modélisation de l'environnement	89
7.4.2	Procédure de maillage	92
7.4.3	Configuration du maillage et des zones d'influence	95
7.4.4	Structure de données	97
7.5	Couplage des sous-réseaux thermiques et électrothermiques	100
7.6	Simulation	103
7.7	Conclusion	107
8	Validation du simulateur	109
8.1	Validation par Comsol [®]	109
8.1.1	Cas d'une source de chaleur	109
8.1.2	Cas multi-sources de chaleur	111
8.2	Validation expérimentale	114
8.2.1	Capteur de température	116
8.2.2	Circuit test	118
8.2.3	Etalonnage des capteurs du circuit test	120
8.2.4	Conditions expérimentales	124
8.2.5	Conditions de simulations	126
8.2.6	Confrontation entre simulation et expérience	129
8.3	Conclusion	130
9	Modélisation électrothermique haut-niveau	131
9.1	Spécificité de la modélisation électrothermique	131
9.1.1	Modélisation électrique haut-niveau standard	131
9.1.2	Modélisation électrothermique haut-niveau standard	133
9.1.3	Limites de la modélisation électrothermique à un port thermique	134
9.2	Méthodologie de la modélisation électrothermique	137
9.2.1	Problématique de la modélisation électrothermique à haut-niveau	137
9.2.2	Modélisation électrothermique à 4 ports thermiques	138
9.3	Discussion	144
9.4	Validation : Matrice de capteurs de température	146
9.4.1	Modèle du capteur de température	146
9.4.2	Apport des modèles de haut-niveau	149
9.5	Ingénieur en modélisation électrothermique haut-niveau	152
9.6	Conclusion	152
10	Conclusion et Perspectives	155
10.1	Conclusion	155
10.2	Perspectives	159

11 Production scientifique	161
A Code Verilog-A de l'élément fini de base	163
B Code Verilog-A du modèle électrothermique haut-niveau à un port thermique du capteur de température	167
C Code Verilog-A du modèle électrothermique haut-niveau à quatre ports thermiques du capteur de température	169
D Code Verilog-A du modèle électrothermique d'un transistor bipolaire	173
E Code Verilog-A de la source de température	175
Bibliographie	177

Chapitre 1

Introduction générale

« Plus performant, plus intelligent, plus petit et plus économique » est le leitmotiv du monde de la microélectronique. Cette devise a d'abord été suivie en miniaturisant toujours plus les dimensions des transistors selon la fameuse loi de Moore. Puis, les systèmes intégrés se sont diversifiés avec l'apparition de techniques de packaging permettant d'intégrer plusieurs puces au sein d'un même boîtier. Aujourd'hui, un nouveau cap est sur le point d'être franchi avec l'arrivée de circuits intégrés d'un nouveau genre : les circuits intégrés en technologie 3D. Ces technologies promettent de cumuler sur un même circuit miniaturisation et diversification.

Cependant, aussi prometteuses que sont ces technologies, la conception des circuits se heurte notamment aux problèmes dérivant des densités extrêmes de courant présentes au sein de ces circuits. Ces problèmes peuvent se résumer à l'élévation de la température de fonctionnement et à l'apparition de points chauds localisés, ce qui génère des gradients de températures. Les effets ainsi engendrés, tels l'électromigration, le désappariement des tensions et des courants de polarisation, l'augmentation des courants de fuites et des délais, posent des problèmes de fiabilité et sont donc un véritable frein à la démocratisation de ces technologies.

C'est dans ce contexte que le projet 3D-IDEAS, financé par l'Agence Nationale de la Recherche, a été initié, en 2009, par l'équipe Conception de Systèmes Hétérogènes, dirigée par le professeur Ian O'Connor, de l'Institut des Nanotechnologies de Lyon (INL).

Ce projet a pour but de concevoir la chaîne complète d'intégration de circuits en technologie 3D, puis de l'appliquer à la réalisation d'un imageur virtuel. Pour mener à bien ce projet, les différents acteurs réunis sont l'INL, la société STMICROELECTRONICS®, le CEA-LETI, l'IMEP-LAHC et l'InESS.

Dans le cadre de ce projet, l'objectif de cette thèse a été de développer un simulateur électrothermique compatible avec la simulation de circuits intégrés 3D. En outre, ce simulateur doit pouvoir être utilisé tout au long de la phase de conception, pour valider à chaque étape le cahier des charges défini. Pour cela, il s'appuie sur la modélisation compacte électrothermique de haut niveau.

Pour répondre à ce besoin, il nous a d'abord fallu cibler précisément le domaine d'utilisa-

tion du simulateur et bien comprendre le cycle de conception des circuits intégrés. Ensuite, les effets électrothermiques qui surviennent dans ces circuits ont dû être assimilés. Après avoir mis en évidence les principes physiques responsables de la génération de chaleur au sein de ces circuits, nous avons étudié les modes de propagation de chaleur à considérer. Les mécanismes thermiques à modéliser couplés au domaine d'application de notre simulateur ont permis de choisir la méthode de modélisation thermique la mieux adaptée à nos besoins. Finalement, en recoupant l'ensemble de ces informations, le choix de la méthode de simulation électrothermique a pu être fait.

Ainsi, ce manuscrit se scinde en deux grandes parties. La première partie s'étend des chapitres 2 à 6 et présente l'ensemble des éléments qui ont motivé les différents choix réalisés pour implémenter le simulateur électrothermique. La seconde partie regroupe les chapitres 7 à 9, et présente le simulateur et la méthode de modélisation haut-niveau qui ont été développés.

Le chapitre 2 commence par introduire les technologies 3D. Puis, il présente les avantages des circuits 3D par rapport aux circuits intégrés standard. Enfin, les considérations thermiques à prendre en compte dans ces circuits sont abordés. Ce chapitre permet de définir le domaine d'application du simulateur.

Le chapitre 3 explique la méthode de conception de circuit intégré qui est utilisée généralement dans l'industrie. Ainsi, le lecteur pourra comprendre l'intérêt de recourir à la modélisation haut-niveau pour la conception de circuit intégré, et en particulier pour les circuits 3D.

Le chapitre 4 explique en détail les effets électrothermiques qui apparaissent au sein des circuits intégrés, ainsi que les différents modes de transport de la chaleur. Ce chapitre est primordial pour bien comprendre les limites d'utilisation que nous avons fixées au simulateur.

Les diverses approches de modélisation thermique sont abordées dans le chapitre 5. Nous y justifions également l'approche retenue pour le simulateur.

Le chapitre 6 conclut la première partie en présentant les méthodes de simulation électrothermique qui existent. Les avantages et les inconvénients sont également présentés.

Le chapitre 7 débute la deuxième partie de ce travail de thèse dans laquelle est décrite notre apport au domaine de la simulation et de la modélisation électrothermique de systèmes intégrés. Après un bref rappel des choix réalisés suite aux informations recueillies dans les chapitres précédents, le principe de fonctionnement du simulateur électrothermique que nous avons implémenté est décrit.

Le chapitre 8 est dédié à la validation du simulateur. D'abord le simulateur est validé avec un simulateur par éléments finis de référence, COMSOL[®]. Puis, la validation est faite expérimentalement sur un circuit test. A la fin de ce chapitre, nous verrons qu'il nous est nécessaire d'utiliser des modèles électrothermiques de haut-niveau pour la simulation de systèmes complexes.

L'objet du chapitre 9 est d'abord d'expliquer ce qu'est la modélisation électrothermique de haut-niveau, puis de démontrer qu'elle nécessite une approche spécifique pour être mise en œuvre. Nous y trouverons également l'approche que nous avons élaborée au cours de ces

travaux.

Enfin, nous concluons sur le travail réalisé au cours de ces trois années et aborderons les perspectives futures dans le chapitre 10 qui clôture ce manuscrit.

Chapitre 2

Introduction sur les technologies 3D

Dans la première partie de ce chapitre, nous expliquerons ce que sont technologies 3D sans, toutefois, entrer dans le détail de leur fabrication. Nous aborderons dans un deuxième temps les motivations principales qui poussent l'industrie des semi-conducteurs à investir massivement dans ce secteur. Ensuite, nous mettrons en évidence les problèmes thermiques et leurs conséquences dans de tels systèmes. Finalement, ce chapitre se clôturera sur le besoin du concepteur en outils performants pour simuler le comportement électrothermique de ces systèmes tout au long de la phase conception.

2.1 Les technologies 3D

Les technologies 3D s'opposent aux technologies planaires et possèdent différentes significations selon leur domaine d'application. Les transistors en technologie 3D regroupent la famille de transistors dont les effets de l'épaisseur des grilles, des drains ou des sources ne peuvent plus être négligés dans leur modélisation comme cela est le cas pour les transistors MOSFET. Parmi cette famille, nous retrouvons notamment les transistors silicium sur isolant (SOI), les transistors FinFet, les transistors tri-gate. Ainsi, lorsqu'Intel[®] annonce, en avril 2012, la commercialisation des processeurs IvyBridge 22nm en technologie 3D, la société fait référence à des processeurs conçus à partir de transistors en technologie 3D. En l'occurrence, les transistors utilisés sont des transistors tri-gate ou transistors 3D [1].

Cependant, les transistors ne sont pas le seul domaine de la microélectronique où il est fait référence aux technologies 3D, et les circuits intégrés aussi peuvent être conçus dans ces technologies. Dans ce cas, il est alors fait référence aux systèmes dont les modules fonctionnels sont intégrés dans les trois dimensions et qui englobent trois familles, adaptées respectivement à l'intégration à haute, très haute ou extrême densité :

- l'empilement sur interposeur (*2,5D* ou *3D-WLP*).
- l'empilement 3D de puces (*3D stacking* ou *3D IC*).
- et le 3D monolithique.

Dans le cadre de ces travaux, nous nous intéresserons au domaine des circuits intégrés et plus particulièrement à celui des architectures 2,5D et 3D empilées. Dans la suite de

cette section, nous présentons les trois types d'architectures couvertes par la désignation technologie 3D.

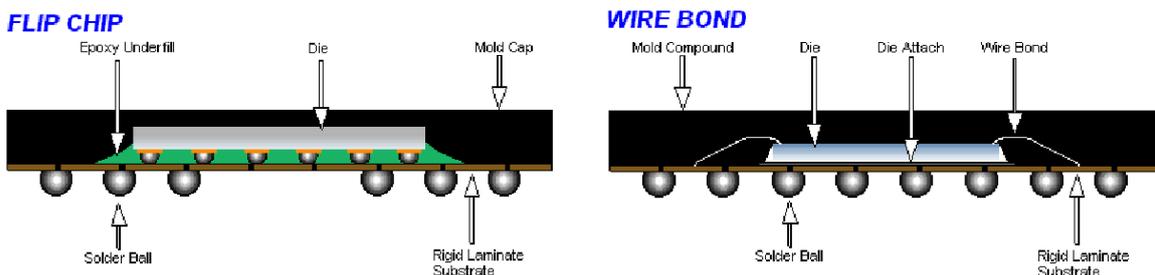
2.1.1 Empilement sur un interposeur : 2.5D

L'intégration de plusieurs circuits en trois dimensions est un concept déjà utilisé depuis de nombreuses années. En effet, l'association tridimensionnelle effectuée via du "bonding" tels que les *system-in-package* (SiP) ou encore les systèmes hétérogènes *package-on-package* (PoP) est largement répandue dans la conception de circuits logiques programmables (*Field-Programmable Gate Array - FPGA*).

Les SiP associent différents modules (mémoires, MEMS, modules RF, capteurs, etc.) réalisés sur des puces différentes. Ensuite, les différentes puces sont assemblées sur un substrat commun. Finalement, les connexions entre les divers blocs sont réalisées par *flip chip* (figure 2.1a) ou par *wire bond* (figure 2.1b) [3].

Ce choix technologique offre de nombreux avantages. Tout d'abord, des circuits mixtes analogique-numérique sont intégrables. Ensuite, des blocs fonctionnels déjà conçus pour d'autres systèmes sont réutilisables, ce qui réduit les délais de commercialisation. Le coût de développement est minimisé en raison de la simplification du process de fabrication. Enfin, les dimensions sur le circuit imprimé sont réduites et la hauteur du composant est inférieure à la méthode d'intégration PoP que nous verrons ci-après.

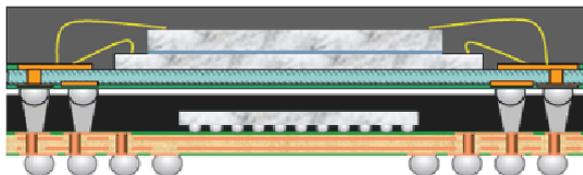
Le PoP réunit plusieurs puces déjà incorporées dans leurs boîtiers les unes sur les autres (voir figure 2.2), ce qui offre la possibilité d'utiliser la technologie la plus adaptée pour chacun des modules. Les interconnexions entre les différentes puces sont réalisées en utilisant des matrices de billes (*Ball Grid Array (BGA)*). Contrairement au système SiP, les puces sont testables avant d'être réunies dans le boîtier commun. Ainsi, en sortie de fabrication, le rendement des circuits PoP est élevé, puisque seules les puces dont le fonctionnement est certifié sont intégrées. La consommation du système est également inférieure à celle d'un même système dont les différentes puces auraient été montées sur



(a) Schéma en coupe du *flip chip* :
La couche active de la puce est orientée vers le bas et connectée généralement au boîtier avec des billes de soudures.

(b) Schéma en coupe du *wire bond* :
La couche active de la puce est orientée vers le haut et connectée au boîtier avec des fils.

FIGURE 2.1 – Schéma en coupe des principes du *wire bonding* et du *flip chip* [2].

FIGURE 2.2 – Schéma en coupe d'un système *PoP* [2].

un circuit imprimé en raison de la faible distance entre les entrées-sorties.

Le 2,5D correspond à une extension du packaging 3D présenté précédemment. Un interposeur, qui peut être passif ou bien actif, est positionné entre le substrat du système et les différentes puces. Cet interposeur est connecté à la couche active des puces par des connexions verticales appelées TSV (*Through Silicon Via*) qui traversent les différentes puces. Les différents modules des différentes puces sont ensuite interconnectés par les pistes de métal de l'interposeur (figure 2.3 [4]). Les interconnexions opérées par les TSV et les pistes de métal de l'interposeur sont bien plus performantes que celles utilisées dans les méthodes traditionnelles d'encapsulation en raison de leur faible longueur en comparaison de celles utilisées dans les SiP ou PoP. Ainsi, l'utilisation de l'interposeur réduit la consommation électrique, accroît les performances du système et augmente la densité d'intégration par rapport aux solutions présentées précédemment.

En octobre 2010, la société Xilinx[®] annonce que leur FPGA Virtex[®]-7 est fabriqué en technologie 2,5D (figure 2.4). Depuis, de nombreuses sociétés telles Samsung, TSMC, Nokia ou Elpida lui ont emboîté le pas et proposent leurs propres gammes de produits conçus selon cette méthode.

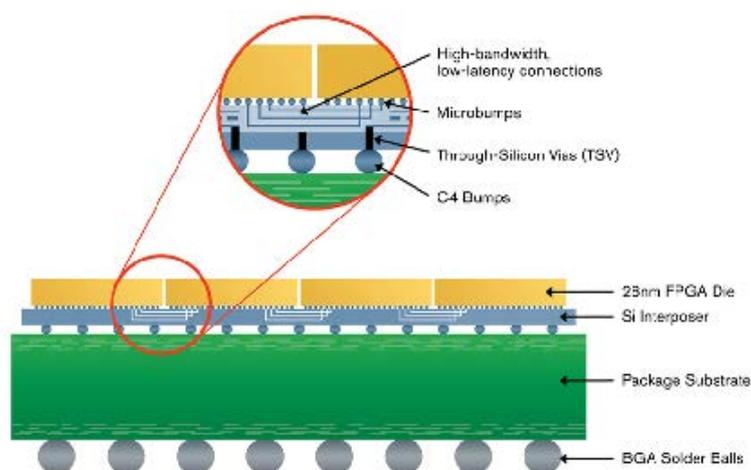
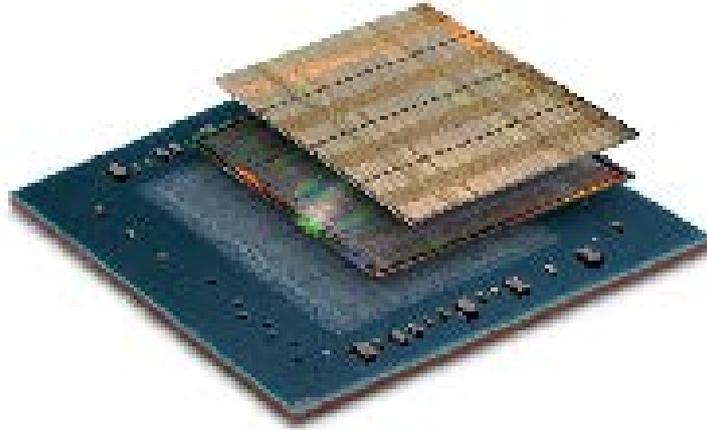


FIGURE 2.3 – Principe du 2,5D [4].

FIGURE 2.4 – Virtex[®]-7 2000T.

2.1.2 Empilement de puces : "3D stacking"

L'intégration 3D de circuits intégrés à proprement parler correspond à une évolution plus avancée de l'intégration 2,5D. Ainsi, un circuit intégré est considéré comme 3D lorsqu'au moins deux puces sont empilées l'une sur l'autre et interconnectées par l'intermédiaire de TSV. Il existe trois méthodes d'intégration pour de tels circuits : l'intégration *wafer to wafer* (W2W), l'intégration *die to wafer* (D2W) et l'intégration *die to die* (D2D).

L'intégration W2W consiste à empiler plusieurs *wafers* après les avoir précisément alignés, puis à les souder par thermo-compression. Enfin, les circuits intégrés sont découpés. Cette approche nécessite que tous les *wafers* et les puces soient de mêmes dimensions.

L'intégration D2W consiste à fabriquer le circuit intégré sur deux *wafers* dont l'un sera coupé selon les bords de chacune de ses puces. Ensuite, les puces coupées sont alignées et connectées à l'endroit prévu sur les puces du *wafer* non découpé. Plusieurs puces prédécoupées peuvent être alignées sur une même puce du *wafer*. Finalement, le *wafer* entier est découpé. Cette approche est semblable à l'intégration 2,5D où l'interposeur est remplacé par une puce.

L'intégration D2D consiste à empiler plusieurs puces individuellement. Cette approche permet de tester préalablement chaque puce avant d'être utilisée. Ainsi, la probabilité d'avoir un système défectueux à cause d'une seule puce se trouve fortement réduite [5]. Les avantages et inconvénients de chacune de ces méthodes d'intégration sont discutés en détail dans [6].

Plusieurs orientations sont possibles lors de la superposition des puces et les procédés de fabrication seront légèrement différents selon la solution retenue (figure 2.5) [7]. L'empilement *face-to-face* est la configuration la mieux adaptée pour optimiser la longueur des interconnexions et accroître la densité de composants à l'interface. De leur côté, les méthodes *face-to-back* ou *back-to-back* permettent d'intégrer les puces sur plus de deux étages.

En combinant l'ensemble de ces configurations, il est possible d'ajouter plusieurs étages

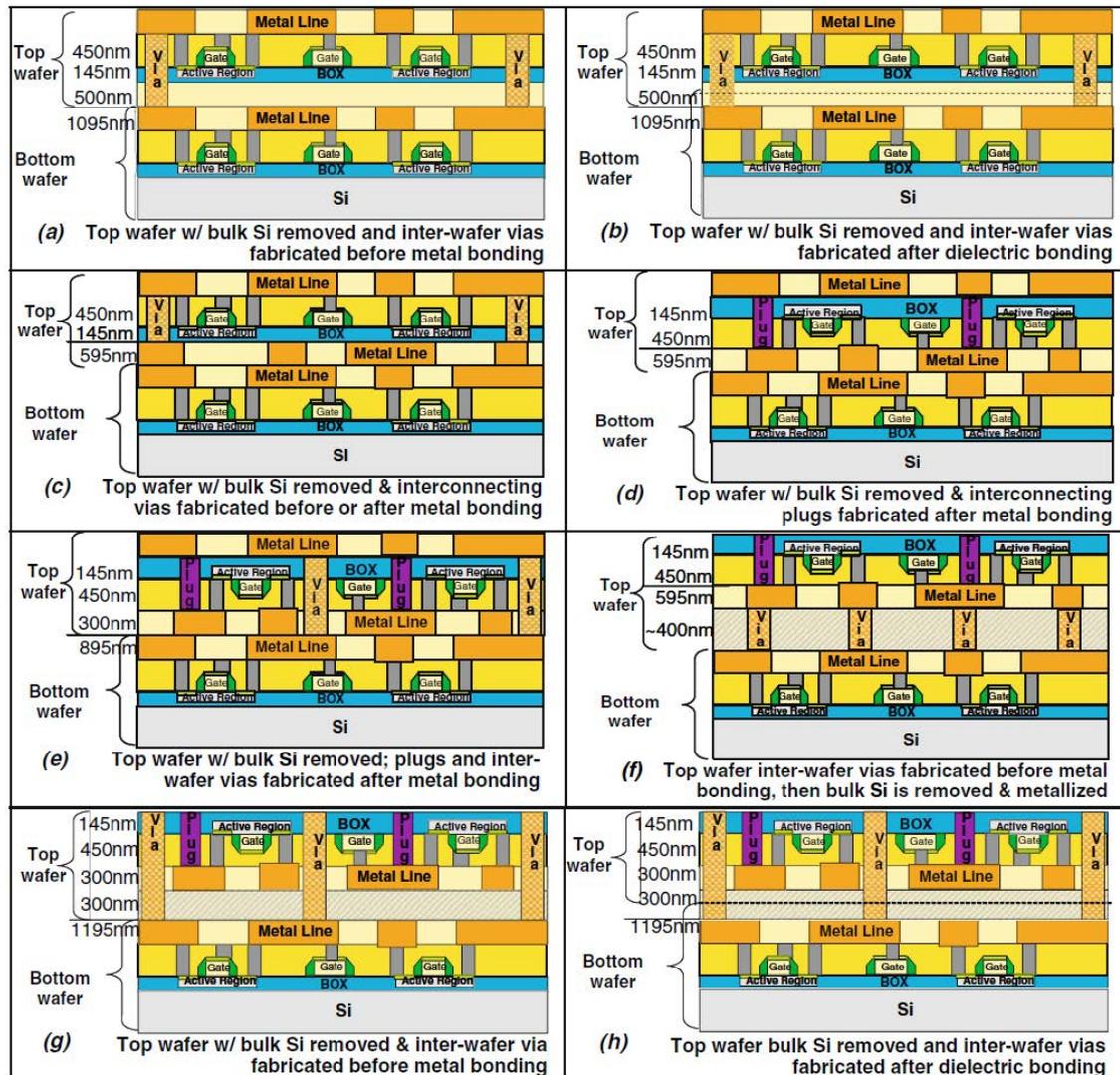


FIGURE 2.5 – Vue en coupe des différentes configurations d'intégrations possibles [8]

(a)–(c) configuration “face-to-back”.

(d)–(h) configuration “face-to-face”.

Les nombres à droite des vignettes représentent la hauteur minimale des vias pour pouvoir délivrer les signaux électriques entre deux *wafers* pour une technologie SOI 90nm.

Les lignes en pointillé représentent l'interface de *bounding*.

au système complet. En dehors des applications dédiées aux mémoires, l'utilisation de plus de deux niveaux reste à l'heure actuelle marginale. Cependant, les possibilités offertes par cette technologie ouvre la voie à la réalisation de systèmes extrêmement complexes comme l'illustre la figure 2.6.

L'empilement de puces réalisées avec les TSV réduit les parasites RLC, offre de meilleures performances et un plus haut niveau d'intégration tout en étant moins énergivore que les

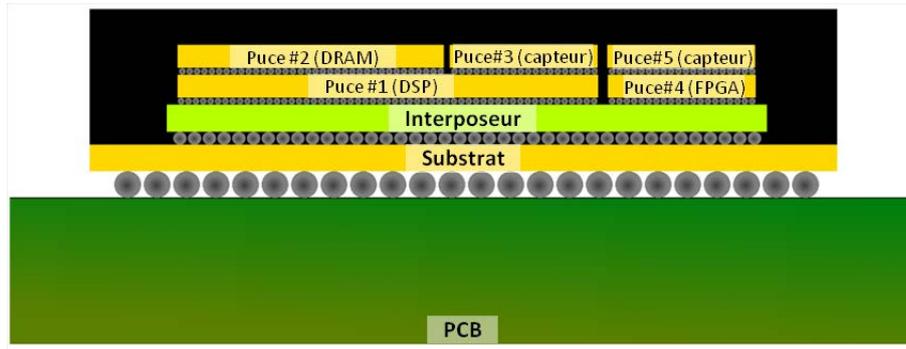


FIGURE 2.6 – Illustration d’un système 3D complexe

technologies SiP ou PoP. La densité d’intégration y est également plus élevée que le 2,5D et le cycle de conception plus court que l’empilement sur interposeur.

En revanche, dans ces systèmes, les inconvénients thermiques sont plus récurrents et la gestion de la distribution de l’alimentation devient plus complexe. C’est pourquoi le choix d’une technologie 2,5D ou 3D est le fruit d’un compromis entre le coût, les performances, la consommation et le facteur de forme. A l’heure actuelle, il est plus avantageux d’utiliser le 2,5D pour les applications telles que les FPGA, CPU, GPU alors que les technologies 3D sont plus avantageuses dans les applications basse consommation telles que les smartphones ou les systèmes de communication sans fil.

La conception des circuits intégrés 3D peut se faire en réutilisant les blocs fonctionnels qui ont été conçus auparavant. En revanche, les interconnexions verticales entre les différents blocs des étages doivent être réadaptées au cas par cas.

2.1.3 Le 3D monolithique

Contrairement aux deux approches précédemment décrites qui consistent à empiler plusieurs circuits planaires les uns sur les autres, l’intégration 3D monolithique est réalisée sur un seul substrat. Lorsque les circuits monolithiques sont fabriqués par épitaxie, les couches actives des composants sont érigées verticalement sur un unique *wafers*. Une fois qu’une couche active de composants avec ses interconnexions est réalisée, une couche d’un matériau diélectrique est déposée et polie pour permettre d’ajouter une couche active supplémentaire. Les couches de diélectriques sont gravées, puis du métal est déposé pour créer les vias (TSV, nanotubes de carbone (*CNT*)) qui interconnectent électriquement les différentes couches actives. Ce procédé est répété pour réaliser plusieurs couches. L’ensemble constitue ainsi un seul bloc intégré - d’où l’appellation 3D monolithique. Une illustration schématique d’un circuit intégré monolithique est présenté sur la figure 2.7.

Sur le site de la société monolithic 3D [10] sont présentés deux procédés possibles pour la réalisation de tels circuits. D’autres procédés de fabrication à basse température (600°C) de ces circuits ont été développés au CEA/LETI [11, 12]. La technologie S3, mise au point par Samsung, utilise un procédé similaire à celui qui est utilisé pour la conception de

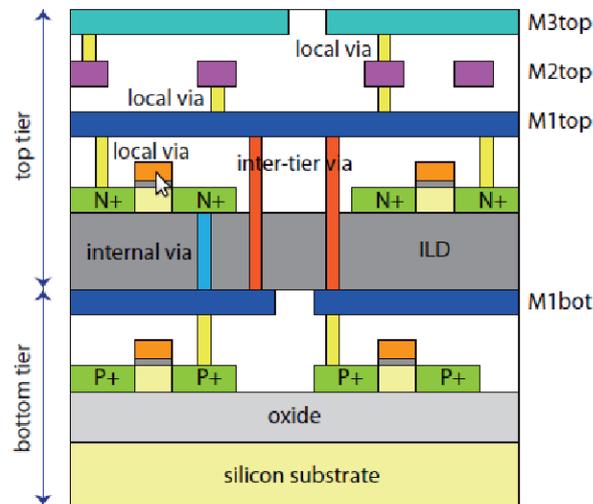


FIGURE 2.7 – Illustration d’une structure intégrée monolithique [9].

transistors à effet de champ TFT (*Thin-Film Transistor*) et sert à la fabrication de cellules SRAM sur trois étages [13].

L’utilisation de cette technologie est particulièrement intéressante pour la conception des mémoires puisque les performances et la densité de mémoire par unité de surface sont considérablement augmentées. Cependant, le coût de cette technologie est actuellement prohibitif pour sa démocratisation dans d’autres applications.

2.2 Intérêts des systèmes 3D

2.2.1 Réduction des délais d’interconnexion

Les performances des composants électroniques sont étroitement liées aux délais de commutations des transistors, ainsi qu’aux délais dus aux interconnexions entre les divers blocs fonctionnels [14]. Or, jusqu’au début des années 2000, l’influence des délais de commutation des transistors était prépondérante [15]. Les progrès réalisés sur les transistors ont donc été le moteur de l’évolution des performances des circuits intégrés, notamment en ce qui concerne les processeurs et les mémoires. En effet, la miniaturisation des transistors a permis de complexifier les circuits intégrés pour une même surface. De plus, la réduction des délais de commutations a permis d’augmenter la fréquence d’horloge des circuits intégrés.

En revanche, les délais d’interconnexion, ou délais RC, ont connu une évolution opposée et aujourd’hui sont devenus critiques [16]. Plusieurs raisons permettent d’expliquer cette évolution. En premier lieu, la section de la ligne a été réduite et les dimensions latérales des pistes de cuivre sont de l’ordre du libre parcours moyen des électrons (39 nm à 300K), ce qui augmente fortement la résistivité électrique [17–21]. De plus, des impuretés de ti-

tane ou d'aluminium sont ajoutées aux pistes de cuivre pour améliorer la fiabilité vis à vis de l'électromigration ou encore de la migration sous contrainte (*stress-induced voiding* ou SIV) [20, 21]. L'ajout de ces impuretés contribue là encore à accroître la résistivité de la ligne. Pour réduire ces délais, des efforts ont donc été réalisés afin de diminuer la capacité de la ligne en agissant sur la permittivité effective du diélectrique. Le résultat de ces recherches sur les matériaux a permis de diminuer la permittivité effective du diélectrique d'une technologie à la suivante, celle-ci passant de 4,5 en technologie 180nm à 2,9 en 45nm. Malgré ces efforts, le délai RC d'une ligne d'interconnexion a augmenté de manière quadratique et d'autres solutions ont vu le jour pour diminuer ces délais [17]. L'une d'entre elles consiste à tirer parti de la vitesse de commutation des transistors en les utilisant comme des répéteurs. Pour cela, les lignes d'interconnexions sont fragmentées en plusieurs segments de sorte à ce que le délai de propagation sur ces segments soit du même ordre de grandeur que celui des transistors. La figure 2.8 [17] montre que les délais d'interconnexions restent sensiblement constants quelque soit le nœud technologique en utilisant cette méthode.

Bien qu'au premier abord cette solution semble prometteuse, ses bénéfices sont nuancés par l'accroissement significatif de la consommation électrique et de l'augmentation de la surface dues à l'utilisation des répéteurs. Ainsi, le nombre de transistors situés dans le rayon défini par le produit période d'horloge-vitesse de propagation du signal dans la ligne diminue toujours à chaque nœud technologique. C'est pourquoi, pour continuer d'améliorer les performances des processeurs, les concepteurs ont modifié leurs architectures en ajoutant de plus en plus de cœurs et de *threads* dans les processeurs [22]. Cependant, cette stratégie montre également ses limites. En effet, le facteur de réduction des transistors est de 0,6 [22], alors qu'idéalement il devrait être de 0,5 [23] pour permettre l'augmentation du nombre de cœurs et de *threads* à surface constante d'une génération de processeurs à

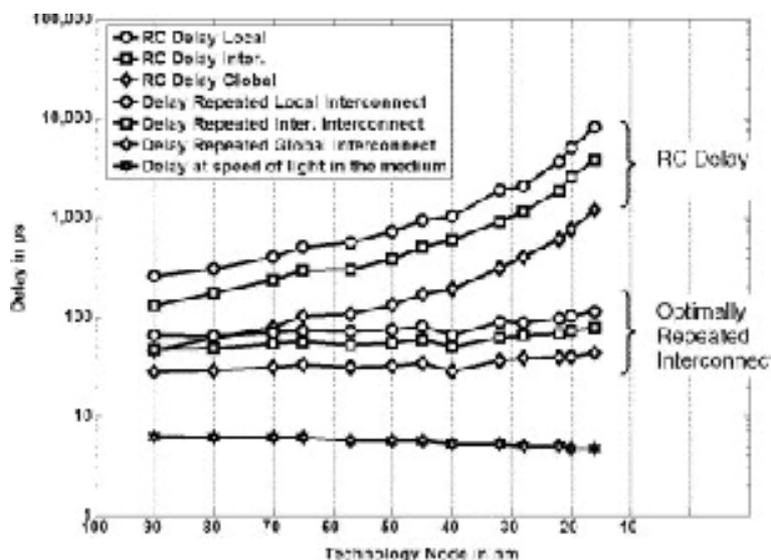


FIGURE 2.8 – Délai pour une ligne d'interconnexion de 1mm, dans un matériau à faible constante diélectrique, avec optimisation avec répéteurs et sans optimisation [17].

une autre [22]. Il en résulte un accroissement des dimensions des puces et un allongement des pistes d'interconnexions.

Néanmoins, ces délais peuvent être réduits soit en changeant la nature des interconnexions, soit en réduisant leur longueur. Les propriétés des CNT, notamment en ce qui concerne leur résistivité électrique et leur fiabilité vis à vis de l'électromigration lors du transport de fort courant, en font de bons candidats pour remplacer les pistes de cuivre [19, 24–26]. Cependant, le remplacement des interconnexions de cuivre par des CNT n'est encore qu'en phase de recherche et s'affiche comme une solution à moyen terme. L'optimisation de la longueur des interconnexions pour les systèmes planaires est déjà prise en compte lors de la conception et fait toujours l'objet de recherche [24, 27]. L'utilisation de la troisième dimension permettrait de réduire dans un avenir proche la longueur des interconnexions et serait suivi d'une réduction des délais de 6 à 30% [17, 28, 29].

Les délais d'interconnexions dégradent les performances au sein même d'un bloc fonctionnel, mais dégradent également le temps de latence entre deux blocs fonctionnels, c'est-à-dire le temps que met un bloc avant de répondre. Par exemple, il existe un temps de latence entre une mémoire cache et l'unité de calcul du processeur. Ainsi, plus l'unité de calcul communique avec cette mémoire, plus ce temps influe sur les performances globales du processeur. Par conséquent, améliorer les performances de l'unité de calcul sans pour autant améliorer en parallèle le temps de latence n'apporte que peu de bénéfices sur les performances globales du processeur.

2.2.2 Réduction de la consommation et du bruit

Nous avons vu précédemment que la longueur des pistes d'interconnexions s'est accrue au fil des ans et qu'en conséquence la vitesse de l'amélioration des performances par cœur de processeur diminue. A cela s'ajoute le problème de la consommation électrique du circuit qui a été multiplié par 5 [15] malgré la baisse de la tension d'alimentation des transistors. Cette augmentation est liée à l'augmentation des courants de fuites des transistors MOSFET à chaque nœud technologique et à l'augmentation de la capacité globale des interconnexions. Bien que l'utilisation de transistors multi-grilles (*FinFet*, *SOI*, *etc.*) permette de réduire les pertes dues aux courants de fuite [30], les pertes liées aux interconnexions représentent plus de 50% de la consommation des processeurs actuels [14, 31]. Celles-ci peuvent être exprimées par la relation 2.1 :

$$P = \frac{1}{2} \cdot \alpha \cdot C \cdot V_{DD}^2 \cdot f_c \quad (2.1)$$

où :

- V_{DD} est la tension d'alimentation.
- α est le nombre de commutations de transistors qui se sont produites sur le circuit pendant un cycle d'horloge.
- f_c la fréquence d'horloge.
- C la capacité totale due aux interconnexions.

Alors que la tension d'alimentation ne baisse plus que de très peu de génération de transistors à la suivante et que la fréquence d'horloge est amenée à augmenter, la réduction de la consommation passe donc par la réduction de la capacité du réseau d'interconnexions. Or, celle-ci augmente avec la longueur de l'interconnexion et est de $0,388 \text{ fF} \cdot \mu\text{m}^{-1}$ pour une interconnexion standard en technologie 65nm [27]. En revanche, l'empilement des puces permet de réduire la longueur globale des interconnexions d'un facteur $\frac{1}{N^2}$, où N représente le nombre d'étages de la structure 3D. Cela se traduit approximativement par une baisse de la consommation du circuit par un facteur \sqrt{N} [14].

Des interconnexions plus courtes entraînent une diminution de la capacité de charge et donc le niveau de bruit lié aux commutations simultanées est amoindri. De plus, des lignes de connexions courtes réduisent les capacités inter-lignes et donc conduisent à une réduction de la diaphonie [14].

Dans [32], un oscillateur contrôlé en tension (VCO) est fabriqué sur un circuit planaire en 2D et en 3D. La fréquence centrale et le bruit de phase de cet oscillateur sont les mêmes pour les deux circuits. Pour les deux systèmes, un signal sinusoïdal qui reproduit artificiellement les commutations d'un circuit électrique numérique est injecté dans les substrats. Cela permet de mesurer le couplage de ce signal bruyant avec la sortie du VCO. Ce signal génère en sortie du VCO des parasites à la fréquence modulée. Ainsi, plus le couplage entre le signal en sortie du VCO et le bruit est important, plus le niveau de ces parasites est élevé. L'expérience est réalisée pour un signal bruyant qui varie de 1MHz à 1GHz. Sur la bande 1MHz à 3MHz, la version 3D présente un bruit lié à ce signal de 20dB inférieur à celui de la version planaire. Au delà de 30 MHz, le couplage entre le signal de bruit et le signal de sortie est inférieur au bruit du VCO. De plus, le bruit lié au couplage est supérieur dans la version planaire à celui de la version 3D jusqu'à 300 MHz. Ainsi, l'expérience présentée met en évidence la possibilité de réduire le bruit lié aux blocs numériques sur les autres éléments pour la conception de systèmes mixtes performants.

2.2.3 Optimisation et intégration hétérogène

Jusqu'à présent nous avons vu les technologies en tant que solutions pour repousser les limites imposées par les interconnexions dans les systèmes planaires. Cependant, l'apport de ces technologies va bien au-delà. En effet, ces technologies peuvent être perçues comme une variété de super packaging offrant les avantages suivants :

- optimisation du facteur de forme.
- conception de circuit hétérogène : les différentes fonctions du système sont réalisées dans la technologie la plus adaptée, puis intégrées aussi bien verticalement qu'horizontalement.

Dans les applications mobiles, par exemple les smartphones, il est important d'accroître la capacité de stockage sans pour autant augmenter les dimensions du système mobile. En effet, les fonctions multimédias des smartphones telles que la prise de photos, la capture vidéo ou encore les fonctions ludiques requièrent un espace de stockage toujours plus important. L'utilisation des technologies 3D pour la conception d'une mémoire flash de 16 GB

réalisée en empilant huit structures de 2 GB réduit de 15% la surface occupée et de 30% l'épaisseur de la mémoire par rapport son équivalent réalisé en tant que SiP [14]. Ainsi, la conception de smartphones plus fins et avec plus de mémoire est possible.

Ces technologies ouvrent également de nouvelles voies de conception encore inexploitées à l'heure actuelle. Les travaux présentés dans [33] et [34] illustrent bien les apports que les technologies 3D offrent pour l'amélioration des performances des processeurs. Dans [33], une structure de mémoire de grande capacité DRAM 3D hétérogène, c'est-à-dire avec plusieurs niveaux de tension de seuil, est proposée en remplacement de la mémoire SRAM planaire pour le cache L2 de chaque cœur d'un processeur multi-cœur. Le choix de cette application spécifique provient de l'influence de ce cache de mémoire sur les performances globales du processeur. Il y est notamment précisé que la SRAM est privilégiée pour cette application parce qu'elle est plus rapide que la DRAM. Toujours d'après [33], cette différence provient du fait que l'optimisation de la DRAM se fait sur le coût et la capacité. L'utilisation de mémoires 3D hétérogènes permet d'accroître fortement les performances des mémoires DRAM en :

- réduisant les dimensions de chaque bloc de mémoire pour diminuer la capacité de charge et donc réduire le temps de latence de la mémoire. Cependant, cela se fait en contrepartie d'une baisse de l'espace de stockage.
- utilisant plusieurs niveaux de tension de seuil. Des transistors avec une tension de seuil élevée sont toujours utilisés en raison des faibles fuites de courant qu'ils présentent. Mais, pour diminuer le temps de latence, des transistors à faible tension de seuil sont utilisés pour les circuits périphériques et les buffers de ligne. L'utilisation de DRAM avec des transistors ayant plusieurs niveaux de tension de seuil est généralement évitée en raison de l'augmentation des courants de fuites. En outre, il est plus complexe de mettre en œuvre cette approche dans le procédé de fabrication de circuits planaires. Ce dernier problème n'apparaît pas dans les circuits 3D puisque les puces assemblées peuvent être regroupées selon le niveau de tension de seuil des transistors.

L'apport de l'approche 3D et de l'utilisation de plusieurs types de transistors est comparé à l'utilisation de SRAM planaires standard pour un cache L2 de 2 méga-octets. Cette approche offre un gain de surface d'un facteur 8 pour une mémoire à 8 étages pour les deux structures 3D. Le temps d'accès est en revanche deux fois plus important pour la structure mono-tension de seuil. En outre, la structure multi-tensions de seuil offre un gain de 25% par rapport à la structure SRAM standard. En revanche, la consommation des DRAM mono-tension et multi-tensions de seuil est respectivement 2 et 4 fois supérieure à la consommation de la mémoire SRAM standard.

Dans [34], la possibilité d'intégrer des systèmes hétérogènes 3D est évoquée pour l'utilisation de mémoire magnétique à accès aléatoire (MRAM) toujours en tant que cache L2 d'un processeur. Le fonctionnement des MRAM (figure 2.9) ainsi que leurs avantages par rapport aux cellules RAM standard est détaillée dans [35]. De manière générale, ces mémoires sont perçues comme le nirvana des mémoires puisqu'elles combinent les avantages de coût et de capacités des DRAM, la vitesse d'écriture et de lecture des SRAM, la non-volatilité des mémoires flashes et une durée de vie quasi-illimitée [34, 36]. Cependant, leur intégration dans un processeur nécessite de résoudre certains problèmes de fabrication

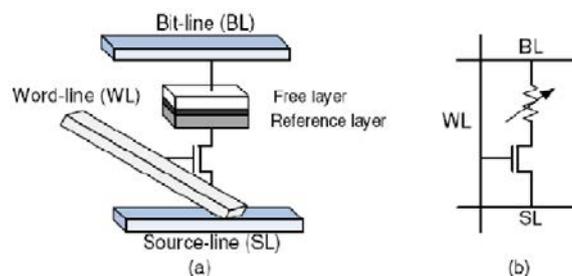


FIGURE 2.9 – Exemple de cellule MRAM [35].
a) Vue structurelle. | b) Vue schématique.

comme par exemple l'intégration d'un étage magnétique entre les niveaux de métallisation. En conséquence, leur utilisation dans les circuits planaires en technologie CMOS standard engendre un coût de fabrication supplémentaire. Le fait de pouvoir intégrer deux *wafers* différents fabriqués dans deux technologies différentes permet de résoudre le problème de fabrication soulevé. Le bénéfice obtenu est un gain de performance de 4,91% et une baisse de consommation de 73,5% par rapport à la même mémoire réalisée en SRAM [37].

Les architectures 3D présentées sur la figure 2.10 dressent un aperçu des applications futures offertes par les systèmes 3D. A partir des exemples cités et de la figure 2.10, nous constatons que les technologies 3D permettent non seulement de passer outre les limitations dues aux interconnexions présentes dans les systèmes planaires. Elles permettent aussi de diversifier la conception de sorte que les systèmes deviennent plus petits et plus performants grâce à la possibilité d'associer des sous-systèmes conçus dans la technologie la plus adaptée.

2.3 Considérations thermiques

En dehors des applications nécessitant des performances bien spécifiques notamment dans le domaine médical ou militaire, il convient, pour qu'une technologie s'intègre dans une chaîne de production standard, que son coût soit compétitif. A l'heure actuelle, les technologies 3D souffrent encore d'un rendement inférieur aux technologies planaires et d'un procédé de fabrication encore immature pour une production industrielle à grande échelle. Cependant, le coût estimé du développement de cette technologie reste avantageux par rapport à l'investissement nécessaire pour repousser les limitations des circuits planaires, pour qu'ils puissent correspondre aux exigences de performances toujours plus élevées qui sont demandées [10].

Pour que ces technologies se démocratisent dans la production, de nombreux efforts sont encore à réaliser pour réduire leur coût. Les contraintes les plus critiques sont de manière non hiérarchisées :

- le procédé de fabrication [39].
- le rendement en sortie de fabrication [40].

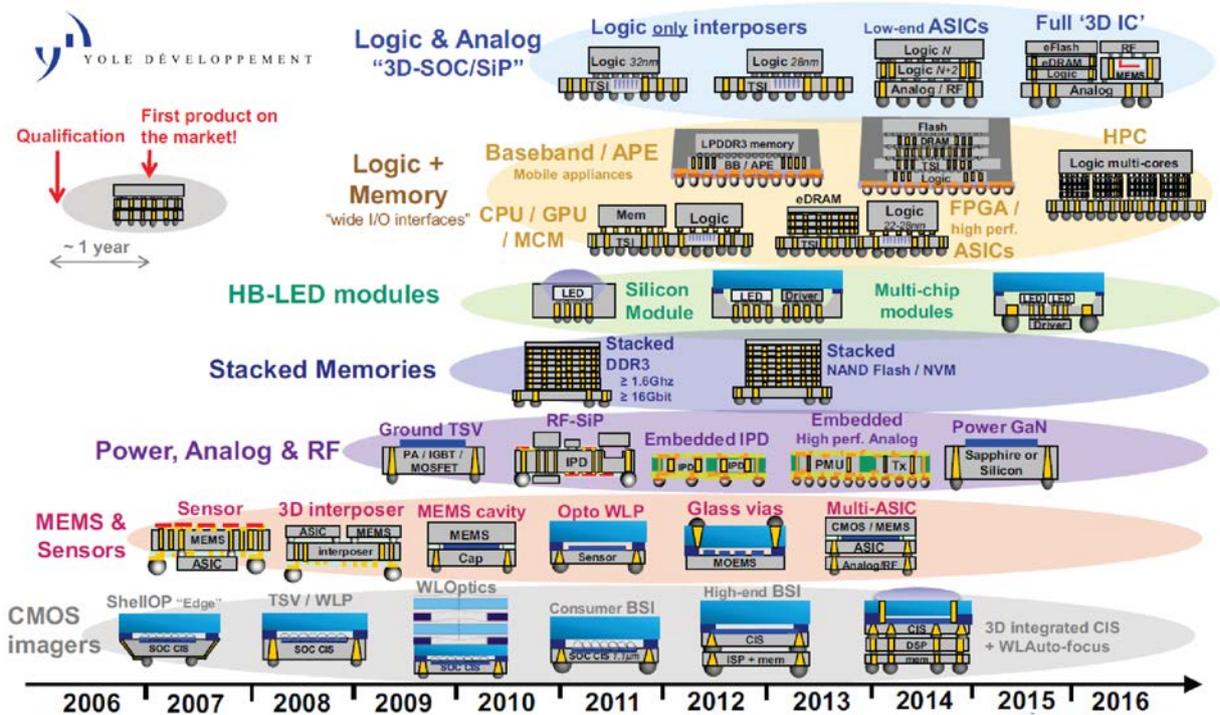


FIGURE 2.10 – Feuille de route des applications des circuits 3D avec TSV [38].

- la testabilité [41, 42].
- la fiabilité des TSV [43, 44].
- la distribution de l'alimentation et de l'horloge [41, 45, 46], etc.
- les effets thermiques [32, 41, 47, 48].

Parmi ces aspects, les effets thermiques sont l'objet central de ces travaux de thèse. En conséquence, nous nous concentrerons uniquement sur ces aspects.

Dans les circuits planaires actuels, la densité de puissance peut atteindre plus de 300 W.cm^{-2} [49]. Or, les systèmes 3D empilés combinent plusieurs éléments planaires, ainsi la densité de puissance par unité de surface s'accroît avec le nombre d'étages. De plus, dans ces systèmes l'évacuation naturelle de la chaleur vers le milieu ambiant est ralentie [32, 47, 50]. En effet, les différents étages sont séparés les uns des autres par l'intermédiaire d'un oxyde qui se trouve être un isolant thermique. L'évacuation naturelle de la chaleur est encore amoindrie par le fait que les puces de silicium sont plus fines que dans les systèmes planaires [50, 51]. Ainsi, les circuits intégrés 3D sont soumis à une température de fonctionnement élevée et sont encore plus sujets à l'apparition de points chauds localisés (*hotspots*) que les circuits planaires. Tout cela favorise l'apparition de gradients de températures, et de nombreux effets thermiques néfastes pour le circuit en résultent.

L'électromigration est un déplacement d'atomes dans les milieux conducteurs soumis à un fort courant électrique. Ce déplacement de matière s'effectue suivant le sens de déplacement des électrons (figure 2.11). Lorsque des électrons se propagent dans un métal, ils interagissent avec les imperfections de la structure du réseau cristallin de ce métal, ce

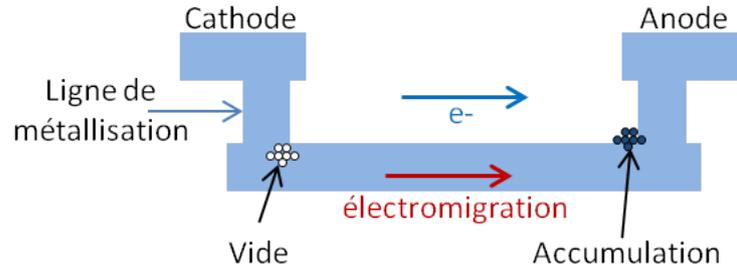


FIGURE 2.11 – Schématisation du principe de l'électromigration dans une ligne de métallisation.

qui peut entraîner un déplacement d'atomes du métal dans ce réseau. Ce déplacement d'atomes est favorisé à chaque fois qu'une imperfection est présente dans la structure du réseau. L'augmentation de la température accroît l'agitation des atomes du réseau cristallin, ce qui favorise l'interaction avec les imperfections. Ainsi, plus la température augmente et plus la quantité d'atomes déplaçable augmente. Dans les circuits intégrés, l'électromigration se produit essentiellement dans les lignes d'interconnexion, mais peut également apparaître dans les zones des semi-conducteurs fortement dopées qui présentent les caractéristiques de conduction des métaux [52]. Le principe de l'électromigration, ses origines physiques et ses conséquences sont détaillés dans [53–57].

A cause de l'électromigration, des lacunes de matière ou des excroissances peuvent être créées sur les interconnexions. Lorsque les lacunes de matière deviennent trop importantes, la ligne est rompue. À l'inverse, une excroissance trop importante crée un court-circuit avec d'autres lignes. Le temps moyen de fonctionnement avant panne (MTTF) établit un lien entre le temps d'apparition d'un défaut et l'électromigration (équation 2.2 [53]) :

$$MTTF = A \cdot j^{-n} \cdot \exp\left(\frac{E_a}{k \cdot T}\right) \quad (2.2)$$

avec :

- A est un coefficient lié aux propriétés de la ligne telles que la résistivité électrique, la charge effective, etc.
- j est la densité de courant.
- n est un paramètre du modèle.
- E_a est l'énergie d'activation de diffusion de la ligne.
- k est la constante de Boltzmann.
- T est la température.

Cette équation met en avant le lien entre le temps moyen avant qu'une panne se produise et la température. Plus la température augmente, plus le temps moyen avant l'apparition d'un défaut diminue. Ainsi, dans les circuits intégrés une température de fonctionnement élevée réduit la fiabilité des interconnexions. L'intégration de l'électromigration aux modèles de vieillissement des circuits intégrés est présentée dans [56, 57]. De plus, dans [57], le modèle proposé est détaillé suivant les avancées dans la compréhension de ce phénomène dans

l'ordre chronologique des différentes découvertes. Ceci permet au lecteur de mieux saisir comment l'électromigration affecte le comportement du circuit et lui apporte donc une meilleure compréhension de ce phénomène.

L'instabilité des paramètres électriques sous contraintes (NBTI) est un phénomène lié à la température et dont les conséquences - décalage de la tension de seuil, fuite de courants, augmentation des délais - augmentent de manière exponentielle [58, 59]. En particulier, la variation temporelle du niveau de la tension de seuil V_{th} suit l'équation 2.3 [58] :

$$\Delta V_{th} = A \cdot \exp(\gamma \cdot \epsilon_{ox}) \cdot \exp\left(-\frac{E_a}{k \cdot T}\right) \cdot t^n \quad (2.3)$$

avec :

- A est une constante.
- γ est un facteur de correction.
- ϵ_{ox} est le champ électrique.
- E_a est l'énergie d'activation.
- k est la constante de Boltzmann.
- T est la température.
- t est le temps.
- n est un facteur inférieur ou égal à 0,25 [58].

Les transistors PMOS sont particulièrement affectés par le phénomène NBTI [58–61]. En considérant le décalage de tension seuil et la dégradation de la mobilité des porteurs, à 125°C le délai NBTI augmente respectivement de 6,6%, 9,2% et de 11,5% pour des transistors PMOS en technologie 90nm, 65nm et 45 nm [61]. Dans [60], une dégradation des performances du même ordre est observée pour des transistors PMOS réalisés en technologie 65nm.

Outre les problèmes thermiques agissant au cours de l'utilisation du circuit intégré, des problèmes thermomécaniques apparaissent en raison des cycles thermiques générés par les phases d'utilisation ou de repos du circuit. Ces gradients de températures temporels créent des stress mécaniques au niveau de la métallisation des lignes, ce qui engendrent fêlures au niveau de ces lignes ou bien encore au niveau des couches de passivation [62–69]. Ces stress résultent de la différence entre les valeurs des coefficients de dilations des lignes de métallisation, des couches de passivation ou encore des résines d'encapsulation. Dans [62, 63], l'influence de ces cycles thermiques sur des transistors DMOS est étudiée et montrent les fêlures qui apparaissent à la suite de ces cycles. Les références [64–66] présentent une étude complète des défauts survenant dans les composants d'électronique de puissance et proposent des solutions permettant de les réduire au maximum. Dans cette étude, l'influence des gradients de températures temporels et spatiaux est mise en avant comme cause de défauts de ces composants. Les références [67–69] montrent que, pour remédier à ces stress, le concepteur intègre un scénario de pires cas pour que les circuits puissent encaisser ces contraintes mécaniques. Il en résulte généralement un circuit ayant des dimensions plus grandes que prévues, ce qui génère un surcoût du circuit. De plus,

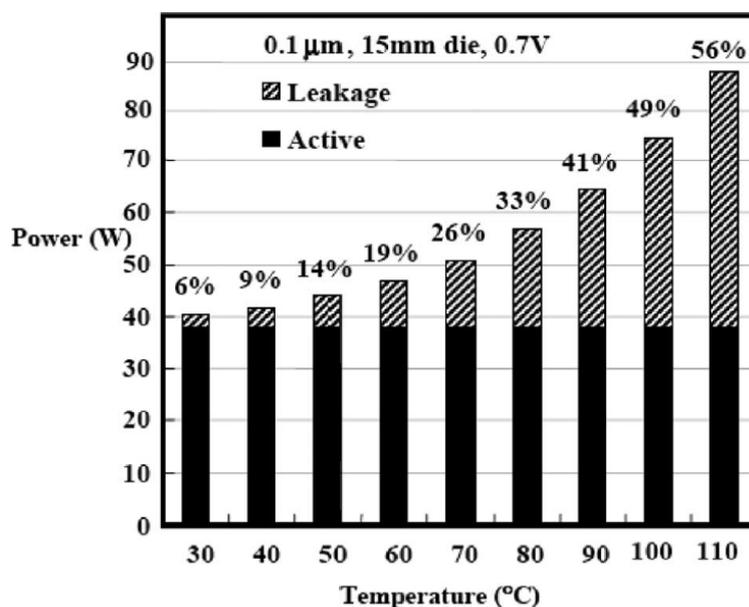


FIGURE 2.12 – Consommation électrique d’une puce en fonction de la température [48].

dans ce cas, la durée de vie des différents blocs fonctionnels du circuit peut varier. Or, si un bloc est défectueux l’ensemble de la puce le devient également. Il est donc judicieux qu’au cours de la conception, la durée de vie des différents blocs soient la même. Ainsi, la solution proposée consiste à tirer parti de simulations électrothermiques pour déterminer l’amplitude des gradients thermiques spatiaux et temporels. Puis, d’adapter localement la conception du circuit de sorte que la durée de vie de l’ensemble des blocs fonctionnels soit la même.

Les gradients de températures spatiaux présents sur la puce de silicium génèrent des contraintes mécaniques qui fatiguent le système [48, 69]. Les circuits 3D y sont encore plus sensibles en raison de la différence entre les coefficients de dilatation thermique des matériaux utilisés pour la fabrication des TSV (cuivre, tungstène) et du silicium. Ainsi, les TSV génèrent des contraintes mécaniques dans leur voisinage, ce qui dégrade les performances de certains composants et peut engendrer des fissures dans les TSV [70]. Les délais des lignes d’interconnexions de trouvent également affectés par la température [71]. Des disparités de température sur ces lignes créent alors une variation de la vitesse de propagation du signal, ce qui peut perturber le système, voir mener à sa défaillance [48]. L’augmentation des courants de fuite due à l’élévation de la température (figure 2.12 [48]) est spécialement dommageable puisqu’elle conduit à accroître plus que nécessaire la consommation du circuit. La surconsommation contribue également à élever d’avantage la température. La baisse des marges de bruit et le désappariement des courants et tensions de polarisation sont respectivement dus à l’augmentation du bruit thermique et aux gradients de températures présents sur le circuit de polarisation.

Fort heureusement, plusieurs techniques existent pour limiter l’élévation de température et l’apparition de gradients thermiques. La solution la moins onéreuse est l’optimisation du

placement des différents blocs fonctionnels sur la puce du circuit intégré pour homogénéiser le profil de température [72–77]. Une autre solution pour gérer la température à moindre coût consiste à tirer parti de la forte conductivité thermique des TSV et de s’en servir pour créer des ponts thermiques entre les points chauds et les zones d’évacuation de la chaleur [78–81]. Améliorer les propriétés de dissipation thermique du boîtier suivant les méthodes détaillées dans [49, 82] est également une solution envisageable. Enfin, injecter un fluide dans un réseau de microcanaux pour refroidir activement le système [72, 73, 76, 83] est une autre méthode viable, mais au coût élevé.

2.4 Conclusion

Les technologies 3D offrent au monde de la microélectronique la perspective d’aller au-delà de la loi de Moore dans la diversification des fonctions des circuits intégrés. Cette technologie a atteint un niveau de maturité suffisant pour que certains circuits intégrés 3D - mémoire DRAM, imageur CMOS, FPGA - entre en phase de commercialisation. L’utilisation plus poussée de ces technologies se heurte cependant aux problèmes thermiques dus au niveau d’intégration extrême. L’utilisation de TSV ou de microcanaux pour effectuer le refroidissement sont des solutions pertinentes, mais présentent un investissement important.

Au vu de l’importance des effets thermiques et du coût de ces systèmes, il est essentiel d’être en mesure de certifier le fonctionnement électrothermique des systèmes intégrés en technologie 3D tout au long de la phase de conception.

L’objectif des travaux de cette thèse est de proposer un outil évolutif qui permet au concepteur de simuler électrothermiquement ces circuits 3D. L’outil qui est présenté par la suite est conçu pour permettre de simuler en priorité les systèmes 3D par empilement de puces car ces technologies sont plus matures que les technologies 3D monolithiques. Cependant, l’outil est conçu pour être ultérieurement adaptable aux technologies monolithiques.

L’étude des différentes technologies 3D que nous venons de voir a permis de cibler précisément le domaine d’application du simulateur. Cet outil doit également s’inscrire dans la phase de développement standard des circuits intégrés, pour cela il nous faut connaître l’approche standard. Cette méthodologie de conception est l’objet du chapitre suivant.

Chapitre 3

Conception de circuits intégrés

Avant de détailler le cycle de conception des systèmes intégrés, nous aborderons d'abord *l'abstraction* qui est un des fondements de la modélisation et de la conception. Puis, nous présenterons les méthodologies de modélisation haut-niveau descendantes et ascendantes. Enfin, nous placerons l'utilisation de l'outil que nous avons développé dans le flot de conception du circuit intégré.

3.1 Niveau d'abstraction

Le but de *l'abstraction* est de réduire la complexité d'un système en identifiant ses caractéristiques principales. Pour cela, nous faisons abstraction des informations secondaires selon le niveau hiérarchique de la conception auquel nous nous trouvons. En agissant ainsi, nous modélisons le comportement du système avec un jeu d'équations réduit. Pour un système électronique complexe (i.e. processeur, etc.), nous proposons une hiérarchisation en six niveaux (de -1 à 4).

Au niveau -1, le plus bas, le circuit est représenté par le dessin des masques. Ce dessin représente les différentes couches physiques du circuit (polysilicium, métal, etc.).

Au niveau 0 ou transistor, le circuit est représenté par son schéma électrique réalisé à partir d'éléments unitaires. Ces éléments unitaires sont les transistors, les résistances, les capacités, etc. et sont représentés par un symbole propre dans le schéma. Ce circuit comporte les informations sur les connexions entre les différents éléments unitaires, mais aussi leurs propriétés physiques (taille, type, paramètres, etc.).

Le niveau 1 correspond à l'association d'éléments réalisant des fonctions basiques tels que le miroir de courant ou une paire différentielle pour la partie analogique ou des portes logiques (Non, Et, Nand, etc.) pour les systèmes numériques.

Le niveau 2 correspond à un circuit dont la fonction est obtenue en associant plusieurs éléments de niveau 1. Ce niveau contient par exemple l'amplificateur opérationnel en analogique et l'ensemble des opérateurs arithmétiques ou encore les multiplexeurs en numérique.

Le niveau 3 correspond à une association complexe d'éléments dont le circuit est modélisable par une succession d'algorithmes.

Enfin, le niveau 4 correspond au niveau système. A ce niveau, le circuit est décrit comme un ensemble de processus concurrents, ce qui permet de vérifier les fonctionnalités et les relations entre ses constituants.

Dans le cas général, en raison du trop grand nombre de transistors et de la complexité des modèles physiques qui leur sont associés (BSIM, PSP, EKV, etc.), il n'est pas possible ou extrêmement long de valider le comportement électrique complet avec des modèles de niveau 0. Or, nous avons vu qu'un système peut être modélisé par un jeu réduit d'équations à chaque niveau d'abstraction. Cette modélisation se fait avec des langages de description matériel tels que VHDL et Verilog pour les systèmes numériques ou VHDL-AMS et Verilog-AMS pour les systèmes mixtes. Ainsi, il est possible de valider en simulation, à chaque niveau, le fonctionnement des sous-éléments. Nous faisons ensuite l'hypothèse que si le fonctionnement est conforme aux attentes à chaque niveau hiérarchique, alors le circuit intégré complet est conforme au cahier des charges.

3.2 Modélisation descendante dite *top-down*

La modélisation haut-niveau descendante consiste à partir des spécifications d'un système au niveau i pour en décrire le fonctionnement à partir d'éléments au niveau $i-1$. Cette approche fixe le point d'arrivée et descend les étapes qui permettent d'atteindre l'objectif.

En faisant le parallèle simple avec le monde de l'automobile, nous partons de ce nous voulons réaliser, par exemple une voiture de sport, puis nous définissons les sous-éléments (châssis, moteur, roues, pneus, etc.) à associer ainsi que leurs relations. Cette étape est ensuite réitérée pour chaque sous-ensemble jusqu'à arriver à la matière première. Ainsi, lors de la première étape, les caractéristiques du moteur sont définies : volume, puissance, etc. Ensuite, c'est au concepteur de trouver une solution pour que le moteur possède ces propriétés. Si chaque sous-élément est conforme au modèle de niveau supérieur, alors en sortie nous aurons bien notre voiture de sport.

Nous voyons donc que cette approche permet de définir l'ensemble des processus nécessaires à la réalisation d'un projet global, ce qui permet d'en évaluer notamment son coût et sa complexité.

3.3 Modélisation ascendante dite *bottom-up*

La modélisation haut-niveau ascendante consiste à assembler des éléments de niveau $i-1$ qui permettent de réaliser la fonction souhaitée pour créer un système de niveau i . Ici, les spécifications du système au niveau i dépendent de la conception au niveau $i-1$. Cette approche commence du point de départ, puis regarde où cela mène. En reprenant notre exemple de voiture, ici nous assemblons les divers éléments nécessaires pour fabriquer une voiture (châssis, moteur, roues, etc.), puis nous modélisons cette voiture à partir de ce qui

est concrètement assemblé et non ce que nous devons assembler comme auparavant.

Nous voyons que cette approche est complémentaire de l'approche top-down. En effet, la phase top-down est une étude prospective, alors que la phase bottom-up modélise le comportement du système réalisé ce qui en fait une phase utile pour la vérification.

3.4 Cycle de conception en V

Plusieurs approches différentes peuvent être utilisées pour la conception de circuits intégrés, notamment les cycles de conception en cascade [84], en Y [85] et en V [86]. Cependant, la conception de circuits intégrés suivant le cycle en V (figure 3.1 [87]) est la démarche la plus souvent utilisée [86]. Cette approche scinde la conception du circuit intégré en une phase d'implémentation (branche de gauche) et une phase de vérification (branche de droite). Cette structure en V dresse rapidement les sous-ensembles du système et offre la possibilité de vérifier à chaque niveau que les spécifications attendues sont conformes.

Dans la branche d'implémentation, nous retrouvons quatre étapes majeures :

1. Lors de la phase de spécifications, le cahier des charges du circuit intégré est mis en place. Les contraintes sur son coût, ses performances (i.e. fréquence d'horloge, taille des caches de mémoires, consommation, etc.), ses dimensions physiques approximatives sont définies.
2. Ensuite vient la phase de la conception préliminaire. Dans cette phase, le circuit intégré est partitionné en ses sous-éléments fonctionnels de niveau hiérarchique inférieur pour définir l'architecture du système. Une fois l'architecture définie, un cahier des charges est établi pour chacun des blocs, puis cette procédure est réitérée pour chacun des sous-blocs fonctionnels jusqu'à atteindre des blocs de niveau 0. Lors de cette

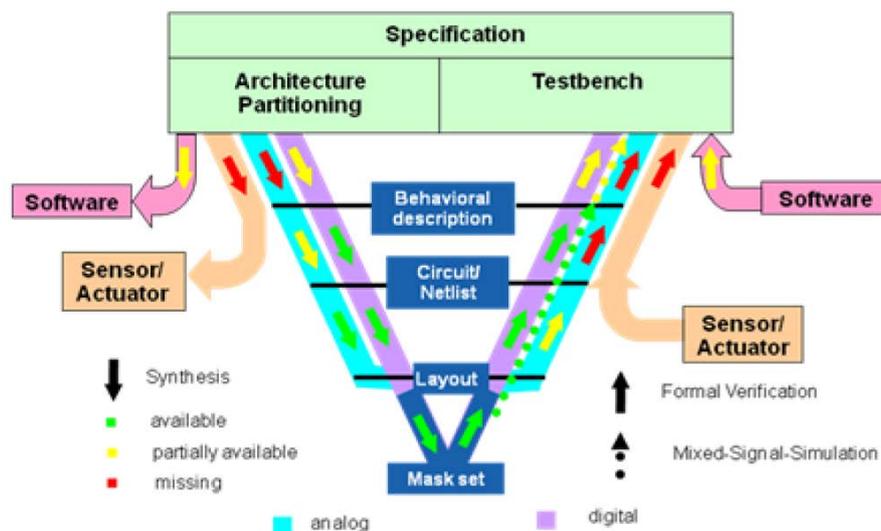


FIGURE 3.1 – Méthodologie de conception selon le cycle en V [87].

étape, la technologie dans laquelle le circuit intégré va être développé est également sélectionnée.

3. La phase suivante consiste à concevoir les circuits électriques et le dessin des masques de chacun des éléments fonctionnels préalablement définis.
4. Enfin, l'ensemble des masques des éléments sont assemblés pour générer le dessin physique du circuit intégré.

Ainsi, dans la branche d'implémentation, des modèles haut-niveau des blocs fonctionnels sont développés suivant l'approche descendante jusqu'à atteindre le niveau physique du dessin des masques. Dans la branche de vérification, des modèles de haut-niveau de ces blocs doivent être développés suivant l'approche ascendante afin de prendre en compte les éventuelles divergences comportementales entre les blocs définis et les blocs réalisés. En raison des fortes contraintes généralement imposées par le cahier des charges, l'inconvénient de cette méthodologie est qu'une fois l'étape 2 passée, il est parfois nécessaire de revenir au point de départ de cette étape s'il n'est pas possible de concevoir un des éléments répondant aux contraintes définies. C'est pourquoi l'étape 2 doit faire l'objet de la plus grande attention lors de la phase de conception.

3.5 Place du simulateur dans le flot de conception

Dans les circuits intégrés et plus particulièrement dans les circuits intégrés 3D, nous avons vu au chapitre 2.3 que, selon le placement des blocs fonctionnels, le profil de température sera différent. Or, nous avons vu, toujours au chapitre 2.3, que selon ce profil, le système peut devenir défectueux. Ainsi, dans la phase 2 du cycle de conception en V, il faut tester un grand nombre d'architectures différentes et tester toutes les configurations spatiales possibles parmi les architectures retenues. Finalement, celle qui répond le mieux au cahier des charges est sélectionnée. A ce niveau, un outil est nécessaire pour simuler des milliers de configurations différentes en très peu de temps.

Les membres de l'Institut des Nanotechnologies de Lyon à l'origine du projet 3D-IDEAS ont développé la plateforme Rune (fRamework for the aUtomation of aNalog dEsign). Cette plateforme sert à l'étude architecturale prospective pour la conception de systèmes hétérogènes, aussi bien planaires que 3D. Cette étude prend en compte le placement des divers blocs fonctionnels pour trouver un compromis entre l'optimisation du profil thermique, l'optimisation de la surface occupée, l'optimisation du coût pour un système dont les performances sont définies dans le cahier des charges [77]. Lors de l'étude prospective, l'optimisation thermique du placement des blocs fonctionnels nécessite de tester des milliers de configurations en un minimum de temps. L'optimisation du placement se fait donc uniquement thermiquement et non-électrothermiquement, et à partir d'un modèle thermique approché obtenu à partir du logiciel académique HotSpots [88]. C'est-à-dire qu'il n'y a pas d'asservissement de la consommation électrique des blocs et de la température : la consommation d'un bloc est prédéfinie et ne varie pas en fonction de la température. Pour chaque configuration de placement, une carte de température est extraite. A partir

de celle-ci, le comportement électrique du système est évalué. L'influence éventuelle de la variation de la consommation électrique des blocs n'est pas prise en compte pour actualiser la carte thermique [89].

Cette méthode d'optimisation de placement en fonction de la température n'est pas propre à la plateforme Rune. L'ensemble des approches utilisées lors de la phase de prospection (3D-STAF [76], MEVA-3D [90], Spyglass[®] [91]) base l'optimisation du placement uniquement à partir d'une simple analyse thermique. Ceci est un choix délibéré car l'exécution d'une analyse électrothermique alourdirait considérablement le temps de l'étude.

Cependant, la conception en V nécessite une attention particulière avant de déterminer une architecture. En effet, si une architecture retenue ne peut être réalisée par la suite, une partie, voire la totalité de la chaîne de développement, peut être remise en question. C'est pourquoi le comportement électrothermique du système doit être analysé avant de certifier que le cahier des charges est bien respecté pour, ensuite, valider définitivement le choix de l'architecture retenue. A l'issue de cette phase de prospection, il convient donc d'analyser avec minutie le comportement électrothermique de l'architecture retenue. Pour cela, un simulateur électrothermique qui permet d'évaluer précisément les performances électriques du bloc (offset, gain d'un amplificateur, gain d'une chaîne instrumentale, etc.) en cours d'étude est nécessaire. Notre outil doit remplir ce rôle. En outre, notre outil doit permettre au concepteur de valider le comportement d'un bloc par rapport à son cahier des charges et ce quelque soit le niveau hiérarchique d'abstraction auquel il se trouve.

3.6 Conclusion

En conception, l'abstraction est la décomposition en niveaux hiérarchiques d'un système. Au niveau 0, le système est décrit de manière détaillée à partir de son schéma électrique et des équations des modèles associés aux transistors. Au niveau le plus haut, le système est décrit par son fonctionnement à partir d'algorithmes.

Cette décomposition en niveaux d'abstraction permet de modéliser un circuit selon l'approche descendante ou selon l'approche ascendante. Dans le premier cas, le système est modélisé du global vers le détail : nous modélisons ce que le système doit satisfaire. Tandis que dans le second cas, le développement se fait du détail pour remonter au global : nous modélisons ce que le système satisfait réellement.

Le cycle en V est parmi les approches de conception les plus répandues. Celui-ci couple les deux approches de modélisation. L'approche descendante réalise la phase d'implémentation (branche gauche du V), alors que l'approche ascendante réalise la phase de vérification (branche droite du V).

La phase d'implémentation définit d'abord le cahier des charges du système. Ensuite, le système est décomposé en blocs fonctionnels auxquels un cahier des charges satisfaisant celui du système est attribué. Lors de cette phase, une étude prospective sur l'optimisation du placement des blocs est faite selon des contraintes de coûts, de surface, thermiques, etc. L'étude du placement des blocs se fait sur la base d'une simple étude thermique pour vérifier les performances électriques du système.

Cependant, en présence d'un fort couplage électrothermique, les résultats obtenus lors de cette étude sont susceptibles d'être erronés et le cahier des charges non respecté. Ainsi, dans la phase de vérification du cycle en V, il est nécessaire d'analyser de manière précise, avec un outil adapté, le comportement électrothermique réel de l'architecture retenue à l'issue de la phase d'implémentation. Notre simulateur doit être cet outil. De plus, lors de la conception, chaque bloc peut devenir un système à partitionner. En conséquence, notre simulateur doit également pouvoir intégrer des modèles de blocs à chaque niveau hiérarchique et donc être compatible avec la modélisation haut-niveau.

Le développement d'un simulateur électrothermique précis demande de bien connaître les mécanismes électrothermiques ainsi que les modes de transfert de chaleur mis en jeu dans les circuits intégrés. Le chapitre suivant adresse cette question.

Chapitre 4

Effets électrothermiques et transfert de chaleur

Pour développer un simulateur électrothermique adapté aux besoins d'un concepteur de circuits intégrés, il est fondamental de bien comprendre les phénomènes électrothermiques qui sont présents dans les circuits intégrés, ainsi que les différents modes de transfert de la chaleur.

Dans ce chapitre, nous présenterons en premier lieu les effets électrothermiques qui influent sur les éléments intégrés dans un circuit. Ces effets sont les effets Joule, Thomson, Seebeck, Peltier, thermorésistif et pyroélectrique. Ensuite, nous verrons par quels mécanismes la chaleur se propage à l'intérieur des circuits intégrés. Enfin, nous justifierons le choix des phénomènes et modes de transfert de chaleur à intégrer au simulateur.

4.1 Effets électrothermiques

4.1.1 Effet Joule

Lors du passage d'un courant électrique dans un matériau, l'effet Joule correspond à la dissipation de la puissance électrique due aux collisions entre les porteurs de charges et les atomes constitutifs du matériau. Cet effet est lié à la résistivité électrique du milieu dans lequel le courant électrique se déplace. La quantité de chaleur ainsi générée s'exprime par la relation 4.1 (figure 4.1) :

$$Q = j^2 \cdot \rho \quad (4.1)$$

où

- Q est la quantité de chaleur générée par unité de volume (densité de chaleur) et s'exprime en $[W \cdot m^{-3}]$.
- j est la densité de courant exprimée en $[A \cdot m^{-2}]$.
- ρ est la résistivité électrique en $[\Omega \cdot m]$.

Dans les circuits intégrés, la génération de chaleur provient essentiellement de l'effet Joule.

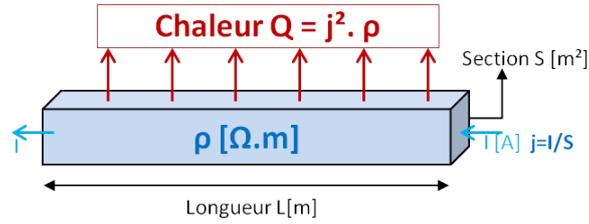


FIGURE 4.1 – Effet Joule dans un barreau conducteur.

4.1.2 Effet Seebeck

Lorsqu'un barreau conducteur est soumis à un gradient de températures alors apparaît une force électromotrice \vec{E}_s à ses bornes (figure 4.2). Cette force s'exprime en régime stationnaire par la relation 4.2 :

$$E_s = \int_{T_1}^{T_2} (\varepsilon) \cdot dT \quad (4.2)$$

où ε , souvent appelé coefficient Seebeck, est le pouvoir électrothermique du matériau exprimé en $[V \cdot K^{-1}]$. En valeur absolue, ce coefficient est de l'ordre de $10 \mu V \cdot K^{-1}$ pour les métaux et de l'ordre de $1 mV \cdot K^{-1}$ pour les semi-conducteurs [92].

Si nous considérons les porteurs de charge dans un métal comme un gaz d'électrons libres, alors l'application d'un gradient de températures sur ce métal va engendrer une différence d'énergie moyenne entre les électrons du côté chaud et ceux du côté froid. Ainsi, les électrons ayant une plus haute énergie, ceux du côté chaud, vont se diffuser vers les électrons ayant une plus faible énergie, ceux du côté froid. Cette diffusion d'électrons entraîne une accumulation d'électrons du côté froid et un déficit du côté chaud, et un champ électrique en résulte. Ce champ électrique éjecte des électrons du côté froid vers le côté chaud. Lorsque le transfert d'électrons chaud-froid dû au gradient de températures est compensé par le transfert d'électrons froid-chaud dû au champ électrique, alors le système entre en régime stationnaire, décrit par la relation 4.2. Dans ce cas, le coefficient Seebeck est négatif parce que le champ électrique et le gradient de températures sont opposés. En considérant un gaz de trous, le gradient de températures et le champ électrique sont orientés dans le même sens et le coefficient Seebeck est positif. En pratique, la valeur du coefficient Seebeck ne dépend pas uniquement de la diffusion des électrons ou des trous, mais dépend également du *phonon drag* [93,94]. Ce dernier phénomène traduit l'interaction des phonons avec

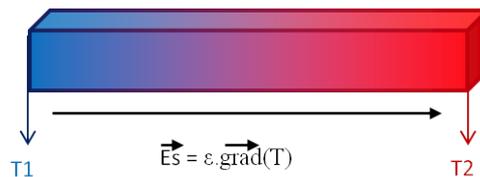


FIGURE 4.2 – Effet Seebeck dans un barreau conducteur.

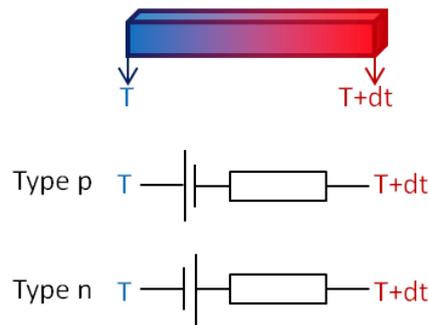


FIGURE 4.3 – Modélisation de l'effet Seebeck dans les semi-conducteurs de type n et p.

les électrons et les centres de diffusion du réseau cristallin, et provient de l'entraînement des électrons par le flux de phonons.

Un barreau de matériau soumis à un gradient de températures est modélisable par une source de tension dont la polarité dépend du signe du coefficient Seebeck, montée en série avec une résistance. La figure 4.3 illustre la modélisation de cet effet pour des semi-conducteurs de type p et n [95].

Les valeurs des coefficients Seebeck pour des matériaux communs sont présentées dans le tableau 4.1 [96]. Cet effet est utilisé pour la conception de thermomètres à thermocouples [92] et de micro-sources de tension intégrées [97].

4.1.3 Effet Peltier

L'effet Peltier décrit le phénomène d'absorption ou de génération de chaleur à la jonction entre deux matériaux conducteurs ou semi-conducteurs qui apparaît lors du passage d'un courant électrique à travers celle-ci en l'absence de gradient thermique.

Cet effet est dû à la différence d'énergie qu'ont les porteurs dans chacun des matériaux. Au passage de la jonction, le porteur doit acquérir ou perdre de l'énergie. S'il doit en acquérir, il va la puiser en refroidissant la jonction. Inversement, s'il doit en perdre, il va la libérer sous forme de chaleur. Ainsi, selon le sens de passage du courant, la jonction va être refroidie ou réchauffée (figure 4.4). La puissance thermique Peltier $\mathcal{P}_{\text{Peltier}}$ reçue par

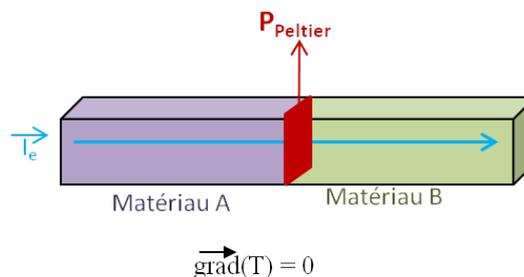


FIGURE 4.4 – Illustration de l'effet Peltier.

Matériau	Coefficient Seebeck [μV].[K^{-1}]
Aluminium	3.5
Antimoine	47
Argent	6.5
Bismuth	-72
Cadmium	7.5
Carbone	3.0
Cuivre	6.5
Fer	19
Germanium	300
Gold	6.5
Mercury	0.60
Nickel	-15
Platine	0
Potassium	-9.0
Selenium	900
Silicium	440
Tungsten	7.5

TABLE 4.1 – Valeurs des coefficients Seebeck pour des matériaux à 0°C.

la jonction de deux matériaux A et B est décrite par la relation 4.3 :

$$\mathcal{P}_{Peltier} = \Pi_{AB} \cdot I_e \quad (4.3)$$

où :

- Π_{AB} est le coefficient Peltier en [V] et vaut $T \cdot (\varepsilon_A - \varepsilon_B)$.
- ε_A et ε_B sont les coefficients Seebeck en [$V \cdot K^{-1}$] respectifs des matériaux A et B.
- I_e est le courant traversant la jonction en [A].

Ainsi, suivant le signe de Π_{AB} , la jonction génère ou absorbe de l'énergie par chaleur. Si $\varepsilon_A > \varepsilon_B$ alors $\Pi_{AB} > 0$ et le passage d'un courant électrique de A vers B va chauffer la jonction. En revanche, si $\varepsilon_A < \varepsilon_B$ alors $\Pi_{AB} < 0$ et le passage d'un courant électrique de A vers B va refroidir la jonction.

Cet effet s'accompagne de l'effet Joule et peut être utilisé pour refroidir localement un circuit intégré [98–100]. Dans [100], cet effet est utilisé pour gérer la température sur une matrice de pixels, ce qui, pour les imageurs CMOS, représente par exemple une solution pour uniformiser le bruit thermique.

4.1.4 Effet Thomson

L'effet Thomson correspond à l'échange de chaleur qui se produit lorsqu'un barreau est soumis à un gradient de températures et est traversé par un courant électrique (figure 4.5).

La quantité de chaleur qui est alors émise obéit à la relation 4.4 :

$$Q_\tau = -\tau \cdot \vec{I}_e \cdot \vec{\nabla} T \quad (4.4)$$

où τ est le coefficient Thomson en $[V.K^{-1}]$.

Les coefficients Thomson, Peltier et Seebeck sont liés par la relation 4.5 :

$$\begin{cases} \Pi = \epsilon \cdot T \\ \tau = T \cdot \frac{d\epsilon}{dT} \end{cases} \quad (4.5)$$

Cet effet est similaire à l'effet Peltier. Cependant, dans ce cas nous considérons qu'une différence de températures est appliquée sur le barreau. Or, le coefficient Peltier varie en fonction de la température. Ainsi, en présence d'un fort gradient de températures, si nous subdivisons artificiellement le barreau en tranches élémentaires dont la température au sein de chaque tranche peut être considérée comme constante et dont le coefficient Peltier varie (figure 4.6), alors la configuration thermique locale est équivalente à une jonction de deux matériaux traversée par un courant électrique, et l'effet Thomson est assimilable à un effet Peltier localisé.

Pour que l'effet Thomson soit significatif devant l'effet Joule, le barreau doit être soumis à une différence de températures élevée, de l'ordre de la centaine de degrés, et parcouru par un courant électrique de forte intensité [95]. Ce cas de figure est mis en œuvre pour la conception de générateurs thermoélectriques.

4.1.5 Effet thermorésistif

La variation de la résistivité électrique d'un matériau en fonction de sa température est appelée effet thermorésistif. Pour les métaux, la résistivité électrique peut s'exprimer sous la forme d'un polynôme de la forme 4.6 :

$$\rho(T) = \sum_{i=0}^{i=n} (\alpha_i \cdot T^i) \quad (4.6)$$

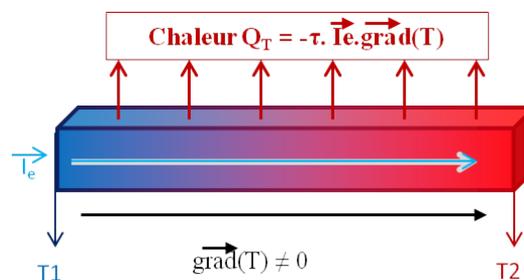


FIGURE 4.5 – Illustration de l'effet Thomson.

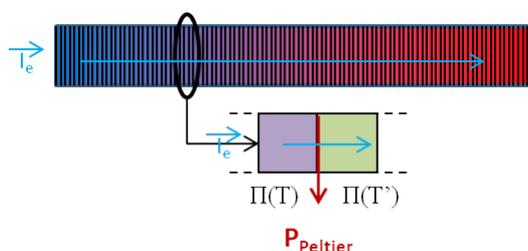


FIGURE 4.6 – Représentation de l'effet Thomson par effet Peltier localisé.

où les termes α_i sont les coefficients de température du matériau exprimés en $[T^{-i}]$. Il est à noter que le terme α_0 correspond à la résistivité du matériau à 0 K.

Les matériaux utilisés pour la transmission du signal dans les circuits intégrés voient leur résistivité électrique augmenter avec la température [101]. Sur la figure 4.7 est présentée la variation de la résistivité pour l'aluminium et le cuivre.

La résistivité électrique des semi-conducteurs, quant à elle, suit une loi exponentielle de la forme de l'équation 4.7 :

$$\rho(T) = \alpha_0 \cdot \exp\left(\frac{\beta}{k \cdot T}\right) \quad (4.7)$$

où :

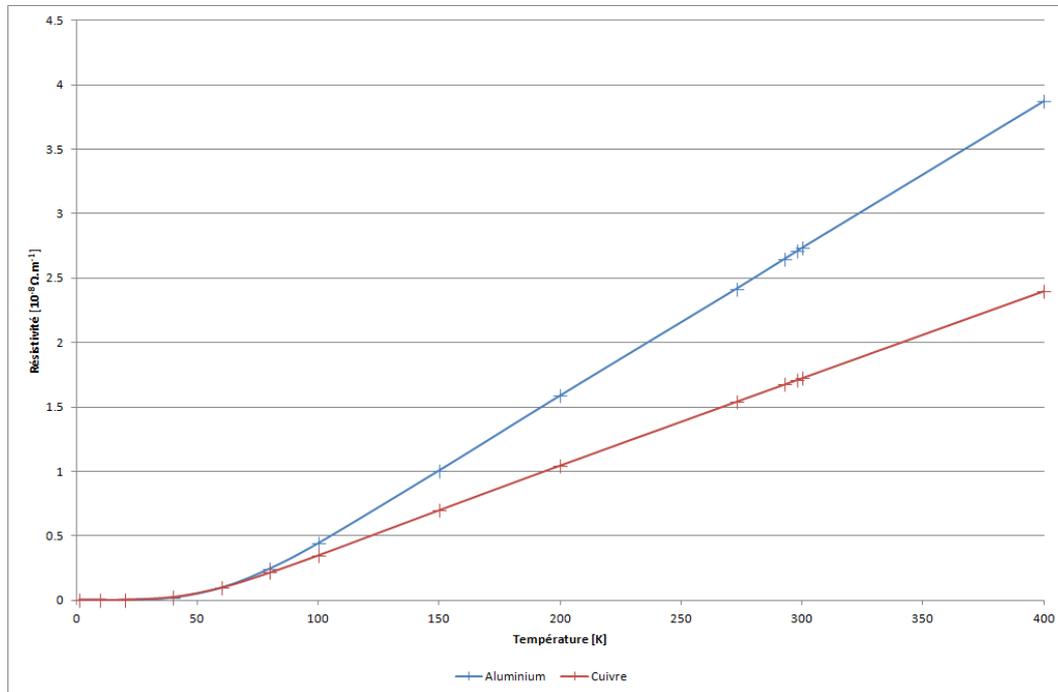


FIGURE 4.7 – Résistivités électrique du cuivre et de l'aluminium en fonction de la température.

Origine électrothermique	Origine thermoélectrique
Effet Joule	Effet thermorésistif
Effet Peltier	Effet Seebeck
Effet Thomson	Effet pyroélectrique

TABLE 4.2 – Classification des effets électrothermiques selon leur origine.

- k est la constante de Boltzmann.
- T est la température en [K].
- β est un facteur de correction.

Cet effet est utilisé dans la conception de certains capteurs thermiques [102, 103] et dans les sondes à coefficient de température positif (CTP) ou négatif (CTN).

4.1.6 Effet pyroélectrique

Lorsque certains cristaux, notamment la tourmaline, sont soumis à une variation de température, il s'en suit une tension électrique temporaire. Cet effet est connu sous le nom d'effet pyroélectrique. Il est lié au changement de la polarisation électrique en raison de la modification de la structure cristalline induite par le changement de température. Cet effet est notamment utilisé pour la conception de capteurs infrarouge [104], de luminosité [105] ou encore de température [106].

4.1.7 Remarques

Dans cette section, nous avons abordé l'ensemble des phénomènes électrothermiques et thermoélectriques qui peuvent apparaître dans les circuits intégrés. Les effets électrothermiques, c'est-à-dire les effets qui génèrent de la chaleur en présence d'un courant électrique, regroupent l'effet Joule et les effets Peltier et Thomson. D'autre part, les effets thermoélectriques sont les effets dont une modification de la température génère une tension électrique ou modifie les propriétés électriques, et regroupent les effets thermorésistif, Seebeck et pyroélectrique (table 4.2).

Parmi ces effets, l'effet Joule est le mécanisme principal de génération de chaleur au sein des circuits intégrés. Ainsi, à moins d'être mis en œuvre volontairement pour des applications spécifiques, les autres effets peuvent donc être négligés. Cependant, il est intéressant de noter que sur les courbes de résistivité électrique de l'aluminium et du cuivre (figure 4.7), celle-ci augmente de près de 50% sur la plage de température 250K-400K. Ainsi, plus la température du circuit est élevée plus la production de chaleur dans les interconnexions augmente. Ceci conduit en retour à une augmentation de la résistivité électrique du réseau d'interconnexions et donc à une surconsommation du système.

4.2 Transfert de chaleur

Le transfert d'énergie thermique au sein d'un système intégré s'effectue selon trois mécanismes :

- la conduction.
- la convection.
- le rayonnement.

4.2.1 Conduction thermique

Le transfert d'énergie par conduction ou diffusion thermique est un mécanisme de transfert de chaleur entre deux systèmes en contact dont les températures sont différentes. Ce transfert d'énergie s'opère sans déplacement de matière du système chaud vers le système froid. L'origine de ce phénomène provient de la transmission de l'énergie cinétique, due à l'agitation thermique, entre les électrons des atomes voisins (figure 4.8). La loi de Fourier (équation 4.8) décrit ce mécanisme :

$$\phi = -\lambda \nabla T \quad (4.8)$$

où :

- ϕ est la densité du flux de chaleur exprimée en $[W \cdot m^{-2}]$.
- λ est la conductivité thermique du milieu exprimée en $[W \cdot m^{-1} \cdot K^{-1}]$.
- ∇T est le gradient de températures exprimée en $[K \cdot m^{-1}]$.

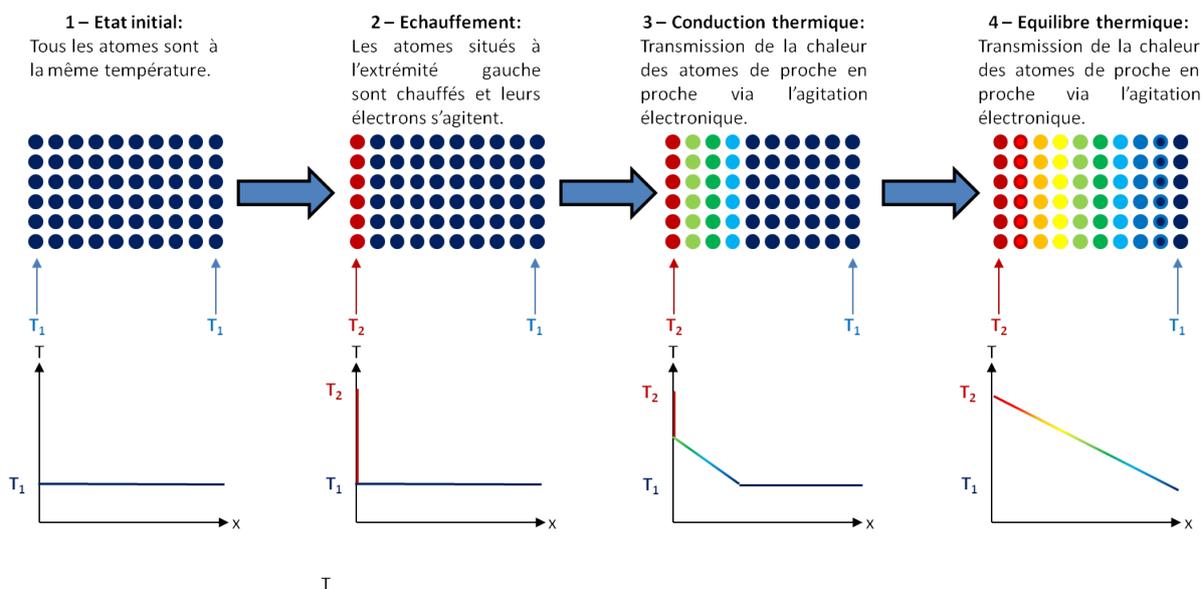


FIGURE 4.8 – Schéma de principe du transfert d'énergie par conduction de chaleur.

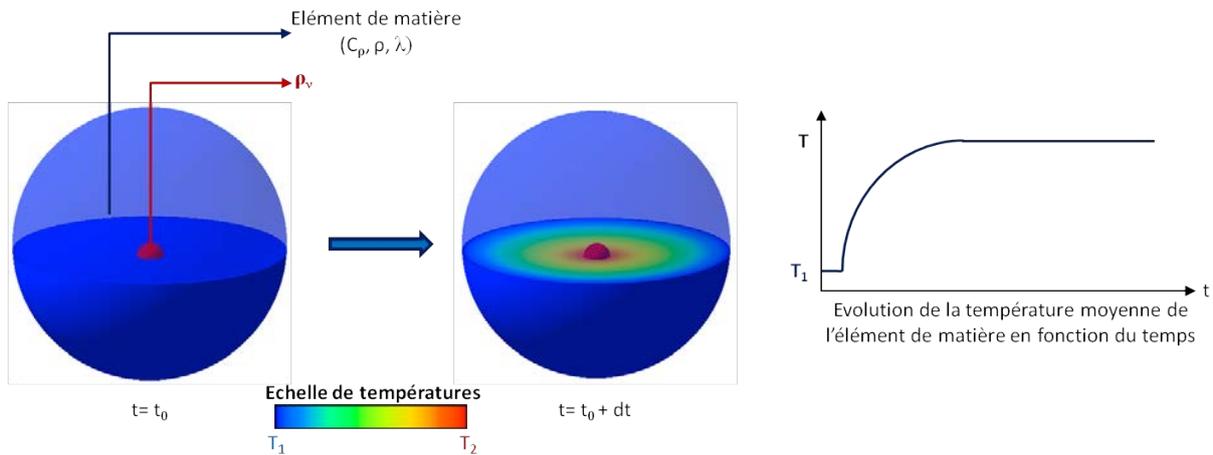


FIGURE 4.9 – Représentation de la conduction de chaleur isotropique dans un élément de matière sphérique.

A partir de l'équation 4.8 et du bilan d'énergie interne sans travail, il est possible d'établir l'équation 4.9 de la conduction (figure 4.9) :

$$\frac{\partial T}{\partial t} = \frac{\nabla(\lambda \nabla T)}{\rho \cdot C_\rho} + \frac{\rho_\nu}{\rho \cdot C_\rho} \quad (4.9)$$

où :

- ρ_ν est la densité d'énergie dissipée sous forme de chaleur et exprimée en $[\text{W} \cdot \text{m}^{-3}]$.
- ρ est la masse volumique du matériau exprimée en $[\text{kg} \cdot \text{m}^{-3}]$.
- C_ρ est la capacité spécifique massique du matériau exprimée en $[\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}]$.
- t est le temps exprimé en $[\text{s}]$.

L'équation 4.8 possède la même forme que la relation de Poisson qui lie la densité de charge au potentiel électrique. Ainsi, il existe une analogie entre les grandeurs électriques et les grandeurs thermiques. Celle-ci est présentée dans le tableau 4.3.

4.2.2 Convection thermique

Le transfert d'énergie par convection est un transfert d'énergie par déplacement de matière dans les fluides ou les gaz. Dans un système gazeux ou liquide, lorsqu'une variation locale de température se produit, le volume du système se contracte ou se dilate, ce qui génère des courants de convection à l'intérieur de ce système. Sur la figure 4.10, nous représentons ce phénomène. Un fluide est placé dans un contenant clos, la surface supérieure du contenant est en permanence maintenue à une température T_1 , alors que sa surface inférieure est maintenue à une température T_2 , supérieure à T_1 . Les autres faces sont supposées adiabatiques. En rouge sont représentées les molécules chaudes et en bleu sont représentées les molécules froides.

Les molécules à proximité de la face chaude voient leur température s'élever. Cette élévation de température entraîne leur dilatation. La densité de ces molécules diminue, donc la

Grandeurs thermiques	Grandeurs électriques
Température $T[K]$	Tension $U[V]$
Chaleur $Q[J]$	Charge $Q[C]$
Flux de chaleur $q[W]$	Courant $i[A]$
Résistance thermique $R_{th}[K.W^{-1}]$	Résistance électrique $R_{elec}[V.A^{-1}]$
Capacité thermique $C_{th}[J.K^{-1}]$	Capacité électrique $C_{elec}[C.V^{-1}]$
Equation	
$T = q \cdot R_{th}$	$U = R \cdot i$

TABLE 4.3 – Analogie entre les grandeurs thermiques et électriques.

force due à la poussée d'Archimède à laquelle elles sont soumises augmente. Sous l'action de cette force, ces molécules se déplacent selon le mouvement brownien vers la surface froide du contenant, alors que les molécules froides se déplacent vers la surface chaude. Ce déplacement crée un flux de convection. En contact avec la surface froide, les molécules chaudes voient leur température diminuer et se contractent, tandis que les molécules froides en contact avec la surface chaude voient leur température augmenter. Ceci entraîne un nouveau déplacement des molécules et le flux de convection est entretenu. Le gradient de températures moyen est représenté sur la figure 4.10 et est linéaire. Cependant, ce transfert de chaleur est dû à un déplacement de matière. De ce fait, localement, le gradient de températures peut ne pas être parfaitement linéaire. Ceci est schématisé sur la figure 4.10 par la présence de molécules chaudes à proximité de la surface froide et par la présence de molécules froides à proximité de la surface chaude.

Dans notre exemple, les molécules du liquide interagissent en permanence avec les molécules dans leur voisinage, donc le phénomène de conduction thermique apparaît également.

La convection est soit naturelle, soit forcée. La convection est naturelle lorsque le déplacement des molécules dû à l'échange thermique s'opère selon le mouvement brownien des molécules. Un exemple de convection naturelle est le refroidissement d'une tasse de thé chaud vers l'air ambiant. La convection forcée traduit le déplacement forcé des molécules par un dispositif mécanique tel qu'un ventilateur. En reprenant notre exemple de la tasse de thé, le fait de souffler dessus force le phénomène de convection. Un autre exemple de convection forcée est l'utilisation d'un ventilateur pour évacuer l'air chaud autour d'un processeur ou bien l'injection d'un fluide dans des microcanaux pour refroidir la puce de silicium [83].

A partir de la mécanique des fluides, il est possible d'établir que le flux thermique convectif q_c , entre une paroi au repos et un fluide en contact, est proportionnel à l'aire de

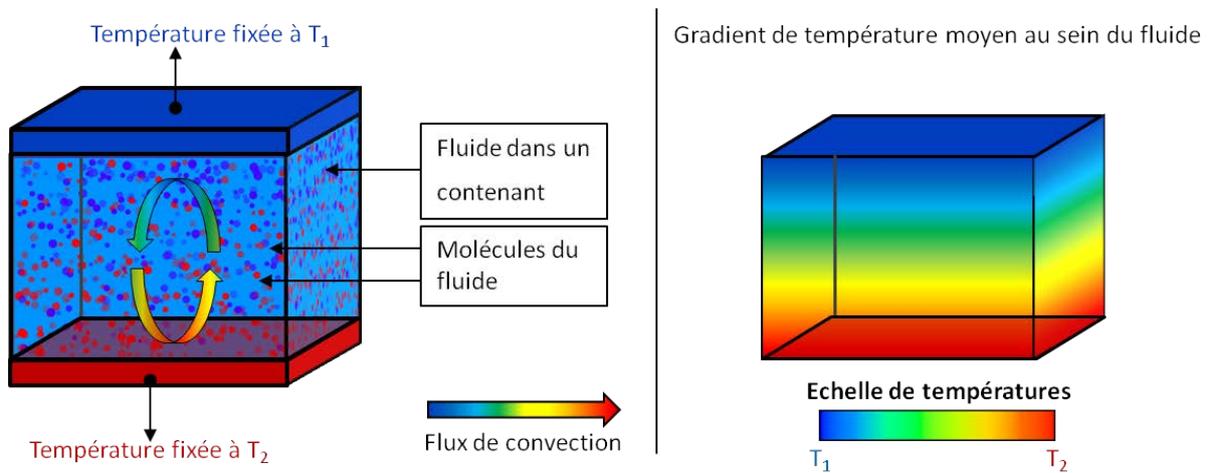


FIGURE 4.10 – Représentation du phénomène de convection dans un fluide situé dans un contenant clos.

l'interface et à la différence qui existe entre la température T_p de la paroi et celle T_f du fluide, au-delà d'une certaine épaisseur de l'ordre de la couche limite thermique [107]. La couche limite thermique correspond à la distance pour laquelle le flux convectif devient nul (figure 4.11). Sur cette figure, la zone de turbulences est représentée de manière arbitraire et correspond à la zone où le transfert d'énergie par convection apparaît.

Le flux q_c peut donc être calculé par la relation suivante 4.10 :

$$dq_c = h_c \cdot (T_p - T_f) d\mathcal{S} \quad (4.10)$$

où :

- q_c est le flux convectif de chaleur exprimé en [W].
- h_c est le coefficient de convection exprimé en [$W \cdot m^{-2} \cdot K^{-1}$].
- T_p et T_f sont exprimés en [K].
- \mathcal{S} est la surface d'échange exprimée en [m^2].

Il est également possible de définir une résistance de convection 4.11 :

$$R_c = \frac{1}{h_c \cdot \mathcal{S}} \quad (4.11)$$

avec R_c exprimée en [$K \cdot W^{-1}$].

A noter que la valeur du coefficient de convection dépend de la géométrie et de l'orientation des surfaces d'échange. Pour plus d'informations concernant son calcul, le lecteur pourra se référer à [108], où est présenté le calcul de h_c pour différentes géométries.

4.2.3 Rayonnement thermique

Le rayonnement thermique est un mode de transfert d'énergie sous forme de chaleur par l'émission d'ondes électromagnétiques, par exemple des ondes infrarouges, qu'émet

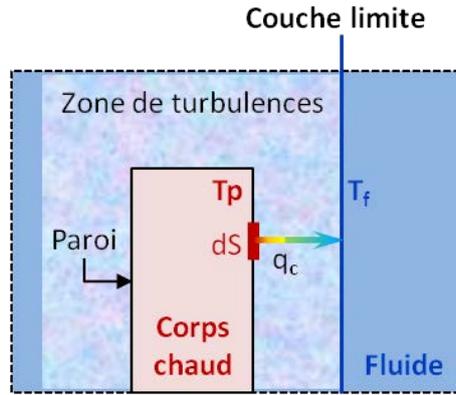


FIGURE 4.11 – Représentation du transfert de chaleur par convection entre la paroi d'un corps chaud et un fluide en contact

tout corps suffisamment condensé et dont la température est non nulle [109]. Le rayonnement d'un corps \mathcal{C} de surface \mathcal{S} et de température T_1 vers un environnement extérieur de température T_0 (figure 4.12) est régi par la relation 4.12 [108] :

$$q = \varepsilon \cdot \sigma \cdot \mathcal{S} \cdot F_{12} \cdot (T_1^4 - T_2^4) \quad (4.12)$$

où :

- ε est l'émissivité qui est la capacité du corps à émettre de l'énergie par rayonnement ;
- σ est la constante de Stefan-Boltzmann et vaut $5,67 \cdot 10^{-8} [W \cdot m^{-2} \cdot K^4]$.
- \mathcal{S} est la surface de rayonnement du corps exprimée en $[m^2]$.
- T_1 et T_0 sont respectivement les températures du corps \mathcal{C} et de l'environnement \mathcal{C}_e exprimées en $[K]$.

La valeur de l'émissivité varie entre 0 et 1, une valeur de 1 correspond à l'émissivité du corps noir. De plus amples informations concernant le rayonnement thermique dans le cadre du rayonnement entre deux surfaces sont disponibles dans [110].

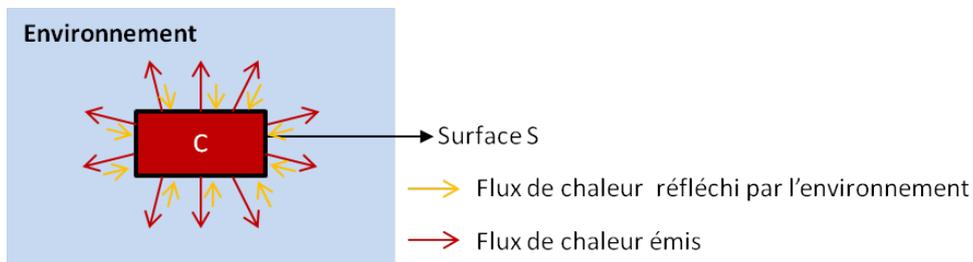


FIGURE 4.12 – Représentation du transfert de chaleur d'un corps \mathcal{C} vers son environnement par rayonnement.

4.3 Transfert thermique dans les circuits intégrés

La figure 4.13 illustre les modes de transfert de chaleur dominants à l'intérieur d'un circuit intégré 3D sans système de refroidissement actif, et monté sur un circuit imprimé (PCB). Dans les circuits intégrés, la conduction thermique est le transfert naturel de chaleur dominant [111, 112]. Cependant, il existe aussi une très légère convection car les électrons peuvent être perçus comme un gaz parfait. Ainsi, dans un circuit intégré le passage de courant dans les pistes de métal entraîne également un transfert de chaleur par convection : l'énergie thermique des électrons est transportée dans les pistes de métal par le courant électrique. De plus, la convection apparaît également lors du transfert d'énergie sous forme de chaleur entre le boîtier du circuit intégré et l'air ambiant.

Bien que dans le circuit intégré, le transfert de chaleur par convection naturelle est négligeable devant la conduction, cette tendance s'inverse à l'interface entre le boîtier du circuit intégré et l'air ambiant. En effet, l'air possède une très mauvaise conductivité thermique. De manière générale, la convection naturelle entre le boîtier électronique et l'air ambiant est de l'ordre de $5W \cdot m^{-2} \cdot K^{-1}$, et peut atteindre en convection forcée $5000 W \cdot m^{-2} \cdot K^{-1}$ pour les systèmes refroidis par injection de liquide [108].

En raison des très faibles dimensions des surfaces des puces des circuits intégrés, le transfert de chaleur par rayonnement demeure marginal. Lorsqu'un radiateur est utilisé pour refroidir le circuit intégré, le transfert de chaleur par rayonnement entre celui-ci et l'air ambiant devient dominant devant la conduction. A l'intérieur du radiateur, le transfert de chaleur dominant reste la conduction.

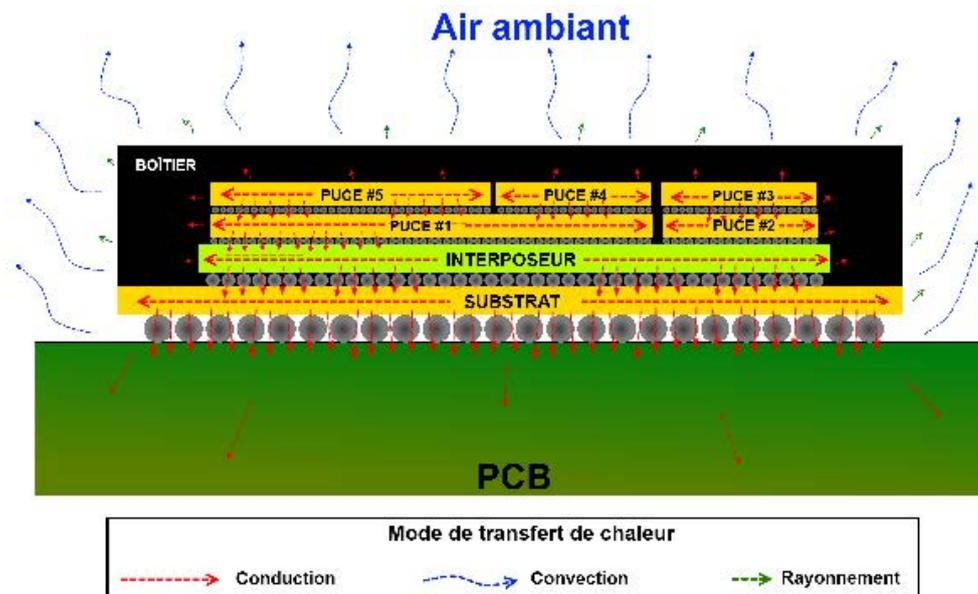


FIGURE 4.13 – Représentation schématique des modes de transfert de chaleur dans un circuit 3D monté sur un PCB.

4.4 Conclusion

Dans les circuits intégrés, les effets thermiques sont soit le fait de mécanismes électrothermiques, soit le fait de mécanismes thermoélectriques. L'effet Joule est le mécanisme prépondérant dans la dissipation d'énergie en chaleur dans les circuits intégrés. Les autres effets deviennent généralement significatifs lorsqu'ils sont volontairement mis en œuvre pour des applications spécifiques. Dans le cadre de ces travaux, la modélisation électrothermique utilisée considère uniquement l'effet Joule comme responsable de la génération de chaleur et donc de la modification de la température dans les composants des circuits intégrés.

La convection et le rayonnement thermique au sein du circuit intégré étant négligeables devant la conduction thermique, seul le transfert de chaleur par conduction est intégré au simulateur. La convection vers l'air ambiant sera quant à elle modélisée par sa résistance équivalente de convection au travers de l'équation 4.11. Nous reviendrons plus en détail sur ce point au chapitre 7.

A l'issue de ce chapitre, un aperçu détaillé des effets thermiques mis en œuvre dans les circuits intégrés a été fait. Cet aperçu nous a conduit à ne modéliser que l'effet Joule et le transfert de chaleur par conduction. Maintenant, il nous faut donc trouver comment les modéliser. Ce point est traité dans le chapitre suivant.

Chapitre 5

Simulation thermique

Dans le chapitre précédent, nous avons passé en revue l'ensemble des mécanismes responsables de la génération de chaleur au sein des circuits intégrés ainsi que les différents modes de transport de la chaleur. Ceci nous a amené à ne considérer que la génération de chaleur par dissipation de l'énergie électrique par effet Joule et à ne considérer que le transport de chaleur par conduction. Dans ce chapitre, nous allons donc expliquer comment nous pouvons simuler le transport d'énergie sous forme de chaleur par conduction.

Pour cela, il existe deux catégories de méthodes :

- les méthodes analytiques.
- les méthodes numériques.

Dans ce chapitre, nous présenterons d'abord les méthodes analytiques, puis nous enchaînerons sur les méthodes numériques. A l'issue de la présentation des méthodes numériques, nous détaillerons plusieurs approches de simulations numériques.

5.1 Méthodes analytiques et semi-analytiques

5.1.1 Principe

Les méthodes analytiques et semi-analytiques proposent de résoudre le problème thermique en analysant préalablement le comportement du système global lorsque qu'il est soumis à une perturbation thermique (figure 5.1). L'étude analytique peut se faire soit par une discrétisation géométrique du système (i.e. méthodes de Green, etc.), soit par une discrétisation en fonction de ses modes propres (i.e. approche diffusive). Les méthodes purement analytiques résolvent l'équation de la chaleur directement à partir de l'équation 4.9 de la conduction, tandis que les méthodes semi-analytiques font appel à un simulateur numérique de type éléments finis pour résoudre localement cette équation.

Dans le premier cas, le problème ne peut être résolu que pour de simples géométries et pour un nombre restreint de sources de chaleur parce que la complexité de la solution de l'équation de conduction augmente avec la complexité de la géométrie et avec le nombre de sources de chaleur. En effet, il peut être aisé de résoudre cette équation en présence d'une

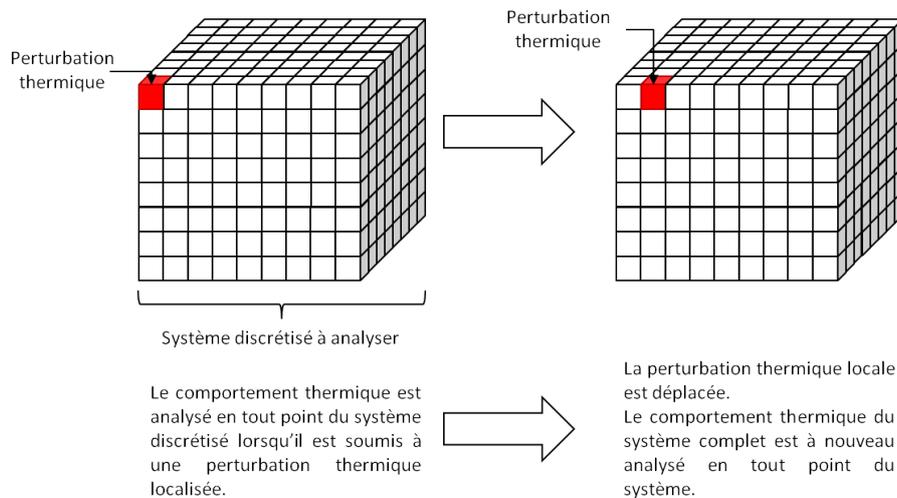


FIGURE 5.1 – Principe des méthodes semi-analytiques dans le cadre d’une discrétisation géométrique.

source de chaleur située dans un barreau de matériau aux propriétés thermiques uniformes, alors qu’il est complexe de résoudre cette même équation en présence de cinq sources de chaleur situées dans un potatoïde, même si ses propriétés thermiques sont uniformes.

Dans le second cas, les fonctions analytiques sont déterminées à l’aide d’un simulateur numérique. De fait, ces méthodes sont compatibles avec le cas où de nombreuses sources de chaleur sont présentes. Cependant, leur précision est tributaire de la granularité. En effet, dans le cas d’une discrétisation géométrique, plus la taille du pas de discrétisation est petite, plus les fonctions extraites sont précises parce que l’équation de la conduction de chaleur est résolue finement.

Dans la suite de cette section, nous détaillerons d’abord les méthodes semi-analytiques basées sur une discrétisation géométrique, en particulier les méthodes de Green. Puis, nous expliquerons le fonctionnement des méthodes modales qui sont basées sur une discrétisation fréquentielle.

Méthodes de Green

Les méthodes analytiques permettent de résoudre l’équation 4.9 de la conduction de la chaleur à l’aide des fonctions de Green [113–115], des transformées ou encore des séries de Fourier [116–118]. En partitionnant le circuit intégré par étages en fonction du matériau qui le compose et en considérant que les propriétés thermiques sont uniformes au sein de chaque étage (figure 5.2), l’équation différentielle du transfert de chaleur par conduction (équation 4.9) devient alors linéaire. Le problème thermique peut être résolu par superposition :

- la distribution de température sur un étage est calculée en fonction du flux de chaleur émis par une source placée en un point dans cet étage.

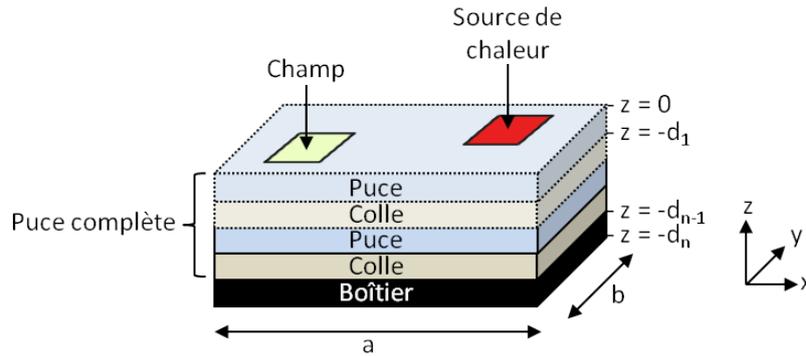


FIGURE 5.2 – Modèle simplifié d'un circuit intégré 3D.

- le cas multisource de chaleur est traitée par superposition des résultats obtenus individuellement pour chaque source.

Les fonctions de Green décrivent la distribution de température dans un champ lorsque une source de température est présente (figure 5.2) en fonction de conditions aux limites prédéterminées. Dans les structures à plusieurs étages telles que celle présentée sur la figure 5.2, les conditions aux limites de la surface inférieure d'un étage dépendent du profil de température de la face supérieure de l'étage adjacent situé en-dessous. Les faces verticales et supérieures de la structure sont considérées adiabatiques et la face inférieure de la puce complète est supposée convective avec un transfert effectif de flux de convection.

Cela s'exprime mathématiquement de la manière suivante dans [119]. T_a est la température ambiante, k_i est la conductivité thermique à $z = i$ et r et r' sont deux points de coordonnées respectives (x,y,z) et (x',y',z') . Soit $G(r,r')$ la distribution de l'élévation de la température par rapport à T_a lorsque une source ponctuelle de 1W est placée au point r' . Alors, la fonction de Green $G(r,r')$ obéit à l'équation 5.1 :

$$\nabla^2 G(r, r') = -\frac{\delta(r - r')}{k_l(r)} \quad (5.1)$$

avec les conditions aux limites suivantes :

$$\begin{aligned}
\left. \frac{\partial G(r, r')}{\partial x} \right|_{x=0, a} &= 0 \\
\left. \frac{\partial G(r, r')}{\partial y} \right|_{y=0, b} &= 0 \\
\left. \frac{\partial G(r, r')}{\partial z} \right|_{z=0} &= 0 \\
k_N \cdot \left. \frac{\partial G(r, r')}{\partial z} \right|_{z=-d_N} &= h \cdot G(r, r')|_{z=-d_N} \\
G(r, r')|_{z=-d_i+\epsilon} &= G(r, r')|_{z=-d_i-\epsilon} \\
k_i \cdot \left. \frac{\partial G(r, r')}{\partial z} \right|_{z=-d_i+\epsilon} &= k_{i+1} \cdot \left. \frac{\partial G(r, r')}{\partial z} \right|_{z=-d_i-\epsilon}
\end{aligned} \tag{5.2}$$

où :

- $\delta(r - r')$ est la fonction delta Dirac 3D.
- k_l est la conductivité thermique du matériau de l'étage où le point r est situé.

Dans les circuits intégrés, les composants (transistors, résistances, etc.) sont les sources de chaleurs et peuvent être considérés comme planaires puisque leurs dimensions verticales sont faibles devant leurs dimensions horizontales. En outre, les champs peuvent aussi être considérés comme planaires puisque que l'information qui nous est utile est la distribution de température en surface du composant. Ainsi, pour une paire source de chaleur-champ où $z=z'$, la fonction de Green peut s'écrire :

$$G(x, y, x', y') = \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} C_{mn} \cdot \cos\left(\frac{m\pi x}{a}\right) \cdot \cos\left(\frac{n\pi y}{b}\right) \cdot \cos\left(\frac{m\pi x'}{a}\right) \cdot \cos\left(\frac{n\pi y'}{b}\right) \tag{5.3}$$

où C_{mn} est un coefficient dépendant de z .

La distribution de température associée au champ dû à la présence d'une source de chaleur est donnée par l'équation 5.4 :

$$T(x, y)|_z = T_a + \int_0^a dx' \cdot \int_0^b dy' \cdot G(x, y, x', y') \cdot P_d(x', y') \tag{5.4}$$

où $P_d(x', y')$ est la distribution de la densité de puissance de la source chaleur.

Dans [119], la démarche de simulation d'un système par la méthode proposée est la suivante :

1. Dans chaque étage où une source de chaleur est présente :
 - la fonction de Green est calculée pour la puce de silicium dans le cas d'une source de chaleur dissipant 1W en régime établi.
 - la distribution de température pour une distribution arbitraire de sources de chaleur est obtenue en faisant le produit de convolution de la fonction de Green et de la distribution des densités de puissance à partir d'une table.

- en présence de nombreuses sources, la distribution des densités de puissance est approchée par une somme de cosinus.
- la carte de température obtenue est mise sous la forme d'une transformée discrète de cosinus.

2. Pour les étages sans source de chaleur, la fonction de Green est résolue pour un simple plan.

Dans les circuits intégrés 3D empilés, l'étape 1 doit être réalisée pour chaque puce et cette approche ne permet pas de simuler le comportement thermique en régime transitoire.

Dans [120], la méthode a été améliorée pour permettre la simulation de circuits 3D empilés en régime continu et en régime transitoire. Un gain de performance y est également mentionné.

Approche Modale

La propagation de la chaleur est assimilable à la propagation d'une onde (figure 5.3). Or, il est possible de décrire avec un niveau de précision acceptable une onde, par exemple la vibration d'une corde, à partir de ses fréquences de résonances principales (transformée de Fourier). De la même manière, l'onde de propagation de la chaleur peut être décomposée à l'aide de ses fonctions et valeurs propres (fréquences de résonances) [121] :

$$T(r, t) \cong \sum_{j=1}^k U_j(r) \cdot V_j(t) \quad (5.5)$$

où :

- U_j sont les fonctions propres.
- V_j sont les coefficients de propagation de la chaleur (inconnus à ce stade).

En substituant l'équation 5.5 dans l'équation 4.9 et en la multipliant par V_i puis en l'intégrant, un modèle réduit de la forme suivante peut être obtenu [121] :

$$C^* \cdot \frac{dV(t)}{dt} + K^* \cdot V(t) = s(t) \quad (5.6)$$

avec :

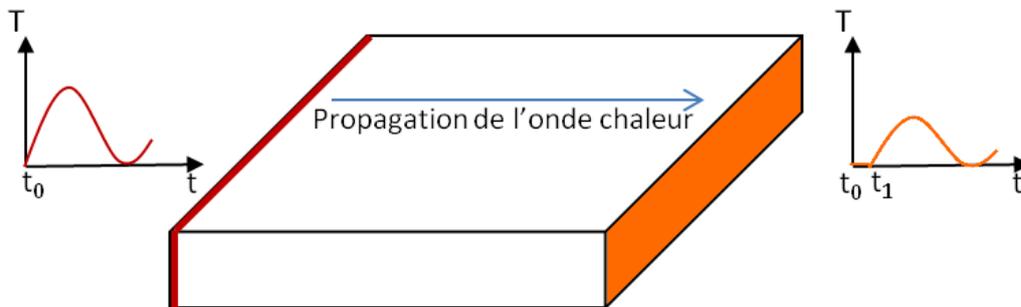


FIGURE 5.3 – Propagation d'une onde chaleur dans un matériau.

- $C_{ij}^* = \int \rho \cdot C_p \cdot U_i \cdot U_j \cdot dr$;
- $K^* = \int U_i \cdot \nabla \cdot (\lambda \cdot \nabla \cdot U_j) \cdot dr$;
- $s_i = \int U_i \cdot Q \cdot dr$
- $i, j \in [1, k]$.

Cependant, la résolution analytique permettant d'obtenir les valeurs propres de l'équation 4.9 n'est uniquement disponible que pour des géométries simples. De ce fait, le système est discrétisé spatialement en plusieurs éléments simples, puis les valeurs et fonctions propres sont calculées pour chacun des éléments. L'ensemble du système est ensuite assemblé sous forme matricielle :

$$A \cdot \dot{T} = T + B \cdot u(t) \quad (5.7)$$

où :

- $A = -K^{-1} \cdot C$.
- $B = -K^{-1} \cdot F \cdot Q$

Le nombre de vecteurs propres dans A est égal au nombre de nœuds du système discrétisé. Le système peut alors être résolu par le simulateur. L'équation 5.7 peut être réduite à partir de la matrice modale $V_{modale} \in C^{n \times r}$ qui comporte les r modes propres de A :

$$V_{modale}^T \cdot A \cdot V_{modale} \cdot \dot{z} = V_{modale}^T \cdot V_{modale} \cdot z + V_{modale}^T \cdot B \cdot u(t) \quad (5.8)$$

où z est un vecteur.

Dans [122], l'approche modale est présentée plus en détail, notamment sa mise en œuvre du point de vue mathématique.

Le système modal résultant à simuler nécessite moins de ressources puisque seuls les modes propres sont retenus dans la matrice modale et donc la taille du système matriciel est réduite. Cependant, le calcul des fonctions propres nécessite au préalable d'importantes ressources dans le cadre de systèmes fortement multi-sources. De plus, le problème suivant se pose :

Si nous considérons un nœud thermique dont le comportement est décrit par l'équation $y(t) = E^T \cdot T$, où E peut être une matrice ou bien un vecteur. Nous pouvons déduire la fonction de transfert suivante $G(s) = E^T \cdot (s \cdot I - A^{-1}) \cdot B$.

Ici, le concepteur doit encore sélectionner les pôles dominants à conserver pour garantir la précision. Ainsi, le résultat de la simulation est tributaire de l'identification des modes propres par le concepteur.

Représentation diffusive

L'approche diffusive est un exemple de méthode modale et correspond à une extension de la notion de fonction de transfert pour les systèmes d'ordre infini modélisable par une opération de diffusion telle que la diffusion des courants électriques (effets de peau, etc.) ou encore la diffusion de la chaleur. Appliquée à la simulation thermique, cette méthode consiste à considérer chaque source de chaleur comme une entrée/sortie et à déterminer les fonctions de transfert entre chacune de ces entrées/sorties. Contrairement, aux méthodes

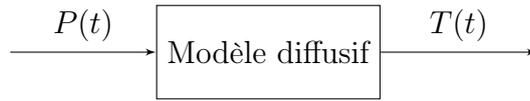


FIGURE 5.4 – Schéma du système diffusif.

analytiques basées sur les fonctions de Green où l'analyse thermique se fait sur la discrétisation géométrique, l'approche diffusive est basée sur une discrétisation fréquentielle de la propagation de l'onde de chaleur.

Si nous considérons une fonction de transfert $H(p)$ d'un système ayant pour entrée u et ayant une sortie y associée à l'opérateur de convolution $H(\partial_t)$, alors $u \rightarrow y = H(\partial_t)u = h * u$ et :

$$\begin{cases} \frac{\partial \psi(t, \xi)}{\partial t} = -\xi \psi(t, \xi) + u(t), & \psi(0, \xi) = 0, \quad \xi > 0 \\ y(t) = \int_0^{+\infty} \eta(\xi) \psi(t, \xi) d\xi \end{cases} \quad (5.9)$$

Le symbole diffusif $\eta(\xi)$ de $H(\partial_t)$ est obtenu en résolvant :

$$H(i\omega) = \int_0^{+\infty} \frac{\eta(\xi)}{i\omega + \xi} d\xi, \quad \text{avec } \omega \in \mathcal{R}^* \quad (5.10)$$

où :

- ψ_k sont les variables d'états du système (variables inconnues).
- ξ représente les pulsations du système et s'exprime en $[rad.s^{-1}]$.

Pour l'analyse thermique d'un circuit intégré, l'entrée $u(t)$ correspond à la puissance $P(t)$ dissipée par un composant du circuit et la sortie $y(t)$ correspond à la température $T(t)$ en un point particulier (voir figure 5.4). Le système diffusif devient alors :

$$\begin{cases} \frac{\partial \psi(t, \xi)}{\partial t} = -\xi \psi(t, \xi) + P(t), & \psi(0, \xi) = 0, \quad \xi > 0 \\ T(t) = \int_0^{+\infty} \eta(\xi) \psi(t, \xi) d\xi \end{cases} \quad (5.11)$$

$H(\partial_t)$ est ensuite approximé en discrétisant la variable ξ , ce qui donne le système suivant :

$$\begin{cases} \frac{\partial \psi_k(t, \xi_k)}{\partial t} = -\xi_k \psi_k(t, \xi) + P(t), & \psi(0) = 0, \quad k \in [1, K] \\ T(t) = \sum_1^K \nu_k \psi(t) \end{cases} \quad (5.12)$$

Ainsi le schéma du système de la figure 5.4 est approximé par le schéma de la figure 5.5. Cette figure permet de mettre en évidence ξ_k et le symbole diffusif η_k . Dans le cas particulier de la diffusion de la chaleur dans un milieu homogène et à une dimension, $\xi_k = \frac{1}{R_{th} \cdot C_{th}}$

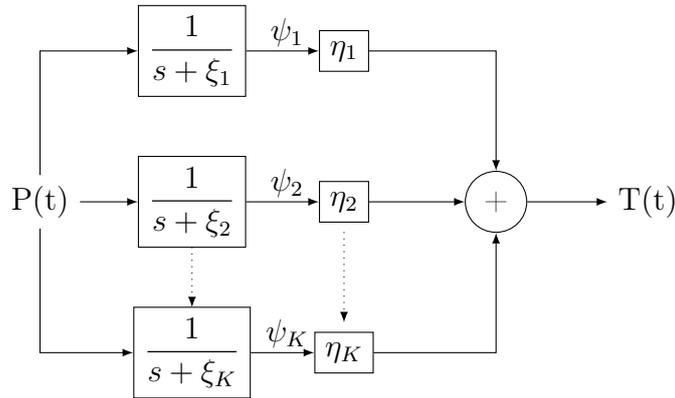


FIGURE 5.5 – Schéma du système diffusif (équation 5.12).

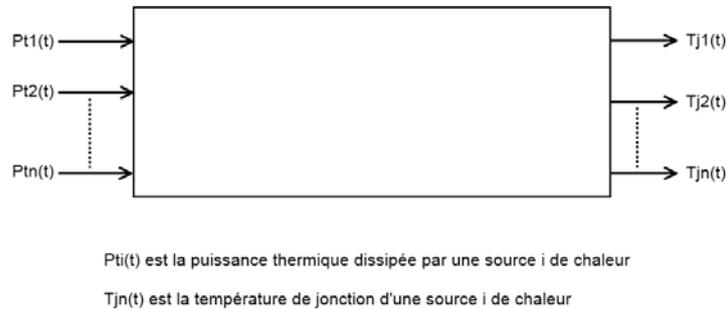


FIGURE 5.6 – Modèle thermique d'un système multi-sources de chaleur.

et $\eta_k = \frac{1}{C_{th}}$. Les grandeurs R_{th} et C_{th} sont respectivement la résistance et la capacité thermique du milieu.

Finalement, pour établir le modèle il est nécessaire d'identifier chacun des paramètres ξ_k et η_k . Cette opération est effectuée à l'aide d'une simulation par éléments finis. Un vecteur de puissance est appliqué en entrée du système, puis à partir de sa réponse les paramètres sont identifiés.

Pour les systèmes multi-sources, cette méthode est étendue en considérant autant d'entrées que de sources de chaleur et autant de sorties que d'endroits où la température doit être évaluée (figure 5.6).

Des informations détaillées sur l'approche diffusive dans le cas général et ses applications sont disponibles dans [123]. Dans [124, 125], cette approche est utilisée pour la simulation et la réalisation de modèles thermiques compacts pour des applications de puissance.

Les modules de puissances ne comportent que peu d'éléments donc le temps nécessaire pour établir le modèle n'est pas prohibitif. De plus, une fois les différents paramètres diffusifs identifiés, cette approche permet de simuler rapidement le comportement thermique d'un circuit intégré de puissance. Cette approche présente également l'avantage d'être totalement automatisable et ne requiert pas du concepteur une grande expérience de la thermique. Dans le cadre de circuits intégrés classiques, le nombre de sources de chaleur

devient important et le temps nécessaire à la réalisation du modèle peut être prohibitif en raison du nombre de paramètres diffusifs à extraire. De plus, la simulation d'un système comportant plusieurs modèles compacts diffusifs requiert à nouveau l'identification des paramètres diffusifs du système global.

5.1.2 Avantages

Une fois les fonctions de Green résolues et les résultats stockés dans une table, ces méthodes permettent de simuler rapidement le comportement thermique d'un circuit intégré. Ce sont des méthodes très efficaces pour tester le pré-positionnement (*floorplan*) des divers blocs fonctionnels lors de la phase de conception.

En ce qui concerne les méthodes modales, une fois les modes propres extraits, le système est simulé rapidement [124] et dans le cas de la représentation diffuse, la précision des résultats n'est pas tributaire des compétences de l'utilisateur dans le domaine thermique [124].

5.1.3 Inconvénients

Les solutions proposées par ces méthodes approximent la solution thermique en simplifiant les données du problème. Notamment, la conductivité thermique ne peut être qu'uniforme au sein d'un plan (couche active, colle, etc.) bien qu'il soit possible de gérer un faible nombre de discontinuités de propriétés thermiques dans le plan [112]. De plus, dans le cas de l'approche diffuse la complexité de mise en œuvre augmente avec le nombre de couches. En outre, dès que la géométrie du problème change, la phase d'analyse doit être réinitialisée et, pour une précision élevée importante, le temps nécessaire à l'extraction des fonctions analytiques peut se révéler prohibitif. Enfin, ces méthodes sont encore plus complexes à mettre en œuvre pour la simulation de circuits 3D monolithiques où l'uniformité du matériau n'est pas assurée dans la dimension verticale.

5.2 Méthodes numériques

5.2.1 Principe

Dans les méthodes de simulation numériques, l'équation différentielle partielle (*PDE*) qui régit le comportement du système, l'équation 4.9 dans notre cas, est discrétisée en un système formé par un ensemble d'équations différentielles ordinaires (*ODE*). Dans ce cas, la géométrie est subdivisée en de plus petits blocs qui forment un maillage du système. A noter que ce maillage doit couvrir l'ensemble de la géométrie du système et qu'il ne doit pas comporter de blocs qui se chevauchent comme cela peut être le cas pour les maillages utilisés dans le domaine de l'infographie.

Les méthodes numériques les plus courantes sont les méthodes par éléments finis (FEM), les méthodes par volumes finis (FVM), les méthodes des différences finies (FDM) et les

méthodes des éléments de frontières (BEM). Ces méthodes étant relativement similaires les unes des autres, nous présenterons le principe de la méthode des éléments finis et celui de la méthode par différences finies. Plus d'informations sur l'ensemble de ces méthodes sont disponibles dans [126].

5.2.2 Méthode par éléments finis

Dans la méthode par éléments finis, les blocs qui forment le maillage de la géométrie du système sont appelés éléments finis. En trois dimensions, ces éléments finis peuvent être des prismes rectangulaires, des tétraèdres, des hexaèdres, etc. Il est également possible de combiner plusieurs de ces formes géométriques pour réaliser le maillage à condition d'adapter les équations différentielles ordinaires pour chacun des éléments.

En modélisation graphique 3D, l'élément le plus simple pour mailler une forme géométrique quelconque est le tétraèdre. Cependant, le tétraèdre modélise moins bien que le prisme rectangulaire la conduction de la chaleur dans les structures rectangulaires [112]. Or, les circuits intégrés peuvent être perçus comme un empilement de parallélépipèdes rectangles. Par conséquent, le choix du prisme rectangulaire est le plus judicieux.

Les températures sont calculées pour chacun des nœuds de calcul des éléments. Souvent, ces nœuds correspondent aux nœuds géométriques, c'est-à-dire aux sommets des éléments finis. A l'intérieur des éléments, les températures sont obtenues par interpolation à partir des températures calculées sur chacun des nœuds.

Dans un repère orthonormé $(\vec{x}, \vec{y}, \vec{z})$, pour un prisme rectangulaire cela se traduit par la relation 5.13 :

$$T(i, j, k) = N^T \cdot T \quad (5.13)$$

avec : $N = [N_1, N_i, \dots, N_8]^T$ et $T = [T_1, T_i, \dots, T_8]^T$ où T_i et N_i sont respectivement la température et la fonction d'interpolation de l'élément (ou fonction de forme) au i -ème sommet du prisme. Les fonctions de formes sont déterminées à partir des coordonnées du centre, des coordonnées aux nœuds, de la largeur, longueur et profondeurs de l'élément.

Ensuite, les matrices régissant chaque élément, appelées matrice de rigidité, sont ajoutées au système global, ce qui permet d'obtenir le système 5.14 :

$$K \cdot T = P \quad (5.14)$$

où :

- T est le vecteur des températures des nœuds.
- P est le vecteur des puissances dissipées.
- K est la matrice de rigidité du système global.

Des explications très détaillées sur la méthode par éléments finis sont disponibles sur le site de l'université polytechnique de Montréal [127]. La méthode des volumes finis se différencie de la méthode par éléments finis en imposant que les angles internes des volumes élémentaires soient inférieurs à 90° .

Les logiciels ANSYS[®], ABAQUS[®] ou encore COMSOL[®] utilisent la méthode par élément finis pour la résolution de problèmes physiques et multi-domaines.

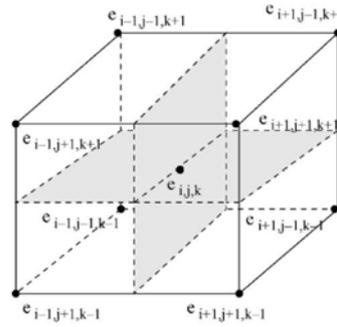


FIGURE 5.7 – Prisme rectangulaire utilisé comme élément fini [128]

5.2.3 Méthode par différences finies

La méthode des différences finies consiste à discrétiser directement l'équation différentielle partielle en remplaçant les dérivées de l'équation de la diffusion de la chaleur 4.9 par des *différences finies* en chaque nœud du maillage. Cette méthode est particulièrement adaptée aux maillages réalisés à partir de prismes rectangulaires et est relativement intuitive. La forme discrétisée de l'équation 4.9 pour un parallélépipède rectangle élémentaire (voir figure 5.7) est la suivante :

$$\begin{aligned} \rho \cdot c_p \cdot \Delta_x \cdot \Delta_y \cdot \Delta_z \cdot \frac{T_{i,j,k}^{n+1} - T_{i,j,k}^n}{\Delta_t} = & - 2 \cdot (G_x + G_y + G_z) \cdot T_{i,j,k}^{n+1} \\ & + G_x \cdot T_{i-1,j,k}^{n+1} + G_x \cdot T_{i+1,j,k}^{n+1} \\ & + G_y \cdot T_{i,j-1,k}^{n+1} + G_y \cdot T_{i,j+1,k}^{n+1} \\ & + G_z \cdot T_{i,j,k-1}^{n+1} + G_z \cdot T_{i,j,k+1}^{n+1} \\ & + \Delta_x \cdot \Delta_y \cdot \Delta_z \cdot g_{i,j,k} \end{aligned} \quad (5.15)$$

avec :

$$\begin{aligned} - G_x &= \frac{k \cdot \Delta_y \cdot \Delta_z}{\Delta_x} \\ - G_y &= \frac{k \cdot \Delta_x \cdot \Delta_z}{\Delta_y} \\ - G_z &= \frac{k \cdot \Delta_y \cdot \Delta_x}{\Delta_z} \end{aligned}$$

où :

- ρ est la densité volumique en $[kg \cdot m^{-3}]$.
- c_p est la chaleur spécifique en $[J \cdot kg^{-1} \cdot K^{-1}]$.
- k est la conductivité thermique du matériau en $[W \cdot m^{-2} \cdot K^{-1}]$.
- i, j, k sont les coordonnées spatiales du nœud.
- $\Delta_t, \Delta_x, \Delta_y, \Delta_z$ sont respectivement les pas de discrétisation temporelle et spatiale selon les axes de direction $\vec{x}, \vec{y}, \vec{z}$.

La méthode des différences finies dans le domaine temporel (FDTD) est une application de la méthode par différences finies. Dans ce cas, le temps et l'espace sont traités de manière concurrentielle et la matrice des températures ne nécessite pas d'être inversée pour résoudre le système. Cette approche offre une précision spatiale du deuxième ordre et une précision temporelle du premier ordre [112, 126].

La méthode des différences finies est utilisée notamment dans les logiciels FIDISOL[®] et DIFFPACK[®].

5.2.4 Avantages

Ces méthodes présentent l'avantage de pouvoir simuler précisément le comportement thermique de tout système tridimensionnel, en particulier les circuits intégrés, sous réserve d'avoir à disposition le dessin de la conception du circuit. Les logiciels qui reposent sur ces méthodes, notamment ANSYS[®] ou encore COMSOL[®], permettent d'importer les *layouts*¹ réalisés à partir d'environnement de CAO standard (CADENCE[®], MENTOR GRAPHICS[®]), et proposent des modèles thermiques de boîtiers pour les circuits intégrés.

5.2.5 Inconvénients

La contrepartie de ces logiciels est la puissance et le temps de calcul requis pour la simulation thermique. En effet, la précision obtenue dépend de la granularité du maillage. Ainsi, de manière générale plus le maillage est fin, meilleure est la précision. Cependant, le nombre d'éléments finis augmente avec la finesse du maillage. Or, la taille de la matrice de rigidité dépend du nombre d'éléments. Lors de la résolution matricielle du système, cette matrice doit être inversée, et cette opération requiert une forte puissance de calcul pour des matrices de grande taille.

5.3 Simulation thermique multi-résolution

Dans les méthodes présentées jusqu'à maintenant, le maillage associé au système à simuler est établi uniquement en fonction de la géométrie du système. Un maillage fin est appliqué sur les sous-éléments de petites dimensions et aux abords des sous-éléments du système. La taille des mailles augmentant à mesure que l'on s'éloigne des bords ou que l'on soit sur un sous-élément de grande dimension. Le maillage est donc adapté en fonction de l'apparition éventuelle de gradients de températures indépendamment du profil de la densité puissance dissipée par le système, bien que l'utilisateur ait également la possibilité d'ajouter ses contraintes sur le maillage. De plus, le maillage reste identique au cours de simulations transitoires. Ceci conduit à la résolution d'un système comportant un nombre de nœuds plus élevé que nécessaire.

1. layout : dessin des masques de lithographie

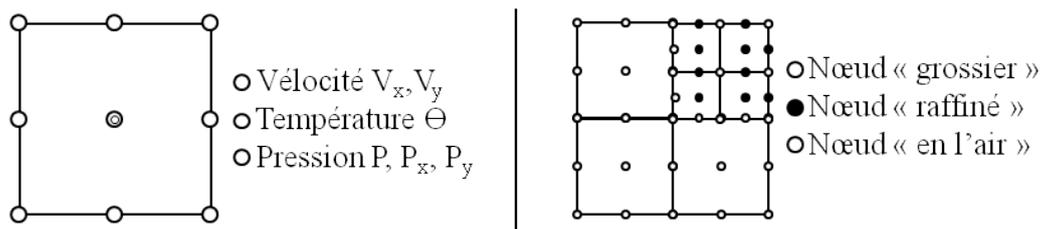


FIGURE 5.8 – Représentation de l'élément Q2P1 [129] :
A gauche - Degrés de liberté locaux. A droite - Élément raffiné localement.

Les méthodes de simulations multi-résolutions (ou multi-grilles) établissent un maillage en fonction du profil de température et dans certains cas, le maillage est adaptée temporellement. Cette approche réduit fortement la taille du système matricielle à résoudre et de fait les ressources requises.

Dans [129] est présentée une méthode de simulation multi-résolution par éléments finis dans le cadre de la résolution des équations de Navier-Stokes pour des flux incompressibles. Bien que cette méthodologie traite un problème de la mécanique des fluides, la notion de simulation multi-résolution spatiale et temporelle abordée est adaptable à la simulation thermique de circuits intégrés en remplaçant les équations de Navier-Stokes par celle de la diffusion de la chaleur (équation 4.9). L'algorithme de Crank-Nicholson [130] est utilisé pour le pas de discrétisation temporelle et l'élément fini pour la discrétisation spatiale est l'élément biquadratique (Q2P1) (figure 5.8).

Dans [131], une méthode de simulation multi-résolution temporelle et spatiale est présentée, toujours dans le cadre de la résolution des équations de Navier-Stokes, mais ici la grille est discrétisée avec des éléments Cartésien. Cette approche permet d'améliorer d'un facteur 16 le temps de simulation par rapport à une approche *mono-résolution*.

Dans [132], une approche de simulation thermique multi-résolution spatiale et temporelle basée sur la méthode des volumes finis, pour les circuits intégrés, est décrite. Cette méthode repose sur deux fondements. Le premier est que l'environnement thermique extérieur d'un système fixe uniquement les conditions aux limites de son comportement interne. Le second est que si un maillage plus fin donne des résultats différents, alors le maillage fin doit être adopté. La réciproque est également valable : si un maillage plus fin offre des résultats identiques au maillage grossier, alors le maillage grossier est suffisant. La méthode propose de tester dynamiquement la granularité du maillage. En pratique, dans un circuit intégré, les températures des composants ne varient pas en permanence sur l'ensemble de la puce et celles-ci dépendent de la densité de puissance. Ainsi, dans les zones où de la puissance est dissipée, le maillage est affiné jusqu'à ce que l'erreur obtenue entre deux maillages soit acceptable (paramètre fixé par l'utilisateur). Ailleurs, le maillage est relâché tout en maintenant l'erreur paramétrée. Cette méthode est utilisée dans le logiciel HeatWaveTM de la société Gradient.

La multi-résolution spatiale offre la possibilité de simuler le comportement thermique de systèmes intégrés dont les tailles des composants varient de l'ordre de deux décades et la multi-résolution temporelle permet la simulation de manière efficace en transitoire

tout en limitant grandement les ressources nécessaires par rapport à l'approche standard. Malgré tout, ces méthodes restent toujours plus gourmandes que les méthodes analytiques car elles nécessitent à chaque pas de résoudre le système matriciel.

5.4 Réduction du modèle thermique

Pour réduire le besoin de ressources matérielles pour la simulation thermique, une approche dérivée des méthodes numériques consiste à réduire la taille de la matrice obtenue pour modéliser le comportement du circuit. Il existe plusieurs stratégies pour y parvenir :

- l'approche RC.
- l'approche modale.
- l'approche statistique.
- l'approche réduction d'ordre du modèle.

5.4.1 Approche par réseaux RC

L'approche par réseau RC tire parti de l'analogie thermique-électrique vue au chapitre 4.2.1 pour modéliser la puce de silicium à partir d'un réseau de résistances et de capacités. Pour cela, soit l'ensemble de la puce de silicium est modélisée par un réseau RC qui s'apparente à la modélisation de type éléments finis, soit par un modèle compact RC.

Dans le premier cas, le réseau RC correspond à un réseau de Cauer (figure 5.9) ou encore de Foster (figure 5.10). De nombreuses résistances et capacités sont alors requises pour modéliser une puce complète. Dans le second cas, le modèle compact n'en requiert seulement que quelques dizaines. La modélisation DELPHI et la modélisation utilisée dans le logiciel académique HotSpot appartiennent à ce dernier cas.

Réseaux de Cauer et de Foster

La modélisation par un réseau RC de Cauer (figure 5.9) est une modélisation qui conserve une signification physique dans sa construction tandis que la modélisation par un réseau de Foster (figure 5.10) est un modèle mathématique équivalent au réseau de Cauer. Dans ces réseaux de Foster, les résistances et capacités sont purement mathématiques et sont susceptibles de prendre des valeurs négatives.

Les paramètres RC d'un réseau de Foster sont plus aisément extractibles expérimentalement que ceux d'un réseau de Cauer. Cependant, la simulation d'un réseau de Cauer est exécutée plus rapidement par le simulateur. Finalement, les approches par réseaux RC selon les méthodes de Cauer ou Foster permettent l'analyse thermique à partir de simulateurs électriques, mais nécessitent, comme les méthodes par éléments finis, d'avoir une granularité fine pour être précises.

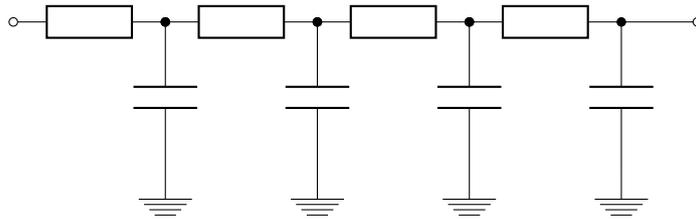


FIGURE 5.9 – Représentation d'un réseau de Caueur.

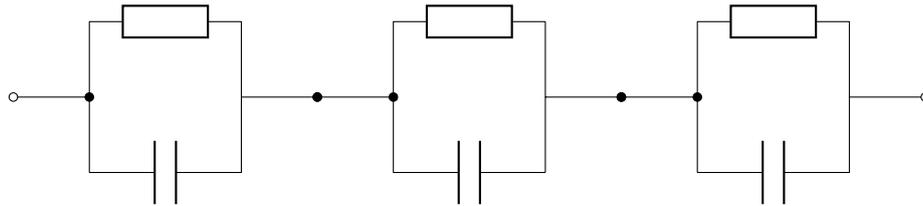


FIGURE 5.10 – Représentation d'un réseau de Foster.

Modélisation DELPHI

La modélisation DELPHI est le fruit d'un projet européen mené de 1992 à 1995 par le consortium Thompson, Philips, Alcatel pour la modélisation électrothermique indépendante des conditions aux limites de puces électroniques complètes (puces prêtes à être montées sur un circuit imprimé).

Le but de cette modélisation étant d'obtenir un modèle pour la puce dans son boîtier de la forme des modèles présentés sur la figure 5.11 [133]. La réalisation de ces modèles suit la procédure suivante [134] :

- Un modèle thermique détaillé du circuit intégré est généré à partir d'un logiciel de simulation thermique de type éléments finis (ANSYS[®], COMSOL[®], etc.).
- Différentes conditions aux limites sont appliquées sur les surfaces où le transfert de chaleur est significatif. La méthode DELPHI recommande d'utiliser un jeu de coefficients de transfert de chaleur. La température de jonction et le taux de génération de chaleur est alors extrait à partir des simulations obtenues en fonction des conditions aux limites imposées. Un exemple de 49 conditions aux limites est donné dans [135].
- Le modèle compact est alors défini. Un réseau thermique est généralement associé à ce modèle et peut être exprimé sous forme matricielle.
- Une fonction de coût à minimiser est définie dans la procédure DELPHI.
- En agissant sur les différents paramètres du modèle compact, la fonction de coût définie par l'utilisateur est minimisée.
- La précision du modèle est évaluée à partir de tests réalisés pour des conditions aux limites différentes de celles utilisées pour la génération du modèle.

Dans [135], cette méthodologie est étendue à la modélisation compact dynamique. Les algorithmes utilisés en génétiques sont appliqués dans ce cas pour la validation des réseaux thermiques obtenus. La génération du modèle est alors composée de deux phases :

- Un réseau résistif est extrait à partir d'un jeu de 49 conditions aux limites différentes

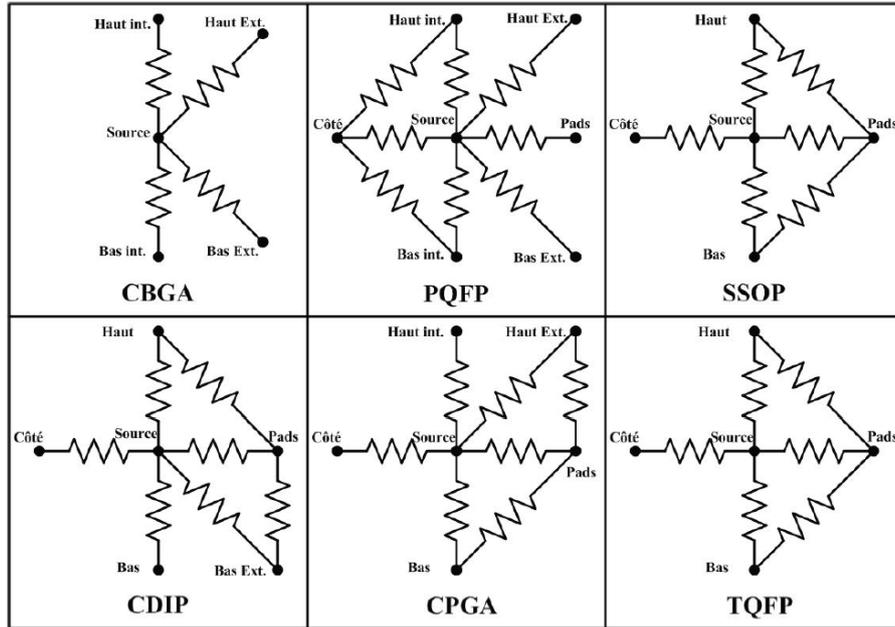


FIGURE 5.11 – Configurations de réseaux Delphi selon le boîtier utilisé [133].

en régime établi.

- Des capacités sont associées au réseau pour que le modèle corresponde à un jeu de 10 configurations transitoires différentes.

L'erreur sur la température de jonction pour le modèle d'un boîtier QFN16 (Quad Flat-pack No lead) suivant la méthode proposée dans [135] est inférieure à 10%.

La modélisation DELPHI présente l'avantage d'être utilisable indépendamment de l'expérience du concepteur en thermique car cette procédure est totalement automatisée.

Cependant, la réalisation d'un modèle compact suivant cette méthodologie nécessite un grand nombre de simulations thermiques par éléments finis et requiert donc du temps pour extraire le modèle. En outre, la modélisation DELPHI d'un système comportant plusieurs sources de chaleurs est peu adaptée en raison du nombre de simulations supplémentaires qui sont nécessaires pour en extraire le modèle.

5.4.2 Technique de réduction d'ordre du modèle

Les méthodes dites de réduction d'ordre du modèle (MOR) consistent à réduire mathématiquement la matrice, obtenue à partir d'un simulateur par éléments finis, qui modélise le réseau thermique. Cette matrice d'ordre n , n étant égal au nombre d'équations différentielles, vers une matrice d'ordre r , où r est inférieur à n (équation 5.16) :

$$G \cdot T + C \cdot \dot{T} = B \cdot P. \quad (5.16)$$

où :

Méthode	Avantages	Inconvénients
Méthodes issues la théorie du contrôle (approximation tronquée, approximation de la perturbation singulière, réduction au sens de la norme d'Hankel)	Erreur globale estimée, utilisable de manière totalement automatique	Complexité algorithmique en $\Theta(n^3)$
SVD-Krylov (approximation de Grammian) et méthode des signes des matrices	Estimation de l'erreur et complexité algorithmique en $\Theta(n^2)$	En phase de développement
Approximation de Padé (concordance des moments) via les sous-espaces de Krylov en utilisant, soit l'algorithme d'Arnoldi soit celui de Lanczos	Avantageuse en termes de calcul, applicable aux systèmes linéaires multidimensionnels d'ordre élevé	Pas d'estimation de l'erreur ce qui oblige l'utilisateur à définir l'ordre de réduction
Méthodes de Guyan	Les nœuds physiques sont préservés	Réduction du modèle non optimisé

TABLE 5.1 – Avantages et inconvénients des principales techniques MOR [136].

- G est la matrice de conductances thermiques.
- C est la matrice des capacités thermiques.
- T est le vecteur des températures.
- P est le vecteur des sources de chaleur.
- B est la matrice interne reliant les sources aux états internes.

Pour réduire l'ordre du model, un sous espace \mathcal{V} est construit de telle sorte que :

$$T = \mathcal{V} \cdot T_r + \epsilon \quad (5.17)$$

La précision du modèle réduit dépend de l'erreur ϵ .

Le modèle d'ordre réduit est ensuite obtenu par projection de l'équation 5.16 selon les techniques présentées dans le tableau 5.1 :

$$G_r \cdot T_r + C_r \cdot \dot{T} = B_r \cdot P. \quad (5.18)$$

avec :

- $G_r = \mathcal{V}^T \cdot G \cdot \mathcal{V}$;
- $C_r = \mathcal{V}^T \cdot C \cdot \mathcal{V}$;
- $B_r = \mathcal{V}^T \cdot B$;

Plusieurs méthodes sont possibles pour réduire l'ordre du modèle. Les plus courantes sont présentées dans le tableau 5.1 issu de [136]. Dans ce tableau, nous voyons également les

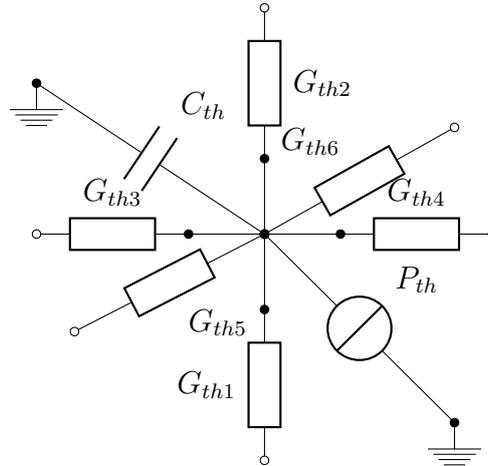


FIGURE 5.12 – Nœud du réseau thermique.

avantages et inconvénients de chacune de ces méthodes. Bien que ces techniques permettent de réduire fortement la complexité du système avec peu de ressources, elles souffrent en contrepartie d'une forte complexité de mise en œuvre. D'autre part, certaines de ces méthodes ne sont, soit pas automatisables, soit ne garantissent pas la stabilité du système. De plus, il n'y a pas de règle absolue permettant de déterminer l'ordre idéal r du modèle réduit [137]. La précision du modèle réduit est alors tributaire de l'expérience de l'utilisateur. Ces techniques permettent de réduire fortement l'ordre du système ($r \ll n$) tout en conservant le nombre d'entrées/sorties identiques au système de départ.

5.4.3 Marche aléatoire

La méthode de la marche aléatoire consiste à modéliser le comportement thermique du système d'un point de vue purement probabiliste. Cette approche trouve de nombreuses applications pour la modélisation de systèmes stochastiques (moteur de recherche sur internet) et s'est révélée être une méthode efficace pour l'analyse de réseaux RC d'alimentation des circuits intégrés [138–140].

Cette approche est bien adaptée pour analyser les différentes configurations de positionnement des composants dans l'étude prospective et pour détecter les faibles variations locales de température [112]. La méthodologie est décrite ci-après dans le cas de l'analyse pour le régime établi, mais elle peut être étendue au régime transitoire.

La première étape consiste à établir un réseau RC thermique qui modélise le système à étudier. Les réseaux de Foster ou Cauer peuvent être utilisés. Nous considérons que le réseau initial est un réseau de Cauer. Ainsi, à un nœud x du circuit correspond un réseau RC qui est représenté sur la figure 5.12.

L'application des lois de Kirchhoff conduit à l'équation 5.19 :

$$\sum_{i=1}^{\text{degré}(x)} g(T_i - T_x) = H_x \quad (5.19)$$

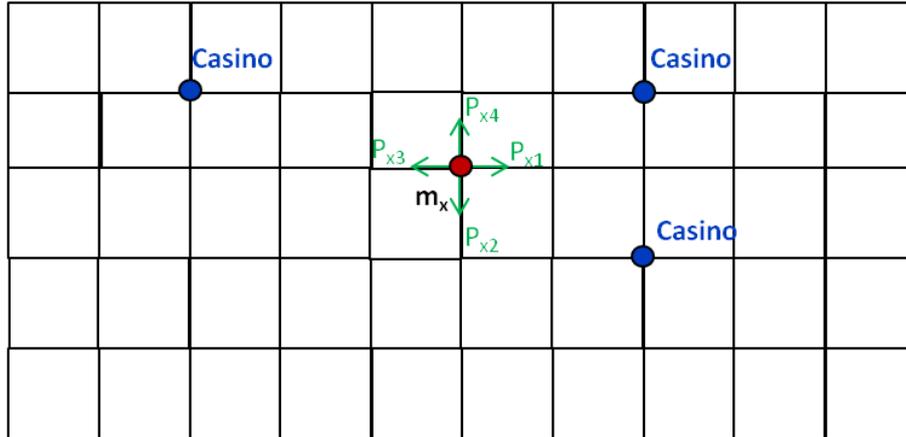


FIGURE 5.13 – Exemple de graphe de marche aléatoire.

où :

- les nœuds adjacents à x sont numérotés de 1 au nombre de degrés de liberté au nœud x , noté $\text{degré}(x)$.
- T_x est la température au nœud x .
- T_i est la température au nœud i .
- g_i est la conductance thermique entre le nœud i et le nœud x .
- H_x est le flux de chaleur émis par une source connectée au nœud x .

L'équation 5.19 peut encore être mise sous la forme 5.20 :

$$T_x = \frac{\sum_{i=1}^{\text{degré}(x)} g_i \cdot T_i}{\sum_{j=1}^{\text{degré}(x)} g_j} - \frac{I_x}{\sum_{j=1}^{\text{degré}(x)} g_j} \quad (5.20)$$

En conséquence, la température à chaque nœud du réseau thermique est une fonction linéaire de la température aux nœuds adjacents. De plus, la somme des coefficients associés à T_i est égale à un.

Dans un réseau résistif qui comporte N nœuds, dont les valeurs des températures sont indéfinies, correspond N équations linéaires de la forme de l'équation 5.20 à chaque nœud. La résolution du jeu d'équations du système avec la condition que la température T_p en un ou plusieurs nœuds du réseau est définie permet de déterminer les températures aux nœuds intermédiaires. Les nœuds où la température est définie fixent les conditions aux limites du système.

Considérons maintenant le cas de la marche aléatoire, par exemple celui dont le graphe des chemins est représenté sur la figure 5.13. Ce chemin comporte q casinos C_p avec $p \in [1, q]$. Un marcheur part d'un nœud x et se déplace vers un nœud adjacent i à chaque *tour* avec la probabilité $p_{x,i}$, et $i = 1$ à $\text{degré}(x)$. Les probabilités obtenues obéissent à la relation 5.21 :

$$\sum_{i=1}^{\text{degré}(x)} p_{x,i} = 1 \quad (5.21)$$

Le marcheur débourse une taxe de passage m_i à chaque nœud i du chemin jusqu'à arriver à un casino C . A chaque fois qu'il atteint un casino C_p il reçoit un gain $G(C_p)$ dont le montant dépend du casino. En supposant que le marcheur part avec un gain initial nul, nous cherchons à évaluer le montant total de ses gains (son espérance mathématique) à la fin de sa marche en fonction de son point de départ. Cette fonction est définie par la relation 5.22 :

$$f(x) = E(\text{gain total} | \text{nœud } x) \quad (5.22)$$

En particulier, nous avons à chaque casino :

$$f(C_p) = G(C_p) \quad (5.23)$$

Pour les autres nœuds, les fonctions f satisfont l'équation 5.24 ;

$$f(x) = \sum_{i=1}^{\text{degré}(x)} p_{x,i} \cdot f(i) - m_x \quad (5.24)$$

Si le chemin comporte N nœuds qui ne sont pas des casinos, il y a N équations linéaires similaires à l'équation 5.24 et les solutions à ce jeu d'équations donne le résultat des valeurs de f pour chaque nœud.

Un parallèle assez clair entre l'analyse d'un réseau RC et la méthode de la marche aléatoire peut être établi (équation 5.25). L'équation 5.24 est identique à l'équation 5.20 et l'équation 5.23 réduit le problème au cas de sources de température constante.

$$\begin{aligned} p_{x,i} &= \frac{g_i}{\sum_{j=1}^{\text{degré}(x)} g_j} \text{ avec } i = 1, \dots, \text{degré}(x) \\ m_{x,i} &= \frac{I_x}{\sum_{j=1}^{\text{degré}(x)} g_j} \text{ avec } G(C_p) = T_h, f(x) = T_x. \end{aligned} \quad (5.25)$$

Il est donc possible de réduire l'analyse thermique du système à une analyse de marche aléatoire caractérisée par le même jeu d'équations. Dans [141, 142], il est démontré que la résolution de ce jeu d'équations admet une unique solution. Ainsi, résoudre le problème mathématique revient à résoudre le problème thermique.

La résolution naturelle du problème de la marche aléatoire consiste à tirer et à évaluer plusieurs expériences, puis de prendre la moyenne des gains restants à l'issue de ces tirages en tant que solution approximative du problème. En moyennant les gains sur une série suffisamment grande d'expériences, alors par la loi des grands nombres, une solution avec une précision acceptable est obtenue et l'erreur est estimée en utilisant le théorème de la limite centrale [143].

Cette approche offre l'avantage de cibler le calcul des températures, c'est-à-dire que la température est calculable en un nœud du circuit sans avoir besoin de résoudre l'intégralité du problème, alors que l'approche classique de la résolution matricielle des lois de Kirchhoff nécessite de calculer les températures en tout point du circuit. Des algorithmes pour optimiser la résolution du problème de la marche aléatoire appliqués à la résolution de la distribution de l'alimentation dans des structures VLSI sont détaillés dans [138–140].

5.4.4 Conclusion

Les méthodes détaillées présentent des avantages selon leur application spécifique. Généralement, les méthodes de réduction d'ordre du modèle sont bien adaptées pour la résolution transitoire sur de longues périodes, c'est-à-dire pour des simulations d'une durée supérieure à plusieurs fois la constante de temps électrique du système, en raison de la diminution des ressources nécessaires à chaque pas de calcul. En revanche, les méthodes par différences finies dans le domaine temporelle sont les plus avantageuses pour les simulations dynamiques pour des périodes de simulation de l'ordre de quelques fois la constante de temps du système [112]. Les techniques basées sur l'approche probabiliste de la marche aléatoire sont utilisables en régime transitoire et établi. L'optimisation du temps de résolution par ces techniques encourage à relâcher la contrainte sur la précision du résultat, ce qui réduit le nombre d'expériences à réaliser. Ainsi, ces techniques sont idéales pour l'analyse prospective.

Les méthodes de types éléments finis (FEM, FDM, FVM, etc.) discrétisent à la fois le temps et l'espace et sont les méthodes les plus souples. En effet, la variation des propriétés thermiques en fonction de la température sont facilement prises en compte, et ces méthodes peuvent modéliser tout type de géométrie. De plus, les résultats obtenus suivant cette approche sont les plus précis, bien que cela se fasse au détriment du temps de simulation.

A contrario des méthodes de type éléments finis, les méthodes semi-analytiques basées sur les fonctions de Green ou sur l'approche diffusive sont bien adaptées pour les systèmes simples, c'est-à-dire avec peu de sources de chaleur ou un nombre restreint de discontinuités des propriétés thermiques. Elles sont donc efficaces pour les systèmes VLSI lorsqu'une solution grossière est suffisante, ce qui est le cas notamment lors de l'analyse prospective. Les méthodes analytiques sont peu gourmandes en ressources.

Dans le cadre de ces travaux, nous avons opté pour une approche de type éléments finis où les éléments unitaires modélisent le transfert de chaleur avec un réseau de Cauer trilinéaire. Une des fonctions du simulateur est de permettre de vérifier précisément que le système simulé réponde au cahier des charges. Par exemple, pour un amplificateur, le simulateur doit certifier son comportement (bande passante, offset, gain) lorsqu'il est utilisé dans les conditions définies lors de l'établissement de son cahier des charges. Ainsi, le simulateur doit permettre au concepteur de garantir les performances annoncées. De plus, nous voulons conserver une approche physique pour que l'utilisateur puisse comprendre le fonctionnement de l'outil. Or, parmi les approches abordées, les méthodes par éléments finis répondent au mieux à nos besoins.

De plus, cette approche est la plus flexible ce qui permet de faire évoluer l'outil pour que tout type de structure soit simulable. La méthode de maillage de la puce sera également optimisée en fonction de la carte des densités de puissance dissipées pour réduire le nombre de nœuds du système à simuler, et donc réduire la taille de la matrice à résoudre par le simulateur. Enfin, une évolution ultérieure envisagée est d'utiliser la méthode de la marche aléatoire pour réduire le réseau RC thermique à chaque nœud de source de chaleur, tout en conservant une marge d'erreur faible.

Grâce aux chapitres que nous avons parcourus jusqu'à présent, nous avons pu définir

les propriétés essentielles que notre simulateur doit posséder, à savoir : la possibilité de simuler des systèmes planaires empilés les uns sur les autres, la précision des résultats et la compatibilité avec la modélisation haut-niveau. A l'issue du chapitre 4, les effets thermiques et le mode de transfert de la chaleur à modéliser ont pu être déterminés, mais nous ne savions toujours pas comment les modéliser. Ce chapitre a permis de sélectionner l'approche qui nous semble la mieux adaptée à nos besoins.

Depuis le début de ce manuscrit, nous faisons référence à la simulation électrothermique, sans jamais en avoir expliqué le principe, ni comment la mettre en application. Dans le chapitre qui suit, le brouillard qui pèse sur ce point sera enfin levé.

Chapitre 6

Principe de la simulation électrothermique

Un circuit intégré peut être perçu comme un système qui regroupe trois sous systèmes - électrique, thermique, mécanique - couplés les uns aux autres. Lorsque seul l'aspect électrothermique est considéré, nous faisons l'hypothèse que les déformations mécaniques du circuit intégré sous l'action des contraintes électrothermiques n'ont pas d'influence sur le comportement du circuit intégré. Le circuit intégré est alors réduit à un système composé d'un système électrique, modélisé par son circuit électrique, couplé à un système thermique qui est modélisé par le réseau thermique du circuit intégré dans son environnement. Dans le réseau thermique, les composants se comportent comme des sources de chaleurs qui génèrent un flux de chaleur égale à leurs puissances dissipées. Les valeurs des températures des sources de chaleur dans le réseau thermique correspondent en retour aux températures des composants dans le circuit électrique. Cela se traduit de manière formelle par le système d'équation 6.1 :

Considérons un circuit intégré comportant m nœuds électriques et n composants dont le réseau thermique associé comporte n nœuds thermiques :

$$\begin{cases} I_m(U_i, T_j, t) = 0 \\ P_n(U_i, T_j, t) = 0 \end{cases} \quad (6.1)$$

où :

- t est la variable temporelle.
- U_i est le vecteur des tensions des m nœuds du sous-système électrique.
- I_m est le vecteur des courants aux m nœuds du sous-système électrique.
- T_j est le vecteur des températures des n composants.
- P_n correspond d'une part au vecteur des n flux de chaleur générés par les n sources de chaleur dans le sous-système thermique et d'autre part au vecteur des n puissances dissipées par les n composants dans le sous-système électrique.

Dans la suite de ce chapitre, nous présenterons les méthodes de simulation électrothermique par relaxation et directe qui sont les deux approches généralement utilisées pour résoudre le système d'équation 6.1

6.1 Simulation électrothermique par relaxation

6.1.1 Principe

La méthode par relaxation requiert deux simulateurs différents qui sont couplés. L'un sera dédié à la résolution du sous-système électrique, alors que le second sera dédié au sous-système thermique. Le principe de fonctionnement est le suivant (figure 6.1) :

1. Dans le sous-système électrique, les j températures du vecteur T_j sont initialisées à une température préconfigurée T_{init} , par exemple la température ambiante.
2. Le sous-système $I_m(U_i, T_{init}, t) = 0$ (équation 1 de 6.1) est alors résolu par le simulateur électrique pour un pas de temps t_{step} .
3. Le sous-système thermique est ensuite résolu avec le vecteur des puissances électriques P_n actualisé à partir des valeurs de U_i obtenues au point 2.
4. – Si la variation entre les vecteurs T_{init} et T_i obtenus au point 2 est supérieure à la variation maximale tolérée sur les températures, alors le résultat obtenu est invalidé et le point 2 est réexécuté avec un pas de temps t_{step} réduit.
– Sinon, le résultat est validé et l'étape 2 est exécutée pour $t=t_{step}$.

Généralement, le sous-système électrique est résolu à l'aide d'un simulateur de type SPICE et le sous-système thermique est résolu à l'aide d'un simulateur par éléments finis tel qu'ANSYS® ou COMSOL®. Les références suivantes [144–151] sont des exemples représentatifs de l'utilisation de cette méthode.

6.1.2 Avantages

L'atout principal de la méthode par relaxation réside dans la simplicité de son implémentation. En effet, le *layout* des circuits électriques peut être exporté dans un format

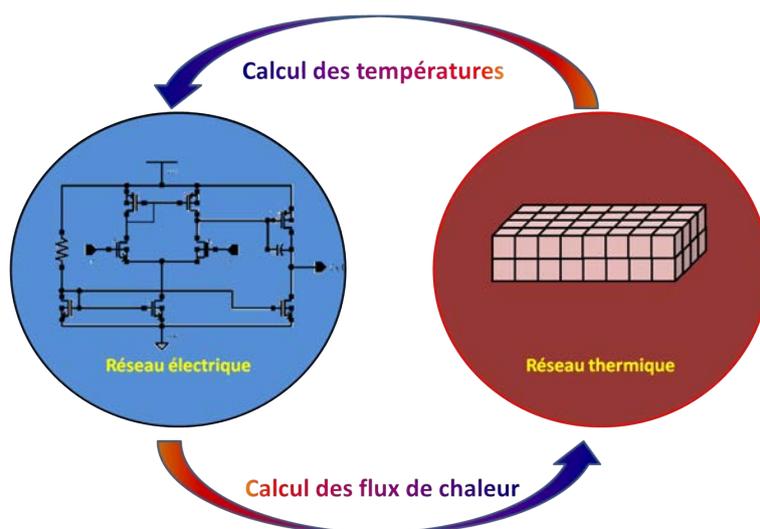


FIGURE 6.1 – Schéma de principe de la simulation électrothermique par relaxation.

compatible avec des simulateurs thermiques tels qu'ANSYS® ou encore COMSOL®. Ainsi, il n'y a plus qu'à interfacier les fichiers d'entrée/sortie des simulateurs.

En outre, certains modèles thermiques de boîtiers sont fournis pour les simulateurs thermiques précités ce qui rend cette approche attrayante.

6.1.3 Inconvénients

La résolution du problème par cette méthode nécessite d'imbriquer deux boucles d'itération l'une dans l'autre. La boucle interne est la boucle de convergence du sous-système électrique et la boucle externe assure la *relaxation* entre la partie électrique et la partie thermique. De ce fait, la convergence entre le simulateur thermique et électrique n'est fréquemment pas atteinte pour les systèmes présentant un fort couplage électrothermique [48].

6.2 Simulation électrothermique directe

6.2.1 Principe

Dans la résolution par méthode directe (figure 6.2), le système décrit par les équations 6.1 est considéré comme un système unique. Pour cela, le sous-système thermique est décrit par un réseau électrique de Cauwer ou Foster équivalent, bâti sur l'analogie électrique-thermique. Le couplage entre les deux sous-systèmes nécessite que les modèles des composants électriques possèdent un port supplémentaire. Ce port est utilisé pour évaluer la température des composants dans le réseau thermique d'une part, et d'autre part pour injecter dans le réseau thermique le flux de chaleur (puissance électrique) généré par effet Joule par les composants. Ainsi, dans le cas particulier où l'algorithme de Newton-Raphson est utilisé pour résoudre le problème, la matrice jacobienne à résoudre devient la suivante 6.2 [152] :

$$\left(\begin{array}{c|c} \frac{\partial I_m}{\partial U_i} & \frac{\partial I_m}{\partial T_i} \\ \hline \frac{\partial P_n}{\partial U_i} & \frac{\partial P_n}{\partial T_i} \end{array} \right) \quad (6.2)$$

A l'instar de la méthode par relaxation, cette méthode est largement utilisée pour l'analyse électrothermique de circuits intégrés [153–156].

6.2.2 Avantages

Cette démarche ne nécessite qu'une boucle d'itération pour résoudre le système ce qui la rend beaucoup plus robuste en présence d'un système dont le couplage électrothermique est important [48]. De plus, un seul simulateur de type SPICE est nécessaire, ce qui présente un avantage de coût pour le parc informatique et permet au concepteur de travailler avec un unique environnement de travail qui lui est familier.

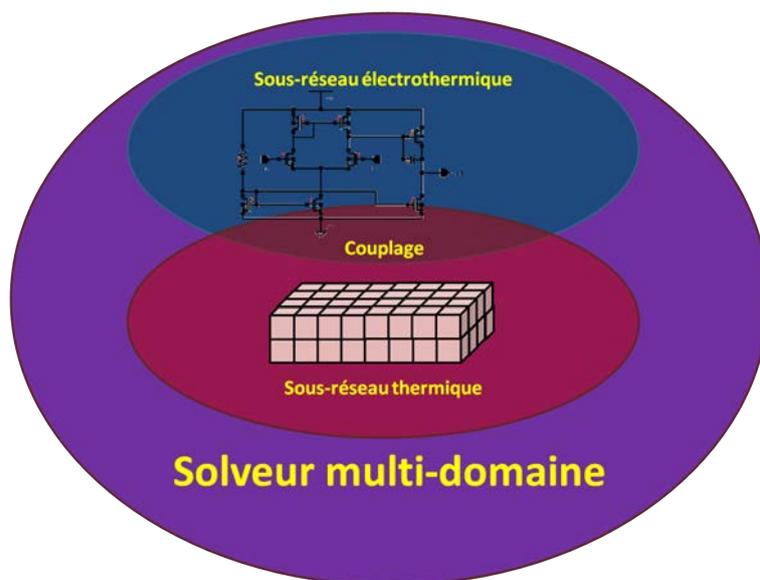


FIGURE 6.2 – Schéma de principe de la simulation électrothermique directe.

6.2.3 Inconvénients

Cette méthode est plus complexe à implémenter parce qu'il est nécessaire de construire un réseau thermique adapté, puis de l'interfacer avec le sous-réseau électrique. En outre, les modèles thermiques des boîtiers sont à développer spécifiquement pour cette méthode.

6.3 Etat de l'art des simulateurs électrothermiques

De nombreux articles portant sur le développement de simulateurs électrothermiques ont été publiés durant ces 25 dernières années. Nous présentons ici ceux qui nous ont servis pour notre étude préliminaire et qui, selon nous, sont représentatifs de l'ensemble des solutions qui existent pour construire un simulateur électrothermique.

La plupart des simulateurs développés jusqu'à maintenant repose sur le principe de la relaxation, comme le simulateur SETIPIC [144] ou le simulateur ILLIADS-T [146] du centre de l'Illinois pour les microsystèmes intégrés (iCIMS). Ce simulateur ne semble plus être mis-à-jour depuis la fin des années 1990, mais demeure disponible sur leur site internet.

Le simulateur électrothermique présenté dans [145] couple le simulateur électrique SABER[®] au simulateur par éléments finis ANSYS[®]. Dans cette application, SABER[®] est le simulateur maître. C'est-à-dire que le contrôle du pas temporel de simulation est déterminé par celui-ci. La communication et le transfert de données entre ces deux simulateurs sont assurés par une machine virtuelle parallèle. Cette machine virtuelle est un logiciel qui permet d'échanger des données entre plusieurs programmes installés sur différentes plateformes. Celle-ci fournit des bibliothèques de fonctions en C et en FORTRAN pour réaliser les échanges d'informations entre les différents hôtes. Le transfert de données ob-

tenues à partir du simulateur thermique ANSYS[®] vers le simulateur électrique SABER[®] est réalisé en C, alors que le transfert de données dans le sens inverse est réalisé à partir d'une commande utilisateur écrite en FORTRAN.

Cette méthode présente les deux avantages suivants. Le premier est la précision des résultats obtenus pour la simulation thermique, et ce, en raison de l'utilisation du simulateur par éléments finis ANSYS[®]. De plus, la non linéarité de l'équation de la conduction de la chaleur peut être prise en compte. Le second atout de cette méthode est la compatibilité avec des langages de description matériel, en l'occurrence MAST. Ceci permet de modéliser la partie électrique à différents niveaux d'abstraction et donc de réduire le temps de simulation de la partie électrique pour des systèmes complexes. En revanche, l'inconvénient principal de cette solution est l'importance des ressources nécessaires pour la simulation thermique, en particulier pour la simulation de systèmes VLSI. Enfin, ce simulateur ne semble plus faire l'objet de mises à jours depuis 1997 et ne semble pas être disponible.

Dans [157], le simulateur électrothermique présenté réalise la relaxation entre le simulateur électrique PSpice et le simulateur par éléments finis COMSOL[®]. L'interfaçage entre les deux simulateurs est réalisé à partir de MATLAB[®]. Un algorithme, basé sur le théorème de Rayleigh, permet d'adapter le pas de simulation temporelle afin de réduire les ressources nécessaires à la simulation. Cette méthode présente les mêmes avantages et inconvénients que le simulateur présenté dans [145] à la différence que celui-ci est adapté aux outils actuels.

Dans [158], le simulateur électrothermique présenté est intégré à l'environnement Mentor Graphics[®] en couplant le simulateur Eldo[®] au simulateur thermique quasi 3D Overheat. Cette solution présente l'avantage de s'inscrire dans le flot d'un environnement standard pour la conception de circuits intégrés.

Dans [159], le simulateur thermique CircuitFire[®] est couplé au simulateur électrique Spectre[®] ou UltraSim[®]. Aujourd'hui, cette solution est intégrée commercialement dans l'environnement Cadence[®]. A noter que le simulateur thermique a changé de nom pour devenir le simulateur HeatWave[®].

Ce simulateur s'inscrit également dans un flot standard de conception de circuits intégrés et regroupe l'ensemble des avantages mentionnés précédemment. L'utilisation des langages comportementaux permet entre autres d'intégrer le vieillissement du circuit à la simulation électrothermique. En raison de ces atouts, la société ONSemiconductor utilise ce logiciel dans le cycle de conception de ses circuits intégrés. Cependant, à l'instar de toutes les solutions utilisant la méthode de couplage électrothermique par relaxation, la simulation de systèmes dont le couplage électrothermique est fort n'est généralement pas possible. De plus, en raison du découplage entre les constantes de temps thermique et électrique, les variations rapides de températures ne peuvent pas être prises en compte.

Jusqu'à présent le logiciel Advanced Design System (ADS) d'Agilent[®] ne prenait en compte que l'auto-échauffement des composants lors des simulations. Conscient de l'importance de tenir compte plus précisément du comportement électrothermique du circuit au cours des simulations, le simulateur thermique HeatWave[®] est maintenant intégré de manière native à l'environnement de conception dans la version 2012. Cela signifie que, dans cette version, le couplage par relaxation entre les simulateurs électrique et thermique se fait de

manière totalement transparente pour l'utilisateur. Ainsi, ce simulateur électrothermique présente les mêmes avantages et inconvénients que l'intégration du logiciel HeatWave[®] dans Cadence[®].

En raison de la facilité de l'implémentation des simulateurs par relaxation, peu de simulateurs électrothermiques directs ont été développés. Le simulateur académique Sissy [160] est pourtant historiquement l'un des premiers simulateurs électrothermiques. De plus à l'heure actuelle, ce simulateur est sans aucun doute le simulateur électrothermique de référence utilisant la méthode directe. Développé à l'Université de Technologie et d'Économie de Budapest, il est totalement indépendant de tout environnement de conception de circuits intégrés standard et possède sa propre interface graphique permettant à l'utilisateur de créer le schéma électrique et le dessin des masques du circuit à simuler. Au moment de la simulation, un réseau thermique de type Foster est généré à partir du placement des divers composants dans la vue représentant le dessin des masques du circuit à simuler. Ce réseau thermique est ensuite couplé de manière directe au réseau électrique lors de la création du système matriciel à résoudre par le simulateur. Le choix de la méthode directe pour réaliser des simulations électrothermiques permet au simulateur de prendre en compte des variations rapides de température au sein du circuit et le rend bien moins sensible aux problèmes de convergence. Cependant, ce simulateur souffre de son indépendance vis-à-vis des environnements de conception de circuits intégrés standard et plus particulièrement de l'absence de compatibilité avec des langages de description matériel.

La table 6.1 dresse un récapitulatif des principales caractéristiques de l'ensemble des simulateurs électrothermiques que nous venons de présenter.

Les différents simulateurs électrothermiques commerciaux actuels favorisent la méthode par relaxation. Cette solution présente l'avantage d'être facilement implémentable et de bénéficier des performances des outils existants dans les domaines électriques et thermiques. De plus, les applications commerciales présentées s'inscrivent dans le flot de conception standard des circuits intégrés. En outre, cette méthode conduit au découplage des constantes de temps thermiques et électriques, ce qui permet de simuler le comportement électrothermique de systèmes complexes sur de longues périodes de temps en minimisant les ressources nécessaires. En revanche, ce découplage rend transparentes les variations rapides de température au sein du circuit. Ainsi, l'analyse du comportement électrothermique peut dans certain cas être erronée. A cela s'ajoute le risque de problème de convergence des simulateurs en cas de fort couplage électrothermique inhérent à l'utilisation de cette approche.

D'un autre côté, nous avons les simulateurs électrothermiques directs. Aujourd'hui, à notre connaissance, il n'existe pas de solutions commerciales basées sur cette approche. Dans le domaine académique, le simulateur Sissy [160] est sans doute le plus complet et fait office de référence à l'heure actuelle. La précision des résultats de simulation obtenus à l'aide de ce simulateur est suffisante pour que le concepteur puisse valider le fonctionnement du circuit. De plus, en raison de l'utilisation de la méthode directe, le simulateur est moins sensible aux éventuelles problèmes de convergence et permet d'analyser précisément le comportement électrothermique du circuit y compris en cas de variations rapides. Cependant, ce logiciel ne s'inscrit pas dans un environnement CAO standard et ne propose pas de compatibilité avec des langages de description matériel.

Simulateur	Couplage	Flot standard	Simulations mixtes	Compatible langages de description matériel
SETIPIC ([144])	Relaxation	Oui	Non	Non
ILLIADS-T ([146])	Relaxation	Non	Non	Non
Ansys-Saber ([145])	Relaxation	Oui	Oui	Oui
PSPICE- Comsol ([157])	Relaxation	Oui	Oui	Oui
Eldo- Overheat ([158])	Relaxation	Oui	Oui	Oui
HeatWave- Cadence ([159])	Relaxation	Oui	Oui	Oui
HeatWave- ADS	Relaxation	Oui	Oui	Oui
SISSY ([160])	Direct	Non	Oui	Non

TABLE 6.1 – Comparatif des simulateurs électrothermiques étudiés

6.4 Conclusion

Nous constatons que les inconvénients de la méthode directe interviennent uniquement dans la phase de conception de l'outil, alors que les inconvénients de la méthode par relaxation interviennent lors de l'utilisation de l'outil de simulation. Ainsi, bien qu'il semble que la méthode par relaxation soit plus répandue que la méthode directe, cette dernière trouve notre préférence pour la simulation de systèmes en technologie 3D en raison des avantages que confère cette méthode en ce qui concerne la convergence du simulateur. De plus, la méthode directe permet au concepteur de rester dans un environnement de travail familier, ce qui motive, bien que dans une moindre mesure, notre choix pour cette approche.

A la clôture de chapitre, nous avons pu mettre en place tous les éléments nécessaires à la conception de notre simulateur. Tout d'abord, celui-ci s'inscrira dans la branche de vérification du cycle en V, appliqué à la conception de circuits intégrés 3D par empilement de puces, et sera utilisable à tous les niveaux d'abstraction. Ensuite, seul l'effet Joule et le transfert de chaleur par conduction, qui sont respectivement les mécanismes dominants pour la génération et de transfert de chaleur dans ces systèmes, seront modélisés. Enfin, le simulateur sera intégré à l'environnement de développement CADENCE® en se basant sur la méthode de simulation électrothermique directe. Le modèle thermique du circuit à

simuler correspondra à un réseau de Cauer trilinéaire.

La suite de cet ouvrage présente le travail pratique réalisé au cours de ces trois années. Dans cette seconde partie, nous expliquerons, dans le chapitre suivant, le fonctionnement du simulateur de manière approfondie. Puis, nous le validerons à partir d'un outil de référence, mais également à partir d'un circuit test. A l'issue de la partie validant le simulateur, nous développerons la méthodologie de modélisation électrothermique haut-niveau, avant de conclure le manuscrit.

Chapitre 7

Simulateur électrothermique développé

7.1 Rappel des choix réalisés

7.1.1 Fonctions du simulateur

Nous avons vu au chapitre 3 l'intérêt de s'appuyer sur la modélisation haut-niveau des divers blocs fonctionnels pour simuler le comportement électrique d'un circuit intégré complet. Cette démarche est d'autant plus avantageuse pour l'analyse électrothermique de ces circuits que la contribution thermique complexifie la simulation. En conséquence, nous avons développé l'outil de simulation pour qu'il soit compatible avec la modélisation de haut-niveau et pour qu'il puisse servir à alimenter une bibliothèque de modèles électrothermiques de haut-niveau. Ces deux fonctions attribuées au simulateur sont schématisées sur la figure 7.1. Ceci demande naturellement au simulateur d'accepter un ou plusieurs langages de description comportementale.

7.1.2 Environnement

La création ab initio d'un logiciel complet dédié à la simulation électrothermique de circuits nécessite de lourds moyens humains et financiers. L'optimisation de ces ressources pour le développement d'un tel outil passe par l'utilisation d'éléments préexistants. De plus, pour que l'outil puisse être adopté largement par les concepteurs de circuits intégrés, il est bénéfique qu'il permette aux utilisateurs de se reposer sur leur savoir-faire dans leur domaine de prédilection, et plus particulièrement dans le domaine de la simulation électrique. Que l'on s'oriente vers une méthode de simulation électrothermique par relaxation ou directe, un simulateur électrique performant est requis. Les environnements de développement proposés par CADENCE[®] ou MENTOR GRAPHICS[®] sont les plus répandus dans le secteur de la microélectronique. De plus, tous les deux acceptent des langages de description comportementale. Au sein du projet 3D-IDEAS et en particulier au laboratoire, l'environnement CADENCE[®] est utilisé pour la conception de circuits intégrés, ce qui justifie l'intégration de notre outil à cet environnement. En conséquence, les langages Verilog et Verilog-A seront utilisés pour la modélisation des blocs fonctionnels.

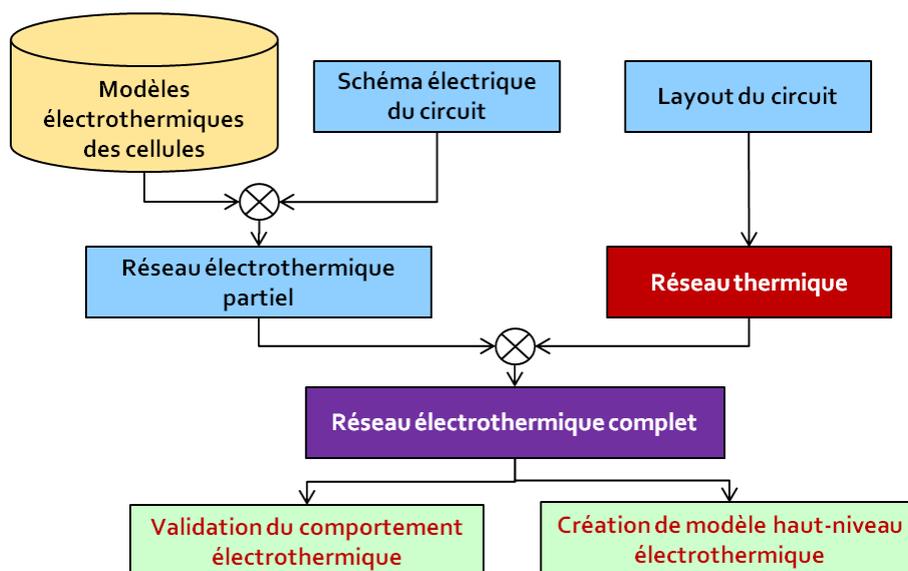


FIGURE 7.1 – Fonctions du simulateur électrothermique.

7.1.3 Méthode de simulation

De notre point de vue, la simulation électrothermique directe est plus avantageuse que la simulation par relaxation. En effet, cette approche est bien moins sensible aux problèmes de convergence pour les systèmes sujets à un fort couplage électrothermique (voir chapitre 6). De plus, cette méthode ne nécessite pas d'investissement supplémentaire dans un outil dédié à la simulation thermique. En contrepartie, des modèles thermiques de boîtiers sont à développer et la modélisation thermique en fonction du circuit à analyser doit être mise en place.

7.1.4 Modélisation thermique retenue

Au chapitre 5, nous avons vu l'ensemble des méthodes de modélisation thermique qui existent. Parmi celles-ci, nous avons choisi de modéliser les circuits intégrés par une méthode numérique de type éléments finis. Ce choix est motivé par :

- la flexibilité offerte par cette approche : les circuits planaires 2D et 3D sont modélisables.
- la précision des résultats obtenus.
- la simplicité de son implémentation.

Cependant, le nombre d'éléments finis augmente rapidement avec les dimensions du circuit. Il est donc judicieux de coupler cette méthode avec l'une des méthodes de réduction d'ordre du modèle. Les méthodes de réduction mathématiques agissent directement sur la matrice générée par le simulateur. Dans notre cas, cette matrice est créée par le simulateur (Spectre[®], APS[®], UltraSim[®], SpectreVerilog[®], etc.) qui est sélectionné dans CADENCE[®] et nous n'avons pas de moyen pour agir directement sur celle-ci. Une solution éventuelle est

de créer nous même cette matrice, puis d'utiliser un langage de description comportementale pour l'inclure dans le schéma de simulation. Cette solution est complexe à implémenter puisqu'il nous faudrait :

- générer un réseau thermique par éléments finis.
- extraire la matrice associée.
- utiliser une technique de réduction d'ordre du modèle (Krylov, Arnoldi, etc.)
- transformer la matrice réduite en un jeu d'équations écrit en Verilog-A.

Or, lors de la simulation du système avec CADENCE[®], le réseau électrothermique est converti en un système matriciel qui est résolu par le simulateur. La quatrième étape est donc exécutée deux fois, ce qui est quelque peu regrettable. Ainsi, nous préférons mettre en place un simulateur électrothermique dans lequel le réseau thermique par éléments finis correspond à une modélisation physique du circuit. Cependant, nous conservons l'utilisation des méthodes de réduction mathématiques comme une option pour l'amélioration future des performances de l'outil dans le cas où un accès à la matrice générée par le simulateur de CADENCE[®] est disponible.

Une approche physique de maillage multi-résolution nous permet d'optimiser le nombre d'éléments finis. Toutefois, il est fastidieux d'utiliser une méthode compatible avec la multi-résolution temporelle. En effet, pour cela à chaque pas de simulation, il nous faudrait :

- interrompre la simulation.
- régénérer un réseau thermique localement dans les zones où la puissance dissipée a varié.
- recréer une netlist.
- continuer la simulation.

Dans ce cas, le seul véritable inconvénient est la création de la netlist puisque le logiciel s'assure que toutes les connexions sont conformes, ce qui prend du temps lorsque le nombre d'éléments du réseau électrothermique est élevé. Nous nous limiterons donc à une optimisation spatiale du maillage multi-résolution.

Au vu des conclusions du chapitre 4 sur le transfert de chaleur, la modélisation thermique incluse dans le simulateur concerne uniquement la génération de chaleur par effet Joule. De plus, le simulateur permet de simuler uniquement le transfert de chaleur par conduction thermique car ce mode de transfert de chaleur est fortement dominant dans les circuits intégrés. La convection de la chaleur depuis la surface extérieure du boîtier sera quant à elle modélisée par sa résistance équivalente de convection.

7.2 Principe de fonctionnement

7.2.1 Nomenclature utilisée

Pour faciliter la compréhension du fonctionnement du simulateur dans la suite de ces travaux, le terme *bloc* désigne le circuit ou le sous-circuit dont nous cherchons à analyser le comportement électrothermique, ou dont nous développons son modèle comportementale électrothermique (chapitre 9). Le terme *cellule*, quant à lui, désigne les éléments qui consti-

tuent le bloc en cours de traitement. Selon le niveau de modélisation, un bloc peut devenir une cellule et réciproquement. En prenant le cas particulier d'un circuit électrique réalisant la fonction d'un amplificateur opérationnel, si nous devons analyser son comportement ou générer son modèle électrothermique, alors nous y ferons référence en tant que bloc. Les transistors, capacités, résistances, etc. en seront les cellules. En revanche, si cet amplificateur opérationnel est un sous-élément du circuit que nous étudions, tel qu'un amplificateur d'instrumentation, alors nous le considérerons comme une cellule, l'amplificateur d'instrumentation étant le bloc. La figure 7.2 représente la distinction qui est faite entre cellule et bloc dans l'exemple utilisé.

7.2.2 Principe

Le principe général du fonctionnement du simulateur est exposé sur la figure 7.3. La méthode de simulation électrothermique directe nécessite de coupler le réseau modélisant le comportement électrique au réseau qui modélise le comportement thermique, pour générer le réseau électrothermique complet. Ce dernier est ensuite simulable avec un simulateur électrique ou, dans notre cas, un simulateur multi-domaine.

Pour cela, le schéma électrique du bloc doit être modifié en un réseau que nous appellerons sous-réseau électrothermique. Ce sous-réseau est généré tout simplement en remplaçant les modèles électriques des cellules du bloc par leurs équivalents électrothermiques. Nous expliquerons par la suite, au point 7.3, ce que sont exactement ces modèles électrothermiques.

Le sous-réseau thermique est quant à lui généré à partir des informations sur la localisation des différentes cellules du bloc présentes dans sa représentation physique (*layout*). La méthode de construction de ce réseau est abordée au point 7.4.

Ces deux sous-réseaux sont finalement couplés ensemble avec des cellules, dites de couplage, qui d'une part, distribuent dans le réseau thermique le flux de chaleur généré par

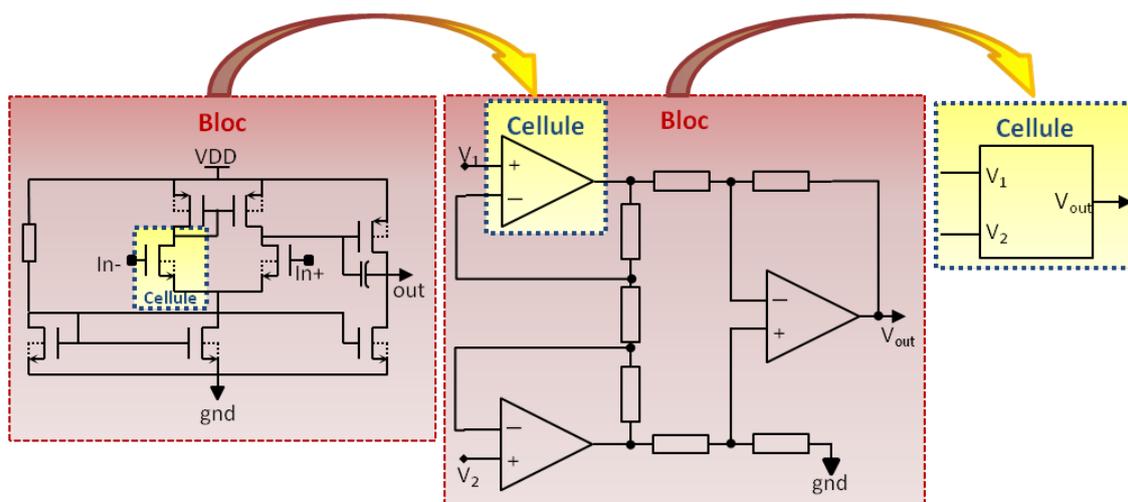


FIGURE 7.2 – Représentation bloc-cellule.

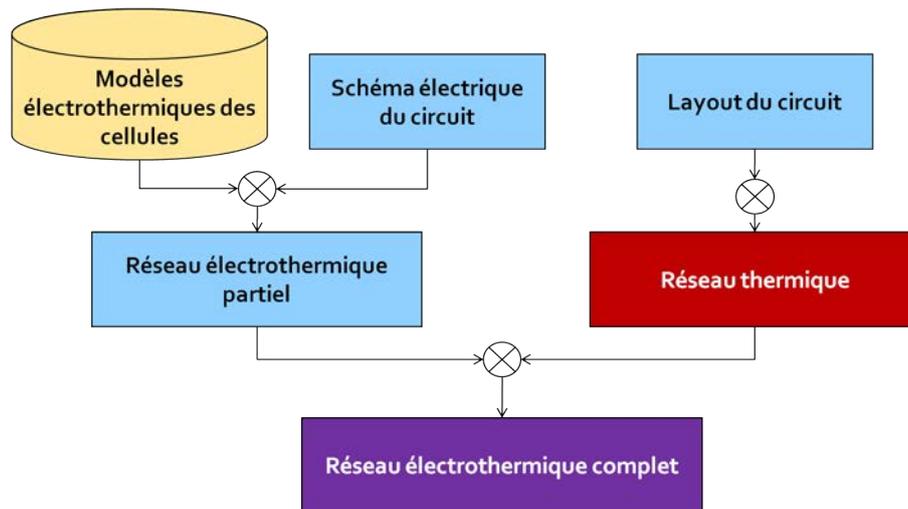


FIGURE 7.3 – Principe de fonctionnement du simulateur.

chaque cellule, et d'autre part actualisent la température au niveau des modèles électrothermiques des cellules à partir du réseau thermique. Nous reviendrons sur ces cellules de couplage au point 7.5.

Le réseau électrothermique qui est ainsi obtenu peut être simulé par l'utilisateur de la même façon qu'un circuit électrique standard. A noter que la génération des sous-réseaux et leur couplage final est automatisé à partir d'un script écrit en SKILL[®]. Ce langage est un langage propriétaire de la société CADENCE[®], dérivé du LISP, et permet entre autres d'automatiser des procédures dans l'environnement de développement.

La figure 7.4 dresse le comparatif entre les différents simulateurs existant et notre simulateur. Celui-ci se distingue des autres simulateurs en étant le seul simulateur électrothermique direct capable de simuler des systèmes mixtes 3D et compatible avec les langages de description matériel.

7.3 Création du sous-réseau électrothermique

Le sous-réseau électrothermique est identique au réseau électrique initial du bloc, seul les modèles électriques des cellules sont remplacés par leurs équivalents électrothermiques (figure 7.5).

Dans les modèles électriques standard de cellules, la température de fonctionnement est un paramètre qui est prédéfini lors de la configuration de la simulation. Cette température correspond à la température du système simulé. Dès que la simulation est lancée, ce paramètre reste constant tout au long de la simulation. En conséquence, il est impossible d'évaluer directement l'élévation de la température du bloc ainsi que son influence sur les cellules. Cependant, dans les modèles électriques, l'auto-échauffement local de la cellule peut être pris en compte par l'introduction d'un réseau thermique interne au modèle compact. Ainsi, les températures internes des cellules sont susceptibles d'évoluer au cours d'une

Simulateur	Couplage	Flot standard	Simulations mixtes	Compatible langages de description matériel
SETIPIC ([144])	Relaxation	Oui	Non	Non
ILLIADS-T ([146])	Relaxation	Non	Non	Non
Ansys-Saber ([145])	Relaxation	Oui	Oui	Oui
PSPICE- Comsol ([157])	Relaxation	Oui	Oui	Oui
Eldo- Overheat ([158])	Relaxation	Oui	Oui	Oui
HeatWave- Cadence ([159])	Relaxation	Oui	Oui	Oui
HeatWave- ADS	Relaxation	Oui	Oui	Oui
SISSY ([160])	Direct	Non	Oui	Non
Notre simulateur	Direct	Oui	Oui	Oui

FIGURE 7.4 – Comparatif des simulateurs électrothermiques étudiés.

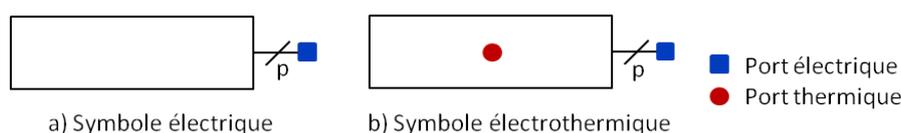


FIGURE 7.5 – Représentation des symboles électriques et électrothermiques d'une cellule générique.

simulation électrique standard, alors que la température du bloc simulé reste constante. Sur la figure 7.6, un exemple de modèle thermique de l'auto-échauffement est présenté. La résistance R_{th} et la capacité C_{th} sont respectivement la résistance thermique et la capacité thermique équivalente de la cellule. La température d'une cellule dépend de sa consommation électrique $P(t)$. Si nous considérons cette consommation électrique comme périodique, alors elle peut être décomposée en une série de Fourier de la forme $P(t) = P_0 + \sum_1^\infty P_n$ où P_0 est la puissance moyenne et P_n sont les harmoniques de rang n . Plus la fréquence des harmoniques est élevée, moins celles-ci ont une influence sur l'élévation de la température. En effet, plus la fréquence est élevée, moins la chaleur générée n'a de temps pour

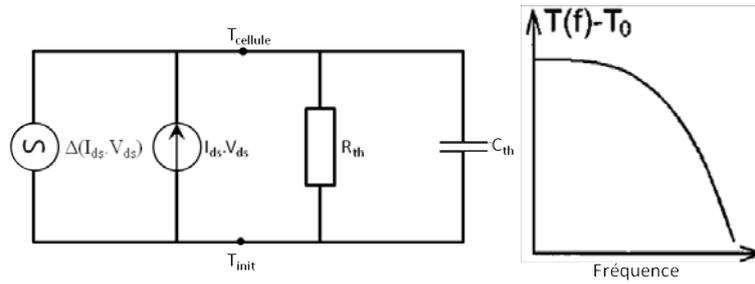


FIGURE 7.6 – Exemple de modélisation de l'auto-échauffement dans une cellule.

être stockée dans le matériau dans lequel la cellule est conçue. Ainsi, la variation de la température de la cellule suit l'évolution de sa température moyenne T_0 qui dépend de sa consommation moyenne P_0 . Ceci explique l'allure de la caractéristique de la figure 7.6. Ce modèle est utilisé pour la modélisation de l'auto-échauffement dans le modèle EKV d'un transistor de puissance VDMOS [161, 162], dans le modèle d'un transistor MOSFET HV [163]¹, d'un transistor SOI [164] et dans le modèle BSIM des transistors MOS [165].

En revanche, les modèles électrothermiques permettent de prendre en compte des effets thermiques liés à des phénomènes étrangers à la cellule tels que l'élévation de la température du système résultant de l'auto-échauffement de ses cellules.

Les modèles électrothermiques se distinguent des précédents par la présence d'un ou plusieurs ports thermiques (figure 7.5). Dans cette section, nous ne verrons que les modèles à un port thermique [166]. Le cas des modèles multi-ports thermiques est abordé dans le chapitre 9.

Considérons d'abord une cellule dont le symbole est représentée sur la figure 7.5.a comme un système possédant p ports électriques p_i avec $i \in [1, p]$. Les courants I_i et les tensions V_i sont respectivement les courants et tensions au niveau des ports p_i . Le modèle électrique standard de cette cellule peut se mettre sous la forme 7.1 :

$$\begin{aligned} T &= F_T(V_1, \dots, V_p, I_1, \dots, I_p, T_{init}, R_{th}, C_{th}, t) \\ V_i &= Fv_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \\ I_i &= Fi_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \end{aligned} \quad (7.1)$$

où :

- t est le temps.
- T_{init} est la température initiale de fonctionnement du système au niveau de la cellule.
- T est la température de la cellule.
- F_T est une fonction qui calcule la température de la cellule.
- Fv_i et Fi_i sont des fonctions de calcul des tensions et des courants au niveau des ports p_i .

Nous remarquons que le modèle électrique de la cellule intègre bien un modèle thermique interne qui évalue la température du composant à partir de T_{init} . Celle-ci dépend également

1. MOSFET HV : transistor MOSFET haute tension

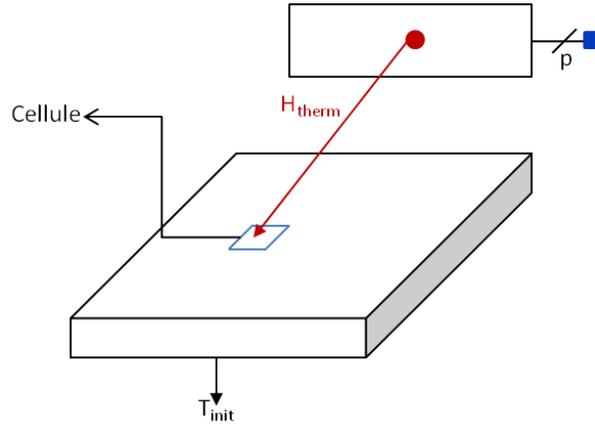


FIGURE 7.7 – Modélisation électrothermique générique d’une cellule dans un système.

des courants et tensions instantanés de la cellule. Les tensions et courants électriques quant à eux dépendent également de la température. En revanche, la température T_{init} ne peut être mise à jour pour prendre en compte l’échauffement du système global au niveau de chaque cellule sans interrompre la simulation. C’est pourquoi la modélisation électrique standard est incompatible avec la simulation électrothermique directe.

Maintenant, considérons la même cellule mais dont le symbole est celui représenté sur la figure 7.5.b. Ici, un port thermique bidirectionnel noté *therm* est ajouté et son modèle électrothermique associé est décrit par le jeu d’équations 7.3 :

$$\begin{aligned}
 T &= T_{therm} \\
 H_{therm} &= H_T(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \\
 V_i &= Fv_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \\
 I_i &= Fi_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t)
 \end{aligned}
 \tag{7.2}$$

où :

- T_{therm} est la température au niveau du port thermique.
- H_{therm} est le flux de chaleur générée par la cellule au niveau du port thermique.

Nous remarquons tout d’abord que les deux modèles sont très ressemblants. En effet, les fonctions de calcul des courants et tensions électriques demeurent inchangées. En revanche, la température T ne dépend plus uniquement des conditions électriques de la cellule mais dépend désormais de la température au niveau du port *therm*. L’information concernant la température de cette cellule se trouve donc dissociée du modèle électrique. En connectant le port thermique à un réseau thermique qui modélise les flux de chaleur au sein du système complet, la température de la cellule peut être calculée et son influence sur le système complet peut être évaluée. Sur la figure 7.7, le symbole électrothermique de la cellule est connecté au réseau thermique représentant le système dans lequel elle est intégrée.

Si nous conservons un modèle électrique où l’auto-échauffement de la cellule est pris en compte localement par l’introduction d’un réseau thermique interne au modèle compact, alors un modèle thermique du bloc qui permet d’évaluer la température moyenne de la

cellule devient suffisant. En effet, en fonction de cette température, la température de la cellule prise en compte dans le modèle compact peut être déterminée par le réseau thermique interne. Le réseau thermique du bloc peut donc être généré en relâchant quelque peu la contrainte sur la taille minimale des éléments finis. Si l'on conserve pour la cellule le même modèle électrique de la cellule que précédemment, alors le modèle électrothermique de la cellule peut être mis sous la forme :

$$\begin{aligned}
 T &= f(T_{therm}, R_{th}, C_{th}) \\
 H_{therm} &= H_T(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \\
 V_i &= Fv_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t) \\
 I_i &= Fi_i(V_1, \dots, V_p, I_1, \dots, I_p, T, t)
 \end{aligned}
 \tag{7.3}$$

A titre d'exemple, les modèles électriques et électrothermiques écrit en Verilog-A d'une résistance sont comparés sur la figure 7.8. A noter que les différences entre les modèles sont retranscrites en police grasse et que ces modèles n'incluent pas de réseau thermique interne.

Dans ces modèles, TC1 et TC2 sont des paramètres propres aux propriétés de la résistance modélisée. Dans le modèle électrothermique, seul l'effet Joule est considéré pour la génération de chaleur par la résistance. Le flux modélisé est assigné au port thermique à la ligne 21 dans le modèle électrothermique.

Dans le modèle électrique, le modèle thermique interne de la résistance aurait également pu être intégré. Pour cela, la capacité C_{th} et la résistance thermique R_{th} de la résistance électrique R doivent être calculées à partir des dimensions et des propriétés thermiques du matériau dans lequel la résistance est conçue. Les paramètres R_{th} et C_{th} peuvent également être déterminés expérimentalement.

Néanmoins, pour une simple résistance, nous avons rarement besoin d'introduire un modèle thermique interne, alors que c'est généralement le cas dans les transistors de puissance [161, 162].

Le schéma électrothermique de l'amplificateur opérationnel de la figure 7.9a est représenté sur la figure 7.9b où les ports thermiques sont mis en avant, en rouge. Visuellement, seuls les symboles des cellules ont été remplacés. Cependant, comme nous l'avons vu dans cette section, les modèles associés aux symboles sont également remplacés.

7.4 Création du sous-réseau thermique

7.4.1 Modélisation de l'environnement

La figure 7.10a montre une puce d'un circuit planaire dans son boîtier monté sur un PCB. Pour sa modélisation thermique, nous considérons que :

- les autres composants montés sur le PCB n'ont pas d'influence sur la température du PCB au niveau de la puce.
- l'évacuation de la chaleur vers l'environnement extérieur se fait par convection naturelle.

#	Modèle électrique	Modèle électrothermique
1	'include "constants.vams"	'include "constants.vams"
2	'include "disciplines.vams"	'include "disciplines.vams"
3		
4	module resistance(minus, plus);	module resistance(minus, plus, therm);
5	inout minus, plus;	inout minus, plus;
6	electrical minus, plus;	electrical minus, plus;
7		inout therm;
8		thermal therm;
9		
10	parameter real R0 = 1;	parameter real R0 = 1;
11	parameter real TC1 = -0.75e-3;	parameter real TC1 = -0.75e-3;
12	parameter real TC2 = 3.82e-6;	parameter real TC2 = 3.82e-6;
13	parameter real T0 = 300;	parameter real T0 = 300;
14	parameter real T = 300	
15	real R, deltaT;	real R, deltaT;
16		
17	analog begin	analog begin
18	deltaT = T - T0;	deltaT = Temp(therm) - T0;
19	R = R0 * (1 + TC1*deltaT + TC2*deltaT*deltaT);	R = R0 * (1 + TC1*deltaT + TC2*deltaT*deltaT);
20	I(plus, minus) <+ V(plus,minus)/R;	I(plus, minus) <+ V(plus,minus)/R;
21		Pwr(therm) <+ - (V(plus,minus) * V(plus,minus))/R;
22	end	end
23	endmodule	endmodule

FIGURE 7.8 – Exemple de modèles électrique et électrothermique en Verilog-A d'une résistance.

– seul le transfert par conduction se produit au sein de l'ensemble boîtier-puce.

Au chapitre 4, nous avons vu que l'évacuation de la chaleur par convection naturelle est très faible, et qu'elle est de l'ordre de $5W.m^{-2}.K^{-1}$. De plus, les propriétés de conduction thermique des plastiques sont faibles devant celles du silicium ou des pistes de métal reliant la puce au PCB. Ainsi, nous pouvons considérer la face supérieure de la puce comme adiabatique et que le transfert de chaleur vers l'extérieur du boîtier s'effectue du haut de la puce, où les composants sont placés, vers le bas de la puce en contact avec le boîtier. L'évacuation de la chaleur via les autres faces est négligeable donc celles-ci peuvent être considérées comme adiabatiques.

La modélisation thermique retenue pour un système 2D est présentée sur la figure 7.10b. Dans chacune des couches de matériau, seul le transfert de chaleur par conduction thermique est modélisé. Les valeurs des capacités et des résistances thermiques équivalentes des

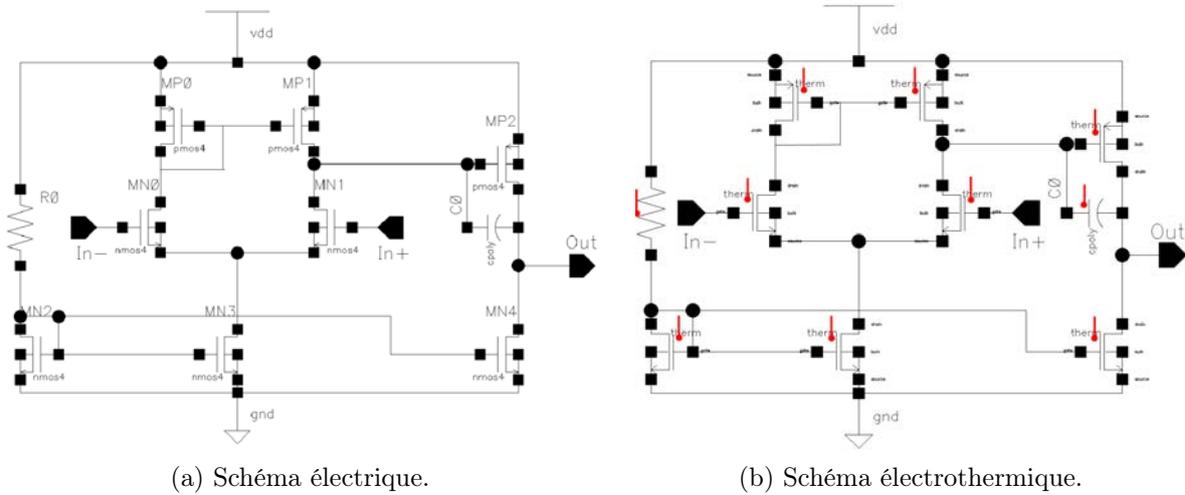


FIGURE 7.9 – Représentation des réseaux électrique et électrothermique d'un amplificateur opérationnel.

couches sont représentées en gris et en vert. Celles-ci sont extraites expérimentalement. La couche représentée en vert est en contact avec l'air ambiant, ainsi la résistance thermique associée correspond plus exactement à une résistance de conducto-convection équivalente. Les faces verticales sont placées en conditions adiabatiques.

Dans les systèmes 3D tels que celui représenté sur la figure 7.11a, les puces adjacentes sont séparées par un oxyde. Sur cette figure, nous avons considéré un oxyde de silicium et que toutes les puces possèdent les mêmes dimensions.

L'oxyde séparant deux puces empilées est un isolant thermique. Il s'oppose donc à l'évacuation naturelle de la chaleur vers le milieu extérieur. Cet isolant est de ce fait inclus dans la modélisation thermique des puces 3D. La figure 7.11b schématise la modélisation thermique retenue pour les puces 3D empilées.

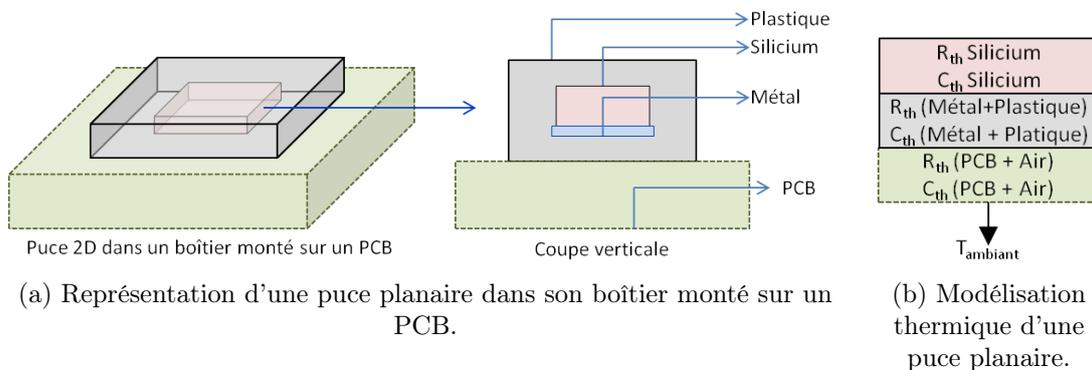


FIGURE 7.10 – Représentation et modélisation d'une puce planeaire.

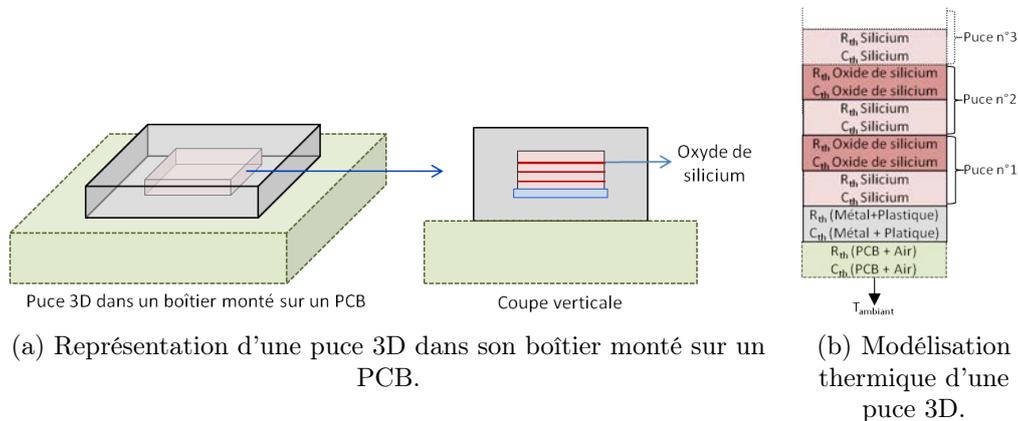


FIGURE 7.11 – Représentation et modélisation d'une puce 3D.

7.4.2 Procédure de maillage

L'approche retenue pour modéliser le comportement thermique du bloc est de type éléments finis. Ce sous-réseau thermique est généré par l'assemblage d'éléments de base (polyèdres) qui modélisent le transfert de chaleur dans le bloc. La forme géométrique de l'élément de base utilisé dans ce simulateur est le pavé droit. Cette forme géométrique se prête particulièrement bien à la modélisation du transfert de chaleur dans les structures parallélépipèdes rectangles telles que les puces de circuits intégrés (chapitre 5.2.2). De plus, la géométrie de ces éléments facilite la génération du maillage parce qu'un pavé droit peut être découpé sans perte de matière et sans recouvrement par un ensemble fini de pavés droits de dimensions inférieures.

Le symbole de cet élément et le réseau thermique associé sont présentés sur la figure 7.12. Ce code modélise le transfert de chaleur par conduction dans un parallélépipède rectangle avec un réseau de Cauer trilinéaire (figure 7.12a). Les dimensions ainsi que les propriétés thermiques de cet élément sont configurables ce qui permet de modéliser l'ensemble de la puce ainsi que son environnement. Le code Verilog-A de cet élément est fourni dans l'annexe A

Au chapitre 4, nous avons également vu que la convection et le rayonnement peuvent être modélisés à l'aide de résistances thermiques de convection ou de rayonnement. En intégrant ces résistances au modèle en tant que paramètres supplémentaires, ces modes de transfert de chaleur peuvent également être pris en compte. Cependant, l'ajout de ces résistances thermiques accroît la complexité de la matrice à simuler sans apporter de bénéfice notable sur la précision des résultats.

Nous considérons également les sources de chaleur comme des sources planaires en raison de la faible dimension verticale des composants qui est de l'ordre du micromètre au regard de la dimension verticale d'une puce de silicium qui est de l'ordre 50 à 1000 micromètres selon que la puce soit amincie ou non.

Pour concevoir un circuit intégré planaire dans l'environnement CADENCE[®], une vue

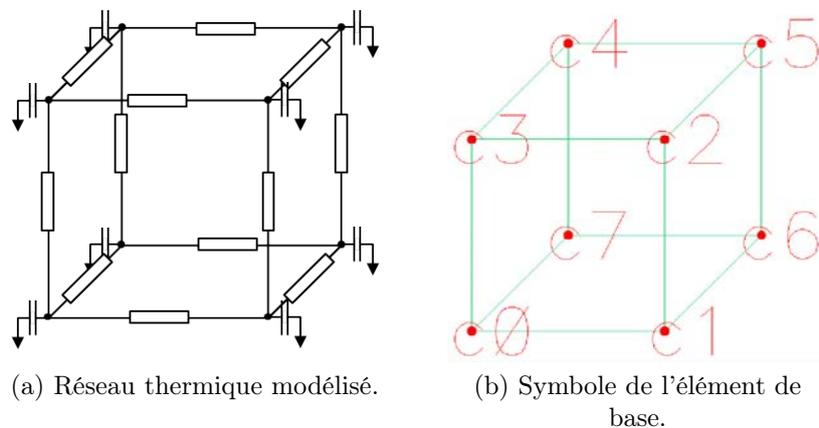


FIGURE 7.12 – Réseau thermique et symbole de l'élément fini de base.

layout qui représente le dessin des masques est associée au schéma électrique. La version 6.1.5, que nous utilisons, n'est pas encore adaptée pour la conception de circuit 3D. La figure 7.13 est une capture d'écran de l'environnement CADENCE[®]. Sur cette capture d'écran, le schéma électrique représente deux résistances placées à droite du circuit et une matrice 4×4 de capteurs de température, placée au centre. Ce circuit, nommé Matrice2D, correspond au circuit test que nous utiliserons dans le chapitre 8 pour valider expérimentalement notre simulateur. Le schéma est affiché sous sa vue *layout* (affiché en mode positionnement). Les propriétés de la vue *layout* ont été modifiées pour que l'utilisateur puisse saisir les propriétés thermiques du matériau utilisé par la vue *layout*. En l'occurrence, la capacité et la résistance thermique de la puce ont été nommées respectivement *capSil* et *resSil*. Leurs valeurs sont configurées au moment de la simulation par l'utilisateur.

Selon que nous souhaitons simuler le comportement électrothermique d'un circuit 3D (chapitre 8) ou que nous souhaitons extraire le modèle électrothermique d'un bloc planaire (chapitre 9), il est nécessaire de donner un volume aux vues *layout* et de positionner chacune de ces vues dans l'espace 3D. Pour cela, une propriété supplémentaire est ajoutée dans chacune des vues *layout* dans laquelle l'utilisateur saisit les coordonnées de la boîte englobante de chacune de ces vues (figure 7.13).

A contrario des circuits 3D monolithiques, les circuits 3D par empilement sont perceptibles comme une association tridimensionnelle de circuits planaires. Ainsi, pour contourner la limitation de l'environnement, le schéma électrique du circuit tridimensionnel est associé à autant de vues *layout* que d'étages dans le circuit 3D.

Reprenons l'exemple de notre circuit Matrice2D et empilons deux puces de ce circuit planaire l'une sur l'autre, pour créer le circuit 3D nommé Matrice3D. Dans ce cas, entre ces deux puces, une couche d'oxyde de silicium est intercalée. Conformément à notre modèle thermique pour système 3D, nous avons encore besoin d'empiler deux couches de matériaux : l'une modélise le boîtier et l'autre modélise le PCB-environnement. La figure 7.14, montre l'ensemble des vues nécessaires au fonctionnement du simulateur dans ce cas. Les

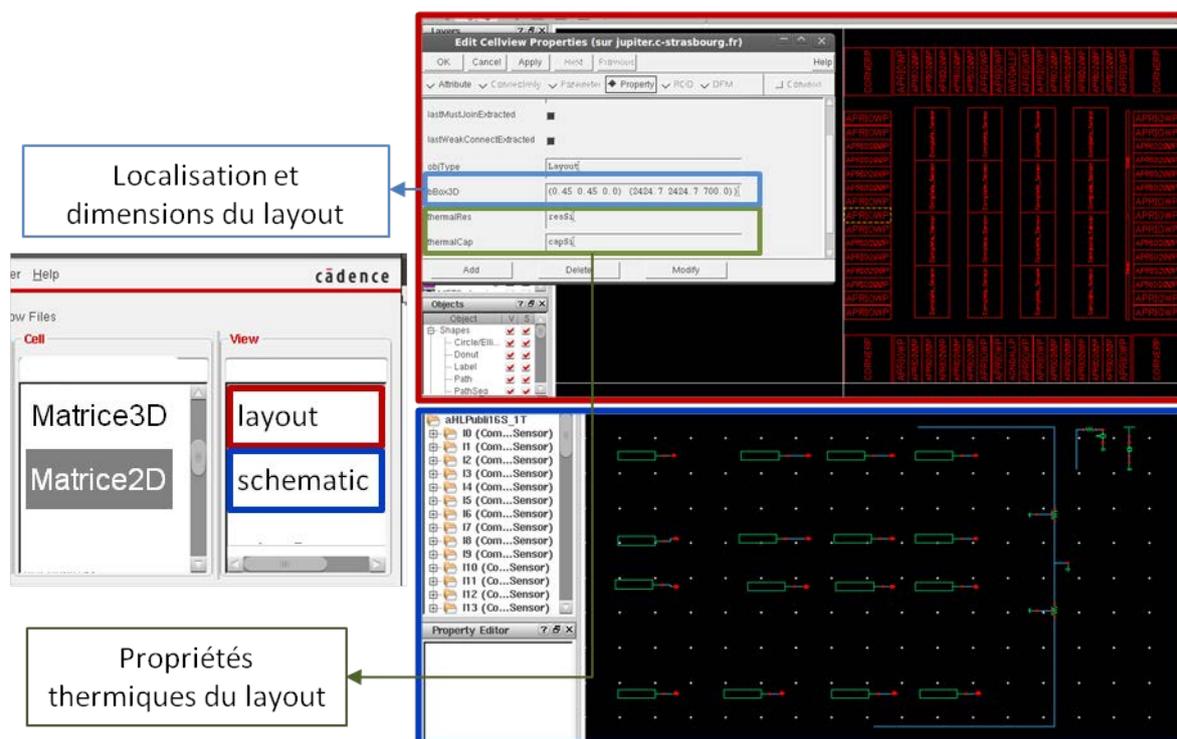


FIGURE 7.13 – Capture d'écran d'une cellule dans l'environnement CADENCE®.

vues *layout* et *layout1* représentent les dessins des masques de chacun des circuits empilés. Les layouts *layoutSiO2*, *layoutBoîtier* et *layoutPCB* sont des layouts sans dessin de masques, seules les propriétés thermiques et de localisation sont utilisées.

Une fois les propriétés des boîtes englobantes saisies, le maillage du bloc est réalisé suivant la procédure suivante (figure 7.15) :

- D'abord, une première simulation électrique standard est exécutée afin d'attribuer une *zone d'influence* en trois dimensions pour chaque source de chaleur (composant intégré). Ces zones d'influences sont définies de manière empirique en fonction de la densité de puissance et des dimensions des sources de chaleur. Parmi ces sources de chaleurs, celles qui génèrent un flux de chaleur important sont considérées comme dominante.
- Ensuite, les boîtes englobantes de chacun des étages sont assemblées en un pavé droit que nous appelons V_0 .
- Lors d'une première passe, le volume V_0 est découpé selon les bords de chacun des étages et selon le bord des sources de chaleur dominantes. De plus, lors de cette passe, un maillage grossier et constant est également appliqué. La taille des mailles constantes est préconfigurée par l'utilisateur (phase 1 de la figure 7.15).
- Lors d'une troisième passe, une boucle d'affinement est utilisée. A chaque itération, les volumes recouverts par une zone d'influence sont subdivisés en huit sous-volumes. Cette boucle se termine dès que les dimensions des arêtes des volumes atteignent

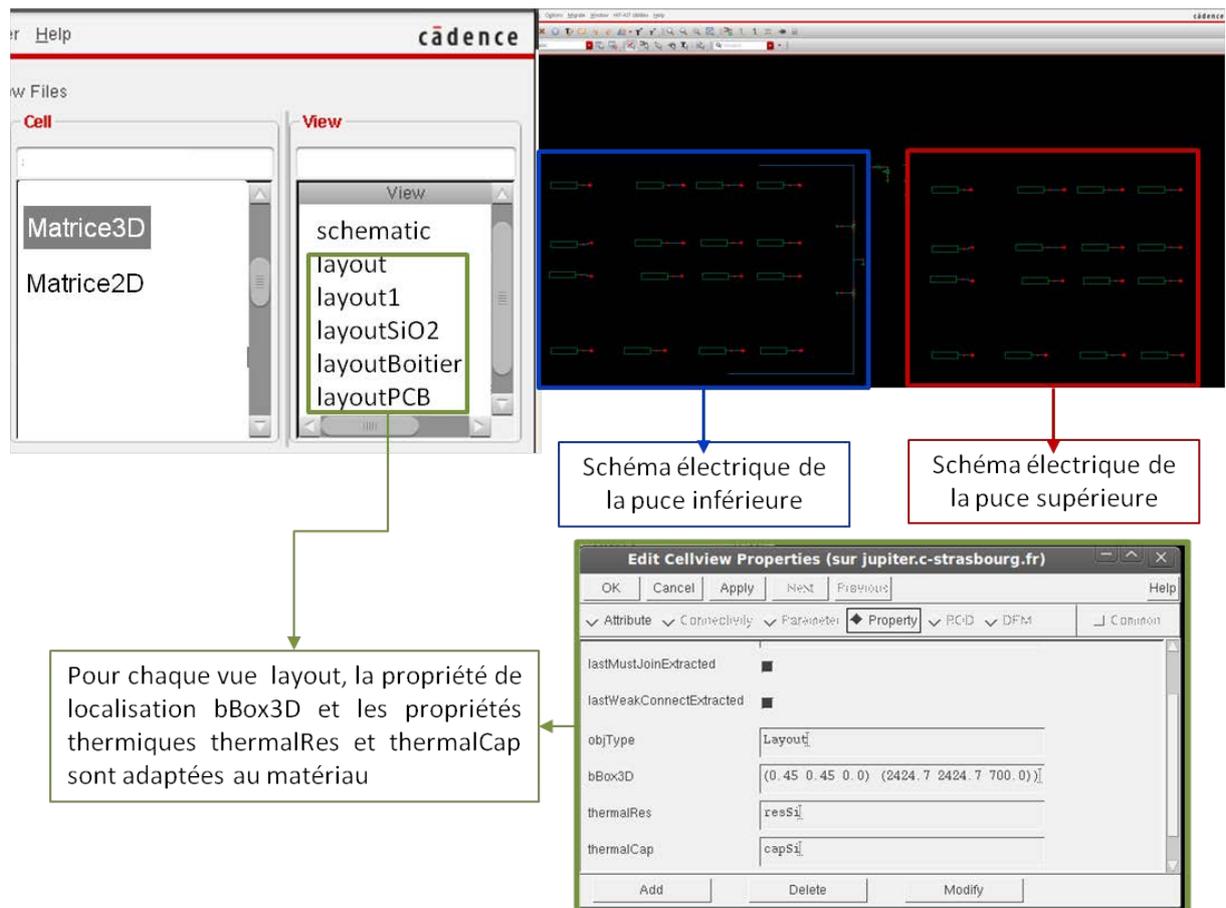


FIGURE 7.14 – Capture d'écran d'une cellule 3D dans l'environnement CADENCE®.

leur taille minimale préconfigurée par l'utilisateur. L'algorithme génère un maillage dont les dimensions des mailles augmentent de manière progressive (phase 2 de la figure 7.15).

- Lors d'une dernière passe, les volumes recouverts par les bords des sources de chaleur sont subdivisés selon ces mêmes bords. Ainsi, chaque source de chaleur est représentée par un nombre entier de volumes élémentaires (phase 3 de la figure 7.15).

Le sous-réseau thermique est finalement généré dans la même vue *schematic* que le sous-réseau électrothermique. L'utilisateur a également la possibilité de visualiser le maillage généré sur les surfaces des étages assemblés.

7.4.3 Configuration du maillage et des zones d'influence

La configuration du maillage et l'attribution des dimensions des zones d'influences sont définies empiriquement. Si l'évacuation de la chaleur se fait uniquement par le bas de la puce sur laquelle le circuit est fabriqué, alors une source de chaleur ayant pour boîte englobante $(X_{min}, Y_{min}, Z)(X_{max}, Y_{max}, Z)$ possède une zone d'influence $(X_{min} - ZI_x), Y_{min} - ZI_y,$

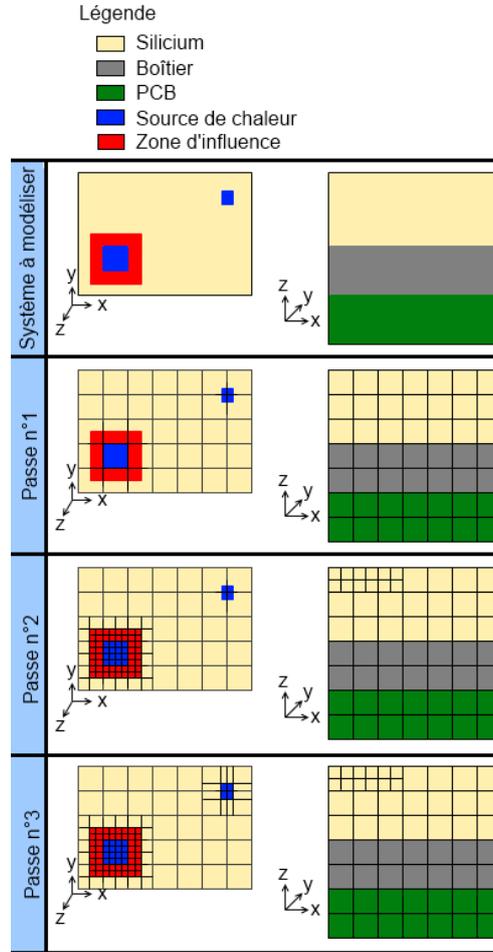


FIGURE 7.15 – Schéma de la procédure de maillage

$Z - ZI_z)(X_{max} + ZI_x, Y_{max} + ZI_y, Z)$ (figure 7.16). La boîte englobante et les dimensions des mailles du maillage grossier et constant sont définies de la manière suivante.

Considérons un circuit électrique de longueur $L_{circuit}$ et de largeur $W_{circuit}$ et qui possède n composants de longueur L_i , de largeur W_i et dissipant une puissance P_i . P_{max} est la puissance maximale dissipée par un composant.

Nous fixons les dimensions M des mailles du maillage constant à 10% du minimum entre $L_{circuit}$ et $W_{circuit}$. Lors de l'affinage du maillage (phase 2 de la figure 7.15), la taille minimale des mailles du circuit est configurée à 0,2% du minimum entre $L_{circuit}$ et $W_{circuit}$, ce qui donne un facteur 50 entre le rapport des tailles des mailles maximales et minimales. Ensuite, la dimension ZI_{xy} de la zone d'influence dans le plan de la couche active est égale à $\text{Min}(W_i, L_i, M) \cdot \frac{P_i}{2 \cdot P_{max}}$ et sa dimension verticale ZI_z de la zone d'influence est égale à $\text{Min}(W_i, L_i) + ZI_{xy}$. Si le rapport $\frac{P_i}{P_{max}}$ est inférieur à 1% alors la zone d'influence est

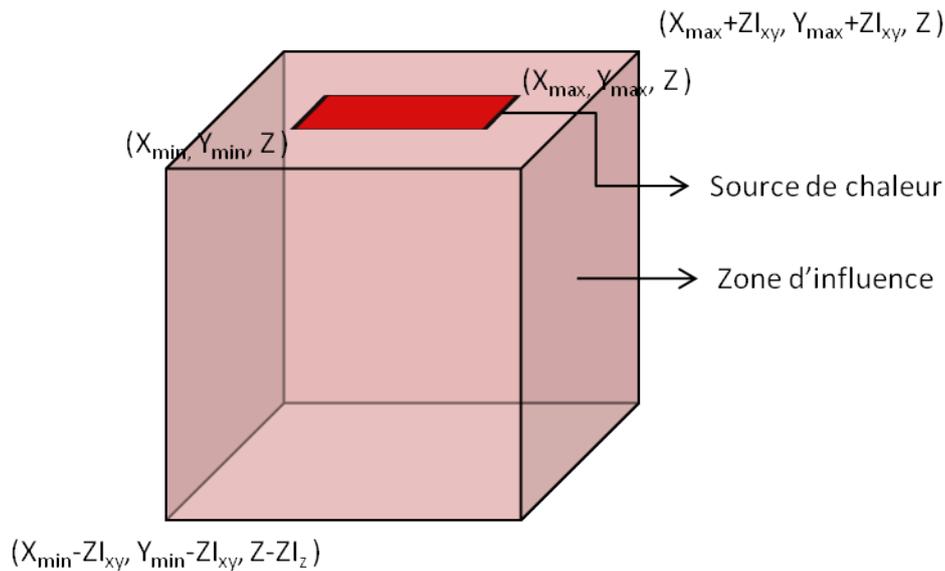


FIGURE 7.16 – Schéma d'une source de chaleur et de sa zone d'influence.

nulle. Cela signifie que la source de chaleur ne contribuera que peu à l'élévation et aux gradients de températures.

Cette méthode empirique a été déterminée afin de générer un maillage avec des éléments aussi proche que possible du cube pour ne pas favoriser le déplacement du flux de chaleur dans une direction plutôt que dans une autre. D'expérience, le nombre d'éléments finis pouvant être utilisé pour générer le réseau thermique avoisine les cent mille. Ainsi, bien que définir des tailles de mailles plus fines permette d'améliorer la précision des résultats, la taille du réseau thermique risque de comporter trop d'éléments. Un compromis a été trouvé en prenant un facteur 50 entre la taille maximale et la taille minimale des mailles. Cela permet d'atteindre la taille finale des mailles au bout de six passes de raffinement du maillage. Enfin, à partir de la troisième passe, l'algorithme de maillage utilisé réduit la taille de la zone d'influence en divisant ses dimensions (ZI_{xy} et ZI_z) par deux à chaque passe suivante. Ainsi, le nombre d'éléments thermiques créé après la troisième passe augmente moins rapidement, ce qui nous permet d'obtenir un compromis entre le nombre d'éléments et la finesse du maillage.

7.4.4 Structure de données

La structure de données utilisée dans la réalisation du maillage comporte trois listes comme le montre la figure 7.17.

La première liste contient les informations sur les volumes élémentaires, c'est-à-dire :

- l'indice du volume (son nom).
- ses coordonnées.
- les indices de ses sommets.

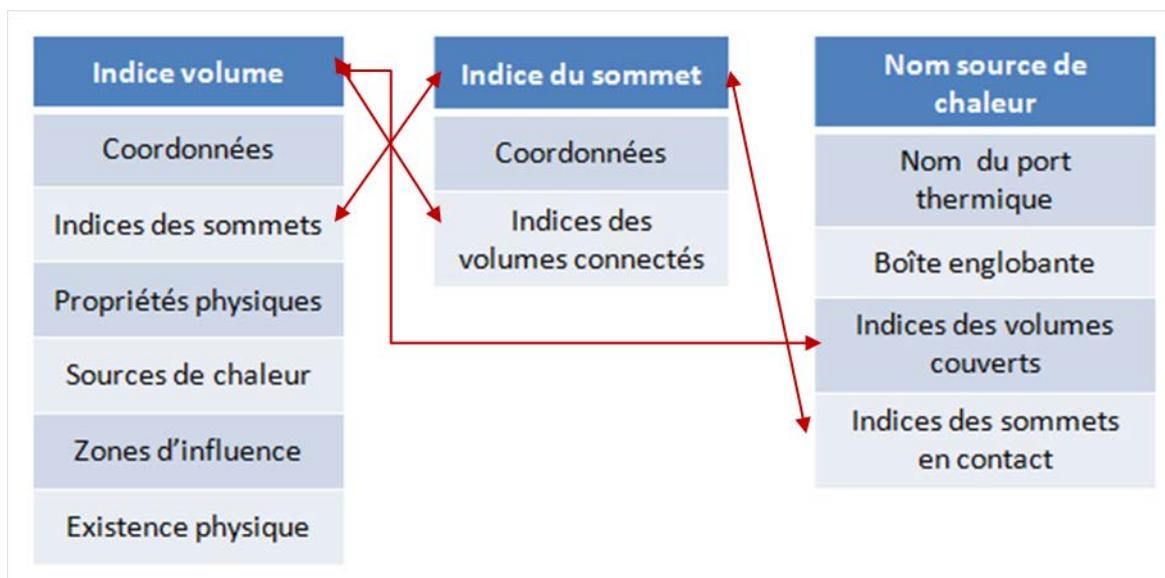


FIGURE 7.17 – Relation entre les listes de la structure de données.

- ses propriétés physiques (résistivité et conductivité thermique, etc.).
- les sources de chaleur recouvrant le volume.
- les zones d'influence recouvrant le volume.
- l'existence physique du volume dans la puce.

La deuxième liste d'éléments contient les informations suivantes pour chaque sommet :

- l'indice du sommet.
- ses coordonnées.
- les indices des volumes connectés.

Enfin, la troisième liste contient les informations concernant les sources de chaleur :

- le nom de la source de chaleur.
- le nom du port thermique de la source de chaleur.
- sa boîte englobante.
- les volumes qu'elle recouvre.
- les indices des sommets en contact direct avec la source de chaleur.

Cette structure de données possède de nombreuses informations redondantes et donc superflues. Cependant, elle a été retenue pour pouvoir tester différentes procédures et algorithmes de maillage différents à partir des fonctions SKILL[®] sans avoir à recréer pour chaque test une structure optimisée. De plus, cela nous a permis d'explorer les capacités du langage SKILL[®].

Une structure de données de type sommets, arêtes, faces, volumes telle que présentée dans [167] offre des performances en temps de maillage et en taille de données bien plus avantageuses. Au cours de cette thèse, une collaboration informelle avec l'équipe Informatique Géométrique du professeur Dominique Bechmann du Laboratoire de Sciences de l'Image, de l'Informatique et de la Télédétection a été mise en place. Le doctorant Lionel

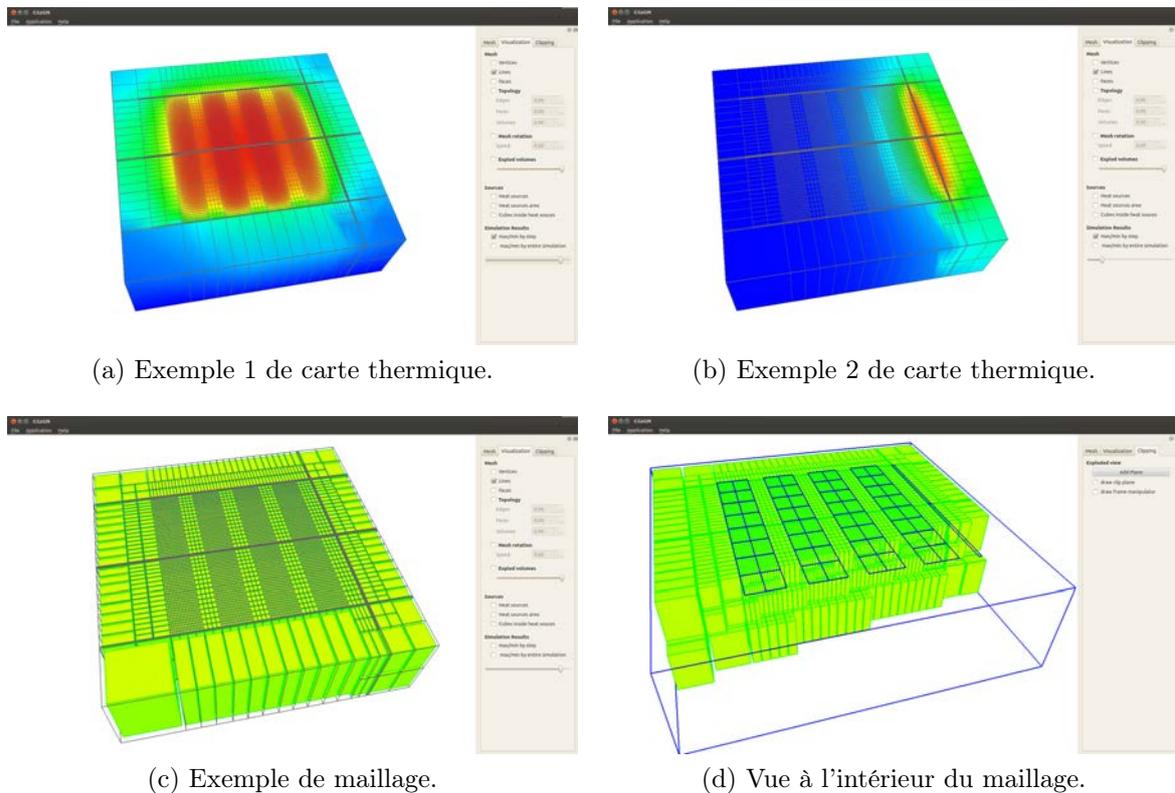


FIGURE 7.18 – Visualisation du maillage et de cartes de température du circuit test(chapitre 8.2 sous la plateforme CGoGN).

Untereiner a implémenté, sur la plateforme de modélisation géométrique CGoGN [168], un maillage, en C++, qui utilise l'algorithme présenté précédemment mais en utilisant une structure de données "sommets, arêtes, faces, volumes". A noter que cette structure de données est également bénéfique dans le cadre d'un maillage multi-résolution temporelle. Lorsque ce maillage est utilisé, les informations concernant les layouts et les sources de chaleur sont exportées dans un fichier texte. Puis, le maillage obtenu est ensuite importé pour générer le réseau électrothermique. Enfin, ce type de structure de données est particulièrement bien adaptée au parcours de chemins [167] ce qui s'avère fort intéressant pour faire évoluer ultérieurement l'outil et réduire d'avantage le réseau thermique à partir des méthodes de marches aléatoires.

Un aperçu des premiers résultats issus de cette collaboration est visible sur la figure 7.18. Les figures 7.18c et 7.18d représentent des vues de maillage du circuit expérimental que nous présenterons au chapitre 8. Les figures 7.18a et 7.18b représentent des cartes thermiques de ce système à différents instants de la simulation. L'échelle des températures entre les deux cartes thermiques n'est pas la même et sur la figure 7.18a la variation de température est inférieure à 0,02K. La figure 7.18c montre que l'utilisateur peut visualiser le maillage qui est appliqué sur les faces du circuit. La figure 7.18d montre que l'utilisateur

a aussi la possibilité de se déplacer à l'intérieur même de la structure maillée. Ceci lui offre la possibilité de visualiser précisément le maillage. Enfin les cartes thermiques affichées permettent à l'utilisateur de voir à chaque instant, après que la simulation ait été exécutée, l'apparition de points chauds dans la structure. La visualisation de la température à l'intérieur de la structure est également possible.

Nous avons pu vérifier la possibilité d'implémenter une telle structure en SKILL[®]. Néanmoins, notre structure de données initiale (figure 7.17) a été conservée en raison du temps nécessaire au développement de ce maillage optimisé sous l'environnement CADENCE[®].

7.5 Couplage des sous-réseaux thermiques et électrothermiques

Les sous-réseaux thermique et électrothermique doivent être couplés pour finaliser le réseau électrothermique complet. Pour cela, chaque cellule, et en particulier les sources de chaleur, dans le sous-réseau électrothermique, doit être connectée aux sommets des volumes la représentant dans le sous-réseau thermique à l'aide d'une cellule spécifique appelée cellule de couplage. Cette cellule se comporte comme une source de température contrôlée en températures dans le sens thermique-électrothermique (A) et se comporte comme des sources de flux de chaleur contrôlées en flux de chaleur dans le sens électrothermique-thermique (B) (figure 7.19).

Le flux de chaleur injecté à chaque nœud thermique du sous-réseau thermique est proportionnel à la surface que ce nœud représente dans ce sous-réseau. De même, la température au nœud thermique de la source de chaleur dans le sous-réseau électrothermique correspond à la moyenne pondérée des températures présentes aux nœuds thermiques du sous-réseau thermiques et appartenant à la surface couverte par cette source de chaleur.

Le code Verilog-A d'une telle cellule de couplage dans le cas où le port thermique du sous-réseau électrothermique est connecté à quatre ports thermiques dans le sous-réseau thermique est donné sur la figure 7.20.

Le nombre de nœuds thermique dans le sous-réseau thermique qui modélisent une source de chaleur n'est pas connu avant la fin de la procédure de maillage et dépend à la fois des dimensions de la cellule et de la configuration du maillage. Cette cellule de couplage est donc générée automatiquement selon les besoins et est placée dans une librairie spécifique

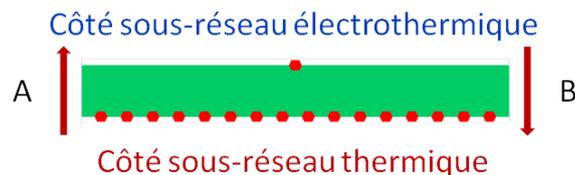


FIGURE 7.19 – Symbole d'une instance de couplage : distribution du flux de chaleur vers 16 nœuds du réseau thermique.

```

/*
Veriloga model automatically generated for cell "Math_1to4"
*/
`include "constants.vams"
`include "disciplines.vams"

module Math_1to4(T, Tcube001, Tcube002, Tcube003, Tcube004);

inout T, Tcube001, Tcube002, Tcube003, Tcube004;
thermal T, Tcube001, Tcube002, Tcube003, Tcube004;

parameter real a001 = 0.250000;
parameter real a002 = 0.250000;
parameter real a003 = 0.250000;
parameter real a004 = 0.250000;

analog begin

Pwr(Tcube001) <+ - a001 * Pwr(T);
Pwr(Tcube002) <+ - a002 * Pwr(T);
Pwr(Tcube003) <+ - a003 * Pwr(T);
Pwr(Tcube004) <+ - a004 * Pwr(T);

Temp(T) <+ a001 * Temp(Tcube001) + a002 * Temp(Tcube002)
+ a003 * Temp(Tcube003) + a004 * Temp(Tcube004);

end
endmodule

```

FIGURE 7.20 – Code Verilog-A d’une instance de couplage "1 vers 4".

pour pouvoir être réutilisée.

Finalement, le réseau électrothermique complet est obtenu en ajoutant des conditions aux limites. Sur chacune des faces de la structure modélisée des conditions de température constante ou adiabatique peuvent être ajoutées. Il est également possible d’appliquer sur l’une ou plusieurs de ces faces des flux de chaleur homogènes.

Sur la figure 7.21, nous représentons le schéma électrothermique complet d’un inverseur. Nous voyons qu’une instance de couplage est créée pour chaque transistor de l’inverseur. Dans la partie supérieure du schéma, celles-ci sont connectées aux ports thermiques des symboles des transistors. Dans la partie inférieure, chacune de ces instances de couplage est connectée aux cellules représentant les transistors dans le réseau thermique. Sur cette

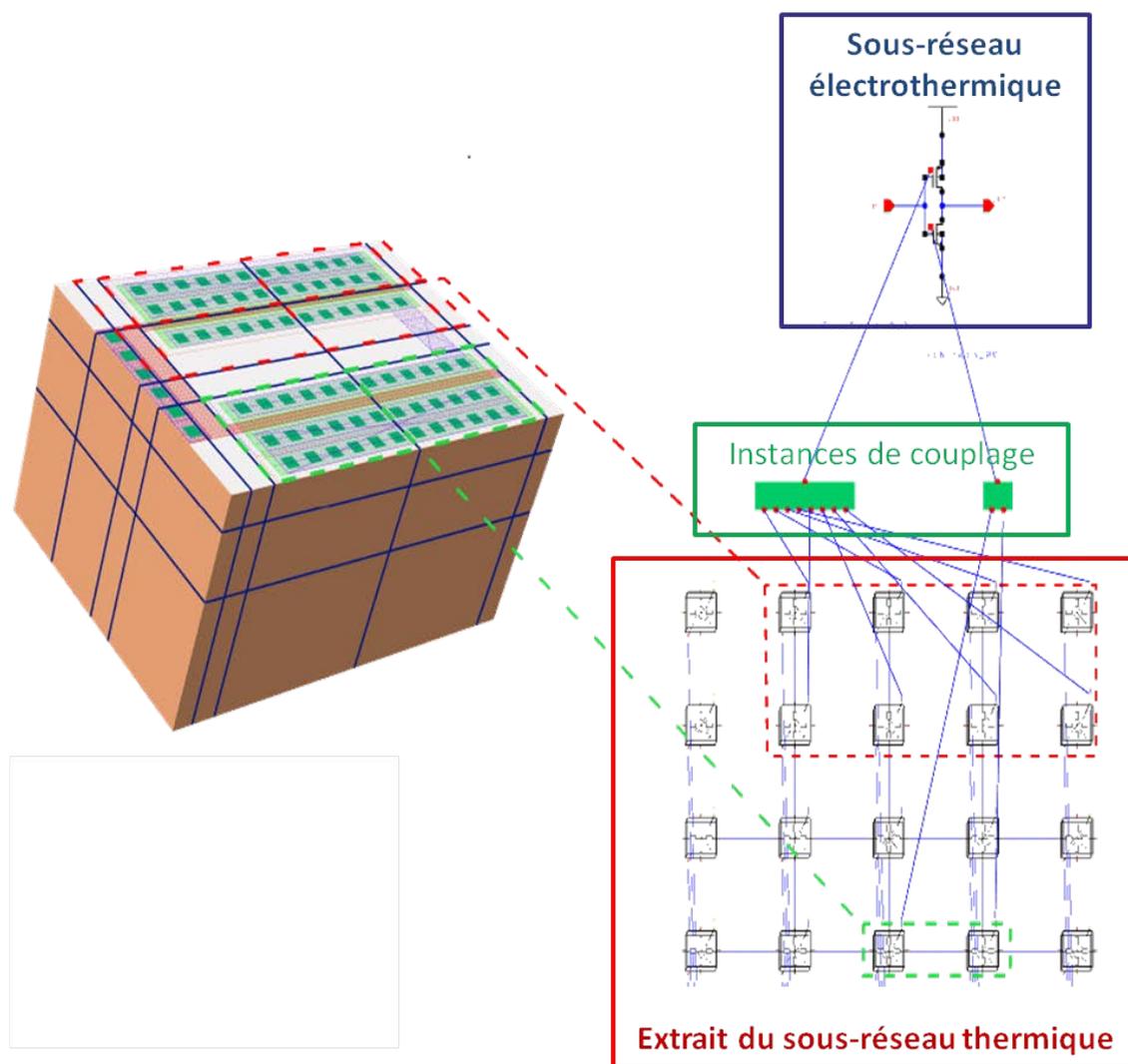


FIGURE 7.21 – Schéma électrothermique d'un inverseur.

figure, les connexions entre les diverses cellules sont réalisées par des fils. En pratique, ces connexions filaires alourdissent le schéma inutilement, c'est pourquoi elles sont remplacées par des fils courts labellisés.

Dans notre exemple nommé Matrice3D, le réseau électrothermique complet est présenté sur la figure 7.22. Le sous-réseau électrothermique est situé en haut du schéma. Les instances de couplage sont placées juste en dessous de ce réseau. Le réseau thermique est, quant à lui, placé en dessous des instances de couplage. Tout en bas de ce schéma, la température ambiante environnant le système figure sous la forme d'un thermomètre. Dans notre cas, celui-ci est connecté aux éléments finis situés à l'interface entre la couche de PCB et l'air ambiant, éléments finis modélisant la convection. En d'autres termes, le PCB sert de radiateur pour l'évacuation de la chaleur vers l'environnement ambiant.

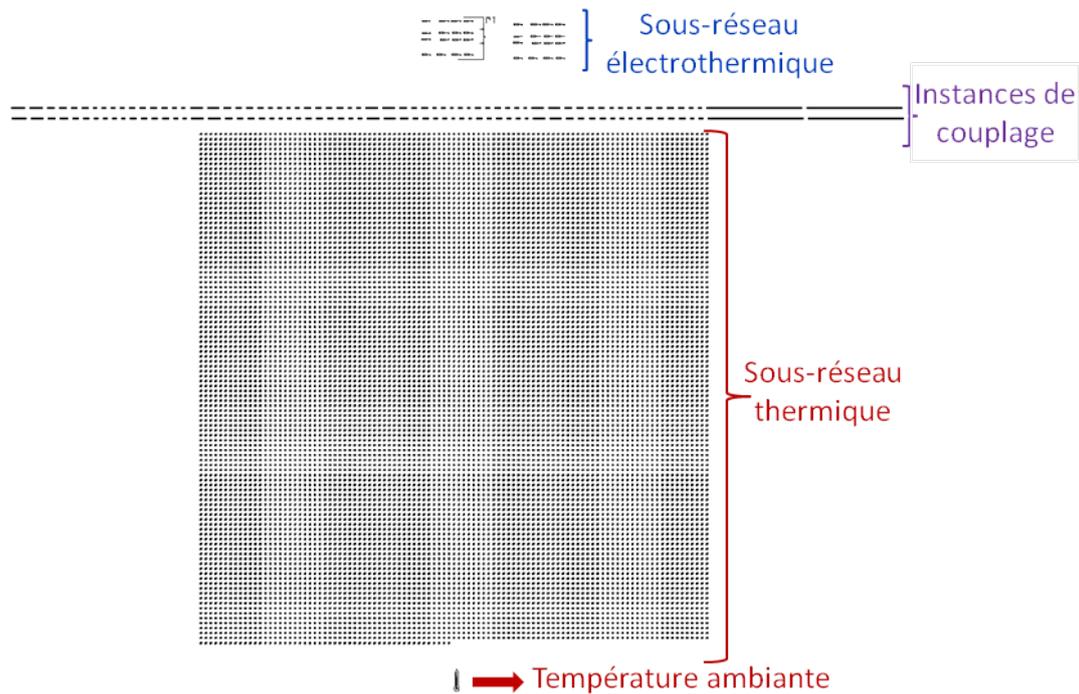


FIGURE 7.22 – Capture d’écran du réseau électrothermique complet de la cellule Matrice3D

7.6 Simulation

Le principe de fonctionnement et la procédure globale pour générer notre réseau électrothermique ont été détaillés dans les sections précédentes de ce chapitre. Cependant, la procédure à suivre peut encore paraître obscure aux yeux du lecteur. Nous allons donc la résumer à l’aide de l’organigramme de la figure 7.23.

Cette figure se scinde en trois zones aux couleurs différentes :

1. la partie en bleu concerne toute la partie du sous réseau électrothermique.
2. la partie en rouge concerne les étapes nécessaires à la création du sous-réseau thermique.
3. la partie en violet représente la partie électrothermique complète.

Trois étapes sont nécessaires pour aboutir à un réseau électrothermique complet que l’utilisateur peut simuler. Ces trois phases sont :

1. une phase d’acquisition d’informations.
2. une phase de traitement de l’information.
3. une phase de création.

Au cours de la phase d’acquisition, le circuit électrique est d’abord analysé. A partir de cette analyse, les zones où le profil thermique sera hétérogène sont ciblées. Ces informations sont stockées dans les propriétés des cellules dans le layout. Ensuite, c’est au tour

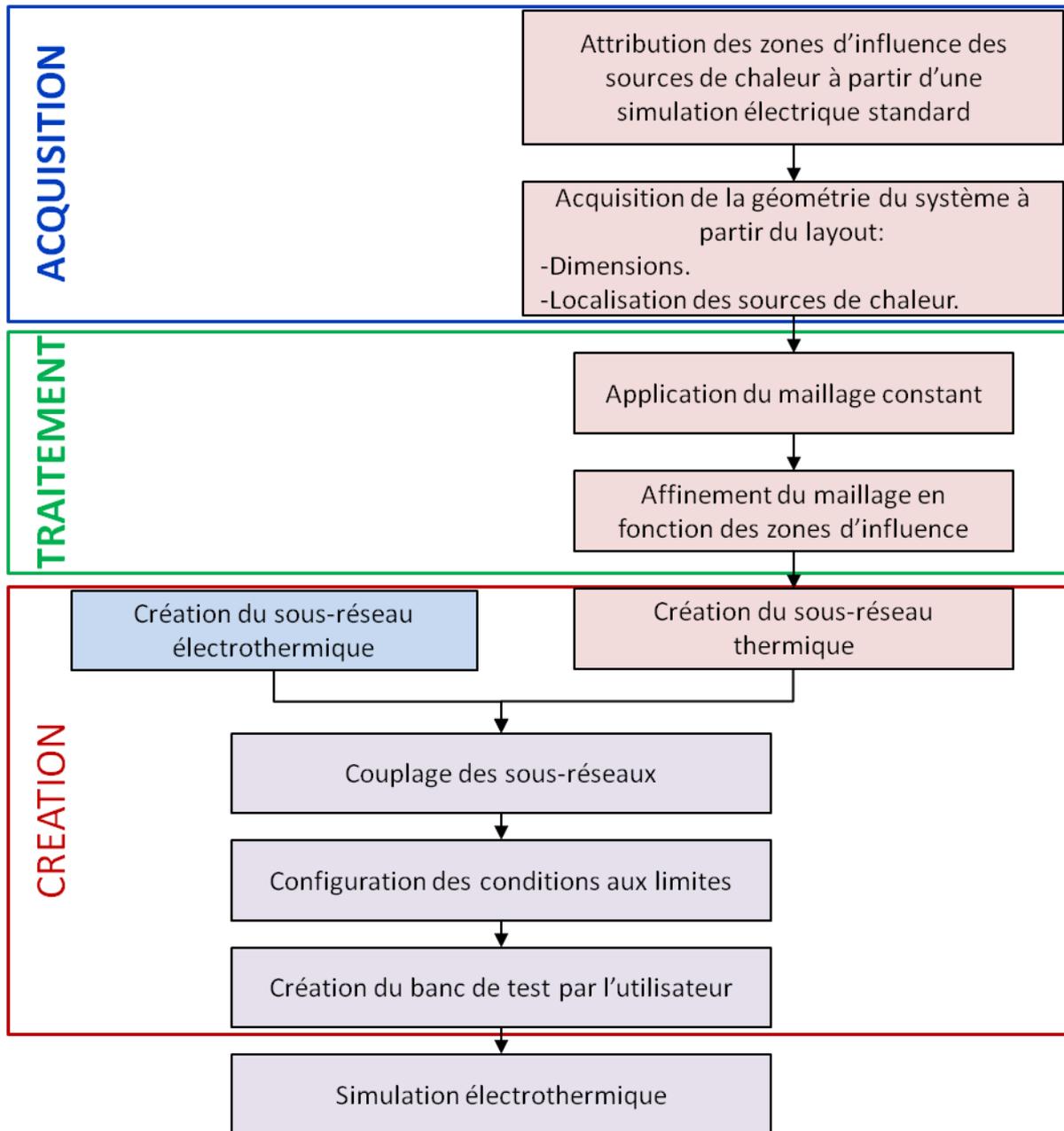


FIGURE 7.23 – Organigramme de la procédure complète nécessaire à la simulation électrothermique.

du layout d'être analysé. Cette analyse recueille l'ensemble des informations nécessaires au maillage : la géométrie du système (ses dimensions), le nom des composants, le placement des composants et des zones d'influence, les propriétés thermiques, etc.

La phase d'acquisition d'informations est maintenant terminée, celle de traitement peut alors commencer. C'est au cours de cette étape que le maillage du système est réalisé.

D'abord, le maillage constant est appliqué, puis celui-ci est raffiné dans les zones d'influences. Dès que le système est maillé, la phase de création peut alors débuter.

En premier lieu, le sous-réseau électrothermique est directement créé en remplaçant les modèles électriques des composants par leurs équivalents électrothermiques. Cette opération consiste en pratique à échanger les symboles électriques par les symboles électrothermiques dans le schéma électrique du circuit. Pour cela une bibliothèque de modèles électrothermiques a été développée (figure 7.8 et chapitre 8). Au moment où les symboles sont échangés, un fil labellisé est connecté au port thermique.

Après avoir généré le sous-réseau électrothermique, c'est au tour du réseau thermique d'être créé dans la même vue *schematic* que celle où a été saisi le schéma du sous-réseau électrothermique. Pour cela, un cube thermique (notre élément fini thermique) est placé dans ce schéma pour chaque volume du maillage. Sur chacun de ces cubes sont connectés des petits fils auquel un nom est attribué. Ce nom correspond à la valeur de l'indice du sommet du cube obtenu lors de la phase de maillage. Dès que tous les cubes sont placés avec les fils labellisés et connectés à leurs sommets, le réseau thermique est alors complet.

Ensuite, les deux sous réseaux doivent être couplés ensemble. Pour cela, une instance de couplage est créée pour chacun des ports thermiques qui existent dans le sous réseau électrothermique. Du côté sous-réseau électrothermique, cette instance ne possède qu'un seul port thermique. Tandis que du côté du sous-réseau thermique, elle possède autant de ports thermiques que de sommets qu'elle recouvre. Sur chacun des ports thermiques de l'instance de couplage est connecté un fil labellisé. Du côté électrothermique, le fil porte le même label que celui du composant auquel il est relié. Du côté thermique, les labels sont les indices des sommets qui sont couverts par le composant.

Le réseau électrothermique est maintenant complet. Cependant, il reste à définir les conditions aux limites du circuit. Pour cela, il suffit de connecter une *source de température* à un port thermique. Pour définir une face du circuit à une température donnée, il suffit d'attribuer le même nom à tous les sommets situés sur cette face et au port thermique de notre *source de température*.

Pour finir la simulation, l'utilisateur n'a plus qu'à préparer son banc de test et exécuter les simulations souhaitées comme il le ferait pour n'importe quelle simulation électrique. L'utilisateur configure sa simulation normalement (signaux d'entrées, simulateur : ex : APS[®], signaux électriques à visualiser, etc.).

Les instances thermiques sont placées les unes à côtés des autres et l'utilisateur ne connaît pas la zone thermique représentée par chaque élément. Il peut donc sélectionner un nœud du sous-réseau thermique pour connaître sa température, mais sans possibilité de visualiser facilement ses coordonnées spatiales (sa position dans la puce 3D).

Cependant, à l'instar des signaux électriques, les signaux des ports thermiques des cellules dans le sous-réseau électrothermique sont visualisables. Ainsi, l'utilisateur a la possibilité d'afficher la température des cellules et le flux de chaleur émis par celles-ci en sélectionnant leur port thermique lors de la configuration de la simulation. La figure 7.24 présente les résultats d'une simulation du circuit Matrice3D. Les signaux visibles sont :

- les tensions électriques des 16 capteurs situés sur l'étage inférieur du circuit 3D.
- la température de deux capteurs et d'une des résistances.

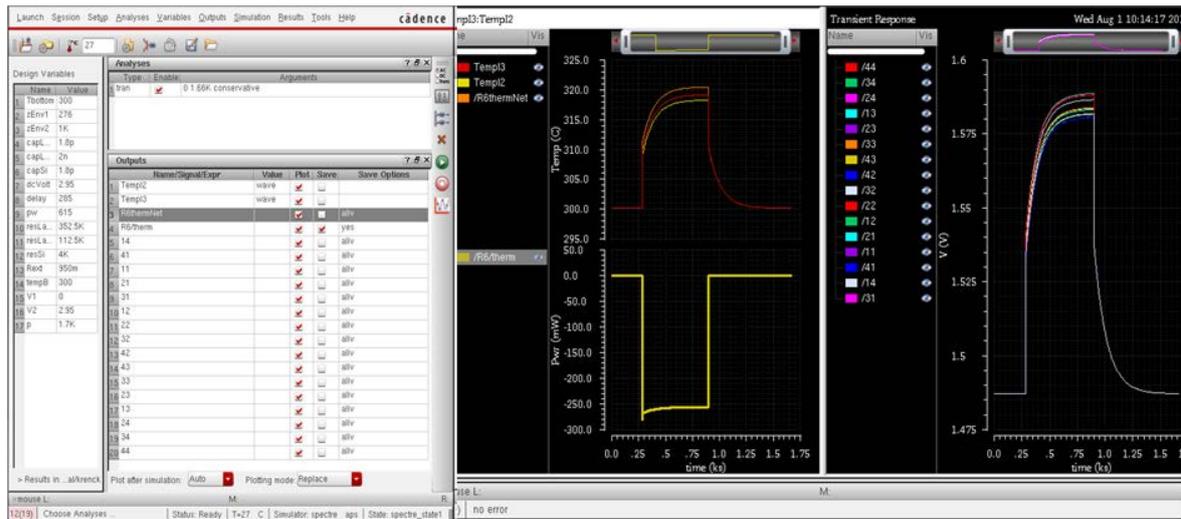


FIGURE 7.24 – Résultats de simulation.

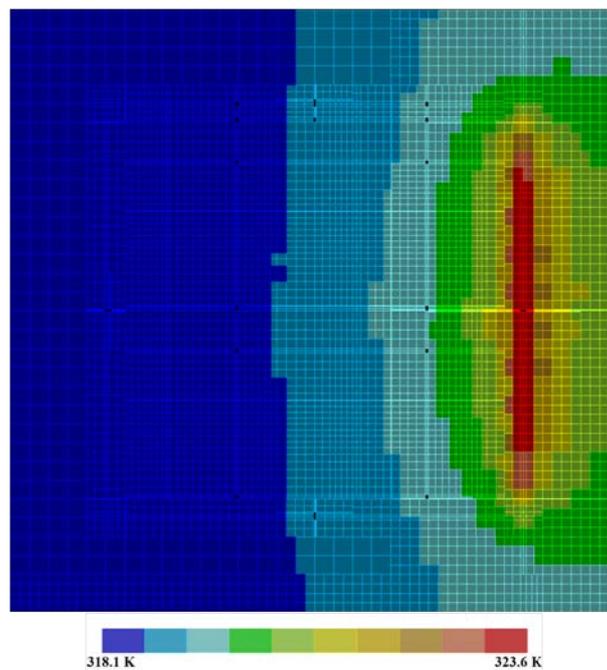


FIGURE 7.25 – Carte thermique de l'étage inférieur d'une simulation du circuit Matrice3D.

– le flux de chaleur émis par l'une des résistances.

En fin de simulation, la carte thermique en surface de chaque étage est affichable dans une vue layout. L'utilisateur discerne alors rapidement les points chauds du circuit. La figure 7.25 est une carte thermique de l'étage inférieur obtenue dans les conditions de simulation de la figure 7.24.

7.7 Conclusion

Dans cette section, le principe du fonctionnement du simulateur électrothermique et ses fonctions ont été présentés. La génération de l'ensemble des réseaux et leur couplage est détaillé, ainsi que la façon dont ce simulateur a été intégré sous l'environnement CADENCE®.

La démarche adoptée offre une grande flexibilité en ce qui concerne la modélisation thermique. En effet, le simulateur est à la fois utilisable pour les systèmes planaires standard et pour les systèmes 3D empilés. De plus, le nombre d'étages de la structure n'est pas limité.

L'approche multi-résolution du maillage réduit fortement le nombre de mailles nécessaires pour la modélisation thermique [169]. De plus, cette méthode de maillage empêche l'association directe d'éléments finis dont les dimensions pourraient différentes de plus d'un ordre de grandeur, ce qui évite des problèmes de convergence.

Le principe du simulateur électrothermique a été présenté dans ce chapitre. Cependant, il nous reste encore à valider son fonctionnement pour la simulation de circuits intégrés. Ceci est fait dans le chapitre suivant.

Chapitre 8

Validation du simulateur

Dans le chapitre précédent, nous avons expliqué que le simulateur implémenté dans Cadence[®] consiste à coupler un sous-réseau électrothermique à un sous-réseau thermique. Le sous-réseau électrothermique se résume à un réseau électrique standard auquel les modèles électriques ont été substitués par leurs équivalents électrothermiques. Le sous-réseau thermique modélise le comportement thermique du circuit par une approche de type éléments finis. Les deux sous-réseaux sont générés et couplés ensemble avec des instances spécifiques créées au besoin. Le tout est placé dans un seul schéma.

Dans ce chapitre, nous nous attellerons à valider le fonctionnement du simulateur électrothermique que nous avons développé. Tout d'abord, notre simulateur est confronté à un simulateur par éléments finis de référence. Cette confrontation nous permettra de valider notre simulateur pour la simulation en régime établi de circuits planaires et 3D empilés. Ensuite, nous validerons le simulateur pour les simulations transitoires en confrontant les résultats d'une expérience sur un circuit test avec les résultats obtenus en simulation.

8.1 Validation par Comsol[®]

Dans un premier temps, le simulateur développé a été validé en confrontant les résultats de simulation de circuits tests avec ceux obtenus sous COMSOL[®], outil de référence pour la simulation thermique.

8.1.1 Cas d'une source de chaleur

Le premier circuit test comporte une seule source de chaleur, notée HS, qui génère un flux de chaleur Pwr1. Cette source de dimensions $100\mu\text{m} \times 100\mu\text{m}$ est placée au centre de la face supérieure d'un bloc de silicium de dimensions $1\text{mm} \times 1\text{mm} \times 0.75\text{mm}$. Ce bloc est superposé à un bloc de dioxyde de silicium de dimensions $1\text{mm} \times 1\text{mm} \times 0.01\text{mm}$ (figure 8.1).

La simulation est configurée de sorte que la température de la face inférieure de la structure soit de 300K, alors que les autres faces sont placées dans des conditions adiabatiques.

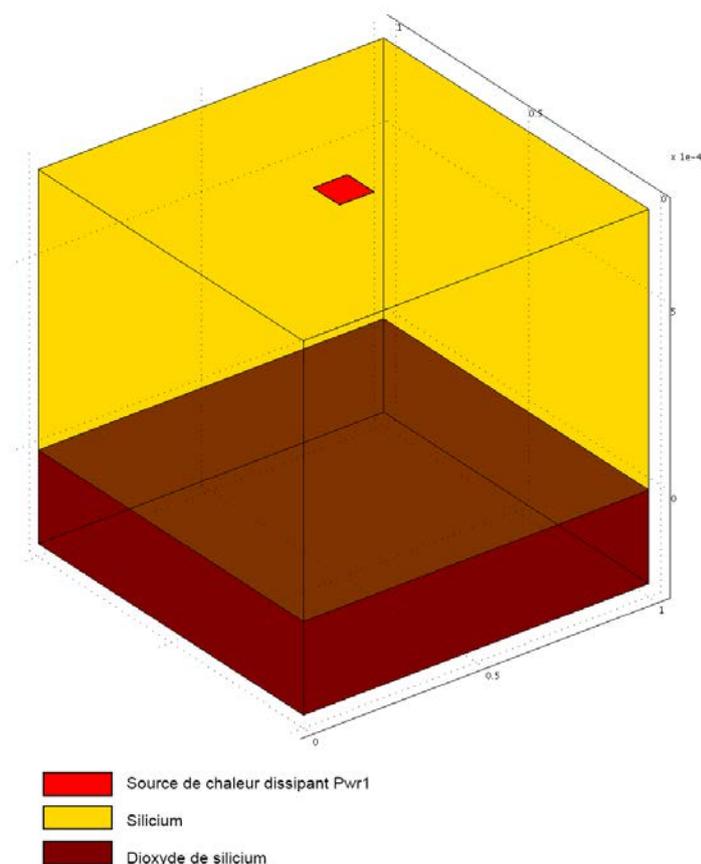


FIGURE 8.1 – Configuration de la simulation thermique avec une seule source de chaleur.

Les variations en température des propriétés thermiques du silicium et de son dioxyde n'ont été prises en compte dans aucune des deux simulations. Les valeurs constantes qui ont été utilisées pour ces propriétés sont regroupées dans le tableau 8.2.

La simulation réalisée sous COMSOL[®] est une simulation purement thermique. En revanche, sous CADENCE[®], nous réalisons une simulation électrothermique : la cellule représentant la source de chaleur génère un flux de chaleur qui accepte comme paramètre Pwr1. Ce flux élève la température de la structure sous test. En retour, la cellule génère une tension électrique égale au millième de la valeur de sa température.

Le système a été simulé pour plusieurs valeurs de flux de chaleur Pwr1. Les résultats

Matériau	Conductivité thermique [$W.m^{-1}.K^{-1}$]	Densité [$kg.m^{-3}$]	Capacité calorifique [$J.kg^{-1}.K^{-1}$]
Dioxyde de silicium	1,38	2203	703
Silicium	163	2330	703

FIGURE 8.2 – Propriétés thermiques du silicium et du dioxyde de silicium.

Flux de chaleur [W]	Température HS en [K] (COMSOL [®])	Tension HS en [mV] (Cadence [®])	Erreur (%)
0,5	318,097	318,587	2,71
0,4	314,478	314,867	2,69
0,3	310,858	311,150	2,69
0,2	307,238	307,433	2,69
0,1	303,619	303,717	2,71

FIGURE 8.3 – Résultats de simulation obtenus avec COMSOL[®] et CADENCE[®].

des températures obtenues sont présentés dans le tableau 8.3.

Le nombre d'éléments thermiques utilisé pour créer le sous-réseau thermique dans ces simulations est de l'ordre de 20000. Le temps CPU nécessaire pour simuler les cinq configurations de flux de chaleur est de près de 3 minutes sous COMSOL[®] contre 30 secondes sous CADENCE[®] avec le simulateur APS. De plus, nous remarquons que l'erreur relative sur l'élévation de température reste constante, inférieure à 3%, quelque soit la puissance dissipée par la source de chaleur. A noter que cette erreur peut-être réduite en augmentant la finesse du maillage du sous-réseau thermique.

Dans le cas mono source, à partir de ces résultats, nous pouvons conclure que la précision des résultats est indépendante du flux de chaleur pour un même maillage.

Les résultats de cette simulation permettent de valider le fonctionnement du simulateur pour les systèmes planaires dans le cas où une seule source de chaleur est présente.

8.1.2 Cas multi-sources de chaleur

Dans cette section, nous validons le simulateur électrothermique pour les systèmes 3D empilés en présence de plusieurs sources de chaleur. La structure silicium-dioxyde de silicium décrite dans la section précédente est réutilisée. Cependant, cette fois-ci, deux de ces structures sont superposées l'une sur l'autre. De plus, chaque structure présente cinq sources de chaleur (figure 8.4).

Les sources de chaleur en face supérieure de la structure la plus haute sont notées de 1 à 5 et celles présentes à la jonction entre les deux structures sont numérotées de 6 à 10.

Ce système a été simulé pour trois configurations de puissance dissipée. Les tableaux 8.5, 8.6 et 8.7 contiennent les valeurs des flux de puissance pour chaque source de chaleur, ainsi que les résultats obtenus en simulation.

Pour chaque configuration, le temps CPU de simulation est de près de 4 minutes sous COMSOL[®], alors qu'il est de 30 secondes environ sous CADENCE[®].

Afin de pouvoir comparer les résultats des cas multi-sources entre eux, le même maillage a été utilisé pour les trois configurations de test.

La configuration du tableau 8.5 correspond à un cas mono-source particulier. En effet, seule la source #6 dissipe de la puissance. Les autres sources se comportent alors comme de simples sondes de température.

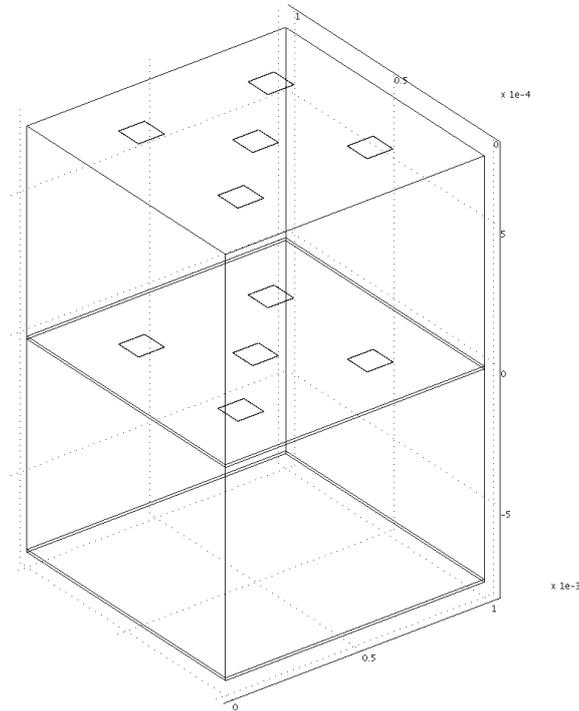


FIGURE 8.4 – Configuration de la simulation thermique pour 10 sources de chaleur.

L'information première que nous remarquons est que la précision relative sur les températures des sources est maintenant négative. Ainsi, lors d'une simulation nous ne pouvons pas prévoir avec notre méthode le signe de l'erreur commise sur la température. Cependant, nous pouvons la borner à plus ou moins 3%.

De plus, la précision sur la valeur de la température de la source de chaleur #6 est légèrement meilleure que la précision obtenue précédemment (figure 8.3). Cela provient de la présence des sources de chaleur additionnelles. En effet, en raison de leur présence, un maillage plus fin est réalisé dans leur voisinage. Ceci revient en quelque sorte à élargir la zone d'influence et donc à avoir un système maillé finement dans une plus grande zone. En conséquence, la précision est légèrement augmentée.

Dans la configuration de la figure 8.6, dans la partie supérieure de la structure, seule la source #1 dissipe un flux de chaleur significatif. Les sources #2 à #5 ne dissipent que très peu de puissance. En revanche, dans la partie inférieure de la structure, c'est la source centrale qui ne dissipe que peu de chaleur, alors que les sources #7 à #10 dissipent un flux de chaleur suffisant pour élever significativement la température du circuit.

L'intérêt de cette configuration est de valider la simulation d'un système 3D empilé où le profil de chaque étage est différent. En l'occurrence, le profil de température en surface présente un point chaud au centre (source #1), tandis que celui situé sur l'étage inférieur

Cellule #	Puissance [W]	Température Comsol® [K]	Température Cadence® [K]	Erreur relative [%]
1	0	311.845	312.045	-1.69
2	0	311.845	312.035	-1.60
3	0	311.845	312.036	-1.61
4	0	311.845	312.037	-1.62
5	0	311.845	312.036	-1.61
6	1	335.491	334.6	-2.51
7	0	311.184	311.396	-1.90
8	0	311.144	311.349	-1.84
9	0	311.106	311.306	-1.80
10	0	311.144	311.349	-1.84

FIGURE 8.5 – Résultats de simulation obtenus avec COMSOL® et Cadence®.

Cellule #	Puissance [W]	Température Comsol® [K]	Température Cadence® [K]	Erreur relative [%]
1	0.15	317.501	317.571	-0.40
2	0.03	314.383	314.646	-1.83
3	0.03	314.38	314.632	-1.75
4	0.03	314.378	314.62	-1.68
5	0.03	314.38	314.632	-1.75
6	0.03	310.951	311.099	-1.35
7	0.15	313.676	313.922	-1.80
8	0.15	313.69	313.878	-1.37
9	0.15	313.704	313.838	-0.98
10	0.15	313.69	313.878	-1.37

FIGURE 8.6 – Résultats de simulation obtenus avec COMSOL® et Cadence®.

présente un point froid (source #6).

La précision des résultats est toujours meilleure que 3%. De plus, elle est meilleure que celle des simulations précédentes. Cela s'explique par la répartition du flux de chaleur total de la structure sur une plus grande surface. Ainsi, le flux de chaleur est homogénéisé et nous nous rapprochons de l'hypothèse des tubes de chaleur. Le modèle thermique associé aux éléments s'approche alors des hypothèses utilisées pour sa conception.

Dans la dernière configuration qui est présentée dans la figure 8.7, chaque source génère un flux de chaleur qui élève localement la température. A nouveau, les profils thermiques de l'étage supérieur et de l'étage inférieur sont différents.

La comparaison de l'erreur commise entre la configuration précédente et celle-ci montre que contrairement au cas mono-source, la précision des résultats à chaque source dépend des flux de chaleur de chacune des sources. Ceci vient du fait que la densité du flux de

Cellule #	Puissance [W]	Température Comsol [®] [K]	Température Cadence [®] [K]	Erreur relative [%]
1	0.05	327.734	327.913	-0.65
2	0.1	328.176	328.701	-1.86
3	0.15	329.546	330.094	-1.85
4	0.2	331.117	331.655	-1.73
5	0.25	332.446	333.122	-2.08
6	0.25	323.332	323.357	-0.11
7	0.2	322.1	322.518	-1.89
8	0.15	320.836	321.141	-1.46
9	0.1	319.433	319.673	-1.24
10	0.05	318.158	318.392	-1.29

FIGURE 8.7 – Résultats de simulation obtenus avec COMSOL[®] et Cadence[®].

chaleur de chaque source augmente selon l'accroissement de la valeur de ce flux. Or, si le flux de chaleur de la source est responsable d'une élévation significative de la température du système, alors la taille du point chaud localisé autour de cette source augmente avec la densité de ce flux de chaleur. Dans notre cas, les sources ont les mêmes dimensions et le flux de chaleur émis varie au maximum d'un facteur 5. Par conséquent, chaque source contribue de manière significative à l'élévation de la température du système. Ainsi, les configurations 8.5, 8.6 et 8.7 génèrent des profils thermiques dont les tailles des points chauds sont différentes. Ceci contribue à une légère modification de la précision des résultats en dehors des zones d'influence des sources de chaleur. L'erreur commise en dehors de la zone d'influence de la source est répercutée sur l'estimation de la température des sources adjacentes.

L'utilisation du maillage adaptatif (introduction des zones d'influence) en fonction du flux et de la densité de chaleur des sources de chaleur nous permet néanmoins de conserver une précision relative bornée à 3%.

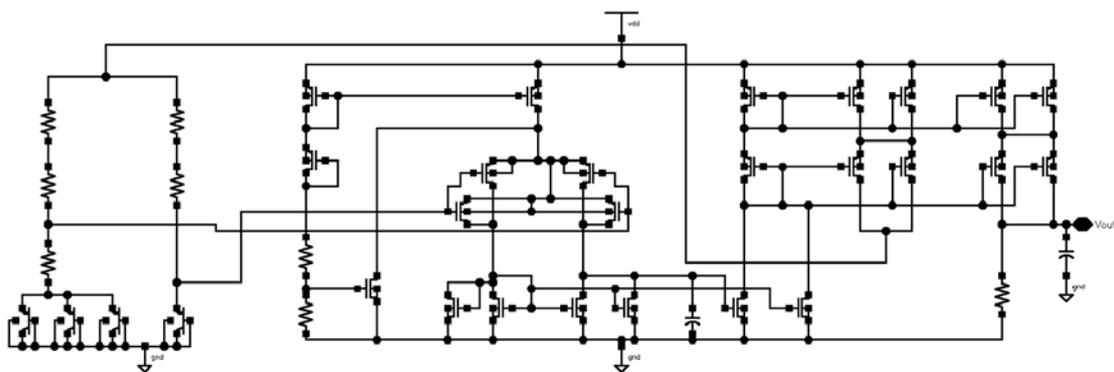
8.2 Validation expérimentale

Dans la section précédente, le fonctionnement de l'outil développé a été validé avec Comsol[®] pour la simulation électrothermique de systèmes planaires et 3D en régime établi.

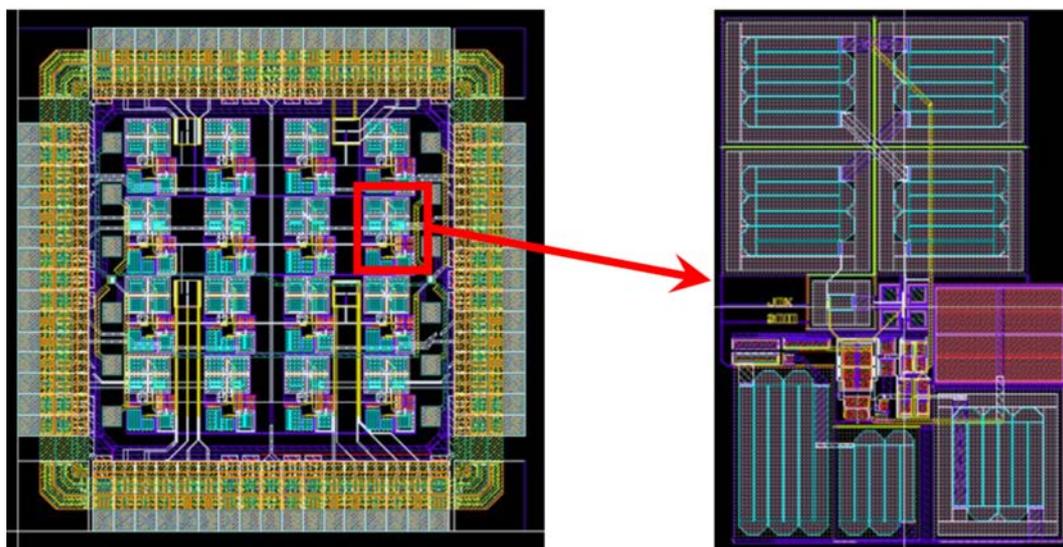
Pour valider son fonctionnement en régime transitoire, nous avons opté pour une validation expérimentale sur un circuit test planaire réalisé en technologie CMOS. Ce circuit présente une matrice de capteurs de température autour de laquelle huit résistances de chauffe sont disposées (figure 8.8). Le choix d'un tel circuit permet de valider le fonctionnement de notre simulateur pour un système dont le couplage électrothermique est fort puisque la tension en sortie des capteurs dépend directement de la température. De plus, le nombre de cellules nécessaires à la réalisation de ce circuit est suffisamment important pour qu'une simulation par éléments finis avec Comsol[®] soit trop lourde pour être

exécutée. Le choix d'utiliser une matrice de capteurs de température, conçus à partir de cellules au niveau transistor, nous permettra de montrer l'importance de la modélisation électrothermique haut-niveau au chapitre 9.

Dans cette section, nous présentons, en premier lieu, le fonctionnement du capteur de température et nous verrons qu'il est nécessaire d'étalonner ces capteurs pour que la température mesurée soit juste. Avant d'aborder dans une troisième partie la procédure d'étalonnage des capteurs, nous aborderons plus en détail le fonctionnement du circuit test. Ensuite, les conditions expérimentales et de simulation seront décrites successivement. Enfin, nous tirerons les conclusions de l'expérience réalisée dans une partie où les résultats de simulation et expérimentaux sont confrontés.



(a) Schéma électrique du capteur de température



a) Layout du circuit test
Dimensions 2,5mm x 2,5mm

b) Layout du capteur de température
Dimensions 245µm x 380µm

(b) Layouts du circuit test et du capteur de température

FIGURE 8.8 – Layout et schéma électrique du capteur de température

8.2.1 Capteur de température

Les capteurs utilisés dans la matrice du circuit test sont des capteurs de température de type PTAT¹. Le schéma électrique ainsi que le layout du capteur de température est représenté sur la figure 8.8. Ce schéma électrique peut se mettre sous la forme du schéma équivalent qui est présenté sur la figure 8.9. L'amplificateur possède deux sorties délivrant chacune un courant I_0 .

L'une de ces sorties est connectée sur le port V- de l'amplificateur. Celui-ci fonctionne donc en mode linéaire ; $V+ = V-$. En conséquence, le courant circulant dans chacune des résistances R, connectées au port V+ et V-, est égal à $\frac{I_0}{2}$.

La diode D_1 est un transistor bipolaire monté en diode. La diode D_2 est une diode créée par l'association de trois transistors bipolaires qui sont montés en diode et mis en parallèle. Les transistors bipolaires utilisés pour créer la diode D_2 sont identiques à celui utilisé pour créer la diode D_1 . La tension à ses bornes est donc égale à :

$$V_{D_2} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{I_0}{2 \cdot 3 \cdot I_{ss}} \right). \quad (8.1)$$

La tension $V- = R_0 \cdot \frac{I_0}{2} + V_{D_2}$.

Or, $V- = V+$ et $V+ = V_{D_1}$ donc :

$$R_0 \cdot \frac{I_0}{2} + \frac{k \cdot T}{q} \cdot \ln \left(\frac{I_0}{6 \cdot I_{ss}} \right) = \frac{k \cdot T}{q} \cdot \ln \left(\frac{I_0}{2 \cdot I_{ss}} \right). \quad (8.2)$$

1. PTAT : Proportional To Absolute Temperature

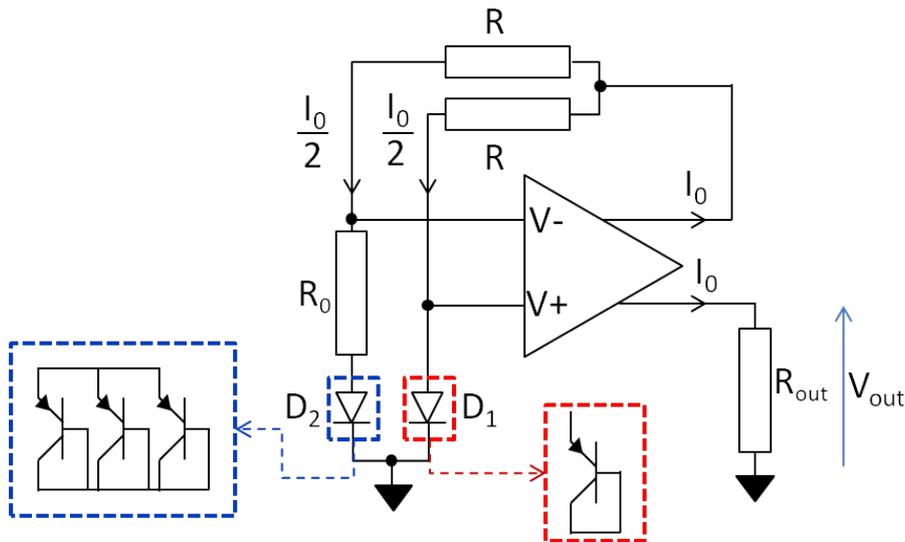


FIGURE 8.9 – Schéma électrique équivalent du capteur de température.

D'où :

$$I_0 = \frac{2 \cdot k \cdot T}{R_0 \cdot q} \left(\ln \left(\frac{I_0}{2 \cdot I_{ss}} \right) - \ln \left(\frac{I_0}{6 \cdot I_{ss}} \right) \right) = I_0 = \frac{k \cdot T}{q \cdot R_0} \cdot 2 \cdot \ln(3). \quad (8.3)$$

Finalement, nous avons :

$$\begin{aligned} V_{\text{out}} &= R_{\text{out}} \cdot I_0 \\ &= \frac{R_{\text{out}}}{R_0} \cdot \frac{2 \cdot \ln(3) \cdot k}{q} \cdot T \end{aligned} \quad (8.4)$$

Dans cette dernière relation, lorsque la température est homogène sur la surface du capteur, le rapport $\frac{R_{\text{out}}}{R_0}$ est constant. De plus, k est la constante de Boltzmann et q est la charge de l'électron. Ainsi, seule la température T du capteur est une variable, les autres paramètres sont des constantes. En conséquence, nous avons bien une tension de sortie directement proportionnelle à la température (des transistors bipolaires).

Néanmoins, nous avons vu au chapitre 4.1.5 que la résistivité électrique dépend de la température, donc le rapport $\frac{R_{\text{out}}}{R_0}$ devrait s'écrire de manière plus exacte comme $\frac{R_{\text{out}}|_{T_{R_{\text{out}}}}}{R_0|_{T_{R_0}}}$, où $T_{R_{\text{out}}}$ et T_{R_0} sont respectivement les températures des résistances R_{out} et R_0 . Ainsi, une différence de températures entre les résistances R_{out} et R_0 modifie le coefficient de proportionnalité entre la tension de sortie du capteur et sa température. Cette dernière remarque peut également s'appliquer aux deux résistances R connectées sur les ports $V+$ et $V-$ de l'amplificateur. Cependant, chacune de ces résistances a été découpée en deux. Puis, ces résistances ont été connectées en *common centroïde*. Ceci permet d'obtenir une variation similaire de leur résistivité électrique en fonction de leur température. Les courants I_0 en sortie de l'amplificateur sont obtenus à partir de miroirs de courant. Les transistors utilisés pour réaliser ces miroirs de courant sont de faibles dimensions et *common centroïder*, donc les courants I_0 sur chaque sortie de l'amplificateur peuvent être considérés comme identiques. Enfin, les transistors bipolaires sont également de tailles réduites et sont situés dans une zone unique dont l'aire avoisine les $400\mu\text{m}$. Nous pouvons donc considérer leurs températures comme identiques.

La consommation électrique de ce capteur est de l'ordre de la centaine de micro-ampères pour une surface de $245\mu\text{m} \times 380\mu\text{m}$. La consommation est répartie de manière homogène entre les différents composants du capteur, donc la densité de courant par unité de surface peut être considérée comme faible et homogène. Ainsi, l'élévation de la température du capteur due à son auto-échauffement est presque nulle. De plus, son fonctionnement ne génère pas de point chaud puisque sa densité de consommation électrique est homogène. Par conséquent, la tension de sortie du capteur est proportionnelle à la température du milieu dans lequel il est placé.

Finalement, ce qu'il faut retenir sur le fonctionnement de ce capteur est que s'il est placé dans un milieu dont la température T_{milieu} est homogène, la tension de sortie est proportionnelle à T_{milieu} . Si, T_{milieu} n'est pas homogène et qu'il existe une différence de

températures entre les résistances R_{out} et R_0 , alors le coefficient de proportionnalité entre la tension de sortie et la température varie essentiellement en fonction du rapport $\frac{R_{\text{out}}|_{T_{R_{\text{out}}}}}{R_0|_{T_{R_0}}}$.

Lors de la fabrication du circuit, en raison des dispersions du procédé CMOS, les paramètres électriques des composants intégrés identiques peuvent être différents. Ainsi, la valeur du courant I_0 et la sensibilité de deux capteurs à la même température peuvent être différentes. En conséquence, il est nécessaire d'étalonner les capteurs de température avant de réaliser l'expérience. Cet étalonnage permet de surcroît de corriger l'éventuelle influence de l'auto-échauffement sur la tension de sortie du capteur.

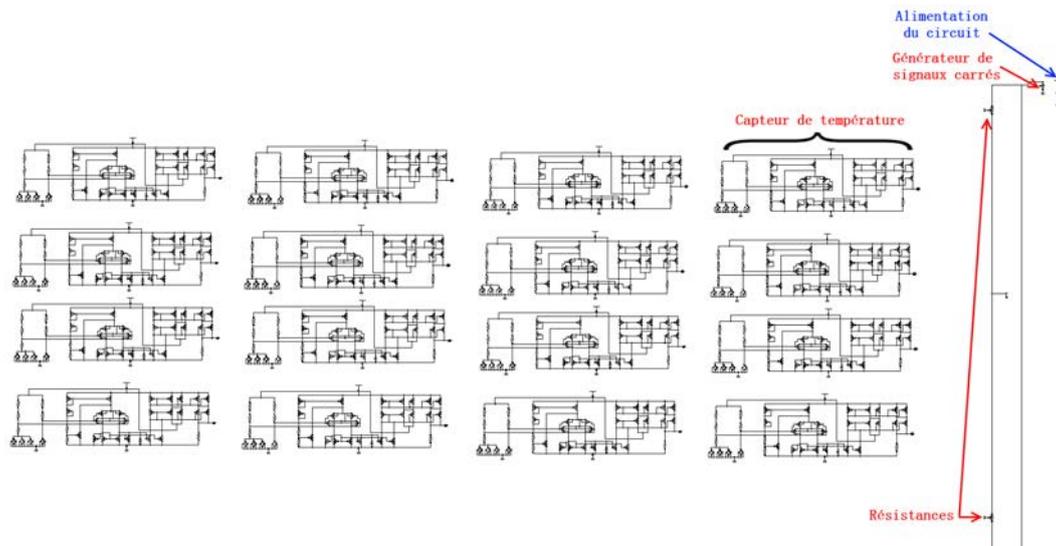
8.2.2 Circuit test

Le circuit test, représenté sur la figure 8.10, a été conçu en technologie CMOS AMS $0,35\mu\text{m}$, puis fabriqué par le CMP (Circuits Multi-Projets[®]) [170]. Celui-ci comporte une matrice 4×4 de capteurs de température autour de laquelle sont placées huit résistances de chauffe de 25 ohms (deux résistances par côté). Ces résistances sont fabriquées dans des caissons n, donc situées en surface du circuit, et ont pour dimensions $20\mu\text{m} \times 750\mu\text{m}$. En appliquant une tension aux bornes de ces résistances de chauffe, nous élevons, par effet Joule, la température en surface du circuit. Le circuit a été encapsulé dans un boîtier céramique QFP64, sans capot, puis monté sur une carte de test (figure 8.11).

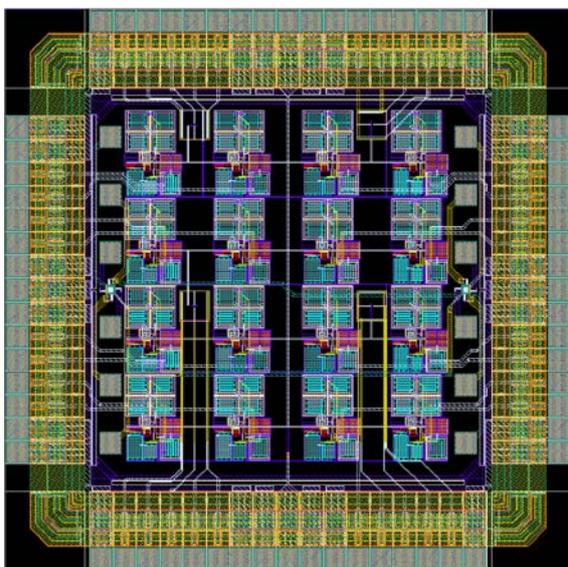
La figure 8.10c montre la position des capteurs et des résistances sur le circuit test. Sur cette figure, les capteurs 6 et 11 sont mis en avant, car nous nous intéresserons à ces capteurs pour les raisons évoquées ci-après. Les résistances placées sur la droite du circuit sont les résistances sur lesquelles une tension électrique est appliquée lors de la validation expérimentale. Le choix de chauffer ces résistances plutôt que d'autres est justifié à la fin de la partie détaillant l'étalonnage des capteurs.

Au moment de la conception du circuit test, le simulateur électrothermique n'était pas encore pleinement opérationnel et nous avons dû nous hâter pour pouvoir envoyer le circuit en fabrication dans le créneau disponible, sans pouvoir le simuler électrothermiquement et donc de prévoir les gradients de températures qui seraient réellement observables. Ainsi, le circuit souffre de quelques défauts pour créer de forts gradients de températures mesurables par la matrice de capteur. Tout d'abord, le circuit test est encapsulé dans un boîtier céramique qui, malheureusement pour nous, dissipe bien la chaleur. Ceci nous conduit à appliquer une forte puissance aux bornes des résistances de chauffe pour élever significativement la température moyenne du circuit. De plus, les plots du circuit sont protégés des surtensions par des diodes, ce qui limite notre tension d'alimentation à 3,3V. Ainsi, la tension maximale qui peut être appliquée aux bornes des résistances est d'environ 3V. La configuration des résistances sur le circuit permet de monter deux résistances adjacentes en parallèle. La puissance électrique maximale que nous pouvons dissiper théoriquement dans le circuit est donc de $P_{\text{max}} = 4 \cdot \frac{V_{\text{dd}}}{R_{\text{chauffe}} // R_{\text{chauffe}}}$ soit $P_{\text{max}} = 4 \times 720\text{mW}$. Cependant, chauffer le circuit sur plus de deux résistances tend à homogénéiser la température en surface du circuit. Ainsi, pour créer un gradient de températures significatif, nous n'avons

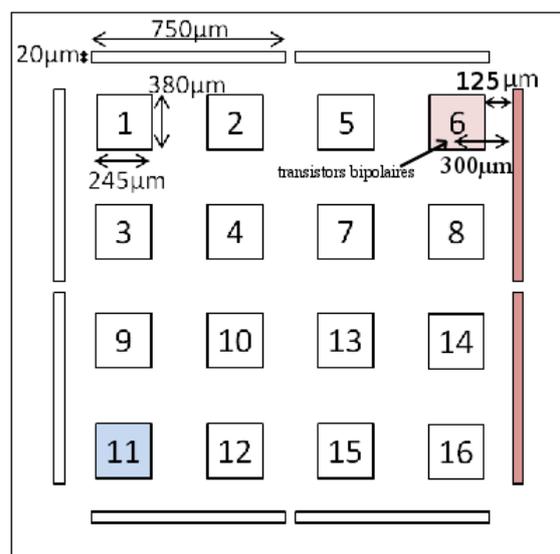
chauffé qu'un côté du circuit, en l'occurrence le côté droit, en montant deux résistances en parallèle. C'est pourquoi, pour faciliter la lisibilité des résultats, nous avons décidé de nous intéresser uniquement aux tensions de sortie de deux capteurs suffisamment éloignés l'un de l'autre pour qu'une différence de températures significative puisse être observées, à savoir les capteurs #6 et #11.



(a) Schéma électrique de la matrice de capteurs de température.



(b) Layout du circuit test (Dimensions 2,5mmx2,5mm)



(c) Placement des capteurs de température et des résistances sur le circuit.

FIGURE 8.10 – Layout, schéma électrique et placement des éléments du circuit test.



FIGURE 8.11 – Photo de la carte de test (Dimension du PCB 11cm × 11cm).

8.2.3 Etalonnage des capteurs du circuit test

Les capteurs thermiques, alimentés par une alimentation E3641A d'Agilent[®], sont étalonnés dans une chambre thermique BTZ-175E du fabricant ESPEC, sur la plage de température de -20°C à 80°C . La température de la chambre thermique est commandée par une interface LabView[®]. La mesure des tensions de sortie est réalisée avec le multimètre 34970A d'Agilent[®] et les résultats sont enregistrés automatiquement par le PC de contrôle via le programme LabView[®] (figure 8.12).

Après avoir placé le circuit test dans l'enceinte thermique, l'étalonnage des capteurs est réalisé selon la procédure suivante (figure 8.13) :

1. nous fixons la température de l'enceinte thermique à une température initiale de -20°C .
2. nous attendons que la température de l'enceinte soit stabilisée à T.

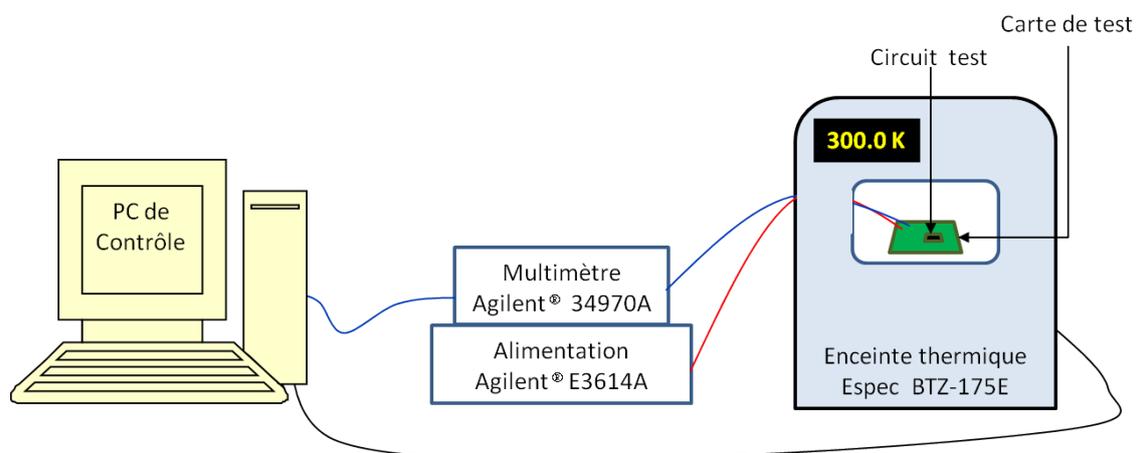


FIGURE 8.12 – Schéma de la configuration de la phase d'étalonnage.

3. nous attendons une heure, le temps que la tension en sortie des capteurs soit stabilisée à $\pm 5\mu\text{V}$.
4. si la température de l'enceinte varie de moins de $0,1^\circ\text{C}$ pendant le temps de stabilisation de la tension en sortie des capteurs à $\pm 5\mu\text{V}$, alors la tension en sortie des 16 capteurs est enregistrée. Sinon le temps d'attente est remis à zéro et l'on procède à nouveau à une stabilisation des tensions de sortie pendant une heure.
5. la consigne de température de l'enceinte thermique est augmentée d'un pas de 5°C . Puis, les points 1 à 5 sont réitérés jusqu'à atteindre 80°C .
6. une fois que la température de l'enceinte a atteint 80°C , la consigne de température est abaissée de 5°C . Les points 1 à 4 et 6 sont réitérés jusqu'à ce que la chambre thermique atteigne à nouveau la température de -20°C .

Lors de cette phase d'étalonnage, la tension aux bornes des résistances de chauffe est nulle. De plus, la consommation électrique de chacun des capteurs est homogène et faible. En conséquence, la densité de flux de chaleur généré par la matrice de capteurs reste faible et homogène. La température du circuit peut donc être considérée comme homogène et égale à la température de l'enceinte thermique. Une relation entre la tension électrique en sortie des capteurs et la température de l'enceinte peut donc être établie.

Les courbes des tensions de sortie des seize capteurs obtenues au cours de la phase montante (-20°C , 80°C) de l'étalonnage sont données sur la figure 8.14. De plus, sur cette figure, la caractéristique obtenue en simulation électrothermique est représentée en poin-

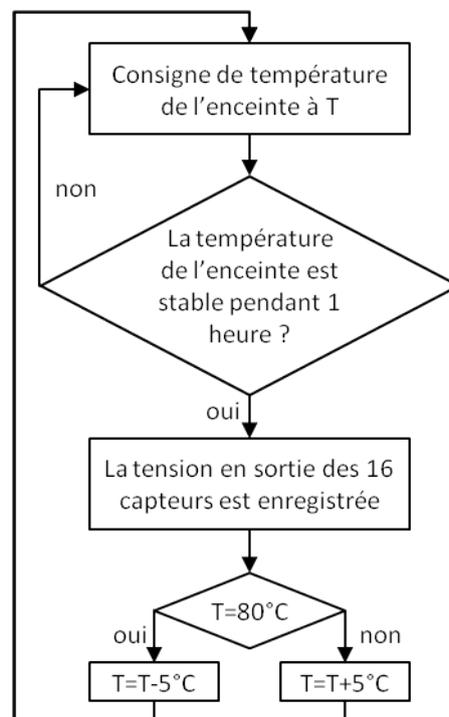


FIGURE 8.13 – Procédure de caractérisation des capteurs de température.

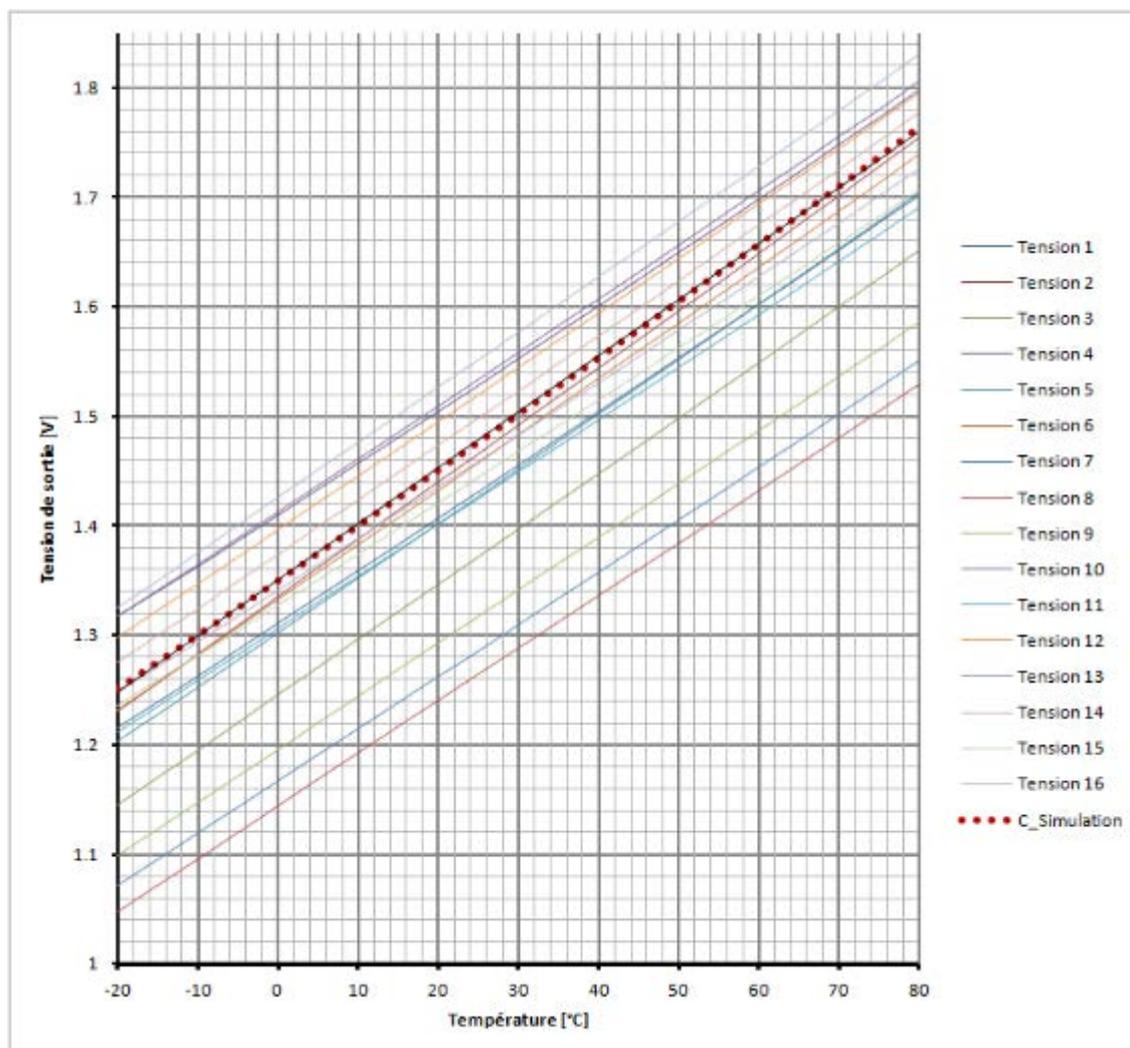


FIGURE 8.14 – Courbes de caractérisation lors de la phase montante des capteurs de température.

tillé rouge. Cette simulation électrothermique a été réalisée en utilisant les paramètres électriques standard de la technologie AMS.

Chacune de ces courbes peut être approximée par une équation linéaire de la forme :

$$V(T) = a \cdot T + b \quad (8.5)$$

où :

- V est la tension en sortie du capteur en [V].
- T est la température du capteur en [°C].
- a est la sensibilité du capteur en [mV.°C].
- b est l'offset du capteur en [V].

Capteur	Capteur1	Capteur2	Capteur3	Capteur4	Simulation
a[mV.°C]	4,865	5,242	5,064	4,813	5,111
b[V]	1,311557	1,334940	1,245882	1,409879	1,349893
Capteur	Capteur5	Capteur6	Capteur7	Capteur8	Simulation
a[mV.°C]	5,006	5,068	4,780	4,820	5,111
b[V]	1,303659	1,332218	1,1673328	1,144562	1,349893
Capteur	Capteur9	Capteur10	Capteur11	Capteur12	Simulation
a[mV.°C]	4,857	4,883	5,058	4,964	5,111
b[V]	1,196756	1,413124	1,426119	1,396954	1,349893
Capteur	Capteur13	Capteur14	Capteur15	Capteur16	Simulation
a[mV.°C]	4,793	5,018	4,703	4,786	5,111
b[V]	1,306576	1,374327	1,328233	1,341218	1,349893

FIGURE 8.15 – Valeurs des coefficients a et b des capteurs lors de la phase montante de l'étalonnage.

Capteur	Simulation	Capteur6	Capteur11
a[mV.°C]	5,111	5,079	5,068
b[V]	1,349893	1,332582	1,426679

FIGURE 8.16 – Valeurs des coefficients a et b du capteur simulé et des capteurs #6 et #11 lors de la phase descendante.

Les valeurs des coefficients a et b des seize capteurs de la matrice et celles de la courbe de simulation sont réunies dans la figure 8.15. Pour chacune des équations associées aux courbes, le facteur de corrélation est supérieur à 0,99999. Ce facteur est très proche de 1 et notre capteur thermique est bien un capteur PTAT.

Finalement, à partir des courbes caractéristiques des capteurs, la tension électrique de sortie est convertie en température.

Lors de la phase descendante de l'étalonnage (+80°C, -20°C), les valeurs de la sensibilité et de l'offset obtenues pour les capteurs #6 et #11 sont données dans le tableau 8.16. La variation de ces paramètres entre la phase montante et descendante est de l'ordre de 0,2% pour ces deux capteurs. Des valeurs similaires sont observées pour l'ensemble des autres capteurs. Ainsi, les capteurs de température conçus et particulièrement les capteurs #6 et #11, permettent d'obtenir des mesures répétitives, c'est-à-dire des mesures identiques pour la même grandeur mesurée.

Dans la section où nous avons décrit le circuit test, nous avons précisé que nous nous intéresserions spécifiquement aux capteurs #6 et #11 (en bas à gauche et en haut à droite). Ce choix a été motivé pour observer une différence de températures significative lorsque

nous chauffons un côté du circuit. Il est également intéressant de noter qu'avant étalonnage, ces capteurs sont parmi les plus fidèles aux résultats de simulation. En effet, la sensibilité de ces capteurs diffère de moins de 1% par rapport à la sensibilité obtenue en simulation en utilisant les paramètres typiques de la technologie. Leur offset dévie de 6% pour le capteur 11 et de moins de 1,4% pour le capteur #6.

Si le capteur est soumis à un gradient de températures, les températures $T_{R_{out}}$ et T_{R_0} peuvent être différentes, ce qui conduit à une modification du rapport $\frac{R_{out}|_{T_{R_{out}}}}{R_0|_{T_{R_0}}}$. Ainsi,

pour une température donnée des transistors bipolaires, la tension de sortie mesurée peut être différente de celle attendue. Au cours de cette phase d'étalonnage, l'influence sur la tension de sortie d'une différence de températures entre $T_{R_{out}}$ et T_{R_0} ne peut être estimée. Néanmoins, le fait que les caractéristiques de ces capteurs soient très proches de celles obtenues en simulation signifie que leur comportement est très voisin de celui donné par les modèles utilisés pour la simulation électrothermique. Ainsi, nous pouvons supposer que la

variation en température du rapport $\frac{R_{out}|_{T_{R_{out}}}}{R_0|_{T_{R_0}}}$ lorsque le capteur est soumis à un gradient

de températures sera du même ordre de grandeur que la variation de ce rapport en simulation. De ces deux capteurs, le capteur #6 possède la caractéristique la plus semblable à la caractéristique de simulation. C'est pourquoi, pour avoir expérimentalement une variation

du rapport $\frac{R_{out}|_{T_{R_{out}}}}{R_0|_{T_{R_0}}}$ aussi proche que possible de celle obtenue en simulation lorsqu'un gradient de températures existe entre R_{out} et R_0 , nous avons décidé de valider le simulateur en chauffant le côté droit du circuit, le capteur #6 étant de ce côté.

8.2.4 Conditions expérimentales

La carte de test avec le circuit intégré est tout d'abord placée dans l'enceinte thermique qui est maintenue à une température de 300K jusqu'à ce que les tensions électriques des capteurs se soient stabilisées. A partir de cet instant, nous enregistrons automatiquement, via le PC de contrôle, la valeur des tensions électriques en sorties des capteurs toutes les cinq secondes avec le voltmètre 34970A d'Agilent[®]. La configuration du banc de test expérimental est présenté sur la figure 8.17.

Une interface supplémentaire, développée en C#, permet de visualiser la carte thermique expérimentale tout au long de l'expérience. Cette carte thermique est obtenue par interpolation linéaire des températures en sortie des capteurs. En raison de la taille de ces capteurs (figures 8.8 et 8.10c), la température des capteurs peut être différente de celle au niveau des transistors bipolaires des capteurs. Ainsi, cette carte correspond à une approximation de la carte réelle de températures. Néanmoins, elle nous a permis de contrôler rapidement le bon fonctionnement du circuit. Une capture d'écran de cette interface est représentée sur la figure 8.18. Le layout du circuit a été superposé à la capture d'écran pour que le lecteur puisse localiser la zone d'interpolation de la température. Les températures affichées en sortie des capteurs correspondent à l'élévation de la température par rapport

à leur température initiale. Ainsi, leur température réelle est obtenue en ajoutant 300K.

Nous attendons 300 secondes pour nous assurer que la température du circuit soit bien stabilisée.

Après cette attente, une impulsion électrique de 2,95 volts et d'une durée de 620 secondes est appliquée sur les deux résistances de chauffe placées sur la droite du circuit. Ce signal est généré par un GBF². La durée de cette impulsion a été fixée à cette valeur pour que la température du circuit atteigne une valeur maximale quasi-stable avant la fin de l'impulsion. Au cours de cette phase, la tension est visualisée sur un oscilloscope TDS5034B de Tektronix[®]. De plus, le courant fourni par l'alimentation est mesuré avec un multimètre Metrix[®] MTX325 pour déterminer précisément la puissance dissipée dans les résistances.

A la fin de l'impulsion électrique, nous attendons encore 700 secondes pour que la température du système atteigne l'équilibre thermique, c'est-à-dire que sa température retourne à la température de l'enceinte thermique. Les courbes expérimentales des deux capteurs #6 et #11 sont représentées en trait continu sur la figure 8.19. Sur les courbes expérimentales, nous remarquons que le système possède deux constantes de temps différentes. De plus, une différence de températures d'environ 1.1K apparaît entre le capteur #6, placé à proximité des résistances chauffées, et le capteur #11, situé en bas à gauche du circuit. La valeur de cette différence de températures dépend essentiellement des propriétés de conduction thermique du silicium. La valeur relative de l'élévation de la température du circuit dépend en revanche des propriétés thermiques de l'environnement. Vu les dimensions de la puce, la constante de temps d'échauffement du silicium est de l'ordre de la microseconde et ne peut donc être observée à partir de cette expérience. Les constantes de temps relevées proviennent donc de l'environnement. Au vu de ces constantes, nous avons défini deux éléments d'environnements extérieurs. Le premier correspond au boîtier et le second correspond au PCB. Dans les conditions de simulation, nous déterminerons les propriétés thermiques de ces deux environnements en faisant correspondre les valeurs

2. GBF : Générateur Basse Fréquence

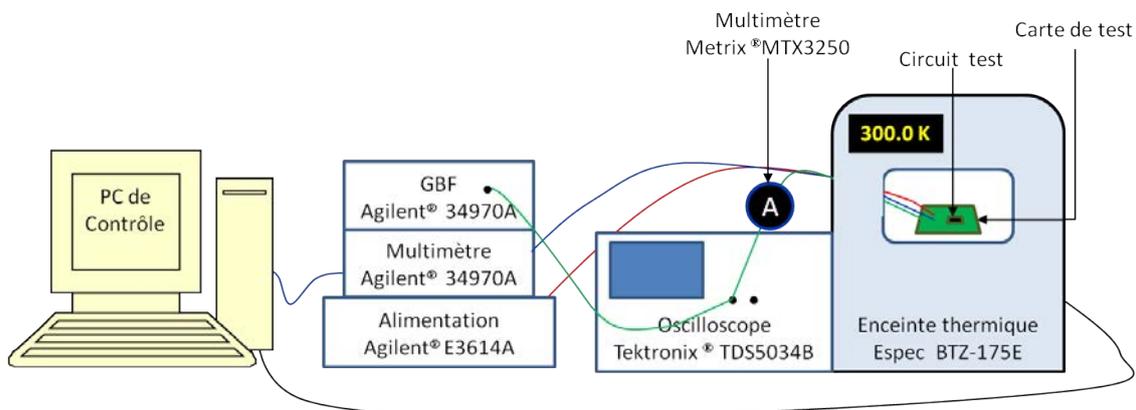


FIGURE 8.17 – Schéma de la configuration de la phase expérimentale.

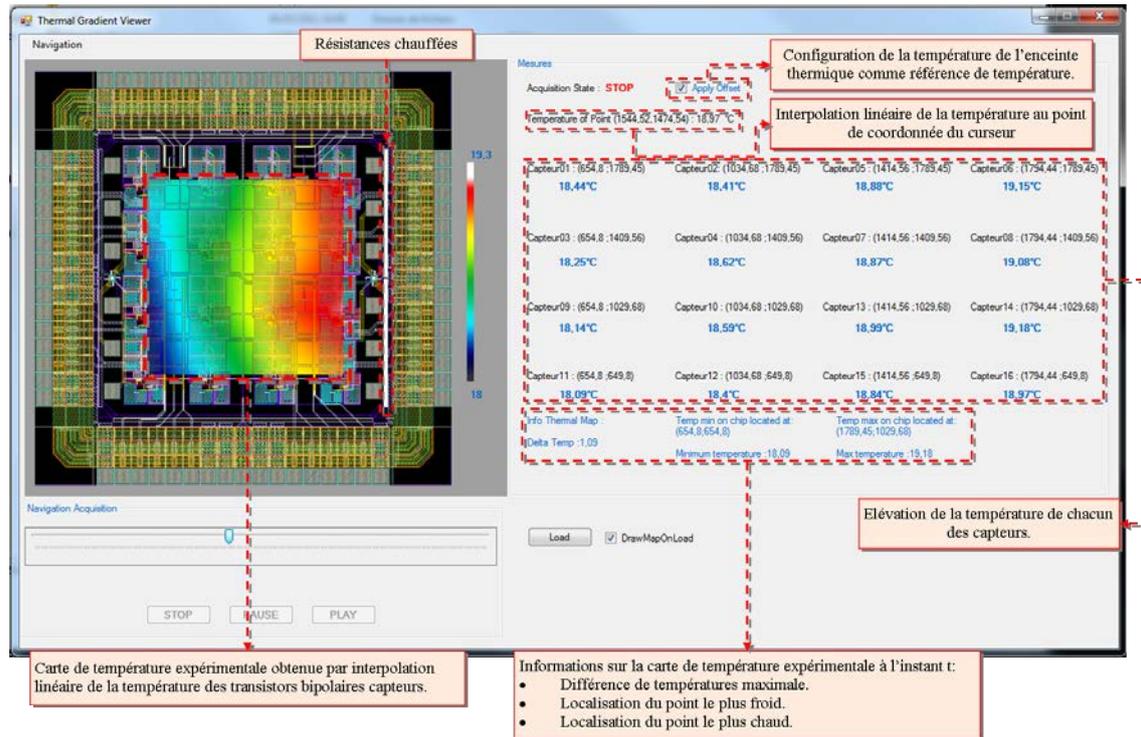


FIGURE 8.18 – Capture d’écran de l’interface de visualisation de la carte thermique expérimentale.

de leur constante de temps aux constantes de temps expérimentales.

8.2.5 Conditions de simulations

Pour obtenir les modèles électrothermiques des transistors MOS, un modèle électrique BSIM3v3 de transistor écrit en Verilog-A a été modifié en ajoutant le port thermique supplémentaire. Durant son stage de master 2, Thibault Wadoux a paramétré le modèle de ces transistors pour qu’il corresponde au modèle électrique des transistors fournis dans l’environnement CADENCE® pour la technologie CMOS 0,35 μ m C35B4. La modification apportée au code du transistor MOS est retranscrite dans la figure 8.20. Dans le modèle modifié, le nom du port thermique est nommé *therm*. La variable de la température du transistor se nomme *temp*. Dans le modèle standard, la variable *temp* prend la valeur \$temperature. Cette valeur correspond à la valeur de la température configurée par l’utilisateur dans les paramètres de simulation et demeure constante au cours de la simulation. Ici, l’accès à la température au port thermique se fait par la fonction *Temp()*. Ainsi, la valeur de la variable *temp* prend la valeur de la température au port thermique. Celle-ci varie en fonction du profil thermique généré sur le bloc dans lequel le transistor est utilisé.

Le flux de chaleur généré par effet Joule est assigné au port thermique par la fonction *Pwr*. La valeur de ce flux correspond à la somme des produits tension-courant entre le

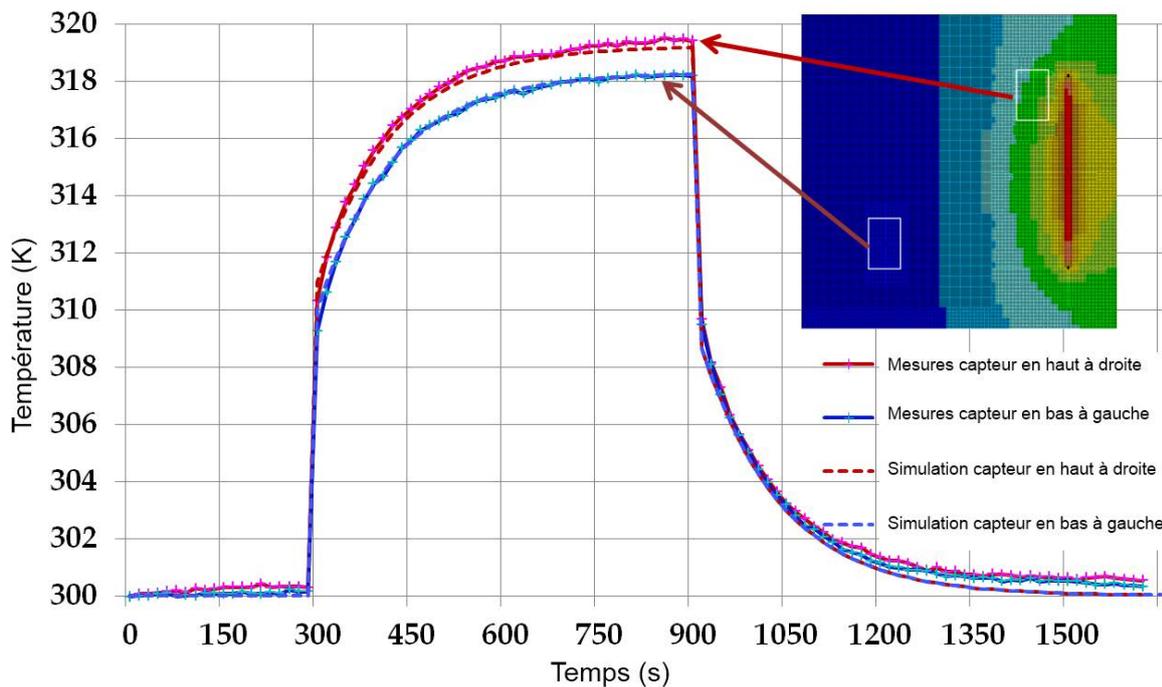


FIGURE 8.19 – Courbes de température obtenues en simulation et expérimentalement.

```

....
temp = Temp(therm)
Pwr(therm) <+ -GradM * ( I(drain, drainp)* V(drain, drainp)
                        +I(source, sourcep)*V(source, sourcep)
                        +I(drainp, sourcep)*V(drainp, sourcep));
..

```

FIGURE 8.20 – Extrait du code Verilog-A.

drain et la source du transistor.

Le terme *GradM* est un paramètre qui prend la valeur 1 ou 0. Si nous simulons le système pour vérifier les performances du bloc, alors ce paramètre est mis à 1 par l'utilisateur. Dans ce cas, le flux de chaleur émis par le transistor est bien injecté dans le réseau thermique. En revanche, si nous cherchons à extraire le modèle électrothermique du bloc simulé (chapitre 9), alors la valeur est mise à 0. Cette fois-ci le flux de chaleur généré par le transistor dans le réseau thermique est nul. Dans le cadre de la simulation présentée, ce paramètre est configuré à 1.

Des transistors bipolaires sont utilisés dans la conception du capteur de température. Pour simuler le circuit, un modèle électrothermique d'Ebers-Molls de transistor bipolaire a été implémenté en Verilog-A (annexe D) et configuré pour qu'il corresponde au modèle du transistor présent dans Cadence® pour la technologie C35B4 d'AMS.

Le circuit électrique simulé est présenté sur la figure 8.10. Sur ce circuit, le schéma au

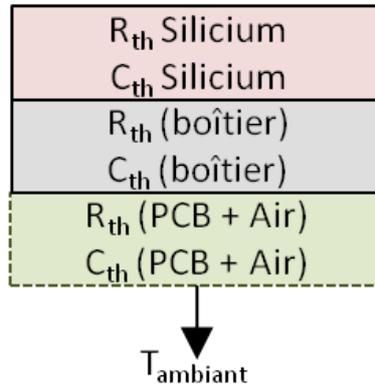


FIGURE 8.21 – Schéma du modèle thermique du circuit test.

niveau transistor de la matrice de capteur est situé au centre. Sur la droite de ce schéma, sont placées les deux résistances de chauffage. Enfin, le générateur d’impulsion est placé en haut à droite. Celui-ci modélise le générateur de tension Agilent®. Il n’existe aucune connexion électrique entre les capteurs, ni entre les capteurs et les résistances.

La modélisation thermique du circuit comporte trois éléments : la puce de silicium, l’interface puce-boîtier et l’interface boîtier-environnement extérieur (figure 8.21). La dimension verticale de la puce de silicium a été configurée à partir des informations de la technologie AMS® C35B4 et vaut $740\mu\text{m}$. La dimension verticale de l’interface puce-boîtier a été fixé arbitrairement à $275\mu\text{m}$ et celle de l’interface PCB-Air a été fixée à 1mm . Leurs dimensions horizontales sont, quant à elles, les mêmes que celles du circuit test, soit $2,5\text{mm} \times 2,5\text{mm}$.

Le circuit électrothermique à simuler comporte plus de 600 composants électriques pour un nombre de total de nœuds de plus de 72500. Le temps CPU pour exécuter cette simulation est de 1h55min. La machine utilisée est équipée d’un processeur quad-core. Aussi, le temps réel de simulation est d’un peu moins de 30 minutes.

Les propriétés thermiques utilisées pour modéliser la puce de silicium sont celles disponibles sur le site efunda [171]. De plus, ici, le modèle de l’élément thermique élémentaire a été configuré pour prendre en compte la variation des propriétés thermiques en fonction de la température. Ainsi, l’expression utilisé pour la conductivité thermique du silicium est donnée par la relation :

$$\lambda_{\text{thSilicium}} = a + b \cdot T + c \cdot T^2 \quad (8.6)$$

avec :

- $a = 4.5066695774639493E + 02$
- $b = -1.3493352112674510E + 00$
- $c = 1.1764619718309048E - 03$

A noter que ce modèle ne décrit la variation de la conductivité du silicium que sur la plage de température 250K - 600K.

Sur les courbes expérimentales, nous avons identifié deux constantes de temps. La constante de temps rapide correspond à la constante de temps du boîtier. La constante de

Propriétés	Silicium	Puce-Boîtier	PCB-Air	Dioxyde de silicium
Résistivité thermique [$10^3 \cdot \mu\text{m} \cdot \text{K} \cdot \text{W}^{-1}$]	6,13	400	100	724,64
Capacité thermique [$10^{-12} \text{J} \cdot \text{K}^{-1} \cdot \mu\text{m}^{-3}$]	1,613	1,613	2000	1,54

FIGURE 8.22 – Valeurs des propriétés thermiques à 300K des différents éléments du modèle thermique.

temps lente, quant à elle, correspond à l'ensemble PCB+Air. Les propriétés thermiques des éléments modélisant les interfaces puce-boîtier et boîtier-environnement ont été extraites en faisant en sorte que les valeurs des résistances thermiques de ces environnements permettent à la courbe d'un des capteurs de se superposer à sa courbe expérimentale. Les résistances thermiques ainsi extraites sont équivalentes à une résistance thermique où la convection, la conduction et le rayonnement sont modélisés. Contrairement aux propriétés thermiques du silicium, les propriétés thermiques de l'environnement sont indépendantes de la température. L'ensemble de ces propriétés sont regroupées sur la figure 8.22. Nous y avons également inclus les propriétés thermiques du dioxyde de silicium afin de pouvoir comparer les propriétés des éléments de l'environnement avec un isolant thermique. Au vu des dimensions fixées pour les éléments de l'environnement, les valeurs de leurs propriétés thermiques extraites semble cohérentes lorsque nous les comparons aux propriétés thermiques du dioxyde de silicium.

A noter que pour décorrélérer l'extraction de la valeur des propriétés thermiques de la configuration expérimentale qui nous sert à valider le simulateur, ces propriétés ont été extraites lors d'une expérience où les deux résistances à gauche étaient utilisées pour élever la température du circuit.

Sur la figure 8.19, les courbes obtenues en simulation sont représentées en pointillé.

8.2.6 Confrontation entre simulation et expérience

La figure 8.19 présentent les courbes expérimentales de température et celles de simulation. La température du capteur #11 (en bas à gauche) s'élève d'environ 18,1K et celle du capteur #6 (en haut à droite) de 19,1K, ce qui correspond respectivement à une élévation de leur tension de sortie de 90,5mV et de 95,5mV.

La courbe de température expérimentale du capteur #11 se superpose à sa courbe de simulation. Ici, l'erreur entre simulation et expérience est nulle. Ceci est attendu puisque ce capteur a été utilisé pour extraire les propriétés thermiques de l'environnement.

En comparant la courbe de température expérimentale du capteur #6 à sa courbe de simulation, nous constatons que l'erreur maximale apparaît lorsque l'équilibre électrothermique est atteint, et que celle-ci vaut un peu moins de 0,2K. A première vue, la précision

semble donc de l'ordre de 10%. Cependant, cette erreur doit être comparée sur l'élévation de la tension. En effet, la température expérimentale est calculée à partir de la tension électrique des capteurs. Or, la sensibilité de ces capteurs est de l'ordre de $5\text{mV}\cdot\text{K}^{-1}$. Ainsi, une erreur en température de 0,2K correspond approximativement à une erreur de 1mV. En conséquence l'erreur commise est de 1mV sur une élévation de tension de 95,5mV et l'erreur relative maximale commise est d'environ 1,05%.

Cette expérience valide donc notre simulateur pour la simulation de circuit intégré planaire.

8.3 Conclusion

Dans ce chapitre, nous avons validé notre simulateur pour la simulation de circuits intégrés, en régime établi, en le confrontant à un simulateur par éléments finis de référence, en l'occurrence COMSOL[®]. Dans ce cas, la précision des résultats obtenus avec notre simulateur est meilleure que 3%. Cette précision aurait pu être améliorée en utilisant une granularité de maillage plus fine pour le sous-réseau thermique. La validation pour le régime transitoire a été effectuée en confrontant les résultats expérimentaux obtenus sur un circuit test avec les résultats de simulation. Dans ce cas, les propriétés thermiques de l'environnement ont été extraites en faisant correspondre la courbe expérimentale en un point du circuit, en l'occurrence le point froid. Ceci étant, les paramètres thermiques de l'environnement peuvent être extraits en tout point du circuit. Le système est alors modélisé complètement et le simulateur donne des résultats dont la précision est de l'ordre du pourcent.

La validation expérimentale montre qu'il nous est également possible de simuler des systèmes comportant de nombreuses sources de chaleur en un laps de temps raisonnable. Cependant, bien que le temps réel de simulation soit toujours acceptable pour la simulation d'un système comportant plus de 600 composants, si nous souhaitons simuler des systèmes plus complexes, le temps de simulation risque vite de devenir excessif. Pour cela, il est nécessaire de trouver une solution pour réduire la complexité du système. L'une des solutions préconisées pour la simulation électrique standard est la modélisation haut-niveau (chapitre 3). Cette solution est également pertinente pour la simulation électrothermique. Néanmoins, la méthodologie généralement utilisée pour construire un modèle de haut-niveau électrique n'est pas toujours directement applicable à la modélisation haut-niveau électrothermique. Ceci provient du fait que la distribution thermique au sein d'un circuit dépend de sa distribution de densité de puissance et de son environnement. Il nous faut donc élaborer une méthodologie pour générer des modèles électrothermiques de haut-niveau. Cette méthodologie est décrite dans le chapitre suivant.

Chapitre 9

Modélisation électrothermique haut-niveau

Au chapitre 3 et à la fin du chapitre précédent, nous avons montré la nécessité de recourir à la modélisation haut-niveau pour être en mesure de simuler le comportement électrothermique de circuits intégrés complexes. Dans ce chapitre, nous aborderons les spécificités de la modélisation électrothermique haut-niveau. Puis, cette approche propre à la modélisation sera décrite précisément pour le cas particulier de notre capteur de température. Enfin, nous discuterons des apports de cette méthodologie dans la section 9.4.

9.1 Spécificité de la modélisation électrothermique haut-niveau

Dans cette section, nous commencerons par évoquer les apports de la modélisation électrique standard. Pour cela, le principe de cette modélisation sera brièvement décrit, puis sera illustré avec la modélisation d'un amplificateur opérationnel. Dans la deuxième partie de cette section, l'intérêt de la modélisation électrothermique à haut-niveau est démontré, puis la méthode de conversion d'un modèle électrique standard en un modèle électrothermique à un port thermique sera détaillée. Finalement, les limites de la modélisation à un port thermique seront mises en avant par l'étude d'un cas fictif. Ceci démontrera qu'une nouvelle méthodologie doit être élaborée pour modéliser le comportement électrothermique de blocs à haut-niveau.

9.1.1 Modélisation électrique haut-niveau standard

Un modèle électrique haut-niveau standard d'une cellule comportant n ports électriques est un modèle qui décrit le comportement électrique entre ces n ports à partir d'un jeu d'équations. Par exemple, à bas niveau, un amplificateur opérationnel est décrit par les relations courant-tension qui existent à chaque nœud de son circuit électrique (à gauche de la figure 9.1). Ici, le modèle est décrit par un nombre important d'équations. En revanche,

à haut niveau, son comportement électrique est décrit à partir d'un jeu d'équations réduit dont les paramètres (offset, gain en boucle ouvert, fréquence de coupure, etc.) sont extraits par la procédure de modélisation qui peut être basée aussi bien sur des mesures expérimentales que sur des simulations (à droite de la figure 9.1). Un modèle simpliste, écrit en Verilog-A, d'un tel amplificateur est donné sur la figure 9.2. Dans ce code, la tension de sortie en mode continu est calculée à partir d'une fonction arc tangente. Elle est bornée entre VSS et VDD qui sont les tensions d'alimentation. La dérivée en 0 de la fonction arc tangente de X est égale à X, ainsi la raideur de la pente de la tension de sortie, c'est-à-dire de la caractéristique de transfert de l'amplificateur, est déterminée par le gain. De plus, arc tangente de 0 égale 0, donc la valeur de l'offset décale la valeur pour laquelle la fonction est égale à 0. La fonction *Laplace_nd* modélise en fréquence, c'est-à-dire fournit la fonction de transfert de cet amplificateur qui est un système du premier ordre dont la fréquence de coupure est *fc*. Dans ce modèle simpliste, les paramètres électriques sont extraits pour une seule température, typiquement 300K. Pour que ce modèle soit utilisable pour une gamme de températures, il nous faudrait encore extraire la variation des paramètres du modèle en fonction de la température. Dans ce cas, par exemple, le gain ne serait plus constant, mais égal à $f_{gain}(T)$. Dans l'absolu, un modèle haut-niveau électrique, s'il est bien écrit, comporte moins d'équations que son modèle à bas niveau. Il est important de souligner que le passage à haut niveau ne signifie par obligatoirement perte de précision. Cependant, un système modélisé avec peu d'équations est généralement simulé plus rapidement, mais moins précisément, que s'il est décrit avec un jeu d'équations plus important. Ainsi, il est bien souvent nécessaire de trouver un compromis entre la précision du modèle et sa complexité (taille du jeu d'équations) pour optimiser le temps de simulation d'un circuit électrique complet.

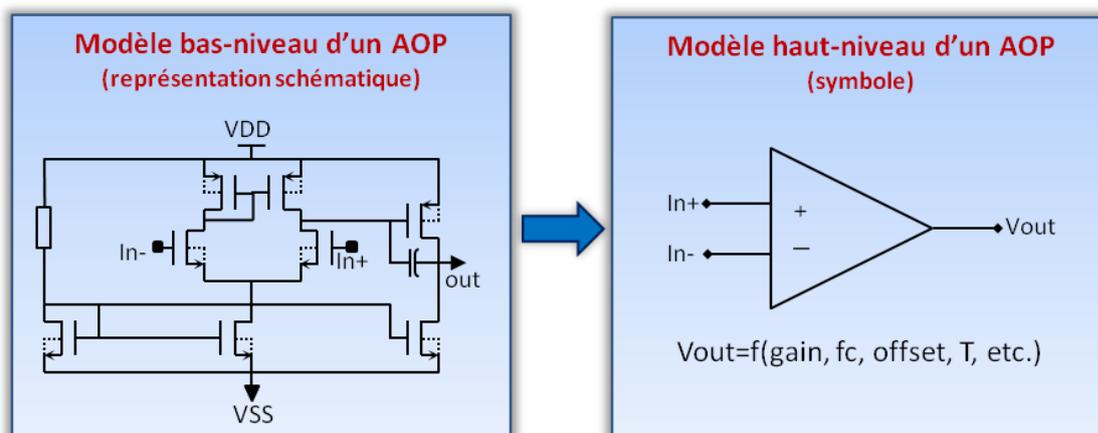


FIGURE 9.1 – Représentation électrique bas-niveau et haut-niveau d'un AOP.

```

Module aop(inp,inm,Vout);
inout inp, inm,Vout;
electrical inp, inm,vout;
parameter real gain = 50000 from (0:inf);
parameter real fc = 1E6 from (100:inf);
parameter real offset = 1E6 from (100:inf);
parameter real VDD=3.3;
parameter real VSS=0;

real Vmilieu,deltaV,Vin, VoutDC;
analog begin
@initial_step begin
Vmilieu = (VDD+VSS)*0.5;
Vmilieu = (VDD-VSS)*0.5;
end
Vin = V(inp)-V(inm);
VoutDC = (arctan(gain*Vin-offset)*(2.0/'M_PI))*(VDD-Vmilieu) +deltaV;
Vout<+ laplace_nd(VoutDC,{1},{1,1/('M_TWOPI*fc)});
end
end module

```

FIGURE 9.2 – Modèle Verilog-A électrique haut-niveau d'un AOP.

9.1.2 Modélisation électrothermique haut-niveau standard

Après cette parenthèse sur la modélisation électrique haut-niveau, revenons à la modélisation électrothermique à un port thermique que nous avons vue jusqu'à présent. Tout d'abord, il est important de souligner les avantages que la modélisation haut-niveau apporte à la simulation électrothermique. En premier lieu, modéliser un bloc à haut niveau permet de réduire la complexité du sous-réseau électrothermique de la même façon que nous pouvons réduire la complexité d'un système électrique. Cependant, le sous-réseau électrothermique n'est pas le seul à être affecté par la modélisation haut-niveau. En effet, le sous-réseau thermique est également simplifié. Pour générer ce réseau, un maillage adaptatif est réalisé en fonction du placement des cellules du bloc et de leur zone d'influence. Ainsi, un bloc qui comporte beaucoup de petits éléments, par exemple une matrice de pixels, sera modélisé avec un nombre de mailles au minimum égal au nombre de cellules du bloc, le nombre de pixels dans le cas d'une matrice de pixels. Ceci génère donc un maillage fin en surface du bloc. Or, un tel bloc ne requiert probablement pas un maillage aussi fin. En effet, si nous considérons l'exemple de la matrice de pixels, la consommation électrique en surface peut être considérée comme uniforme et de très faible densité. Ainsi, un modèle thermique avec un maillage grossier est suffisant pour modéliser précisément cette matrice. En modélisant le comportement électrothermique de cette matrice à haut niveau comme

nous l'avons fait pour une résistance au chapitre 7.3, nous obtenons plus qu'une seule cellule à un port thermique dont la zone d'influence est nulle puisque la consommation du bloc est faible et homogène. Ainsi, lors de la création du sous-réseau thermique, la matrice sera grossièrement maillée. Finalement, le sous-réseau thermique obtenu à partir du modèle haut-niveau présente moins d'éléments que son équivalent à bas niveau. En conséquence, les deux sous-réseaux, électrothermique et thermique, sont simplifiés, ce qui permet de diminuer les ressources nécessaires à la simulation.

Il est très facile de créer un modèle électrothermique standard, c'est-à-dire avec un port thermique, à partir d'un modèle électrique haut-niveau défini pour une gamme de températures. En effet, dans le modèle électrothermique, il suffit de définir la température T comme la température au niveau du port thermique et d'injecter dans ce port le flux de chaleur dissipé par l'amplificateur. En reprenant l'exemple de notre amplificateur, le gain, qui s'écrivait $f_{gain}(T)$ dans le modèle électrique, s'écrit dans le modèle électrothermique : $f_{gain}(Temp(therm))$ où $Temp(therm)$ est la température au niveau du port thermique nommé *therm*. De plus, le flux de chaleur, dissipé par effet Joule, à injecter dans ce port, correspond à la puissance électrique totale P_{diss} consommée par l'amplificateur. Cela peut s'écrire en Verilog-A de la façon suivante : $Pwr(therm) <+ P_{diss}$ où $Pwr(therm)$ est le flux de chaleur qui passe dans le port thermique. Bien entendu, cela sous-entend que le modèle électrothermique haut-niveau contient une équation permettant de calculer P_{diss} .

9.1.3 Limites de la modélisation électrothermique à un port thermique

Jusqu'à présent, les modèles électrothermiques des cellules décrits dans la section 7.3 et dans la section précédente possèdent un unique port thermique. Celui-ci sert à suivre la température du composant dans le sous-réseau thermique et à y injecter la puissance que la cellule dissipe. Dans ce cas, nous faisons l'hypothèse que la température et la puissance dissipée par la cellule sont nécessairement homogènes sur toute la surface de cette cellule. Cette considération est réaliste pour des cellules de faibles dimensions telles que les transistors, ou de petits blocs fonctionnels comme des portes logiques (inverseurs, NAND, etc.). En revanche, cette hypothèse est loin d'être vérifiée pour des blocs fonctionnels aux dimensions conséquentes. Les blocs concernés peuvent être, par exemple, des amplificateurs opérationnels, des amplificateurs d'instrumentation, des unités logiques d'un processeur, etc.

La figure 9.3 illustre clairement le problème de la modélisation à un port thermique pour un cas virtuel d'un circuit complexe. Le circuit fictif, représenté sur la partie gauche de la figure, peut, par exemple, être une unité de mesure sur laquelle un processeur traite les informations recueillies à la volée. Un zoom sur une partie du circuit nous montre, sur la droite de la figure, le positionnement d'une partie des blocs fonctionnels. Cette partie du circuit comporte une portion du module de puissance qui alimente le processeur. Un amplificateur opérationnel, de grande taille, est situé en haut à droite du circuit. Sous cet amplificateur, sont placés quatre capteurs de taille moyenne. De plus, sous ces capteurs se

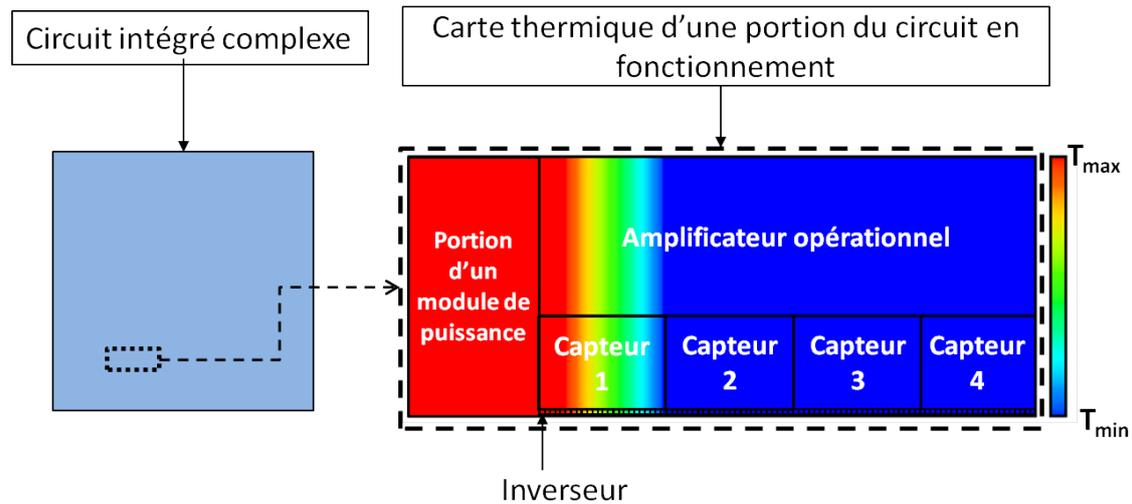


FIGURE 9.3 – Schéma et carte thermique illustrant les limites de la modélisation à un port thermique pour un circuit fictif.

trouve une chaîne de petits inverseurs. La carte thermique du circuit en état de marche est superposée au placement des composants. En raison de l'énergie électrique consommée par le module de puissance, un gradient de températures de la gauche vers la droite apparaît.

L'observation de cette carte thermique montre, tout d'abord, que la température de l'amplificateur opérationnel n'est pas homogène. Pourtant, le concepteur de l'amplificateur a notamment dû ajuster les paramètres électriques des transistors de l'étage différentiel et ceux de l'étage de sortie pour accorder au cahier des charges, par exemple, la valeur de l'offset (offset nul) et la bande passante de l'amplificateur. En suivant l'approche standard, lors de la conception de l'amplificateur et de son modèle haut-niveau, l'hypothèse que tous les composants opèrent à la même température a été faite. Ainsi, pour peu qu'un gradient de températures significatif apparaisse sur la paire différentielle, ou bien encore que la température de l'étage de sortie soit différente de la température de la paire différentielle, les paramètres électriques des transistors risquent de dévier. Cela peut avoir comme conséquence une variation de la bande passante ainsi qu'une dérive importante de l'offset.

Si cet amplificateur est modélisé de manière standard, c'est-à-dire avec un seul port thermique, la température utilisée pour calculer son comportement électrique sera la température moyenne à sa surface. Ainsi, le fait que la température de ses cellules (transistors, résistances, etc.) ne soit pas la même n'est pas pris en compte dans le modèle électrothermique de haut-niveau et l'influence du gradient de températures sur l'amplificateur ne sera pas visible en simulation. En outre, a priori rien ne justifie que nous puissions considérer que sa densité de consommation soit uniforme sur sa surface. Si la consommation électrique est localisée dans une partie réduite de l'amplificateur, un point chaud peut survenir et éventuellement perturber les cellules situées dans son voisinage. Cependant, si la puissance est répartie de manière homogène sur sa surface, le point chaud sera estompé, voir supprimé, donc son influence sur le système global sera sans doute négligée sans pour autant

être négligeable.

Les capteurs sont confrontés à un problème similaire. Sur la figure 9.3, le capteur 1 est soumis à un gradient de températures, et le profil thermique des trois autres capteurs est homogène. Ici, la modélisation électrothermique standard peut donc s'appliquer pour les capteurs 2 à 4. En revanche, l'utilisation de cette approche est à nouveau hasardeuse pour évaluer par une simulation électrothermique à haut-niveau le comportement du capteur 1. Considérons que ces capteurs correspondent à notre capteur de température. Nous rappelons son schéma électrique équivalent sur la figure 9.4. Nous avons vu que la tension électrique en sortie de ce capteur obéit à la relation :

$$V_{\text{out}} = \frac{R_{\text{out}}}{R_0} \cdot \frac{2 \cdot \ln(3) \cdot k}{q} \cdot T \quad (9.1)$$

De plus, nous avons également vu que pour une même température moyenne des transistors bipolaires, la tension électrique en sortie peut être différente car le rapport $\frac{R_{\text{out}}|_{T_{R_{\text{out}}}}}{R_0|_{T_{R_0}}}$ dépend de $T_{R_{\text{out}}}$ et T_{R_0} , les températures des résistances R_{out} et R_0 . Ce cas de figure apparaît pour le capteur 1, ce qui donne une information erronée de la valeur de la température en sortie de ce capteur.

L'ensemble de la chaîne d'inverseurs est également soumis au gradient de températures généré par le module de puissance. Cette chaîne totale n'est pas modélisée à haut niveau, mais les inverseurs le sont. Cependant, en raison de leur petite taille, aucun gradient de températures significatif ne peut apparaître à leur surface. La modélisation électrothermique à un port thermique est donc pertinente ici.

L'analyse du cas fictif présenté sur la figure 9.3 montre clairement les limites de la modélisation haut-niveau électrothermique à un port thermique. En conséquence, la mo-

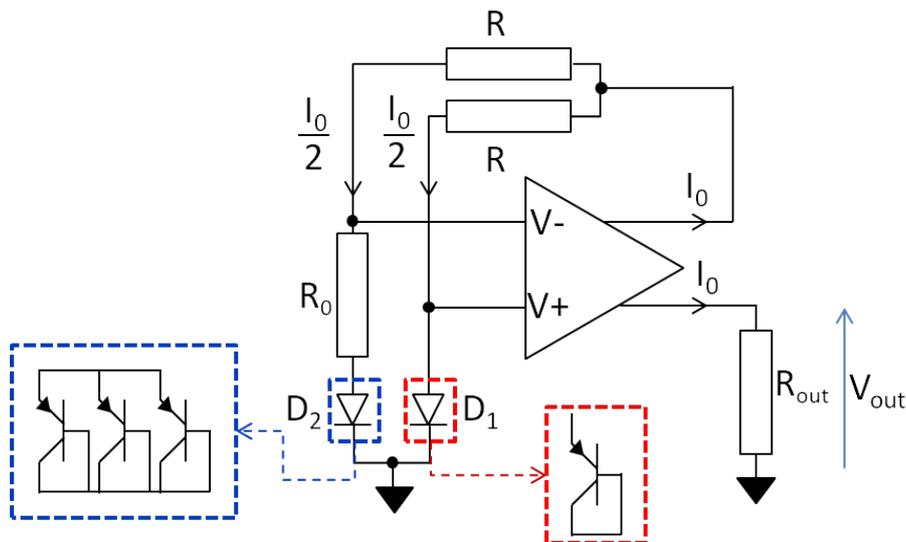


FIGURE 9.4 – Schéma électrique équivalent du capteur de température.

délisation électrothermique haut-niveau requiert une approche appropriée pour permettre de simuler précisément un circuit intégré. Nous avons donc développé une méthode spécifique où le modèle électrothermique de haut-niveau comporte plusieurs nœuds thermiques. Cette méthode est développée dans le reste de ce chapitre.

9.2 Méthodologie générale de la modélisation électrothermique à haut-niveau

Nous venons de montrer les défaillances de la modélisation haut-niveau standard, c'est-à-dire à un port thermique, appliquée à la simulation électrothermique de systèmes complexes. Dans cette section, la problématique qui se pose est brièvement rappelée afin que le lecteur puisse bien assimiler la méthodologie qui est présentée dans cette deuxième partie.

9.2.1 Problématique de la modélisation électrothermique à haut-niveau

La problématique qui se pose est de construire un modèle électrothermique de haut-niveau pour un bloc fonctionnel complexe et sur lequel des gradients de températures significatifs peuvent apparaître, par exemple un amplificateur opérationnel. Ce modèle électrothermique de haut-niveau n'est rien d'autre que le jeu d'équations qui modélise ce bloc. Sa réalisation nécessite au moins un port thermique supplémentaire par rapport à son modèle électrique standard. Ce port sert à échantillonner la température du bloc dans le sous-réseau thermique et à injecter le flux de chaleur généré par le bloc dans le réseau thermique. Ce point a déjà été évoqué dans la section 9.1.2. En revanche, lorsque plusieurs ports thermiques sont nécessaires à la description du comportement électrothermique du bloc alors la procédure de création et d'extraction des paramètres du modèle n'est plus triviale.

Il est important d'avoir à l'esprit que le comportement du bloc dépend du profil de température à sa surface. Or, le profil thermique sur la surface d'un bloc fonctionnel dépend :

1. de la répartition de la densité de courant du bloc.
2. de son environnement, c'est-à-dire de la répartition de la densité de courant, autour de ce bloc, due aux autres éléments du circuit.

C'est pour cette raison que pour une simulation électrothermique, le sous-réseau thermique ne peut être généré qu'après que le placement de tous les éléments du circuit soit effectué. Comme nous l'avons vu dans la section 9.1.3, l'introduction de plusieurs ports thermiques est nécessaire lorsque la surface occupée par un bloc est suffisamment importante pour que des gradients de températures puissent apparaître et influencer le fonctionnement du bloc. Le bloc fonctionnel est alors découpé en autant de sous-surfaces que de ports thermiques. Chaque port thermique échantillonne la température de la sous-surface qu'il *couvre* et distribue dans le sous-réseau thermique le flux de chaleur généré dans sa sous-surface. Ainsi, en utilisant plusieurs ports thermiques, les profils de température qui apparaîtront au sein

d'un même bloc fonctionnel vont influencer son comportement, c'est-à-dire ses caractéristiques purement fonctionnelles¹, comme par exemple son gain pour un amplificateur, mais aussi ses caractéristiques non fonctionnelles comme sa consommation.

9.2.2 Modélisation électrothermique à 4 ports thermiques

Lorsqu'il est nécessaire de prendre en compte la disparité du profil de température pour modéliser le comportement électrothermique d'un bloc, plusieurs ports thermiques sont requis. La surface du bloc est discrétisée en autant de sous-surfaces que de ports thermiques utilisés. Chacun de ces ports échantillonne la température dans le sous-réseau thermique et y injecte le flux de chaleur généré par le bloc dans la sous-surface qu'il représente. Le comportement au niveau des ports électriques est alors déterminé en fonction des températures de chacun des nœuds.

A l'initialisation de la simulation électrothermique, dans la procédure de maillage, notre cellule à 4 ports thermiques est éclatée en autant de cellules électrothermiques standard, c'est-à-dire à un seul port thermique, que de ports thermiques utilisés. Par conséquent, la procédure est la même que celle utilisée pour le maillage à bas-niveau. Il est important de rappeler que dans notre démarche, nous créons un sous-réseau thermique adapté au système à simuler. Ainsi, du point de vu du mailleur, la seule différence entre un modèle haut-niveau et un modèle bas-niveau est une propriété qui lui indique le nombre de ports thermiques et une autre propriété qui lui indique la zone couverte par chacun de ces ports. Ce type de modification ne peut être réalisée à l'heure actuelle avec les simulateurs commerciaux ou académiques disponibles (voir figure 7.4), cela conforte notre décision dans le développement de notre propre simulateur.

Nous rappelons également que l'un des objectifs de ce type de modélisation est de réduire le nombre de nœuds thermiques entre la représentation schématique du bloc à partir de cellules de niveau inférieur et son modèle haut-niveau électrothermique. En réalisant cette opération, le nombre de nœuds nécessaires à la modélisation du sous-réseau thermique est optimisé et en conséquence les équations du modèle haut-niveau dans le sous-réseau électrothermique sont simplifiées.

La compréhension et la réalisation de modèles haut-niveau électrothermiques dans le cas général à n ports thermiques sont complexes. Ainsi, le type de modélisation qui est décrit dans cette section concerne le cas particulier où 2×2 ports thermiques sont utilisés (figure 9.5). Sur cette figure, le bloc à modéliser comporte n ports électriques et quatre ports thermiques. Le bloc est découpé en 2×2 parties égales. En partant du coin en bas à gauche et en tournant dans le sens trigonométrique, ces zones, numérotées 00, 10, 11 et 01, sont respectivement couvertes par les ports T_{00} , T_{01} , T_{11} , T_{10} . Chacun de ces quatre ports thermiques permet d'échantillonner la température sur la zone qu'il couvre dans le sous-réseau thermique. Ces ports permettent également d'injecter le flux de chaleur généré dans leur zone par le bloc. Le cas général à plus de 2×2 ports thermiques sera discuté en

1. Au sens de la fonction à remplir par le bloc : un amplificateur a pour fonction d'amplifier d'un certain gain un signal.

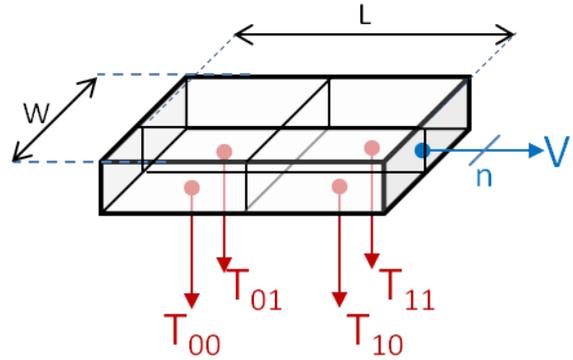


FIGURE 9.5 – Symbole générique du modèle électrothermique haut-niveau à 2×2 ports thermiques d'une cellule.

conclusion de ce chapitre.

Dans ce qui suit, il est important de souligner que nous considérons les blocs à modéliser comme planaires. C'est-à-dire que la température est considérée comme constante au sein du bloc à modéliser dans sa direction verticale. Cette approximation est raisonnable au regard de l'épaisseur de la couche active d'un circuit intégré qui est de l'ordre de la centaine de nanomètres au micromètre.

Dans ce cas, pour un bloc possédant n ports électriques, le modèle comportemental dont il faut déterminer les paramètres correspond au système d'équations 9.2 :

$$\begin{cases} V_i = f_i(V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, T_{01}, T_{10}, T_{11}, t) \\ P_{00} = g_{00}(V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, T_{01}, T_{10}, T_{11}, t) \\ P_{01} = g_{01}(V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, T_{01}, T_{10}, T_{11}, t) \\ P_{10} = g_{10}(V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, T_{01}, T_{10}, T_{11}, t) \\ P_{11} = g_{11}(V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, T_{01}, T_{10}, T_{11}, t) \end{cases} \quad (9.2)$$

où :

- t est le temps.
- f_i sont les fonctions modélisant le comportement du port électrique i .
- V_i est la tension au port i .
- g_{XY} , où X et Y prennent la valeur 0 ou 1, sont les fonctions qui décrivent les flux de chaleurs émis par le bloc dans les zones 00, 01, 11 et 10.
- P_{XY} est le flux de chaleur au port thermique T_{XY} .

Pour extraire les paramètres du modèle électrothermique haut-niveau, de niveau n , indépendamment des conditions aux limites, une solution est d'analyser le comportement du circuit par simulations électrothermiques paramétriques au niveau $n-1$ pour un ensemble spécifique et exhaustif de conditions de températures au niveau des ports thermiques. A partir des données recueillies, les courbes de variation des paramètres du modèle en fonction des conditions aux limites sont décrites à l'aide de fonctions mathématiques. Pour cela, nous

pouvons par exemple utiliser le site internet zunzun.com qui permet de trouver les fonctions mathématiques d'ajustement de courbe les mieux adaptées parmi un large éventail de fonctions répertoriées. Matlab[®] et Excel[®] permettent également de trouver des fonctions d'ajustement de courbes.

En pratique, pour la plupart des matériaux, la conductivité thermique peut être considérée comme constante ou variant quasi-linéairement avec la température. Par exemple, sur la plage de température 250K-400K, la conductivité thermique du silicium en fonction de la température peut être approximée par l'équation linéaire 9.3 avec un facteur de corrélation de 0,968 :

$$\lambda_{th\text{Silicium}} = 323,638 - 0,56966 \cdot T \quad (9.3)$$

où T est la température en [K].

Dans ce cas, le modèle décrit par le système 9.2 peut se mettre sous la forme du système 9.4 où les fonctions f_i et g_{XY} s'écrivent comme une combinaison linéaire de fonctions ne dépendant que de la température en un seul des quatre ports thermiques :

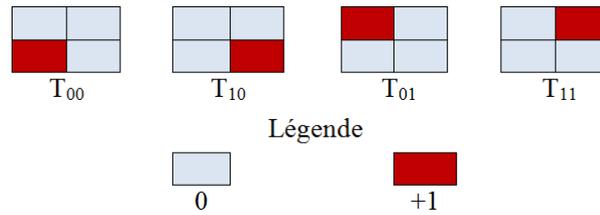
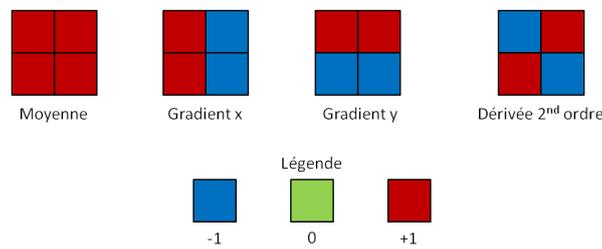
$$\begin{aligned} f_i &= f_{i_{T_{00}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, t) \\ &+ f_{i_{T_{10}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{10}, t) \\ &+ f_{i_{T_{11}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{11}, t) \\ &+ f_{i_{T_{01}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{01}, t) \end{aligned} \quad (9.4)$$

$$\begin{aligned} g_{XY} &= g_{XY_{T_{00}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{00}, t) \\ &+ g_{XY_{T_{10}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{10}, t) \\ &+ g_{XY_{T_{11}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{11}, t) \\ &+ g_{XY_{T_{01}}} (V_1, \dots, V_n, I_1, \dots, I_n, T_{01}, t) \end{aligned}$$

Ainsi, pour extraire les paramètres du modèle, par exemple un gain, un offset, etc., qui s'expriment comme une combinaison linéaire de fonctions $f_{i_{T_{\alpha\beta}}}$, avec α et β égaux à 0 ou 1, ou pour extraire les flux de chaleur g_{XY} qui s'expriment aussi comme une combinaison linéaire de fonctions $g_{XY_{T_{\alpha\beta}}}$, il suffit d'analyser successivement le comportement du bloc pour les quatre configurations de température représentées sur la figure 9.6. Formellement, ces quatre configurations peuvent être vues comme une base vectorielle spécifique sur laquelle est projetée la distribution thermique en surface du bloc.

En prenant par exemple le cas du port T_{00} , une température T_{\min} est imposée. Ensuite le modèle du bloc est extrait pour un ensemble de valeurs de T comprises dans l'intervalle de température $[T_{\min}, T_{\min}]$. Cette procédure est ensuite réitérée pour les trois autres configurations et le paramètre du modèle en cours d'extraction s'écrit comme la combinaison linéaire des fonctions élémentaires $f_{i_{T_{\alpha\beta}}}$ venant d'être extraites.

Cependant, en appliquant de telles conditions de température pour l'extraction du modèle, nous créons de fortes discontinuités dans les profils thermiques que nous appliquons pour nos simulations électrothermiques paramétriques. Ceci engendre des problèmes

FIGURE 9.6 – Base vectorielle T_{00} , T_{01} , T_{11} , T_{10} FIGURE 9.7 – Base vectorielle utilisée pour extraire nos modèles électrothermiques à 2×2 ports thermiques.

de convergence du simulateur rendant inadaptée l'utilisation de la base vectorielle de la figure 9.6.

Pour éviter ces problèmes de convergence, il nous a fallu trouver une astuce permettant de contrôler la température des ports thermiques sans pour autant générer de discontinuité. Pour cela, la solution que nous avons élaborée demande d'abord de changer de base vectorielle de modélisation. Nous avons choisi de nous placer dans la base vectorielle représentée par la figure 9.7.

A priori, cette base ne semble pas si différente que celle présentée sur la figure 9.6. La méthodologie d'extraction des paramètres reste donc la même que précédemment. Cependant, cette fois-ci nous pouvons contrôler la température aux ports thermiques sans générer de discontinuité. En effet, ici, nous contrôlons la température par paire de ports thermiques, ce qui nous permet de contrôler leur température en appliquant des gradients de températures. Ces gradients sont imposés à partir des températures que nous appliquons aux frontières du bloc comme le montre la figure 9.8. Le système d'équations 9.2 doit alors être exprimé à partir de la température moyenne T_{avg} du bloc et de ses dérivées spatiales vis-à-vis de la température, conduisant au système 9.5 :

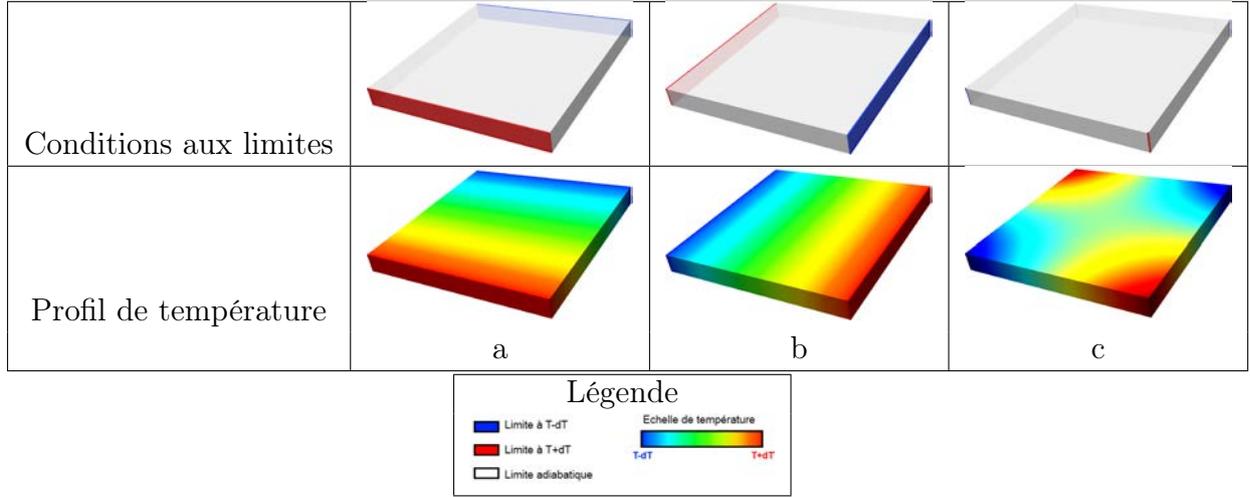


FIGURE 9.8 – Conditions de température à appliquer pour l'extraction de modèle électrothermique haut-niveau à 2×2 ports thermique et profils thermiques engendrés par ces conditions.

$$\left\{ \begin{array}{l}
 V_i = f_i \left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}, t \right) \\
 P_{00} = g_{00} \left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}, t \right) \\
 P_{01} = g_{01} \left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}, t \right) \\
 P_{10} = g_{10} \left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}, t \right) \\
 P_{11} = g_{11} \left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}, t \right)
 \end{array} \right. \quad (9.5)$$

avec dans le cas d'un bloc subdivisé en quatre surfaces de même aire :

$$\begin{aligned}
 T_{\text{avg}} &= \frac{T_{00} + T_{01} + T_{10} + T_{11}}{4} \\
 \frac{\partial T}{\partial x} &= \frac{T_{00} - T_{01} + T_{10} - T_{11}}{2 \cdot W} \\
 \frac{\partial T}{\partial y} &= \frac{T_{00} + T_{01} - T_{10} - T_{11}}{2 \cdot L} \\
 \frac{\partial^2 T}{\partial x \partial y} &= \frac{T_{00} - T_{01} - T_{10} + T_{11}}{4 \cdot W \cdot L}
 \end{aligned} \quad (9.6)$$

où :

- W est la largeur du bloc.
- L est la longueur du bloc.

La encore, l'hypothèse de linéarité est généralement suffisante en pratique et les fonctions f_i , g_{XY} , où X et Y prennent la valeur 0 ou 1, peuvent être décomposées de la manière suivante :

$$\begin{aligned}
 f_i &= f_{i_{T_{\text{avg}}}}(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, t) \\
 &+ f_{i_x}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, t\right) \\
 &+ f_{i_y}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial y}, t\right) \\
 &+ f_{i_{xy}}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x \partial y}, t\right)
 \end{aligned} \tag{9.7}$$

$$\begin{aligned}
 g_{XY} &= g_{XY_{T_{\text{avg}}}}(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, t) \\
 &+ g_{XY_x}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial x}, t\right) \\
 &+ g_{XY_y}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial y}, t\right) \\
 &+ g_{XY_{xy}}\left(V_1, \dots, V_n, I_1, \dots, I_n, T_{\text{avg}}, \frac{\partial T}{\partial xy}, t\right)
 \end{aligned}$$

Ensuite, l'extraction du modèle électrothermique se fait de manière similaire à la procédure venant d'être exposée.

Par exemple, pour un amplificateur opérationnel, la valeur du gain sera calculée par une fonction ayant $T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial^2 T}{\partial x \partial y}$ comme arguments. Ainsi, dans le modèle électrothermique, la valeur tension de sortie V_{out} est calculée en fonction de sa tension d'entrée V_{in} suivant le système :

$$\begin{cases} \text{Gain} = G_{\text{avg}}(T_{\text{avg}}) + G_x\left(T_{\text{avg}}, \frac{\partial T}{\partial x}\right) + G_y\left(T_{\text{avg}}, \frac{\partial T}{\partial y}\right) + G_{xy}\left(T_{\text{avg}}, \frac{\partial T}{\partial x \partial y}\right) \\ V_{\text{out}} = \text{Gain} \cdot V_{\text{in}} \end{cases} \tag{9.8}$$

où G_{avg} , G_x , G_y et G_{xy} sont les fonctions à déterminer par ajustement de courbes lors de la phase d'extraction du modèle. La forme de ces fonctions dépend de la conception de l'amplificateur et peuvent être par exemple des polynômes. De plus, selon la conception, il est possible que la dépendance vis-à-vis des dérivées spatiales de température du premier ordre et du second ordre soit indépendante de la température moyenne. Dans ce cas, notre gain s'exprimerait par :

$$\text{Gain} = G_{\text{avg}}(T_{\text{avg}}) + G_x\left(\frac{\partial T}{\partial x}\right) + G_y\left(\frac{\partial T}{\partial y}\right) + G_{xy}\left(\frac{\partial T}{\partial x \partial y}\right) \tag{9.9}$$

Un exemple de modélisation du gain pourrait être :

$$\text{Gain} = 10000 + 100 \cdot \left(\frac{\partial T}{\partial x}\right) - 15 \cdot \left(\frac{\partial T}{\partial y}\right) + 17 \cdot \left(\frac{\partial T}{\partial x \partial y}\right) \tag{9.10}$$

Pour être à même de déterminer les fonctions G_{avg} , G_x , G_y et G_{xy} , les conditions de température qui doivent être appliquées aux limites du bloc lors de la procédure d'extraction sont représentées sur la figure 9.8. D'autre part, lors de cette phase d'extraction, le flux de chaleur généré par les cellules du bloc dans le sous-réseau thermique est désactivé pour éviter que ce flux ne modifie le profil thermique imposé par les conditions aux limites du bloc.

En appliquant une différence de températures dT entre deux faces opposées du bloc, alors que les autres faces sont placées dans des conditions adiabatiques, le profil thermique obtenu permet d'extraire, à l'aide de simulations paramétriques, la dépendance en température du jeu de paramètres du modèle en fonction des dérivées du premier ordre, c'est-à-dire les fonctions G_x et G_y dans les équations 9.8 ou 9.9.

Lors de ces simulations paramétriques, les paramètres du modèle sont extraits en faisant varier la température moyenne T_{avg} sur la plage de température d'utilisation du bloc. A chaque analyse de paramètre du modèle pour une température T_{avg} donnée, la variation de ce paramètre est extraite en fonction de la valeur dT . Puis, cette variation est décrite par une fonction mathématique obtenue par ajustement de courbe, par exemple par un polynôme.

La même démarche est suivie pour l'extraction des paramètres en fonction de la dérivée en température du second ordre. Cependant, dans ce cas, la différence de températures est appliquée sur deux arêtes orthogonales à la surface supérieure du bloc, et situées en diagonale l'une de l'autre.

La procédure d'extraction du modèle électrothermique haut-niveau décrite est résumée sous sa forme algorithmique sur la figure 9.9.

Jusqu'à présent seul le comportement électrothermique du bloc, c'est-à-dire la fonction que remplit ce bloc, est extrait. Il reste encore à extraire la distribution du flux de chaleur, c'est à dire les fonctions g_{XY} , pour chaque port thermique. Lors de la phase d'extraction des fonctions f_i , par simulations électrothermiques à niveau n-1, la génération du flux de chaleur dans le sous-réseau thermique est désactivée. Néanmoins, il est toujours possible d'avoir accès à ce flux s'il est redirigé vers un port supplémentaire. Ce port ne sert qu'à avoir accès au flux de chaleur émis en fonction des gradients et demeure non connecté. Ainsi, la valeur de ce flux par zone XY correspond à la somme algébrique des flux de chaleur émis par chacune des cellules présentes dans cette zone. Les paramètres dépendant de T_{avg} , $\frac{\partial T}{\partial x}$, $\frac{\partial T}{\partial y}$, $\frac{\partial^2 T}{\partial x \partial y}$ des fonctions g_{XY} sont alors extraits selon la même procédure que celle utilisée pour l'extraction des fonctions f_i .

9.3 Discussion

Cette approche de modélisation électrothermique à 2×2 ports thermiques est extensible à la modélisation électrothermique à $n \times m$ ports thermiques. Dans ce cas, une plus grande

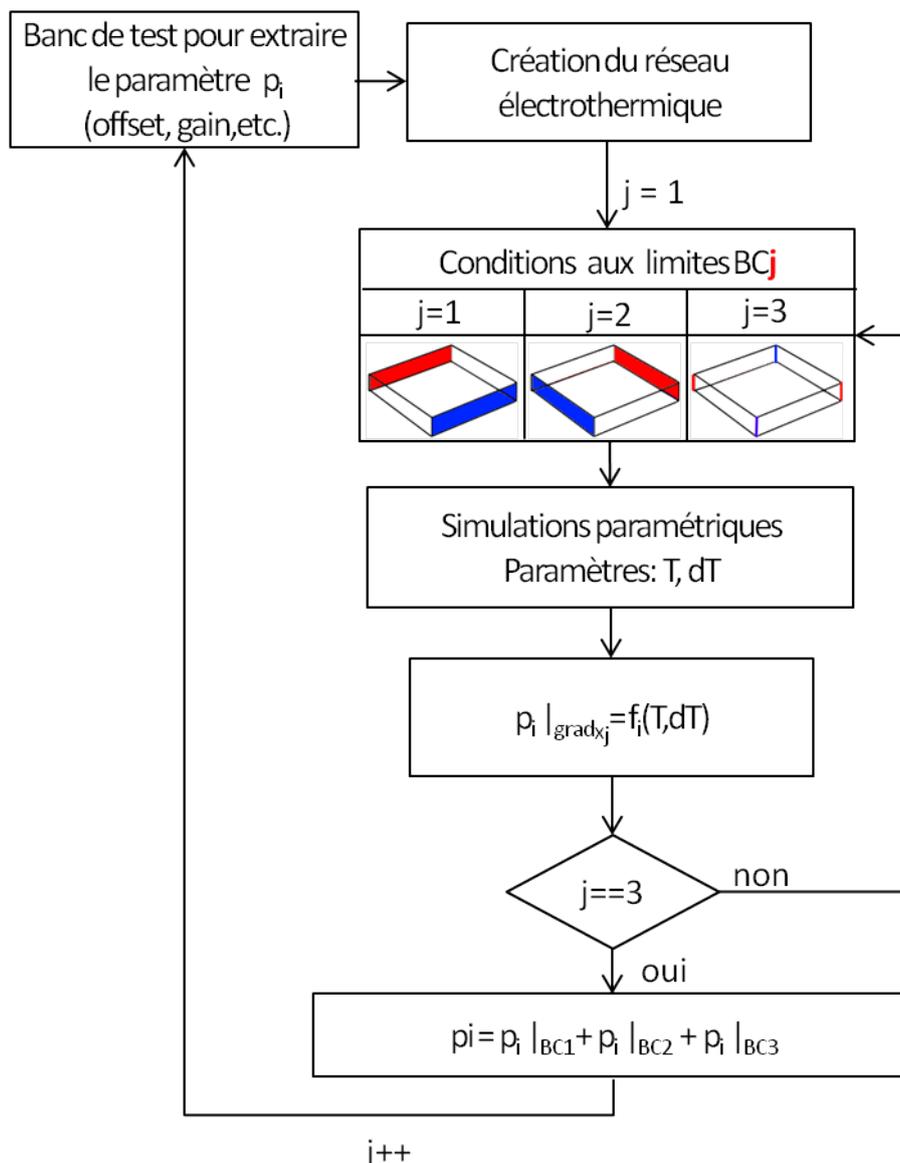


FIGURE 9.9 – Algorithme de la procédure d’extraction du modèle électrothermique haut-niveau à 2×2 ports thermiques.

précision du modèle est possible, en particulier, en ce qui concerne la modélisation de la distribution du flux de chaleur dans le sous-réseau thermique. Néanmoins, la complexité et le temps nécessaire au développement de tels modèles deviennent rapidement importants. En effet, chaque terminal supplémentaire implique d’ajouter une dérivée spatiale en température et de nouvelles conditions de température aux limites pour extraire la dépendance vis-à-vis des nouvelles dérivées spatiales. En conséquence, le temps de calcul du modèle, de niveau n , devient également plus important car il nécessite un plus grand nombre de simulations paramétriques électrothermiques au niveau $n-1$.

En revanche, pour les cellules dont le rapport $\frac{\text{longueur}}{\text{largeur}}$ est supérieur à 1, l'utilisation de $n \times 1$ ports thermiques peut se révéler avantageuse, notamment lors de la phase de modélisation puisque seule la dépendance en fonction de T_{avg} et $\frac{\partial T}{\partial x}$ est à extraire.

Jusqu'ici, nous avons supposé les blocs à modéliser comme des blocs planaires, la dimension verticale étant considérée comme nulle. En conséquence, quelque soit le gradient de températures qui peut apparaître selon la normale à la couche active, la différence de températures sur les cellules du bloc dans la direction verticale est nulle. Il est donc intéressant de préciser que seul un niveau d'éléments thermiques est nécessaire pour créer le sous-réseau thermique du bloc à modéliser lors de la phase de modélisation. Avec un seul niveau d'éléments thermiques dans la direction verticale, la taille du sous-réseau thermique est fortement réduite, ce qui permet d'optimiser le temps de nécessaire à l'extraction des paramètres du modèle haut-niveau.

Néanmoins, cette approche de modélisation reste également adaptable pour des blocs dont les cellules ne peuvent plus être considérées comme planaires. Dans ce cas, des ports thermiques sont ajoutés en face arrière du bloc et les paramètres sont extraits en fonction de $T_{\text{avg}}, \frac{\partial T}{\partial x}, \frac{\partial T}{\partial y}, \frac{\partial T}{\partial z}, \frac{\partial^2 T}{\partial x \cdot \partial y}, \frac{\partial^2 T}{\partial y \cdot \partial z}, \frac{\partial^2 T}{\partial x \cdot \partial z}$ et $\frac{\partial^3 T}{\partial x \cdot \partial y \cdot \partial z}$. Mais ici, bien sûr, plus d'un niveau d'éléments thermiques dans la direction verticale sera requis au cours de la procédure d'extraction, procédure qui prendra alors plus de temps que pour un bloc planaire.

9.4 Validation : Matrice de capteurs de température

9.4.1 Modèle du capteur de température

Pour valider notre méthodologie à 2×2 ports thermiques, nous avons développé deux modèles haut-niveau électrothermiques du capteur de température : un modèle équivalent à un port thermique et un modèle à 2×2 ports thermiques. Le développement du modèle du capteur de température consiste à définir les courbes paramétriques :

- de la tension de sortie en fonction des températures aux ports thermiques.
- de la puissance électrique consommée en fonction des températures aux ports thermiques.

Les codes Verilog-A de ces deux modèles sont donnés respectivement dans les annexes B et C.

Le modèle à un port thermique correspond en réalité au modèle à 2×2 ports thermiques où seule la température moyenne est utilisée. La raison de ce choix est la suivante. Nous voulons comparer l'influence du profil de température sur une cellule, en l'occurrence notre capteur de température, modélisée à haut niveau avec 1 port thermique et avec 2×2 ports thermiques. Pour cela, le profil thermique en surface des capteurs doit être le même pour les deux modèles. La précision pour évaluer ce profil thermique dans le sous-réseau thermique dépend de la granularité du maillage : plus elle est fine, plus l'évaluation du profil est précise. Or, la finesse de notre maillage est tributaire du nombre de ports thermiques.

Ainsi, le maillage du sous-réseau thermique sera plus fin lorsque quatre ports thermiques, au lieu d'un, sont utilisés dans le modèle du capteur. C'est pourquoi pour éviter que le maillage n'influe sur la précision des résultats de simulation, nous utilisons un modèle à quatre ports thermiques que nous transformons en un modèle équivalent à 1 port thermique. Dans le modèle à 1 port thermique, un polynôme F du quatrième ordre a été utilisé pour modéliser avec précision la tension électrique en sortie du capteur :

$$\begin{aligned} V_{\text{out}} &= F(T_{\text{avg}}) \\ F(T_{\text{avg}}) &= a + b \cdot T_{\text{avg}} + c \cdot T_{\text{avg}}^2 + d \cdot T_{\text{avg}}^3 + e \cdot T_{\text{avg}}^4 \end{aligned} \quad (9.11)$$

avec après extraction :

- $a \approx 1,77$.
- $b \approx -1,80 \cdot 10^{-2}$.
- $c \approx 1,12 \cdot 10^{-4}$.
- $d \approx -2,46 \cdot 10^{-7}$.
- $e \approx 2,05 \cdot 10^{-10}$.

Bien que la caractéristique de sortie du capteur de température soit linéaire sur la plage de température 270K-350K, ce n'est plus tout à fait le cas sur la plage de température 250K-400K. Ceci explique le recours à un polynôme du quatrième ordre pour décrire finement sa tension de sortie en fonction de sa température.

La consommation P_{out} du capteur de température n'a quasiment pas d'influence sur le profil thermique du circuit test. Néanmoins, nous avons, par souci de précision, également utilisé un polynôme du quatrième ordre pour la modéliser en fonction de la température moyenne T_{avg} . Les valeurs des coefficients du polynôme modélisant P_{out} sont :

- $a \approx 1,94 \cdot 10^{-4}$.
- $b \approx -1,59 \cdot 10^{-6}$.
- $c \approx 1,19 \cdot 10^{-8}$.
- $d \approx -2,30 \cdot 10^{-11}$.
- $e \approx 1,58 \cdot 10^{-14}$.

Dans le modèle à quatre ports thermiques, la tension de sortie V_{out} du capteur est donnée par l'équation 9.12.

$$V_{\text{out}} = F(T_{\text{avg}}) + F1_{SEW}(T_{\text{avg}}) \cdot \frac{\partial T}{\partial x} + F1_{SNS}(T_{\text{avg}}) \cdot \frac{\partial T}{\partial y} + F3_{SXY} \cdot \frac{\partial^2 T}{\partial y \cdot \partial z} \quad (9.12)$$

où :

- $F(T_{\text{avg}})$ est la même fonction que dans le modèle à un port thermique.
- $F1_{SEW}(T_{\text{avg}})$ est un polynôme du quatrième ordre dépendant de la température moyenne T_{avg} avec :
 - $a \approx 3,36 \cdot 10^{-1}$.
 - $b \approx -4,50 \cdot 10^{-3}$.
 - $c \approx 2,32 \cdot 10^{-5}$.
 - $d \approx -5,29 \cdot 10^{-8}$.

- $e \approx 4,51 \cdot 10^{-11}$.
- $F2_{SNS}$ est une constante valant $6,97 \cdot 10^{-3}$.
- $F3_{SXY}$ est une constante valant $205 \cdot 10^{-6}$.

Dans ce modèle, nous constatons donc que l'influence du gradient de températures selon \vec{y} et du *gradient croisé* $\frac{\partial^2 T}{\partial y \cdot \partial z}$ ont pu être considérés comme indépendants de la température moyenne. En revanche, l'influence du gradient de températures selon \vec{x} dépend de la température moyenne T_{avg} . C'est un cas particulier qui provient de la géométrie et du *layout* du capteur.

En ce qui concerne le flux de chaleur qui doit être distribué dans chaque port thermique, la densité électrique est suffisamment homogène et peu sensible aux gradients de températures sur le capteur pour que les fonctions g_{XY} des flux de chaleurs, au port T_{XY} , soient égales à $\frac{P_{out}}{4}$, où X et Y prennent les valeurs 0 ou 1.

Le temps nécessaire à l'extraction complète du modèle à quatre ports thermiques était de 1H30 minutes environ. Ce temps se répartit entre la durée nécessaire à l'exécution de l'ensemble des simulations paramétriques, environ 30 minutes, et la durée nécessaire au traitement des données, environ 1 heure.

Le traitement des données se fait pour l'instant manuellement à l'aide des outils de calcul de l'environnement CADENCE[®] (Calculator) et des outils d'ajustement de courbe, en l'occurrence ceux disponibles sur le site zunzun.com. Cette opération peut être partiellement automatisée, ce qui diminuerait le temps d'analyse des données.

Le modèle du capteur équivalent à un port thermique est dérivé du modèle à quatre ports thermiques. Nous avons supprimé les fonctions permettant d'ajuster la tension de sortie en fonction des gradients de températures. Cependant, si nous l'avions directement extrait, son extraction n'aurait pris que quelques minutes.

La durée nécessaire à l'extraction du modèle est à nuancer. En effet, pour s'assurer d'extraire un modèle du capteur très précis et robuste, les simulations paramétriques ont été exécutées avec un pas de température de 1K et pour une gamme de température de 250K à 400K. Ainsi, le comportement du capteur a été évalué pour 151 températures moyennes différentes. Au vu de la linéarité du capteur sur la plage de température 270K-350K, un pas plus large aurait pu être choisi.

De plus, le modèle a été extrait pour pouvoir prendre en compte un gradient de températures maximal de $20\text{K}\cdot\text{mm}^{-1}$, ce qui correspond déjà à des conditions rares d'utilisation. Lors de l'extraction du modèle, ceci nous a demandé de simuler électrothermiquement le capteur avec une différence de températures dT appliquées aux limites variant sur une plage de :

- 0 à 5K pour l'extraction de la dépendance de la tension de sortie en fonction d'un gradient de températures selon \vec{x} .
- 0 à 7,6K pour l'extraction de la dépendance de la tension de sortie en fonction d'un gradient de températures selon \vec{y} .
- 0 à 9K pour l'extraction de la dépendance de la tension de sortie en fonction de

$$\frac{\partial^2 T}{\partial x \cdot \partial y}$$

Le pas d'incrémentation choisi est de 0,1K. Ainsi, le capteur a été analysé pour plus de 26000 configurations de température différentes, ce qui explique le temps nécessaire à l'extraction des données utiles au développement du modèle.

Un modèle moins robuste aurait pu être développé, par exemple en réduisant la valeur maximale du gradient de températures de $20\text{K}\cdot\text{mm}^{-1}$ à $10\text{K}\cdot\text{mm}^{-1}$, ce qui aurait réduit le temps de simulation nécessaire à l'extraction du modèle. Ce point est important à soulever puisque cela montre que pour la conception des modèles haut-niveau électrothermiques, il est important de bien définir les conditions d'utilisation des blocs intégrés afin d'adapter le compromis précision-robustesse du modèle et d'en optimiser le temps d'extraction.

9.4.2 Apport des modèles de haut-niveau

L'apport de la modélisation à quatre ports thermiques a été évalué en comparant les simulations haut-niveau à un et à quatre ports thermiques avec la simulation à bas-niveau que nous avons validée précédemment. Cette simulation est exécutée pour 4 impulsions de tension différentes appliquées sur les résistances de chauffe à droite du circuit test : 0V, 2,95V, 3,5V et 4,5V.

Les erreurs relatives des résultats de simulations à haut-niveau par rapport à la simulation à bas-niveau, c'est-à-dire au niveau transistor, sont présentées dans le tableau 9.10 pour les quatre configurations de simulation. Les courbes de simulation, obtenues pour une impulsion de tension de 2,95V, ainsi que la carte des températures sont présentées respectivement sur la figure 9.11a et la figure 9.11b.

Le nombre de nœuds nécessaires pour modéliser le système électrothermique complet

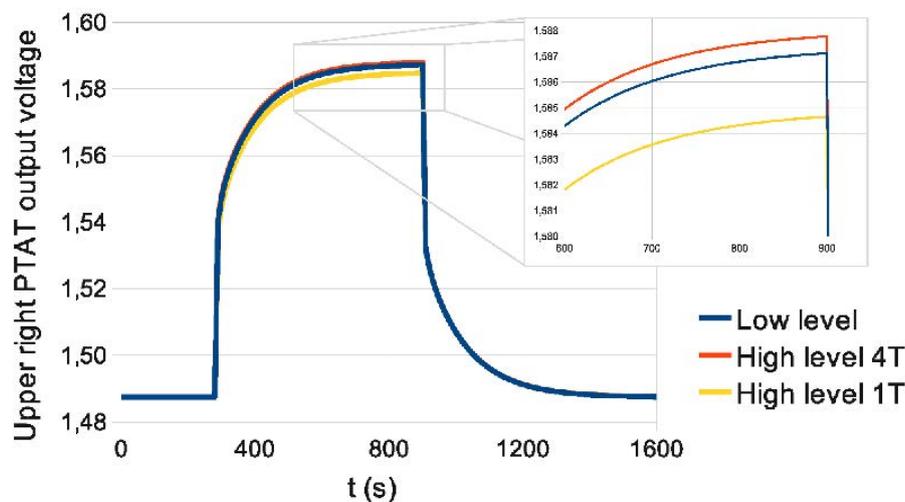
Tension [V]	Erreur relative du modèle à 1 port par rapport aux modèles bas-niveau [%]	Erreur relative du modèle à 4 ports par rapport aux modèles bas-niveau [%]
0	0	0
2.95	-2.46	0.6
3.5	-2.35	0.8
4.5	-2.56	0.7

Capteur en haut à droite.

Tension [V]	Erreur relative du modèle à 1 port par rapport aux modèles bas-niveau [%]	Erreur relative du modèle à 4 ports par rapport aux modèles bas-niveau [%]
0	0	0
2.95	-0.7	-0.1
3.5	-0.9	-0.1
4.5	-1.4	-0.1

Capteur en bas à gauche.

FIGURE 9.10 – Tableau comparatif entre les simulations haut-niveau et celle à bas-niveau.



(a) Tension de sorties des capteurs en bas à gauche et en haut à droite.

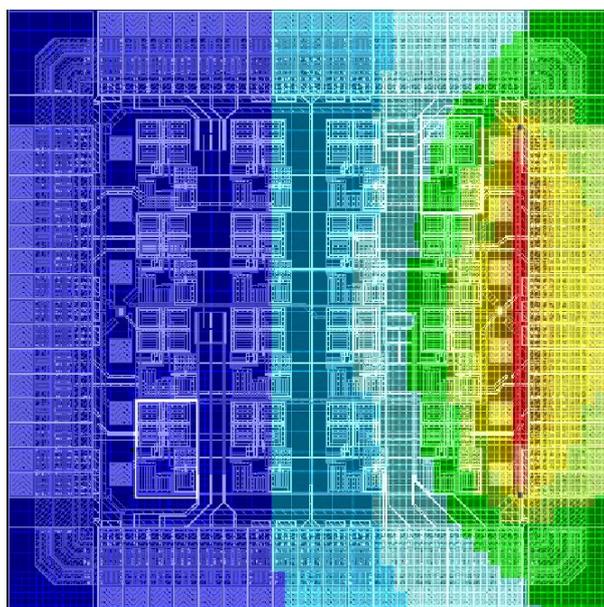
(b) Carte de température à $t=920$ s pour une impulsion de 3V appliquée sur les résistances de chauffe situées à droite du circuit.

FIGURE 9.11 – Comparaison entre simulations haut-niveau et bas-niveau.

à haut-niveau est d'environ 12000, soit 6 fois moins qu'à bas niveau. Le temps CPU de simulation est, quant à lui, réduit d'un facteur 20 et passe de 1h55min à 5min45s. A noter qu'aucune différence sur le temps de simulation n'existe entre la simulation haut-niveau à 1 port thermique et celle à 4 ports thermiques. Cela s'explique en partie par le fait que le modèle haut-niveau à 1 port thermique est en réalité un modèle à 4 ports thermiques auquel nous avons supprimé les dépendances des dérivées spatiales de température. Conformément

à nos attentes, le recours à la modélisation haut-niveau accélère significativement la vitesse de simulation par rapport à la simulation bas-niveau.

Lorsque nous comparons les résultats obtenus, pour les deux capteurs, entre le modèle à quatre ports thermiques et celui équivalent à un port thermique, nous remarquons que le modèle à quatre ports est plus précis. Ceci s'explique par le profil de température généré par les résistances de chauffe sur l'ensemble du circuit. Le gradient de températures sur l'ensemble du circuit est suffisamment important pour que le profil de température en surface des capteurs ne soit plus homogène, ce qui conduit à une modification du rapport $\frac{R_{\text{out}}|_{T_{R_{\text{out}}}}}{R_0|_{T_{R_0}}}$. Le modèle à un port thermique ne peut prendre en compte cette variation. En revanche, ce défaut dans l'homogénéité du profil de température est détecté par le modèle à quatre ports thermiques. En conséquence, la tension de sortie est ajustée comme il se doit.

D'ailleurs, nous remarquons que plus la tension d'alimentation des résistances de chauffe augmente, plus le gradient thermique qui apparaît sur les capteurs est élevé, notamment sur le capteur en haut à droite, et plus l'erreur augmente pour ce capteur lorsqu'il est modélisé par le modèle équivalent à un port thermique. Ceci montre que l'influence du gradient est correctement prise en compte.

La comparaison du capteur situé en bas à gauche avec le capteur en haut à droite, pour les deux modèles, montre que l'erreur sur l'estimation de la température est inférieure pour le capteur situé en bas à gauche. Cela provient du fait que le capteur situé en bas à gauche est soumis à un profil de température plus homogène que le capteur situé en haut à droite. De plus, le maillage du réseau thermique est moins fin en surface des capteurs dans la simulation à haut-niveau que dans la simulation à bas-niveau (moins de ports thermiques). Ainsi la précision de l'évaluation de la température dans le sous-réseau thermique est un peu moins précise dans la zone où le gradient thermique est important, c'est-à-dire en haut-à-droite. A noter que cette précision relative est indépendante de la puissance dissipée par les résistances une fois le maillage défini (chapitre 8).

La modélisation haut-niveau à quatre ports thermiques permet la simulation du système dans des temps comparables aux temps de simulations réalisés avec des modèles à un port thermique. De plus, ces modèles permettent d'évaluer précisément le comportement des circuits électriques sur lesquels des points chauds apparaissent. La contrepartie est l'augmentation du temps nécessaire pour extraire un tel modèle par rapport au modèle mono-port thermique. Le choix de recourir à un type de modélisation mono-port thermique ou de recourir à la modélisation multi-ports thermiques est un compromis entre précision des résultats et temps de développement des modèles.

9.5 Ingénieur en modélisation électrothermique haut-niveau

Avant de conclure définitivement ce chapitre, nous tenons à pointer un dernier aspect de la modélisation haut-niveau qui n'a pas encore été mentionné. Avec les kits de développement de circuits intégrés, il existe de nombreux modèles électriques de composants standard répartis dans différentes bibliothèques, tels que des modèles d'amplificateurs, de VCO, etc. A l'instar de ces modèles électriques, nous pouvons imaginer qu'à l'avenir des modèles électrothermiques puissent venir compléter les kits déjà existants. De plus, plusieurs types de modèles électrothermiques pourraient être développés pour une même cellule. Ainsi, lors de la simulation électrothermique le modèle le plus adapté pourrait être utilisé. Dans cette hypothèse, la fonction d'ingénieur en modélisation électrothermique est susceptible d'émerger. En effet, bien que des modèles électrothermiques puissent être développés de manière automatisée en analysant le comportement du bloc fonctionnel à modéliser via des vecteurs de tests appliqués à chaque port dans toutes les configurations possibles, cette méthode est extrêmement demandeuse de ressources en raison du nombre élevé de ports qui peuvent être présents. Ainsi, il est beaucoup plus judicieux de confier la modélisation de blocs fonctionnels à une personne capable de déterminer les paramètres à extraire et dans quelles limites de fonctionnement ils doivent être extraits. Ce savoir-faire permet également de déterminer au préalable les gradients de températures qui vont influencer les paramètres et donc de limiter le nombre de simulations paramétriques. De notre point de vue, cette fonction ne peut-être réalisée, à l'heure actuelle, que par quelqu'un qui possède de solides connaissances dans la conception de systèmes intégrés.

9.6 Conclusion

Au cours de ce chapitre, les aspects importants de la modélisation électrothermique haut-niveau ont été présentés en détail. Nous nous sommes rendus compte que l'approche standard de modélisation ne pouvait pas être utilisée pour rendre précisément compte des interactions électrothermiques entre les différents blocs fonctionnels d'un circuit intégré. Ainsi, pour être en mesure d'analyser précisément le comportement électrothermique du circuit, il nous a fallu développer une nouvelle méthode de conception de modèles haut-niveau électrothermiques à plusieurs ports thermiques.

Bien que l'approche élaborée soit utilisable dans le cas général où le modèle comporte n ports thermiques, elle est complexe à mettre en œuvre. Nous avons donc limité notre explication aux modèles à 2×2 ports thermiques par souci de simplicité de présentation. Même si le formalisme de la méthode s'avère être quelque peu compliqué au premier abord, l'extraction du modèle électrothermique revient à extraire tout d'abord un modèle électrothermique standard, c'est-à-dire en fonction de la température moyenne du bloc à modéliser, puis à extraire les dépendances thermiques des paramètres de ce modèle en fonction des dérivées spatiales de température du premier et du second ordre. A ce modèle, s'ajoute également une analyse de la distribution de la puissance électrique consommée pour que

celle-ci soit correctement injectée dans le sous-réseau thermique via les ports thermiques du modèle.

En comparant les résultats issus de simulations électrothermiques à bas et à haut-niveau avec des modèles à un port et à quatre ports thermiques, nous avons pu mettre en avant les apports de notre méthode, à savoir la précision sur l'analyse électrothermique du circuit et une réduction importante des temps de simulation.

En conclusion finale de ce chapitre, nous avons soulevé la possibilité d'étendre l'élaboration des kits de développement pour que des bibliothèques de modèles électrothermiques puissent y être intégrées. Selon nous, cette tâche ne peut être confiée qu'à des ingénieurs concepteurs de circuits intégrés.

Chapitre 10

Conclusion et Perspectives

10.1 Conclusion

La demande de circuits toujours plus puissants et toujours plus intelligents à moindre coût amène le monde de la microélectronique à s'orienter vers la conception de circuits en technologies 3D. La conception de tels circuits ouvre la voie vers de nouvelles méthodes de conception qui, jusqu'alors, n'ont pas pu être empruntées. Le niveau d'intégration des transistors sur la puce est en relation étroite avec la puissance et les fonctionnalités des circuits. En conséquence, la densité électrique de courant atteint des proportions extrêmes. De plus, dans les circuits 3D empilés, les différents étages sont séparés les uns des autres par un oxyde qui bloque l'évacuation de la chaleur vers l'air ambiant. Ainsi, la température de fonctionnement tend à être plus élevée que dans les circuits planaires traditionnels. En outre, l'association du niveau de ces densités de puissance à la faible évacuation naturelle de chaleur est propice à l'apparition de forts gradients de températures et de points chauds localisés. Or, de nombreux effets néfastes au bon fonctionnement du circuit sont liés à la température et aux gradients thermiques. Parmi ceux-ci, nous retrouvons l'électromigration, le désappariement des tensions et des courants de polarisation, l'augmentation des courants de fuites et des délais, etc. Ces effets sont un véritable frein en termes de fiabilité et de coût de développement des circuits dans ces technologies. Néanmoins, il existe un large panel de solutions pour gérer la température dans ces circuits. L'utilisation d'une plus grande surface de puce, des microcanaux ou encore l'optimisation du placement des divers éléments du circuit intégré sont quelques unes de ces possibilités. En conséquence, il est primordial de pouvoir analyser précisément les performances électrothermiques du circuit tout au long de la phase de conception pour valider à chaque étape le cahier des charges défini.

C'est dans ce contexte que le projet 3D-IDEAS, financé par l'Agence Nationale de la Recherche, a été initié par les membres de l'équipe de Conception de Systèmes Hétérogènes, dirigée par le professeur Ian O'Connor, de l'Institut des Nanotechnologies de Lyon (INL). L'objectif du projet est de concevoir la chaîne complète d'intégration de circuits en technologie 3D et de l'appliquer à la réalisation d'un imageur virtuel de la société ST

MICROELECTRONICS®. La procédure de conception d'un tel circuit suit une méthodologie appelée cycle en V. Dans cette méthodologie de conception, le partitionnement de blocs en sous blocs est réitéré jusqu'à atteindre le niveau le plus bas de hiérarchisation, le niveau transistor. A chaque niveau hiérarchique et pour chaque bloc du niveau, plusieurs configurations de placement qui permettent de répondre au cahier des charges du bloc sont testées. A ce stade de la conception, le nombre d'étages que le système aura n'est pas encore arrêté. En conséquence, il existe une quantité très importante de configurations de placement à tester. De plus, en dehors de la température, de nombreux autres paramètres (coût, surface, etc.) sont pris en compte pour choisir le placement. Or, les simulations électrothermiques de systèmes sont bien plus complexes que les simulations thermiques et donc plus longues à l'exécution. C'est pourquoi, pour optimiser la vitesse de test des configurations au cours de cette phase, les simulations effectuées se limitent actuellement à des simulations thermiques, où la génération de chaleur par bloc est liée à la consommation électrique. Cependant, avant de retenir définitivement une architecture parmi les solutions de placements compatibles avec le cahier des charges, il est capital de vérifier finement son comportement électrothermique afin de s'assurer que le couplage électrothermique n'impacte pas de manière critique le bon fonctionnement du bloc partitionné. Dans le projet 3D-IDEAS, la phase de prospection descendante est réalisée par l'équipe de l'INL à partir de la plateforme d'exploration RUNE qui a été étendue aux technologies 3D. La phase de vérification, quant à elle, dépend de l'équipe Systèmes et Microsystèmes Hétérogènes, sous la direction du professeur Luc Hébrard, de l'Institut d'Electronique de Solide et des Système (InESS) de l'Université de Strasbourg. Ainsi, dans le cadre des travaux de cette thèse, un simulateur électrothermique destiné à la phase de vérification des performances de blocs fonctionnels a été développé. Ces blocs fonctionnels peuvent être aussi bien de simples amplificateurs opérationnels que des systèmes beaucoup plus complexes tels que des imageurs. Pour cela, une méthodologie adaptée à la modélisation haut-niveau a également été mise en place au cours de cette thèse.

La phase de vérification du système peut intervenir à tout niveau hiérarchique au cours de la conception du système. Ainsi, le simulateur doit pouvoir s'intégrer dans une méthodologie de conception à plusieurs niveaux d'abstraction. L'outil développé sert ainsi deux objectifs. Le premier est de valider le cahier des charges du bloc ou du système sous test en permettant au concepteur d'analyser précisément son comportement électrothermique. Le second est que le simulateur puisse être utilisé pour générer des modèles électrothermiques de haut-niveau qui alimenteront une bibliothèque de modèles. A l'heure actuelle, à notre connaissance, notre outil est le seul simulateur électrothermique direct compatible avec des langages de description matériel et capable de réaliser des simulations électrothermiques de circuits intégrés mixtes en technologie 3D.

Les blocs à modéliser peuvent avoir de larges dimensions, par exemple une matrice de pixels. De plus, lorsque ces blocs sont utilisés dans des systèmes de plus haut-niveau, par exemple un imageur, des gradients thermiques, dus à l'environnement extérieur, peuvent apparaître sur ces blocs. En outre, le couplage électrothermique dans les systèmes intégrés en technologie 3D est susceptible d'être important. Ainsi, parmi les deux options de simulations électrothermiques possibles, à savoir la méthode directe et la méthode par re-

laxation, la première option a été retenue en raison des avantages de convergence de cette méthode. Pour une modélisation robuste et précise des couplages électrothermiques, les modèles électrothermiques de haut-niveau doivent pouvoir prendre en compte l'influence du profil de température sur le bloc qu'ils modélisent.

L'implémentation complète d'un simulateur performant est un travail considérable et très difficile à réaliser sans moyen humain (développeurs informatique, physiciens, mathématiciens, etc.) et financier conséquents. De plus, pour que l'outil puisse se démocratiser dans le domaine de la conception microélectronique, il est judicieux de l'intégrer à un environnement largement répandu dans ce domaine. L'environnement CADENCE[®] répond à cette contrainte et présente tous les outils nécessaires à l'élaboration d'un simulateur électrothermique direct, à savoir : la possibilité de développer des modèles compacts, un simulateur multi-domaine et l'automatisation de procédures. Ainsi, le simulateur direct a naturellement été intégré dans cet environnement.

La simulation électrothermique directe requiert de coupler deux sous-réseaux, un sous-réseau électrothermique et un sous-réseau thermique. Le sous-réseau électrothermique est facile à générer pour peu que les modèles électrothermiques des composants intégrés (transistors, résistances, amplificateur opérationnel, etc.) utilisés dans le bloc soient disponibles. En effet, il suffit alors de remplacer les modèles électriques des composants intégrés par leurs équivalents électrothermiques. Ces derniers possèdent un ou plusieurs ports thermiques qui permettent de suivre, lors de la simulation, la température du composant dans le sous-réseau thermique. D'autre part, le flux de chaleur généré par la cellule est injecté dans le sous-réseau thermique. Ce flux correspond à la puissance dissipée par la cellule par effet Joule, cet effet étant le phénomène dominant dans la génération de chaleur au sein d'un circuit intégré.

La méthode de développement des modèles électrothermiques dépend du nombre de ports thermiques nécessaires. De manière générale, des cellules de petites dimensions (transistors, portes logiques, etc.) ne nécessitent qu'un seul port thermique, alors que plusieurs ports thermiques peuvent être requis pour des cellules de larges dimensions (amplificateur opérationnel, capteur de température, etc.). Le nombre de ports thermiques dépend de la sensibilité de la cellule aux gradients de températures et de sa carte de densité électrique. L'ingénieur en charge du développement du modèle de haut-niveau a la responsabilité de déterminer ce nombre de ports thermiques.

Lorsqu'un seul port thermique est utilisé dans le modèle électrothermique compact de la cellule, alors ce modèle découle directement de son équivalent électrique : la valeur du paramètre de température utilisé pour calculer les paramètres électriques du modèle de la cellule devient une variable qui prend la valeur de la température de la cellule.

Lorsque plusieurs ports thermiques sont utilisés, la création du modèle est bien moins évidente. En effet, pour cela il faut extraire le comportement des paramètres de la cellule (offset, gain, fréquence de coupure, etc.) en fonction des températures aux ports thermiques, ou plus exactement en fonction de la température moyenne de la cellule et des gradients de températures vus par la cellule. Ces gradients de températures sont imposés à

partir des conditions aux limites appliquées sur la cellule à modéliser. Dans le cas général, les profils thermiques à imposer peuvent être difficiles à déterminer. Néanmoins, pour modéliser une cellule dont la dimension verticale peut être négligée, à l'aide de quatre ports thermiques, il suffit d'imposer des différences de températures entre les faces opposées de la cellule, puis d'extraire la dépendance des paramètres en fonction des dérivées spatiales du premier ordre de la température. Ensuite, la dépendance des paramètres en fonction de la dérivée spatiale du second ordre de la température est extraite en appliquant une différence de températures sur les arêtes opposées, selon la diagonale de la cellule. Un tel modèle électrothermique, tenant compte des gradients de températures du second ordre, suffit très souvent car les profils thermiques en surface des puces présentent rarement des variations nécessitant d'introduire des ordres supérieurs.

La création du sous-réseau thermique est plus complexe à mettre en œuvre que celle du sous-réseau électrothermique. Suite à l'étude, au chapitre 5, des diverses possibilités pour le créer, la modélisation thermique qui a été retenue est de type éléments finis. L'élément fini modélise le mode de transfert de chaleur dominant, la conduction, dans un pavé droit de matière avec un réseau de Cauer trilineaire. Une optimisation sur le nombre de mailles nécessaires à la génération du réseau thermique du circuit sous test est réalisée par un maillage multi-résolution spatial, dont la taille des mailles diminue avec l'augmentation de la densité de puissance. La carte des densités de puissance est obtenue lors d'une simulation électrique standard avant la création de la cellule de simulation électrothermique.

En raison de la méthode de modélisation thermique retenue, une cellule peut être représentée par plusieurs éléments finis dans le sous-réseau thermique. Il est donc nécessaire de répartir le flux de chaleur généré par la cellule dans le sous-réseau électrothermique sur les éléments qui la représentent dans le sous-réseau thermique. En outre, il faut également calculer la température de la cellule à partir des températures des éléments thermiques pour que l'information puisse être transmise dans le modèle électrothermique compact de la cellule. Pour cela, des cellules de couplage, générées dynamiquement, assurent le couplage des deux sous-réseaux. Celles-ci se comportent comme des sources de courants contrôlés en courant entre le réseau électrothermique et le réseau thermique. Dans le sens inverse, elles se comportent comme une source de température contrôlée en températures.

L'implémentation du simulateur a pu être réalisée grâce à l'utilisation d'un langage de description matériel et d'un langage de script. Le langage Verilog-A a été utilisé pour le développement des modèles électrothermiques des composants ainsi que pour l'écriture des modèles des instances de couplage. Le langage de script semi-interprété SKILL[®] est quant à lui utilisé pour créer le maillage du sous-réseau. Les sous-réseaux thermiques et électrothermiques sont également générés à partir de scripts.

Le simulateur a été validé pour la simulation en mode DC sur des systèmes planaires et sur des systèmes fictifs 3D en comparant nos résultats de simulation avec ceux obtenus avec le logiciel commercial de simulation par éléments finis COMSOL[®]. De plus, la vali-

dation en mode transitoire a été réalisée expérimentalement avec un circuit test fabriqué en technologie CMOS AMS $0,35\mu\text{m}$. La précision relevée de nos résultats de simulation est supérieure à 3%, cette dernière pouvant être améliorée en augmentant la finesse du maillage.

A partir de la simulation de ce circuit test, l'apport de la modélisation à plusieurs ports thermiques a pu être démontré en comparant les temps de simulation entre haut niveau et bas niveau, et en comparant les résultats de simulations haut-niveau réalisées avec des modèles à un port thermique et des modèles à 2x2 ports thermiques. Le passage de la simulation à haut-niveau à 2x2 ports thermiques nous a permis de multiplier par 20 la vitesse de simulation avec une perte de précision de moins de 0,1% par rapport à la simulation bas-niveau.

10.2 Perspectives

Au cours de ces travaux, l'utilisation du langage SKILL[®] ne s'est pas avérée être adaptée à la réalisation d'un mailleur. Une part des défauts du mailleur peut être attribuée à la structure de données utilisée. Cependant, son optimisation requiert un langage adapté à la programmation orientée objet. Bien que SKILL[®] soit un langage suffisamment évolué pour implémenter de telles structures, c'est un langage semi-interprété donc plus lent que des langages compilés. En conséquence, en raison du nombre élevé de boucles d'itération nécessaires au maillage d'un système complexe, il serait plus intéressant de se tourner vers des langages compilés, tels que le C++.

En prospective, nous envisageons d'améliorer la procédure de maillage en recourant à un mailleur externe développé en C++. Une collaboration informelle avec l'équipe Informatique Géométrique et Graphique (IGG), spécialisée dans l'optimisation de maillage multi-résolution, du Laboratoire de Sciences de l'Image, de l'Informatique et de la Télé-détection, a été mise en place pendant cette thèse. De plus, la structure de données qui est utilisée dans la plateforme de l'équipe IGG est optimisée pour le parcours rapide de chemins le long des mailles. Cette propriété de la structure de données est intéressante puisqu'elle permettrait d'explorer la réduction de la taille du réseau thermique suivant la méthode de la marche aléatoire. Ainsi, une amélioration supplémentaire à apporter au simulateur pourra être envisagée.

Il faudrait idéalement intégrer cet outil au cœur de l'environnement de CADENCE[®] : de façon transparente pour l'utilisateur, le réseau thermique serait ainsi généré automatiquement au moment de la création de la netlist avant chaque simulation. Le concepteur pourrait alors continuer à utiliser ses outils CAO comme il en a l'habitude avec la possibilité d'inclure aux simulations de circuits les aspects thermiques lorsqu'un dessin des masques est disponible. Du point de vue de l'utilisateur, cela ne devrait être qu'une option de plus à son simulateur AMS.

Finalement, dans le cadre du projet 3D-IDEAS, un étudiant de master, Gaël Caquelin, a réalisé, au cours de son stage, un imageur CMOS simplifié incluant une matrice de pixels et un processeur pour la compression d'images. L'objectif est maintenant de montrer par

simulations électrothermiques mixtes l'influence de la chaleur dissipée par le processeur sur la qualité de l'image lorsqu'une compression d'image est demandée, puis de trouver la meilleure topologie, 2D ou 3D, permettant de minimiser cette influence. Dans le cadre de ces travaux, la modélisation électrothermique haut-niveau s'est essentiellement portée sur les blocs analogiques. Ainsi, pour réaliser ces simulations, il nous faut encore affiner la méthode de modélisation des blocs numériques.

Production scientifique

Conférences internationales

1. J.-C. Krencker, J.-B. Kammerer, Y. Hervé, L. Hébrard, “Direct Electro-Thermal Simulation of Integrated Circuits using Standard CAD Tools”, 16th International Workshop on Thermal investigations of ICs and Systems, THERMINIC 2010, 6-8 october 2010, Barcelona, Spain
2. J.-C Krencker, J.-B Kammerer, Y. Hervé, L. Hébrard, “Verilog-A 3D electro-thermal simulation of ICs”, Conference on Design, Automation and Test in Europe (DATE'11), Workshop on 3D Integration - Applications, Technology, Architecture, Design, Automation, and Test, Grenoble (France), March 14-18, 2011.
3. J.-C. Krencker, L. Hébrard, J.-B. Kammerer, Y. Hervé, “3D electro-thermal simulations of analog ICs carried out with standard CAD tools and Verilog-A”, 17th International Workshop on Thermal investigations of ICs and Systems (THERMINIC 2011), Paris (France), September 27-29, 2011
4. J.-C. Krencker, J.-B. Kammerer, Y. Hervé, L. Hébrard, “Electro-thermal High-Level Modeling of Integrated Circuits”, 18th International Workshop on Thermal investigations of ICs and Systems (THERMINIC 2012), Budapest (Hungary), September 25-27, 2012

Workshops nationaux

1. J.-C. Krencker, J.-B. Kammerer, Y. Hervé, L. Hébrard, « Simulation électrothermique directe de circuits intégrés, réalisée à partir d’outils CAO standards », Colloque du Groupement de Recherche System-On-Chip et System-In-Package (GDR SOC-SIP), Cergy (France), June 9-11, 2010.
2. J.-C. Krencker, J.-B. Kammerer, Y. Hervé, L. Hébrard, « Simulation et modélisation électrothermiques dans l’environnement CADENCE® ». Krencker, Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), Marseille, 18 – 20 juin

2012.

Annexe A

Code Verilog-A de l'élément fini de base

```
// VerilogA for ThermLib, thermalCube, veriloga

`include "constants.vams"
`include "disciplines.vams"

module thermalCube(c0, c1, c2, c3, c4, c5, c6, c7);
inout c0;
thermal c0;
inout c1;
thermal c1;
inout c2;
thermal c2;
inout c3;
thermal c3;
inout c4;
thermal c4;
inout c5;
thermal c5;
inout c6;
thermal c6;
inout c7;
thermal c7;

parameter real X = 1;           // width
parameter real Y = 1;           // length
parameter real Z = 1;           // thickness
parameter real C0 = -1;         // thermal capacitance of the material J.K-1.um-3
parameter real R0 = 1;
```

```

real Rx;
real Ry;
real Rz;
real Cap;

analog begin

    @(initial_step) begin

Rx = 4*R0*X/(Y*Z);
Ry = 4*R0*Y/(X*Z);
Rz = 4*R0*Z/(Y*X);
Cap = X*Y*Z*C0/8;

        end

if((analysis("tran") || analysis("ac"))&&(C0>0))
begin
Pwr(c0) <+ Cap*ddt(Temp(c0));
Pwr(c1) <+ Cap*ddt(Temp(c1));
Pwr(c2) <+ Cap*ddt(Temp(c2));
Pwr(c3) <+ Cap*ddt(Temp(c3));
Pwr(c4) <+ Cap*ddt(Temp(c4));
Pwr(c5) <+ Cap*ddt(Temp(c5));
Pwr(c6) <+ Cap*ddt(Temp(c6));
Pwr(c7) <+ Cap*ddt(Temp(c7));
end

Pwr(c0,c1) <+ (Temp(c0) - Temp(c1))/Rx;
Pwr(c0,c7) <+ (Temp(c0) - Temp(c7))/Ry;
Pwr(c0,c3) <+ (Temp(c0) - Temp(c3))/Rz;

Pwr(c4,c5) <+ (Temp(c4) - Temp(c5))/Rx;
Pwr(c4,c3) <+ (Temp(c4) - Temp(c3))/Ry;
Pwr(c4,c7) <+ (Temp(c4) - Temp(c7))/Rz;

Pwr(c2,c3) <+ (Temp(c2) - Temp(c3))/Rx;
Pwr(c2,c5) <+ (Temp(c2) - Temp(c5))/Ry;
Pwr(c2,c1) <+ (Temp(c2) - Temp(c1))/Rz;

Pwr(c6,c7) <+ (Temp(c6) - Temp(c7))/Rx;
Pwr(c6,c1) <+ (Temp(c6) - Temp(c1))/Ry;

```

```
Pwr(c6,c5) <+ (Temp(c6) - Temp(c5))/Rz;
```

```
end
```

```
endmodule
```


Annexe B

Code Verilog-A du modèle électrothermique haut-niveau à un port thermique du capteur de température

```
'include "constants.vams"
'include "disciplines.vams"

module thermalSensorET(vOut, T00, T10, T11, T01);

analog function real getPol2value;
input a,b,c,d,f, x;
real a,b,c,d,f, x;

begin
getPol2value = a + b*x + c*x*x +d*x*x*x +f*x*x*x*x;
end
endfunction

inout vOut;
electrical vOut;
inout T00;
thermal T00;
inout T01;
thermal T01;
inout T10;
thermal T10;
inout T11;
thermal T11;

//fit v(T0)
```

```
parameter real aT0 = 1.7650474911723999;
parameter real bT0 = -1.8028542611946748E-02;
parameter real cT0 = 1.1229714704711468E-04;
parameter real dT0 = -2.4570745155084761E-07;
parameter real fT0 = 2.0459314450937960E-10;

//fitPwr
parameter real aPwr = 1.9405953093020058E-04;
parameter real bPwr = -1.5922420670808256E-06;
parameter real cPwr = 1.1975976231878669E-08;
parameter real dPwr = -2.3019942114351743E-11;
parameter real fPwr = 1.5794939522498501E-14;

real T0,t00,t01,t10,t11, deltaEW, deltaNS,powerDiss;
real voutT0, deltaXY;

analog begin

t00 = Temp(T00);
t01 = Temp(T01);
t10 = Temp(T10);
t11 = Temp(T11);

T0 = (t00 + t01 + t11 + t10)/4;

voutT0 = getPol2value(aT0, bT0, cT0, dT0, fT0 ,T0);

V(vOut) <+ voutT0;
powerDiss = - getPol2value(aPwr, bPwr, cPwr, dPwr, fPwr, T0);
powerDiss = powerDiss/4;
Pwr(T00) <+ powerDiss;
Pwr(T01) <+ powerDiss;
Pwr(T10) <+ powerDiss;
Pwr(T11) <+ powerDiss;

end

endmodule
```

Annexe C

Code Verilog-A du modèle électrothermique haut-niveau à quatre ports thermiques du capteur de température

```
// VerilogA for ThermLib, thermalSensorET, veriloga

`include "constants.vams"
`include "disciplines.vams"

module thermalSensorET(vOut, T00, T10, T11, T01);

analog function real getPol2value;
input a,b,c,d,f, x;
real a,b,c,d,f, x;

begin
getPol2value = a + b*x + c*x*x + d*x*x*x + f*x*x*x*x;
end
endfunction

inout vOut;
electrical vOut;
inout T00;
thermal T00;
inout T01;
thermal T01;
inout T10;
thermal T10;
```

```
inout T11;
thermal T11;

//fit v(T0)
parameter real aT0 = 1.7650474911723999;
parameter real bT0 = -1.8028542611946748E-02;
parameter real cT0 = 1.1229714704711468E-04;
parameter real dT0 = -2.4570745155084761E-07;
parameter real fT0 = 2.0459314450937960E-10;

//fit sEW
parameter real aSEW = 3.3646850461197769E-01;
parameter real bSEW = -4.5016012594172325E-03;
parameter real cSEW = 2.3205168117660485E-05;
parameter real dSEW = -5.2904770322125037E-08;
parameter real fSEW = 4.5160529829613161E-11;

//fit sNS
parameter real aSNS = 6.97e-3;

//fit sXY
parameter real aSXY = 205e-6;

//fitPwr
parameter real aPwr = 1.9405953093020058E-04;
parameter real bPwr = -1.5922420670808256E-06;
parameter real cPwr = 1.1975976231878669E-08;
parameter real dPwr = -2.3019942114351743E-11;
parameter real fPwr = 1.5794939522498501E-14;

real T0,t00,t01,t10,t11, deltaEW, deltaNS,powerDiss;
real voutT0, deltaXY;

analog begin

t00 = Temp(T00);
t01 = Temp(T01);
t10 = Temp(T10);
t11 = Temp(T11);
```

```
T0 = (t00 + t01 + t11 + t10)/4;
deltaNS = (t11+t01-t00-t10) * 0.5;
deltaEW = (t11+t10-t00-t01) * 0.5;
deltaXY = (t11 + t00 - t10 - t01) * 0.25;

voutT0 = getPol2value(aT0, bT0, cT0, dT0, fT0 ,T0);

V(vOut) <+ voutT0 + deltaNS * aSNS
  + deltaEW * getPol2value(aSEW, bSEW, cSEW, dSEW, fSEW ,T0)
  + deltaXY * aSXY;
powerDiss = - getPol2value(aPwr, bPwr, cPwr, dPwr, fPwr, T0);
powerDiss = powerDiss/4;
Pwr(T00) <+ powerDiss;
Pwr(T01) <+ powerDiss;
Pwr(T10) <+ powerDiss;
Pwr(T11) <+ powerDiss;

end

endmodule
```


Annexe D

Code Verilog-A du modèle électrothermique d'un transistor bipolaire

```
'include "discipline.h"
'include "constants.h"

'define kB 8.61734279e-5//constante de Boltzmann eV.K-1

module bipolaire (C, B, E, SUB, therm);

  inout E, B, C, SUB, therm;
  electrical E,B,C,SUB;
  thermal therm;

  parameter real alphaR = 0.4;
  parameter real alphaF = 0.85;
  parameter integer TYPE = -1 from [-1:1];
  parameter real ies0 = 5.409e-21;
  parameter real ics0 = 1.962e-19;

  real ide, idc, ie,ies, ic,ics, vbe, vbc,T;
  analog begin

  T = Temp(therm);
  ies = ies0 * pow(T,1.5);
  ics = ics0 * pow(T,1.5);
```

```
vbe = TYPE * V(B,E);
vbc = TYPE * V(B,C);

ide = ies * (limexp(vbe / ('kB * T)) - 1);
idc = ics * (limexp(vbc / ('kB * T)) - 1);

ie = TYPE * (alphaR * idc - ide);
ic = TYPE * (alphaF * ide - idc);

Pwr(therm) <+ -vbe * ie -vbc * ic;

I(C,B) <+ ic;
I(E,B) <+ ie;

end
endmodule
```

Annexe E

Code Verilog-A de la source de température

```
// VerilogA for ThermLib, Tdc, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Tdc(T);
inout T;thermal T; // Thermal dc source output node

parameter real T0 = 300; // Temperature K

analog begin

Temp(T) <+ T0;

end

endmodule
```


Bibliographie

- [1] Intel. (2011) Intel Reinvents Transistors Using New 3D Structure. [Online]. Available : http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Announcement_Presentation_Pdf
- [2] [Online]. Available : <http://www.amkor.com/>
- [3] X. Martin, “Packaging des Circuits intégrés,” *Techniques de l’Ingénieur*, 2005. [Online]. Available : <http://books.google.fr/books?id=sXrsDAU-cgYC>
- [4] Xilinx. (2011, Octobre) Xilinx stacked silicon interconnect technology delivers breakthrough fpga capacity, bandwidth, and power efficiency. [Online]. Available : <http://www.xilinx.com/technology/roadmap/ssi-technology.htm>
- [5] R. W. Technologies. (2007) 3D integration : A revolution in design. [Online]. Available : <http://realworldtech.com/page.cfm?ArticleID=RWT050207213241&p=6>
- [6] T. Matthias, S. Pargfrieder, M. Wimplinger, and P. Lindner, *Chip-to-Wafer and Wafer-to-Wafer Integration Schemes*. Wiley-VCH Verlag GmbH & Co. KGaA, 2008, pp. 223–248. [Online]. Available : <http://dx.doi.org/10.1002/9783527623051.ch12>
- [7] M.-F. Lai, S.-W. Li, J.-Y. Shih, and K.-N. Chen, “Wafer-level three-dimensional integrated circuits (3D IC) : Schemes and key technologies,” *Microelectronic Engineering*, vol. 88, no. 11, pp. 3282 – 3286, 2011. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0167931711005740>
- [8] C. Tan, R. Gutmann, and L. Reif, *Wafer-Level 3D ICs Process Technology*, ser. Series on Integrated Circuits and Systems. Springer, 2008.
- [9] C. Liu and S. K. Lim, “A design tradeoff study with monolithic 3D integration,” in *Quality Electronic Design (ISQED), 2012 13th International Symposium on*, march 2012, pp. 529 –536.
- [10] [Online]. Available : <http://www.monolithic3d.com/>
- [11] P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone, J.-M. Hartmann, L. Sanchez, L. Baud, V. Carron, A. Toffoli, F. Allain, V. Mazzocchi, D. Lafond, O. Thomas, O. Cueto, N. Bouzaida, D. Fleury, A. Amara, S. Deleonibus, and O. Faynot, “Advances in 3D CMOS sequential integration,” in *Electron Devices Meeting (IEDM), 2009 IEEE International*, dec. 2009, pp. 1 –4.
- [12] O. Thomas, M. Vinet, O. Rozeau, P. Batude, and A. Valentian, “Compact 6T SRAM cell with robust read/write stabilizing design in 45nm Monolithic 3D IC technology,”

- in *IC Design and Technology, 2009. ICICDT '09. IEEE International Conference on*, may 2009, pp. 195 –198.
- [13] S.-M. Jung, H. Lim, K. Kwak, and K. Kim, “A 500-MHz DDR High-Performance 72-Mb 3D SRAM Fabricated With Laser-Induced Epitaxial c-Si Growth Technology for a Stand-Alone and Embedded Memory Application,” *Electron Devices, IEEE Transactions on*, vol. 57, no. 2, pp. 474 –481, feb. 2010.
- [14] P. Garrou, S. Vitkavage, and S. Arkalgud, *Drivers for 3D Integration*. Wiley-VCH Verlag GmbH and Co. KGaA, 2008, pp. 13–24. [Online]. Available : <http://dx.doi.org/10.1002/9783527623051.ch2>
- [15] M. Rousseau, “Impact des technologies d’intégration 3D sur les performances des composants CMOS,” Ph.D. dissertation, Université de Toulouse, Novembre 2009, chapitre 1, 1.1.
- [16] ITRS. (2009) Interconnect roadmap. [Online]. Available : <http://www.itrs.net/Links/2009ITRS/Interconnect.pdf>
- [17] S. List, M. Bamal, M. Stucchi, and K. Maex, “A global view of interconnects,” *Microelectronic Engineering*, vol. 83, no. 11-12, pp. 2200 – 2207, 2006.
- [18] H. Cho, K.-H. Koo, P. Kapur, and K. Saraswat, “Performance Comparisons Between Cu/Low-k ; , Carbon-Nanotube, and Optics for Future On-Chip Interconnects,” *Electron Device Letters, IEEE*, vol. 29, no. 1, pp. 122 –124, jan. 2008.
- [19] Y. Chai, M. Sun, Z. Xiao, Y. Li, M. Zhang, and P. Chan, “Pursuit of Future Interconnect Technology with Aligned Carbon Nanotube Arrays Nanopackaging,” *Nanotechnology Magazine, IEEE*, vol. 5, no. 1, pp. 22 –26, march 2011.
- [20] M. Tada, N. Inoue, and Y. Hayashi, “Performance Modeling of Low- k /Cu Interconnects for 32-nm-Node and Beyond,” *Electron Devices, IEEE Transactions on*, vol. 56, no. 9, pp. 1852 –1861, sept. 2009.
- [21] S. Yokogawa, K. Kikuta, H. Tsuchiya, T. Takewaki, M. Suzuki, H. Toyoshima, Y. Kaku-hara, N. Kawahara, T. Usami, K. Ohto, K. Fujii, Y. Tsuchiya, K. Arita, K. Motoyama, M. Tohara, T. Taiji, T. Kurokawa, and M. Sekine, “Tradeoff Characteristics Between Resistivity and Reliability for Scaled-Down Cu-Based Interconnects,” *Electron Devices, IEEE Transactions on*, vol. 55, no. 1, pp. 350 –357, jan. 2008.
- [22] W. Huang, K. Rajamani, M. Stan, and K. Skadron, “Scaling with design constraints : Predicting the future of big chips,” *Micro, IEEE*, vol. 31, no. 4, pp. 16 – 29, july 2011.
- [23] S. Borkar, “The Exascale challenge,” in *VLSI Design Automation and Test (VLSI-DAT), 2010 International Symposium on*, april 2010, pp. 2 –3.
- [24] A. Morgenshtein, E. Friedman, R. Ginosar, and A. Kolodny, “Unified Logical Effort - A Method for Delay Evaluation and Minimization in Logic Paths With RC Interconnect,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 18, no. 5, pp. 689 –696, may 2010.
- [25] H. Li, C. Xu, N. Srivastava, and K. Banerjee, “Carbon Nanomaterials for Next-Generation Interconnects and Passives : Physics, Status, and Prospects,” *Electron Devices, IEEE Transactions on*, vol. 56, no. 9, pp. 1799 –1821, sept. 2009.

- [26] H. Li, C. Xu, and K. Banerjee, "Carbon Nanomaterials : The Ideal Interconnect Technology for Next-Generation ICs," *Design Test of Computers, IEEE*, vol. 27, no. 4, pp. 20–31, july-aug. 2010.
- [27] A. Narasimhan and R. Sridhar, "Variability Aware Low-Power Delay Optimal Buffer Insertion for Global Interconnects," *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 57, no. 12, pp. 3055–3063, dec. 2010.
- [28] K. Bernstein, P. Andry, J. Cann, P. Emma, D. Greenberg, W. Haensch, M. Ignatowski, S. Koester, J. Magerlein, R. Puri, and A. Young, "Interconnects in the Third Dimension : Design Challenges for 3D ICs," in *Design Automation Conference, 2007. DAC '07. 44th ACM/IEEE*, june 2007, pp. 562–567.
- [29] J. Xie, J. Zhao, X. Dong, and Y. Xie, "Architectural benefits and design challenges for three-dimensional integrated circuits," in *Circuits and Systems (APCCAS), 2010 IEEE Asia Pacific Conference on*, dec. 2010, pp. 540–543.
- [30] Intel. (2011) Intel Reinvents Transistors Using New 3D Structure. [Online]. Available : http://newsroom.intel.com/community/intel_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure
- [31] K. Banerjee, S. Souri, P. Kapur, and K. Saraswat, "3D ICs : a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration," *Proceedings of the IEEE*, vol. 89, no. 5, pp. 602–633, may 2001.
- [32] G. Van der Plas, P. Limaye, I. Loi, A. Mercha, H. Oprins, C. Torregiani, S. Thijs, D. Linten, M. Stucchi, G. Katti, D. Velenis, V. Cherman, B. Vandeveld, V. Simons, I. De Wolf, R. Labie, D. Perry, S. Bronckers, N. Minas, M. Cupac, W. Ruythooren, J. Van Olmen, A. Phommahaxay, M. de Potter de ten Broeck, A. Opdebeeck, M. Rakowski, B. De Wachter, M. Dehan, M. Nelis, R. Agarwal, A. Pullini, F. Angiolini, L. Benini, W. Dehaene, Y. Travalay, E. Beyne, and P. Marchal, "Design Issues and Considerations for Low-Cost 3-D TSV IC Technology," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 1, pp. 293–307, jan. 2011.
- [33] H. Sun, J. Liu, R. Anigundi, N. Zheng, J.-Q. Lu, K. Rose, and T. Zhang, "3D DRAM Design and Application to 3D Multicore Systems," *Design Test of Computers, IEEE*, vol. 26, no. 5, pp. 36–47, sept.-oct. 2009.
- [34] Y. Xie, "Processor Architecture Design Using 3D Integration Technology," in *VLSI Design, 2010. VLSID '10. 23rd International Conference on*, jan. 2010, pp. 446–451.
- [35] X. Dong, X. Wu, G. Sun, Y. Xie, H. Li, and Y. Chen, "Circuit and microarchitecture evaluation of 3D stacking magnetic RAM (MRAM) as a universal memory replacement," in *Design Automation Conference, 2008. DAC 2008. 45th ACM/IEEE*, june 2008, pp. 554–559.
- [36] E. Chen, D. Apalkov, Z. Diao, A. Driskill-Smith, D. Druist, D. Lottis, V. Nikitin, X. Tang, S. Watts, S. Wang, S. Wolf, A. Ghosh, J. Lu, S. Poon, M. Stan, W. Butler, S. Gupta, C. Mewes, T. Mewes, and P. Visscher, "Advances and Future Prospects of Spin-Transfer Torque Random Access Memory," *Magnetics, IEEE Transactions on*, vol. 46, no. 6, pp. 1873–1878, june 2010.

- [37] G. Sun, X. Dong, Y. Xie, J. Li, and Y. Chen, "A novel architecture of the 3D stacked MRAM L2 cache for CMPs," in *High Performance Computer Architecture, 2009. HPCA 2009. IEEE 15th International Symposium on*, feb. 2009, pp. 239–249.
- [38] C. Zinck, "3D integration infrastructure map : market status," in *3D Systems Integration Conference (3DIC), 2010 IEEE International*, nov. 2010, pp. 1–34.
- [39] M. Y. Albert and J. K. Steven, *Three Dimensional Integrated Circuit Design*. Springer US, 2010, ch. 3D Process technology considerations, pp. 15–38.
- [40] K. Takahashi and K. Tanida, *Vertical Interconnection by ASET*. Wiley-VCH Verlag GmbH & Co. KGaA, 2008, pp. 339–373. [Online]. Available : <http://dx.doi.org/10.1002/9783527623051.ch18>
- [41] H.-H. Lee and K. Chakrabarty, "Test Challenges for 3D Integrated Circuits," *Design Test of Computers, IEEE*, vol. 26, no. 5, pp. 26–35, sept.-oct. 2009.
- [42] T. M. Mak, *Testing of 3D Circuits*. Wiley-VCH Verlag GmbH & Co. KGaA, 2008, pp. 623–633. [Online]. Available : <http://dx.doi.org/10.1002/9783527623051.ch32>
- [43] N. Ranganathan, D. Y. Lee, L. Youhe, G.-Q. Lo, K. Prasad, and K. Pey, "Influence of Bosch Etch Process on Electrical Isolation of TSV Structures," *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 1, no. 10, pp. 1497–1507, oct. 2011.
- [44] A.-C. Hsieh and T. Hwang, "TSV Redundancy : Architecture and Design Issues in 3D IC," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 20, no. 4, pp. 711–722, april 2012.
- [45] J. Pulkit, Z. Pingqiang, H. K. Chris, and S. Sachin, *Three Dimensional Integrated Circuit Design*. Springer US, 2010, ch. Thermal and Power delivery Challenges in 3D IC, pp. 39–61.
- [46] N. Khan, S. Alam, and S. Hassoun, "Power Delivery Design for 3D ICs Using Different Through-Silicon Via (TSV) Technologies," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 19, no. 4, pp. 647–658, april 2011.
- [47] P. Franzon, W. Davis, T. Thorolfsson, and S. Melamed, "3D Specific Systems : Design and CAD," in *Test Symposium (ATS), 2011 20th Asian*, nov. 2011, pp. 470–473.
- [48] M. Pedram and S. Nazarian, "Thermal Modeling, Analysis, and Management in VLSI Circuits : Principles and Methods," *Proceedings of the IEEE*, vol. 94, no. 8, pp. 1487–1501, aug. 2006.
- [49] F. M. P. J. W. L. T. J. M. B. Agostini, B., "State of the art of high heat flux cooling technologies," *Heat Transfer Engineering*, vol. 28, no. 4, pp. 258–281, 2007.
- [50] H. Oprins, A. Srinivasan, M. Cupak, V. Cherman, C. Torregiani, M. Stucchi, G. V. der Plas, P. Marchal, B. Vandeveld, and E. Cheng, "Fine grain thermal modeling and experimental validation of 3D-ICs," *Microelectronics Journal*, vol. 42, no. 4, pp. 572–578, 2011, thermal investigations of integrated circuits and systems, THERMINIC' 09. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0026269210001606>

- [51] W. Huang, M. Stan, S. Gurumurthi, R. Ribando, and K. Skadron, "Interaction of scaling trends in processor architecture and cooling," in *Semiconductor Thermal Measurement and Management Symposium, 2010. SEMI-THERM 2010. 26th Annual IEEE*, feb. 2010, pp. 198 –204.
- [52] [Online]. Available : <http://www.csl.mete.metu.edu.tr/Electromigration/emig.htm>
- [53] L. Doyen, "Caractérisation électrique de l'endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique," Ph.D. dissertation, Grenoble I – Université Joseph Fourier, Mars 2009.
- [54] H. Ceric and S. Selberherr, "Electromigration in submicron interconnect features of integrated circuits," *Materials Science and Engineering : R : Reports*, vol. 71, no. 5–6, pp. 53 – 86, 2011. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0927796X1000118X>
- [55] C. M. Tan and A. Roy, "Electromigration in ULSI interconnects," *Materials Science and Engineering : R : Reports*, vol. 58, no. 1–2, pp. 1 – 75, 2007. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0927796X0700054X>
- [56] J. J. Clement, "Reliability analysis for encapsulated interconnect lines under DC and pulsed DC current using a continuum electromigration transport model," *Journal of Applied Physics*, vol. 82, no. 12, pp. 5991 –6000, dec 1997.
- [57] J. Clement, "Electromigration modeling for integrated circuit interconnect reliability analysis," *Device and Materials Reliability, IEEE Transactions on*, vol. 1, no. 1, pp. 33 –42, mar 2001.
- [58] B. Dubois, "Méthodologie de conception de magnétomètre dans une approche mécatronique," Ph.D. dissertation, Université de Strasbourg, Juillet 2009, chapitre 1, 1.3.3.
- [59] S. Khan and S. Hamdioui, "Temperature dependence of NBTI induced delay," in *On-Line Testing Symposium (IOLTS), 2010 IEEE 16th International*, july 2010, pp. 15 –20.
- [60] S. Srinivasan, R. Krishnan, P. Mangalagiri, Y. Xie, V. Narayanan, M. Irwin, and K. Sarpatwari, "Toward Increasing FPGA Lifetime," *Dependable and Secure Computing, IEEE Transactions on*, vol. 5, no. 2, pp. 115 –127, april-june 2008.
- [61] S. Khan and S. Hamdioui, "Temperature dependence of NBTI induced delay," in *On-Line Testing Symposium (IOLTS), 2010 IEEE 16th International*, july 2010, pp. 15 –20.
- [62] T. Smorodin, J. Wilde, P. Alpern, and M. Stecher, "A Temperature-Gradient-Induced Failure Mechanism in Metallization Under Fast Thermal Cycling," *Device and Materials Reliability, IEEE Transactions on*, vol. 8, no. 3, pp. 590 –599, sept. 2008.
- [63] T. Smorodin, J. Wilde, P. Nelle, E. Lilleodden, and M. Stecher, "Modeling of DMOS subjected to fast temperature cycle stress and improvement by a novel metallization concept," in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, 27 2008-may 1 2008, pp. 689 –690.

- [64] P. Alpern, P. Nelle, E. Barti, H. Gunther, A. Kessler, R. Tilgner, and M. Stecher, "On the Way to Zero Defect of Plastic-Encapsulated Electronic Power Devices Part I : Metallization," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 2, pp. 269 –278, june 2009.
- [65] —, "On the Way to Zero Defect of Plastic-Encapsulated Electronic Power Devices Part II : Molding Compound," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 2, pp. 279 –287, june 2009.
- [66] —, "On the Way to Zero Defect of Plastic-Encapsulated Electronic Power Devices Part III : Chip Coating, Passivation, and Design," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 2, pp. 288 –295, june 2009.
- [67] Z. Lu, J. Lach, M. Stan, and K. Skadron, "Temperature-Aware Modeling and Banking of IC Lifetime Reliability," 2005.
- [68] Z. Lu, W. Huang, M. Stan, K. Skadron, and J. Lach, "Interconnect lifetime prediction with temporal and spatial temperature gradients for reliability-aware design and run 134 time management : Modeling and applications. Very Large Scale Integration (VLSI) Systems," *IEEE Transactions on*, 2006.
- [69] —, "Interconnect Lifetime Prediction for Reliability-Aware Systems," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 15, no. 2, pp. 159 –172, feb. 2007.
- [70] S.-K. Ryu, K.-H. Lu, X. Zhang, J.-H. Im, P. Ho, and R. Huang, "Impact of Near-Surface Thermal Stresses on Interfacial Reliability of Through-Silicon Vias for 3D Interconnects," *Device and Materials Reliability, IEEE Transactions on*, vol. 11, no. 1, pp. 35 –43, march 2011.
- [71] B. Yan, Q. Fan, J. Bernstein, J. Qin, and J. Dai, "Reliability Simulation and Circuit-Failure Analysis in Analog and Mixed-Signal Applications," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 3, pp. 339 –347, sept. 2009.
- [72] Y.-J. Lee and S. K. Lim, "Co-Optimization and Analysis of Signal, Power, and Thermal Interconnects in 3D ICs," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 30, no. 11, pp. 1635 –1648, nov. 2011.
- [73] A. Jain, S. Alam, S. Pozder, and R. Jones, "Thermal-electrical co-optimisation of floorplanning of three-dimensional integrated circuits under manufacturing and physical design constraints," *Computers Digital Techniques, IET*, vol. 5, no. 3, pp. 169 –178, may 2011.
- [74] D. Cuesta, J. L. Risco-Martin, J. L. Ayala, and J. I. Hidalgo, "3D thermal-aware floorplanner using a MOEA approximation," *Integration, the VLSI Journal*, no. 0, pp. –, 2012. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0167926012000314>
- [75] J. Cong and Y. Ma, *Three Dimensional Integrated Circuit Design*. Springer US, 2010, ch. Thermal aware 3D floorplan, pp. 63–102.

- [76] P. Zhou, Y. Ma, Z. Li, R. Dick, L. Shang, H. Zhou, X. Hong, and Q. Zhou, “3D-STAF : scalable temperature and leakage aware floorplanning for three-dimensional integrated circuits,” in *Computer-Aided Design, 2007. ICCAD 2007. IEEE/ACM International Conference on*, nov. 2007, pp. 590 –597.
- [77] F. Frantz, L. Labrak, and I. O’Connor, “3D IC floorplanning : Automating optimization settings and exploring new thermal-aware management techniques,” *Microelectronics Journal*, vol. 43, no. 6, pp. 423 – 432, 2012. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0026269212000675>
- [78] J. L. Ayala, A. Sridhar, and D. Cuesta, “Thermal modeling and analysis of 3D multi-processor chips,” *Integration, the VLSI Journal*, vol. 43, no. 4, pp. 327 – 341, 2010. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0167926010000350>
- [79] J. Cong and Y. Ma, *Three Dimensional Integrated Circuit Design*. Springer US, 2010, ch. Thermal Via Insertion and Thermally Aware Routing in 3D ICs, pp. 145–160.
- [80] H. Yu, Y. Shi, L. He, and T. Karnik, “Thermal Via Allocation for 3D ICs Considering Temporally and Spatially Variant Thermal Power,” in *Low Power Electronics and Design, 2006. ISLPED’06. Proceedings of the 2006 International Symposium on*, oct. 2006, pp. 156 –161.
- [81] B. Goplen and S. Sapatnekar, “Placement of thermal vias in 3D ICs using various thermal objectives,” *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 25, no. 4, pp. 692 – 709, april 2006.
- [82] Y. Ma, D. Chong, C. Wang, and A. Sun, “Development of ball grid array packages with improved thermal performance,” in *Electronic Packaging Technology Conference, 2005. EPTC 2005. Proceedings of 7th*, vol. 2, dec. 2005, p. 6 pp.
- [83] A. Sridhar, A. Vincenzi, M. Ruggiero, T. Brunschwiler, and D. Atienza, “3D-ICE : Fast compact transient thermal modeling for 3D ICs with inter-tier liquid cooling,” in *Computer-Aided Design (ICCAD), 2010 IEEE/ACM International Conference on*, nov. 2010, pp. 463 –470.
- [84] G. Gielen and R. Rutenbar, “Computer-aided design of analog and mixed-signal integrated circuits,” *Proceedings of the IEEE*, vol. 88, no. 12, pp. 1825 –1854, dec 2000.
- [85] F. Rousseau. (2005) Conception de systèmes VLSI. Référence E2455.
- [86] R. Maurice, “Contribution à la méthodologie de conception système : Application à la réalisation d’un microsystème multicapteurs communicant pour le génie civil,” Ph.D. dissertation, Institut national de Toulouse, Décembre 2005, chapitre 1, 1.3.2.
- [87] ITRS. (2011) Design. [Online]. Available : <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Design.pdf>
- [88] W. Huang, S. Ghosh, S. Velusamy, K. Sankaranarayanan, K. Skadron, and M. Stan, “HotSpot : a compact thermal modeling methodology for early-stage VLSI design,”

- Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 14, no. 5, pp. 501–513, may 2006.
- [89] V. Viswanathan, “Modeling and design of 3D Imager IC,” Ph.D. dissertation, Institut des Nanotechnologies de Lyon (INL), Septembre 2012.
- [90] J. Cong, A. Jagannathan, Y. Ma, G. Reinman, J. Wei, and Y. Zhang, “An automated design flow for 3D microarchitecture evaluation,” in *Design Automation, 2006. Asia and South Pacific Conference on*, jan. 2006, p. 6 pp.
- [91] [Online]. Available : www.atrenta.com
- [92] J.-P. Pérez, *Thermodynamique : Fondements et applications*, 3rd ed., 2001, ch. 19 Effets thermoélectrique, pp. 356–375.
- [93] J. Merlin, V. Massardier, and X. Kléber, “La mesure du pouvoir thermoélectrique : une technique originale de contrôle des alliages métalliques,” *Techniques de l’ingénieur*, vol. Référence RE39, 2005.
- [94] A. Bulusu and D. Walker, “Review of electronic transport models for thermoelectric materials,” *Superlattices and Microstructures*, vol. 44, no. 1, pp. 1–36, 2008. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0749603608000426>
- [95] B. Lenoir, J.-P. Michenaud, and A. Dauscher, “Thermoélectricité : des principes aux applications,” *Techniques de l’ingénieur*, vol. Référence K730, 2010.
- [96] [Online]. Available : http://www.efunda.com/designstandards/sensors/thermocouples/thmcple_theory.cfm
- [97] M. Strasser, R. Aigner, C. Lauterbach, T. Sturm, M. Franosh, and G. Wachutka, “Micromachined CMOS thermoelectric generators as on-chip power supply,” in *TRANSDUCERS, Solid-State Sensors, Actuators and Microsystems, 12th International Conference on, 2003*, vol. 1, june 2003, pp. 45–48 vol.1.
- [98] P. Wang and A. Bar-Cohen, “On-chip hot spot cooling using silicon thermoelectric microcoolers,” *Journal of Applied Physics*, vol. 102, no. 3, pp. 034 503–034 503–11, aug 2007.
- [99] V. Litvinovitch, P. Wang, and A. Bar-Cohen, “Superlattice μ TEC Hot Spot Cooling,” *Components and Packaging Technologies, IEEE Transactions on*, vol. 33, no. 1, pp. 229–239, march 2010.
- [100] L. Goncalves, J. Rocha, C. Couto, P. Alpuim, and J. Correia, “On-chip array of thermoelectric Peltier microcoolers,” *Sensors and Actuators A : Physical*, vol. 145–146, no. 0, pp. 75–80, 2008. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0924424707007868>
- [101] F. Incropera and D. DeWitt, *Fundamentals of heat and mass transfer*, ch. Appendix A, pp. 927–958.
- [102] R. Adamec and D. Thiel, “Self Heated Thermo-Resistive Element Hot Wire Anemometer,” *Sensors Journal, IEEE*, vol. 10, no. 4, pp. 847–848, april 2010.

- [103] J. Wöllenstein, J. Plaza, C. Cané, Y. Min, H. Böttner, and H. Tuller, “A novel single chip thin film metal oxide array,” *Sensors and Actuators B : Chemical*, vol. 93, no. 1–3, pp. 350 – 355, 2003. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0925400503002181>
- [104] P. Zappi, E. Farella, and L. Benini, “Tracking Motion Direction and Distance With Pyroelectric IR Sensors,” *Sensors Journal, IEEE*, vol. 10, no. 9, pp. 1486 –1494, sept. 2010.
- [105] Y.-W. Bai and Y.-T. Ku, “Automatic room light intensity detection and control using a microprocessor and light sensors,” *Consumer Electronics, IEEE Transactions on*, vol. 54, no. 3, pp. 1173 –1176, august 2008.
- [106] D. Lin, Y. C. Hu, and C.-H. Cheng, “The Optimization of the Thermal Response on the ZnO Flexible Pyroelectric Film Temperature Sensor,” *Sensors Journal, IEEE*, vol. 12, no. 2, pp. 397 –403, feb. 2012.
- [107] J.-P. Pérez, *Thermodynamique : Fondements et applications*, 3rd ed., 2001, ch. 11 Diffusion thermique, pp. 193–213.
- [108] A. Bejan and A. Kraus, *Heat Transfer Handbook*. J. Wiley, 2003, ch. Heat transfer in electronic equipment, pp. 947–1027.
- [109] J.-P. Pérez, *Thermodynamique : Fondements et applications*, 3rd ed., 2001, ch. 18 Rayonnement thermique, pp. 356–375.
- [110] F. Incropera and D. DeWitt, *Fundamentals of heat and mass transfer*, ch. Radiation exchange between surfaces, pp. 811–878.
- [111] W. Lang, “Heat transport from a chip,” *Electron Devices, IEEE Transactions on*, vol. 37, no. 4, pp. 958 –963, apr 1990.
- [112] J.-L. Tsai, C.-P. Chen, G. Chen, B. Goplen, H. Qian, Y. Zhan, S.-M. Kang, M. Wong, and S. Sapatnekar, “Temperature-Aware Placement for SOCs,” *Proceedings of the IEEE*, vol. 94, no. 8, pp. 1502 –1518, aug. 2006.
- [113] B. Wang and P. Mazumder, “Accelerated Chip-Level Thermal Analysis Using Multi-layer Green’s Function,” *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 26, no. 2, pp. 325 –344, feb. 2007.
- [114] M. Janicki and A. Napieralski, “Parametric Thermal Analyses Of Electronic Circuits With Green’s Functions,” in *Mixed Design of Integrated Circuits and System, 2006. MIXDES 2006. Proceedings of the International Conference*, june 2006, pp. 437 –440.
- [115] A. Janicki, M. and Napieralski, “Application of Green’s functions for thermal analysis of electronic circuits,” in *Semiconductor Conference, 2005. CAS 2005 Proceedings. 2005 International*, vol. 2, oct. 2005, pp. 435 –438 vol. 2.
- [116] W. Batty, C. Christoffersen, A. Panks, S. David, C. Snowden, and M. Steer, “Electrothermal CAD of power devices and circuits with fully physical time-dependent compact thermal modeling of complex nonlinear 3D systems,” *Components and Packaging Technologies, IEEE Transactions on*, vol. 24, no. 4, pp. 566 –590, dec 2001.

- [117] N. Rinaldi, "On the modeling of the transient thermal behavior of semiconductor devices," *Electron Devices, IEEE Transactions on*, vol. 48, no. 12, pp. 2796–2802, dec 2001.
- [118] B. Du, J. Hudgins, E. Santi, A. Bryant, P. Palmer, and H. Mantooth, "Transient Electrothermal Simulation of Power Semiconductor Devices," *Power Electronics, IEEE Transactions on*, vol. 25, no. 1, pp. 237–248, jan. 2010.
- [119] Y. Zhan and S. Sapatnekar, "High-Efficiency Green Function-Based Thermal Simulation Algorithms," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 26, no. 9, pp. 1661–1675, sept. 2007.
- [120] P.-Y. Huang and Y.-M. Lee, "Full-Chip Thermal Analysis for the Early Design Stage via Generalized Integral Transforms," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 17, no. 5, pp. 613–626, may 2009.
- [121] T. Bechtold, J. Korvink, and E. Rudnyi, *Fast Simulation of Electro-Thermal MEMS : Efficient Dynamic Compact Models*, ser. Microtechnology And Mems. Springer, 2007, ch. Dynamic Electrothermal Simulation of Microsystems, pp. 8–29.
- [122] J. T. Hsu and L. Vu-Quoc, "A rational formulation of thermal circuit models for electrothermal simulation. II. Model reduction techniques [power electronic systems]," *Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on*, vol. 43, no. 9, pp. 733–744, sep 1996.
- [123] G. Montseny, *Représentation diffusive*, ser. Science Publication. Hermes, 2005.
- [124] S. M'Rad, "Application de la représentation diffusive à la modélisation thermique compacte," Ph.D. dissertation, Institut National des Sciences Appliquées de Lyon, Septembre 2008.
- [125] B. Allard, X. Jorda, P. Bidan, A. Rumeau, H. Morel, X. Perpina, M. Vellvehi, and S. M'Rad, "Reduced-Order Thermal Behavioral Model Based on Diffusive Representation," *Power Electronics, IEEE Transactions on*, vol. 24, no. 12, pp. 2833–2846, dec. 2009.
- [126] J. Korvink and O. Paul, *MEMS : A Practical Guide To Design, Analysis, And Applications*, ch. Chapter 3 MEMS and NEMS Simulation, pp. 93–186.
- [127] F. André and G. André. (2011) Les éléments finis : de la théorie à la pratique. [Online]. Available : www.mathappl.polymtl.ca/mth6207/NotesFortin.pdf
- [128] P. Li, L. Pileggi, M. Asheghi, and R. Chandra, "IC thermal simulation and modeling via efficient multigrid-based approaches," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 25, no. 9, pp. 1763–1776, sept. 2006.
- [129] H. Damanik, J. Hron, A. Ouazzi, and S. Turek, "A monolithic FEM-multigrid solver for non-isothermal incompressible flow on general meshes," *Journal of Computational Physics*, vol. 228, no. 10, pp. 3869–3881, 2009.
- [130] Z. Gvirtzman and Z. Garfunkel, "Numerical solutions for the one-dimensional heat-conduction equation using a spreadsheet," *Computers and Geosciences*, vol. 22, no. 10, pp. 1147–1158, 1996.

- [131] D. Hartmann, M. Meinke, and W. Schröder, “An adaptive multilevel multigrid formulation for Cartesian hierarchical grid methods,” *Computers and Fluids*, vol. 37, no. 9, pp. 1103 – 1125, 2008.
- [132] J. S. Wilson and P. E. Raad, “A transient self-adaptive technique for modeling thermal problems with large variations in physical scales,” *International Journal of Heat and Mass Transfer*, vol. 47, no. 17–18, pp. 3707 – 3720, 2004.
- [133] W. Habra, “Développement de modèles thermiques compacts en vue de la modélisation électrothermique des composants de puissance,” Ph.D. dissertation, Laboratoire d’Analyse et d’Archéologie des Systèmes (LAAS-CNRS), Juin 2007.
- [134] C. Lasance, “Recent progress in compact thermal models,” in *Semiconductor Thermal Measurement and Management Symposium, 2003. Nineteenth Annual IEEE*, march 2003, pp. 290 – 299.
- [135] E. Monier-Vinard, C. Dia, V. Bissuel, O. Daniel, and N. Laraqi, “Extension of the DELPHI methodology to Dynamic Compact Thermal Model of electronic component,” in *Thermal Investigations of ICs and Systems (THERMINIC), 2011 17th International Workshop on*, sept. 2011, pp. 1 –6.
- [136] T. Bechtold, J. Korvink, and E. Rudnyi, *Fast Simulation of Electro-Thermal MEMS : Efficient Dynamic Compact Models*, ser. Microtechnology And Mems. Springer, 2007, ch. Dynamic Electrothermal Simulation of Microsystems, pp. 31 – 49.
- [137] M. Jungwirth, D. Hofinger, and H. Weinzierl, “A comparison of model order reduction methods used in different FE software tools,” in *Thermal, Mechanical Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems (Euro-SimE), 2010 11th International Conference on*, april 2010, pp. 1 –5.
- [138] J. Guo, J. Cui, W. Liu, and X. Fan, “Improved random walk algorithm for power supply noise analysis,” in *Computer Science and Automation Engineering (CSAE), IEEE International Conference on*, vol. 2, June 2011, pp. 198–202.
- [139] Z. Zhiyu, X. Tong, F. Zhuo, and L. Peng, “Fast static analysis of power grids : Algorithms and implementations,” in *Computer-Aided Design (ICCAD), IEEE/ACM International Conference on*, Nov. 2011, pp. 488–493.
- [140] H. Qian and S. Sapatnekar, “Hierarchical random-walk algorithms for power grid analysis,” in *Design Automation Conference, Proceedings of the ASP-DAC*, Jan. 2004, pp. 499–504.
- [141] P. G. Doyle and J. L. Snell, *Random Walks and Electric Networks*. Mathematical Association of America, 1984.
- [142] ——. [Online]. Available : <http://math.dartmouth.edu/~doyle/docs/walks/walks.pdf>
- [143] R. Yates and D. Goodman, *Probability and Stochastic Processes : A Friendly Introduction for Electrical and Computer Engineers*. John Wiley & Sons, 2005.
- [144] L. Hebrard, C. Klingelhofer, G. Jacquemod, B. Bouterin, and M. Le Helley, “SETI-PIC : electrothermal simulator for power integrated circuits in EDGE environment,” in *Euro ASIC ’92, Proceedings.*, jun 1992, pp. 214 –219.

- [145] S. Wunsche, C. Clauss, P. Schwarz, and F. Winkler, "Electro-thermal circuit simulation using simulator coupling," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 5, no. 3, pp. 277–282, sept. 1997.
- [146] Y.-K. Cheng, P. Raha, C.-C. Teng, E. Rosenbaum, and S.-M. Kang, "ILLIADS-T : an electrothermal timing simulator for temperature-sensitive reliability diagnosis of CMOS VLSI chips," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 17, no. 8, pp. 668–681, aug 1998.
- [147] D. Chen, E. Li, E. Rosenbaum, and S.-M. Kang, "Interconnect thermal modeling for accurate simulation of circuit timing and reliability," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 19, no. 2, pp. 197–205, feb 2000.
- [148] Y.-K. Cheng, E. Rosenbaum, and S.-M. Kang, "ETS-A : a new electrothermal simulator for CMOS VLSI circuits," in *European Design and Test Conference, 1996. ED TC 96. Proceedings*, mar 1996, pp. 566–570.
- [149] T. Li, C.-H. Tsai, and S.-M. Kang, "Efficient transient electrothermal simulation of CMOS VLSI circuits under electrical overstress," in *Computer-Aided Design, 1998. ICCAD 98. Digest of Technical Papers. 1998 IEEE/ACM International Conference on*, nov 1998, pp. 6–11.
- [150] S. S. Attar, M. Yagoub, and F. Mohammadi, "New Electro-Thermal Integrated Circuit Modeling using Coupling of Simulators," in *Electrical and Computer Engineering, 2006. CCECE '06. Canadian Conference on*, may 2006, pp. 1218–1222.
- [151] B. Vermeersch and G. De Mey, "Dynamic electrothermal simulation of integrated resistors at device level," in *Thermal Investigation of ICs and Systems, 2007. THERMINIC 2007. 13th International Workshop on*, sept. 2007, pp. 196–201.
- [152] V. Székely and K. Tarnay, "Accurate algorithm for temperature calculation of devices in nonlinear-circuit-analysis programs," *Electronics Letters*, vol. 8, no. 19, pp. 470–472, 21 1972.
- [153] A. Poppe, G. Horvath, G. Nagy, M. Rencz, and V. Szekely, "Electro-thermal and Logi-thermal Simulators aimed at the Temperature-aware Design of Complex Integrated Circuits," in *Semiconductor Thermal Measurement and Management Symposium, 2008. Semi-Therm 2008. Twenty-fourth Annual IEEE*, march 2008, pp. 68–76.
- [154] M. Rencz, V. Szekely, A. Poppe, and B. Courtois, "Electro-thermal simulation of MEMS elements," in *Design, Test, Integration and Packaging of MEMS/MOEMS 2003. Symposium on*, may 2003, pp. 15–20.
- [155] M.-N. Sabry, A. Bontemps, V. Aubert, and R. Vahrman, "Realistic and efficient simulation of electro-thermal effects in VLSI circuits," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 5, no. 3, pp. 283–289, sept. 1997.
- [156] T. Harris, S. Priyadarshi, S. Melamed, C. Ortega, R. Manohar, S. Dooley, N. Kriplani, W. Davis, P. Franzon, and M. Steer, "A Transient Electrothermal Analysis of Three-Dimensional Integrated Circuits," *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 2, no. 4, pp. 660–667, april 2012.

- [157] F. Mohammadi and S. Attar, "Development of an electrothermal simulation tool for integrated circuits : Application to a two-transistor circuit," *Electrical and Computer Engineering, Canadian Journal of*, vol. 33, no. 3/4, pp. 191 –200, summer/fall 2008.
- [158] K. Petrosjanc, N. Ryabov, I. Kharitonov, and P. Kozinko, "Electro-thermal simulation : a new Subsystem in Mentor Graphics IC Design Flow," in *Thermal Investigations of ICs and Systems, 2009. THERMINIC 2009. 15th International Workshop on*, 2009, pp. 70 – 74.
- [159] R. GILLON, P. JORIS, H. OPRINS, B. VANDEVELDE, A. SRINIVASAN, and R. CHANDRA, "Practical chip-centric electro-thermal simulations," in *Thermal Investigations of ICs and Systems, 2008. THERMINIC 2008. 14th International Workshop on*, 2008, pp. 220 – 223.
- [160] G. Horvath and A. Poppe, "The Sissy Electro-thermal Simulation System - Based on Modern Software Technologies," in *International Workshop on THERMAL INVESTIGATIONS OF ICs and Systems*. TIMA Editions, Sep. 2005, pp. 51–54.
- [161] F. Pecheux, C. Lallement, and A. Vachoux, "VHDL-AMS and Verilog-AMS as alternative hardware description languages for efficient modeling of multidiscipline systems," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 24, no. 2, pp. 204 – 225, feb. 2005.
- [162] C. Lallement, R. Bouchakour, and T. Maurel, "One-dimensional analytical modeling of the VDMOS transistor taking into account the thermoelectrical interactions," *Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on*, vol. 44, no. 2, pp. 103–111, feb 1997.
- [163] C. Anghel, R. Gillon, and A. Ionescu, "Self-heating characterization and extraction method for thermal resistance and capacitance in HV MOSFETs," *Electron Device Letters, IEEE*, vol. 25, no. 3, pp. 141 – 143, march 2004.
- [164] W. Jin, W. Liu, S. Fung, P. Chan, and C. Hu, "SOI thermal impedance extraction methodology and its significance for circuit simulation," *Electron Devices, IEEE Transactions on*, vol. 48, no. 4, pp. 730 –736, apr 2001.
- [165] V. Sriramkumar, P. Navid, L. Darsen, L. Chung-Hsun, D. Mohan, Y. Shijing, M. Tanvir, N. Ali, and H. Chenming, "Multi-Gate MOSFET Compact Model," Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720, Tech. Rep. BSIM-CMG 106.0.0, 2012.
- [166] L. Codecasa, D. D'Amore, and P. Maffezzoni, "Compact modeling of electrical devices for electrothermal analysis," *Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on*, vol. 50, no. 4, pp. 465 – 476, april 2003.
- [167] D. Bechmann, *Informatique graphique, modélisation géométrique et animation*, ser. IC2 : Série Traitement du signal et de l'image. Hermes science publ., 2007.
- [168] [Online]. Available : <http://cgogn.u-strasbg.fr/Wiki/index.php/CGoGN>
- [169] J.-C. Krencker, J.-B. Kammerer, Y. Herve and, and L. Hebrard, "Direct electro-thermal simulation of integrated circuits using standard CAD tools," in *Thermal*

Investigations of ICs and Systems (THERMINIC), 2010 16th International Workshop on, oct. 2010, pp. 1 –4.

[170] [Online]. Available : <http://cmp.imag.fr/>

[171] [Online]. Available : http://www.efunda.com/materials/elements/TC_Table.cfm?Element_ID=Si

Résumé :

Les travaux de cette thèse s'inscrivent dans un projet de grande envergure, le projet 3D-IDEAS, financé par l'ANR. Le but de ce projet est d'établir la chaîne complète de l'intégration de circuits en technologie 3D. Les densités de puissance dans ces circuits sont telles que les problèmes liés à la température – électromigration, désappariement des courants et tensions de polarisation, etc. – sont susceptibles de remettre en cause la conception du circuit. Le coût élevé de la fabrication de ces circuits oblige le concepteur à valider le comportement électrothermique des circuits préalablement à l'envoi en fabrication. Pour répondre à ce besoin, un simulateur électrothermique précis et fiable doit être à disposition. En outre, en raison de la complexité extrême de ces circuits, il est judicieux que ce simulateur soit compatible avec l'approche de modélisation haut niveau. L'objectif de cette thèse est de développer un tel simulateur. La solution proposée intègre ce simulateur dans un environnement de développement CAO pour circuit intégré standard, Cadence[®]. La contrainte sur la précision des résultats nous a amené à développer une nouvelle méthodologie spécifique à la modélisation électrothermique haut-niveau. Ce manuscrit comporte deux grandes parties. Dans la première, la démarche adoptée pour concevoir le simulateur est détaillée. Ensuite, dans la seconde partie, le fonctionnement du simulateur ainsi que la méthode de modélisation haut-niveau mise en place sont présentées, puis validées.

Mots-clés : Electrothermique, simulation, Verilog-A, modélisation haut-niveau, technologie 3D, modélisation comportementale.

Abstract:

The work of this thesis is part of a larger project, the project 3D-IDEAS, funded by the ANR. The purpose of this project is to establish the complete chain of integrated circuits built upon 3D technology. Power densities in these circuits are exacerbated, thus problems related to temperature, such as electromigration, mismatch of bias currents and voltages, etc., arise and might have critical effects on the circuit behavior. The high cost of these circuits requires the designer to validate the electro-thermal behavior of circuits prior to manufacturing. To meet this need, an accurate and reliable electro-thermal simulator should be available. Moreover, due to the extreme complexity of these circuits, it is wise for such a simulator to be compliant with high level modeling approach. The objective of this thesis is to develop such a simulator. The proposed solution integrates the simulator in the broadly used CAD environment for integrated circuits Cadence[®]. The need of accurate results led us to develop a new methodology specific to high level electro-thermal modeling. This manuscript is split in two major parts. In the first one, the approach to implement the simulator is detailed. Then, in the second part, the operation principle of the simulator and the modeling method implementation are detailed and validated.

Keywords: Electro-thermal, Circuit Simulation, High-Level Model, Verilog-A, 3D technology, behavioral modeling