

# THÈSE

PRÉSENTÉE A

**L'UNIVERSITÉ BORDEAUX 1**

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

Par Sophie DRÉAN

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

## **OSCILLATEUR DE PUISSANCE EN ONDES MILLIMÉTRIQUES**

Soutenance prévue le 19 Décembre 2012

Commission d'examen:

M. DUBUC David	Maître de conférences HDR	LAAS-CNRS Toulouse	Rapporteur
M. BADETS Franck	Ingénieur HDR	CEA LETI Grenoble	Rapporteur
M. KERHERVE Eric	Professeur	IPB Bordeaux	Directeur de thèse
Mme DELTIMPLE Nathalie	Maître de conférences	IPB Bordeaux	Co-directrice de thèse
M. JARRY Bernard	Professeur	Université de Limoges	Examineur
M. DEVAL Yann	Professeur	IPB Bordeaux	Examineur
M. MARTINEAU Baudouin	Ingénieur PhD	STMicroelectronics	Invité
M. BELOT Didier	Ingénieur	STMicroelectronics	Invité

# Sommaire

Introduction générale.....	5
Chapitre I – Evolution des architectures d’émetteur.....	6
I – 1 Ondes millimétriques et applications.....	9
I – 1.1 Spectre radiofréquence .....	9
I – 1.2 Standards et applications millimétriques .....	10
I – 1.2.1 Applications en ondes millimétriques.....	10
I – 1.2.1.1 Applications millimétriques hors bande des 60 GHz .....	10
I – 1.2.2 Spécifications des standards millimétriques .....	14
I – 1.2.2.1 Standards associés au WPAN .....	14
I – 2 Architectures d’émetteurs.....	16
I – 2.1 Structure hétérodyne et homodyne .....	16
I – 2.1.1 Description de l’architecture hétérodyne .....	16
I – 2.1.2 Description de l’architecture homodyne.....	19
I – 2.2 Structure du Power VCO.....	23
I – 2.2.1 Principe du Power VCO .....	23
I – 2.2.2 Etat de l’art du Power VCO .....	24
I – 2.2.2.1 Le Power VCO, un VCO rehaussé en puissance.....	25
I – 2.2.2.2 Le Power VCO en tant que PA oscillant .....	26
I – 3 Étude du système .....	30
I – 3.1 Modélisation de l’architecture globale .....	30
I – 3.1.1 Modélisation du PA .....	30
I – 3.1.2 Modélisation de la boucle de retour .....	32
I – 3.2 Simulations système .....	34
I – 3.2.1 Conditions d’oscillations .....	34
I – 3.3 Spécifications de la conception du Power VCO .....	35
Conclusion .....	37
Références .....	38
Chapitre II – Un amplificateur de puissance à haut rendement.....	41
II – 1.1 Paramètres clés des amplificateurs.....	44
II – 1.1.1 Formules de gain .....	44
II – 1.1.2 Point de compression à 1dB .....	45
II – 1.1.3 Rendement .....	47
II – 1.1.4 Combinaison de multiples étages.....	48
II – 1.2 Classification des amplificateurs .....	49
II – 1.2.1 Classes sinusoïdales .....	49
II – 1.2.1.1 Caractéristiques.....	49

II – 1.2.2 Classes commutées .....	53
II – 1.2.2.2 Classe E .....	54
II – 1.2.2.3 Classe F .....	57
II – 1.2.2.4 Comparaison des différentes classes d’amplificateur.....	58
II – 1.2.3 Adaptation des théories de conception en haute fréquence.....	60
II – 1.3 Choix de l’amplificateur.....	61
II – 2 Conception de l’étage de puissance .....	63
II – 2.1 Choix de la topologie .....	63
II – 2.2 Dimensionnement du transistor .....	64
II – 2.3 Classe E en hautes fréquences.....	65
II – 2.3.1 Polarisations .....	66
II – 2.3.2 Traitement des harmoniques à hautes fréquences.....	68
II – 2.4 Optimisation du réseau de sortie .....	69
II – 2.5 Simulations de l’étage de puissance .....	70
II – 3 Conception de l’étage de driver.....	72
II – 3.1 Choix de la classe de fonctionnement et de la topologie .....	72
II – 3.2 Dimensionnement du transistor .....	73
II – 3.3 Théorie du Classe F.....	73
II – 3.4 Optimisation du réseau de sortie .....	74
II – 3.5 Simulations de l’étage driver.....	75
II – 4 Simulations de l’amplificateur à deux étages.....	76
II – 4.1 Schéma global de l’amplificateur .....	77
II – 4.2 Simulations petit signal .....	77
II – 4.3 Simulations grand signal.....	78
I – 5 Layout de l’amplificateur de puissance.....	79
II – 5.1 Layout du cascode .....	80
II – 5.2 Layout du driver.....	82
II – 5.3 Autres éléments du layout .....	83
II – 6 Mesures de l’amplificateur de puissance.....	85
II – 6.1 Photo de la puce.....	85
II – 6.2 Mesures.....	82
II – 6.3 Solutions envisagées.....	83
Conclusion .....	88
Références .....	89
<b>Chapitre III – Boucle de retour et architecture du Power VCO</b>	<b>91</b>
III – 1 Structure de la boucle de retour et fonctionnement.....	93
III – 1.1 Définitions et état de l’art des VCO à 60GHz.....	93
III – 1.1.1 Définitions du bruit de phase et de la figure de mérite .....	93
III – 1.1.2 Etat de l’art des VCO à 60GHz .....	95
III – 1.2 Rôle et dimensionnement de la boucle de retour .....	97

III – 1.3 Etude de la boucle de retour et solutions envisagées .....	98
III – 1.3.1 Structures envisagées .....	98
III – 1.3.2 Etat de l'art du vecteur-modulateur .....	101
III – 2 Conception de la boucle de retour .....	103
III – 2.1 Dimensionnement de la boucle de retour.....	103
III – 2.1.1 Splitter et combiner .....	104
III – 2.1.2 Déphaseurs $0^\circ/180^\circ$ .....	106
III – 2.1.3 Amplificateurs variables.....	106
III – 2.2 Simulations de la boucle de retour .....	107
III – 3 Layout de la boucle de retour.....	109
III – 3.1 Splitters et combineurs.....	109
III – 3.2 Déphaseur $0^\circ$ - $180^\circ$ .....	110
III – 3.3 Amplificateurs .....	112
III – 3.4 Layout global.....	113
III – 4 Power VCO Système complet.....	114
III – 4.1 Simulations du Power VCO .....	114
III – 4.2 Layout du Power VCO.....	116
III – 4.3 Le Power VCO avec un amplificateur linéaire.....	117
III – 5 Mesures du Power VCO .....	118
III – 5.1 Photo de la puce.....	118
III – 5.2 Mesures .....	120
III – 5.3 Solutions envisagées.....	121
III – 6 Perspectives de transfert à des applications.....	122
III – 6.1 Quelles applications envisageables.....	122
III – 6.2 Structures pour supporter une modulation.....	122
Conclusion .....	123
Références .....	124
Conclusion générale.....	126

# Introduction générale

Depuis les premières transmissions par ondes radio datant du début du 20ème siècle, les communications sans fil ont connu une croissance ininterrompue. Aujourd'hui, elles font partie intégrante de notre vie quotidienne et continuent d'évoluer en permanence.

Les ondes millimétriques sont connues depuis plusieurs décennies mais ce n'est qu'au cours de ces dix dernières années que les progrès des technologies silicium et des solutions d'intégration à faible coût ont permis l'utilisation de ces technologies sans fil en ondes millimétriques pour des applications grand public. En effet, plusieurs applications radar militaires, ou spatiales ont vus le jour avant l'utilisation sur silicium. Mais la démocratisation de ces technologies n'a pu aboutir qu'une fois l'utilisation possible de process moins chers à grande échelle, à l'exception d'applications radar automobiles pour des véhicules onéreux. A ce jour, les projets de recherches explorent largement le domaine des ondes millimétriques au-delà de 100GHz dans des technologies SiGe et CMOS. Néanmoins, les technologies millimétriques suscitent un vif intérêt industriel notamment autour de 60GHz où de nombreux organismes de normalisation se sont concurrencés pour offrir des normes d'applications haut débit sans fil, et ce grâce à une très large bande continue permettant ainsi l'augmentation significative des débits.

Les technologies CMOS évoluant sans cesse vers une plus grande intégration, la taille des transistors diminuent et leur fréquence de fonctionnement augmente, permettant ainsi leur utilisation dans les Gigahertz. De par leur faible coût, ces technologies supplantent petit à petit les traditionnelles technologies ayant des fréquences de fonctionnement plus élevées notamment GaAs.

L'objectif de cette thèse est de valider la faisabilité d'une architecture d'émetteur basée sur l'utilisation d'un oscillateur de puissance ou « Power VCO » en ondes millimétriques dans la bande de fréquence autour de 60GHz. L'architecture originale comportera un amplificateur de puissance à haut rendement inclus dans une boucle à réaction positive afin de constituer un oscillateur. Dans la lignée des évolutions technologique précédemment évoquées, cette étude s'effectuera en technologie CMOS, et plus précisément en technologie CMOS 65nm de STMicroelectronics.

Le premier chapitre donnera une vue d'ensemble des applications en ondes millimétriques et plus précisément dans la bande de fréquences autour de 60GHz. L'évolution des structures d'émetteurs sera décrite pour ensuite introduire la notion de Power VCO, et en faire un état de l'art. Ce chapitre sera également l'objet d'une étude système du Power VCO afin de préciser toutes les spécifications et objectifs du système.

Dans un deuxième chapitre, la conception de l'amplificateur de puissance à haut rendement sera étudiée. La conception d'amplificateurs pour des applications particulières à des fréquences données nécessite un compromis entre le coût de fabrication et les performances. Les performances elles-mêmes sont aussi sujettes à des compromis (bande-passante, gain, puissance de sortie, PAE, linéarité, stabilité). Tous ces paramètres sont déterminés par le choix des transistors, leur dimensionnement, la topologie de l'amplificateur, le nombre d'étages utilisés, les réseaux d'adaptation utilisés. Dans ce chapitre, nous allons parcourir ces différents aspects de la conception d'un amplificateur de puissance. Dans un premier temps, les différentes classes d'amplificateurs seront décrites, puis les choix de conception dans le cadre de notre application seront expliqués au travers du choix de la classe, de la structure et de la topologie utilisées pour notre amplificateur de puissance. Enfin les résultats de simulation seront exposés et le layout de l'amplificateur sera détaillé.

Le « Power VCO », VCO de puissance constitué d'un amplificateur de puissance rebouclé par un réseau de réaction, sera l'objet de ce troisième chapitre. Après avoir explicité dans le deuxième chapitre la conception de cet amplificateur de puissance qui constituera la chaîne directe de l'oscillateur, nous allons nous intéresser à présent à la chaîne de retour de cette boucle. Dans un premier temps, nous expliciterons le rôle de la boucle de retour et quelles sont les possibilités de conception s'offrant à nous. Une fois explicité le choix de la structure, nous allons en décrire la conception, et le layout. Nous intégrerons ensuite le système complet et décrirons les circuits réalisés. Enfin nous envisagerons les perspectives de transfert de ce système à des applications notamment par l'intégration de modulations dans le système du Power VCO.

# Chapitre I

---

## ÉVOLUTION DES ARCHITECTURES D'ÉMETTEURS

---

*Ce premier chapitre apporte une vue d'ensemble des applications en ondes millimétriques et plus précisément dans la bande de fréquences autour de 60GHz. L'évolution des structures d'émetteurs est décrite pour ensuite introduire la notion de Power VCO, et en faire un état de l'art. Ce chapitre sera également l'objet d'une étude système du Power VCO afin de préciser toutes les spécifications et objectifs du système.*

---

I – 1 Ondes millimétriques et applications .....	9
I – 1.1 Spectre radiofréquence .....	9
I – 1.2 Standards et applications millimétriques .....	10
I – 1.2.1 Applications en ondes millimétriques.....	10
I – 1.2.1.1 Applications millimétriques hors bande des 60 GHz .....	10
I – 1.2.2 Spécifications des standards millimétriques .....	14
I – 1.2.2.1 Standards associés au WPAN .....	14
I – 2 Architectures d'émetteurs.....	16
I – 2.1 Structure hétérodyne et homodyne .....	16
I – 2.1.1 Description de l'architecture hétérodyne .....	16
I – 2.1.2 Description de l'architecture homodyne.....	19
I – 2.2 Structure du Power VCO.....	23
I – 2.2.1 Principe du Power VCO .....	23
I – 2.2.2 Etat de l'art du Power VCO .....	24
I – 2.2.2.1 Le Power VCO, un VCO rehaussé en puissance.....	25
I – 2.2.2.2 Le Power VCO en tant que PA oscillant .....	26
I – 3 Étude du système .....	30
I – 3.1 Modélisation de l'architecture globale .....	30
I – 3.1.1 Modélisation du PA .....	30
I – 3.1.2 Modélisation de la boucle de retour .....	32
I – 3.2 Simulations système.....	34
I – 3.2.1 Conditions d'oscillations .....	34
I – 3.3 Spécifications de la conception du Power VCO .....	35
Conclusion .....	37
Références .....	38

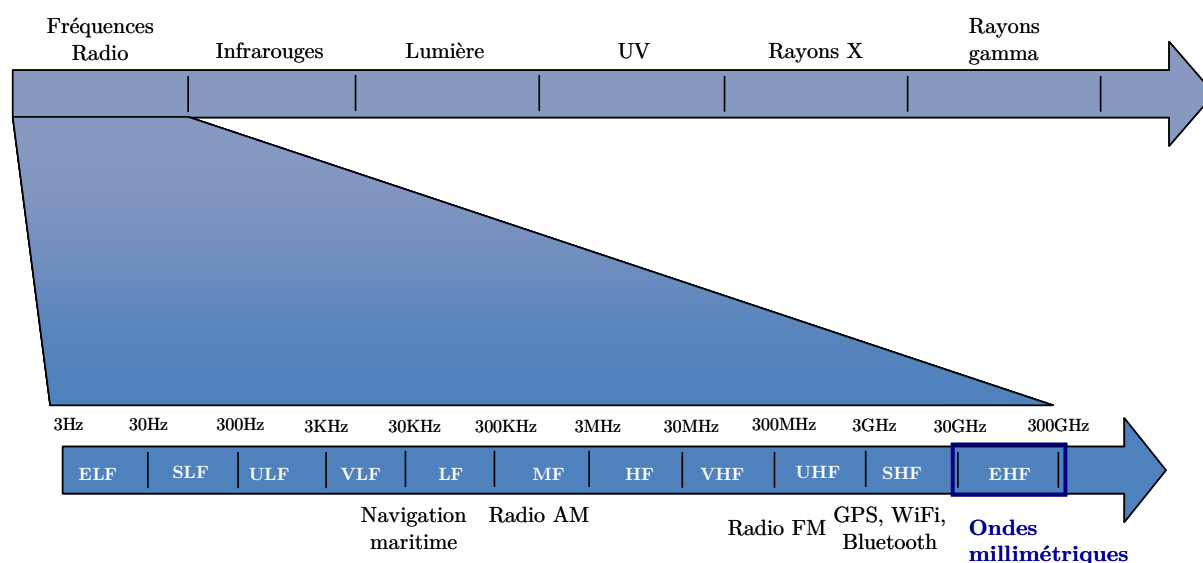


## I – 1 Ondes millimétriques et applications

### I – 1.1 Spectre radiofréquence

L'ITU (International Télécommunications Union), rattaché aux Nations Unies, est un des plus anciens organismes internationaux de coordination technique régissant le monde des télécommunications. Son rôle est d'établir les normes à respecter et d'allouer les bandes de fréquences [1].

Il est défini par cet organisme que les ondes radio sont comprises entre 9kHz et 3000 GHz. Au-delà de ces fréquences, nous parlons alors d'ondes infra-rouges. Dans cette gamme de fréquences, les ondes radio sont classifiées dans différentes bandes de fréquences qui définissent le spectre radiofréquence. Chacune de ces bandes de fréquence est dédiée de préférence à un type d'applications. Elles s'échelonnent des ELF (Extremely Low Frequencies) aux EHF (Extremely High frequencies). Par exemple, l'application bien connue de tous qu'est la radio FM utilise la bande de fréquences VHF (Very High Frequencies) qui s'étend de 30MHz à 300MHz. La *Figure I-1* présente les différentes bandes de fréquences.



*Figure I-1: Spectre des fréquences électromagnétiques*

La plage de fréquences qui nous intéresse, les ondes millimétriques, s'étend de 30GHz à 300GHz. Ces fréquences sont également appelées les Extrêmement Hautes Fréquences (EHF). Les propriétés de propagation de ces ondes et la position de cette bande de fréquence dans le spectre, par rapport aux standards existants, les rendent intéressantes pour de multiples applications. Nous allons à présent nous intéresser à ces applications, allant de la transmission de données à haut débit, aux radars, ou à l'imagerie médicale.

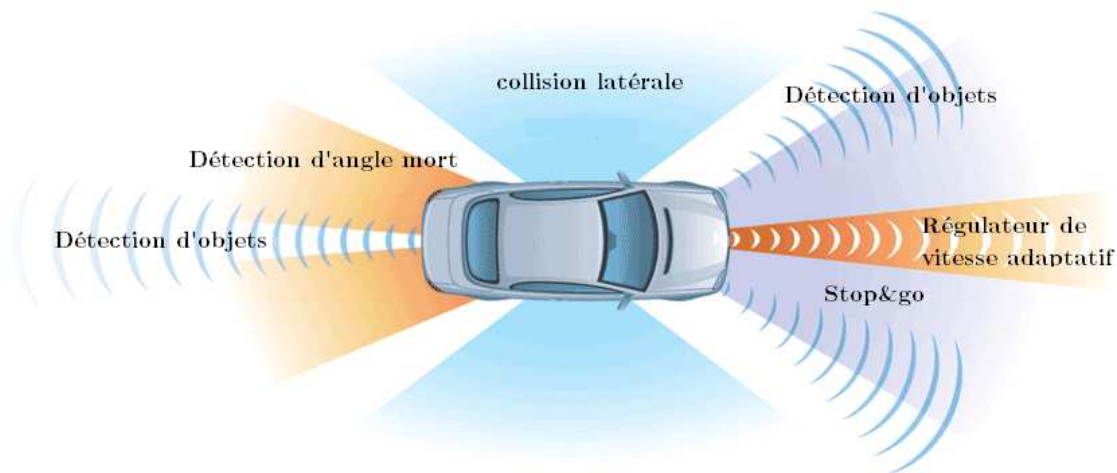
## I – 1.2 Standards et applications millimétriques

La bande des fréquences millimétriques, définie précédemment, est elle-même subdivisée en différentes bandes de fréquences allouées à différentes applications. Ces applications sont basées sur des standards établis par les organismes de normalisation des télécommunications. Dans un premier temps, nous allons parcourir différentes applications en dehors de la bande 60GHz de façon non exhaustive. Puis nous nous intéresserons plus particulièrement à la bande de fréquence autour de 60GHz. Enfin, nous détaillerons les différents standards qui sont alloués à cette bande et leurs caractéristiques.

### I – 1.2.1 Applications en ondes millimétriques

#### I – 1.2.1.1 Applications millimétriques hors bande des 60 GHz

Depuis des années, la sécurité est un des principaux enjeux de la construction automobile afin de réduire les conséquences des accidents voire de les prévenir. C'est dans ce contexte que les radars automobiles ont été développés. Ils sont conçus à 24GHz et 77GHz et permettent de détecter des obstacles tout autour du véhicule, d'aider au stationnement d'un véhicule sur un parking, de freiner automatiquement, de contrôler l'allure du véhicule de façon intelligente (*Figure I-2*).



*Figure I-2: Applications radars automobiles à 77GHz*

L'application la plus connue est le régulateur de vitesse adaptatif (ACC - Adaptive Cruise Control) qui assiste le conducteur et augmente ainsi le confort, en adaptant la vitesse du véhicule au flux de circulation. Le radar utilisé pour cette application est dit de longue portée (150m) ou LRR (Long Range Radar) et permet au véhicule d'intercepter les informations de vitesse et de position des véhicules alentours. A contrario, le radar dit de courte portée (30m) ou SRR (Short Range Radar) correspond au radar anti collision. Toutes ces applications ont pour but d'améliorer la sécurité des conducteurs et d'anticiper la conduite en cas de danger. Les futures générations de véhicules seront capables de communiquer entre elles sur leurs positions relatives, de s'alerter mutuellement à propos de l'état du trafic ou de

la météo. A l'avenir toutes les applications seront développées dans la bande de fréquence 77GHz-81GHz, allouée à cet usage, alors que l'utilisation de la bande 24GHz est vouée à disparaître. Toutes ces applications de sécurité prédictives font partis des systèmes de transport intelligents (ITS – Intelligent Transportation Systems) [2].

Les plus hautes bandes de fréquences millimétriques sont principalement utilisées dans le cadre de l'astronomie mais certaines bandes sont maintenant utilisées à des fins scientifiques et industrielles. C'est le cas de la bande de fréquence à 94GHz. Les ondes millimétriques ont la propriété de traverser la plupart des vêtements et sont réfléchies par le corps humains et les matériaux dissimulés sous les vêtements [3]. Cette propriété est utilisée à des fins militaires et sécuritaires, notamment avec les scanners corporels dans les aéroports pour détecter les armes et explosifs cachés sous les vêtements, comme le montre la *Figure I-3*. Ces propriétés sont également utilisées dans l'imagerie médicale et aussi dans des radars géophysiques. Ces derniers servent à détecter dans le sol des changements de matériaux, des objets, fissures, sans creuser ni détruire, notamment en géophysique, mais aussi en archéologie, dans le domaine militaire dans la détection des mines (GPR – Ground Penetrating Radar).

Afin de maintenir une solution à très faible coût et une forte demande de la miniaturisation, il est prévu de développer des systèmes entièrement intégrés sur un substrat de silicium grâce à une approche système sur puce (System on chip : SoC), intégrant une partie récepteur et une partie émetteur.

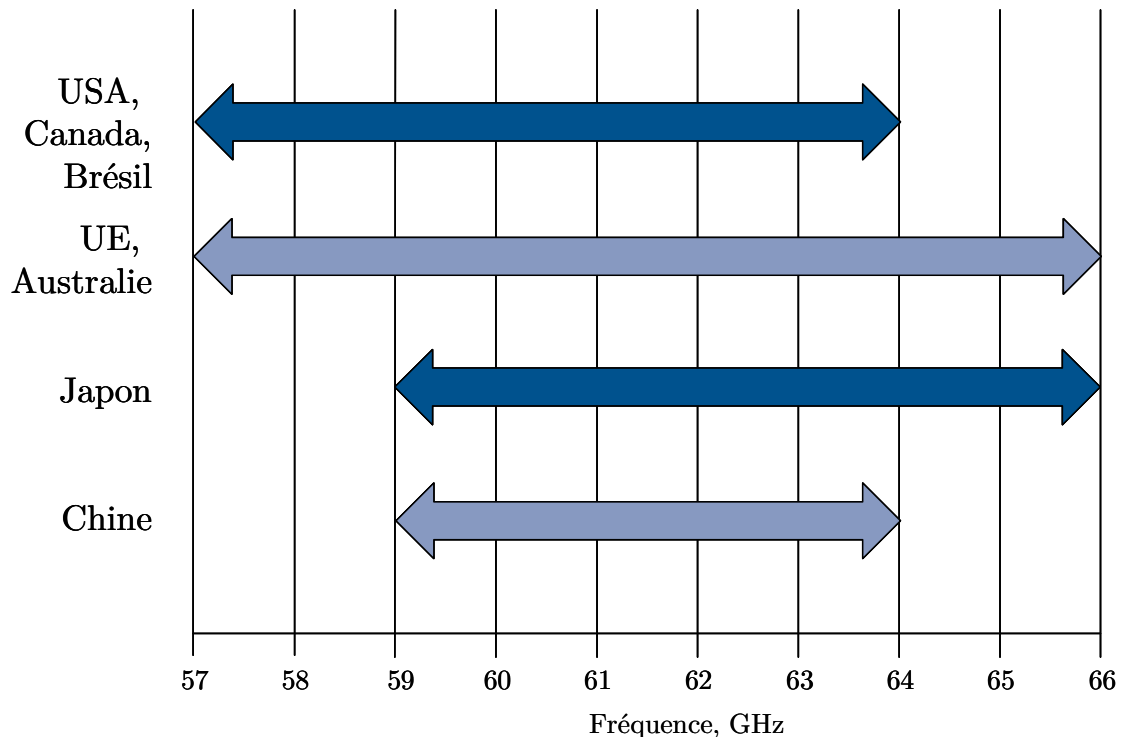


*Figure I-3: Scanner corporel pour des applications sécuritaires*

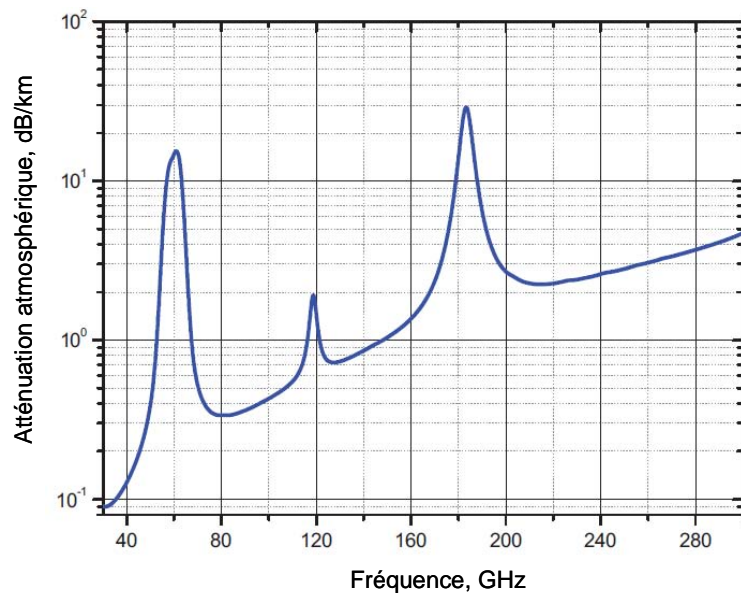
### I – 1.2.1.2 Applications spécifiques autour de 60 GHz

La bande de fréquence autour de 60GHz avait l'intérêt d'avoir une largeur de 9GHz sans licences et ce dans la plupart des pays autour du monde et a donc été affectée à de nouveaux standards. Nous observons les différentes bandes allouées à ces standards suivant les pays en *Figure I-4*. Aux Etats-Unis la bande s'étend de 57GHz à 64GHz alors qu'en Europe la bande est de 57GHz à 66GHz. Une bande aussi large, ULB (Ultra large bande) assouplit les contraintes en termes de filtrage dans les applications. Cette bande est particulièrement adaptée pour les applications sans fil (Wireless). C'est ainsi que plusieurs standards concurrents se sont créés dans cette bande : IEEE 802.15.3c [4], IEEE 802.11ad [5], par différentes alliances : Wireless Gigabit Alliance (WiGiG) [6], WirelessHD [7], ECMA TC48 [8].

D'autre part, comme toutes les ondes, les ondes millimétriques ont une absorption différente au travers de l'atmosphère, suivant la fréquence [9]. Il se trouve que dans l'atmosphère, l'oxygène apporte un pic d'absorption des ondes millimétriques à 60 GHz, comme le montre la *Figure I-5*. Cette propriété limite les distances de transmission. De la même façon, la vapeur d'eau, la pluie, les réflexions et diffractions des ondes augmentent les pertes à ces fréquences et donc les distances possibles de transmission. Cette bande de fréquence est donc parfaitement adaptée pour les applications faible portée et très haut débit comme les WLAN (Wireless Local Area Network) et particulièrement pour les applications intra-bâtiments comme les WPAN (Wireless Personal Area Network) avec des très courtes portées, inférieures à 10 mètres, et des très hauts débits, supérieurs à 2 Gb/s [10].



*Figure I-4: Allocation des bandes de fréquences autour de 60 GHz dans le monde.*



*Figure I-5: Absorption atmosphérique des ondes millimétriques à 1013 hPa, 15°C et densité de vapeur 7.5g/m<sup>3</sup> [9].*

Dans le cadre des WPAN, la communication sans fil à 60GHz doit remplacer les nombreux câbles utilisés dans les habitations et entreprises. Elle permet de créer des réseaux domestiques, comme illustré en *Figure I-6* entre les différents appareils électroniques tels que les ordinateurs, les télévisions, les téléphones, les box internet, etc. Elle est idéale aussi pour le « HDMI video streaming » et la complétion du WiFi.



*Figure I-6: Applications domestiques du WPAN [6].*

Une autre application haut débit à 60 GHz correspond à des « Hotspots » ou des stations de téléchargement très hauts débits (« Short range ultra fast file transfert »). Les différentes applications prévues par WiGiG sont illustrées en *Figure I-7*.

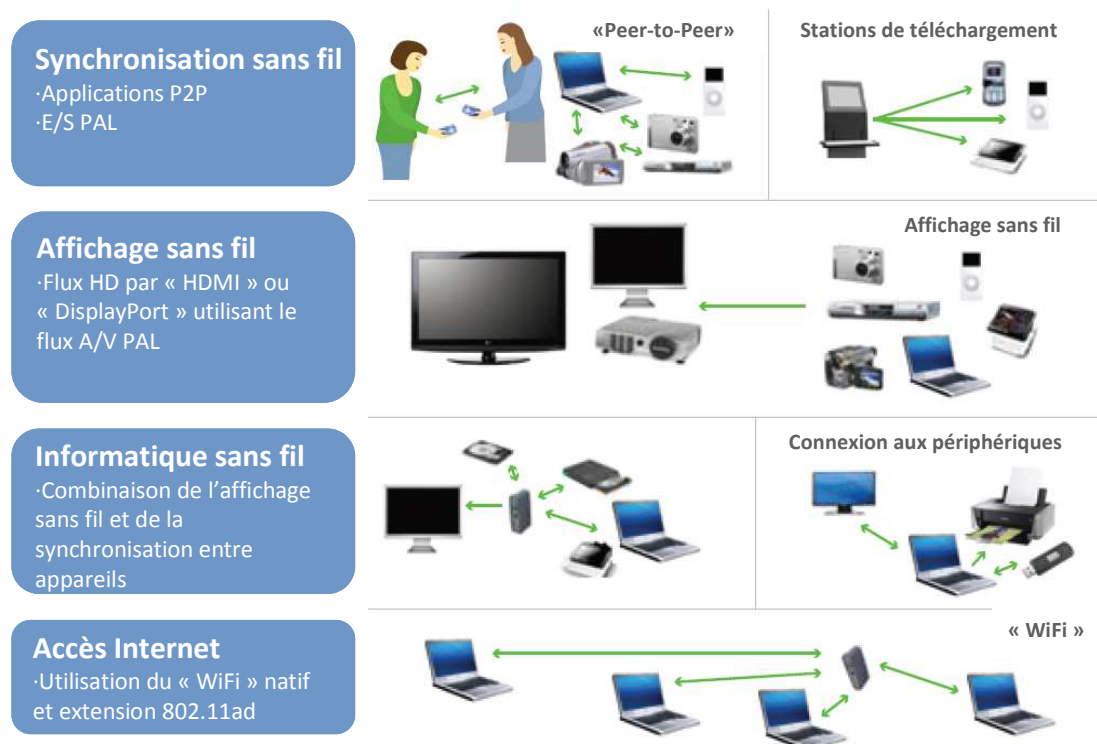


Figure I-7: Applications du WiGiG [6].

## I – 1.2.2 Spécifications des standards millimétriques

### I – 1.2.2.1 Standards associés au WPAN

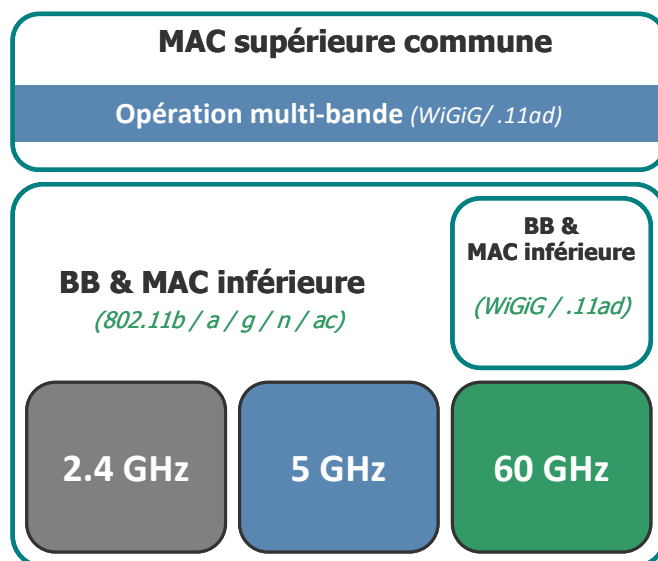
Le WPAN (Wireless Personal Area Network) est un type de réseau de télécommunications dédié à des applications à faible portée (inférieure à 10 mètres). Plusieurs tentatives de standardisation sont à l'étude pour le WPAN à cette bande de fréquence. Le groupe IEEE 802.15.3c travaille depuis 2005 à l'étude d'un standard au nom éponyme pour le WPAN dont la définition a été donnée en 2009. Les standards Wireless HD, WiGiG, IEEE 802.11ad et ECMA TC48 sont également à l'étude pour la bande de fréquences autour de 60 GHz.

La norme IEEE 802.11ad est une extension du standard IEEE 802.11 qui inclut déjà une bande à 2.4GHz et à 5GHz pour le WiFi. Le but de cette extension est de fournir un support pour des applications capables d'utiliser les deux bandes natives du WiFi 2.4GHz et 5GHz ainsi que la bande de 60GHz. En effet, le but n'est pas de se substituer au WiFi mais d'en être le complément. Cette nouvelle norme doit couvrir les transmissions de données à très haut débit jusqu'à 7Gb/s, et doit inclure le Beamforming, qui permet de modifier le diagramme de rayonnement de l'antenne, pour augmenter la qualité et la puissance de communications à courte portée jusqu'à 10 mètres.

La norme WiGiG a été créée par le Gigabit Wireless Alliance, un groupe de travail composé de AMD, Cisco, Dell, Intel, Microsoft, Nokia, NVIDIA, Samsung et Toshiba entre autres. Le WiGiG prend en charge la norme IEEE 802.11ad. Il permet de produire des produits plus simples et moins chers exploitants 3 bandes radios,

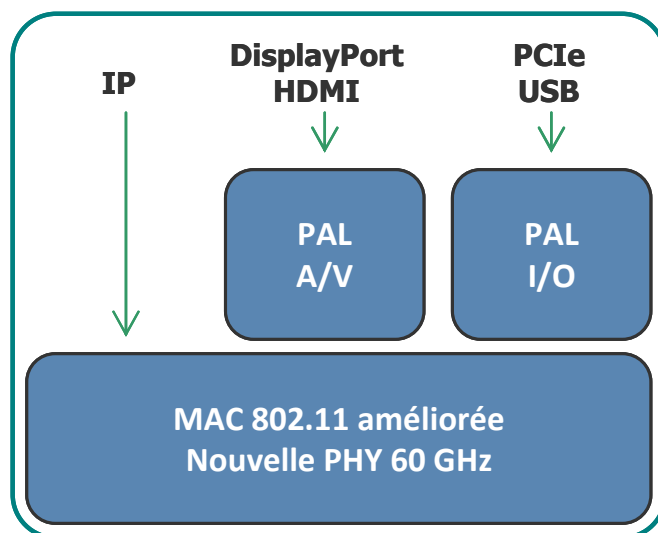


comme le montre en *Figure I-8* l'architecture d'un système WiGiG. Le WiGiG permettra alors d'éliminer les câbles pour le raccordement des écrans haute définition et de transmettre sans fil le son et l'image, à travers le standard DisplayPort.



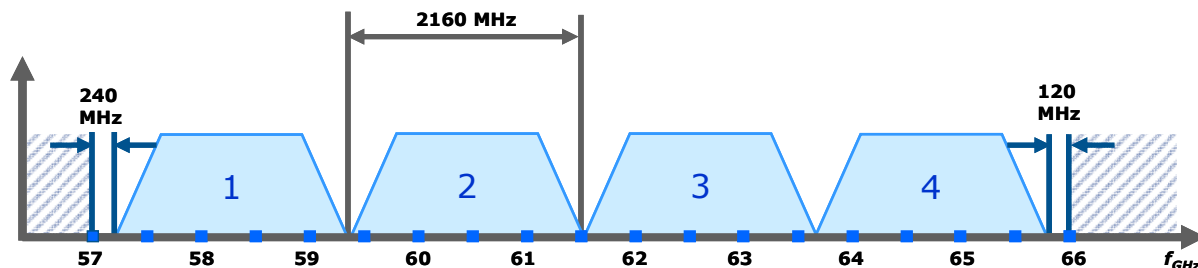
*Figure I-8: Architecture WiGiG permettant des communications à 3 bandes [6].*

La norme définit aussi des couches d'adaptation du protocole (PALs - Protocol Adaptation Layers) qui prennent en charge les données spécifiques et les standards d'affichage à 60GHz. Les PALs permettent une implémentation sans fil de ces interfaces standards qui fonctionnent directement sur l'adresse MAC (Contrôle d'accès au support – Media Access Control) et PHY WiGiG, comme le montre la *Figure I-9*. Ce sont les mêmes couches PHY et MAC que la norme IEEE 802.11.ad. Les PALs initiales, audiovisuelles (A/V), définissent le support « HDMI » et « DisplayPort ». Le WiGiG a aussi des extensions permettant d'y apporter des protocoles de haut niveau comme PCI Express (WiGiG Bus extension).



*Figure I-9: Couches d'adaptation du protocole (PALs) [6].*

Toutes les normes opérant autour de 60 GHz utilisent 4 canaux définis dans la bande de fréquences comme le montre la *Figure I-10*. La bande de fréquences disponible, de 7 GHz en moyenne suivant les pays (*Figure I-4*), est bien plus importante que les 83.5MHz disponibles dans la bande des 2.4GHz par exemple. De ce fait, les canaux définis sont beaucoup plus larges (2.16GHz), permettant des transmissions de données de très haut débit. Ces canaux sont 50 fois plus larges que pour la norme 802.11n par exemple.



*Figure I-10: Canaux de fréquences.*

Les spécifications des standards autour de 60 GHz définissent deux types de modulation et de schéma de codes différents : OFDM (Orthogonal Frequency-Division Multiplexing) et SC (Single Carrier). Le OFDM supporte les transmissions jusqu'à 7 Gb/s, à des distances plus grandes que le SC, utilisé plutôt dans les communications à moindre consommation énergétique, à des débits jusqu'à 4.6 Gb/s.

#### **I – 1.2.2.2 Spécifications du Power VCO**

On vient de voir les différents standards sur la bande de fréquence de 60GHz. Le Power VCO aura donc pour vocation d'adresser la bande de fréquences de ces standards, pour des applications WPAN. La bande de fréquences visée est donc 57GHz-66GHz.

### **I – 2 Architectures d'émetteurs**

La chaîne d'émission module le signal en bande de base et le convertit en haute fréquence avant d'amplifier sa puissance jusqu'à l'antenne. Dans ce paragraphe, nous allons nous attacher à détailler l'évolution des architectures d'émetteurs depuis l'architecture hétérodyne au Power VCO en passant par l'architecture homodyne ou à conversion directe. Nous expliquerons donc l'intérêt de l'architecture du Power VCO par rapport aux architectures précédentes.

#### **I – 2.1 Structure hétérodyne et homodyne**

##### **I – 2.1.1 Description de l'architecture hétérodyne**

La structure la plus commune des architectures d'émetteurs est sans conteste la structure hétérodyne. Cette structure, illustrée en *Figure I-11*, est composée comme suit.



Les signaux en bande de base I et Q, après être filtrés et amplifiés sont transposés à une fréquence intermédiaire  $f_{FI}$  grâce à deux mélangeurs en quadrature de phase. Le signal est ensuite filtré pour supprimer les harmoniques de  $f_{FI}$ . Puis le signal est de nouveau transposé à la fréquence  $f_{FI} + f_{RF}$  avec un dernier mélangeur. De ce mélange résulte non seulement la fréquence  $f_{FI} + f_{RF}$  mais aussi la fréquence  $f_{FI} - f_{RF}$ . Cette dernière est éliminée par un filtre passe-bande. Enfin le signal est alors amplifié et filtré avant d'être transmis à l'antenne [11].

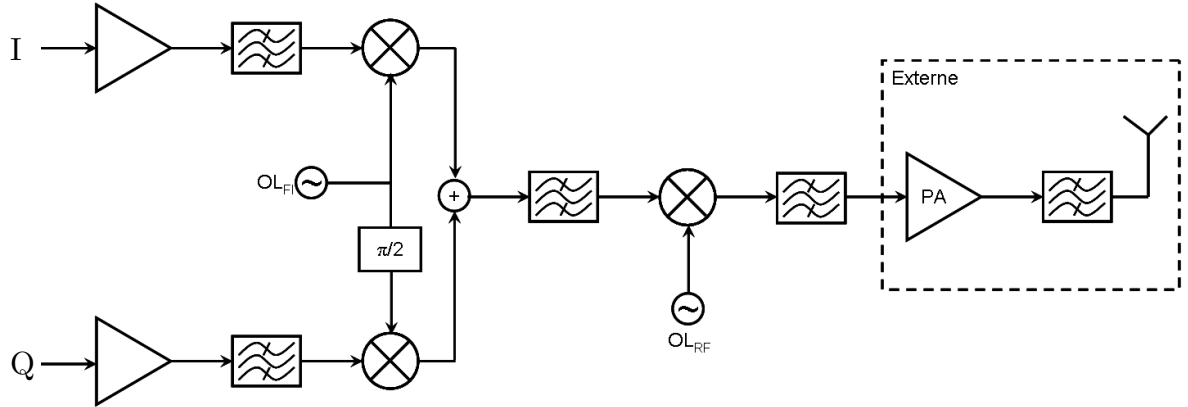


Figure I-11: Schéma simplifié de l'émetteur hétérodyne.

Cette architecture convient autant aux modulations à enveloppe non constante qu'aux modulations à enveloppe constante. Comme la modulation en quadrature est effectuée à  $f_{FI}$  basse, nous obtenons un bon appariement des voies I et Q pour une consommation en courant raisonnable. Le signal utile et le signal image ont la même puissance. Le filtre passe-bande du deuxième étage de conversion doit alors généralement suffisamment rejeter le signal image. Cette architecture impose aussi l'utilisation de deux PLL à faible bruit de phase. Pour une bonne suppression des harmoniques, le filtre passe-bande intégré doit présenter un ordre élevé.

Nous retrouvons un premier exemple d'architecture hétérodyne en Figure I-12 [12]. La bande de fréquence couverte par cette architecture va de 57 GHz à 66 GHz. La technologie utilisée est la CMOS 90nm. La particularité de cette architecture est qu'elle n'utilise qu'un oscillateur local à 20 GHz, qui sera utilisé dans les mélangeurs IQ pour obtenir les signaux à la fréquence intermédiaire en quadrature, et qui sera utilisé également dans le mélangeur RF sub-harmonique composé de cellules de Gilbert pour la transposition de 20 GHz à 60 GHz. L'amplificateur de puissance qui suit est composé de quatre étages différentiels dont les inter-étages sont composés de transformateurs pour les adaptations.

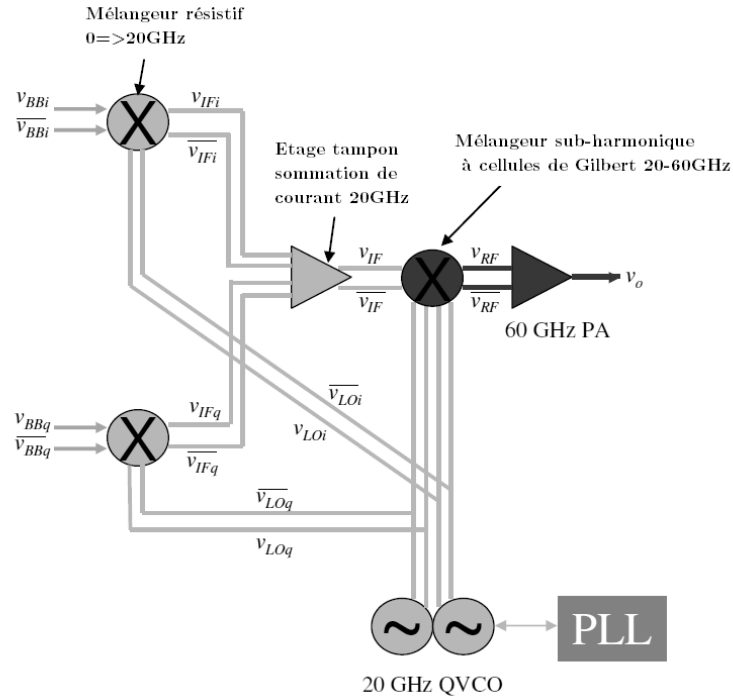


Figure I-12: Schéma de l'émetteur hétérodyne en 90nm CMOS, 57GHz à 66GHz [12]

Un autre exemple d'architecture est illustré en Figure I-13 [13]. L'architecture est classique avec comme fréquence intermédiaire 7GHz-13GHz. Ce type de fréquence intermédiaire est choisie relativement haute afin d'éviter un repliement de spectre en bande de base. L'amplificateur de sortie est composé de trois étages, dont le premier étage est un cascode, et les deux suivants des étages source commune. La consommation de cette architecture s'élève à 173mW en transmission.

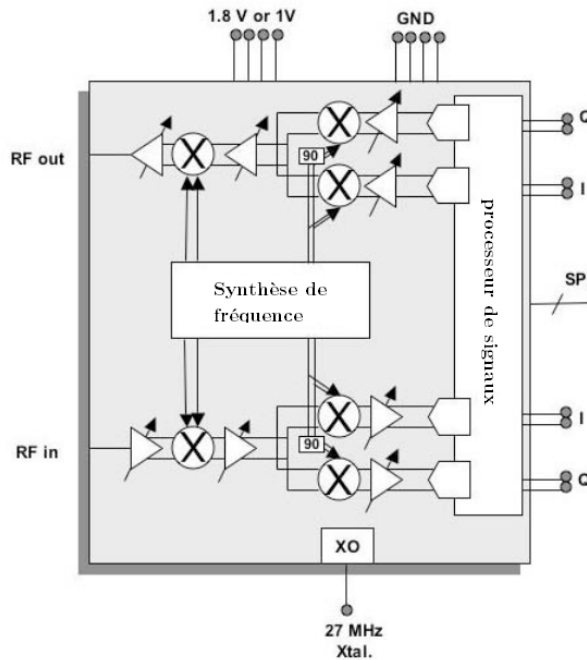


Figure I-13: Schéma de l'émetteur hétérodyne en 90nm CMOS, 57GHz à 66GHz [13]

On retrouve un exemple récent d'architecture hétérodyne en [14]. C'est une architecture d'émetteur qui couvre toute la bande de fréquences de 57 GHz à 66GHz. Les mélangeurs IQ sont formés par des cellules de Gilbert à charge variable. Ils sont chacun suivi d'un amplificateur utilisant une structure cascodée et une charge réglable. Les deux voies sont combinées et transposées à 60 GHz. Le PPA utilisé est un cascode différentiel dont les inter-étages sont constitués de transformateurs, et consomme 154mW sous 1.8V d'alimentation. La *Figure I-14* illustre la chaîne de transmission de cette architecture. Cette architecture peut atteindre une puissance de sortie maximale de 16dBm et un bruit de phase inférieur à -100dBc/Hz à 1MHz de la porteuse. Les modulations prises en charge sont le 16QAM et l'OFDM. L'architecture entière, comportant un émetteur et un récepteur, atteint la surface de 9.24 mm<sup>2</sup>. La *Figure I-15* représente le schéma de l'architecture complète du transceiver.

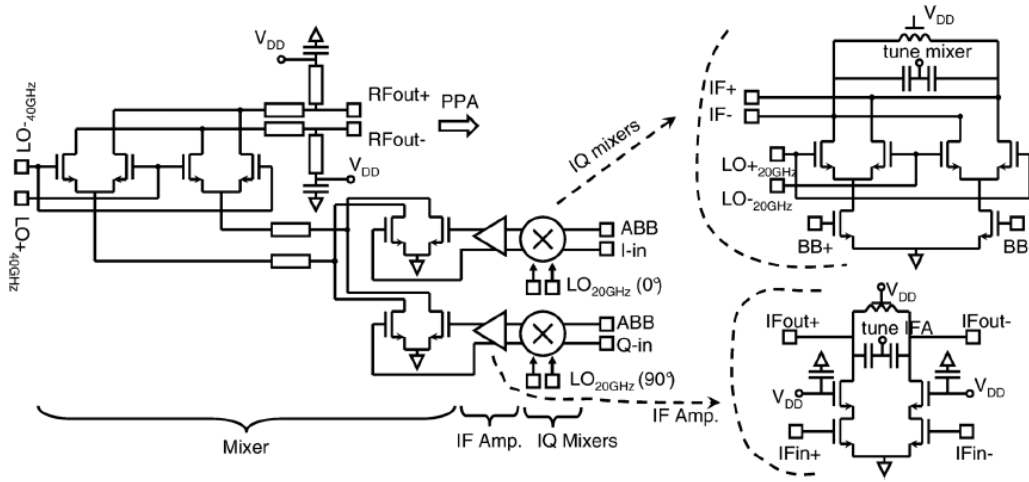


Figure I-14: Schématique de l'émetteur hétérodyne inclus dans un transceiver [14]

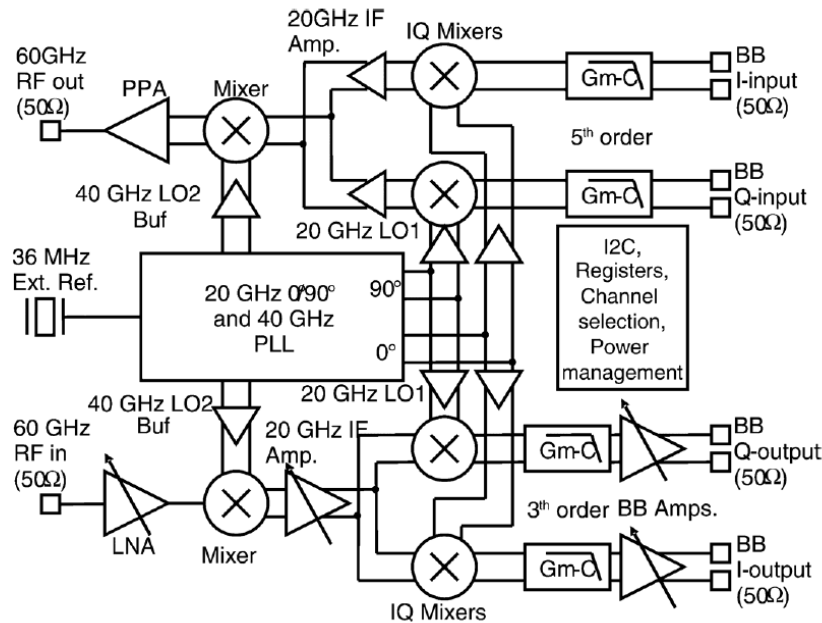
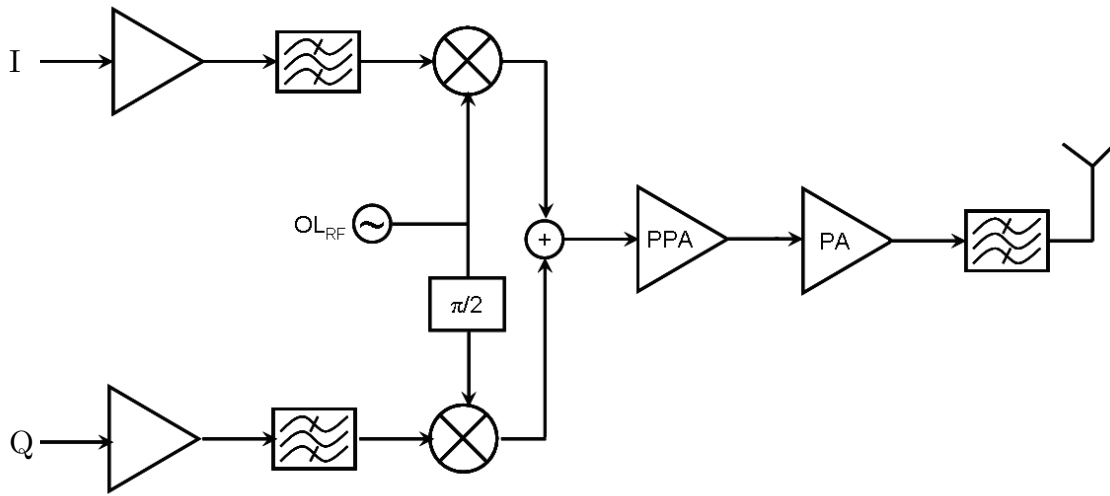


Figure I-15: Schéma de l'architecture du transceiver [14]

### I – 2.1.2 Description de l'architecture homodyne

Des études sur les architectures d'émetteurs ont mené à l'architecture homodyne, appelée aussi à conversion directe ou Zero-IF (Zero- Intermediate Frequency – Sans fréquence intermédiaire) [15], et qui tire son nom du fait que contrairement à l'architecture hétérodyne, il n'est pas utilisé de fréquence intermédiaire à laquelle est porté le signal en bande de base. Le signal est directement amené à la fréquence à laquelle le signal sera transmis. Cette architecture est illustrée en *Figure I-16*. Cette architecture permet une réduction du coût et de la consommation générale en regroupant les modulateurs IQ et la synthèse de fréquence. Ceci amène à un plus grand niveau d'intégration et un meilleur traitement des données numériques.



*Figure I-16: Architecture d'émetteur homodyne ou à conversion directe.*

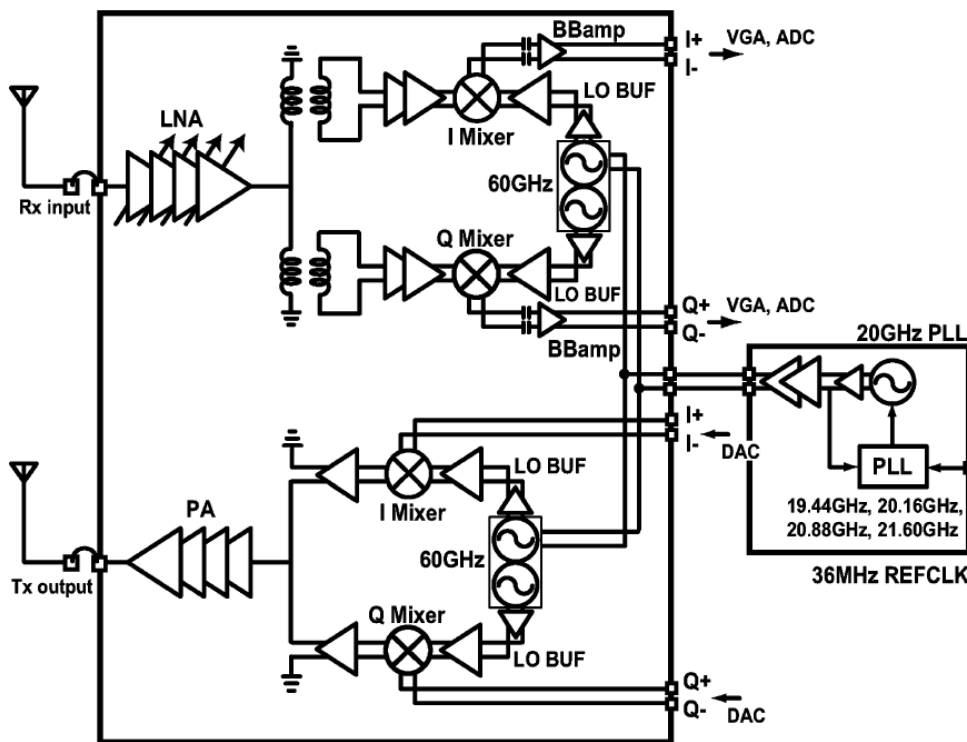
Ainsi, le signal en bande de base est directement modulé à la fréquence RF d'émission grâce à deux mélangeurs en quadrature, une PLL (Phase Lock Loop) et un oscillateur local fonctionnant à la fréquence RF. Cette architecture est plus compacte que celle de l'émetteur hétérodyne, car elle utilise moins de composants. En effet, la réjection image du canal est effectuée dynamiquement en sommant la sortie des mélangeurs.

Nous supprimons ainsi un filtre passe bande, un deuxième étage de conversion en fréquence et un filtre externe de la fréquence image. Une telle architecture est compatible avec une modulation complexe I/Q comme la modulation HPSK. Il est cependant nécessaire que les voies I et Q soient bien réglées en termes d'amplitude et de phase. En effet, il est important de réaliser une quadrature de phase précise fonctionnant à la fréquence RF. Une quadrature imprécise conduit à une mauvaise réjection de l'image du mélange.

Un des problèmes récurrents avec cette architecture est que les éléments, beaucoup plus proches les uns des autres, peuvent apporter un phénomène de pulling [16][17]. En effet, quand deux systèmes oscillants sont trop proches, ils ont tendance à

s'accorder par couplage. Dans un émetteur à conversion directe, l'oscillateur local et la sortie du PPA (Préamplificateur de puissance) fonctionnent à des fréquences proches et peuvent se coupler par le substrat. Le signal de sortie du PPA ayant une puissance de sortie bien supérieure à celle de l'oscillateur local, c'est ce dernier qui peut se retrouver décalé en fréquence. Il faut donc veiller à ce que ces éléments ne soient pas trop proches.

Un exemple d'émetteur homodyne inclus dans un transceiver en technologie CMOS 65nm est présenté en *Figure I-17* [18]. La bande de fréquences 57GHz – 66GHz est couverte. Ce transceiver a été conçu pour le standard IEEE.802.15.3c et couvre les modulations 16QAM/8PSK/QPSK/BPSK. L'amplificateur de puissance utilisé est un amplificateur 4 étages source commune. La consommation de cette architecture est de 186mW en transmission. La chaîne homodyne comportant moins d'éléments pour apporter du gain, les amplificateurs doivent d'être multi-étages. De même, la puissance de l'oscillateur local à 60GHz doit être suffisamment élevée pour assurer un gain sur le mélangeur. Ces éléments augmentent la consommation de l'architecture.



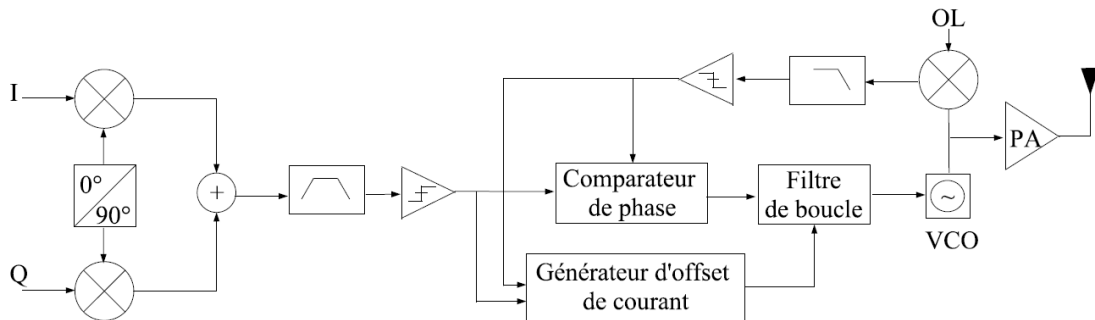
*Figure I-17: Schématique d'un exemple d'émetteur homodyne inclus dans un transceiver [18].*

Il existe d'autres types de structures moins communes comme les émetteurs faible fréquence intermédiaire [19], qui sont en fait des architectures hétérodynes dont la fréquence d'oscillateur local est obtenue en mélangeant deux fréquences plus basses. En mélangeant ainsi deux fréquences pour l'oscillateur local, l'effet de pulling est supprimé. Le premier étage de mélange à la fréquence intermédiaire peut

éventuellement être réalisé dans un circuit numérique. Cette méthode dispose des mêmes avantages que l'émetteur à conversion directe excepté qu'elle n'est pas sensible au pulling, à condition que la fréquence intermédiaire ne soit pas trop basse. Une mauvaise sélection des fréquences d'OL produit des harmoniques en sortie. Le filtre passe-bas qui suit le VCO doit être sélectif afin de garantir la qualité du signal de sortie.

Une autre technique est adaptée aux modulations à enveloppe constante. Il s'agit de la PLL à modulation directe [20], illustrée en *Figure I-18*. Elle remplace le deuxième mélange par une PLL qui va mélanger le signal d'oscillateur local avec la sortie du VCO. Ce mélange est ensuite amené à un comparateur de phase, qui génère un signal de pilotage du VCO, centré sur la fréquence RF.

La PLL à modulation directe présente une bonne intégration, car elle n'utilise pas de mélangeur pour convertir le signal à la fréquence RF. De plus, elle consomme peu, mais elle ne convient qu'aux modulations à enveloppe constante, et a aussi le défaut du phénomène de pulling.



*Figure I-18: Schématique d'un exemple de PLL à modulation directe.*

### I – 2.1.3 Synthèse

En définitive, nous pouvons dire que l'architecture hétérodyne, bien que complète au niveau de la prise en charge des différentes modulations, à enveloppe constante ou non, présente une faible intégration avec une consommation importante qui implique un rendement faible. La réduction de la consommation, et donc l'augmentation du rendement est un point crucial pour les architectures d'émetteurs. L'architecture homodyne ou à conversion directe a une meilleure intégration que l'architecture hétérodyne, tout en prenant en charge tous les types de modulation. Mais comme nous l'avons vu précédemment la multiplication des étages des amplificateurs des structures hétérodyne en fait une architecture dont la consommation pourrait encore être améliorée. Le tableau suivant récapitule les performances de quelques circuits sélectionnés dans la littérature récente. Les consommations sont données pour le mode transmission uniquement. La

consommation de la référence [14] est supérieure aux autres car elle tient compte également d'un PA externe qui consomme à lui seul près de 732mW.

TABLE I. ETAT DE L'ART DES ARCHITECTURES HETERODYNE ET HOMODYNE A 60 GHz

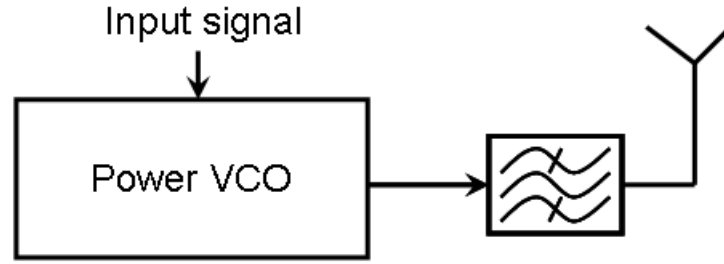
Références	[12]	[13]	[14]	[18]
<b>Plage de Fréquences (GHz)</b>	57 - 66	57 - 66	51 - 67	57 - 66
<b>Type d'architecture</b>	hétérodyne	hétérodyne	hétérodyne	homodyne
<b>Pout max (dBm)</b>	4.6	5	>16	10.9
<b>Bruit de phase @1MHz (dBc/Hz)</b>	NA	-95	<-100	-95
<b>Consommation (mW)</b>	113	173	1010	186
<b>Surface (mm<sup>2</sup>)</b>	1.2	NA	9.4	7.3
<b>Technologie</b>	90nm CMOS	90nm CMOS	65nm CMOS	65nm CMOS

L'objectif de ce travail de thèse est d'aller un pas plus loin dans l'intégration par rapport à l'architecture homodyne, en réduisant encore le nombre d'éléments dans la chaîne, supprimant tout mélangeur ou oscillateur local. La plupart du temps, les publications d'émetteur homodyne ou hétérodyne ne mentionnent pas cette donnée puisqu'elle est faible. En réduisant le nombre de composants actifs, la structure de power VCO que nous allons présenter doit nous permettre de réduire ainsi la consommation et d'augmenter le rendement de l'émetteur. Le paragraphe suivant décrit et fait l'état de l'art de cette structure.

## I – 2.2 Structure du Power VCO

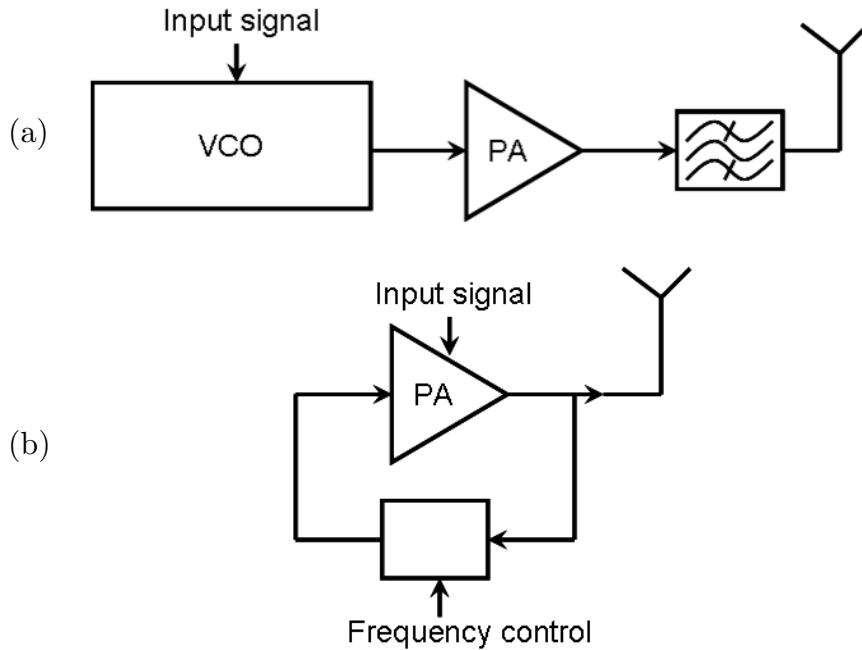
### I – 2.2.1 Principe du Power VCO

Au lieu de moduler un signal reçu, nous pouvons aborder une structure d'émetteur permettant de générer un signal modulé. C'est sur ce principe que se base l'architecture du Power VCO. Ainsi, nous sommes en mesure de supprimer les modulateurs IQ, les mélangeurs, les oscillateurs locaux présents dans l'architecture hétérodyne ou l'architecture homodyne. De cette façon, la structure de l'émetteur aura une intégration plus élevée, et donc un coût, une complexité et une consommation moindre. Un schéma synoptique du système est donné en *Figure I-19*.



*Figure I-19 : Schéma synoptique du Power VCO*

Il existe plusieurs façons d'envisager la structure du Power VCO. La première méthode consiste à utiliser un VCO (Voltage Controlled Oscillator – Oscillateur contrôlé en tension) dont la fréquence peut être réglée, suivi d'un amplificateur de puissance pour augmenter la puissance de sortie. Cette solution est centrée sur le VCO, mais comporte tout de même deux éléments principaux. La deuxième solution consiste à concevoir un oscillateur basé sur un amplificateur de puissance. L'amplificateur est rebouclé sur lui même pour osciller. Le paragraphe suivant fait l'état de l'art des Power VCO.



*Figure I-20 : Schémas fonctionnels (a) Power VCO comme VCO suivi d'un PA et (b) PA oscillant (b).*

### **I – 2.2.2 Etat de l'art du Power VCO**

Nous allons établir l'état de l'art du Power VCO suivant les deux solutions précédemment énoncées. L'état de l'art n'étant pas très fourni à 60 GHz, nous nous intéresserons à des structures établies à des fréquences différentes. Nous introduisons la notion de rendement que nous allons utiliser dans la suite de l'état de l'art et qui se définit par  $\eta = P_{out}/P_{DC}$ .



### I – 2.2.2.1 Le Power VCO, un VCO rehaussé en puissance

Un premier exemple de Power VCO est basé sur un oscillateur à résistance négative et un buffer de sortie fournissant le gain en puissance [21]. Le buffer est composé de 3 étages différentiels : une paire d'émetteurs-suiveurs, un étage de d'émetteurs couplés, et enfin un étage de base commune différentielle. Le circuit est adapté 50 Ohms. La *Figure I-21* représente le circuit de ce VCO suivi d'un buffer. Ce circuit a été conçu à 77GHz en technologie SiGe 0.35μm pour des applications de radar automobile. Pour une alimentation à 3V, la puissance de sortie maximale atteinte est de 18.5 dBm. Le rendement est de 5.8% et le bruit de phase du VCO est de -97 dBc/Hz à 1MHz de la porteuse.

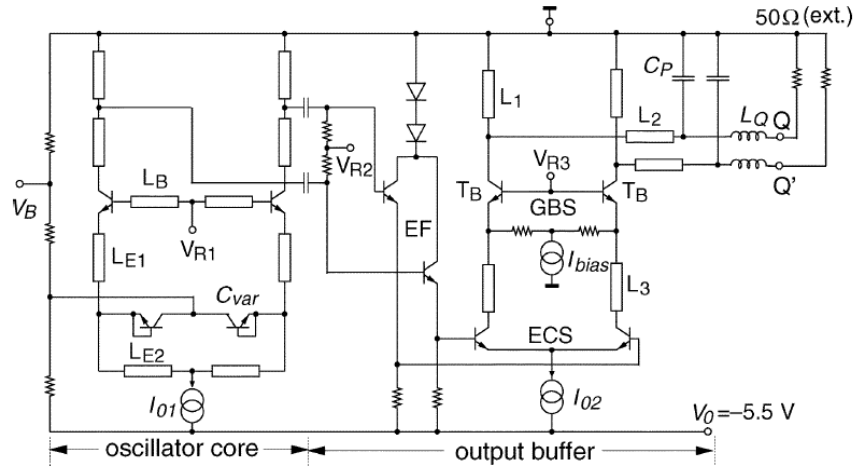


Figure I-21 : Schéma simplifié du VCO suivi d'un buffer de sortie [21]

L'exemple suivant [22] est un VCO à 64GHz avec un amplificateur de puissance, conçu en technologie SiGe BiCMOS 0.13μm. L'oscillateur est de type LC avec une résistance négative à dégénérescence, illustré en *Figure I-22*. L'amplificateur de puissance utilisé est un amplificateur de type push-pull différentiel en classe AB représenté en *Figure I-23*. Pour une alimentation de 4V, la puissance maximale de sortie atteinte est de 17 dBm pour un rendement de 8%. Le bruit de phase du VCO est de -100dBc/Hz à 600kHz de la porteuse.

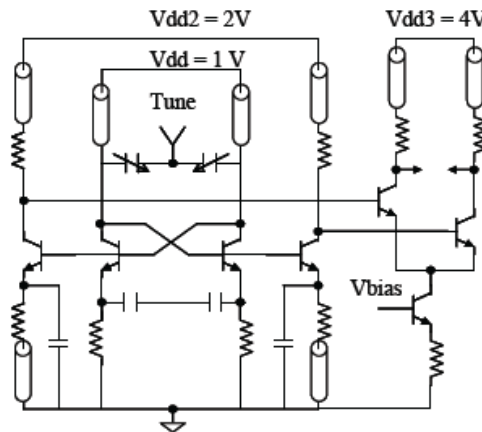


Figure I-22 : Schéma simplifié du VCO avec buffer [22]

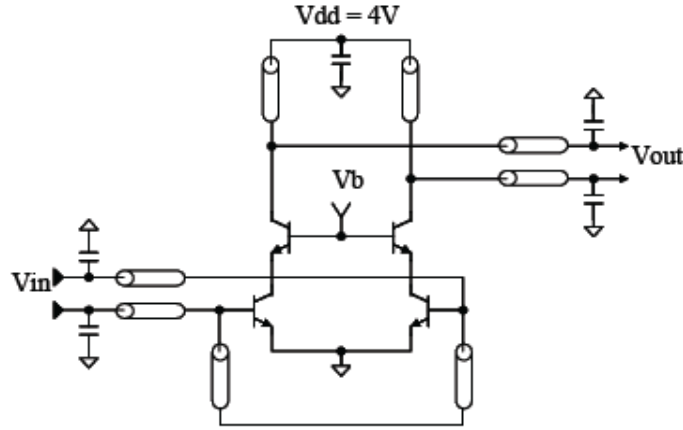


Figure I-23 : Schéma simplifié de l'amplificateur de puissance en classe AB [22]

Le power VCO peut donc être vu comme l'association d'un VCO et d'un amplificateur de puissance. Cependant, le rendement du système est lié à l'amplificateur de puissance, et nous allons voir par la suite qu'il est plus judicieux de considérer un amplificateur de puissance oscillant de ce point de vue.

#### I – 2.2.2.2 Le Power VCO en tant que PA oscillant

Le premier exemple de Power VCO de type PA oscillant est réalisé grâce à un transformateur utilisé pour réaliser la boucle de retour entre le drain et la grille du transistor en source commune [23]. Ce circuit, représenté en Figure I-24 a été conçu en technologie CMOS 0.18um. Il oscille à 2.45GHz pour une tension d'alimentation de 1.8V. La puissance maximale de sortie atteint 15.33dBm, et le rendement de 66%, avec un bruit de phase de -113 dBc/Hz à 100kHz de la porteuse.

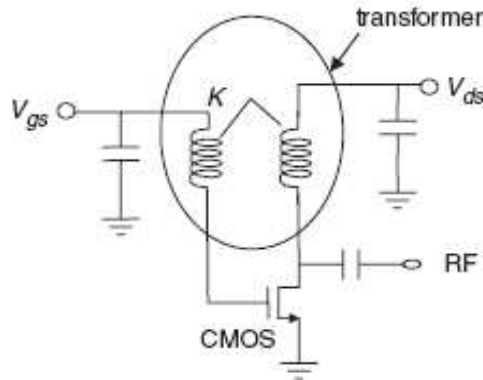


Figure I-24 : Schéma de l'oscillateur de puissance à 2.45GHz basé sur un transformateur [23].

Le deuxième exemple est un Power VCO à 2.4GHz basé sur un amplificateur de classe E avec réseau passif en  $\pi$  en boucle de retour. Il est réalisé en technologie 0.15um GaAs pseudomorphique à haute mobilité électronique (PHEMT) [24], et est illustré en Figure I-25. Pour une tension d'alimentation de 6V, la puissance de sortie atteint 27dBm, avec un rendement de 42.5% et un bruit de phase de -118.33dBc/Hz à 1MHz de la porteuse. La surface de la puce est de 4mm<sup>2</sup>.

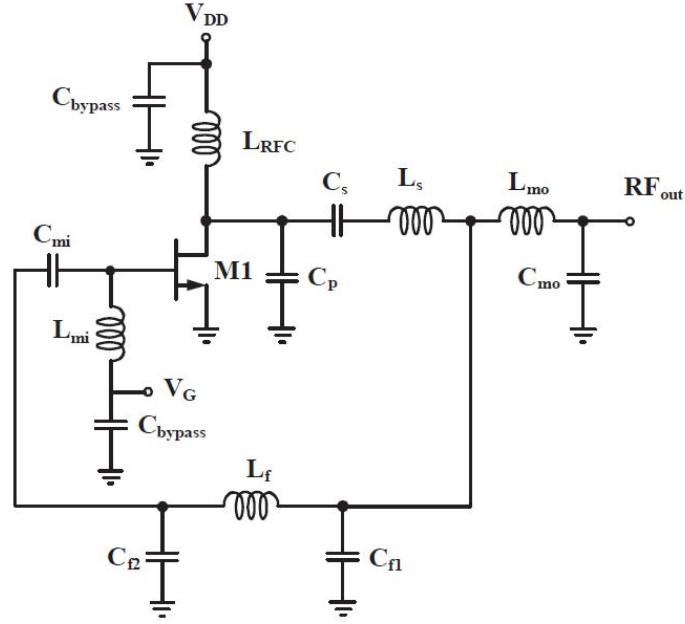


Figure I-25 : Schéma de l'oscillateur de puissance à 2.4GHz [24].

Toujours dans le même type de structures autour d'un amplificateur de classe E, nous retrouvons cet exemple qui a inspiré les travaux présentés dans ce manuscrit [25][26]. Le schéma de ce circuit est illustré en *Figure 26*. Il comporte un amplificateur deux étages dont l'étage de puissance est un cascode classe E précédé d'un amplificateur de classe C. Cet amplificateur est rebouclé avec un coupleur capacitif. La fréquence d'oscillation du système est de 1.952GHz, la puissance de sortie maximale est de 23.3dBm, et le rendement de 60.3%. La technologie utilisée est la technologie CMOS 65nm.

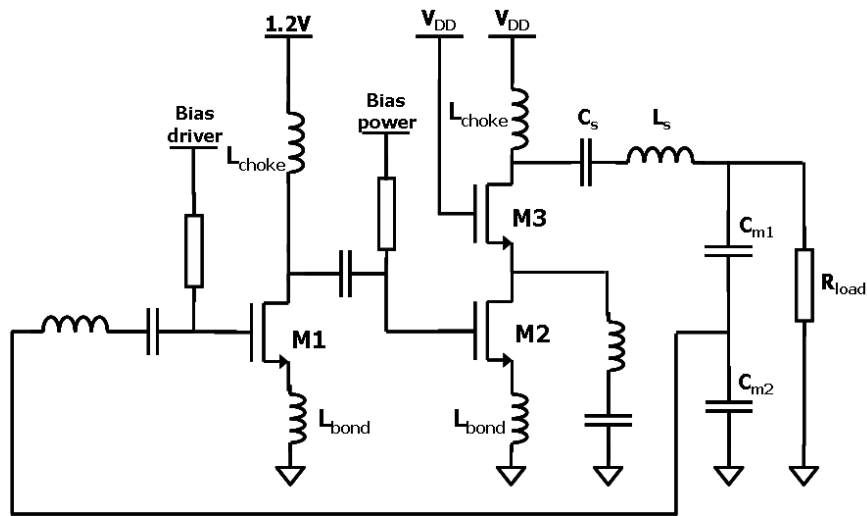
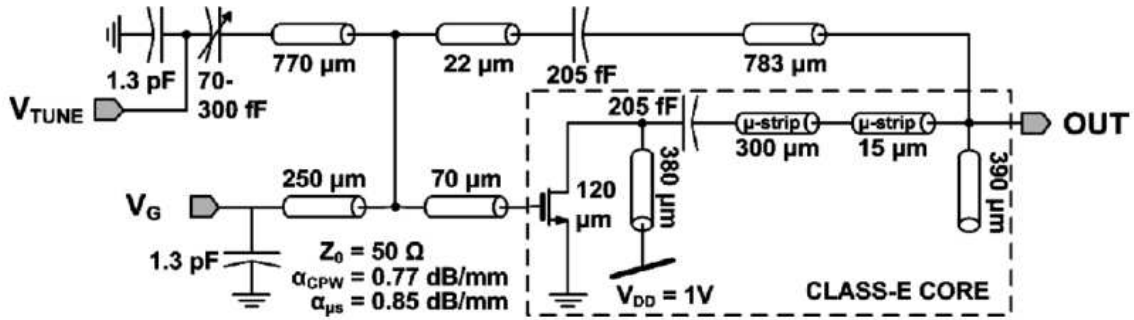


Figure I-26 : Schéma de l'amplificateur Classe E oscillant à 1.952GHz.

Le dernier exemple d'amplificateur oscillant est dans des gammes de fréquences plus proches de ce que nous souhaitons atteindre [27], et est illustré en *Figure I-27*. Il s'agit d'un amplificateur de classe E rebouclé pour osciller dans la bande de fréquence 41.08 – 42.87 GHz. Il a été conçu en technologie 45nm CMOS SOI. La puissance de sortie atteinte est de 4.6dBm et le bruit de phase est de -106.6dBc/Hz à 1MHz de la porteuse. Enfin l'efficacité de cette structure est de 11.54% et la surface occupée de 0.45mm<sup>2</sup>.



*Figure I-27 : Schéma de l'amplificateur Classe E oscillant à 1.952GHz.*

Grâce à ces exemples multiples d'amplificateurs de puissance oscillant, nous pouvons constater le potentiel de cette structure en terme et rendement et de puissance de sortie. Dans le tableau suivant se trouve le récapitulatif des performances des Power VCO présentés précédemment.

TABLE II. ETAT DE L'ART DES ARCHITECTURES DE POWER VCO

	Fréquence	Puissance de sortie (dBm)	Rendement (%)	Bruit de phase (dBc/Hz)	Tension d'alimentation (V)	Technologie
[21]	77GHz	18.5	5.8	-97 @1MHz	3	0.35um CMOS
[22]	64GHz	17	8	-100 @600kHz	4	0.13um BiCMOS
[23]	2.45GHz	15.33	66	-113 @100kHz	1.8	0.18um CMOS
[24]	2.4GHz	27	42.5	-118.33 @1MHz	6	PHEMT
[26]	1.952GHz	23.3	60.3	-85 @100kHz	2.5	65nm CMOS
[27]	40GHz	4.6	11.54	-106.6 @1MHz	1	45nm CMOS

A la lumière de ce récapitulatif, nous pouvons voir que la solution de l'amplificateur de puissance oscillant est la solution la plus prometteuse en terme de rendement bien que les exemples soient disparates en terme de fréquence d'oscillation. Nous pouvons noter la difficulté d'atteindre des rendements importants dans les hautes fréquences et notamment les fréquences millimétriques.

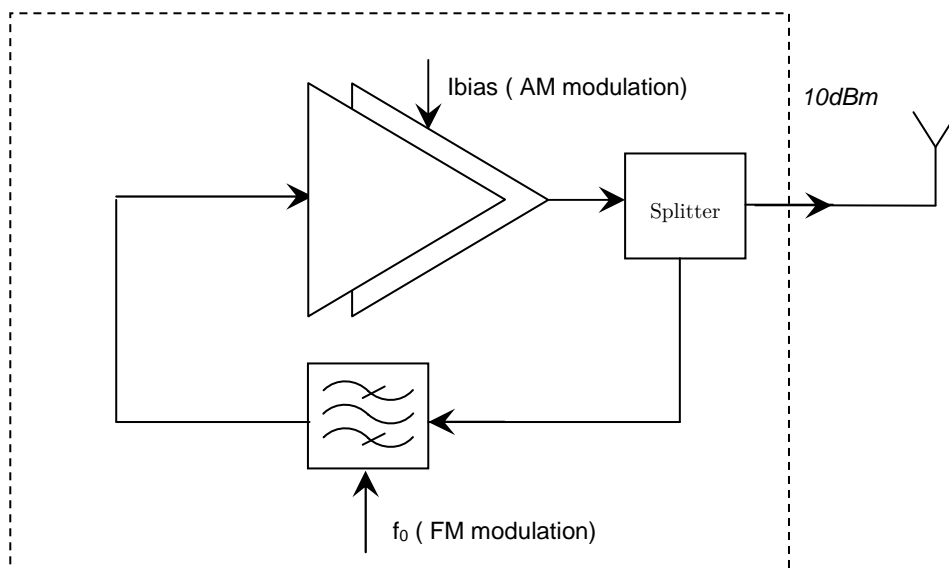
Nous allons donc choisir la structure d'amplificateur oscillant avec un amplificateur de classe E pour tenter d'avoir un rendement supérieur aux 8% de la référence [22] qui est dans notre bande de fréquences. La technologie qui sera choisie est la technologie 65nm CMOS de STMicroelectronics.

## I – 3 Étude du système

Nous venons de voir ce qui a amené à investiguer l'architecture du Power VCO et l'état de l'art de cette architecture à différentes fréquences. La plage de fréquences nous intéressant est la plage 57GHz - 66GHz. Pour mettre en place cette architecture, il faut faire une étude système au préalable, afin d'en étudier la faisabilité, les performances envisageables et les composants possibles. Nous allons donc nous pencher sur la modélisation de ce système.

### **I – 3.1 Modélisation de l'architecture globale**

L'architecture globale du Power VCO est donc un amplificateur de puissance rebouclé. Nous aurons donc besoin d'un diviseur en sortie de l'amplificateur de puissance afin de diviser le signal en deux parties, la première allant à l'antenne et la deuxième retournant à l'entrée de l'amplificateur de puissance. Cette dernière branche doit pouvoir permettre un réglage de la fréquence d'oscillation du système. Nous pouvons donc présenter un schéma synoptique du système en *Figure I-28*.



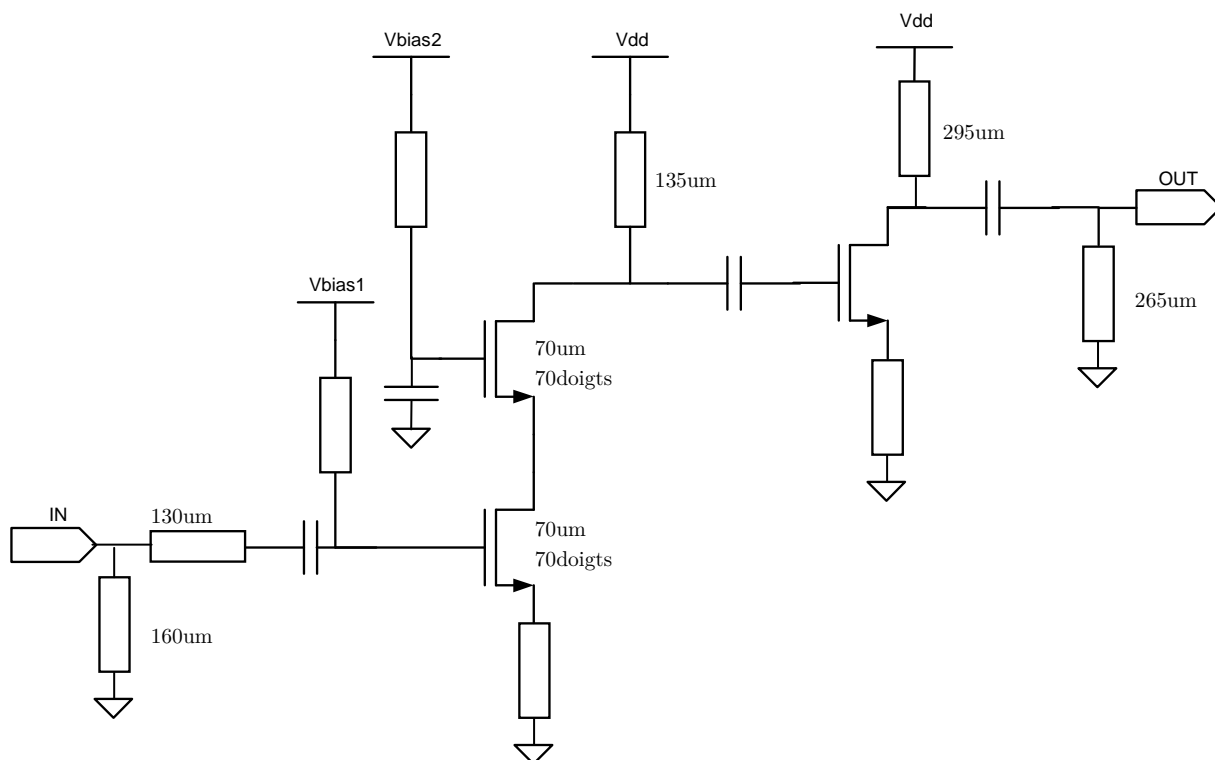
*Figure I-28 : Synoptique du Power VCO à 60 GHz.*

La première étape consiste donc à effectuer une étude système pour définir les spécifications de chacun des éléments du Power VCO. Pour ce faire, nous nous basons sur le principe très simple des conditions d'oscillation d'un système de Barkhausen.

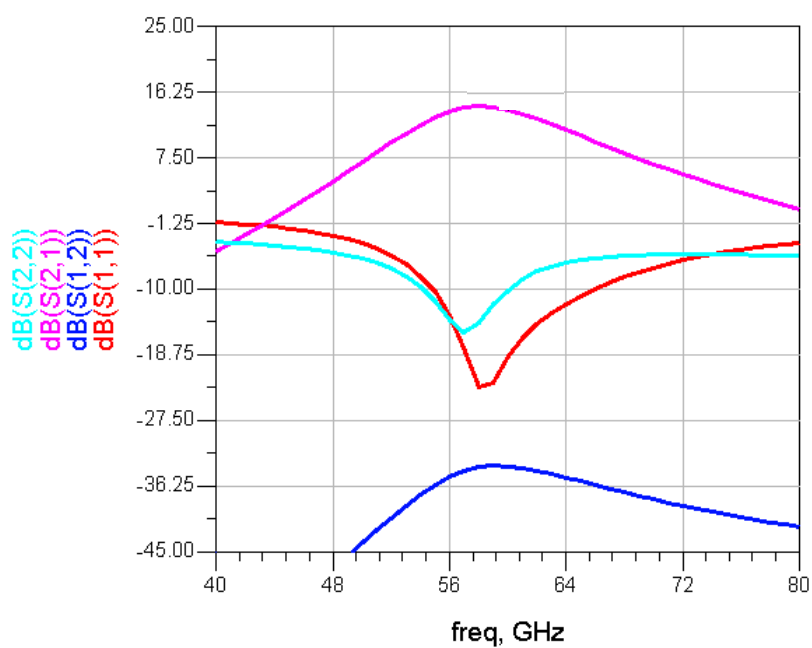
#### **I – 3.1.1 Modélisation du PA**

Bien que nous ayons l'intention d'utiliser un amplificateur de classe E pour l'amplificateur de puissance, nous allons utiliser un amplificateur linéaire simple pour l'étude système dont les performances se rapprochent de celles que nous obtiendrons avec l'amplificateur de classe E. Nous allons prendre un amplificateur de classe AB

illustré en *Figure I-29* et dont les caractéristiques en petits signaux et larges signaux sont donnés respectivement en *Figure I-30* et *Figure I-31*.



*Figure I-29 : Schéma simplifié de l'amplificateur utilisé pour les simulations système.*



*Figure I-30 : Simulation petits signaux de l'amplificateur utilisé pour les simulations système*

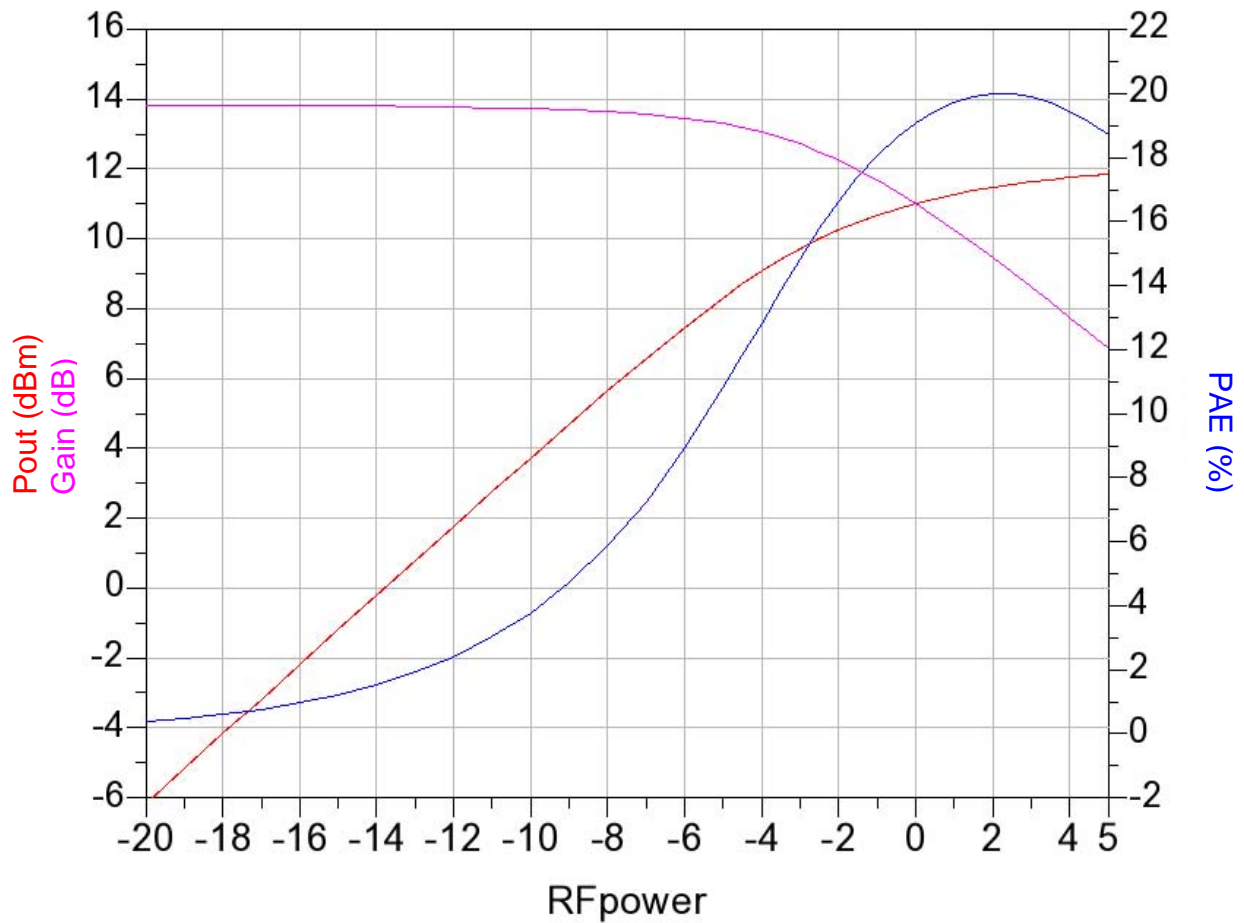


Figure I-31 : Simulations grands signaux

### I – 3.1.2 Modélisation de la boucle de retour

Pour la modélisation du splitter, nous allons utiliser un coupleur capacitif dont les caractéristiques en paramètres S sont données en *Figure I-32*. Ce coupleur, inspiré de la référence [29] a été utilisé pour sa très bonne transmission, et très faibles pertes d'insertion. Cependant le couplage est de l'ordre de -10dB mais ceci sera pris en compte dans les pertes de retour.

Pour une première approche système, nous allons utiliser un gain variable en boucle de retour et un déphaseur variable afin de vérifier les seuils de tolérance du système pour déclencher des oscillations stables. Ce circuit est illustré en *Figure I-33*.



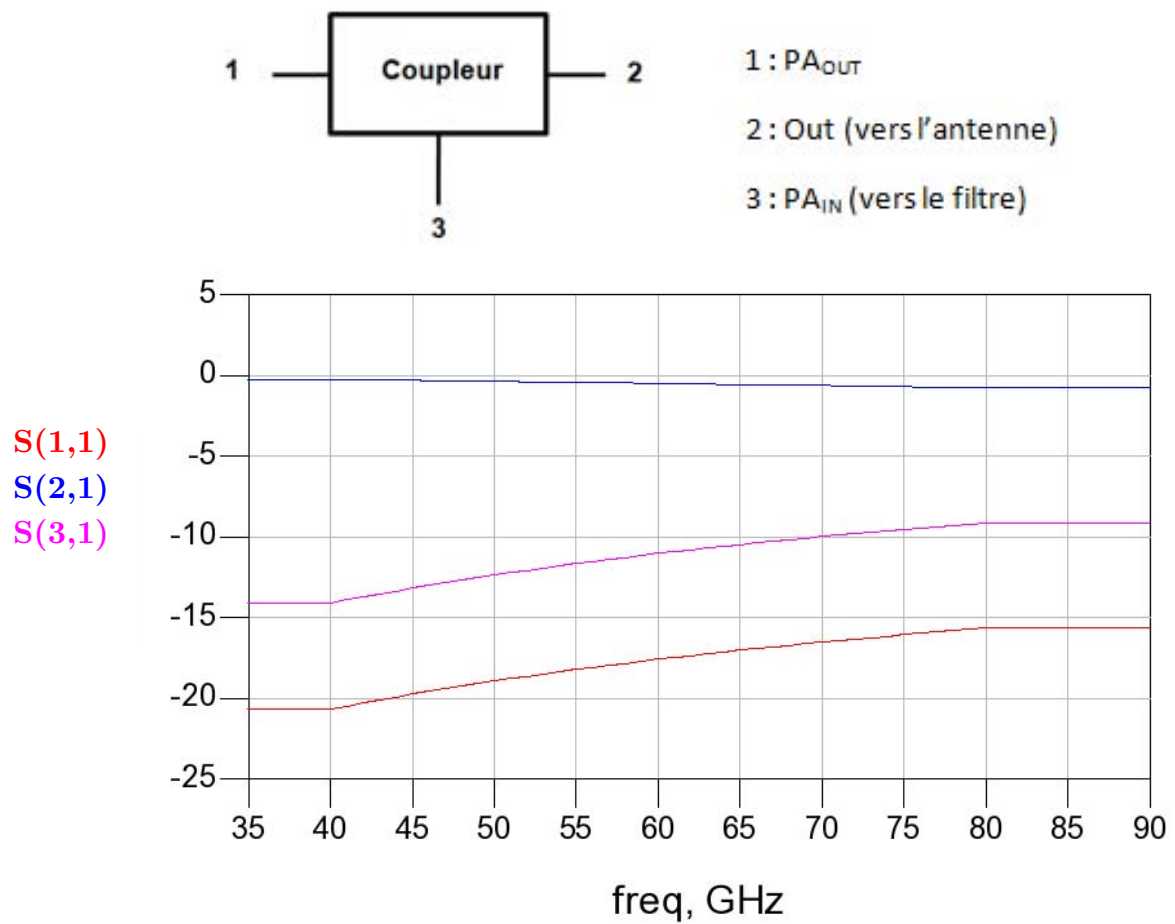


Figure I-32 : Synoptique du coupleur et paramètres  $S$ .

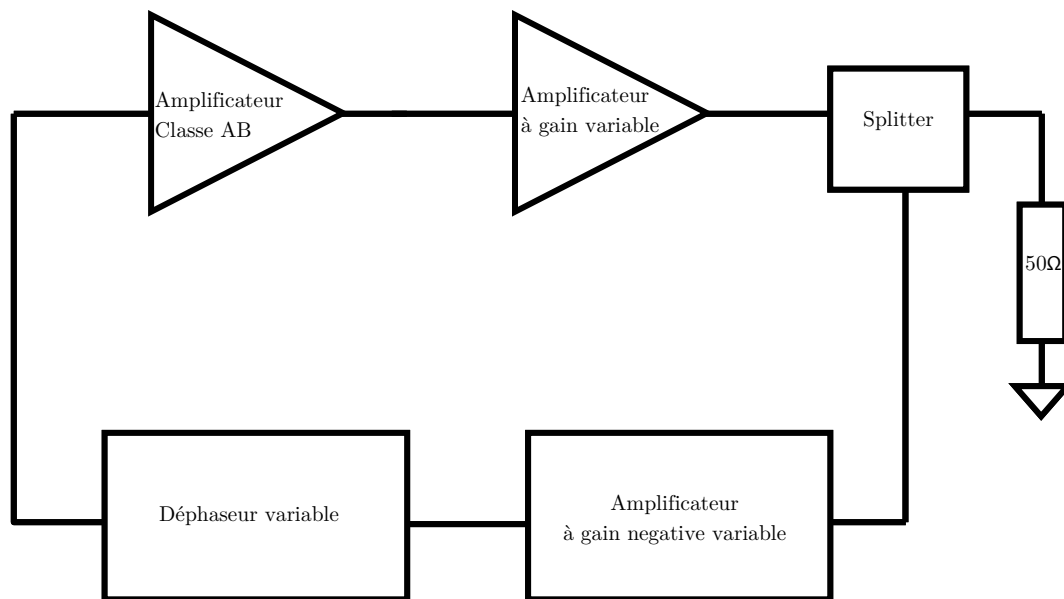


Figure I-33 : Représentation système du circuit.

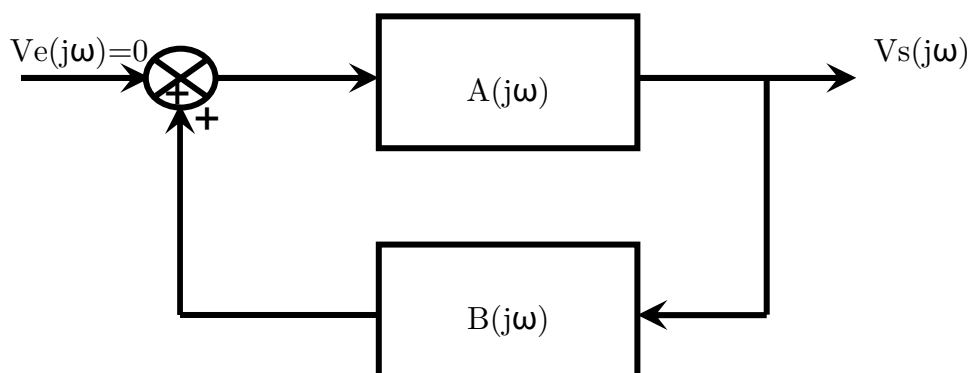
De ce premier circuit seront déduites les conditions d'oscillation, et donc le gain requis de l'amplificateur, quelles pertes de la boucle de retour seront acceptables, et quels déphasages seront acceptables pour maintenir des oscillations.

## I – 3.2 Simulations système

### I – 3.2.1 Conditions d'oscillations

La fonction de la boucle de retour est de permettre au système du Power VCO d'osciller au travers de l'amplificateur de puissance. Pour aboutir à ces oscillations, certaines conditions sont à respecter. Ces conditions sont données par le critère d'oscillation de Barkhausen. Le gain de la boucle complète fermée doit être supérieur à 1 et la phase du système doit être de  $0^\circ$  modulo  $360^\circ$ .

Si nous reprenons la théorie de Barkhausen, l'oscillateur peut être considéré comme un amplificateur contre-réactionné dans des conditions instables. La *Figure I-34* suivante décrit le schéma synoptique du Power VCO en tant qu'oscillateur.  $A(j\omega)$  représente la fonction transfert de l'amplificateur et  $B(j\omega)$  celle de la boucle de retour.



*Figure I-34 : Synoptique du Power VCO en tant qu'oscillateur.*

La fonction transfert de ce système peut s'écrire :

$$H(j\omega) = \frac{A(j\omega)}{1 - A(j\omega)B(j\omega)} \quad \text{E I-1}$$

Si  $A(j\omega)B(j\omega)=1$ , le dénominateur s'annule et la fonction devient infinie, ce qui peut se traduire par une tension de sortie non nulle pour une entrée nulle.

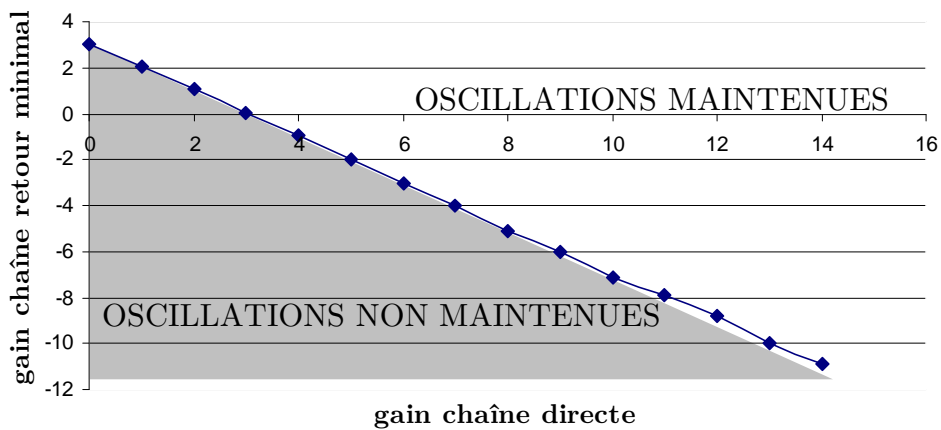
Le critère de Barkhausen s'écrit comme suit :

$$\begin{cases} |A(j\omega)B(j\omega)| \geq 1 \\ \arg[A(j\omega)] + \arg[B(j\omega)] = 0[2k\pi] \end{cases} \quad \begin{array}{l} \text{E I-2} \\ \text{E I-3} \end{array}$$

Avec  $A(j\omega)B(j\omega)$  le gain en boucle ouverte.

Pour démarrer les oscillations, ce gain en boucle ouverte doit être supérieur à 1, et égal à 1 par la suite pour maintenir les oscillations.

Du circuit présenté dans le paragraphe précédent en *Figure I-33*, nous avons donc fait des simulations système sous Agilent ADS. Nous avons fait varier le gain de la chaîne directe et de la boucle de retour et lancé des oscillations sur le système avec de constater que les oscillations sont bien maintenues. De ces simulation nous avons pu déterminer l'abaque décrit en *Figure I-35*. De la même façon nous avons pour un gain fixe fait varier la phase dans la boucle de retour et observer le maintient des oscillations. Elles sont maintenues pour :  $\arg[A(j\omega)] + \arg[B(j\omega)] = 0[2k\pi] + \pm 10^\circ$ .

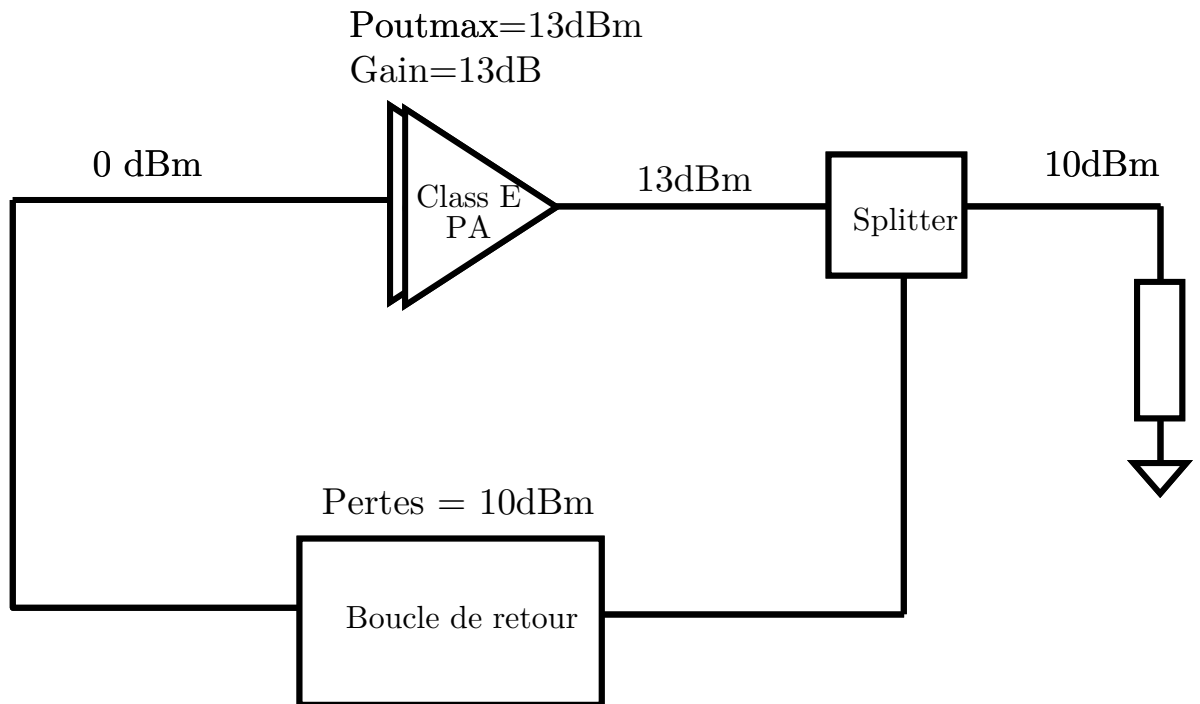


*Figure I-35 : Abaque de limite des oscillations maintenues.*

### I – 3.3 Spécifications de la conception du Power VCO

D'après les exigences des standards visés à terme, nous souhaiterions avoir une puissance de sortie du Power VCO de 10dBm. De plus nous utilisons un splitter idéal. Nous allons donc nous fixer comme objectif une puissance de sortie de l'amplificateur de puissance de 13dBm à l'oscillation. L'oscillation ne se fait pas à puissance maximale de sortie. Nous allons donc prendre une marge, et viser une puissance maximale de sortie de l'amplificateur de 15dBm. De la même manière le gain à l'oscillation n'est pas le même que le gain en petit signal, on se fixera 15dB de gain petit signal.

Comme nous l'avons vu dans l'état de l'art, l'utilisation d'un amplificateur de classe E apporte un rendement supérieur aux autres méthodes. La conception de l'amplificateur de puissance sera détaillée au chapitre suivant. Nous souhaitons donc concevoir un amplificateur dont le gain sera de 13dB, pour une puissance maximale de sortie de 13dBm et pour une entrée de 0dBm, une puissance de sortie de l'ordre de 10dBm. Le schéma de la *Figure I-36* résume ces différentes exigences.



*Figure I-36 : Synoptique avec les pertes et gains souhaités.*

Nous avons également une spécification en termes de bande de fréquences ou « tuning range » de 57GHz à 66GHz. Enfin, nous souhaiterions obtenir un bruit de phase à l'état de l'art des VCO à 60GHz que nous verrons au troisième chapitre.

## **Conclusion**

Dans ce chapitre, nous venons d'expliciter ce que sont les ondes millimétriques et leurs différents champs d'application. Nous nous sommes attardés sur la bande de fréquence qui nous intéresse particulièrement, à savoir la bande 56GHz-65GHz. Nous avons présenté les différents standards qui ont été dédiés à cette bande comme le WiGiG, Wireless HD, ECMA TC48 et IEEE.802.15.3c. Nous avons vu que ceux-ci étaient très proches, voire concurrents, et que suivant les régions du monde la bande utile pour ces standards se différenciait. C'est donc pour cette bande de fréquence que notre application est consacrée.

Nous avons ensuite montré que l'évolution des architectures d'émetteur comme l'architecture hétérodyne, homodyne ou conversion directe conduit à développer des architectures de plus en plus compactes. C'est dans cette optique que le concept du Power VCO s'inscrit. Nous avons donc par la suite décrit cette structure qui peut se concevoir comme un VCO dont nous amplifions la puissance de sortie, ou comme un amplificateur de puissance auquel nous allons joindre une boucle de retour afin de créer un système oscillant par lui-même. Nous avons détaillé l'état de l'art de ce système sous ses deux formes, pour conclure que la structure la plus prometteuse était celle de l'amplificateur de puissance oscillant.

Nous avons par la suite effectué une étude système afin de déterminer les spécifications que nous allons nous fixer pour la suite des travaux. Dans la suite logique, ce manuscrit présentera dans le chapitre suivant la conception de l'amplificateur de puissance, en revenant sur le choix de la topologie, de la structure, et des choix de conception de l'amplificateur.

## Références

- [1] ITU (International Telecommunication Union ou UIT) <http://www.itu.org>
- [2] J. Wenger, “Automotive Radar – Status and Perspectives”, IEEE Compound Semiconductor Integrated Circuit Symposium (CSIC), 2005.
- [3] Y. Yu, P. G.M. Baltus, A. H. M. Van Roermund, “Integrated 60 GHz RF Beamforming in CMOS”, chapter 2, Springer, 2011.
- [4] <http://www.ieee802.org/15/pub/TG3c.html>
- [5] [http://www.ieee802.org/11/Reports/tgad\\_update.htm](http://www.ieee802.org/11/Reports/tgad_update.htm)
- [6] <http://wirelessgigabitalliance.org>
- [7] <http://www.wirelesshd.org>
- [8] <http://www.ecma-international.org/activities/Communications/tc48-2008-024-Rev.doc>
- [9] “Attenuation by atmospheric gases” Recommendation ITU-R P.676-9
- [10] R. Fisher, “60GHz WPAN Standardization within IEEE 802.15.3c”, International Symposium on Signal Systems and Electronics, ISSSE, August 2007.
- [11] Q. Gu , “RF system design of transceivers for wireless communications”, Springer, chapter 3, p. 114, June 2005.
- [12] J. Brinkhoff, F. Lin, K. Kang, D.-D. Pham, C.-H. Heng, “A 60 GHz heterodyne quadrature transmitter with a new simplified architecture in 90nm CMOS”, IEEE Asian Solid State Circuits Conference, November 2010.
- [13] S. Sarkar, P. Sen, B. Perumana, D. Yeh, D. Dawn, S. Pinel, J. Laskar, “60 GHz single-chip 90nm CMOS radio with integrated signal processor”, IEEE MTT-S International Microwave Symposium Digest 2008, pp.1167-1170, June 2008.
- [14] A. Siligaris, O. Richard, B. Martineau, C. Mounet, F. Chaix, R. Ferragut, C. Dehos, J. Lanteri, L. Dussopt, S.D. Yamamoto, R. Pilard, P. Busson, A. Cathelin, D. Belot, P. Vincent, “A 65-nm CMOS Fully Integrated Transceiver Module for 60-GHz Wireless HD Applications”, IEEE Journal of Solid-State Circuits, vol.46, n°12, p.3005-3017, December 2011.
- [15] F. Ellinger, “Radio frequency integrated circuits and technologies”, Springer, chapter 2, 2008.
- [16] B. Razavi, “A Study of Injection Locking and Pulling in Oscillators”, Journal of Solid-State Circuits, n°39, September 2004.
- [17] R. Adler, “A Study of Locking Phenomena in Oscillators”. Proceedings of the IEEE, Volume 61, Issue 10, October 2004.

- [18] K. Okada, N. Li, K. Matsushita, K. Bunsen, R. Murakami, A. Musa, T. Sato, H. Asada, N. Takayama, S. Ito, W. Chaivipas, R. Minami, T. Yamaguchi, Y. Takeuchi, H. Yamagishi, M. Noda, A. Matsuzawa, "A 60-GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c" IEEE Journal of Solid-State Circuits, vol.46, n°12, p.2988-3004, December 2011.
- [19] Y. Kim, C.-S. Lee, "A novel method to remove the mismatch of the up-conversion mixer for a low IF transmitter", The 47th Midwest Symposium on Circuits and Systems, vol.1, pp. I-421-4, July 2004.
- [20] June-Ming Hsu, "A 0.18um CMOS Offset-PLL Upconversion Modulation Loop IC for DCS1800 Transmitter", IEEE Journal of Solid-State Circuits, vol. 38, April 2003.
- [21] H. Li, H.-M. Rein, T. Suttorp and J. Böck, "Fully Integrated SiGe VCOs with Powerful Output Buffer for 77-GHz Automotive Radar Systems and Applications Around 100 GHz", IEEE Journal of Solid-State Circuits, vol. 39, n°10, October 2004.
- [22] B. Welch and U. Pfeiffer, "A 17 dBm 64 GHz voltage Controlled Oscillator with Power Amplifier in a 0.13um SiGe BiCMOS Technology", Proceedings of the Radio Frequency Integrated Circuits Symposium, RFIC, pp. 41-44, June 2006.
- [23] Y.Z. Xiong, "On-chip transformer-based feedback CMOS power oscillator", Electronics letters, vol. 41, n° 3, February 2005.
- [24] C.-H. Lin; W.-P. Li; H.-Y. Chang, "A fully integrated 2.4-GHz 0.5-W high efficiency class-E voltage controlled oscillator in 0.15- $\mu$ m PHEMT process", Asia-Pacific Microwave Conference Proceedings, pp.864-867, December 2011.
- [25] M. K. Kazimierczuk, V. G. Krizhanovski, J. V. Rassokhina and D. V. Chernov, "Class-E MOSFET Tuned Power Oscillator Design Procedure", IEEE Transactions on circuits and systems, Vol. 52, n° 6, pp.1138-1147, June 2005.
- [26] N. Deltimple, Y. Deval, D. Belot, E. Kerherve, "Design of Class-E power VCO in 65nm CMOS technology: Application to RF transmitter architecture", IEEE International Symposium on Circuits and Systems, pp.984-987, May 2008.
- [27] D. Belot, N. Deltimple, E. Kerherve, Y. Deval, "Circuit électronique de fourniture d'un signal oscillant", brevet n°FR2926936 - France - <http://hal.archives-ouvertes.fr/hal-00207222>.
- [28] E. Juntunen, D. Dawn, S. Pinel, J. Laskar, "A High-Efficiency, High-Power Millimeter-Wave Oscillator Using a Feedback Class-E Power Amplifier in 45 nm CMOS", IEEE Microwave and Wireless Components Letters, vol.21, n°8, pp.430-432, August 2011.

- [29] J. Gorisse, A. Cathelin, A. Kaiser, E. Kerherve, “A 60GHz 65nm CMOS RMS power detector for antenna impedance mismatch detection”, Proceedings of ESSCIRC, p.172-175, September 2009.



## Chapitre II

---

# UN AMPLIFICATEUR DE PUISSANCE A HAUT RENDEMENT

---

*La conception d'amplificateurs pour des applications particulières à des fréquences données requiert un compromis entre le coût de fabrication et les performances. Les performances elles-mêmes sont sujettes à des compromis (bande-passante, gain, puissance de sortie, PAE, linéarité, stabilité). Tous ces paramètres sont déterminés par le choix des transistors, leur dimensionnement, la topologie de l'amplificateur, le nombre d'étages utilisés, les réseaux d'adaptation utilisés. Dans ce chapitre, nous allons parcourir ces différents aspects de la conception d'un amplificateur. Dans un premier temps, les différentes classes d'amplificateurs seront décrites, puis nous expliquerons les choix de conception dans le cadre de notre application au travers du choix de la classe, de la structure et de la topologie utilisées pour notre amplificateur de puissance. Enfin les résultats de simulation seront exposés et le layout de l'amplificateur sera détaillé.*

---

II – 1.1 Paramètres clés des amplificateurs.....	44
II – 1.1.1 Formules de gain .....	44
II – 1.1.2 Point de compression à 1dB .....	45
II – 1.1.3 Rendement .....	47
II – 1.1.4 Combinaison de multiples étages.....	48
II – 1.2 Classification des amplificateurs .....	49
II – 1.2.1 Classes sinusoïdales .....	49
II – 1.2.1.1 Caractéristiques.....	49
II – 1.2.2 Classes commutées .....	53
II – 1.2.2.2 Classe E .....	54
II – 1.2.2.3 Classe F .....	57
II – 1.2.2.4 Comparaison des différentes classes d’amplificateur.....	58
II – 1.2.3 Adaptation des théories de conception en haute fréquence.....	60
II – 1.3 Choix de l’amplificateur.....	61
II – 2 Conception de l’étage de puissance .....	63
II – 2.1 Choix de la topologie .....	63
II – 2.2 Dimensionnement du transistor .....	64
II – 2.3 Classe E en hautes fréquences.....	65
II – 2.3.1 Polarisations.....	66
II – 2.3.2 Traitement des harmoniques à hautes fréquences.....	68
II – 2.4 Optimisation du réseau de sortie .....	69
II – 2.5 Simulations de l’étage de puissance .....	70
II – 3 Conception de l’étage de driver.....	72
II – 3.1 Choix de la classe de fonctionnement et de la topologie .....	72
II – 3.2 Dimensionnement du transistor .....	73
II – 3.3 Théorie du Classe F .....	73
II – 3.4 Optimisation du réseau de sortie .....	74
II – 3.5 Simulations de l’étage driver.....	75
II – 4 Simulations de l’amplificateur à deux étages.....	76
II – 4.1 Schéma global de l’amplificateur .....	77
II – 4.2 Simulations petit signal .....	77
II – 4.3 Simulations grand signal.....	78
II – 5 Layout de l’amplificateur de puissance .....	79
II – 5.1 Layout du cascode .....	80
II – 5.2 Layout du driver.....	82
II – 5.3 Autres éléments du layout .....	83
II – 6 Mesures de l’amplificateur de puissance.....	85
II – 6.1 Photo de la puce.....	85
II – 6.2 Mesures.....	85

II – 6.3 Solutions envisagées.....	87
Conclusion .....	88
Références .....	89

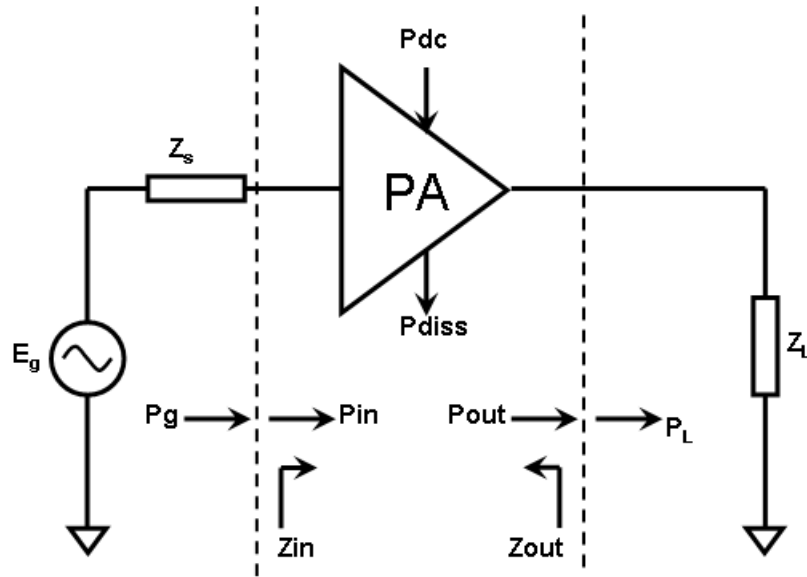
## II – 1 Généralités sur les amplificateurs de puissance

Dans un premier temps, nous allons revenir sur quelques définitions et caractéristiques de base des amplificateurs.

### II – 1.1 Paramètres clés des amplificateurs de puissance

Dans la conception d'un amplificateur, les paramètres les plus importants sont le gain en puissance, la bande passante, la puissance de sortie, le point de compression à 1dB, la PAE, la stabilité. Ces paramètres sont ici brièvement décrits [1].

La *Figure II-1* nous donne différentes caractéristiques d'un amplificateur attaqué par un générateur  $E_g$  avec une impédance de source  $Z_s$ , et chargé par une impédance  $Z_L$ .  $Z_{in}$  et  $Z_{out}$  sont les impédances d'entrée et de sortie de l'amplificateur.  $P_{in}$  et  $P_{out}$  sont respectivement la puissance d'entrée et la puissance de sortie de l'amplificateur.  $P_g$  et  $P_L$  sont respectivement la puissance disponible au générateur, et la puissance délivrée à la charge.  $P_{dc}$  est la puissance continue fournie par l'alimentation et  $P_{diss}$  est la puissance dissipée par l'amplificateur.



*Figure II-1: Schéma d'un amplificateur de puissance*

#### II – 1.1.1 Formules de gain

Si le transfert de puissance entre le générateur et l'amplificateur de puissance est optimal, et si toute la puissance en sortie de l'amplificateur est transmise à la charge, il y a adaptation du gain en puissance :

$$P_g = P_{in} \text{ et } P_{out} = P_L \quad (\text{E. II} - 1)$$

Or, à cause de la réflexion des ondes aux accès du quadripôle qu'est l'amplificateur, la puissance disponible au générateur est supérieure à la puissance d'entrée de l'amplificateur et la puissance maximale de sortie de l'amplificateur est supérieure à la puissance transmise à la charge. Ceci se traduit par les équations suivantes :

$$P_g > P_{in} \text{ et } P_{out} > P_L \quad (\text{E. II} - 2)$$

Il existe alors plusieurs définitions de gains, en fonction des puissances utilisées : le gain en puissance opérant  $G_{op}$ , le gain en puissance disponible  $G_{av}$ , et le gain transducique  $G_{tr}$ . Les équations suivantes en détaillent les définitions.

$$G_{op} = \frac{P_L}{P_{in}} \quad (\text{E. II} - 3)$$

$$G_{av} = \frac{P_{out}}{P_g} \quad (\text{E. II} - 4)$$

$$G_{tr} = \frac{P_L}{P_g} \quad (\text{E. II} - 5)$$

Le gain en puissance opérant est le rapport de la puissance délivrée à la charge  $P_L$  à la puissance présente à l'entrée de l'amplificateur  $P_{in}$ . Le gain en puissance disponible prend en compte l'adaptation en gain en entrée, avec le rapport de la puissance à la sortie de l'amplificateur  $P_{out}$  et la puissance maximale disponible du générateur  $P_g$ . Le gain transducique s'exprime comme le rapport de la puissance délivrée à la charge  $P_L$  à la puissance disponible du générateur  $P_g$ . L'expression du gain transducique est la plus usitée dans la conception des amplificateurs millimétriques, car elle est facilement mesurable et elle tient compte de l'adaptation en entrée et en sortie. Cette expression sera utilisée dans le la suite du manuscrit.

### II – 1.1.2 Point de compression à 1dB

La caractéristique d'un amplificateur est non-linéaire, une distorsion d'amplitude y est présente, illustrée en *Figure II-2*. Nous pouvons y distinguer différentes zones. La première est la zone linéaire, en faibles signaux, régie par la relation en Watt :  $P_{out} = G_0 \cdot P_{in}$ . La seconde correspond à la zone de compression, lorsque le gain tend à diminuer à mesure que la puissance d'entrée augmente.

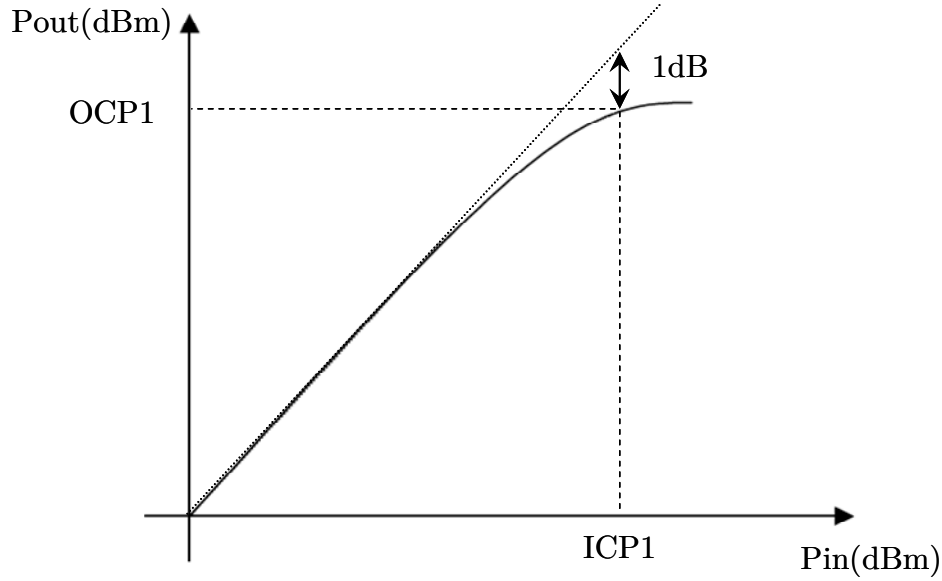


Figure II-2: Représentation graphique du point de compression

Si nous considérons que la tension de sortie est une fonction instantanée de la tension d'entrée et que la non-linéarité est assez faible pour la représenter sous forme d'une série :

$$V_s = a_1 V_e + a_2 V_e^2 + a_3 V_e^3 + \dots \quad (\text{E. II} - 6)$$

Le gain linéaire  $G_0$  est défini en décibels par :

$$G_0 = 20 \log a_1 \quad (\text{E. II} - 7)$$

La puissance de sortie à 1 dB de compression est alors définie au point où la puissance de sortie est de 1dB inférieure à la puissance de sortie extrapolée si la caractéristique était restée linéaire :

$$G_{1dB} = G_0 - 1 \text{ dB} \quad (\text{E. II} - 8)$$

Ce point est un élément d'étude important pour les amplificateurs de puissance et une référence pour la comparaison des performances des amplificateurs. L'ICP1 est alors défini comme « 1dB Input Compression Point » et l'OCP1 comme « 1dB Output Compression Point » [1].

Enfin, nous distinguons la zone de saturation où la compression atteint son paroxysme, la puissance de sortie tendant alors vers sa valeur maximale. La puissance qui ne peut se reporter sur le fondamental se répartie alors sur les différentes harmoniques. Cette zone de saturation implique des dégradations des performances électriques du transistor, jusqu'à la destruction du composant en cas de fonctionnement prolongé dans cette zone. Les trois zones de fonctionnement sont illustrées par la Figure II-3.

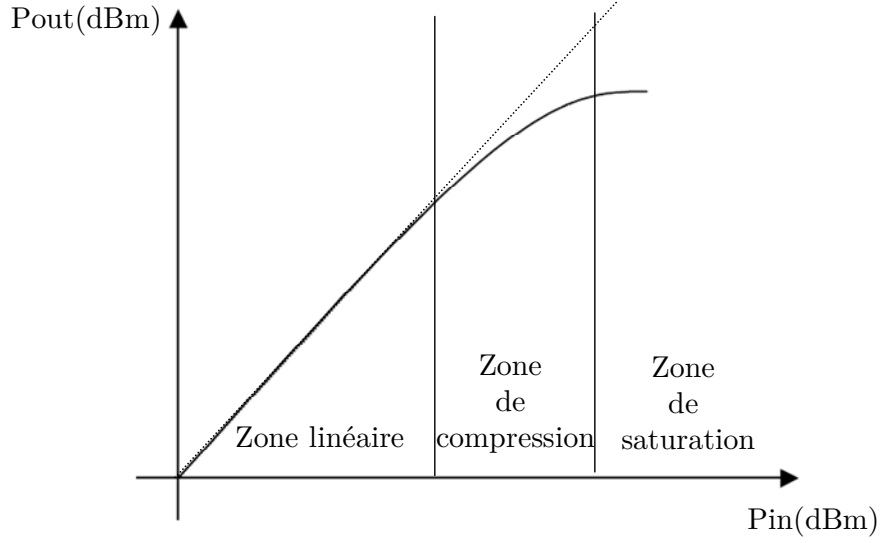


Figure II-3: Zones de fonctionnement d'un amplificateur de puissance

### II – 1.1.3 Rendement

La consommation de l'amplificateur de puissance doit être optimisée au maximum pour permettre un rendement énergétique optimal. C'est pourquoi tous les paramètres de rendement, et d'efficacité sont primordiaux dans la conception d'un amplificateur de puissance et constituent des figures de mérite (FoM) importantes.

Nous introduisons ainsi deux définitions. La première est celle du rendement de drain (Drain Efficiency), explicitée en équation E. II – 9, qui prends en compte la consommation de l'amplificateur  $P_{DC}$  et la puissance du signal alternatif qui parcourt le transistor. La seconde est celle du rendement en puissance ajoutée, dont l'équation est donnée en E. II – 10, qui prend en plus en compte la puissance d'entrée. [1]

$$\eta_d = P_{drain}/P_{DC} \quad (\text{E. II – 9})$$

$$PAE = (P_{out} - P_{in})/P_{DC} \quad (\text{E. II – 10})$$

A 60GHz, le gain des amplificateurs de puissance ne sont pas importants au point de négliger la puissance d'entrée. C'est pourquoi la figure de mérite la plus utilisée dans ce cas est le rendement de puissance ajoutée. Le rendement de drain est fréquemment utilisé pour des amplificateurs à fort gain lorsque la puissance d'entrée est négligeable par rapport à la puissance de sortie. Dans notre contexte, il sera utile pour caractériser l'amplificateur étant donné qu'il est inclus dans un système oscillant et que l'entrée n'a alors pas de sens.

## II – 1.1.4 Combinaison de multiples étages

Lors de l'association de plusieurs étages, les contraintes appliquées à ces étages ne sont pas les mêmes. Certaines caractéristiques, qui sont privilégiées suivant les étages, orientent le choix d'une classe de fonctionnement.

Par exemple, dans les amplificateurs de classe linéaire, les amplificateurs de classe A sont souvent utilisés pour piloter des amplificateurs de classe AB [2]. L'amplificateur de classe A permet d'amener à l'entrée du classe AB un signal sans distorsion avec un niveau de puissance suffisant pour faire fonctionner le PA en classe AB.

Dans notre cas, nous souhaitons obtenir un amplificateur à rendement élevé. Si nous observons le compromis rendement/linéarité comme dans [3], en négligeant les pertes de l'adaptation inter-étages, le rendement d'un amplificateur deux étages peut être défini comme suit [4] :

$$\frac{1}{E_{tot}} = \frac{1}{G_2 E_1} + \frac{1}{E_2} \quad (\text{E. II} - 11)$$

Avec  $E_{tot}$  le rendement global,  $E_1$  et  $E_2$  respectivement le rendement du premier et du deuxième étage, et  $G_2$  le gain du deuxième étage.

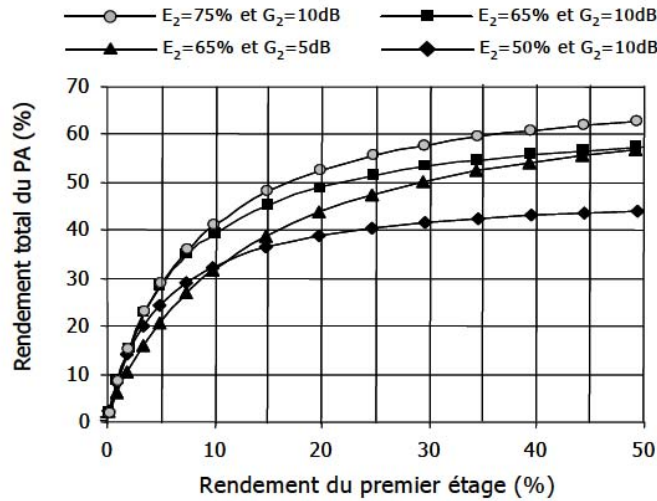


Figure II-4: Rendement total d'un amplificateur en fonction du rendement du 1<sup>er</sup> étage et du gain et du rendement du deuxième étage [3].

En Figure II-4 est représenté le rendement global de l'amplificateur de puissance en fonction du rendement du premier étage pour des valeurs données de gain et de rendement du deuxième étage.

Ce graphique montre que pour un rendement du premier étage supérieur à 25%, le rendement global est moins sensible au rendement du premier étage. Nous avons donc intérêt à avoir un rendement correct sur le premier étage, mais ce n'est pas sur cet étage qu'il faut optimiser le rendement au maximum.



Dans le même temps, le gain du deuxième étage est multiplié par le rendement du premier étage, et a donc une influence sur le rendement global. Nous devons donc avoir un gain correct sur le deuxième étage. Le rendement du deuxième étage a une influence déterminante dans le rendement global. Une augmentation de celui-ci de 25% augmente le rendement global de 20%.

Nous pouvons donc conclure que pour maximiser le rendement global, le deuxième étage doit être optimisé en rendement et en gain, tout en veillant à avoir un bon rendement dans le premier étage, bien que pour cet étage la contrainte soit relâchée.

## **II – 1.2 Classification des amplificateurs**

Les amplificateurs sont identifiés par des classes dépendant de la relation entre le signal d'entrée et le signal de sortie de l'amplificateur. Nous distinguons les classes dites linéaires ou sinusoïdales A, B, AB, C et les classes dites commutées D, E, F. Ces classes se différencient par la polarisation appliquée au transistor et les circuits d'adaptation dans le but de se plier aux exigences en termes de puissance de sortie, d'efficacité, de consommation, de linéarité, et de bande de fréquences. Nous allons décrire les principales classes de fonctionnement des PAs.

### **II – 1.2.1 Classes sinusoïdales**

Les classes sinusoïdales sont les plus utilisées pour les amplificateurs petits signaux, pour les amplificateurs faibles bruits, ou les amplificateurs demandant une grande linéarité. Dans ces classes de fonctionnement le transistor se comporte comme une source de courant et la puissance de sortie est proportionnelle à la puissance d'entrée [5].

#### **II – 1.2.1.1 Caractéristiques**

La *Figure II-5* illustre un amplificateur simple et la *Figure II-6* les points de polarisation pour chacune des classes linéaires, d'une part sur la caractéristique du courant de drain  $I_d$  en fonction de la tension  $V_{ds}$ , et d'autre part sur la caractéristique du courant de drain en fonction de la tension  $V_{gs}$ .

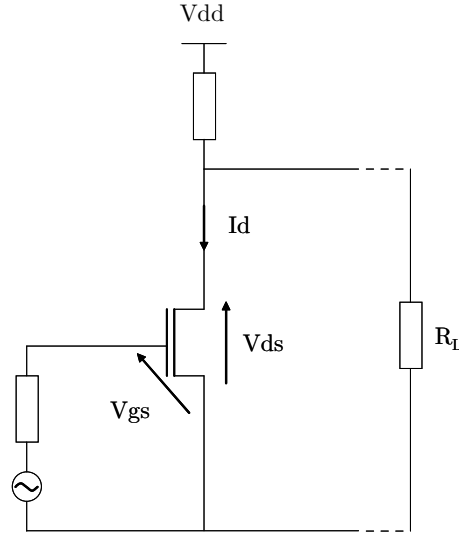


Figure II-5: Schéma d'un amplificateur

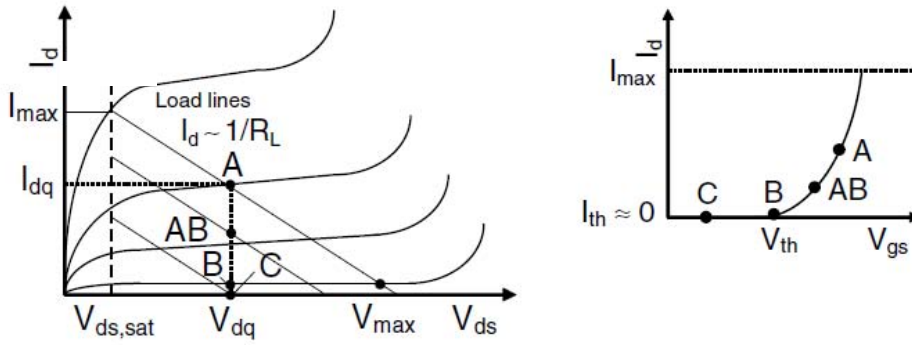


Figure II-6: Caractéristiques des amplificateurs de classe A, AB, B, C [5].

#### II – 1.2.1.1.1 Classe A

Dans un amplificateur en classe A, le courant de drain circule en permanence. L'angle de conduction est alors de  $2\pi$ . Les formes d'ondes sont illustrées sur le graphe (a) de la Figure II-7. Le point de repos de cet amplificateur est choisi au centre du courant de drain. Nous avons alors une puissance de sortie maximale, si la charge est judicieusement choisie pour être adaptée au transistor. C'est avec ce type d'amplificateur que la meilleure linéarité est obtenue. En revanche, le rendement d'un amplificateur de classe A ne dépasse pas 50% théoriques, comme ceci est illustré sur le graphe (b) de la Figure II-43.

En effet, l'efficacité de drain qui a été définie en E. II – 9 peut s'écrire de la façon suivante :

$$\eta_{d \max} = \frac{P_{\text{drain max}}}{P_{DC}} = \frac{\left( \frac{V_{dc}^2}{R_L} \cdot \frac{1}{2\pi} \cdot \int_{-\pi}^{\pi} \cos^2(\theta) d\theta \right)}{V_{dc} I_d} = \frac{\left( \frac{V_{dc}^2}{2R_L} \right)}{\left( \frac{V_{dc}^2}{R_L} \right)} = 0,5 \quad (\text{E. II} - 12)$$

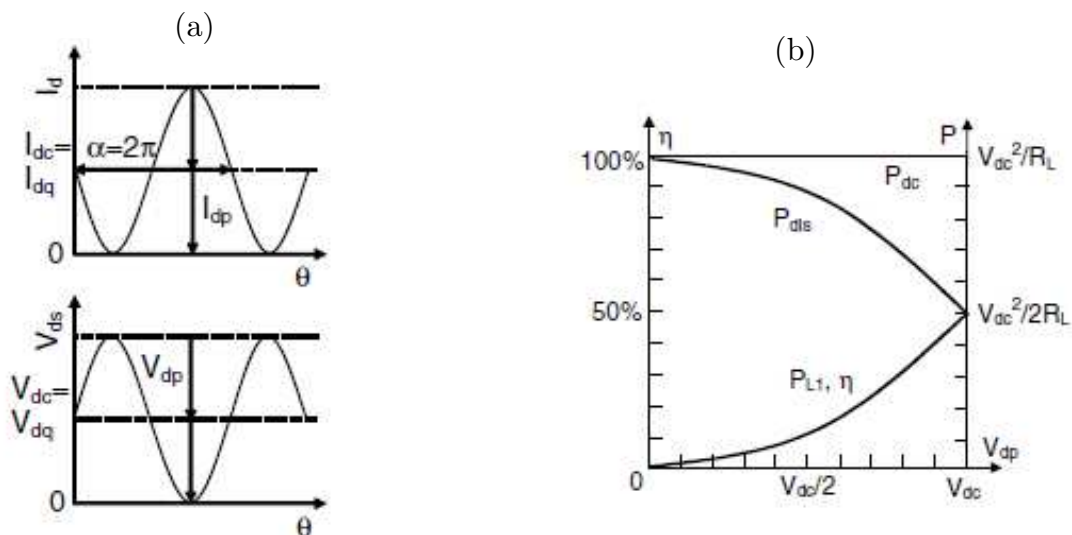


Figure II-7: Formes d'ondes de l'amplificateur de classe A (a) et puissance de sortie et rendement en fonction de l'amplitude de la tension de sortie (b).

## II – 1.2.1.1.2 Classe B

Dans un amplificateur en classe B, le point de repos est choisi à la tension de seuil du transistor. Le courant de drain circule alors en alternance, à 50% du cycle. L'angle de conduction est alors de  $\pi$ . Les formes d'ondes sont illustrées sur le graphe (a) de la Figure II-8. Ce type d'amplificateur a une faible linéarité. Cette configuration est souvent retrouvée dans les architectures push-pull. Etant donné que pendant la moitié du cycle l'amplificateur ne consomme pas de courant, le rendement théorique de l'amplificateur est augmenté jusqu'à 78,5%, comme ceci est illustré sur le graphe (b) de la Figure II-8.

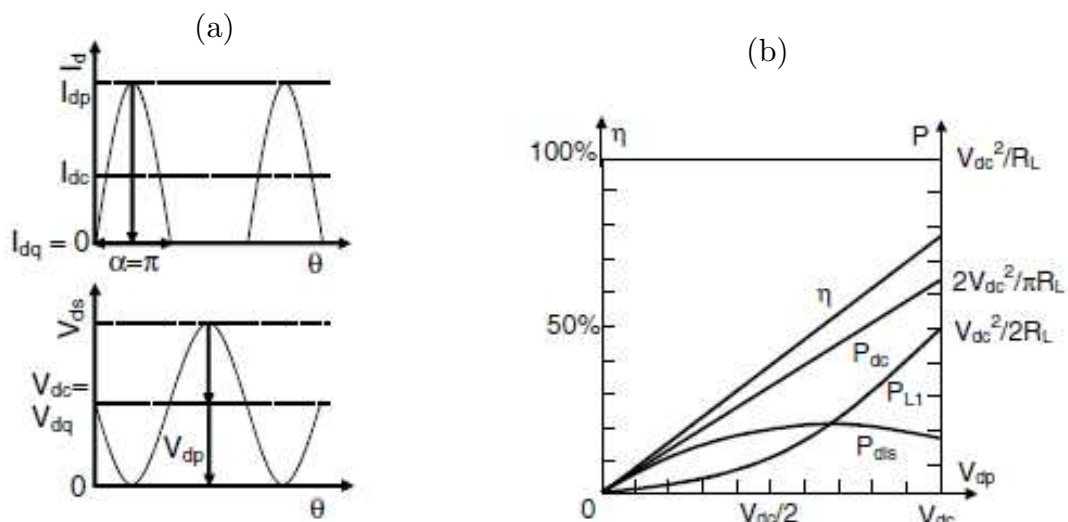


Figure II-8: Formes d'ondes de l'amplificateur en classe B et rendement et puissances en fonction de la tension de drain.

### II – 1.2.1.1.3 Classe AB

La classe d'amplificateur AB se situe entre la classe A et la classe B. Ce type d'amplificateur est caractérisé par un angle de conduction entre  $\pi$  et  $2\pi$ . En d'autres termes, cet amplificateur conduit un courant de drain entre la moitié et la totalité du cycle. Le point de repos est choisi entre la coupure du transistor et le milieu de sa caractéristique. Ce type d'amplificateur est très utilisé car il constitue un compromis intéressant entre les classes A et B en termes de linéarité et de rendement, et est beaucoup plus flexible au niveau de ses performances, suivant l'application pour lequel il est choisi. Il est donc possible d'avoir avec ce type d'amplificateur un rendement théorique compris entre 50% et 78,5%.

### II – 1.2.1.1.4 Classe C

Dans un amplificateur en classe C, le point de repos est choisi en-deçà de la tension de seuil du transistor. Le courant de drain circule alors en alternance, mais à moins de 50% du cycle. L'angle de conduction est alors compris entre 0 et  $\pi$ . Les formes d'ondes sont explicitées sur les graphes de la *Figure II-9*. Ce type d'amplificateur a une très faible linéarité. Le comportement de ce type d'amplificateur s'apparente à un signal d'impulsion. Le courant circulant moins de la moitié du temps, le rendement de ce type d'amplificateur est supérieur à celui de l'amplificateur en classe A, AB ou B. Ce type d'amplificateur est utilisé lorsque la linéarité n'est pas requise.

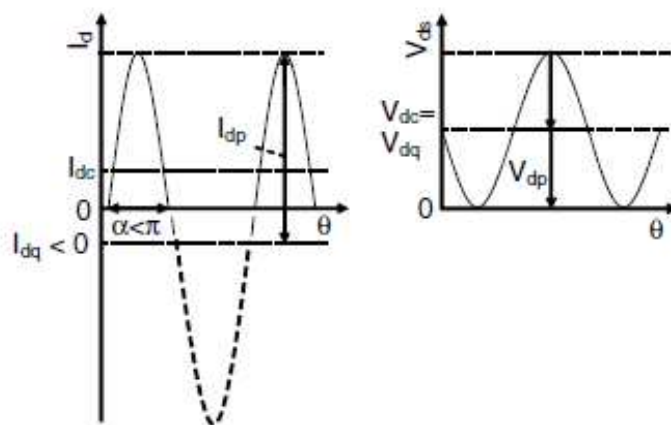


Figure II-9: Formes d'ondes du classe C

## II – 1.2.2 Classes commutées

Les classes commutées, dites à haut rendement, comportent les classes D, E, F. Le transistor a alors un comportement d'interrupteur comme l'illustre la *Figure II-10* et la puissance de sortie n'est pas proportionnelle à la puissance d'entrée. Nous allons maintenant passer en revue les caractéristiques qui différencient ces classes.

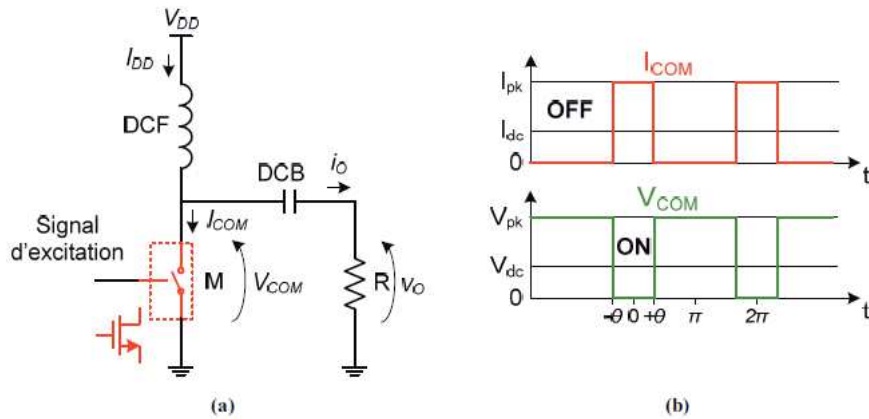


Figure II-10: Amplificateurs commutés et formes d'ondes

### II – 1.2.2.1 Classe D

L'amplificateur en classe D se compose de deux transistors qui lorsque l'un est fermé l'autre est ouvert, créant ainsi des commutateurs complémentaires. Ceci permet de récupérer toute la puissance de la source d'alimentation en sortie.

A ces commutateurs sont ajoutés des résonateurs pour retrouver la fréquence fondamentale sur la charge, et pour éliminer les harmoniques d'ordres supérieurs, ceci afin de garantir un rendement théorique de 100%. Le circuit résonnant peut-être connecté en série, pour la commutation en tension. Le résonateur force ainsi le courant sinusoïdal sur le drain. Cette structure, illustrée en (a) sur la *Figure II-11* est connue comme l'amplificateur classe D en mode tension. Le circuit résonnant peut aussi être connecté en parallèle, nous obtenons alors à une commutation en courant et une tension sinusoïdale sur le drain. Il est alors question d'amplificateur classe D en mode courant, comme illustré en (b) en *Figure II-11* [6].

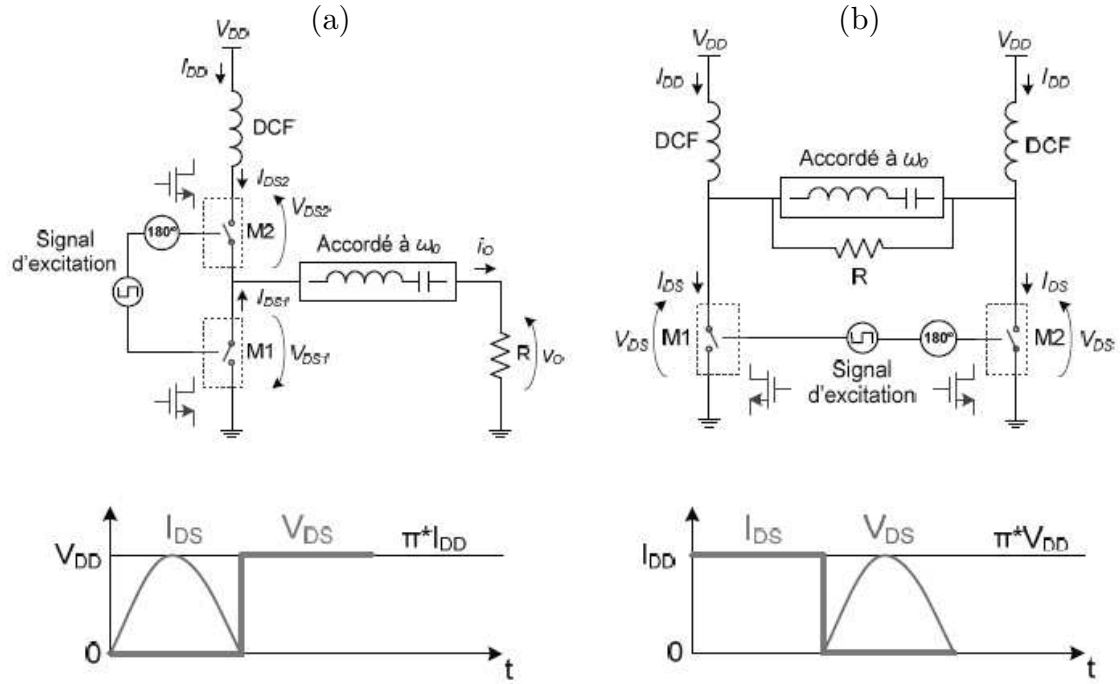


Figure II-11: Amplificateurs de classe D et formes d'ondes

## II – 1.2.2.2 Classe E

L'amplificateur de classe E consiste à utiliser le transistor en commutation. En présentant une faible résistance à l'état ON et une très haute impédance à l'état OFF, les formes d'ondes du courant et de la tension de drain de l'amplificateur sont alors en opposition de phase. Dans le cas idéal, la résistance en mode ON est négligeable et la puissance dissipée est alors nulle. De même, toujours dans le cas idéal, si l'impédance en mode OFF est très grande, il n'y a pas de courant traversant le transistor, la commutation est alors parfaite, sans dissipation de puissance et le rendement théorique est alors de 100% [7].

La différence entre l'amplificateur de classe D et l'amplificateur de classe E se situe dans le fait que l'impédance présentée en sortie du transistor pour les deuxième et troisième harmoniques est un circuit ouvert pour la classe E.

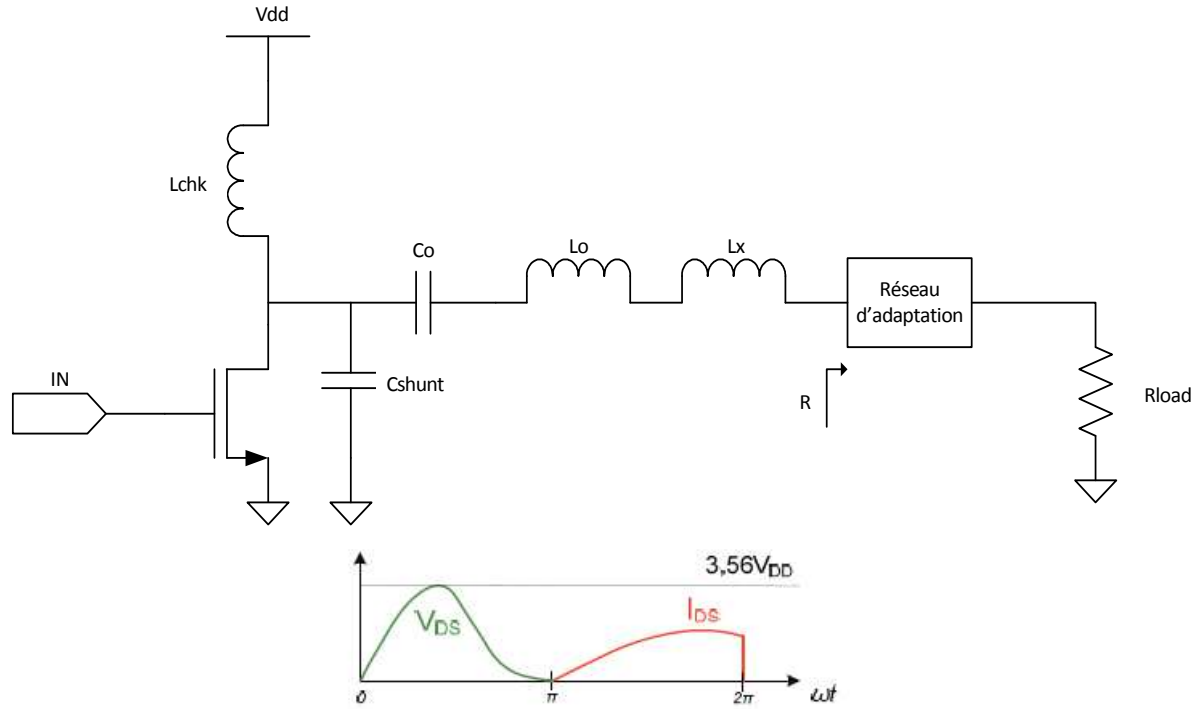


Figure II-12: Amplificateur de classe E et formes d'ondes

S'il est considéré que les transistors sont des commutateurs idéaux fonctionnant avec un rapport cyclique de 50% et que le signal de sortie est purement sinusoïdal. Le fonctionnement en classe E est défini par le respect de ces équations qui garantissent les conditions dites de commutation en tension :

$$v_{DS}(\omega t)_{\omega t=\pi} = 0 \quad (\text{E. II} - 13)$$

$$\frac{dv_{DS}(\omega t)}{d\omega t}_{\omega t=\pi} = 0 \quad (\text{E. II} - 14)$$

L'équation E.II.13 implique que la tension de drain soit nulle au moment de la commutation, c'est-à-dire lorsque le transistor rentre dans la zone saturée,  $\omega t = \pi$ . L'expression E.II.14 exprime le fait que la capacité «shunt», Cshunt, soit complètement déchargée lorsque le transistor est en régime saturé. La capacité en «shunt», fait partie du réseau de mise en forme de la tension de drain et elle est dimensionnée en prenant en compte la valeur de la capacité parasite  $C_{DS}$  du transistor [8].

Le courant de drain est égal à :

$$i_{DS}(\omega t) = \begin{cases} 0 & 0 \leq \omega t < \pi & \text{Ouvert} \\ I_{DD} - I_O \sin(\omega t + \varphi) & \pi \leq \omega t < 2\pi & \text{Fermé} \end{cases} \quad (\text{E. II} - 15)$$

avec  $\varphi$  le déphasage introduit par Lx.

Lorsque le commutateur est fermé, il n'y a pas de courant dans la capacité shunt mais lorsque le commutateur est ouvert, le courant de drain est non nul :

$$i_c(\omega t) = \begin{cases} I_{DD} - I_o \sin(\omega t + \varphi) & 0 \leq \omega t < \pi \\ 0 & \pi \leq \omega t < 2\pi \end{cases} \quad (\text{E. II} - 16)$$

La chute de potentiel au niveau de la capacité, qui est la même que celle sur le drain, devient alors :

$$v_{DS}(\omega t) = \frac{1}{\omega C_{sh}} \int_{\pi}^{\omega t} i_c(\omega t') d\omega t' = \frac{1}{\omega C_{sh}} [I_{DD}\omega t + I_o \cos(\omega t + \varphi) - I_o \cos \varphi] \quad (\text{E. II} - 17)$$

Avec E.II - 13, à  $\omega t = \pi$ , nous avons alors :

$$0 = \frac{1}{\omega C_{sh}} [\pi I_{DD} - I_o \cos \varphi - I_o \cos \varphi] \rightarrow I_{DD} = \frac{2I_o}{\pi} \cos \varphi \quad (\text{E. II} - 18)$$

Toute la puissance DC se retrouve alors en sortie de l'amplificateur :

$$P_{DC} = I_{DD} V_{DD} = P_{Out} = \frac{1}{2} I_o^2 R \rightarrow I_o = \frac{4V_{DD}}{\pi R} \cos \varphi \quad (\text{E. II} - 19)$$

La composante DC du courant est alors :

$$I_{DD} = I_{DC} = \frac{8V_{DD}}{\pi^2 R} \cos^2 \varphi \quad (\text{E. II} - 20)$$

Et la puissance de sortie est alors :

$$P_{Out} = \frac{8V_{DD}^2}{\pi^2 R} \cos^2 \varphi \quad (\text{E. II} - 21)$$

Le courant traversant Cshunt à  $\omega t = \pi$  devient :

$$i_c(\omega t = \pi) = \frac{4V_{DD}}{\pi R} \cos \varphi \left( \frac{2}{\pi} \cos \varphi + \sin \varphi \right) = 0 \quad (\text{E. II} - 22)$$

Nous avons alors :

$$\varphi = \arctan\left(-\frac{2}{\pi}\right) = -0,567 \text{ rad} \quad (\text{E. II} - 23)$$

Et il en est donc déduit que :

$$\sin \varphi = \frac{-2}{\sqrt{\pi^2 + 4}} \quad (\text{E. II} - 24)$$

$$\cos \varphi = \frac{\pi}{\sqrt{\pi^2 + 4}} \quad (\text{E. II} - 25)$$

Il est alors possible d'avoir l'expression de Pout en fonction de R et Vdd.



Les éléments Lo et Co constituant un circuit résonnant à  $\omega_0$ . Ils sont reliés par l'équation :

$$\omega_0^2 = \frac{1}{L_0 C_0} \quad (\text{E. II} - 26)$$

L'inductance Lo étant reliée au coefficient de qualité, les expressions de Lo et Co en fonction de  $\omega_0$ , R,  $Q_L$  sont déductibles.

Chaque élément du circuit peut s'exprimer par une équation dépendant d'une caractéristique fixée ( $P_{out}$ ,  $\omega_0$ , R, Vdd). Ces expressions sont résumées dans le *Tableau II-1* [9].

*Tableau II-1 : Valeurs théoriques des composants localisés de l'amplificateur de classe E*

<b>Lo</b>	<b>Lx</b>	<b><u>Lchk</u></b>
$L_0 = \frac{1}{\omega_0^2 C_0}$	$L_x = \frac{\pi V_{dd}^2 (\pi^2 - 4)}{2 \omega_0 P_{out} (\pi^2 + 4)}$	grande
<b>Co</b>	<b><u>Cshunt</u></b>	<b>R</b>
$C_0 = \frac{1}{\omega_0 R Q_L}$	$C_{shunt} = \frac{P_{out}}{\pi \omega_0 V_{dd}^2}$	$R = \frac{8 V_{dd}^2}{P_{out} (\pi^2 + 4)}$

### II – 1.2.2.3 Classe F

L'amplificateur de classe F n'est pas à proprement parlé une classe commutée puisque le signal d'entrée doit être sinusoïdal. Cette classe d'amplificateur permet une augmentation du rendement par un réseau de sortie composé de résonateurs. Le but de ce réseau est de fournir un traitement des harmoniques au niveau du drain de l'amplificateur pour former un signal carré.

La série de Fourier d'un signal carré périodique peut s'exprimer comme suit:

$$\frac{4}{\pi} \sum_{n=1,3,5,\dots}^{\infty} \frac{\sin n\omega t}{n} = \frac{4}{\pi} \left( \sin \theta + \frac{1}{3} \sin 3\theta + \frac{1}{5} \sin 5\theta + \dots \right) \quad (\text{E. II} - 27)$$

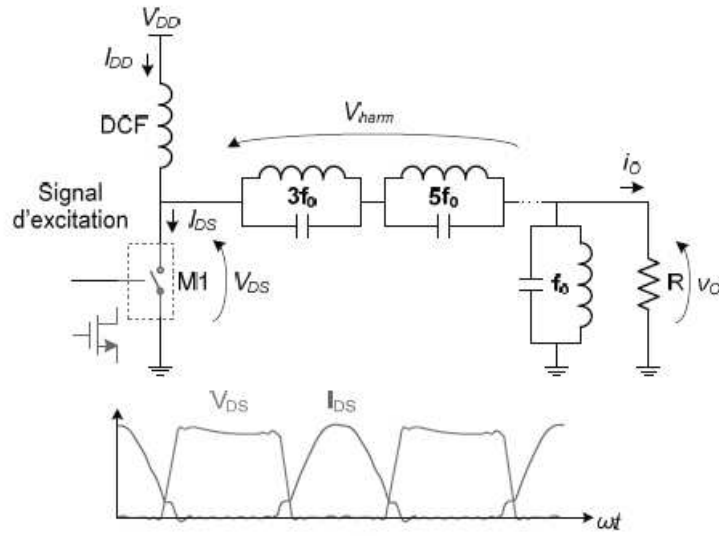
Il est alors possible d'utiliser les harmoniques impaires pour former un signal carré. Le réseau de sortie sera donc un réseau de circuits résonants à différentes harmoniques. La tension de drain est alors composée d'harmoniques d'ordre impair, et le courant d'harmoniques d'ordre pair. Il n'y a alors pas de recouvrement de la tension et du courant et donc pas de puissance dissipée. Ceci induit un rendement de drain très élevé.

$$v_{DS}(\omega t) = V_{DC} \left( 1 + \frac{4}{\pi} \sin \omega t + \frac{4}{\pi} \sum_{n=3,5,7,\dots}^N \frac{\sin n\omega t}{n} \right) \quad (\text{E. II} - 28)$$

$$i_{DS}(\omega t) = I_{DC} \left( 1 - \frac{\pi}{2} \sin \omega t - 2 \sum_{n=3,5,7,\dots}^N \frac{\cos n\omega t}{n^2 - 1} \right) \quad (\text{E. II} - 29)$$

Avec  $V_{DC}$  et  $I_{DC}$  les composantes continues de  $V_{ds}$  et  $I_{ds}$ .

La théorie montre que pour obtenir un rendement de 100% il faut travailler sur toutes les harmoniques. Or cela reviendrait à utiliser un nombre infini de résonateurs. Ceci n'est pas réalisable en pratique. Dans la littérature, il a été démontré qu'il n'est pas nécessaire d'aller au-delà de la troisième harmonique [10]. L'implémentation de l'amplificateur de classe F est illustrée en *Figure II-13*.

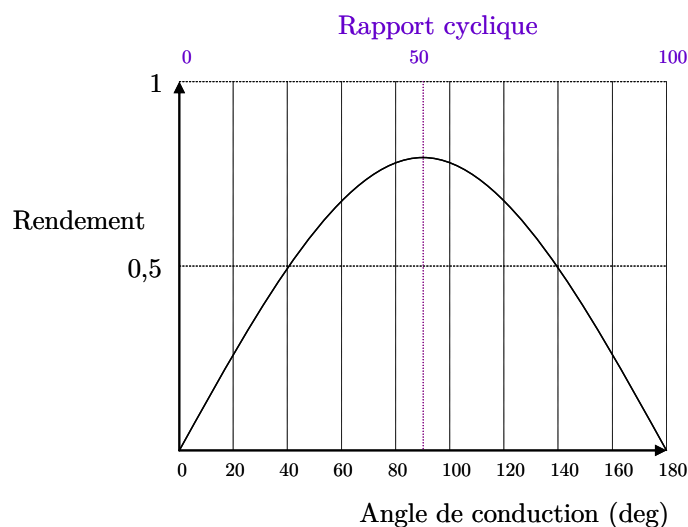


*Figure II-13: Amplificateur de classe F et formes d'ondes*

#### II – 1.2.2.4 Comparaison des différentes classes d'amplificateur

Nous allons ici faire un comparatif des différentes classes que nous venons de décrire en terme de rendement théorique.

Dans les classes linéaires nous avons vu que le rendement dépendait de l'angle de conduction comme le montre la *Figure II-14*.



*Figure II-14: Rendement des classes linéaires en fonction de l'angle de conduction et du rapport cyclique.*

Dans le Tableau II-2, nous récapitulons pour les différentes classes de fonctionnement le nombre de composants actifs, le rendement, et si la capacité Cds est prise en compte dès la conception de l'amplificateur. Nous pouvons voir que seule la classe D nécessite deux transistors. Les rendements montrent un net avantage aux amplificateurs en classes commutées, d'où leur utilisation comme amplificateurs à haut rendement. La dernière colonne du tableau montre que, seule pour la classe E la capacité Cds est prise en compte dès la conception de l'amplificateur dans les équations de conception. Pour les autres classes, les équations de conception n'en tiennent pas compte mais les différents éléments de l'amplificateur peuvent être modifiés pour ajuster l'amplificateur en fonction de cette capacité, excepté pour la classe D dont la modification des éléments dénatureraient la topologie.

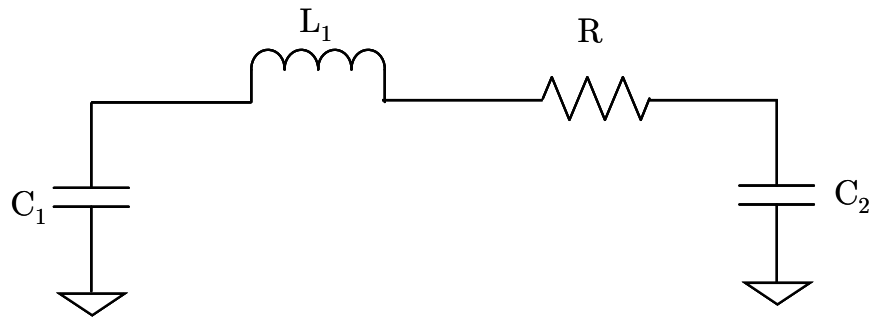
**Tableau II-2 : Comparaison des classes de fonctionnement en termes de rendement.**

	Nombre min. de composants actifs	Rendement théorique (%)	Cds prise en compte
Classe A	1	50	+/-
Classe AB	1	50 - 78,5	+/-
Classe B	1	78,5	+/-
Classe C	1	79 - 99	+/-
Classe D	2	100	-
Classe E	1	100	+
Classe F	1	88,4	+/-

## II – 1.2.3 Adaptation des théories de conception en haute fréquence

Nous venons de parcourir les différentes classes d'amplificateur linéaires et commutées. Lorsque ces classes sont théorisées et les valeurs requises de composants mises en équations, des éléments localisés sont utilisés. Or dans notre bande de fréquence, autour de 60 GHz, il faut prêter attention à ce que les composants soient toujours dans leur domaine de validité.

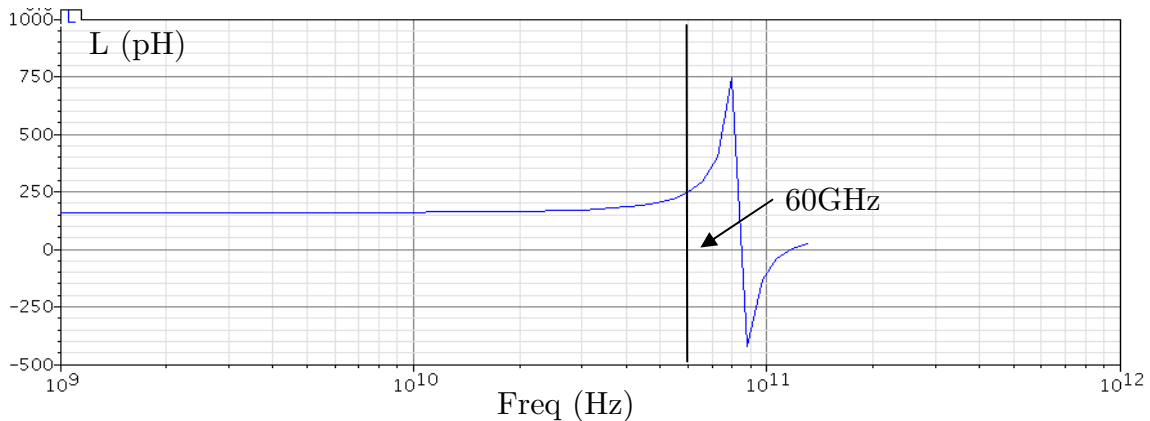
Pour l'utilisation des inductances, il faut être s'assurer que celles-ci n'ont pas résonné à la fréquence d'utilisation. En effet, une inductance peut être modélisée par un circuit RLC comprenant une inductance parfaite en série avec une résistance, et deux capacités parasites à la masse, comme le montre la *Figure II-15*.



*Figure II-15: Modèle d'une inductance*

A basse fréquence, les capacités se comportent comme des circuits ouverts et l'inductance comme un court-circuit, mais inversement, en haute fréquence, l'inductance se comporte comme un circuit ouvert et les capacités comme des courts-circuits. Le circuit se met à résonner pour une certaine fréquence  $f_r$  dont il est possible de calculer la valeur théorique par l'équation suivante :

$$f_r = \frac{1}{2\pi\sqrt{L_1(C_1 + C_2)}} \quad (\text{E. II} - 30)$$



*Figure II-16: Résonance de l'inductance octogonale de valeur théorique 160pH  
( $D = 75\mu\text{m}$ ,  $W = 6\mu\text{m}$ )*

Nous prenons la technologie 65nm CMOS avec les modèles d'inductances du DK. Nous simulons alors en paramètres Z l'inductance sur un port. La valeur réelle de l'inductance peut alors être calculée :

$$L = \frac{Z_{11}}{2\pi f} \quad (\text{E. II} - 31)$$

La *Figure II-16* montre la résonance d'une inductance de 160pH, qui est à la limite d'un fonctionnement correct à notre fréquence de 60GHz. Il s'agit d'une des valeurs limites des inductances à cette fréquence. Plus le diamètre d'inductance augmente, ou plus la largeur de piste augmente, plus la résonance sera tôt en fréquence. Nous privilégierons alors la conception en éléments distribués pour pallier aux contraintes des éléments localisés.

## II – 1.3 Choix de l'amplificateur

Nous avons vu dans le chapitre précédent que les spécifications de l'amplificateur de puissance requises sont un gain de 13dB, pour une puissance de sortie de 13dBm, avec un haut rendement. Or nous venons de voir que parmi les classes de fonctionnement des amplificateurs que les classes commutées présentent un rendement théorique supérieur à celui des classes linéaires. Nous allons donc nous orienter vers ces topologies. Parmi ces topologies, l'amplificateur de classe E et de classe D ont un rendement théorique de 100%. Mais nous avons vu dans la comparaison des différentes classes que l'amplificateur de classe D ne tenait pas compte de la capacité Cds dans sa théorie. Nous allons donc nous tourner vers un amplificateur de classe E pour notre application.

Nous allons parcourir l'état de l'art des amplificateurs en classe E en ondes millimétriques. Il existe peu d'amplificateurs en classe E à 60GHz. Il en existe un en technologie 0.13um SiGe BiCMOS [11] illustré en *Figure II-17*. Comme nous l'avons dit plus haut, à ces fréquences, il est préférable de remplacer les éléments localisés qui composent la théorie habituelle de l'amplificateur par des éléments distribués pour l'implémentation. C'est ce que les auteurs ont faits pour cet amplificateur avec des lignes microstrips. Les mesures de l'amplificateur en termes de PAE, gain et puissance de sortie sont données en *Figure II-18*.

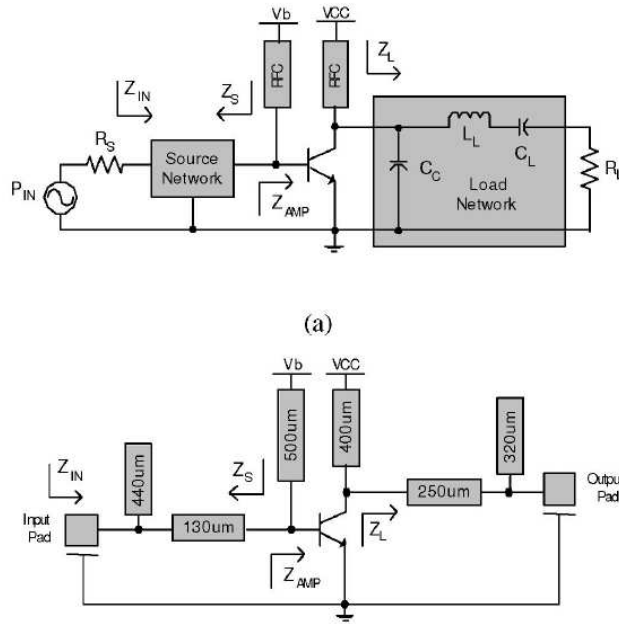


Figure II-17: Schéma conceptuel et implémentation de l'amplificateur mmW en classe E en technologie  $0.13\mu\text{m}$  SiGe BiCMOS [11]

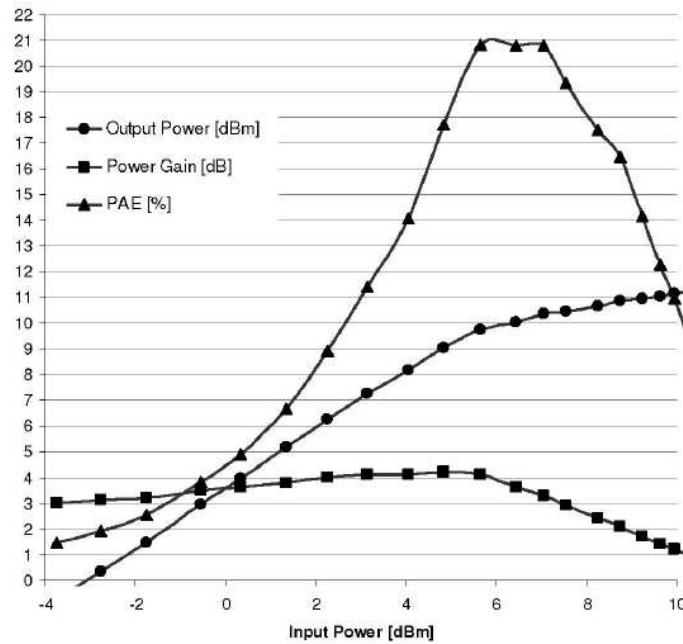


Figure II-18: Mesures à 58GHz de l'amplificateur 60GHz en classe E en technologie  $0.13\mu\text{m}$  SiGe BiCMOS [11]

Il existe un autre amplificateur de puissance en classe E dans une gamme de fréquence proche de la bande qui nous intéresse. Il s'agit d'un amplificateur autour de 40GHz, en technologie CMOS 65nm dont nous avons parlé dans le chapitre I [12]. La Figure II-19 rappelle cet amplificateur de classe E inclus dans une boucle à contre-réaction.

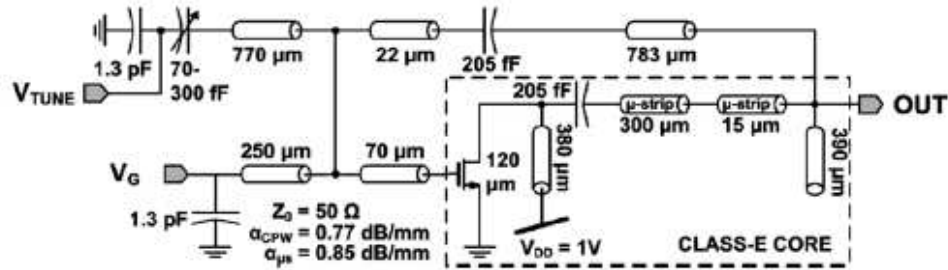


Figure II-19: Amplificateur de classe E à 40 GHz inclus dans une boucle à contre-réaction [12]

Le Tableau II-3 présente un récapitulatif des performances des deux amplificateurs en classe E à 60 GHz et 40 GHz.

Tableau II-3 : Etat de l'art des amplificateurs en classe E à 60GHz et 40 GHz.

	Freq. (GHz)	Tech.	Struct.	Gain max(dB)	Poutmax (dBm)	PAE <sub>max</sub> (%)	FOM (ITRS 05)
[11]	60	SiGe	Class E	4.2	11.7	20.9	47
[12]	40	CMOS 65nm	Class E	---	>4.6	>11.54	---

## II – 2 Conception de l'étage de puissance

Nous allons maintenant détailler la conception de l'amplificateur de puissance en classe E à 60 GHz que nous allons réaliser. Nous expliciterons le choix de la topologie, le dimensionnement des transistors, le transfert de la théorie de l'amplificateur en classe E en éléments distribués, le traitement des harmoniques et le réseau de sortie. Enfin nous détaillerons les résultats de simulation.

### II – 2.1 Choix de la topologie

Une fois choisie la classe de fonctionnement de l'étage de puissance, il faut en choisir la topologie.

Premièrement, nous choisissons la structure de l'amplificateur. Pour notre type d'amplificateur, nous avons le choix entre une structure à un transistor, en source commune, et les structures dites cascodes, à plusieurs transistors. La structure source commune a l'avantage de la simplicité mais peut poser des problèmes de stabilité, et possède une faible impédance de sortie qui peut engendrer plus de pertes en sortie. La structure cascode permet une répartition de la tension maximale entre  $V_{ds1}$  et  $V_{ds2}$  qui permet d'augmenter la tension d'alimentation. D'autre part cette structure ayant

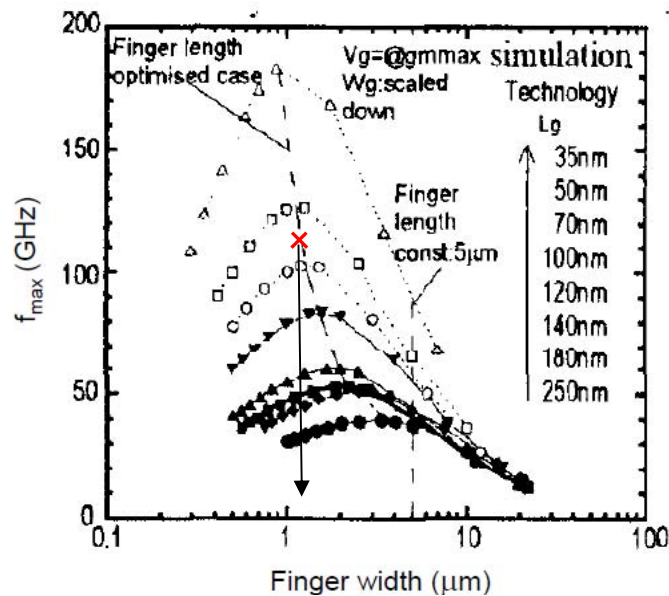
une plus forte impédance de sortie que la structure source commune, elle permet de réduire les pertes en puissance et donc d'augmenter la puissance de sortie. Cependant, la bande passante de la structure cascode est réduite par rapport à la structure source commune.

## II – 2.2 Dimensionnement du transistor

Une fois la structure déterminée, nous allons dimensionner les transistors. Il faut d'abord sélectionner la largeur de doigt optimale et le nombre de doigts optimal.

Pour déterminer la largeur de doigt  $W$  optimale, il faut se reporter au  $F_{max}$  en fonction de la largeur de doigt, représenté en *Figure II-20*. La première courbe est pour une technologie 35nm, la deuxième 50nm et la troisième 70nm. Notre technologie étant à 65nm, la largeur de doigt optimale se situe entre 1 $\mu$ m et 1,5 $\mu$ m. Nous sélectionnons une largeur de doigt médiane à 1,2 $\mu$ m.

D'après les règles de conception de la technologie, un doigt peut faire passer un courant de 0,18mA. Or d'après les courbes de  $F_t$  de la *Figure II-21*, nous avons un courant optimal à 30mA. Nous avons alors besoin de 166,6 $\mu$ m. Nous prenons une valeur proche de ce résultat : 168 $\mu$ m. Nous avons alors un transistor de 168 $\mu$ m, soient 140 doigts de 1,2 $\mu$ m.



*Figure II-20:  $F_{max}$  en fonction de la largeur de doigt pour différentes technologies [13]*



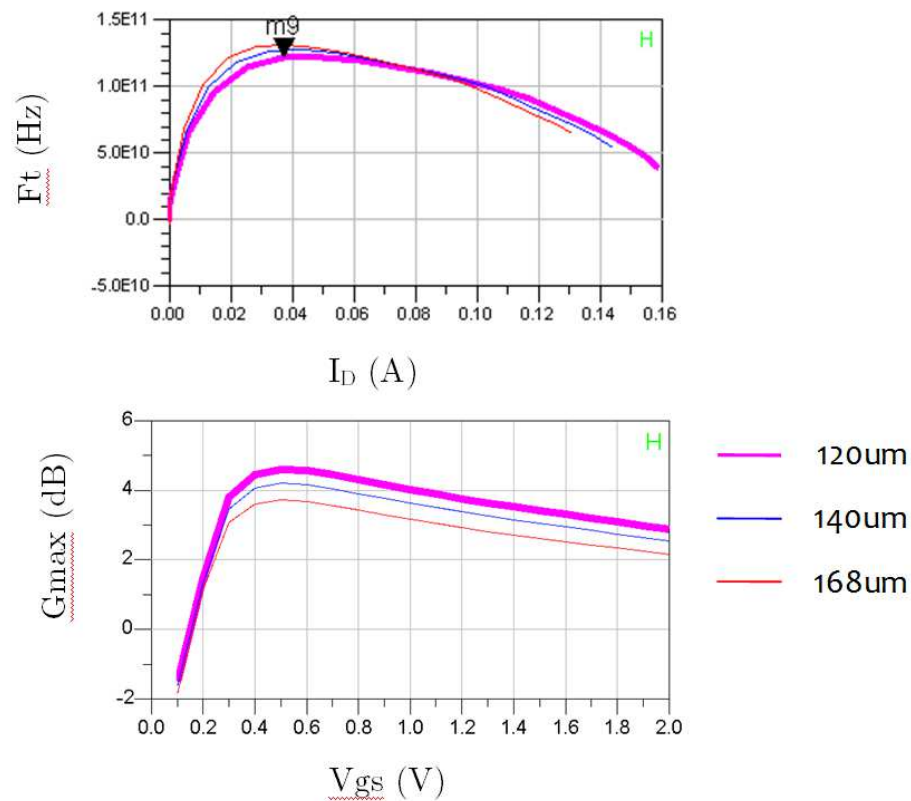


Figure II-21:  $F_t$  en fonction de  $I_D$  et  $G_{\text{max}}$  en fonction de  $V_{\text{gs}}$ .

## II – 2.3 Classe E en hautes fréquences

D'après les équations théoriques que nous avons vues dans le paragraphe II – 1.2.2.2, nous pouvons calculer les valeurs théoriques des composants en éléments localisés pour nos spécifications. Les résultats numériques sont présentés dans le *Tableau II-4*.

Tableau II-4 : Valeurs théoriques des composants pour  $P_{\text{out}}=15\text{dBm}$ ,  $V_{\text{dd}}=1,5\text{V}$  à  $60\text{GHz}$ .

$L_0$	$C_0$	$C_{\text{shunt}}$	$L_x$	$L_{\text{chk}}$	$R$
1nH	6,5fF	12fF	125pH	grande	41 $\Omega$

Nous pouvons noter que la valeur d'inductance  $L_0$  requise théorique est de 1nH. Cette inductance n'est pas réalisable à cause de sa résonance qui est bien avant 60GHz, comme nous pouvons le voir sur la *Figure II-22*. Nous allons alors envisager d'utiliser des éléments distribués dont nous parlerons au paragraphe II 2.4.

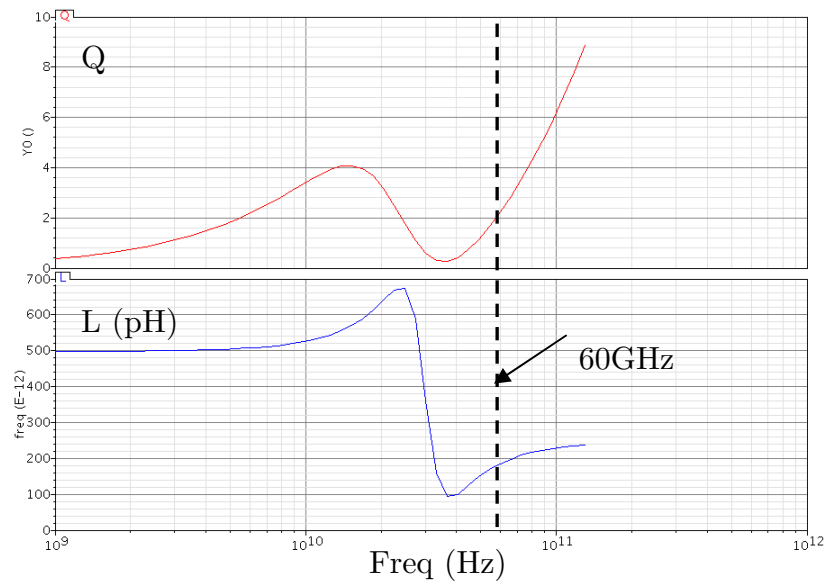


Figure II-22: Coefficient de qualité et valeur d'inductance calculée d'après les paramètres  $S$  d'une inductance de 697pH

### II – 2.3.1 Polarisations

Dans un premier temps, il faut fixer la polarisation du transistor en source commune. Cette polarisation doit théoriquement être à la tension de seuil, tout comme un classe B. Grâce à Cadence, nous pouvons retrouver la valeur de la tension de seuil : 0,407V. La valeur est confirmée sur ADS, graphiquement, comme sur la

Figure II-23, qui donne  $V_{th}=0,45V$ . Cette valeur sera retenue pour tension de seuil pour la suite.

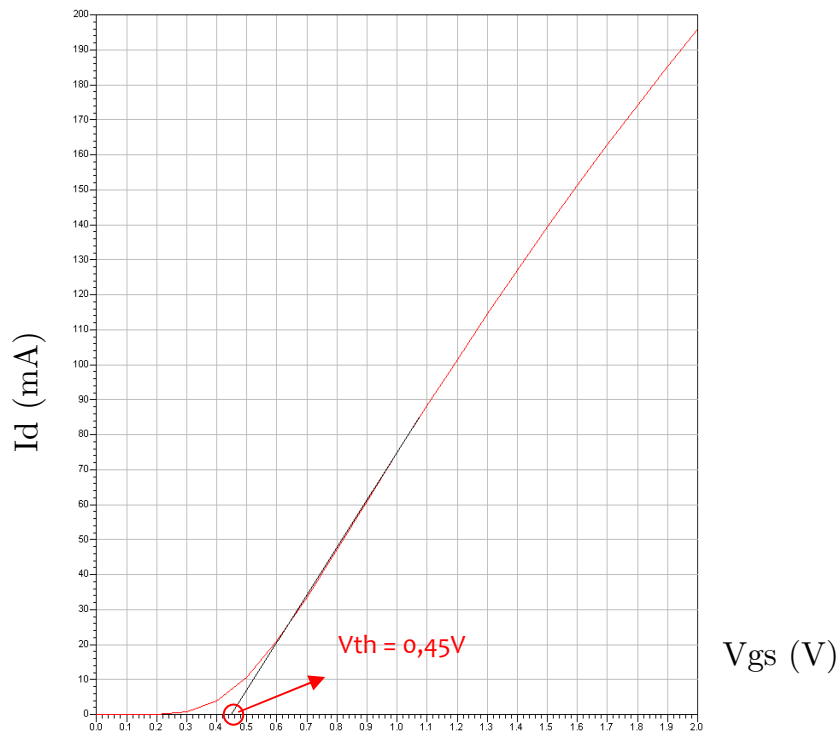
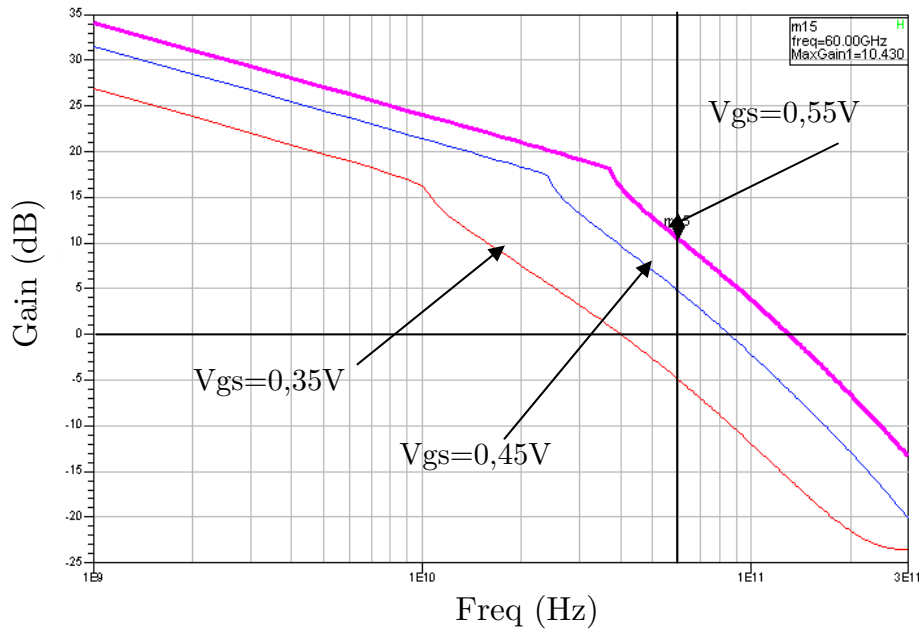


Figure II-23: Tension de seuil du transistor par la méthode graphique sous ADS.

Nous observons ensuite le gain pour une polarisation à 0,45V, à 0,35V et à 0,55V. Le gain maximal pour 0,45V de polarisation est de 4dB ce qui est trop faible. Il est possible de gagner 5dB de gain en augmentant de 0,1V la polarisation comme nous le voyons en *Figure II-24*. On va donc utiliser cette polarisation pour le source commune.



*Figure II-24: Gain maximal à trois polarisations différentes du transistor en source commune.*

Quant à la polarisation du transistor en grille commune, il existe dans la littérature plusieurs exemples à plus basses fréquences, où la grille du transistor est polarisée à  $V_{dd}$ , comme en [14] ; d'autres proposent de polariser en-dessous de  $V_{dd}$  comme en [15]. Certains utilisent également des tensions supérieures à  $V_{dd}$  [16] ou même encore des transistors auto-polarisés qui ont une contre-réaction depuis leur drain pour réguler la tension de grille par un pont diviseur voire un filtre passe-bas RC [17]. Nous choisissons de polariser à  $V_{dd}$  pour maximiser le gain possible, comme nous pouvons le voir en *Figure II-25*, car en polarisant avec une contre-réaction nous risquons de modifier l'impédance présentée sur le drain.

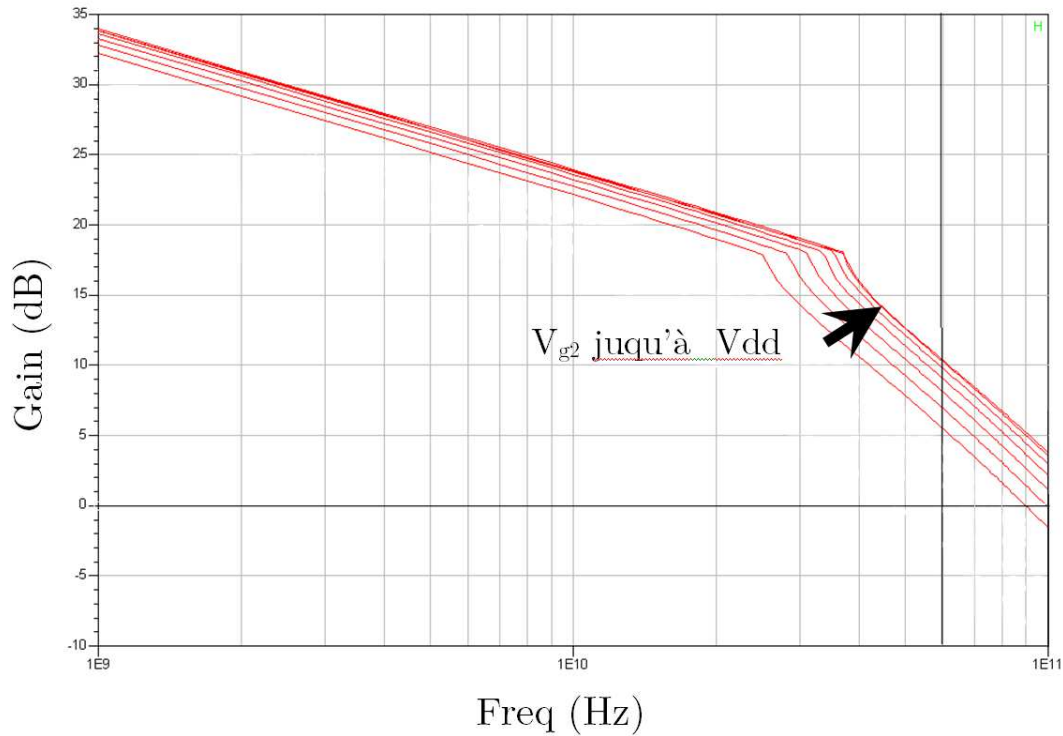


Figure II-25: Gain avec variation de la polarisation ( $V_{g2}$ ) de grille du transistor cascodé en grille commune jusqu'à  $V_{dd}$ .

## II – 2.3.2 Traitement des harmoniques à hautes fréquences

Nous avons vu dans la théorie de l'amplificateur en classe E que l'impédance présentée aux harmoniques doit être très élevée pour s'apparenter à un circuit ouvert. Or nous travaillons à la fréquence de 60GHz. La deuxième harmonique, à 120GHz se situe déjà à une fréquence critique pour les transistors. Nous pouvons alors nous poser la question du traitement des harmoniques si celles-ci sont déjà très atténuées. Pour cela nous vérifions au niveau du drain du transistor la puissance des différentes harmoniques, en Figure II-26.

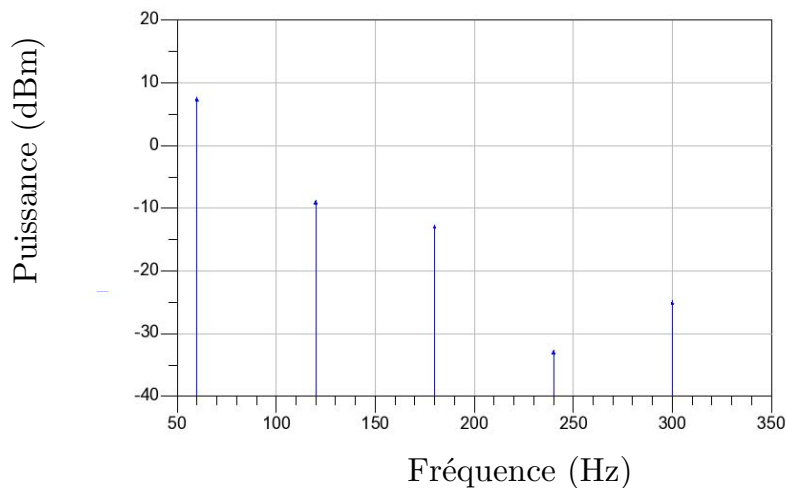
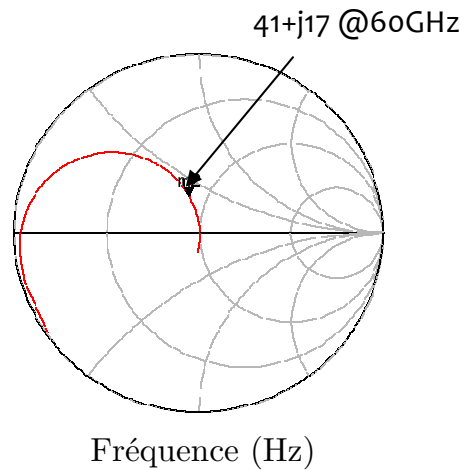


Figure II-26: Transformée de Fourier de la puissance de drain

Nous constatons que la deuxième harmonique est déjà quasiment à -10dBm et que les suivantes sont encore en-deçà. Nous en déduisons donc qu'à notre fréquence de travail, il est inutile de porter une attention particulière sur les harmoniques du fondamental.

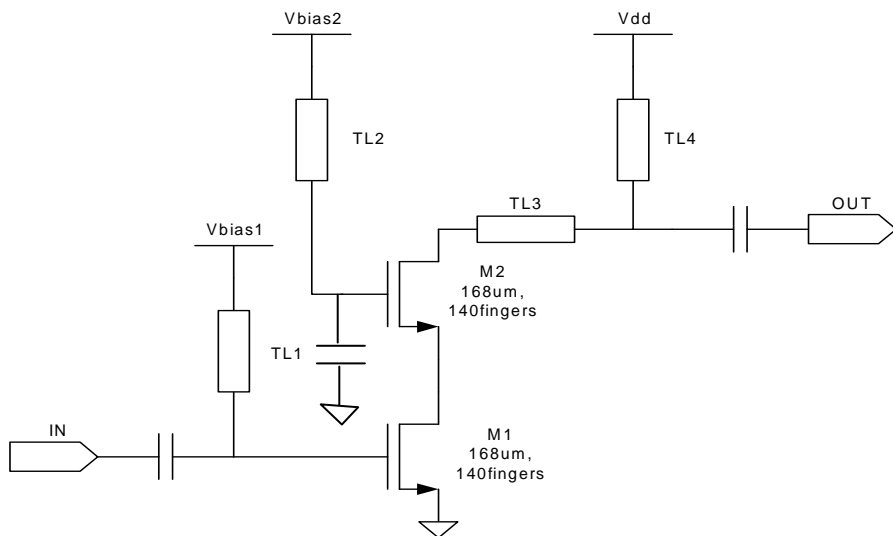
## II – 2.4 Optimisation du réseau de sortie

Nous avons constaté précédemment que nous ne pouvions pas utiliser d'éléments localisés pour le réseau de sortie de l'amplificateur en classe E. Nous allons donc utiliser des lignes microstrips pour présenter l'impédance souhaitée, *Figure II-27*, au drain de l'amplificateur en classe E. Sachant que le traitement des harmoniques par un circuit résonnant n'est pas utile, une ligne résonnante à 60GHz pour remplacer le réseau  $L_0-C_0$  n'est pas requise.



*Figure II-27: Impédance du réseau de sortie de l'amplificateur classe E*

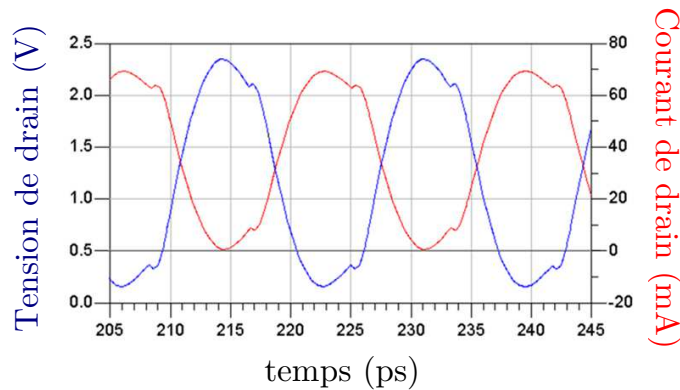
La *Figure II-28* représente le schéma de l'amplificateur de classe E avec des lignes microstrips, avec TL1 et TL2 de 400um, TL3 de 15um, et TL4 de 150um.



*Figure II-28: Schéma de l'amplificateur de classe E*

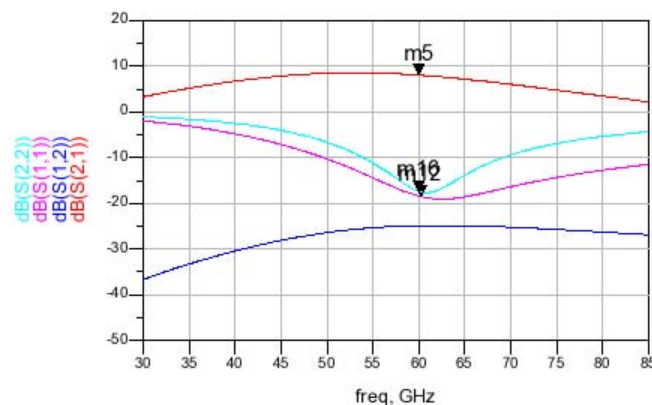
## II – 2.5 Simulations de l'étage de puissance

Nous étudions l'amplificateur pour une tension d'alimentation de 1,5V sous ADS. Dans un premier temps, nous effectuons une simulation temporelle pour vérifier les formes d'ondes. La courbe est illustrée en *Figure II-29*. Nous avons bien un non-recouvrement du courant et de la tension de drain.



*Figure II-29: Simulation temporelle de l'amplificateur en classe E.*

Nous simulons également les paramètres S de l'amplificateur. La *Figure II-30* présente les résultats de cette simulation en petit signal. Nous constatons que le  $S_{21}$  est à 8dB à 60 GHz, et que les paramètres  $S_{11}$  et  $S_{22}$  sont inférieurs à -15dB à cette même fréquence. Nous pouvons noter que le  $S_{21}$  ne subit pas trop de variations dans l'intervalle 57GHz – 66GHz.



*Figure II-30: Simulation paramètres S de l'amplificateur en classe E.*

Nous faisons également une simulation en grand signal pour observer le comportement de l'amplificateur. La *Figure II-31* présente le gain et la puissance de sortie de l'amplificateur à 60 GHz. Nous retrouvons alors pour une puissance d'entrée de -20dBm le gain de 8dB qu'on avait en paramètres  $S_{21}$  à 60 GHz. Par ailleurs, la puissance de sortie maximale supérieure à 15dBm. Ce n'est pas à ce niveau de puissance que l'amplificateur oscillera, en effet le gain s'affaisse à puissance d'entrée élevée. Il faut se placer à 7dBm de puissance d'entrée. A ce niveau de puissance, le gain est de 4,5dB, et nous avons alors 11,5dBm de puissance de sortie.

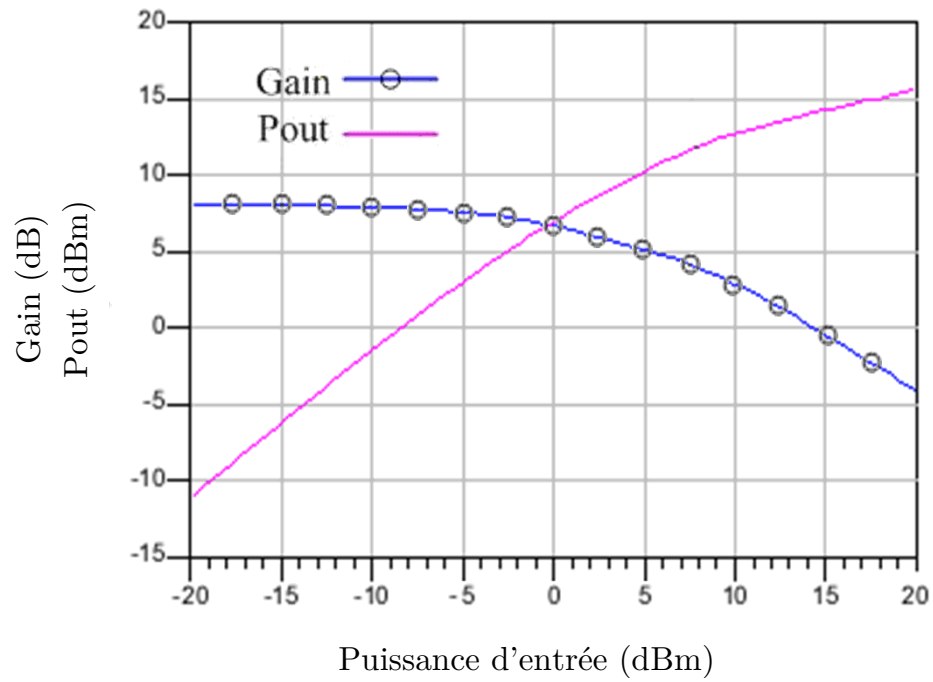


Figure II-31: Simulation grand signal de l'amplificateur en classe E.

Toujours à 60 GHz, nous observons le rendement en puissance ajoutée (PAE) et le rendement de drain qui sont illustrés Figure II-32. La PAE maximale est de 31% et le rendement de drain de 39%.

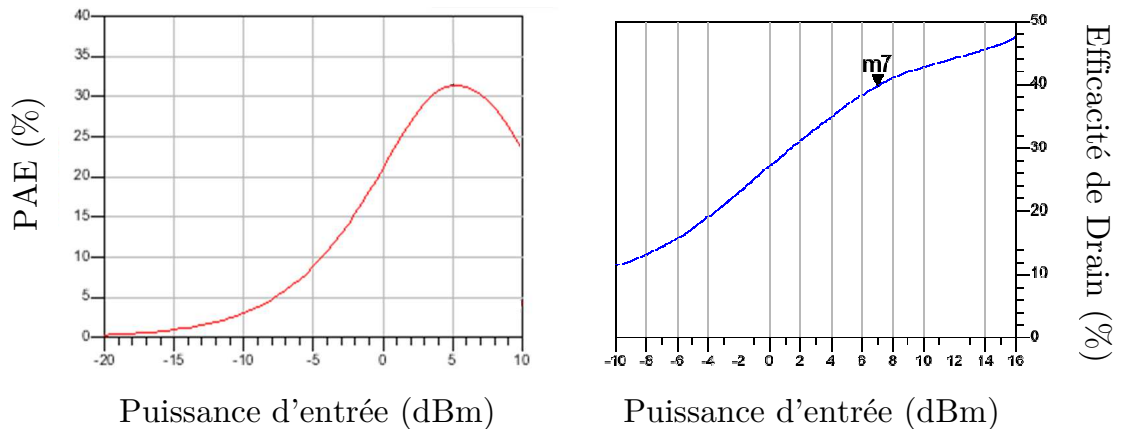


Figure II-32: PAE et efficacité de drain de l'amplificateur en classe E.

Nous allons par la suite concevoir l'étage driver en fonction de ces résultats en prévision des performances attendues pour l'amplificateur de puissance à deux étages.

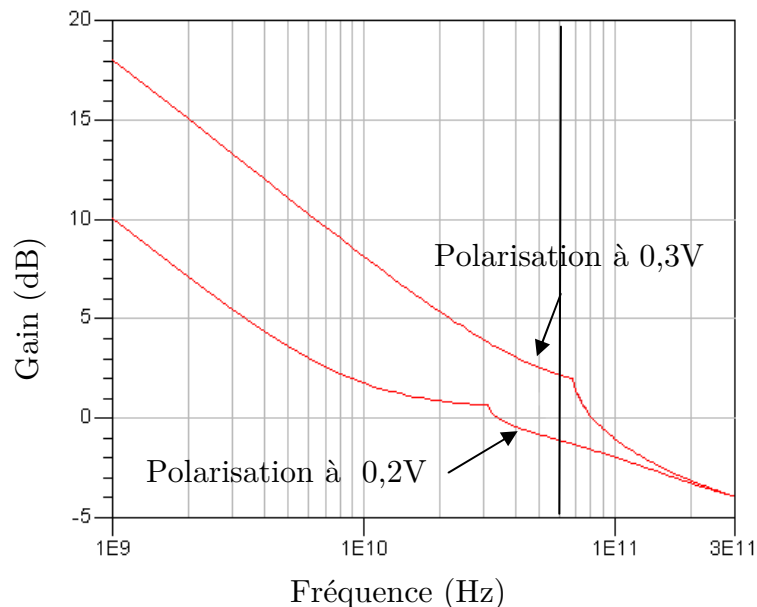
## II – 3 Conception de l'étage driver

Une fois l'étage de puissance conçu, nous allons maintenant nous intéresser à la conception de l'étage driver, utilisé pour piloter l'étage de puissance. Nous commençons par déterminer le choix de sa classe de fonctionnement et de sa topologie.

### II – 3.1 Choix de la classe de fonctionnement et de la topologie

L'amplificateur de classe E doit être commandé par un signal se rapprochant au maximum d'un signal carré. Le choix de la classe de fonctionnement du driver se fait donc entre les classes B, C et F. En effet, l'amplificateur de classe C étant polarisé sous la tension seuil et le classe B à la tension de seuil, leurs formes d'ondes sont des demi-sinusoïdes. Le classe F quant à lui, de par le traitement des harmoniques de son réseau de sortie, a un signal de sortie se rapprochant d'un signal carré.

Les simulations effectuées nous ont permis de mettre en évidence que le gain de l'étage driver polarisé en classe C présente un gain très faible à 60GHz, de l'ordre de 2dB pour une polarisation à 0,3V et de -1dB pour une polarisation de 0,2V (*Figure II-33*).



*Figure II-33: Gain maximal avec des polarisations en classe C.*

Nous avons alors le choix entre un amplificateur de classe B ou un amplificateur de classe F. Le classe B impose une polarisation à la tension de seuil alors que le classe F peut être polarisé à des tensions supérieures. Nous sélectionnons donc l'amplificateur en classe F pour l'étage de puissance.



## II – 3.2 Dimensionnement du transistor

Nous utilisons pour l'étage driver le même type de transistor que pour l'étage de puissance. Nous nous basons donc sur la même étude pour dimensionner le transistor. Nous sélectionnons une largeur de doigt  $w$  de  $1,2\mu\text{m}$ , de la même manière que pour l'étage de puissance.

Nous avons donc une longueur de transistor optimale de  $168\mu\text{m}$ . Cependant n'ayant qu'un transistor, nous allons router le transistor en le divisant en 4 parties. Nous aurons donc 4 transistors de  $42\mu\text{m}$  avec 35 doigts chacun.

## II – 3.3 Théorie du classe F

Nous avons vu que l'implémentation d'un classe F au nombre infini de résonateur n'est pas envisageable et que seules trois harmoniques suffisaient. Nous avons vu aussi qu'il n'était pas possible d'utiliser des éléments localisés à cause de la résonance des inductances qui s'effectue trop tôt en fréquence. Nous allons donc utiliser des lignes microstrips pour réaliser le réseau de sortie de l'amplificateur en classe F. Par exemple, pour un résonateur à la fréquence  $f$ , nous utiliserons une ligne microstrip de longueur  $\lambda/4$ , où  $\lambda$  est la longueur d'onde.

Les tronçons de lignes peuvent être mis en série ou en parallèle, et peuvent être assimilés à des circuits ouverts pour les harmoniques d'ordre impair et à des courts-circuits pour les harmoniques d'ordre pair.

Le principe du classe F reste le même avec des lignes qu'avec des circuits résonants. L'impédance idéale d'un réseau de sortie de classe F idéal est de 0 pour les harmoniques paires, et infinie pour les harmoniques impaires (*Figure II-34*).

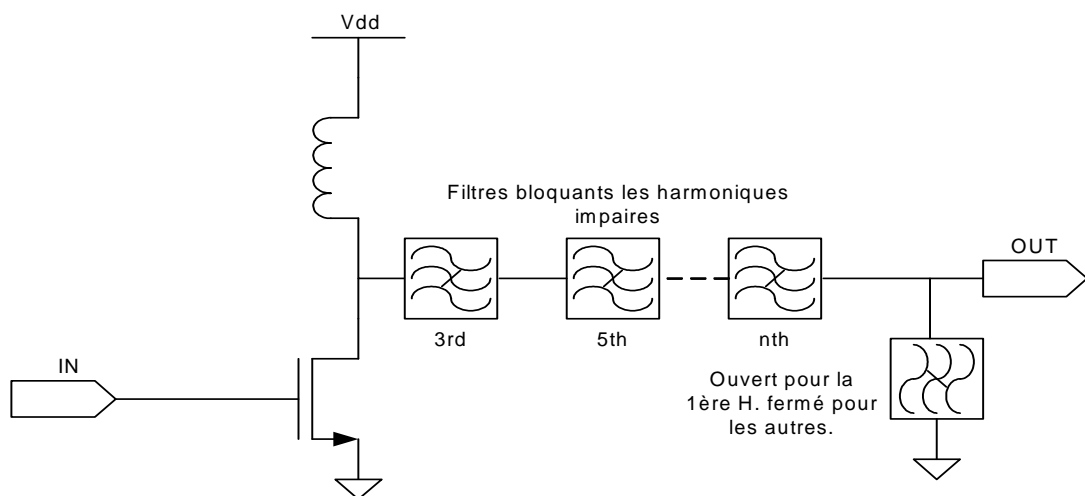
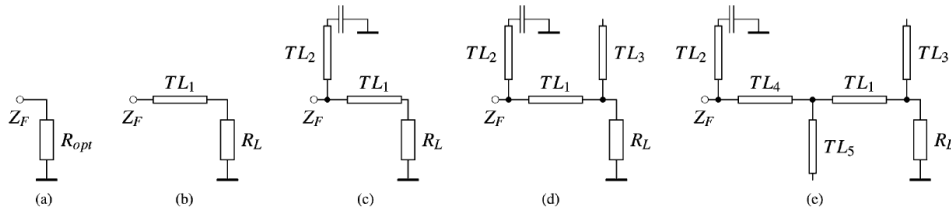


Figure II-34: Schéma fonctionnel de l'amplificateur de classe F.

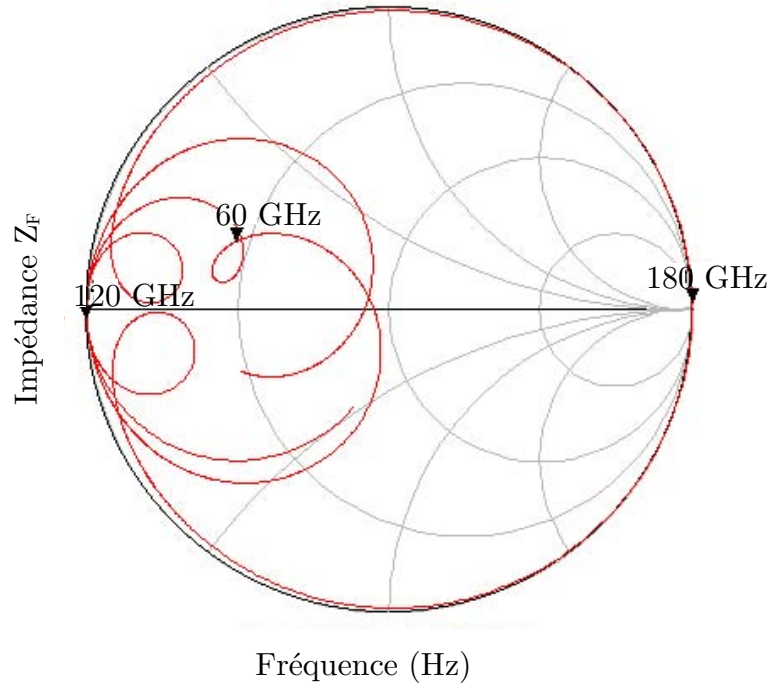
## II – 3.4 Optimisation du réseau de sortie

Nous pouvons prendre en compte plus ou moins d'harmoniques dans le réseau de sortie. La *Figure II-35* présente les réseaux de lignes microstrips suivant le nombre d'harmoniques pris en compte. Le premier schéma n'en prend aucune, le deuxième prend en compte le fondamental, le troisième en prend deux et ainsi de suite. Nous nous arrêterons à la troisième harmonique, donc au schéma (d). La *Figure II-36* illustre les impédances aux harmoniques pour (d).

La ligne TL1 correspond à une ligne  $\lambda/4$  pour le fondamental à 60GHz, soit une longueur de 600um, de même pour la ligne TL2. La ligne TL3 est quant à elle une ligne  $\lambda/4$  pour la troisième harmonique à 180GHz, soit une longueur de 200um.

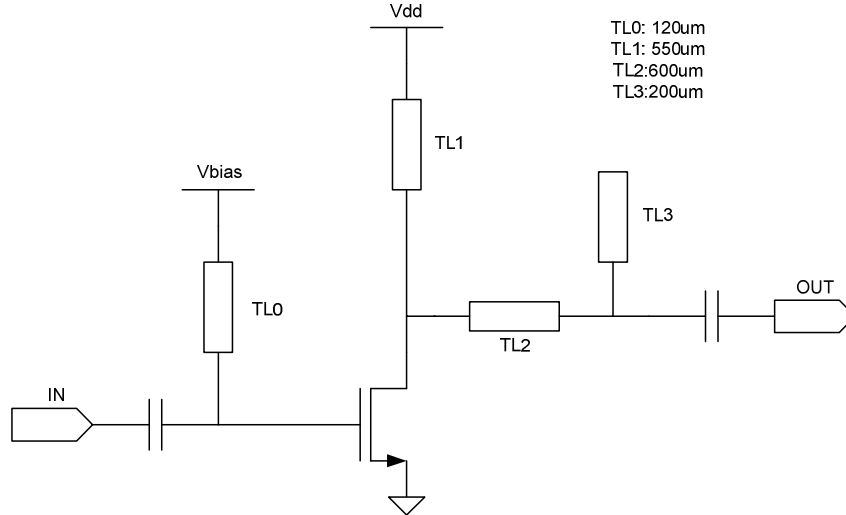


*Figure II-35: Réseaux de sortie de l'amplificateur en classe F suivant le nombre d'harmoniques pris en compte [10].*



*Figure II-36: Impédances du réseau de lignes microstrips pour 3 harmoniques.*

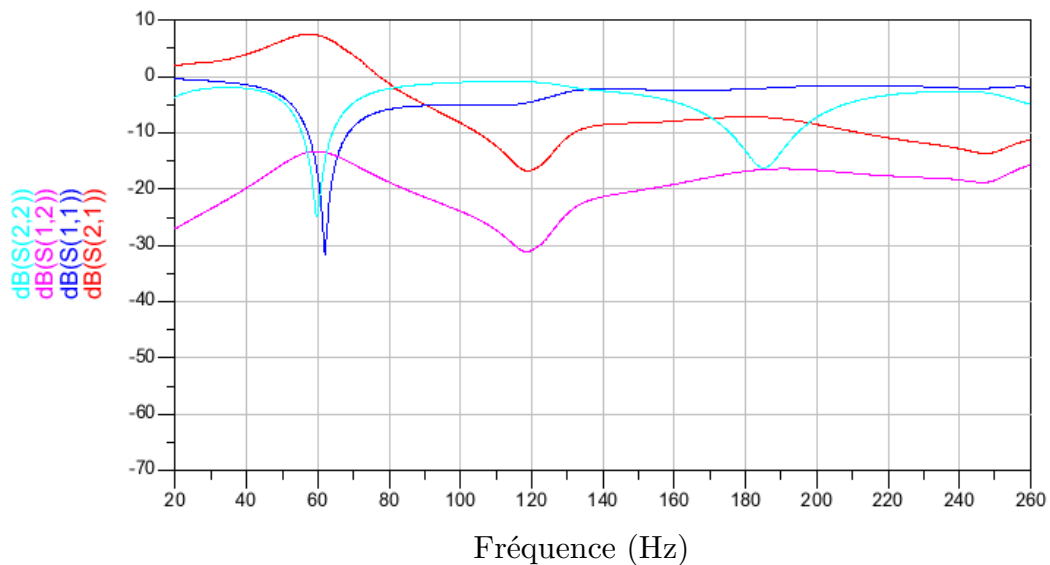
Après simulation et optimisation du réseau de sortie, nous avons alors une implémentation telle que la *Figure II-37* le montre. Les lignes TL1 et TL3 ont une impédance caractéristique de  $50\ \Omega$ , la ligne TL2 de  $30\ \Omega$ .



*Figure II-37: Implémentation de l'amplificateur en classe F.*

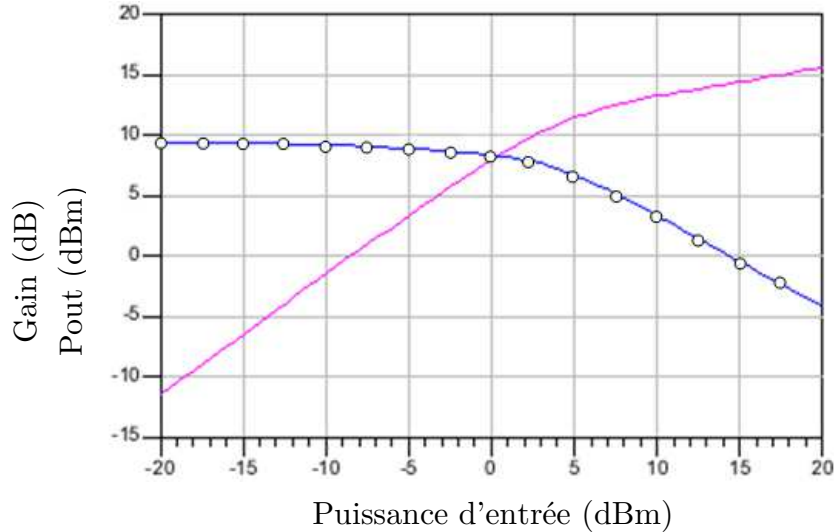
## II – 3.5 Simulations de l'étage driver

Dans un premier temps, nous observons les paramètres S de l'amplificateur, pour vérifier son comportement en petit signal. La *Figure II-38* montre que le gain en petit signal est de 8B à 60GHz. Grâce au réseau de sortie, nous observons une chute du gain au niveau de la deuxième harmonique à -17dB, puis une remontée à -7dB pour la troisième harmonique.

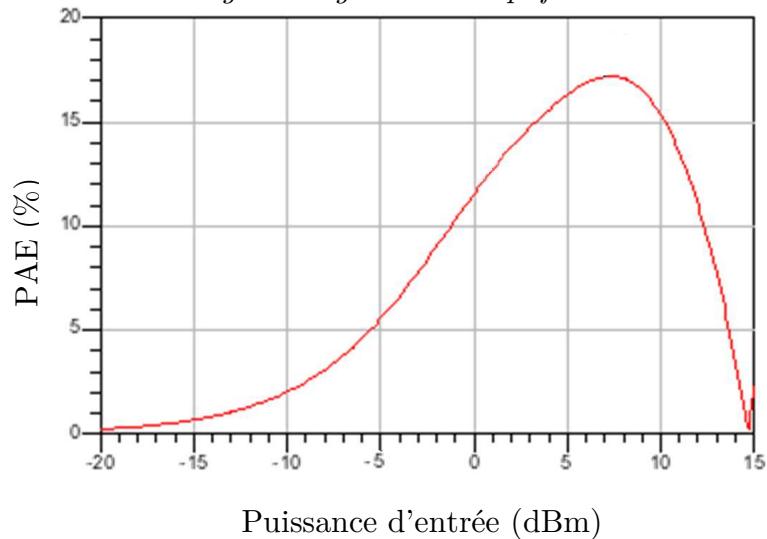


*Figure II-38: Simulation petit signal du classe F.*

Dans un deuxième temps, nous observons le comportement de l'amplificateur en grand signal en *Figure II-39*. Nous observons un gain de 8dB et une puissance maximale de sortie supérieure à 15 dBm. Il est à noter que pour obtenir une puissance de sortie de 7dBm, il faut une entrée de 0dBm. L'étage de puissance pour une telle puissance d'entrée fournit la puissance finale que nous souhaitons. En *Figure II-40*, nous retrouvons la PAE de l'étage en classe F. Nous avons alors une PAE maximale de 17%.



*Figure II-39: Simulation en grand signal de l'amplificateur en classe F.*



*Figure II-40: PAE de l'amplificateur en classe F.*

## II – 4 Simulations de l'amplificateur à deux étages

Nous allons maintenant assembler les deux parties de l'amplificateur pour observer les résultats de simulation de l'amplificateur à deux étages.

## II – 4.1 Schéma global de l'amplificateur

Dans un premier temps, nous effectuons l'assemblage des deux étages de l'amplificateur. La *Figure II-41* illustre le schéma global de l'amplificateur. Les résultats de simulation présentés par la suite ont utilisés les simulations post-layout des transistors.

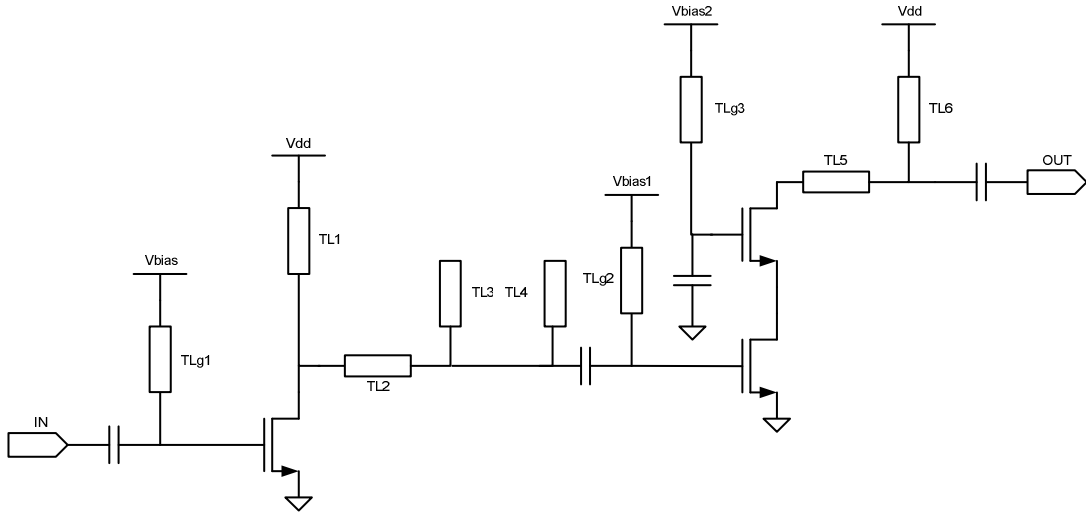


Figure II-41: Schéma de l'amplificateur de classe F-E.

## II – 4.2 Simulations petit signal

Nous effectuons une simulation des paramètres S de l'amplificateur. Les courbes des différents paramètres S sont données en *Figure II-42*. Nous avons bien comme souhaité un gain de 15dB à 60GHz.

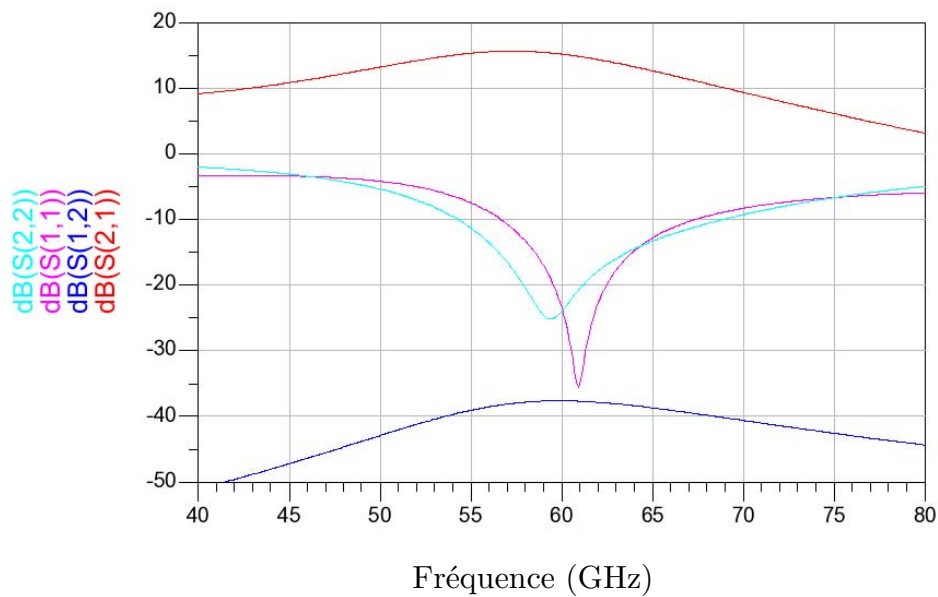
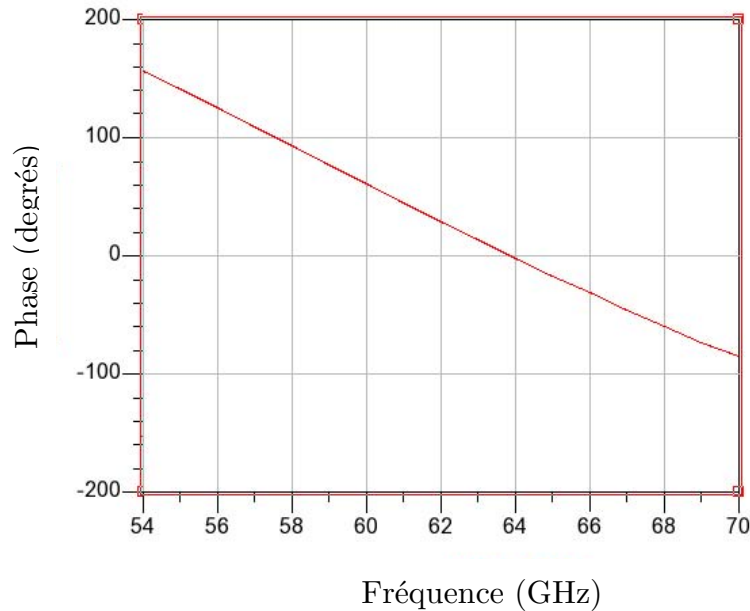


Figure II-42: Simulation paramètres S de l'amplificateur deux étages F-E.

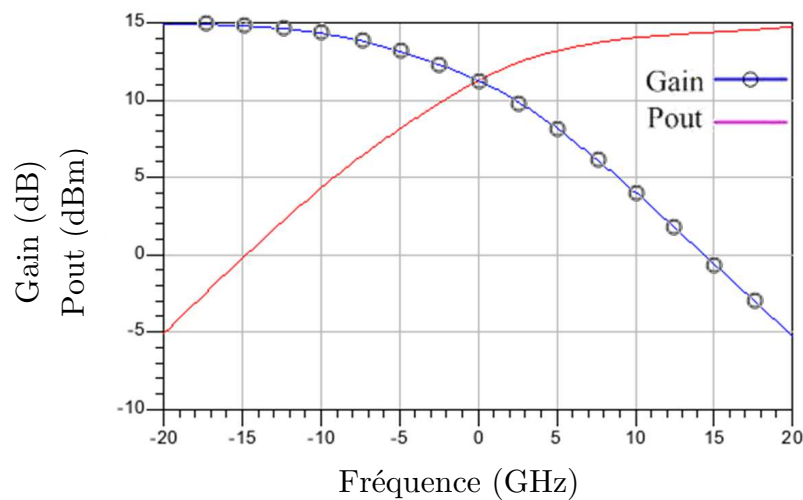
Nous observons également un paramètre qui sera important par la suite : la phase apportée par l'amplificateur présentée en *Figure II-43*. Nous expliquerons dans le chapitre 3 quelle est son influence dans le système du Power VCO. Nous avons donc une phase entre 57 GHz et 66GHz qui ne subit pas de discontinuités et qui a un ordre de grandeur entre  $-40^\circ$  à  $110^\circ$ .



*Figure II-43: Phase apportée par l'amplificateur.*

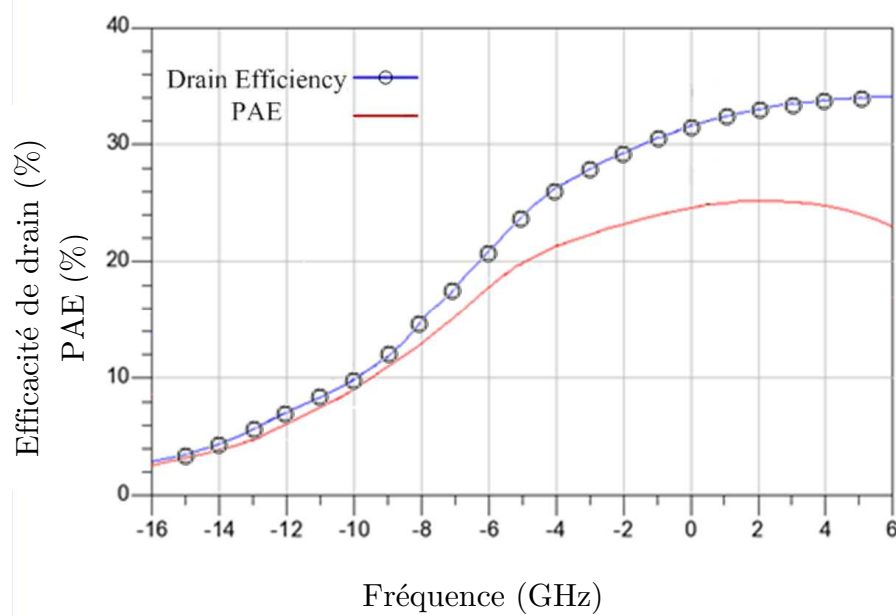
## II – 4.3 Simulations grand signal

Nous observons ensuite les résultats en grand signal au travers du gain et de la puissance de sortie. Nous avons un gain petit signal de 15dB et une puissance de sortie maximale de 15dBm. Pour une puissance d'entrée de 0dBm on obtient une puissance de sortie de 11,5dBm. Les courbes sont présentées *Figure II-44*.



*Figure II-44: Simulation grand signal de l'amplificateur deux étages F-E.*

Nous observons aussi la PAE et le rendement de drain de l'amplificateur, en *Figure II-45*. Nous constatons une PAE maximale de 26% et une efficacité de drain maximale de 34,5%. Nous pouvons comparer ces résultats à l'état de l'art présenté précédemment, et voir que les résultats sont prometteurs. En effet la PAE de l'amplificateur de la référence [11] est de 20% et ici nous atteignons 26%. De même, le gain et la puissance de sortie de 15dB et 15dBm sont supérieurs à ceux présentés dans la référence [11].



*Figure II-45: PAE et rendement de drain de l'amplificateur deux étages F-E.*

## II – 5 Layout de l'amplificateur de puissance

L'amplificateur de puissance en classe E piloté par un étage classe F a été lancé en fabrication. La *Figure II-46* montre le layout de cet amplificateur. Sa surface avec les PADS est de 1,19mm<sup>2</sup>.

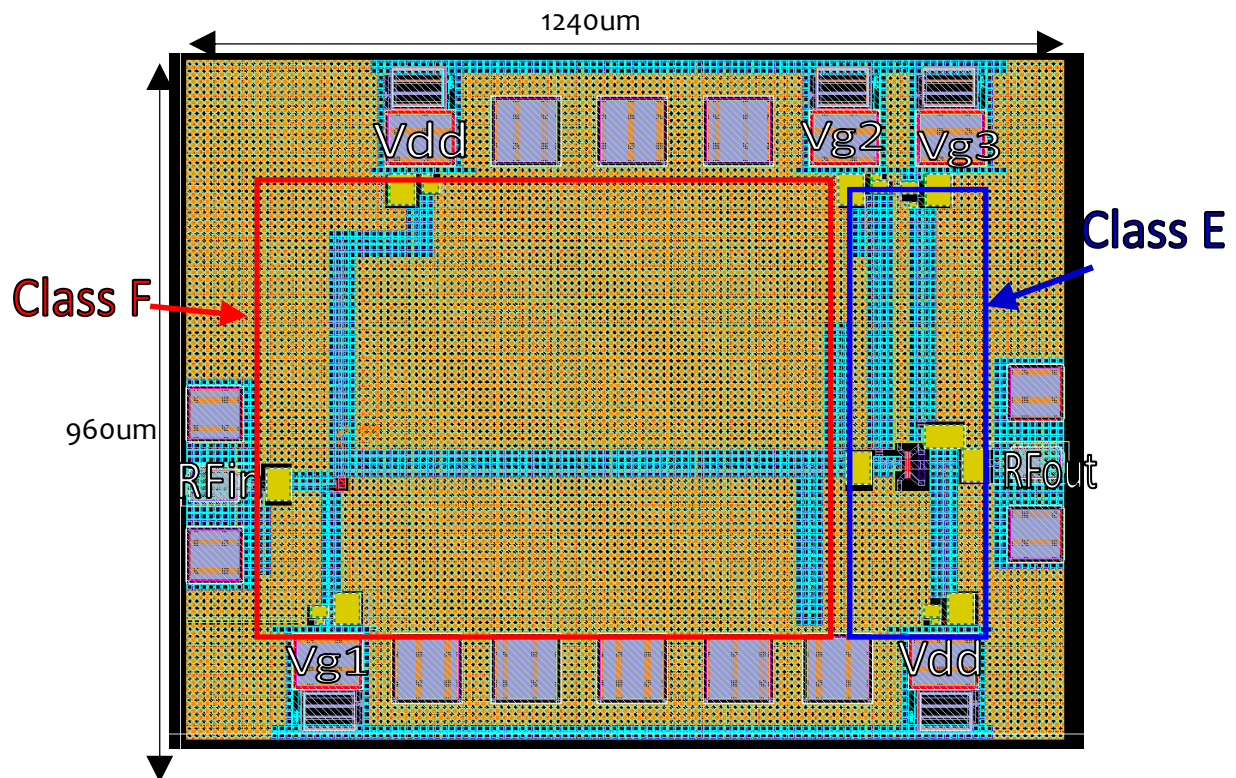


Figure II-46: Layout de l'amplificateur de classe E driven par un classe F.

## II – 5.1 Layout du cascode

Le premier élément dont il faut faire le layout est le cascode de l'étage de puissance. Il existe plus d'une façon de faire le layout d'un transistor et ainsi plusieurs layouts ont été testés pour choisir la version la plus adéquate. La version comportant le moins de capacités parasites a été sélectionnée. Cette version de layout fait remonter très vite à la métallisation 7 et fait la liaison entre les deux transistors en métallisation 2. La Figure II-47 illustre le layout de ce cascode et la Figure II-48 les principales capacités parasites extraites.



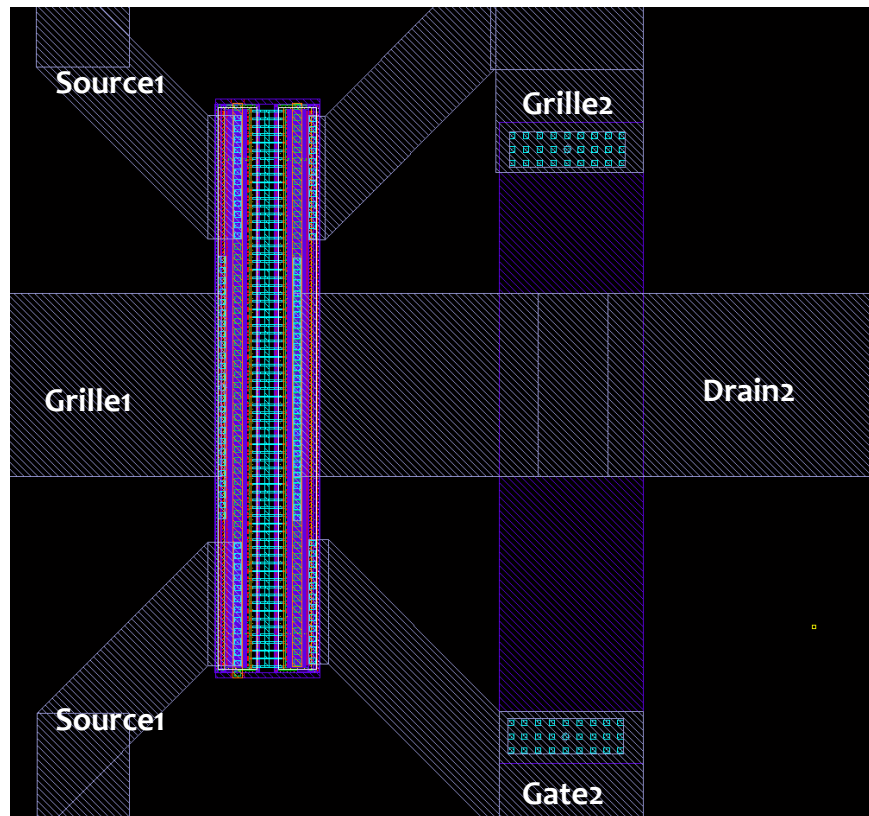


Figure II-47: Layout des transistors cascode de l'amplificateur en classe E.

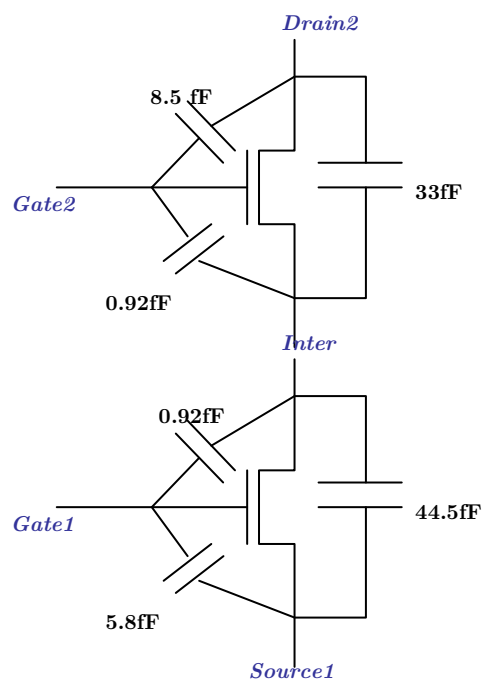
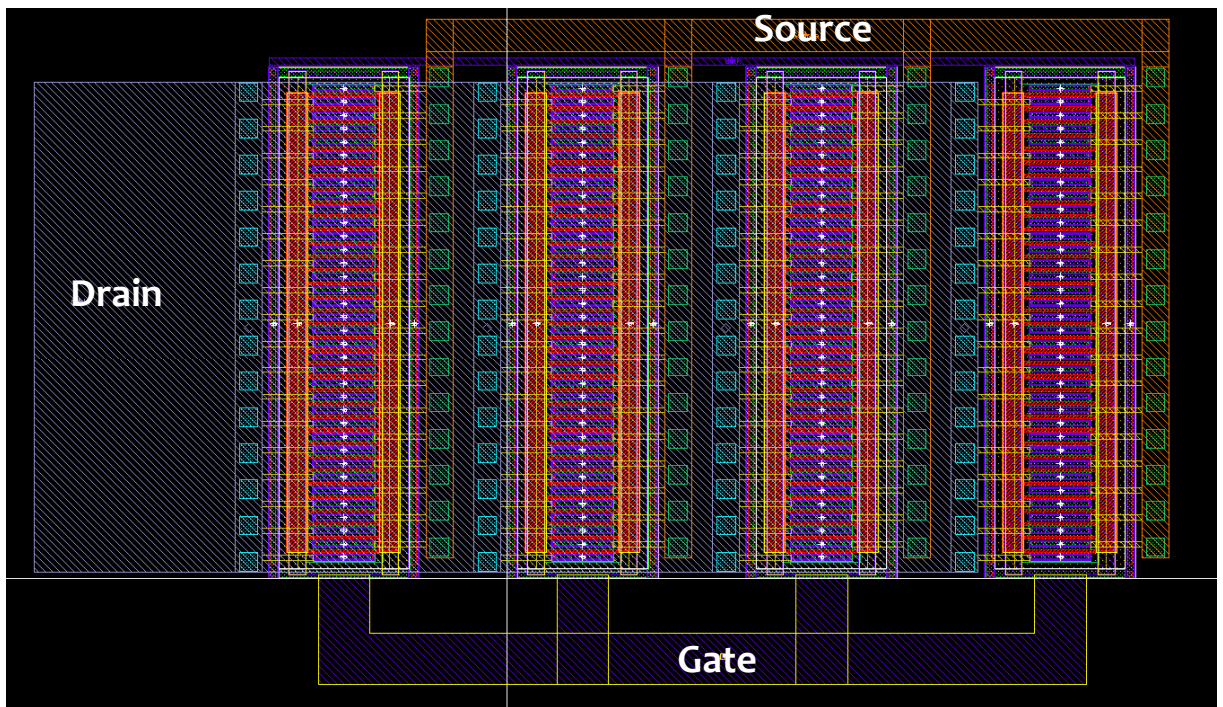


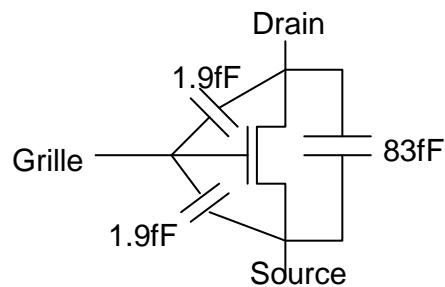
Figure II-48: Capacités parasites principales extraites de l'amplificateur cascode.

## II – 5.2 Layout du driver

Le layout du transistor du driver a également son importance. De la même manière que les transistors en cascode, le transistor du driver a été testé sous différentes versions de layout. La *Figure II-49* présente le layout de ce transistor, qui comme nous l'avons expliqué dans la conception du classe F, est divisé en 4 transistors dont les drains sont relié en métal 7, les sources en métal 6, et les grilles en métal 1. Les principales capacités parasites sont données en *Figure II-50*.



*Figure II-49: Layout du transistor en source commune du driver de l'amplificateur.*

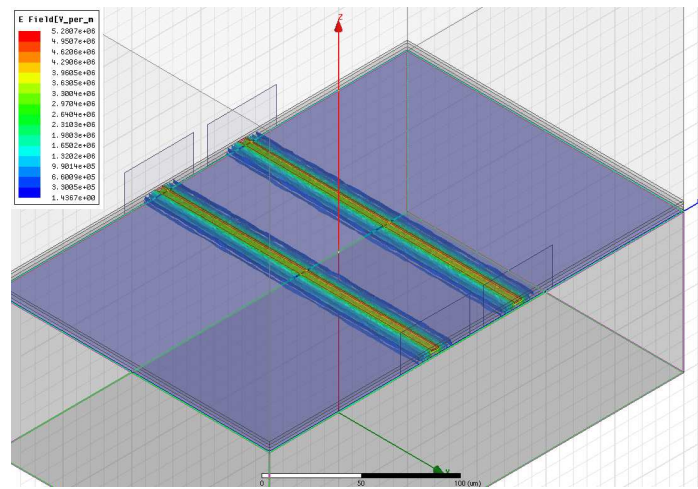


*Figure II-50: Capacités parasites du transistor en source commune du driver de l'amplificateur.*

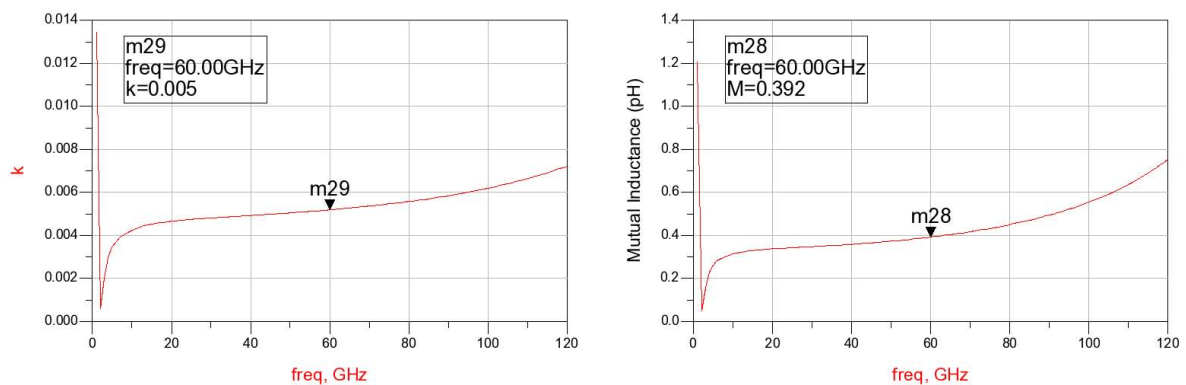
## II – 5.3 Autres éléments du layout

Nous travaillons à la fréquence autour de 60GHz et nous pouvons voir sur la *Figure II-83* que certaines lignes microstrips sont proches (50  $\mu\text{m}$ ). Nous devons donc nous assurer que ces lignes ne se couplent pas entre elles et ne forment pas une mutuelle inductance qui modifierait le fonctionnement de l'amplificateur.

Nous faisons alors une simulation électromagnétique de deux lignes espacées de 50  $\mu\text{m}$  en métallisation 7 avec un plan de masse sous HFSS. La *Figure II-51* montre le schéma des conditions de simulation de ces deux lignes microstrips espacées de 50 $\mu\text{m}$  et la *Figure II-52* les résultats de simulations en termes de coefficient de couplage et de mutuelle inductance. Nous pouvons constater que le coefficient de couplage est très faible : de 0,005 à 60 GHz, et la mutuelle inductance également : 0,392pH.



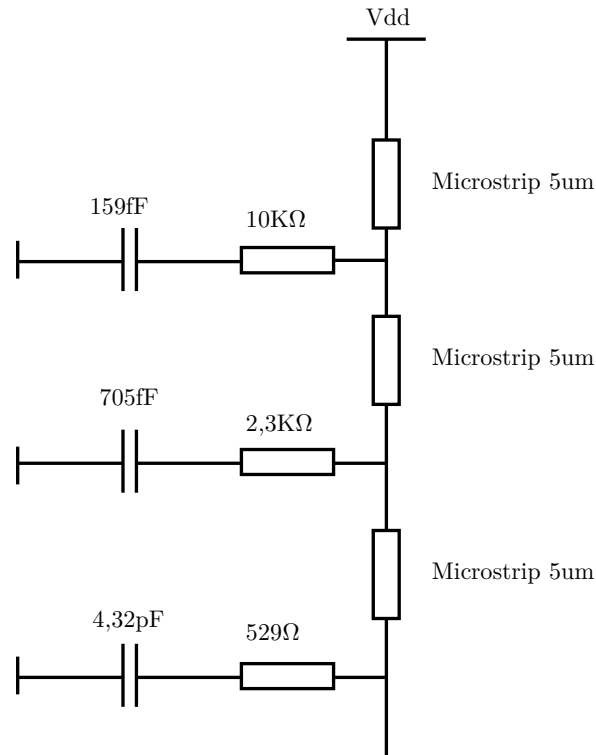
*Figure II-51: Schéma de simulation électromagnétique sous HFSS de deux lignes séparées de 50 $\mu\text{m}$ .*



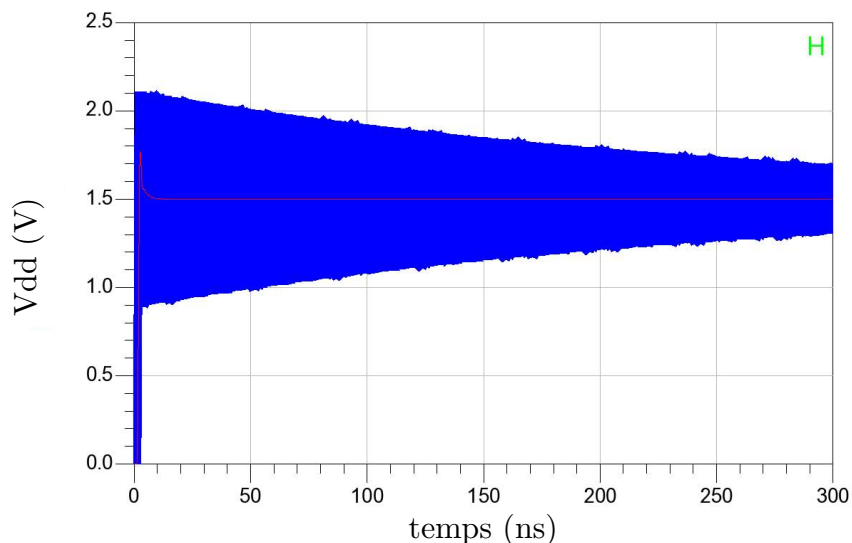
*Figure II-52: Coefficient de couplage et mutuelle inductance des deux lignes séparées de 50 $\mu\text{m}$  sous HFSS.*

Nous avons donc vérifié que les lignes parallèles présentes sur le layout ne s'influençaient pas entre elles.

Le découplage est aussi un élément important du layout. Il contribue à la stabilité des alimentations DC. Il ne suffit pas forcément de placer beaucoup de capacités, mais de multiplier les valeurs des capacités et des résistances associées afin de filtrer à différentes fréquences de coupure le signal DC. La *Figure II-53* donne les différentes valeurs utilisées pour ce réseau. Et la *Figure II-54* montre la simulation temporelle d'une tension DC du circuit soumise à une impulsion, avec (en rouge) et sans (en bleu) ces éléments de découplage. Nous constatons que le réseau de découplage remplit son rôle et empêche toute oscillation des alimentations DC.



*Figure II-53: Schéma de réseau RC et découplage DC*



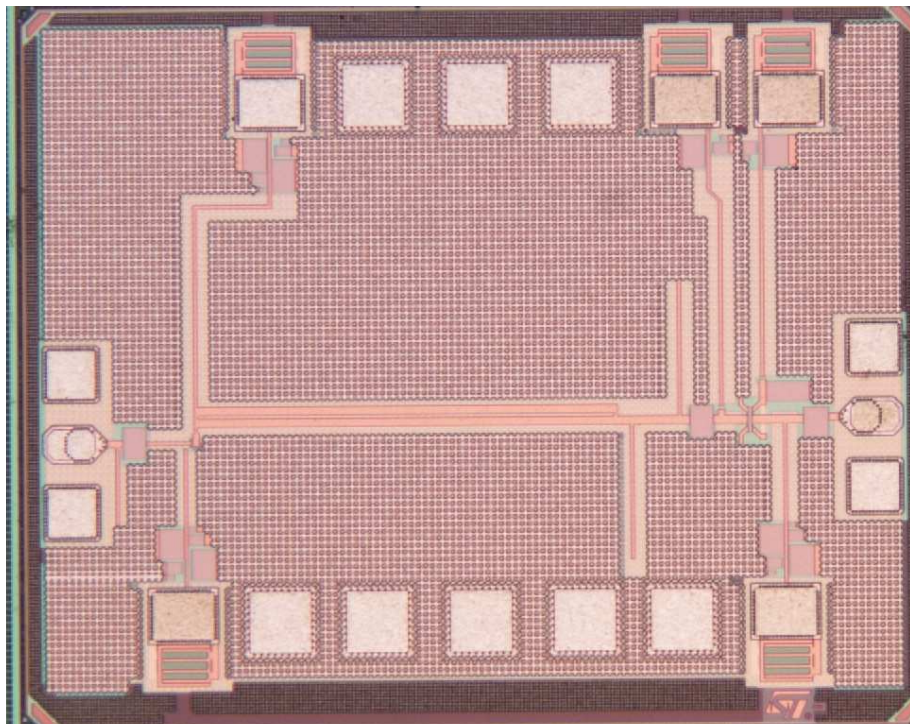
*Figure II-54: Réponse du signal DC soumis à une impulsion sans découplage (bleu), avec découplage (rouge).*



## II – 6 Mesures de l’amplificateur de puissance

### II – 6.1 Photo de la puce

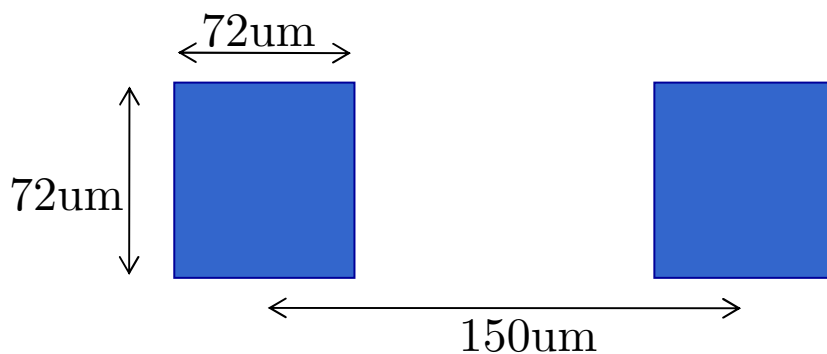
L’amplificateur de puissance en classe E piloté par un étage classe F a été réalisé. La *Figure II-55* montre une photo de la puce. Sa surface avec les PADs est de  $1,19\text{mm}^2$ .



*Figure II-55: Photo de la puce de l’amplificateur en classe F-E.*

### II – 6.2 Mesures

Pour les mesures, des pointes DC 6 et 8 ont été utilisées. S’agit de pointes DC Probewedge WD-150 de SUSSMICROTEC qui se positionnent tel que le décrit la *Figure II-56*. D’autre part, les pointes RF, de type GSG, sont distancées de  $100\mu\text{m}$  comme le décrit la *Figure II-57*. Les mesures de paramètres S sont réalisées avec un analyseur de réseaux.



*Figure II-56: Configuration des PADs DC.*

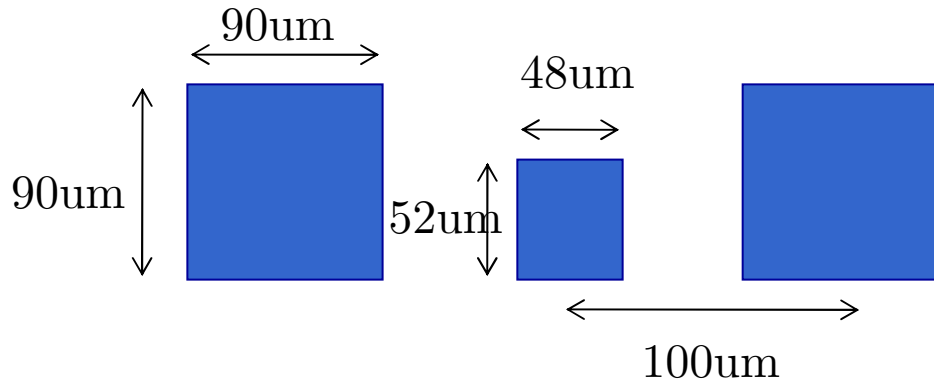


Figure II-57: Configuration des PADs RF.

Le courant DC dans le drain de l'amplificateur de classe F est beaucoup trop élevé : 191mA pour une configuration avec Vdd à 1,5V, la tension de grille du classe F à 0,65V, la tension de grille du classe E à 0,55V, et la tension de d'alimentation du classe F à 1,2V. Cette valeur aberrante témoigne d'un court circuit au niveau du drain de l'amplificateur. La Figure II-58 montre les mesures de paramètres S de l'amplificateur. L'adaptation en entrée est mauvaise et le gain est négatif.

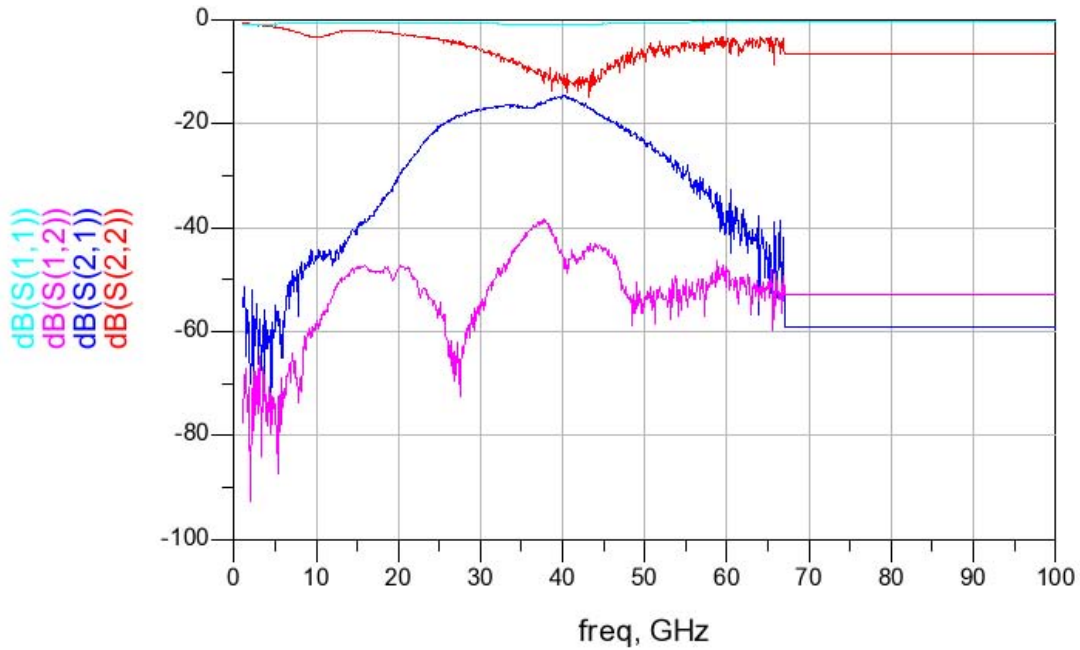
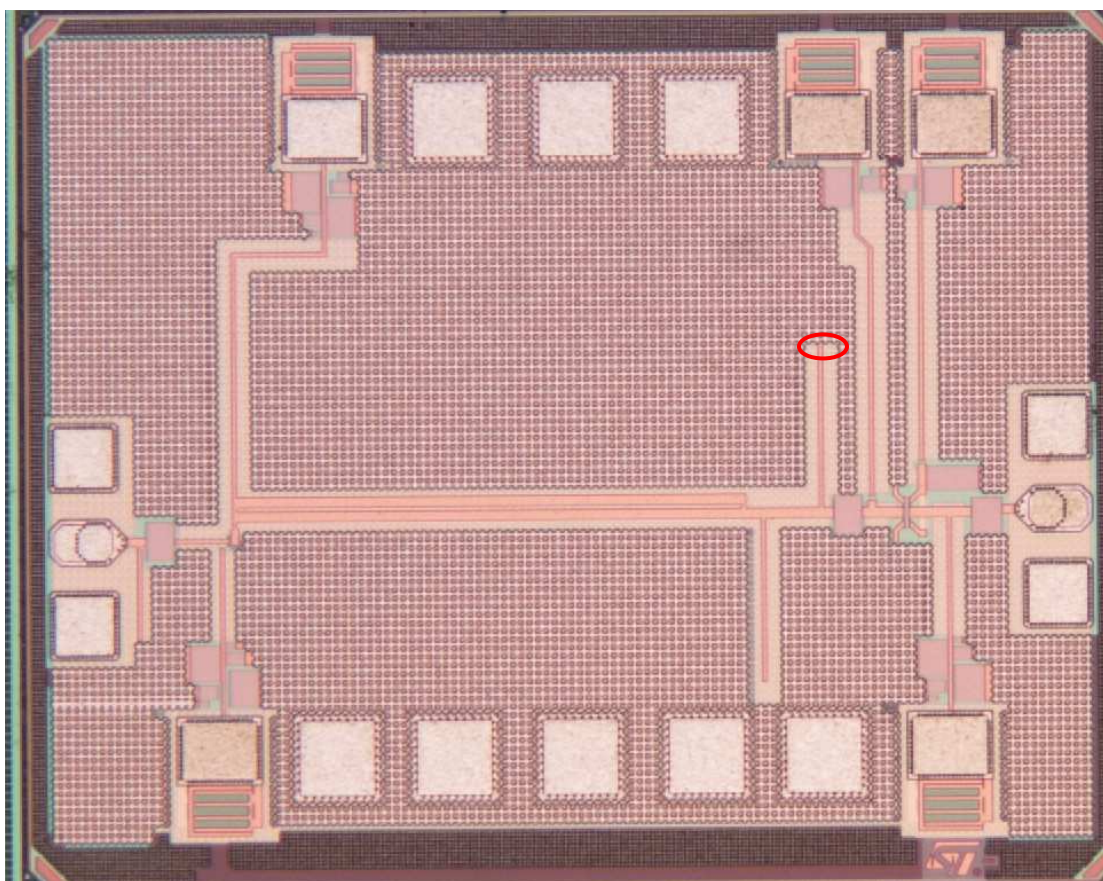


Figure II-58: Paramètres S de l'amplificateur en mesure par analyseur de spectre.

## II – 6.3 Solutions envisagées

Il s'avère que la ligne dont l'extrémité est entourée de rouge sur la *Figure II-59* est reliée au plan de masse, alors qu'elle devrait être un stub. Ainsi, n'ayant pas de capacité entre cette ligne et le drain de l'amplificateur en classe F, ce dernier se retrouve court-circuité à la masse. Ceci cause bien un courant élevé au drain de l'amplificateur. Une solution possible à cet écueil, est d'utiliser un laser pour couper la piste. La précision du laser de quelques microns permet ce genre d'opération. La difficulté réside dans l'épaisseur à couper dont on doit s'assurer.

Le transfert depuis ADS vers Cadence a été une source d'erreur dans le design. En effet, le schématique ADS ne correspond pas au schématique Cadence à cause des modèles de lignes de transmission. Ainsi pour tenir compte d'une ligne sous Cadence, une résistance en métal est utilisée pour la symboliser lors du LVS. Il faudrait pouvoir travailler sur un seul logiciel, et avoir des modèles qu'on puisse intégrer au schématique Cadence directement pour éviter complètement ce type d'erreurs.



*Figure II-59: Ligne à couper au laser.*

## Conclusion

Dans ce deuxième chapitre nous avons détaillé la conception de l'amplificateur de puissance du Power VCO.

Dans un premier temps, nous avons rappelé différentes définitions de base des amplificateurs de puissance. Puis les différentes classes de fonctionnement des amplificateurs de puissance ont été passées en revue, des classes linéaires telles que les classes A, AB, B ou C, aux classes commutées, D, E ou F.

A la lumière des caractéristiques propres à chaque classe, nous avons étudié le choix de la classe d'amplificateur nécessaire à notre application. Le choix s'est porté sur un étage de puissance en classe E et un étage driver en classe F. Nous avons ensuite justifié le choix d'une structure cascode pour l'étage de puissance, avant d'expliquer le choix des éléments distribués pour les réseaux de sortie, à cause de la résonance des inductances avant 60GHz. Nous avons ensuite montré les différents résultats de simulation de l'amplificateur en classe E, avec une puissance maximale de sortie de 15dBm et un gain de 8dB, pour une PAE maximale de 31%.

La conception de l'étage driver a ensuite été décrite et les résultats de simulation ont été montrés. Enfin l'amplificateur F-E a été simulé. Nous avons pu alors voir que les performances atteintes par l'amplificateur de puissance global atteignaient les spécifications de départ, à savoir 15dB de gain, 15dBm de puissance maximale de sortie, pour une PAE de 26% à 60 GHz [18].

Enfin les différents aspects du layout ont été abordés, à savoir le layout des transistors, les problématiques de couplage des lignes microstrips et le découplage des lignes DC pour leur stabilisation.

Cet amplificateur va maintenant être intégré au système du Power VCO avec la boucle de retour à laquelle nous allons nous intéresser au chapitre suivant. Nous allons y décrire les choix de conception de la boucle de retour, montrer la conception du Power VCO global.



## Références

- [1] I. J. Bahl, "Fundamentals of RF and Microwave Transistor Amplifiers", Wiley, 2009
- [2] J. Ramirez-Angulo, R.G. Carvajal, A. Lopez-Martin, "High slew rate two stage A/AB and AB/AB op-amps with phase lead compensation at output node and local common mode feedback", IEEE International Symposium on Circuits and Systems (ISCAS), pp.288-291, May 2008.
- [3] N. Deltimple, "Etude et réalisation d'un amplificateur de puissance reconfigurable en technologie BiCMOS SiGe pour des applications multi-standards GSM/DCS/UMTS", Thèse de doctorat en électronique, Université Bordeaux 1, 2005.
- [4] S.L. Wong, S. Luo, "A 2.7-5.5 V, 0.2-1 W BiCMOS RF driver amplifier IC with closed-loop power control and biasing functions", IEEE Journal of Solid-State Circuits, vol. 33, n°12, pp.2259-2264, December 1998.
- [5] F. Ellinger, "Radio Frequency Integrated Circuits and Technologies", Springer, 2008.
- [6] L. Andia, "Amplificateur de puissance en classe commutée pour application dans un émetteur multiradio à haut rendement", Thèse de doctorat en électronique, Université de Paris Est, 2010.
- [7] N.O. Sokal, A.D. Sokal, "Class E - A New Class of High Efficiency Tuned Single-Ended Switching Power Amplifiers", IEEE Journal of Solid-State Circuits (JSSC), vol SC-10, n°3, June 1975.
- [8] A.Grebennikov, N. O. Sokal, "Switchmode RF Power Amplifiers", Ed. Newnes, USA, 2007.
- [9] M.M. Hella, M. Ismail, "RF CMOS Power Amplifiers, Theory Design and Implementation", Kluwer Academic Publishers, 2002.
- [10] R. Negra, F.M. Ghannouchi, W. Bachtold, "Study and Design Optimization of Multiharmonic Transmission-Line Load Networks for Class-E and Class-F K-Band MMIC Power Amplifiers", IEEE Transactions on Microwave Theory and Techniques, vol.55, n°6, pp.1390-1397, June 2007.
- [11] A. Valdes-Garcia, S. Reynolds, U.R. Pfeiffer, "A 60GHz Class-E Power Amplifier in SiGe", IEEE Asian Solid-State Circuits Conference (ASSCC), pp.199-202, November 2006.

- [12] E. Juntunen, J. Laskar, "A High-Efficiency, High-Power Millimeter-Wave Oscillator Using A Feedback Class-E Power Amplifier in 45-nm CMOS", IEEE Microwave and Wireless Components Letters, 2011.
- [13] E. Morifuji, H.S. Momose, T. Ohguro, T. Yoshitomi, H. Kimijima, F. Matsuoka, M. Kinugawa, Y. Katsumata, H. Iwai, "Future perspective and scaling down roadmap for RF CMOS", Symposium on VLSI Technology, pp.163-164, 1999.
- [14] A. Mazzanti, L. Larcher, R. Brama, F. Svelto, "A 1.4 GHz-2 GHz wideband CMOS class-E power amplifier delivering 23 dBm peak with 67% PAE", IEEE Radio Frequency integrated Circuits Symposium (RFIC), pp. 425- 428, June 2005.
- [15] Y. J. Suh, J. Sun, K. Horie, N. Itoh, T. Yoshimasu, "Fully-integrated novel high efficiency linear CMOS power amplifier for 5.8 GHz ETC applications", Asia Pacific Microwave Conference (APMC), pp.365-368, December 2009.
- [16] A. Mazzanti, L. Larcher, R. Brama, F. Svelto, "Analysis of reliability and power efficiency in cascode class-E PAs", IEEE Journal of Solid-State Circuits, vol.41, n°5, pp.1222- 1229, May 2006.
- [17] L. Andia, D. Belot, M. Villegas, G. Baudoin, "A 3.7GHz 130nm CMOS-SOI class E RF power amplifier", IEEE Sarnoff Symposium, pp.1-4, April 2010.
- [18] S. Dréan, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, "A 65nm CMOS 60 GHz Class F-E Power Amplifier for WPAN applications", IEEE Symposium on Integrated Circuits and Systems Design, August 2012.

## Chapitre III

---

# BOUCLE DE RETOUR ET ARCHITECTURE DU POWER VCO

---

*Le Power VCO est constitué d'un amplificateur de puissance rebouclé par un réseau de réaction, habituellement constitué d'éléments passifs. Après avoir explicité la conception de cet amplificateur de puissance qui constituera la chaîne directe de l'oscillateur, nous allons nous intéresser à la chaîne de retour de la boucle. Celle-ci peut être envisagée de différentes façons. Dans un premier temps, on reviendra sur le rôle de cette boucle de retour et quelles sont les possibilités de conception s'offrant à nous. Une fois explicité le choix de la structure, nous allons en décrire la conception, et le layout. Nous intégrerons ensuite le système complet et décrirons les circuits réalisés. Enfin nous envisagerons les perspectives de transfert de ce système à des applications notamment par l'intégration de modulations dans le système du Power VCO.*

---

III – 1	Structure de la boucle de retour et fonctionnement .....	90
III – 1.1	Définitions et état de l'art des VCO à 60GHz .....	90
III – 1.1.1	Définitions du bruit de phase et de la figure de mérite .....	90
III – 1.1.2	Etat de l'art des VCO à 60GHz .....	92
III – 1.2	Rôle et dimensionnement de la boucle de retour .....	94
III – 1.3	Etude de la boucle de retour et solutions envisagées .....	95
III – 1.3.1	Structures envisagées .....	95
III – 1.3.2	Etat de l'art du vecteur-modulateur .....	98
III – 2	Conception de la boucle de retour .....	100
III – 2.1	Dimensionnement de la boucle de retour .....	100
III – 2.1.1	Splitter et combiner .....	101
III – 2.1.2	Déphaseurs 0°/180° .....	103
III – 2.1.3	Amplificateurs variables .....	103
III – 2.2	Simulations de la boucle de retour .....	104
III – 3	Layout de la boucle de retour .....	106
III – 3.1	Splitters et combineurs .....	106
III – 3.2	Déphaseur 0°-180° .....	107
III – 3.3	Amplificateurs .....	109
III – 3.4	Layout global .....	110
III – 4	Power VCO Système complet .....	111
III – 4.1	Simulations du Power VCO .....	111
III – 4.2	Layout du Power VCO .....	113
III – 4.3	Le Power VCO avec un amplificateur linéaire .....	114
III – 5	Mesures du Power VCO .....	118
III – 5.1	Photo de la puce .....	118
III – 5.2	Mesures .....	120
III – 5.3	Solutions envisagées .....	121
III – 6	Perspectives de transfert à des applications .....	122
III – 6.1	Quelles applications envisageables .....	122
III – 6.2	Structures pour supporter une modulation .....	122
	Conclusion .....	123
	Références .....	124

## III – 1 Structure de la boucle de retour et fonctionnement

### III – 1.1 Définitions et état de l'art des VCO à 60GHz

#### III – 1.1.1 Définitions du bruit de phase et de la figure de mérite

Le Power VCO est un oscillateur, il faut donc revenir sur quelques éléments importants de la théorie des VCO comme le bruit de phase et la Figure de Mérite (FOM) des VCO.

D'abord, le bruit de phase résulte de la conversion des différentes sources de bruits dans les semi-conducteurs autour de la fréquence centrale. Il existe de multiples sources de bruit [1].

Les bruits de diffusion sont des bruits liés aux propriétés du substrat. Nous retrouvons dans les bruits de diffusion :

- Le bruit thermique qui est un bruit blanc dont la densité spectrale est constante et constitue le plancher de bruit. Sa densité spectrale s'exprime de la façon suivante :

$$S_v(f) = 4kT \operatorname{Re}(Z) \frac{\frac{hf}{kT}}{e^{\frac{hf}{kT}} - 1} \quad \text{ou} \quad S_i(f) = 4kT \operatorname{Re}(Y) \frac{\frac{hf}{kT}}{e^{\frac{hf}{kT}} - 1} \quad (\text{E. III} - 1)$$

avec  $S_v$  la densité spectrale en tension et  $S_i$  la densité spectrale en courant,  $Z$  et  $Y$  l'impédance et l'admittance du composant,  $T$  la température en kelvin,  $k$  la constante de Boltzmann et  $h$  la constante de Planck.

- Le bruit quantique est à prendre en compte quand l'énergie quantique est supérieure à l'énergie thermique, et pour des fréquences inférieures au Terahertz, le bruit thermique est prédominant.
- Le bruit d'électrons chauds est produit par la variation de la mobilité des électrons et du coefficient de diffusion.
- Le bruit de grenaille ou « Flicker Noise » est un bruit en  $1/f$ , et est lié au franchissement d'une barrière de potentiel par les porteurs de charges. La densité spectrale de ce bruit est la suivante :

$$S_i(f) = 2qI \quad (\text{E. III} - 2)$$

Avec  $q$  la charge élémentaire et  $I$  le courant moyen circulant à travers la jonction.

Le bruit de phase peut être modélisé par une formule, dite de Leeson [2], qu'on retrouve dans l'équation suivante :

$$L\{\Delta\omega\} = 10 \log \left\{ \frac{2FkT}{P_s} \left( 1 + \left( \frac{\omega_0}{2Q_L\Delta\omega} \right)^2 \right) \left( 1 + \frac{\Delta\omega_{1/f}}{\Delta\omega} \right) \right\} \quad (\text{E. III} - 3)$$

Avec  $F$  le facteur de bruit,  $k$  la constante de Boltzmann,  $T$  la température en Kelvin,  $P_s$  la puissance consommée par l'oscillateur,  $\omega_0$  la pulsation d'oscillation,  $Q_L$  le coefficient de qualité,  $\Delta\omega$  l'offset de fréquence par rapport à la porteuse,  $\Delta\omega_{1/f}$  le point de pulsation séparant les zones  $1/f$  et le bruit blanc.

Nous avons alors une allure du bruit de phase telle qu'illustré en *Figure III-1*, avec le bruit plancher, une zone en  $1/f^3$  qui est la conversion du bruit en  $1/f$  par l'oscillateur et une zone en  $1/f^2$  qui correspond à la conversion du bruit blanc par l'oscillateur [3].

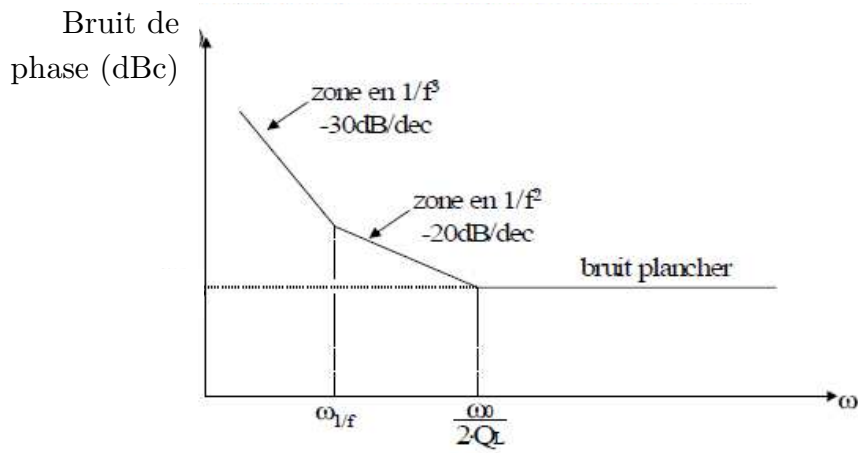


Figure III-1: Spectre du bruit en sortie d'un oscillateur

La figure de mérite (FOM) des VCO peut alors être exprimée selon l'expression décrite à l'équation (E. II - 4). Elle prend en compte ce bruit de phase, et le normalise par rapport à la fréquence d'oscillation et la puissance consommée [4].

$$FOM_{VCO} = L\{\Delta\omega\} - 20 \log \left( \frac{\omega_0}{\Delta\omega} \right) - 10 \log \left( \frac{1}{P_{dc}} \right) \quad (\text{E. II} - 4)$$

Avec  $L\{\Delta\omega\}$  le bruit de phase à un offset de  $\Delta\omega$ ,  $\omega_0$  la pulsation d'oscillation,  $P_{dc}$  la puissance DC en mW.

### III – 1.1.2 Etat de l'art des VCO à 60GHz

Nous allons faire un état de l'art non exhaustif des VCO afin d'avoir un ordre de grandeur des performances des VCO actuels aux fréquences avoisinant 60GHz en termes de bruit de phase, de figure de mérite et de puissance de sortie.

Le premier exemple est un VCO implémenté en technologie CMOS 65nm [5]. Il utilise un système de réglage de fréquence par capacité Miller au lieu d'utiliser un varactor classique.

Le schéma de l'oscillateur est présenté en *Figure III-2(a)* et le schéma de la capacité Miller en *Figure III-2 (b)*. Il présente une plage de fréquence de 59,5GHz à 66,1GHz, pour une puissance de sortie de -13dBm et un bruit de phase de -80 à -85dBc/Hz à 1MHz d'offset de la porteuse sur la totalité de sa plage de fonctionnement. On a alors une figure de mérite de -162dBc/Hz. La *Figure III-3* présente le bruit de phase de cet oscillateur.

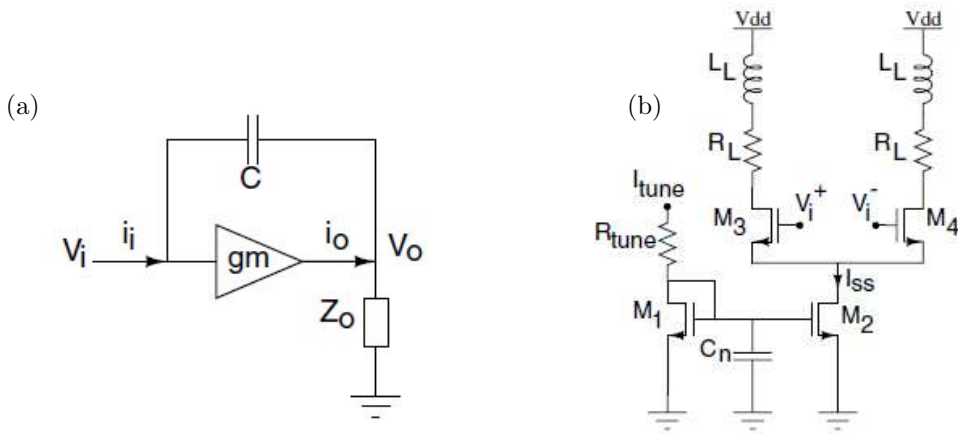


Figure III-2: Schéma de l'oscillateur (a) et de la capacité miller (b) de [5]

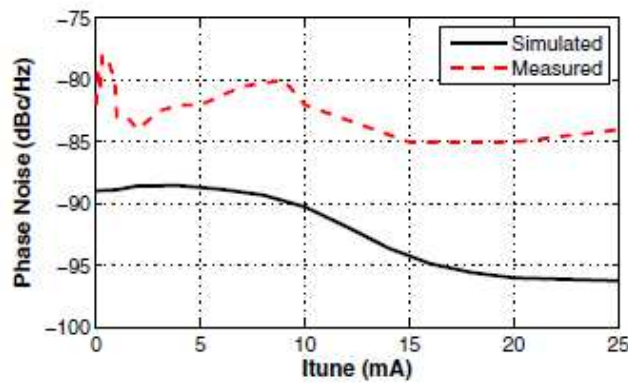
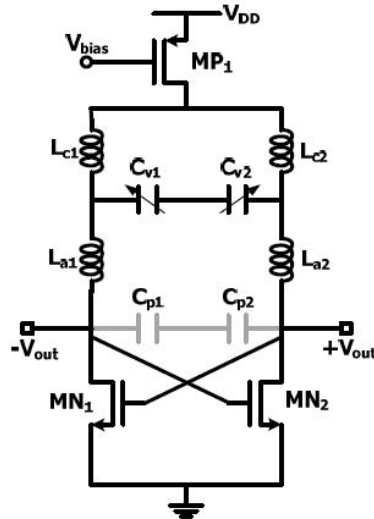


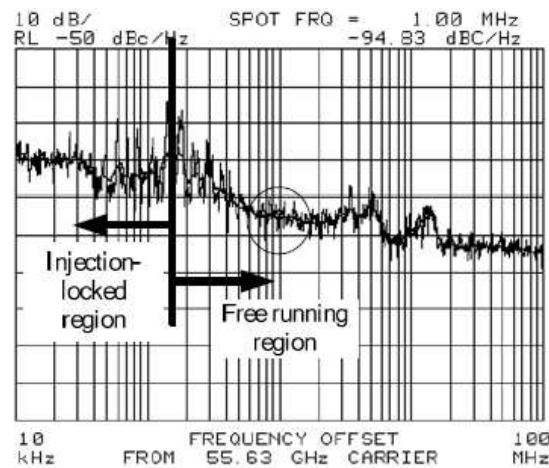
Figure III-3: Bruit de phase de l'oscillateur de [5]

Le deuxième exemple de VCO est réalisé en technologie CMOS 0,13um [6]. Il consiste en un résonateur haute impédance LC tank, illustré en *Figure III-4*. Il a en fait deux résonances, dont la deuxième est causée par une inductance additionnelle avec la capacité de sortie. La première fréquence de résonance correspond à la

fréquence choisie pour fréquence d'oscillation. Le système est conçu pour que la deuxième fréquence de résonance, qui est supérieure à la première, soit au delà de  $f_{max}$ . Ainsi, il est assuré que le VCO n'oscillera pas à la deuxième fréquence. Pour une fréquence d'oscillation de 55,63GHz, la puissance de sortie est de -13,33dBm et le bruit de phase est de -94,83dBc/Hz à 1MHz de la porteuse, comme illustré en *Figure III-5*. La plage de fréquence s'étend sur 1,75GHz autour de la fréquence centrale, et la figure de mérite du VCO s'élève à -180,57dBc/Hz.



*Figure III-4: Schéma de l'oscillateur [6]*



*Figure III-5: Bruit de phase de l'oscillateur de [6]*

Un dernier exemple est donné dans la référence [7]. Il s'agit d'un VCO de fréquence centrale 56GHz, de « tuning range » 17% réalisé en technologie CMOS 65nm. La fréquence d'oscillation est réglée par une entrée analogique et un bus de 3 bits digital utilisant des varactors différentiels, comme illustré en *Figure III-6*. Le bruit de phase est de -99.4dBc/Hz à 1MHz de la porteuse et la FOM du VCO est de -186.8dBc/Hz.



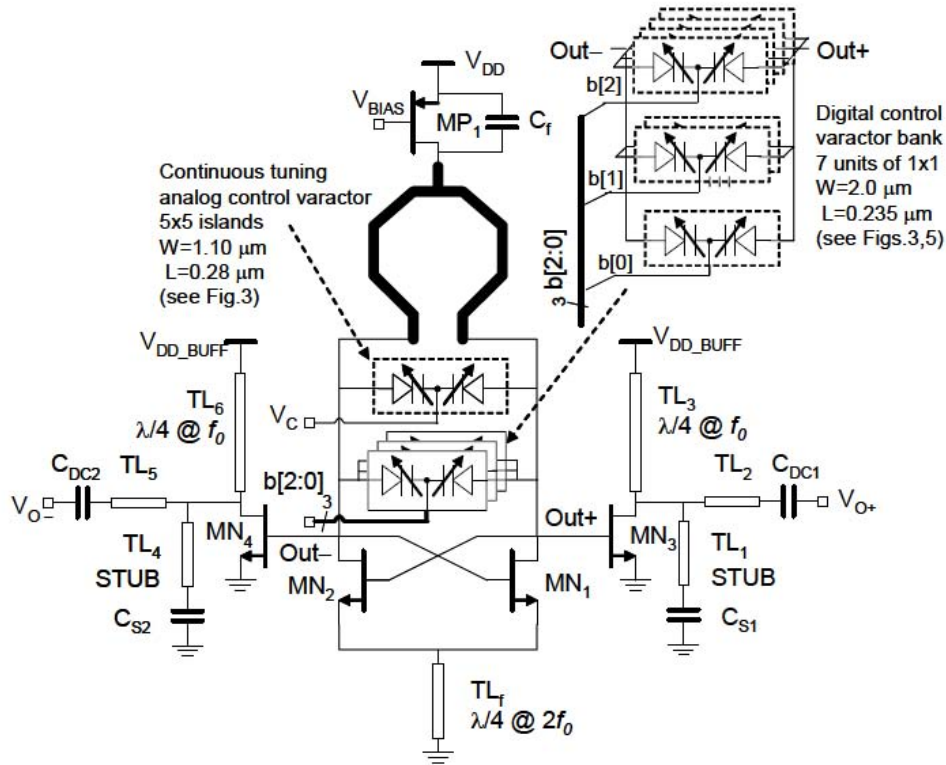


Figure III-6: Schéma du VCO LC-tank à 56GHz [7]

On peut donc constater que le bruit de phase de ces oscillateurs à 60GHz se situe entre -80dBc/Hz et -100dBc/Hz à 1MHz de la porteuse.

Nous allons maintenant détailler la conception de notre boucle de retour.

### III – 1.2 Rôle et dimensionnement de la boucle de retour

Le Power VCO est un oscillateur de puissance. La boucle de retour a donc un rôle essentiel dans son fonctionnement. Elle doit permettre de contrôler la fréquence d'oscillation du système. Nous connaissons les caractéristiques de l'amplificateur de puissance constituant la chaîne directe de l'oscillateur. Nous avons un gain de 12dB à 15dB sur la bande fréquences et une phase entre -40° et 110°.

Il faut maintenant remplir les conditions d'oscillation de Barkhausen que nous avons vu précédemment. Il est donc possible d'utiliser le critère d'amplitude ou de phase avec notre boucle de retour. Nous allons voir par la suite qu'il est plus délicat de jouer sur le critère d'amplitude sans influencer la phase, ce qui a pour effet de jouer sur les critères en même temps et d'avoir un contrôle de la fréquence d'oscillation plus complexe. De plus le gain a une forme de cloche sur la bande de fréquences et ceci implique qu'un gain donné ne correspond pas à une fréquence donnée. En revanche, la phase est continue sur la bande de fréquence et permet donc d'associer à une phase donnée une fréquence donnée. Il est donc essentiel pour le bon

fonctionnement du Power VCO d'avoir une phase sans discontinuité ou saut de phase. Nous allons donc parcourir quelques solutions qui ont été envisagées.

### III – 1.3 Etude de la boucle de retour et solutions envisagées

#### III – 1.3.1 Structures envisagées

Pour la boucle de retour du Power VCO, différentes solutions ont été envisagées. Dans un premier temps, il a été envisagé un filtre à résonateurs dont la bande passante couvrirait la bande utile de 57GHz à 66GHz. Le principe de ce filtre était d'assembler un nombre de  $n$  résonateurs distincts. Le nombre  $n$  de résonateurs correspond à l'ordre du filtre. Chaque résonateur a une fréquence de résonance distincte mais incluse dans la bande de fréquences 57GHz à 66GHz. Cette solution donne un contrôle sur la bande passante en amplitude.

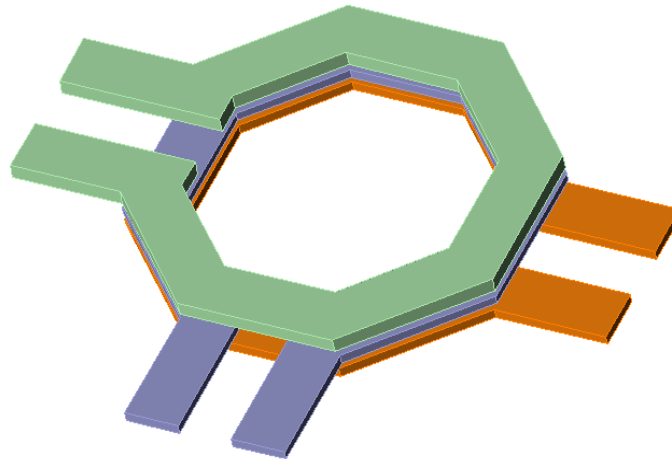
Or, si nous revenons aux équations des critères d'oscillation de Barkhausen que nous rappelons ici :

$$\begin{cases} |A(j\omega)B(j\omega)| \geq 1 & \text{(E I-2)} \\ \arg[A(j\omega)] + \arg[B(j\omega)] = 0[2k\pi] & \text{(E I-3)} \end{cases}$$

Nous voyons qu'un contrôle de l'amplitude de la bande passante est important. Mais le contrôle de la phase est tout aussi essentiel, de par (E I-3), et ici, le contrôle sur la phase apportée par ce filtre n'est possible.

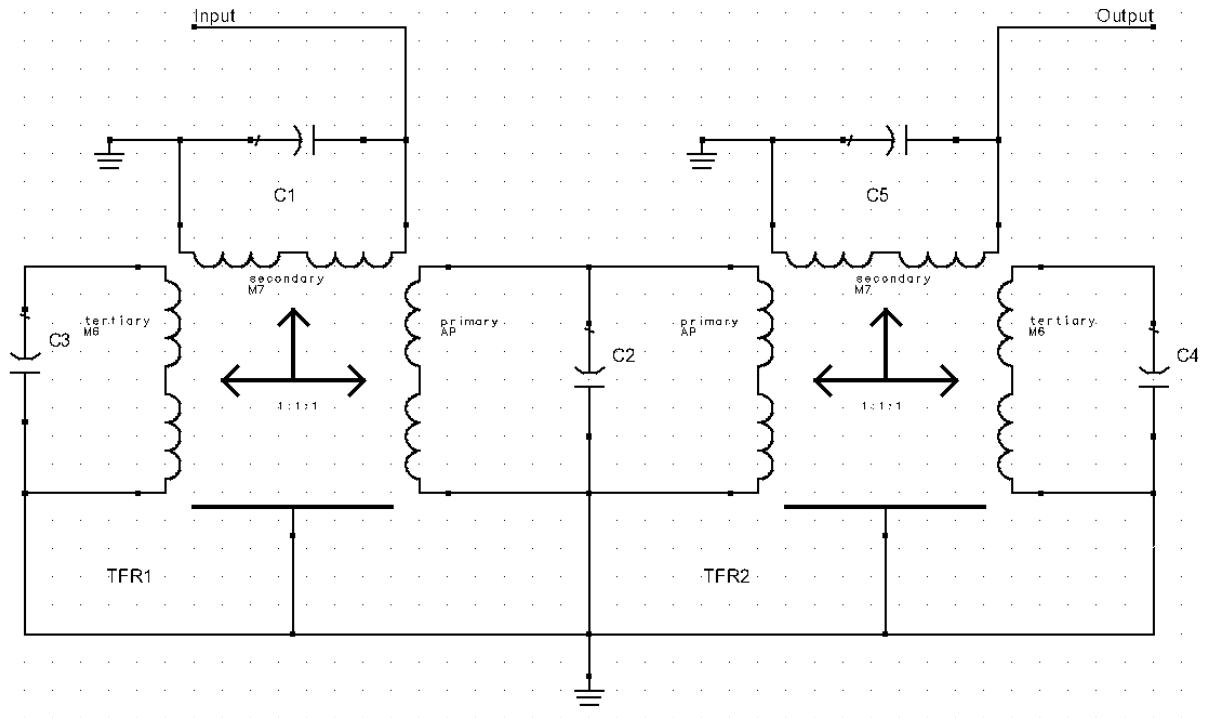
Nous avons ensuite opté pour l'étude d'un filtre composé de deux transformateurs associés à des varactors et d'une ligne de transmission. Le filtre donne la possibilité de contrôle de l'amplitude par les varactors. Le contrôle de la phase dans la boucle de retour est assuré par la ligne de transmission dont on connaît la longueur électrique, et donc le déphasage engendré.

Les transformateurs utilisés sont des triples transformateurs comme présentés en *Figure III-7*.

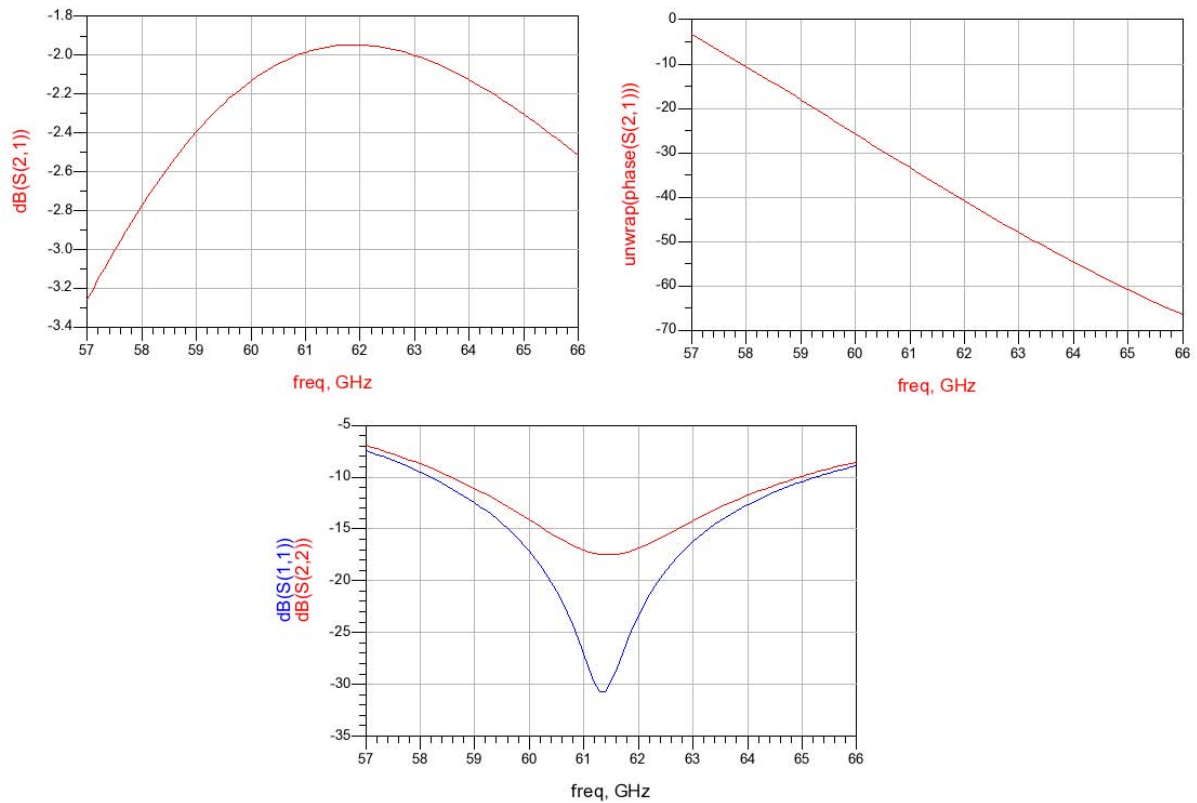


*Figure III-7: Schéma 3D du triple transformateur*

La *Figure III-8* présente quant à elle le filtre et les différentes capacités permettant de régler le filtre passe-bande. Les performances du filtre en termes de paramètres S sont présentées en *Figure III-9*. Les pertes en transmission engendrées par ce filtre ne dépassent pas 3,2dB et sont même inférieures à 2dB pour une fréquence de 62GHz.



*Figure III-8: Schéma du filtre passe-bande.*



*Figure III-9: Performances du filtre passe-bande*

Ces faibles pertes sont très intéressantes et couvrent toute la bande de fréquences. L'adaptation d'impédance est optimale à la fréquence centrale du filtre et non aux extrémités de la bande de fréquences. Par l'intermédiaire des varactors, il est possible de bouger cette fréquence centrale du filtre sur toute la bande (*Figure III-10*).

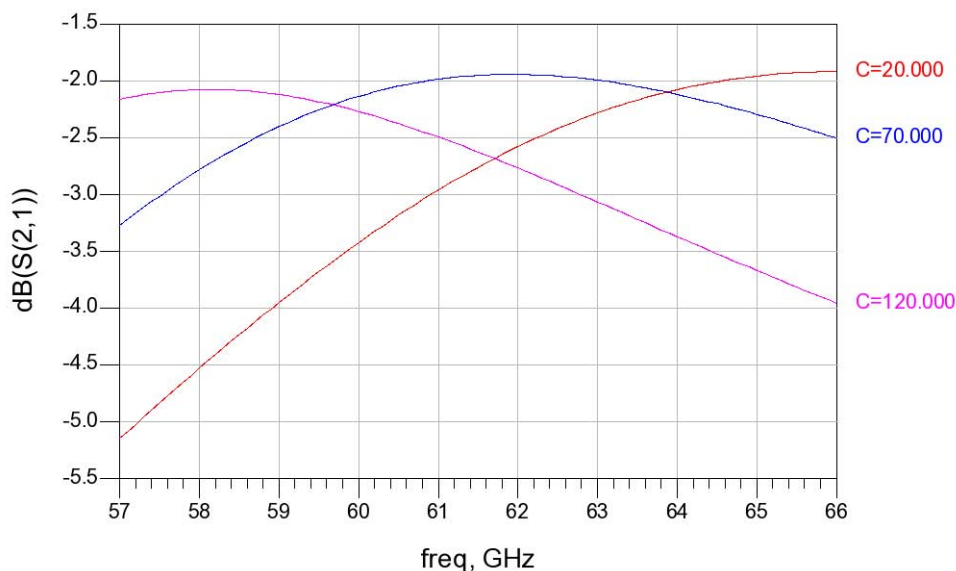


Figure III-10: Gain du filtre en fonction de la valeur d'une capacité ( $C$ ) en fF.

Cependant, la phase apportée par le filtre bouge également. Il en résulte que malgré un déplacement de la fréquence centrale sur toute la bande, l'oscillation du système se fait sur une plage de fréquence bien plus réduite (*Figure III-11*).

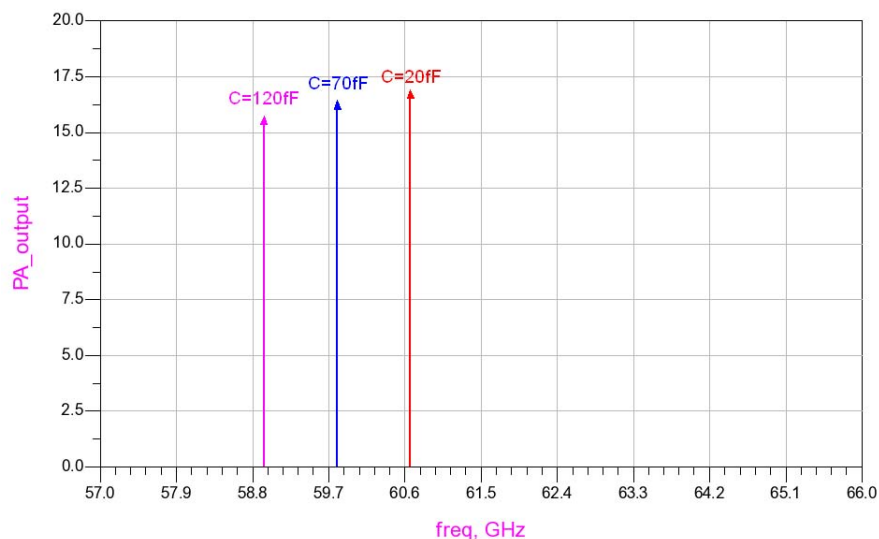


Figure III-11: Oscillations en fonction de la valeur d'une capacité ( $C$ ) en fF.

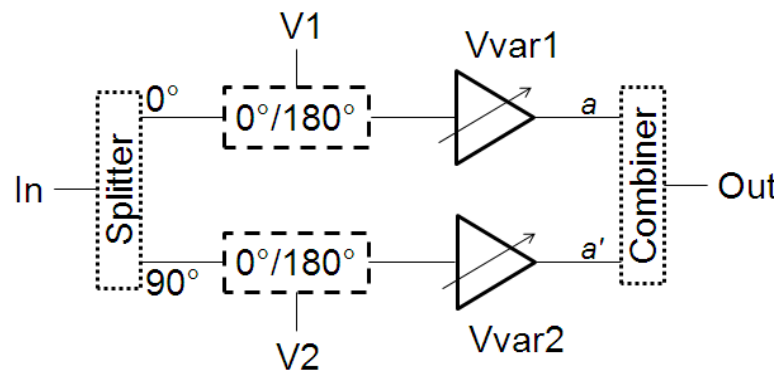
En revanche, le contrôle de la ligne de transmission par elle seule peut permettre de couvrir la bande de fréquences. En effet, les pertes engendrées par cette ligne ne dépassent pas 2dB, et le filtre ne changeant pas, l'amplitude de la boucle de retour varie peu. La modification de la longueur de la ligne de transmission peut par

contre faire varier la phase présentée par la boucle et permettre de régler la fréquence d'oscillation. Cependant la réalisation pratique de cette solution n'est pas envisageable d'une part car les varactors n'ont pas une plage de réglage aussi large que celle utilisée et surtout, la ligne de transmission ne permet pas d'avoir le contrôle de la phase.

Une dernière hypothèse est alors envisagée. Il s'agit d'un vecteur modulateur, qui apporte une souplesse de réglage de phase que les éléments précédents ne conféraient pas.

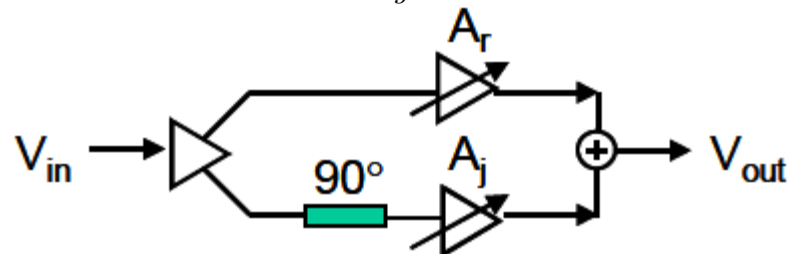
### III – 1.3.2 Etat de l'art du vecteur-modulateur

Le principe du vecteur-modulateur est basé sur une modification dissociée de niveau de puissance sur deux voies déphasées de  $90^\circ$  afin de couvrir la totalité des quadrants de phase. Le principe est illustré en *Figure III-12* mais son fonctionnement sera décrit précisément dans le paragraphe III - 2.1.



*Figure III-12: Schéma fonctionnel du vecteur modulateur*

Nous nous sommes inspirés du vecteur modulateur de la référence [8] pour concevoir notre système. La *Figure III-13* illustre le schéma fonctionnel du vecteur modulateur, qui comporte un amplificateur différentiel dont une des voies comporte un déphasage à  $90^\circ$ . Chacune des voies comporte un amplificateur réglable ou VGA (Variable Gain Amplifier). La structure différentielle des deux voies est détaillée dans la *Figure III-14*. Le combiner est illustré en *Figure III-15*.



*Figure III-13: Schéma fonctionnel du vecteur modulateur de [8]*

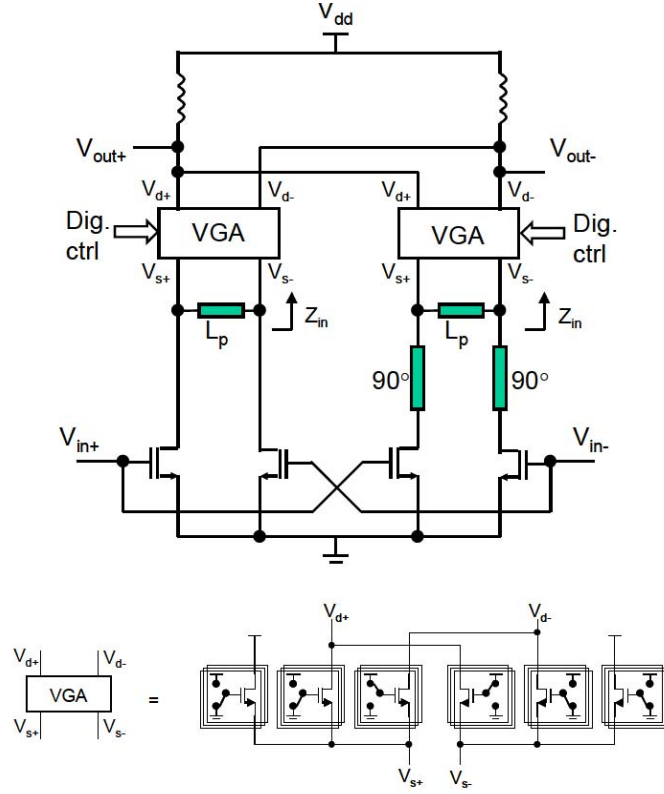


Figure III-14: Schématique du vecteur modulateur sans le combiner de [8]

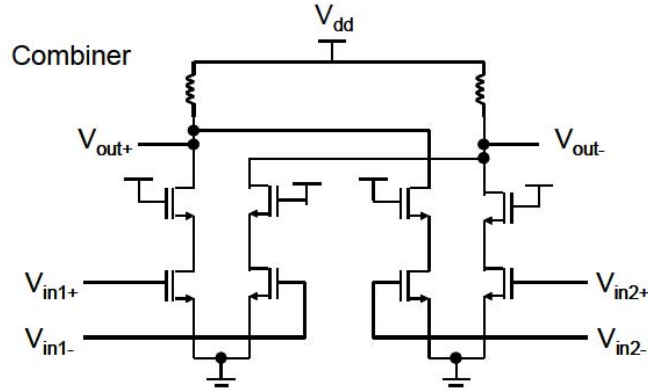


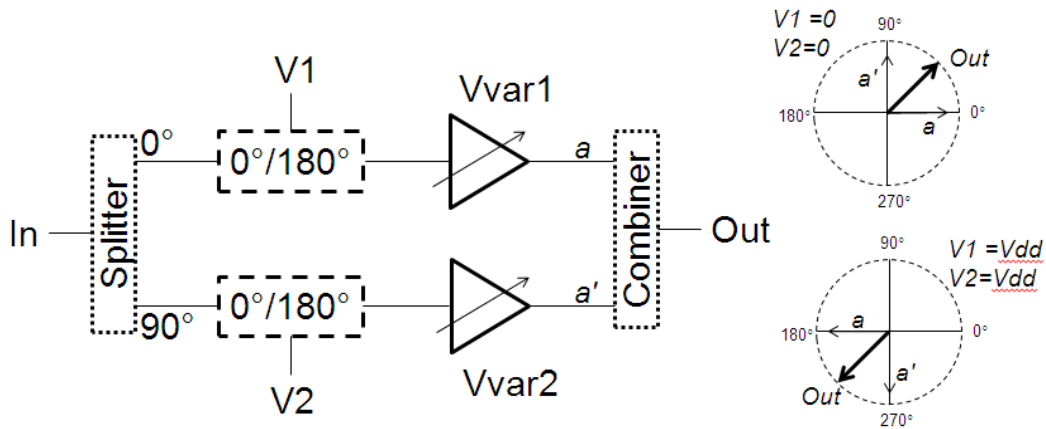
Figure III-15: Schématique du combiner de [8]

Nous allons donc nous inspirer de cette structure mais nous allons plutôt utiliser des splitter et combiner passifs afin de limiter la consommation et nous n'utiliserons pas de structure différentielle comme présentée ici. Nous aurons sur chacune des voies un déphaseur  $0^\circ/180^\circ$ . Dans la partie suivante nous décrirons le fonctionnement précis de la structure réalisée.

## III – 2 Conception de la boucle de retour

### III – 2.1 Dimensionnement de la boucle de retour

Nous avons vu que le principe du Power VCO est basé sur une modification dissociée de niveau de puissance sur deux voies déphasées de  $90^\circ$  afin de couvrir la totalité des quadrants de phase. Le vecteur-modulateur est composé d'un splitter dont une des voie comporte une ligne quart d'onde afin d'obtenir un déphasage de  $90^\circ$ . Nous obtenons ainsi deux voies déphasées de  $90^\circ$ . Chacune des voies comporte un déphaseur  $0^\circ/180^\circ$  et des amplificateurs variables. Chaque déphaseur  $0^\circ/180^\circ$  permet d'atteindre un quadrant différent, et les amplificateurs variables permettent de sélectionner un vecteur pour un quadrant donné. Une somme vectorielle est alors effectuée par un combiner. Et comme le montre la *Figure III-16*, suivant l'inversion ou non du signal sur une voie, et le réglage de la puissance de chacune des voies, on peut atteindre les quatre quadrants de phase. Sur cette même Figure sont présentés deux exemples de configurations. La première correspond à un signal non déphasé de  $180^\circ$  sur chacune des voies et la deuxième avec les deux voies déphasées de  $180^\circ$ .



*Figure III-16: Schéma fonctionnel du vecteur-modulateur accompagné de deux exemples de configuration*

La *Figure III-17* présente le schématique de ce vecteur-modulateur en correspondance avec le schéma de la *Figure III-16*. Les splitters et combiner sont réalisés à base de lignes microstrip ainsi que la ligne quart d'onde accompagnant le splitter d'entrée. Les amplificateurs variables sont des amplificateurs cascode dont la tension de grille du transistor cascodé est variable. Les déphaseurs  $0^\circ/180^\circ$  comportent deux transformateurs de type balun afin de passer du mode single au différentiel et vice et versa. Les tensions Vdd1 et Vdd2 d'une part et Vdd3 et Vdd4 d'autre part, sont l'une à Vdd lorsque l'autre est à 0.

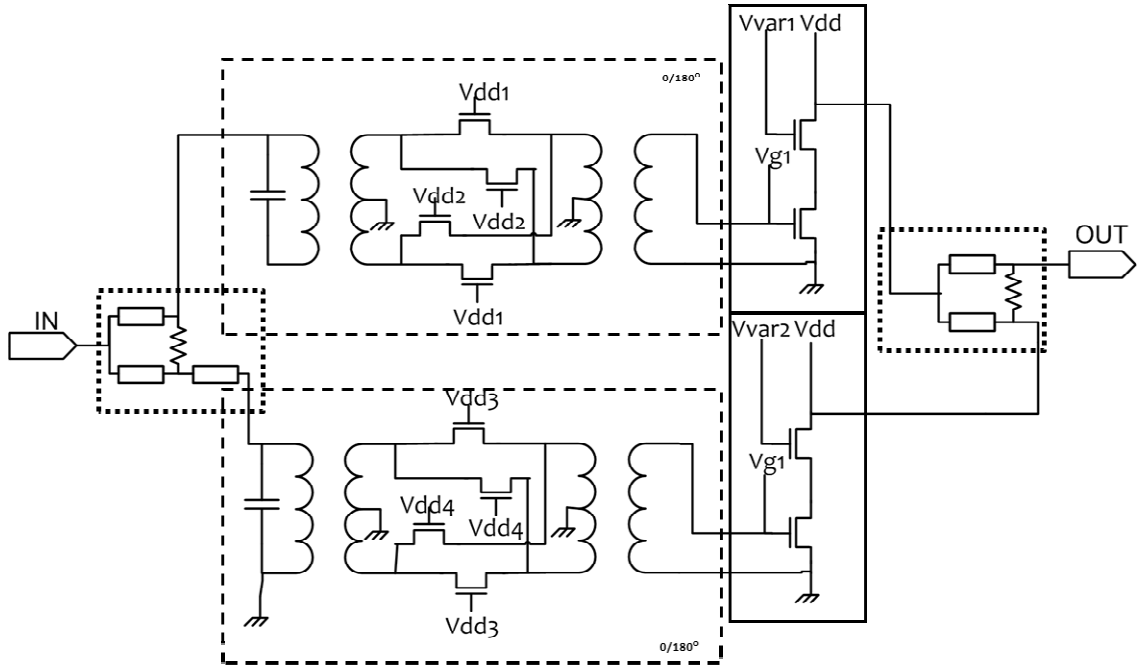


Figure III-17: Schématique du vecteur-modulateur

### III – 2.1.1 Splitter et combiner

Le diviseur ou « splitter » d'entrée du vecteur-modulateur doit répartir équitablement le signal sur les deux voies. De même un splitter est nécessaire pour répartir le signal entre la sortie à l'antenne et la boucle de retour. Bien que le but principal soit d'adresser la puissance à la sortie, la boucle de retour doit avoir assez de puissance pour maintenir les oscillations. Ainsi le signal doit être divisé de façon équitable par le splitter [9].

Pour ces deux éléments, un splitter de Wilkinson sera implémenté. Celui-ci peut être réalisé en éléments localisés ou en éléments distribués, comme décrit en Figure III-18. L'équivalence réside dans le fait que la ligne équivaut à une inductance série et une capacité parallèle.

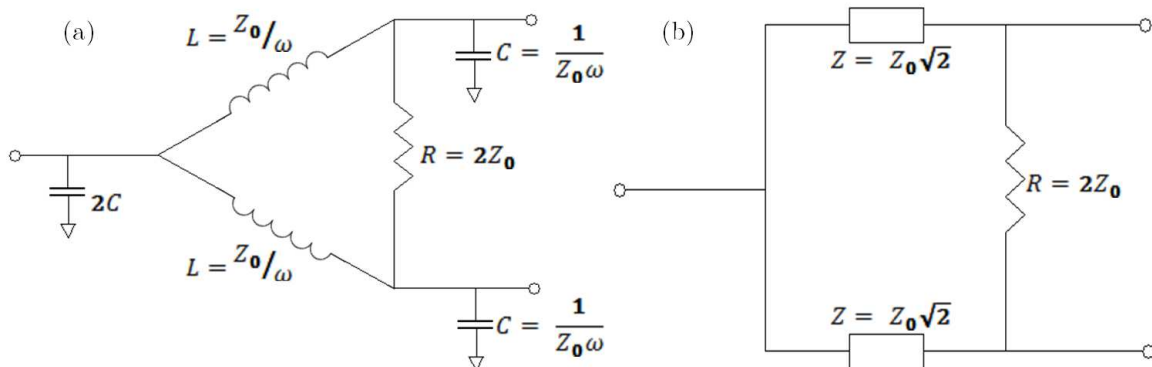
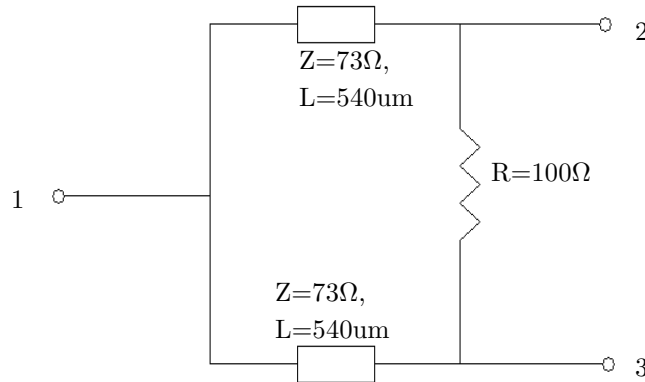


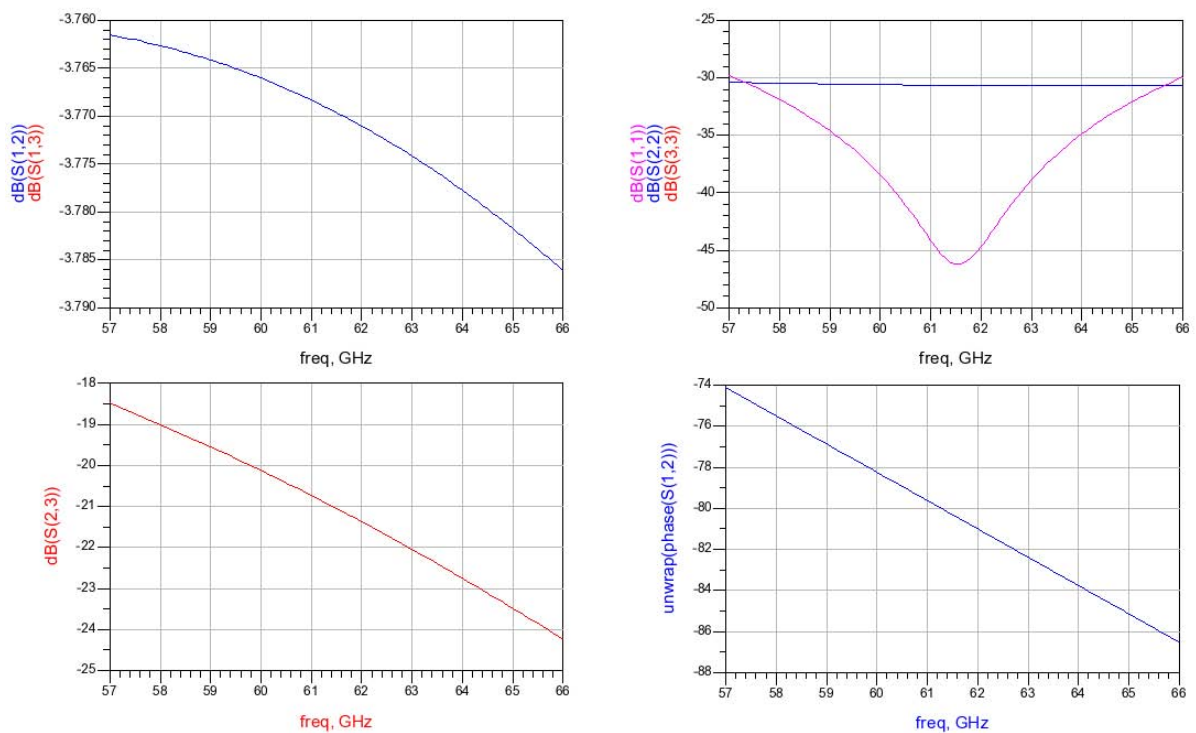
Figure III-18: Schéma d'un splitter de Wilkinson en éléments localisés (a) et en éléments distribués (b)



Nous utiliserons des éléments localisés. En effet, le choix de la structure utilisant des lignes microstrips résulte du gain de surface de cette structure pour des performances similaires en comparaison avec une structure à base d'éléments localisés. Les valeurs utilisées sont données dans la *Figure III-19* et les performances du splitter sont illustrées en *Figure III-20*.



*Figure III-19: Schéma du splitter de Wilkinson utilisé*



*Figure III-20: Performances du splitter de Wilkinson*



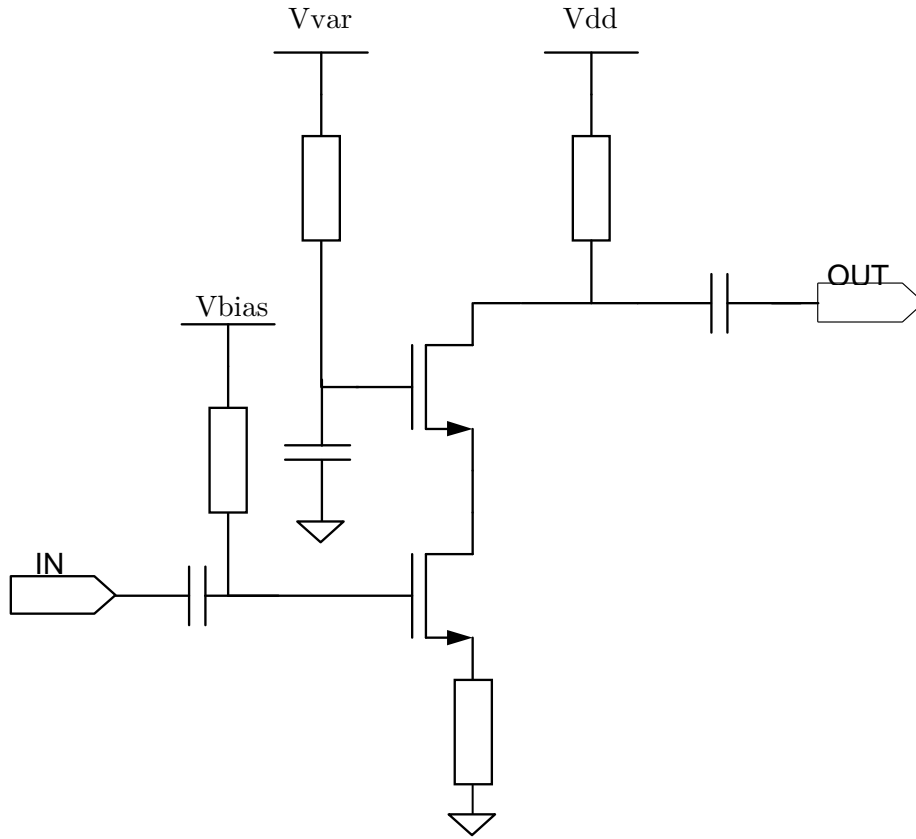


Figure III-22: Amplificateur variable

### III – 2.2 Simulations de la boucle de retour

Nous allons simuler le comportement de la boucle de retour. Prenons un cas donné que nous appellerons cas 1: Vdd1 à 0 et Vdd3 à 0, ce qui implique Vdd2 et Vdd4 à Vdd, et Vvar1 et Vvar2 à 0,3V. La Figure III-23 présente les paramètres S de la boucle.

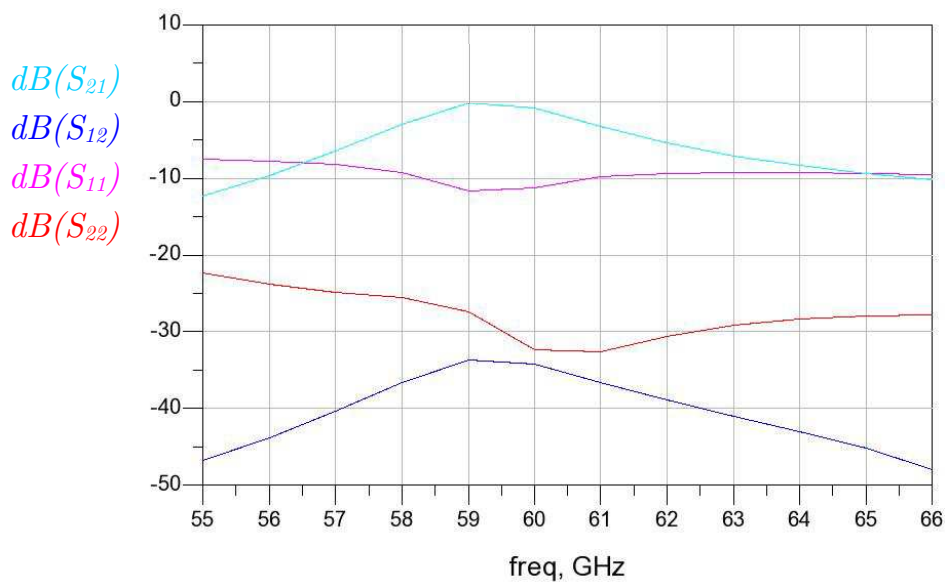
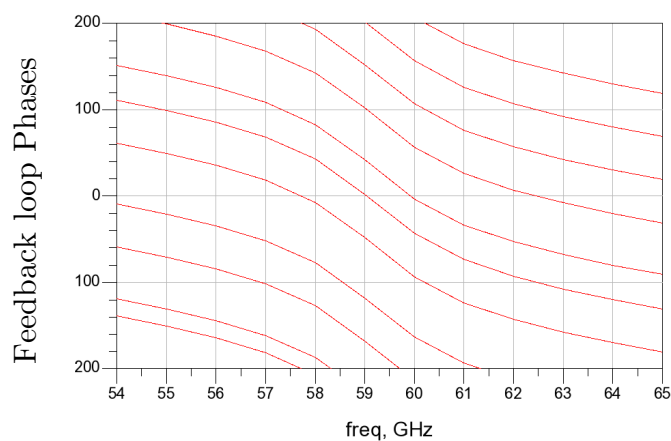


Figure III-23: Simulation petit signal dans le cas 1.

Nous observons aussi les différentes phases que peut atteindre le vecteur modulateur en *Figure III-24* en ajustant les différentes tensions variables du système que sont les tensions d'alimentation des déphaseurs  $0^\circ/180^\circ$  sur chaque voie et les tensions de grilles des transistors en grille commune des amplificateurs de chaque voie.

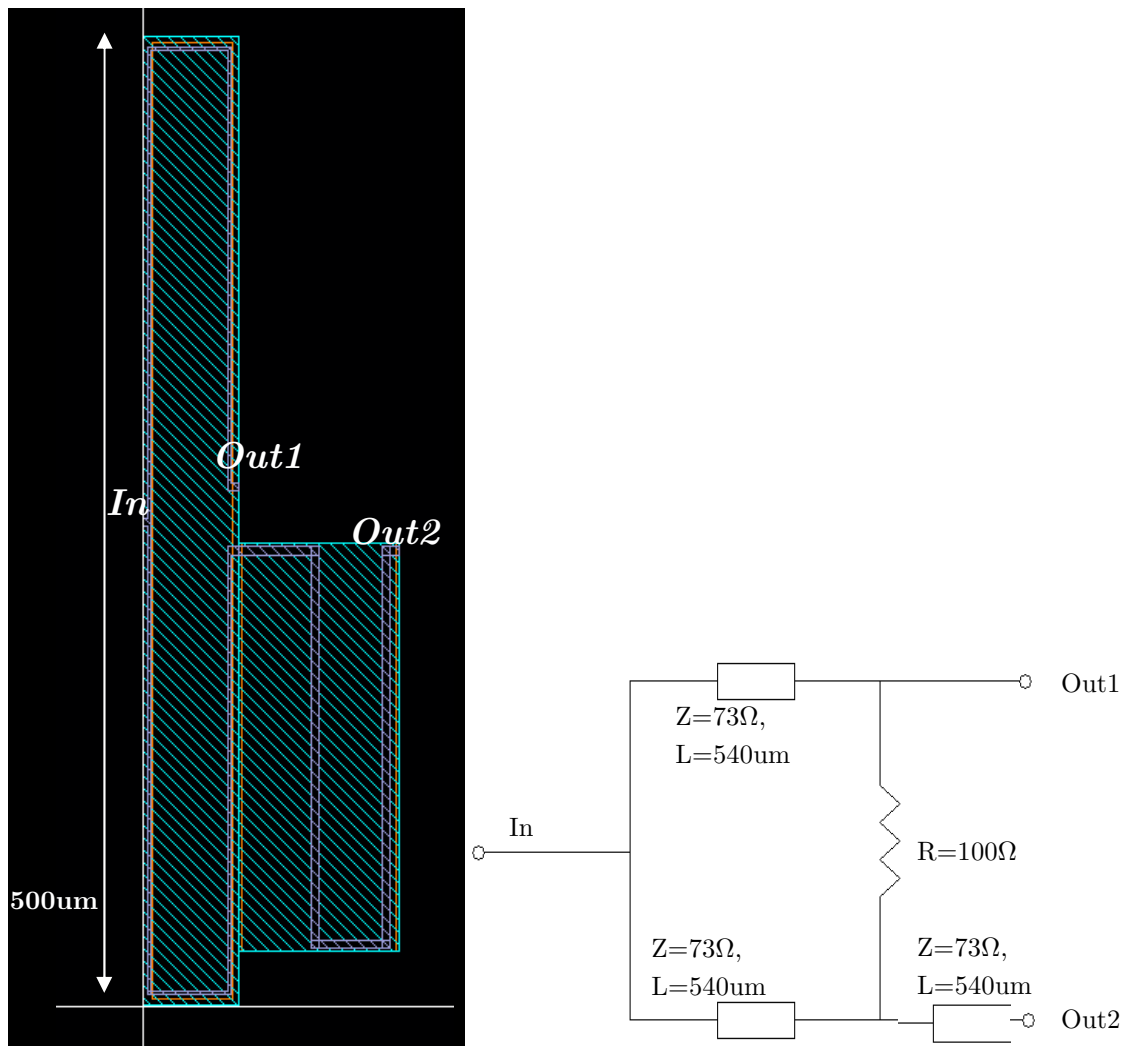


*Figure III-24: Phases atteintes par le vecteur modulateur.*

### III – 3 Layout de la boucle de retour

#### III – 3.1 Splitters et combineurs

Comme nous l'avons vu, des splitters de Wilkinson sont utilisés à plusieurs reprises, ceux-ci sont les mêmes à l'exception du splitter d'entrée du vecteur-modulateur qui comporte une ligne quart d'onde pour effectuer un déphasage à  $90^\circ$ . C'est celui-ci nous illustrons dans la *Figure III-25* et dont les performances sont données en *Figure III-26*.



*Figure III-25: Layout du splitter de Wilkinson d'entrée accompagné de la ligne quart d'onde de déphasage  $90^\circ$ .*

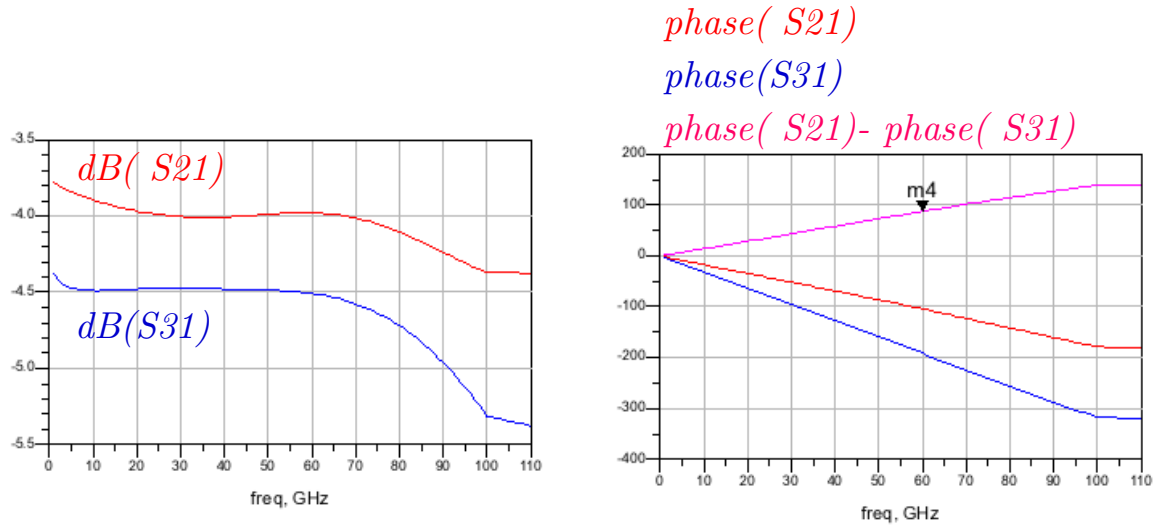


Figure III-26: Performance du splitter de Wilkinson d'entrée accompagné de la ligne quart d'onde modélisés sous HFSS.

### III – 3.2 Déphaseur $0^\circ$ - $180^\circ$

Pour les besoins de ce déphaseur  $0^\circ/180^\circ$ , des baluns sont utilisés. Ceux-ci sont simulés sous HFSS. Ce balun empilé utilise les métallisations 6 et 7 pour ses deux enroulements. Les dimensions de ce balun, inspiré de la référence [11], sont les suivantes : diamètre de 55 $\mu$ m, largeur de piste de 10 $\mu$ m. Le balun est illustré en Figure III-27 et ses paramètres S associés sont illustrés en Figure III-28. Nous pouvons constater que la perte en transmission au centre de la bande de fréquence est de -1,33dB.

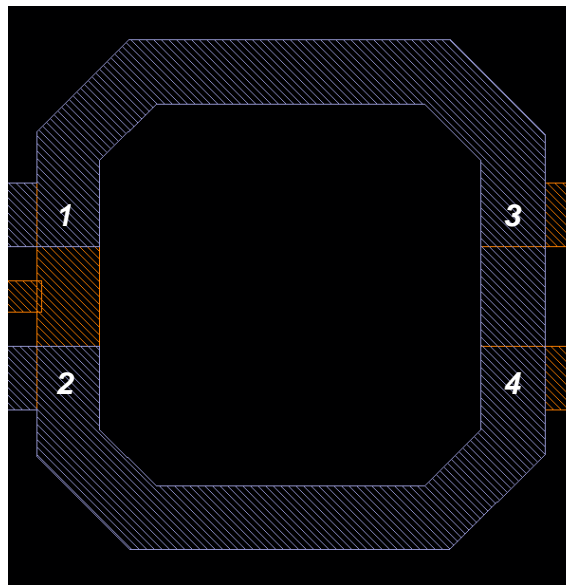


Figure III-27: Balun utilisé dans le déphaseur  $0^\circ/180^\circ$

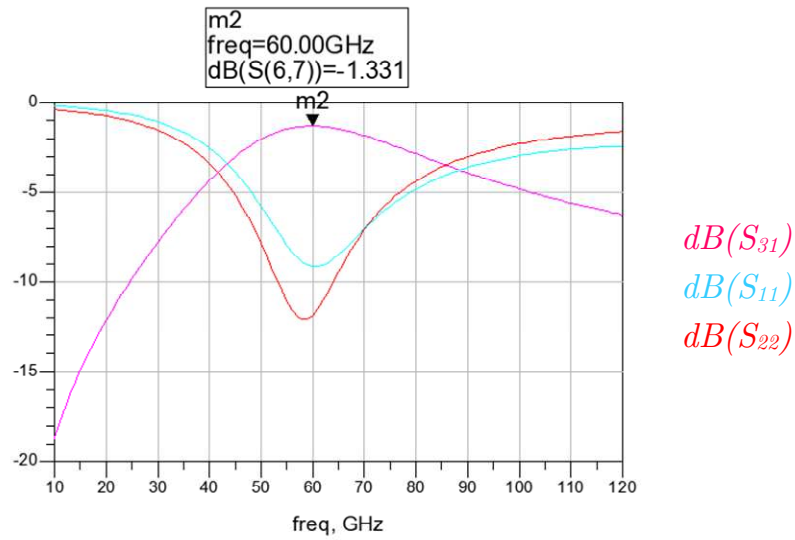


Figure III-28: Paramètres  $S$  du balun utilisé dans le déphaseur  $0^\circ/180^\circ$

La Figure III-29 montre uniquement les transistors des déphaseurs  $0^\circ/180^\circ$ , ceux alimentés par  $V_{dd1}$  et ceux par  $V_{dd2}$ . Ceux alimentés par  $V_{dd2}$  utilisent un inverseur pour se servir de l'alimentation  $V_{dd1}$ . Le layout complet du déphaseur est donné en Figure III-30.

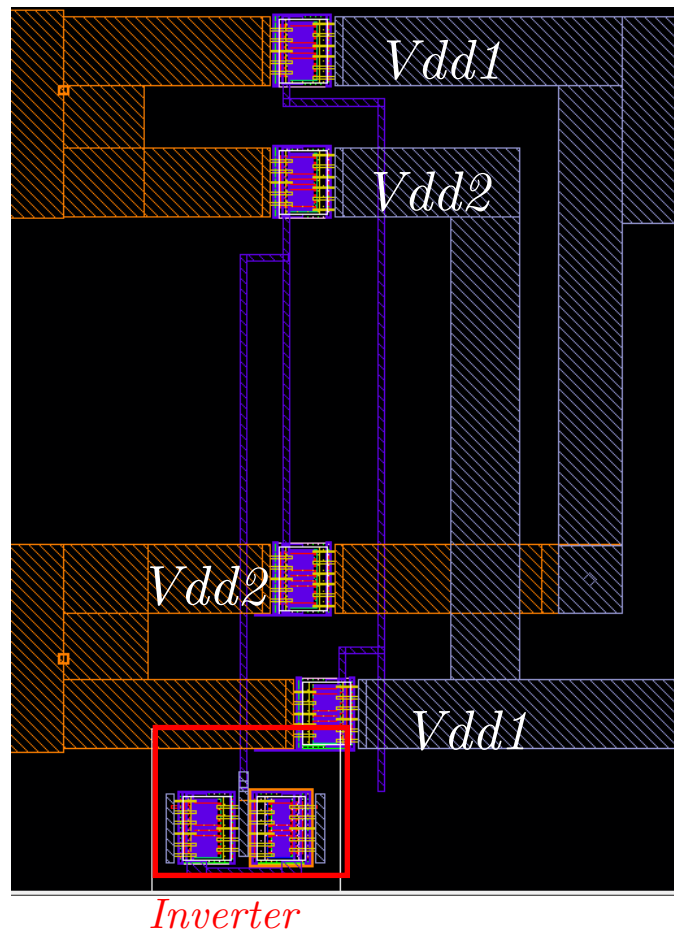
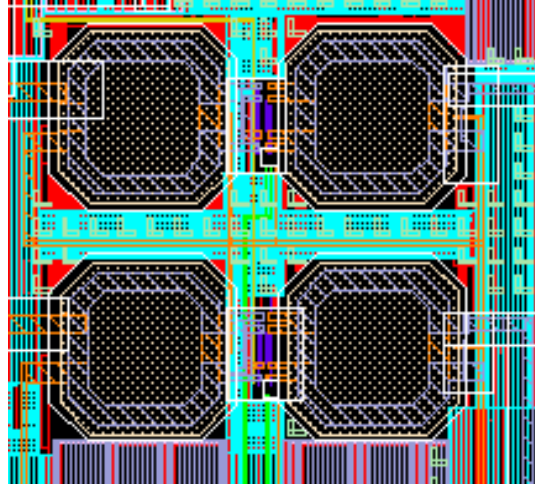


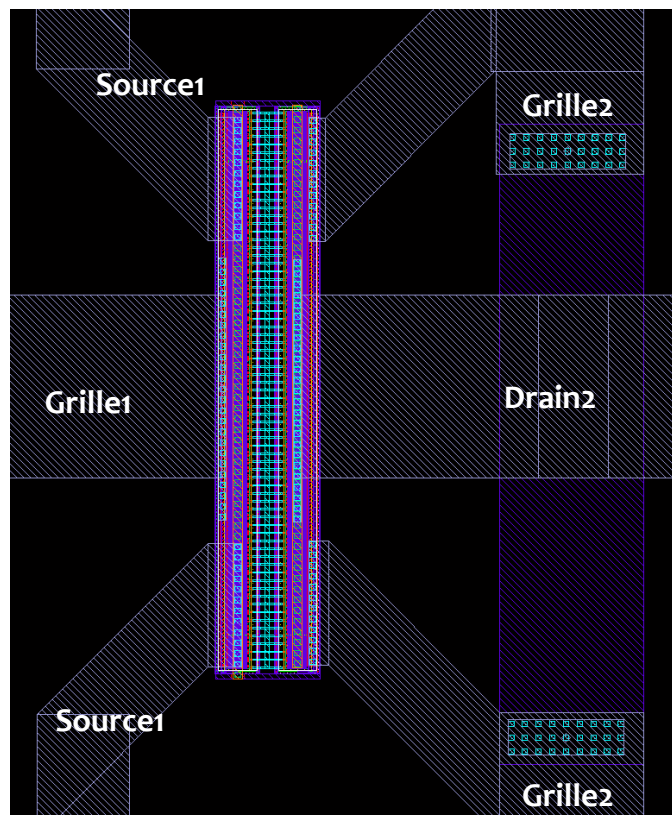
Figure III-96: Layout du déphaseur  $0^\circ/180^\circ$



*Figure III-30: Layout du déphaseur  $0^\circ/180^\circ$*

### III – 3.3 Amplificateurs

Les layouts des transistors cascades sur chaque voie du vecteur-modulateur utilisent la même technique de routage que les transistors cascode de l'amplificateur de puissance. Le layout d'un cascode est représenté en *Figure III-31*.

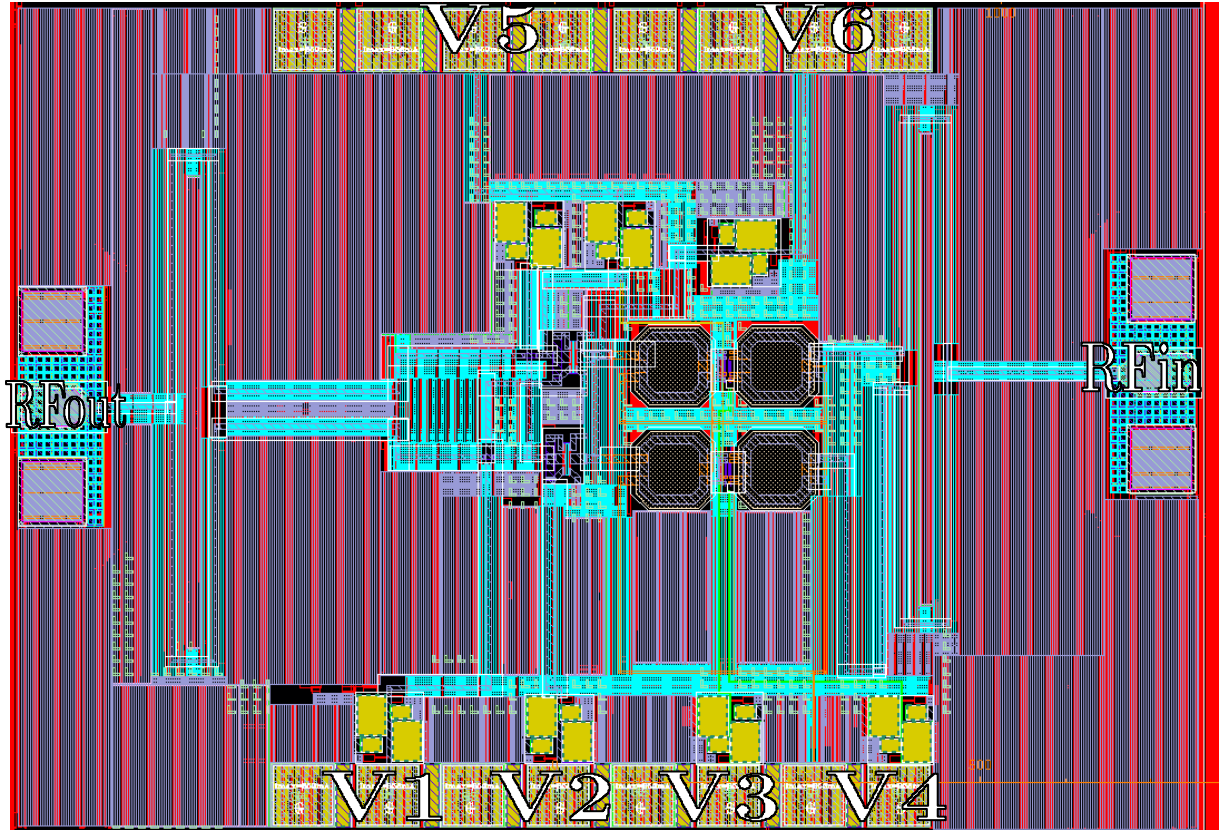


*Figure III-31: Layout du déphaseur  $0^\circ/180^\circ$*



### III – 3.4 Layout global

Le layout de la boucle de retour incluant le vecteur-modulateur est présenté en *Figure III-32*. La surface de ce layout est de  $1,12\text{mm}^2$  PADs inclus. On peut voir qu'une grande partie de la surface est destinée au plan de masse et ce à cause d'une part de la géométrie des splitters et d'autre part des distances minimales à respecter entre les PAD RF et les PAD DC.



*Figure III-32: Layout de la boucle de retour*

## III – 4 Power VCO Système complet

### III – 4.1 Simulations du Power VCO

Pour simuler le système complet nous utilisons Golden Gate. Pour un cas donné, une analyse d'oscillation est effectuée. Ainsi la fonctionnalité peut être vérifiée pour un cas donné en termes de fréquence d'oscillation et de puissance de sortie pour cette fréquence. Nous obtenons un graphe comme illustré en *Figure III-33*. En testant différents cas, la bande de fréquences complète est couverte. La *Figure III-34* présente les puissances de sorties obtenues pour différentes fréquences d'oscillation.

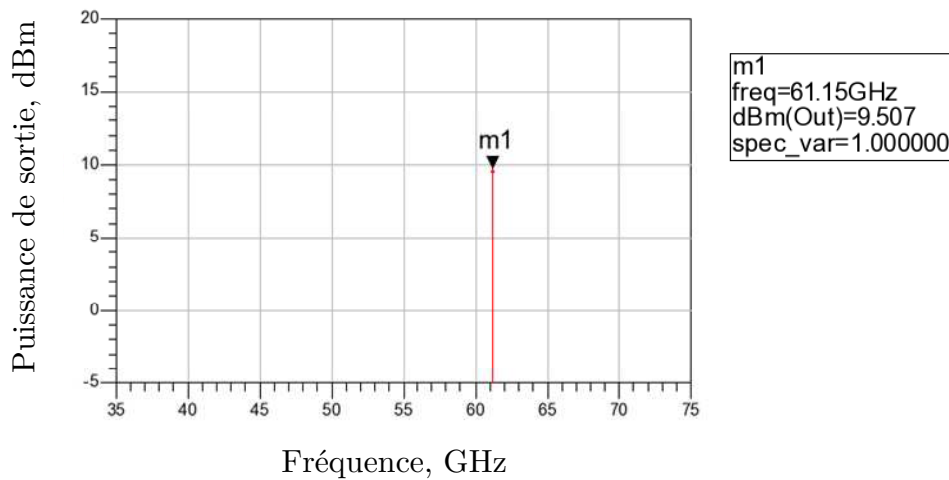


Figure III-33: Spectre de la raie d'oscillation du système pour un cas donné ( $V_{var} = V_{dd}$ ,  $V_{dd1} = 0$ ,  $V_{dd3} = 0$ ).

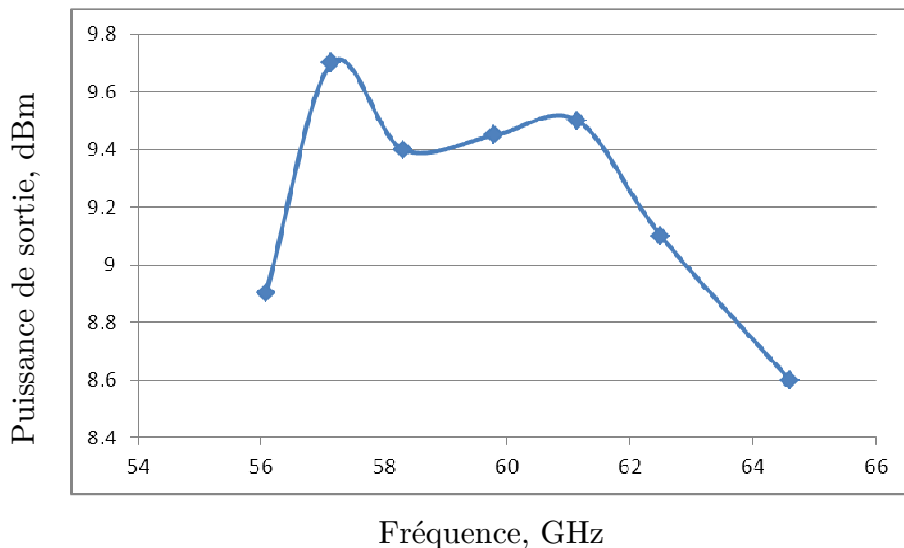
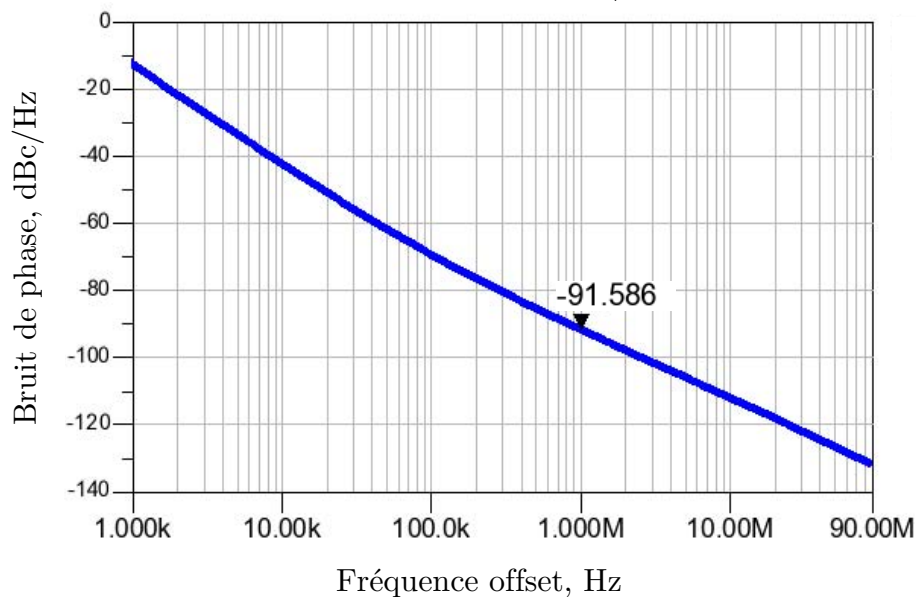


Figure III-34: Puissances de sorties pour différentes fréquences d'oscillations

Nous observons également le bruit de phase associé au centre de la bande de fréquence en *Figure III-35*. Celui-ci est de -91,586dBc/Hz à 1MHz de la porteuse.



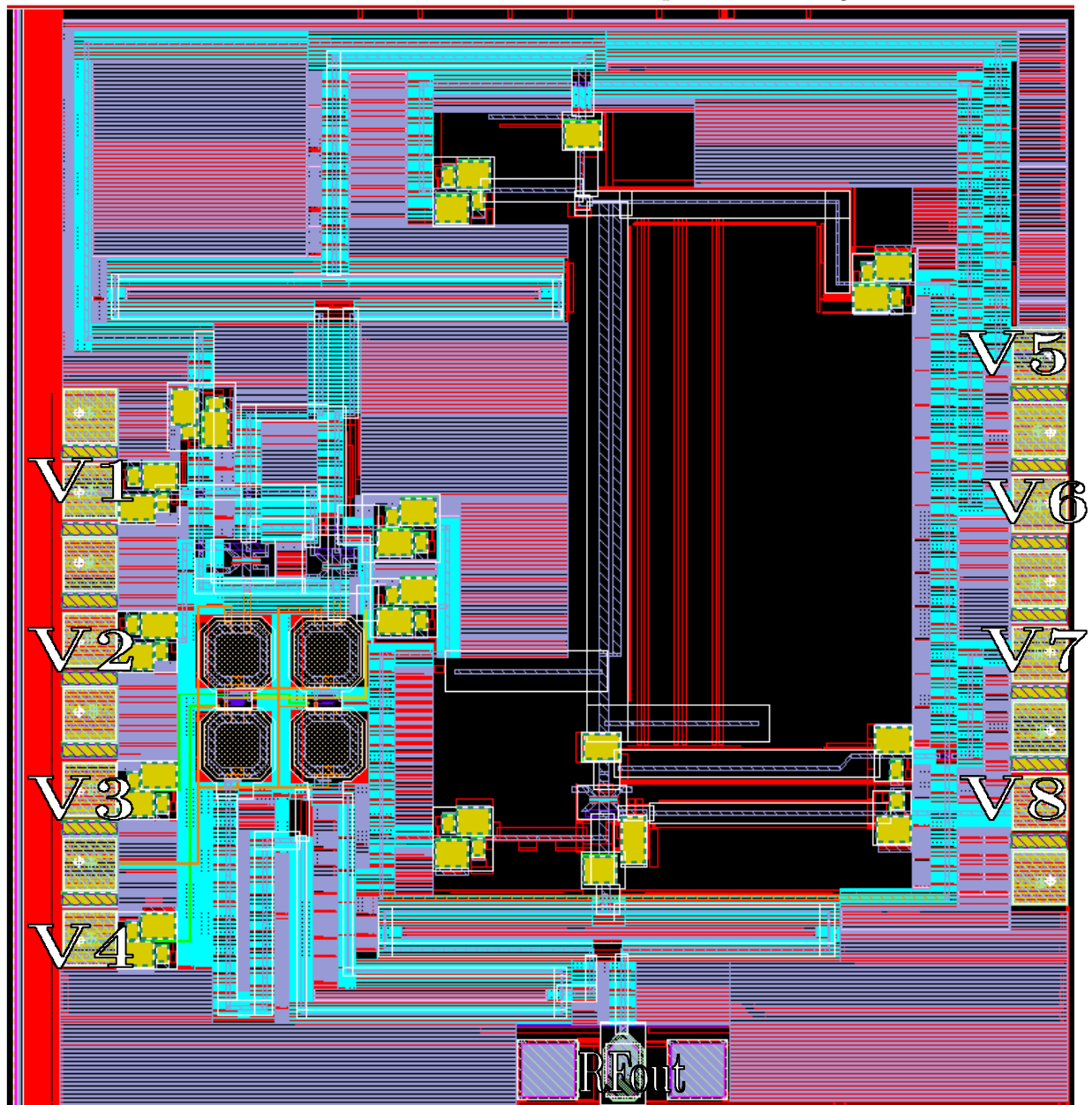
*Figure III-35: Bruit de phase au centre de la bande de fréquence*

La table suivante récapitule les caractéristiques principales des performances en simulation du système du Power VCO.

<b><i>Plage de fréquences (GHz)</i></b>	56-65
<b><i>Pout (dBm) @60GHz</i></b>	9.5
<b><i>Bruit de phase @1MHz de 60GHz (dBc/Hz)</i></b>	-91.586
<b><i>Consommation (mW)</i></b>	157
<b><i>Surface (mm<sup>2</sup>)</i></b>	1.9 (PA : 0,735 - Boucle de retour : 0,21 – PADs + GND : 0,955)
<b><i>Technologie</i></b>	65nm CMOS

### III – 4.2 Layout du Power VCO

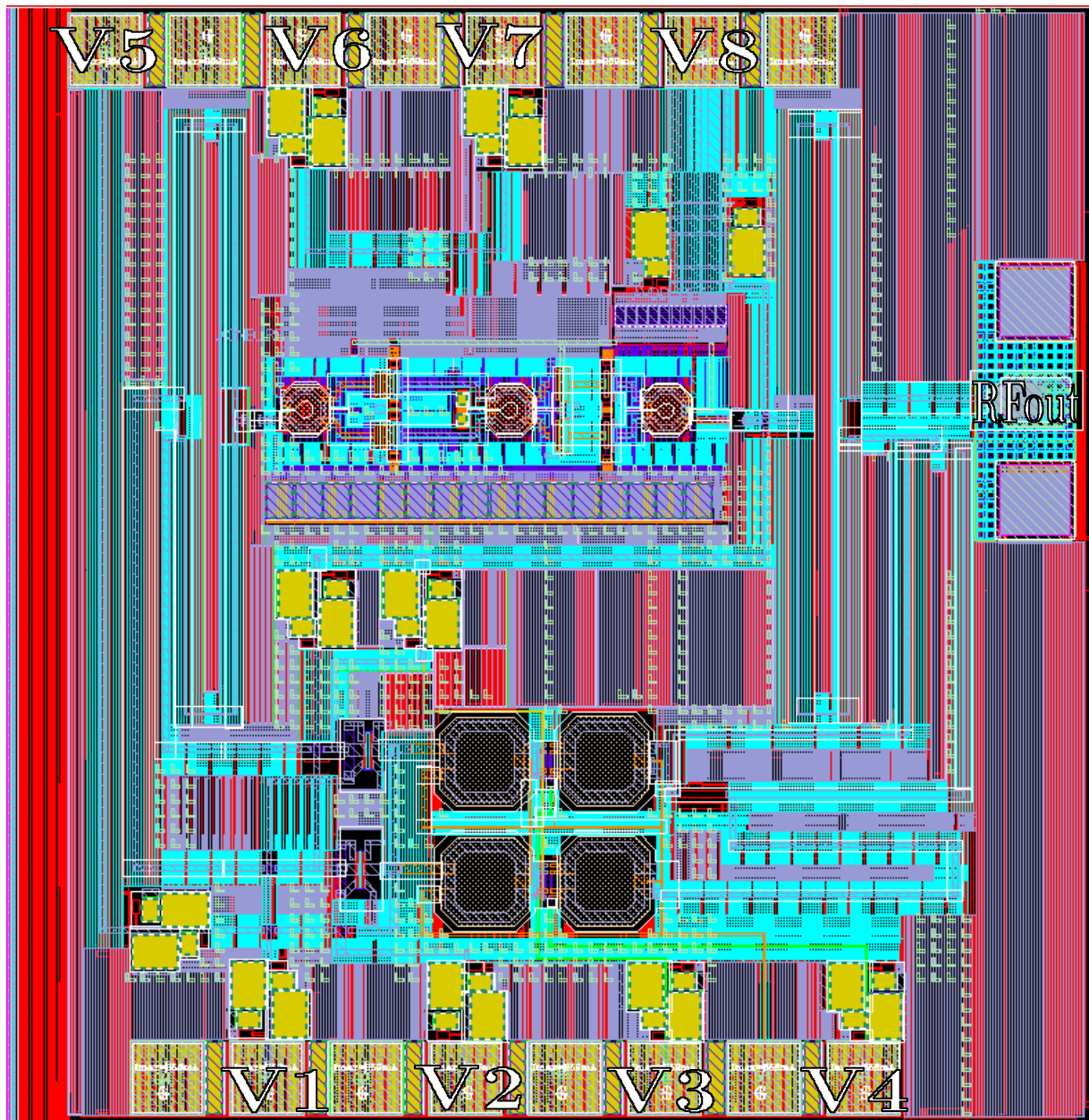
Le layout du Power VCO composé de l'amplificateur en classe F-E et de la boucle de retour incluant un vecteur-modulateur est présenté en *Figure III-36*.



*Figure III-36: Layout du Power VCO*

### III – 4.3 Le Power VCO avec un amplificateur linéaire

Pour avoir un élément de comparaison avec notre Power VCO, nous allons réaliser un autre Power VCO en utilisant un amplificateur de puissance linéaire à la place de l'amplificateur de puissance en classe F-E. Cet amplificateur linéaire est un amplificateur fonctionnant en classe A-AB, réalisé en technologie CMOS 65nm. Il est prévu pour être alimenté jusqu'à 1.8V. Il est composé de deux étages cascode dont les inter-étages sont réalisés par des transformateurs. Les performances de cet amplificateur sont similaires en termes de paramètres S mais inférieures en termes de PAE. Le Layout du Power VCO avec l'amplificateur linéaire est donné en *Figure III-37*.



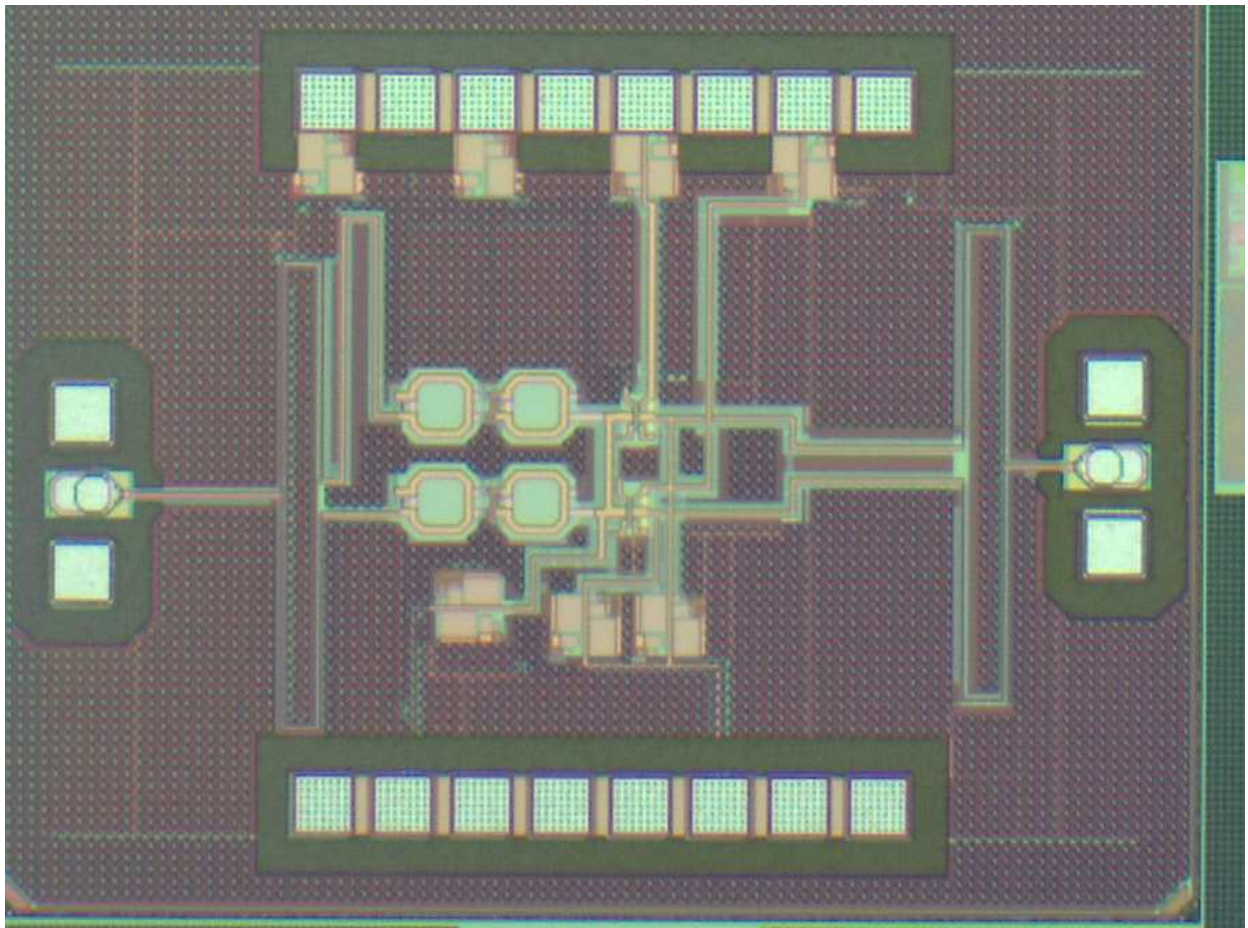
*Figure III-37: Layout du Power VCO avec un amplificateur linéaire*



## III – 5 Mesures du Power VCO

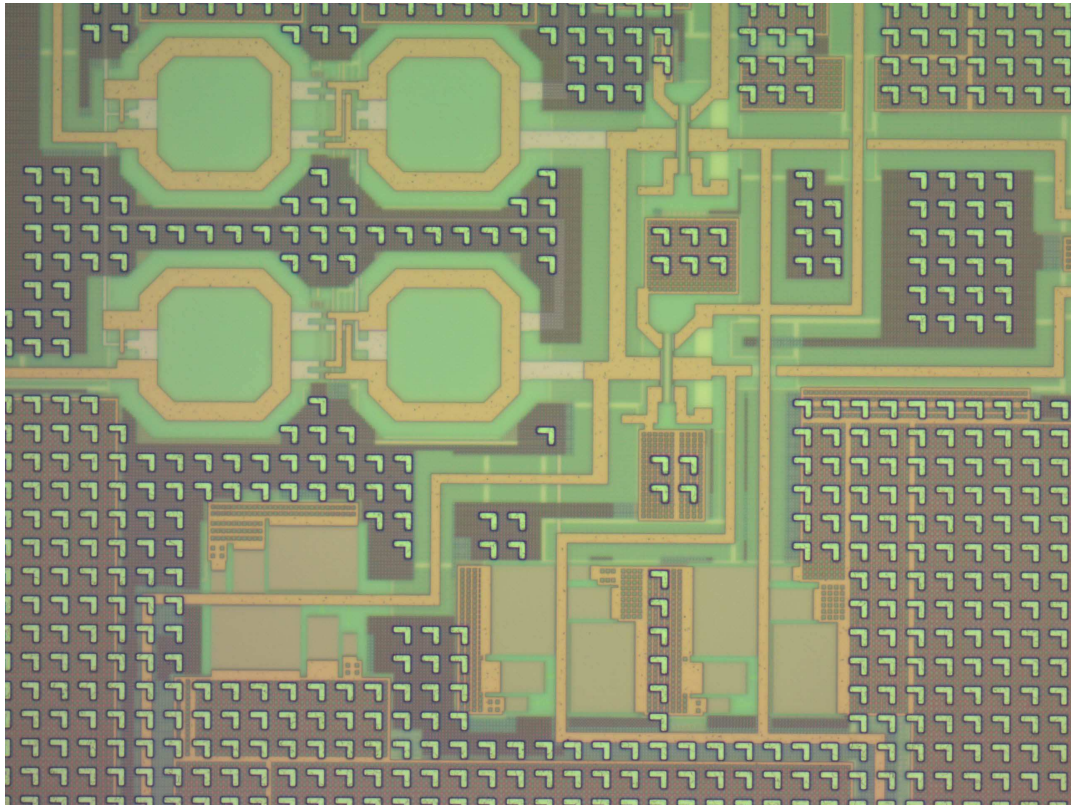
### III – 5.1 Photo de la puce

La boucle de retour, le Power VCO avec l'amplificateur de classe F-E ainsi que le Power VCO avec l'amplificateur de classe linéaire ont été réalisés. Les figures suivantes présentent des photos des trois éléments présents sur la puce. La surface totale est de  $4,31\text{mm}^2$ . Le premier circuit correspond à la boucle de retour, en Figure III-38. La Figure III-39 présente leur cœur de la boucle de retour avec le déphaseur  $0^\circ/180^\circ$  et les amplificateurs de chaque voie. Le deuxième au Power VCO en classe FE est illustré en Figure III-40, et le dernier circuit correspond au power VCO avec un amplificateur linéaire, en Figure III-41.

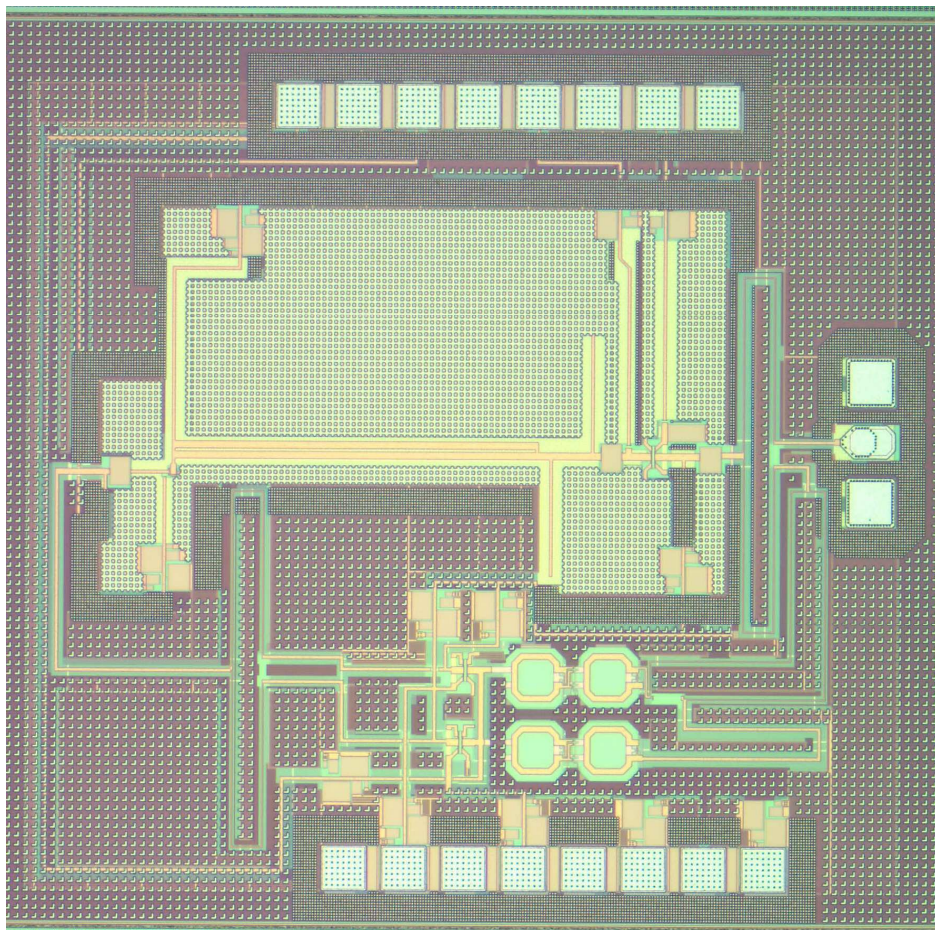


*Figure III-38: Photo de la boucle de retour*



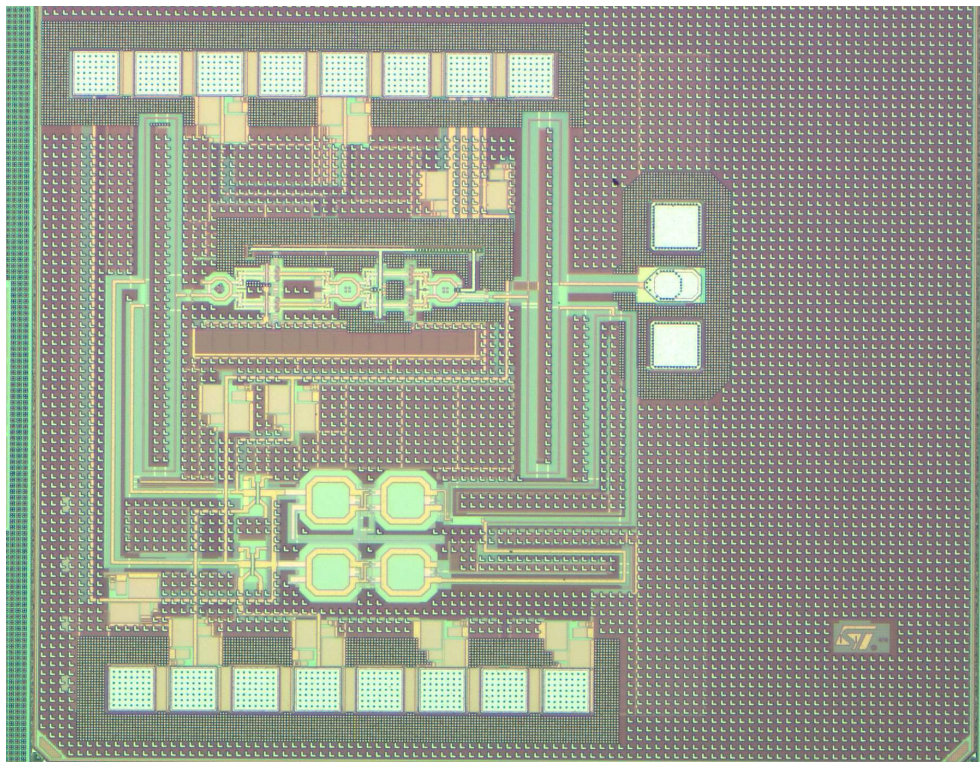


*Figure III-39: Photo du cœur de la boucle de retour*



*Figure III-40: Photo du power VCO avec l'amplificateur de classe F-E.*





*Figure III-41: Photo du Power VCO avec un amplificateur linéaire.*

### III – 5.2 Mesures

Lors des mesures avec des pointes «DC » 8 et 6 avec un « pitch », ou un espacement de 100um.

Lors de la mise sous tension des alimentations, avec le circuit de la boucle de retour, les tensions des alimentations s'influençaient les unes les autres. Lorsque la tension Vvar (V2 sur la *Figure III-32*) variait, la tension d'alimentation Vdd (V5 sur la *Figure III-32*) variait également.

La *Figure III-42* présente les paramètres S de la boucle de retour. Le gain est négatif et semble décalé en fréquence. Il semble alors qu'il y ait d'abord un problème de masse.



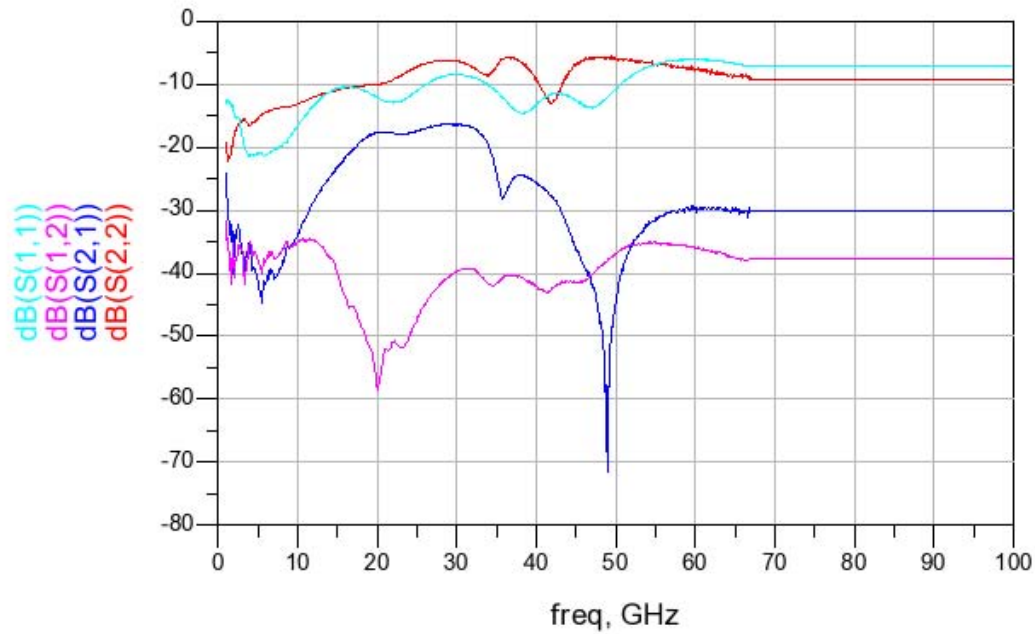


Figure III-42: Schéma de simulation électromagnétique sous HFSS de deux lignes séparées de 50 $\mu$ m.

### III – 5.3 Solutions envisagées

Il s'avère que les plots de masse ne sont pas reliés au plan de masse sur deux des trois circuits, excepté le Power VCO avec un amplificateur linéaire. La solution envisagée consiste à poser des bondings. En effet, la pose des pointes de masse ne peut pas être faite ailleurs puisque nous utilisons une tête de 6 ou 8 pointes qui sont alignées et dont nous ne pouvons pas déplacer l'une d'elle. La difficulté réside dans l'impact des bondings sur la structure à étudier.

## **III – 6 Perspectives de transfert à des applications**

### **III – 6.1 Quelles applications envisageables**

Le Power VCO a été envisagé pour s'inscrire dans l'évolution des architectures d'émetteurs. Mais pour le moment le Power VCO se comporte comme un oscillateur de puissance dont on peut contrôler la fréquence d'oscillation. Il ne supporte pas encore de modulations complexes et en l'état il ne le pourrait pas. C'est pourquoi il faut réfléchir à des solutions à envisager pour qu'il puisse supporter certaines modulations puis qu'il supporte plusieurs modulations, sans que cela ne fasse perdre ses avantages au Power VCO par rapport aux autres architectures d'émetteurs.

D'autre part, dans les architectures classiques de VCO, les systèmes sont soumis à des effets de pulling et de pushing [12]. Nous avons le pulling d'injection qui est dû à une fréquence parasite, le pulling de charge qui est dû à la variation de la charge, et le pushing de l'alimentation lorsqu'on a des variations de la tension d'alimentation. Un des éléments les plus sensibles des VCO est le varactor, qui est sensible à tout phénomène parasite. Or le Power VCO ne comporte pas de varactor. Il est donc moins sensible au phénomène de pulling et pourrait être utilisé en tant que VCO dans les architectures traditionnelles.

### **III – 6.2 Structures pour supporter une modulation**

Nous allons revenir sur l'architecture d'émetteur et évoquer des solutions pour supporter les modulations.

Les modulations utilisées pour les standards de la bande de fréquences autour de 60GHz sont souvent en OFDM (Orthogonal Frequency Division Multiplexing).

Le principe de l'OFDM se base sur une répartition du signal qu'on veut transmettre sur plusieurs sous-porteuses. Ses sous-porteuses sont légèrement décalées entre elles dans le domaine fréquentiel et sont orthogonales pour éviter les interférences tout en se chevauchant. La bande passante est utilisée dans son intégralité. Ensuite chaque sous porteuse est modulée en utilisant des modulations numériques à une porteuse ou « Single carrier » comme le QPSK par exemple [13].

Les modulations PSK, « Phase Shift Keying » sont des modulations numériques qui apporte l'information via la phase d'un signal de référence. La phase peut prendre un nombre fini de valeurs et c'est par ce nombre qu'on définit les différentes modulations PSK, comme le QPSK qui a quatre valeurs de phase.

Pour moduler un signal en phase, il y a soit la méthode d'addition de deux voies I et Q en quadrature, soit la méthode de déphasage du signal modulé par un réseau LC par exemple.

Dans notre système du Power VCO, pour moduler le signal par une modulation « Single carrier » comme le QPSK par exemple, il faudrait pouvoir contrôler la phase du signal de sortie.

Utiliser deux signaux en quadrature reviendrait à se reporter à ce qui est déjà utilisé dans les émetteurs hétérodyne et homodyne.

On peut donc imaginer utiliser le Power VCO avec un déphaseur en sortie pour moduler une porteuse.

L'utilisation d'une modulation OFDM avec le Power VCO nécessiterait alors la mise en parallèle d'autant de Power VCO que de sous-porteuse. Ce type d'architecture risque alors d'être volumineux.

## Conclusion

Dans ce troisième chapitre, nous avons d'abord rappelé les définitions essentielles de l'étude des oscillateurs notamment le bruit de phase et la figure de mérite des oscillateurs. Nous avons ensuite présenté un état de l'art des « VCO » à 60GHz.

Puis, nous avons précisé le rôle de la boucle de retour du « Power VCO » et les critères d'oscillation à remplir en fonction des caractéristiques de l'amplificateur. Nous avons ensuite présenté les différentes solutions envisagées notamment par un filtre avant d'introduire la solution choisie du vecteur-modulateur. Nous avons par la suite présenté un état de l'art de cet élément avant de rentrer dans le détail de sa conception. Nous avons détaillé la conception des différents éléments constituant le vecteur-modulateur, à savoir les différents splitters, combineurs, déphaseur  $0^\circ/180^\circ$ , les amplificateurs variables, avant de décrire la méthode de layout de ces différents éléments.

Le système complet du « Power VCO » a été étudié avec des résultats de simulation montrant une oscillation sur toute la bande de fréquence désirée avec une puissance maximale de sortie de 9,7dBm [12]. Nous avons alors présenté les différents circuits réalisés sur silicium, notamment le layout de la boucle de retour seule, du Power VCO avec notre amplificateur de classe F-E deux étages accompagné de la boucle de retour basée sur un vecteur-modulateur, et enfin le layout d'un Power VCO toujours avec même la boucle de retour mais avec un amplificateur de classe linéaire pour la chaîne directe de la boucle.

Enfin, nous avons alors présenté les différentes perspectives envisageables à la suite de ces travaux, notamment l'étude d'une solution pour inclure des modulations au « Power VCO » afin d'envisager une application d'émetteur pour application WPAN, et d'autre part, l'intégration de ce type de VCO dans les architectures existantes afin d'en améliorer les performances.

## Références

- [1] Y. Yu, P. Baltus, A. Van Roermund, A. De Graauw, E. Van der Heijden, M. Collados, C. Vaucher, "A 60GHz digitally controlled RF-beamforming receiver front-end in 65nm CMOS", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp.211-214, June 2009.
- [2] J. Mira, « Conception d'oscillateurs contrôlés en tension dans la gamme 2GHz-10GHz, intégrés sur silicium et analyse des mécanismes à l'origine du bruit de phase », Electronique, Novembre 2004.
- [3] F. Badets, "Contribution à l'étude de la synchronisation des oscillateurs : intégration des oscillateurs synchrones dans les systèmes radiofréquences en technologie silicium", Thèse de doctorat spécialité Electronique, 2000.
- [4] F. Ellinger, "Radio Frequency Integrated Circuits and Technologies", Editions Springer, 2008.
- [5] M. Lont, R. Mahmoudi, E. Van der Heijden, A. de Graauw, P. Sakian, P. Baltus, A. Van Roermund, "A 60GHz Miller Effect Based VCO in 65nm CMOS with 10.5% Tuning Range", IEEE *Silicon Monolithic Integrated Circuits in RF Systems*, pp.1-4, January 2009.
- [6] S. W. Chai, J. Yang, B.-H. Ku, S. Hong, "Millimeter wave CMOS VCO with a high impedance LC tank", IEEE *Radio Frequency Integrated Circuits Symposium*, pp.545-548, May 2010.
- [7] J.L.G. Jimenez, F. Badets, B. Martineau, D. Belot, "A 56GHz LC-tank VCO with 17% tuning range in 65nm bulk CMOS for wireless HDMI applications", IEEE Radio Frequency Integrated Circuits Symposium, pp.481-484, June 2009.
- [8] Y. Yu, P. Baltus, A. Van Roermund, A. De Graauw, E. Van der Heijden, M. Collados, C. Vaucher, "A 60GHz digitally controlled RF-beamforming receiver front-end in 65nm CMOS", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp.211-214, June 2009.
- [9] M.R. Nezhad-Ahamdi, B. Biglarbegan, A. Taeb, M. Fakharzadeh, S. Safavi-Naeini, "A scalable two elements CMOS phased array receiver front-end for 60GHz channel," European Microwave Conference (EuMC), pp.1548-1551, September 2010.
- [10] A. Tomkins, P. Garcia, S.P. Voinigescu, "A 94GHz SPST Switch in 65nm Bulk CMOS", IEEE Compound Semiconductor Integrated Circuits Symposium, pp.1-4, October 2008.
- [11] B. Leite, E. Kerherve, J.-B. Begueret, D. Belot, "Transformer topologies for mmW integrated circuits", European Microwave Conference, pp.181-184, September 2009.

- [12]S. Dréan, N. Martin, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, “A 60GHz Class F-E Power VCO with Vector-Modulator Feedback in 65nm CMOS Technology”, IEEE International Conference on Electronics Circuits and Systems, December 2012.

# Conclusion générale

Ce mémoire de travaux de thèse a présenté l'étude de faisabilité d'une architecture d'oscillateur de puissance ou « Power VCO » en ondes millimétriques autour de 60GHz en technologie CMOS 65nm.

Dans le premier chapitre, nous avons expliqué ce que sont les ondes millimétriques et leurs différents champs d'application. Nous nous sommes plus particulièrement intéressés à la bande de fréquence autour de 60 GHz qui a été le cadre de l'application développée dans cette étude. Nous avons présenté les différents standards qui ont été dédiés à cette bande 57GHz-66GHz. Nous avons vu que ceux-ci étaient très proches, voire concurrents, et que suivant les régions du monde la bande utile pour ces standards se différenciait.

Nous avons ensuite montré l'évolution des architectures d'émetteur dont les points faibles des premières amènent à développer des architectures de plus en plus compactes. Nous avons vu que le concept du « Power VCO » s'inscrit en partie dans cette optique. Nous avons donc par la suite décrit cette structure qui peut se concevoir comme un « VCO » dont nous amplifions la puissance de sortie, ou comme un amplificateur de puissance auquel nous joignons une boucle de retour afin de créer un système oscillant par lui-même. Nous avons détaillé l'état de l'art de ce système sous ses deux formes, pour conclure que la structure la plus prometteuse était celle de l'amplificateur de puissance oscillant. Nous avons par la suite effectué une étude système afin de déterminer les spécifications pour la suite des travaux.

Dans le deuxième chapitre nous avons détaillé la conception de l'amplificateur de puissance du Power VCO, en rappelant d'abord les définitions de base des amplificateurs de puissance, les différentes classes de fonctionnement linéaires et commutées. Puis, on a étudié le choix de la classe d'amplificateur nécessaire à notre application. Le choix s'est porté sur un étage de puissance en classe E et un étage driver en classe F. Nous avons ensuite justifié le choix d'une structure cascode pour l'étage de puissance, avant d'expliquer le choix des éléments distribués pour les réseaux de sortie, à cause de la résonance des inductances avant 60GHz. Nous avons ensuite montré les différents résultats de simulation de l'amplificateur en classe E, avec une puissance maximale de sortie de 15dBm et un gain de 8dB, pour une PAE maximale de 31%.

La conception de l'étage driver a ensuite été décrite avant de présenter l'amplificateur F-E à deux étages. Nous avons pu alors voir que les performances atteintes par l'amplificateur de puissance global atteignaient 15dB pour le gain, 15dBm pour la puissance maximale de sortie, pour une PAE de 26% à 60 GHz. Enfin les différents aspects du layout ont été abordés, à savoir le layout des transistors, les problématiques de couplage des lignes microstrips et le découplage des lignes DC pour leur stabilisation.

Dans le troisième chapitre, nous avons rappelé le rôle d'oscillateur du « Power VCO » et les définitions essentielles de l'étude des oscillateurs notamment le bruit de phase et la figure de mérite des oscillateurs. Nous avons ensuite présenté un état de l'art des « VCO » à 60GHz.

Dans un deuxième temps, nous avons reprecisé le rôle de la boucle de retour du « Power VCO » et les critères d'oscillation à remplir en fonction des caractéristiques de l'amplificateur. Nous avons ensuite présenté les différentes solutions envisagées notamment par un filtre avant d'introduire la solution choisie du vecteur-modulateur. Nous avons par la suite présenté un état de l'art de cet élément avant de rentrer dans le détail de sa conception. Nous avons détaillé la conception des différents éléments constituant le vecteur-modulateur, à savoir les différents splitters, combiners, déphaseur  $0^\circ/180^\circ$ , les amplificateurs variables, avant de décrire la méthode de layout de ces différents éléments.

Par la suite, le système complet du « Power VCO » a été étudié avec des résultats de simulation montrant une oscillation sur toute la bande de fréquence désirée avec une puissance maximale de sortie de 9,7dBm. Nous avons alors présenté les différents circuits réalisés sur silicium, notamment le layout de la boucle de retour seule, du Power VCO avec notre amplificateur de classe F-E deux étages accompagné de la boucle de retour basée sur un vecteur-modulateur, et enfin le layout d'un Power VCO toujours avec même la boucle de retour mais avec un amplificateur de classe linéaire pour la chaîne directe de la boucle.

Nous avons ainsi montré dans ces travaux la faisabilité d'une telle structure de « Power VCO dans son principe à des fréquences autour de 60GHz. Dans une dernière partie, nous avons alors présenté les différentes perspectives envisageables à la suite de ces travaux, notamment l'étude d'une solution pour inclure des modulations au « Power VCO » afin d'envisager une application d'émetteur pour application WPAN, et d'autre part, l'intégration de ce type de VCO dans les architectures existantes afin d'en améliorer les performances.