THESE

Présentée devant

L'UNIVERSITE D'AIX-MARSEILLE

Pour obtenir

LE GRADE DE DOCTEUR

ECOLE DOCTORALE : Mécanique, Physique, Micro et Nanoélectronique
SPECIALITE : Micro et Nanoélectronique

Thèse présentée par :

JEREMY BOULOC

Intitulé de la thèse :

Système de contrôle pour microscope à force atomique basé sur une boucle à verrouillage de phase entièrement numérique

LABORATOIRE D'ACCUEIL: Institut Matériaux Microélectronique Nanoscience de Provence
EQUIPES D'ACCUEIL: Nanostructuration-CCI

DIRECTEUR DE THESE : Mr. Christian Loppacher
A soutenir le 29 mai 2012

C. HEDAYAT	Docteur (Institut Fraunhofer - ENAS)	Rapporteur
S. GAUTHIER	Directeur de recherche CNRS (CEMES)	Rapporteur
F. PALMINO	Professeur (femto-st)	Examinateur
D. ALQUIER	Professeur (IUT Tours)	Examinateur
C. LOPPACHER	Professeur (IM2NP)	Examinateur
W. RAHAJANDRAIBE	Maître de conférence (IM2NP)	Examinateur
L. ZAID	Maître de conférence (IM2NP)	Examinateur

REMERCIEMENTS

Tout d'abord, je remercie Monsieur Rachid Bouchakour, directeur de l'Institut Matériaux, Microélectronique et Nanosciences de Provence (IM2NP) pour m'avoir accueilli au sein de l'institut et m'avoir permis de travailler dans d'excellentes conditions. Je remercie également Monsieur Herve Barthélémy responsable de l'équipe Conception de Circuit Intégré (CCI) et Monsieur Louis Porte responsable de l'équipe Nanostructuration pour m'avoir intégré au sein de leur équipe.

Je tiens à remercier Christian Loppacher, Professeur à l'Université Aix-Marseille III, qui a dirigé cette thèse et qui m'a fait profiter de toute son expérience et de son savoir. Je le remercie vivement pour toutes les discussions qui ont amené cette thèse et ce manuscrit à ce qu'ils sont actuellement.

Je remercie également Monsieur Wenceslas Rahajandraibe, Maitre de conférences à l' Université de Provence et codirecteur de ma thèse pour tous les conseils qu'il a pu me prodiguer et son implication dans mon travail.

Je remercie également Monsieur Lakhdar Zaid, Maitre de conférences à l'Université de Provence et codirecteur de ma thèse pour son implication dans mon travail et les discussions instructives que nous avons eu.

Je remercie Monsieur Christian Hedayat, directeur de département à l'institut Fraunhofer ENAS et Monsieur Sébastien Gauthier, Directeur de recherche au Centre d'Elaboration de Matériaux et d'Etudes Structurales (CEMES) qui m'ont fait l'honneur de rapporter sur mon manuscrit.

De même, je remercie Monsieur Frank Palmino, Professeur à l'Université de Franche-Comté et chercheur à l'institut Franche-Comté Electronique Mécanique Thermique et Optique - Sciences et Technologies (FEMTO-ST) pour son aide et pour avoir accepté d'examiner mon travail.

Je remercie également Monsieur Daniel Alquier, Professeur à l'Institut Universitaire de Technologie (IUT) de Tours et Vice-Directeur du Laboratoire de Microélectronique de Puissance (LMP) qui a bien voulu examiner mon mémoire de thèse.

Je souhaite également remercier Monsieur Laurent Nony, Maître de Conférence à l'Université d'Aix-Marseille III ainsi que Monsieur Franck Bocquet, Maître de Conférence à l'Université d'Aix-Marseille III pour leurs aides et nos discussions très instructives.

Je remercie également toutes les personnes de l'Institut pour leur accueil.

Je tiens finalement à remercier ma famille pour m'avoir soutenu et encouragé dans mon travail.

Résumé

Un microscope à force atomique (AFM) est utilisé pour caractériser des matériaux isolant ou semi-conducteur avec une résolution pouvant atteindre l'échelle atomique. Ce microscope est constitué d'un capteur de force couplé à une électronique de contrôle pour pouvoir correctement caractériser ces matériaux. Parmi les différents modes (statique et dynamique), nous nous focalisons essentiellement sur le mode dynamique et plus particulièrement sur le fonctionnement sans contact à modulation de fréquence (FM-AFM). Dans ce mode, le capteur de force est maintenu comme un oscillateur harmonique par le système d'asservissement. Le projet ANR Pnano2008 intitulé : "Cantilevers en carbure de silicium à piézorésistivité métallique pour AFM dynamique à très haute fréquence" a pour objectif d'augmenter significativement les performances d'un FM-AFM en développant un nouveau capteur de force très haute fréquence. Le but est d'augmenter la sensibilité du capteur et de diminuer le temps nécessaire à l'obtention d'une image de la surface du matériau. Le système de contrôle associé doit être capable de détecter des variations de fréquence de 100mHz pour une fréquence de résonance de 50MHz. Etant donné que les systèmes présents dans l'état de l'art ne permettent pas d'atteindre ces performances, l'objectif de cette thèse fut de développer un nouveau système de contrôle. Celui-ci est entièrement numérique et il est implémenté sur une carte de prototypage basée sur un FPGA.

Dans ce mémoire, nous présentons le fonctionnement global du système ainsi que ses caractéristiques principales. Elles portent sur la détection de l'écart de fréquence de résonance du capteur de force. Cette détection est assurée par une boucle à verrouillage de phase (PLL) qui est élément clé du système. Pour que ce nouvel AFM dispose d'une vitesse de balayage de 10 lignes par seconde avec 512 points par ligne et d'une résolution atomique, la PLL doit être capable de détecter un écart de fréquence minimal de 100mHz et posséder une bande passante d'au moins 5.12kHz.

Par la suite, une description des différents sous ensembles qui constituent l'électronique d'asservissement tel que le déphaseur, le RMS-to-DC (Root Mean Square to DC), le contrôleur d'amplitude à gain proportionnel et intégral (APIC) et la boucle à verrouillage de phase est effectuée. Parmi les différents types de PLL, une boucle à verrouillage de phase entièrement numérique (ADPLL) est utilisée car elle permet d'atteindre la résolution voulue (100mHz) dans une plage de fréquence allant de 20kHz à 60MHz. Les résultats d'émulation et de mesures menés sur cette dernière ont prouvé que la détection d'un écart minimal de 100mHz dans cette plage de fréquence est possible.

Enfin, les tests réalisés *in situ* avec des capteurs de force "standards" (les capteurs de force haute fréquence n'étant actuellement pas disponibles) ont démontré le bon fonctionnement du système. L'obtention de la résolution atomique du substrat RbCl (chlorure de rubidium) et l'imagerie (de bonnes qualité) des molécules nommées 1,4-bis(4'-

cyanophényle)-2,5-bis(décyloxy)benzène ont permis de valider son fonctionnement. Le bruit de l'électronique est inférieur au bruit de l'AFM et permet une imagerie d'une excellente qualité.

Mots clés

Microscopie à force atomique (AFM) ; capteur de force haute fréquence ; résolution atomique ; microscopie à force atomique sans contact à modulation de fréquence (FM-AFM) ; boucle à verrouillage de phase (PLL) ; boucle à verrouillage de phase entièrement numérique (ADPLL) ; convertisseur de valeur efficace en valeur continue (RMS-to-DC) ; contrôleur d'amplitude à gain proportionnel et intégral ; réseau de porte programmable par paquet (FPGA).

Résumé anglais

An atomic force microscope (AFM) is used to characterize insulating materials or semiconductors with a resolution up to the atomic length scale. The microscope includes a force sensor linked to a control electronic in order to properly characterize these materials. Among the various modes (static and dynamic), we focus mainly on the dynamic mode and especially on the frequency modulation mode (FM-AFM). In this mode, the force sensor is maintained as a harmonic oscillator by the servo system. The research project ANR Pnano2008 entitled: "metal piezoresistivity silicon carbide cantilever for very high frequency dynamic AFM" aims to significantly increase the performance of a FM-AFM by developing new very high frequency force sensors. The goal is to increase the sensitivity of the sensor and to decrease the time necessary to obtain topography images of the material. The control system of this new sensor must be able to detect frequency variations as small as 100mHz for cantilevers with resonance frequencies up to 50MHz. Since the state-of-the-art systems doe not present these performances, the objective of this thesis was to develop a new control system. It is fully digital and it is implemented on a FPGA based prototyping board.

In this report, we present the system overall functioning and its main features which are related to the cantilever resonant frequency detection. This detection is managed by a phase locked loop (PLL) which is the key element of the system. In order that this new AFM has a scanning speed of 10 lines per second with 512 points per line and that it achieves atomic resolution, the PLL must be able to detect the minimum frequency shift (i.e. 100mHz) and it needs a bandwidth of 5.12kHz.

Then, a description of the different subsets that constitute the control system such as the phase shifter, the RMS-to-DC convertor (Root Mean Square to DC), the amplitude proportional and integral controller (APIC) and the phase locked loop is presented. Among the different types of PLL described in the literature, an all-digital phase locked loop

(ADPLL) is chosen because it achieves the desired resolution (100mHz) in a 20kHz to 60MHz frequency range. The emulation results and measurements performed on the ADPLL showed that the detection of the minimum cantilever resonant frequency shift (100mHz) in this frequency range is possible.

Finally, tests performed *in situ* with "standard" force sensors (high frequency force sensors being not currently available) have proved the well functioning of the system. Obtaining atomic resolution of the RbCl substrate (rubidium chloride) and getting a good quality imaging of the molecules called 1,4-bis (4'-cyanophenyl) -2,5-bis (decyloxy) benzene allowed to validate the control system operation. Its noise is smaller than the noise of the AFM and it permits imaging with excellent quality.

Key words

Atomic force microscopy (AFM), high frequency force sensor ; atomic resolution ; non-contact frequency modulated atomic force microscopy (FM-AFM) ; phase locked loop (PLL) ; all digital phase locked loop (ADPLL) ; root mean square-to-DC (RMS-to-DC) converter ; amplitude proportional and integral controller (APIC) ; field programmable gate array (FPGA).

SOMMAIRE

INTRODUCTION GENERALE 1

CHAPITRE I : MICROSCOPIE A FORCE ATOMIQUE 5

I. Introduction 6

II. Microscopie à force atomique 6

II.1. Le capteur de force 6

II.2. Interaction "pointe-surface" 8

III. Les différents types de microscope à force atomique 9

III.1. Mode statique 9

III.2. Mode dynamique 12

III.2.1. Mode dynamique AM 12

III.2.2. Mode dynamique FM 14

IV. Electronique de contrôle relative au FM-AFM 15

IV.1. Electronique de contrôle analogique 15

IV.1.2. Système auto-excité associé à une architecture hétérodyne [DUR92] 18

IV.1.3. Système à base de PLL associé à une architecture hétérodyne [KOB01] 21

IV.1.4. Système de contrôle large bande et à auto-excitation [KHA10] 23

IV.2. Electronique de contrôle numérique 25

IV.2.1. Système numérique programmable [LOP98] 25

IV.2.2. Démodulateur de fréquence à soustraction de phase [MIT09] 26

IV.3. Récapitulatif 27

V. NC-AFM haute fréquence 28

VI. Conclusion 30

CHAPITRE II : PRESENTATION DU SYSTEME DE CONTROLE **33**

I. Introduction **34**

II. Plateforme de développement **34**

III. Système de contrôle **37**

IV. Partie logicielle **39**

V. Fonctionnement du système de contrôle **45**

VI. Conclusion **47**

CHAPITRE III : Description des sous parties qui composent le système de contrôle **49**

I. Introduction **50**

II. ADPLL **51**

II.1. Comparateur de phase 54

II.2. Filtre de boucle 56

II.2.1. Filtre à réponse impulsionnelle finie (RIF) 58

II.2.2. Décimation 60

II.2.3. Module de filtrage passe bas 61

II.2.3.1. Filtre CIC 62

II.2.3.1.a. Rappel 62

II.2.3.1.b. Conception du filtre CIC du module de filtrage 65

II.2.3.2. Filtre de compensation 67

II.2.3.3. Single rate filter 71

II.2.3.4. Mise en cascade des trois étages 73

II.2.3.5. Génération du VHDL 75

II.2.3.6. Tableau récapitulatif 76

II.3. Etage de gain programmable 78

II.4. Bit selection stage 80

II.5. Oscillateur numérique contrôlé numériquement (NCNO) 82

II.5.1. Rappel 83

II.5.1.1. Troncature 87

II.5.1.1.a. Amplitude des raies parasites issues de la troncature de phase 87

II.5.1.1.b. Distribution des raies parasites issues de la troncature de phase 88

II.5.2. Accumulateur de phase 90

II.5.3. Convertisseur phase vers amplitude (PAC) 91

II.5.3.1. Rotation angulaire basée sur l'algorithme CORDIC 92

II.5.3.2. Réalisation du NCNO de l'ADPLL 94

II.6. Doubleur de fréquence 95

II.7. Résultats expérimentaux relatifs à l'ADPLL 97

III. Déphaseur 100

IV. Convertisseur d'amplitude efficace en amplitude continue (RMS-to-DC) 101

V. Contrôleur d'amplitude à gain intégral et proportionnel (APIC) 104

VI. Conclusion 105

CHAPITRE IV : MESURES *IN-SITU* 109

I. Introduction 110

II. Banc de test 111

III. Imagerie du chlorure de rubidium 116

III.1. Préparation 116

III.2. Imagerie macroscopique et nanométrique 117

IV. Couche moléculaire 119

IV.1. Préparation 120

IV.2. Imagerie macroscopique et nanométrique 121

V. Conclusion 124

PERSPECTIVES **127**

I. Introduction **128**

II. Modélisation de l'ADPLL **128**

II.1. Objectif 128

II.2. Simplification de la fonction de transfert du filtre de boucle 130

II.2.1. Technique de Réduction d'Ordre du Modèle appliqué au filtre de boucle 131

II.2.2. Transformée bilinéaire de la fonction de transfert en *z* réduite 134

II.2.3. Comportement temporel de la PLL analogique contenant le module de filtrage obtenu par la transformée bilinéaire 136

III. Caractérisation de l'ADPLL **138**

IV. Conclusion **140**

CONCLUSION GENERALE **143**

ANNEXE I **147**

I. Définition d'un FPGA **148**

II. FPGA stratixiii **149**

III. Définition du VHDL **152**

III.1. Exemple 153

ANNEXE II **157**

I. Emulation **158**

II. Boucle à verrouillage de phase (PLL) **158**

II.1 PLL fractionnelle 159

II.2 PLL entièrement numérique 160

II.2.1. PLL numérique à entrée binaire 160

II.2.2. PLL numérique à entrée analogique et numérique 162

II.2.3. PLL numérique à entrée entièrement analogique 163

III. Comparateur de phase **164**

IV. Accumulateur de phase **168**

V. Convertisseur phase vers amplitude (CPA) **169**

V.1. Décomposition angulaire 169

V.2. Compression du signal sinusoïdal 170

V.3. Approximations polynomiales 171

V.4. Fusion en un seul élément du CPA et du convertisseur numérique analogique 172

V.5. Méthode basée sur la rotation angulaire 173

VI. Distribution des raies parasites issues de la troncature de phase **173**

VII. Explication de l'algorithme CORDIC (COordinate Rotation Digital Computer) **174**

VIII. Captures d'écran relatives au signal $FCW_{FS}(nT_1)$ **177**

ANNEXE III **183**

I. Transformée bilinéaire de la fonction de transfert en z réduite **184**

II. Comportement temporel de la boucle à verrouillage de phase (PLL) analogique contenant le module de filtrage obtenu par la transformée bilinéaire **186**

Liste des abréviations **189**

INTRODUCTION GENERALE

Il y a près de 2400 ans, le philosophe grec Empédocle d'Agrigente (~492-432 av.J.C) pensait que la matière reposait sur quatre éléments tels que l'eau, le feu, la terre et l'air. A contrario, Leucippe de Milet, pensait que l'univers était discontinu, composé de matière et de vide. Il fut considéré comme le fondateur probable de l'atomisme et créa en -420 le mot *a-tomos* (*insécable* en grec) qui engendrera par la suite le mot atome. Son disciple, Démocrite d'Abère (~450-360 av. J.C) expliquait que la matière était constituée de corpuscules en perpétuel mouvement. Ceux-ci étaient décris comme :

- Invisibles via leur taille infinitésimale,
- Insécables,
- Pleins,
- Eternels,
- Entourés d'un espace vide, ce qui explique les changements de densité,
- Etant de différentes formes (pour expliquer la diversité des éléments de la nature).

Cette vision de l'atome, plus proche de notre conception que la théorie d'Empédocle sera pourtant oubliée par les savants pendant plus de deux millénaires au profit de cette dernière.

Il faudra attendre le début du XIX^{ème} siècle, 1803 plus précisément pour que John Dalton, chimiste anglais (1766-1844) reprenne la vision de Démocrite et propose une théorie selon laquelle la matière est composée d'atomes de masses différentes qui se combinent entre eux. Cette théorie deviendra fondamentale pour la chimie moderne. En 1897, le physicien anglais Joseph John Thomson (1856-1940) découvre un des composants de l'atome: l'électron.

En 1912, le physicien Néo-Zélandais Sir Ernest Rutherford (1871-1937) découvre le noyau atomique.

L'élaboration de la physique quantique dans les années 30, soit plus de 2000 ans après l' "intuition" de Démocrite d'Abère, permettra de progresser dans la description de l'atome.

Les années 1980 marqueront un nouveau cap dans la compréhension de l'infiniment petit avec l'invention du microscope à effet tunnel (STM) chez IBM à Zürich par Binnig et Rohrer [BIN-ROH82] en 1981. Il est désormais possible de "voir" les atomes. Ainsi, en 1982, des atomes d'or furent imagés pour la première fois [BIN82]. La limitation du STM aux surfaces conductrices ont conduit Binnig, Quate et Gerber [BIN86] à créer le microscope à force atomique (AFM) en 1986. Celui-ci peut aussi bien imager des surfaces conductrices qu'isolantes, rendant ainsi l'imagerie atomique accessible à une plus grande variété de matériaux.

Le microscope à force atomique est constitué d'un capteur de force couplé à une électronique d'asservissement. En mode dynamique à modulation de fréquence (FM-AFM), quand le capteur balaye la surface de l'échantillon à analyser, l'électronique de contrôle le maintient comme un oscillateur harmonique et mesure le décalage en fréquence (Δf), utilisé

comme signal d'imagerie. Dans ce mode de fonctionnement, la sensibilité du capteur est exprimée par la relation (1) ci-dessous :

$$F_{MIN} = \sqrt{\frac{4.k.k_B.T}{w_0.Q}}.\sqrt{B} \quad (1)$$

k_B est la constante de Boltzmann, T désigne la température, B la bande passante, w_0 la pulsation de résonance du capteur, Q le facteur de qualité de celui-ci et k sa raideur.

Dans le but d'accroitre la sensibilité à F_{MIN} et la vitesse de balayage, le projet ANR PNANO2008 intitulé *"NanoSens"* a pour objectif de concevoir des capteurs de force haute fréquence en carbure de silicium (SiC). Ce projet se base sur les travaux de Roukes *et al.* [ROU07] pour atteindre une fréquence de résonance f_0 de l'ordre de 100MHz. A ce jour, il n'y a pas d'électronique de contrôle capable d'asservir un capteur de force à cette fréquence. C'est pourquoi il est nécessaire de concevoir un nouveau système de contrôle adapté à cette nouvelle génération de capteur. Ce mémoire de thèse présentera les travaux relatifs à la conception et au développement de l'électronique d'asservissement.

Ainsi, dans le chapitre I, nous effectuerons une présentation de la microscopie à force atomique. Nous exposerons par la suite le cadre de l'étude ainsi que les raisons qui ont justifié le développement d'une nouvelle électronique de contrôle.

Le second chapitre portera sur une description générale du système de contrôle. Tout d'abord, nous y présenterons la partie matérielle et la couche logicielle qui le composent. Puis, nous terminerons par un exemple de fonctionnement.

Le troisième chapitre détaillera les éléments qui permettent d'asservir le capteur de force et notamment la boucle à verrouillage de phase entièrement numérique (ADPLL) qui est l'élément clé du système de contrôle. Les résultats de simulation et d'émulation seront également mis en avant.

Le chapitre quatre portera sur le test *in situ* de l'électronique de contrôle pour valider son fonctionnement. Cela passe par la vérification des modules d'asservissement, des modules de sécurité et de l'interface de contrôle. Les images issues de ce test seront également présentées et décrites.

Références

[ROU07] Mo. Li, H. X. Tang and M. Roukes, “Ultra-sensitive NEMS-based cantilevers for sensing, scanned probe and very high frequency applications,” *Nature Nanotechnology, vol.2, 114 (2007).*

[BIN86] Binnig *et al*. “Atomic Force Microscopy,” PRL 56, 930 (1986).

[BIN82] G. Binning, H. Rohrer, C. Gerber, E. Weibel, "Surface Studies by Scanning Tunneling Microscopy", *Physical Review Letters, Vol.49, No.1, 1982.*

[BIN-ROH82] G. Binnig, H. Rohrer, C. Gerber, E. Weibel, "Tunneling through a controllable vacuum gap", *Appl. Phys. Lett. Vol. 40, pp.178-180, janvier 1982.*

CHAPITRE I
MICROSCOPIE A FORCE ATOMIQUE

I. Introduction

Ce chapitre commencera par une présentation générale sur la microscopie à force atomique. Par la suite, nous y évoquerons les différents modes de fonctionnement pour nous focaliser plus spécifiquement sur le système électronique associé à la microscopie atomique sans contact à modulation de fréquence (NC-AFM ou FM-AFM). Enfin, nous expliquerons le cadre de l'étude qui a justifié la réalisation d'une nouvelle électronique de contrôle.

II. Microscopie à force atomique

Le microscope à force atomique (AFM) fut créé en 1986 par Binnig, Quate (université de Stanford) et Gerber [BIN86] (laboratoire de recherche d'IBM basé à San José). Que ce soit à l'échelle micrométrique ou atomique, dans un milieu liquide ou ultra vide, il permet la caractérisation et l'observation de surfaces isolantes ou conductrices, organiques ou inorganiques [MOR02]. Le fonctionnement d'un tel microscope part du principe qu'à de telles échelles, il est possible de tirer profit des forces qui s'exercent entre la pointe du capteur de force (cantilever) et la surface étudiée (*cf.* figure 1) pour en obtenir sa topographie par l'intermédiaire d'une électronique de contrôle.

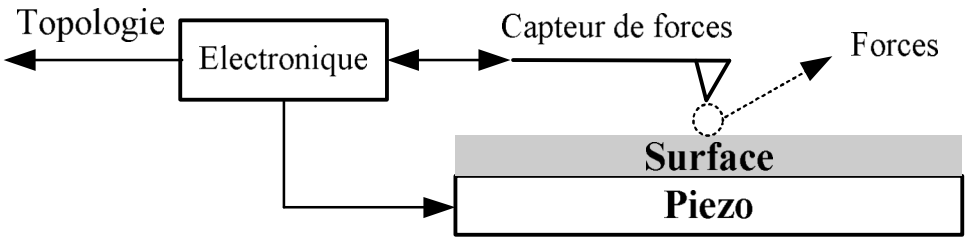


Fig.1. *Schéma de principe de l'AFM.*

II.1. Le capteur de force

C'est un élément mécanique, constitué de silicium et obtenu par micro-usinage [WOL91]. Comme le montre la figure 2a ci-dessous, il est doté d'un support, d'une poutre et d'une pointe présente à son extrémité.

L, *l*, *e* et *d*, désignent respectivement la longueur de la poutre (quelques centaines de micromètres), sa largeur (quelques dizaines de micromètres), son épaisseur et enfin la hauteur de la pointe (de l'ordre de dix micromètres). Les images 2b, 2c et 2d ci-dessous (prises par un microscope à balayage électronique) illustrent une pointe standard fabriquée par Nanosensors [NANO] dont la fréquence de résonance et comprise entre 70kHz et 400kHz. L'ensemble poutre-pointe est caractérisé par trois paramètres tels que la fréquence de résonance f_o, le facteur de qualité Q et la constante de raideur k dont l'expression figure ci-dessous :

$$k = \frac{E_Y . l . e^3}{4 . L^3} \qquad (2)$$

E_Y désigne le module d'Young.

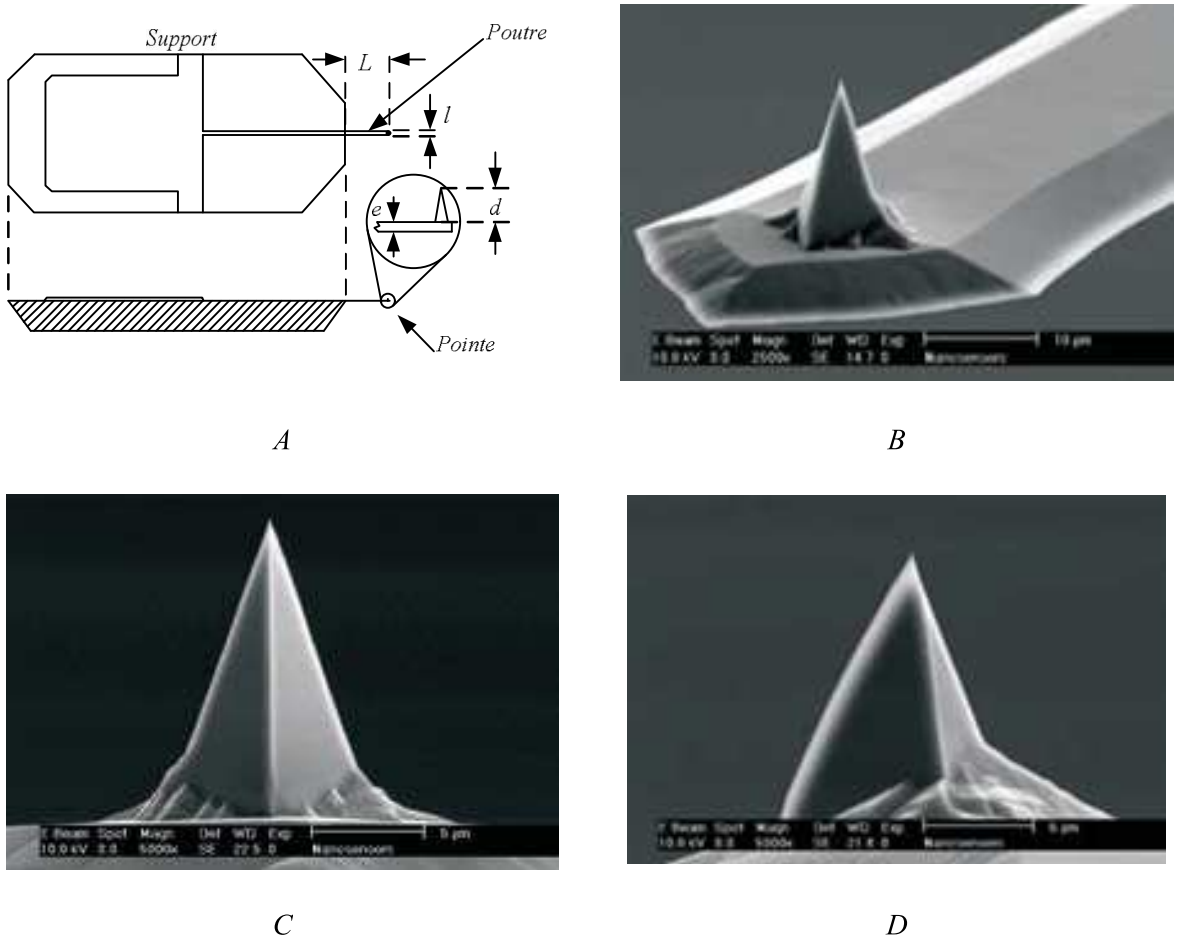


Fig.2. *a) Représentation schématique du capteur de force [NANO]. b) Vue en trois dimensions de l'ensemble poutre plus pointe [NANO]. c) Vue de face de la pointe [NANO]. d) Vue de profil de la pointe [NANO].*

II.2. Interaction "pointe-surface"

L'interaction qui a lieu entre la pointe du capteur de force et la surface de l'échantillon est engendrée par des forces à longue et courte portée.

Les forces à longue portée regroupent les forces de van der Waals et les forces électrostatiques. Les forces de van der Waals s'exercent entre chaque atome de la pointe et de la surface. Elles sont dues aux fluctuations du moment dipolaire de chaque atome constituant la pointe et la surface [ISR11], [GUG00] et elles ont une portée de quelques nanomètres. Les forces électrostatiques sont dues à la présence de charges électriques sur la surface de l'échantillon et à l'existence d'une différence de potentiel entre la pointe et la surface. Elles ont fait l'objet d'une description dans [GUG00], [HUD98] en considérant un modèle géométrique simplifié sphère-cône/surface. Elles ont une portée de quelques dizaines de nanomètres et ont pour effet de "voiler" l'arrière plan de l'image topographique. Cet effet indésirable peut être diminué par l'utilisateur en appliquant une différence de potentiel entre la surface et la pointe du capteur pour compenser le potentiel initialement présent. Il peut aussi utiliser une pointe très fine.

Les forces de courtes portées se retrouvent à l'échelle atomique. Ce sont des forces d'interaction atome-atome (potentiel de paire) qui s'exercent entre l'atome situé à l'extrémité de la pointe du capteur et un atome de la surface situé en regard de celle-ci. Ces forces ont une portée de 1 à 2 Ångström et peuvent être décrites par un potentiel de Lennard-Jones tel que celui exposé par la relation 3 par exemple :

$$U_{LJ}(d) = -\varepsilon\left[2\left(\frac{\sigma}{d}\right)^{6} - \left(\frac{\sigma}{d}\right)^{12}\right] \qquad (3)$$

ε, σ et d désignent respectivement la largeur d'interaction dipolaire (en électron Volt), la distance à laquelle les forces répulsives et attractives se compensent (exprimé en Ångström) et la distance qui sépare la pointe du capteur de la surface de l'échantillon (en Ångström également).

Toutes ces forces donnent lieu à une interaction qui est fonction de la distance pointe-surface et qui est représentée par la courbe nommée "Total Force" [BUR08] sur la figure 3 ci-dessous.

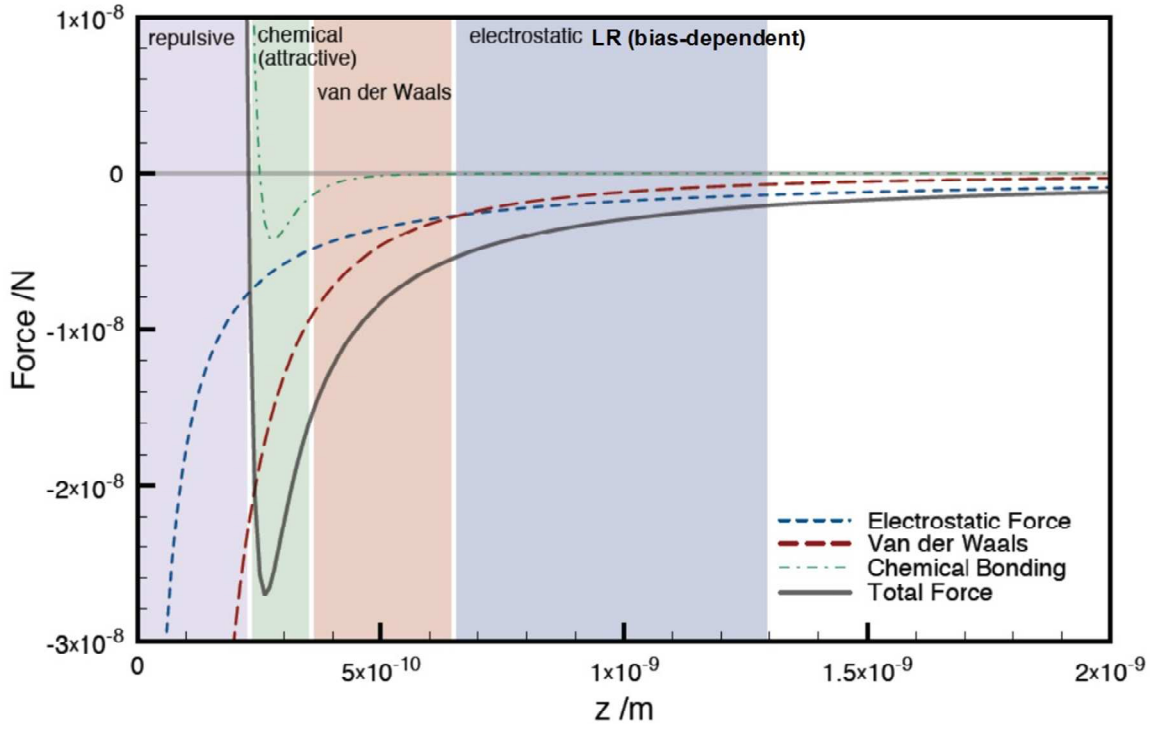


Fig.3. *Régime auquel est soumis le capteur de force selon la distance qui sépare la pointe de la surface [BUR08].*

Ainsi, en fonction de la distance pointe-surface, le capteur sera soit attiré soit repoussé par la surface. Il est alors possible d'exploiter cette propriété pour caractériser la surface d'un matériau.

III. Les différents types de microscope à force atomique

L'AFM peut être classé en deux catégories: statique et dynamique. Cette dernière regroupe l'AFM à modulation d'amplitude (AM-AFM) et l'AFM à modulation de fréquence (FM-AFM).

III.1. Mode statique

Ce fut le mode de fonctionnement du premier microscope à force atomique [BIN86]. La figure 4 présente les différents éléments qui le constituent.

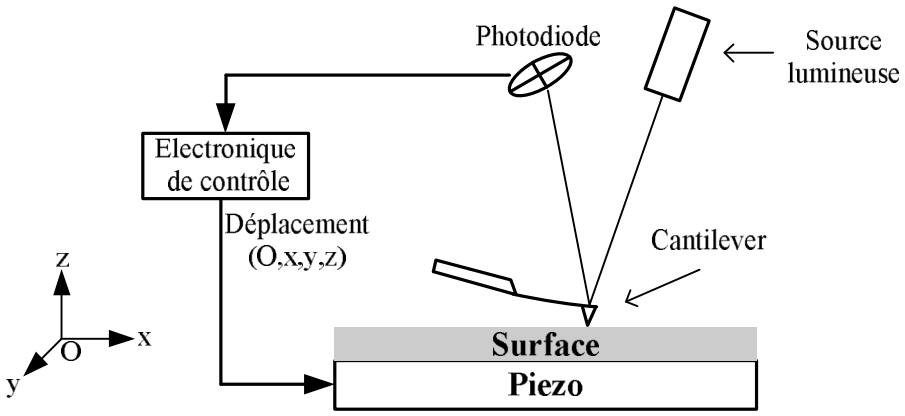


Fig.4. *Schéma de principe du fonctionnement du mode statique. Le premier AFM fut doté d'un système de détection basé sur un microscope à effet tunnel (STM en anglais).*

Nous retrouvons, comme illustré en figure 1, la surface à étudier supportée par un actionneur piezo électrique (piezo). En regard de la surface se situe le capteur de force qui est maintenu immobile par un système non représenté sur la figure 1.
Un système de détection généralement constitué d'une photodiode quatre quadrants et d'une source lumineuse (Laser, LED, *etc.*.) relie le capteur à l'électronique de contrôle qui est connectée au piezo.

Lors de l'analyse du matériau, la pointe balaye la surface ligne par ligne dans le plan (O,x,y) en étant en contact avec la surface. Entre ces deux entités siège un ensemble de force dont une partie est répulsive (*cf.* figure 5).

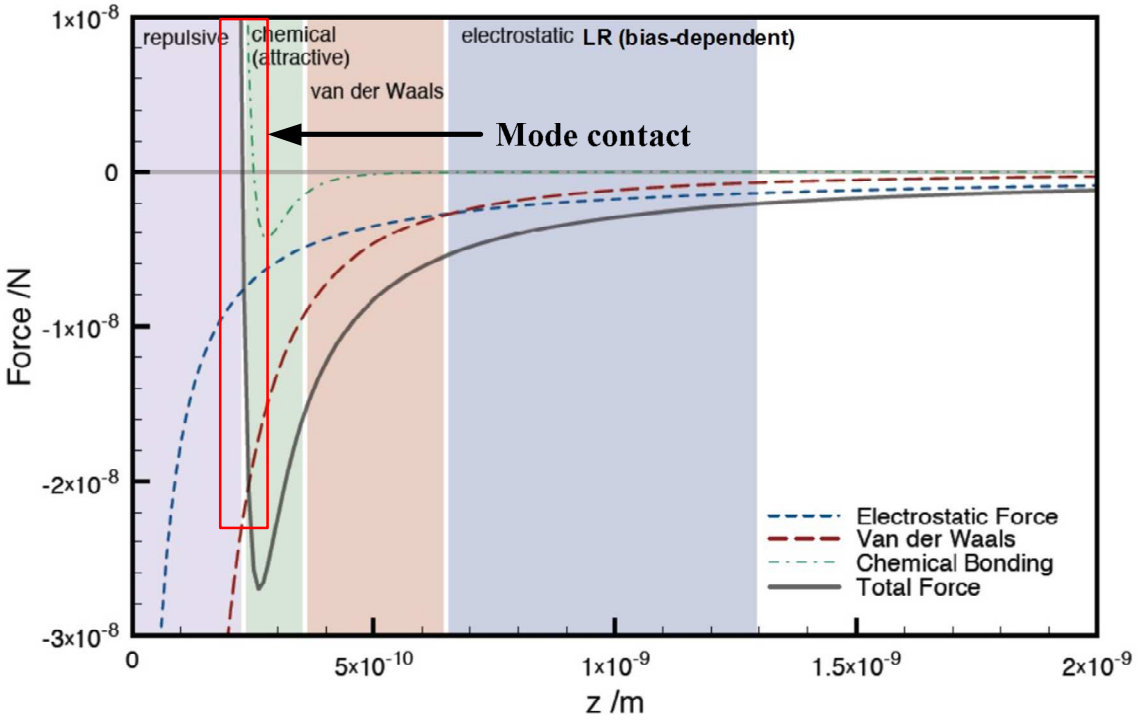


Fig.5. *Domaine de fonctionnement associé au mode contact. Le cantilever est soumis en partie à des forces répulsives.*

Lorsque des variations de topographies ont lieu, ces forces varient et impliquent une évolution de la déflexion de la poutre selon l'axe (O,z). Cette déflexion est détectée par la photodiode via la réflexion d'une partie du faisceau de la source lumineuse qui est focalisé sur la face arrière de la poutre. La photodiode délivre alors un signal électrique à l'électronique d'asservissement qui réajuste la déflexion à sa valeur initiale. Pour ce faire, le piezo est déplacé selon l'axe (O,z) de sorte que la position du faisceau sur la photodiode reste inchangée (l'imagerie à lieu à déflexion constante ou encore à force constante). Le signal qui permet le déplacement du piezo est alors utilisé pour recréer la topographie de surface de la ligne en cours d'étude. En répétant ce procédé pour chaque ligne on obtient la topographie complète de l'élément sondé ou encore une image en trois dimensions.

Le cantilever doit être souple ($0.01\text{N/m} \leq k \leq 5\text{N/m}$) pour pouvoir mesurer de faible force via sa déflexion telle que le met en évidence la relation (4) :

$$F = k.z \tag{4}$$

F désigne la force (Newton), k (N.m^{-1}) la raideur de la poutre et z la déflexion de celle-ci (en m).Le désavantage majeur de ce mode est la destruction de l'échantillon puisque les forces répulsives sont plus grandes que les forces de liaison entre les atomes de la surface. De plus, la précision des mesures est à l'échelle nanométrique. Pour obtenir la résolution atomique, il

est nécessaire d'améliorer la sensibilité aux forces et de diminuer les interactions pointe-surface par la diminution de *k* et en travaillant dans le vide ou en milieu liquide car les effets d'une grande partie des forces à longue portée et attractives sont diminués. Néanmoins, rares sont les exemples qui mettent en avant une vraie résolution atomique.

III.2. Mode dynamique

L'ensemble pointe+levier du capteur de force est comparable à un oscillateur harmonique en régime forcé représenté par l'équation suivante :

$$\ddot{z}(t) + \frac{w_0}{Q}\dot{z}(t) + w_0^2 z(t) = w_0^2 A_{exc}(t) + \frac{w_0^2 F_{\text{int}}(t)}{k} \qquad (5)$$

w_0 est la pulsation de résonance, $F_{int}(t)$ l'interaction pointe-surface, $A_{exc}(t)$ le signal d'excitation du capteur de force et $z(t)$ la position instantanée de la pointe.

III.2.1. Mode dynamique AM

La sonde balaye toujours la surface de l'échantillon dans le plan (O,x,y) mais ces deux entités ne sont plus en contact comme le montre la figure 6 et l'ensemble poutre plus pointe oscille.

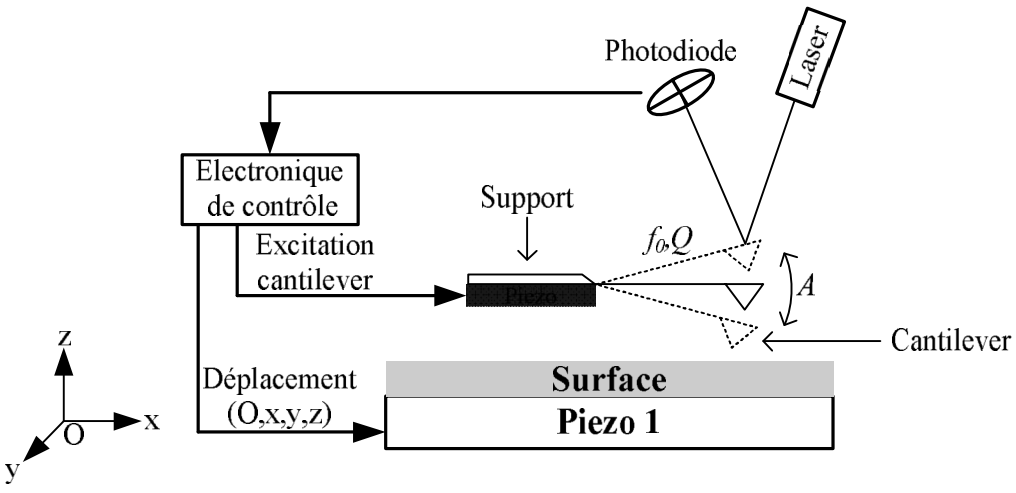


Fig.6. *Schéma de principe du fonctionnement du mode dynamique AM.*

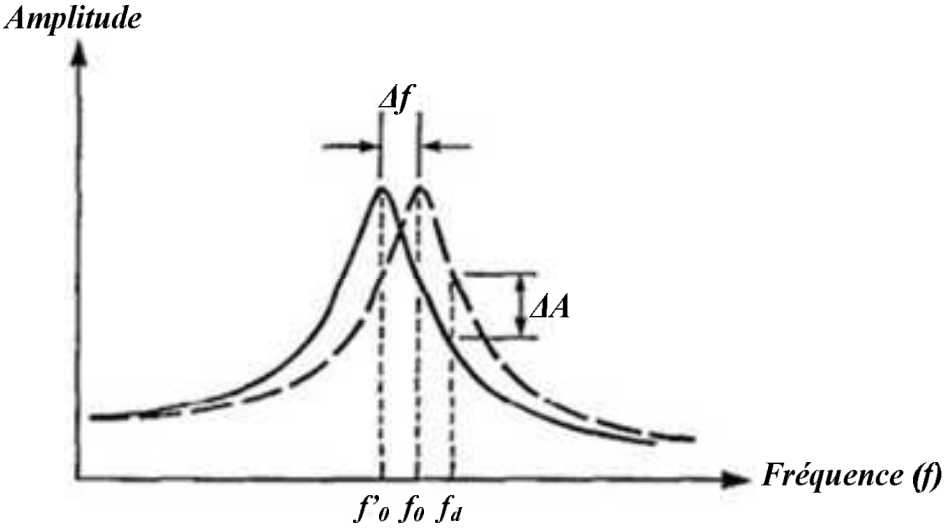


Fig.7. *Représentation du mode de fonctionnement AM et FM [ALB91]. En mode AM, la fréquence d'oscillation du capteur est fixe et la variation de la force pointe-surface implique une variation d'amplitude ΔA. En mode FM, l'amplitude d'oscillation du capteur de force est fixe et la fréquence de résonance du capteur varie en fonction de l'interaction pointe-surface (Δf).*

Ce n'est donc plus la déflexion d'une pointe en contact qui est asservie mais la distance moyenne pointe-surface. La poutre oscille à une fréquence fixe (f_0) légèrement plus élevée que sa fréquence de résonance qui est comprise entre 50kHz et 500kHz. L'oscillation est assurée par un piezo solidaire du capteur de force et excité par l'électronique de contrôle. Lors du balayage, les changements de topologie de surface modifient les interactions pointe-surface lesquelles déplacent la fréquence de résonance (f_0'). Comme on excite le cantilever à fréquence constante, il s'en suit par conséquent une modification de l'amplitude d'oscillation de l'ensemble poutre plus pointe (ΔA) comme montré en figure 7. L'électronique de contrôle compare l'amplitude du signal consigne avec celui délivré par la photodiode et fournit au piezo 1 un signal de commande de déplacement selon l'axe (O,z) pour maintenir la distance pointe-surface inchangée. Ce même signal est utilisé pour reconstituer l'image de la surface. Le mode dynamique AM permet l'obtention de la résolution atomique de la surface et l'électronique de contrôle est simple à mettre en œuvre. Cependant, ce mode n'est pas utilisable dans le vide. En effet, les variations d'amplitudes ne se stabilisent pas instantanément avec le changement des forces s'exerçants entre la pointe et l'échantillon mais après un temps

$$\tau_{AM} = \frac{Q}{\pi . f_0} \qquad (6)$$

Dans le vide le facteur de qualité $Q=35000$ (contre 200 à l'air), cela conduirait à un temps d'acquisition d'approximativement 6 heures si la fréquence de résonance du capteur est de

150kHz et qu'une image de 512×512 est souhaitée. Une telle durée est exclue et c'est pour cela qu'Albrecht *et al.* trouvèrent une solution pour rendre plus rapide l'acquisition de l'image de surface en ultra vide en introduisant le mode FM en 1991 [ALB91].

III.2.2. Mode dynamique FM

Le système est le même que celui représenté par la figure 6. Cependant, l'amplitude d'oscillation de l'ensemble poutre/pointe est maintenue constante et c'est désormais la fréquence de résonance f_0 de la poutre qui est observée en fonction des variations de la topologie de surface de l'échantillon. En première approximation et pour de petites amplitudes, la fréquence de résonance du capteur de force est proportionnelle au gradient de force [ALB91, eq. 19]. Ce mode nécessite que l'on soit dans une plage de distance où les forces sont en majorité attractives et où la courbe (*cf.* figure 8) soit décroissante dans le but de détecter assez facilement les variations de fréquence. Par l'intermédiaire du même système de détection, l'électronique de contrôle a pour but de piloter le cantilever à sa fréquence de résonance f_0 avec une amplitude constante et de mesurer le décalage en fréquence Δf (*cf. figure 7*), lequel sera fourni au piezo pour maintenir la distance pointe-surface inchangée.

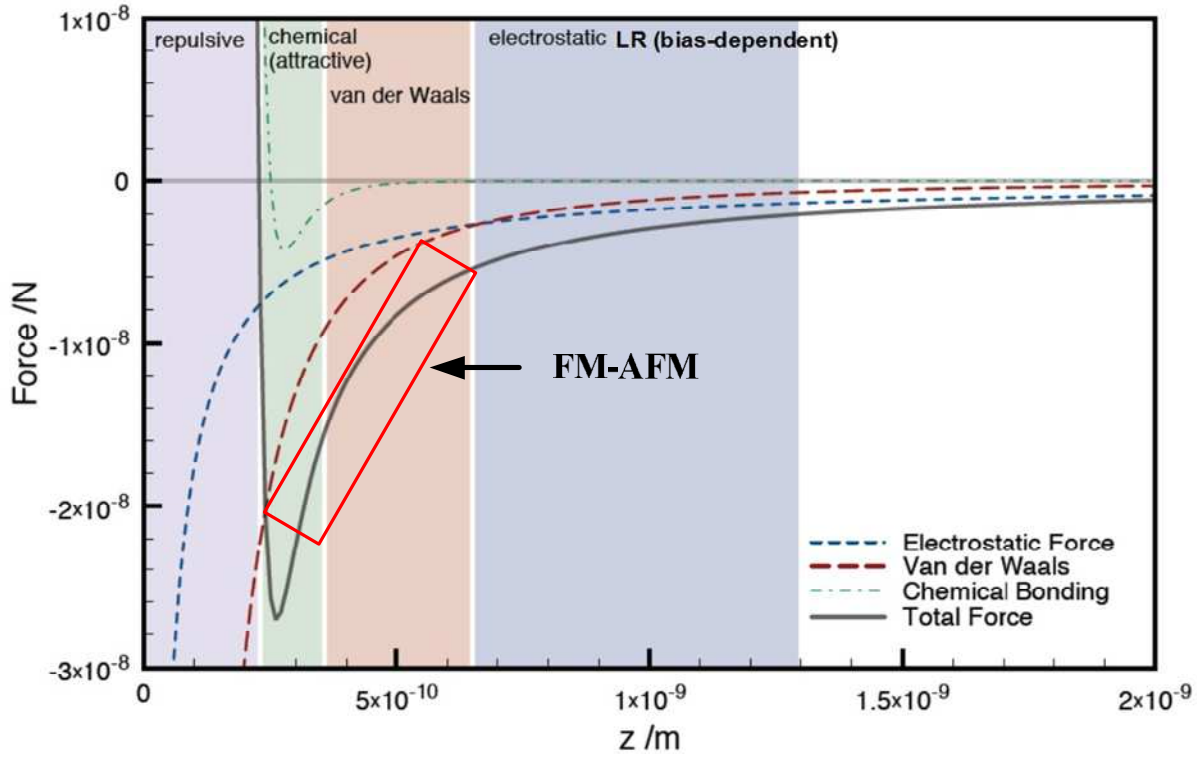


Fig.8. *Domaine de fonctionnement associé au mode FM-AFM. Le cantilever est soumis à des forces attractives.*

Comparé au mode AM-AFM, le changement de fréquence est immédiat ce qui permet une acquisition de la topologie de surface beaucoup plus rapide. L'obtention d'une image de surface avec la résolution atomique fut obtenue pour la première fois en 1995 par Giessibl [GIES95], Kitamura et Iwatsuki [KIT95]. Nous allons maintenant parler plus en détail de la partie électronique associée à ce mode de fonctionnement et ce, en nous penchant sur les différents systèmes recensés dans la littérature.

IV. Electronique de contrôle relative au FM-AFM

Elle peut être de nature numérique ou analogique et elle est constituée d'un contrôleur d'amplitude et d'un démodulateur de fréquence pour détecter le décalage en fréquence du capteur de force. L'asservissement de distance est majoritairement à part du système de contrôle. Nous commencerons par présenter les systèmes analogiques, puis nous poursuivrons avec les systèmes numériques pour terminer par un bref récapitulatif de leurs caractéristiques.

IV.1. Electronique de contrôle analogique

IV.1.1. Système auto excité comprenant un démodulateur de fréquence [ALB91]

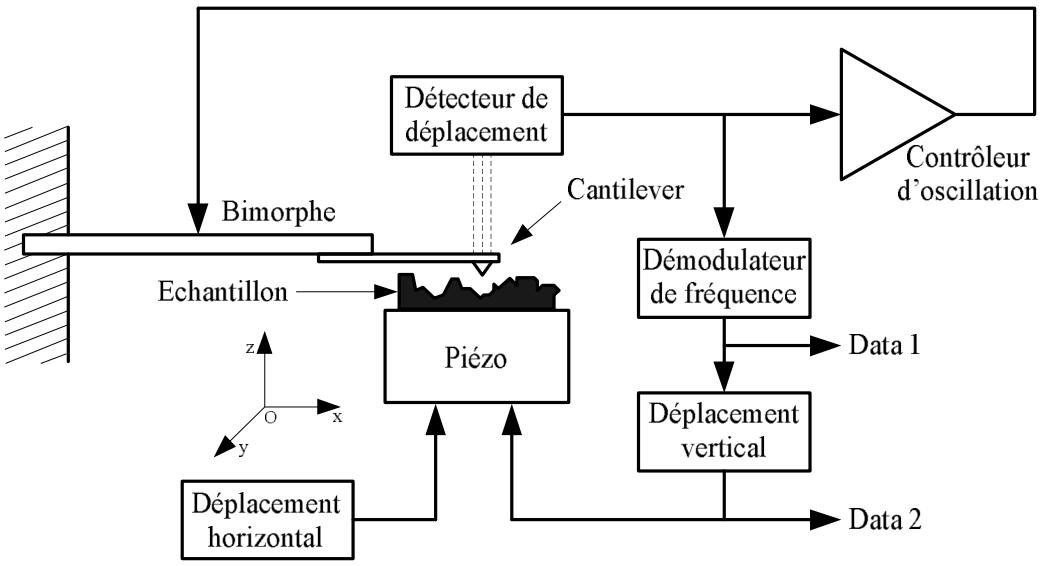


Fig.9. *Schéma fonctionnel du premier FM-AFM [ALB91]. L'auto excitation est assurée par la chaîne constituée du détecteur de déplacement et du contrôleur d'oscillation. Le démodulateur de fréquence et le bloc nommé Déplacement vertical maintiennent constante la distance pointe-surface.*

Le premier FM-AFM fut proposé par Albrecht. La figure 9 illustre ce dispositif. Il est constitué d'un bimorphe, d'un capteur de force (cantilever), d'un piezo qui supporte l'échantillon en cours d'étude, d'un système assurant le déplacement du capteur de force dans le plan (O,x,y) et de l'électronique d'asservissement. Celle-ci est composée d'un détecteur de déplacement du capteur, d'un contrôleur d'oscillation, d'un démodulateur de fréquence et d'une électronique pouvant déplacer l'échantillon selon l'axe (O,z).

Lors de l'analyse, le détecteur de déplacement (interféromètre à fibre optique) génère un signal électrique qui est l'image des oscillations du capteur de force et le fournit au contrôleur d'oscillation dont la structure est illustrée en figure 10.

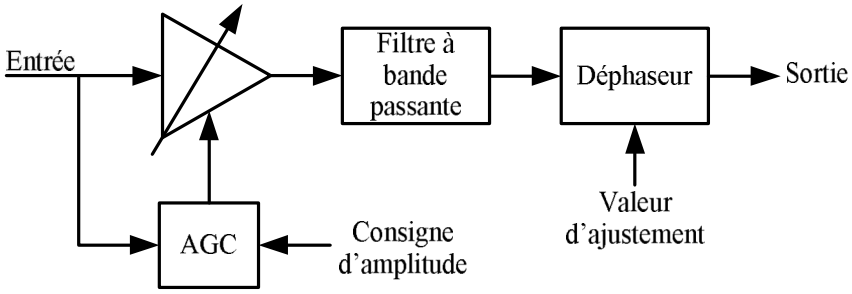


Fig.10. *Schéma de la structure interne du contrôleur d'oscillation [ALB91]. L'AGC et l'amplificateur sont utilisés pour le contrôle de l'amplitude. Après filtrage, il est déphasé pour optimiser l'excitation du capteur.*

Un amplificateur associé à un contrôleur de gain automatique asservi l'amplitude d'oscillation à une valeur qui est définie par l'utilisateur. Le signal est par la suite filtré par un filtre à bande passante. Ainsi, on empêche le capteur de force d'osciller à une autre fréquence que celle associée à son mode fondamental. Un déphaseur programmable complète ce dispositif afin que le signal d'excitation du bimorphe soit très précisément déphasé de 90° par rapport au signal d'entrée. Dans un même temps, le démodulateur FM à quadrature génère un signal qui est l'image de la variation de fréquence d'oscillation du capteur de force (Δf). Ce signal est destiné à l'électronique qui positionne selon l'axe (O,z) le piezo afin de ramener la fréquence de résonance du capteur à sa valeur initiale. Le fonctionnement du démodulateur est illustré à l'aide de la figure 11.

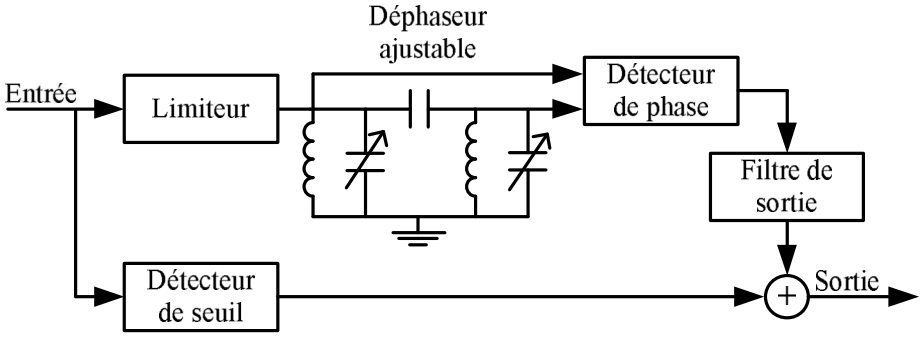


Fig.11. *Schéma de la structure interne du démodulateur FM à quadrature [ALB91]. La détection de l'écart de fréquence est assurée par le déphaseur ajustable, le détecteur de phase et le filtre de sortie. Un détecteur de seuil évite l'écrasement de la pointe sur la surface.*

Le signal est injecté dans un limiteur afin d'avoir une amplitude rigoureusement stable. Sans ce module, toute variation d'amplitude engendrerait une variation du signal de sortie et donnerait une information erronée de l'écart de fréquence. Par la suite, on présente à l'entrée du comparateur de phase (multiplieur) le signal issu du limiteur et celui provenant du déphaseur. Ce dernier, basé sur deux cellules LC, est accordé sur la fréquence de résonance du cantilever. Le déphasage entre ces deux signaux est fonction de la fréquence d'oscillation du capteur de force. Si le signal est à la même fréquence que la fréquence d'accord du déphaseur, alors le déphasage sera égal à 90°. En sortie du filtre passe bas, le signal correspondra à un décalage en fréquence nul. Toute variation de fréquence du signal autour de la fréquence d'accord engendrera un déphasage aux alentours de 90° et par conséquent une variation du signal en sortie du filtre. Ce signal sera utilisé pour reconstruire l'image de la surface sondée. Le déphaseur est ajustable afin de le régler sur des fréquences de résonance différentes. Ce démodulateur peut détecter des variations de fréquence de 10mHz pour une fréquence d'oscillation du capteur de force de 50kHz. Le détecteur de seuil permet le retrait immédiat du capteur si son amplitude d'oscillation s'avère être inférieure à l'amplitude consigne.

Avec un tel système il est désormais possible d'acquérir des images de surface plus rapidement tout en bénéficiant d'une grande sensibilité de détection de fréquence. Cependant, il présente plusieurs inconvénients. Tout d'abord, la nature analogique des éléments qui le constituent le soumet à une dérive thermique. De plus, la méthode d'auto-excitation peut amener une forte dégradation du signal d'excitation si le signal fourni au contrôleur d'oscillation s'avère bruité. Enfin, l'ajustement des capacités qui composent le démodulateur de fréquence peut s'avérer très délicat pour régler précisément sa fréquence d'accord.

IV.1.2. Système auto-excité associé à une architecture hétérodyne [DUR92]

L'utilisation du système qui est représenté en figure 12 a pour but de détecter les variations de la fréquence de résonance du capteur de force induites par la topographie de surface et ce, pour différentes fréquences de résonance (20kHz-2MHz). Pour ce faire, une architecture hétérodyne est utilisée. Ainsi, le signal issu du capteur de force est translaté à une fréquence intermédiaire (IF) inférieure à la fréquence de résonance du capteur de force. Il est ensuite traité pour en extraire l'information d'écart de fréquence induit par la topographie de surface. Enfin, le signal d'excitation est à nouveau généré puis translaté à la fréquence d'excitation du capteur de force.

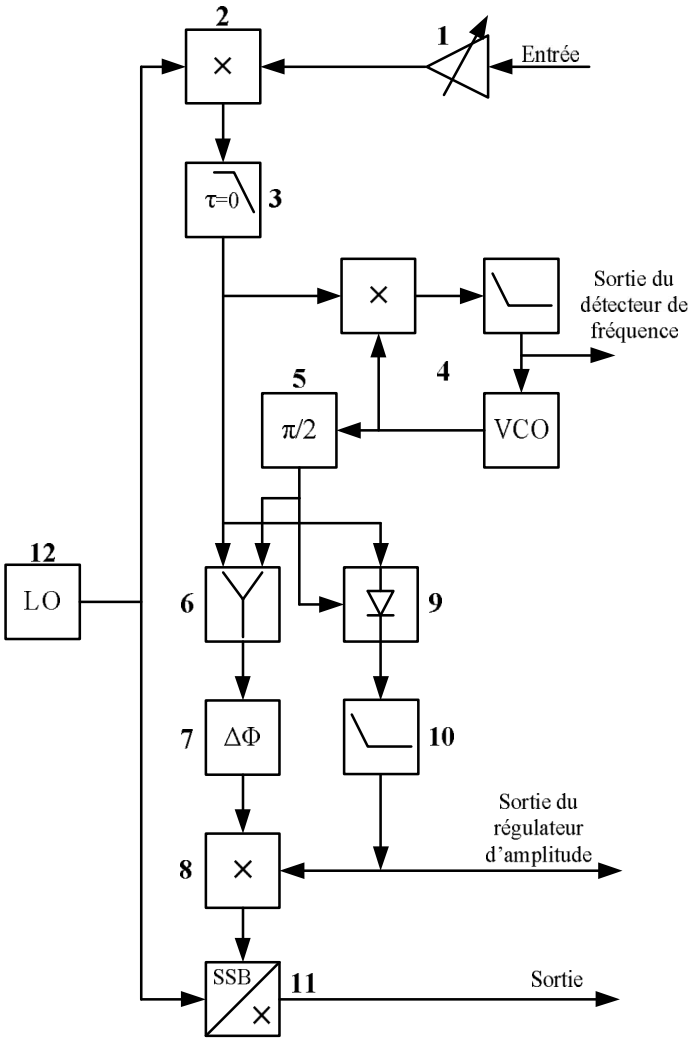


Fig.12. *Schéma fonctionnel de l'oscillateur contrôlé en phase basé sur une structure hétérodyne afin de fonctionner avec des capteurs de forces dont la fréquence de résonance est comprise entre 20kHz et 2MHz [DUR92]. Cette structure permet de combiner deux modes de fonctionnement, le mode auto-excitation et celui basé sur une PLL.*

D'un point de vue plus détaillé, l'amplitude du signal issu du capteur de force est en premier lieu amplifiée par un amplificateur à gain variable (1) pour avoir la même amplitude que le signal fournit par l'oscillateur local (12). Le mélangeur (2) associé au filtre passe bas (3) permet de translater la fréquence de résonance du capteur de force à une fréquence très inférieure, dite intermédiaire (IF). Ce signal est envoyé à un détecteur de fréquence basé sur une boucle à verrouillage de phase (PLL) (4). Si la fréquence de résonance du capteur de force varie, alors la fréquence intermédiaire variera de façon identique. La PLL génère alors un signal relatif à cette variation qui est envoyé à la sortie nommée *frequency detector* et destiné à actualiser la distance pointe-surface. Ce signal sert également de consigne au VCO afin qu'il se synchronise sur le signal IF. Le déphaseur (5) permet de mettre en phase les signaux issus du filtre (3) et du démodulateur (4).
Le réseau d'équilibre (6) permet au système de fonctionner de trois manières. La première ne tient pas compte de la fréquence générée par le démodulateur de fréquence (4). On est alors dans une configuration dite d'auto-excitation du capteur de force comme exposé par *Albrecht et al.*[ALB91]. La seconde prend en considération uniquement la PLL (4) et le déphaseur. L'excitation du capteur de force et ainsi basé sur une boucle à verrouillage de phase, système le plus communément utilisé. La dernière associe une combinaison linéaire de ces deux modes pour tirer parti de la PLL qui restitue un signal beaucoup moins bruité comparé au mode d'auto-excitation. Le sous système constitué d'un redresseur (9) et d'un correcteur proportionnel et intégral (10) assure l'asservissement en amplitude du signal à la fréquence IF. Le bloc (9) est basé sur des filtres à capacités commutées dont le signal d'horloge est élaboré à partir du signal issu de (5). De tels filtres sont utilisés dans le but de fournir un signal DC image de l'amplitude du signal à IF et exempt de tous parasites. Ce signal est dirigé vers la sortie nommée *Amplitude regulation* pour obtenir le facteur de dissipation Γ. Pour ce faire, il suffit de calculer en premier le facteur de qualité via la relation (7) et d'en déduire le facteur de dissipation à partir de la relation (8) :

$$Q = \frac{A_{osc}}{A_{exc}} \tag{7}$$

A_{osc} et A_{exc} désignent respectivement l'amplitude d'oscillation du capteur au niveau de la pointe et l'amplitude du signal d'excitation.

$$\Gamma = \frac{k.A_{osc}^{\ 2}}{Q} \tag{8}$$

k spécifie la raideur du capteur. Ce signal est également dirigé vers le multiplier (8) pour

reconstruire le signal d'excitation du capteur. La composante alternative est issue du déphaseur ajustable (7) qui assure un déphasage de 90° entre le signal d'excitation et le signal reçu par (1). Il ne reste plus qu'à translater à nouveau le signal d'excitation à la fréquence de résonance du capteur de force. Cela est assuré par le mélangeur à bande latérale unique (11). Sa structure est exposée en figure 13.

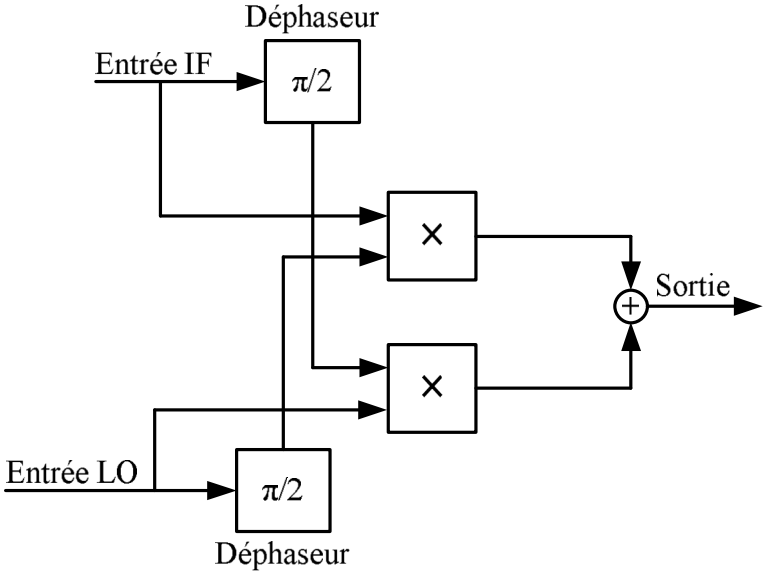


Fig.13. *Structure du mélangeur à bande latérale unique basée sur la méthode dite de phase [DUR92]. Il est constitué essentiellement de deux déphaseurs, deux multiplieurs et d'un additionneur. L'idée est de supprimer les composantes fréquentielles non voulue en les déphasant de π et en les sommant.*

Elle est constituée de deux multiplieurs, de deux déphaseurs et d'un additionneur. Cette structure est associée à la méthode dite de *phase*. Le principe est ici de ne garder qu'une seule composante fréquentielle. A la sortie de chaque multiplieur on obtient un signal contenant deux composantes fréquentielles issues de la somme et de la différence de la fréquence intermédiaire (IF) et de la fréquence de l'oscillateur local (F_{LO}). Les termes contenant la différence des deux fréquences sont en phases tandis que les termes contenant la somme sont déphasés de π. En additionnant ces signaux, seule la composante contenant la différence des fréquences est sélectionnée. Ainsi on obtient le signal d'excitation du capteur de force.

Ce système présente donc l'avantage de pouvoir travailler avec des capteurs dont la fréquence de résonance s'étend de 20kHz à 2MHz. De plus, le signal peut être exclusivement généré par la PLL, ce qui fournit un signal beaucoup plus propre comparé au mode auto-excité. Cependant, les nombreux composants analogiques nécessaires pour implémenter l'architecture hétérodyne (filtre, multiplieurs, *etc.*.) la rendent d'autant plus sensible aux variations thermiques et au vieillissement des composants.

IV.1.3. Système à base de PLL associé à une architecture hétérodyne [KOB01]

Le système présenté ici et dont la figure 14 illustre l'architecture repose sur un démodulateur de fréquence associé à une structure hétérodyne afin de pouvoir être utilisé avec des capteurs de forces dont la fréquence de résonance est comprise entre 10kHz et 10MHz. Le système peut détecter un décalage en fréquence minimal de 100mHz.

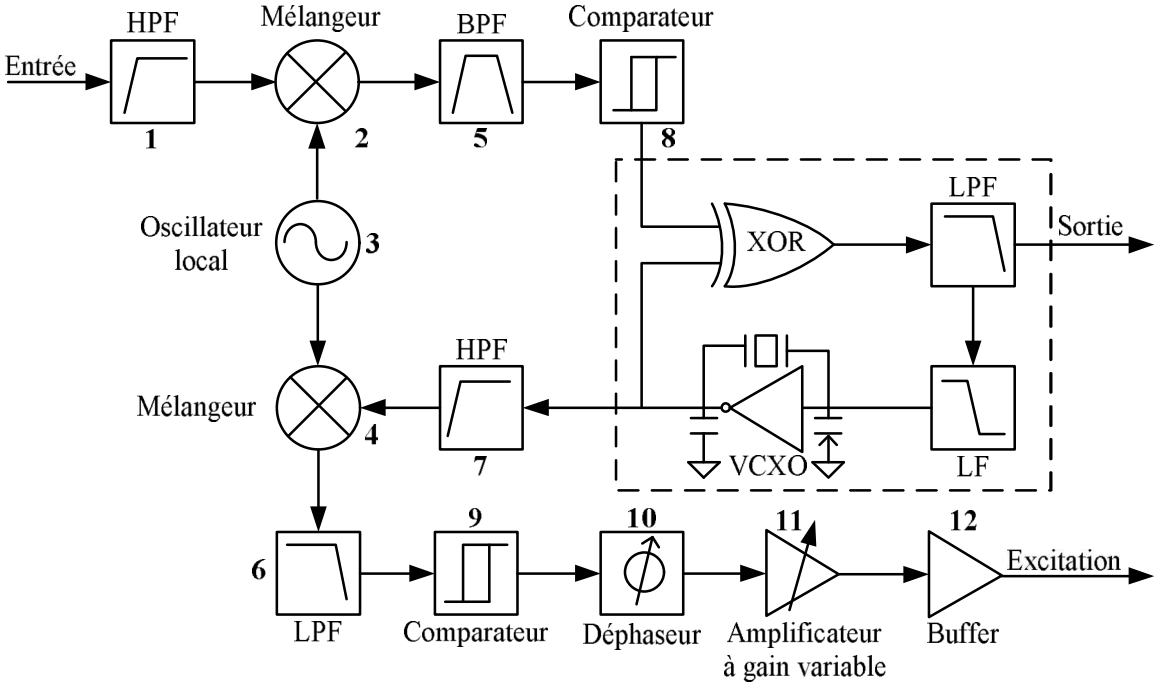


Fig.14. *Système de contrôle analogique basé sur une boucle à verrouillage de phase comme démodulateur de fréquence [KOB01]. L'emploi d'une architecture hétérodyne permet de contrôler des capteurs dont la fréquence de résonance s'étend de 10kHz à 2MHz.*

Le démodulateur est basé sur une boucle à verrouillage de phase (PLL). Elle est constituée d'un comparateur de phase à porte logique OU EX, d'un filtre passe bas, d'un second filtre passe bas actif à gain programmable dans le but d'augmenter sa bande passante et d'un oscillateur à quartz contrôlé en tension (VCXO). Ce dernier est utilisé pour diminuer la dérive thermique relative aux oscillateurs contrôlés en tension (VCO). La structure hétérodyne est constituée de deux filtres passe haut (1) et (7), de deux mélangeurs analogiques (multiplieurs) (2) et (4), d'un oscillateur local (3), d'un filtre passe bande en céramique (5) et d'un filtre passe bas (6). Le système inclut également un asservissement d'amplitude comprenant un amplificateur à gain variable (11).

Le signal d'entré est filtrée par le filtre passe haut (1). Etant donné que le VCXO dispose d'une plage étroite de fonctionnement (±450Hz autour de sa fréquence centrale), f_0 doit être convertie en une fréquence f'_0 comprise dans la plage de fonctionnement de la PLL (cf. relation 9) pour que ce système puisse fonctionner pour différentes fréquences de

résonances.

$$4.5MHz - 450Hz \leq f'_0 \leq 4.5MHz + 450Hz \quad (9)$$

f_0 est donc translatée à l'aide du mélangeur (2) et de l'oscillateur local (3). Celui-ci génère une fréquence d'oscillation f_1 telle que :

$$f_1 - f_0 = f'_0 \quad (10)$$

Pour ne garder que cette composante, le signal en sortie du mélangeur (2) est filtré par le filtre à bande passante (5). Par la suite, celui-ci est envoyé vers le comparateur (8) qui transforme le signal sinusoïdal en signal carré pour l'adapter au comparateur de phase de la PLL. Cette dernière fournit à la sortie *output* l'information de décalage en fréquence induite par la variation de la topologie de surface qui sera utilisée par le système d'asservissement de distance pointe-surface pour ramener la fréquence de résonance du capteur de force à sa valeur initiale. Cette information est également utilisée afin de synchroniser le VCXO sur la fréquence du signal issu du comparateur (8) et par conséquent sur la fréquence de résonance actuelle du capteur de force. Le VCXO délivre un signal rectangulaire qui est filtré par le filtre passe haut (7) et translaté via l'oscillateur local (3) et le mélangeur (4) et à nouveau filtré par le filtre passe bas (6) pour garder uniquement la composante basse fréquence correspondant à f_0. Le signal d'excitation est alors déphasé afin d'assurer un déphasage de 90° entre le signal en sortie du capteur de force et le signal d'excitation pour le maintenir à la résonance. Puisque le déphaseur (10) n'accepte que des signaux carrés en entrée, le signal est converti par l'intermédiaire du comparateur (9). Bien que le système puisse en théorie exciter des capteurs de force jusqu'à une fréquence de 10MHz, l'excitation pratique se trouve limitée à 2MHz par le déphaseur. L'amplificateur à gain variable (11) assure l'asservissement d'amplitude. Il est basé sur un amplificateur à gain variable et ajustable par l'utilisateur. Le signal est finalement bufférisé pour pouvoir exciter le capteur de force.

Bien que ce système soit capable de détecter des variations de 100mHz dans une plage allant de 10kHz à 2MHz il présente toutefois les mêmes inconvénients que son prédécesseur à savoir une prédisposition à une dérive thermique de par sa nature analogique.

IV.1.4. Système de contrôle large bande et à auto-excitation [KHA10]

Ce système de contrôle permet de fonctionner avec des capteurs de force dont la fréquence de résonance est comprise entre 40kHz et 15MHz. Il est majoritairement constitué de composants analogiques radio fréquence dans le but d'améliorer sa rapidité de fonctionnement.

La figure 15 ci-dessous illustre le banc de mesure. La partie FM-AFM est représentée par le capteur de force, son actionneur ainsi que le tube piézo-électrique assurant le déplacement dans le repère (O,x,y,z) de l'échantillon en cours d'étude. Le piezo est mis en mouvement via un correcteur à gain proportionnel (P) et intégral (I) (Correcteur PI-dist.). L'électronique de contrôle est composée d'un capteur de mouvement, d'un déphaseur, d'un multiplieur, d'un système de détection de fréquence, de phase et d'amplitude et d'un second correcteur à gain PI (Correcteur PI-ampl.).

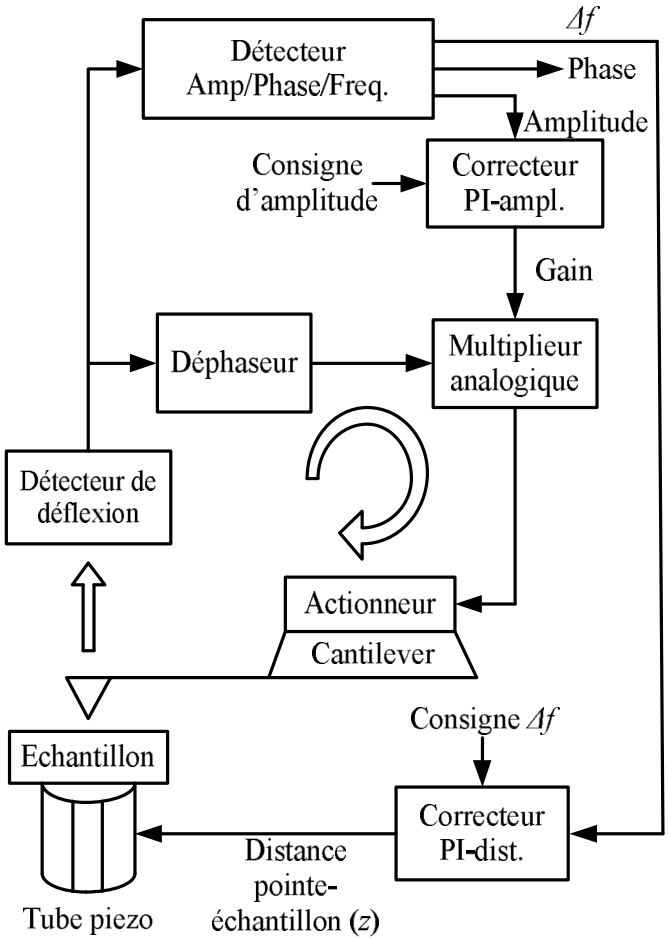


Fig.15. *Schéma fonctionnel du système d'asservissement du capteur de force [KHA10]. L'électronique de contrôle est composée d'un détecteur de déflexion, du détecteur d'amplitude, de phase et de fréquence, d'un déphaseur et d'un multiplieur analogique. Le capteur de force est auto-excité.*

Ce microscope à force atomique fonctionne en mode auto-oscillant. En effet, lors de l'analyse de la surface le signal issu du détecteur de mouvement est déphasé puis ajusté en amplitude et utilisé comme signal d'excitation (via l'actionneur). Cette méthode présente l'inconvénient de ne pas supprimer le bruit présent dans le signal. Le détecteur de mouvement envoie également le signal d'oscillation au détecteur de phase, d'amplitude et de fréquence dont la structure est illustrée en figure 16.

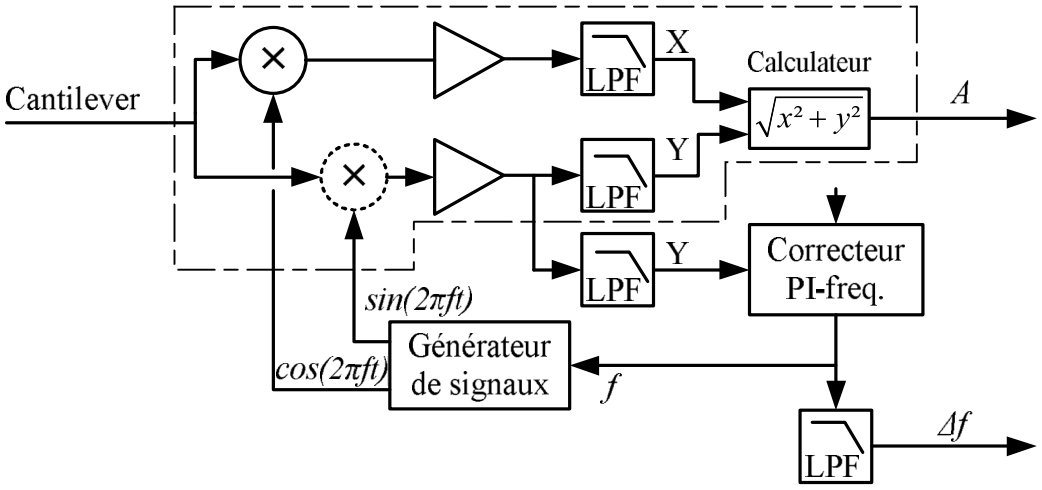


Fig.16. *Module de détection d'amplitude et de décalage en fréquence [KHA10]. La partie comprise dans le rectangle en pointillé calcule l'amplitude du signal à partir de sa représentation complexe. Les modules restant constituent une PLL dont l'unique but est de fournir au Correcteur PI-dist. l'écart de fréquence Δf.*

Celui-ci à principalement deux tâches, la détection d'amplitude et la démodulation de fréquence. Celle-ci est assurée par une PLL basée sur un générateur de signal en lieu et place du VCO, le multiplieur (représenté en pointillé) est utilisé comme comparateur de phase et le filtre de boucle repose sur un filtre passe bas suivi d'un correcteur à gain PI (Correcteur PI-freq.). Il est réglable par l'utilisateur pour ajuster la bande passante de la PLL si nécessaire. L'information de l'écart de fréquence est envoyée au VCO afin qu'il reste synchronisé sur la fréquence d'oscillation du capteur de force. Cette donnée est également fournie, après un filtrage supplémentaire, au Correcteur PI-dist. programmable par l'utilisateur pour ajuster la distance pointe-échantillon afin que le capteur oscille à sa fréquence de résonance initiale.

La détection d'amplitude est assurée via la partie délimitée par des traits en pointillés. Le signal du capteur peut être représenté par son module et sa phase dans un plan complexe (d'où la multiplication par $sin(2\pi ft)$ et $cos(2\pi ft)$). On récupère alors la partie réelle (X) et imaginaire (Y) (rôle des filtres passe bas) et on calcule la racine carré de la somme de leur carré (rôle du circuit nommé Calculateur) pour restituer la valeur de l'amplitude A. Celle-ci

est envoyée au Correcteur PI-ampl. (ajustable par l'utilisateur) qui une fois multipliée au signal déphasé fera osciller le capteur de force à l'amplitude adéquate.

En résumé, ce système présente l'avantage de détecter des écarts de fréquence pour des fréquences de résonances comprises entre 40kHz et 15MHz grâce à l'emploi d'un générateur de fréquence disponible dans le commerce et utilisé comme oscillateur contrôlé en tension (VCO en anglais). Cependant, tout comme ses prédécesseurs, l'emploi de composants analogiques le rend vulnérable aux dérives thermiques.

IV.2. Electronique de contrôle numérique

IV.2.1. Système numérique programmable [LOP98]

Ce système de contrôle majoritairement numérique et programmable est capable de détecter des variations de fréquence de 5mHz quand il est utilisé avec des capteurs de force dont la fréquence de résonance se situe entre quelque dizaine de kHz et 3MHz.

La figure 17 montre l'architecture de cette électronique de contrôle. Elle est tout d'abord constituée d'un démodulateur de fréquence basé sur une PLL et d'un processeur de traitement du signal (DSP) dans lequel sont intégrés le contrôleur d'amplitude et le contrôleur de distance (à gain PI). Puis, un déphaseur ainsi qu'un convertisseur de valeur efficace en valeur continue (RMS-to-DC) complètent ce dispositif. Enfin, un ensemble de convertisseur analogique-numérique/numérique-analogique (ADC/DAC) permet respectivement l'acquisition et la génération de signaux analogique. L'utilisation d'un DSP rend ce système totalement configurable.

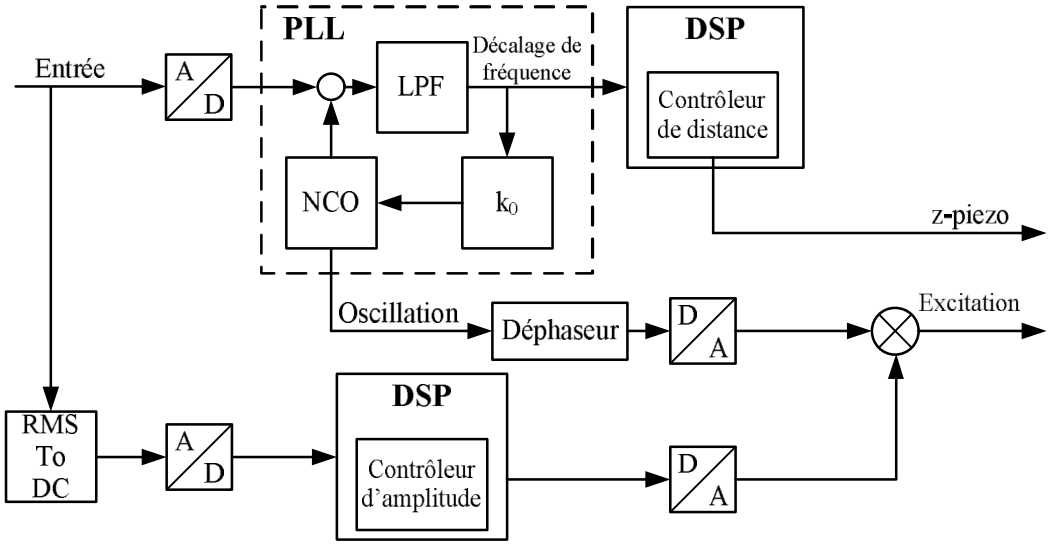


Fig.17. *Architecture de l'électronique de contrôle [LOP98]. Le système utilise une PLL pour générer le signal d'excitation et détecter l'écart de fréquence. Les processeurs de traitement de signaux (DSP en anglais) sont utilisés comme contrôleur d'amplitude et de distance.*

Le signal provenant du capteur de force est dirigé vers le RMS-to-DC et la PLL. Cette dernière est composé d'un oscillateur numérique contrôlé numériquement, d'un filtre passe bas et d'un étage de gain, tous deux programmables par l'utilisateur pour modifier la bande passante de la PLL si nécessaire. Elle donne l'information du décalage de la fréquence de résonance du capteur à l'asservissement de distance pointe-surface. Un programme en langage C exécuté par le DSP acquiert la valeur de l'écart de fréquence (Δf) et génère une consigne de distance (z) pour le piézo-électrique pour ramener le Δf à sa valeur initiale (Δf constant). Le contrôleur d'amplitude reçoit la valeur de l'amplitude du signal d'oscillation du capteur de force issue du RMS-to-DC après quoi il génère une valeur qui permet de maintenir l'amplitude d'oscillation à une valeur constante et définie par l'utilisateur. La valeur image du décalage en fréquence est multipliée par le gain programmable (k_o) et sert de consigne au NCO (oscillateur contrôlé numériquement) pour qu'il puisse générer la partie AC du signal d'excitation avec une fréquence identique à la fréquence d'oscillation du capteur. La composante AC est fournie au déphaseur programmable. Celui-ci optimise la phase entre le signal d'excitation et celui reçu par le système de détection de mouvement du capteur. Ainsi, le signal d'excitation du capteur de force est reconstitué en totalité via le multiplieur. Après conversion en signal analogique, celui-ci sera utilisé pour exciter le capteur de force.

Contrairement aux systèmes analogiques, l'utilisation d'une électronique numérique permet de s'affranchir des dérives thermiques des composants ce qui offre une bien meilleure stabilité. De nos jours, la plupart des contrôleurs disponibles dans le commerce reposent sur ce type de système.

IV.2.2. Démodulateur de fréquence à soustraction de phase [MIT09]

Nous présentons ici non pas un système "complet" de contrôle mais uniquement un démodulateur de fréquence basé sur une boucle à verrouillage de phase. Celui-ci est sans doute associé à un système d'asservissement de capteur de force. La figure 18 met en évidence les différents éléments qui la composent. Il y a tout d'abord un détecteur de phase

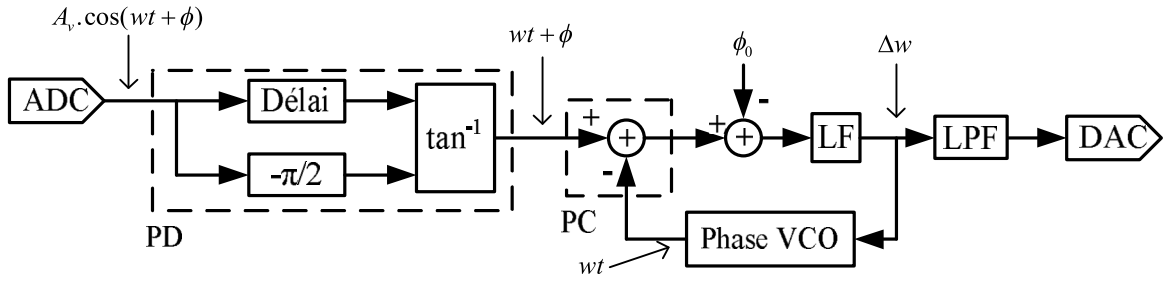


Fig.18. *Boucle à verrouillage de phase numérique [MIT09].*

(PD+PC) associé à un filtre de boucle (LF), puis un VCO qui fournit non pas un signal sinusoïdal mais une phase et enfin un ensemble d'ADC/DAC. Le signal provenant du capteur de force est numérisé via l'ADC. Le circuit tan^{-1} associé au déphaseur (-π/2) permet d'extraire la phase de ce signal. Le bloc *Delay* est ajouté pour tenir compte du retard issu de l'opération de déphasage, ce qui permet de présenter les échantillons au circuit tan^{-1} à un même temps *t*. Le résultat est soustrait à la phase générée par le VCO (un décalage de phase peut également être introduit via Φ_0). Le filtre passe bas moyenne cet écart de phase pour générer Δw (image du décalage en fréquence) utilisé par le système d'asservissement de distance. Il sert également de consigne au VCO pour qu'il reste synchronisé sur le signal d'entrée. L'emploi d'une PLL numérique permet de générer un signal d'excitation dont la fréquence reste stable à long terme.

IV.3. Récapitulatif

Le tableau 1 ci-dessous résume les principales caractéristiques des systèmes présents dans la littérature.

	Δf_{min}	Δf_{max}	Bande passante (-3dB)	Type	f_0	Année
[ALB91]	10mHz	-	75Hz	Analogique	33kHz-72kHz	1991
[DUR92]	NC	±5kHz@ IF	10kHz	Analogique	20kHz-2MHz	1997
[KOB01]	100mHz	±1kHz	1kHz	Analogique	10kHz-2MHz	2001
[KHA10]	NC	-	70kHz	Analogique	40kHz-15MHz	2010
[LOP98]	5mHz	±3kHz	5kHz	Numérique	DC-3MHz	1997
[MIT09]	NC	±2kHz	100kHz	Numérique	DC-10MHz	2009

Tableau 1- *Résumé des caractéristiques des systèmes de contrôle présent dans la littérature.*

Tout d'abord, nous pouvons dire qu'il y a deux sortes d'électronique de contrôle, l'une basée sur le principe de l'auto oscillation [ALB91], [DUR92], [KOB01] et celle qui utilise un démodulateur de fréquence pour régénérer le signal d'excitation [KHA10], [LOP98], [MIT09]. Ce dernier est généralement privilégié car il fournit un signal d'excitation avec le

meilleur rapport signal à bruit.

De plus, il apparait que les systèmes de contrôle numériques présentent la plus grande résolution fréquentielle (5mHz) et disposent d'une grande stabilité de fonctionnement. En effet, ils ne sont pas soumis à la dérive thermique qui affecte les composants des systèmes de contrôle analogiques.

En outre, on peut remarquer que les caractéristiques de chaque système portent majoritairement sur le démodulateur de fréquence. Cela se justifie par le fait que c'est l'élément clé du système. La capacité à fournir une image de résolution atomique dépend en grande partie des performances de ce module.

V. NC-AFM haute fréquence

Nous pouvons constater que ces différents systèmes sont conçus pour fonctionner avec des cantilevers de fréquence de résonance différentes dont la limite haute ne cesse d'être repoussée. Cela se justifie par la volonté d'améliorer la sensibilité aux forces et la vitesse de balayage. En effet, en NC-AFM, la plus petite force détectable, déterminée par les variations thermiques du capteur de force, est donnée par la relation suivante :

$$F_{MIN} = \sqrt{\frac{4.k.k_B.T}{w_0.Q}}.\sqrt{B} \qquad (11)$$

k_B est la constante de Boltzmann, T désigne la température, B la bande passante, w_0 la pulsation de résonance du capteur, Q le facteur de qualité de celui-ci et k sa raideur. Pour une température et une bande passante donnée, il est possible d'augmenter la sensibilité du microscope en augmentant soit la pulsation de résonance, soit le facteur de qualité ou bien les deux. Le choix s'est porté sur la pulsation de résonance. En effet, il n'est pas possible de diminuer k en dessous d'une certaine valeur car cela engendrerai des instabilités du capteur quand celui-ci est très proche de la surface. De même, modifier directement la valeur de son facteur de qualité n'est pas envisageable car cela nécessite une maitrise parfaite du développement de sa structure cristalline, de sa géométrie et de son traitement de surface, ce qui est extrêmement difficile [YAS00]. Augmenter la fréquence de résonance du capteur tout en maintenant la raideur k à des valeurs compatibles avec le mode FM-AFM nécessite la diminution de la masse effective du capteur et par conséquent une réduction de sa taille (*cf.* relation (2)).

Allant dans ce sens et en s'appuyant sur les travaux de Roukes *et al.* [ROU07], le projet ANR PNANO2008 intitulé *"NanoSens"* a pour objectif de développer des capteurs de force haute fréquence en carbure de silicium (SiC). Celui-ci est choisi car son module de

Young est élevé, ce qui permet d'avoir un coefficient de raideur k élevé (*cf.* eq.2) et par conséquent il est possible de diminuer les dimensions du capteur de force. Ainsi, nous pouvons atteindre des fréquences de résonance élevées de l'ordre de 50MHz.

L'approche mise en place se veut d'aller de la conception du capteur à son utilisation. Cela nécessite donc une électronique adaptée capable de détecter des variations de fréquence minimale de 100mHz à une fréquence de résonance de 50MHz ainsi que la réalisation d'un banc de mesure en adéquation avec ce nouvel FM-AFM. En effet, l'utilisation des systèmes de détection composés d'une source laser et d'un photo-détecteur n'est plus adaptée car les dimensions de ces capteurs engendrent des problèmes d'alignement et de mise au point du faisceau sur la face arrière de la poutre. L'ajout d'une fine couche piezo-résistive constituée d'or et adaptée sur 50 Ω remédie à ce problème et simplifie la détection. Il suffit d'appliquer un potentiel constant aux extrémités de cette piste comme l'illustre la figure 19 et de relever le

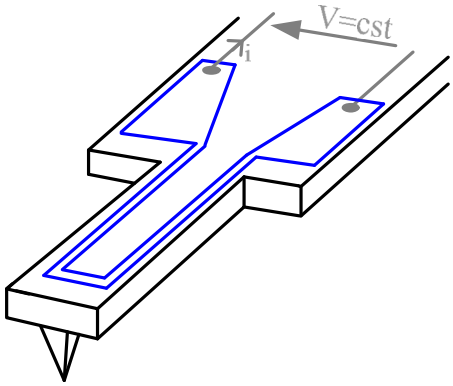


Fig.19. *Capteur de force haute fréquence doté d'une piste piezo résistive métallique (en bleue).*

courant i qui est l'image des variations mécaniques subi par le capteur de force. C'est une mesure directe de la piezo-résistivité. Cette information est alors envoyée directement à l'électronique de contrôle.

Ces différents points, très délicats, exigent l'intervention de six partenaires réunis dans un consortium : le CRHEA[1], le CEMES[2], le LPN[3], NovaSic, le LMP[4] et l'IM2NP[5]. Ce dernier a en charge le développement du système de contrôle du capteur de force. Si on se réfère à l'état de l'art, il n'y a aucun système qui puisse piloter un tel capteur de force. Tout récemment, dans le domaine commercial, la société Zürich Instrument [ZIN] a développé un

[1] *CRHEA : Centre de Recherche sur l'Hétéro-Epitaxie et ses Applications*
[2] *CEMES : Centre d'Elaboration de Matériaux et d'Etudes Structurales*
[3] *LPN : Laboratoire de Photonique et de Nanostructures*
[4] *LMP : Laboratoire de Microélectronique de Puissance*
[5] *IM2NP : Institut Matériaux Microélectronique Nanosciences de Provence*

démodulateur de fréquence capable de piloter des capteurs de force dont la fréquence de résonance maximale est de 50MHz. Cependant, il est nécessaire d'avoir un système de contrôle adapté à notre capteur, qui fonctionne à une fréquence plus élevée, qui soit flexible et digital. C'est pour cela que nous proposons un système de contrôle dont la présentation et la description sera effectuée au chapitre 2.

VI. Conclusion

Une présentation générale sur la microscopie à force atomique (AFM en anglais) a été effectuée. Ainsi, nous avons vu qu'il s'agit d'un appareil utilisé pour caractériser des matériaux isolants ou semi-conducteurs avec une résolution pouvant atteindre l'échelle atomique. Il est composé d'un capteur de force couplé à une électronique de contrôle.

Parmi les modes de fonctionnement existants, nous nous sommes focalisés sur le mode FM-AFM (microscope à force atomique sans contact à modulation de fréquence) pour lequel le capteur de force doit être maintenu, par l'électronique de contrôle, comme un oscillateur harmonique.

Puis, toujours en ne considérant que ce mode de fonctionnement, nous nous sommes focalisés sur l'électronique de contrôle et nous avons vu qu'il existe différent types de système de contrôle qui peuvent être classés en deux groupes : analogique et numérique. Cette dernière catégorie est généralement utilisée de nos jours car elle est programmable par l'utilisateur, beaucoup plus stable et précise.

Par la suite, nous avons présenté le projet ANR Pnano2008 intitulé : "Cantilevers en carbure de silicium à piézorésistivité métallique pour AFM dynamique à très haute fréquence". Ce projet vise à augmenter significativement les performances d'un AFM en développant un nouveau capteur de force très haute fréquence. Le verrou technologique soulevé par la réalisation de ces capteurs repose sur l'incapacité des systèmes de contrôle actuel à pouvoir les asservir car il est nécessaire de pouvoir détecter un décalage en fréquence minimal de 100mHz sous une fréquence maximale de 50MHz. L'objectif de cette thèse fut par conséquent de réaliser ce système de contrôle par le biais d'une électronique haute performance et de l'intégrer par la suite dans l'AFM expérimental.

Références

[ALB91] T. R. Albrecht, P. Grutter, D. Horne, D. Rugar, “Frequency modulation detection using high-Q cantilevers for enhanced force microscope sensitivity,” J. Appl. Phys. 69, 668 (1991).

[BIN86] G. Binnig, C.F. Quate, C.Gerber, “Atomic Force Microscopy,” PRL 56, 930 (1986).

[BUR08] S.Burke "Building foundations for molecular electronics : growth of organic molecules on alkali halides as prototypical insulating substrates." PhD thesis, McGill University, 2008.

[DUR92] U. Dürig, H. R. Steinauer, “Interaction force detection in scanning probe microscopy: Methods and applications,” J. Appl. Phys.72, 1778 (1992).

[GIES95] F. J. Giessibl, "Atomic resolution of the Si(111)-(7x7) by AFM", Science 267, 68 (1995).

[GUG00] M. Guggisberg, M. Bammerlin, Ch. Loppacher, O. Pfeiffer, A. Abdurixit, V. Barwich, R. Bennewitz, A. Baratoff, E. Meyer, H.-J. Güntherodt, ”Separation of interaction by noncontact force microscopy,” Phys. Rev. Vol 61, Number 16 (2000).

[HUD98] S. Hudlet, M. Saint Jean, C. Guthmann, J. Berger, ”Evaluation of the capacitive force between an atomic force microscopy tip and a metallic surface ,” Eur. Phys. J. B 2 1 (1998) 5-10.

[ISR11] J.N. Israelachvili,”Intermolecular and Surface Forces,” Third edition, 2011.

[KHA10] Z. Khan, C. Leung, B. A. Tahir, B. W. Hoogenboom, ”Digitally tunable, wide-band amplitude, phase, and frequency detection for atomic-resolution scanning force microscopy,” Rev. Sci. Instrum. 81, 073704 (2010).

[KIT95] S. Kitamura and M. Iwatsuki, “Observation of 7x7 reconstructed structure on the silicon (111) surface using UHV noncontact AFM,” Jpn. J. Appl. Phys. Part 2 34, L145 (1995).

[KOB01] K. Kobayashi, H. Yamada, H. Itoh, T. Horiuchi, K. Matsushige, ”Analog frequency modulation detector for dynamic force microscopy,” Rev. Sci. Instrum. 72, 4383 (2001).

[LOP98] Ch. Loppacher, M. Bammerlin, F. Battiston, M. Guggisberg, D. Müller, H.R. Hidber, R. Lüthi, E. Meyer, H.J. Güntherodt, “Fast digital electronics for application in dynamic force microscopy using high-Q cantilevers,” Appl. Phys. A 66, S215–S218 (1998).

[MIT09] Y. Mitani, M. Kubo, K. Muramoto, T. Fukuma, “Wideband digital frequency detector with subtraction-based phase comparator for frequency modulation atomic force microscopy,” Rev. Sci. Instrum. 80, 083705 (2009).

[MOR02] S. Morita, R. Wiesendanger, E. Meyer, ”Noncontact Atomic Force Microscopy,” NanoScience and Technology, (2002).

[NANO] http://www.nanosensors.com

[ROU07] Mo. Li, H. X. Tang and M. Roukes, “Ultra-sensitive NEMS-based cantilevers for sensing, scanned probe and very high frequency applications,” Nature Nanotechnology, vol.2, 114 (2007).

[WOL91] O. Wolter, T. Bayer, J. Greschner, ”Micromachined silicon sensors for scanning force microscopy,” J. Vac. Sci. Technol. B **9**, 1353 (1991).

[YAS00] K.Y. Yasumura, T.D. Stowe, E.M. Chow, T. Pfafman, T.W. Kenny, B.C. Stipe, D. Rugar, “Quality Factors in Micron -and Submicron- Thick Cantilevers,” Journal of Microelectromechanical Systems, vol.9, NO.1, 117 (2000).

[ZIN] http://www.zhinst.com/

CHAPITRE II
PRESENTATION DU SYSTEME DE CONTROLE

I. Introduction

Pour pouvoir piloter le nouveau capteur de force haute fréquence, le premier chapitre a mis en évidence la nécessité de développer un nouveau système de contrôle dont la description est l'objet de ce chapitre. Cependant, par souci de clarté, nous avons opté pour une approche "haut niveau" pour avoir une vision globale du fonctionnement du système, cadre nécessaire à une compréhension plus détaillée des différents sous-ensembles du module 1 qui seront décris dans le chapitre III.

Ainsi, nous allons tout d'abord présenter la plateforme d'accueil du système puis présenter ce dernier. Par la suite, nous nous attarderons sur la partie logicielle qui permet à l'utilisateur de contrôler l'électronique d'asservissement du capteur de force lors de l'étude de la surface de l'échantillon. Enfin, nous terminerons par un exemple de fonctionnement où nous déduirons les caractéristiques principales de l'électronique d'asservissement.

II. Plateforme de développement

Le système de contrôle du capteur de force peut être implémenté soit dans un FPGA (Field Programmable Gate Array) soit dans un ASIC (Application Specific Integrated Circuit/ Circuit Intégré pour Application Spécifique). Par rapport à un FPGA, l'ASIC présente les avantages et inconvénients suivants :

Avantages :

- Il est plus rapide car il est conçu et optimisé spécialement pour l'application visée,
- Si le circuit doit être produit en masse, le coût à l'unité d'un ASIC est inférieur à celui d'un FPGA,
- Sa surface est en général plus petite car il contient uniquement ce qui est nécessaire au fonctionnement de l'application. Les FPGAs sont conçus pour répondre à différents besoins, ils utilisent donc une surface de silicium beaucoup plus importante.
- Leur consommation en courant est moindre.
- L'ASIC peut contenir un système numérique, analogique ou bien un système mixte. Le FPGA est quant à lui limité aux dispositifs numériques.

Inconvénients :

- L'implémentation d'un système dans un ASIC nécessite plus de temps (plusieurs mois) et coûte plus cher par rapport à une intégration dans un FPGA. La conception d'un ASIC nécessite, en effet, la création des layout, des masques associés, *etc.*. De plus, il est nécessaire de concevoir un nouvel ASIC si le design a été modifié (fabrication et tests itératifs). Pour un FPGA, il suffit de décrire le système en VHDL

(Very High Speed Description Language), de le simuler pour vérifier son fonctionnement, de l'implémenter et de le tester *in-situ*. Si des erreurs subsistent, il faut seulement modifier le code et l'implémenter à nouveau. Qui plus est, la mise en œuvre du système au sein du FPGA est d'autant plus rapide car le logiciel de développement associé au FPGA gère le placement, le routage et les contraintes de temps.

- Une fois conçu, l'ASIC ne peut pas être réutilisé, alors que c'est le but même du FPGA.

En ce qui nous concerne, nous disposons d'un temps de développement limité et nous voulons réduire les coûts de réalisation. L'hôte qui contiendra le système doit être flexible dans le but de pouvoir y rajouter des fonctionnalités si besoin est. Le système de contrôle n'est pas destiné à être un dispositif nomade car il doit être disposé dans un coffret de dimension 35×13×44 (*cf.* figure 20), les dimensions de l'hôte ainsi que la consommation énergétique du système ne sont donc pas des critères à prendre en compte. Au vu de ces différents points, nous avons choisi d'implémenter le système de contrôle dans un FPGA (stratix*III* - *cf.* annexe 1, Par I et II) situé sur une carte de prototypage conçue par la société Altera [ALT12] (*cf.* figure 21). Celui-ci sera suffisamment rapide pour permettre au système de piloter des cantilevers haute fréquence. Un autre avantage apporté par l'utilisation d'une telle plateforme de développement réside dans son utilisation comme système entièrement dédié au contrôle du microscope à force atomique sans contact à modulation de fréquence (FM-AFM) une fois le système validé. Cela simplifie alors d'autant plus le processus de développement car il n'est pas nécessaire de concevoir une carte *ad-hoc*.

Fig.20. *Boîtier final dans lequel est logée la carte de prototypage qui sera utilisée pour l'asservissement du capteur de force du nouvel FM-AFM.*

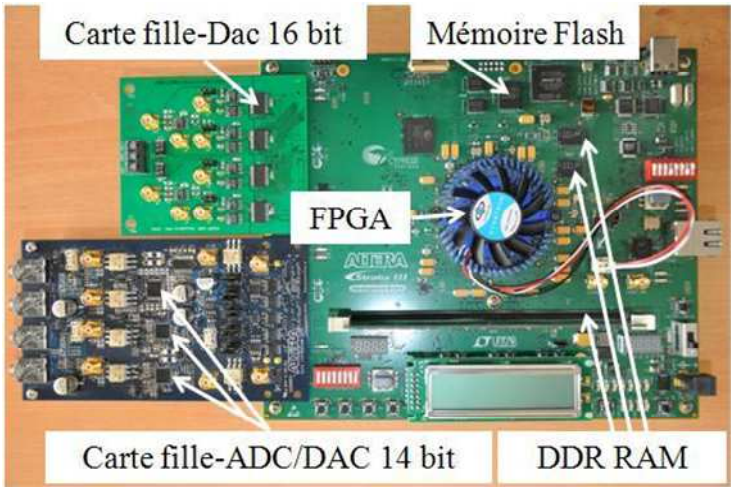


Fig.21. *Carte de prototypage basée sur le FPGA stratixiii. Elle est constituée d'une carte mère accueillant le FPGA et de deux cartes filles disposants de convertisseurs numérique-analogique/analogique-numérique (DAC/ADC) dans le but de pouvoir traiter le signal issu du capteur de force et de générer le signal d'excitation.*

III. Système de contrôle

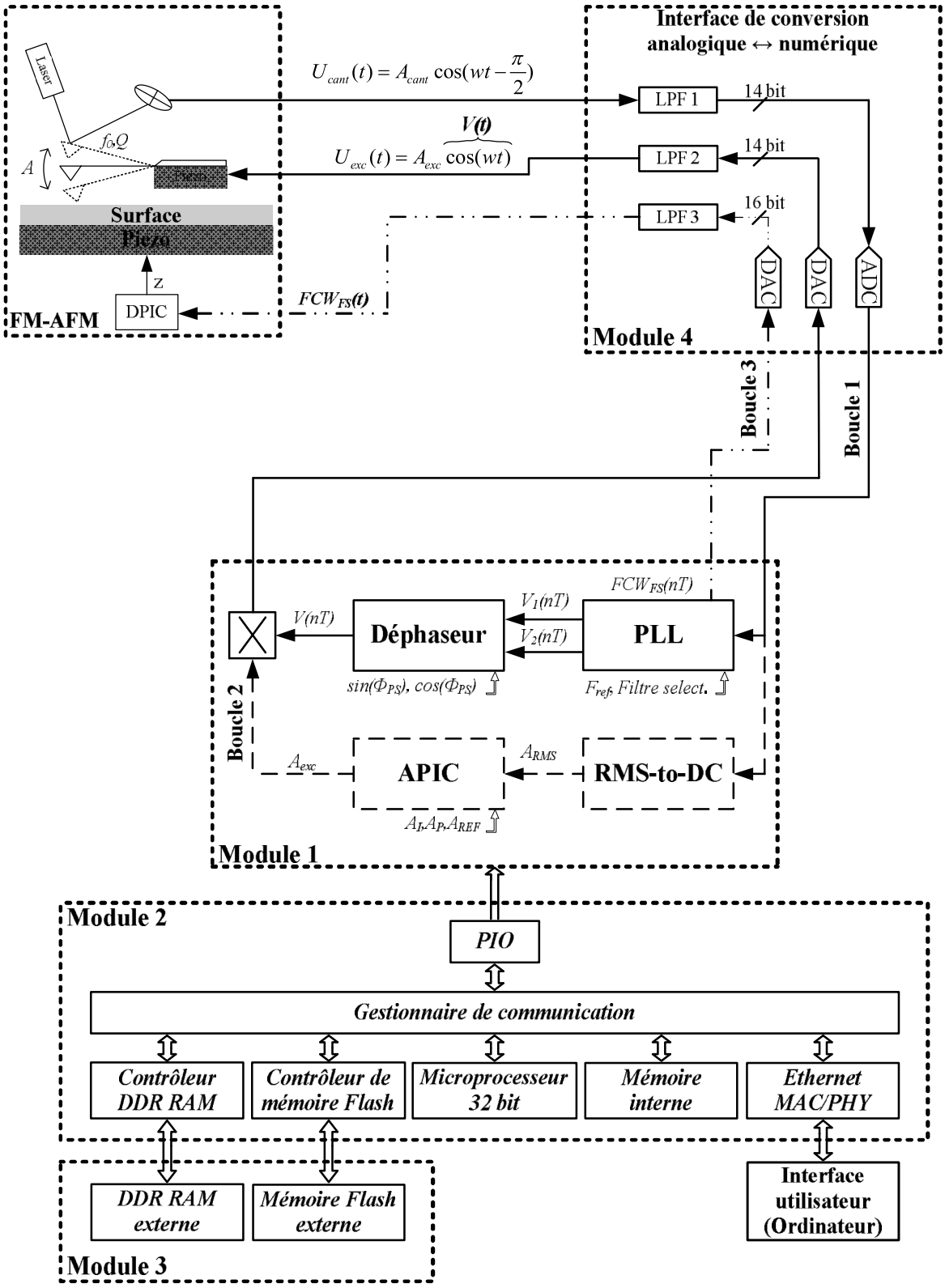


Fig.22. *Electronique de contrôle pour FM-AFM. Le bloc FM-AFM est représenté afin d'illustrer comment le système est connecté au FM-AFM.*

L'électronique de contrôle représentée ci-dessus sur la figure 22 est entièrement numérique (cadencée à une fréquence $F_{clk}=150MHz$), configurable et elle peut détecter une variation de fréquence de 100mHz pour une fréquence de résonnance comprise entre 20kHz et 60MHz. Afin d'augmenter les performances en bruit, des transformateurs radiofréquences sont placés du côté analogique des convertisseurs numériques-analogiques/analogiques-numériques (DAC/ADC) 14 bit. Cependant, cela restreint la limite basse de la plage de fréquence de résonance à 20kHz. La limite haute de 60MHz est due à la fréquence d'échantillonnage de l'ADC qui est de 150MHz. Les éléments du système ont été conçus à l'aide du VHDL (Very High Speed Hardware Description Language, *cf.* annexe 1, Par.III) [AUR99], [WEB07] et du Verilog [NAV05].

Quatre modules constituent le système. Il y a tout d'abord le module (4) qui est une interface de conversion numérique/analogique et analogique/numérique. Elle est composée de deux cartes filles, l'une comprenant deux ADCs/DACs 14 bit cadencés respectivement à 150MHz et 275MHz et une autre comprenant quatre DACs de 16 bit cadencés à 1MHz. La carte fille comprenant les deux ADC/DAC 14 bit a été livrée avec la carte mère (là où siège le FPGA) et la seconde carte fille comprenant quatre DACs 16 bit fut développée par l'IM2NP dans le but de disposer de quatre sorties supplémentaires pour l'observation des différents signaux tel que l'écart de fréquence, ou bien la valeur de l'amplitude d'excitation, *etc*… Pour des raisons de clarté, nous avons représenté seulement sur la figure 22 les DAC fournissant la valeur du décalage en fréquence et le signal d'excitation du capteur de force ainsi que l'ADC permettant l'acquisition du signal en sortie de la photodiode. Chaque DAC et ADC est suivi d'un filtre passe bas.

Le module (1) est la partie principale du système. Il asservit l'amplitude d'oscillation du capteur de force, il génère également le signal d'excitation et mesure l'écart de fréquence (nous y reviendrons plus en détail par la suite). Il repose, pour ce faire, sur un démodulateur de fréquence basé sur une boucle à verrouillage de phase (PLL), un déphaseur, un multiplicateur, un convertisseur de valeur efficace en valeur continue (RMS-vers-DC) et un contrôleur d'amplitude à gain proportionnel et intégral (APIC). Pour réaliser un système de contrôle configurable, des entrées accessibles par un utilisateur ($sin(\Phi_{PS})$, $cos(\Phi_{PS})$, F_{ref}, etc.) sont ajoutées à tous les blocs excepté pour le convertisseur RMS-to-DC. Ce module est implémenté dans le FPGA.

Les modules (2) et (3) constituent un micro ordinateur. Ils comprennent les éléments suivants :

- Des périphériques d'entrées/sorties parallèles (PIO) de 32 bits regroupés en un seul bloc nommé (à juste titre) PIO afin de ne pas alourdir le schéma,
- Un gestionnaire de communication (un arbitre),
- Deux contrôleurs de mémoire (DDR RAM et mémoire Flash),
- Un microprocesseur,
- Une mémoire dédié au microprocesseur,
- Un contrôleur Ethernet (MAC/PHY),
- Une mémoire Flash et une mémoire DDR RAM.

Nous avons choisi d'implémenter un micro ordinateur afin de gérer la connexion Ethernet qui relie ce système à un ordinateur sur lequel est située une interface graphique qui permet à l'utilisateur du FM-AFM de pouvoir affecter des valeurs aux différentes entrées programmables. La mémoire Flash et la mémoire DDR RAM sont situées sur la carte mère (*cf.* figure 21), le reste des éléments se situent dans le FPGA. La mémoire Flash a été ajoutée afin de stocker le fichier de programmation du FPGA relatif au système de contrôle et la couche logicielle développée en langage C relative au protocole de communication entre le panneau de contrôle utilisateur et le module (1). Ainsi, quand la plateforme de développement est mise sous tension, le FPGA est automatiquement programmé et le code C est stocké dans la mémoire DDR RAM afin d'être exécutée par le microprocesseur. Cela évite d'avoir à reprogrammer systématiquement le FPGA.

Nous allons d'abord décrire le fonctionnement de la partie logicielle qui s'appuie sur les modules (2) et (3) puis nous poursuivrons par la description du système de contrôle en lui-même qui est basé sur les modules (1) et (4).

IV. Partie logicielle

La couche logicielle a pour unique fonction de gérer la communication entre le système et l'interface graphique présente sur l'ordinateur de l'utilisateur. Elle est basée sur un exemple fonctionnel fournit par Altera qui permet d'utiliser la carte de prototypage comme un serveur web. Depuis n'importe quel ordinateur, par l'intermédiaire d'un navigateur internet il est possible de faire clignoter des diodes électroluminescentes (LEDs) ou d'afficher des messages sur l'écran à cristaux liquide (*cf.* figure 21). L'interface initiale est représentée ci-dessous sur la figure 23. Les modules (2) et (3) sont alors utilisés afin de pouvoir implémenter le serveur web.

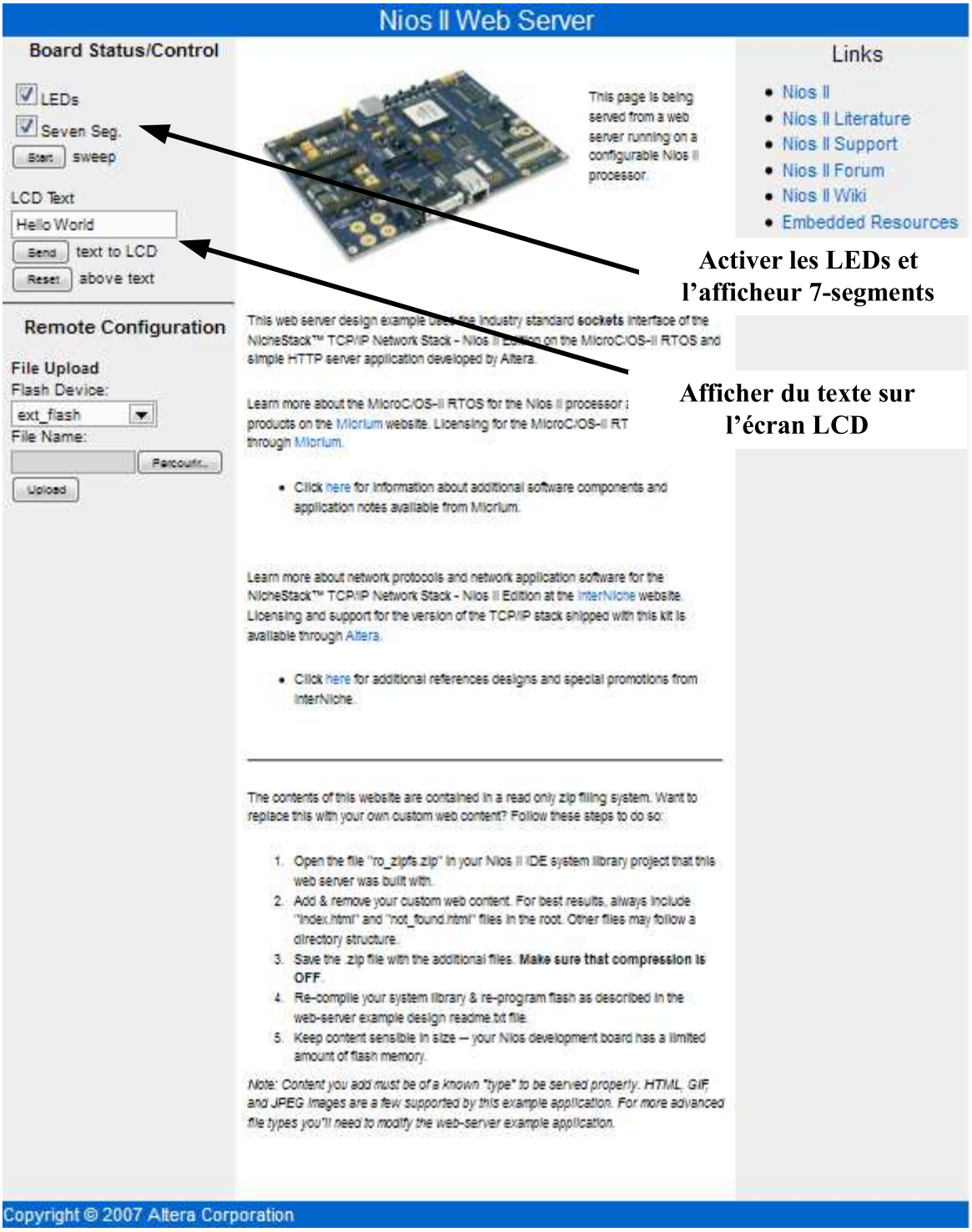


Fig.23. *Page internet à partir de laquelle il est possible d'afficher du texte sur l'écran LCD ou bien de faire clignoter des LEDs ou l'afficheur sept segments. Cette application fut destinée initialement à une carte de prototypage nommée "NIOSII development kit" [ALT12].*

L'idée est alors d'adapter cette interface à notre utilisation. Cela passe par la modification de la page internet et des programmes en langage C associés et par une modification du module (2).

Celui-ci comprenait initialement un contrôleur pour l'écran à cristaux liquide, des PIOs reliées à différents boutons poussoirs ainsi qu'aux différentes LEDs (*cf.* figure 24). Afin de pouvoir l'adapter à notre application, il fut nécessaire de greffer le système de contrôle à ce micro ordinateur en effectuant plusieurs modifications au niveau des PIOs tel qu'illustré sur la figure 25.

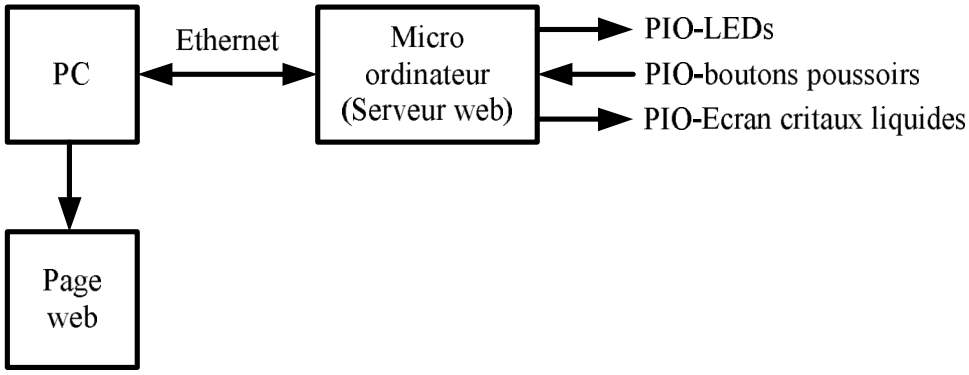


Fig.24. *Vue schématique de la partie matérielle telle qu'elle fut initialement.*

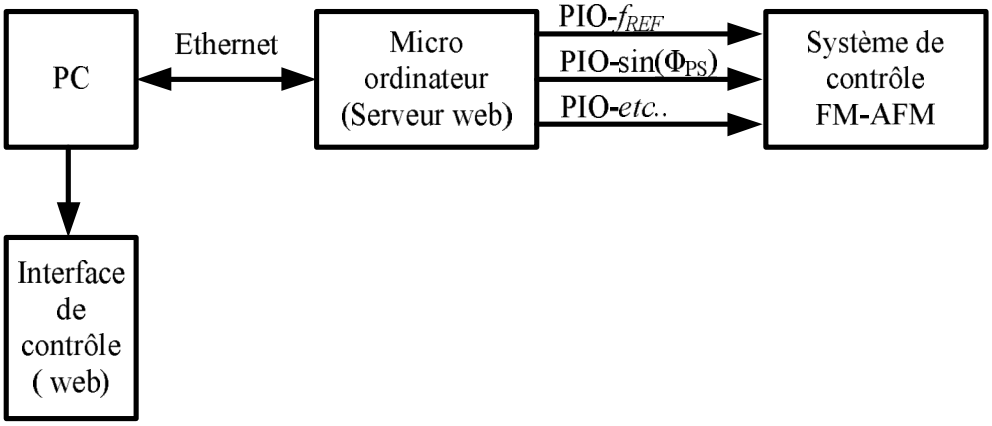


Fig.25. *Vue schématique de la partie matérielle actuelle. La partie micro-ordinateur est agrémentée de 14 PIOs nécessaires à la commande du système de contrôle et elle est connectée à celui-ci.*

Le micro ordinateur est réalisé à l'aide de l'outil intitulé "SOPC Builder" (System On Programmable Chip Builder ou encore outil de conception de système sur puce programmable). Cet outil est inclus dans la suite logicielle QuartusII. Ci-dessous (*cf.* figure 26) une capture d'écran qui illustre un tel système.

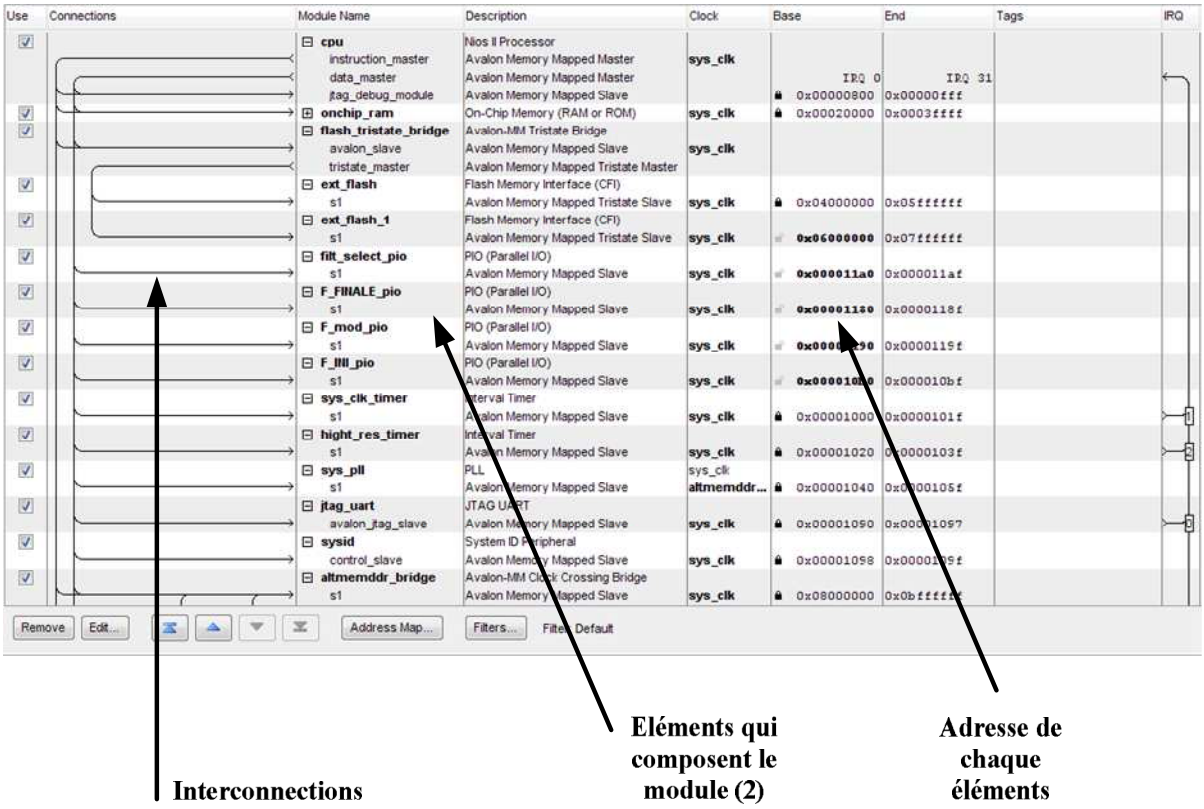


Fig.26. *Interface d'élaboration du micro-ordinateur présent dans le FPGA [ALT12].*

Pour effectuer les modifications illustrées en figure 26 il suffit alors, via cette interface, d'ajouter le nombre requis de périphérique et de spécifier les interconnections associées. Par la suite, le logiciel génère le fichier VHDL correspondant qui sera utilisé lors de la synthèse du système complet.

La couche logicielle est constituée de trois programmes principaux. Le premier fait référence à un micro système d'exploitation basé sur un noyau linux. En effet, celui-ci est nécessaire pour assurer le bon fonctionnement du micro-ordinateur en lui-même. Nous n'entrerons pas dans les détails d'un tel système. Cependant le lecteur désireux d'en savoir d'avantage à ce sujet peut se reporter à la référence suivante [MIC]. Les deux autres programmes permettent le contrôle du système d'asservissement du capteur de force à partir d'une interface graphique. Leur interaction est illustrée sur la figure 27.

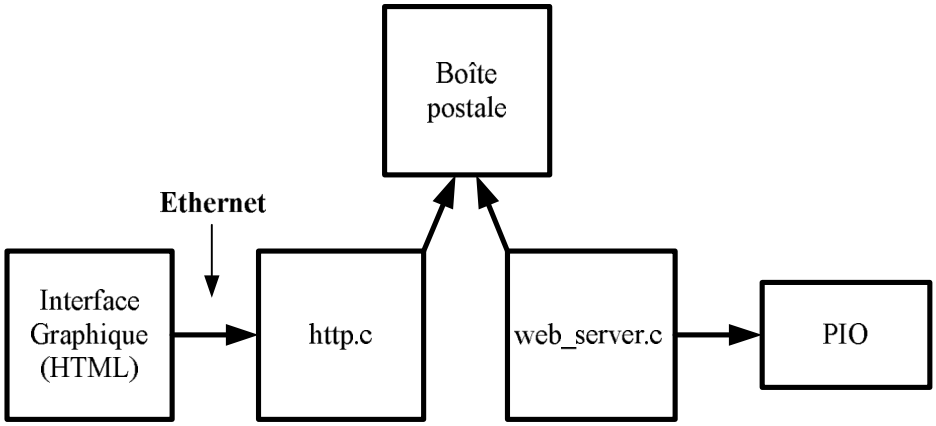


Fig.27. *Interaction des principaux programmes qui permettent de contrôler le système d'asservissement du capteur de force.*

En premier lieu nous retrouvons l'interface graphique illustrée sur la figure 27. Elle se compose de quatorze entrées relatives aux différents modules du système de contrôle du capteur de force (figure 28). Elle est réalisée en HTML [NEB06]. Cet acronyme signifie "HyperText Markup Language". Il a été crée par le CERN au début des années 1990. C'est un langage de balisage avec lequel on crée des sites internet et qui est interprété par les navigateurs internet tels que Firefox [MOZ12], Opera [OPE12], *etc*...

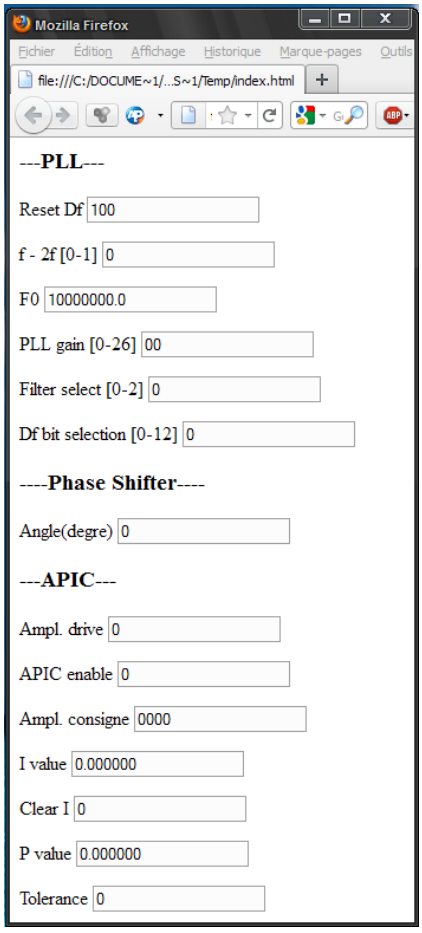


Fig.28. *Interface graphique utilisée pour le contrôle du système d'asservissement du capteur de force. Elle est développée en HTML.*

Les données saisies dans cette interface sont ensuite transférées par liaison Ethernet. C'est un protocole de communication en réseau dit local conçu en 1980 par la société Xerox [XER], [COM]. Les systèmes impliqués (ordinateurs, imprimante, carte de prototypage, *etc.*.) sont connectés sur un même support de communication et communiquent entre eux via le protocole CSMA/CD qui signifie "carrier-sense multiple access with collision detection". Ce protocole gère la communication de ces derniers afin qu'ils ne parlent pas en même temps ce qui entrainerait des courts-circuits menant à leur dégradation voire leur destruction. Ainsi, chaque système "écoute" si des données sont transmises sur le support de communication. Si rien n'y transite alors le système désireux de transmettre des données y est autorisé. Ce protocole est implémenté à l'aide de la couche PHY (physique) et de la couche MAC ("media access control" ou contrôle d'accès au média en français). La couche physique a pour tâche d'envoyer (recevoir) les données sur (provenant) le (du) média de communication tout en évitant les conflits de données et la couche MAC interprète ces données conformément à ce

protocole. Les données issues de la couche MAC sont donc réceptionnées et traitées par le programme nommé *http.c*. Celui-ci a pour but d'extraire les valeurs numériques saisies dans l'interface graphique à partir du protocole HTTP. Cet acronyme signifie "HyperText Transfer Protocol" ou encore "protocole de transfert hypertexte" en français. C'est un protocole de communication "client-serveur" développé pour l'internet (World Wide Web). Celui-ci, en plus des données saisies, contient les différentes informations nécessaires à l'accès du site voulu *etc*... Le rôle de ce programme est donc l'extraction des valeurs numériques contenues dans ces différents champs à l'aide des fonctions qui vont extraire ces valeurs de la "trame http" alors envoyée au serveur (situé sur la carte de prototypage). Ces valeurs sont ensuite postées dans une zone mémoire commune aux deux programmes et qui est appelé "Boîte postale".

Le programme nommé *web_server.c* implémente l'application serveur. Il gère la demande d'accès à l'interface graphique (via les requêtes http) et il récupère les valeurs qui ont été saisies dans celle-ci par l'intermédiaire de la boîte postale et les dirige vers les PIO concernés.

V. Fonctionnement du système de contrôle

Quand l'ensemble pointe plus poutre oscille, le signal issu de la photodiode $U_{cant}(t)$ est en premier lieu transmis au RMS-to-DC. Celui-ci fournit la valeur efficace de $U_{cant}(t)$ à l'APIC afin d'être utilisé pour maintenir l'amplitude des oscillations du cantilever à une valeur constante ($A_{RMS}=A_{ref}$) en ajustant correctement A_{exc}. Ces blocs constituent une boucle d'asservissement d'amplitude nommée Boucle 2 (*cf.* figure 22).

Le signal $U_{cant}(t)$ est également envoyé à la PLL dans le but de régénérer le signal d'excitation. Pour ce faire, la PLL traque la fréquence de résonance du cantilever à partir du signal $U_{cant}(t)$ et génère la partie *ac* nommée ($V(t)$) du signal $U_{exc}(t)$. Le produit A_{exc} et $V(nT)$ (n est un nombre entier et T est la période de l'horloge du système) donne, après conversion en signal analogique, le signal d'excitation du cantilever $U_{exc}(t)$. La PLL ainsi que le déphaseur sont des éléments de la boucle d'asservissement en fréquence nommée Boucle 1. Les boucles 1 et 2 maintiennent le cantilever comme un oscillateur harmonique.

La PLL assure également la détection du décalage en fréquence représenté par le signal nommé $FCW_{FS}(t)$ qui est fournit au DPIC. Ce dernier permet la régulation de la distance pointe-surface afin d'annuler le décalage. Le DPIC, la photodiode et la PLL (les différents DAC et ADC sont évidemment pris en compte) constituent la boucle d'asservissement en distance nommée Boucle 3.

Pendant l'analyse de la surface, représentée schématiquement sur la figure 29, *Uexc(t)* excite le cantilever à la fréquence $f=f_0$ (1) réglée par l'utilisateur via F_{ref} et maintient l'amplitude des oscillations constantes. f_0 change avec les variations de topologie de la surface. Si la distance pointe surface diminue, cela implique une augmentation des forces attractives, ce qui implique la diminution de f_0 menant à une nouvelle fréquence f'_0 (2). Les boucles 1 et 2 maintiennent le cantilever comme un oscillateur harmonique dont la fréquence de résonance est désormais f'_0. Etant donné que le système doit ramener la fréquence de résonance à f_0, le DPIC va alors ajuster la distance pointe échantillon pour ramener FCW_{FS} à 0 (3). De la même manière, une augmentation de la distance pointe échantillon implique une diminution des forces ce qui augmente f_0, engendrant une fréquence de résonance f''_0 (4). Le DPIC va à nouveau ajuster la distance pointe-échantillon afin de ramener FCW_{FS} à 0 (5).

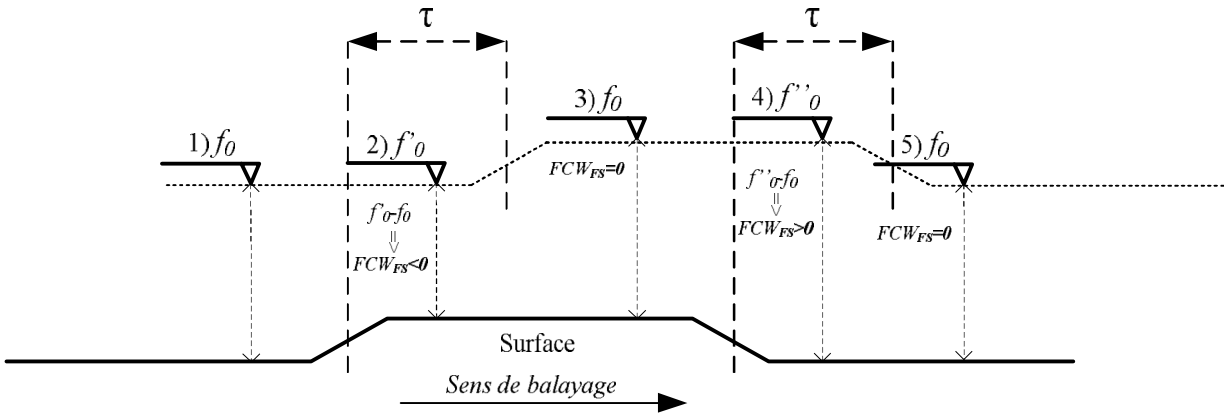


Fig.29. *Vue schématique du balayage de la surface de l'échantillon sous analyse.*

On peut remarquer que la régulation de la distance n'est pas instantanée mais a lieu après un temps τ (trait en pointillé qui illustre ce décalage sur la figure 29). Ce temps dépend de la vitesse de balayage de la surface ainsi que de la bande passante de la PLL. Diminuer ce temps revient par conséquent à augmenter la vitesse de balayage et la bande passante de la boucle à verrouillage de phase. L'objectif pour ce nouvel AFM est d'avoir une vitesse de balayage de dix lignes par seconde avec 512 points par ligne. Il est par conséquent nécessaire que la PLL dispose d'une bande passante d'au moins 5.12kHz. De même, afin d'être en mesure d'imager avec une vraie résolution atomique avec ces nouvelles pointes, il sera nécessaire que la PLL puisse détecter un écart de fréquence minimal de 100mHz. Cela pose donc les caractéristiques principales du démodulateur. Son architecture ainsi que celle des autres blocs sera détaillée dans le chapitre III.

VI. Conclusion

Nous avons tout d'abord mis en avant la plateforme de développement destinée à accueillir le système final qui s'articule autour d'une carte de prototypage basée sur un FPGA (Field Programmable Gate Array/réseau de porte programmable par paquet). Au vu des différentes contraintes qui ont été exposées, une telle plateforme permet un gain de temps de développement et diminue les coûts de réalisation.

Par la suite, nous avons présenté le système de contrôle où le module 1 demeure le cœur du système. Les différents convertisseurs numériques-analogiques/analogiques-numériques (DAC/ADC) situés sur les cartes filles permettent de recevoir le signal analogique $U_{cant}(t)$ issu du capteur de force pour effectuer les différents traitements et de générer le signal d'excitation $U_{exc}(t)$.

Nous avons poursuivi par la présentation du microordinateur embarqué qui permet à l'utilisateur de contrôler le système d'asservissement à partir de l'interface graphique d'un serveur web intégré au système. La gestion de la communication de type Ethernet entre l'ordinateur de l'utilisateur et le système d'asservissement est assurée par le micro ordinateur.

Enfin, nous avons terminé par un exemple de fonctionnement du système de contrôle. Nous y avons vu que le temps nécessaire à la régulation de la distance n'est pas instantané mais dépend de la vitesse de balayage de la surface ainsi que de la bande passante de la boucle à verrouillage de phase (PLL). Diminuer ce temps revient à augmenter la vitesse de balayage et la bande passante de la boucle à verrouillage de phase. Pour que ce nouvel AFM dispose d'une vitesse de balayage de 10 lignes par seconde avec 512 points par ligne et d'une résolution atomique, la PLL doit être capable de détecter un écart de fréquence minimal de 100mHz et posséder une bande passante d'au moins 5.12kHz.

Références

[ALT12] http://www.altera.com/

[AUR99] M. Aumiaux, "Initiation au langage VHDL", *2ème Edition, DUNOD, 1999.*

[COM06] D. Comer, "TCP/IP Architecture, protocoles et applications", *5ème Edition, PEARSON, 2006.*

[MIC] http://micrium.com/page/home

[MOZ12] http://www.mozilla-europe.org/fr/

[NAV05] Z. Navabi, "Verilog Digital System Design, Register Transfer Level Synthesis, Testbench, and Verification", *2nd Ed., Mc Graw Hill, 2005.*

[NEB06] M. Nebra, "Réussir son site web avec XHTML et CSS", *Edition Eyrolles, 2006.*

[OPE12] http://www.opera.com/

[WEB07] J. Weber, S. Moutault, M. Meaudre, "LE LANGAGE VHDL, Du langage au Circuit, du circuit au langage", *3ème Edition, DUNOD, 2007.*

[XER] http://www.xerox.com

CHAPITRE III
Description des sous parties qui composent le système de contrôle

I. Introduction

Le chapitre précédent présente une vue d'ensemble du système de contrôle ainsi que son principe de fonctionnement lors de la phase de balayage de la surface à analyser. Ce chapitre se focalise sur le cœur du système de contrôle du capteur de force (Noté Module 1 sur la figure 30 ci-dessous) et plus précisément sur la conception et la description des éléments qui le composent.

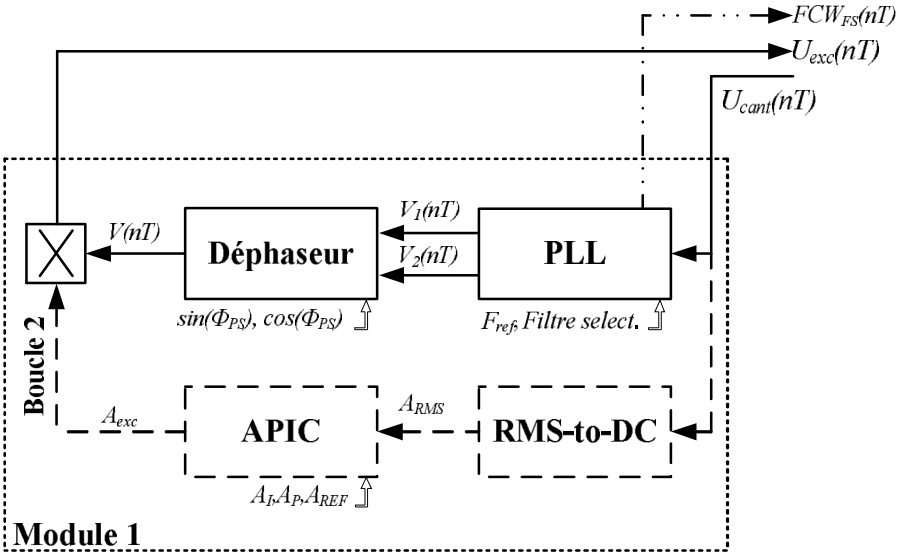


Fig.30. *Vue schématique du module 1, cœur du système de contrôle du capteur de force. Nous retrouvons la boucle à verrouillage de phase entièrement numérique (ADPLL), le contrôleur d'amplitude à gain proportionnel et intégral (APIC), le convertisseur de valeur efficace en valeur continue (RMS-to-DC) et le déphaseur.*

La complexité de ce système est telle que nous avons opté pour une conception majoritairement empirique. Du point de vue méthodologique, l'approche simulation est plus souple pour l'analyse et la conception du système car elle n'est pas restreinte par les ressources physiques (exemple du FPGA –Field Programmable Gate Array- dans le cas d'une émulation). Nous avons cependant privilégié l'approche émulation (*cf.* Annexe 2 Paragraphe I) pour deux raisons :

- d'une part, elle offre un gain de temps assez considérable dans le cas d'un système complexe tel que c'est le cas ici. A titre d'exemple, il faut huit heures de simulation pour observer le comportement transitoire de la boucle à verrouillage de phase entièrement numérique (ADPLL) pendant *20ms* contre une heure et demie avec l'émulation.
- d'autre part, puisque le système de contrôle doit au final être intégré au sein du FPGA lui-même, l'émulation permet d'évaluer concrètement (prise en compte des délais, du routage et de la température de fonctionnement) son comportement au fur et à mesure des phases de conception.

Nous commencerons dans ce chapitre par détailler l'ADPLL qui constitue l'élément central du système de contrôle du capteur de force, puis nous poursuivrons par présenter le déphaseur, le convertisseur RMS-to-DC (Root Mean Square to DC) et nous terminerons par le contrôleur d'amplitude à gain proportionnel et intégral (APIC).

II. ADPLL

La boucle à verrouillage de phase (PLL) a été créée par le physicien français *Henri de Bellescize* [BEL32] en 1932 dans le but d'améliorer les conditions de réception des signaux radioélectriques. Elle reposait sur des tubes à vide en guise de composants électroniques. Ceux-ci étaient assez volumineux et coûteux, limitant son utilisation aux instruments scientifiques et militaires. Il faudra attendre l'apparition des circuits intégrés dans les années 60 pour que son utilisation se généralise. D'un point de vue technique, c'est un système qui asservit la phase du signal de sortie à la phase du signal d'entrée au moyen d'une contre réaction. Il est utilisé pour asservir également la fréquence puisque celle-ci dérive de la phase. La figure 31 montre le concept général d'une PLL.

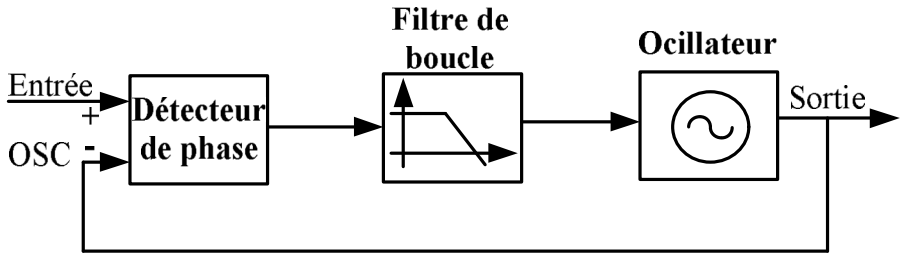


Fig.31. *Schéma de principe d'une boucle à verrouillage de phase (PLL).*

Dans sa forme la plus simple elle se compose d'un comparateur de phase qui génère une réponse proportionnelle au déphasage entre les signaux d'entrée (ici "Entrée" et "OSC"), d'un filtre passe bas dont le rôle est de fournir, à partir de cette réponse, un signal de commande (numérique ou analogique) pour l'oscillateur. Celui-ci, pour sa part, présentera à sa sortie une fréquence qui est fonction du signal de commande. Lorsque la boucle est verrouillée, les fréquences des signaux en entrée du comparateur de phase sont identiques. Les boucles à verrouillage de phase les plus couramment utilisées reposent sur les PLL entières et les PLL fractionnelles mixtes bien qu'il existe la volonté de les remplacer par les PLL entièrement numériques notamment pour la partie RF des téléphones portables. Parmi celles-ci existe une variante où bien qu'elle soit appelée PLL entièrement numérique, l'oscillateur est basé sur un résonateur LC commandé numériquement [XU10] [HUN11]. Ce signal de commande numérique est converti en analogique (avec un convertisseur analogique/numérique – CNA ou ADC en anglais) pour ajuster la fréquence de sortie de l'oscillateur contrôlé en tension (VCO)

et ce, en jouant sur la valeur de la capacité totale du résonateur. En effet, dans ce type d'oscillateur ajustable, une multitude de capacité peuvent être reliée entre elle par l'intermédiaire de transistors configurés en interrupteur dans le but de recréer une capacité d'une valeur donnée.

Pour la réalisation du démodulateur de fréquence nous avons opté pour une PLL entièrement numérique basé sur un oscillateur numérique contrôlé numériquement. En effet, outre le fait qu'un démodulateur numérique possède une bien meilleure stabilité en température sur le long terme, aussi bien une PLL entière que fractionnelle n'est pas adaptée pour ce type d'utilisation où une précision de 100mHz est nécessaire. En effet, une PLL entière dont le schéma structurel est représenté sur la figure 32 fournit une fréquence f_{out} N fois supérieure à la fréquence d'entrée f_{in} fournie par un quartz.

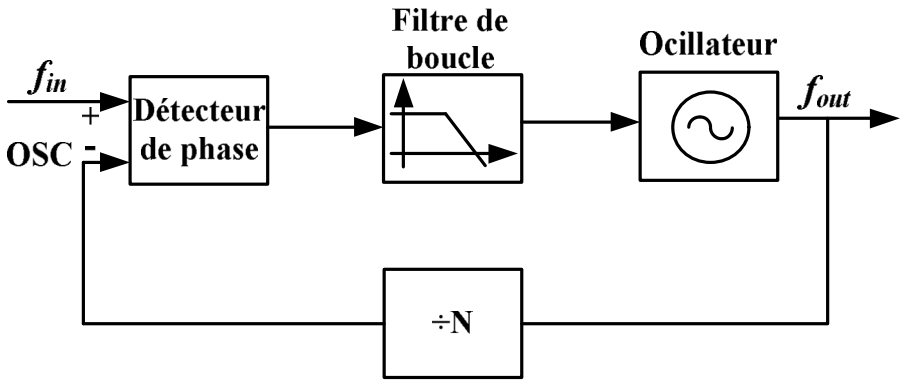


Fig.32. *PLL entière configurée en multiplieur de fréquence grâce au diviseur numérique présent dans la chaîne de retour.*

L'inconvénient pour notre utilisation apparait si l'on souhaite employer cette PLL pour générer le signal d'excitation avec un pas fréquentiel de 100mHz. Il faudrait alors un quartz dont la fréquence d'oscillation soit de 100mHz ce qui ne s'avère pas envisageable. De même, il serait nécessaire que le diviseur de boucle puisse diviser par une valeur maximale de 600 millions pour générer une fréquence d'oscillation f_{out}=*60MHz*. Le même problème se présenterait pour la PLL fractionnelle (*cf.* annexe 2 Par. II.1).

Les PLL entièrement digitales permettent de s'affranchir de cette contrainte et offrent en outre une plus grande stabilité fréquentielle à long terme. Elles sont employées dans de nombreux domaines comme la récupération d'horloge [KIM99], la métrologie [KUMM10] ou bien les systèmes de communications [AHM07]. Les PLL numériques peuvent être classées en trois catégories selon la nature des deux signaux présents en entrée du comparateur de phase *i*. deux signaux de type binaire, *ii*. l'un des deux signaux est sinusoïdal et *iii*. les deux

signaux sont sinusoïdaux. Un état de l'art associé à chacune de ces catégories est disponible en annexe 2, Par. II.2.

L'ADPLL utilisée dans le système d'asservissement du capteur de force reprend le concept de la PLL à fréquence d'échantillonnage de Nyquist (*cf.* annexe 2 Par. II.2.2). Le filtre de boucle est ici basé sur un filtre à réponse impulsionnelle finie (RIF) et l'oscillateur est basé sur un Synthétiseur Directe de Fréquence (DDS ou DDFS en anglais). Ce dernier génère deux signaux sinusoïdaux dont $V_1(nT)$ qui sera comparé au signal $U_{cant}(nT)$ lui aussi sinusoïdal et issu de l'ADC 14 bit (non représenté sur la figure 33). Dans le but de pouvoir détecter les variations de fréquence du signal issu du capteur de force tout en étant capable d'assurer son excitation, il était nécessaire de travailler avec des signaux sinusoïdaux.

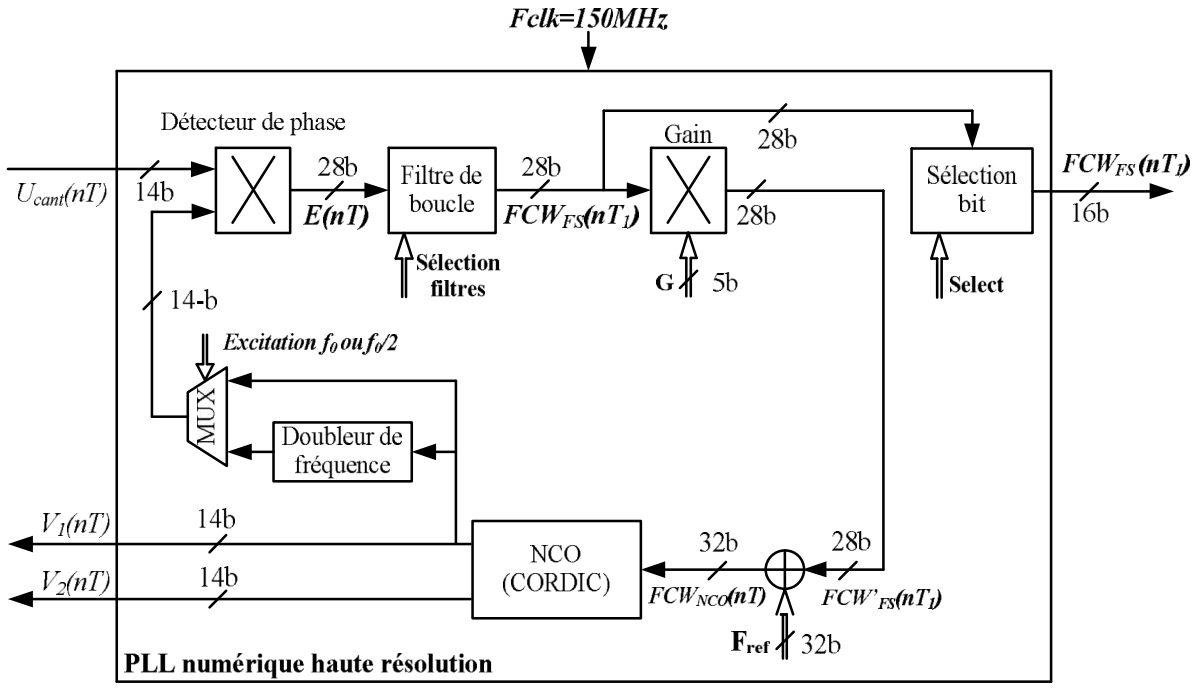


Fig.33. *Architecture de l'ADPLL utilisé dans le système d'asservissement du capteur de force. Cette dernière est basée sur le concept de l'ADPLL à fréquence d'échantillonnage de Nyquist.*

Cette ADPLL se compose en outre d'un étage de gain configurable, d'un étage de "sélection de bit" qui permet d'adapter la sensibilité (Hz/LSB) du décalage en fréquence $FCW_{FS}(nT_1)$, d'un additionneur et d'un doubleur de fréquence (associé au multiplexeur "Mux"). A l'exception du comparateur de phase, tous les éléments constituant l'ADPLL sont programmables par l'utilisateur (symbolisé par la double flèche). Sa nature numérique et séquentielle nécessite une fréquence d'échantillonnage désignée par F_{clk} et égale à 150MHz. Nous allons présenter ces différents éléments dans les paragraphes ci-dessous.

II.1. Comparateur de phase

Parmi les différents comparateurs de phase existant (*cf.* annexe 2 Par.III), notre choix s'est porté sur la version numérique du comparateur de phase analogique de type un (multiplieur, utilisé avec les toutes premières PLL analogiques intégrées apparues en 1965). La figure 34 ci-dessous en donne une représentation schématique.

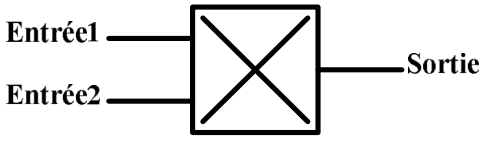


Fig.34. *Comparateur de phase analogique basé sur un multiplieur.*

Bien que la plage de capture résultant de l'emploi de ce type de comparateur soit peu élevée comparé au comparateur de phase-fréquence, cela est sans conséquence car c'est l'ADPLL qui génère la fréquence d'excitation du capteur de force. Ce comparateur, tout comme les structures présentées en annexe 2 sur les figures A2_13 et A2_14 peut traiter des signaux sinusoïdaux en provenance de l'oscillateur local et de l'ADC mais son implémentation est plus simple de part sa nature et il pourra fournir l'information de déphasage entre les signaux d'entrée à chaque cycle d'horloge pour améliorer la précision d'asservissement de la phase. A partir des signaux $U_{cant}(nT)$ et $U_{exc}(nT)$ exprimé respectivement par les relations (12) et (13), le comparateur de phase fournit au filtre passe bas le signal $E(nT)$. Une fois filtré par le filtre passe bas et en considérant que la PLL est verrouillée, nous obtenons le signal $FCW_{FS}(nT_1)$ exprimé via la relation (14) qui est l'image du décalage de fréquence entre $U_{cant}(nT)$ et $V_1(nT)$.

$$U_{cant}(nT) = A_{cant}.\sin(w.nT + \varphi_{cant}(nT)) \tag{12}$$

$$U_{exc}(nT) = A_{exc}.\cos(w.nT + \varphi_{exc}(nT)) \tag{13}$$

$$FCW_{FS}(nT_1) = \frac{A_{cant}.A_{exc}}{2}.\sin(\varphi_{cant}(nT) - \varphi_{exc}(nT)) \tag{14}$$

$$\varphi_{err}(nT) = \varphi_{cant}(nT) - \varphi_{exc}(nT) \tag{15}$$

$$K_{comp} = \frac{A_{cant}.A_{exc}}{2} \tag{16}$$

Si nous considérons que $\varphi_{err}(nT)$ est de faible valeur, alors le sinus de l'erreur de phase est équivalent à l'erreur de phase elle-même, ce qui engendre la relation (17).

$$FCW_{FS}(nT_1) = K_{comp}.\varphi_{err}(nT) \quad (17)$$

$U_{cant}(nT)$ et $V_1(nT)$ sont encodés sur 14 bit. $U_{cant}(nT)$ est issu de la conversion analogique/numérique effectuée par l'ADC 14 bit du signal fourni par la photodiode. $V_1(nT)$ est un signal sinusoïdal encodé sur 14 bit qui provient de l'oscillateur inclus dans la PLL et sur lequel nous reviendrons ultérieurement. Le multiplieur sera cadencé à $F_{clk}=150MHz$, ses entrées seront encodées sur 14 bit tandis que sa sortie sera sur 28 bit afin de ne pas perdre d'information dans le cas où les signaux d'entrée occupent la totalité des 14 bits. Le choix a été pris d'opter pour une architecture dite "*pipelinée*" et ce, afin de resynchroniser les données en entrée du comparateur pour ne pas subir les effets d'un éventuel déphasage apporté par des délais éventuels issu du routage entre l'oscillateur et le comparateur puis entre la sortie de la partie numérique de l'ADC et l'entrée du comparateur. Cela rajoute de la latence mais celle-ci est d'une période d'horloge soit 6.67ns ce qui n'est pas pénalisant quant au fonctionnement du système. Son implémentation au sein du FPGA est paramétrée sur automatique. Cela signifie que c'est le synthétiseur qui décidera s'il est nécessaire de l'implémenter sur un multiplieur dédié (cœur de DSP) ou bien en utilisant des unités logiques standards (ALM, *cf.* Annexe I, Par.II). Ce choix sera fonction des contraintes temporelles associées à la conception ainsi qu'aux contraintes de routage.

II.2. Filtre de boucle

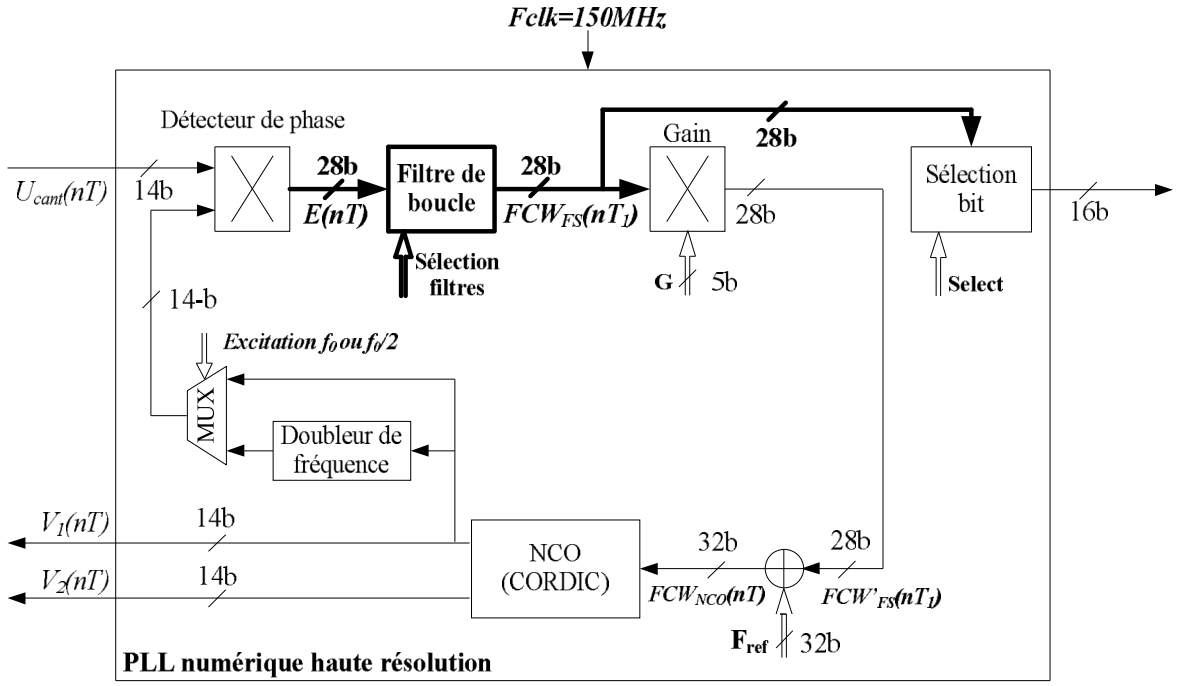


Fig.35. *Illustration du module de filtrage au sein de l'ADPLL.*

Celui-ci (*cf.* figure 35) moyenne le signal *E(nT)* afin de générer le signal $FCW_{FS}(nT_1)$ interprété comme le décalage en fréquence du capteur de force induit par les variations de topographie. T_1 renvoie à la fréquence de fonctionnement du filtre. Le signal $FCW_{FS}(nT_1)$, par l'intermédiaire de l'étage de sélection des bit, sera utilisé par le module d'asservissement de distance (non compris dans le système) et comme signal d'imagerie. Le filtre de boucle dont l'architecture est montrée sur la figure 36 regroupe en réalité trois modules de filtrages passe bas, chacun ayant une fréquence de coupure fixe à -3dB de 177kHz, 95kHz et 16kHz dans le but d'adapter la PLL aux différentes fréquences des cantilevers et aux différentes vitesses de balayage.

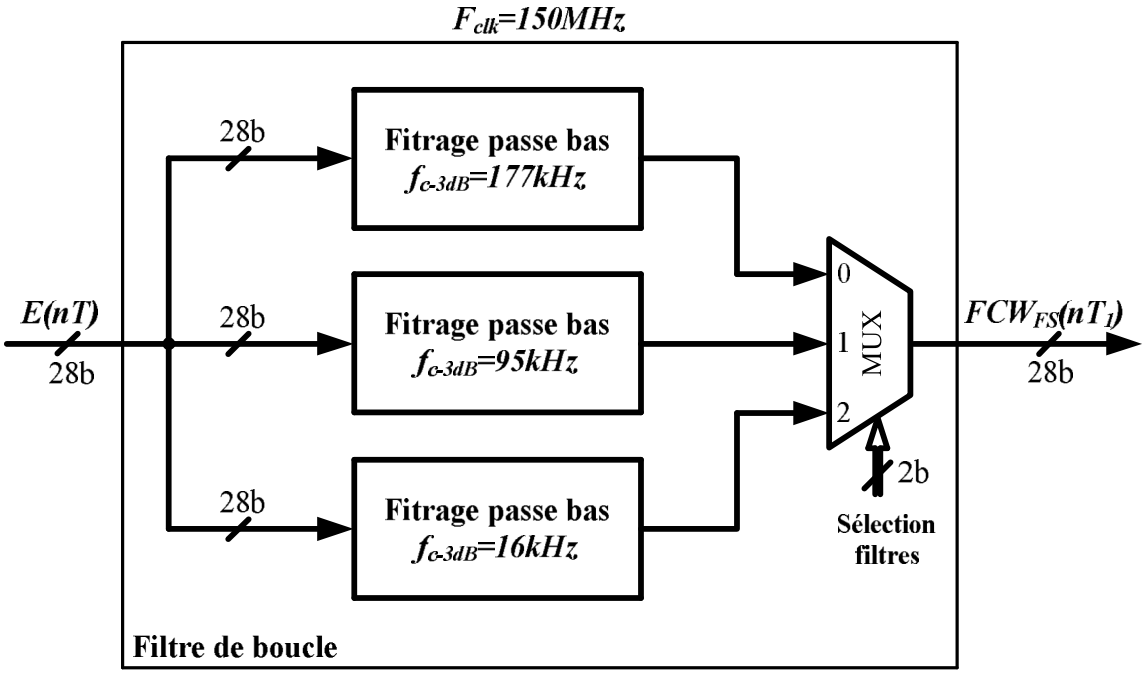


Fig.36. *Architecture du filtre de boucle.*

La sélection d'un des trois modules est effectuée par l'intermédiaire d'un multiplexeur commandé par l'utilisateur via l'entrée "Sélection filtres". Il suffit de saisir depuis l'interface graphique la valeur zéro, un ou deux correspondant respectivement au module dont la bande passante est $f_{c\text{-}3dB}$=177kHz, $f_{c\text{-}3dB}$=95kHz et $f_{c\text{-}3dB}$=16kHz. L'entrée de contrôle "Sélection filtres" est encodée sur 2 bit non signés, nécessaires pour pouvoir transcrire en binaire la valeur maximale : deux. Les modules de filtrage sont initialement cadencés à la fréquence du système F_{clk}=150MHz. Chaque module est composé d'un étage de décimation ainsi que d'un filtre passe bas "Single rate filter" comme illustré sur la figure 37.

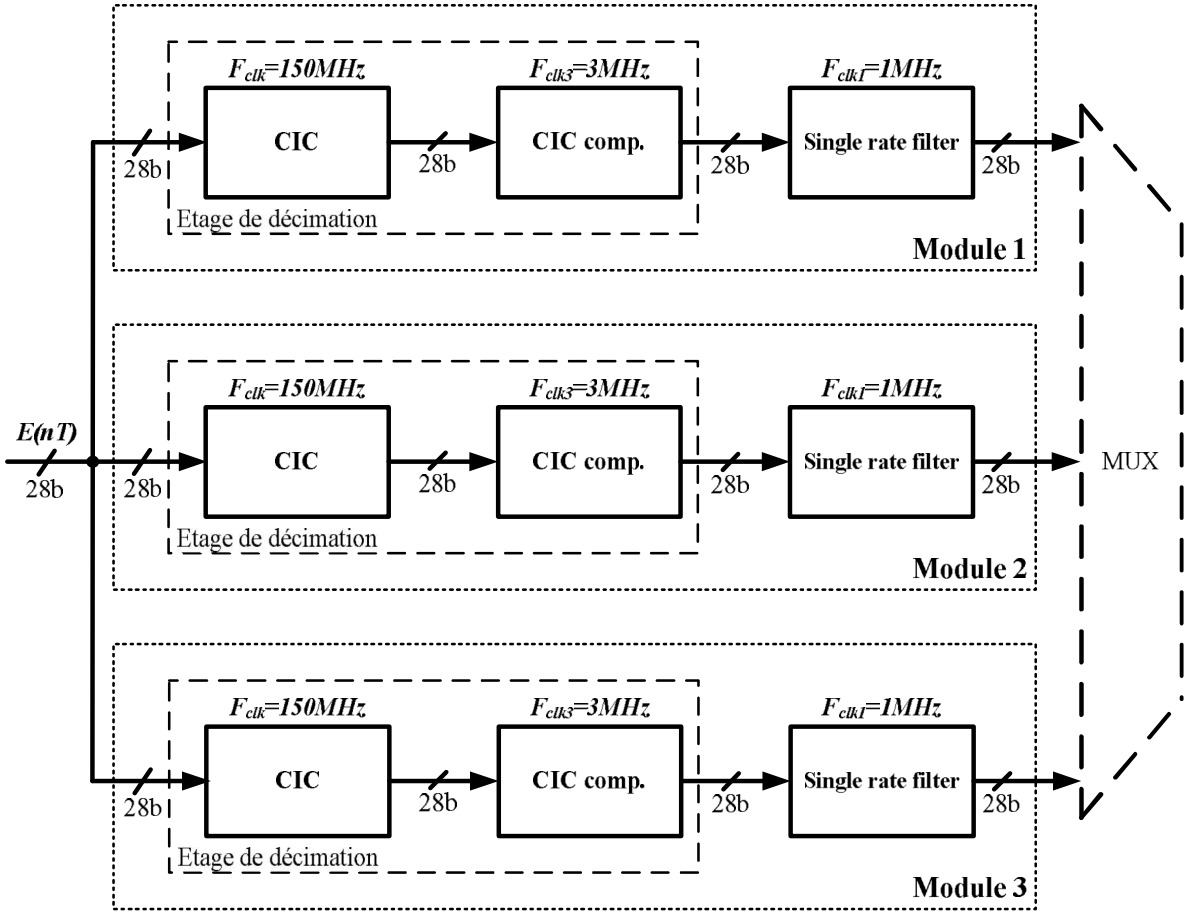


Fig.37. *Structure des modules de filtrages composés d'un étage de décimation suivi d'un filtre passe bas mono-cadence.*

Nous allons présenter la chaine composée de l'étage de décimation et du filtre "Single rate filter". Etant donnée que les trois branches ont été conçues de la même manière, nous nous concentrerons plus en détail sur le module 1 (associée à $f_{c\text{-}3dB}$=177kHz). Ainsi, nous mettrons en avant la notion de décimation, de filtre CIC ("Cascade in Comb" en anglais) et de filtre de compensation. Nous expliquerons comment ces derniers ont été élaborés. Un tableau regroupera les caractéristiques de chaque branche.

II.2.1. Filtre à réponse impulsionnelle finie (RIF)

Il existe deux types de filtre numériques, les filtres à réponse impulsionnelle infinie (RII ou IIR en anglais) et les filtres à réponse impulsionnelle finie (RIF ou FIR en anglais) [OPP10, pp. 522-570]. Les premiers ont la particularité de nécessiter moins de ressource à réponse fréquentielle équivalente comparé aux filtres RIF. De plus, ils sont réalisables facilement car ils sont la version numérique du même filtre analogique. On les obtient généralement par transformé bilinéaires. Cependant, ils présentent l'inconvénient d'être

potentiellement instable. Il faut donc garantir leur stabilité en vérifiant que les pôles associés soient bien dans le cercle unité et que les erreurs de quantification des coefficients (dû à l'implémentation matérielle) ne modifient pas (ou dans une plage acceptable) la position des pôles. Enfin, il est nécessaire de connaître le signal à filtrer pour que celui-ci n'engendre pas d'instabilité. Pour notre application, le signal d'entrée n'étant pas connu par avance, il est alors exclu d'utiliser de tel filtre. De plus, la résolution fréquentielle requise pour la PLL nécessiterait des filtres IIR d'un degré supérieur à 7. Un tel ordre laisse peu de marge de phase et rend d'autant plus compliqué la garantie de stabilité des filtres IIR. Le choix se porte donc sur les filtres RIF au vu de leur stabilité inconditionnelle. En effet, la fonction de transfert associée *H(z)*, qui est présentée ci-dessous, est un polynôme, nous avons donc seulement des zéros.

$$H(z) = \sum_{k=0}^{N} h(k) z^{-k} \tag{18}$$

N désigne l'ordre, ce qui signifie que le filtre comprend *N+1* coefficients. Nous pouvons avoir une très bonne idée de l'ordre du filtre à l'aide de la relation empirique suivante:

$$N = \frac{2}{3}\log 10\left(\frac{1}{10\delta_P\delta_S}\right)\frac{F_e}{\nu_a - \nu_p} \tag{19}$$

Si nous considérons un filtre passe bas, δ_P désigne l'atténuation maximale autorisée dans la bande passante, δ_S l'atténuation minimale voulue dans la bande atténuée, ν_a la fréquence à partir de laquelle siège l'atténuation minimale, ν_p la fréquence qui marque la limite de la bande passante non atténuée (à δ_P près) et F_e est la fréquence d'échantillonnage. Il est nécessaire, avant d'effectuer ce calcul que δ_P et δ_S soient sans dimension. La figure 38 ci-dessous illustre le gabarit général d'un filtre passe bas FIR qui délimite un exemple de réponse.

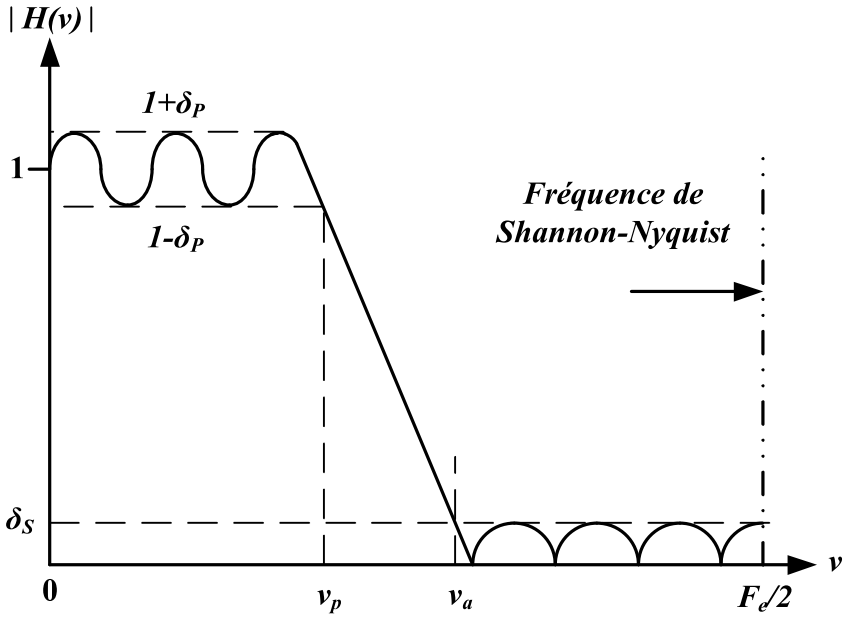


Fig.38. *Gabarit fréquentiel général d'un filtre passe bas numérique. Nous pouvons voir la fréquence de Shannon-Nyquist $F_e/2$.*

Bien que les filtres FIR nécessitent plus de ressource matérielle et que l'élaboration de la fonction de transfert reste moins évidente, la structure qui en résulte est assez simple à implémenter. Il y a différente manière de concevoir un filtre FIR, soit par troncature de la réponse impulsionnelle, soit par l'utilisation de fenêtre de pondération, soit par la méthode des moindres carrés ou bien en concevant un FIR à ondulation constante. Cette dernière est la méthode la plus efficace et elle sera utilisée pour concevoir les filtres FIR "CIC comp." et "Single rate filter". Elle fait appel à l'algorithme itératif *Parks-McClellan* [PAM72] lequel utilise à son tour l'algorithme de *Remez* [REM57] dans le but de générer un filtre d'un ordre le plus bas possible tout en respectant les contraintes δ_P, δ_S, v_p, v_a et en ayant une amplitude d'ondulation dans la bande passante constante et une distribution uniforme de l'atténuation dans la bande atténuée. A noter qu'il est également possible de spécifier l'ordre voulu, l'algorithme tentera alors de respecter au mieux les contraintes. Les filtres générés avec cette technique sont de type un ou deux.

II.2.2. Décimation

La décimation [CRO75]-[OPP10, pp. 209-213] est une technique de passage d'une fréquence d'échantillonnage f_{e1} d'un signal à une fréquence d'échantillonnage f_{e2} avec $f_{e2}<f_{e1}$. Elle est utilisée dans des systèmes multi-cadence, c'est-à-dire où certaines parties sont régies par des horloges différentes. A noter que le processus qui permet l'obtention de $f_{e2}>f_{e1}$ se nomme interpolation. La décimation s'appuie généralement sur un filtre passe bas et sur un

décimateur à proprement parler comme le montre la figure 39 ci-dessous. Le signal $x(nT_{e1})$ est initialement échantillonné à une fréquence f_{e1}. Avant de pouvoir l'échantillonner avec une période $T_{e2}=R.T_{e1}$ via le décimateur par R et ainsi obtenir $x(nT_{e2})$, il est nécessaire de le filtrer afin d'éviter tout repliement de spectre ou "aliasing". Autrement dit, il est nécessaire que la fréquence maximale du signal soit inférieure à $f_{e2}/2$. L'étage de décimation peut être réalisé avec une bascule D qui reçoit sur l'entrée "D" le signal $x(nT_{e1})$ et sur l'entrée "CLK" la nouvelle fréquence d'échantillonnage. Décimer par R signifie que l'on supprime $R-1$ échantillons d'une suite de R échantillons successifs appartenant à $x(nT_{e1})$. Quant au filtre passe bas, il peut être réalisé avec un filtre FIR.

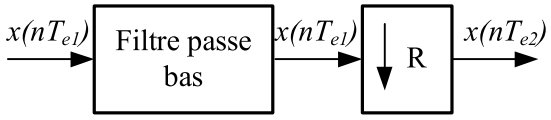


Fig.39. *Schéma de principe de l'implémentation de la décimation.*

II.2.3. Module de filtrage passe bas

Comme il a été dit précédemment, l'étude porte sur la chaîne de filtrage dont la fréquence de coupure à -3dB $f_{c\text{-}3dB}=175kHz$. En plus de moyenner le signal issu du comparateur de phase $E(nT)$, il est nécessaire que le signal résultant, $FCW_{FS}(nT_1)$ soit délivré à une fréquence de 1MHz à l'étage de gain et à l'étage "sélection bit". Ce module doit avoir une bande passante sans atténuation de 100kHz et présenter une atténuation de 70dB à la fréquence de 300kHz. L'ondulation dans la bande passante doit être au maximum de ±0,1 dB. Sachant que le système est cadencé à la fréquence $F_{clk}=150MHz$, il est alors nécessaire de recourir à la technique de décimation.

Ce module de filtrage qui est représenté sur la figure 40 est donc constitué de trois filtres dont deux sont utilisés pour la décimation ainsi que pour le "pré-filtrage" du signal $E(nT)$; il s'agit du filtre CIC ("Cascade in Comb") et du filtre "CIC compensation". Quant au dernier, nommé "Single rate filter", il apporte un filtrage supplémentaire afin d'atteindre les spécifications mentionnées.

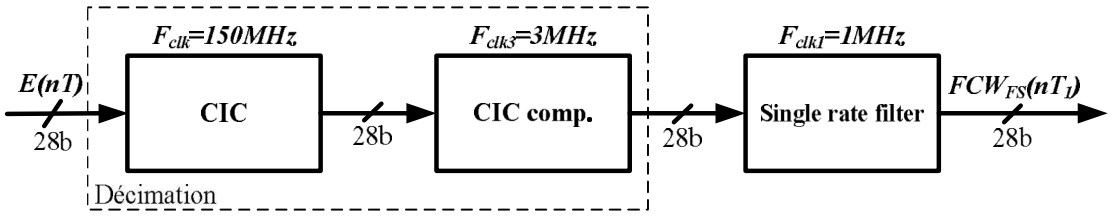


Fig.40. *Module de filtrage passe bas dont $f_{c\text{-}3dB}=175kHz$ constitué d'un étage de décimation suivi d'un filtre passe bas.*

La décimation s'effectue en deux temps car il est préférable d'utiliser le filtre CIC avec un filtre de compensation. Le filtre CIC décimera par un facteur cinquante et le filtre de compensation par un facteur trois. Cela permet de relâcher les contraintes sur ce dernier (filtre d'ordre peu élevé) et réduira les ressources nécessaires ainsi que la latence intrinsèque aux filtres FIR. L'élaboration de la réponse en fréquence de ces filtres ainsi que leur description en VHDL a été effectuée à l'aide de Matlab®. Nous allons commencer par décrire le filtre CIC, avant de poursuivre par le filtre "*CIC compensation*" et enfin le filtre "*Single rate filter*".

II.2.3.1. Filtre CIC

II.2.3.1.a. Rappel

Le filtre CIC, "Cascade Integrator Comb" en anglais, a été créé par Eugene B. Hogenauer [HOG81] en 1981. Il s'agit d'un filtre passe bas de type FIR utilisé pour effectuer de la décimation ou de l'interpolation d'un facteur entier tout en minimisant, respectivement, les effets de repliement de spectre et de signaux images. Le filtre CIC a été nommé ainsi de part sa composition structurelle. En effet, il est constitué d'une section de N étages basés sur des intégrateurs fonctionnant à haute fréquence et d'une section de N étages s'appuyant sur des cellules de types "comb" (peigne) cadencées à basse fréquence. Ces cellules sont désignées par le terme "comb" en raison de la réponse fréquentielle de chaque étage qui produit des impulsions régulièrement espacées. Ce filtre utilise seulement des additionneurs et des registres. Aucun stockage des coefficients n'est nécessaire car ils sont unitaires. Ainsi, il requiert peu de ressources et permet de fonctionner à haute fréquence. Le filtre CIC est généralement suivi par un filtre de compensation afin de compenser l'atténuation qu'il provoque dans la bande passante. Pour être utilisé en tant que décimateur, la section "intégrateur" sera placée avant la section "comb". Ce sera le contraire dans le cas d'un interpolateur. La figure 41 illustre l'architecture d'un filtre CIC telle qu'il est utilisé dans le module de filtrage, c'est-à-dire comme décimateur.

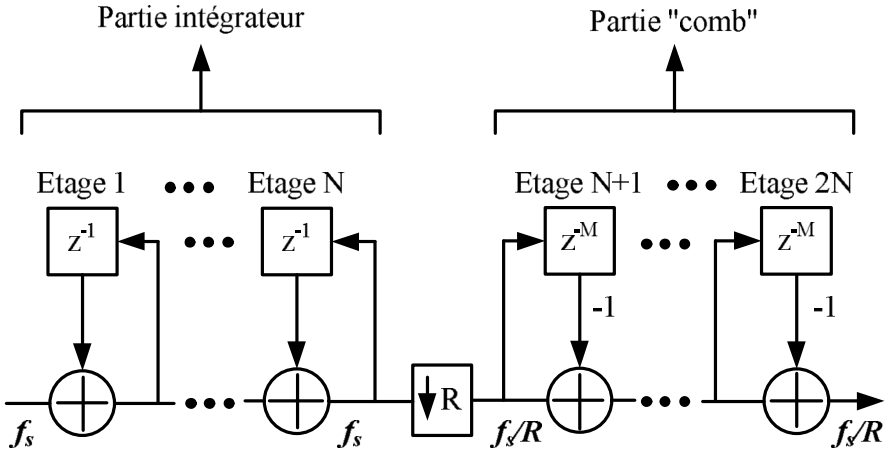


Fig.41. *Architecture du filtre CIC composé d'un filtre IIR, d'un étage de décimation et d'un filtre FIR.*

Les intégrateurs sont cadencés à la fréquence f_s. Ils sont réalisés avec un filtre IIR à un pôle et à gain unitaire (dans la chaîne de retour). La fonction de transfert associée est la suivante :

$$H_I(z) = \frac{1}{1 - z^{-1}} \tag{20}$$

Il y a entre ces deux parties, l'étage de décimation à proprement parler qui permet de passer de la fréquence d'échantillonnage f_s à f_s/R. La partie "comb" fonctionne donc à la fréquence d'échantillonnage f_s/R. Chaque étage comprend un bloc de délais nommé délais différentiel de valeur M qui est égal à un ou deux en pratique. La fonction de transfert associée à un étage "comb" et référencée par rapport à f_s (ou fréquence initiale) est la suivante :

$$H_C(z) = 1 - z^{-RM} \tag{21}$$

Au final, en utilisant la première identité noble nous obtenons la fonction de transfert globale du système tenant compte des N étages intégrateurs et "comb", référencés par rapport à f_s :

$$H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N \tag{22}$$

Si nous observons la relation (22) et plus particulièrement le membre situé à l'extrême droite, nous pouvons affirmer que le filtre CIC est équivalent à une mise en cascade de filtre FIR et que c'est par conséquent un filtre FIR.

La conception d'un filtre CIC repose sur les trois paramètres suivants qui déterminent entièrement sa réponse en fréquence : *R*, *M* et *N*. La figure 42 met en avant l'amplitude de la réponse en fréquence d'un filtre CIC dont la fonction de transfert associée, pour de larges facteurs de décimation (ce qui est notre cas), est donnée par la relation (23).

$$H(f) = \left[RM \frac{\sin(\pi M f)}{\pi M f} \right]^N \tag{23}$$

Avec

$$\frac{1}{M} \geq f \geq 0 \tag{24}$$

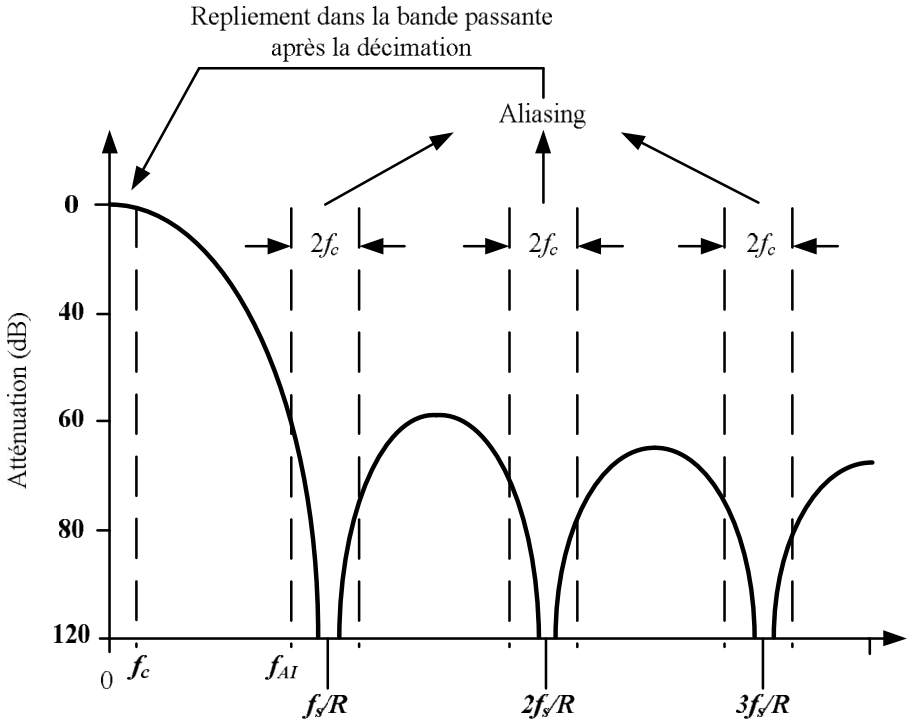


Fig.42. *Exemple de réponse en fréquence d'un filtre CIC. La courbe suit une évolution en sinus cardinal.*

f_c désigne le rapport entre la bande passante voulue et la nouvelle fréquence d'échantillonnage f_s/R. $f_{AI}=f_s/R-f_c$ est la fréquence qui définit la limite haute de l'amplitude des fréquences images/repliées. L'expression de f_{AI} est vraie tant que nous respectons :

$$f_c \leq \frac{1}{2M} \tag{25}$$

Enfin, nous pouvons constater que les zéros sont présents à f_s/R et ses multiples. L'opération de décimation génère un repliement de spectre dans le bande utile $[0, f_c]$ de largeur f_c et situé de part et d'autre de f_s/R et de ses multiples. Ce repliement survient après l'opération de décimation. A notre connaissance il n'existe pas, à ce jour, de documents, livres ou publications qui expliquent analytiquement ce repliement de spectre. La construction du filtre CIC doit donc permettre de décimer tout en rendant négligeable l'influence de ce repliement de spectre dans la bande du signal utile.

Pour ce faire, il suffit de fixer le facteur de décimation R ainsi que la bande passante voulue du signal utile (non atténué). Par la suite, on détermine f_c. En s'aidant des tableaux I et II présent dans [HOG81], de la valeur de f_c, de l'atténuation maximale voulue dans la bande passante ainsi que de l'atténuation minimale à f_{AI}, on obtient le nombre d'étage N et le nombre de délai M. En pratique, M est pris égal à un ou deux. Généralement, le nombre de bit croit d'étage en étage et atteint une valeur très élevée, ce qui ne rend pas pratique l'implémentation du filtre (consommation de ressources, difficulté de routage dans le cas d'un FPGA, etc..). De ce fait, il est nécessaire de réduire (tronquer) le nombre de bit en sortie de chaque étage selon la relation (21) [HOG81].

II.2.3.1.b. Conception du filtre CIC du module de filtrage

Il est d'abord nécessaire de définir le paramètre f_c. Pour ce faire, il faut diviser la largeur de la bande passante du signal utile non atténué (100kHz) par la nouvelle fréquence d'échantillonnage (3MHz). Nous obtenons alors $f_c=1/30$. Puisque le facteur de décimation est de cinquante (150MHz à 3MHz), celui-ci est alors considéré comme suffisamment élevé pour pouvoir utiliser les tableaux 1 et 2 de [HOG81], et ce afin d'élaborer le filtre CIC. Nous avons par la suite choisi $f_c=1/32$ car c'est la valeur la plus proche de celle calculée et nous avons fixé le délai différentiel M comme égal à un et le nombre d'étage N comme égal à cinq dans le but de minimiser l'atténuation dans la bande passante (située entre 0,07dB et 0,28dB) tout en ayant une atténuation à f_{AI} de 149,2dB. Dans le but de vérifier la réponse en fréquence engendrée par ces valeurs, nous utilisons sous Matlab la fonction *"mfilt.cicdecim"* à laquelle nous passons en paramètre les variables N, M et R. Nous obtenons en pratique une atténuation de 0,08dB dans la bande passante et une atténuation de 150dB à f_{AI}. La réponse fréquentielle ainsi obtenue est montrée sur la figure 43.

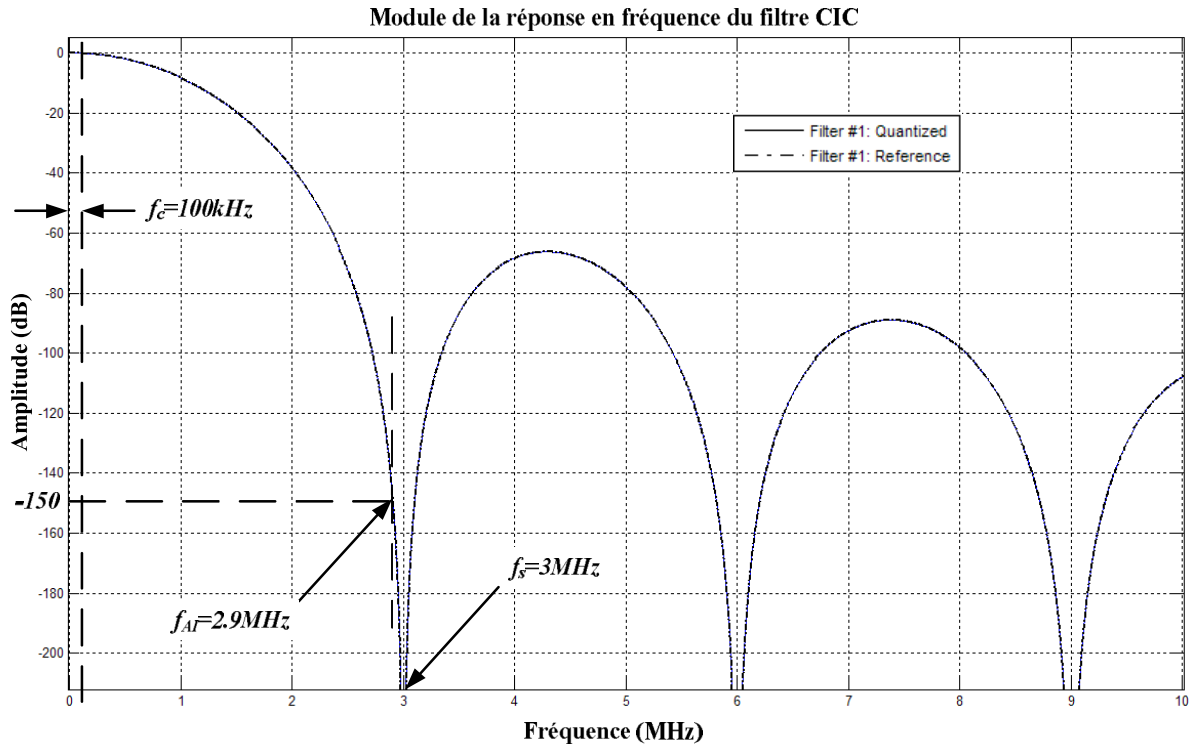


Fig.43. *Réponse en fréquence du filtre CIC. On peut observer la position des zéros à la nouvelle fréquence d'échantillonnage F_{clk3}=3MHz ainsi qu'à ses multiples et l'atténuation de 150dB à f_{AI}.*

Afin de garder toute la précision du signal *E(nT)* en entrée du filtre CIC, nous avons décidé de fixer le bus d'entrée sur 28 bits signés. Comme dit précédemment, il est important de gérer la croissance des bits codant *E(nT)* étage par étage afin d'éviter tout débordement de mémoire et de garder un nombre de bit suffisant pour minimiser l'erreur de quantification. Cette étape est gérée par Matlab dès lors que nous spécifions la taille du bus de sortie. Cette dernière est prise égale à 28 bit signés. Cette taille sera la même pour les deux autres filtres situés en aval. Cela permet d'être sur la même échelle d'amplitude en entrée et en sortie tout en gardant une précision suffisante qui permet à l'ADPLL de pouvoir détecter des variations de 100mHz. L'erreur de quantification est négligeable en ce qui nous concerne. En effet, on peut voir sur la réponse en fréquence mise en avant sur la figure 43 que le signal de référence et le signal tronqué en sortie du filtre sont quasiment identiques. Si nous effectuons un zoom dans la bande passante du signal utile (*cf.* figure 44) nous observons une atténuation de *0,08dB*.

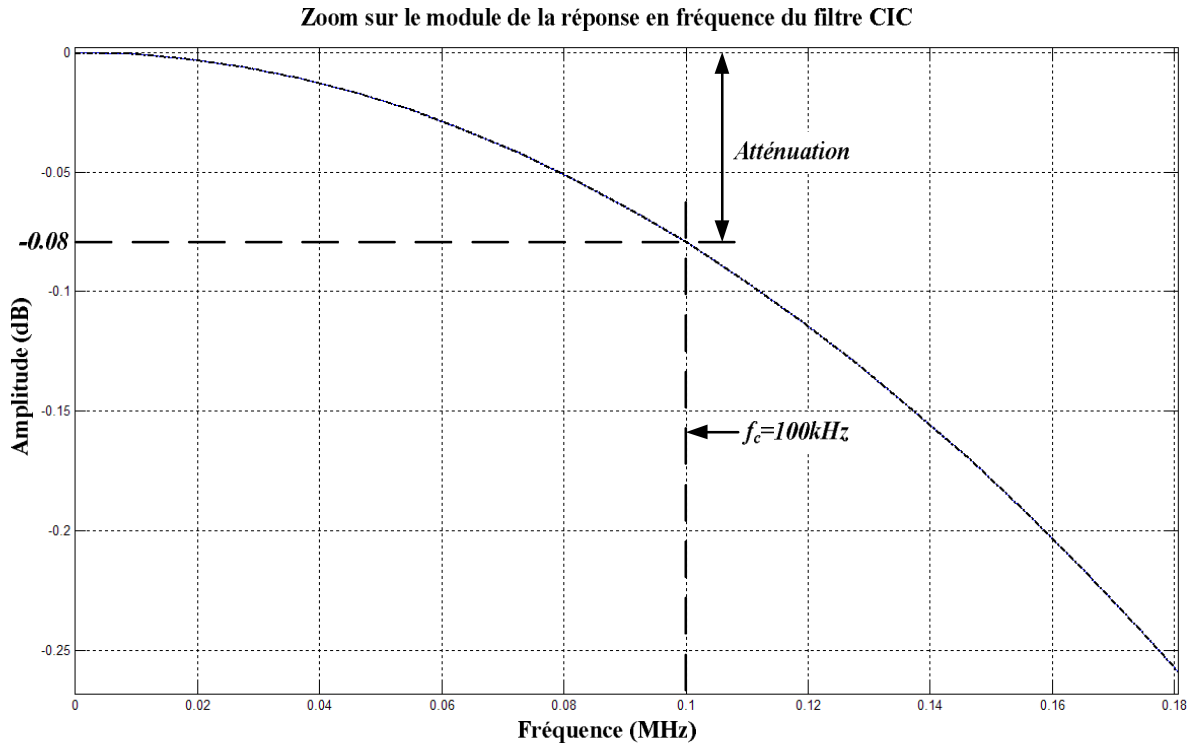


Fig.44. *Zoom dans la bande [0,f_c] où l'on observe une atténuation du signal de 0.08dB à fc=100kHz.*

Celle ci est due à la réponse en sinus cardinal (voir relation (23)) du filtre CIC. Afin de la compenser nous utilisons un filtre de compensation qui est ici nommé "*CIC comp.*".

II.2.3.2. Filtre de compensation

Le filtre de compensation est utilisé pour compenser la chute présente dans la bande passante utile [0, 100kHz] causée par le filtre CIC. Le module de la fonction de transfert associée au filtre de compensation est l'inverse du module de la fonction de transfert *H(f)* du filtre CIC (voir relation (23)) soit :

$$H(f)^{-1} = \left[\frac{\pi M f}{RM \sin(\pi M f)} \right]^{N} \qquad (26)$$

Le filtre de compensation est également appelé filtre *"sinus cardinal inversé"*. Celui-ci doit, en plus de compenser la chute dans la bande passante, décimer par un facteur trois pour que le "*Single rate filter*" soit cadencé à 1MHz. Qui plus est, dans le but d'éviter tout repliement de spectre lors du filtrage effectué par le "*Single rate filter*", le filtre de compensation doit atténuer le signal d'une valeur au moins égale à 60dB à 500kHz afin de respecter le critère de Shannon-Nyquist. Pour ce faire, nous avons utilisé la fonction "*fdesign.decimator*" sous Matlab qui permet d'élaborer le filtre de compensation en tenant compte du délai différentiel

M du filtre CIC ainsi que du nombre d'étages *N* dans le but d'optimiser la réponse de ce filtre en fonction de la réponse du filtre CIC. L'ondulation dans la bande [0, 100kHz] est également spécifié et est prise égale à 0,1dB afin de compenser les 0,08dB de chute engendrée par le filtre CIC. Dans le but de minimiser le nombre de coefficient du filtre et par conséquent son ordre tout en obtenant la réponse fréquentielle adéquate, l'algorithme utilisé est également celui de *Parks-McClellan*. Ainsi, nous obtenons un filtre de *type deux* et d'ordre 29. Le nombre de bit en entrée et sortie a été fixé à 28 et la gestion de l'accroissement du nombre de bit ainsi que la gestion de débordement de mémoire sont gérés par Matlab. Le nombre de bit utilisé pour encoder les coefficients est de 16. Cette valeur permet d'obtenir une réponse assez proche de la réponse idéale tout en nécessitant un nombre peu élevé de ressource matérielle. Ci-dessous, la figure 45 décrit le module de la réponse en fréquence du filtre de compensation. Nous pouvons voir en trait pointillé la réponse fréquentielle que nous devons obtenir et en trait continu la réponse fréquentielle après quantification. Les réponses diffèrent à partir des deux derniers lobes où l'on observe un écart de 6dB et un écart maximal de 9dB pour le dernier. Bien qu'assez élevé, ces erreurs de quantification se situent en dessous de -90dB et sont donc sans conséquence. Enfin, nous voyons que nous obtenons bien une atténuation d'au moins 60dB à 500kHz, celle-ci est en effet de -63dB.

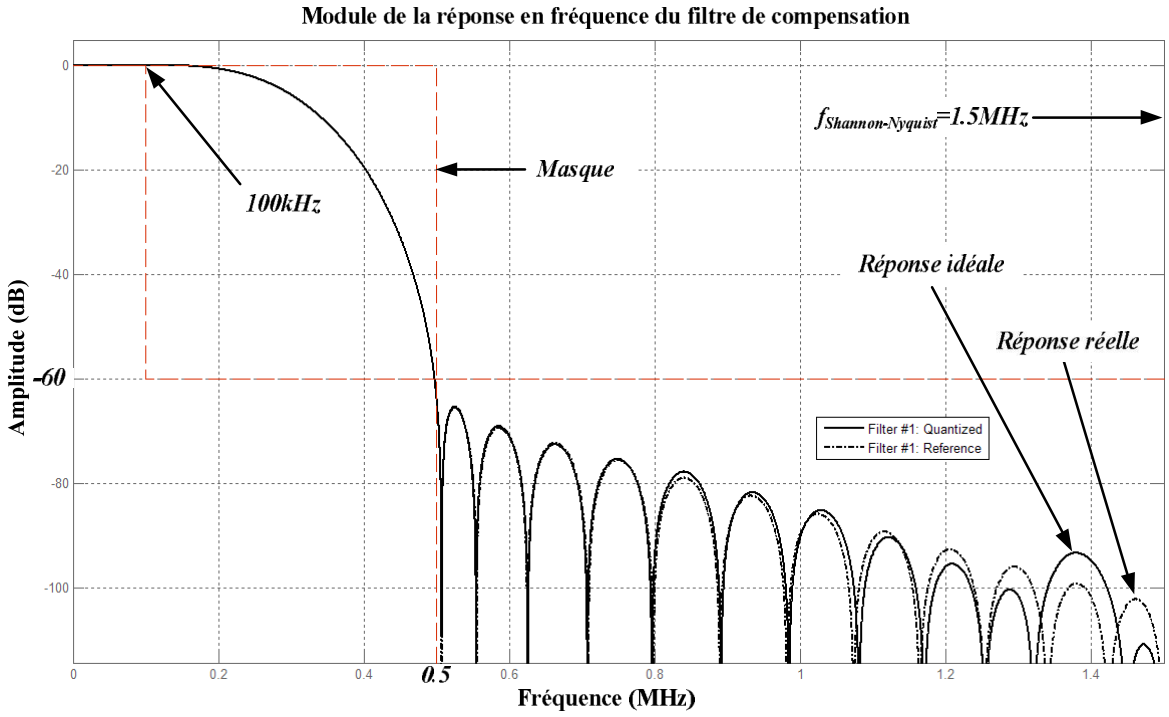


Fig.45. *Module de la réponse en fréquence du filtre de compensation. L'atténuation doit être d'au minimum 60dB à 500kHz pour éviter le repliement de spectre du signal traité par le filtre "Single rate filter".*

La figure 46 ci-dessous met en avant l'ondulation dans la bande passante destinée à compenser la chute de gain causée par le filtre CIC. Sur la figure 47 nous pouvons voir le module de la réponse en fréquence issu de la mise en cascade de ces deux filtres et observer une ondulation presque négligeable (4mdB) dans la bande [0, 100kHz].

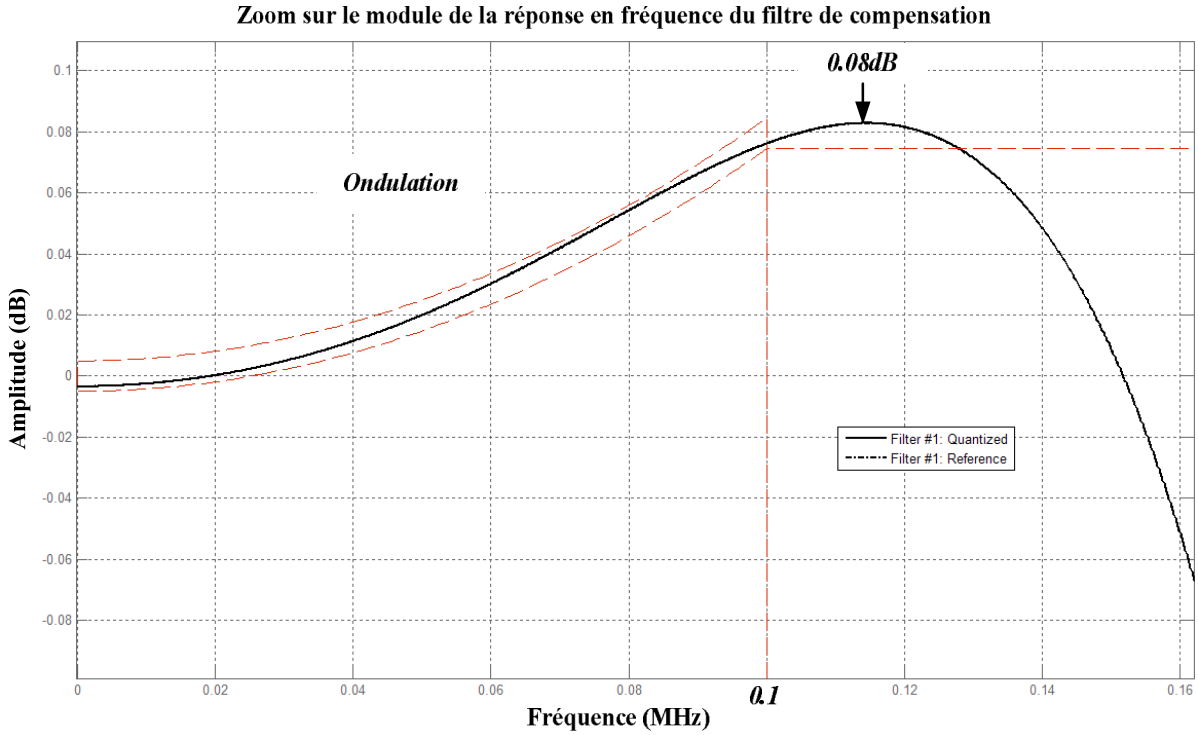


Fig.46. *Ondulation dans la bande passante dont la valeur maximale est 0,08dB.*

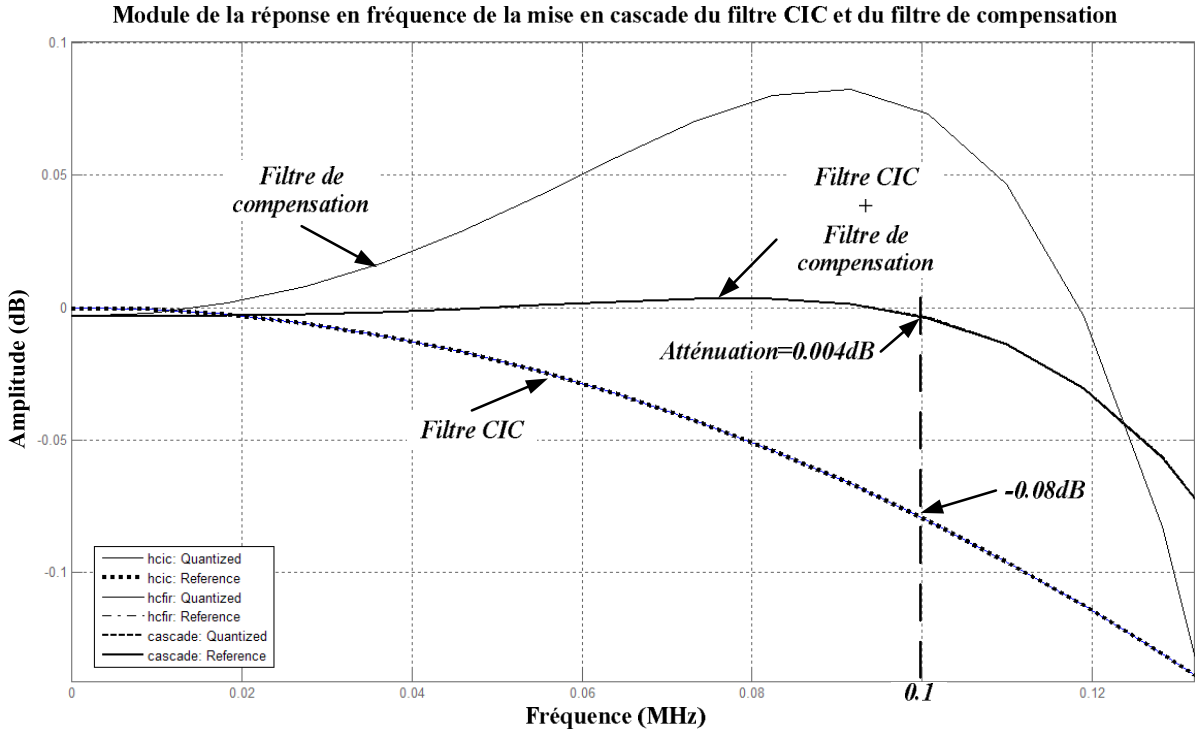


Fig.47. *Mise en cascade du filtre CIC et du filtre de compensation. L'atténuation dans la bande [0,100kHz] est presque négligeable.*

Enfin, la figure 48 met en avant le module de la réponse en fréquence issu de la mise en cascade du filtre CIC avec le filtre de compensation. Nous pouvons voir que nous obtenons bien une atténuation au moins égale à 60dB (70dB en l'occurrence) à la fréquence de *Shannon-Nyquist* relative au filtre "Single rate filter".

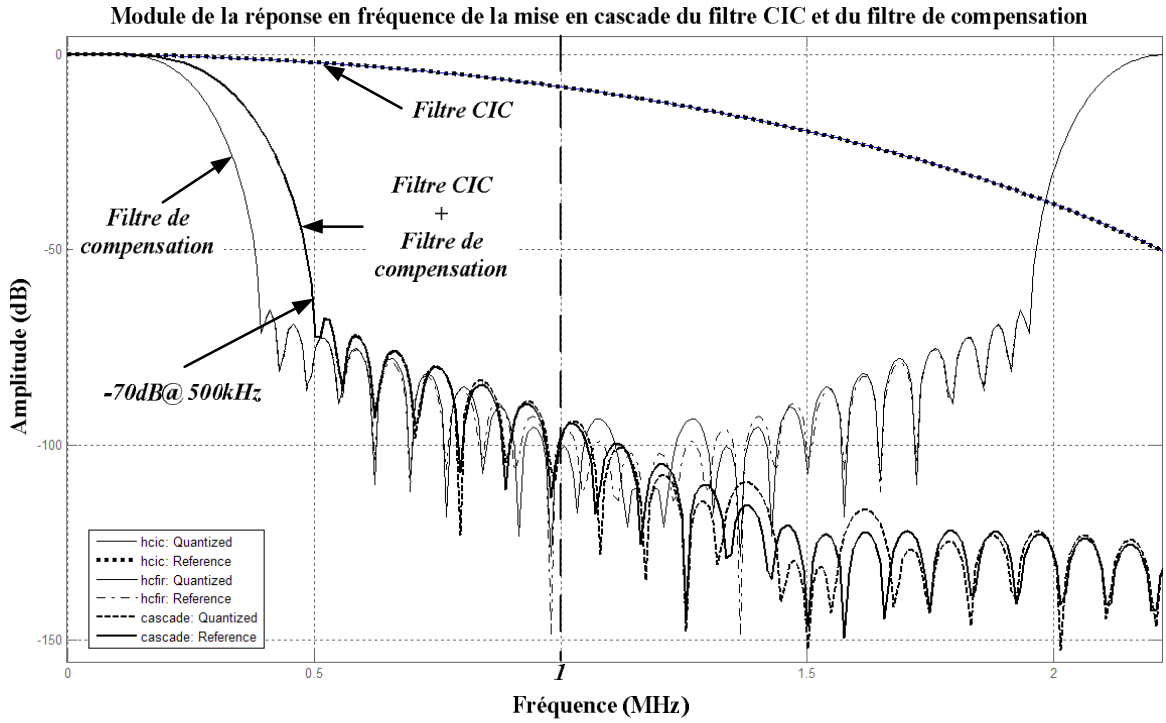


Fig.48. *Module de la réponse en fréquence issu de la mise en cascade du filtre CIC et du filtre de compensation.*

II.2.3.3. Single rate filter

Afin d'obtenir une atténuation de 70dB à la fréquence de 300kHz tout en délivrant les données à l'étage de gain et à l'étage de "sélection de bit" à une cadence de 1MHz nous avons utilisé un filtre passe bas "standard", non décimateur. Ce filtre a été élaboré pour présenter une atténuation de 60dB au minimum à 300kHz et une ondulation dans la bande passante telle que l'ondulation résultante de la mise en cascade des trois filtres soit au maximum de ±0,1dB. L'ordre a été fixé à 20 et ce pour garder une latence raisonnable tout en atteignant les contraintes établies plus haut. La fonction utilisée pour concevoir ce filtre est "*fdesign.lowpass*" et l'algorithme utilisé est celui de *Parks-McClellan* [PAM72]. Le nombre de bit en entrée et sortie est fixé à 28 et la gestion de débordement mémoire et de quantification est là aussi gérée par Matlab. A la différence du filtre de compensation, il est nécessaire pour celui-ci de spécifier à Matlab comment gérer le débordement mémoire en spécifiant que le champ *"OverflowMode"* de la fonction *"fdesign.lowpass*" est configuré en mode *"Saturate"*. Nous avons également fixé le nombre de bit pour encoder les coefficients à 16, ce qui permet d'avoir une bonne précision tout en minimisant les ressources nécessaires pour implémenter le filtre. La figure 49 présente le module de la réponse en fréquence de ce filtre. On note que la quantification n'apporte pas d'erreur significative, les deux signaux étant quasiment confondus. L'atténuation à la fréquence de 300kHz respecte le gabarit puisqu'elle est de -67dB.

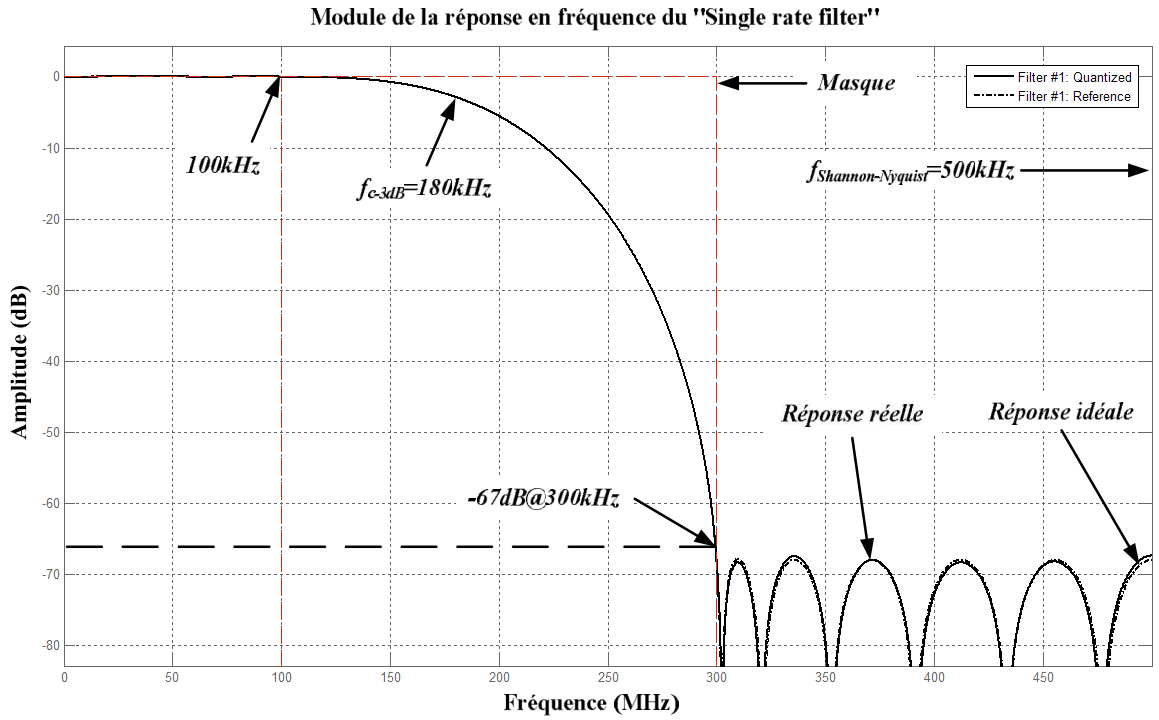


Fig.49. *Module de la réponse en fréquence du filtre passe bas "single rate".*

La figure 50 met en avant l'ondulation présente dans la bande passante. Celle-ci est suffisamment faible pour ne pas contribuer significativement à l'ondulation totale.

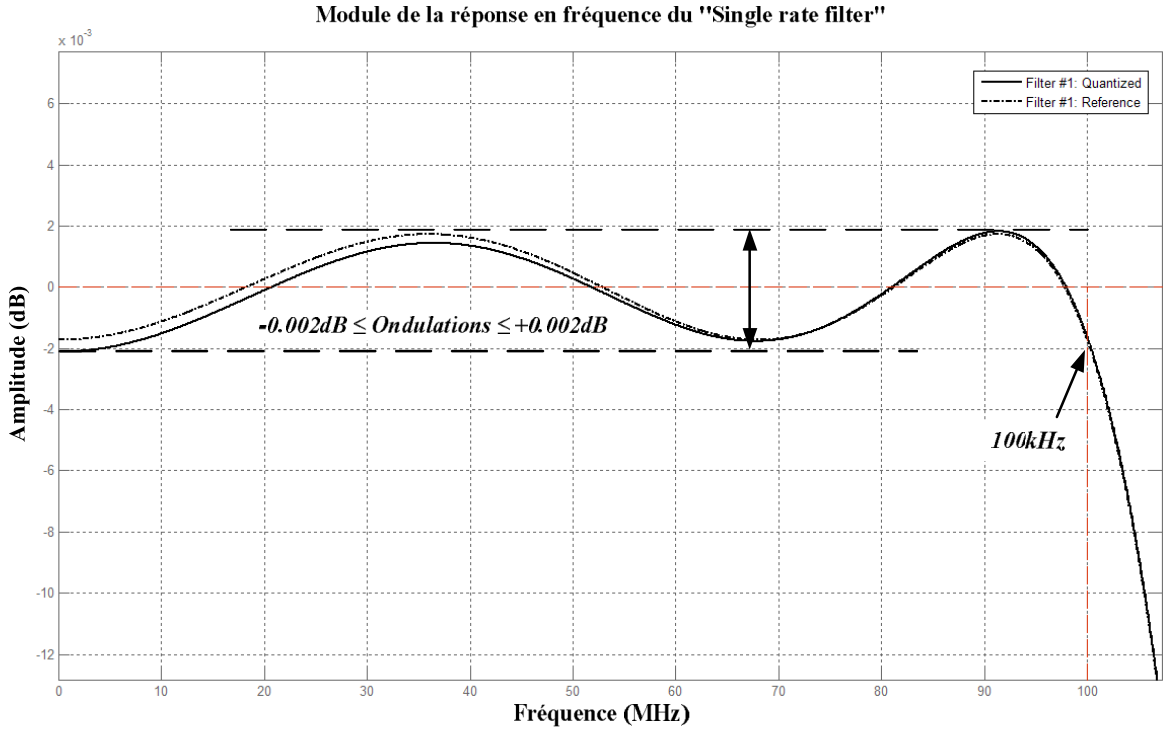


Fig.50. *Mise en avant de l'ondulation dans la bande [0,100kHz] du "single rate filter".*

II.2.3.4. Mise en cascade des trois étages

Nous pouvons maintenant observer la réponse globale de la chaîne de filtrage via les figures ci-dessous. La figure 51 présente une vue "globale" du module de la réponse en fréquence de la chaîne de filtrage. Celle-ci est référencée à F_{clk} car c'est la fréquence initiale de la chaîne de filtrage. Nous pouvons remarquer que la réponse a une "enveloppe" qui a pour origine la réponse du filtre CIC à laquelle se superpose la réponse du filtre de compensation. Les figures 52 et 53 montrent que nous obtenons bien une atténuation d'au moins 70dB à la fréquence de 300kHz avec une ondulation dans la bande passante (figure 54) comprise entre -6mdB et +4mdB ce qui est inférieure à l'ondulation maximale tolérée.

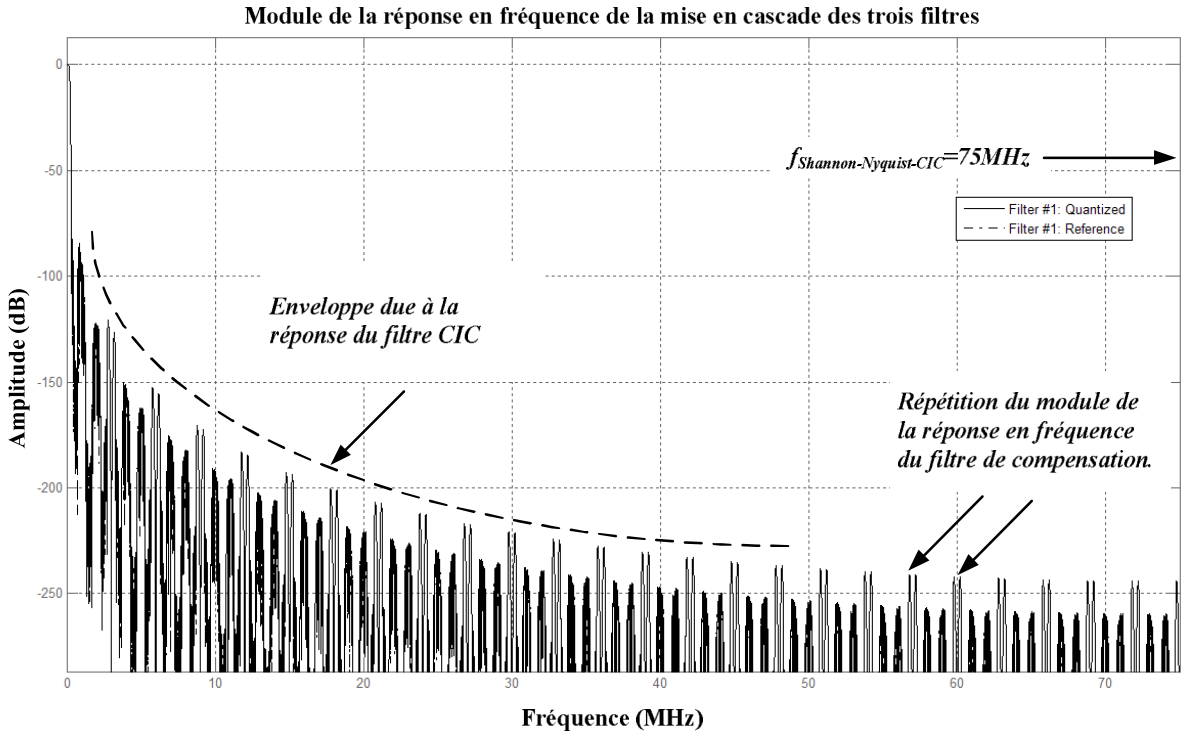


Fig.51. *Vue "globale" du module de la réponse en fréquence de la chaîne de filtrage.*

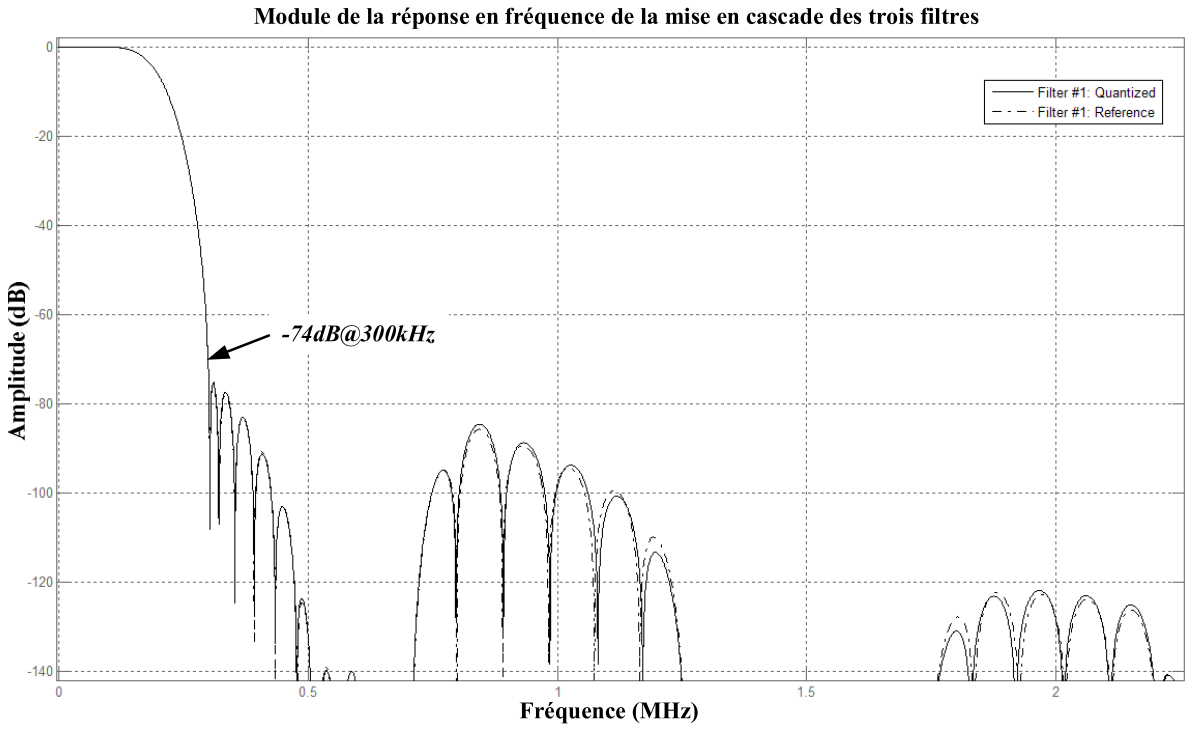


Fig.52.*Zoom effectué dans la bande [0,2.5MHz].*

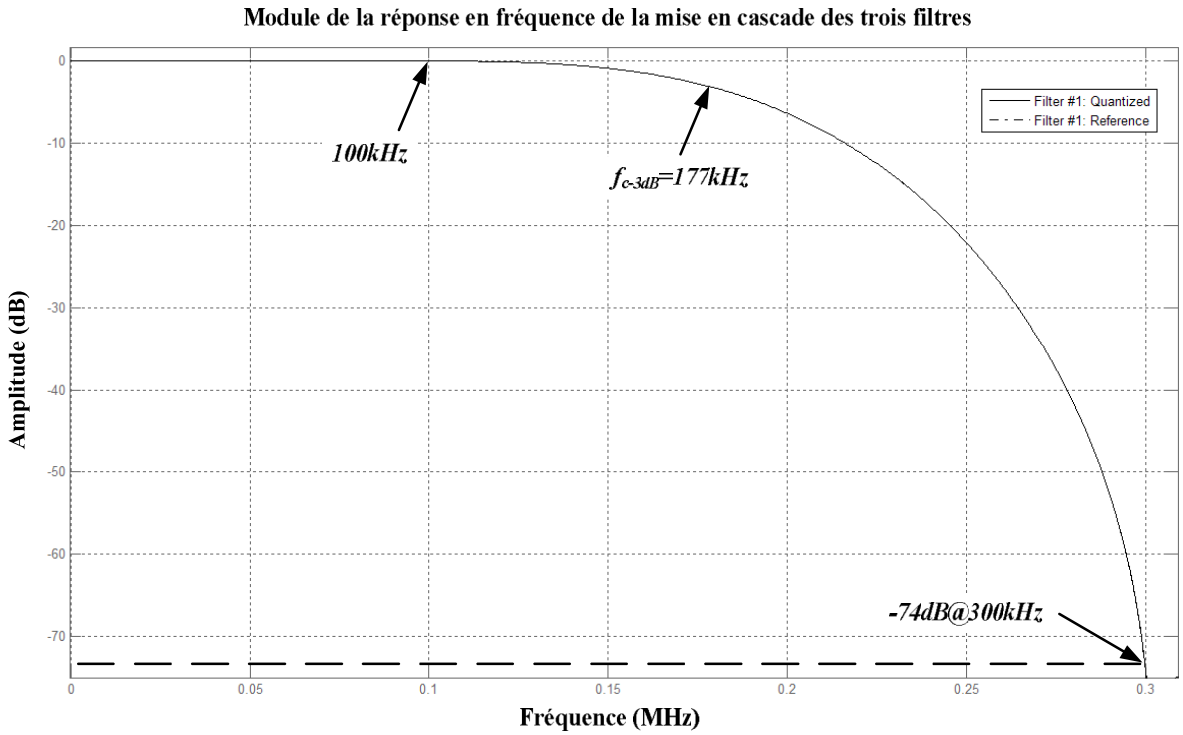


Fig.53. *Zoom effectué dans la bande [0,300kHz] où nous observons une atténuation de 74dB à 300kHz, ce qui répond à notre attente.*

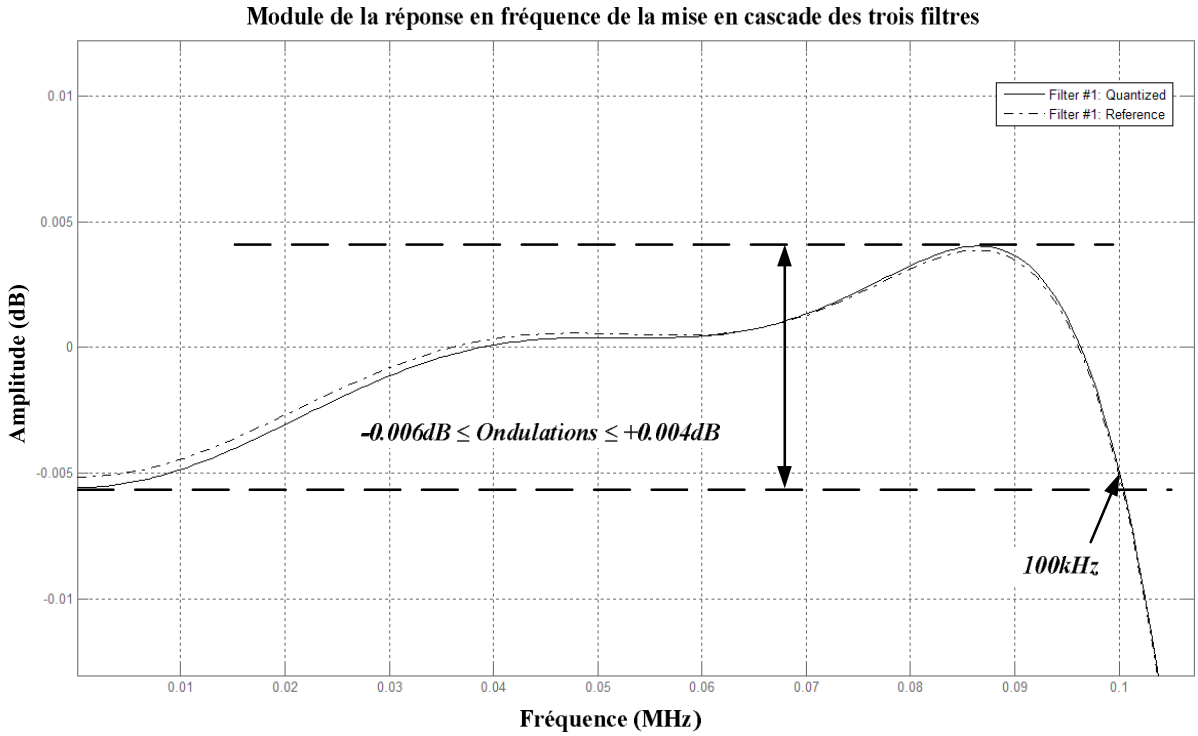


Fig.54. *Mise en avant de l'ondulation dans la bande [0,100kHz] qui est suffisamment faible pour être considérée comme négligeable.*

II.2.3.5. Génération du VHDL

Une fois que les paramètres des différents filtres ont été déterminés, nous devons générer le code VHDL correspondant à la chaîne de filtrage via l'utilisation de la commande *generatehdl()*. Nous avons là aussi choisi d'utiliser Matlab pour la génération du code VHDL et ce, pour deux raisons. Premièrement, cela représente un gain de temps et le code généré est suffisamment optimisé pour ne pas entrainer une surconsommation de ressource.

Deuxièmement, quand nous élaborons une chaîne de filtrage comme celle-ci, il est primordial que tous les éléments, à savoir le filtre CIC, le filtre de compensation et le *"single rate filter"* aient un seul et unique signal d'horloge comme base de temps. Celui-ci sera, bien entendu, divisé pour cadencer les différents étages à la fréquence voulue (F_{clk}=*150MHz*, F_{clk3}=*3MHz*, F_{clk1}=*1MHz*), mais il est nécessaire qu'il y ait une seule et même horloge à l'origine afin que tous les signaux soient synchronisés. Matlab présente l'avantage de gérer cet impératif. Ainsi, en utilisant la commande "*cascade(nom*$_1$*,nom*$_2$*,nom*$_3$*);*" où *nom*$_1$, *nom*$_2$, *nom*$_3$ spécifient respectivement le filtre CIC, le filtre de compensation et le filtre "Single rate filter", Matlab crée un réseau d'horloge adapté comme le montre la figure 55.

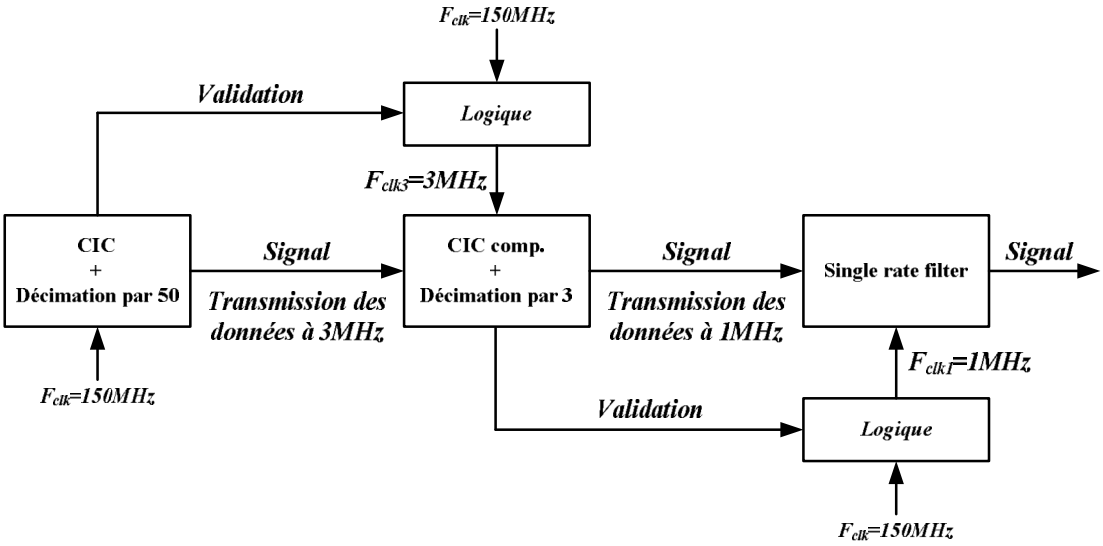


Fig.55. *Distribution d'horloge sur l'ensemble de la chaîne de filtrage.*

Le filtre CIC est initialement cadencé à F_{clk} et fournit les échantillons du signal à une fréquence de 3MHz. Pour que le filtre de compensation soit cadencé à 3MHz, Matlab ajoute une logique (composée de compteur) qui à chaque fois qu'elle reçoit le signal *validation* (tous les 50 cycles) transmet le signal d'horloge F_{clk}. Un tel processus implique que les filtres fonctionnent sur front d'horloge et non sur un niveau. Ce même principe est répété pour cadencer le "Single rate filter".

II.2.3.6. Tableau récapitulatif

Les tableaux ci-dessous résument les caractéristiques principales du filtre de boucle de l'ADPLL. Le tableau 2 met l'accent sur les modules de filtrage en présentant pour chacun d'entre eux, la fréquence de coupure à -3dB, l'ondulation dans la bande utile et l'atténuation dans la bande à atténuer.

	Module 1	**Module 2**	**Module 3**
$f_{c\text{-}3dB}$ **(kHz)**	177	95	16
Ondulation (dBm)	Min : -6 Max : 4 [0,100kHz]	Min : -25 Max : 45 [0,10kHz]	Min : -45 Max : 55 [0,1kHz]
Atténuation (dB)	-74 @ 300kHz	-85 @ 300kHz	-60 @ 50kHz

Tab.2. *Récapitulatif des caractéristiques principales de chaque module de filtrage.*

Le tableau 3 présente les caractéristiques principales du filtre CIC, du filtre de compensation et du filtre "Single rate filter" qui constituent le module de filtrage 1. Il en est de même pour les tableaux 4 et 5 excepté qu'ils portent respectivement sur les modules de filtrage 2 et 3.

Module 1

	N	**R**	**M**	$f_{c\text{-}3dB}$ **(kHz)**	**Atténuation (dB)**	**Mult.***	**Add.****	**Ordre**
CIC	5	50	1	-	-150 @ 2.9MHz	1	10	-
CIC comp.	5	-	1	268	-60 @ 500kHz	30	29	29
Single rate filter	-	-	-	180	-67 @ 300kHz	21	20	20

Tab.3.*Caractéristiques principales des filtres constituant le module 1.*

***Multiplieur,**

**** Additionneur.**

Module 2

	N	**R**	**M**	$f_{c\text{-}3dB}$ **(kHz)**	**Atténuation (dB)**	**Mult.***	**Add.****	**Ordre**
CIC	6	50	1	-	-180 @ 2.99MHz	1	12	-
CIC comp.	6	-	1	110	-60 @ 300kHz	37	36	36
Single rate filter	-	-	-	155	-30 @ 300kHz	11	10	10

Tab.4.*Caractéristiques principales des filtres constituant le module 2.*

***Multiplieur,**

**** Additionneur.**

Module 3

	N	R	M	$f_{c\text{-}3dB}$ (kHz)	Atténuation (dB)	Mult.*	Add.**	Ordre
CIC	6	50	1	-	-200 @ 3MHz-1kHz	1	12	-
CIC comp.	6	-	1	105	-60 @ 300kHz	37	36	36
Single rate filter	-	-	-	17	-58 @ 50kHz	61	60	60

Tab.5.*Caractéristiques principales des filtres constituant le module 3.*

***Multiplieur,**

**** Additionneur.**

Les filtres CIC et les filtres de compensation des modules de filtrage 2 et 3 sont identiques. Nous avons fait le choix de les dupliquer dans le but de faciliter la mise en place du réseau d'horloge nécessaire au fonctionnement de chaque filtre.

II.3. Etage de gain programmable

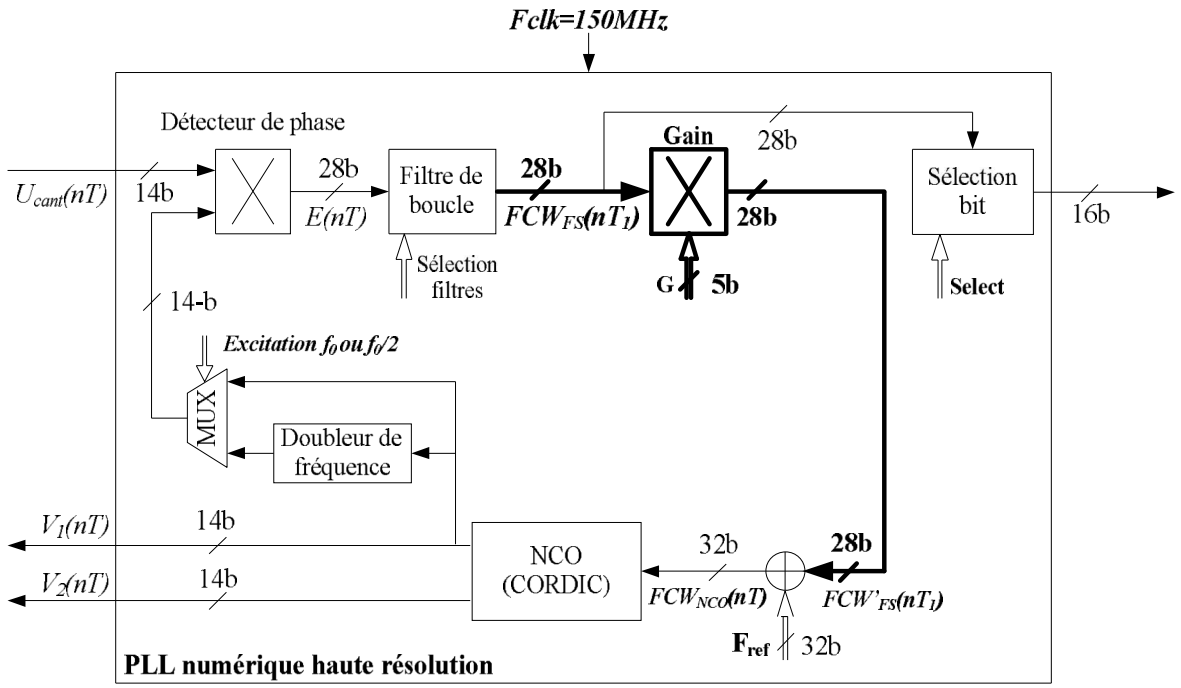


Fig.56. *Vue schématique du module 1 en ne considérant que l'étage de gain.*

L'utilisateur, via l'entrée programmable *G* encodée sur cinq bits non signés, peut changer le gain de l'ADPLL (*cf.* figure 56) pour adapter son temps de réponse et sa plage de verrouillage à la vitesse de balayage et aux différentes fréquences de résonance des cantilevers utilisés. L'amplitude du signal $\boldsymbol{FCW_{FS}(nT_1)}$ issu du filtre est ainsi multipliée par une valeur comprise entre $1 \leq G \leq 2^{-27}$. Pour ce faire, nous avons utilisé une structure dont le principe de fonctionnement est illustré sur la figure 57 ci-dessous.

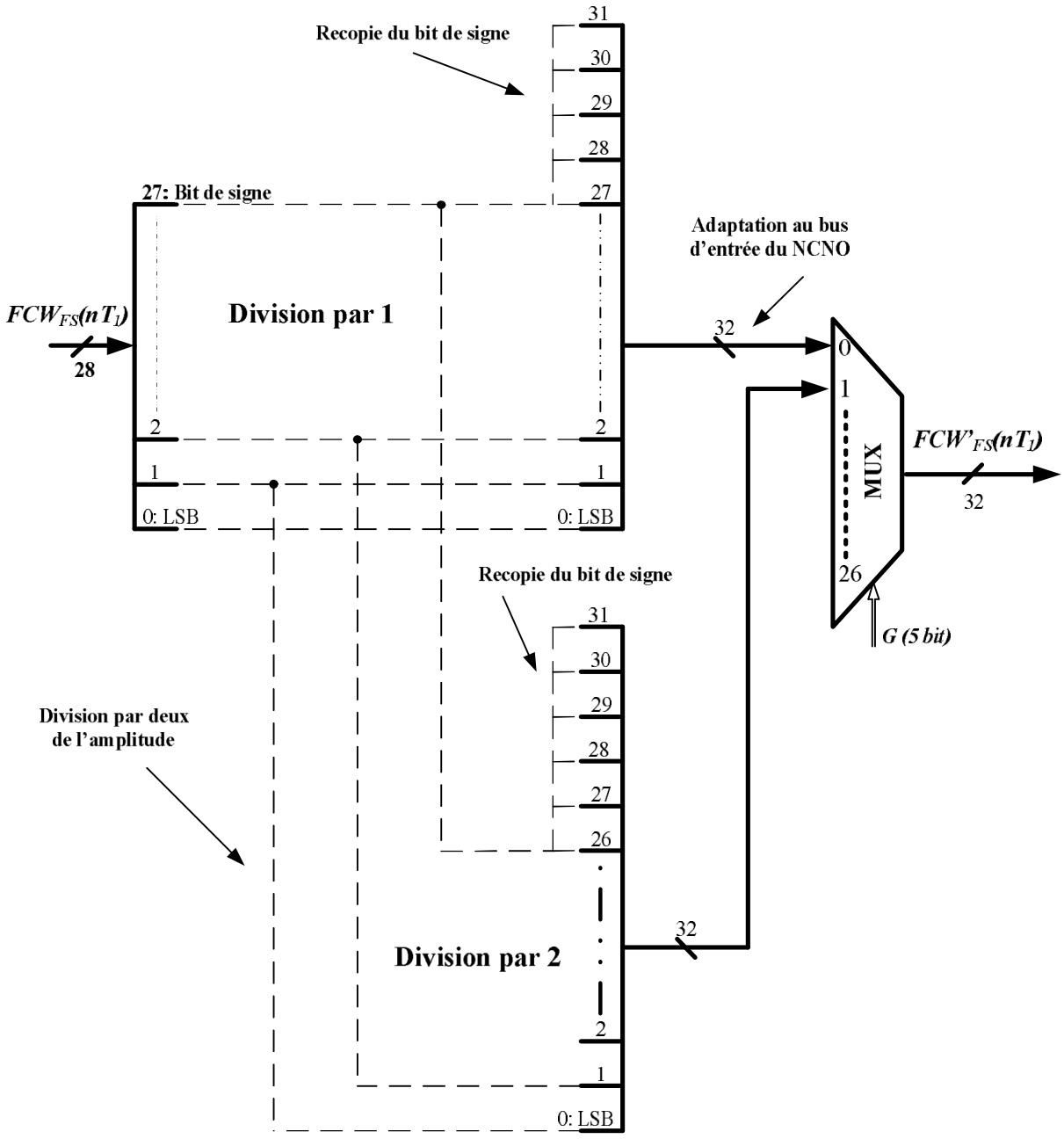


Fig.57. *Vue structurelle de l'étage de gain. Les différentes valeurs de gain sont obtenues par décalage de bit du bus d'entrée et adaptées sur un bus de 32 bits pour pouvoir être fournies au NCNO.*

Le signal en sortie de l'étage du filtre $FCW_{FS}(nT_1)$ encodé sur 28 bit signés est connecté à 27 bus de 32 bit signés, eux même reliés à un multiplexeur "MUX". L'objectif est de procéder à un décalage de bit pour implémenter la multiplication, ce qui revient en fin de compte à diviser par une puissance de deux l'amplitude de ce signal. En procédant ainsi, on évite l'emploi de multiplieur ou bien de diviseur alors très couteux en ressource matérielle et qui compliquerait l'élaboration de ce bloc. Sur la figure 57 les deux premières interconnexions sont mises en avant. Elles illustrent une division par 1 puis par 2. Pour la première, si l'on veut multiplier par un, autrement dit, laisser le signal tel quel, nous voyons que les 28 bits qui codent le signal $FCW_{FS}(nT_1)$ sont reliés aux 28 premiers bit du bus de 32 bit. Pour coder correctement la valeur du bit de signe de $FCW_{FS}(nT_1)$. Cela permet, lors de l'addition à F_{ref} de ne pas commettre d'erreur d'offset. Si nous voulons maintenant multiplier par 0,5 -ou diviser par deux- il suffit de programmer $G=1$ afin de sélectionner, via le multiplexeur, le bus de donnée concerné par cette division. Celui-ci voit son LSB connecté au bit un du bus initial véhiculant le $FCW_{FS}(nT_1)$. Le bit 27 de ce dernier est associé au bit 26 du bus de donnée de 32 bit et il est recopié, là aussi, jusqu'au bit 32. Ainsi, son amplitude s'est vue diminuée d'un facteur deux. Le signal issu de cet étage, $FCW'_{FS}(nT_1)$, est exprimée par la relation 27 :

$$FCW'_{FS}(nT_1) = G \times FCW_{FS}(nT_1) \tag{27}$$

II.4. Bit selection stage

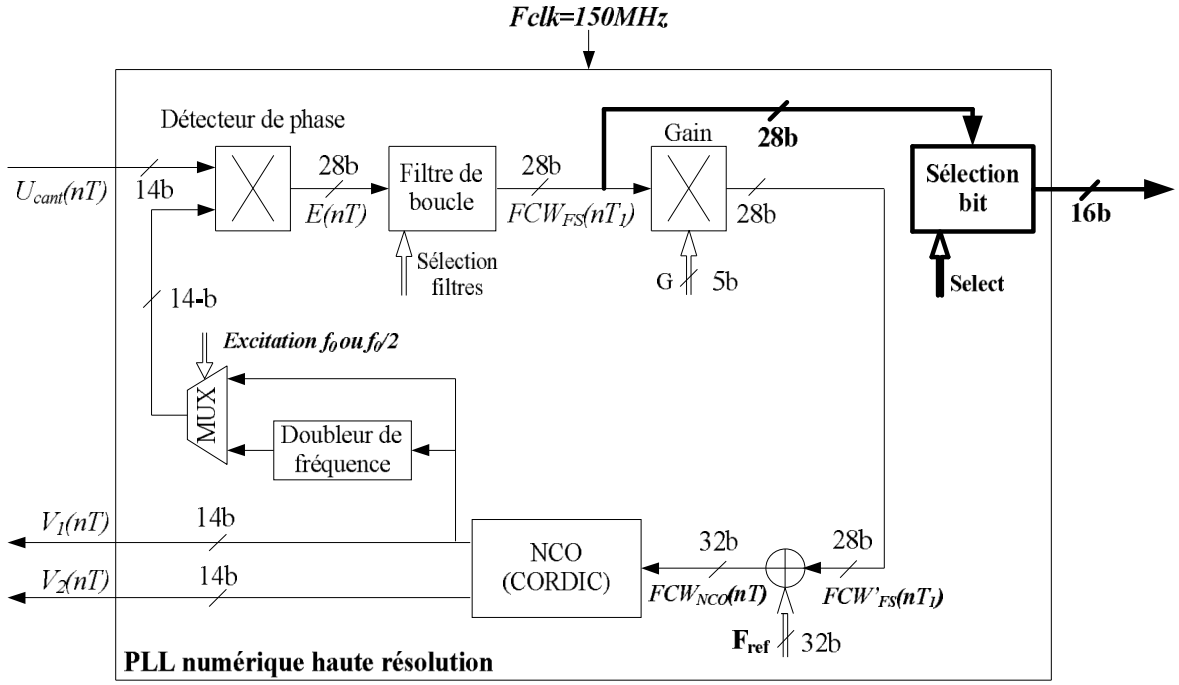


Fig.58. *Vue schématique du module 1en ne considérant que l'étage de sélection de bit.*

Le signal $FCW_{FS}(nT_1)$ issu du filtre passe bas représente la variation de fréquence de résonance du cantilever sous l'effet des variations de topologie de la surface en cours d'étude. Ce signal sera utilisé comme signal d'imagerie mais sera également envoyé au système d'asservissement de distance. Avant de le fournir à celui-là, il peut être nécessaire de régler la sensibilité exprimée en Hz/LSB du signal $FCW_{FS}(nT_1)$. Cela est donc effectué par l'étage de sélection (cf. *figure 58*) configurable par l'utilisateur via l'entrée nommée "Select" qui est codée sur 4 bit non signés. La figure 59 ci-dessous illustre le fonctionnement de cet étage.

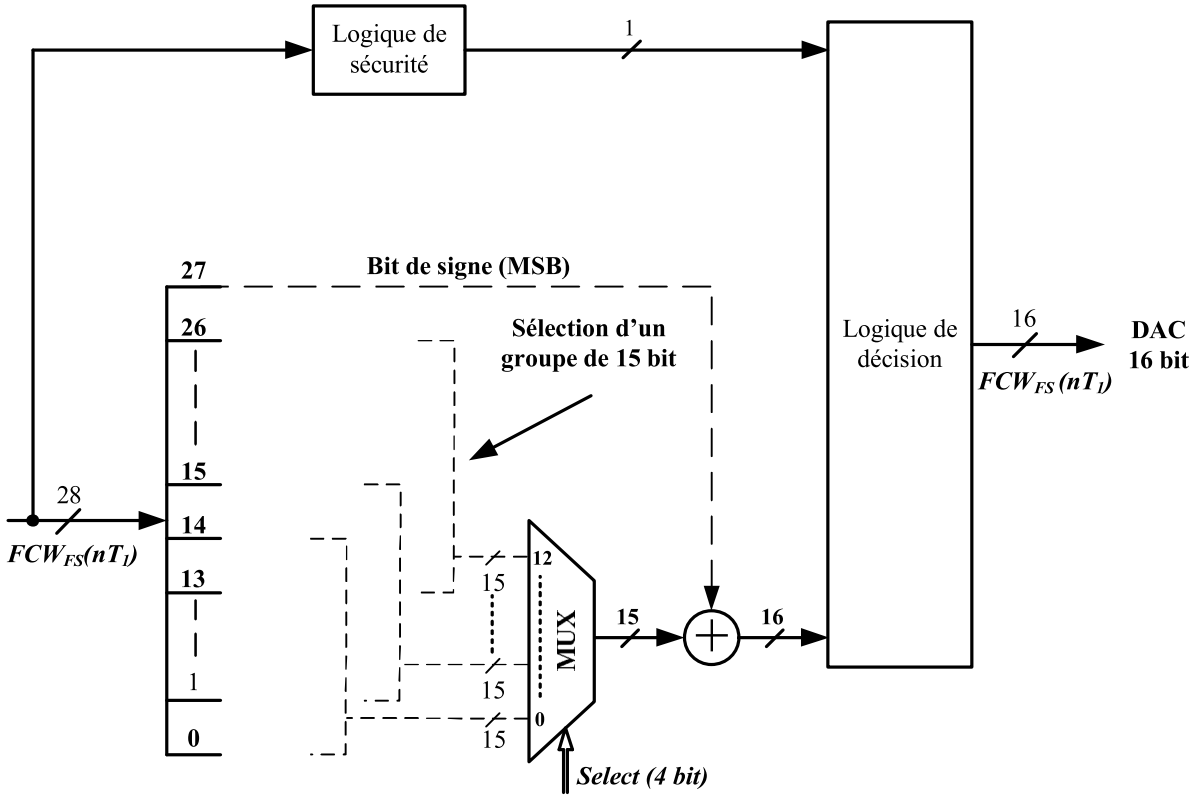


Fig.59. *Représentation fonctionnelle de l'étage de sélection de bit relatif au signal* $FCW_{FS}(nT_1)$.

Le signal d'entrée $FCW_{FS}(nT_1)$ est initialement codé sur 28 bit signés. Celui-ci doit être envoyé à un DAC de 16 bit. Pour pouvoir ajuster la sensibilité tout en tenant compte du nombre de bit disponible du DAC, l'idée a été de venir sélectionner des paquets de 15 bit dans le bus de 28 bit puis d'y ajouter le bit de signe pour reconstruire le mot de 16 bit signé. Afin de sélectionner le groupe de bit voulu et par conséquent la sensibilité, l'utilisateur agit sur le multiplexeur composé de 13 entrées (0-12). En indiquant, sur l'interface graphique le numéro de la sortie, ce dernier choisit alors la sensibilité adéquate. $FCW_{FS}(nT_1)$ est alors codé sur 16 bit signés puis converti en un signal analogique compris entre ±10V avant d'être envoyé au bloc FM-AFM (*cf. figure 22*). Cet étage est doté de deux blocs de sécurité nommés "Logique

de sécurité" et "Logique de décision". Supposons que $FCW_{FS}(nT_1)$ soit positif et que nous sélectionnons par exemple le premier groupe (bit 0-14). Si le bit 15 passe alors à "1" cela signifie que l'écart fréquentiel s'est agrandi. Cependant nous ne pouvons pas le détecter car il est "hors plage". L'asservissement de distance n'agit pas, alors que la pointe s'approche de la surface et risque de s'écraser. Pour éviter un tel scénario, le bloc "Logique de sécurité" détecte ce changement de bit et le bloc "logique de décision" fournit automatiquement au DAC la valeur maximale soit 2^{15}.

II.5. Oscillateur numérique contrôlé numériquement (NCNO)

Le NCNO représenté sur la figure 60 génère deux signaux sinusoïdaux $V_1(nT_{clk})$ et $V_2(nT_{clk})$ en tenant compte du signal consigne F_{ref} et du signal d'actualisation provenant du filtre de boucle $FCW'_{FS}(nT_1)$. $V_1(nT_{clk})$ et $V_2(nT_{clk})$ sont exprimés comme suit :

$$V_1(nT_{clk}) = \cos(w.nT_{clk} + \varphi_{PLL}) \tag{28}$$

$$V_2(nT_{clk}) = \sin(w.nT_{clk} + \varphi_{PLL}) \tag{29}$$

L'oscillateur est cadencé à $F_{clk}=150MHz$. Le signal de contrôle résultant de la somme du signal consigne F_{ref} et du signal issu du module de filtrage est encodé sur 32bit afin de fournir une précision fréquentielle de 35mHz nécessaire à l'ADPLL pour pouvoir détecter des variations de fréquence de 100mHz. Les signaux $V_1(nT_{clk})$ et $V_2(nT_{clk})$ sont codés sur 14 bit signés.

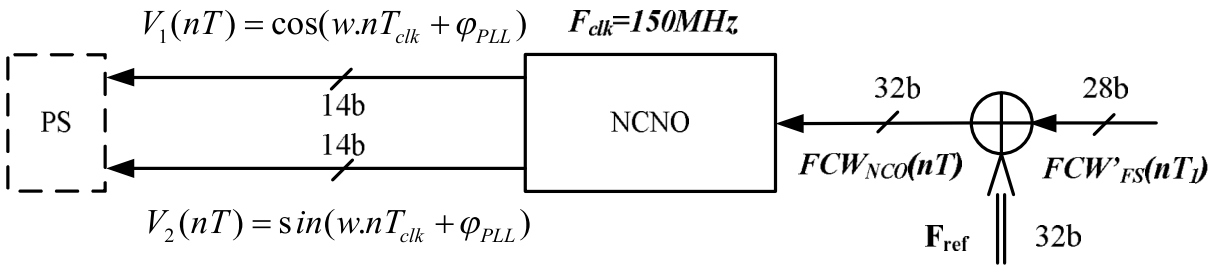


Fig.60. *NCNO couplé à un additionneur pour fixer la fréquence de référence F_{ref} tout en tenant compte du signal de contrôle $FCW'_{FS}(nT_1)$.*

Cet oscillateur est basé sur un synthétiseur de fréquence directe [THI71] ou plus communément "DDFS" pour "Direct Digital Frequency Synthesizer" en anglais. Avant de poursuivre sur la composition de cet oscillateur, nous allons d'abord voir plus en détail ce qu'est un DDFS.

II.5.1. Rappel

Le DDFS est un diviseur de fréquence né de l'idée de synthétiser un signal à partir d'un système totalement numérique. Cet élément est une alternative aux oscillateurs analogiques. Tout d'abord, il présente l'avantage d'être moins coûteux et de pouvoir être réutilisé pour des technologies numériques futures (IP). De plus, il dispose d'une grande résolution fréquentielle (µHz) et il est capable d'effectuer de rapide saut en fréquence (de l'ordre d'un cycle d'horloge) tout en assurant la continuité de la phase. Enfin, dans le cas d'une génération de signaux en quadrature, les voies I et Q sont exactement déphasées de 90°. L'inconvénient majeur réside dans la plage de fréquence qu'il est possible de générer. En effet, celle-ci est limitée à la fréquence de *Shannon-Nyquist*. Qui plus est, il nécessite une horloge plus élevée. La première version d'un tel diviseur est représentée sur la figure 61.

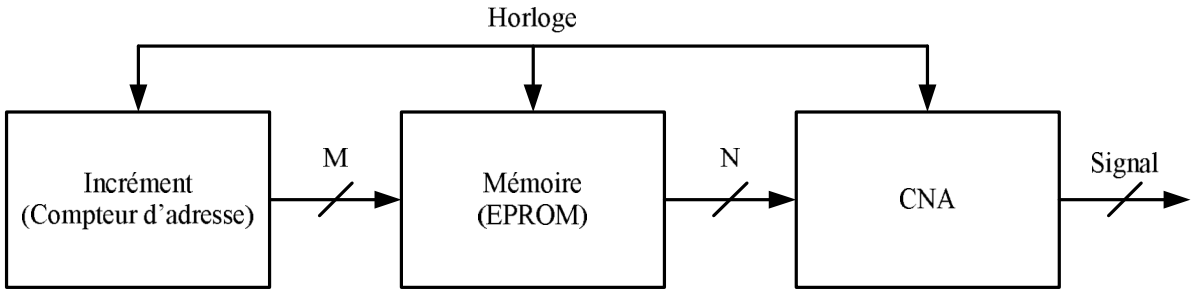


Fig.61. *Première version du DDFS constitué uniquement d'un compteur d'adresse, d'une mémoire contenant les éléments de la forme d'onde voulue et un convertisseur numérique/analogique.*

Il était constitué d'un compteur d'adresse de *M* bit dont le but était d'adresser en boucle la mémoire (EPROM généralement) stockant les échantillons du signal voulu codés sur *N* bit (sinusoïdal, dent de scie, etc..) qui étaient convertis en signal analogique par le CNA. La fréquence générée dépend de l'Horloge ainsi que du pas de quantification de l'onde stockée dans la mémoire. Cette structure présente de bonne caractéristique en terme de "jitter", de distorsion de signal ainsi qu'un bon rapport signal à bruit dès lors que l'ADC présente un nombre de bit suffisant. Cependant, l'inconvénient majeur réside dans son manque de flexibilité. En effet, pour obtenir une autre forme d'onde ou une fréquence plus élevée, il est nécessaire de reprogrammer la mémoire ou bien de la changer dans le cas d'une ROM ou bien

de changer la fréquence d'horloge. Ces méthodes, dans le cas d'application nécessitant des sauts de fréquences par exemple sont exclues car bien trop lente. C'est pourquoi, en 1971, *J.Thierney* introduit l'accumulateur de fréquence afin de remédier à cet inconvénient [THI71]. Il en résulte l'architecture générale représentée sur la figure 62.

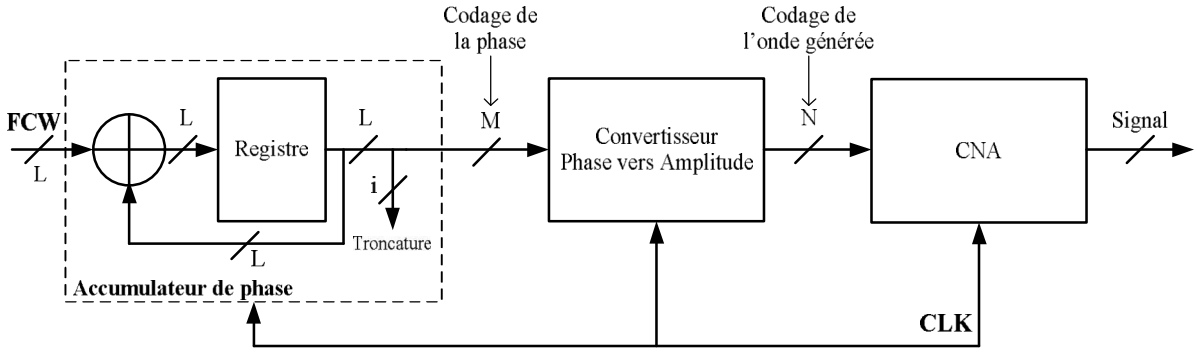


Fig.62. *Architecture de base du DDFS introduit par J.Thierney en 1971 dans le but de remédier au manque de flexibilité de la version initiale [THI71].*

Le compteur d'adresse est remplacé par un accumulateur de phase. Celui-ci est connecté à une unité qui converti la phase en amplitude. Le CNA complète ce système tout comme celui de la figure 61. Pour des oscillateurs analogiques, la fréquence d'oscillation est fixée par une tension ou un courant. Concernant le DDFS, la fréquence de sortie est déterminée par une valeur consigne appelée "Mot de contrôle de fréquence" (*FCW*) qui sur la figure 62 est codé sur L bit non signés. L'accumulateur de phase est composé d'un additionneur et d'un registre. Comme il est montré sur la figure 63, il fournit un signal de type "rampe" codé sur *M* bit non signés qui est interprété comme un angle Θ appartenant à l'intervalle [0,2π]. Sa sortie est incrémentée par la quantité *FCW* à chaque cycle d'horloge T_{clk}. Quand l'accumulateur est sujet à un dépassement de mémoire le processus se répète fournissant ainsi un signal périodique de période T_{OUT}.

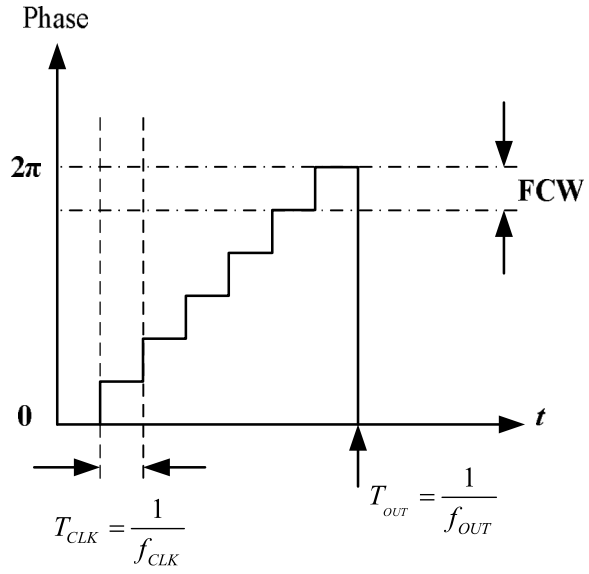


Fig.63. *Sortie de l'accumulateur de phase qui correspond à une rampe de phase incrémentée de FCW à chaque cycle d'horloge. A chaque dépassement de mémoire le processus d'incrémentation se répète, produisant une rampe de période* f_{OUT}.

La taille du bus de donnée en sortie de l'accumulateur de phase est réduite (tronquée). En effet, le nombre de bit L étant généralement compris entre 28 et 48 bit cela nécessiterait énormément de ressource matérielle pour réaliser un convertisseur de phase vers amplitude. En imaginant que ce convertisseur soit réalisé avec une mémoire, cela nécessiterait pour un bus de 32 bit et en prenant une case d'1 bit (ce qui n'est pas concevable) quatre giga bit de mémoires. Cela est donc fortement exclu. C'est pour cela que nous gardons seulement les M bit les plus significatifs (MSB) et que nous "jetons" les *i* bits les moins significatifs (LSB). Ainsi, la complexité du convertisseur est fortement réduite et la résolution fréquentielle est garantie puisqu'elle dépend uniquement du nombre de bit *L*.
Parallèlement au fonctionnement de l'accumulateur de phase, le convertisseur phase vers amplitude (CPA) convertit, à chaque cycle d'horloge T_{CLK}, le signal de type "rampe" en un signal sinusoïdal codé sur *N* bits en associant, dans le cas idéal, à chaque valeur instantanée de la phase la valeur *F(FCW)* définie ci-dessous comme :

$$F(FCW) = \sin(\frac{2\pi.Phase}{2^L}) \tag{30}$$

Cette fonction suggère que le signal voulu est sinusoïdal. Il est tout à fait possible de générer tout autre signal. A noter que lorsqu'il y a troncature, la fonction *F(FCW)* est généralement élaborée en fonction du convertisseur phase vers amplitude utilisé. Le signal résultant de la relation (30) est montré sur la figure 64.

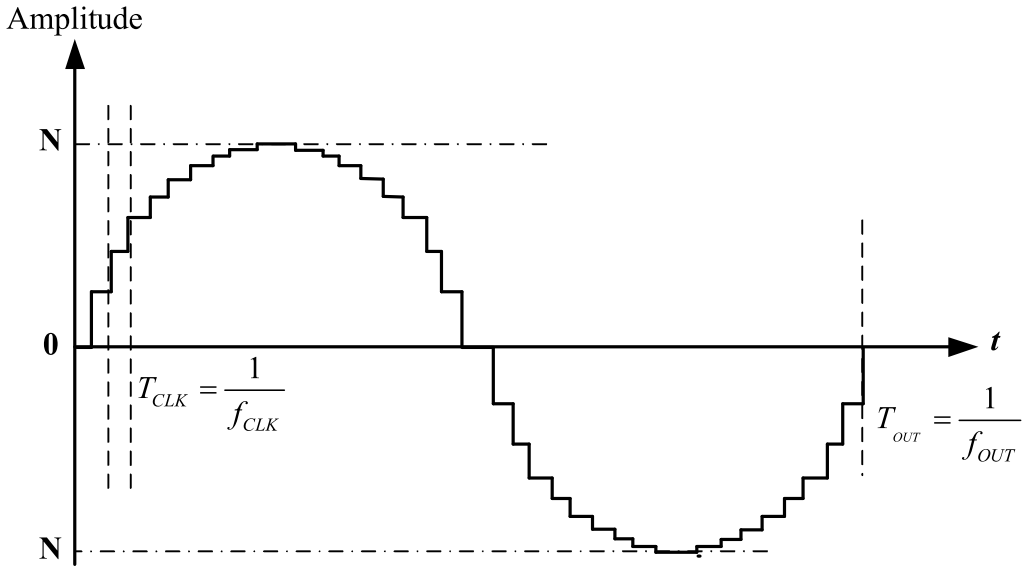


Fig.64. *Sinusoïde obtenue en sortie du convertisseur phase vers amplitude. A chaque valeur de phase le CPA y associe la fonction sinus (dans ce cas-ci).*

Quand le signal issu de l'accumulateur de phase atteint T_{OUT}, il en va de même pour ce signal. La fréquence associée f_{OUT} est fonction de la fréquence d'horloge du DDFS (f_{CLK}), du nombre de bit de l'accumulateur de phase, ici L et de la valeur du mot de contrôle de fréquence FCW. f_{OUT} s'exprime comme suit :

$$f_{OUT} = \frac{f_{CLK}.FCW}{2^L} \tag{31}$$

f_{OUT} doit en outre respecter le critère de Shannon-Nyquist.

$$f_{OUT} \leq \frac{f_{CLK}}{2} \tag{32}$$

De la relation (31) nous pouvons extraire la résolution fréquentielle du NCNO appelée également pas fréquentiel :

$$f_{step} = \frac{f_{CLK}}{2^L} \tag{33}$$

II.5.1.1. Troncature

Un DDFS n'est pas un synthétiseur de fréquence idéal. Son spectre fréquentiel peut présenter des raies parasites que l'on nomme "spurs". Celles-ci ont plusieurs origines comme la troncature effectuée en sortie de l'accumulateur de phase, la quantification de l'amplitude en sortie du convertisseur phase vers amplitude, la résolution du DAC ainsi que les non linéarités différentielles et intégrales (DNL et INL) associées et enfin l'injection d'horloge. Parmi celle-ci nous allons nous attarder sur les raies engendrées par la troncature de phase car c'est cette dernière qui contribue essentiellement à la dégradation du signal généré par le DDFS.

La troncature de la sortie de l'accumulateur de phase engendre une erreur de phase. Celle-ci se répercute sur l'amplitude du signal en sortie du PAC créant ainsi de la distorsion. Cette erreur est périodique et dépend de la valeur du FCW [ADE99, pp.20-26]. Cette périodicité se retrouve dans le spectre fréquentiel comme une raie parasite ("spur"). Il est possible de déterminer l'amplitude et la distribution de ces raies parasites. Nous allons voir cela dans les deux paragraphes ci-dessous.

II.5.1.1.a. Amplitude des raies parasites issues de la troncature de phase

Selon la valeur de FCW, l'amplitude des raies parasites peut être maximale, nulle ou bien située entre ces deux extrémité. Si L-M ≥ 4, ce qui se vérifie pour une implémentation, alors l'écart, exprimé en *dBc*, entre l'amplitude du signal voulue et l'amplitude maximale des raies parasites est approximée par :

$$Ampl_{Max} \simeq -6.02M \tag{34}$$

Ce niveau sera atteint si la relation suivante est vérifiée :

$$GCD(FCW, 2^{L-M}) = 2^{A-P-1} \tag{35}$$

On peut illustrer cette relation à l'aide de la figure 65 qui met en avant l'accumulateur dont la valeur de *FCW* est telle que dans la partie "négligée", seulement le bit situé à la position *A-P-1* est à 1. Dans ce cas là, la relation (35) est vérifiée.

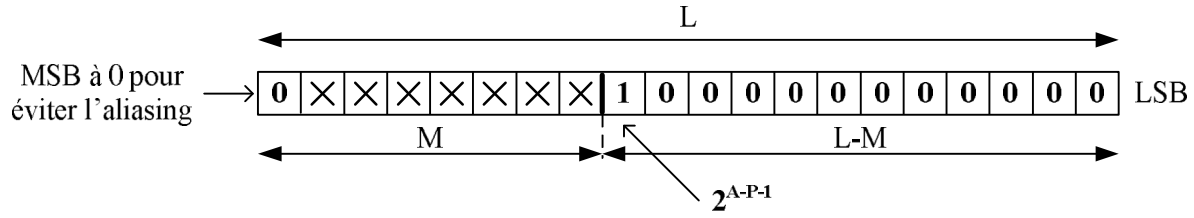


Fig.65. *Cas le plus défavorable de FCW qui confère aux raies parasites la plus grande amplitude.*

Si la relation ci-dessous est vérifiée, nous n'aurons aucune raie parasite dans ce cas-ci.

$$GCD(FCW, 2^{L-M}) = 2^{A-P} \tag{36}$$

Cela apparaît plus intuitif si nous nous référons à la figure 66. Peu importe la valeur des M bit, si la valeur de FCW est telle qu'il n'y a aucun bit dans la partie "négligée" alors lors de l'incrémentation, le signal tronqué ne sera pas en erreur par rapport au signal codé sur L bits. Il n'y aura donc pas de *spur* issu de la troncature de phase dans le spectre de sortie du DDFS.

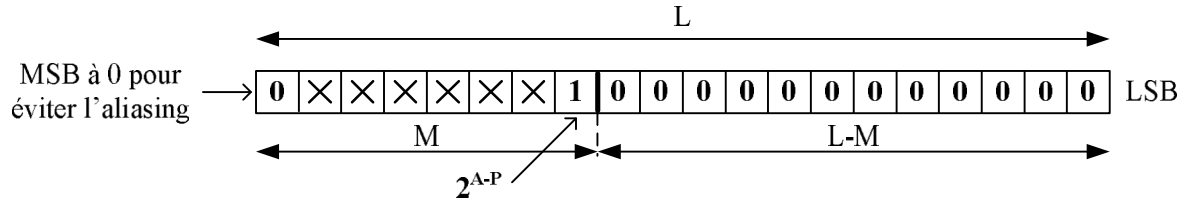


Fig.66. *Configuration du FCW qui n'entraine aucune génération de raies parasites.*

Les valeurs de FCW qui ne vérifient pas les relations (35) et (36) auront leur amplitude comprise entre 0 et $Ampl_{Max}$. A noter que dans tous les cas, le MSB doit être à zéro afin d'éviter le repliement de spectre lors de la génération du signal en sortie du DDFS. Cela signifie que le FCW doit être compris entre 0 et 2^{L-1}.

II.5.1.1.b. Distribution des raies parasites issues de la troncature de phase

En sortie de l'accumulateur de phase, le signal est composé de *L* bit. Cependant puisque nous gardons uniquement *P* bit, nous pouvons considérer que le signal présent à l'entrée du convertisseur phase-amplitude (CPA) est composé du signal sur *L* bit et du signal d'erreur (tronqué) de *L-M* bit. C'est ce dernier qui est à l'origine des raies parasites. Ce signal en dent de scie a pour fréquence :

$$F_{err} = \frac{F_s.EFCW}{2^{L-M}} \tag{37}$$

F_s est l'horloge qui cadence le DDFS, *EFWC* est le mot de contrôle en fréquence de la partie tronqué qui peut être vue comme un accumulateur de *L-M* bit. Ce mot de contrôle s'exprime comme tel :

$$EFCW = FCW \bmod(2^{L-M}) \tag{38}$$

Ce signal d'erreur de par sa forme en dent de scie a un nombre d'harmonique associée représenté par $N_{Harmoninque}$:

$$N_{Harmonique} = \frac{2^{L-M-1}}{GCD(EFCW, 2^{L-M})} \tag{39}$$

Celles-ci sont espacées d'une valeur *E* telle que

$$E = \frac{F_S.EFCW}{2^{L-M}}(Hz) \tag{40}$$

Cela implique un étalement des harmoniques sur une plage fréquentielle de

$$Plage_{Freq} = \frac{2^{L-M-1}}{GCD(EFCW, 2^{L-M})}.\frac{F_S.EFCW}{2^{L-M}}(Hz) \tag{41}$$

La figure 67(a) illustre le spectre du signal tronqué contenant la fréquence fondamentale et ses harmoniques. A titre d'exemple, la plage de fréquence est limitée à $3F_s$. Il s'en suit un repliement de spectre tel qu'il est illustré sur la figure 67(b) où les raies parasites situées aux multiples impaires de la fréquence de *Shannon-Nyquist* se retrouvent *directement* dans la zone [0-$F_s/2$] et où les raies parasites situées aux multiples paires de $F_s/2$ sont *repliées* dans la plage [0-$F_s/2$]. La figure 67(c) se focalise uniquement sur la bande d'intérêt [0-$F_s/2$] afin d'illustrer la contribution de ces raies dans le signal utile (*cf.* annexe 2 Par. VI).

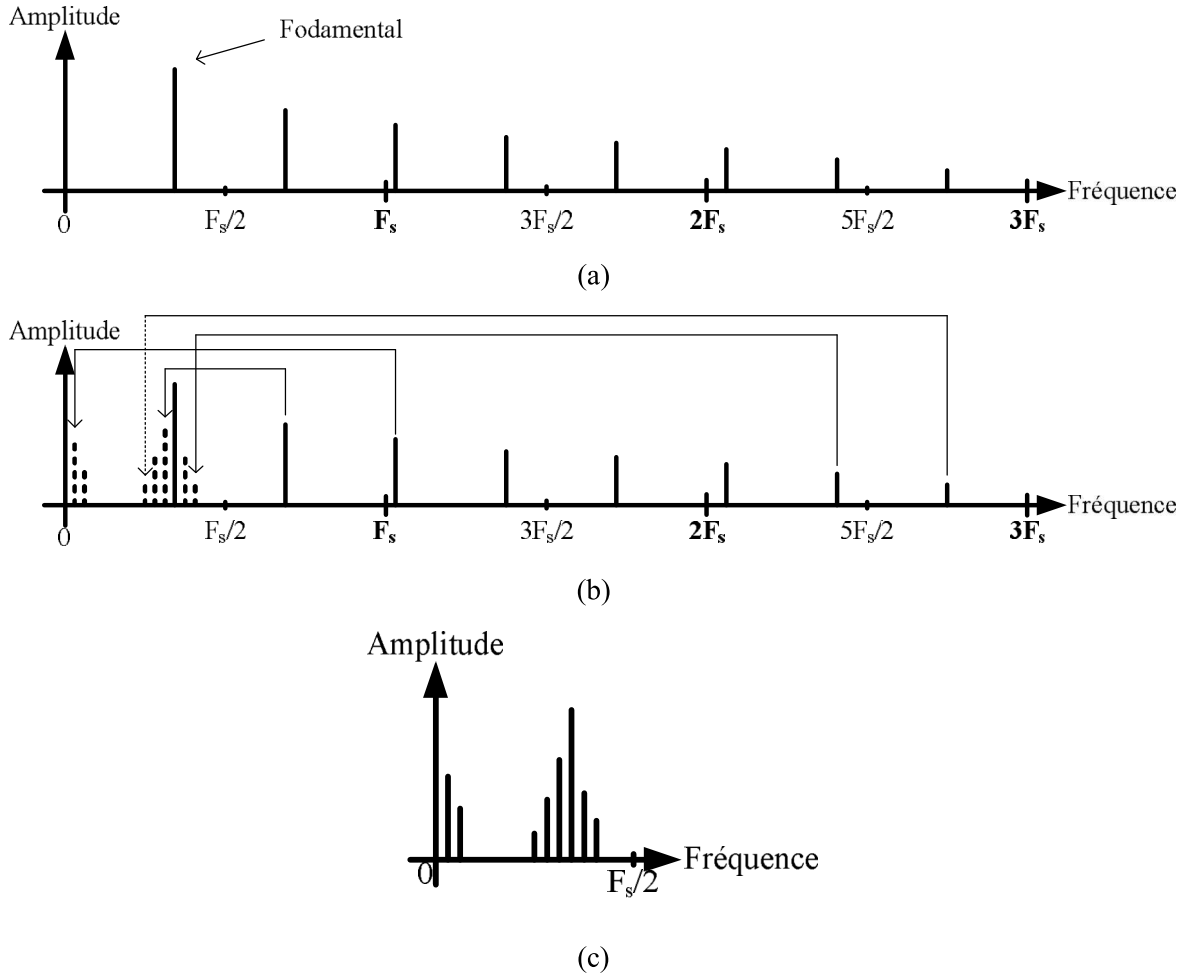


Fig.67. *(a) Spectre fréquentiel initial du signal tronqué. (b) Repliement des harmoniques du à l'aliasing. (c) Raies parasite dues aux repliements des harmoniques [ADE99].*

A titre d'exemple, si, l'on se réfère à la relation (34), en choisissant *M* égal à 14, on obtient théoriquement un écart de l'ordre de -84dBc entre le fondamental du signal tronqué et le signal voulue (de fréquence f_{OUT}). Cela montre qu'il est possible de minimiser la contribution de ces raies parasites en choisissant convenablement *M*. De manière général, l'on fait référence à cet écart par le terme "spurious free dynamic range" (SFDR). Plus le SFDR est élevé, plus le signal généré par le synthétiseur est "propre".

II.5.2. Accumulateur de phase

L'accumulateur de phase repose sur deux éléments que sont l'additionneur et le registre de mémorisation. A chaque coup d'horloge, le registre mémorise la valeur incrémentée de la quantité *FCW*. La conception de l'accumulateur de phase doit tenir compte de quatre principaux paramètres tels que la fréquence maximale d'utilisation, la résolution fréquentielle, la pureté spectrale et la consommation. Il existe plusieurs architectures pour un accumulateur de phase (*cf.* annexe 2 Par. IV) qui portent sur l'agencement des additionneurs.

Nous avons opté pour un accumulateur de phase à structure parallèle car il peut fonctionner à plus haute fréquence. Sa consommation en courant et son occupation surfacique plus élevée que les autres accumulateurs de phase ne sont pas des critères de sélection car nous implémentons le système dans un FPGA.

II.5.3. Convertisseur phase vers amplitude (PAC)

Le principe de fonctionnement des dispositifs actuels est illustré sur la figure 68. Deux bits de poids fort sont utilisés dans le but de générer la totalité de la sinusoïde, *i.e.* de parcourir le cercle trigonométrique, à partir du signal fourni par l'accumulateur de phase codé sur *W* bit.

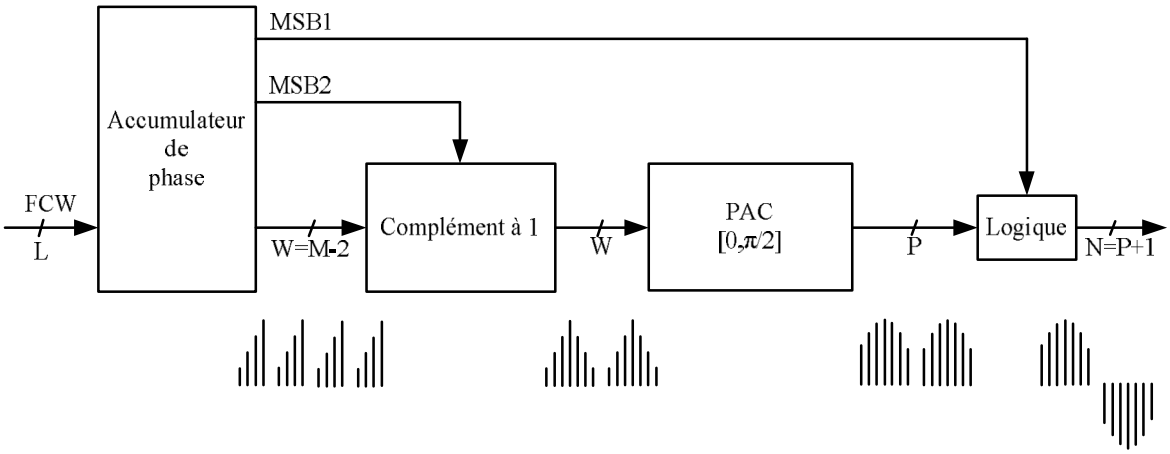


Fig.68. *Structure d'un DDFS qui utilise les propriétés de symétrie de la fonction sinus. Le principe est de générer le sinus (dans le cas présent) dans l'intervalle [0, π/2] uniquement et d'utiliser les deux bits de poids fort pour parcourir les quatre quadrants. On génère ainsi la totalité de la sinusoïde.*

Celui-ci est complémenté à "1" dans le but d'obtenir un angle qui croit et décroît dans l'intervalle [0, π/2]. Par la suite le sinus et/ou le cosinus y est associé, puis le bit de poids fort permet l'attribution du signe via le bloc "logique", ce qui recrée la sinusoïde en sortie du DDFS. Ainsi, la plage de fonctionnement du PAC se limite à [0,π/2]. On peut cependant parcourir la plage [0,2π] par l'utilisation d'une logique au prix d'une surface mémoire élevée (donc coûteuse). Différentes techniques sont utilisées afin de minimiser voir se passer de son utilisation. Dans la majorité des cas, le DDFS est utilisé pour générer des signaux sinusoïdaux, ainsi ces différentes méthodes exploitent également les propriétés de symétrie des fonctions sinus et cosinus afin de se restreindre à l'intervalle [0, π/2]. On peut regrouper les différentes techniques utilisées par le PAC en cinq catégories [LAN04] :

- Décomposition angulaire,
- Les méthodes basées sur la rotation angulaire,
- La compression du signal sinusoïdal,

- Les approximations polynomiales,
- La fusion en un seul élément du PAC et du convertisseur numérique analogique.

Ces méthodes sont présentées en annexe 2 Par. V. Nous nous focalisons uniquement sur la méthode adoptée qui est la rotation angulaire basée sur l'algorithme CORDIC "COordinate Rotation Digital Computer". Afin de minimiser le temps développement, nous avons choisi d'utiliser une "IP" d'*Altera* [ALT12] nommé *"NCO MegaCore"* pour l'implémentation de l'oscillateur de l'ADPLL. Différente réalisation du CPA y sont proposées telles que l'utilisation de table de vérité ("*look up table*") contenant la totalité des points, ou bien l'utilisation de propriétés de symétrie de la fonction sinus et enfin l'emploi de l'algorithme CORDIC. Nous avons choisi ce dernier, d'une part, parce qu'il présente un SFDR comparable aux deux premières méthodes, et d'autre part, parce que les deux premières solutions nécessitent une quantité de mémoire importante alors nécessaire pour stocker les coefficients des filtres, pour la mémoire cache du micro-ordinateur embarqué ainsi que pour les buffers associés à ses périphériques.

II.5.3.1. Rotation angulaire basée sur l'algorithme CORDIC

Cette méthode repose majoritairement sur l'algorithme CORDIC. Il fut introduit par *Jack E. Volder* en 1959 [VOL59] dans le but de remplacer les calculateurs analogiques de trajectoire des aéronefs. Il était utilisé pour effectuer des rotations de vecteurs d'un angle donnée dans la plage [-π /2, π /2] et des changements de coordonnées polaires ↔ cartésiennes dans le plan euclidien. Employé comme CPA dans une architecture comme celle illustrée sur la figure 69, sa plage est ainsi restreinte à l'ensemble [0, π /2].

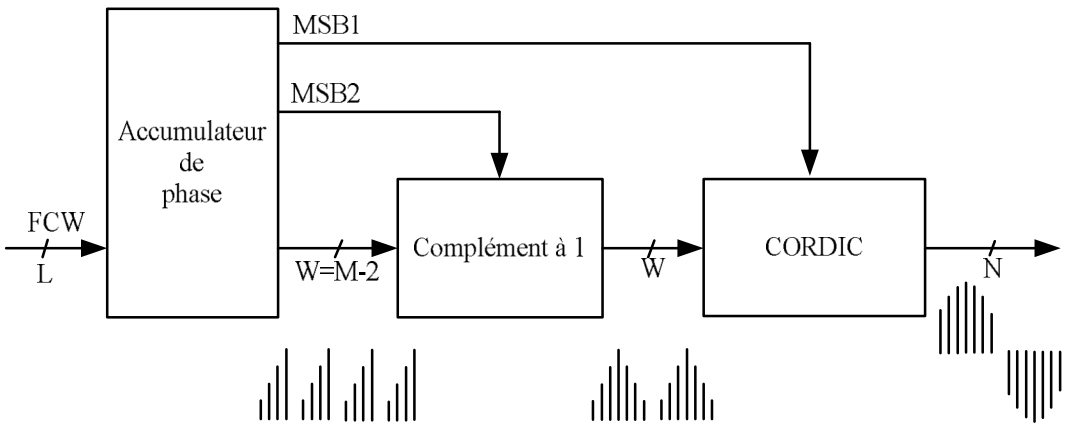


Fig.69. *Schéma de principe du DDFS utilisant le CORDIC. L'emploi des deux bit de poids fort permet là aussi de parcourir la totalité du cercle trigonométrique à partir des calculs du sinus effectué dans l'intervalle [0, π/2].*

Le principal inconvénient du CORDIC est la latence intrinsèque à son fonctionnement. En effet, si N bit sont nécessaires pour coder le signal de sortie, cela nécessite N+1 itérations et par conséquent une latence de :

$$Latence = (N+1)T_{CLK} \tag{42}$$

Cependant, il présente le grand intérêt d'utiliser uniquement des additionneurs, des soustracteurs et des "*bit shifter*" (pour réaliser les opérations de multiplication et de division) ce qui limite le coût en surface et la consommation.

L'algorithme CORDIC utilise une méthode itérative basée sur les équations générales de rotation vectorielle. Il a deux modes de fonctionnement : rotation et vecteur. Le mode rotation a été retenu pour l'implémentation du DDFS. L'algorithme CORDIC calcule de façon itérative *sin(Θ)* et le *cos(Θ)* (*Θ* est issu de l'accumulateur de phase). Le nombre d'itération *i* dépend de la précision voulue après quoi l'algorithme converge systématiquement. La figure 70 illustre de manière générale le fonctionnement de l'algorithme après quatre itérations.

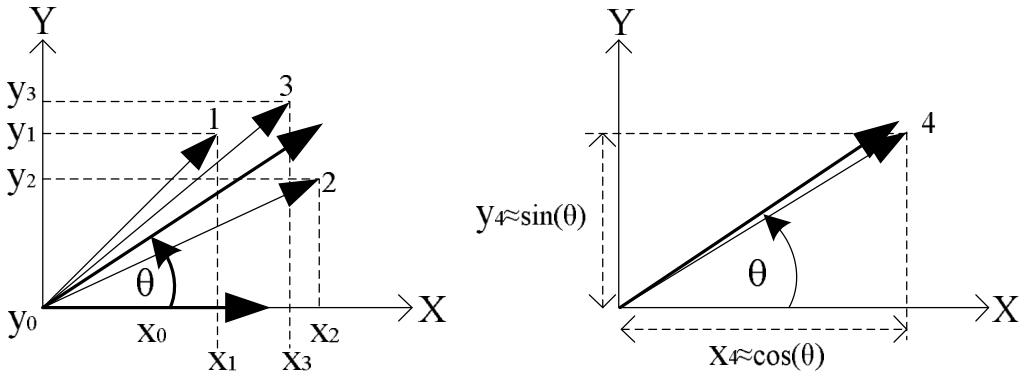


Fig. 70. *Exemple de fonctionnement où le cosinus et le sinus de l'angle Θ doivent être calculés. Le calcule s'effectue, ici, en quatre itérations au bout desquelles le CORDIC génère, à la précision près voulue, le sinus et cosinus associé.*

A l'axe des abscisses est associée la fonction *cos()* et à l'axe des ordonnées la fonction *sin()*. Nous pouvons observer qu'après chaque itération, nous nous rapprochons de *Θ*. Ainsi, après quatre itérations, les valeurs de *x* et de *y* donnent respectivement le *cos* et le *sin* de *Θ* à l'incertitude de calcul près. La description du fonctionnement du CORDIC est disponible en annexe 2 Par. VII.

II.5.3.2. Réalisation du NCNO de l'ADPLL

L'utilisation de l'IP *"NCO MegaCore"* propose deux types d'architectures pour le CORDIC : parallèle et série. La première permet de sortir une donnée à chaque coup d'horloge, le DDFS peut alors fonctionner à haute fréquence. Cependant, elle nécessite beaucoup plus de ressource matérielle. La seconde utilise peu de ressource mais la fréquence de fonctionnement est diminuée dû à la latence relative au processus itératif des données. Nous avons opté pour l'architecture parallèle mais avec une variante "pipelinée" pour augmenter la fréquence de fonctionnement compte tenu de la fréquence requise pour le système de contrôle ($F_{clk}=150MHz$).

La fréquence de sortie f_{out} de notre NCNO donnée par la relation (31) peut s'exprimer telle que :

$$f_{out} = \frac{F_{clk}.FCW_{NCO}(nT)}{2^L} \tag{43}$$

Où

$$FCW_{NCO}(nT) = FCW'_{FS}(nT_1) + F_{ref} \tag{44}$$

L est le nombre de bit sur lequel est encodé FCW_{NCO}, F_{clk} est l'horloge qui cadence la boucle à verrouillage de phase. De même l'expression de la résolution fréquentielle (relation (33)) devient :

$$f_{step} = \frac{F_{clk}}{2^L} \tag{45}$$

Un accumulateur de 32 bits est utilisé ($L=32$) ce qui donne une résolution de 35mHz pour le NCNO et confère à l'ADPLL une résolution d'au moins 100mHz. En effet, puisque les derniers filtres du module de filtrage sont cadencés à $F_{clk1}=1MHz$, si nous choisissons celui dont $f_{c\text{-}3dB}=16kHz$ alors nous moyennons sur 62 valeurs (approximativement), ce qui augmente la résolution fréquentielle au-delà de 35mHz.

L'amplitude des signaux $V_1(nT)$ et $V_2(nT)$ est encodée sur 14 bit ($N=14$) car ceux-ci sont envoyés au DAC 14 bit. Cela donne lieu à un SFDR théorique de -84dBc en sortie des DACs. Il est maintenant nécessaire de procéder à la troncature de phase en sortie de l'accumulateur. En se référant à la relation (34) nous avons choisi de garder les 16 bit les plus significatifs ($W=16$) ce qui permet d'avoir un SFDR théorique de l'ordre de -96dBc. Une telle valeur permet de ne pas dégrader la valeur théorique du SFDR en sortie du DAC (-84dBc). Puisque nous avons N bit pour coder le signal de sortie, cela engendre une latence de l'ordre de 100ns (voir relation (42)). Cependant, cela n'a pas d'impact sur le fonctionnement de l'ADPLL aux vues de la fréquence de modulation maximale attendue en entrée du système qui sera au maximum de 10kHz.

II.6. Doubleur de fréquence

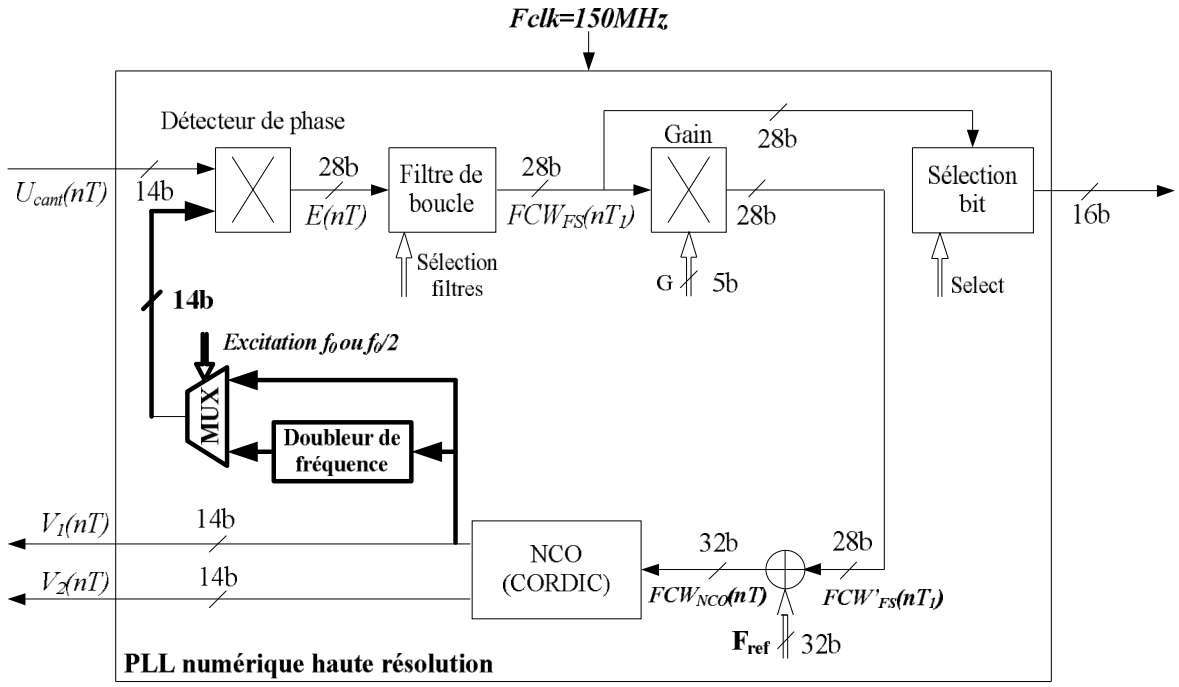


Fig.71. *Vue schématique du module 1 en ne considérant que l'étage doubleur de fréquence.*

Le cantilever dispose d'une piste d'excitation thermique ce qui lui permet d'osciller à la fréquence de résonance f_0 alors qu'il est excité à la fréquence $f_0/2$. Pour ce type de cantilever, l'ADPLL dispose d'un doubleur de fréquence (*cf.* figure 71) qu'il est possible de sélectionner via le multiplexeur associé à l'entrée contrôlable par l'utilisateur "Excitation f_0 ou $f_0/2$". L'emploi de ce module se justifie par le fait que si nous excitons à $f_0/2$, le signal à comparer est à f_0 (à l'écart de fréquence près induit par la surface). Sachant que le signal $V_1(nT)$ est une sinusoïde, l'idée est de se baser sur la relation mathématique (46) ci-dessous afin d'obtenir une fréquence double.

$$\cos^2(a) = \frac{1}{2}\left[1 + \cos(2a)\right] \tag{46}$$

Cependant, seul le terme $cos(2a)$ nous intéresse. Pour ce faire, nous avons élaboré la structure illustrée sur la figure 72 ci-dessous qui présente l'avantage d'être simple et consomme peu de ressources matérielles. En effet, elle ne nécessite qu'un multiplieur à entrées/sortie sur 14/28 bit signés, deux modules d'adaptation de bus et un additionneur 15 bit signés.

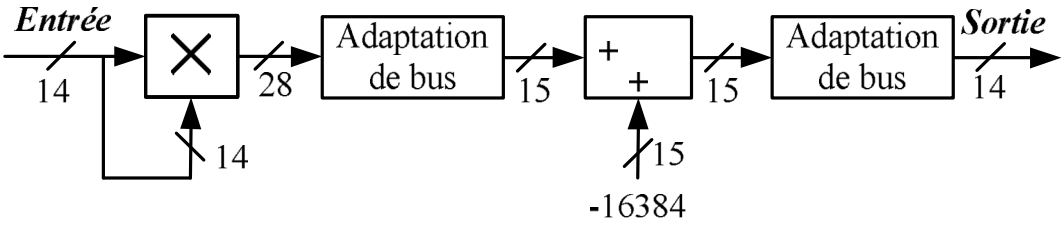


Fig.72. *Structure du doubleur de fréquence qui prends le carré de l'entrée et la recentre autour de 0 avec une amplitude bornée par -8192 et +8191.*

Le signal $V_1(nT)$ est tout d'abord envoyé au multiplieur pour être mis au carré et ainsi avoir sa fréquence doublée. Il est primordial que le signal de sortie du doubleur a une plage dynamique contenue dans 14 bit signés, c'est-à-dire qu'il évolue entre -8192 et 8191. Ainsi, le bus de sortie du multiplieur est redimensionné afin de fixer la plage dynamique entre 0 et 32767. Par la suite, la plage dynamique est ajustée entre +16383 et -16384 via l'additionneur. Enfin, via le second module d'adaptation de bus, la sortie de l'additionneur voit son bit 0 ignoré pour ne garder que les 14 bit au dessus et former ainsi le bus de sortie dont la plage dynamique est comprise entre -8192 et 8191. La figure 73, ci-dessous illustre un exemple de fonctionnement de ce système.

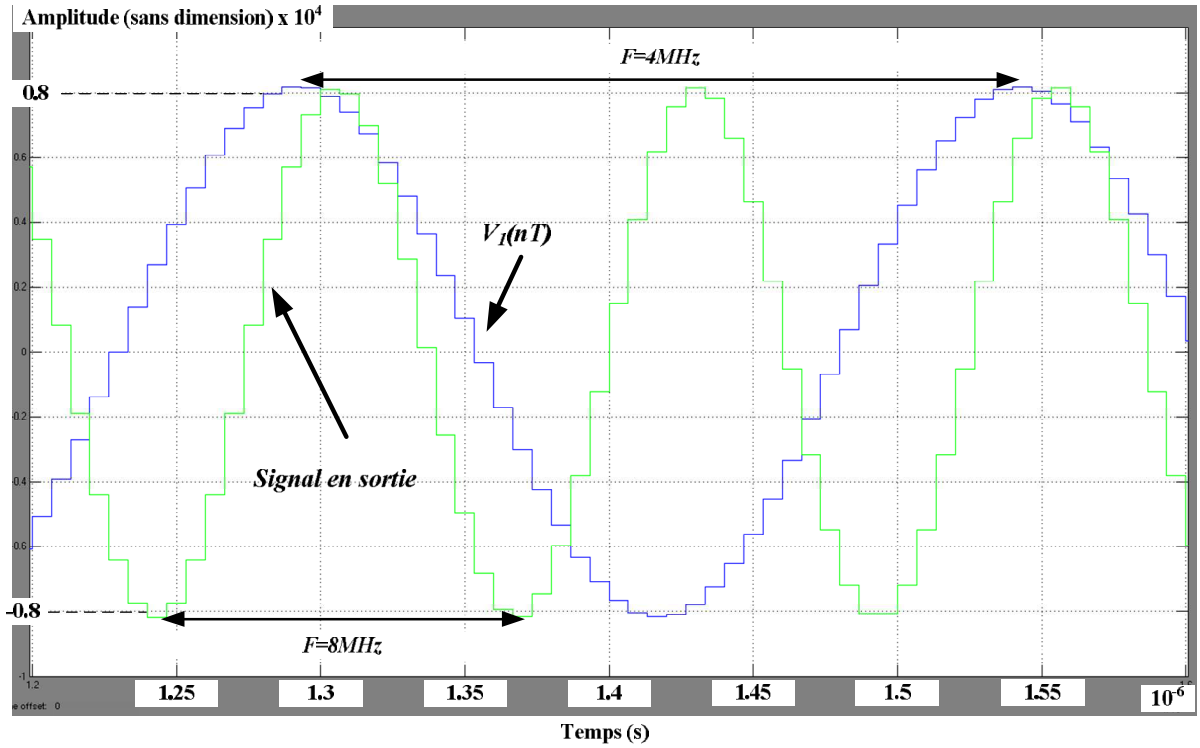


Fig.73. *Signaux en sortie du doubleur de fréquence. En bleu est représenté le signal à l'entrée du doubleur de fréquence, en vert, le signal de sortie. Nous pouvons observer que la latence est de deux cycles d'horloge soit 13ns approximativement.*

Le doubleur de fréquence est cadencé à F_{clk}=*150MHz*. Si l'on prend en compte le critère de *Shannon-Nyquist*, lorsque nous l'utilisons, le signal en sortie du NCNO ne doit pas dépasser la fréquence maximale de 37.5MHz. La limite pratique, cependant se situe à 30MHz car la fréquence maximale de fonctionnement du système de contrôle est de 60MHz.

II.7. Résultats expérimentaux relatifs à l'ADPLL

Hormis un test *in-situ* il n'est pas possible de tester le système dans son intégralité, en particulier l'asservissement d'amplitude. C'est pour cela que les résultats ci-dessous portent uniquement sur l'ADPLL. Pour vérifier son fonctionnement en haute fréquence et puisque nous ne disposons pas encore des pointes hautes fréquences, nous avons utilisé un signal modulé en fréquence à la fréquence de 50Hz. La fréquence initiale est de 60MHz et le décalage en fréquence de 100mHz. La figure 74 ci-dessous est le résultat de l'émulation de l'ADPLL montrant plus particulièrement l'évolution temporelle du signal $FCW'_{FS}(nT_1)$ qui est utilisé comme signal de commande du NCNO.

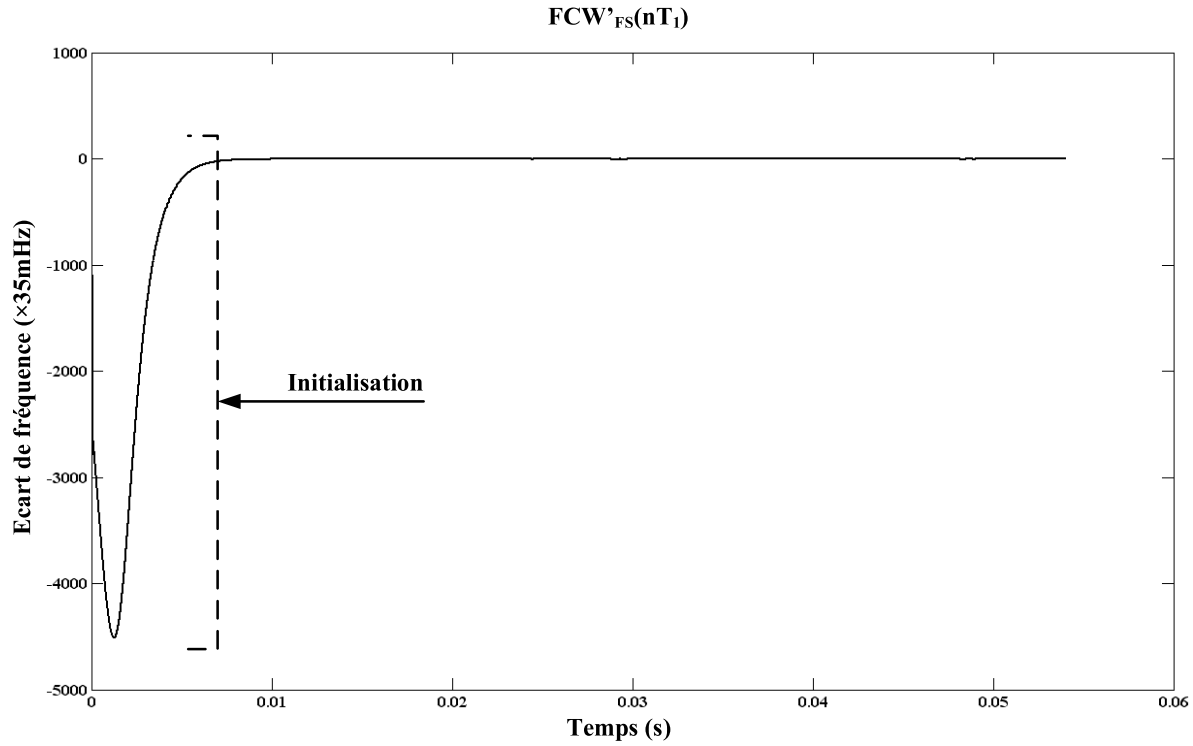


Fig.74. *Vue globale de l'évolution temporelle de $FCW'_{FS}(nT_1)$. f_{mod}=50Hz, Module de filtrage 2 : fc=95kHz, G=12 (équivalent à une multiplication par 2^{-12}).*

L'axe des ordonnées représente la valeur de $FCW'_{FS}(nT_1)$ que l'on doit multiplier par 0,035 afin d'obtenir la valeur du décalage en fréquence. L'écart initial est dû à l'initialisation des différents éléments de la l'ADPLL et de son réajustement par rapport au signal d'entrée. La figure 75 ci-dessous est un zoom effectué sur l'intervalle [0,01s ~ 0,05s] de la figure 74. Elle

illustre l'évolution du signal lorsqu'un changement de fréquence de 100mHz apparait en entrée du comparateur de phase et démontre l'aptitude de l'ADPLL à détecter ce changement.

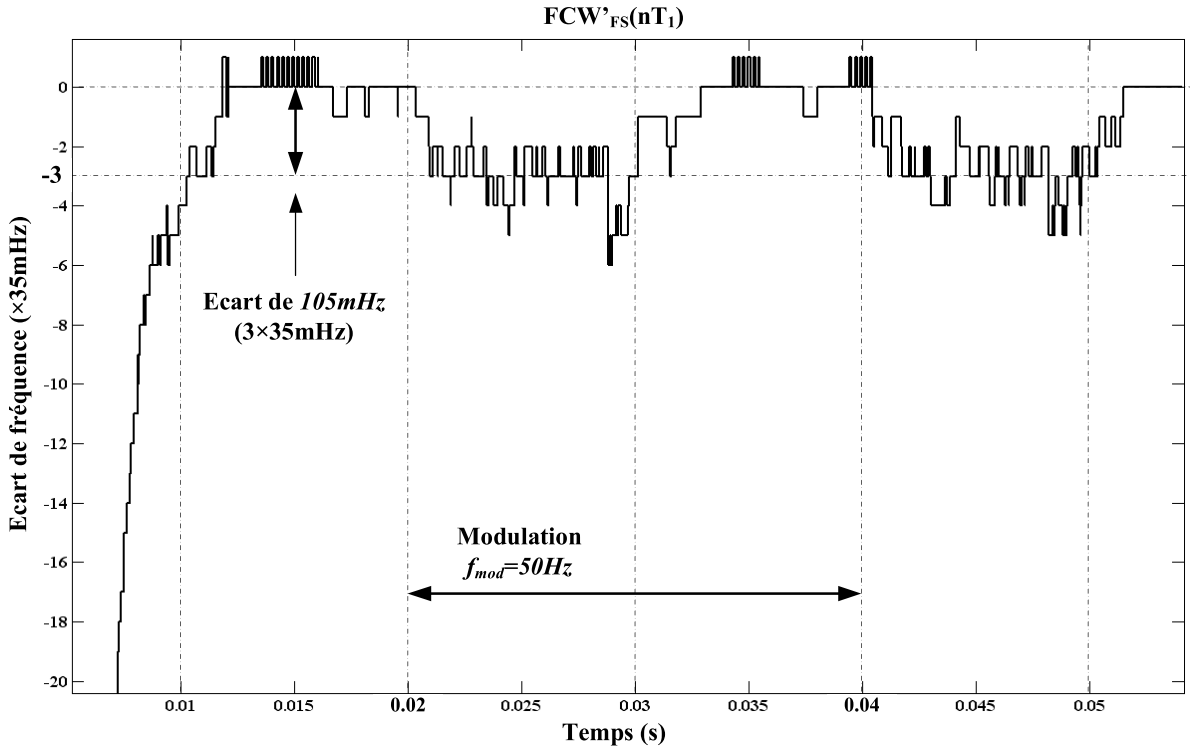


Fig.75. *Focalisation sur l'intervalle [0.01, 0.05] de la figure 89. f_{mod}=50Hz, Module de filtrage 2 : fc=95kHz, G=12 (équivalent à une multiplication par 2^{-12}).*

La figure qui suit (figure 76) est le résultat des mesures effectuées avec un signal sinusoïdal d'amplitude 1Vpp. Celui-ci a été généré avec un DDFS identique à celui présent dans l'ADPLL et implémenté en même temps que celle-ci dans le FPGA. La sortie du DDFS est connectée au DAC 14 bit puis le signal est injecté à l'ADC 14 bit qui est relié à l'entrée de l'ADPLL. La fréquence initiale, la fréquence de déviation et la fréquence de modulation ont été paramétrées via l'interface graphique. Le signal observé est ici $FCW_{FS}(nT_1)$ pris à la sortie de l'étage de sélection de bit (qui est également destiné au DPIC) (mesuré avec l'oscilloscope *Agilent infiniium MSO8104A*).

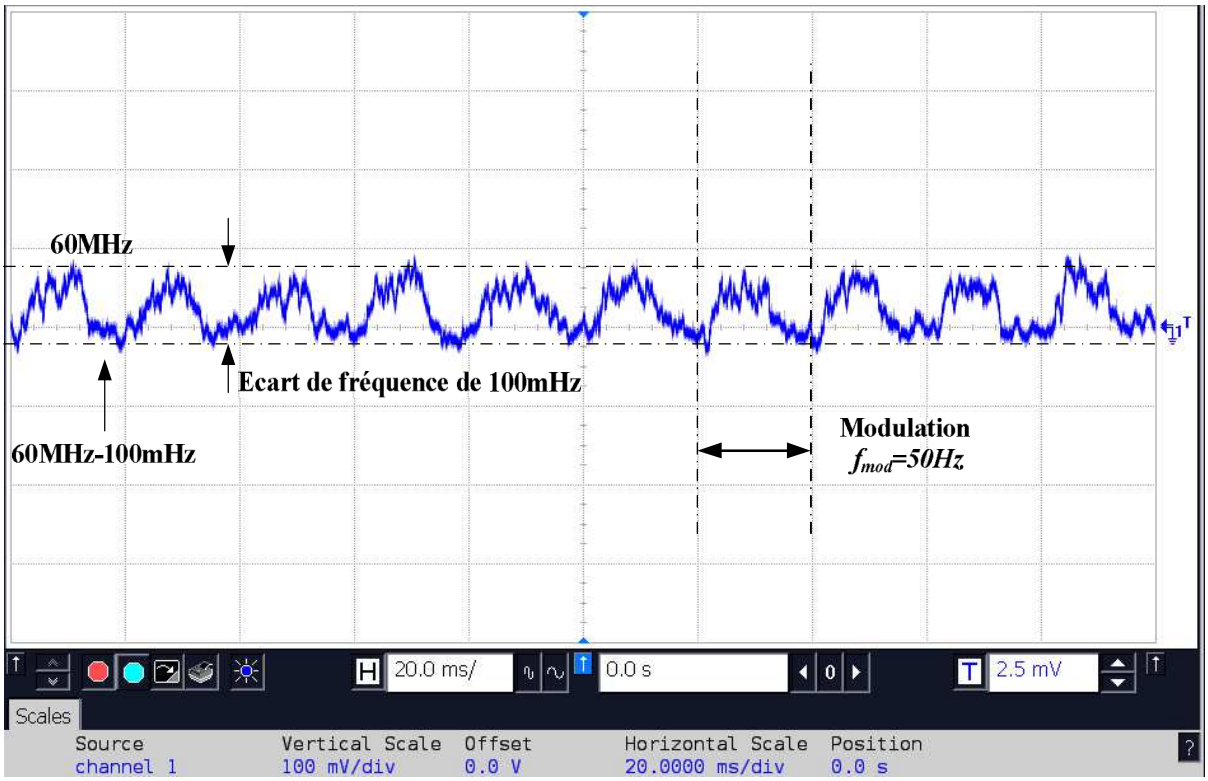


Fig.76. *Evolution temporelle de $FCW_{FS}(nT_1).f_{in}$=60MHz, f_{mod}=50Hz, Module de filtrage 3 : fc=16kHz, G=12 (équivalent à une multiplication par 2^{-12}), Sélection bit=6.*

Nous pouvons distinguer les variations d'amplitude, image du décalage en fréquence de 100mHz effectué en entrée de l'ADPLL à partir de la fréquence initiale de 60MHz. Cela démontre la capacité du système de contrôle à pouvoir détecter de telles variations. Des captures d'écran supplémentaires sont données en annexe 2 Par.VIII pour prouver le bon fonctionnement du système de contrôle sur la plage de fréquence [20kHz-60MHz].

III. Déphaseur

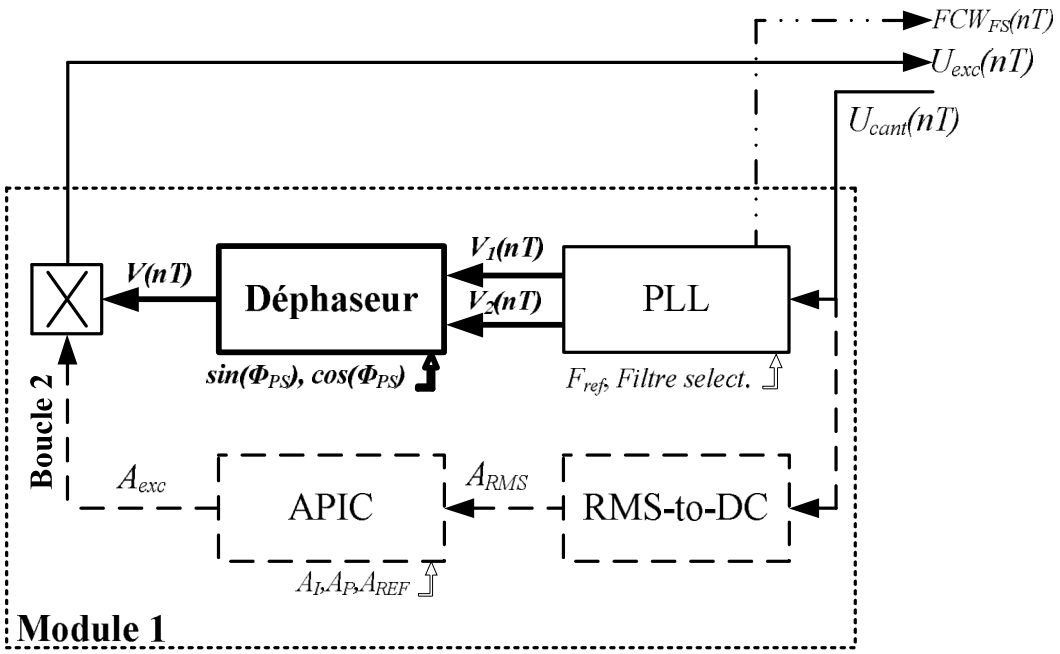


Fig.77. *Vue schématique du module 1 axé sur le déphaseur.*

Le déphaseur (*cf.* figure 77) (PS pour "*Phase Shifter*" en anglais) est utilisé dans le but d'ajuster le déphasage entre le signal issu de la photodiode $U_{cant}(t)$ et le signal d'excitation destiné au capteur de force $U_{exc}(t)$ à -90° (*cf. Figure 22*). Pour ce faire, il reçoit les signaux $V_1(nT)$ et $V_2(nT)$ fourni par le NCNO et génère le signal $V(nT)$ lequel est la partie *ac* du signal d'excitation $U_{exc}(nT)$. $V(nT)$ a pour expression :

$$V(nT) = \sin(\varphi_{PS} + w.nT + \varphi_{PLL}) \tag{46}$$

La phase de $V(nT)$ est ajustée via deux entrées externes nommées $cos(\Phi_{PS})$ et $sin(\Phi_{PS})$ auquel l'utilisateur a accès. Pour être plus précis, ce dernier peut saisir la valeur de la phase Φ_{PS}. Le programme (en langage C) exécuté par le microordinateur embarqué calcule le sinus et le cosinus associés puis les fournit au déphaseur. En réglant

$$\varphi_{PS} = \frac{\pi}{2} - \varphi_{PLL} \tag{47}$$

on s'assure ainsi du déphasage de -90° entre les signaux $U_{cant}(t)$ et $A_{exc}(t)$. La figure 78 ci-dessous illustre la structure du déphaseur.

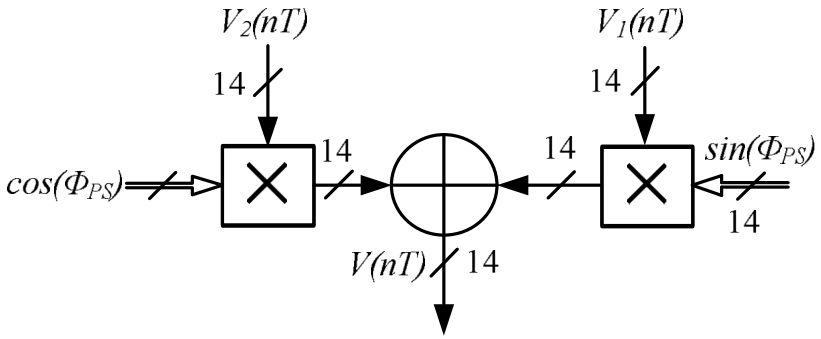


Fig. 78. *Structure du déphaseur comprenant deux multiplieurs à entrées/sorties codées sur 14 bit signés et un additionneur à entrées/sortie sur codées sur 14 bits signés également.*

Elle se base sur deux multiplieurs et un additionneur de 14 bit signés. En sortie des multiplieurs, seuls les 14 MSB sont gardés. Cela permet d'économiser des ressources matérielles, de simplifier le routage et l'implémentation dans le FPGA tout en ayant une précision suffisante pour l'ajustement du déphasage.

IV. Convertisseur d'amplitude efficace en amplitude continue (RMS-to-DC)

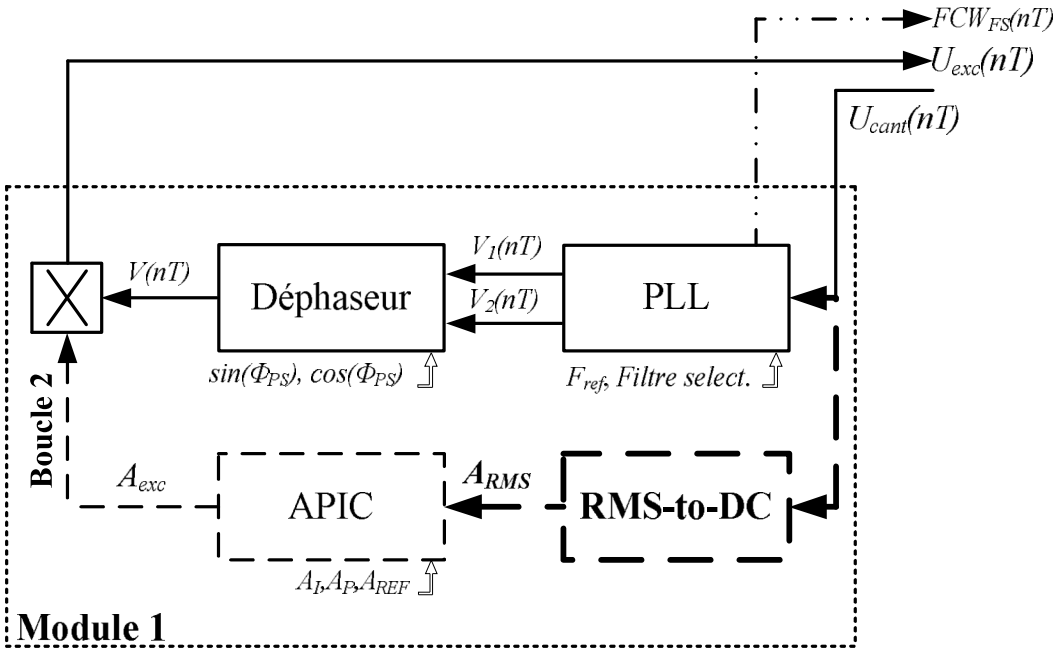


Fig.79. *Vue schématique du module 1, axé sur le convertisseur RMS-to-DC.*

Le convertisseur RMS-to-DC (*cf.* figure 79) dont le schéma structurel est représenté sur la figure 80 ci-dessous est utilisé pour transmettre au contrôleur d'amplitude une tension continue A_{RMS}.

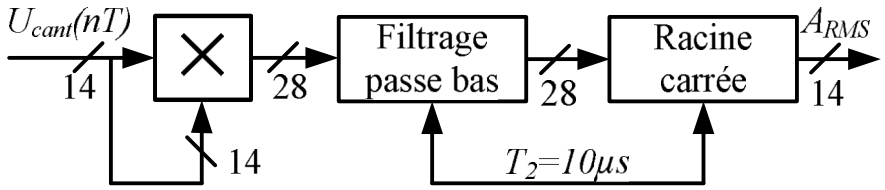


Fig.80. *Structure du convertisseur RMS-to-DC comprenant un multiplieur à entrées/sortie codées sur 14/28 bit signés, un module de filtrage passe bas et une IP d'Altera qui calcule la racine carrée du signal fournit par ce dernier.*

Celle-ci est ni plus ni moins que la valeur efficace du signal issu de la photodiode $U_{cant}(t)$ comme l'exprime la relation (48) ci-dessous :

$$A_{RMS} = \sqrt{\langle U_{cant}(nT_2)^2 \rangle} \tag{48}$$

T_2 est la période d'horloge (égale à 10µs).

Le multiplieur dont les deux entrées encodées sur 14 bit signés élève au carré le signal $U_{cant}(nT)$ et fournit le signal $U_{cant}(nT)^2$ au module de filtrage passe bas sur un bus de 28 bit signés afin de garder la pleine résolution.

Le module de filtrage moyenne ce signal pour donner $<U_{cant}(nT_2)^2>$ au bloc de calcul de la racine carré. Pour ce faire, il dispose d'une fréquence de coupure à -3dB égale à 4.2kHz. Il dispose d'une bande passante utile de 1kHz avec une atténuation négligeable (0,02dB) et d'une atténuation de 50dB à une fréquence de 10kHz. Ce sous système doit être plus lent que la PLL afin de garantir un contrôle correct des amplitudes d'oscillations du cantilever. Il est donc nécessaire de diminuer sa fréquence de fonctionnement. Ainsi, nous avons décidé qu'il serait plus judicieux d'utiliser la méthode de décimation car en plus de diminuer la fréquence de fonctionnement pour délivrer le signal A_{RMS} à la période T_2, nous pouvons filtrer le signal issu du multiplieur. Le module de filtrage est donc constitué de trois filtres FIR. Il y a tout d'abord un filtre CIC dont le facteur de décimation est de 150. Il est suivi d'un filtre passe bas qui décime par 10, un filtre de compensation n'a pas été jugé utile ici au vu de la faible atténuation engendré dans la bande passante utile. Enfin, un filtre passe bas "single rate" termine cette chaîne. Ce bloc a été conçu avec la même méthodologie que le module de filtrage de l'ADPLL. Les caractéristiques principales de ces filtres sont résumées dans le tableau 6 ci-dessous.

Le bloc "racine carrée" calcule la racine carrée du signal $<U_{cant}(nT_2)^2>$ et génère le signal continu (appelé également signal DC) A_{RMS} qui est codé sur 14 bit non signés. Pour implémenter ce bloc, nous avons utilisé une "IP" fournie par Altera. Celle-ci utilise les cœurs de DSP présent dans le FPGA ce qui permet de réduire les ressources matérielles nécessaires à son implémentation.

Filtrage passe bas

	N	**R**	**M**	$f_{c\text{-}3dB}$ **(kHz)**	**Atténuation (dB)**	**Mult.***	**Add.****	**Ordre**
CIC	5	150	1	-	150 @ 1MHz-1kHz	1	10	-
Filtre passe bas dec.	-	-		105	48@50kHz	41	40	40
Single rate filter	-	-	-	17	68@10kHz	41	40	40

Tab.6. *Caractéristiques principales des filtres constituant le module de filtrage passe bas.*

***Multiplieur,**

**** Additionneur.**

V. Contrôleur d'amplitude à gain intégral et proportionnel (APIC)

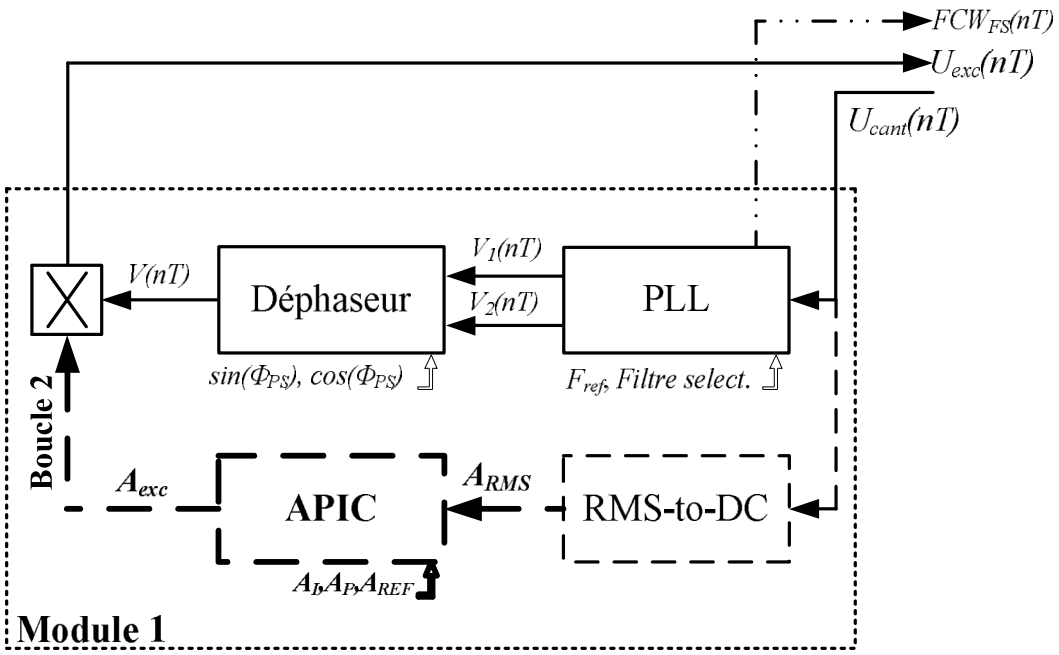


Fig.81. *Vue schématique du module 1, axé sur le contrôleur proportionnel et intégral d'amplitude (APIC).*

L'APIC (*cf.* figure 81) dont le schéma structurel est représenté sur la figure 82 génère le signal continu $A_{exc}(nT_2)$ de telle sorte que A_{RMS} soit égal à l'amplitude consigne A_{REF} fixé par l'utilisateur. $A_{exc}(nT_2)$ sera alors multiplié par $V(nT)$ afin d'obtenir le signal d'excitation du cantilever $U_{exc}(nT)$.

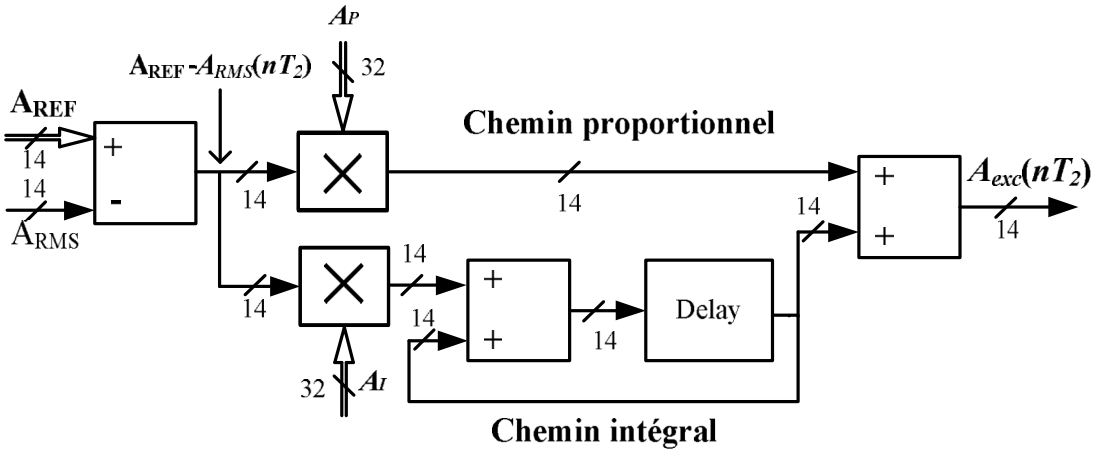


Fig.82. *Vue structurelle de l'APIC pour lequel les gains proportionnel et intégral ne sont pas définis par avance mais sont programmables par l'utilisateur.*

L'APIC est l'implémentation directe de la relation (49) ci-dessous qui détermine A_{exc}.

$$A_{EXC}(nT_2) = A_P\left[A_{REF} - A_{RMS}(nT_2)\right] + A_I\sum_{i=0}^{n}\left[A_{REF} - A_{RMS}(nT_2)\right] \quad (49)$$

La période d'horloge est là aussi T_2 car tout comme le convertisseur RMS-to-DC ce système doit être plus lent que la PLL pour garantir un fonctionnement correct du système de contrôle. Le signal A_{RMS} est tout d'abord soustrait à A_{REF}, puis la différence est envoyée vers les parties proportionnelle et intégrale. Le chemin proportionnel est réalisé avec un multiplieur où l'entrée correspondant au signal d'erreur est codée sur 14 bit signés et où le gain A_P, programmable, est codé sur 32 bit signés. Le gain proportionnel est utilisé pour corriger rapidement tout écart de l'amplitude consigne A_{REF}. La partie intégrale est dotée du même multiplieur recevant cette fois-ci le gain A_I. Un additionneur et un registre tout deux de 14 bit signés sont utilisés pour pouvoir réaliser l'opération d'intégration. Le gain intégral permet d'améliorer la précision du contrôleur et d'éliminer l'erreur qui subsiste lorsqu'on utilise uniquement le gain proportionnel. Un additionneur de 14 bit signés somme ces deux parties pour générer $A_{exc}(nT_2)$. Ce module contient également un système de sécurité qui n'est pas représenté dans le but de ne pas compliquer l'illustration de la figure 82. Celui-ci évite que le chemin proportionnel et le chemin intégral soit sujet à des débordements de mémoire. Une telle action engendrerait une instabilité de la pointe et pourrait également l'écraser contre la surface.

VI. Conclusion

Ce chapitre a mis l'accent sur les différents sous ensembles constituant le module 1 tels que la boucle à verrouillage de phase entièrement numérique (ADPLL), le déphaseur, le convertisseur RMS-to-DC (Root Mean Square to DC) et le contrôleur d'amplitude à gain proportionnel et intégral (APIC).

L'élément clé du système de contrôle réside dans l'ADPLL. Parmi les différents types de boucle à verrouillage de phase c'est cette dernière qui a été retenue car elle permet d'atteindre la résolution voulue qui est de 100mHz sous une plage de fréquence allant de 20kHz à 60MHz. Son architecture est basée sur l'ADPLL à fréquence d'échantillonnage de *Nyquist* et les signaux traités sont de natures sinusoïdales. L'oscillateur est basé sur l'algorithme CORDIC (COordinate Rotation Digital Computer). Celui-ci a été choisi en raison de sa consommation en mémoire extrêmement faible et de sa précision fréquentielle (35mHz dans le cas présent) nécessaire à l'obtention d'une résolution de 100mHz pour l'ADPLL. Les résultats d'émulation et de mesures menées sur l'ADPLL ont prouvé que la

détection d'un écart minimal de 100mHz sous une fréquence de fonctionnement allant de 20kHz à 60MHz est possible.

Les premiers résultats relatifs à la validation du système dans sa globalité seront exposés dans le chapitre 4. Les mesures ont été effectuées *in-situ* et pour des capteurs de force "standards" (dont la fréquence de résonance est de l'ordre de 150kHz).

Références

[ADE99] Analog Devices “A Technical Tutorial on Digital Signal Synthesis,”, 1999.

[AHM07] A. I. Ahmed, S. H. Rahman, and O. A.Mohamed, “FPGA implementation and performance evaluation of a digital carrier synchronizer using different numerically controlled oscillators,” *in Proc. Can. Conf. Elect. Comput. Eng.*, 2007, pp. 1243–1246.

[ALT12] Altera, “NCO MegaCore FunctionUser Guide”, http://www.altera.com.

[BEL32] H. de Bellescize, "La réception synchrone", *L’onde électrique, vol. 11, p. 225–240, mai 1932.*

[CRO75] R. E. Crochiere, L. R. Rabiner, ” Optimum FIR Digital Filter Implementations for Decimation, Interpolation and Narrow-Band Filtering,” *IEEE Trans. Acoustics, Speech, and Signal Proc., Vol. ASSP-23, NO. 5, OCTOBER 1975.*

[HOG81] E. B. Hogenauer ,” An Economical Class of Digital Filters for Decimation and Interpolation,” *IEEE Trans. Acoustics, Speech, and Signal Proc., Vol. ASSP-29, NO. 2, APRIL 1981.*

[HUN11] C.C. Hung and S.I. Liu," A 40-GHz Fast-Locked All-Digital Phase-Locked Loop Using a Modified Bang-Bang Algorithm", *IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 58, No. 6, Juin 2011 pp.321-325.*

[KIM99] N.-G. Kimand I.-J. Ha, “Design of ADPLL for both large lock-in range and good tracking performance,” *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 46, no. 9, pp. 1192–1204, Sep. 1999.

[KUM10] M. Kumm, H. Klingbeil, and P. Zipf “An FPGA-Based Linear All-Digital Phase-Locked Loop,” *IEEE Trans. Circuits Syst. I*, 2010.

[LAN04] J.M.P. Langlois and D. Al-Khalili, "Phase to sinusoid amplitude conversion techniques for direct digital frequency synthesis," *IEE Proc.-Circuits Devices Syst., Vol. 151, No. 6, December 2004.*

[OPP10] A. V. Oppenheim, R. W. Schafer, “Discrte-Time Signal Processing,” *Third Edition, PEARSON, 2010.*

[PAR72] T.Parks, J.McClellan, " Chebyshev Approximation for Nonrecursive Digital Filters with linear Phase", *IEEE Transactions on Circuit Theory, Mar 1972, Vol.19, pp. 189 – 194.*

[REM57] E.Y. Remez, "General Computational Methods of Chebychev Approximation", *Kiev, USSR : Atomic Energy Translation 4491, 1957.*

[THI71] J. Tierney, C. M. Rader, B. Gold, “A Digital Frequency Synthesizer,” IEEE Trans. Audio and Electroacoustics, Vol. AU-19, No. 1, Mars 1971.

[VOL59] J. Volder, ‘The CORDIC trigonometric computing technique’, *IRE Trans. Electron. Comput., 1959, 8, (3), pp. 330–334.*

[XU10] L. Xu, S. Lindfors, K. Stadius and J. Ryynänen, " A 2.4-GHz Low-Power All-Digital Phase-Locked Loop", *IEEE JSSC, vol. 45, No. 8,août 2010, pp.1513-1521.*

CHAPITRE IV
MESURES *IN-SITU*

I. Introduction

Le chapitre 3 a mis l'accent sur le fonctionnement et la conception des différentes parties qui constituent le module 1 du système de contrôle du capteur de force. Les résultats issus de l'émulation ainsi que de la mesure de la boucle à verrouillage de phase entièrement numérique (ADPLL) ont démontré que celle-ci est capable de détecter un écart minimal de fréquence de 100mHz sous une fréquence maximale de résonance du capteur de force de 60MHz. Les boucles d'asservissement d'amplitude et de distance n'ont pas pu être testées car elles nécessitent la présence du microscope à force atomique (AFM). Ainsi, afin d'effectuer un test complet, il est nécessaire de faire fonctionner le système de contrôle *in-situ*. L'électronique de contrôle a été testée avec des capteurs de force "standards" car nous ne disposons pas actuellement de capteur haute fréquence. Le fonctionnement *in situ* permet de vérifier les points suivants :

- Vérifier le fonctionnement du système en son entier, composé des cartes d'interfaces de conversion numérique/analogique et analogique/numérique (DAC/ADC), des différents sous ensembles tel que l'ADPLL, le déphaseur, le convertisseur RMS-to-DC (Root Mean Square to DC), le contrôleur d'amplitude à gain proportionnel et intégral (APIC), l'interface de commande (vitesse d'envoi des données suffisamment rapides pour ne pas pénaliser le fonctionnement du système de contrôle) et enfin les différents modules de sécurité (qui n'ont pas été décris par soucis de clarté).
- De procéder à l'adaptation des entrées et sorties du système de contrôle pour rendre compatible les seuils de tension (amplification, atténuation).
- Se familiariser et apprendre à manipuler ce nouveau système avec des pointes "standards" pour minimiser les risques de destruction des pointes hautes fréquences. L'idée sous-jacente est que si l'utilisateur vient à commettre des erreurs de manipulation avec ce nouveau système, il est préférable de détruire les pointes standards au lieu des pointes hautes fréquences car celles-ci ne seront pas disponibles en grande quantité.
- Vérifier que le bruit généré par le fonctionnement de l'électronique de contrôle ne soit pas le facteur limitant à l'obtention de la résolution atomique.

Pour vérifier que nous obtenons la résolution atomique, la surface de test utilisée sera le chlorure de rubidium (RbCl) qui est un sel ionique. Par la suite, l'électronique de contrôle sera testée avec un système moléculaire déposé sur le RbCl et délicat à imager. En effet, les molécules sont faiblement liées à la surface et peuvent facilement être déplacées sous l'interaction avec la pointe. Cela permettra de vérifier son comportement dans ce cas particulier qui est jugé comme critique d'un point de vue asservissement.

Nous allons tout d'abord présenter le banc de test, puis l'échantillon utilisé pour l'imagerie. Nous poursuivrons par la présentation des images obtenues (avec la résolution

atomique) de la surface du sel ionique et nous terminerons par la présentation de la molécule utilisée ainsi que les images de l'assemblage moléculaire sur la surface atomique.

II. Banc de test

Ce banc de mesure, qui est illustré sur la figure 83 comprend deux chambres (A) et (P) ultravide interconnectées où peut siéger une pression minimale de 2.10^{-10} mbar.

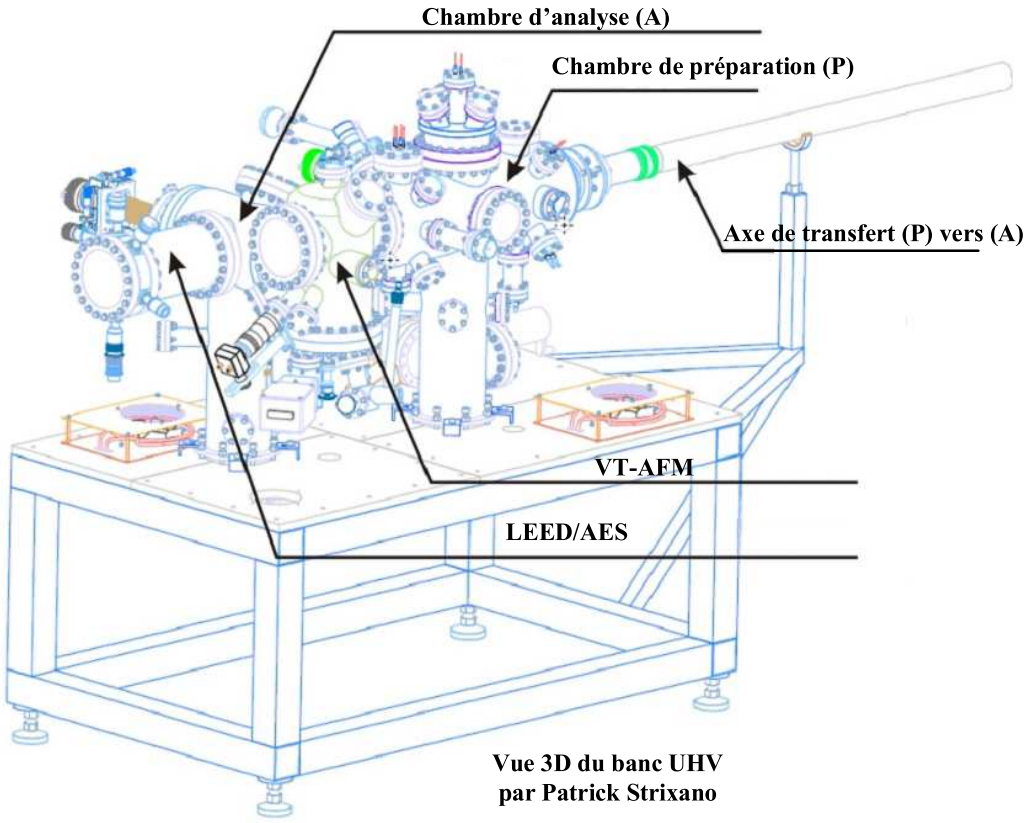


Fig.83. *Vue schématique en trois dimensions du banc de test (Microscope FM-AFM Ultravide).*

La chambre de préparation (P) inclus un four pour le chauffage par bombardement électronique (la température peut être de 1300°C approximativement) et un four résistif classique (la température maximale peut être de 500°C approximativement). Une source d'évaporation de métaux, un creuset fixe et un creuset amovible complètent le dispositif. Un creuset peut être comparé à une sorte de petit cylindre creux dans lequel sont déposées les molécules. Lorsque celui-ci est chauffé à l'aide d'un filament qui l'entoure, les molécules sont sublimées.

La chambre d'analyse comprend le microscope en lui-même (VT-AFM d'OMICRON[1]) que l'on peut voir également sur la figure 84 ci-dessous ainsi qu'un spectromètre LEED/AES[2] à faible courant (compris entre 20pA et 200nA).

[1] Omicron NanoTechnology GmbH, Limburger Strasse 75, D - 65232 Taunusstein.

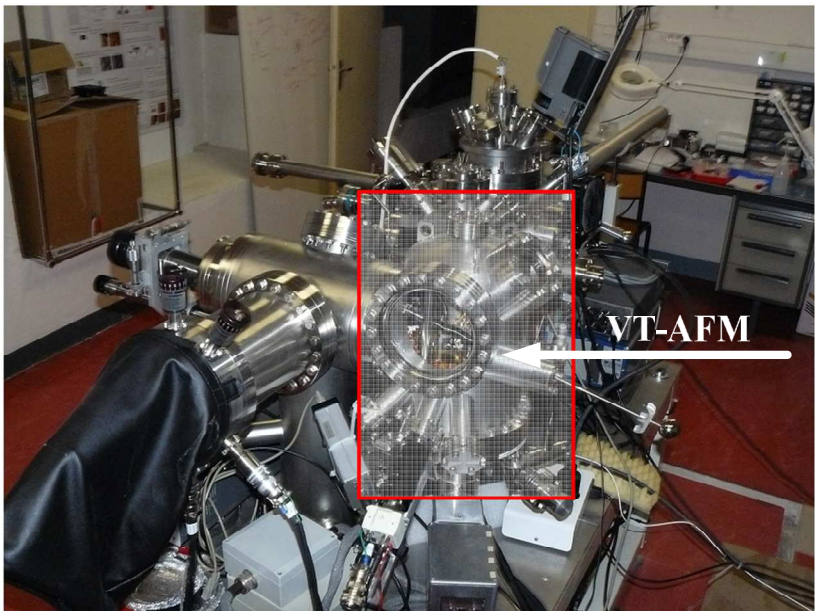


Fig.84. *Photographie du banc de mesure avec, encadré en rouge, la chambre ultra vide où est placé le microscope AFM.*

Le microscope est connecté à l'instrumentation représentée sur la figure 85 ci-dessous fabriquée par la société RHK[3]. Nous retrouvons donc le module de contrôle des piézos pour le déplacement sur la surface à étudier, le contrôle du balayage et l'asservissement de distance (SPM100). Un second module gère le déplacement micrométrique (approche et retrait de la pointe) et nous retrouvons l'ADPLL initiale (PLLPro2 de RHK).

Fig.85. *Electronique de contrôle associée au microscope à force atomique.*

[2] OCI Vacuum Microengineering, Inc. 200 Stronach Cres, London, Ontario N5V 3A1, Canada.

[3] RHK Technology, 1050 East Maple Road, Troy, MI 48083 USA.

Pour tester le nouveau système de contrôle (*cf.* Ch2-fig.20), nous l'avons disposé à la place du module ADPLL utilisée initialement par l'électronique de contrôle. La figure 86 ci-dessous illustre son emplacement au sein du banc de mesure actuel.

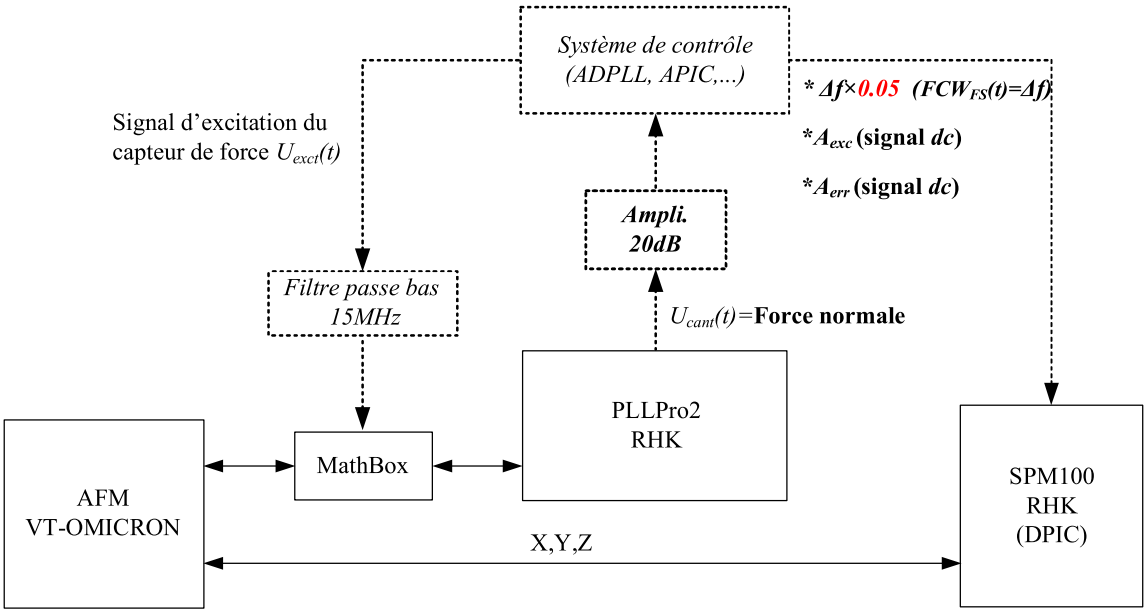


Fig.86. *Schéma fonctionnel représentant le banc de test qui comprend le nouveau système de contrôle représenté en pointillé. Le bloc "ampli 20dB" adapte l'amplitude du signal issu de la photodiode pour l'ADPLL. L'amplitude du signal Δf est diminuée d'un facteur 0.05 pour qu'elle soit compatible avec la plage de tension d'entrée du module SPM100.*

Nous pouvons voir en trait plein le système de contrôle initial constitué de l'AFM, de l'asservissement en distance (DPIC) et de la détection du décalage en fréquence (PLLPro2). En trait pointillé est représenté la connexion entre le nouveau système de contrôle et l'AFM ainsi que le DPIC. La PLL initiale (PLLPro2) est utilisée uniquement pour fournir le signal issu de la diode quatre quadrants et qui est nommé "force normale", lequel est calculé par la "MathBox". Cela signifie que l'on prend en compte uniquement le déplacement selon l'axe des ordonnées relatif à la diode quatre quadrants c'est-à-dire l'oscillation issu du capteur de force. Le bloc nommé "ampli 20dB" est utilisé pour amplifier le signal issu de la PLLPro2 qui n'est que de 20mV approximativement. Cela permet d'avoir une amplitude suffisante (de l'ordre de 200mV) à l'entrée de l'ADC 14 bit pour qu'il puisse numériser correctement le signal $U_{cant}(t)$. Le signal d'excitation $U_{exc}(t)$ est filtré par un filtre passe bas de fréquence de coupure 15MHz avant d'être envoyé au bloc AFM par l'intermédiaire du bloc MathBox. Le nouveau système de contrôle assure la détection du décalage en fréquence du capteur de force, l'asservissement en amplitude et la génération du signal d'excitation. Il fournit au bloc SPM100 le décalage en fréquence (Δf) pour l'asservissement en distance ainsi que l'amplitude du signal d'excitation A_{exc} et le signal A_{err} qui est le résultat de A_{ref}-$A_{RMS}(nT_2)$ (*cf.* ChIII-

Par.V). Ces signaux servent également à la génération des images de la surface de l'échantillon étudié. Le signal Δf a du être atténué d'un facteur 0.05 afin d'adapter sa plage de tension à celle de l'entrée du DPIC.

Une fois que l'électronique de contrôle est correctement reliée à l'instrumentation initiale, il faut paramétrer la pointe (*cf.* CHI.Par.I.1), c'est-à-dire déterminer sa fréquence de résonance (f_0~156kHz) et l'amplitude d'oscillation (A_0~10nm). La figure ci-dessous illustre le type de pointe (Nanosensor[4]) utilisée.

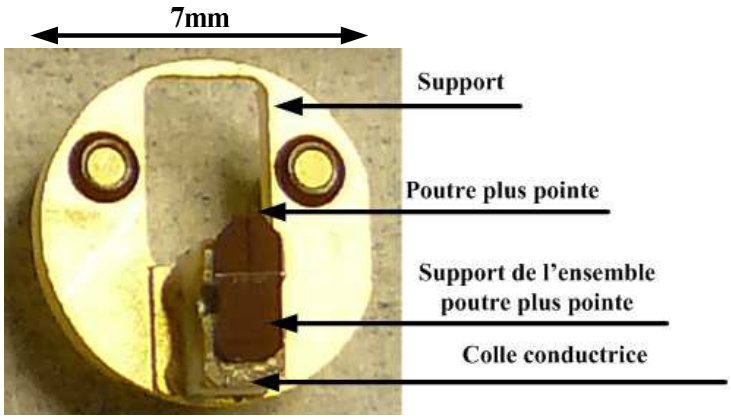


Fig.87. *Support de pointe avec une pointe (Nanosensor) montée.*

L'ensemble poutre-pointe et solidaire du support (en marron) qui est relié via une colle conductrice à un second support utilisé pour fixer le capteur de force sur le piézo de déplacement en (x,y,z).

Enfin, il est nécessaire de procéder à la calibration de l'amplitude d'oscillation de la pointe. En effet, l'amplitude d'oscillation est exprimée en millivolt mais nous devons savoir à combien de nanomètre d'amplitude cela correspond. La figure 88 ci-dessous décrit le processus employé.

[4]NanoWorld AG, Headquarters, Switzerland**,** Rue Jaquet-Droz 1, CH-2002 Neuchâtel, Switzerland.

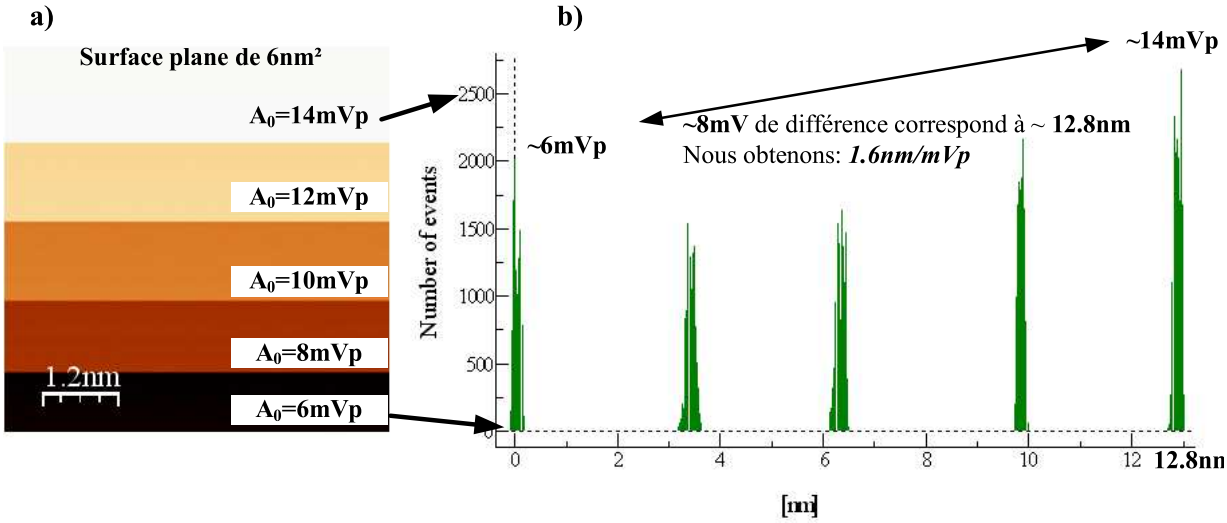


Fig.88. *a)Topographie effectuée sur une zone de faible superficie pour différente amplitude. b) Histogramme de cette topographie qui permet d'établir la correspondance entre l'amplitude, exprimée en nm, d'oscillation du capteur de force et l'amplitude exprimée en mVp de ce dernier.*

La pointe est approchée dans le régime de courte portée avec une amplitude d'oscillation de 14mVp. L'oscillation est diminuée par pas de 2mVp (mesurée par la PLLPro2 de RHK). A l'aide de l'histogramme on évalue la correspondance entre l'amplitude exprimée en millivolt et l'amplitude exprimée en nanomètre. Ainsi on en déduit qu'une amplitude de 8mVp correspond approximativement à une amplitude de 12.8nm ce qui donne une amplitude de 1.6nm pour 1mVp. La zone de la surface du RbCl qui a servi à la calibration est supposée plane et prise égale à 6nm².

III. Imagerie du chlorure de rubidium

III.1. Préparation

Nous utilisons du chlorure de rubidium (RbCl) qui est un sel ionique dont la structure, représentée sur la figure 89, est comparable à celle d'un sel de roche. L'échantillon utilisé provient d'un barreau de RbCl de dimension 10×10×50mm acheté chez Mateck[5].

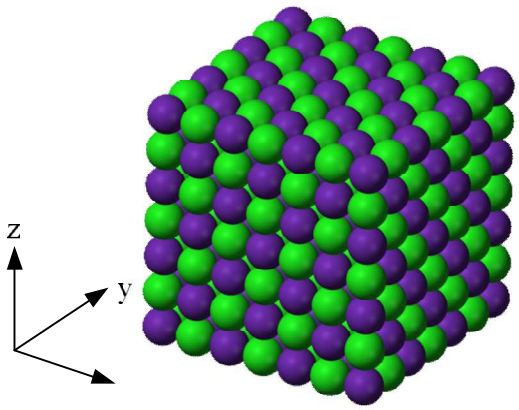


Fig.89. *Chlorure de rubidium dont nous pouvons observer la structure en sel de roche [WIK12] et l'alternance entre les anions et les cations.*

Nous considérons dans ce cas ci la maille cubique à face centrée. Une représentation en deux dimensions de la structure du RbCl est donnée sur la figure 90 ci-dessous.

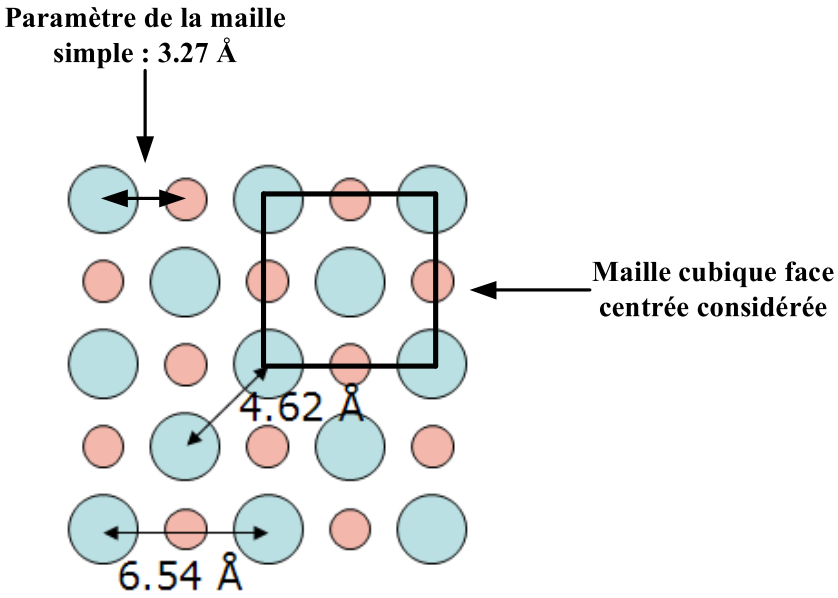


Fig.90. *Vue en deux dimensions de la structure en sel de roche du RbCl. Pour cette étude nous considérons la maille cubique à face centrée.*

[5] MaTecK - Material-Technologie & Kristalle GmbH, Dr. H. Schlich, Im Langenbroich 20, D-52428 Juelich.

Pour étudier l'échantillon, il a d'abord fallu en découper un morceau à partir du barreau initial. Ce découpage est effectué *ex situ*. Par la suite il est placé sur un porte échantillon illustré par la figure 91 ci-dessous.

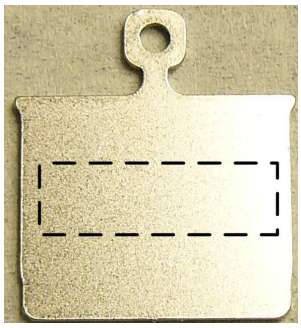


Fig.91. *Photographie d'un porte échantillon utilisé en ultra vide. Les fixations ne sont pas présentes et le rectangle en pointillé illustre l'emplacement de l échantillon de RbCl.*

Le rectangle en pointillé représente le morceau d'échantillon de RbCl maintenu de part et d'autre par des fixations qui ne sont pas montrées. Par la suite, l'échantillon est chauffé *in situ* dans la chambre de préparation pendant 45 minutes à une température de 200°C.

III.2. Imagerie macroscopique et nanométrique

L'échantillon est désormais dans la chambre d'analyse. Ci-dessous, une image macroscopique de la surface du RbCl. L'évaluation des images est effectuée à l'aide du logiciel WXsM [HOR07].

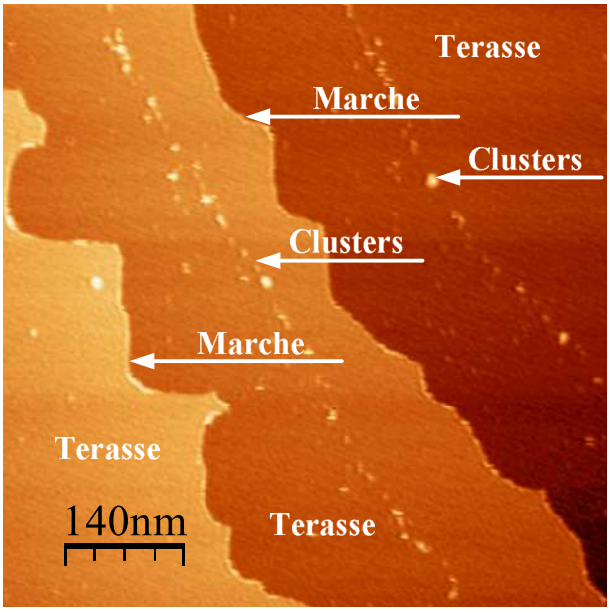


Fig.92. *Vue macroscopique de la surface du RbCl avec la présence de marche, de terrasse et de cluster qui illustrent l'emplacement initial des marches. Δf=15Hz, A_0=15mVp.*

Le recuit effectué à 200°C pendant 45 minutes donne des marches et des terrasses assez propres. Nous pouvons observer la présence de clusters qui marquent l'emplacement initial des marches avant le recuit. Celui-ci aurait dû être plus long ou effectué à une température plus élevée pour les éliminer. Néanmoins, la surface est de bonne qualité pour atteindre la résolution atomique mise en évidence sur la figure 93 ci-dessous.

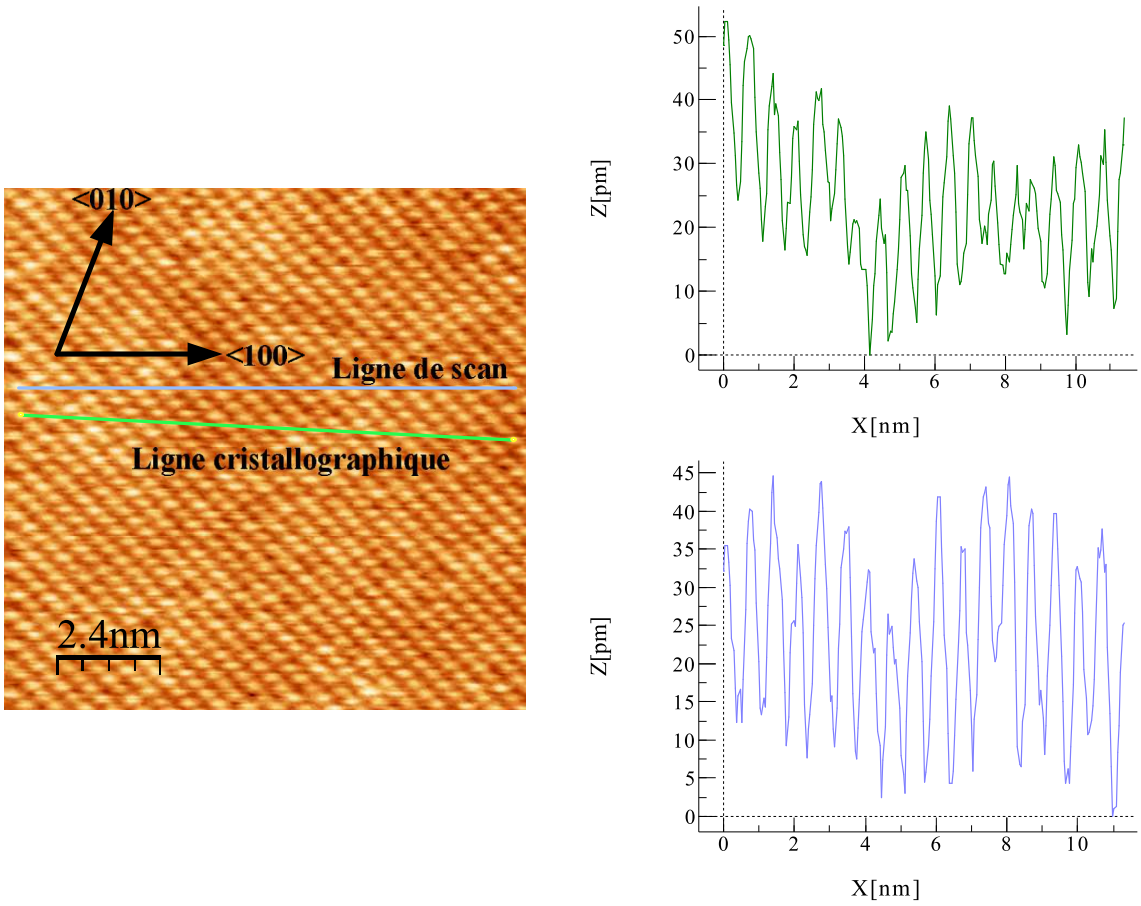


Fig.93. *Résolution atomique du RbCl qui permet de valider le fonctionnement du nouveau système de contrôle. Δf=14Hz, A_0=15mVp (~24 nm). Le profil représenté en vert correspond à la ligne cristallographique et le profil bleu est associé à la ligne de scan.*

Une seule espèce d'ion est imagée car la pointe est polarisée [HOF04]. Le paramètre de maille (4.62Å) correspond aux mêmes espèces ioniques décrit sur la figure 90. Le profil le long de la direction de scan ainsi que le long de la direction <100> du cristal ionique est de bonne qualité (20 pm de corrugation). Le bruit y est relativement bas. Qui plus est, celui-ci est de nature thermique et non électronique. Ces observations permettent de valider le système de contrôle.

IV. Couche moléculaire

La molécule utilisée se nomme 1,4-bis(4'-cyanophényle)-2,5-bis(décyloxy)benzène. Sa représentation est donnée sur la figure 94 ci-dessous.

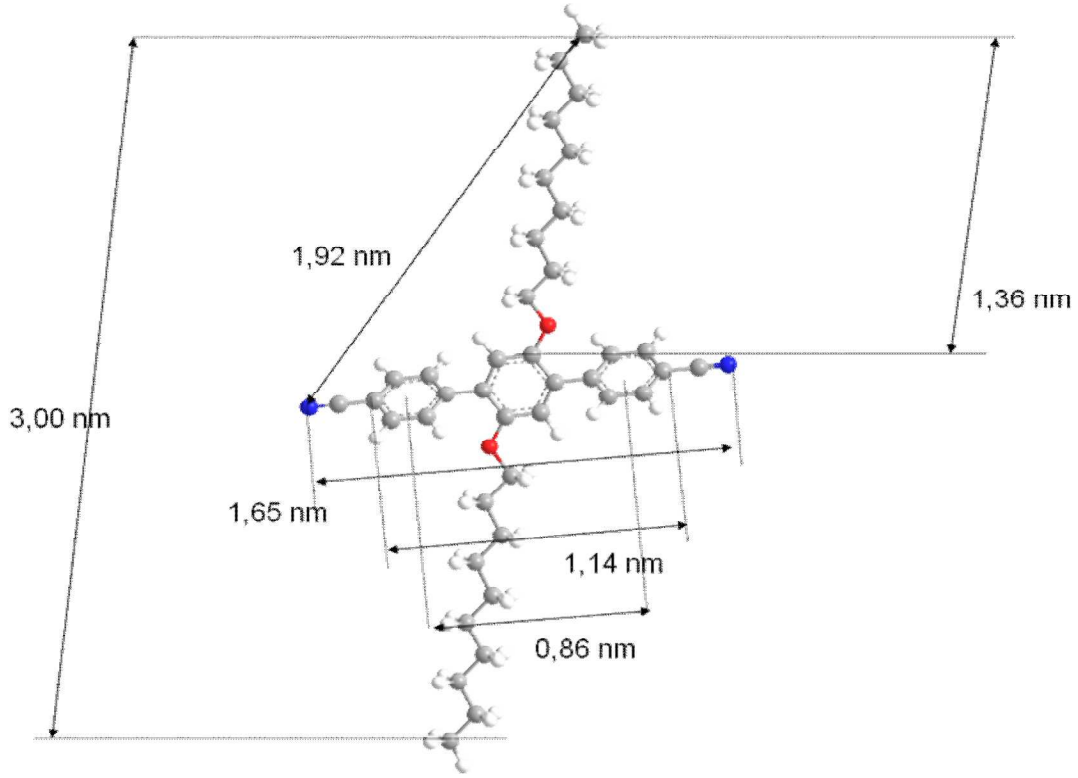


Fig.94. *Molécule 1,4-bis(4'-cyanophényle)-2,5-bis(décyloxy)benzène.*

Les deux branches cyanophényles sont hors plan. L'angle des chaînes alkyles par rapport au corps de la molécule peut être facilement adapté pour faciliter l'interdigitation des chaînes alkyles [BLE07]. Ce type de molécule est très utilisé dans le domaine de l'auto-assemblage supramoléculaire. En effet, l'interdigitation des chaines alkyles permet de stabiliser les réseaux supramoléculaires par des interactions de van der Waals entre les molécules. Elles peuvent ainsi se lier facilement entre elles à la température ambiante contrairement à la plupart des molécules organiques qui ont tendance à faire des clusters sur des sels ioniques. Par conséquent, il est donc possible d'élaborer des fils moléculaires et par la même occasion, d'établir un banc de test moléculaire assez facilement pour évaluer la réaction du système de contrôle.

IV.1. Préparation

La couche moléculaire a été évaporée sur le substrat RbCl à la température ambiante. Les molécules sont initialement disposées dans un creuset représenté sur la figure 95 ci-dessous.

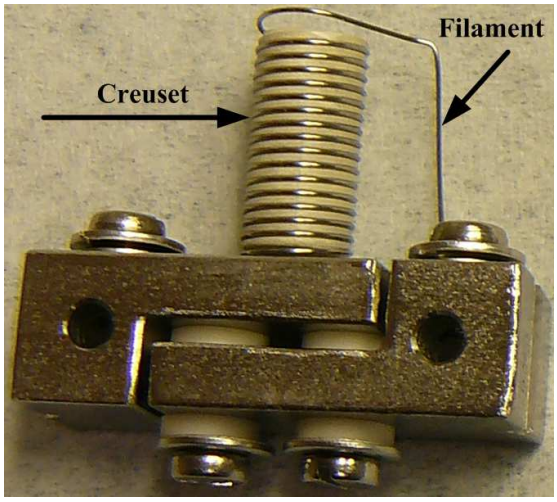


Fig.95. *Photographie du creuset logé dans son support et chauffé par un filament afin d'évaporer les molécules sur le substrat RbCl.*

Le taux d'évaporation est mesuré à l'aide d'un quartz placé dans la zone d'évaporation des molécules tel que décrit sur la figure 96 ci-dessous.

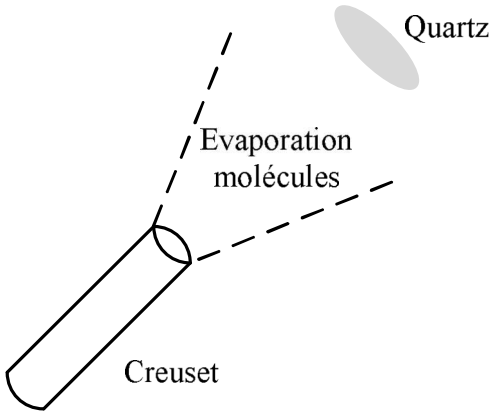


Fig.96. *Schéma descriptif de la mesure du dépôt de molécule sur le substrat.*

La masse du quartz varie sous l'accumulation des molécules sur celui-ci, modifiant sa fréquence de résonance initiale (5MHz). Ainsi, en relevant le décalage en fréquence après un temps donnée, on en déduit le taux d'évaporation qui est, dans ce cas ci, de l'ordre d'une monocouche par minute.

IV.2. Imagerie macroscopique et nanométrique

L'image présente sur la figure 97 montre des domaines qui regroupent des fils moléculaires. On peut voir également la présence de quatre domaines (représentés par les flèches blanches) orienté selon la maille centrée (<310>, soit α=±18.4° par rapport aux directions <100> et <010>). Par soucis de simplicité, les directions des domaines moléculaires sont nommées $<1>_m$, $<2>_m$, $<3>_m$, $<4>_m$.

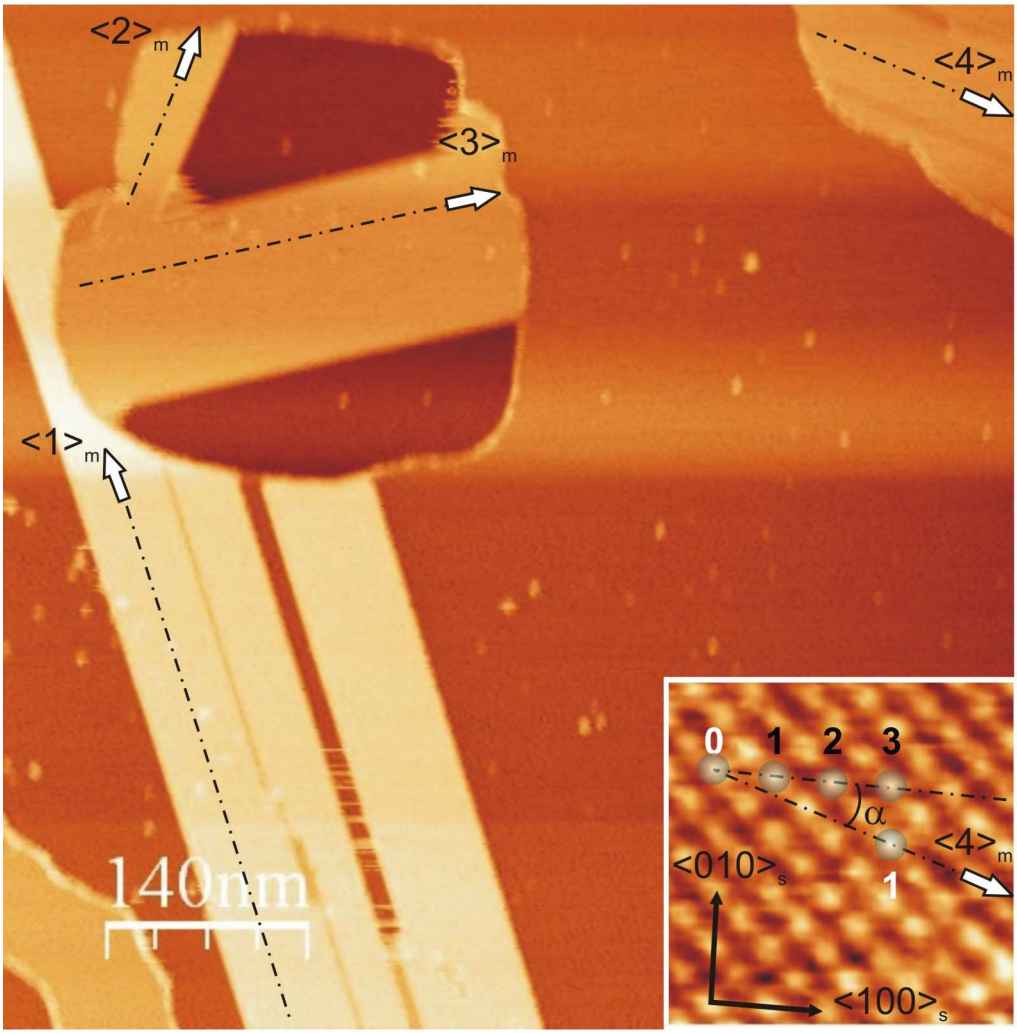
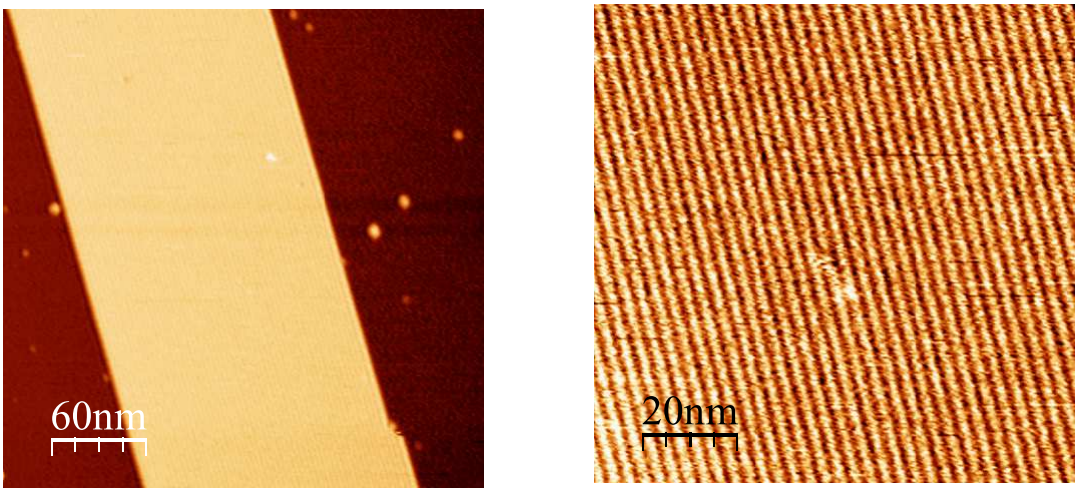


Fig.97. *Molécules sur substrat RbCl. Nous pouvons observer quatre domaines orientés selon la direction <310>. Δf=17Hz, A_0=12mVp. Le zoom sur le substrat montre son orientation par rapport à celui des domaines de molécules.*

Sur la figure 97, nous pouvons voir également le substrat avec l'orientation cristalline et l'orientation des lignes moléculaires relatives au domaine quatre. L'image 98(a) ci-dessous a été prise après un zoom effectué sur le domaine moléculaire de direction $<1>_m$. L'image 98(b) est un zoom effectué sur l'image 98(a). On peut observer une formation assez homogène et régulière.



(a) (b)

Fig.98. *(a) Zoom sur l'image de la figure 112, topographie de 300×300nm². (b) zoom sur l'image (a), l'amplitude d'oscillation est de 19.2nm, topographie de 100×100nm². Δf=7Hz, A_0=12mVp pour les deux topographies.*

Ci-dessous, sur la figure 99 nous pouvons observer l'organisation des molécules dans les lignes et nous voyons également qu'une ligne sur deux est différente. Nous pouvons prétendre voir ce qui semble s'apparenter à deux "bosses" par molécules sur les lignes claires. Cela est plus délicat à affirmer sur les lignes sombres, ce qui est probablement dû à un effet de pointe.

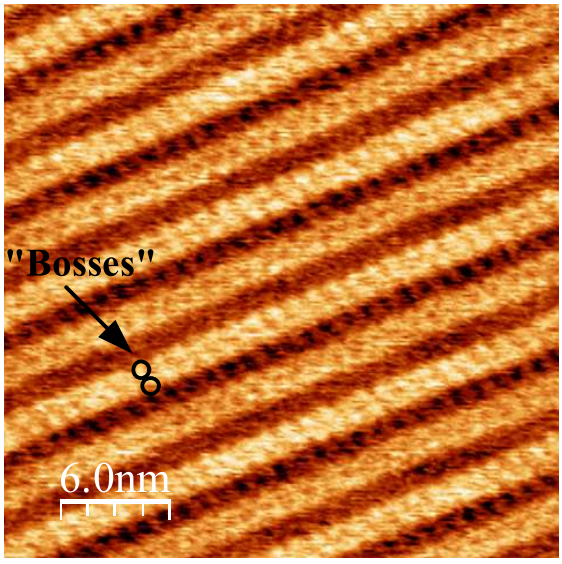
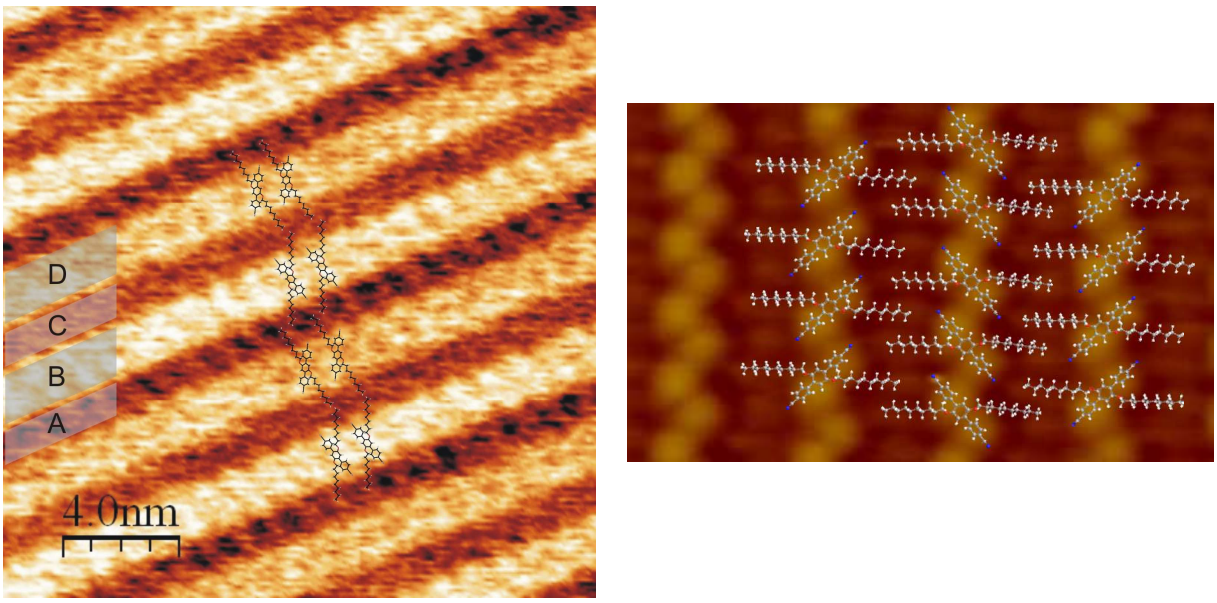


Fig.99. *Imagerie nanométrique des molécules évaporées sur le substrat RbCl. La topographie est de 30×30nm². Δf=42, A_0=12mVp.*

A l'aide de la figure 100(a) ci-dessous, il est possible de donner une interprétation de la disposition des molécules. Dans cette configuration, leur taille (après étude) serait de l'ordre de 3.1nm. Cette configuration permettrait également d'expliquer partiellement l'origine des quatre types de contrastes visibles dans l'image ("bandes" notés A, B, C et D). En configuration de "zig-zag" d'une ligne à l'autre, les molécules peuvent être imagées sous la forme de bandes de fort contraste (type B) et de bandes de faible contraste (type D). Au sein des bandes de type B, nous pouvons distinguer deux lobes par molécule (cf. figure 99) qui pourraient être chacun des cycles phényl externes du polycycle central de la molécule et nécessairement inclinés par rapport au plan horizontal. Au sein des bandes de type D, on ne distingue pas clairement les deux lobes homologues, mais une telle asymétrie par rapport aux molécules dans les bandes B peut s'expliquer par une asymétrie de pointe et donc d'interaction (et par conséquent de contraste résultant dans l'image) différente entre les molécules dans les bandes B et D. La différence d'orientation des molécules entre ces deux bandes induit naturellement deux bordures moléculaires d'interactions différentes (bandes A et C).

Nous pouvons également remarquer que cette organisation est très similaire à celle observée pour les mêmes molécules sur substrat SiB [Fred12] (cf. figure 100(b)) et démontre que sur des surfaces où l'interaction entre molécules et surface est relativement faible, l'agencement de ces molécules est engendrée par l'interdigitation des chaines alkyles.



(a) (b)

Fig.100. *(a) Images AFM des molécules 1,4-bis(4'-cyanophényle)-2,5-bis(décyloxy)benzène. Leur disposition, possible, sur le substrat RbCl y est représentée. (b) Image STM de ces mêmes molécules sur substrat SiB.*

V. Conclusion

L'objectif de ce chapitre fut de vérifier lors des tests *in situ* le fonctionnement du système de contrôle pour vérifier, entre autre, l'obtention de la résolution atomique et son comportement lors de l'imagerie de molécule. La surface de test utilisée fut le chlorure de rubidium (RbCl) qui est un sel ionique. La molécule employée se nomme 1,4-bis(4'-cyanophényle)-2,5-bis(décyloxy)benzène.

Ainsi, nous avons d'abord présenté le banc de test qui met en œuvre le microscope à force atomique (AFM) et l'instrumentation initiale où le nouveau système de contrôle est intégré. Nous avons par la suite procédé à l'adaptation des entrées/sorties entre cette nouvelle électronique et l'instrumentation existante puis nous avons calibré la pointe.

Une fois ceci fait nous avons imagé la surface du chlorure de rubidium. L'image macroscopique obtenue montre une surface de bonne qualité pour atteindre la résolution atomique. L'image nanométrique de bonne qualité prouve que l'on obtient bien la résolution atomique.

Enfin, nous avons évoqué la préparation de la couche moléculaire puis procédé à son imagerie. L'image macroscopique montre quatre domaines orientés selon la maille centrée du RbCl (<310>, soit ±18.4° par rapport aux directions <100> et <010>). Ces domaines regroupent des fils moléculaires. L'imagerie nanométrique permet de prétendre que l'on observe les branches cyanophényles qui composent cette molécule. Le système de contrôle s'est avéré stable tout au long des tests et les résultats évoqués dans ce chapitre permettent de valider son fonctionnement.

Références

[BLE07] D. Bléger, D. Kreher, F. Mathevet, A.J. Attias, G. Schull, A. Huard, L. Douillard, C. Fiorini-Debuischert, F. Charra, "Surface Noncovalent Bonding for Rational Design of Hierarchical Molecular Self-Assemblies", *Angewandte Chemie International Edition, 2007, 46, 7404.*

[Fred12] Données fournies par F.Palmino et F.Chérioux, *femto-st*.

[HOF04] R. Hoffmann, L. N. Kantorovich, A. Baratoff, H. J. Hug, H.-J. Güntherodt, "Sublattice Identification in Scanning Force Microscopy on Alkali Halide Surfaces", *Physical Review Letters, Vol.92, No 14, april 2004.*

[HOR07] I. Horcas, R. Fernández, J. M. Gómez-Rodríguez, J. Colchero, J. Gómez-Herrero, A. M. Baro, "A software for scanning probe microscopy and a tool for nanotechnology", *Review of Scientific Instruments, **78**, 013705, 2007.*

[WIK12] Wikipedia, http://en.wikipedia.org/wiki/File:Rubidium-chloride-3D-ionic.png, *Mars 2012.*

PERSPECTIVES

I. Introduction

La complexité du système de contrôle, due à la présence de trois boucles qui interagissent entre elles ainsi qu'à la nature numérique du système, ne permet pas d'établir un modèle théorique simple et pratique à utiliser. Cette problématique s'applique également à la boucle à verrouillage de phase entièrement numérique (ADPLL). En effet, la présence du module de filtrage constitué de plusieurs filtres dont les fonctions de transfert sont des polynômes de degrés élevés engendre une fonction de transfert générale très complexe et non utilisable pour le dimensionnement de l'ADPLL. Cependant, dans le but d'optimiser d'avantage le système de contrôle il sera nécessaire de posséder une description analytique du système complet et en tout premier lieu de l'ADPLL, élément clé de l'électronique de contrôle.

Ainsi, cette étude de faisabilité se focalise principalement sur le filtre de boucle pour voir s'il est possible de modéliser l'ADPLL pour caractériser et optimiser sa bande passante tout comme sa plage de verrouillage. Cette étude a été effectuée dans un contexte de collaboration entre l'Institut Fraunhofer ENAS-ASE/Université de Paderborn et l'IM2NP/IC-STAR. Nous allons commencer par présenter les travaux relatifs à la modélisation de l'ADPLL puis dans un second temps ceux en rapport avec sa caractérisation.

II. Modélisation de l'ADPLL

II.1. Objectif

L'ADPLL a été modélisée pour vérifier s'il est possible de déduire une expression analytique pour caractériser et optimiser sa bande passante ainsi que sa plage de verrouillage. Pour ce faire, celle-ci doit être comparable à une PLL analogique linéaire dans le but d'utiliser les méthodes de dimensionnement et d'optimisation qui y sont associées. C'est pour cela que l'ADPLL sera modélisée par son modèle équivalent continu en temps et linéaire. A partir de l'ADPLL actuelle, montrée sur la figure 101, nous devons obtenir le modèle mis en avant sur la figure 102.

L'ADPLL figurant sur la figure 101 est identique à celle de la figure 33 du chapitre III mais certaines parties ont été enlevées pour simplifier l'étude. En effet, l'étage de *sélection de bit* a été supprimé tout comme la sortie $V_2(nT)$ et le *doubleur de fréquence*. Les deux premiers sont en dehors de la boucle et n'impactent donc pas le comportement de l'ADPLL. Le doubleur de fréquence, quant à lui, peut être assimilé à l'oscillateur numérique contrôlé numériquement (NCNO) puisqu'il agit uniquement sur la fréquence de sortie. Cela peut être vu comme si c'était le NCNO qui génère cette fréquence. Le filtre de boucle de l'ADPLL et plus particulièrement la branche dont la fréquence de coupure est de 16kHz a été retenue pour cette étude. La période où a été effectuée cette étude, les filtres utilisés pour implémenter cette branche différaient de ceux actuellement décrits dans le chapitre III, paragraphe II.2. Il y avait

alors trois filtres FIR (réponse impulsionnelle finie) à décimation et un filtre passe bas "standard" en lieu et place des filtres actuels. Toutefois, la démarche expliquée dans les paragraphes à venir restera exactement la même si elle doit être appliquée au module de filtrage actuellement utilisé. Pour revenir à la branche de filtrage présente dans cette étude, celle-ci a été remplacée par des blocs *Simulink*. Ces derniers offrent le même comportement que les blocs décrits en VHDL mais ils évitent de longues heures de simulations. Enfin, le signal $U_{cant}(nT)$ utilisé est un signal sinusoïdal dont la fréquence est de 60MHz.

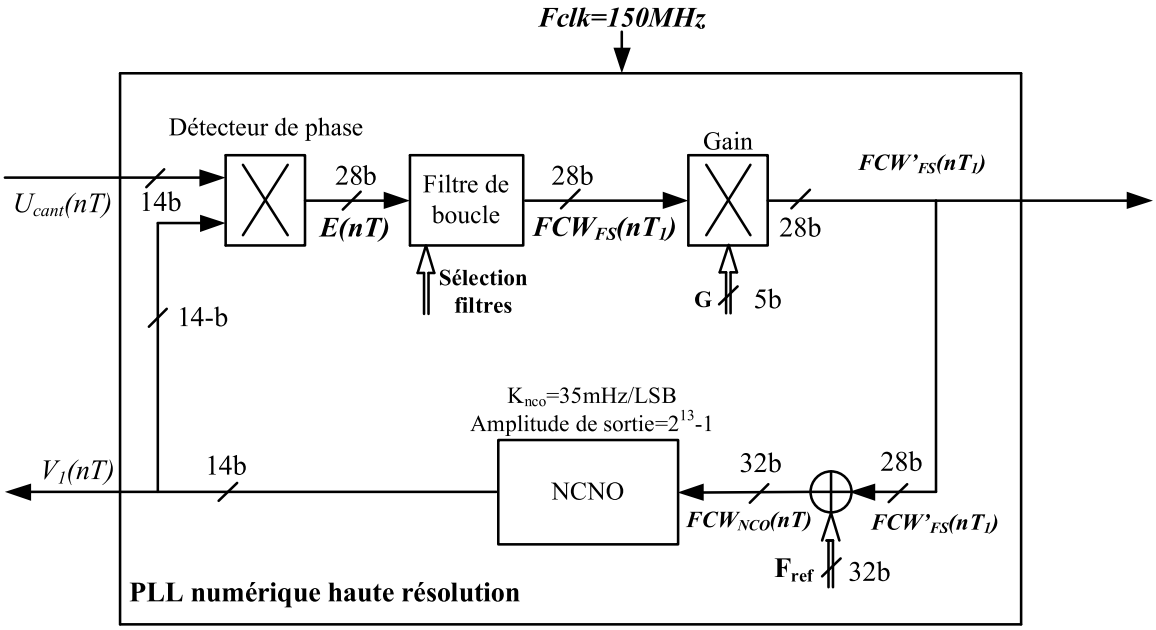


Fig.101. *ADPLL constituée du détecteur de phase, de l'étage de Gain, du NCNO décrits en VHDL et du filtre de boucle basé sur un module Simulink.*

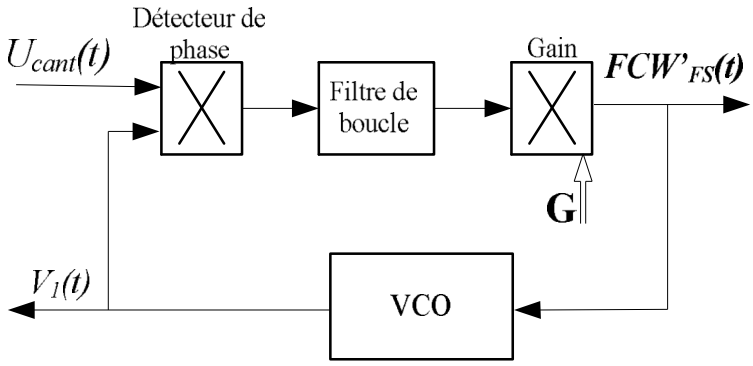


Fig.102. *PLL analogique linéaire que nous devons obtenir à partir de l'ADPLL montrée sur la figure 101.*

II.2. Simplification de la fonction de transfert du filtre de boucle

L'ADPLL est un système très complexe. Sa modélisation nécessite de prendre en compte l'effet de l'échantillonnage (car c'est un système séquentiel cadencé ici par F_{clk}), les non linéarités dues au multiplieur utilisé comme détecteur de phase, la nature entièrement numérique de l'oscillateur et l'ordre très élevé du filtre de boucle.

Il serait très difficile, voire impossible de prendre en considération toutes ces spécificités en même temps. C'est pourquoi il est nécessaire de les prendre en compte séparément. Cette étude se focalisera en premier lieu sur le filtre de boucle et plus précisément sur la simplification de sa fonction de transfert pour diminuer son ordre très élevé. Ainsi, le comparateur de phase est remplacé par un multiplieur à temps continu tout comme l'étage de gain. De la même manière, l'oscillateur numérique a été remplacé par un oscillateur analogique contrôlé en tension (VCO). Sa sensibilité de *35mHz/LSB* devient *35mHz/Volt* en supposant qu'un LSB équivaut à un Volt. De la même manière, l'amplitude de la sinusoïde générée par le VCO est fixée à 2^{13}-1 Volt et sa fréquence centrale est mise à F_{ref}.

Pour obtenir un filtre équivalent dans le domaine continu, nous utilisons la transformée bilinéaire. Cependant, avant de pouvoir l'appliquer, la fonction de transfert du module de filtrage a besoin d'être approximée aussi bien que possible par une fonction de transfert plus simple et pratique à exploiter. En effet, comme le montre la figure 103, le filtre de boucle est constitué de quatre filtres FIR [OPP10, pp. 522-570] à décimation plus un filtre passe bas "standard". Pour rappel, la fonction de transfert d'un filtre FIR est un polynôme exprimé comme suit :

$$H(z) = \sum_{i=0}^{N-1} a_i z^{-i} \tag{50}$$

où a_i désigne les coefficients du filtre. Chaque filtre a un nombre de coefficient compris entre $36 \leq N \leq 43$. Par conséquent, il en résulte une expression polynômiale d'ordre élevée pour chaque filtre tout comme la fonction de transfert globale du module de filtrage. Celui-ci engendre une fonction de transfert de l'ADPLL d'ordre très élevée qui n'est pas pratique à modéliser et à étudier. C'est pourquoi, afin de diminuer l'ordre de la fonction de transfert de la PLL nous utilisons la technique de "Réduction de l'Ordre du Modèle" [KAL94], [SCH08] encore appelé "Model Order Reduction" en anglais. Ainsi, la fonction de transfert en z (discrète) et réduite sera transformée en fonction de transfert continue en utilisant la transformée bilinéaire. Cette méthodologie sera expliquée en nous appuyant sur le filtre FIR_1 (*cf.* figure 103) et les résultats relatifs aux filtres FIR_2, FIR_3, FIR_4 et FIR_5 seront disponibles en annexe 3 Par.I.

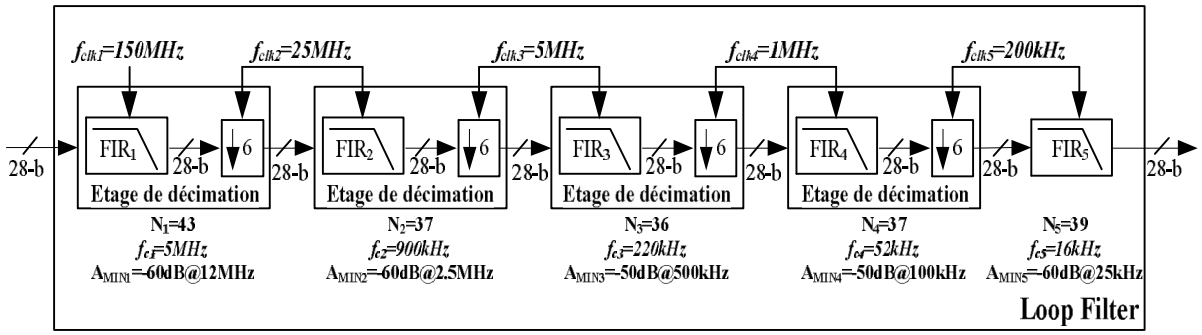


Fig.103. *Architecture du filtre de boucle numérique de l'ADPLL.*

II.2.1. Technique de Réduction d'Ordre du Modèle appliquée au filtre de boucle

Cette méthode fait partie de la *théorie des systèmes et contrôles* qui étudie les propriétés des systèmes dynamiques afin de réduire leur complexité tout en préservant leur stabilité et leur passivité vis à vis de leurs entrées et sorties. Cette théorie s'applique aussi bien aux systèmes continus que discret.

Pour réduire l'ordre de chaque fonction de transfert associée aux filtres, la fonction *reduce* est utilisée sous l'environnement *Matlab*. Cette dernière est basée sur les équations de représentation en espace d'état ("*state space representation equation*" en anglais) comme il est montré ci-dessous :

$$x(k+1) = A.x(k) + B.u(k) \tag{51}$$

$$y(k) = C.x(k) + D.u(k) \tag{52}$$

(51) est appelé équation d'état, (52) est nommée équation de sortie. x est le vecteur d'état, y est le vecteur de sortie et u est le vecteur d'entrée. A,B,C et D sont respectivement la matrice d'état, la matrice d'entrée, la matrice de sortie et la matrice d'injection. k représente le prochain échantillon à être traité par le filtre. Puisque chaque filtre utilisé dans ce module est un système stable, ces équations peuvent donc être utilisées pour calculer les valeurs singulières, au sens de Hankel [LAY01], de chaque fonction de transfert associée à ces filtres. Ces valeurs singulières ont un état d'énergie associé qui permet de quantifier l'influence qu'a cette valeur singulière sur l'allure de la fonction de transfert. Ainsi, la diminution de l'ordre peut être directement déterminé en examinant le graphe associé aux valeurs singulières au sens de Hankel et qui se nomme *Hankel SV's*. Pour illustrer cela, la figure 104 montre le graphe d'*Hankel SV's* associé au filtre FIR_1 et la figure 105 montre l'impact qu'engendre le choix d'un ordre différent pour la réduction de sa fonction de transfert.

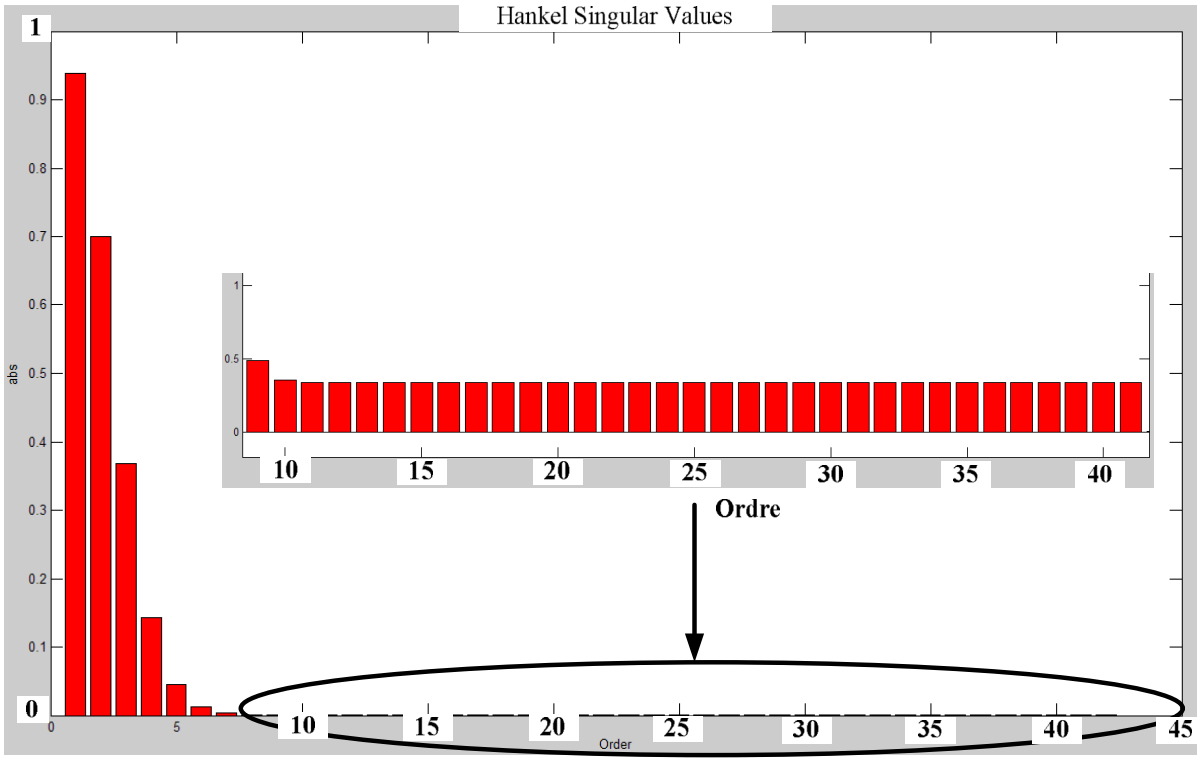
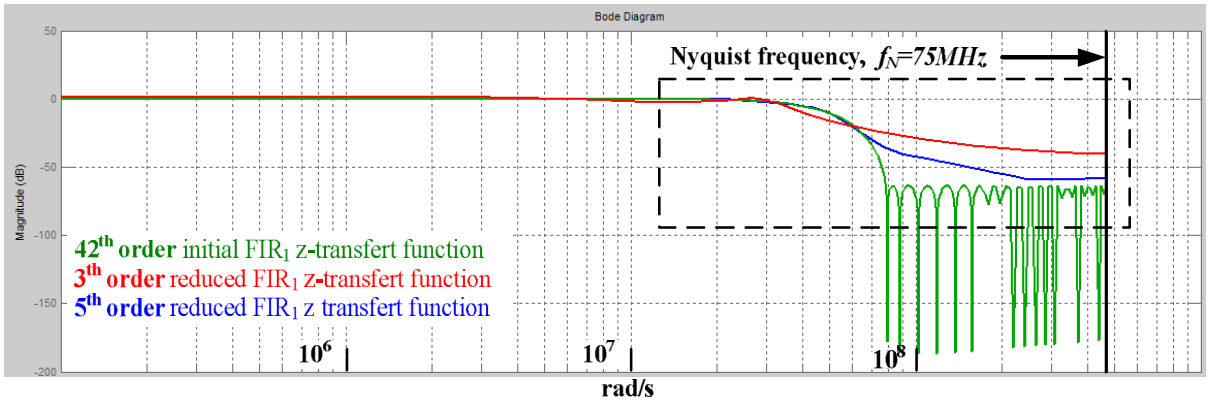
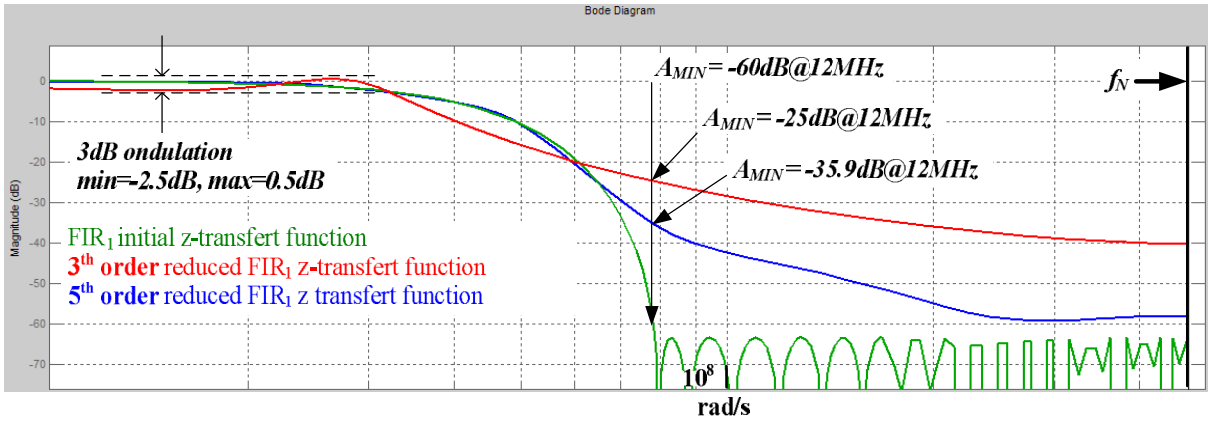


Fig.104. *Valeurs singulières au sens d'Hankel correspondantes au filtre FIR_1 qui est cadencé à F_{clk}= 150MHz. Nous pouvons observer que les valeurs singulières les plus significatives vont jusqu'à l'ordre six.*

Ce graphe (*fig.104*) montre que les valeurs singulières les plus significatives sont situées jusqu'à l'ordre six. Pour une première approche, cinq est l'ordre minimal qui engendre une atténuation suffisante des fréquences non voulues tout en abaissant l'ordre de 42 à 5. Le réduire en dessous de cinq serait préférable mais comme le montrent la figure 105 (a) et la figure 105 (b), la réponse en fréquence serait fortement dégradée. Cela est le cas pour la réponse en fréquence associée au filtre du troisième ordre (rouge) qui présente une ondulation beaucoup trop élevée dans la bande passante (*cf.fig.105 (b)*) et une atténuation dans la bande atténuée insuffisante.



(a)



(b)

Fig.105. (a) *Réponse en fréquence du filtre FIR_1. En vert, la fonction de transfert initiale (en z), en rouge et en bleu la fonction de transfert en z réduite avec un ordre différent. On peut voir que la fonction de transfert du 5ème ordre est presque identique à la fonction de transfert initiale jusqu'à une atténuation de 30dB.* (b) *Réponse en fréquence du filtre FIR_1. En vert, la fonction de transfert initiale (en z), en rouge et en bleu la fonction de transfert en z réduite avec un ordre différent. Zoom effectué dans la bande passante où nous pouvons voir une importante amplitude d'ondulation.*

La fonction de transfert réduite du cinquième ordre obtenue s'exprime comme suit:

$$H_1(z) = \frac{-8.038\times10^{-4} + 2.502\times10^{-3}z^{-1} - 5.271\times10^{-3}z^{-2} + 9.136\times10^{-3}z^{-3} - 9.453\times10^{-3}z^{-4} + 4.201\times10^{-3}z^{-5}}{1 - 4.48\times z^{-1} + 8.134\times z^{-2} - 7.478\times z^{-3} + 3.481\times z^{-4} - 0.6559\times z^{-5}} \quad (53)$$

Elle correspond à un filtre de type IIR. La position des pôles (compris dans le cercle unité) illustré par la figure 106 démontre la stabilité de $H_1(z)$.

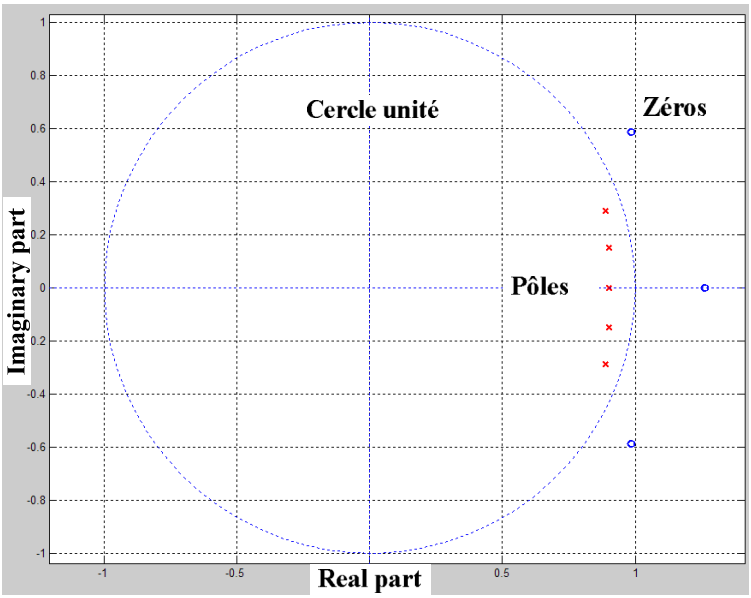


Fig.106. *Représentation des pôles et des zéros de la fonction de transfert réduite du cinquième ordre $H_1(z)$.Puisque les pôles sont contenus dans le cercle unité, $H_1(z)$ est stable. Les fonctions* roots *et* zplane *ont été utilisées sous Matlab pour établir ce graphe.*

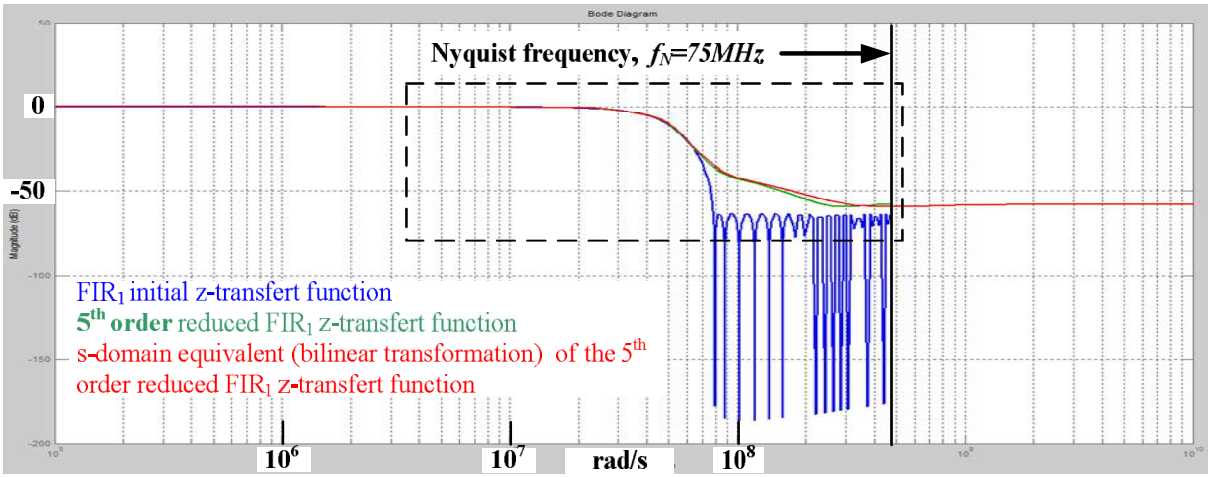
En examinant le système Hankel SV's relatif aux fonctions de transfert des filtres FIR_2, FIR_3, FIR_4 et FIR_5, l'ordre pour obtenir une fonction de transfert (en z) réduite et stable a été fixé à cinq excepté pour le filtre FIR_5 qui est d'ordre sept.

II.2.2. Transformée bilinéaire de la fonction de transfert en z réduite

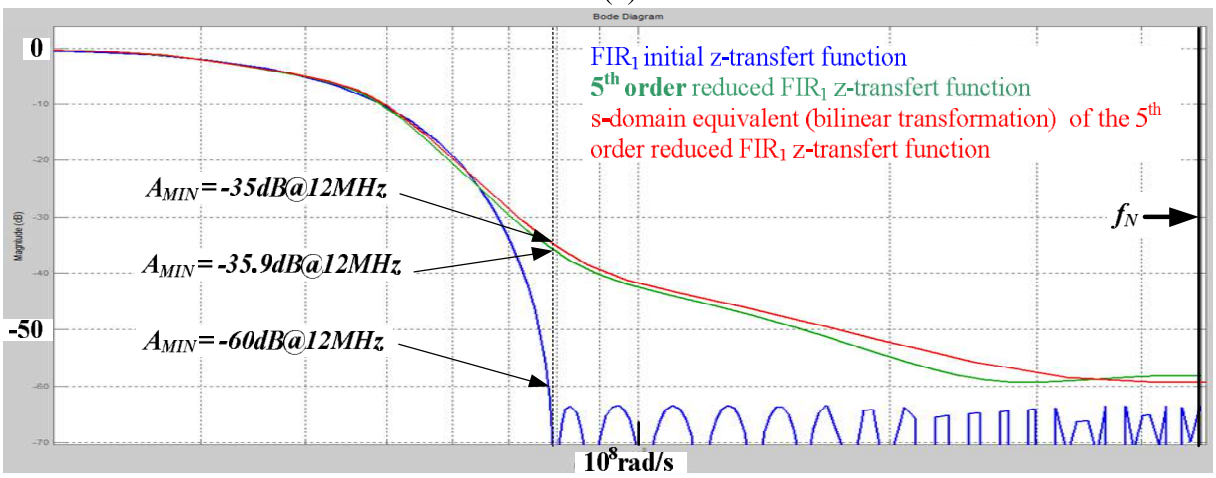
Afin d'obtenir la fonction de transfert équivalente du filtre dans le domaine continu (fonction de transfert en s), la transformation bilinéaire est appliquée à $H_n(z)$, avec $1 \leq n \leq 5$, via la relation suivante (*cf. eq.53*) :

$$z = \frac{1 + \frac{T_{d_n}}{2} s}{1 - \frac{T_{d_n}}{2} s} \tag{54}$$

où T_{dn} est la période d'échantillonnage associée à chaque filtre "réduit". Les figures 107(a) et 107(b) ci-dessous représentent, pour le filtre FIR_1, l'allure en fréquence de sa fonction de transfert en z (initiale), sa fonction de transfert en z réduite et sa transformation bilinéaire. Le tableau 7 résume ses caractéristiques principales. En annexe 3 Par.I figurent ces mêmes réponses et tableaux pour les filtres FIR_2, FIR_3, FIR_4, FIR_5.



(a)



(b)

Fig.107. (a)*Comportement fréquentiel des fonctions de transfert associées au filtre FIR_1. En bleu, la fonction de transfert en z initiale, en vert la fonction de transfert en z réduite, en rouge la fonction de transfert dans le domaine continu (fonction de transfert en s).On peut voir que ces deux dernières sont presque identiques à la fonction de transfert initiale jusqu'à une atténuation de 25dB.* (b) *Zoom sur la zone de transition des courbes présentées sur la figure 107(a). Nous pouvons observer que la fonction de transfert réduite et la fonction de transfert en s sont relativement équivalentes.*

	z-transfert function	*Reduced-z (5 order)*	*BT**
f_{c1} (f_{-3dB})	5MHz	5.3MHz	5.35MHz
A_{MIN} @ 12MHz	-60dB	-35.9MHz	-35dB

Tableau.7 *– Propriétés relatives aux fonctions de transfert associées au filtre FIR_1.*

**Transformation bilinéaire.*

Les fonctions de transfert continues (fonctions en *s*) associées aux fonctions réduites sont relativement similaires excepté celle relative au filtre FIR_5. Néanmoins, cela reste acceptable pour une première approche. L'architecture du filtre obtenu après réduction et application de la transformée bilinéaire est illustrée sur la figure 108. Nous sommes passés d'un ordre initial de 192 à un ordre 27.

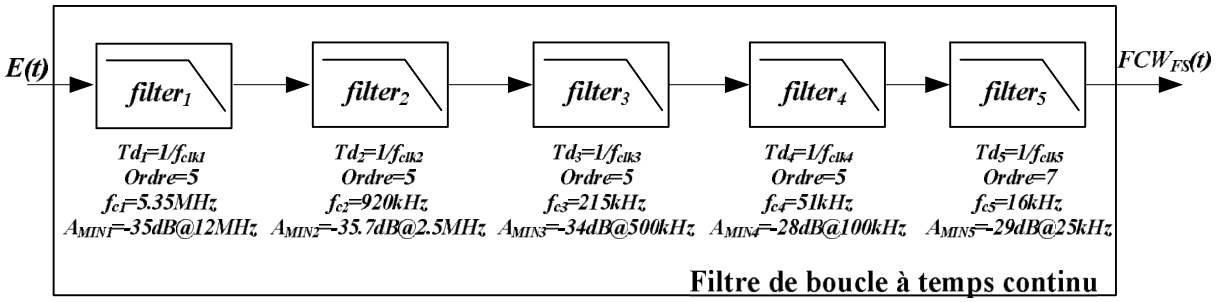


***Fig.108**. Architecture du filtre de boucle à temps continu. Les blocs de décimation ne sont pas nécessaires car le paramètre Td_n les remplace. L'ordre initial (192) a été réduit à 27.*

L'étage de décimation associé à chaque filtre (que l'on peut voir sur la figure 103) n'est plus nécessaire car le paramètre Td_n ($1 \leq n \leq 5$) le remplace.

II.2.3. Comportement temporel de la PLL analogique contenant le module de filtrage obtenu par la transformée bilinéaire

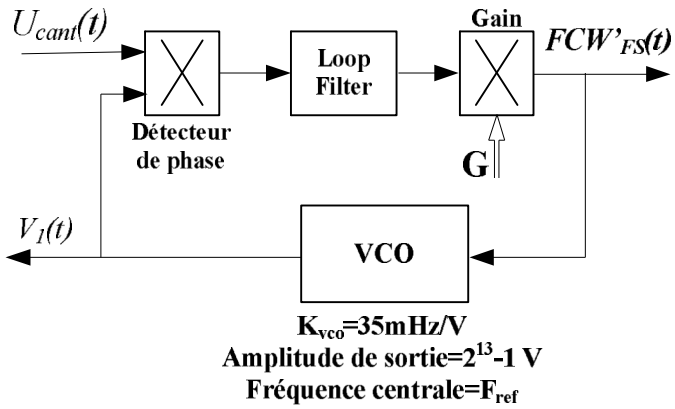
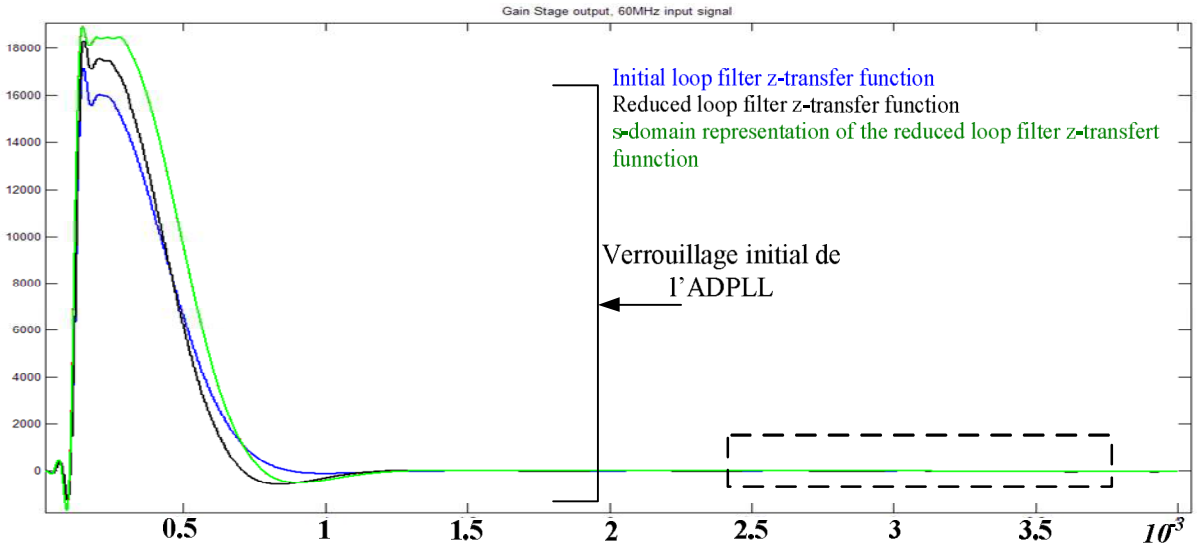


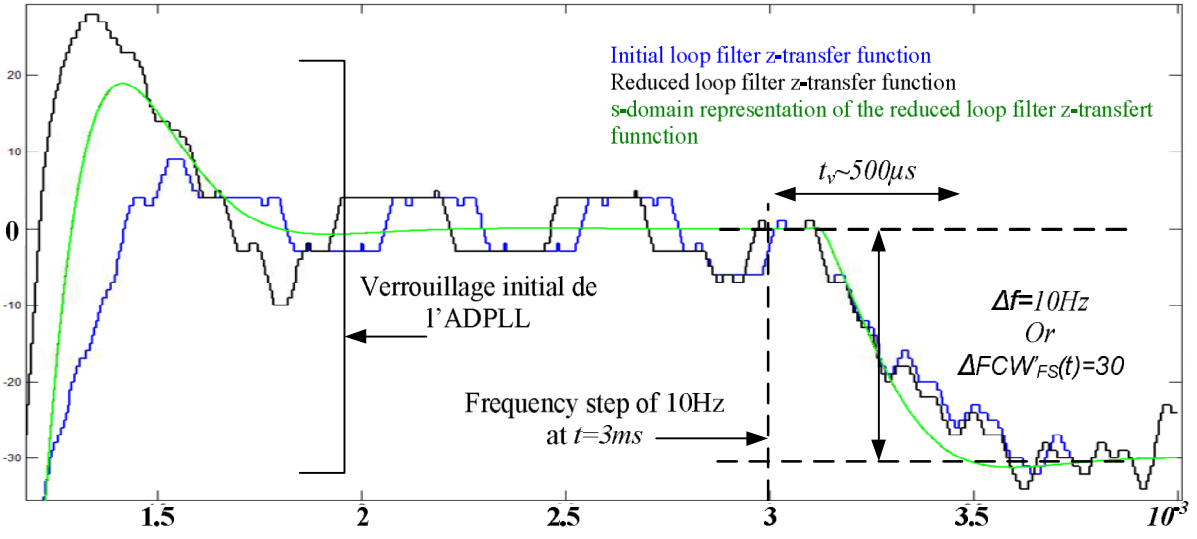
***Fig.109.** PLL linéaire à temps continu comprenant le filtre de boucle illustré sur la figure 108.*

La simulation temporelle effectuée sous Matlab/Simulink est utilisée dans le but de vérifier si la PLL analogique (illustrée sur la figure 109) qui comprend le module de filtrage de la figure 108 réagit de la même manière que l'ADPLL à un décalage en fréquence. Les

figures 110(a) et 110(b) illustrent l'évolution du signal FCW'_{FS} relatif à la PLL analogique (en vert) et à l'ADPLL (noir et bleu) quand un signal sinusoïdal de fréquence 60MHz est fourni en entrée. Leur comportement, après le temps de verrouillage (t_v=*1.5ms*), est relativement identique. Les figures illustrant l'évolution de FCW'_{FS} pour un signal de fréquence 10MHz et 20MHz sont disponible en annexe 3 Par.II.



(a)



(b)

Fig.110. ***(a)*** *Evolution temporelle de FCW'_{FS} quand un signal sinusoïdal de fréquence 60MHz est fournit à l'entrée de la PLL analogique.(b) Evolution temporelle de FCW'_{FS} quand un signal sinusoïdal de fréquence 60MHz est fournit à l'entrée de la PLL analogique. Zoom sur la réaction à l'injection d'un saut en fréquence de 10Hz à l'entrée de la PLL.*

Nous pouvons observer sur la figure 110 ci-dessus que le temps de verrouillage t_v~*500µs* est relativement identique pour les trois fonctions de transfert. Qui plus est, ces figures montrent que la nature discrète du système n'est pas reproduite dans la représentation en continu (*s*). Même si nous utilisons un bloc "échantillonneur-bloqueur" dans la PLL analogique afin de reproduire ce comportement discret, la sortie de la PLL analogique restera inchangée.

La fonction de transfert de chaque filtre a été considérablement réduite. Cependant, la fonction de transfert globale (de la chaîne de filtrage) reste tout de même élevée. Cela rend son exploitation très complexe de par le nombre élevée de condition initiale qui y sont associées. Une approche plus en profondeur dans cette direction serait alors très difficile. Une autre approche est alors envisagée et consiste à caractériser l'ADPLL en remplaçant le filtre de boucle actuel par la version numérique d'un filtre passe bas du premier ordre basé sur une capacité et un condensateur (cellule RC).

III. Caractérisation de l'ADPLL

L'objectif est ici de vérifier s'il est possible de simplifier l'architecture de l'ADPLL en remplaçant les filtres FIR par l'équivalent numérique d'un filtre passe bas RC du premier ordre. Ainsi, il serait possible d'appliquer à l'ADPLL les équations relatives à la PLL analogique linéaire du second ordre pour prédire analytiquement (sous une certaine tolérance) le temps de verrouillage t_v ainsi que la plage de verrouillage Δw_v. Le filtre passe bas utilisé a une fréquence de coupure f_c=*100kHz* et la fonction de transfert associée est présentée ci-dessous :

$$F(s)=\frac{1+s\tau_2}{1+s(\tau_1+\tau_2)} \tag{55}$$

τ_1 et τ_2 sont les constantes de temps associées respectivement au pôle et zéro de *F(s)*. En utilisant la transformée bilinéaire, il est possible d'obtenir l'équivalent numérique de *F(s)* qui est ni plus ni moins que *F(z)*. Celui-ci s'exprime de la manière suivante :

$$F(z)=\frac{G_1+z^{-1}G_3}{1-z^{-1}G_2} \tag{56}$$

avec

$$G_1=\frac{T_d+2\tau_2}{T_d+2(\tau_1+\tau_2)} \tag{57}$$

$$G_2=\frac{2(\tau_1+\tau_2)-T_d}{T_d+2(\tau_1+\tau_2)} \tag{58}$$

$$G_3=\frac{T_d-2\tau_2}{T_d+2(\tau_1+\tau_2)} \tag{59}$$

L'implémentation de *F(z)*, illustrée sur la figure 111 donne un filtre IIR du premier ordre. Les pôles de sa fonction de transfert étant contenu dans le cercle unité, le filtre IIR est donc stable.

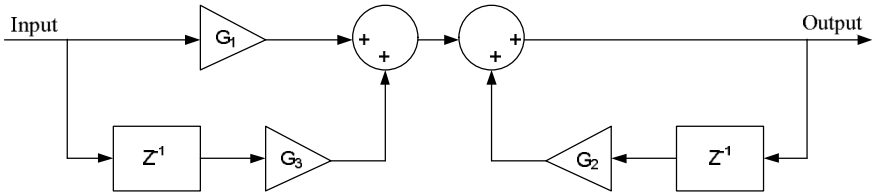


Fig.111.*Structure du filtre IIR équivalent au filtre RC passe bas du premier ordre.*

Ci-dessous, sur les figures 112 et 113, nous retrouvons les premiers résultats issus de la simulation temporelle effectuée avec une sinusoïde de fréquence 60MHz fourni à la PLL analogique et à l'ADPLL. Nous avons généré un saut de fréquence de 100Hz au bout d'un temps *t=2.5ms* et nous observons l'évolution du signal FCW'_{FS}.

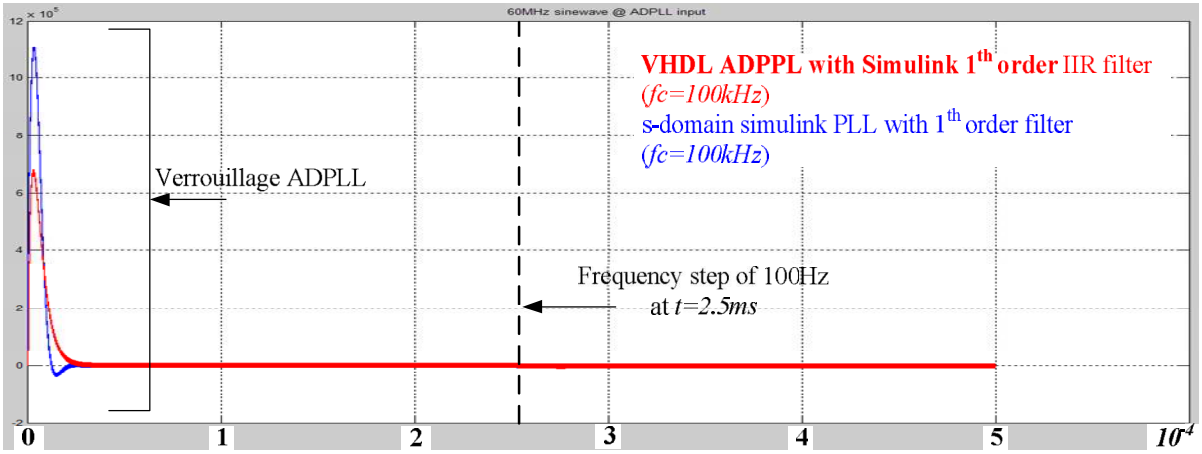


Fig.112. *Comparaison de l'évolution temporelle du signal FCW'_{FS} de la PLL analogique contenant le filtre RC et de l'ADPLL qui comprend l'équivalent numérique du filtre RC. La simulation temporelle a été effectuée avec une sinusoïde de fréquence 60MHz fourni à la PLL analogique et à l'ADPLL.*

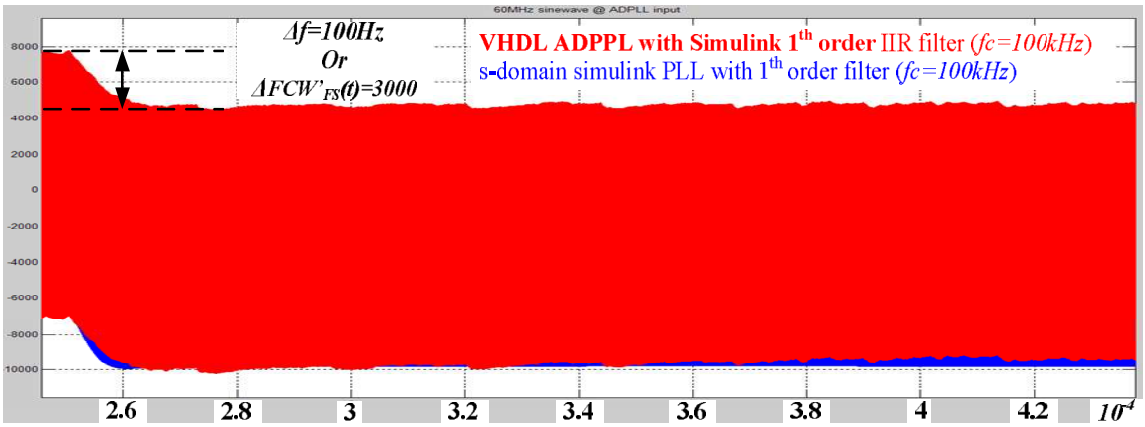


Fig.113. *Zoom sur la figure 139 effectué sur la réaction au saut de fréquence de 100Hz ayant lieu à l'entrée de la PLL analogique et de l'ADPLL à t=2.5ms.*

Nous pouvons dire que le comportement de la PLL analogique qui comprend le filtre RC et celui de l'ADPLL intégrant son équivalent numérique est globalement le même après le temps de verrouillage. Cependant, afin de valider cette approche, plusieurs points restent à étudier.

Premièrement, il est nécessaire, pour la PLL analogique, de diminuer l'amplitude des oscillations du signal FCW'_{FS} (comme le montre la figure 113) dans le but de détecter un décalage en fréquence de 100mHz. Pour ce faire, l'ordre du filtre analogique passe bas à besoin d'être augmenté tout en gardant le même temps et la même plage de verrouillage.

Deuxièmement, une fois l'ordre augmenté, il sera nécessaire d'en déduire son équivalent numérique et de l'inclure dans l'ADPLL.

Pour finir, les comportements de l'ADPLL et de la PLL analogique doivent être comparés pour vérifier s'ils sont similaires.

IV. Conclusion

Cette étude de faisabilité a d'abord porté sur le comportement de la boucle à verrouillage de phase entièrement numérique (ADPLL) et plus précisément sur la simplification du filtre de boucle dans le but d'en faciliter l'analyse. La réduction de l'ordre a montré que nous pouvons diminuer le degré de 192 à 27. Cependant, la fonction de transfert finale demeure toujours compliquée et n'est pas adaptée à la modélisation. Néanmoins, nous pouvons l'implémenter afin de diminuer la latence globale du filtre de boucle.

La seconde partie s'est focalisée sur la caractérisation de l'ADPLL. Pour ce faire, le filtre de boucle à réponse impulsionnelle finie (FIR) a été remplacé par l'équivalent numérique d'un filtre passe bas du premier ordre RC pour étudier l'ADPLL comme une boucle à verrouillage de phase (PLL) analogique du second ordre. Les premiers résultats montrent une similitude d'un point de vue temporel entre le comportement de ces deux PLLs. Cependant, cette étude a besoin d'être poursuivie pour vérifier si cette modification peut être appliquée à l'ADPLL finale dans le but d'en obtenir une description analytique.

Références

[OPP10] A. V. Oppenheim, R. W. Schafer, “Discrete-Time Signal Processing,” *Third Edition, PEARSON, 2010.*

[KAL94] I.Kale, J.Gryka, G.D. Cain, B.Beliczynski, “FIR filter order reduction: balanced model truncation and Hankel-norm optimal approximation”, *IEE Proc.-Vis. Image Signal Process., Vol.141, No.3, June 1994.*

[SCH08] W. Schilders, H. van der Vorst, J. Rommes, "Model Order Reduction: Theory, Research Aspects and Applications", *Springer, 2008.*

[LAY01] J.W. Layman,"The Hankel Transform and Some of its Properties", *Journal of Integer Sequences, Vol. 4 (2001), Article 01.1.5.*

CONCLUSION GENERALE

Cette thèse a été effectuée dans le cadre du projet ANR Pnano2008 intitulé : "Cantilevers en carbure de silicium à piézorésistivité métallique pour AFM dynamique à très haute fréquence". Ce projet, qui réuni six partenaires dans un consortium (le CRHEA, le CEMES, le LPN, NovaSic, le LMP et l'IM2NP), vise à augmenter significativement les performances d'un microscope à force atomique (AFM) en développant un nouveau capteur de force très haute fréquence. Un des verrous technologiques soulevés par la réalisation de ces capteurs repose sur l'incapacité des systèmes de contrôle actuel à pouvoir les asservir car il est nécessaire de détecter un décalage minimal de leur fréquence de résonance de 100mHz sous une fréquence maximale de 50MHz. Les travaux effectués au sein de l'IM2NP et décrits dans ce mémoire de thèse ont eu pour objectif la réalisation de l'électronique de contrôle du capteur de force et de l'intégrer par la suite dans l'AFM expérimental.

Le premier des quatre chapitres qui composent ce mémoire commence par une présentation générale sur la microscopie à force atomique. Nous y avons vu qu'il s'agit d'un appareil utilisé pour caractériser des matériaux isolants ou semi-conducteurs avec une résolution pouvant atteindre l'échelle atomique. Il est composé d'un capteur de force couplé à une électronique de contrôle. Il existe deux modes de fonctionnement de l'AFM, statique et dynamique. Ce dernier regroupe également deux modes : AM-AFM (amplitude modulation AFM) et FM-AFM (Frequency Modulation AFM). Nous nous sommes concentrés sur le mode FM-AFM pour lequel le capteur de force doit être maintenu, par l'électronique de contrôle, comme un oscillateur harmonique. Puis, toujours en ne considérant que ce mode de fonctionnement, nous nous sommes focalisés sur l'électronique de contrôle et nous avons mis en avant, après avoir effectué l'état de l'art associé à ces systèmes de contrôle qu'il était nécessaire de développer un nouveau système de contrôle pour être en mesure de pouvoir détecter des variations de fréquence de 100mHz sous une fréquence de résonance de 50MHz.

L'objectif du chapitre II est de donner au lecteur une vision d'ensemble du fonctionnement de l'électronique de contrôle avant d'entrer plus en détail dans la description du module un, élément clé du système (expliqué dans le chapitre III). Nous avons opté pour cette approche par soucis de clarté. Ainsi, nous avons vu qu'au regard des différentes contraintes qui ont été exposées, le choix s'est porté sur l'implémentation du système dans une carte de prototypage basée sur un FPGA (Field Programmable Gate Array/réseau de porte programmable par paquet). Par la suite, nous avons présenté les différents modules qui le constituent et nous avons fini par un exemple de fonctionnement. Celui-ci a permis de mettre en évidence les caractéristiques principales du système qui concernent la détection de l'écart de fréquence de résonance du capteur de force géré par la boucle à verrouillage de phase. Pour que ce nouvel AFM dispose d'une vitesse de balayage de 10 lignes par seconde avec 512 points par ligne et d'une résolution atomique, la boucle à verrouillage de phase (PLL) doit

être capable de détecter un écart de fréquence minimal de 100mHz et posséder une bande passante d'au moins 5.12kHz.

Le troisième chapitre a porté sur la description des différents sous ensembles constituant le module un tels que le déphaseur, le RMS-to-DC (Root Mean Square to DC), le contrôleur d'amplitude à gain proportionnel et intégral (APIC) et la boucle à verrouillage de phase entièrement numérique (ADPLL) qui est l'élément clé du système de contrôle. Parmi les différents types de boucle à verrouillage de phase, l'ADPLL a été retenue car elle permet d'atteindre la résolution voulue qui est de 100mHz sous une plage de fréquence allant de 20kHz à 60MHz. Son architecture est basée sur l'ADPLL à fréquence d'échantillonnage de *Nyquist* et les signaux traités sont de natures sinusoïdales. Les résultats d'émulation et de mesures menés sur l'ADPLL ont prouvé que la détection d'un écart minimal de 100mHz sous une fréquence de fonctionnement allant de 20kHz à 60MHz est possible.

Le quatrième et dernier chapitre est relatif aux mesures qui ont été effectuées *in-situ* avec des capteurs de force "standards" (les capteurs de force haute fréquence n'étant actuellement pas disponible). Cela a permis de mettre en évidence les résultats d'imagerie obtenus avec ce nouveau système. L'obtention de la résolution atomique du substrat RbCl et l'imagerie des molécules nommées 1,4-bis(4'-cyanophényle)-2,5-bis(décyloxy)benzène ont permis de valider son fonctionnement. Le bruit de l'électronique est inférieur au bruit de l'instrumentation et ne limite donc pas l'imagerie. Les asservissements et les modules de sécurité fonctionnent comme il se doit. Cela nous a permis d'obtenir des images de bonnes qualités.

La partie *perspectives* est une première approche pour décrire analytiquement tout le système. Afin de diminuer la complexité de cette étude qui est due au filtre de boucle de l'ADPLL, nous avons envisagé deux solutions. La première concerne la réduction de l'ordre du filtre mais cela s'avère insuffisant. La seconde solution porte sur l'emploi d'un filtre numérique équivalent à un filtre analogique du premier ordre. Cette solution peut s'appliquer mais présente encore trop de bruit pour détecter un écart de fréquence de 100mHz.

ANNEXE I

I. Définition d'un FPGA

L'acronyme FPGA signifie en anglais "Field Programmable Gate Array" soit "Réseau de Porte Logique Programmable par Zone". C'est tout simplement un circuit intégré qui peut être programmée (une infinité de fois) pour créer n'importe quel système numérique. Il y a plusieurs fabricants de FPGA dont les principaux acteurs sont Xilinx et Altera. Les FPGA sont associés à un logiciel de conception avec lequel il est possible de créer des systèmes numériques soit par saisie de schéma soit par un langage de description matériel (VHDL ou Verilog). A partir de ces données, le logiciel élabore un fichier destiné à programmer le FPGA avec le système ainsi crée.

Les FPGA sont utilisés en tant que plateforme de prototypage rapide de tout système digital et souvent comme circuit numérique dédié tel qu'un microprocesseur, un processeur du traitement du signal (DSP). On les retrouve dans des appareils de télévision, des boîtes noires d'avions, des appareils de métrologies, des circuits de cryptographie ou encore pour des applications médicales.

Comme le montre la figure A1_1, un FPGA est essentiellement constitué de plusieurs millier de blocs identiques (*Bloc de fonctions logiques*) qui regroupent des additionneurs, des multiplexeurs, des registres, *etc.* connectés à une mémoire volatile appelée Look Up Table (LUT) utilisée pour implémenter des équations logiques.

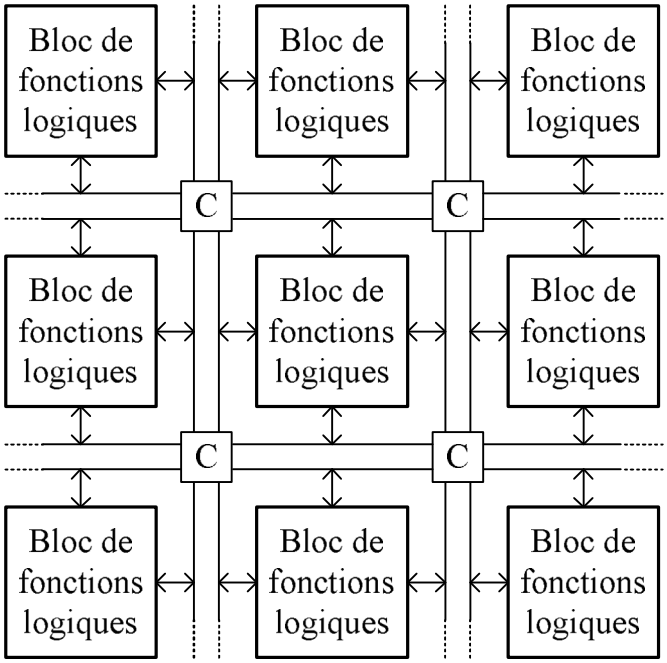


Fig. A1_1. *Vue haut niveau de l'architecture d'un FPGA.*

Ces blocs sont connectés entre eux par un réseau d'interconnexion également programmable par l'intermédiaire des modules (C) basés eux aussi sur des mémoires volatiles. Ces derniers ainsi que les LUT sont configurés par le logiciel de conception. Le FPGA peut donc être vu comme un circuit intégré programmable volatile car son contenu s'efface dès sa mise hors tension. Pour implémenter un additionneur ou bien une bascule D, un seul bloc logique peut suffire. Dès lors que des microprocesseurs ou bien des filtres ou tout autre système "complexe" doit être réalisé, ces blocs logiques vont être connectés entre eux, telles des briques assemblées entre elles pour concevoir une maison, tout cela sous le contrôle du logiciel de conception.

II. FPGA stratixiii

Le FPGA utilisé pour accueillir le système de contrôle du microscope à force atomique sans contact à modulation de fréquence (NC-FM-AFM ou FM-AFM) est un stratix*iii* EP3SL150F1152C2N gravé en 65nm (*cf.* figure A1_2) fabriqué par la société Altera [ALT12] et dont l'architecture est représentée en figure A1_3. Il est associé au logiciel de conception et de synthèse QuartusII.

Fig. A1_2. *Photographie du FPGA stratixiii [ALT12].*

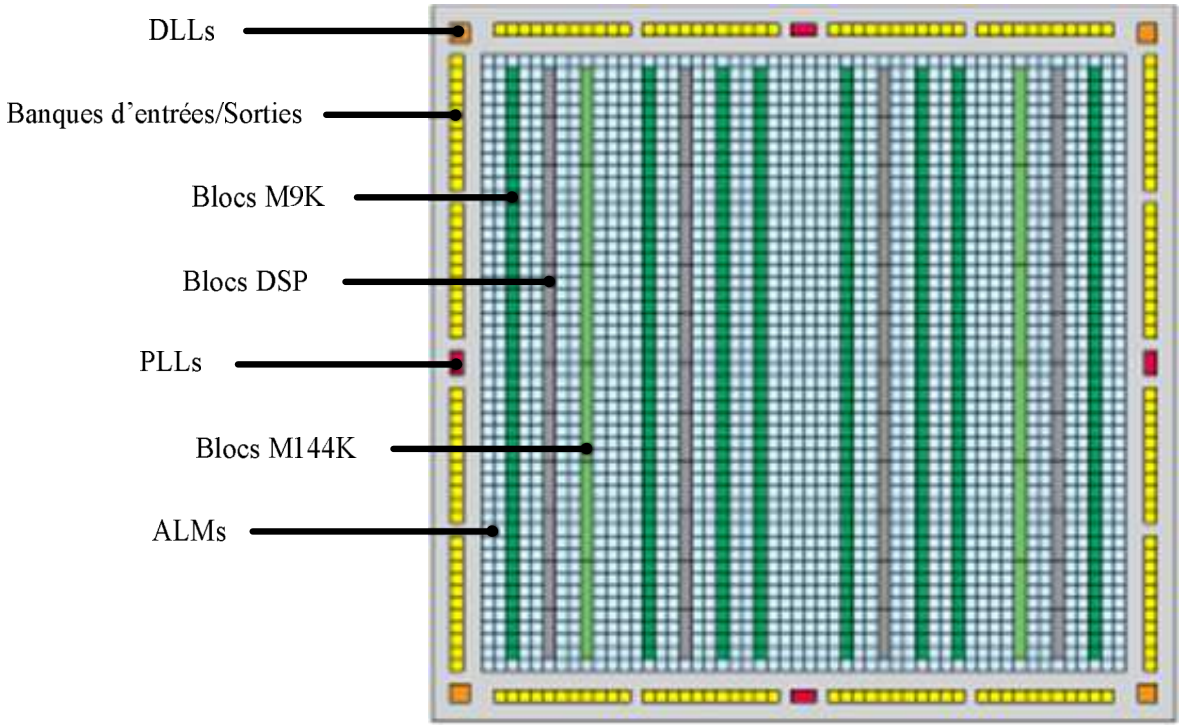


Fig. A1_3. *Architecture de haut niveau du FPGA stratixiii. Les blocs ALMs (en bleus) constituent la base du FPGA [ALT12].*

Ce FPGA intègre entre autres les entités suivantes :

- Des modules de logique adaptables (ALM adaptable logical modules en anglais) ce qui représente 142500 éléments logiques,
- 4 DLLs (Delay Locked Loop/boucles à verrouillage de délais),
- Des banques d'entrées/sorties pour pouvoir communiquer avec le monde extérieur et assurer la programmation du FPGA,
- 5.4Mbit de mémoires SRAM partagées entre :
    - Blocs M9K (9kbits),
    - Blocs M114K (144kbits),
- 8 PLLs pour fournir des signaux d'horloge de périodes différentes,
- Des DSP pour optimiser le fonctionnement de certaine application telles que le filtrage, le traitement de l'image ou de la vidéo :
    - 384 blocs de DSP 18 bit,
    - 96 blocs de DPS 36 bit,
- 744 broches pour pouvoir communiquer avec le monde extérieur et assurer son alimentation.

Les blocs de fonctions logiques illustrés en figure A1_1 sont matérialisés par les blocs "ALMs" dont l'agencement est mis en avant par la figure A1_4 ci-dessous. Ceux-ci sont regroupés par dizaine dans des unités appelées LAB (Logic Array Block/Bloc de réseaux logiques). Nous retrouvons également les blocs ALM associés à de la mémoire SRAM dans les unités appelées MLAB. Nous pouvons voir également le système d'interconnexion délimité par un cercle en pointillé (qui fait référence aux modules (C) de la figure A1_1). Les flèches illustrent les différentes connexions programmables possibles. La figure A1_5 illustre la constitution des cellules ALM. Nous y retrouvons des additionneurs, des multiplexeurs ainsi que des registres. Le tout est associé à la LUT.

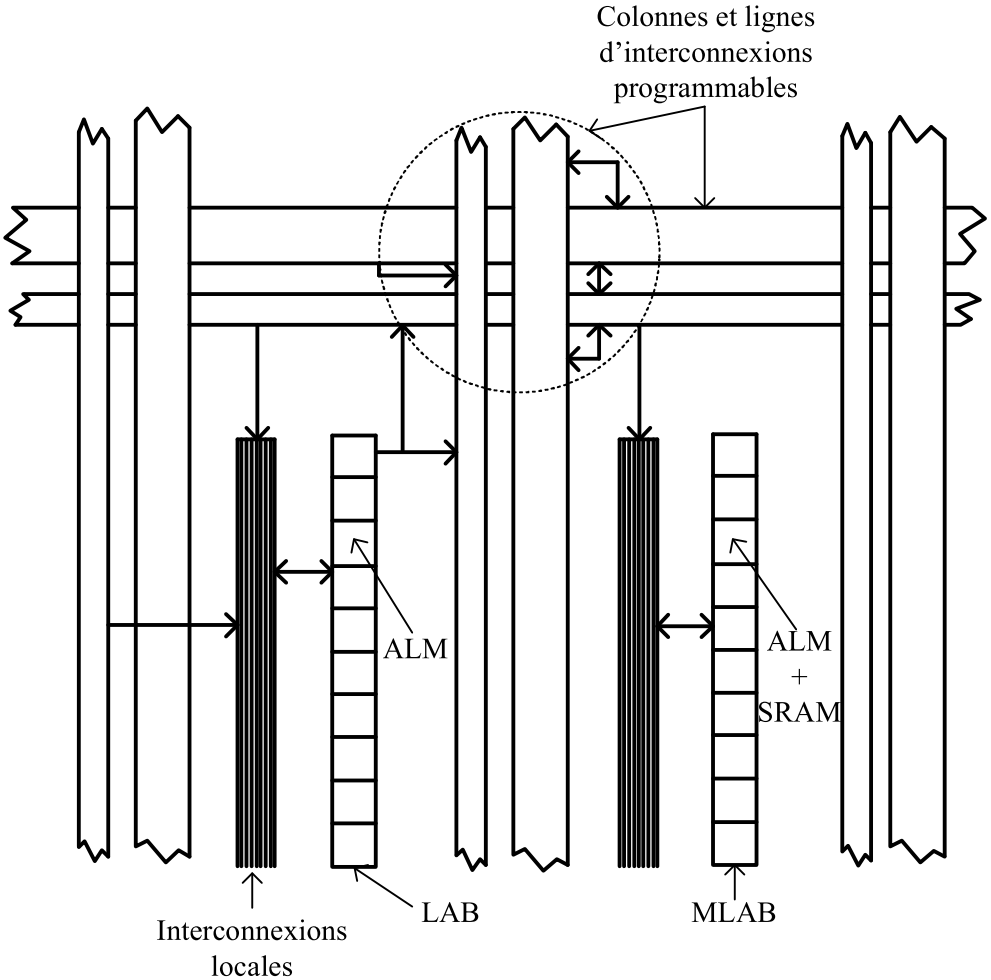


Fig. A1_4. *Zoom sur l'architecture présentée en figure 25 [STR12].*

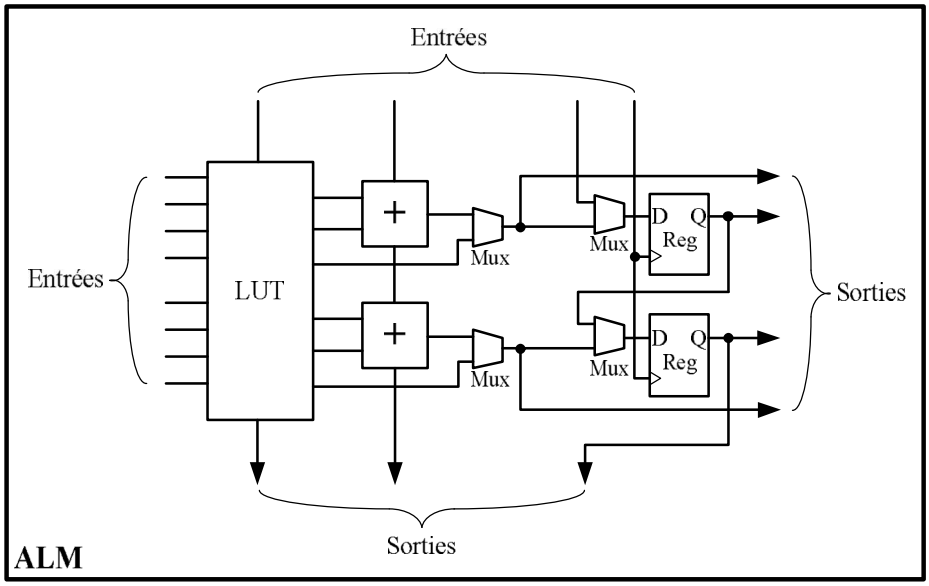


Fig. A1_5. *Vue haut niveau du module ALM du stratixiii [STR12].*

III. Définition du VHDL

Le VHSICHDL (Very High Speed Integrated Circuit Hardware Description Language ou Langage de Description Matérielle pour Circuit Intégré Très Haute Vitesse) couramment appelé VHDL, fut développé dans les années 80 par le département de la défense des Etats-Unis d'Amérique afin de créer des circuits électroniques rapides. Il permet de décrire le comportement et l'architecture du système électronique numérique que l'on veut créer tel qu'un microprocesseur, un filtre numérique, un décodeur mp3, un processeur spécialisé dans le traitement d'image *etc...* Cet ensemble de portes peut être soit gravé sur du silicium pour donner naissance à un circuit nommé ASIC soit être programmé dans un FPGA. Le langage Verilog quant à lui, est l'équivalent du VHDL même si sa syntaxe est différente et il est utilisé principalement en dehors d'Europe. Le VHDL et le Verilog ne doivent pas être confondu avec un langage de ***programmation informatique*** tel que le C par exemple.

III.1. Exemple

Ci-dessous (figure A1_6) un exemple de fichier de description VHDL. Notre attention se focalise sur le VHDL car il est principalement utilisé pour la conception du système de contrôle du capteur de force. Il s'agit donc d'une porte logique ET. Cette porte voit sa sortie passer à l'état logique 1 si et seulement si ses deux entrées sont à l'état logique 1.

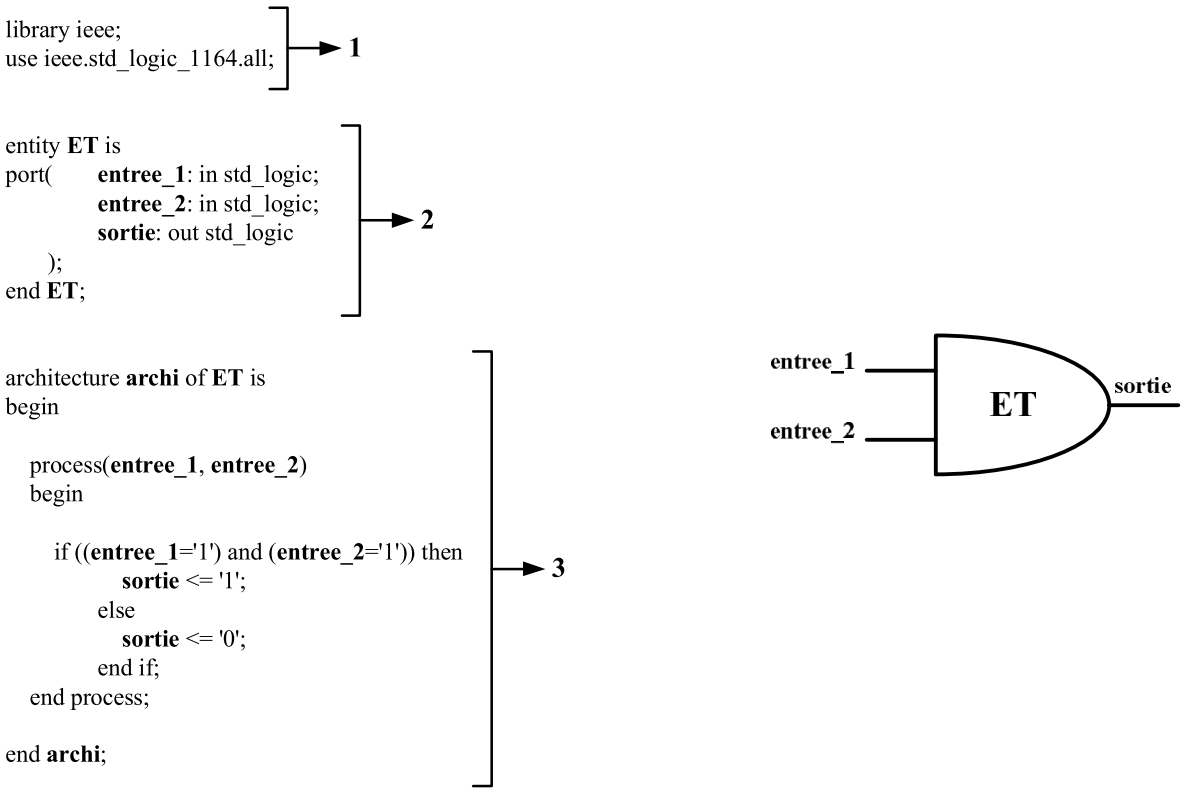


Fig. A1_6. *Exemple de réalisation d'une fonction logique (porte ET) à l'aide du langage de description VHDL.*

Un fichier de description VHDL se compose principalement de trois parties. La première spécifie les standards utilisés pour décrire le système (la porte logique ET) et contient des informations nécessaires pour sa synthèse et sa simulation. La seconde partie concerne la description des entrées et sorties de la porte. Pour cette étape, on peut considérer la porte logique ET comme une boîte noire. L'accent est mis sur la description de ses entrées et sorties. On commence avec la commande *entity* qui informe le logiciel que l'on crée une boîte. Celle-ci contient deux entrées (commande *in*) de nature logique (*std_logic*) et une sortie (commande *out*) également logique (*logic*). Les notions d'entrées/sortie sont définis par la commande *port ();*. Une fois cette boîte définie, il ne reste plus qu'à décrire son fonctionnement interne via l'étape trois. Celle-ci est une description parmi plusieurs possibles. On informe le synthétiseur que l'on va procéder à la description avec les balises *architecture*

archi *begin* (**archi** est choisi arbitrairement) et *end* **archi** *;*. Les balises suivantes *process (***entree_1**, **entree_2***) begin* et *end process* sont relatives à la description du fonctionnement interne de la porte logique qui porte sur les entrées de celle-ci donc sur **entree_1** et **entree_2**. Les commandes qui suivent spécifient que si les deux entrées sont à l'état logique "1" alors la sortie passe à l'état logique "1" sinon elle reste à l'état logique "0".

Pour créer des systèmes plus complexe, le principe est exactement le même. Généralement, de tels systèmes sont composés de plusieurs blocs fonctionnels pouvant être décris de la même manière que la porte logique ET. Un autre fichier VHDL permettra de les rassembler et de les interconnecter entre eux et aux différentes entrées/sorties qui composent ce système. Les parties une et deux seront nécessairement présentes et la partie trois comprendra non pas une description **comportementale** comme ce fut le cas pour la description de la porte logique ET mais une description **structurelle** pour spécifier les différentes interconnexions.

L'outil de conception et de synthèse va alors synthétiser ces fichiers pour produire un fichier de programmation du FPGA dans le but d'implémenter ce système.

Références

[ALT12] http://www.altera.com/, 2012.

[STR12] http://www.altera.com/literature/hb/stx3/stratix3_handbook.pdf, 2012.

ANNEXE II

I. Emulation

L'émulation est une technique qui permet simplement de programmer le FPGA (Field Programmable Gate Array/Réseau de porte programmable par paquet) avec le module en cours de conception et de le relier à l'environnement de développement, ici Simulink. La figure A2_1 ci-dessous illustre cette technique appliquée à la boucle à verrouillage de phase entièrement numérique (ADPLL).

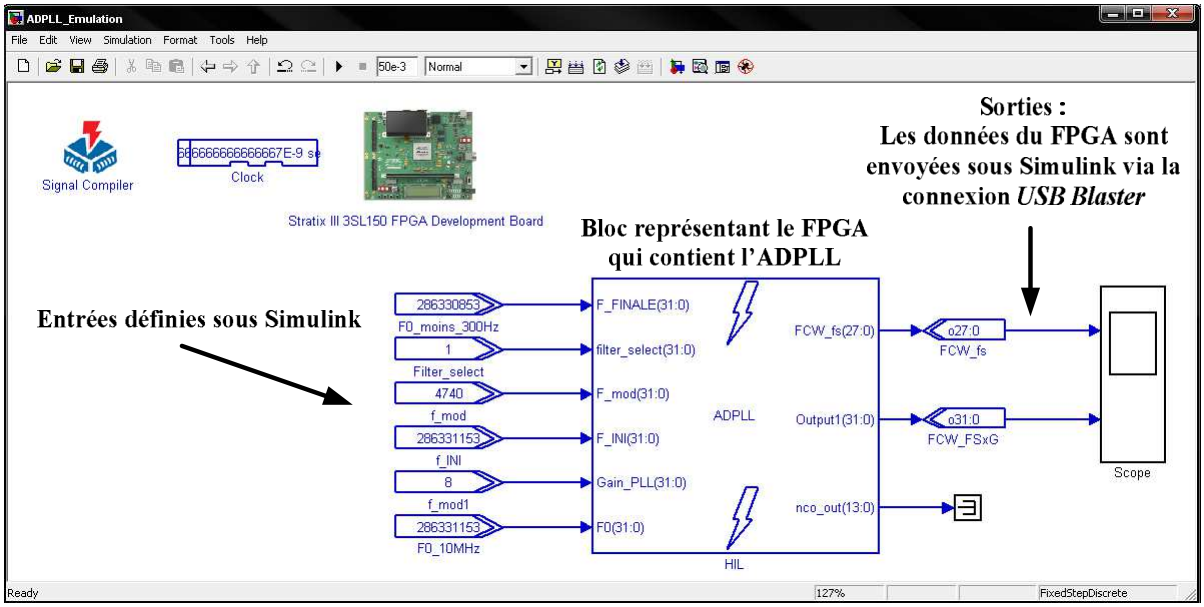


Fig.A2_1. *Exemple d'un banc d'émulation où l'ADPLL est implémentée dans le FPGA et ses entrées et sorties sont déportées sous Simulink.*

Pour ce faire, sous Simulink, un module est instancié représentant le FPGA programmé avec l'ADPLL. Après avoir lancé l'émulation tout comme nous lancerions une simulation, Simulink envoi au FPGA par le biais d'un câble USB les données présentes en entrées et récupère les données issues de l'ADPLL. L'émulation ne s'effectue pas en temps réel de part le temps nécessaire à l'envoi et à la réception des données.

II. Boucle à verrouillage de phase (PLL)

La première PLL totalement analogique et intégrée est apparue en 1965. L'arrivé des circuits intégrés numériques permit dans les années 70 de concevoir des PLL mixtes. Le comparateur de phase était alors le seul élément numérique. Les PLL sont utilisées dans une multitude d'appareils tel que les modems, les téléphones portables, les émetteurs et récepteurs radios, les radars, les processeurs et bien d'autres encore, en d'autres termes là où la

multiplication de fréquence, la démodulation de signaux et la génération d'horloge sont nécessaires.

II.1 PLL fractionnelle

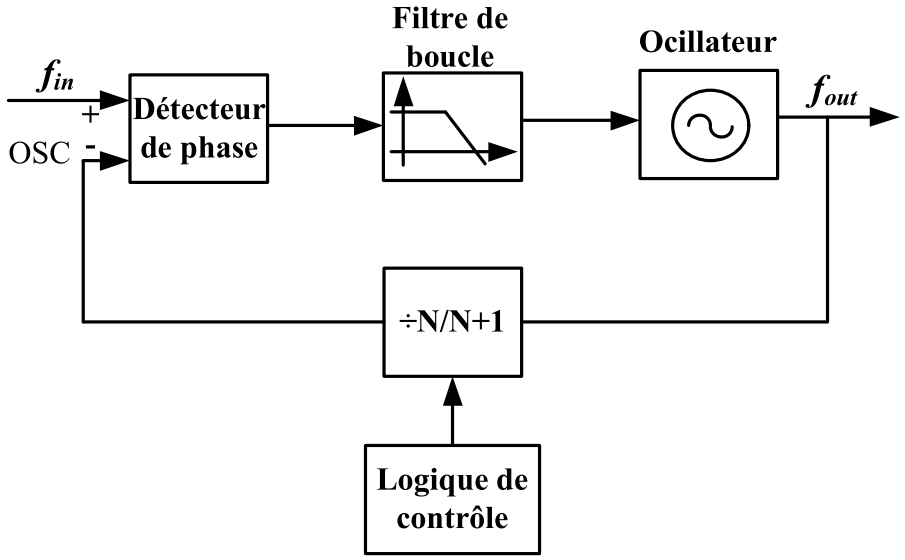


Fig.A2_2. *Schéma de principe d'une PLL fractionnelle. Le diviseur de boucle divise par N pendant un certain nombre de cycle puis par N+1 les cycles restants dans le but de fournir une fréquence de sortie f_{out} d'une valeur multiple et non entière de la fréquence d'entrée f_{in}.*

Avec ce type de PLL il est possible d'obtenir une fréquence de sortie dont la valeur moyenne ne soit pas un multiple entier de la fréquence d'entrée f_{in} comme le montre la relation (A2_1).

$$f_{out} = \left(N + \frac{1}{M} \right) . f_{in} \qquad \text{(A2_1)}$$

N désigne le facteur de division et M désigne le nombre de cycle correspondant à la division par N+1. La commutation entre les deux facteurs de division est gérée par une logique de contrôle. Ce type de PLL ne convient pas pour notre application car pour générer des fréquences multiples même non entières il est nécessaire que la fréquence de référence f_{in} soit de 100mHz. De plus afin de permettre une division par N/N+1, cela impliquerait d'avoir un facteur N programmable et de très grande valeur pour pouvoir atteindre une fréquence de sortie de 60MHz et de plus cela engendrerait une logique de contrôle très complexe afin de permettre l'obtention d'une fréquence moyenne multiple et non entière.

II.2 PLL entièrement numérique

II.2.1. PLL numérique à entrée binaire

Nous retrouvons la PLL à bascule (*flip-flop* PLL) [SAL06] illustrée sur la figure A2_3. Elle est, en outre, constituée d'un filtre N-bit, généralement un IIR (réponse impulsionnelle infinie) du premier ordre et d'un DCO (oscillateur contrôlé numériquement) en guise d'oscillateur. Ainsi le signal d'entrée *x(t)* et celui généré par le DCO *y(t)* sont de type binaire. L'état haut de la sortie Q correspond à l'écart des fronts montants de ces deux signaux. Il est donc proportionnel à leur écart de phase. Durant l'état haut de Q, le compteur s'incrémente et fournit la valeur N_0 (encodée sur plusieurs bits), image de l'écart de phase, au filtre numérique. Ce dernier délivre le signal *K* au DCO qui fournira une fois la PLL verrouillée un signal impulsionnel *y(t)* de même fréquence que *x(t)*. Le DCO est quant à lui un compteur programmable basé sur un diviseur. Ce type d'architecture est plus simple à réaliser et ne nécessite que peu de surface silicium. Dû à la nature du filtre IIR il faudra veiller à la stabilité de la PLL.

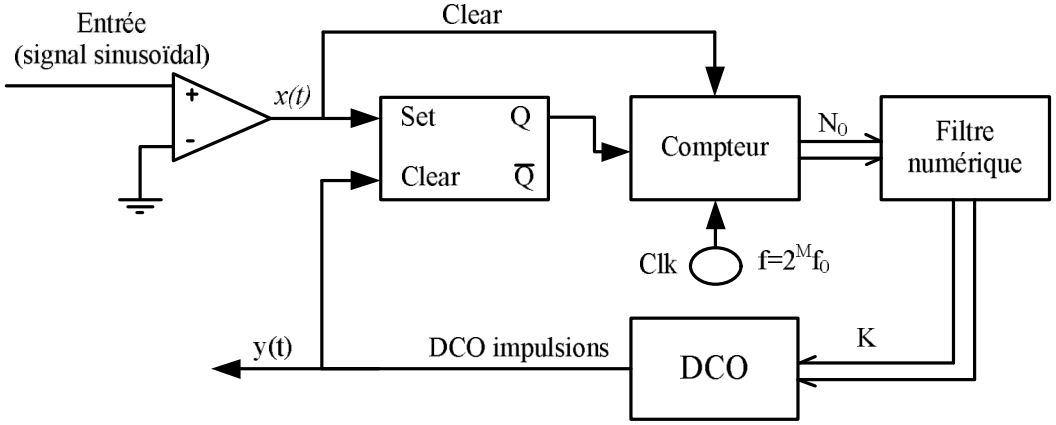


Fig.A2_3. *PLL à bascule et entièrement numérique.*

Une deuxième topologie, illustrée sur la figure A2_4, est appelée PLL à avance-retard ("lead lag PLL" en anglais) [SAL06]. Ce nom est là aussi dû à la nature du comparateur de phase. Cette PLL contient en outre un filtre numérique séquentiel, un contrôleur de phase en guise d'oscillateur et un diviseur par L. Le signal d'entrée, après avoir été traité par le comparateur analogique devient binaire alors que le signal généré par le DCO est impulsionnel tout comme le détecteur de phase. Le filtre numérique séquentiel compte ou décompte jusqu'à atteindre la valeur 2N ou 0. Dès qu'une de ces valeurs est atteinte, le compteur se réinitialise et génère soit une impulsion *Avance* soit une impulsion *Retard* à destination du contrôleur de phase. Le train d'impulsion périodique qu'il fournit se verra alors contenir une impulsion supplémentaire entre deux impulsions successives ou se verra enlever une impulsion. Après avoir été divisé par *L*, nous obtenons le signal impulsionnel *b*.

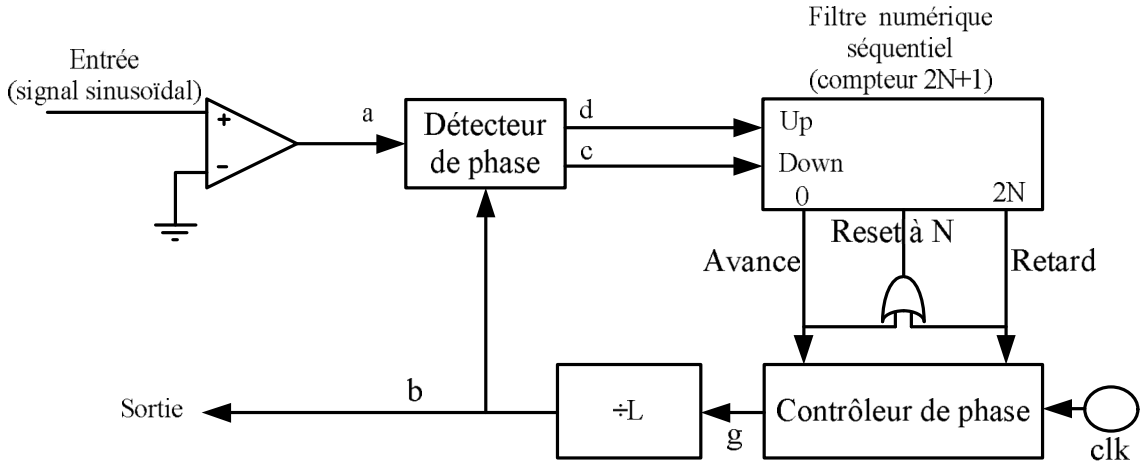


Fig. A2_4. *PLL à avance-retard (lead lag PLL en anglais).*

Enfin, nous finissons par la PLL OU exclusive (XOR PLL en anglais) [SAL06] montrée sur la figure A2_5. Comme son nom l'indique, elle comprend un comparateur de phase basé sur une porte logique OU-EX. Elle comporte également un filtre basé sur un compteur modulo K et un DCO réalisé avec un compteur/décompteur associé à un diviseur par N. Le comparateur de phase génère un signal image de l'écart de phase entre les signaux binaires *in* et *out*. Selon le niveau logique de V_d, le compteur incrémente ou décrémente jusqu'à atteindre respectivement la valeur *K* ou 0. Cela fait, une impulsion sur la sortie C est générée si la valeur *K* est atteinte ou bien sur la sortie B si c'est la valeur zéro. Cela va avoir pour effet de respectivement augmenter ou diminuer la période du signal *F*. Le compteur qui implémente le filtre est cadencé à une fréquence $f_1=Mf_0$ et le compteur qui constitue en partie le DCO est cadencé à une fréquence $f_2=2Nf_0$. Souvent, ces deux fréquences sont égales.

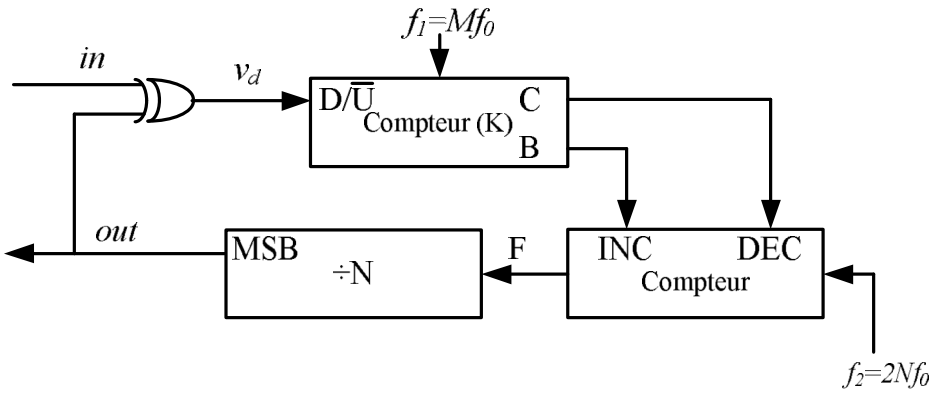


Fig. A2_5. *PLL OU-Exclusive.*

II.2.2. PLL numérique à entrée analogique et numérique

La figure A2_6 montre l'architecture d'une PLL à fréquence d'échantillonnage de *Nyquist*, (Nyquist-rate PLL en anglais) [SAL06]. Elle est constituée d'un multiplieur en guise de comparateur de phase, d'un filtre numérique sur N-bit et d'un DCO. Un ADC (convertisseur analogique/numérique) est utilisé pour échantillonner le signal sinusoïdal *x(t)* dont la fréquence doit être asservie. Le DCO génère un signal binaire *v(k)* qui sera comparé au signal sinusoïdal. Le signal *e(k)* ainsi généré sera filtré pour donner *y(k)* utilisé comme consigne de fréquence pour le DCO. A noter qu'il est possible pour le DCO de générer un signal sinusoïdal si nous y enlevons le module qui permet le formatage en signaux binaires.

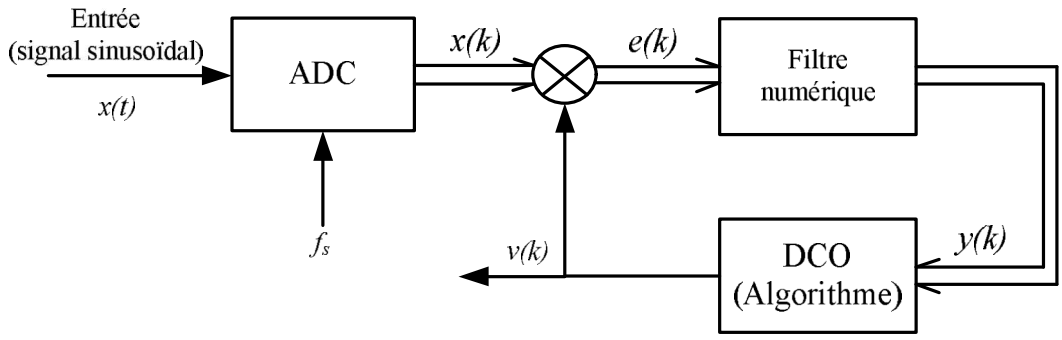


Fig. A2_6. *PLL à fréquence d'échantillonnage de Nyquist.*

Une variante de la topologie précédente est représentée sur la figure A2_7 [SAL06]. Celle-ci est dotée d'un ADC en guise de comparateur de phase, d'un filtre de boucle sur N-bit et d'un DCO qui est constitué principalement d'un décompteur programmable suivi par un détecteur de passage par zéro. L'ADC effectue un échantillonnage non uniforme du signal sinusoïdal *x(t)*. La commande d'échantillonnage *v(t)* est un signal binaire de courte durée assimilable à une impulsion qui est généré par le DCO à chaque fois que le décompteur atteint zéro. Ces impulsions régissent le fonctionnement de l'ADC comme le ferait un signal d'horloge en fonctionnement synchrone. Le signal *x(k)* ainsi généré va être utilisé par le filtre pour actualiser le signal de consigne *y(k)* nécessaire au DCO pour maintenir la PLL verrouillée.

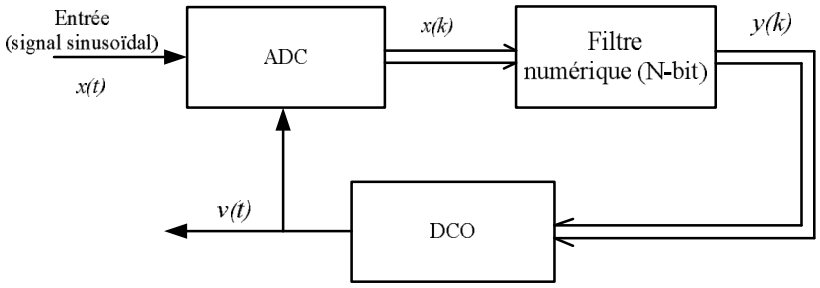


Fig. A2_7. *PLL à échantillonnage non uniforme.*

II.2.3. PLL numérique à entrée entièrement analogique

La troisième catégorie est représentée par la figure A2_8 [BES03]. Cette PLL est constituée d'un comparateur de phase basé sur la transformé d'Hilbert (*cf.* figure A2_13), sur un filtre IIR du premier ordre et sur un DCO générant deux signaux sinusoïdaux en quadrature de phase. Cette PLL travaille avec des signaux u_1 et u_2 sinusoïdaux. Le fonctionnement de cette PLL suppose que l'écart de phase (représentée par l'erreur de phase θ_e) soit contenu dans u_1, le DCO délivrant un signal u_2 avec exactement la même pulsation w_0 que u_1. Le signal u_d fournit par le comparateur de phase est alors assimilable à θ_e. u_d va être moyenné par le filtre de boucle pour donner le signal u_f qui est utilisé par le DCO, ce qui permet à la PLL de rester verrouillée sur u_1. Ce type de PLL peut être implémenté matériellement mais le comparateur nécessiterait énormément de ressource. Ce type d'architecture est plutôt implémenté sur DSP. De plus, il nécessite que le DCO génère à tout moment la même pulsation w_0 que u_1. Cela semble délicat si u_1 et u_2 n'ont pas la même source à l'origine de leur pulsation.

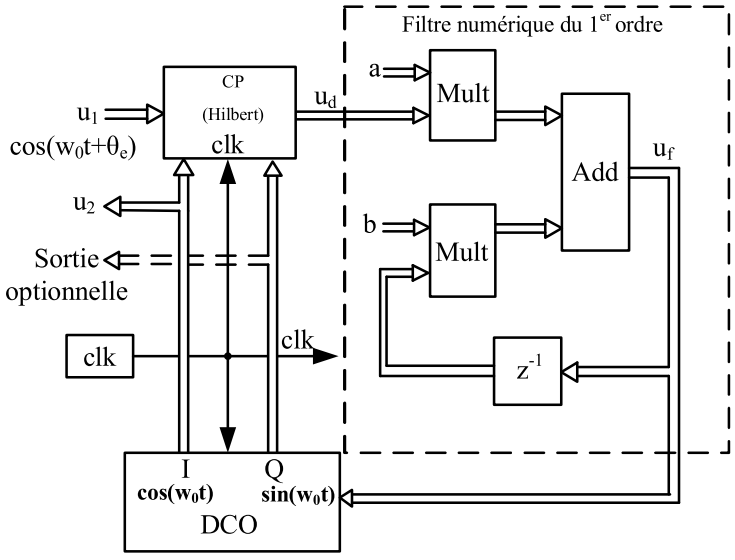


Fig. A2_8. *PLL à transformée d'Hilbert.*

III. Comparateur de phase

La démocratisation de l'électronique numérique a contribué au développement de comparateur de phase numérique. La première PLL dotée d'un comparateur de phase numérique apparaîtra dans les années 70. Elle portera le nom de "PLL Mixte". L'utilisation de comparateur de phase numérique s'est depuis généralisée et a en quelque sorte marginalisé l'utilisation du comparateur de phase de type 1. Ci-dessous sont représentés les principaux types de comparateur numériques. La figure A2_9 met en avant les comparateurs de phase utilisés lorsque les signaux présents en entrée sont codés sur un bit.

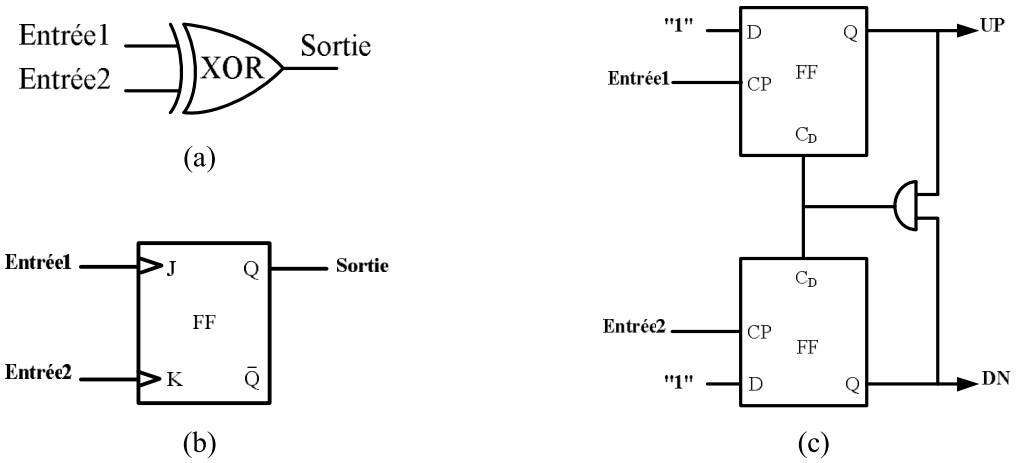


Fig. A2_9. *Principaux types de comparateur de phase numérique fonctionnant avec des signaux binaires. (a) Le comparateur de phase basé sur une porte logique OU EX. (b) Un comparateur de phase reposant sur une bascule JK. (c) Un comparateur de phase-fréquence reposant principalement sur deux bascules D et une porte logique ET. Celui-ci a la particularité de comparer l'écart de fréquence des signaux présent sur les deux entrées (*Entrée1 *et* Entrée2*) dans le but d'accélérer l'accrochage de la PLL. Une fois cette étape terminée, il compare les phases relatives à ces signaux.*

La figure A2_9(a) met en avant un comparateur de phase basé sur une porte logique OU EX (pour exclusive). Il est comparable au multiplieur analogique dans son fonctionnement mis à part que les signaux sont de nature binaire ("0" ou "1"). Ce circuit est dit "combinatoire" car il n'a pas besoin d'horloge pour fonctionner. Nous retrouvons de même sur la figure A2_9(b) la bascule JK faisant office de comparateur. A la différence de la porte logique OU EX, ce comparateur fonctionne avec les fronts montants des signaux à comparer lui conférant une nature séquentielle. La figure A2_9(c) présente un comparateur de phase-fréquence séquentiel. L'appellation phase-fréquence est issue du fait qu'il fonctionne d'abord en comparateur de fréquence dans le but d'accélérer le verrouillage de la PLL puis en comparateur de phase une fois que le verrouillage a eu lieu. Le comparateur de phase-fréquence est constitué entre autre de deux bascules D et d'une porte logique ET. Il est le plus

souvent utilisé avec une PLL mixte dite à pompe de charge. Les signaux UP et DN commandent alors une pompe de charge qui délivre un courant qui sera l'image du déphasage des signaux présent en entrée du comparateur de phase-fréquence. Cependant, ces différents comparateurs ne conviennent pas car le signal reçu et à traiter par le démodulateur est de nature sinusoïdale et encodé sur quatorze bit.

Ci-dessous sont représentés les principaux comparateurs de phase numérique plus adapté au traitement de signaux encodé non pas sur un bit mais sur un mot binaire. La figure A2_10 représente le schéma de principe d'un détecteur de phase basé sur un compteur à bascule. La sortie Q de la bascule RS délivre un signal de niveau logique "1" dont la durée est fonction de la différence de phase entre les signaux u_1 et u_2. Le compteur est alors activé et fournit le signal θ_e proportionnel à l'erreur de phase et qui est encodé sur N bit. Il est réinitialisé dès que u_1 présente un nouveau front montant. Cette structure ne convient pas car elle nécessite que u_1 et u_2 soit de type binaire ce qui pose la même problématique que pour les comparateurs de phase et phase-fréquence présenté ci-dessus.

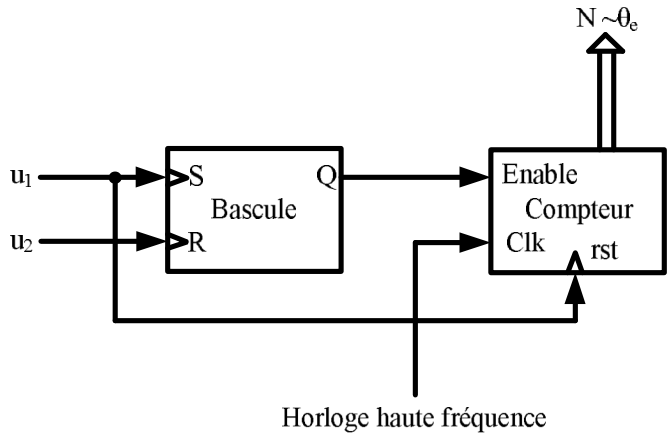


Fig. A2_10. *Détecteur de phase basé sur un compteur à bascule Flip-Flop (FF).*

La figure A2_11 représente l'architecture de base d'un convertisseur temps vers délais (TDC). Ce TDC fournit en sortie une valeur qui est l'image de l'écart de phase entre les signaux d'entrée représentés par F_{ref} et F_{NCO}. La sortie peut être codée sur plusieurs bit en fonction de la précision que l'on veut obtenir. Ce type de comparateur de phase ne convient pas car il ne prend en compte que des signaux d'entrée binaires.

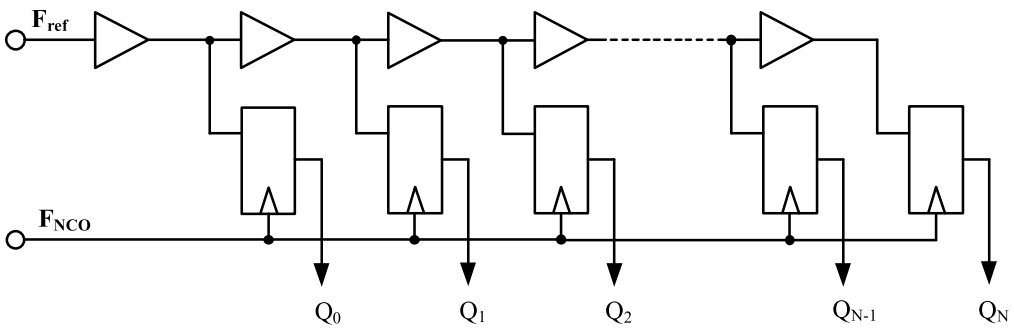


Fig. A2_11. *Structure de principe du convertisseur temps vers délai ("time to delay converter").*

Ci-dessous, la figure A2_12 présente un détecteur de phase par passage à zéro. Une des réalisations possibles consiste à utiliser un détecteur de seuil positif qui cadence l'ADC à partir des fronts montant du signal u_2. Ainsi, l'ADC prélève un échantillon du signal analogique u_1 et génère à partir de celui-ci un signal θ_e image de l'erreur de phase entre u_1 et u_2. L'inconvénient de ce type de détecteur au vu de notre application réside dans le fait qu'u_2 doit être un signal binaire.

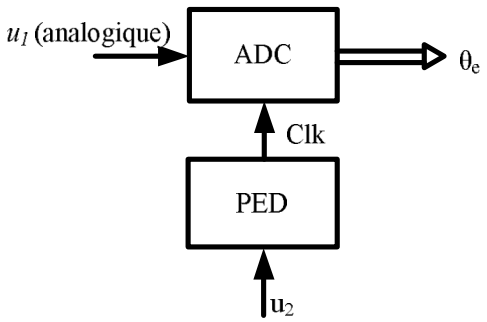


Fig. A2_12. *Détecteur de phase par passage à zéro basé sur un ADC. A chaque coup d'horloge généré par le détecteur de seuil positif (PED) à partir des fronts montant du signal u_2, l'ADC prélève un échantillon du signal analogique u_1. Par la suite, il crée un signal θ_e qui est l'image de l'erreur de phase entre u_1 et u_2.*

La figure A2_13 met en avant un comparateur de phase qui se base sur la transformée d'Hilbert dans le but d'extraire la phase du signal u_1 nommée θ_e sur lequel la PLL doit être verrouillée.

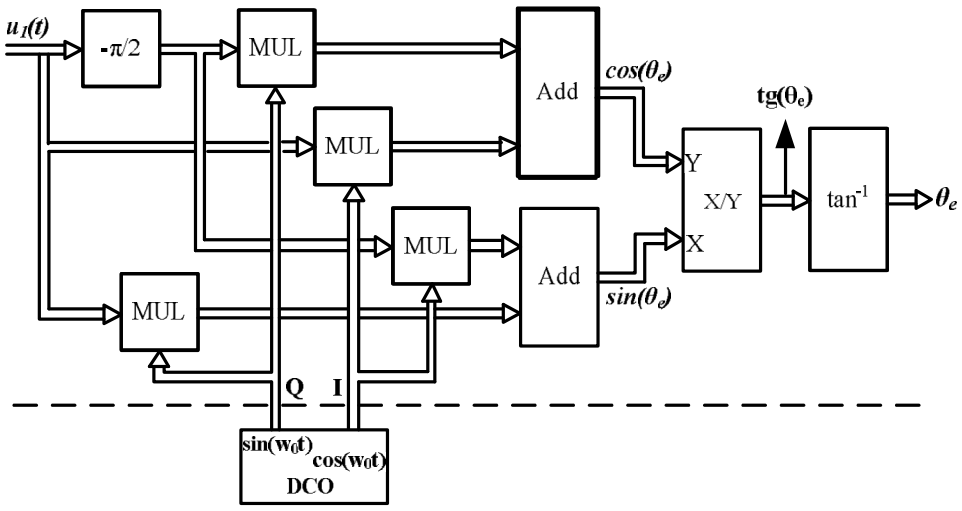


Fig. A2_13. *Détecteur de phase basé sur la transformée d'Hilbert.*

Pour ce faire, il est nécessaire de déphaser de -π/2 le signal u_1 à l'aide d'un filtre représenté par le bloc nommé "-π/2" (qui réalise la transformée d'Hilbert). Puis, il faut le multiplier par deux sinusoïdes en quadrature ayant la même fréquence qu'u_1 ($sin(w_0t)$ et $cos(w_0t)$) dans le but d'obtenir le sinus et le cosinus de θ_e. A noter qu'un de ces deux signaux est utilisé en sortie de la PLL. Il ne reste plus qu'à effectuer le rapport cosinus sur sinus et calculer l'arc-tangente afin d'obtenir θ_e. Ce détecteur, se prête mieux à une implémentation logicielle comme il est dit dans [BES03]. En effet, le nombre d'opérateur arithmétique nécessaire, engendrerait une consommation de ressource au sein du FPGA trop importante. De plus, la latence engendrée par un tel comparateur n'en fait pas un candidat optimal pour cette application. En outre, ce type de détecteur s'emploi pour des systèmes où la pulsation est supposé constante et en considérant que seul θ_e varie, ce qui n'est pas forcément le cas dans notre application. Enfin, ce système suppose que le signal envoyé au comparateur de phase et le signal provenant du DCO, qui en plus d'être utilisé comme l'oscillateur de la PLL est utilisé comme générateur de sinusoïde en quadrature, soit à la même pulsation que le signal u_1 ce qui est très délicat à mettre en place.

Une version simplifiée existe et est représentée par la figure A2_14. Il s'agit d'un détecteur de phase à moyenneur. Nous avons toujours besoin d'utiliser l'oscillateur de la boucle pour générer les deux sinusoïdes en quadrature mais cette fois-ci des blocs "moyenneur" remplacent une partie des blocs MUL et ADDER. Ces blocs sont ni plus ni

moins que des filtres qui permettent d'obtenir la valeur moyenne de $cos(\theta_e)$ et de $sin(\theta_e)$ pour en extraire par la suite la valeur moyenne de θ_e. Malgré cet allègement, cette structure présente les mêmes inconvénients que la structure précédente vis-à-vis de notre utilisation.

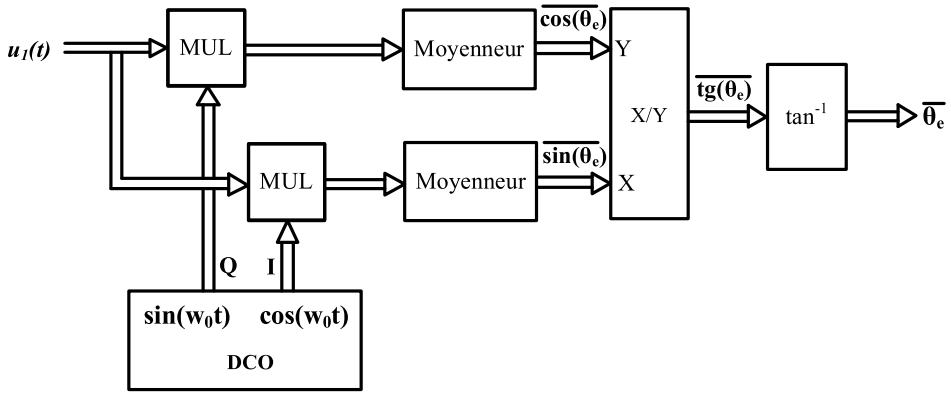


Fig. A2_14. *Détecteur de phase à moyenneur.*

IV. Accumulateur de phase

Des implémentations "simples" mettent en œuvre un additionneur et un registre de mémorisation, tous deux codés sur L bit. Bien qu'elle présente une faible consommation et occupe peu de surface, sa fréquence de fonctionnement se situe parmi les moins élevées.

La structure parallèle permet, quant à elle, d'augmenter la fréquence de fonctionnement en faisant fonctionner les additionneurs simultanément au prix d'une occupation en surface et une consommation plus importante.

La structure "pipeline" peut être vue comme un compromis entre les deux premières. En effet, même si elle ne permet pas d'atteindre des fréquences aussi élevées que la structure parallèle, elle présente cependant une fréquence de fonctionnement plus élevée que la l'architecture "simple" tout en consommant moins que la structure parallèle. Pour ce faire, on utilise plusieurs additionneurs élémentaires à la place d'un seul. La latence qu'impose cette structure doit être prise en compte lors de l'étude de faisabilité.

Tout comme l'accumulateur, l'additionneur peut être réalisé selon deux principales architectures. Il y a ainsi l'additionneur à propagation de retenue qui est une structure simple mais peu performante en vitesse à cause de la propagation de la retenue d'un étage à un autre. Enfin, il y a également l'additionneur à anticipation de retenue dont le but est de pallier les défauts de la première.

V. Convertisseur phase vers amplitude (CPA)

Dans sa forme la plus simple, l'accumulateur de phase était relié à une mémoire de type ROM ou EPROM utilisé comme "*look up table*". Cette dernière associait à chaque valeur de la phase le sinus et/ou le cosinus (ou tout autre fonction voulue) associé. De part l'augmentation exponentielle de la mémoire en fonction de la taille du bus de sortie de l'accumulateur de phase, celui-ci fut tronqué. Mais cela ne fut pas suffisant car la mémoire bien que simple à implémenter restait trop volumineuse. C'est pour cela que les propriétés de symétrie de la fonction sinus ont été utilisées dans le but de réduire sa taille.

V.1. Décomposition angulaire

Cette technique a pour but de minimiser l'utilisation de la mémoire. A la place de stocker les valeurs de la sinusoïde correspondant à la plage [0, π/2] on utilise les identités trigonométriques ou bien une approximation de celles-ci. Ceci permet de découper la plage en angle dit "grossier" et "fin" comme illustré sur la figure A2_15.

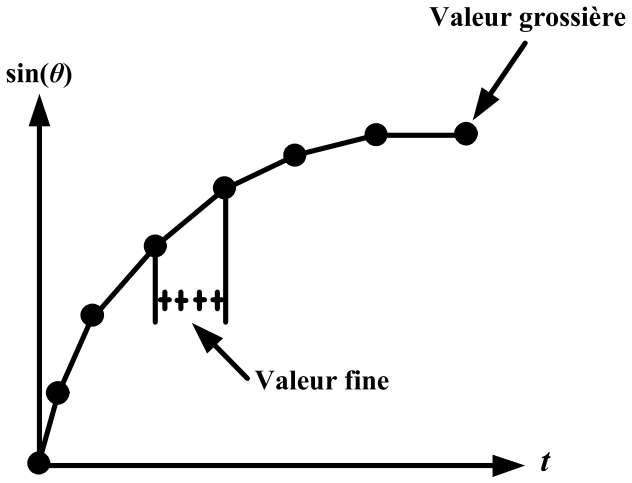


Fig. A2_15. *Schéma de principe qui illustre cette méthode. Une mémoire stocke les valeurs "grossières" et une seconde mémoire les valeurs "fines". Ces dernières sont placées entre chaque valeur grossière. On obtient ainsi une sinusoïde d'une précision donnée en minimisant l'utilisation de la mémoire.*

L'idée est alors d'utiliser une mémoire pour stocker les valeurs d'angle "grossier" et une mémoire pour les valeurs "fines". L'approximation suivante est utilisée dans l'un des premiers articles à présenter la décomposition angulaire appliqué au CPA [HUT75]:

$$\sin(\theta) = \sin(C + F) \simeq \sin(C) + \sin(F).\cos(C) \qquad \text{(A2_2)}$$

L'angle θ est décomposé en la somme d'un angle dit "grossier" (coarse) C est d'un angle fin (fine) F. L'auteur utilise deux mémoires pour stocker les valeurs "grossières" *sin(C)* d'une part et le produit *sin(F).cos(C)*. Les données issues de ces deux mémoires sont sommées et le sinus associé à l'angle est ainsi fournit (à l'erreur d'approximation près). Les améliorations apportées dans ce domaine visent à utiliser les identités trigonométriques pour ne pas avoir d'erreur d'approximation tout en utilisant le minimum de ressource matérielle. Cette méthode présente l'avantage de pouvoir être implémenté directement car il suffit de stocker en mémoire les valeurs des sin/cos et d'utiliser, dans le cas de la relation (A2_2) un additionneur et un multiplieur. Néanmoins, le principal inconvénient réside dans sa limitation aux identités trigonométriques.

V.2. Compression du signal sinusoïdal

Cette méthode utilisée pour la première fois par [NIC88] approxime le signal sinusoïdal à générer à partir de la rampe de phase fournit par l'accumulateur. Comme le montre la figure A2_16, cette technique s'appuie sur un module qui génère une approximation de la sinusoïde nommé "Circuit d'approximation" et d'une mémoire ROM qui stocke l'erreur résiduelle et dont le contenu est ajouté à l'approximation.

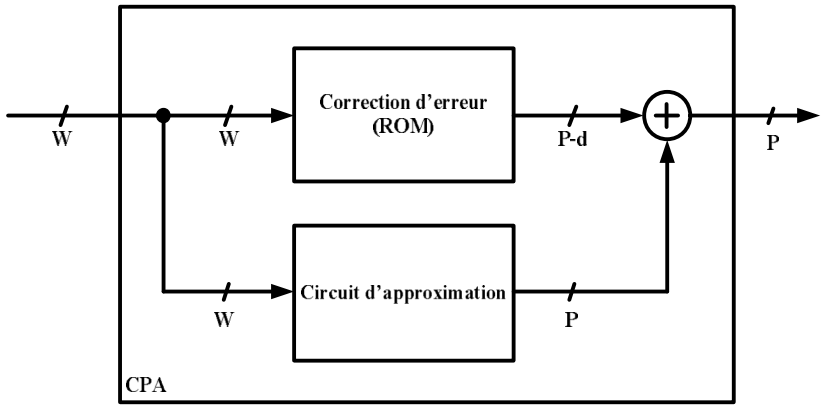


Fig. A2_16. *Schéma de principe d'implémentation de la technique de compression du signal sinusoïdal. A la place d'utiliser deux mémoires, nous utilisons un circuit d'approximation générant une sinusoïde approximative. La mémoire stocke des valeurs de correction qui permettent de se rapprocher d'une sinusoïde "idéale".*

Cela permet de minimiser l'erreur engendrée par cette approximation. L'objectif est d'ainsi de réduire la taille de la mémoire en diminuant la taille des cases mémoires de *d* bit. La capacité de mémoire est ainsi diminuée d'un facteur τ:

$$\tau = \frac{P-d}{P} \qquad \text{(A2_3)}$$

La taille du bus d'entrée *W* suit la même pensée que le système illustré sur la figure 68 du chapitre 3 paragraphe II.5.3, à savoir utiliser les deux bit de poids fort pour travailler dans la plage [0,2π] à partir de la plage de fonctionnement actuelle [0,π/2]. Bien qu'il nécessite en fin de compte l'emploi de deux CPA et qu'il soit d'avantage destiné aux systèmes dit hybrides, il présente l'intérêt de pouvoir réduire la taille de la mémoire tout en ne nécessitant pas un surplus de ressource matérielle ce qui permet un gain en surface.

V.3. Approximations polynomiales

L'approximation polynomiale peut être vue comme une amélioration de la méthode mettant en œuvre la compression du signal sinusoïdal. Cette dernière est un cas particulier de la relation (9) présente dans [LAN]. L'idée est alors de reprendre la relation (9) et de l'implémenter. Pour ce faire, la conception des CPA est fonction de quatre paramètres directement reliés à (9). Il y a pour commencer le degré *r* (avec $r \geq 1$) de l'approximation polynomiale. Plus le degré est élevé, meilleure est l'approximation. Par la suite, il y a le nombre de segment polynomial continu par morceaux *s* (avec $s \geq 1$) ainsi que la position du point de raccord x_k d'un polynôme à un autre. Pour finir, il y a la manière dont sont calculés les coefficients c_{ki}. Cette méthode nécessite beaucoup moins de capacité mémoire que le système présenté sur la figure 68 du chapitre 3 paragraphe II.5.3, ce qui permet diminuer le coût en surface. L'emploi d'additionneur et de multiplieur n'ont pas de conséquence sur l'occupation surfacique. L'interprétation graphique de la relation (9) peut être traduite à l'aide de la figure A2_17.

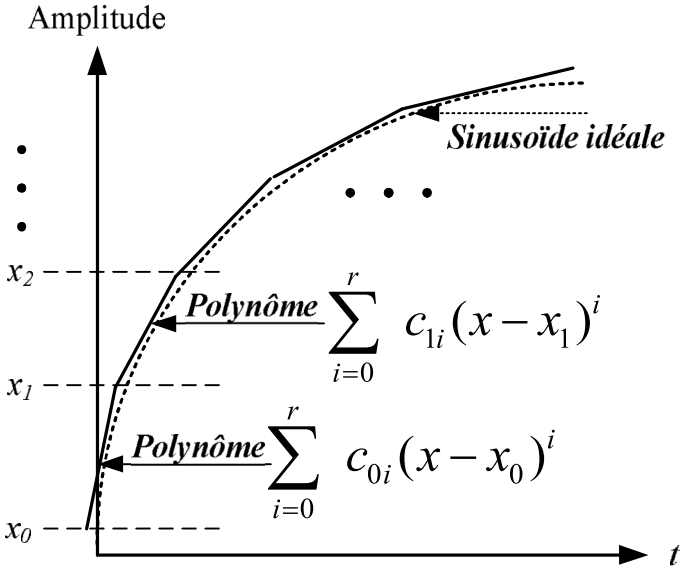


Fig. A2_17. *Schéma de principe qui illustre cette méthode. La sinusoïde est reconstituée à l'aide de plusieurs polynômes qui peuvent être des droites ou bien des polynômes de degré plus élevé en fonction de la précision voulue.*

Ainsi chaque polynôme entre les bornes x_0, x_1,... approxime une partie de la sinusoïde idéale. Si $r=1$ nous obtenons une droite. Si $r=2$ nous obtiendrons un polynôme de degré deux lequel "épousera" d'avantage la forme de la sinusoïde. Cette technique permet d'atteindre un facteur SFDR assez important pour un investissement matériel relativement faible et une consommation peu élevée. Cependant, le processus de détermination des paramètres peut être complexe tout comme le choix des coefficients. Les méthodes de calcul de ces derniers comptent pour beaucoup dans l'efficacité de cette méthode. Pour finir, si les approximations sont d'ordre élevé, le CPA pourra nécessiter d'avantage de ressource matérielle, ce qui rendra sa réalisation complexe et voir sa consommation électrique augmenter.

V.4. Fusion en un seul élément du CPA et du convertisseur numérique analogique

Le DDFS (synthétiseur numérique de fréquence, appelé également DDS) est généralement suivit d'un convertisseur numérique/analogique (CNA ou DAC en anglais) pour avoir une sortie analogique. L'idée de cette méthode, dans ce cas de figure, repose sur la fusion en un seul élément du CPA et du DAC, donnant naissance à un DAC non linéaire directement connecté à l'accumulateur de phase comme le montre la figure A2_18. Cette technique permet de créer les DDF les plus rapides capables de générer des fréquences de sortie supérieures au gigahertz [CHE10] ce qui les rend intéressant pour les systèmes radars [GEN10] qui nécessitent une grande précision fréquentielle sur une large plage de fréquence.

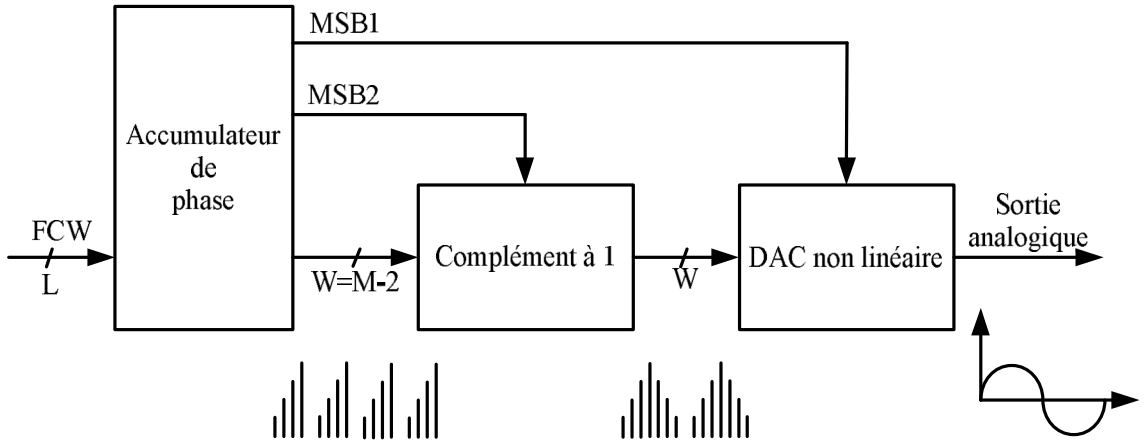


Fig. A2_18. *Schéma de principe issu de la fusion en un seul élément du DAC et du CPA.*

Ce DAC est non linéaire puisqu'il est nécessaire d'associer au signal linéaire issu de l'accumulateur de phase un signal sinusoïdal (sinus, cosinus ou bien les deux si deux sorties en quadrature sont souhaitées). Le bit de signe (MSB1) est désormais fournit au DAC non linéaire au lieu du CPA de la figure 68 du chapitre 3 paragraphe II.5.3. L'avantage de cette technique est sa faible consommation tout en ayant un SFDR (spurious free dynamic range en anglais) en sortie du DAC identique à celui lié à une architecture comprenant l'accumulateur, le CPA et un DAC "classique ". Cependant, son emploi reste limité aux systèmes qui nécessitent une sortie analogique et le SFDR est peu élevé à haute fréquence.

V.5. Méthode basée sur la rotation angulaire

En 1971, en ne modifiant que quelques paramètres, J S Walter [WAL71] généralisa son utilisation aux fonctions logarithme, exponentielle, racine carrée. Il sera utilisé par la suite dans les calculatrices pour implémenter les différentes fonctions trigonométriques, le traitement des signaux radars, les coprocesseurs mathématiques.

VI. Distribution des raies parasites issues de la troncature de phase

Le lecteur désireux d'en savoir d'avantage et voulant étudier plus en détail la répartition de ces raies parasites pourra bien entendu se référer à [ADE99] ainsi qu'à [NIC87] et [TOR05].

VII. Explication de l'algorithme CORDIC (COordinate Rotation Digital Computer)

Le CORDIC est basé sur la matrice de rotation suivante :

$$\begin{pmatrix} x' \\ y' \end{pmatrix} = \begin{pmatrix} \cos(\theta) & -\sin(\theta) \\ \sin(\theta) & \cos(\theta) \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} \qquad \text{(A2_4)}$$

Graphiquement, la relation (A2_4) signifie que le vecteur *V'(x', y')* est le résultat de la rotation du vecteur *V(x ,y)* d'un angle *Θ* comme l'illustre la figure A2_19 ci-dessous. C'est ce principe qui est mis en application dans l'exemple illustré par la figure 70 du chapitre 3 paragraphe II.5.3.1.

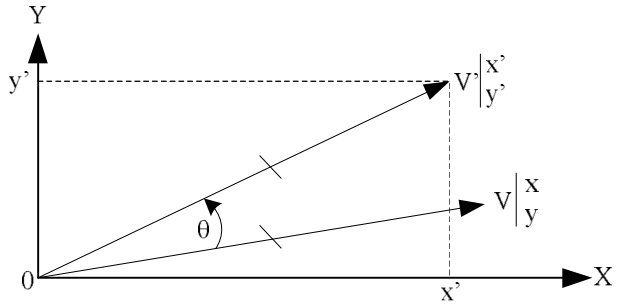


Fig. A2_19. *Rotation d'un angle Θ du vecteur V(x, y) donnant lieu au vecteur V'(x', y').*

Cependant, la relation (A2_4) ne peut pas être utilisée comme telle par le CORDIC car elle suppose que *cos(Θ)* et *sin(Θ)* sont connus. Or, le but du CORDIC dans ce mode là est justement de les déterminer. Qui plus est, la multiplication et la division doivent être exclusivement réalisées par "*bit shifting*". Par conséquent, la relation (A2_4) doit être réécrite. Les différentes relations ci-dessous permettent d'aboutir aux équations (A2_13), (A2_14) et (A2_15) qui sont le cœur même de l'algorithme CORDIC et qui seront implémentées matériellement. Nous commençons alors par réécrire la relation (A2_4) dans le but de faire apparaître le terme *tan()*.

$$\begin{pmatrix} x' \\ y' \end{pmatrix} = \cos(\theta) \begin{pmatrix} 1 & -\tan(\theta) \\ \tan(\theta) & 1 \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} \qquad \text{(A2_5)}$$

Θ est par la suite décompose en une somme d'angle φ_i :

$$\theta = \sum_i \varphi_i \tag{A2_6}$$

Avec

$$\varphi_i = \arctan(2^{-i}) \tag{A2_7}$$

φ_i est exprimé ainsi (en puissance de deux) pour pouvoir utiliser uniquement les décalages de bit pour effectuer les multiplications et divisions. La relation (A2_5) devient:

$$\begin{pmatrix} x' \\ y' \end{pmatrix} = \prod_{i=0}^{n-1} \cos(\varphi_i) \begin{pmatrix} 1 & -\tan(\varphi_i) \\ \tan(\varphi_i) & 1 \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} \tag{A2_8}$$

Pour pouvoir converger, il est nécessaire de savoir dans quel sens nous devons effectuer la rotation, ainsi il est nécessaire de définir une variable qui indique le sens de rotation, celle-ci se nomme d_i.

$$d_i = sign[\theta - (d_0\varphi_0 + d_1\varphi_1 + ... + d_{n-1}\varphi_{n-1})] \tag{A2_9}$$

La relation (A2_8) peut ainsi s'écrire :

$$\begin{pmatrix} x' \\ y' \end{pmatrix} = \prod_{i=0}^{n-1} \cos(\varphi_i) \begin{pmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} \tag{A2_10}$$

Nous posons K comme étant :

$$K = \prod_{i=0}^{\infty} \cos(\arctan(2^{-i})) = \prod_{i=0}^{\infty} \frac{1}{\sqrt{1+2^{-2i}}} \tag{A2_11}$$

Après quelques itérations K converge vers 0.607. Généralement, le nombre d'itération pratique est toujours plus élevé que le nombre d'itération nécessaire à la convergence de K. En l'introduisant, il est alors possible de seulement multiplier la valeur finale par celui-ci (à la fin du processus d'itération). Cette approche simplifie l'implémentation, matérielle.

$$\begin{pmatrix} \cos(\theta) \\ \sin(\theta) \end{pmatrix} = K \prod_{i=0}^{\infty} \begin{pmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{pmatrix} \begin{pmatrix} 1 \\ 0 \end{pmatrix} = \prod_{i=0}^{\infty} \begin{pmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{pmatrix} \begin{pmatrix} K \\ 0 \end{pmatrix} \tag{A2_12}$$

Les séries *x(i)* et *y(i)* (relation (A2_13) et (A2_14)) qui convergent vers *cos(Θ)* et *sin(Θ)* respectivement sont déduites de la relation (50).

$$x_{i+1} = x_i - y_i d_i 2^{-i} \quad \text{(A2_13)}$$

$$y_{i+1} = x_i d_i 2^{-i} + y_i \quad \text{(A2_14)}$$

Pour déterminer le signe de d_i, nous utilisons la relation (A2_15) ci-dessous.

$$z_{i+1} = z_i - d_i \arctan(2^{-i}) \quad \text{(A2_15)}$$

$$d_i = -1 \text{ si } z_i < 0 \text{ ou } d_i = 1 \text{ si } z_i \geq 0. \quad \text{(A2_16)}$$

La variable *z* sert d'accumulateur et le résultat de la relation (A2_15) définira le signe de d_i. La variable *z* est initialisé à la valeur z_0 qui n'est rien d'autre que l'angle *Θ* pour lequel le CORDIC doit calculer le sinus et le cosinus. Les valeurs d'$arctan(2^{-i})$ sont stockées dans une mémoire de très faible capacité puisqu'il est seulement nécessaire de stocker autant de valeur qu'il y a d'itération. La plage de fonctionnement [-π /2, π /2] est due à l'utilisation de *arctan(1)* comme première itération.

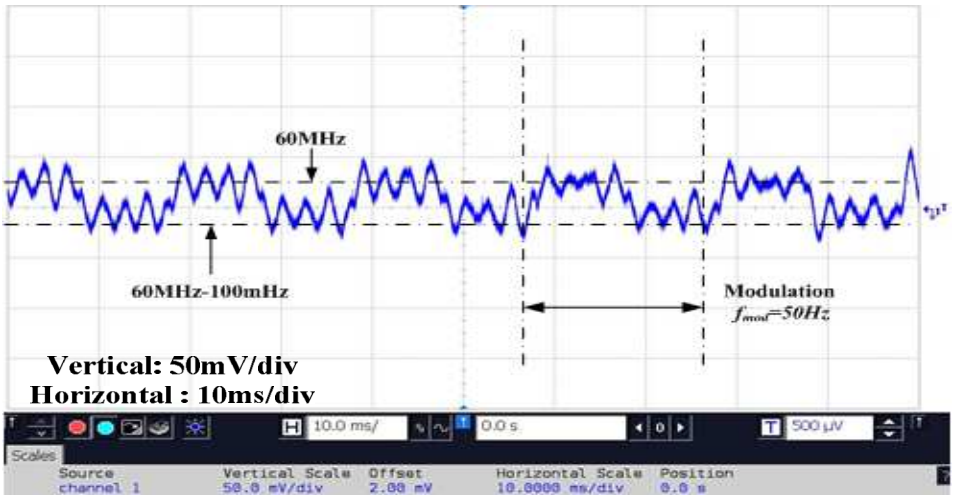
VIII. Captures d'écran relatives au signal $FCW_{FS}(nT_1)$

Les figures A2_20, A2_21 et A2_22 présentées ci-dessous illustrent respectivement l'effet du gain, du filtre et de la fréquence d'entrée (résonance) sur l'évolution temporelle de la sortie $FCW_{FS}(nT_1)$ et prouvent également que le système fonctionne dans la plage de fréquence [20kHz, 60MHz]. Pour chacune de ces figures, la modulation de fréquence ($f_{mod}=50Hz$) a été fixée à 50Hz et l'écart de fréquence à 100mHz.

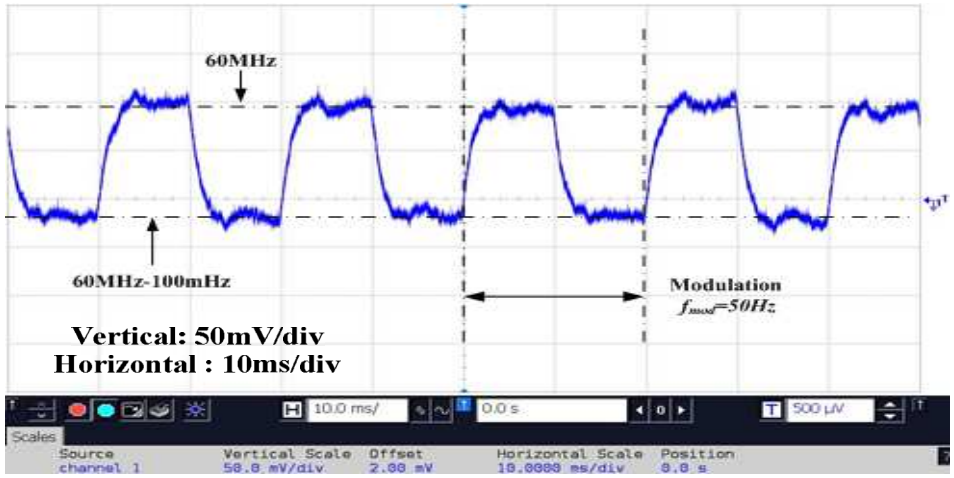
Les résultats présentés sur la figure A2_20 ont les paramètres suivant en commun : $f_{in}=20kHz$, *Sélection bit=5*, *Module de filtrage 3 :* $fc_{-3dB}=16kHz$. Seul le gain change. Nous pouvons voir qu'une valeur de gain élevée ($G=10$) engendre des ondulations (figure A2_20 (a)). En fixant $G=12$ (figure A2_20(b)) nous obtenons un signal convenable. Si le gain est insuffisant ($G=14$), l'ADPLL n'est alors pas assez rapide pour pouvoir se verrouiller.

Les résultats présentés sur la figure A2_21 ont les paramètres suivant en commun : $f_{in}=2.1MHz$, $G=10$, *Sélection bit=4*. Seul le module de filtrage change. Nous pouvons voir que l'ADPLL est capable de se verrouiller (figure A2_21(b)) qu'avec le module de filtrage 2 ($fc_{-3dB}=95kHz$).

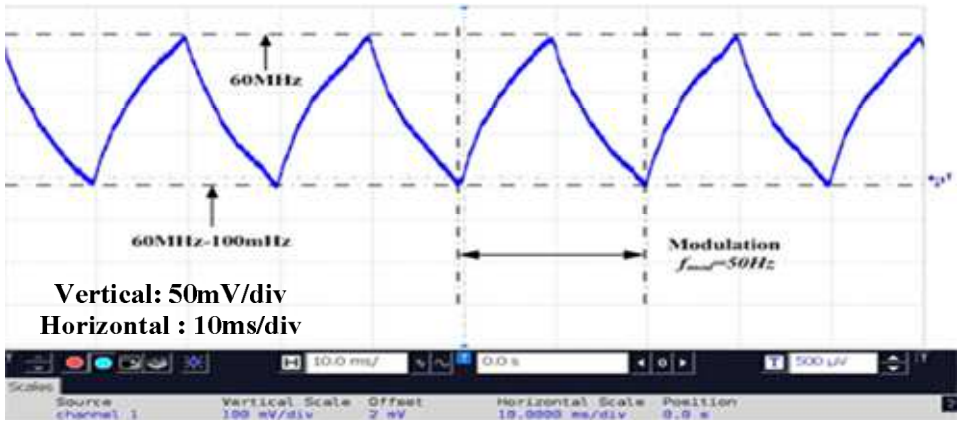
Les résultats présentés sur la figure A2_22 ont les paramètres suivants en commun : *Module de filtrage 3 :* $fc_{-3dB}=16kHz$, $G=12$, *Sélection bit=2.* Seule la fréquence d'entrée varie. Au fur et à mesure que nous nous rapprochons des conditions limites d'utilisation (critère de *Shannon-Nyquist*, ici 75MHz) le signal devient moins "net". Cela s'explique par le fait que nous disposons de peu d'échantillon par période du signal qui est envoyé à l'ADPLL (3 dans le cas du signal à 50MHz). Malgré cela, nous pouvons parfaitement observer que la détection de l'écart de fréquence de 100mHz fonctionne correctement.



(a)

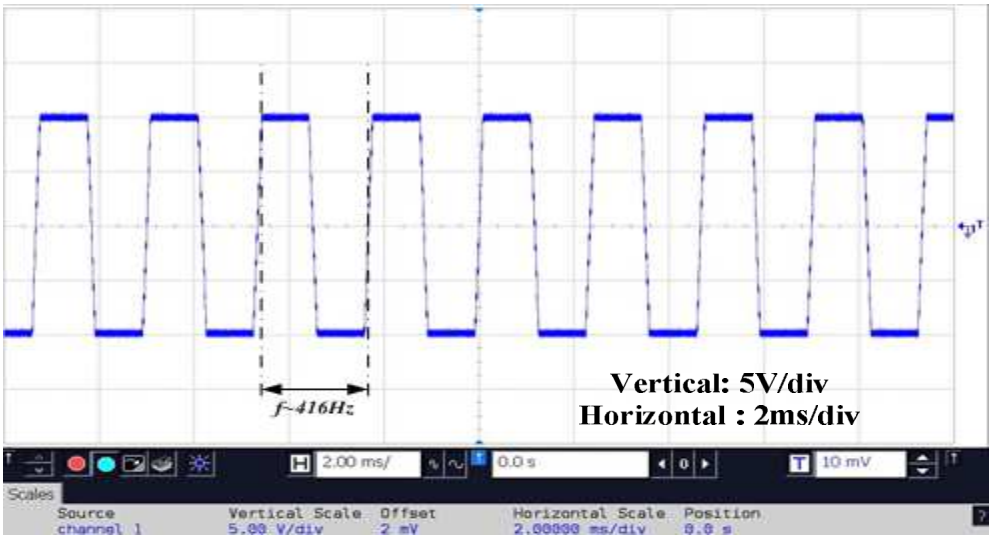


(b)

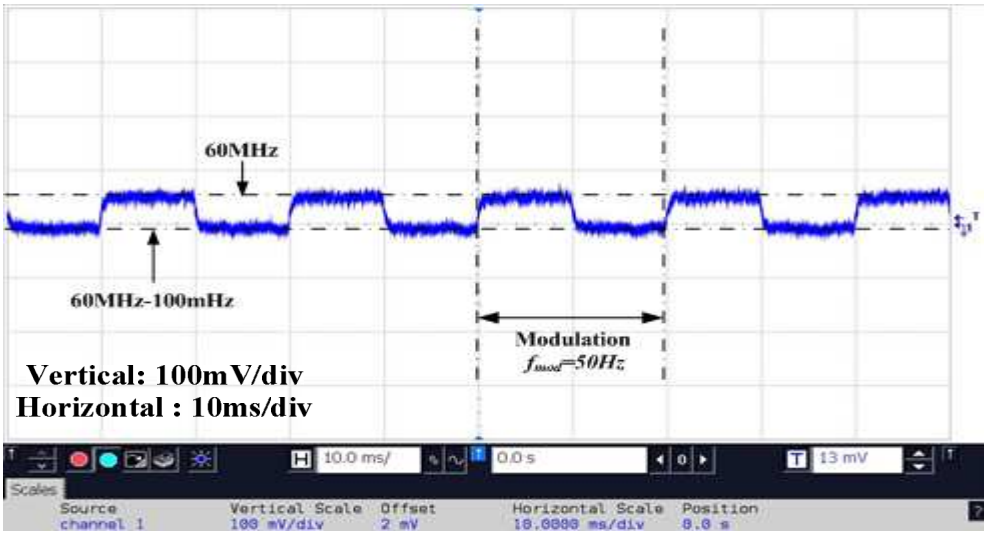


(c)

Fig. A2_20. Evolution temporelle de $FCW_{FS}(nT_1)$, f_{in}=20kHz, f_{mod}=50Hz, Sélection bit=5, Module de filtrage 3 : fc_{-3dB}=16kHz. (a) *G=10 (équivalent à une multiplication par 2^{-10}). Le signal présente beaucoup trop d'ondulation.* ***(b)*** *G=12. L'ADPLL se verrouille convenablement.* ***(c)*** *G=14. L'ADPLL est incapable de se verrouiller.*

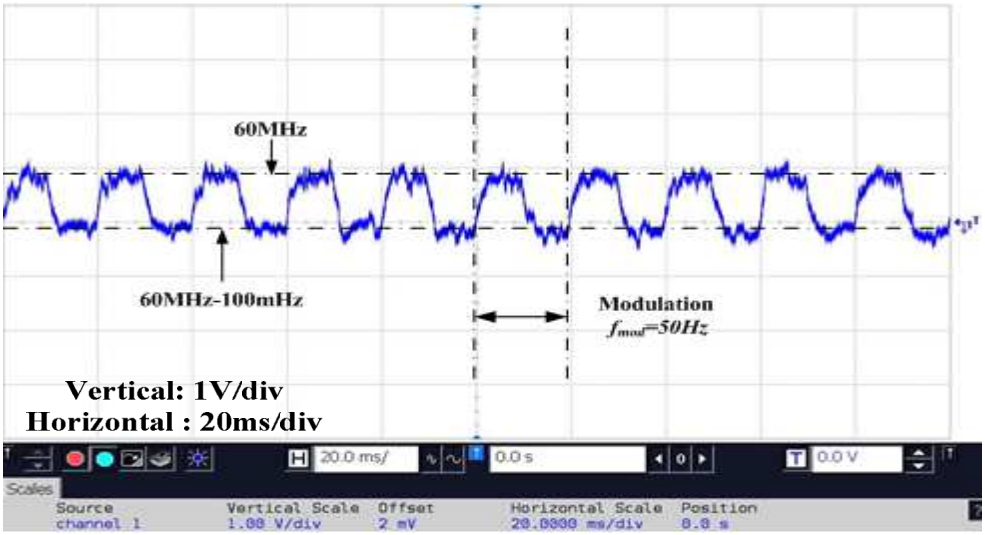


(a)

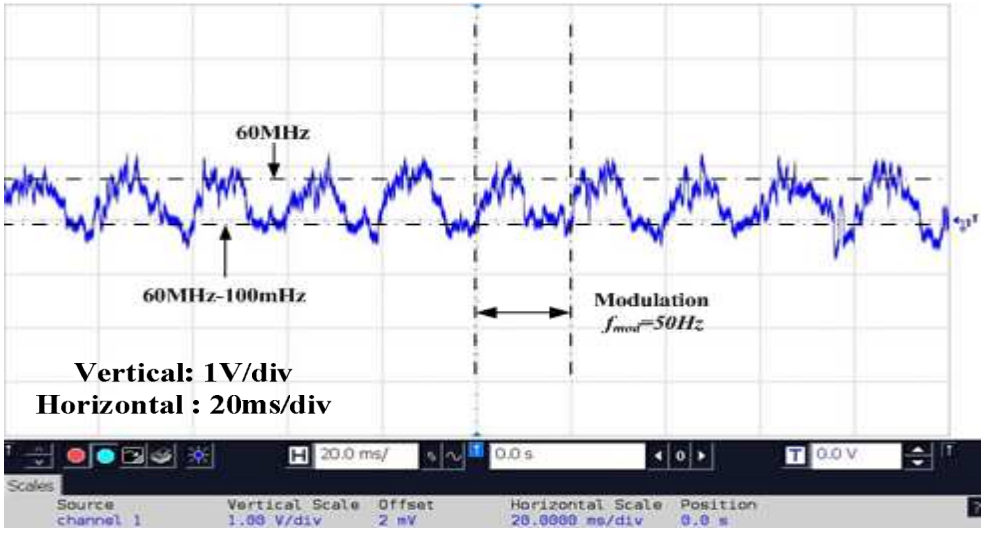


(b)

Fig. A2_21. Evolution temporelle de $FCW_{FS}(nT_1)$.f_{in}=2.1MHz, f_{mod}=50Hz, G=10, Sélection bit=4. ***(a)*** *Module de filtrage 3 : fc_{-3dB} =16kHz.* ***(b)*** *Module de filtrage 2 : fc_{-3dB} =95kHz. Le couple [G=10, module de filtrage 2] permet à l'ADPLL de suivre les décalages en fréquence.*



(a)



(b)

Fig. A2_22. *Evolution temporelle de $FCW_{FS}(nT_1)$, f_{mod}=50Hz, Module de filtrage 3 : fc_{-3dB} =16kHz, G=12, Sélection bit=2.* ***(a)*** *f_{in}=40MHz.* ***(b)*** *f_{in}=50MHz. Au plus nous nous approchons des conditions limites d'utilisation (critère de Shannon-Nyquist) au moins nous disposons d'échantillons du signal d'entrée (trois dans ce cas ci). Néanmoins, le système est capable de détecter l'écart de fréquence de 100mHz.*

Références

[ADE99] Analog Devices “A Technical Tutorial on Digital Signal Synthesis,”, 1999.

[BES03] R. E. Best, “Phase Locked Loops, Design, Simulation and Applications,” *Fifth Edition, pp. 227, McGraw-Hill, 2003*.

[CHE10] G. Chen, D. Wu, Z. Jin, J. Wu, X. Liu, “A 10GHz 8-bit Direct Digital Synthesizer implemented in GaAs HBT technology,” *Radio Frequency Integrated Circuits Symposium (RFIC), IEEE 2010, pp.425-428.*

[GEN10] X. Geng, F. F. Dai, J. D. Irwin, R. C. Jaeger, “24-Bit 5.0 GHz Direct Digital Synthesizer RFIC With Direct Digital Modulations in 0.13µm SiGe BiCMOS Technology,” *IEEE JSSC, Vol. 45, NO. 5, MAY 2010.*

[HUT75] Hutchinson, B.H. Jr.: ‘Contemporary frequency synthesis techniques’, *in Gorski-Pcpicl, J. (Ed.): ‘Frequency synthesis: techniques and applications’ (IEEE Press, 1975), pp. 25–45.*

[LAN04] J.M.P. Langlois and D. Al-Khalili, "Phase to sinusoid amplitude conversion techniques for direct digital frequency synthesis," *IEE Proc.-Circuits Devices Syst., Vol. 151, No. 6, December 2004.*

[NIC88] H. Nicholas III, H. Samueli, and B. Kim : ‘The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects’. *Proc. 42nd Annual Symp. on Frequency Control, 1988, pp. 357–363.*

[NIC87] H. Nicholas III and H. Samueli, “An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation”, *41st Annual Frequency Control Symposium, 1987.*

[SAL06] S. R. AL-Araji, Z. M. Hussain and Mahmoud A. AL-Qutayri, “Digital Phase Lock Loops, Architectures and Applications,” *pp. 17-26, Springer, 2006*.

[TOR05] A. Torosyan, A. N. Willson, Jr. ”Exact Analysis of DDS Spurs and SNR due to Phase Truncation and Arbitrary Phase-to-Amplitude Errors,” *IEEE, 2005.*

[WAL71] J. S. Walther, “A unified algorithm for elementary functions,” *Spring Joint Computer Conference, 1971.*

ANNEXE III

I. Transformée bilinéaire de la fonction de transfert en *z* réduite

Les figures ci-dessous (imprimes écran du logiciel Matlab) illustrent graphiquement l'évolution fréquentielle des fonctions de transfert (discrètes et continues) relatives aux filtres à réponse impulsionnelle finie (FIR) FIR_2, FIR_3, FIR_4, FIR_5. Un tableau situé en dessous de chaque graphe en présente les caractéristiques fréquentielles principales.

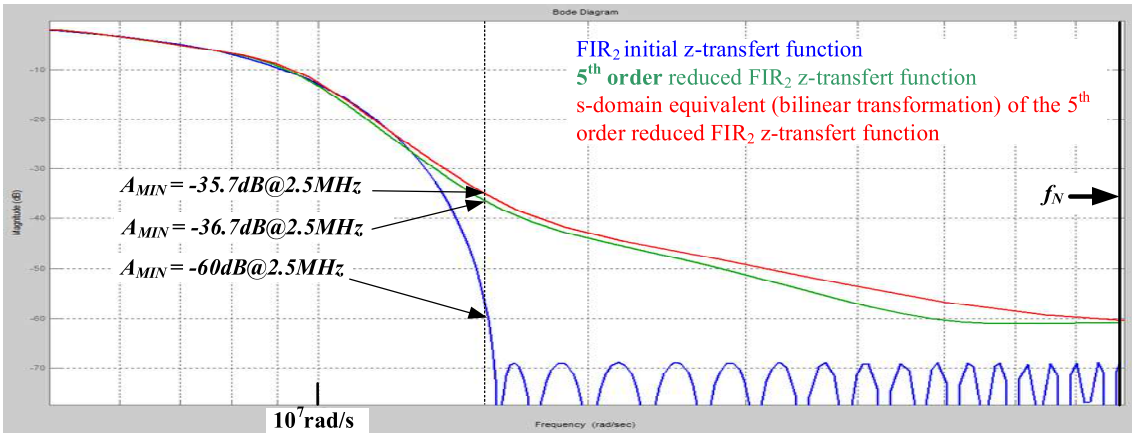


Fig. A3_1. *Comportement fréquentiel des fonctions de transfert associées au filtre FIR_2. En bleu, la fonction de transfert en z initiale, en vert la fonction de transfert en z réduite, en rouge la fonction de transfert dans le domaine continu (fonction de transfert en s).*

	Z-transfert function	*Reduced-Z (5 order)*	*BT**
f_{c2} (f_{-3dB})	930kHz	918kHz	920kHz
A_{MIN} @ 2.5MHz	-60dB	-36.7dB	-35.7dB

Tableau. A3_1*– Propriétés relatives aux fonctions de transfert associées au filtre FIR_2.*
**Transformation bilinéaire.*

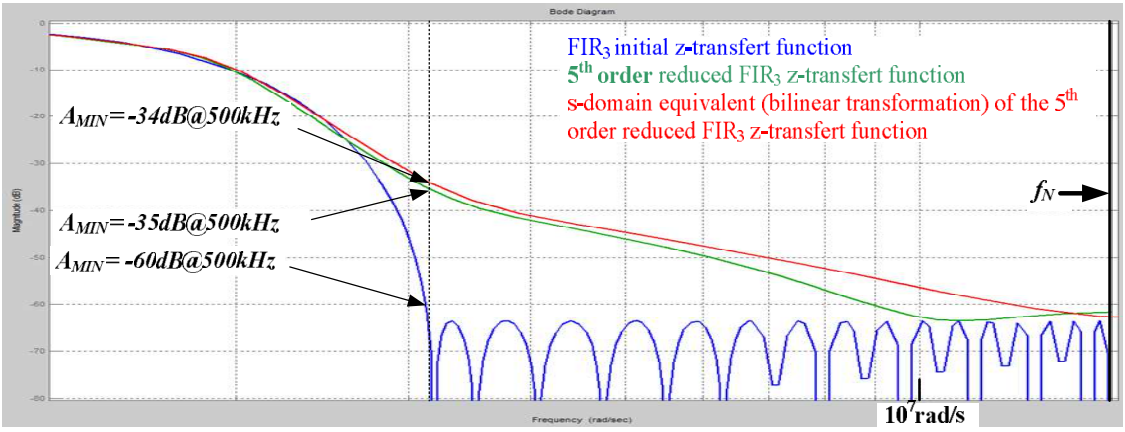


Fig. A3_2. *Comportement fréquentiel des fonctions de transfert associées au filtre FIR_3. En bleu, la fonction de transfert en z initiale, en vert la fonction de transfert en z réduite, en rouge la fonction de transfert dans le domaine continu (fonction de transfert en s). Zoom effectué sur la zone de transition.*

	Z-transfert function	*Reduced-Z (5 order)*	*BT**
f_{c3} (f_{-3dB})	220kHz	218kHz	215kHz
A_{MIN} @ 500kHz	-60dB	-35dB	-34dB

Tableau. A3_2 *– Propriétés relatives aux fonctions de transfert associées au filtre FIR_3.*
**Transformation bilinéaire.*

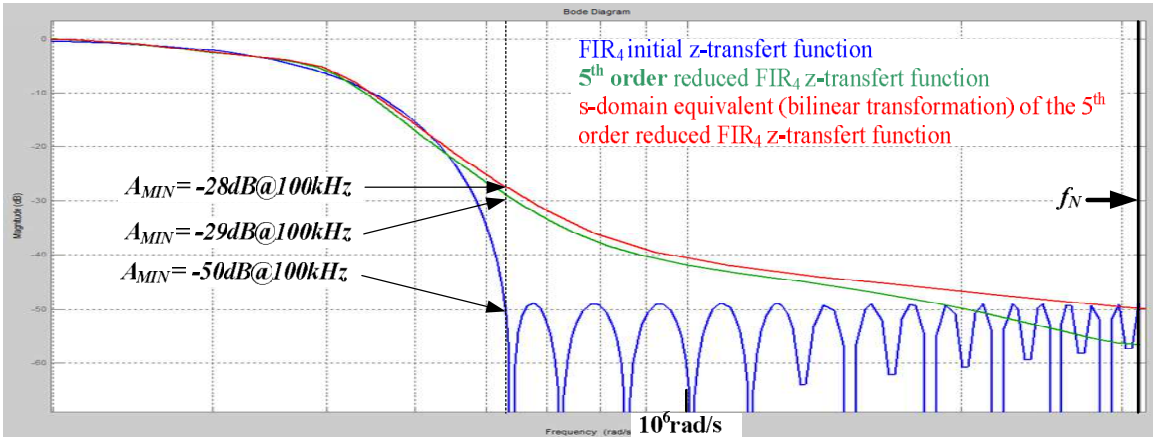


Fig. A3_3.*Comportement fréquentiel des fonctions de transfert associées au filtre FIR_4. En bleu, la fonction de transfert en z initiale, en vert la fonction de transfert en z réduite, en rouge la fonction de transfert dans le domaine continu (fonction de transfert en s).Zoom effectué sur la zone de transition.*

	Z-transfert function	*Reduced-Z (5 order)*	*BT**
f_{c4} (f_{-3dB})	52kHz	51kHz	51kHz
A_{MIN} @ 100kHz	-50dB	-29dB	-28dB

Tableau. A3_3 *– Propriétés relatives aux fonctions de transfert associées au filtre FIR_4.*
**Transformation bilinéaire.*

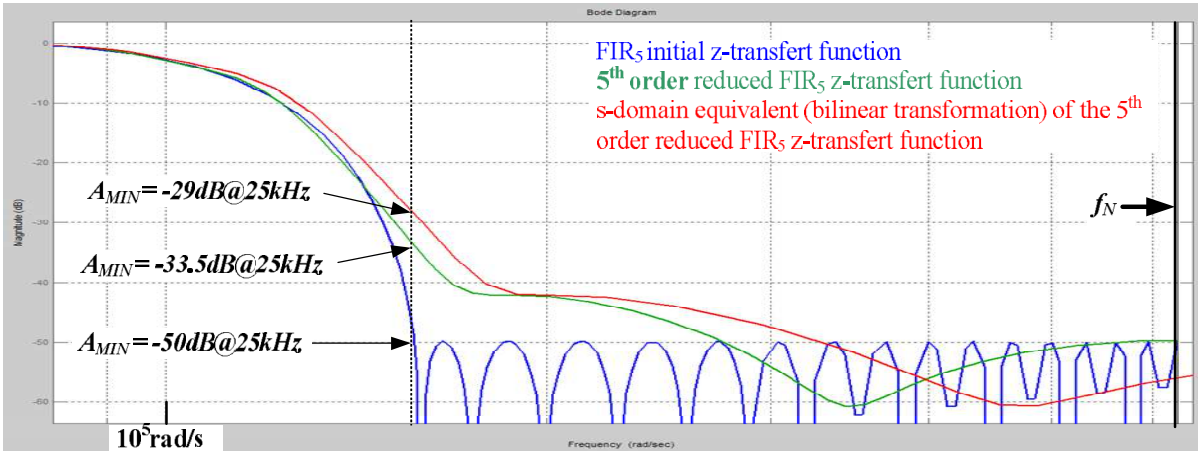


Fig. A3_4.*Comportement fréquentiel des fonctions de transfert associées au filtre FIR_5. En bleu, la fonction de transfert en z initiale, en vert la fonction de transfert en z réduite, en rouge la fonction de transfert dans le domaine continu (fonction de transfert en s).Zoom effectué sur la zone de transition.*

	Z-transfert function	*Reduced-Z (7 order)*	*BT*
f_{c5} (f_{-3dB})	16kHz	15.6kHz	16kHz
A_{MIN} @ 25kHz	-50dB	-33.5dB	-29dB

***Tableau. A3_4** – Propriétés relatives aux fonctions de transfert associées au filtre FIR_5.*
**Transformation bilinéaire.*

Si l'on se réfère aux tableaux ***A3_1*** à ***A3_4*** nous pouvons observer que les fréquences de coupure des différentes versions (z, z-réduit, s) des fonctions de transfert sont relativement équivalentes. Cependant, on note pour chaque filtre que l'on perd à peu près 20dB d'atténuation entre la fonction de transfert en z initiale et la fonction de transfert continue. Cela n'est pas forcément gênant pour une première approche.

II. Comportement temporel de la boucle à verrouillage de phase (PLL) analogique contenant le module de filtrage obtenu par la transformée bilinéaire

Les figures ci-dessous illustrent l'évolution temporelle du signal FCW'_{FS} face à un saut de fréquence de 10Hz. Un signal sinusoïdal est injecté à l'entrée de l'ADPLL dont la fréquence est de 10MHz puis de 20MHz. On observe d'abord le comportement global du signal FCW'_{FS} puis un zoom est effectué sur la zone temporelle où à lieu le saut en fréquence.

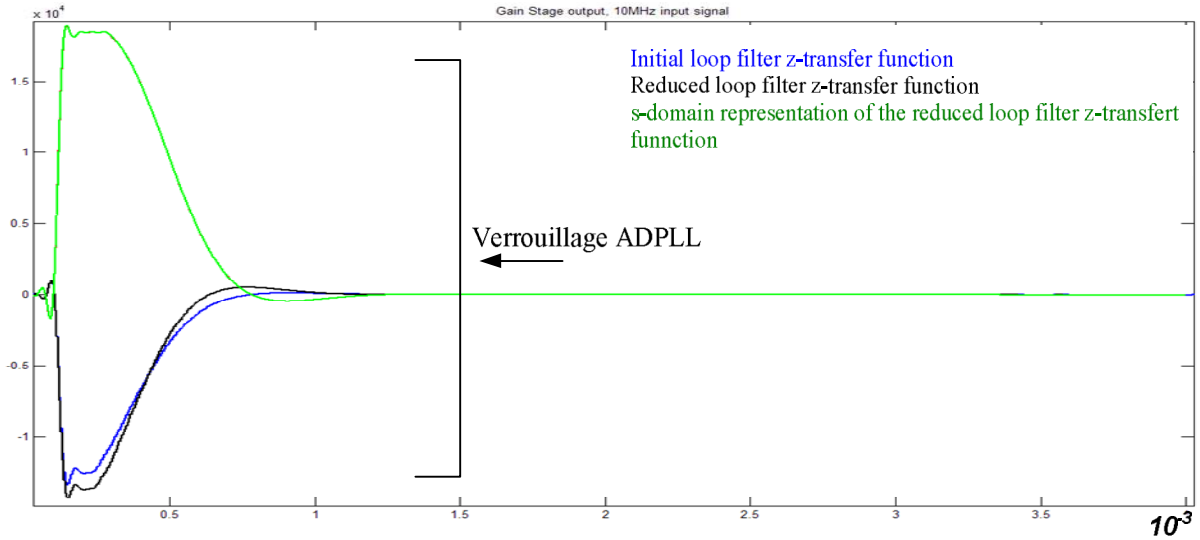


***Fig. A3_5.** Evolution temporelle de FCW'_{FS} quand un signal sinusoïdal de fréquence 10MHz est fourni à l'entrée de la PLL analogique.*

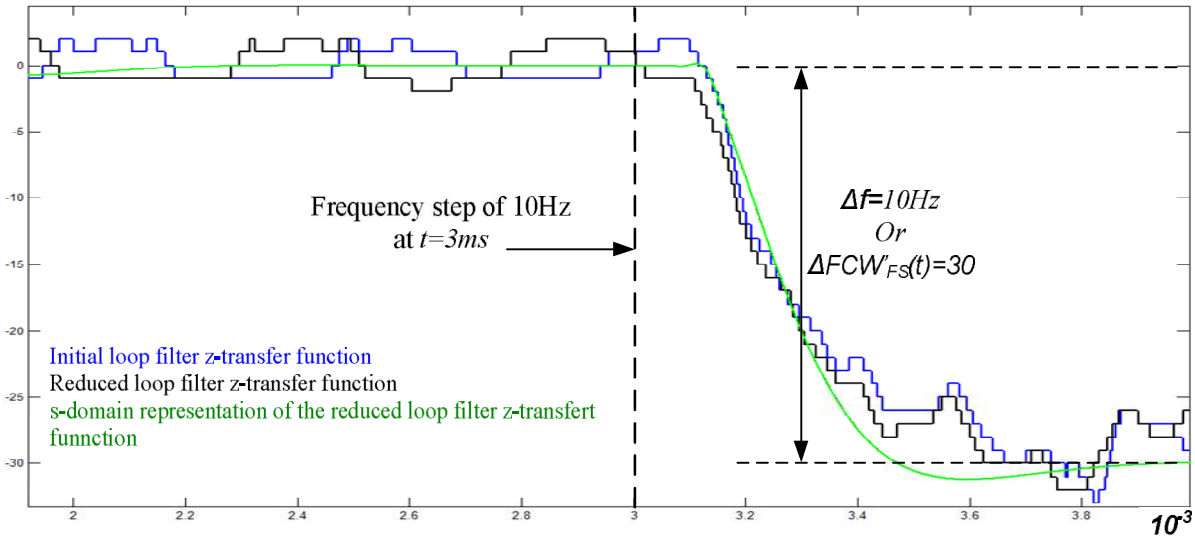


Fig. A3_6*. Evolution temporelle de FCW'FS quand un signal sinusoïdal de fréquence 10MHz est fourni à l'entrée de la PLL analogique. Zoom sur la réaction à l'injection d'un saut en fréquence de 10Hz à l'entrée de la PLL.*

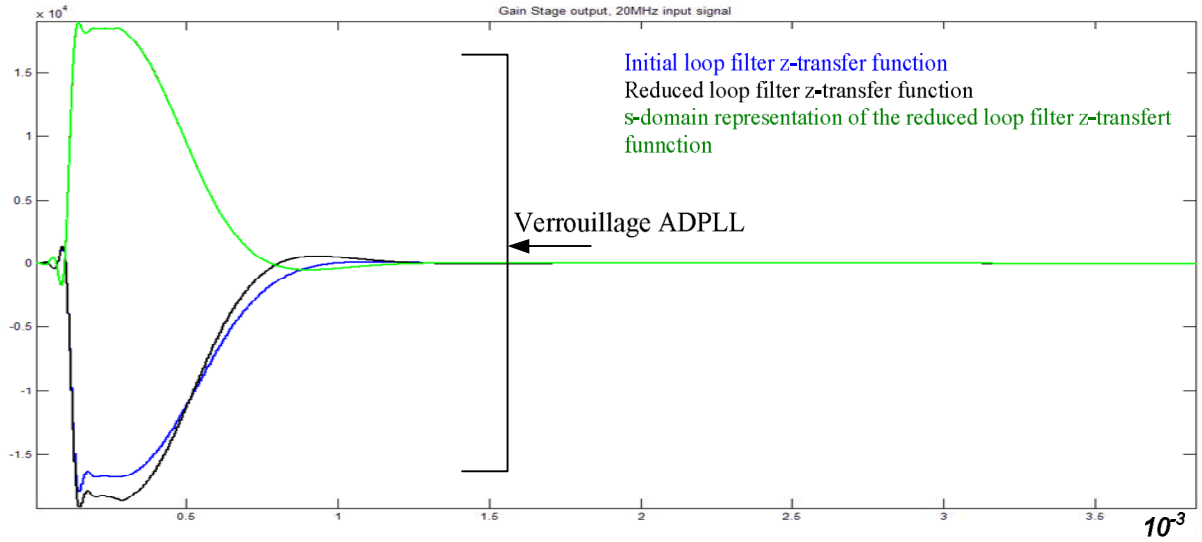


Fig. A3_7. *Evolution temporelle de FCW'FS quand un signal sinusoïdal de fréquence 20MHz est fourni à l'entrée de la PLL analogique.*

Sur les figures A3_5 et A3_7, le comportement initial du signal *FCW'FS(t)* (relatif à la PLL analogique) est dû à une différence de phase initiale entre l'oscillateur contrôlé en tension (VCO) situé dans la PLL et le VCO utilisé comme générateur de signal. En ajustant la phase initiale de ce dernier à π/2 lorsqu'on génère une sinusoïde de 10MHz et de 20MHz, *FCW'FS(t)* évolue de la même manière.

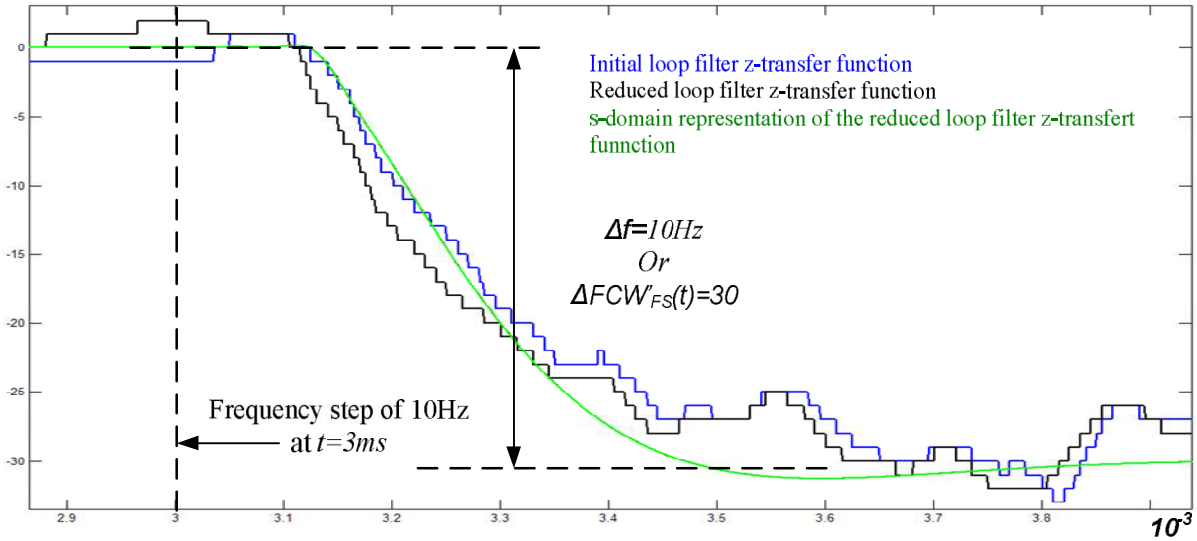


Fig. A3_8. *Evolution temporelle de FCW'_{FS} quand un signal sinusoïdal de fréquence 20MHz est fourni à l'entrée de la PLL analogique. Zoom sur la réaction à l'injection d'un saut en fréquence de 10Hz à l'entrée de la PLL.*

Sur les figures A3_6 et A3_8, nous pouvons observer que le temps de verrouillage (t_v~$600\mu s$) est quasiment identique pour les trois courbes.

Liste des abréviations

PLL : Phase Locked Loop.

VCO : Voltage Controlled Oscillator.

F_{LO} : Local Oscillator Frequency.

VCXO : Oscillateur à quartz contrôlé en tension.

DSP : Digital Signal Processor.

RMS-to-DC : Root Mean Square to DC converter.

ADC : Analog to Digital Converter.

DAC : Digital to Analog Converter.

NCO : Numerical Controlled Oscillator.

PD : Phase Detector.

LF : Low pass filter.

SiC : Silicon Carbide.

CRHEA : Centre de Recherche sur l'Hétéro-Epitaxie et ses Applications.

CEMES : Centre d'Elaboration de Matériaux et d'Etudes Structurales.

LPN : Laboratoire de Photonique et de Nanostructures.

LMP : Laboratoire de Microélectronique de Puissance.

IM2NP : Institut Matériaux Microélectronique Nanosciences de Provence.

FPGA : Field Programmable Gate Array.

ASIC : Applied specific integrated circuit.

VHSICHDL : Very High Speed Integrated Circuit Hardware Description Language.

VHDL : Very High Speed Hardware Description Language.

PIO : Programmable Input-Output.

DDR RAM : Double Data Rate SDRAM.

PHY : Physical layer.

MAC : Media Access Control.

SOPC : System On Programmable Chip.

HTML : HyperText Markup Language.

CSMA/CD : Carrier-Sense Multiple Access with Collision Detection.

APIC : Amplitude Proportionnal Integral Controller.

DPIC : Distance Proportionnal Integral Controller.

DDS : Direct Digital Synthesizer.

DDFS : Direct Digital Frequency Synthesizer.

TDC : Time to Delay Converter.

ALM : Modules de Logiques Adaptables.

CIC : Cascade in Comb.

NCNO : Numerical Controlled Numerical Oscillator.

EPROM : Electrical Programmable Read Only Memory.

CNA : Convertisseur Numérique-Analogique.

ROM : Read Only memory.

FCW : Frequency Control Word.

MSB : Most Significant Bit.

CPA : Convertisseur Phase vers Amplitude.

LSB : Lower Significant Bit.

INL : Integral Non Linearity.

DNL : Differential Non Linearity.

PAC : Phase to Amplitude Converter.

EFWC : Equivalent Frequency Control Word.

SFDR : Spurious Free Dynamic Range.

CORDIC : COordinate Rotation Digital Computer.

PS : Phase Shifter.

RbCl : Chlorure de Rubidium.

ENAS : Electronic Nano Systems.

LAB : Bloc Array Logic.

LUT : Look Up Table.

SRAM : Static Random Access Memory.