

N° d'ordre : 4265

# THÈSE

présentée à

## L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR  
par **Pierre-Olivier LUCAS DE PESLOUAN**

POUR OBTENIR LE GRADE DE

### DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

\*\*\*\*\*

**CONCEPTION ORIENTEE DELAI :  
ETUDE, DEVELOPPEMENT ET REALISATION D'UNE  
BOUCLE A VERROUILLAGE DE PHASE LARGE BANDE  
STABILISEE PAR UNE BOUCLE A VERROUILLAGE DE  
DELAI.**

\*\*\*\*\*

Soutenue le 25 mai 2011

Après avis de :

Mme.	C. BERLAND	Maitre de conférence, ESIEE, Paris	<b>Rapporteur</b>
M.	G. JACQUEMOD	Professeur, LEAT, Nice	<b>Rapporteur</b>

Devant la commission d'examen formée de :

M.	D. BELOT	Ingénieur, STMicroelectronics, Crolles	<b>Examineur</b>
MME.	C. BERLAND	Maitre de conférence, ESIEE, Paris	<b>Rapporteur</b>
M.	Y. DEVAL	Professeur, IMS, Bordeaux	<b>Directeur de thèse</b>
M.	G. JACQUEMOD	Professeur, LEAT, Nice	<b>Rapporteur</b>
M.	C. MAJEK	Ingénieur de recherche, IMS, Bordeaux	<b>Examineur</b>
M.	J.-M. NEBUS	Professeur, XLIM, Limoges	<b>Examineur</b>
MME.	S. RENAUD	Professeur, IMS, Bordeaux	<b>Examineur</b>
M.	T. TARIS	Maître de conférences, IMS, Bordeaux	<b>Co-directeur de thèse</b>







A TOUS CEUX QUE J'AIME...

« VOICI MON SECRET. IL EST TRES SIMPLE :

ON NE VOIT BIEN QU'AVEC LE CŒUR. L'ESSENTIEL

EST INVISIBLE POUR LES YEUX. »

*Le Petit Prince – Antoine de Saint-Exupéry (1900 – 1944)*



# REMERCIEMENTS

A l'heure d'achever ce manuscrit et de tourner la page sur les années qui ont menées à sa réalisation, il est temps que je me tourne vers tous les gens qui m'ont aidé à faire ce que j'ai fais, à devenir ce que je suis...

Ces travaux de recherche ont été réalisés au sein du laboratoire IMS à Bordeaux, dont je remercie le directeur, M. Pascal FOUILLAT, pour m'y avoir accueilli.

Je tiens à remercier très sincèrement Mme. Sylvie RENAUD pour avoir accepté de présider mon jury de thèse. Près de dix ans après m'avoir vu arriver sur les bancs de Polytech'Sophia, M. Gilles JACQUEMOD m'a fait l'honneur de rapporter ces travaux et je lui en suis profondément reconnaissant. Je remercie également, à ce titre, Mme. Corinne BERLAND pour l'attention porté sur mes travaux en acceptant de les rapporter. De plus, pour avoir accepté de participer à ce jury, je tiens aussi à remercier M. Jean-Michel NEBUS et M. Didier BELOT.

Lorsque je me repasse le film des années passées durant cette thèse, il en ressort qu'une personne m'a toujours soutenu et tiré vers l'avant pour que je puisse en arriver au travail accompli. Il m'a accueilli au laboratoire comme un maître de stage sérieux et c'est avec plus qu'un ami que je repars aujourd'hui... Entre temps il m'a montré le chemin, me l'a éclairé quand je n'y voyais plus bien (a surtout participé à ce qu'on s'y marre bien) et m'a finalement fait le très grand honneur de participer à mon jury de thèse. Pour tout ça et pour la suite je tiens à remercier Cédric MAJEK (*le 12 !!*).

Je remercie ensuite mon directeur de thèse M. Yann DEVAL et mon co-directeur M. Thierry TARIS pour m'avoir fait confiance et m'avoir donné la possibilité de réaliser ces travaux. Je remercie aussi M. Jean-Baptiste BEGUERET pour m'avoir accepté au sein de son équipe de recherche.

Je voulais ensuite souligner l'importance de tous ceux qui m'ont apporté et transmis leur savoir faire : André MARIANO (*Androuze*), Yohan LUQYE (*Yo*), Romaric TOUPE (*Romamaze*), Olivier MAZOUFFRE (*ça marchera pas...*), Birama GUMBALA (*La poutre*) ou encore Magalie DE MATOS (*Mag*). Ils n'ont pas hésité à me consacrer de leur temps et je les en remercie infiniment pour ça. De la même manière je tiens à remercier tous les gens que j'ai pu croiser dans la salle ST : Adrien (*The Butcher*), Andrée, Aya, Bernardo, Chama, Diego, François, Hassen (*The Butcher – le retour*), Mathieu, Nejdât, Nico R., Paolo (*le mangeur de canard*), Quentin, Raffale, Sofiane, Sophie, Yoann A. (*qui croit toujours que Nice va descendre en L2...*), Yohan P. et Youssef.

Je tiens aussi à remercier tous les gens avec qui j'ai passé du temps ici et avec qui j'ai bâti des moments inoubliables... *au fil du temps*...Luca TESTA (*Il maestro du sucre*), Mikael CIMINO (*la moustache*), Patrice JAULENT (*Patou*), Thomas FERNANDEZ (*Le Toto !*), Willy LUDURCZAK (*le Polak*), Didier CASTAGNET, J.B. GROS... *au fil des cafés*... Isabelle BORD (*Isa - Qui supporte comme elle peut celui qui m'a supporté à moi !*), Nathalie DELTIPLE (*Nath*), Sebastien FREGONESE (*Seb*), Guillaume BLANCHOT et Kamal BARAKA (*Les tombeurs du jeudi soir !!*), Cédric AYELA (*El mexicano*) ...à mon bureau voisin... Nicolas DELAUNAY (*Nico*) et J.B. JULLIEN (*Jean-Barney*)... *au fil d'autres cafés* ... Jean-Luc LACHAUD (*J2L*), Vincent RAIMBAUT (*Vince*), Cyril HAINAUT... à cette liste je dois rajouter tous ceux avec qui j'ai eu la chance de passer du temps et dont je ne pourrais développer la trop longue liste... Enfin, je tiens à remercier pour sa gentillesse et ses multiples attentions Simone DANG VAN.

Je tourne maintenant mes remerciements vers mes proches...

Les mots ne suffisent pas à suffisamment remercier mes parents... Vous avez toujours soufflé suffisamment fort pour me mettre le vent dans le dos et pour me rendre la vie facile. Je vous dois tout ce que j'ai pu accomplir et surtout ce que je suis devenu... merci...

Je tiens tout particulièrement à avoir une pensée forte pour quelqu'un qui aurait souhaité partager ces instants avec nous et qui me manque terriblement aujourd'hui. Je suis sûr qu'elle recevra ces quelques mots... merci mamie...

Pour leur soutien et pour tous les bons moments passés ensemble aux quatre coins du monde (*de Tahiti à la Réunion...*), je tiens à remercier toute ma belle-famille : « le clan HOARAU » ! Merci à mon frère Nico et ma sœur Camille, merci Claudine et Philippe et tous les cousins et cousines.



J'ai aussi une pensée pleine d'émotion pour mes amis de longue date et qui auront toujours la même valeur pour moi : Nico P. (*Nicouse*), Nico D. (*PinceMax*), Pascal (*Bo buste*), Guillaume (*GuitMax*), Laurent P. (*Lolo « l'électron libre »*), Pierre Neuville (*Chique*), Laetitia (*Félix*), Valentine (*Valoche*), Florian (*Bousquet*), Romain (*Barroux*), Laurent F. (*Falloche*), Pierre-Emmanuel (*PE*) et tout ceux que j'ai pu croiser de Nice à Bordeaux en passant par Sophia Antipolis.

Enfin, je tiens à finir ces remerciements par celle qui partage ma vie depuis plusieurs années... Elle qui me pousse au quotidien, partage nos joies et nos peines et me donne l'envie d'avancer à ses cotés. Pour toutes ces années de bonheur et pour toutes celles qui sont à venir... merci mon cœur, Olga, je t'aime...







# TABLE DES MATIERES

<b>TABLE DES MATIERES</b> .....	<b>13</b>
<b>INTRODUCTION GENERALE</b> .....	<b>17</b>
<b>CHAPITRE I</b> .....	<b>21</b>
<b>I PRESENTATION GENERALE DE LA SYNTHESE DE FREQUENCE</b> .....	<b>21</b>
I INTRODUCTION .....	23
II SYNTHESE DE FREQUENCE : PERFORMANCES ET SPECIFICATIONS .....	25
II.1 <i>Le temps d'établissement et la bande passante</i> .....	25
II.2 <i>Le bruit de phase</i> .....	26
II.2.a Définition.....	26
II.2.b Effets du bruit de phase. ....	27
II.3 <i>La pureté spectrale</i> .....	28
II.4 <i>Le pas de synthèse</i> .....	29
II.5 <i>Vision d'ensemble des spécifications</i> .....	29
III LA BOUCLE A VERROUILLAGE DE PHASE .....	30
III.1 <i>Principe et Généralités</i> .....	30
III.1.a Principe de fonctionnement : la PLL à division entière. ....	30
III.1.b Performances en bruit de phase .....	31
III.1.c Limitations de la boucle à verrouillage de phase à division entière. ....	34
III.1.d Architectures d'amélioration. ....	34
IV LA BOUCLE A VERROUILLAGE DE DELAI. ....	40
IV.1 <i>La Conception orientée délai</i> .....	40
IV.2 <i>Principe et Généralités de la DLL</i> .....	41
IV.2.a Schéma de fonctionnement .....	41
IV.2.b Modèle linéaire .....	42
IV.2.c Performances .....	43
IV.2.d Exploitabilité en vue d'une synthèse multistandard .....	45
IV.3 <i>La Boucle à Verrouillage de Délai Factorielle</i> .....	46
V CONCLUSIONS .....	49
REFERENCES DU CHAPITRE I .....	51

<b>CHAPITRE II</b> .....	<b>55</b>
<b>II ETUDE COMPORTEMENTALE DES SYNTHETISEURS DE FREQUENCE BASES SUR DES TECHNIQUES DE SYNTHESE DOD</b> .....	<b>55</b>
I INTRODUCTION .....	57
II SYSTEME FRACTIONNAIRE ET BOUCLE A VERROUILLAGE DE DELAI .....	58
II.1 <i>Objectifs des travaux de recherche</i> .....	58
II.2 <i>Etude conceptuelle de la DLL fractionnaire</i> .....	58
II.2.a Rappel sur la synthèse de fréquence orientée délai à division entière.....	58
II.2.b Synthèse de fréquence orientée délai à division fractionnaire.....	59
II.2.c Limitations à la synthèse fractionnaire .....	60
II.2.d Solutions envisageables. ....	61
II.2.e Architecture retenue en vue d'une étude comportementale.....	66
III ETUDE COMPORTEMENTALE DE LA « P/DLL MIXTE FRACTIONNAIRE » .....	67
III.1 <i>Présentation de l'outil d'étude comportementale.</i> .....	67
III.1.a Introduction .....	67
III.1.b Composition d'un modèle VHDL-AMS .....	68
III.2 <i>Réalisation comportementale de l'architecture retenue</i> .....	70
III.2.a L'Oscillateur .....	70
III.2.b Le compteur .....	73
III.2.c La ligne d'asservissement .....	76
III.2.d Système complet .....	79
III.2.e Ordre du filtre et stabilité .....	82
IV TECHNIQUE DE STABILISATION D'UN SYNTHETISEUR DE FREQUENCE BASE SUR UNE BOUCLE A VERROUILLAGE DE PHASE. ....	84
IV.1 <i>Observations de la stabilité du système en fonction du mode d'utilisation</i> .....	84
IV.1.a Mode PLL uniquement.....	84
IV.1.b Mode PLL avec relance de l'oscillation. ....	85
IV.2 <i>Mise en place d'un modèle linéaire</i> .....	88
V CONCLUSION .....	90
REFERENCES DU CHAPITRE II .....	91
<b>CHAPITRE III</b> .....	<b>93</b>
<b>III REALISATION D'UN DISPOSITIF DE GENERATION DE FREQUENCE SUR LA BASE D'UN VERROUILLAGE CONJOINT DE PHASE ET DE DELAI</b> .....	<b>93</b>
I INTRODUCTION. ....	95
II VUE D'ENSEMBLE DE L'ARCHITECTURE. ....	96
III REALISATION DU CIRCUIT .....	96
III.1 <i>La ligne d'asservissement</i> .....	96
III.1.a Le comparateur de phase .....	97
III.1.b La pompe de charge.....	99
III.1.c Le filtre de boucle .....	108
III.2 <i>L'oscillateur</i> .....	109
III.2.a Rappel de fonctionnement et limite.....	109
III.2.b L'élément à retard contrôlable. ....	111
III.2.c La commande de l'oscillateur .....	117
III.2.d Assemblage des différents blocs de l'oscillateur. ....	120
III.3 <i>Le Compteur</i> .....	124
III.3.a Description du compteur .....	124
III.3.b Le Compteur fractionnaire.....	124
III.3.c Compteur d'ouverture .....	127
III.3.d Vue d'ensemble du compteur.....	129
III.4 <i>Synthétiseur de fréquence complet</i> .....	131
III.4.a Simulations temporelles : stabilisation de l'architecture.....	131
III.4.b Simulations temporelles : signal synthétisé.....	132
III.4.c Simulations temporelles : saut de fréquence. ....	135
III.4.d Simulations fréquentielles. ....	136
III.4.e Réalisation du dessin des masques du circuit. ....	136
IV CONCLUSIONS .....	138
REFERENCES DU CHAPITRE III .....	139

<b>CHAPITRE IV</b> .....	<b>141</b>
<b>IV CARACTERISATION EXPERIMENTALE DE LA BOUCLE A VERROUILLAGE DE PHASE ET DE DELAI MIXTE FRACTIONNAIRE</b> .....	<b>141</b>
I INTRODUCTION .....	143
II MESURE DE LA P/DLL MIXTE FRACTIONNAIRE .....	144
II.1 <i>Protocole expérimental</i> .....	144
II.1.a Puce et circuit imprimé .....	144
II.1.b Le banc de mesures .....	145
II.2 <i>Expérimentation</i> .....	146
II.2.a Mesures temporelles .....	146
II.2.b Mesures fréquentielles. ....	148
II.2.c Caractérisation de l'oscillateur .....	153
II.2.d Evolution de la tension de contrôle et stabilisation. ....	154
III PERSPECTIVES .....	158
IV CONCLUSION .....	160
REFERENCES DU CHAPITRE IV .....	161
<b>CONCLUSION GENERALE</b> .....	<b>163</b>
<b>PRODUCTION SCIENTIFIQUE</b> .....	<b>169</b>





# INTRODUCTION GENERALE

Nous avons pu assister, lors des dernières décennies, à l'explosion du marché de la communication sans fil. Du domaine militaire au domaine civil en passant par le secteur industriel, les besoins ne cessent d'augmenter. La miniaturisation, l'autonomie, l'accessibilité, la rapidité du taux de transfert et la diversité des applications proposées sont autant d'objectifs pour les scientifiques des mondes de l'industrie et de la recherche. L'aspiration sociale et les besoins technologiques se confondent pour aboutir à une demande accrue pour le développement de la communication sans fil et plus particulièrement de la téléphonie mobile.

Les communications sans fil étaient initialement considérées comme une approche secondaire de la communication, développée pour des zones où il n'était pas possible de réaliser une connexion filaire [JUN01-1]. Mais ce concept a évolué et de nombreuses avancées ont donné lieu à plusieurs générations de radiotéléphonie mobile [MAE06-1] [GAN03-1]. De la première génération (1G), qui ne permettait que la transmission de « voix », jusqu'à la quatrième génération (4G), qui repose sur le transfert de volumes très importants comme la vidéo haute définition, différentes méthodes de transmission se sont succédées. Ces générations radiotéléphoniques ont conduit à la mise en place de nombreux standards de communication dans une bande comprise entre 1 et 10GHz avec lesquels doivent fonctionner les appareils communicants mobiles.

De nos jours, l'ensemble des moyens de communication modernes utilisés pour le transfert de voix et de données, doit être intégré dans les terminaux mobiles. Cependant, cette tendance s'oppose aux contraintes de faible coût qui tendent à diminuer la taille de l'électronique embarquée dans un

terminal mobile, mais aussi à celles de diminution de la consommation pour une plus grande autonomie des objets sans fil. C'est donc autour de ces verrous technologiques et techniques que se concentre une part importante des efforts de « Recherche & Développement » aujourd'hui.

D'autre part, la forte demande pour une connectivité ubiquitaire, géographique et temporelle, induit une augmentation du nombre de standards à intégrer dans les objets sans fil. Les chaînes Tx/Rx doivent être en conséquence multistandards. La solution la plus économique serait d'échantillonner l'information au plus près de l'antenne, c'est-à-dire de réaliser numériquement les différentes étapes de traitement de l'information conçues jusque là en analogique : c'est la radio logicielle. Néanmoins, les limitations technologiques ne permettent pas encore de produire ce type d'architecture aux fréquences mises en jeu ; ainsi, une solution alternative consiste en la réalisation d'une chaîne composée de blocs reconfigurables. Nous allons, dans ces travaux, nous intéresser à un bloc particulier : l'oscillateur local. Celui-ci est généralement fabriqué à partir d'un synthétiseur de fréquence capable de générer les différentes fréquences visées.

L'objectif va être de rechercher et de développer une architecture contribuant à l'amélioration des performances de ce bloc central de la chaîne d'émission/réception, ouvrant ainsi de nouvelles perspectives pour la synthèse de fréquence.

Dans le premier chapitre de ce travail, nous allons effectuer une présentation générale de la synthèse de fréquence. Tout d'abord, nous préciserons les différentes contraintes et spécifications qui sont appliquées à ce bloc comme le bruit de phase, la pureté spectrale, le temps d'établissement ou encore le pas de synthèse. Cela nous permettra de dégager les points clés à prendre en compte lors du développement réalisé par la suite. Nous décrirons ensuite les deux principales architectures sur lesquelles sont fondés les synthétiseurs de fréquences : la boucle à verrouillage de phase (*PLL – Phase Locked Loop*) et la boucle à verrouillage de délai (*DLL – Delay Locked Loop*). Pour chacune d'entre elles, nous étudierons leur principe de fonctionnement ainsi que leurs performances. Nous verrons aussi leurs limites en vue d'une synthèse multistandard ainsi que les architectures d'amélioration présentes dans la littérature. Cette analyse nous permettra alors de définir sur quel type d'architectures sera orientée l'étude menée par la suite.

Dans une seconde partie, nous procéderons à l'étude comportementale de l'architecture que nous avons choisi de concevoir. Cette première étape de la conception d'un circuit a pour but de réaliser les différents blocs à partir de leur comportement, ceci permettant de valider la fonctionnalité du système avant l'étape de réalisation au niveau transistor, puis des dessins des masques.

Ainsi, après avoir identifié les besoins, nous présenterons différentes solutions envisagées à partir du principe de boucle à verrouillage de délai, puis nous décrirons, d'un point de vue conceptuel, l'architecture retenue.

Afin d'aborder l'étude système, nous définirons le langage comportemental utilisé. Dès lors, nous validerons les différents blocs qui composent l'architecture un à un, puis la fonctionnalité globale de l'architecture après les avoir assemblés.

Avant de passer à la seconde étape de conception, nous insisterons sur un point clé de l'architecture réalisée : la méthode de stabilisation. Nous verrons comment cette méthode novatrice basée sur l'utilisation conjointe de la PLL et la DLL permettra l'amélioration des performances globales.

Le troisième chapitre sera consacré au développement de l'architecture retenue au niveau « circuit ». Chacun des blocs comportementaux présentés précédemment sera réalisé à l'aide de la technologie 130nm de STMicroelectronics. Nous exposerons la réalisation et le fonctionnement de chacun d'entre eux au sein de leurs sous-ensembles que sont : la ligne d'asservissement, l'oscillateur et le compteur.

Des études temporelles et fréquentielles viendront alors valider la fonctionnalité – les différents blocs étant assemblés - du synthétiseur de fréquence réalisé.

Ces résultats seront complétés par les valeurs de consommation de puissance pour des standards situés aux extrêmes de la plage de fréquence synthétisable, afin d'en obtenir les valeurs minimales et maximales. Nous étudierons aussi l'établissement du régime permanent du système suite à un saut de fréquence. Une fois cette étude achevée, nous pourrons alors passer à la dernière étape de développement du circuit intégré qui consiste en la réalisation du dessin de masques. Le circuit sera ensuite envoyé en fonderie pour être réalisé sur silicium.

La dernière partie de ce travail portera sur les mesures qui ont été réalisées. Après avoir été conçu et encapsulé, le circuit a été mesuré à l'aide du matériel de l'équipe « conception de circuit » du laboratoire IMS. Nous présenterons alors les résultats de mesures afin de les comparer avec les simulations du précédent chapitre : mesures temporelles et fréquentielles, mais aussi les consommations mesurées pour les différents standards synthétisés. Enfin, nous pourrons évaluer l'impact de la superposition des modes PLL et DLL.



# Chapitre I

## I PRESENTATION GENERALE DE LA SYNTHESE DE FREQUENCE

<b>I</b>	<b>INTRODUCTION.....</b>	<b>23</b>
<b>II</b>	<b>SYNTHESE DE FREQUENCE : PERFORMANCES ET SPECIFICATIONS.....</b>	<b>25</b>
II.1	LE TEMPS D'ETABLISSEMENT ET LA BANDE PASSANTE.....	25
II.2	LE BRUIT DE PHASE.....	26
II.2.a	<i>Définition.....</i>	26
II.2.b	<i>Effets du bruit de phase.....</i>	27
II.2.b.1	Emission.....	27
II.2.b.2	Réception.....	27
II.2.b.3	Illustration dans le domaine temporel.....	28
II.3	LA PURETE SPECTRALE.....	28
II.4	LE PAS DE SYNTHESE.....	29
II.5	VISION D'ENSEMBLE DES SPECIFICATIONS.....	29
<b>III</b>	<b>LA BOUCLE A VERROUILLAGE DE PHASE.....</b>	<b>30</b>
III.1	PRINCIPE ET GENERALITES.....	30
III.1.a	<i>Principe de fonctionnement : la PLL à division entière.....</i>	30
III.1.b	<i>Performances en bruit de phase.....</i>	31
III.1.b.1	Bruit de phase dans le domaine fréquentiel.....	31
III.1.b.2	Bruit de phase dans le domaine temporel.....	33
III.1.c	<i>Limitations de la boucle à verrouillage de phase à division entière.....</i>	34
III.1.d	<i>Architectures d'amélioration.....</i>	34
III.1.d.1	Architectures à divisions entières.....	35
III.1.d.2	Architectures fractionnaires.....	36
<b>IV</b>	<b>LA BOUCLE A VERROUILLAGE DE DELAI.....</b>	<b>40</b>
IV.1	LA CONCEPTION ORIENTEE DELAI.....	40
IV.2	PRINCIPE ET GENERALITES DE LA DLL.....	41
IV.2.a	<i>Schéma de fonctionnement.....</i>	41
IV.2.b	<i>Modèle linéaire.....</i>	42
IV.2.c	<i>Performances.....</i>	43
IV.2.c.1	Gigue temporelle.....	43
IV.2.c.2	Bruit de phase.....	43
IV.2.c.3	Les raies parasites.....	44
IV.2.d	<i>Exploitabilité en vue d'une synthèse multistandard.....</i>	45
IV.3	LA BOUCLE A VERROUILLAGE DE DELAI FACTORIELLE.....	46
<b>V</b>	<b>CONCLUSIONS.....</b>	<b>49</b>
	<b>REFERENCES.....</b>	<b>51</b>



## I INTRODUCTION

Le rôle du synthétiseur de fréquence est de fournir le signal d'oscillateur local avec la plus grande précision possible vers la chaîne d'émission/réception d'un système radiofréquence [RAZ96-1] afin de réaliser la conversion de fréquence : des Hautes Fréquences (HF) vers la Bande de Base (BB) ou la Fréquence Intermédiaire (FI) en réception, et BB ou FI vers HF en émission.

Par ailleurs, de nombreux standards de communications utilisés en radiotéléphonie sont présents dans une bande comprise entre 0,8 et 10GHz. La Figure I-1 présente une illustration des principaux standards compris dans cette bande.

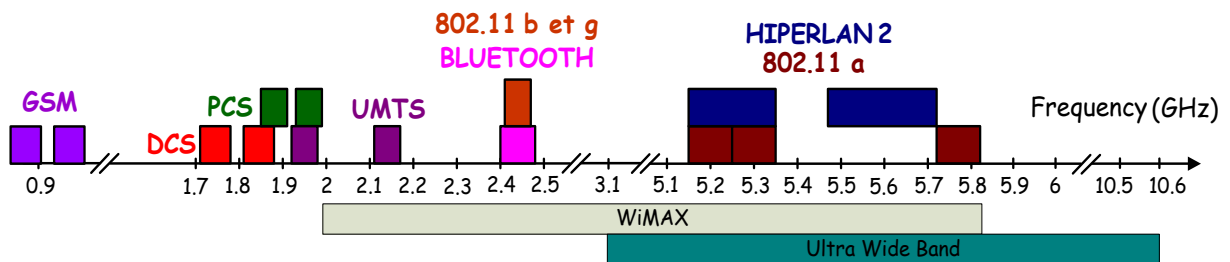


Figure I-1 : Illustration des standards de communication dans la bande 0,8-10GHz.

Pour les systèmes fonctionnant avec plusieurs de ces standards (multistandards) ou pour ceux fonctionnant sur différents canaux d'un même standard, le synthétiseur de fréquence doit fournir une fréquence variable en fonction d'un signal de sélection du standard et/ou du canal à synthétiser. Pour ce faire, nous utilisons une chaîne d'émission/réception comme celle présentée à la Figure I-2 où les différents éléments sont reconfigurables. Le synthétiseur de fréquence, lui, génère la fréquence correspondante à la sélection du standard/canal afin de transposer le signal en BB/FI (réception) ou HF (émission).

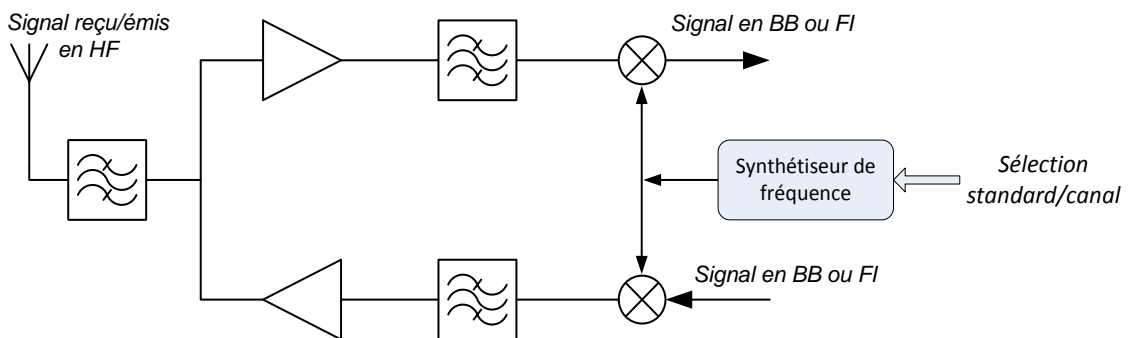


Figure I-2 : Rôle du synthétiseur de fréquence

Afin de pouvoir comparer les différentes architectures, nous allons tout d'abord définir les critères de performances d'une telle architecture. Nous définirons de manière détaillée les trois principaux critères qui sont : le temps d'établissement, le bruit de phase et la pureté spectrale.

Nous allons, dans ce chapitre, présenter l'architecture d'émission/réception d'un objet communicant sans fils en nous focalisant plus particulièrement sur un des blocs de la chaîne: l'Oscillateur Local (OL).

Nous verrons alors les différentes contraintes appliquées à ce bloc, mais aussi les architectures qui permettent de réaliser cette fonction. Pour cela, nous décrivons le principe de la boucle à verrouillage de phase, puis, après une présentation de la « conception orientée délai », nous décrivons celui de la boucle à verrouillage de délai. Afin d'illustrer ces principes, nous verrons différentes architectures basées sur ceux-ci et nous concluons sur les perspectives de recherches réalisées durant ces travaux.



## II SYNTHÈSE DE FRÉQUENCE : PERFORMANCES ET SPECIFICATIONS.

### II.1 LE TEMPS D'ÉTABLISSEMENT ET LA BANDE PASSANTE

Le temps d'établissement représente le temps nécessaire au synthétiseur pour générer une fréquence prédéterminée. Pour un système multistandard, cela peut se définir comme le temps maximal nécessaire pour atteindre un offset de fréquence donné par rapport à la fréquence désirée [VAU97-1].

Dans certains cas, les standards comme Bluetooth utilisent une technique appelée « saut de fréquence » (« Frequency Hopping »). Cette technique illustrée à la Figure I-3, a pour objet de modifier dynamiquement et à intervalle de temps régulier la fréquence du canal de transmission utilisé pour la communication d'un terminal mobile. Afin de pouvoir assurer correctement le saut de fréquence engendré, il sera nécessaire que le temps d'établissement soit fortement diminué.

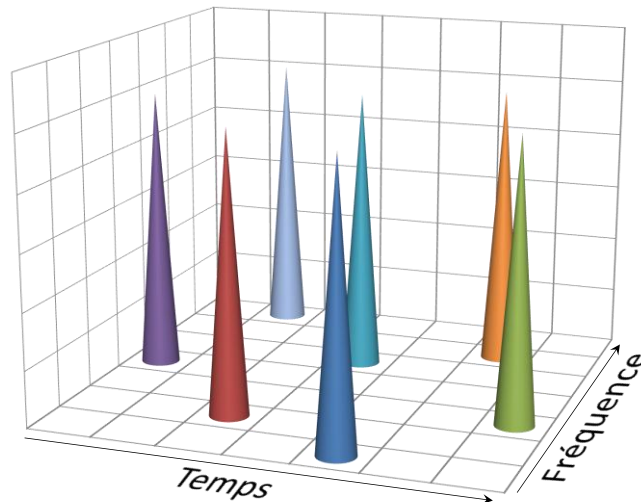


Figure I-3 : Technique du saut de fréquence (ou « Frequency hopping »)

D'un point de vue fréquentiel, ce temps d'établissement va être directement lié à la bande passante du synthétiseur de fréquence utilisé. Plus la bande passante d'une architecture d'oscillateur locale sera grande, plus ce système sera capable de s'accrocher rapidement autour d'une fréquence donnée et pourra diminuer l'erreur de phase [SID00-1] [GE05-1]. Cependant, la bande passante du synthétiseur ne pourra être augmentée que dans les limites fixées par les conditions de stabilité du système. Cette limite, qui est fonction des différents blocs du synthétiseur, est, en théorie, fixée à la valeur de la fréquence de référence d'entrée du synthétiseur divisée par 10. Cependant, dans la pratique, cette valeur est généralement encore divisée d'un facteur 10 à 20 [SID00-1] afin de diminuer les dérives de la tension de contrôle de l'oscillateur et d'en accroître le taux de réjection [GE05-1].

## II.2 LE BRUIT DE PHASE

### II.2.a Définition

Le bruit de phase est généralement caractérisé dans le domaine fréquentiel. Il est la représentation d'une variation aléatoire de la phase du signal de sortie d'un oscillateur. Dans le cas idéal, le signal fourni en sortie de l'oscillateur peut s'exprimer de la façon suivante :

$$V(t) = A \cdot \sin(2\pi f_{OL} t + \theta) \quad \text{Équation I-1}$$

Les grandeurs  $A$ ,  $f_{OL}$  et  $\theta$  représentent respectivement l'amplitude du signal, sa fréquence et sa phase. La Figure I-4 (a) présente d'un point de vue fréquentiel le signal ainsi généré. Dans le cas réel, l'amplitude et la phase du signal ne sont pas constantes et subissent des variations aléatoires. L'expression réelle est donc la suivante :

$$V(t) = A(t) \cdot \sin(2\pi f_{OL} t + \theta(t)) \quad \text{Équation I-2}$$

Les variations d'amplitude sont généralement négligeables. En revanche les variations de la phase entraînent une variation de la période du signal de sortie et donc de sa fréquence. Le bruit de phase de l'oscillateur, qui caractérise cette variation, est présenté à la Figure I-4 (b).

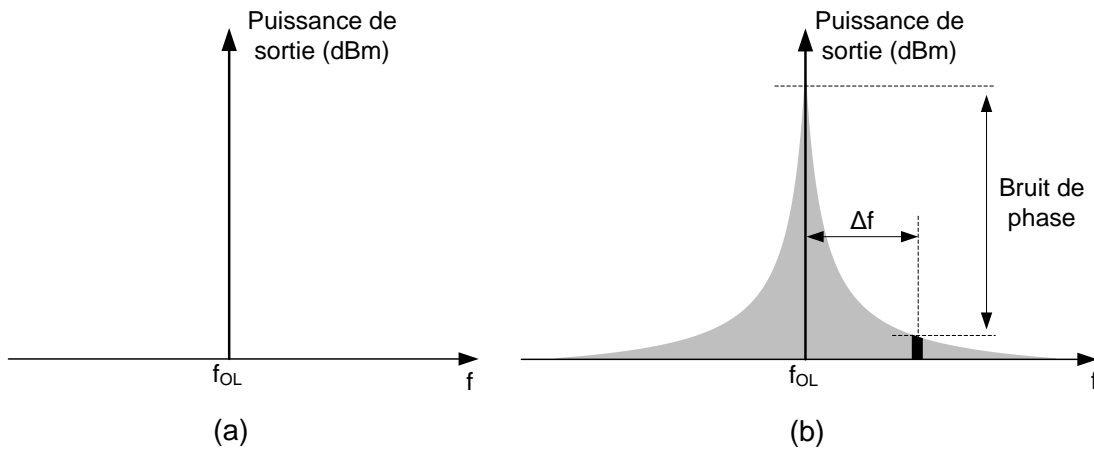


Figure I-4 : Bruit de phase d'un oscillateur. (a) Cas idéal. (b) Cas réel.

Afin de quantifier le bruit de phase [RAZ96-2], considérons une bande unitaire de largeur 1 Hz située à un offset  $\Delta f$  de la fréquence  $f_{OL}$ . Le bruit de phase est alors égal au rapport de la densité spectrale de puissance de la bande unitaire sur la densité spectrale de puissance de la fréquence porteuse et s'exprime en dBc/Hz [HAJ02-1]:

$$BP(\Delta f) = 10 \cdot \log \left[ \frac{P_{bande}(f_{OL} + \Delta f, 1Hz)}{P_{porteuse}} \right] \quad \text{Équation I-3}$$

où  $P_{bande}(f_{OL} + \Delta f, 1Hz)$  représente la densité spectrale de puissance de la bande unitaire et  $P_{porteuse}$  celle de la porteuse.

## II.2.b Effets du bruit de phase.

### II.2.b.1 Emission

Lors de la transposition du signal en haute fréquence, le bruit de phase de l'oscillateur va être transmis vers le signal de sortie. Si la fréquence de ce dernier se retrouve proche d'un canal de réception du même système radiofréquence ou d'un système voisin, il va alors le perturber. En effet, suite aux pertes dues à l'environnement de transmission, le signal reçu a une puissance très inférieure à celle du signal émis. Nous pouvons voir sur la Figure I-5, qu'à la fréquence voisine  $f_2$ , le niveau de bruit de phase du signal émis à la fréquence  $f_1$  est si élevé qu'il masque le signal en réception.

De plus, lors d'une transmission où une modulation de phase est utilisée, le bruit de phase va perturber l'information, ce qui pourra entraîner une incertitude sur la décision lors de la démodulation [COR04-1] augmentant en conséquence le taux d'erreur [POL95-1].

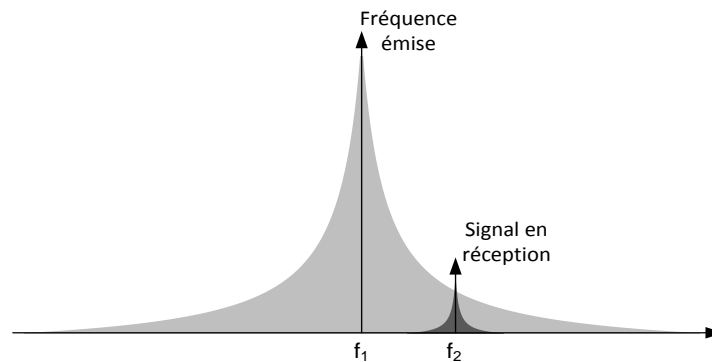


Figure I-5 : Effet du bruit de phase en émission.

### II.2.b.2 Réception

Lors de la réception d'un signal radiofréquence, le synthétiseur de fréquence va permettre de réaliser la conversion descendante du signal reçu en bande de base. Dans le cas idéal de la Figure I-6 (a) où le signal d'oscillateur local est non bruité, le signal transposé ne comprend alors que l'information désirée.

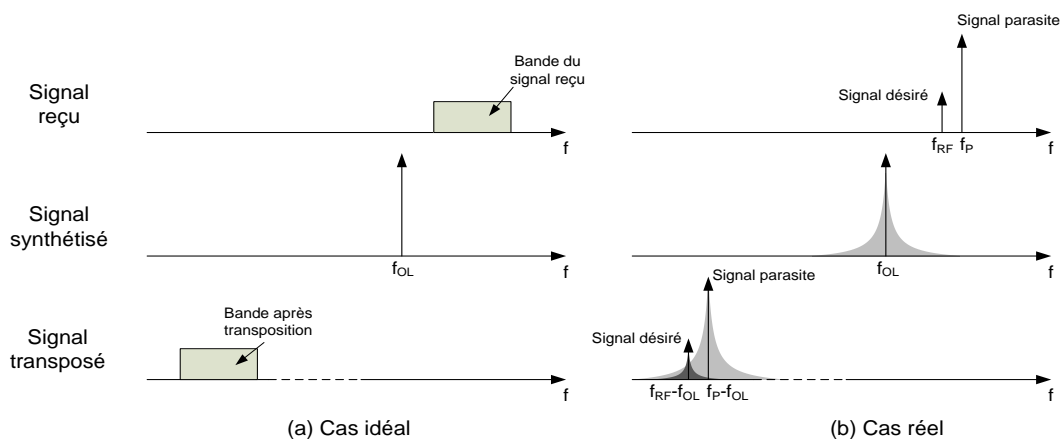


Figure I-6 : Effet du bruit de phase en réception. (a) Cas idéal. (b) Cas réel.

En revanche, si un signal parasite de fréquence proche du signal désiré est présent dans le spectre et dans le cas, plus réaliste, de la Figure I-6 (b) d'un signal d'oscillateur local bruité, le signal désiré va donc être fortement dégradé par le bruit du signal parasite en bande de base. Ce phénomène est appelé « mélange réciproque » [RAZ96-2]

Enfin, pour les transmissions utilisant des modulations basées sur des variations de la phase instantanée (ex. modulation PSK), le bruit de phase de l'oscillateur peut entraîner une erreur d'interprétation lors de la démodulation du signal.

### II.2.b.3 Illustration dans le domaine temporel.

Dans le domaine temporel, la fluctuation aléatoire et dynamique de la période d'un signal est dénommée gigue temporelle (ou « jitter ») [MCN94-1] [MAJ06-1]. La Figure I-7 représente l'illustration de cette gigue temporelle.

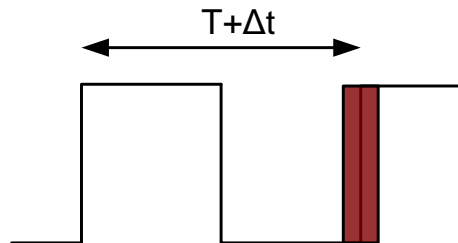


Figure I-7 : Illustration de la gigue temporelle cycle à cycle.

## II.3 LA PURETE SPECTRALE

Lors de la synthèse de fréquence, parallèlement au bruit de phase, de nombreux phénomènes parasites peuvent venir perturber le signal généré. Une modulation de phase ou de fréquence fortuite, une erreur de phase statique ou un couplage de différents signaux sont autant de sources de perturbations possibles. Ces perturbations se traduisent généralement par la présence d'harmoniques (ou raies parasites) à des fréquences plus au moins éloignées de la fréquence porteuse, en fonction de l'origine de celle-ci. Afin d'illustrer ce point, nous pouvons faire une analogie avec les harmoniques du signal périodique, comme cela est présenté à la Figure I-8.

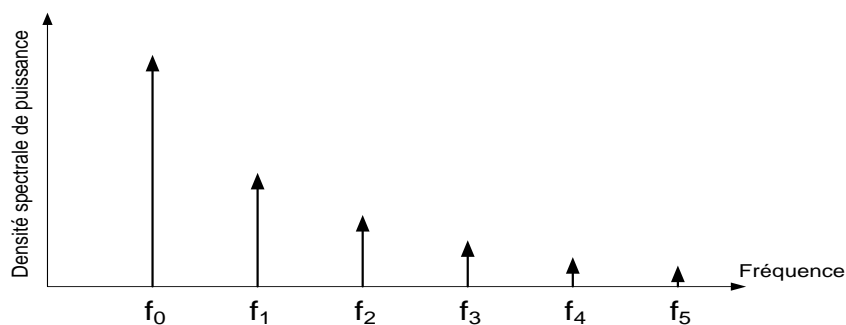


Figure I-8 : Harmoniques d'un signal périodique.

Les raies parasites qui y sont représentées sont à un décalage fréquentiel qui est un multiple entier de la fréquence porteuse  $f_0$  ( $f_1 = 2 \cdot f_0$ ,  $f_2 = 3 \cdot f_0$ , ...).

Pour un signal sinusoïdal parfait, seule la fréquence porteuse (appelée aussi fréquence fondamentale) sera présente, alors que pour un signal carré ou triangulaire, le spectre comprendra aussi les harmoniques d'ordre impair ( $f_0, 3 \cdot f_0, 5 \cdot f_0, 7 \cdot f_0, \dots$  etc...).

Ainsi, si l'on souhaite réaliser un signal sinusoïdal parfait à partir du spectre de la Figure I-8, les harmoniques sont alors vues comme des raies parasites à éliminer.

Ces harmoniques qui encombrant le spectre peuvent facilement être filtrées. Cependant, d'autres phénomènes inhérents aux différentes architectures de synthétiseurs de fréquence peuvent générer des raies parasites. Celles-ci peuvent alors être plus proches de la porteuse et donc plus difficilement filtrables. Il sera alors nécessaire d'utiliser un filtre très sélectif, d'ordre élevé, et par conséquent très encombrant. Si l'on considère un synthétiseur multistandard, la fréquence de coupure de ce filtre devrait, en outre, être variable.

## II.4 LE PAS DE SYNTHÈSE

Nous avons vu qu'un synthétiseur multistandard et/ou multicanaux doit être capable de couvrir une certaine plage de fréquences, mais il doit aussi être capable de fonctionner pour des valeurs intermédiaires. L'écart entre deux fréquences synthétisables par l'oscillateur local est appelé : pas de synthèse. Il est souhaitable que ce pas soit le plus fin possible afin de répondre aux spécifications de tous les standards (par exemple, le standard GSM a pour spécification un pas de synthèse de 200 kHz).

## II.5 VISION D'ENSEMBLE DES SPECIFICATIONS

Chacune des spécifications qui viennent d'être exposées constitue autant de contraintes pour la réalisation d'un synthétiseur de fréquence. L'optimisation de l'une d'entre elles entraînant la dégradation d'une autre, de nombreux compromis doivent être réalisés lors de la conception d'un tel système, en fonction des objectifs fixés.

Nous allons maintenant spécifier les différentes architectures de synthétiseur de fréquence présentées dans la littérature. Celles-ci reposent sur deux concepts majeurs : la boucle à verrouillage de phase (PLL – *Phase Locked Loop*) et la boucle à verrouillage de délai (DLL – *Delay Locked Loop*).

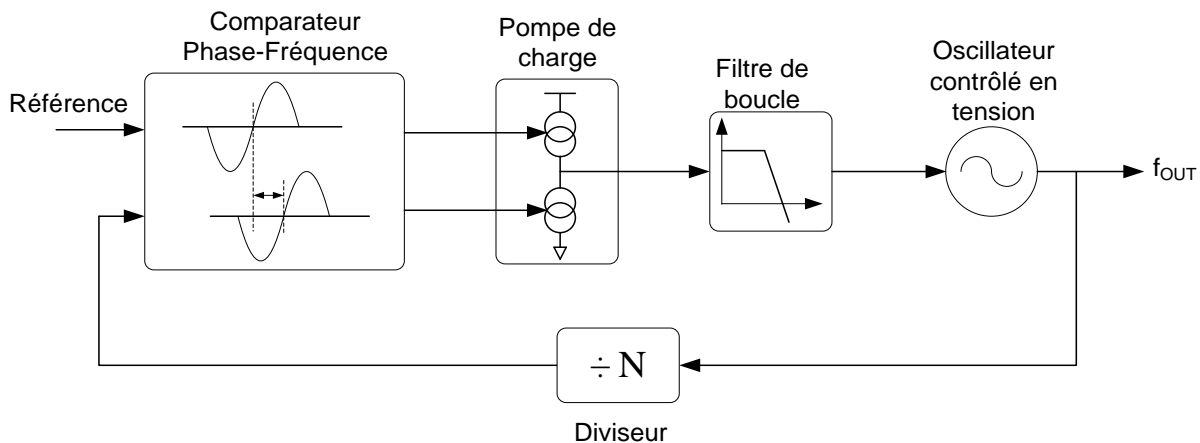
### III LA BOUCLE A VERROUILLAGE DE PHASE

#### III.1 PRINCIPE ET GENERALITES.

##### III.1.a Principe de fonctionnement : la PLL à division entière.

De nombreuses approches ont été étudiées au cours des trente dernières années pour la réalisation de synthétiseur de fréquence, basées sur des boucles à verrouillage de phase [BES84-1] [RAZ94-1] [HSU08-1]. Nombre d'entre elles sont dédiées à la radiocommunication dans une bande comprise entre 1 et 6 GHz. Le point important à mettre en avant pour l'ensemble de ces architectures est la difficulté à réaliser une architecture répondant aux critères de : complexité modérée, forte intégration sur silicium, faible bruit de phase, faible consommation, pas de synthèse fin et dynamique rapide [PER97-1].

L'architecture la plus répandue et la plus robuste est la boucle à verrouillage de phase à division entière présentée à la Figure I-9.



**Figure I-9 : Boucle à verrouillage de phase à division entière.**

Cette architecture est composée d'un *Comparateur Phase-Fréquence* (PFD – *Phase Frequency detector*), d'une *Pompe de charge* (CP – *Charge Pump*) et d'un *Filtre de boucle* (LF – *Loop Filter*) qui forment la ligne d'asservissement, puis, d'un *Oscillateur contrôlé en tension* (VCO – *Voltage Controlled Oscillator*) et d'un *Diviseur* entier.

L'oscillateur contrôlé en tension fournit le signal de sortie  $f_{OUT}$  dont la fréquence est fonction de la tension de contrôle appliquée en entrée de celui-ci. Ce signal  $f_{OUT}$  est ensuite divisé par la valeur  $N$  du diviseur avant d'être comparé avec le signal de référence au niveau du Comparateur Phase-Fréquence. L'information de l'erreur de phase mesurée entre ces deux signaux est transmise à la pompe de charge qui va charger ou décharger le filtre de boucle en fonction du signe de cette erreur.

Cette variation est intégrée par le filtre afin de modifier la tension de contrôle et donc la consigne de la fréquence générée par l'oscillateur contrôlé en tension. Une fois que le signal d'erreur

en sortie du comparateur phase-fréquence est nul, la boucle est dite « verrouillée ». La fréquence du signal de sortie est donc proportionnelle à celle du signal d'entrée suivant la relation :

$$F_{OUT} = N * F_{REF} \quad \text{Équation I-4}$$

Dans une architecture de ce type, le pas de synthèse (appelé aussi pas de fréquence) est égal à la fréquence du signal de référence, puisque le facteur de multiplication est entier. Ainsi, si l'on souhaite diminuer le pas de synthèse, il sera nécessaire de diminuer la fréquence de référence, ce qui entraînera une élévation du plancher de bruit [CAM02-1]. D'autre part, afin de filtrer correctement les raies parasites résultant du processus d'asservissement, la fréquence de coupure du filtre de boucle, qui définit la bande passante de la PLL, doit être suffisamment faible [LIN00-1]. Ceci entraîne une augmentation du temps d'établissement global de la PLL. Ces deux contraintes contribuent fortement aux limitations de la PLL à division entière comme nous le verrons par la suite.

### III.1.b Performances en bruit de phase

#### III.1.b.1 Bruit de phase dans le domaine fréquentiel

Le contributeur majoritaire du bruit de phase dans la boucle à verrouillage de phase est l'oscillateur contrôle en tension (VCO). La valeur fréquentielle du signal de sortie dans le cas d'un signal bruité est égale à [MAJ06-1]:

$$f_{OUT} = K_{VCO} * V_{CTRL} + \Delta f \quad \text{Équation I-5}$$

où  $K_{VCO}$  représente la sensibilité de l'oscillateur (c'est-à-dire le gain entre fréquence de sortie et tension d'entrée du VCO),  $V_{CTRL}$  représente la tension de sortie du filtre de boucle et  $\Delta f$  représente la transcription du bruit de phase sur le spectre.

La phase instantanée d'un signal est obtenue par intégration de la fréquence, ainsi l'on écrit [MON05-1] :

$$\Delta \varphi_{VCO}(t) = 2\pi \int_0^t \Delta f(u) du \Leftrightarrow S_{\Delta \varphi_{VCO}}(f)_{V_{rms}^2/Hz} = \frac{S_{\Delta f}(f)_{V_{rms}^2/Hz}}{|2j\pi f|^2} \quad \text{Équation I-6}$$

où  $S_{\Delta \varphi_{VCO}}(f)_{V_{rms}^2/Hz}$  représente la densité spectrale de puissance de bruit de la phase de l'oscillateur exprimée en  $V_{rms}^2/Hz$  et  $S_{\Delta f}(f)_{V_{rms}^2/Hz}$  la densité spectrale de puissance de bruit de la variation de fréquence due au bruit. Si le bruit est de type blanc (densité spectrale de puissance constante), alors  $S_{\Delta \varphi_{VCO}}(f)_{V_{rms}^2/Hz}$  sera proportionnelle à  $1/f^2$ . Si le bruit est de type rose (de densité spectrale proportionnelle à  $1/f$ ), alors  $S_{\Delta \varphi_{VCO}}(f)_{V_{rms}^2/Hz}$  sera proportionnelle à  $1/f^3$ .

Le bruit de phase de l'oscillateur oscillant librement a donc le profil décrit à la Figure I-10 [LEE98-1] dans lequel trois zones distinctes sont mises en évidence :

**Zone 1 :** la valeur du bruit de phase suit une droite de -30 dB par décade due à la conversion du bruit basse fréquence des composants du circuit. Le bruit de phase de l'oscillateur se comporte en  $1/f^3$ .

**Zone 2 :** la valeur du bruit de phase suit une droite de -20 dB par décade due à la conversion du bruit Lorentzien ou bruit blanc de fréquence. Appelé aussi bruit de proximité, le bruit de phase se comporte en  $1/f^2$ .

**Zone 3 :** Le bruit de phase de l'oscillateur est constant et est dénommé bruit de plancher.

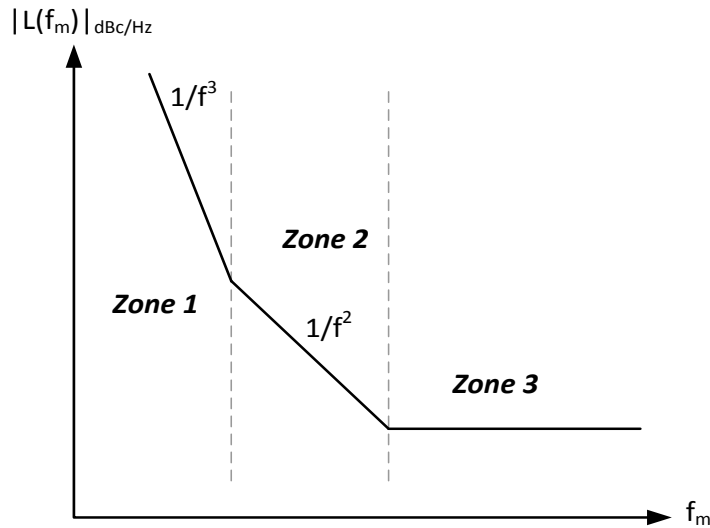


Figure I-10 : Bruit de phase d'un oscillateur libre.

Lorsque le VCO est asservi dans une boucle à verrouillage de phase, son bruit de phase est alors une recopie du bruit de l'horloge de référence, multiplié par le facteur de division de la boucle N, dans la limite de la bande passante BP de la PLL. Cette bande passante dépend essentiellement du filtre de boucle de l'architecture. Le bruit de phase de l'oscillateur asservi a donc le gabarit présenté à la Figure I-11.

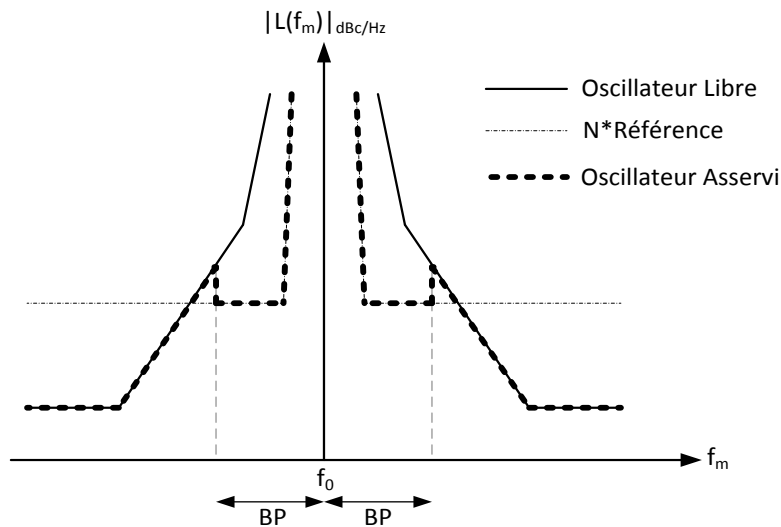


Figure I-11 : Bruit de phase d'un oscillateur asservi.



Pour des fréquences proches de la fréquence porteuse comprise dans la bande passante de la PLL, c'est-à-dire appartenant à l'intervalle  $f_0 \pm BP$ , le bruit de phase est égal à celui de la référence au facteur N près. Le bruit de phase du signal de référence présente un bruit de plancher « faible » et une fréquence de coin faible car le signal de référence est réalisé par un oscillateur à quartz, c'est-à-dire un oscillateur qui présente un fort coefficient de qualité. Au-delà de cette valeur, le bruit de phase est égal à celui de l'oscillateur libre.

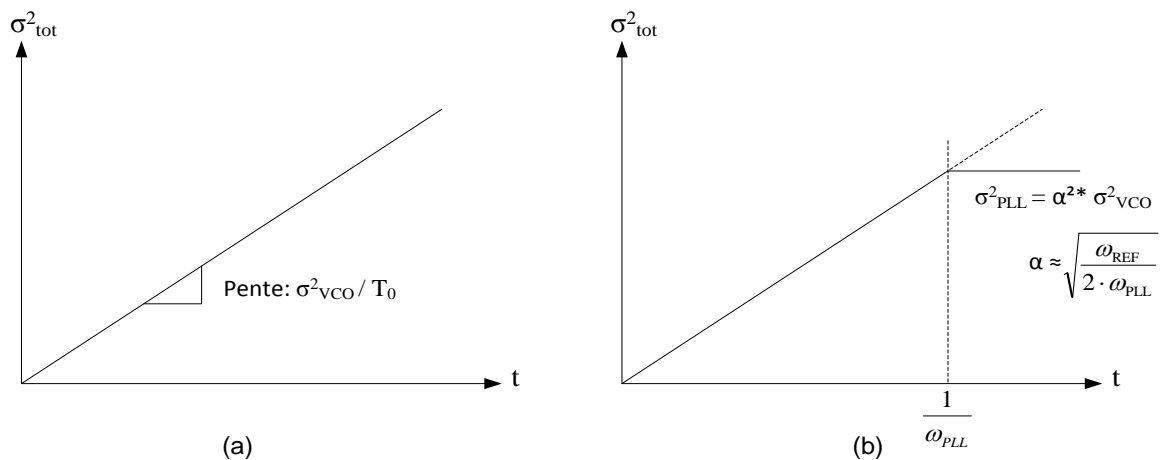
**III.1.b.2 Bruit de phase dans le domaine temporel.**

Comme nous l'avons vu au § II.2.b, le bruit de phase se traduit par une variation aléatoire de l'instant de commutation du signal de sortie de l'oscillateur appelée gigue temporelle. Cette erreur peut être caractérisée à court terme en observant l'erreur appliquée d'une période à la suivante (gigue cycle-à-cycle), ou à long terme, si l'on considère la variation à l'instant de transition du n<sup>ième</sup> période par rapport au signal non bruité (gigue cyclique).

Dans le cas de la boucle à verrouillage de phase, nous accordons une plus grande importance à la gigue cyclique puisque chaque front bruité de fin d'une oscillation représente aussi le début d'une autre, accumulant ainsi l'erreur à chaque cycle.

Ce phénomène d'accumulation de la gigue temporelle d'un oscillateur libre est présenté à la Figure I-12 (a) [WEI91-1]. Cette courbe présente la dispersion de cette gigue à long terme qui augmente linéairement avec le temps d'un coefficient proportionnel à la variance de la gigue cycle-à-cycle. La variance de la gigue peut être déduite du bruit de phase fréquentiel par la formule suivante [MAJ06-1]:

$$\sigma_{tot}^2(t) = \int_{1/t}^{\infty} S_{\Delta\phi_{VCO}}(f)df \tag{Équation I-7}$$



**Figure I-12 : Variance de la gigue temporelle en fonction du temps (a) pour un oscillateur en anneau (b) pour un oscillateur asservi.**

La Figure I-12 (b) nous présente l'évolution de la variance de la gigue une fois l'oscillateur asservi dans une boucle à verrouillage de phase. Cette croissance atteint une valeur d'équilibre ( $\sigma_{PLL}^2$ ) pour un temps qui correspond à l'inverse de la bande passante ( $\omega_{PLL}$ ). A partir de cet instant, le bruit de phase de l'oscillateur contrôlé est rejeté par l'effet de la boucle, qui agit comme un passe-haut sur ce bruit dont la fréquence de coupure est égale à la bande passante. La valeur d'équilibre atteinte est proportionnelle à la variance de la gigue cycle-à-cycle de l'oscillateur, pondérée par un facteur multiplicatif  $\alpha^2$  qui est inversement proportionnel à la bande passante de la boucle [KIM94-1].

### **III.1.c Limitations de la boucle à verrouillage de phase à division entière.**

Nous avons vu que l'architecture présentée à la Figure I-9 permettait de générer un signal dont la fréquence est un multiple entier de la fréquence de référence. En conséquence, cette fréquence de référence doit être égale au pas de synthèse désiré dont la valeur est souvent très largement inférieure à la fréquence de la porteuse.

Or, pour des raisons de stabilité, lors de la réalisation d'une boucle à verrouillage de phase, le filtre de boucle est conçu afin d'obtenir une fréquence de coupure inférieure à la fréquence de référence. En théorie, la valeur de  $f_{REF}/10$  permet de se placer dans un domaine où l'approximation linéaire est valable ; cependant, en pratique, cette valeur est encore divisée d'un facteur 5 à 10, afin d'assurer un taux de réjection des raies parasites minimal.

La limitation induite de la bande passante et de la fréquence de référence va avoir plusieurs conséquences sur les performances du système.

Tout d'abord, nous avons pu observer précédemment (Figure I-11) que le bruit de phase était réduit dans la bande passante de l'architecture. En dehors de cette bande, le bruit suit celui de l'oscillateur libre et donc la remontée de bruit sera d'autant plus forte que la bande passante sera faible.

De plus, le facteur de multiplication devra être d'autant plus élevé que la fréquence de référence sera basse. Or, nous avons vu aussi que le bruit dans la bande passante est proportionnel à ce facteur multiplicatif.

Enfin, comme nous l'avons vu au §II.1, la faible valeur de la bande passante va entraîner un allongement du temps d'établissement de l'architecture en réponse à un changement ou à l'établissement d'un standard visé.

### **III.1.d Architectures d'amélioration.**

La principale contrainte de l'architecture précédente provient des limitations de la bande passante, elles-mêmes entraînées par la faible valeur de la fréquence de référence due au fonctionnement intrinsèque de la PLL à division entière.

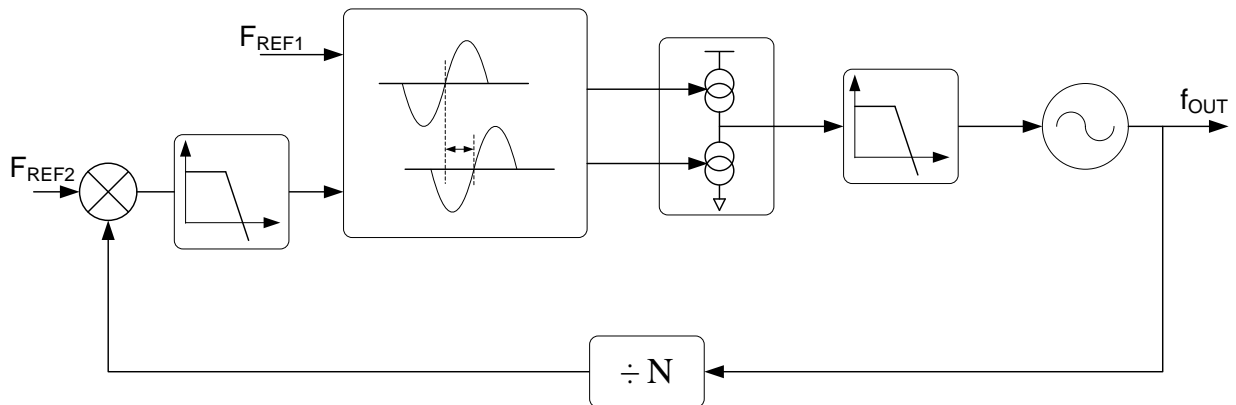
L'objectif des architectures d'amélioration de ce principe sera soit d'augmenter artificiellement la fréquence de référence ou la bande passante de l'architecture, soit de dissocier les mécanismes liant le pas de synthèse, la fréquence de référence et la bande passante.

Nous allons maintenant évoquer quelques architectures présentes dans la littérature permettant d'améliorer les performances du synthétiseur de fréquence, à partir d'une division entière ou fractionnaire.

### III.1.d.1 Architectures à divisions entières.

- *PLL à décalage de fréquence.*

Une solution permettant de dissocier le pas de synthèse et la fréquence de référence est la PLL à décalage de fréquence [VAU97-1] [BES84-1]. Le principe est d'appliquer un décalage de fréquence sur le signal synthétisé au niveau de la boucle de retour. Ce décalage, réalisé par le biais d'un mélangeur, peut être fait en amont ou en aval du diviseur et nécessite l'application d'un filtre, puisque le mélange va créer deux fréquences : une pour la somme et une pour la différence des deux signaux. La Figure I-13 présente une architecture de PLL à décalage de fréquence où le mélange est réalisé en aval du diviseur. Nous utilisons ici un filtre passe-haut afin de récupérer la fréquence  $\frac{f_{OUT}}{N} + F_{REF2}$ .



**Figure I-13 : PLL à décalage de fréquence.**

Ainsi, la fréquence de sortie peut être définie comme :

$$f_{OUT} = N \cdot (F_{REF1} - F_{REF2}) = N \cdot F_{REF} \quad \text{Équation I-8}$$

Le pas de synthèse a donc été diminué puisque  $\Delta f = F_{REF1} - F_{REF2}$ . Cependant, la fréquence de  $F_{REF1}$  en entrée du comparateur de phase est restée inchangée, ce qui permet de conserver la valeur de la bande passante de la PLL. Mais, cette architecture complexe va fournir des nombreuses raies parasites en sortie du mélangeur, qui vont venir s'ajouter à celles de la PLL.

- *PLL à double boucle.*

La PLL à double boucle présentée à la Figure I-14 est une architecture qui résulte de la mise en parallèle de deux PLL distinctes afin de répartir les contraintes sur chacune d'entre elles [BAD00-1]. La

boucle secondaire va permettre de fournir une fréquence intermédiaire utilisée comme fréquence de référence pour la boucle principale. Ainsi, cette dernière possédant une référence de fréquence plus élevée, sa bande passante sera augmentée en conséquence.

La fréquence du signal de sortie peut donc être exprimée de la manière suivante :

$$f_{OUT} = N2 \cdot f_{INT} = N2 \cdot N1 \cdot f_{REF} \quad \text{Équation I-9}$$

En conséquence, chacune des deux boucles a un facteur de division diminué par rapport à une architecture simple à division entière présentée à la Figure I-9. L'augmentation de la bande passante et la diminution du facteur division vont permettre une amélioration du bruit de phase au détriment d'une architecture qui devient complexe, d'une consommation élevée et d'un encombrement du circuit fort en raison de la présence de deux PLL complètes.

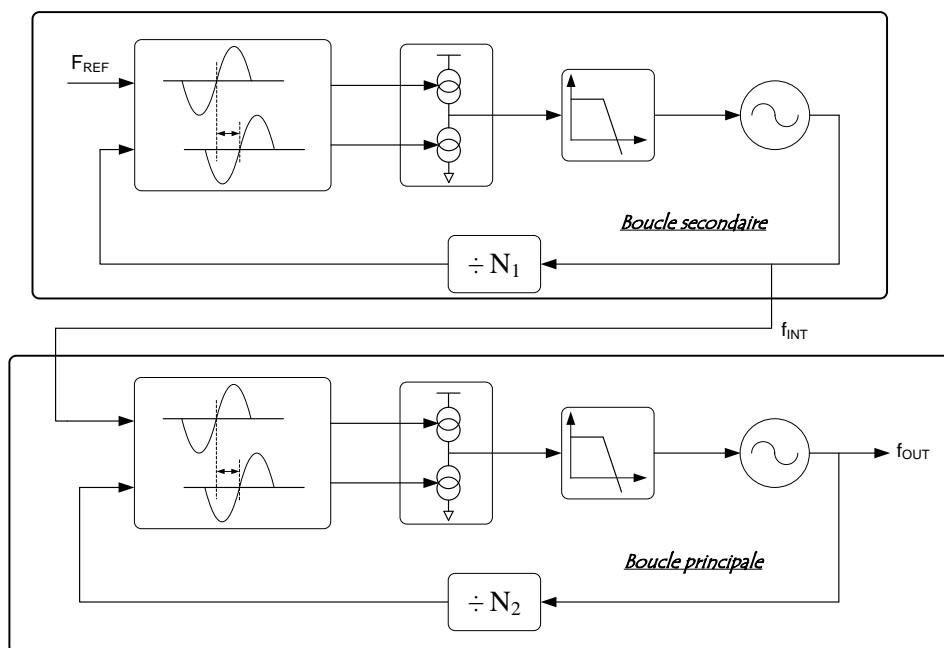


Figure I-14 : PLL à double boucle.

Jusqu'à présent les différentes architectures présentées ont un diviseur entier, ce qui pose la problématique d'augmenter la fréquence de référence tout en maintenant un pas de synthèse acceptable. Afin de dissocier complètement le pas de synthèse et la fréquence de référence, la solution la plus étudiée repose sur les synthétiseurs de fréquences à division fractionnaire [MEN03-1] [CAM02-1] [HSU08-1].

### III.1.d.2 Architectures fractionnaires.

- *Principe*

Un synthétiseur fractionnaire peut être considéré comme un synthétiseur entier dont le rang de division est changé dynamiquement et ainsi assimilable à un rang de division moyen non entier (ou fractionnaire) [CAS03-1]. Si le rang de division n'est plus entier, il est alors possible d'augmenter la

fréquence de référence tout en conservant le pas de synthèse de la boucle. Ceci va alors entraîner une augmentation de la bande passante de la PLL et une diminution du facteur de division, avec plusieurs conséquences bénéfiques pour l'architecture. D'une part, conformément à ce que nous avons vu à la Figure I-11, cela permettra une recopie du bruit de la référence sur une bande plus large et avec un taux de multiplication  $N$  plus faible. D'autre part, cela permettra d'éloigner de la fréquence porteuse les raies parasites dues à l'asservissement, puisque celle-ci sont décalées par rapport à la porteuse d'une valeur égale à la fréquence de référence. Enfin, l'élargissement de la bande passante, notamment par le biais d'une augmentation de la fréquence de coupure du filtre, conduit à une diminution du temps d'établissement.

L'objectif est donc de réaliser un facteur de division moyen non entier  $N_{MOY}$  compris entre  $N$  et  $N+1$  au cours de  $P$  cycles. Pour cela, considérons l'entier  $C$  tel que  $C < P$ , il suffit alors que le rang de division soit égal à  $(N+1)$  pendant  $C$  cycles et à  $N$  pendant  $(P-C)$  cycles.

Ainsi, le rang de division moyen sur  $P$  cycles de référence est :

$$N_{MOY} = \frac{(N+1) \cdot C + N \cdot (P-C)}{P} = \frac{C + N \cdot P}{P} = N + \frac{C}{P} \quad \text{Équation I-10}$$

$N_{MOY}$  est composée d'une partie entière  $N$  et d'une partie fractionnaire  $\frac{C}{P} < 1$ , puisque  $C < P$ . Ainsi, une fois le régime établi atteint, le rang de division moyen pour un nombre de cycle supérieur à  $P$  est égal à  $N_{MOY}$ .

- Synthétiseur fractionnaire basé sur l'utilisation d'un accumulateur

Dans cette structure de synthétiseur fractionnaire, le changement de rang de division est commandé par un accumulateur de taille  $P$  et de consigne  $C$ . Ce type d'architecture est illustré à la Figure I-15.

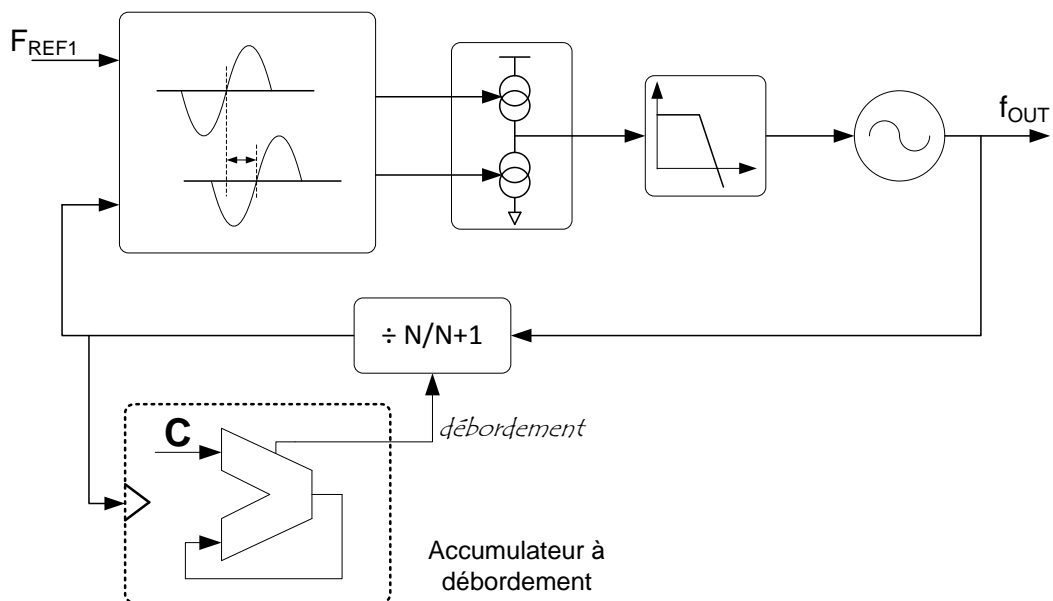
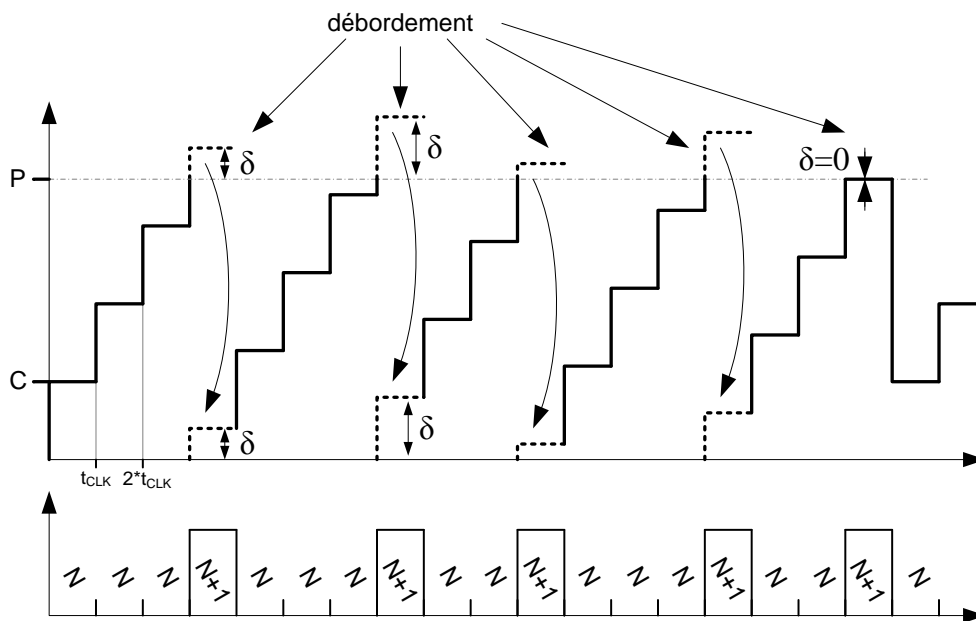


Figure I-15 : PLL fractionnaire basée sur l'utilisation d'un accumulateur à débordement.

La division est réalisée par un diviseur  $N/N+1$  qui divise par  $N$  ou  $N+1$  suivant la valeur de son signal de module (*débordement*). La valeur de la division est initialisée à  $N$  et, à chaque coup de son horloge, la sortie de l'accumulateur est incrémentée de la valeur  $C$ . Lorsque celle-ci devient supérieure à la taille de l'accumulateur  $P$ , ce dernier sature, le signal *débordement* passe à l'état haut et la valeur de division passe à  $N+1$ . De la valeur de sortie de l'accumulateur, seule  $\delta$ , la partie supérieure à  $P$  de la Figure I-16, est conservée et incrémentée de  $C$ . A la prochaine saturation de l'accumulateur, le signal de module est modifié et le rang de division change à nouveau jusqu'à ce que la sortie soit égale à  $P$  et que  $\delta$  soit égal à 0,  $\delta$  étant égal au reste modulo  $P$ .



**Figure I-16 : Chronogramme de fonctionnement de l'accumulateur à débordement et facteur de division induit.**

Dans un synthétiseur de fréquence à division fractionnaire contrôlé par un accumulateur, l'erreur moyenne de phase est nulle mais l'erreur instantanée ne l'est pas ; alors que dans un synthétiseur à division entière, l'erreur de phase instantanée est aussi nulle. Cela se traduit sur le spectre de sortie par des raies parasites. [CAM02-1]

Différentes techniques vont avoir pour objet la diminution de la puissance de ces raies parasites. La première d'entre elles est la compensation analogique.

Cette technique consiste à injecter sur la sortie de la pompe de charge une quantité de charge dont l'amplitude compense celle due à l'erreur de phase que génère le système de division fractionnaire. C'est la sortie de l'accumulateur qui, via un convertisseur numérique-analogique et une pompe de charge appareillée à celle de la boucle, va délivrer cette correction [HIL97-1] [CON01-1].

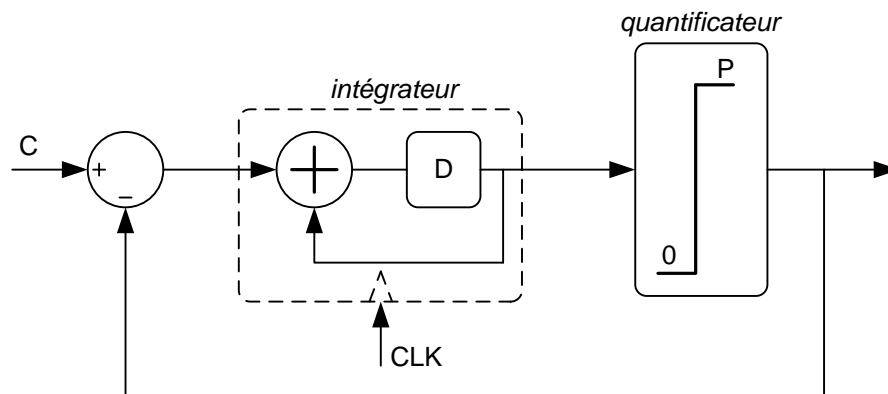
Les difficultés et limitations de cette technique de compensation analogique sont dues à la précision et à la vitesse requises du convertisseur numérique-analogique, ainsi qu'à l'introduction de bruit par la somme du courant de compensation. Le manque de précision du convertisseur entraîne

une compensation partielle et des raies parasites restent toujours présentes en sortie du synthétiseur fractionnaire.

- *Synthétiseur de fréquence à division fractionnaire contrôlé par un convertisseur  $\Sigma\Delta$ .*

L'alternative au type de synthétiseur fractionnaire précédent est un synthétiseur de fréquence à division fractionnaire contrôlé par un convertisseur  $\Sigma\Delta$  [RAZ96-1] [PER97-1].

Dans ce nouveau type de synthétiseur fractionnaire, le rang de division est contrôlé par un convertisseur numérique-numérique  $\Sigma\Delta$ . Le convertisseur  $\Sigma\Delta$  du premier ordre présenté à la Figure I-17 est réalisé à partir d'un intégrateur (ou accumulateur) dont l'entrée est contre-réactionnée par la sortie quantifiée.



**Figure I-17 : Schéma de fonctionnement du convertisseur  $\Sigma\Delta$  du premier ordre à 2 niveaux.**

Le convertisseur  $\Sigma\Delta$  code une valeur d'entrée  $C$  en une suite aléatoire de valeurs dont la moyenne est égale à  $C/P$  où  $P$  est désormais la valeur de retour du quantificateur. Grâce à cette génération de valeurs de sortie aléatoires, les raies parasites de la structure précédente sont transformées en un bruit blanc. La propriété intéressante du convertisseur  $\Sigma\Delta$  pour une application à la synthèse de fréquence à division fractionnaire est de disposer le bruit de quantification dans un peigne de raies plus rapprochées. L'amplitude de ces raies est mise en forme afin de repousser l'énergie de ce bruit vers les hautes fréquences, lequel peut ensuite être filtré par le filtre de boucle du synthétiseur [CAN85-1].

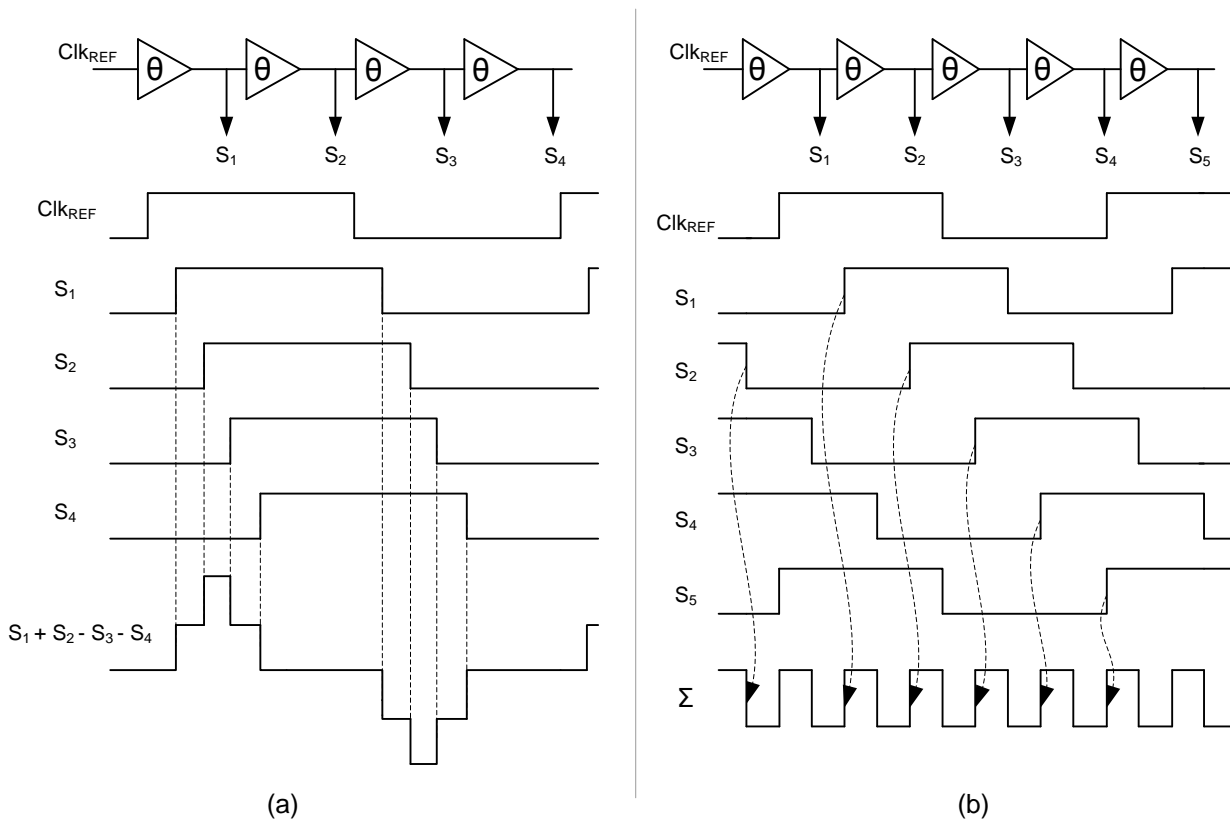
La principale difficulté de la synthèse de fréquence contrôlée par un convertisseur  $\Sigma\Delta$  réside dans le choix du convertisseur dont la complexité va augmenter avec son ordre et dans le compromis entre la bande passante de la PLL et le bruit de quantification autorisé en sortie de synthétiseur [FIL98-1].

Les différentes architectures de boucle à verrouillage de phase ayant été présentées, nous allons maintenant nous intéresser au développement d'un second type de synthétiseur de fréquence : la boucle à verrouillage de délai (*Delay Locked Loop – DLL*).

## IV LA BOUCLE A VERROUILLAGE DE DELAI.

### IV.1 LA CONCEPTION ORIENTEE DELAI

La méthodologie DOD (*Delay Oriented Design – DOD*) est une méthodologie basée sur la mise à profit des défauts des circuits logiques afin de réaliser des fonctions analogiques complexes. Le défaut utilisé est le temps de propagation  $\theta$  d'une porte logique élémentaire [SPA01-1]. Afin d'utiliser cette particularité, nous allons utiliser une chaîne comprenant  $N$  éléments à retard contrôlable. En appliquant en entrée de cette chaîne un signal de référence de période  $T_{REF}$ , nous pourrions alors générer en sortie  $N$  signaux de période  $T_{REF}$ , déphasés par rapport au signal de référence d'une valeur :  $n * \theta$  ( $n \in \{1; N\}$ ). En utilisant ensuite un bloc de sommation de ces  $N$  signaux, il sera possible de générer différentes formes de signaux en sortie. La Figure I-18 présente deux différentes techniques de sommations [MAJ06-1].



**Figure I-18 : Techniques de sommation de la méthodologie DOD : (a) Sommeur signé (b) sommeur de chaque front.**

En utilisant une sommation dite « signée », nous pouvons obtenir le signal en forme de marche d'escalier de la Figure I-18 (a). Si l'on contrôle le retard instantané de chaque élément logique et que l'on asservit le retard de la chaîne sur une demi-période de la référence, il est alors possible d'obtenir un signal en marche d'escalier de même fréquence que la référence. S'il est filtré, on a alors un signal sinusoïdal de fréquence identique.



En augmentant le nombre d'opérateurs, et en diminuant en conséquence le délai généré par chacun d'entre eux, on réalise une multiplication de la fréquence de référence, à condition que le nombre d'opérateurs de la chaîne soit pair et le rapport cyclique de l'horloge de référence de 50% [SPA01-1] [BEG00-1].

Une autre technique de sommation consiste à sommer chacun des fronts de la ligne d'éléments à retard contrôlable [CHI00-1]. Ce type de sommation permet d'obtenir la forme de signaux présentés à la Figure I-18 (b). Alors que la première technique impose un nombre pair d'éléments et un rapport cyclique du signal de référence de 50%, celle-ci exige un nombre impair d'opérateurs et le rapport cyclique du signal de référence n'est plus critique pour le bon fonctionnement du système.

Ces techniques permettent d'obtenir la réalisation d'un autre type de synthétiseur : la boucle à verrouillage de délai (*Delay Locked Loop – DLL*).

## IV.2 PRINCIPE ET GENERALITES DE LA DLL

### IV.2.a Schéma de fonctionnement

Principalement utilisée comme générateur d'horloge pour les circuits numériques, la boucle à verrouillage de délai (*Delay Locked Loop – DLL*) a toutefois démontré ses capacités pour des applications de synthèse de fréquence dédiées aux systèmes radiofréquences [SPA01-1] [CHI00-1]. Le schéma de fonctionnement du système est présenté à la Figure I-19.

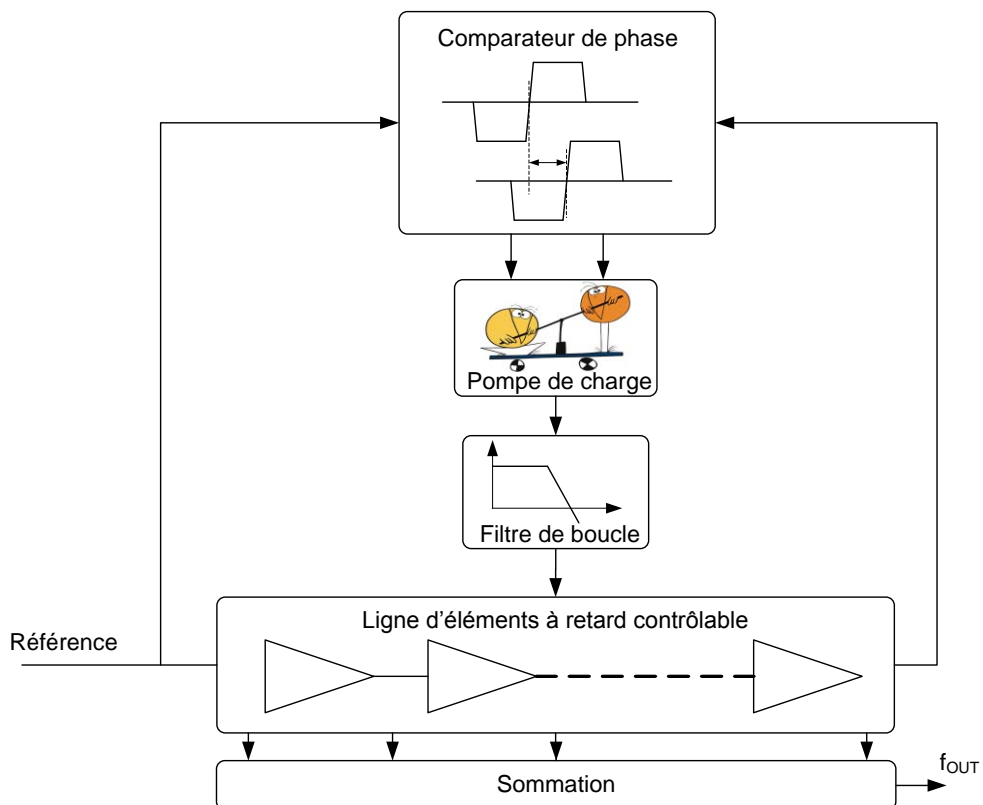


Figure I-19 : Boucle à verrouillage de délai.

Comme la PLL, la boucle à verrouillage de délai (DLL) est composée d'un *Comparateur de phase*, d'une *Pompe de charge* et d'un *Filtre de boucle* afin de réaliser l'asservissement. A la différence de la PLL, l'oscillateur est réalisé dans cette architecture à partir d'une *Ligne d'élément à retard contrôlable* (Voltage Controlled Delay Element – VCDE) qui comprend N éléments à retard contrôlable. Enfin, un bloc de sommation des sorties de chacun des éléments de la VCDE réalise la multiplication de fréquence pour générer le signal  $f_{OUT}$ .

Le signal de référence ainsi que le signal en sortie de la VCDE sont comparés en entrée du *Comparateur de phase*. La *Pompe de charge* convertit cette information en un courant qui va être intégré via le *Filtre de boucle*. La tension résultante va alors permettre de contrôler le retard généré au niveau de la VCDE. Le système est « verrouillé » lorsque le retard de la VCDE est égal à une période du signal de référence. Le signal de sortie du *Sommateur* est alors égal à la fréquence désirée :

$$F_{OUT} = N * F_{REF} \quad \text{Équation I-11}$$

#### IV.2.b Modèle linéaire

La Figure I-20 présente le modèle linéaire de la DLL. Dans le cas précédemment étudié de la PLL et plus particulièrement du VCO, c'est la fréquence de sortie qui est proportionnelle à la tension d'entrée et la fonction de transfert contient donc un pôle de la forme  $K_{VCO}/p$ . Dans le cas de la DLL et de la VCDL, c'est la phase de sortie qui est proportionnelle à la tension de contrôle. Ainsi la fonction de transfert de la VCDL est une constante égale à  $K_{VCDL}$ .

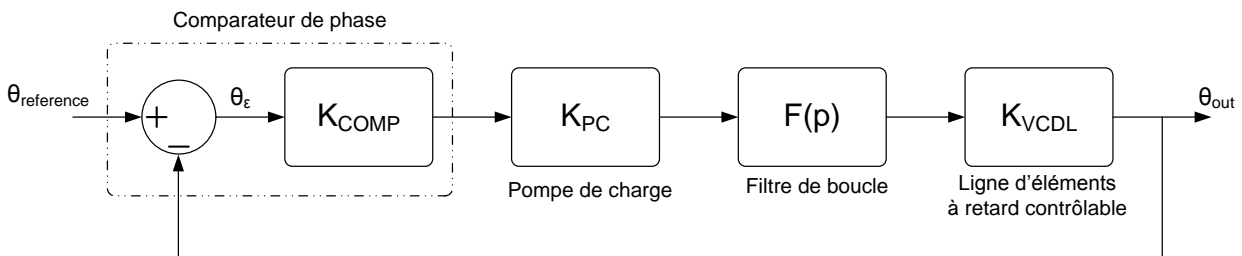


Figure I-20 : Modèle linéaire de la boucle à verrouillage de délai.

En conséquence, la fonction de transfert globale du système peut s'écrire :

$$\frac{\theta_{out}(p)}{\theta_{reference}(p)} = \frac{G(p)}{1 + G(p)} \quad \text{Équation I-12}$$

Où  $G(p)$  est la fonction de transfert du système en boucle ouverte, c'est-à-dire :

$$G(p) = K_{COMP} \cdot K_{PC} \cdot K_{VCDL} \cdot F(p) \quad \text{Équation I-13}$$

Ainsi, l'ordre de la DLL est égal à l'ordre du filtre de boucle. Si le filtre de boucle est un filtre du premier ordre, le système aussi et la DLL est inconditionnellement stable. Le filtre de boucle pourra donc être constitué d'une simple capacité, ce qui est un avantage d'un point de vue de l'intégration par

rapport à une PLL dont l'ordre est au minimum égal à 2. De plus, cela permet de relâcher les contraintes sur le filtre de boucle, notamment en vue d'augmenter la bande passante et le temps d'établissement.

## IV.2.c Performances

### IV.2.c.1 Gigue temporelle

L'utilisation de la ligne à retard contrôlable au lieu d'un oscillateur en anneau confère à la DLL une particularité très appréciable : la non-accumulation de la gigue temporelle d'un cycle à l'autre [CHI00-1]. En effet, nous avons vu précédemment (§III.1.b.2 et Figure I-12) le processus d'accumulation d'un cycle à l'autre de la gigue temporelle pour un oscillateur en anneau : la fin d'une oscillation marquant le début d'une autre, la perturbation sur la phase du signal se propage d'un cycle à l'autre. Dans le cas de la DLL, c'est l'horloge de référence qui démarre chaque nouveau cycle. Ainsi, la gigue temporelle ne peut s'accumuler au sein de la VCDL que sur une période de référence. La Figure I-21 permet d'illustrer ce point.

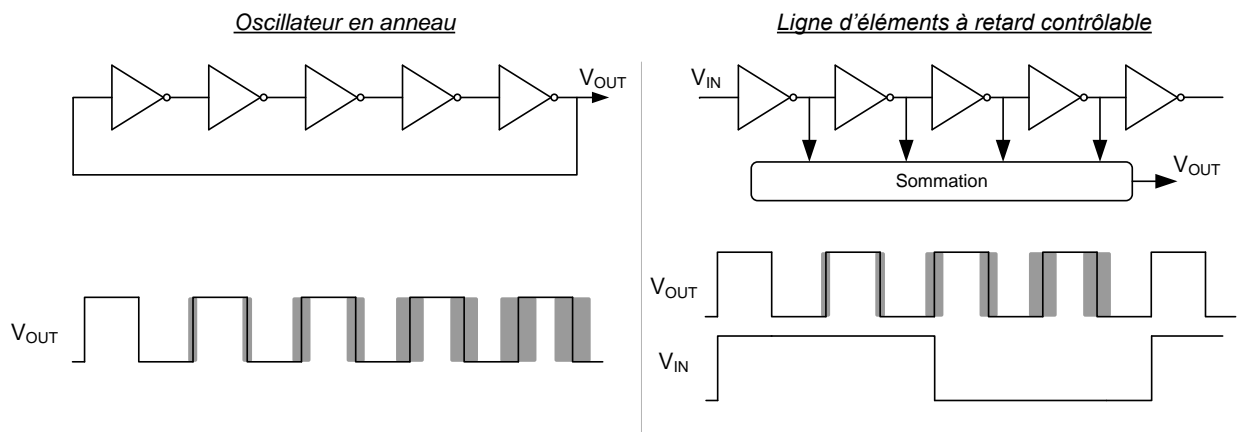


Figure I-21 : Illustration de la non-accumulation de la gigue temporelle.

### IV.2.c.2 Bruit de phase

Les principaux travaux sur le bruit de phase associé à une DLL ont été réalisés par Chien [CHI00-1]. Ils reposent sur l'évaluation de la densité spectrale de puissance du bruit obtenue en effectuant la transformée de Fourier de la fonction d'auto-corrélation du bruit temporel par application du théorème de Wiener-Kintchine. Ce bruit est considéré comme stationnaire et ergodique. D'autre part, il suppose que la principale source de bruit soit la ligne à retard contrôlable, le signal de référence étant supposé fourni par un cristal parfait et le bloc *Sommeur* non bruyant. Dans ces conditions, le bruit généré par une cellule est indépendant de celui-ci associé aux autres. Ce bruit a une distribution gaussienne et une espérance mathématique nulle [MAJ06-1].

Le bruit à la sortie d'une cellule de rang  $i$  se compose donc de la somme des bruits de chaque cellule de rang inférieur à  $i$ . Comme l'horloge de référence rafraîchit le signal, cette accumulation ne dure que sur un cycle. Le bruit du signal de sortie peut alors s'exprimer sous la forme :

$$X(nT, j) = \sum_{i=1}^{n-(j-1) \times N} y_{i,j} \tag{Équation I-14}$$

Où  $y_{i,j}$  correspond à l'erreur aléatoire de la phase en sortie de l'élément  $i$  pour un cycle d'horloge de référence  $j$  (car le signal de référence remet à zéro la gigue temporel à chaque cycle, il est donc nécessaire de savoir dans quel cycle on se situe),  $T$  est la période du signal synthétisé,  $N$  le nombre d'éléments de la chaîne,  $n$  est un entier qui correspond au nombre de périodes du signal de sortie compris entre l'instant initial de l'étude et l'instant considéré.

Il a alors été montré dans [MAJ06-1], qu'en supposant que la gigue temporelle en sortie d'une cellule est très inférieure à la période du signal de référence, on obtient la relation suivante :

$$S_{\Delta\phi_{VCDL}}(\omega) = \sum_{n=-\infty}^{+\infty} \left[ \frac{1}{N} \times \sum_{k=-(N-2)}^{N-2} \delta(\tau - k) \cdot \sum_{i=1}^{N-|\tau|-1} 1 \times \sigma^2 \right] \times e^{-j\omega n} \tag{Équation I-15}$$

Où  $\sigma^2$  représente la variance de  $y_{i,j}$ .

La densité spectrale de puissance du bruit de phase de la DLL a donc la forme originale du bruit de phase décrite à la Figure I-22. Elle est maximale pour un écart de fréquence inférieur ou égal à la fréquence du signal de référence et diminue quand cet écart augmente, ce qui traduit le fait que la gigue s'accumule seulement sur une période de ce dernier. L'utilisation d'une DLL améliore donc le bruit de phase à proximité de la porteuse.

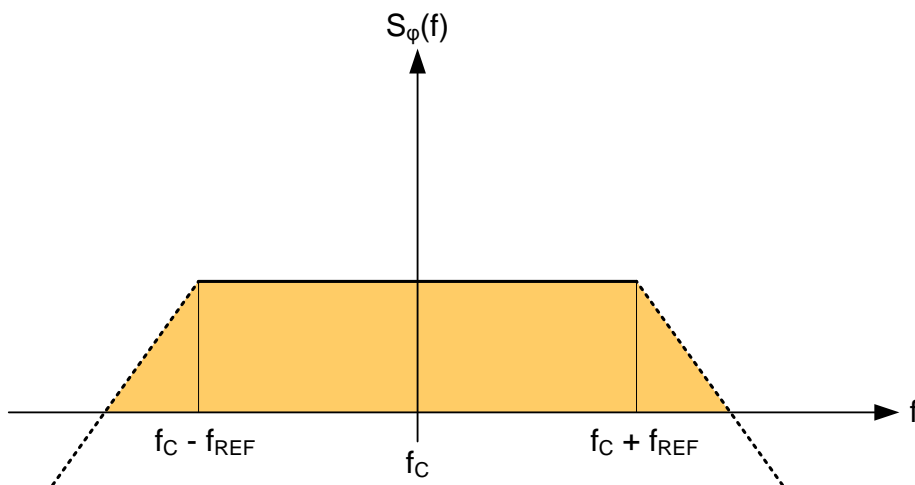


Figure I-22 : Modélisation du bruit de phase de la DLL.

#### IV.2.c.3 Les raies parasites

Les raies parasites observables dans le spectre de sortie dépendent de plusieurs phénomènes qui évoluent en fonction de la technique de sommation. En effet, si on utilise la sommation selon

Chien, deux facteurs sont à l'origine de ces raies, l'erreur de phase statique et le désappariement des cellules de retard [CHI00-1]. Ces raies sont séparées de la fréquence de la porteuse pour un écart multiple de la fréquence de référence.

Pour la technique de sommation selon Spataro, en plus des deux facteurs évoqués précédemment, s'ajoute une dépendance au rapport cyclique du signal de référence [SPA01-1] qui doit être dans l'idéal de 50%. Une valeur différente du rapport cyclique du signal de référence entraîne la création de raies parasites dont l'écart avec la fréquence porteuse est un multiple de la fréquence de référence. En revanche, l'effet dû à l'erreur de phase statique se manifeste, avec cette technique de sommation, par un écart à la fréquence porteuse proportionnel au double de la fréquence de référence. Le désappariement des cellules de retard entraîne également l'apparition de raies parasites à des fréquences doubles de la fréquence de référence (et aux multiples de cette fréquence) si le temps de transition à travers les opérateurs (temps de montée-descente) est inférieur au temps de propagation de ceux-ci.

Si tel n'est pas le cas, notamment lors de la génération de signaux à très hautes fréquences, ces raies se retrouvent alors présentes à un écart de fréquence égal à la fréquence de référence.

En conclusion, quelle que soit la technique de sommation employée, une attention particulière doit être accordée au dessin des cellules à retard, au comparateur de phase et de fréquence et à la pompe de charge afin de minimiser l'amplitude de ces raies parasites [MAJ06-1].

#### **IV.2.d      *Exploitabilité en vue d'une synthèse multistandard***

La boucle à verrouillage de délai présente deux avantages majeurs : le premier tient à ses performances en termes de bruit de phase pour des fréquences proches de la porteuse (à un écart de fréquence inférieur à la fréquence de référence) permettent de limiter les contraintes appliquées sur l'oscillateur lui-même. Il devient alors envisageable d'utiliser une ligne à retard contrôlable « bruyante » à condition d'avoir une fréquence de référence suffisamment élevée. Cette tolérance en termes de bruit permettra par ailleurs de s'affranchir d'une augmentation de la consommation pour ce bloc.

Le deuxième avantage est sa forte intégrabilité, due principalement à la faible consommation de silicium du filtre de boucle qui peut être réduit à une simple capacité grâce à sa stabilité en tant que système du 1<sup>er</sup> ordre. De plus, le VCO est généralement conçu à partir d'éléments passifs comme des condensateurs ou capacités variables, ce qui augmente nettement la surface consommée. Dans le cas de la DLL, la VCDL n'est composée que d'éléments actifs dont la taille est nettement inférieure.

Pendant l'architecture présentée comporte un obstacle majeur à la synthèse multistandard : la reconfigurabilité. En effet, l'architecture contient un facteur de multiplication fixe et ne permet donc pas de changement de standards. Pour faire varier la fréquence de sortie, il faut

changer la fréquence de référence. Utiliser une structure double boucle en série [BAD00-1] avec une DLL comme deuxième boucle pourrait être envisageable. Cependant, on reporterait les contraintes sur la première boucle et ce compromis ne serait pas en adéquation avec un système à faible coût (faible consommation de silicium, intégration des passifs) et à faible consommation de puissance. Envisager une boucle à verrouillage de délai, chargée par autant de blocs de sommation que de standards, augmenterait les risques de désappariement des cellules à retard tout en augmentant le coût en termes de silicium et de puissance.

Afin de répondre à cette problématique, une solution innovante de synthétiseur de fréquence a été réalisée au cours de ces dernières années : la boucle à verrouillage de délai factorielle (*Factorial Delay Locked Loop – F-DLL*) [MAJ07-2].

### IV.3 LA BOUCLE A VERROUILLAGE DE DELAI FACTORIELLE

L'architecture de la boucle à verrouillage de délai factorielle est présentée à Figure I-23. Cette architecture est composée de trois blocs principaux : l'Asservissement, l'Oscillateur et la Sortie qui va permettre de réaliser la sommation est de mettre en forme les signaux de sortie.

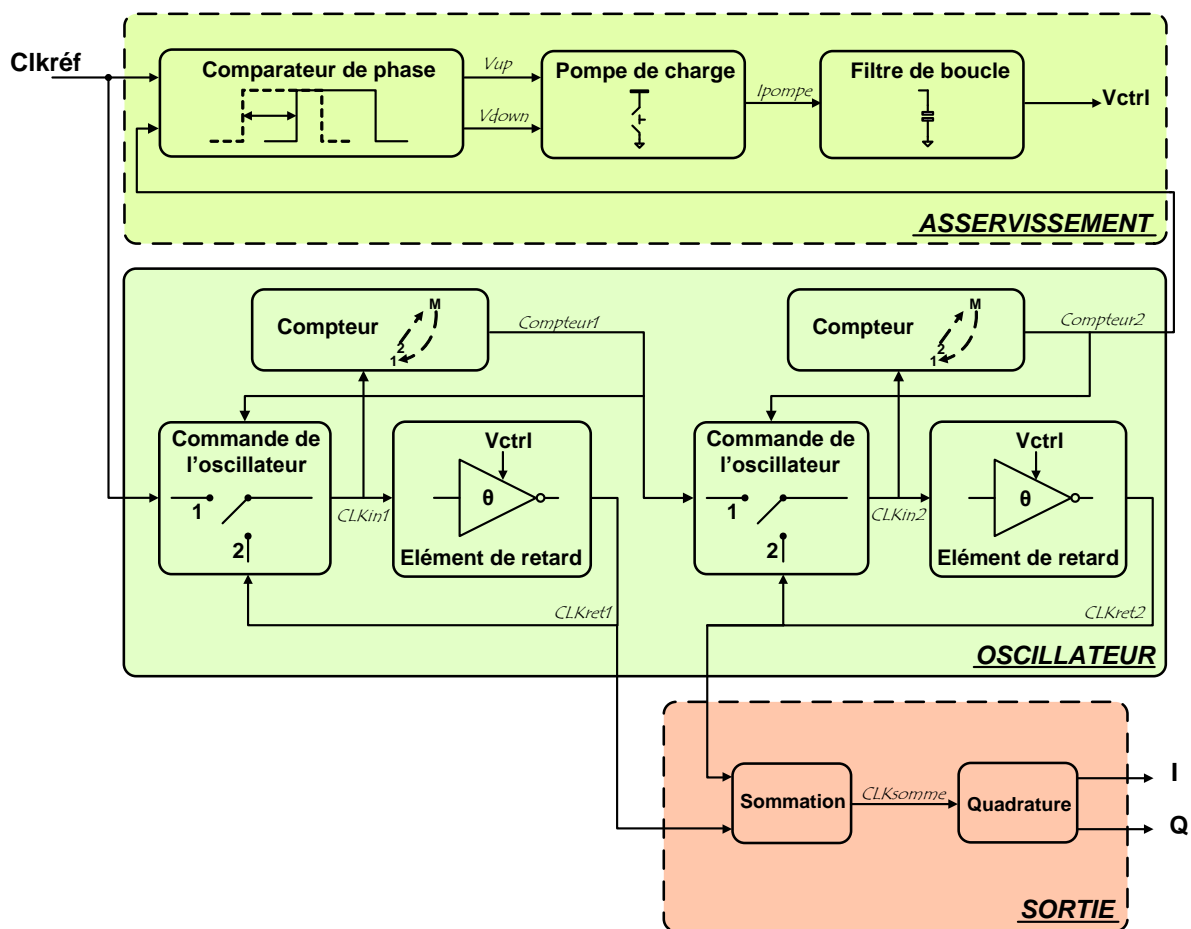
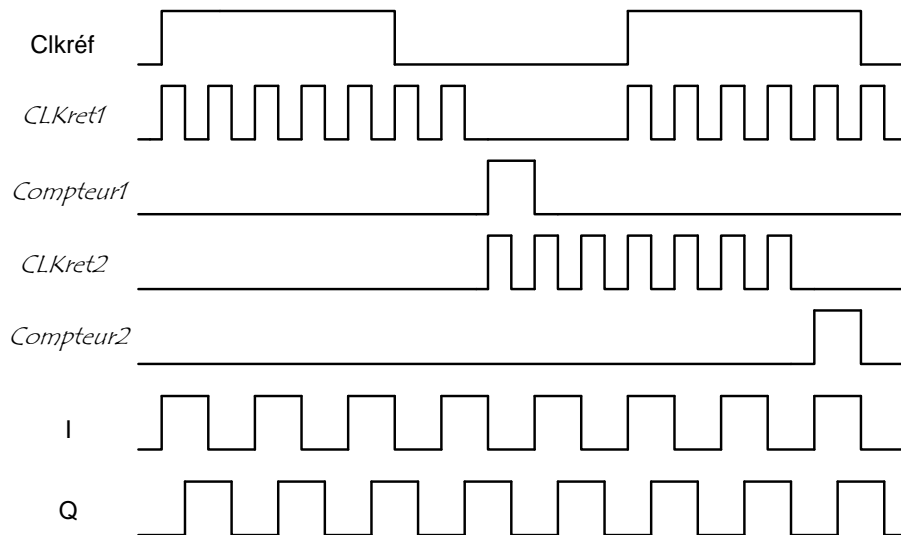


Figure I-23 : Architecture de la boucle à verrouillage de délai factorielle.

Le fonctionnement de l'architecture est le suivant :

- Un front montant du signal de référence  $Clk_{ref}$  déclenche le fonctionnement du système.
  - Les interrupteurs des deux commandes d'oscillateur sont placés en position 1.
  - Le signal de référence traverse le premier élément à retard contrôlable et fait basculer l'interrupteur d'entrée en position 2.
  - Ce signal est donc retardé, inversé et rebouclé sur lui-même : une première oscillation débute.
  - Le compteur dénombre les périodes du signal synthétisé.
  - L'oscillation se poursuit jusqu'à ce que le compteur atteigne sa valeur finale programmée au préalable.
  - A cet instant, le signal de sortie du premier compteur *Compteur1* place, d'une part la première commande de l'oscillateur en position 1, d'autre part la seconde en position 2. La première oscillation s'interrompt tandis que débute celle de la seconde partie du bloc oscillateur. La seconde séquence d'oscillation dure jusqu'à ce que le second compteur atteigne sa valeur finale programmée au préalable.
  - Alors, le compteur interrompt la seconde oscillation et envoie un signal au bloc « Asservissement ». Ce bloc compare les phases des deux signaux en entrée et fournit une tension de correction aux éléments à retard contrôlable afin d'annuler l'erreur de phase.
  - Un nouveau cycle démarre lorsqu'il apparaît un nouveau front montant de la référence.
- Tout au long de ces oscillations, les signaux de sortie des blocs « Oscillation » ( $CLK_{ret1}$  et  $CLK_{ret2}$ ) sont portés en entrée du bloc « Sortie ». Ce dernier additionne ces deux signaux ( $CLK_{somme}$ ) et génère à partir de cette somme, en divisant par deux la fréquence de celle-ci, les deux signaux de sortie en quadrature de phase (I et Q). Une fois le système verrouillé, si on nomme M1 la valeur du premier compteur programmable et M2 celle du second, la fréquence des signaux de sortie sera alors  $(M1+M2)/2$  fois plus élevée que celle du signal d'entrée. Ce fonctionnement est illustré à la Figure I-24.
- Les résultats ont été présentés et décrits dans [MAJ07-2] et [MAJ10-3]. Cette architecture a donc permis :
- de bénéficier des avantages de la DLL classique présentée précédemment (§IV.2.d) tout en proposant une synthèse multistandard grâce à l'utilisation de son compteur programmable qui assure sa reconfigurabilité.
  - de réaliser un synthétiseur de fréquence multistandard capable de fonctionner sur une bande comprise entre 1 et 4GHz. Cette bande permet de couvrir de nombreux standards utilisés pour les objets communicants mobiles, ce qui rend cette architecture très intéressante grâce à son intégrabilité et sa reprogrammabilité.



**Figure I-24 : Chronogramme illustrant le fonctionnement de la boucle.**

Cependant, afin de bénéficier des avantages de la DLL en terme de bruit de phase et afin de repousser au plus loin de la fréquence porteuse les raies parasites intrinsèques au fonctionnement, il est préférable d'utiliser une fréquence de référence suffisamment élevée. En conséquence, comme nous l'avons vu précédemment, le pas de synthèse sera alors largement dégradé, ce qui n'est alors pas acceptable pour un synthétiseur multistandard. Une solution envisageable pourrait alors être d'utiliser une structure de type double boucle présenté au § III.1.d.1, mais l'encombrement qui en résulterait supprimerait l'intérêt de forte intégrabilité de la DLL.

Ainsi, afin de tirer un plus grand profit des avantages de la DLL et plus particulièrement de la DLL factorielle, il devient alors nécessaire d'envisager une étude sur une nouvelle architecture dans laquelle le facteur multiplicatif serait non seulement reprogrammable, mais aussi fractionnaire. Pour cela, il est possible de s'appuyer sur le principe de la PLL fractionnaire présentée au §III.1.d.2.



## V CONCLUSIONS

Au cours de ce chapitre, nous avons pu voir les enjeux de la radiocommunication et plus particulièrement pour les objets communicants mobiles. De nombreuses normes décrivent les différents standards compris dans une bande de 900MHz à quelques GHz qui sont utilisés par ces appareils mobiles.

Afin de proposer un maximum de services en termes de « voix » et de « données », les appareils communicants doivent être capables de fonctionner aux différentes fréquences d'un grand nombre de standards. De plus, les contraintes de faibles coûts fixées par les fabricants ainsi que la nécessité de diminuer la consommation pour les applications sans fil vont à l'encontre d'une multiplication du nombre de chaînes de transmission.

Ainsi, la réalisation de blocs multistandards est devenue un enjeu majeur dans la conception de circuits intégrés des objets communicants. La radio logicielle ne permettant aujourd'hui d'assurer un débit d'information suffisant qu'au prix d'une consommation trop élevée, il est nécessaire de réaliser des blocs reconfigurables. L'étude menée dans le cadre de ces travaux repose sur un bloc particulier de la chaîne de transmission : l'oscillateur local.

La conception de ces blocs est soumise à des compromis, illustré à la Figure I-25, mettant en jeu : le bruit de phase, la bande passante, le temps d'établissement, le pas de synthèse. Leurs applications aux standards de télécommunication imposent alors de nouvelles contraintes en termes d'intégration, de consommation et de coût. Leur réalisation consiste ainsi à trouver le meilleur compromis entre les différentes caractéristiques en fonction du (des) standard(s) ou application(s) visé(s).

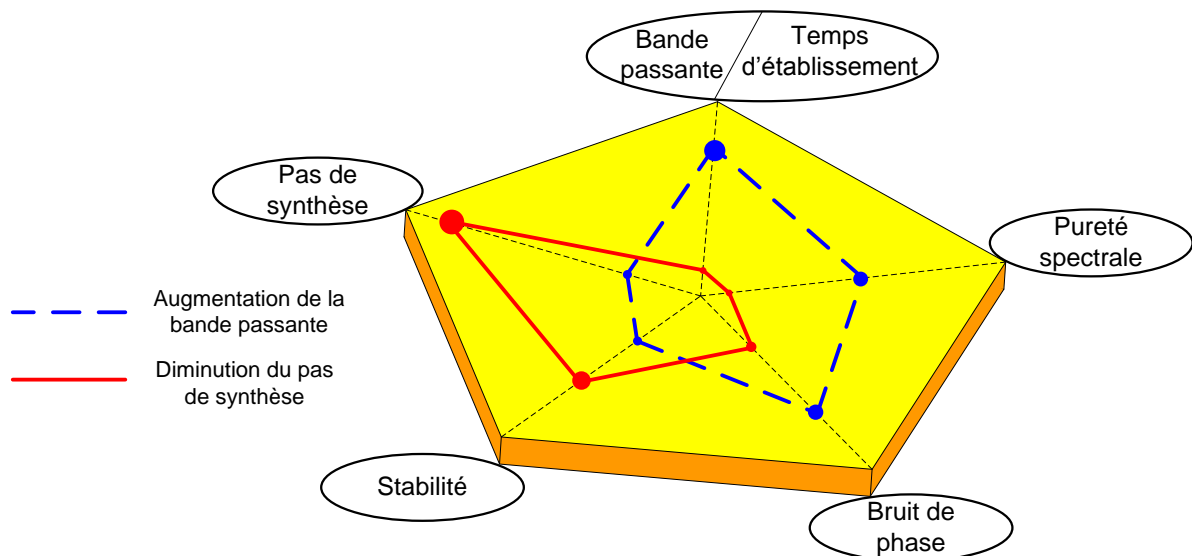


Figure I-25 : Diagramme d'équilibre des spécificités appliquées aux oscillateurs locaux.

Deux exemples sont illustrés à la Figure I-25 : dans le cas de la courbe bleu en pointillé, l'effort de conception s'est porté sur l'augmentation de la bande passante, au prix de la dégradation du pas de synthèse. Au contraire, la courbe rouge en trait plein présente une conception où la finesse du pas de synthèse est améliorée, entraînant une diminution de la bande passante.

L'un des verrous les plus forts réside dans l'amélioration du pas de synthèse qui nécessite la diminution de la bande passante. Cependant, la bande passante ne pourra être augmentée que dans la mesure où la stabilité sera respectée.

Ainsi, il sera intéressant de mener des travaux de recherche afin de proposer des architectures permettant de décorrélérer ces différents points afin de les optimiser indépendamment.

Par ailleurs, nous avons vu les différentes architectures qui existent pour réaliser ce type de bloc. Nombre d'entre elles sont basées sur la boucle à verrouillage de phase.

Malgré les différents types de PLL présentés, il semble qu'un autre type de structure pourrait être plus intéressant pour la synthèse multistandards : la boucle à verrouillage de délai. Nous avons vu les intérêts de la DLL en termes de bruit de phase et d'intégrabilité, mais, en vue d'une synthèse multistandards, il semblerait que la structure de DLL factorielle présentée précédemment offre un intérêt plus particulier encore.

Une étude large a été menée sur les VCO radiofréquences [MAJ06-1]. Il en ressort que leur plage de variations de fréquence de sortie maximales n'excède pas 2 GHz [FAR04-1], [FON03-1]. Ce sont des oscillateurs de type LC à faible bruit de phase car, bien que les oscillateurs en anneaux offrent de plus grandes variations de fréquence [MIY04-1], leur bruit de phase ne respecte le cahier des charges de nombreuses normes qu'au prix d'une trop grande consommation de puissance. En revanche, les résultats de la DLL factorielle ont montré qu'il était possible d'obtenir une plage de variation de sortie de l'ordre de 5GHz en utilisant l'oscillateur basé sur l'élément à retard contrôlable [MAJ06-1].

En partant de ces résultats, il va alors être intéressant de mener des travaux de recherche afin de rendre cette architecture fractionnaire. Ainsi, il sera possible d'augmenter la bande, ce qui permettra de diminuer le temps d'établissement sans effet sur le pas de synthèse.

## REFERENCES DU CHAPITRE I

- [BAD00-1] Badets F., « *Contributions à l'étude de la synchronisation des oscillateurs : intégration des oscillateurs synchrones dans les systèmes radiofréquences en technologie silicium* ». Thèse, Université de Bordeaux 1, 2000.
- [BEG00-01] Bégueret J.B, Belot D., Deval Y., Fouillat P., et Spataro A., « *Circuits et procédés de génération de signaux en décalage de phase* », Brevet Français n°0004501, Avril 2000.
- [BES84-1] Best R. E., « *Phase Locked Loop* ». Mc Graw Hill, USA, 1984, Chapitre 7 : Practical Applications of the PLL, pp. 151-268
- [CAM02-1] Camino L., « *Modulation directe d'un synthétiseur de fréquence à division fractionnaire en boucle fermée* ». Chapitre 1 : Synthèse de fréquence, Thèse, Université de Bordeaux, 2002.
- [CAN85-1] Candy J. C., « *A Use of Double Integration in Sigma Delta Modulation* », IEEE Transactions on Communications, vol. comm.-33, n°3, pp. 249-258, mars 1985.
- [CAS03-1] Cassia M., Shah P., Bruun E., « *A spur-free fractional-N  $\Sigma\Delta$  PLL for GSM applications: linear model and simulations* ». International Symposium on Circuits and Systems (ISCAS), Thaïlande, mai 2003, pp. 1065-1068.
- [CHI00-1] Chien G., « *Low Noise Local Oscillator Design Techniques using a DLL based Frequency Multiplier for Wireless Applications* », Thèse, Université de Berkeley, CA, 2000.
- [CON01-1] Wireless Communications Products, « *Fractional-N Synthesizers* », Conexant Application note, février 2001.
- [COR04-1] Cordeau D., « *Etude Comportementale et Conception d'Oscillateurs Intégrés Polyphasés Accordables en Fréquence en Technologie Si et SiGe pour les Radiocommunications* ». Chapitre 1 : Architectures et caractéristiques d'émetteurs récepteurs radiofréquence, Thèse, Université de Poitiers, 2004.
- [FAR04-1] Fard A, Johnson T, Aberg D, « *A Low Power Wide Band CMOS VCO for Multi-Standard Radios* », IEEE Radio and Wireless Conference, 2004, pp.79-82.
- [FIL98-1] Filiol N.M., Riley T. A. D., Plett C., Copeland M. A., « *An Agile ISM Band frequency Synthesizer with Built In Data Modulation* », IEEE Journal of Solid-State Circuits, vol. 23, n°7, pp. 998-1008, juillet 1998.
- [FON03-1] Fong N.H.W, Plouchard J.O, Zamdmer N, Duixian L., Wagner L.F, Plett C., Tarr N.G, « *A 1V 3,8-5,7 GHz Wide Band VCO with Differentially tuned Accumulation MOS Varactors for Common Mode Noise Rejection in CMOs SOI technology* » IEEE Transactions on Microwave Theory and Techniques, 2003, pp. 1952-1959.
- [GAN03-1] Gandal N., Salant D., Waverman L. « *Standards in wireless telephone networks* ». Telecommunications Policy, 27, 2003, pp.325–332.
- [GE05-1] Ge Y., Feng W., Chen Z., Jia S., Ji L., « *A Fast Locking Charge Pump PLL with Adaptive Bandwidth* », IEEE International Conference on ASIC, Shanghai, octobre 2005, pp. 383-386.
- [HAJ02-1] Hajimiri A., Lee T. H. « *A General Theory of Phase Noise in Electrical Oscillators*» IEEE Journal of Solid-State Circuits, Vol.33, no. 2, février 1998.
- [HIL97-1] Hill C; E., « *All Digital Fractional-N Synthesizer for High Resolution Phase-Locked Loop* », Applied Microwaves & Wireless, pp. 62-69, décembre 1997.
- [HSU08-1] Hsu C.-M., Straayer M.Z., Perrott M.H., « *A Low-Noise Wide-BW 3.6-GHz Digital Sigma-Delta Fractional-N Frequency Synthesizer With a Noise-Shaping Time-to-Digital*

- Converter and Quantization Noise Cancellation* ». IEEE Journal of Solid-State Circuits (JSSC), Vol. 43, pp. 2776–2786, décembre 2008.
- [JUN01-1] Jun-Zhao S., Sauvola J., Howie D. « *Features in Future: 4G Visions from a Technical Perspective* ». IEEE Global Telecommunications Conference (GLOBECOM'01), vol. 6, 2001, pp. 3533-3537.
- [KIM94-1] Kim B., Weigandt T.C., Gray P.R., « *PLL/DLL System Noise Analysis for Low Jitter Clock Synthesizer Design* », IEEE International Symposium on Circuits and System (ISCAS'94), pp. 31-34, vol. 4, 1994.
- [LIN00-1] Lin L., « *Design Techniques for High Performance Integrated Frequency Synthesizers for Multi-Sandard Wireless Communication Applications* », Thèse, University of California, 2000.
- [LEE98-1] Lee T. H., « *The Design of CMOS Radio-Frequency Integrated Circuit* », Cambridge University Press, Cambridge, UK, chapitre 17, pp.530-549..
- [MAE06-1] Maeda T., Amarb A.D., Gibson A. « *Impact of wireless telecommunications standards and regulation on the evolution of wireless technologies and services over Internet protocol* ». Telecommunications Policy, 30, 2006, pp.587–604.
- [MAJ06-1] Majek C., « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 1, Université de Bordeaux 1, 2006.
- [MAJ07-2] Majek C., Deval Y., Lapuyade H., Begueret.J.B. « *The factorial Delay Locked Loop: a solution to fulfill multistandard RF synthesizer requirements* », IEEE Ph. D. Research in Microelectronics and Electronics Conference (PRIME), 2007, pp. 185 – 188, juillet 2007.
- [MAJ10-3] Majek C., Lucas de Peslouan P.O., Mariano A., Lapuyade H., Deval Y., Bégueret J.B., « *Voltage Controlled Delay Line with phase quadrature outputs for [0.9-4] GHz F-DLL dedicated to Zero-IF multi-standard LO* », Journal of Integrated Circuits and Systems (JICS), volume 5, n°1, pp. 23-32, mars 2010.
- [MCN94-1] McNeil J. A., « *Jitter in ring oscillators* », Thèse, University of Boston, College of Engineering, chapitre 1, 1994.
- [MEN03-1] Meninger S. E., Perrott M., « *A Fractional-N Frequency Synthesizer Architecture Utilizing a Mismatch Compensated PFD/DAC Structure for Reduced Quantization-Induced Phase Noise* », IEEE Transactions on Circuits and Systems—II: Analog and Digital signal processing, vol. 50, no. 11, novembre 2003, pp. 839-849.
- [MIY04-1] Miyazaki T, Hasimoto M, Onodera H, « *A Performance Comparaison of PLLs for Clock Generation using Ring Oscillator VCO and LC oscillator in a Digital CMOS Process* », Asia and South Pacific Design Automation Conference, 2004.
- [MON05-1] Monnerie G., « *Etude et modélisation de sources de bruit dans les structures à temps discret* ». Thèse, Chapitre 2, Université de Bordeaux 1, 2005..
- [PER97-1] Perrott M., « *Techniques for High Data Rate Modulation and Low Power Operation of Fractional-N Frequency Synthesizer* ».Chapitre 1: Introduction, Thèse, Massachusetts Institute of Technology, 1997.
- [POL95-1] Pollet T., Van Bladel M., Moeneclaey M., « *BER sensitivity of OFDM systems to carrier frequency offset and wiener phase noise* ». IEEE Transactions on Communications, vol. 43, no. 2/3/4, février/mars/avril 1995, pp. 191-193.
- [RAZ96-1] Razavi B., « *Challenges in Portable RF Transceiver Design* » IEEE Circuits and Devices Magazine, vol. 12, pp. 12-25, Sep. 1996.
- [RAZ96-2] Razavi B., « *A study of phase noise in CMOS oscillators* » IEEE Journal of Solid-State Circuits, Vol.31, no. 3, mars 1996.

- [RAZ94-1] Razavi B., « *A 6GHz 60mW BiCMOS Phase-Locked Loop with 2V Supply* » IEEE International Solid-State Circuit Conference (ISSCC), Digest of Technical Paper, pp. 114-115, février 1994.
- [SID00-1] Sidiropoulos S., Liu D., Kim J., Wei G., Horowitz M. « *Adaptive Bandwidth DLLs and PLLs using Regulated Supply CMOS buffer* » IEEE Symposium on VLSI Circuits Digest of Technical Papers, Honolulu, juin 2000, pp. 124-127.
- [SPA01-1] Spataro A., « *Elaboration d'une nouvelles méthodologie de conception des circuits intégrés radiofréquence basée sur l'utilisation du temps de propagation des opérateurs logiques élémentaires : applications à la synthèse d'oscillateurs CMOS polyphasés* », Thèse, Université de Bordeaux 1, 2001.
- [VAU97-1] Vaucher C., « *Synthesizer Architectures* » Analog Circuit Design, Kluwer Academic Publishers, Dodrecht, Pays-Bas, 1997, pp.291-329.
- [WEI91-1] Weignandt T. C., « *Low Phase Noise, Low Timing Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizer* », chapitre 2: Jitter and Phase Noise in Communications Systems, these, Université de Californie, Berkley.



# Chapitre II

## II ETUDE COMPORTEMENTALE DES SYNTHETISEURS DE FREQUENCE BASES SUR DES TECHNIQUES DE SYNTHESE DOD

<b>I</b>	<b>INTRODUCTION.....</b>	<b>57</b>
<b>II</b>	<b>SYSTEME FRACTIONNAIRE ET BOUCLE A VERROUILLAGE DE DELAI .....</b>	<b>58</b>
II.1	OBJECTIFS DES TRAVAUX DE RECHERCHE.....	58
II.2	ETUDE CONCEPTUELLE DE LA DLL FRACTIONNAIRE.....	58
II.2.a	<i>Rappel sur la synthèse de fréquence orientée délai à division entière.....</i>	<i>58</i>
II.2.b	<i>Synthèse de fréquence orientée délai à division fractionnaire.....</i>	<i>59</i>
II.2.c	<i>Limitations à la synthèse fractionnaire.....</i>	<i>60</i>
II.2.d	<i>Solutions envisageables.....</i>	<i>61</i>
II.2.d.1	Synchronisation du signal de relance.....	61
II.2.d.2	Relance systématique de l'oscillation : oscillateur multi-phase.....	62
II.2.d.3	Relance périodique de l'oscillation.....	63
II.2.e	<i>Architecture retenue en vue d'une étude comportementale.....</i>	<i>66</i>
<b>III</b>	<b>ETUDE COMPORTEMENTALE DE LA « P/DLL MIXTE FRACTIONNAIRE » .....</b>	<b>67</b>
III.1	PRESENTATION DE L'OUTIL D'ETUDE COMPORTEMENTALE.....	67
III.1.a	<i>Introduction.....</i>	<i>67</i>
III.1.b	<i>Composition d'un modèle VHDL-AMS.....</i>	<i>68</i>
III.2	REALISATION COMPORTEMENTALE DE L'ARCHITECTURE RETENUE.....	70
III.2.a	<i>L'Oscillateur.....</i>	<i>70</i>
III.2.a.1	La Commande de l'oscillateur.....	70
III.2.a.2	L'Elément à retard contrôlable.....	71
III.2.a.3	Ensemble oscillateur.....	72
III.2.b	<i>Le compteur.....</i>	<i>73</i>
III.2.b.1	Le Compteur à débordement.....	73
III.2.b.2	Le Compteur fractionnaire.....	74
III.2.b.3	Le compteur d'ouverture.....	75
III.2.b.4	Ensemble Compteur.....	75
III.2.c	<i>La ligne d'asservissement.....</i>	<i>76</i>
III.2.c.1	Le comparateur de phase.....	76
III.2.c.2	La pompe de charge et le filtre de boucle.....	77
III.2.c.3	Ensemble Ligne d'asservissement.....	78
III.2.d	<i>Système complet.....</i>	<i>79</i>
III.2.d.1	Synthèse de standards.....	79
III.2.d.2	Ouverture de l'oscillateur.....	80
III.2.d.3	Fonctionnement de l'asservissement.....	81
III.2.d.4	Evolution de la tension de contrôle.....	82
III.2.e	<i>Ordre du filtre et stabilité.....</i>	<i>82</i>

<b>IV</b>	<b>TECHNIQUE DE STABILISATION D'UN SYNTHETISEUR DE FREQUENCE BASE SUR UNE BOUCLE A</b>	
	<b>VERROUILLAGE DE PHASE.....</b>	<b>84</b>
IV.1	OBSERVATIONS DE LA STABILITE DU SYSTEME EN FONCTION DU MODE D'UTILISATION .....	84
IV.1.a	<i>Mode PLL uniquement .....</i>	<i>84</i>
IV.1.b	<i>Mode PLL avec relance de l'oscillation.....</i>	<i>85</i>
IV.2	MISE EN PLACE D'UN MODELE LINEAIRE.....	88
<b>V</b>	<b>CONCLUSION .....</b>	<b>90</b>
	<b>REFERENCES .....</b>	<b>91</b>



## I INTRODUCTION

Au cours du précédent chapitre, nous avons évoqué les différentes architectures utilisées dans la conception de circuits intégrés afin de réaliser l'oscillateur local : bloc de la chaîne d'émission/réception permettant la transposition de l'information entre haute fréquence (transport de l'information) et bande de base (traitement de l'information).

La boucle à verrouillage de phase (PLL) est l'architecture réalisant cette fonction qui est la mieux maîtrisée. Basées sur l'utilisation d'un oscillateur contrôlé en tension (VCO), de nombreuses améliorations de la PLL ont conduit à des systèmes performants en termes de pas de synthèse, bruit de phase, bande passante ou encore surface consommée.

Cependant, une autre architecture semble être plus adaptée pour les synthétiseurs de fréquence multistandards : la boucle à verrouillage de délai (DLL). Cette dernière présente de nombreux avantages du point de vue du bruit de phase, de l'intégration et de la plage de fréquence de sortie, notamment grâce à la technique de DLL factorielle présentée dans le précédent chapitre. En revanche, nous avons vu que les performances en bruit de phase sont inversement proportionnelles à la finesse du pas de synthèse, puisque cette architecture n'est pas fractionnaire.

Dans ce chapitre, il va donc être question dans un premier temps de rendre fractionnaire une architecture basée sur la technique de boucle à verrouillage de délai factorielle. Ceci nous permettra de dissocier pas de synthèse et fréquence de référence afin de pouvoir modifier indépendamment chacun de ces paramètres. Puis, nous aborderons l'utilisation d'un synthétiseur utilisant conjointement les propriétés de la boucle à verrouillage de délai et de phase, afin de proposer une technique de stabilisation d'une architecture libérant ainsi le filtre de boucle d'une des contraintes qui lui sont généralement appliquées.

Pour réaliser ces études, nous allons nous concentrer sur le niveau « système » de la conception d'un circuit intégré. Une fois que l'architecture à réaliser aura été déterminée, nous réaliserons chacun des blocs qui la composent d'un point de vue comportemental. Nous identifierons ainsi les atouts, les besoins et les moyens à mettre en place, pour pouvoir ensuite passer au niveau « circuit ».

## II SYSTEME FRACTIONNAIRE ET BOUCLE A VERROUILLAGE DE DELAI

### II.1 OBJECTIFS DES TRAVAUX DE RECHERCHE

Lors du précédent chapitre, nous avons vu l'intérêt pour un synthétiseur de fréquence (DLL ou PLL) d'augmenter la fréquence de référence. Dans le cas plus particulier de la DLL, la fréquence de référence est un point clé puisque le bruit de phase maximum est obtenu pour un décalage par rapport à la porteuse égal à cette fréquence de référence (cf. chapitre I - § IV.2.c.2). De plus, cette augmentation pourra être répercutée sur la bande passante de l'oscillateur, ce qui contribuera à la diminution du temps d'établissement.

Cependant, cela aura comme conséquence néfaste de diminuer le pas de synthèse de l'oscillateur. Différentes solutions ont été présentées dans le précédent chapitre, mais il apparaît évident que l'utilisation d'un synthétiseur fractionnaire est la solution la moins coûteuse quant à la surface de silicium utilisée, la complexité et la consommation.

L'objectif des travaux de recherche qui vont être présentés dans ce chapitre est de mettre en place une architecture originale de synthétiseur de fréquence basée sur une conception dite « orientée délai ». Dans le but de réaliser une synthèse multistandard, nous avons vu que la DLL factorielle semble être le meilleur candidat. Nous allons donc maintenant étudier l'intégration d'un fonctionnement « fractionnaire » au sein de cette DLL factorielle.

### II.2 ETUDE CONCEPTUELLE DE LA DLL FRACTIONNAIRE

#### II.2.a *Rappel sur la synthèse de fréquence orientée délai à division entière*

En premier lieu, nous allons nous pencher sur le fonctionnement de l'oscillateur en anneau seul réalisé à partir d'un élément à retard contrôlable unique et d'un bloc de commande qui permet soit l'ouverture de l'oscillateur soit l'entretien de l'oscillation. Le schéma bloc ainsi que son chronogramme de fonctionnement sont présentés parallèlement à la Figure IV-1 (a) et Figure IV-1 (b) lorsque le système à division entière est dit « verrouillé ».

Le front de référence est propagé au travers de l'élément à retard contrôlable et l'oscillation est entretenue au sein de l'oscillateur en anneau. Après le  $(N-1)^{\text{ième}}$  front descendant, l'oscillateur est ouvert via la « commande de l'oscillateur » et le  $N^{\text{ième}}$  front montant de sortie de l'oscillateur est comparé avec le prochain front montant du signal de référence. Ainsi, le système synthétise bien  $N$  périodes de sortie avant que l'oscillation soit relancée via le signal de référence.

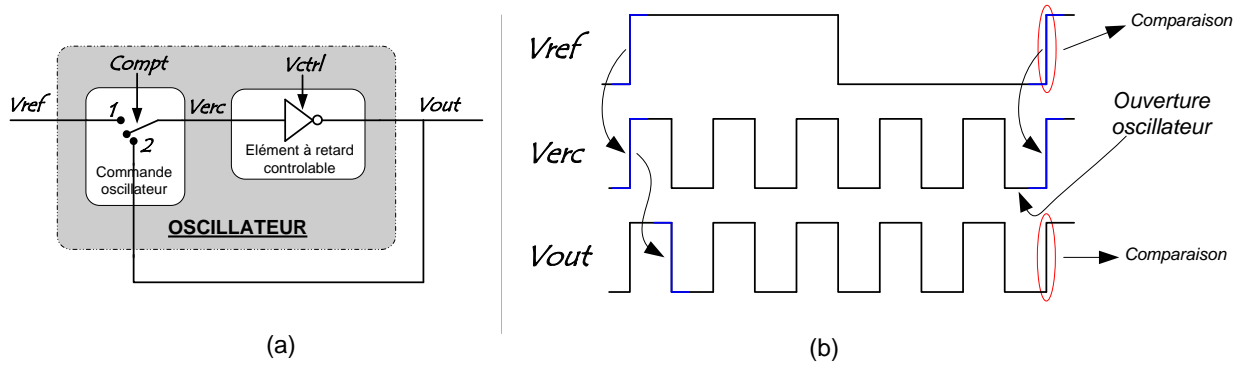


Figure II-1 : Oscillateur en anneau (a) et chronogramme de fonctionnement (b)

### II.2.b Synthèse de fréquence orientée délai à division fractionnaire

Le principe de fonctionnement d'un synthétiseur fractionnaire a été présenté lors du précédent chapitre. Il s'agit de faire varier dynamiquement le rang de multiplication (ou division dans le cas de la PLL) entre les valeurs  $N$  et  $N+1$ . Ainsi, à terme, le rang moyen de multiplication sera égal au nombre fractionnaire  $M$  tel que :  $N < M < (N + 1)$  avec  $N \in \mathbb{N}$  et  $M \in \mathbb{R}$ .

En appliquant ce principe à partir du chronogramme de la Figure II-1 (b), nous obtenons alors le chronogramme de la Figure II-2.

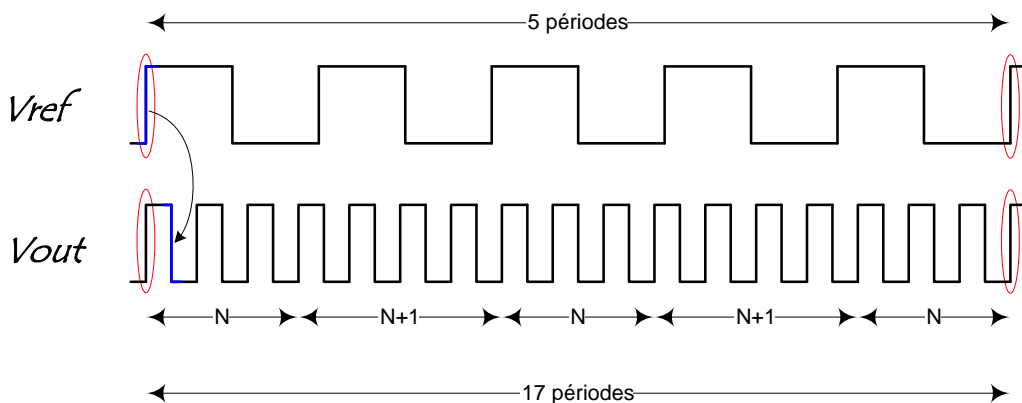


Figure II-2 : Chronogramme représentatif d'une synthèse fractionnaire

Dans cette illustration, le rapport de multiplication entre la référence et le signal de sortie est compris entre la valeur  $N$  et  $N+1$ . Pour 5 périodes du signal de référence, 17 périodes de sortie ont été synthétisées, ce qui nous donne le rapport de multiplication  $M$  suivant :

$$M = \frac{T_{REF}}{T_{OUT}} = \frac{5 \cdot T_{REF}}{5 \cdot T_{OUT}} = \frac{17 \cdot T_{OUT}}{5 \cdot T_{OUT}} = \frac{17}{5} = 3,4 \quad \text{Équation II-1}$$

Nous obtenons donc bien un rapport de multiplication fractionnaire dont la valeur dépend du rapport entre le nombre de cycles à  $N$  périodes et le nombre de cycles à  $N+1$  périodes.

Cependant, un point très important n'a pas été pris en compte dans ce chronogramme : la relance de l'oscillation à chaque nouveau front du signal de référence.

### II.2.c Limitations à la synthèse fractionnaire

Le point clé de la boucle à verrouillage de délai est la relance de l'oscillation. Cette relance permet le départ d'un nouveau cycle et un nettoyage de la gigue temporelle accumulée. Toutefois, pour ne pas avoir d'impact temporel sur le signal de sortie, il est nécessaire que les fronts de référence et de sortie qui sont comparés soient synchronisés.

La Figure II-3 illustre les trois cas suivants :

- Avance de phase : le front du signal  $V_{OUT}$  qui est comparé avec le signal de référence est en avance sur celui-ci d'une valeur  $\Delta$ . Le front de relance apparaît de la même manière sur le signal  $V_{OUT}$  mais engendre une période dont la durée est allongée de la valeur  $\Delta$ . (Figure II-3 (a))
- Synchronisation : les deux fronts comparés sont en phase. Le signal de relance de l'oscillation est « transparent » vis-à-vis du signal de sortie. (Figure II-3 (b))
- Retard de phase : le front du signal  $V_{OUT}$  qui est comparé est en retard sur le signal de référence d'une valeur  $\Delta$ . La relance de l'oscillation va engendrer une troncature d'une période dont la durée sera diminuée de cette même valeur  $\Delta$ . (Figure II-3 (c)).

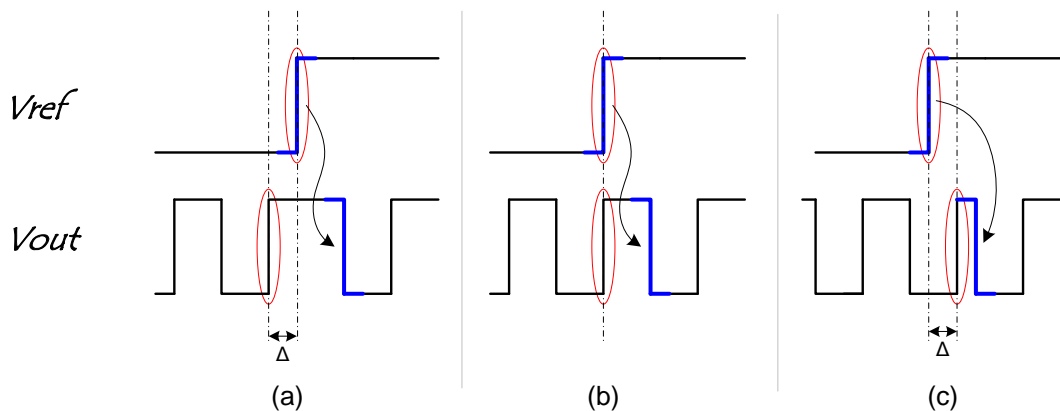


Figure II-3 : Impact sur le signal de sortie dans le cas (a) d'une avance de phase, (b) d'une synchronisation et (c) d'un retard de phase du front de sortie comparé à la référence.

Un point bloquant se présente alors à l'application d'un mode fractionnaire sur la DLL : par définition, avec un facteur multiplicatif fractionnaire, les fronts de  $V_{OUT}$  et  $V_{REF}$  comparés sont nécessairement désynchronisés.

La Figure II-4 illustre ce point. En reprenant le chronogramme d'un système fractionnaire de la Figure II-2, nous observons ce déphasage inhérent à un synthétiseur fractionnaire. En sommant ces décalages (positifs et négatifs) sur un temps suffisamment long, l'erreur sera nulle, mais à une comparaison donnée correspondra nécessairement une avance ou un retard de phase.

La relance de l'oscillation à chaque période de référence va donc créer un allongement ou une troncature de période, ce qui causera une forte augmentation de la puissance des raies parasites.

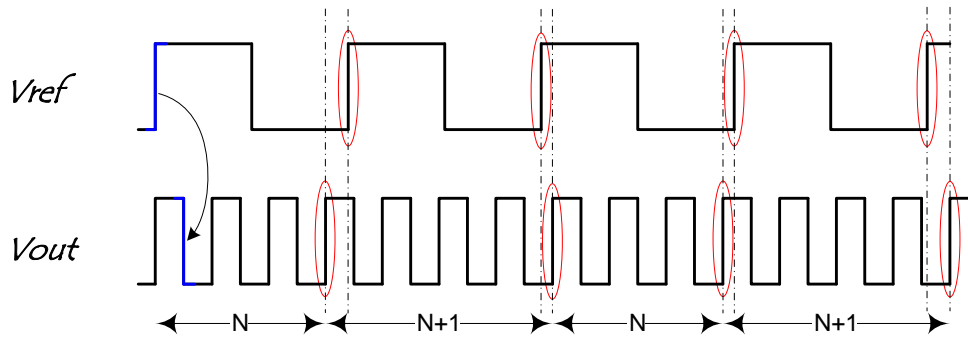


Figure II-4 : Limitations de la synthèse fractionnaire appliquée à la DLL.

Cette incompatibilité entre architecture fractionnaire et relance de l'oscillation à la période du signal de référence va donc faire l'objet d'une étude particulière, afin de mettre en œuvre une architecture associant fréquence de référence élevée et faible pas de synthèse.

## II.2.d Solutions envisageables.

### II.2.d.1 Synchronisation du signal de relance

La première hypothèse avancée repose sur un décalage temporel du signal de relance en synchronisant celui-ci sur le signal de  $V_{out}$ . La Figure II-5 présente cette architecture dans laquelle un bloc de type bascule est inséré entre le signal  $V_{ref}$  et l'oscillateur. Cette bascule est synchronisée par le signal de sortie de l'oscillateur (ou du compteur) : ainsi, le signal de relance n'entraînera pas d'allongement ou de troncature d'une période.

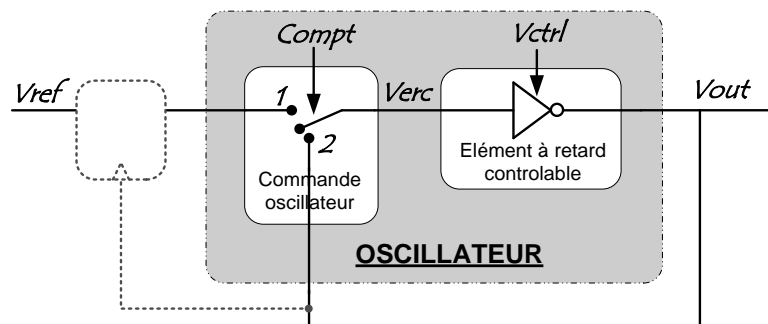
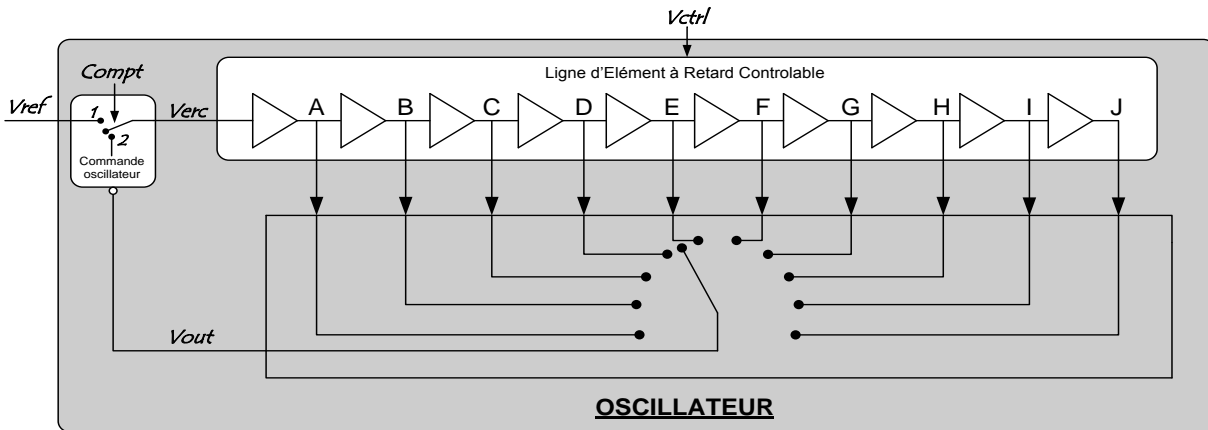


Figure II-5 : Synchronisation du signal de relance.

Cette solution, qui permettrait une relance de l'oscillation à chaque période du signal de référence, présente cependant un inconvénient majeur : la réinjection de la gigue temporelle accumulée dans l'oscillateur. En effet, en utilisant comme horloge de la bascule un signal provenant de l'oscillateur ( $V_{out}$ ) ou fonction de l'oscillateur ( $Compt$ ), l'erreur accumulée sur celui-ci se retrouvera directement répercutée sur le signal de relance. L'effet propre à la DLL de remise à zéro de la gigue temporelle sera donc annihilé, dégradant fortement le bruit de phase. Cette solution n'est donc pas viable et une autre architecture doit être envisagée.

### II.2.d.2 Relance systématique de l'oscillation : oscillateur multi-phase

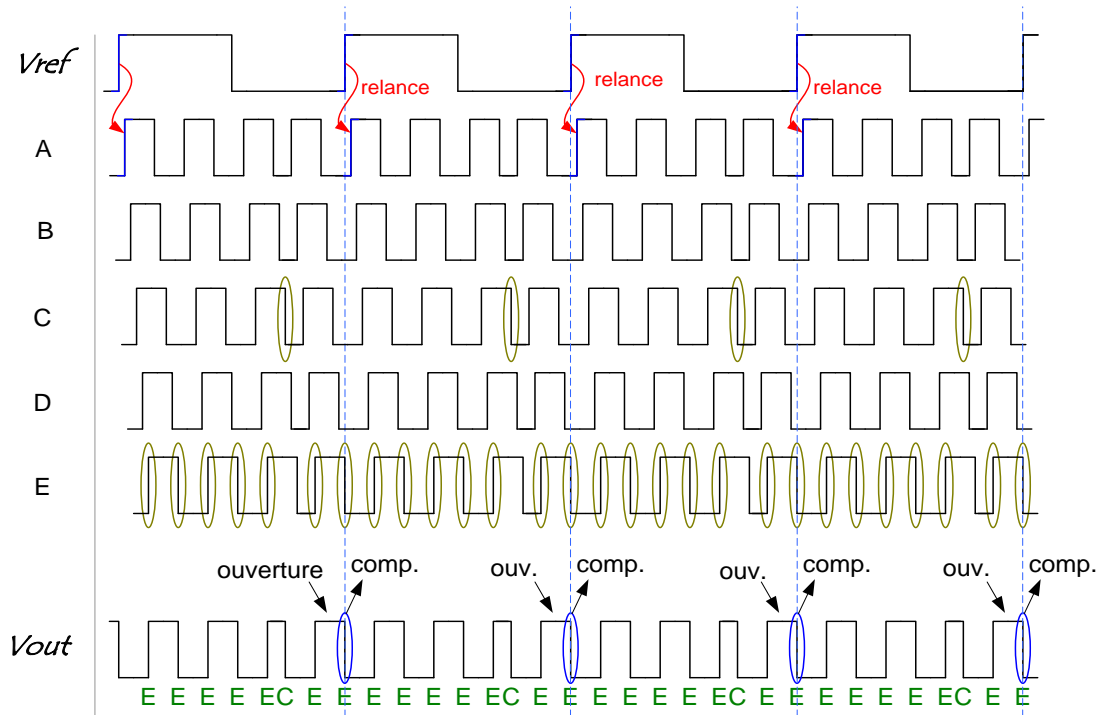
Puisqu'il n'est pas envisageable de synchroniser le signal de relance sur l'oscillateur, nous allons étudier la possibilité de synchroniser le  $N^{\text{ième}}$  ou  $(N+1)^{\text{ième}}$  front de l'oscillateur (celui qui est comparé au niveau de la ligne d'asservissement) avec le signal de référence. Pour cela, nous avons mis en place l'architecture présentée à la Figure II-6.



**Figure II-6 : Architecture d'oscillateur multi-phase.**

Cette architecture est composée d'une ligne d'éléments à retard contrôlable, elle-même composée de X éléments à retard contrôlable proposant ainsi autant de phases en sortie. Un bloc de type rotateur permet ensuite de sélectionner une des phases en sortie d'un des éléments. Un signal de commande qui est fonction de la valeur fractionnaire du facteur multiplicatif permettra de commander la phase sélectionnée.

La Figure II-7 présente un chronogramme de fonctionnement de ce système. Ici, le système comprend 10 éléments à retard contrôlable et le facteur multiplicatif est fixé à 3,8. En modifiant la phase de sortie, l'objectif va donc être de synthétiser 3,8 périodes en sortie durant une période de référence. Le rotateur est initialement positionné sur la sortie E de la ligne d'éléments à retard contrôlable. L'oscillation est alors entretenue à l'aide des cinq premiers éléments de la ligne. Afin de réduire la durée d'une des périodes synthétisées, nous allons modifier la sélection de la phase de sortie pour récupérer la phase C. Puis le rotateur retourne sur la position E. Cette opération est fonction de la partie fractionnaire du facteur de multiplication, une autre valeur entraînant une autre séquence des phases de sortie sélectionnées. Finalement, le  $(N+1)^{\text{ième}}$  front de sortie est comparé avec le front du signal de référence. Comme nous pouvons le voir sur le chronogramme, ces fronts sont alors correctement synchronisés et l'oscillation peut continuer.



**Figure II-7 : Chronogramme de fonctionnement de l'oscillateur multi-phase.**

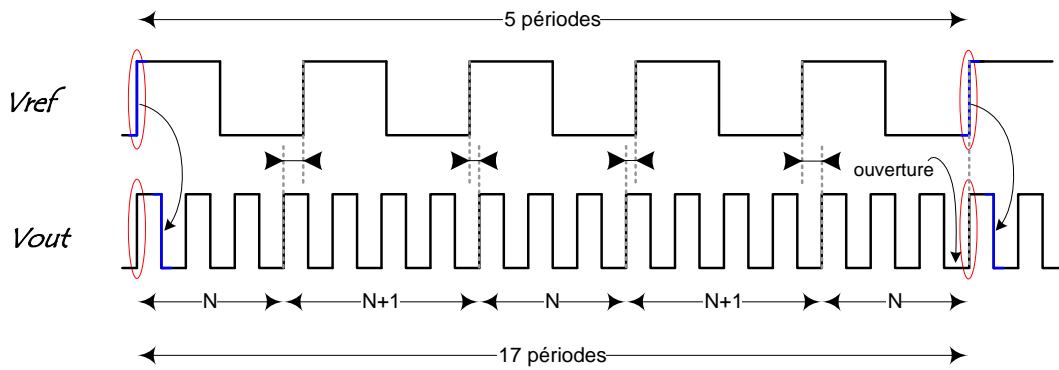
Cependant, quelle que soit la séquence des phases de sortie utilisée, le signal de sortie, dans ce type de synthèse, comprend toujours  $(N+1)$  périodes dont l'une d'entre elles est tronquée d'une durée fonction de la partie fractionnaire. Cette solution ne convient donc pas non plus à la réalisation d'un oscillateur local puisqu'elle serait source d'une forte augmentation du bruit et des raies parasites présentes dans le spectre.

La synchronisation de l'oscillateur sur la référence n'est donc pas plus envisageable que la synchronisation de la référence sur l'oscillateur, dans cette synthèse fractionnaire. Nous allons en conséquence proposer une nouvelle architecture capable de fonctionner malgré une désynchronisation du signal de référence et du signal de sortie avec lequel il est comparé.

### II.2.d.3 Relance périodique de l'oscillation

- *Principe*

Les nombres fractionnaires (ou rationnels) sont par définition des nombres qui peuvent s'exprimer comme le quotient de deux entiers relatifs. Ainsi, nous pouvons dire que pour toute fraction  $F$  il existe deux entiers  $X$  et  $Y$ , tel que  $F \cdot X = Y$ . Transposons ceci à notre synthétiseur fractionnaire en considérant  $M$  comme le facteur multiplicatif composé d'une partie entière  $N$  et d'une partie fractionnaire  $\alpha$ . On peut alors trouver un entier  $X$  tel que  $M \cdot X \in \mathbb{N}$ , c'est-à-dire qu'un nombre entier de périodes a été synthétisé pour  $X$  périodes de référence. À cet instant précis, une ouverture de l'oscillateur et une relance de l'oscillation n'engendreraient aucune troncature et permettraient la remise à zéro de la gigue temporelle. Le chronogramme de la Figure II-8 illustre ceci.



**Figure II-8 : Nombre entier de périodes synthétisées à partir d'un facteur multiplicatif fractionnaire.**

Ici, le facteur multiplicatif  $M$  est égal à 3,4 ( $N=3$  et  $\alpha=0,4$ ) et nous pouvons voir qu'au terme de cinq périodes de référence, nous obtenons en sortie un nombre entier de périodes synthétisées (17). Comme dans le cas d'une synthèse entière, la relance de l'oscillation est alors transparente du point de vue de la forme et de la période du signal de sortie.

La solution proposée ici va donc reposer sur le principe d'une relance de l'oscillation qui sera non plus systématique mais qui deviendra périodique. La relance forcée de l'oscillation à chaque période de référence semble être indissociable d'une forte dégradation de l'oscillateur local. Nous allons donc proposer un système où l'ouverture de l'oscillateur ne sera plus forcée et n'interviendra que lorsque les fronts de référence et de sortie de l'oscillateur seront supposés en phase.

- *Mise en œuvre*

Le facteur  $X$ , qui représente le nombre de périodes de référence minimal pour que les fronts comparés au niveau de la ligne d'asservissement soient en phase, est directement lié à  $\alpha$ , partie fractionnaire du facteur multiplicatif. Il s'agit du plus petit entier dont le résultat de la multiplication avec  $\alpha$  est entier. Afin d'établir une équation à partir de ceci, il faut considérer l'entier  $K$  qui représente le nombre de chiffre après la virgule de  $\alpha$  (ex : si  $\alpha=0,4$  alors  $K=1$ ). Il suffit alors de déterminer le Plus Grand Commun Diviseur (PGCD) et on obtient :

$$X = \frac{10^K}{PGCD(10^K, \alpha \cdot 10^K)} \quad \text{Équation II-2}$$

Dans l'exemple ci-dessus,  $\alpha=0,4$  et donc  $K=1$ . On obtient alors :

$$X = \frac{10^1}{PGCD(10^1, 0,4 \cdot 10^1)} = \frac{10}{PGCD(10,4)} = \frac{10}{2} = 5 \quad \text{Équation II-3}$$

Ainsi, à partir de la partie fractionnaire du facteur multiplicatif, nous allons pouvoir déterminer la période à laquelle nous allons relancer l'oscillation.



La phase du signal d'ouverture sera ensuite générée à partir de l'information provenant du compteur afin d'autoriser la relance de l'oscillation aux instants où les fronts de comparaison sont supposés être synchronisés. La Figure II-9 (b) présente le chronogramme de ce système, où l'on peut voir le signal *Ouverture* et à la Figure II-9 (a) son rôle dans le bloc *Oscillateur*.

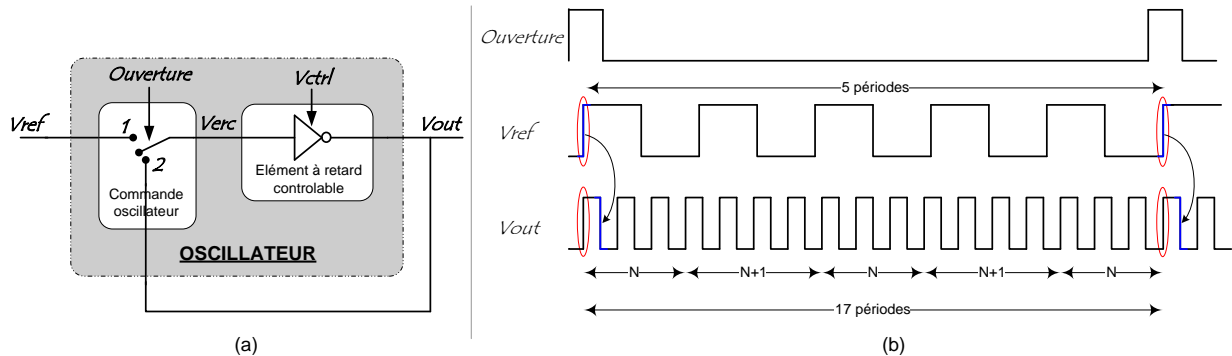


Figure II-9 : Relance périodique de l'oscillation. Architecture (a) et chronogramme (b).

- *Modes de fonctionnement*

La relance de l'oscillation va donc s'effectuer à la fréquence du signal de référence divisé par le facteur X. Ainsi deux modes de fonctionnement sont mis en avant dans cette architecture :

- Mode DLL : ce mode correspond aux instants où l'oscillation est relancée. Sa période est donc fonction du facteur X selon l'équation suivante :  $T_{DLL} = T_{REF} * X$ .
- Mode PLL : ce mode correspond aux périodes du signal de référence où l'oscillateur n'est pas ouvert. En effet, entre 2 ouvertures, l'oscillateur fonctionne comme un oscillateur en anneau libre. La comparaison du N<sup>ième</sup> ou (N+1)<sup>ième</sup> front de sortie avec le signal de référence reste effective, mais la relance de l'oscillation est désactivée. La période de ce mode est donc la même que celle du signal de référence :  $T_{PLL} = T_{REF}$ .

Ces deux modes de fonctionnement sont illustrés à la Figure II-10.

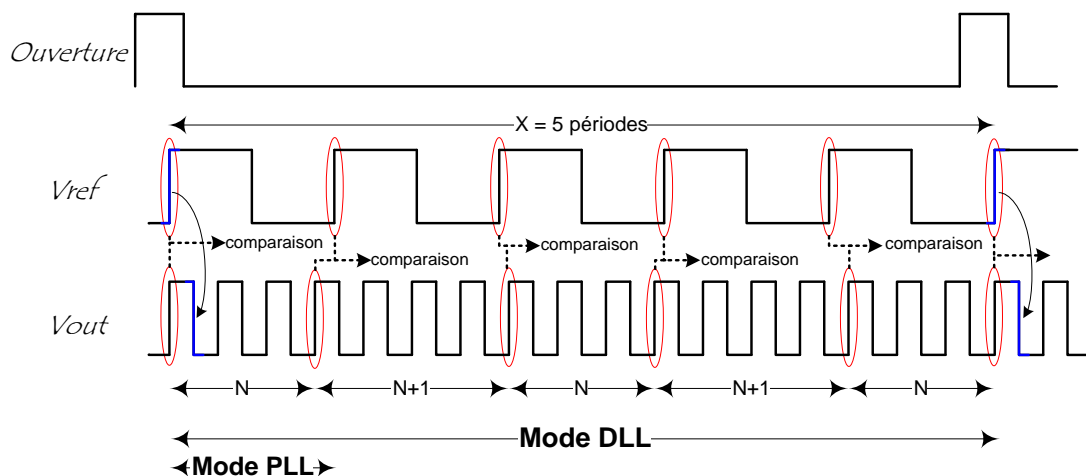


Figure II-10 : Superposition des modes de fonctionnement PLL et DLL.

Cette superposition des deux modes va donc nous permettre d'obtenir une synthèse fractionnaire où la fréquence de relance est inférieure à la fréquence de référence. Cependant, en comparaison d'un synthétiseur où la fréquence de référence serait égale à la fréquence de relance de l'oscillation, bande passante et temps d'établissement seront améliorés. La bande passante étant fonction de la fréquence de référence, il sera donc possible de l'augmenter. Quant au temps d'établissement, il sera diminué grâce à la fréquence de l'asservissement qui reste celle de la référence.

**II.2.e Architecture retenue en vue d'une étude comportementale.**

La Figure II-11 présente l'architecture complète du synthétiseur de fréquence retenue [LUC10-1]. Cette architecture est dite « P/DLL mixte fractionnaire » puisqu'elle mélange à la fois les propriétés de la PLL, de la DLL et d'un synthétiseur fractionnaire. Elle est composée d'une *Ligne d'asservissement*, d'un *Compteur*, d'un *Oscillateur* et d'un bloc de *Commande de sortie* qui va permettre la transmission du dernier front de l'*Oscillateur* vers la *Ligne d'asservissement*. Le *Compteur* a été séparé en deux sous-blocs : le *Compteur fractionnaire* et le *Compteur d'ouverture* qui multiplie la valeur décomptée par le facteur X. A la différence de la DLL factorielle, cette architecture ne comporte qu'un seul oscillateur. En augmentant la fréquence de référence, nous allons diminuer le facteur de multiplication. Ainsi, pour des faibles valeurs de ce dernier, il ne sera pas possible de basculer entre deux oscillateurs.

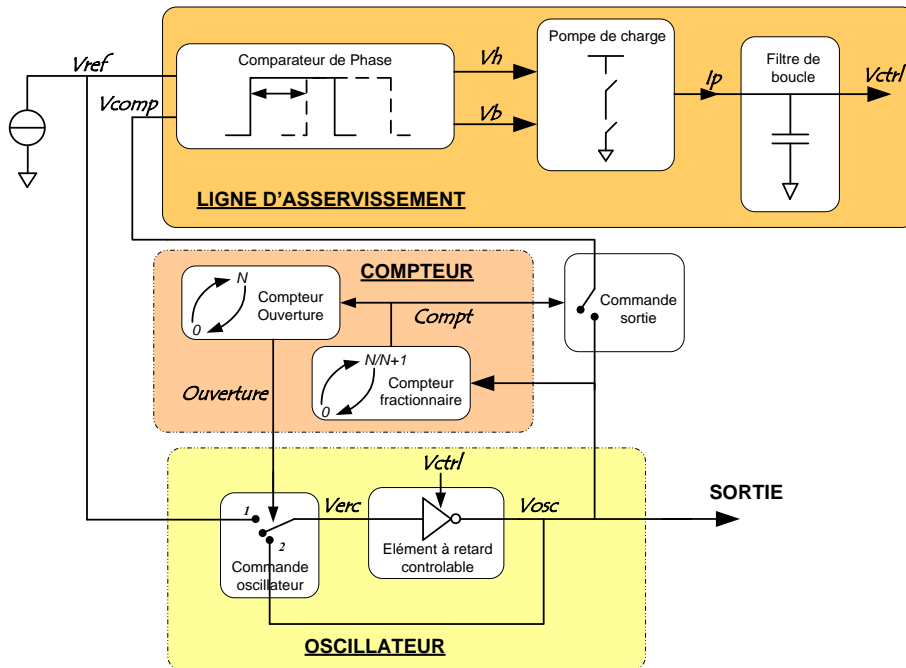


Figure II-11 : Architecture de la P/DLL mixte fractionnaire.

Le concept de cette architecture étant validé, nous allons maintenant passer à l'étape de réalisation et validation comportementale de la « P/DLL mixte fractionnaire » à l'aide du langage de programmation VHDL-AMS.

### III Etude comportementale de la « P/DLL mixte fractionnaire »

Traditionnellement, la description des circuits et systèmes analogiques se fonde sur une description de premier niveau qui est le niveau transistor. En effet, les transistors sont d'abord assemblés afin de former une fonction, laquelle est associée à d'autres blocs permettant d'autres fonctions et ainsi de suite jusqu'au système. C'est la méthodologie de conception dite ascendante (Bottom-Up).

Mais les systèmes conçus étant de plus en plus complexes, contenant de plus en plus de fonctions et donc de transistors, les temps de simulation de ces circuits sont devenus très longs. Afin de limiter le temps consacré à la conception d'un circuit, et notamment lors de la recherche initiale de son architecture, l'approche descendante (Top-Down) est devenue une étape incontournable. En effet, en utilisant un niveau de description plus élevé, par l'intermédiaire d'une modélisation comportementale, les temps de conception sont considérablement réduits. D'autre part, cette méthodologie permet de détecter rapidement les défauts de fonctionnement d'un circuit avant même d'établir une description au niveau transistor.

#### III.1 PRESENTATION DE L'OUTIL D'ETUDE COMPORTEMENTALE.

La première étape de conception de la « P/DLL mixte fractionnaire » repose donc sur l'étude comportementale du système. Pour cela, nous avons choisi d'utiliser un langage de programmation dédié aux applications analogiques et mixtes : le langage VHDL-AMS (**V**ery high speed integrated circuit **H**ardware **D**escription **L**anguage - **A**nalog and **M**ixed **S**ignal). Une première modélisation comportementale d'un circuit, pour application Hyperplan, qui utilisait ce type de langage a été effectuée [DEL03-1] [DEL03-2], puis ces travaux ont été développés [MAJ06-1] pour la réalisation de DLL factorielle. Les travaux décrits dans ce chapitre se placent donc dans la continuité de ces derniers.

##### III.1.a Introduction

Le langage VHDL-AMS est un standard IEEE (IEEE 1076.1-1999), qui est une extension du langage VHDL pour la modélisation et la simulation des circuits et systèmes analogiques ainsi que des

circuits mixtes logiques-analogiques. Le langage VHDL-AMS constitue un sur-ensemble du langage VHDL, ce qui signifie [VAC02-1] :

- Toute description VHDL légale l'est aussi en VHDL-AMS et produit les mêmes résultats de simulation.
- Les extensions apportées dans VHDL-AMS conservent les principes VHDL : modularité, déclaration avant usage, typage fort des données, flexibilité, extensibilité. Ces principes concernent à la fois la manière dont le langage est défini et la manière dont un modèle est écrit.

Le langage VHDL-AMS permet d'assister la conception, soit au niveau circuit avec la modélisation de circuits logiques et analogiques, soit au niveau système.

### III.1.b Composition d'un modèle VHDL-AMS

Un modèle VHDL-AMS se décompose en deux parties qui sont : la déclaration d'entité (**entity**) et la déclaration du corps de l'architecture (**architecture**).

L'entité définit l'interface d'un modèle avec le monde extérieur en spécifiant les entrées-sorties (**port**) et les paramètres génériques (**generic**) du modèle. Les ports se divisent en trois catégories :

- Les ports de type **signal** sont affectés aux signaux de type logique. Ils sont directionnels (entrée (**in**), sortie (**out**)) ou bidirectionnels (**inout**).
- Les ports de type **terminal** définissent les nœuds analogiques de connexion adirectionnels pour lesquels les lois de Kirchhoff sont satisfaites.
- Les ports de type **quantité** (**quantity**) représentent des points de connexions analogiques directionnels (**in**, **out**) pour lesquels les lois de Kirchhoff ne doivent pas être satisfaites.

L'architecture est constituée d'une zone de déclaration et d'un corps dans lequel le fonctionnement du modèle est décrit à travers des instructions concurrentes, simultanées ou séquentielles [FAK02-1] :

- Les instructions simultanées servent à traiter l'information en temps continu et elles sont évaluées à chaque point de simulation temporelle. Il en existe de différentes formes : l'instruction simultanée simple (**==**), l'instruction simultanée conditionnelle (**if use, elsif**), l'instruction simultanée sélective (**case, use**), l'instruction **null** et les procédures (**procedural**).
- Les instructions concurrentes servent à traiter l'information à temps discret, elles sont évaluées à chaque point de simulation logique en fonction de leur sensibilité à l'événement

courant. Les processus (*process*) sont des instructions concurrentes, l'affectation des signaux ( $\leftarrow$ ), le *break* ou l'assertion le sont également.

- Les instructions séquentielles sont évaluées en séquence dans le corps des processus. Les instructions principales sont l'affectation des variables ( $\leftarrow$ ), le *wait*, l'exécution conditionnelle (*if then, case*) et l'exécution itérative (*while, for, loop*).

La Figure II-12, issue de [FAK02-1], illustre différents types de déclarations et d'instructions d'un modèle VHDL-AMS. La première déclaration, non évoquée précédemment, est celle des bibliothèques. Ces bibliothèques contiennent des fonctions prédéfinies telles que des fonctions arithmétiques, des fonctions mathématiques, des constantes physiques, thermiques ou électromagnétiques, etc.

```

-- bibliothèques utilisées --

Library disciplines;
use disciplines.electric_systems.ALL;
use IEEE.math_real.ALL;

-- spécification de l'entité --

entity exemple is
  generic (ts : real :=1.0e-3);
  port (terminal out : electrical);
end entity exemple;

-- spécification de l'architecture --

architecture archi of exemple is
  signal t : real := 0.0;
  signal t0 : real := 0.0;
  signal Jn : real;
  quantity vout : across iout through out;

begin
  t <= now; -- instructions concurrentes
  count <= t-t0;

  P1 : process -- processus (instruction concurrente)
    variable seed1 : positive := 19823;
    variable seed2 : positive := 124;
    variable x : real ;
  begin
    wait until count'above(half_ts_noised) = true; -- instruction séquentielle
    -- l'instruction wait déclenche le processus P1 --
    UNIFORM(seed1 ,seed2, x);
    Jn <= 2.0 * (x - 0.5);
    t0 <= t ;
  end process P1;

  Vout == 0.5 * ts * (1.0 + A*Jn); -- instruction simultanée

end architecture;
```

Figure II-12 : Exemple d'un modèle VHDL-AMS.

Afin de compiler et de simuler les différents modèles utilisés dans ces travaux, nous avons eu recours au simulateur ADVanceMS de Mentor Graphics utilisé via le logiciel Cadence. Les kits de design des technologies STMicroelectronics utilisées au sein de l'équipe de recherche sont accessibles depuis ce même logiciel. Ainsi, une fois que l'étude comportementale nous aura permis de valider la fonctionnalité de l'architecture, il sera possible d'effectuer des simulations mixtes, c'est-à-dire incluant

des blocs conçus au niveau « comportemental » (développés en VHDL-AMS) et d'autres au niveau « circuit » (fonctions réalisées à l'aide de transistors).

Nous allons maintenant détailler la modélisation comportementale de chacun des blocs de l'architecture proposée afin de valider la fonctionnalité de chacun d'entre eux dans un premier temps, puis nous validerons le fonctionnement de l'architecture complète.

## III.2 REALISATION COMPORTEMENTALE DE L'ARCHITECTURE RETENUE

### III.2.a L'Oscillateur

L'Oscillateur est le cœur de l'architecture proposée. Son schéma complet est rappelé à la Figure II-13. Il est composé de deux blocs qui sont la *Commande de l'oscillateur* et l'*Elément à retard contrôlable*. Nous allons donc préciser la réalisation de chacun de ces blocs.

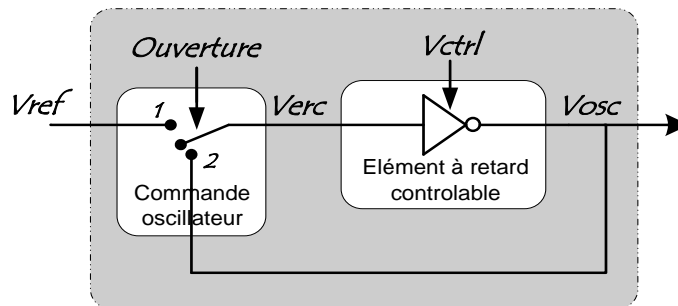


Figure II-13 : Schéma fonctionnel de l'oscillateur.

#### III.2.a.1 La Commande de l'oscillateur

La *Commande de l'oscillateur* va permettre de contrôler l'ouverture et la relance de l'oscillation. Ce bloc est composé d'un interrupteur qui autorisera en position 1 la transmission du signal  $V_{ref}$  vers l'*Elément à retard contrôlable*. Puis, en position 2, il permettra d'entretenir l'oscillation en renvoyant vers l'*Elément à retard contrôlable* son propre signal de sortie. Le signal *Ouverture* qui va commander ce bloc sera fourni par le *Compteur*, dont le fonctionnement sera étudié par la suite.

Le modèle réalisé répond donc aux règles suivantes :

- Lorsque le signal *Ouverture* passe à l'état haut, l'interrupteur passe en position 1 et force la sortie  $V_{erc}$  en position basse. L'oscillateur est alors ouvert et un front sur  $V_{osc}$  n'affecte pas le fonctionnement du bloc.
- Le bloc étant en position 1, le prochain front montant du signal  $V_{ref}$  est transmis vers la sortie  $V_{erc}$  qui passe à l'état haut. L'oscillateur repasse alors en position 2. L'oscillateur est alors fermé et un front sur  $V_{ref}$  n'affecte pas le fonctionnement du bloc.

- Le bloc étant en position 2, chacun des fronts de  $V_{osc}$  est transmis vers la sortie  $V_{erc}$ . L'oscillation est ainsi entretenue jusqu'au prochain front montant du signal  $Oscillateur$ .

La simulation temporelle du modèle comportemental est présentée à la Figure II-14. Nous voyons que le passage à l'état haut du signal  $Ouverture$  permet bien l'ouverture de l'oscillateur et la relance de l'oscillation au front du signal  $V_{ref}$  suivant. Une fois l'interrupteur en position 2, c'est bien le signal  $V_{osc}$  qui est transmis en sortie. Ceci permet donc de valider le fonctionnement de ce bloc.

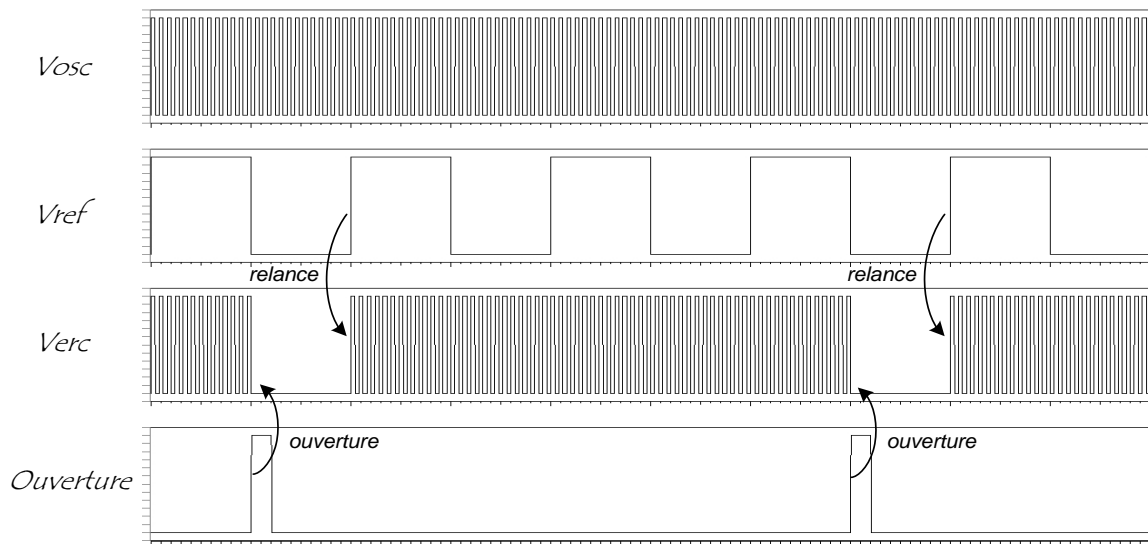


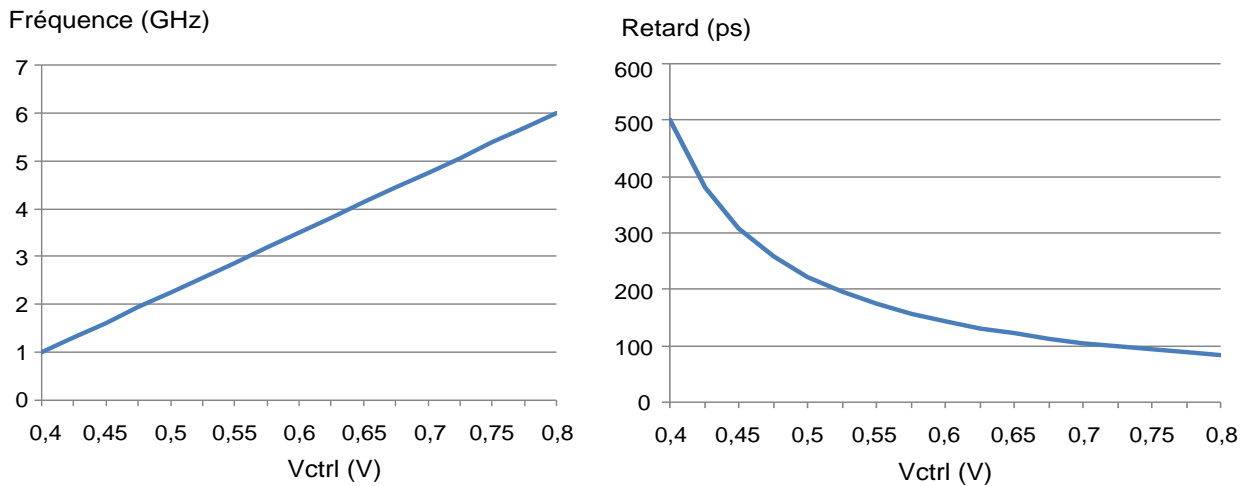
Figure II-14 : Simulation temporelle du modèle de la Commande de l'oscillateur.

### III.2.a.2 L'Élément à retard contrôlable

C'est ce bloc central de l'architecture qui va permettre de générer le signal de sortie et plus particulièrement de régler sa fréquence. Le signal  $V_{erc}$  d'entrée va être inversé et transmis vers la sortie  $V_{osc}$  avec un retard qui dépendra du signal  $V_{ctrl}$ . Ce dernier sera fourni par l'Asservissement dont le fonctionnement sera étudié par la suite.

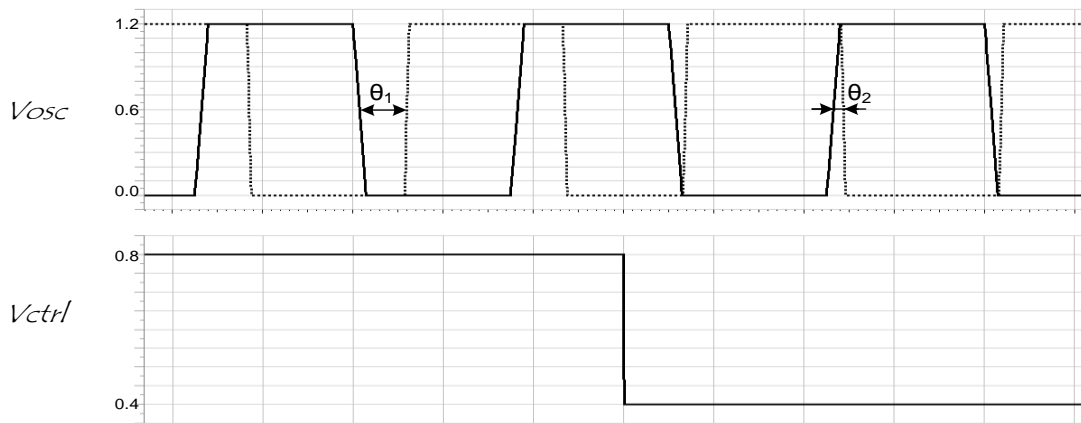
Afin de pouvoir répondre aux différents standards présents dans les appareils de communication mobiles, cet élément à retard devra être fonctionnel de 1 à 6GHz.

Nous allons donc tout d'abord définir la fonction qui permettra d'établir le retard à appliquer en fonction de la valeur de la tension de contrôle ( $V_{ctrl}$ ) : nous pouvons voir sur la Figure II-15 la courbe déterminant la valeur de ce retard. Une courbe de tendance nous conduit ensuite à une équation intégrée au modèle de l'élément à retard contrôlable afin de définir le délai entre signal d'entrée et de sortie.



**Figure II-15 : Retard appliqué par l'élément à retard contrôlable en fonction de la tension de contrôle.**

La Figure II-16 présente la simulation temporelle du modèle comportemental réalisé. Nous pouvons voir que le signal de sortie généré correspond bien au signal d'entrée inversé et retardé d'un délai qui est fonction de la tension de contrôle ( $V_{ctrl}$ ). Ces résultats permettent donc de valider le fonctionnement de ce bloc.



**Figure II-16 : Simulation temporelle du modèle comportemental de l'élément à retard contrôlable.**

### III.2.a.3 Ensemble oscillateur

La fonctionnalité des deux blocs ayant été validée indépendamment, nous pouvons maintenant les assembler pour valider le bloc complet d'Oscillateur. La Figure II-17 présente donc une simulation temporelle de cet ensemble. La fonction de synthèse obtenue par l'association de chacun des blocs présentés précédemment est validée. En effet, nous pouvons voir que l'oscillation est correctement entretenue jusqu'à l'apparition du signal d'ouverture (*Ouverture*). De plus, la période du signal est bien fonction de la valeur de la tension de contrôle. Ceci valide donc l'Oscillateur complet.





Figure II-17 : Simulation temporelle du modèle comportemental de l'oscillateur complet.

### III.2.b Le compteur

Le bloc *Compteur* est présenté à la Figure II-18. Afin de simplifier la fonction de chaque bloc, le *Compteur fractionnaire* a été divisé en deux sous-blocs : le *Compteur à débordement*, qui aura comme paramètre générique la partie fractionnaire du facteur multiplicatif, permettra de fournir au *Compteur fractionnaire* le signal *Débordement*. Ce signal permettra de faire varier la valeur de ce dernier entre N et N+1.

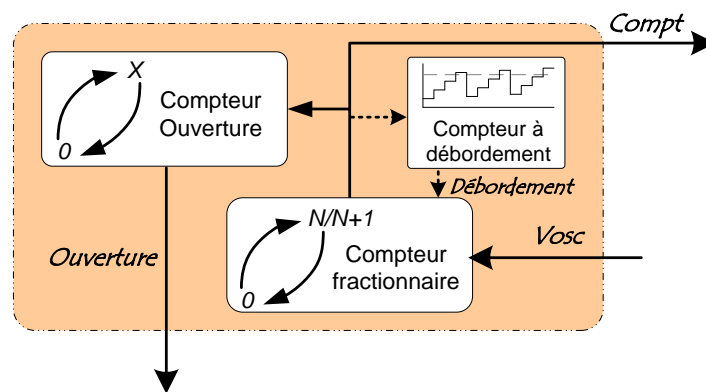


Figure II-18 : Schéma fonctionnel du compteur.

#### III.2.b.1 Le Compteur à débordement

Le modèle de ce bloc va suivre celui du compteur à débordement présenté dans le précédent chapitre. A chaque nouveau front montant de son horloge (le signal *Compt* de sortie du *Compteur fractionnaire*) la valeur *C* du compteur est incrémentée de la valeur de la partie fractionnaire paramétrée. Une fois que le compteur interne dépasse la valeur 1, le signal *Débordement* passe à l'état haut et le compteur prend la valeur du débordement.

Ce comportement est vérifié par la simulation temporelle du modèle présenté à la Figure II-19.

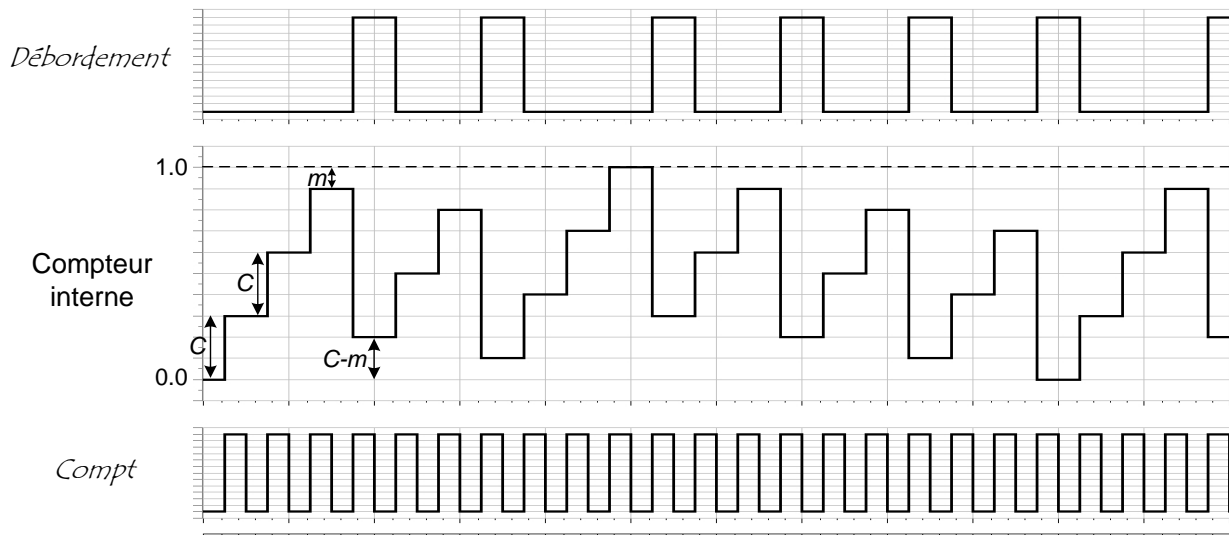


Figure II-19 : Simulation temporelle du modèle comportemental du compteur à débordement.

### III.2.b.2 Le Compteur fractionnaire

Ce compteur qui aura pour horloge le signal de sortie de l'oscillateur devra fournir le signal *Compt* utilisé par le *Compteur à débordement*, le *Compteur ouverture* et la *Commande de sortie* qui est extérieure à ce bloc. La comparaison à zéro étant plus naturelle qu'une comparaison à une valeur variable, dans une optique de réalisation au niveau circuit, nous avons réalisé un décompteur dont la valeur sera décrétementée à chaque nouveau coup d'horloge.

Le modèle comportemental devra suivre les règles suivantes :

- A chaque nouveau front descendant de  $V_{osc}$ , le compteur est décrétementé. Nous avons choisi de compter les fronts descendants afin que le front montant suivant le dernier front descendant compté puisse être correctement transmis vers la *Commande de sortie*.
- Lorsque le décompteur arrive à zéro, la sortie *Compt* passe à l'état haut et la valeur du compteur repasse à sa valeur initiale (N ou N+1).
- Lors du passage à l'état haut du signal *Débordement*, la valeur à compter passe à N+1. Dans le cas contraire, cette valeur est égale N.

La simulation temporelle de ce modèle réalisé en VHDL-AMS est présentée à la Figure II-20. En fonction de la valeur du signal *Débordement*, la valeur N ou N+1 à compter est correctement atteinte. Ceci permet donc de valider le fonctionnement du *Compteur fractionnaire*.

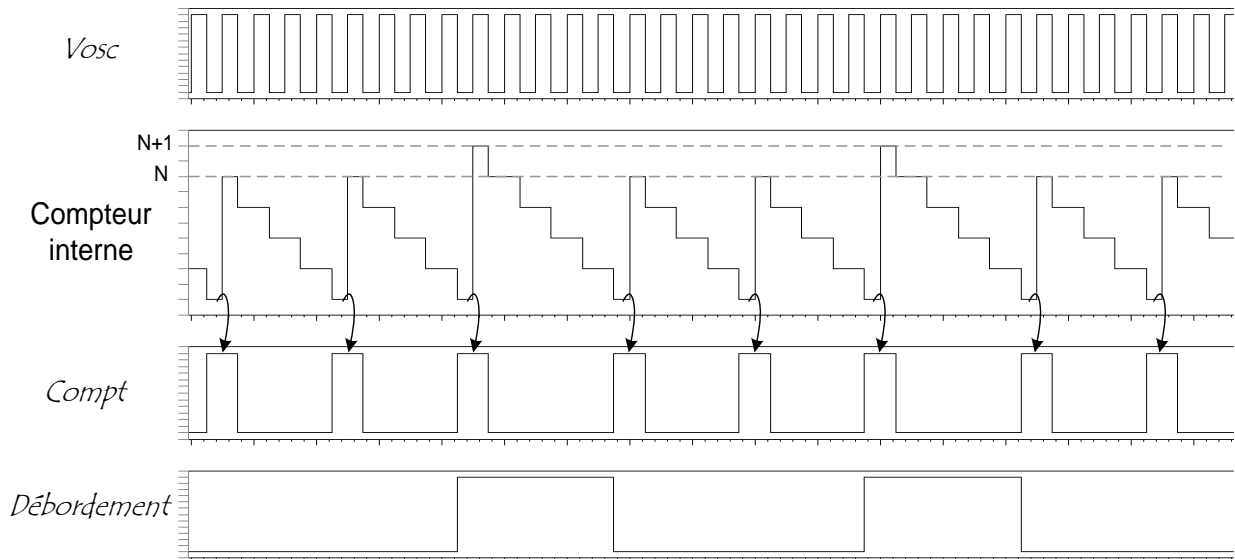


Figure II-20 : Simulation temporelle du modèle comportemental du compteur fractionnaire.

### III.2.b.3 Le compteur d'ouverture

Ce bloc aura le fonctionnement d'un compteur simple dont la valeur à atteindre sera le facteur  $X$  correspondant à la relance de l'oscillation. A chaque nouveau front montant du signal *Compt*, sa valeur sera incrémentée jusqu'à atteindre la valeur  $X$  paramétrée. Le signal *Ouverture* de sortie passe alors à l'état haut.

### III.2.b.4 Ensemble Compteur

Les différents blocs comportementaux du *Compteur* sont donc assemblés. La simulation temporelle est présentée à la Figure II-21 (a) pour un facteur multiplicatif de 3,2 ( $N=3$  et  $\alpha=0,2$ ) et à la Figure II-21 (b) pour un facteur de 15,6 ( $N=15$  et  $\alpha=0,6$ ). Dans les deux cas, le facteur d'ouverture  $X$  est égal à 5.

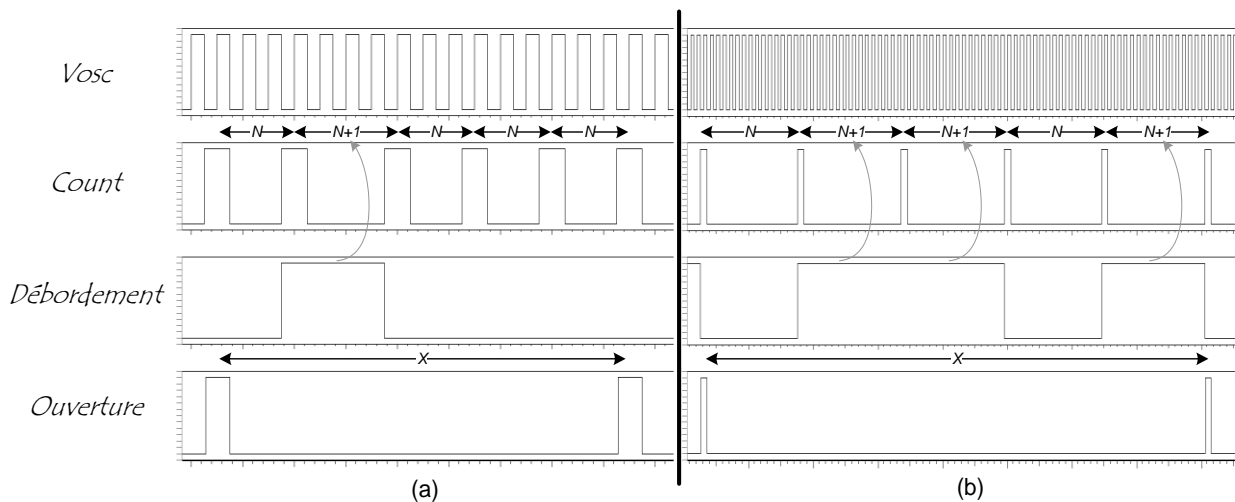


Figure II-21 : Simulation temporelle du modèle du bloc Compteur complet.

Les modèles comportementaux réalisés pour le compteur assurant sa fonctionnalité, nous allons maintenant pouvoir développer la réalisation de la *Ligne d'asservissement*.

### III.2.c La ligne d'asservissement

La *Ligne d'asservissement* va permettre de régler la fréquence du signal généré au niveau de l'oscillateur ; c'est elle qui va fixer la tension de contrôle ( $V_{ctrl}$ ) qui modifie le délai appliqué par l'*Elément à retard contrôlable*. Son schéma est rappelé à la Figure II-22. Elle est composée d'un *Comparateur de phase*, d'une *Pompe de charge* et d'un *Filtre de boucle*. Les signaux d'entrée sont : le signal provenant de l'horloge de référence  $V_{ref}$  ainsi que celui provenant de la *Commande de sortie*  $V_{comp}$ .

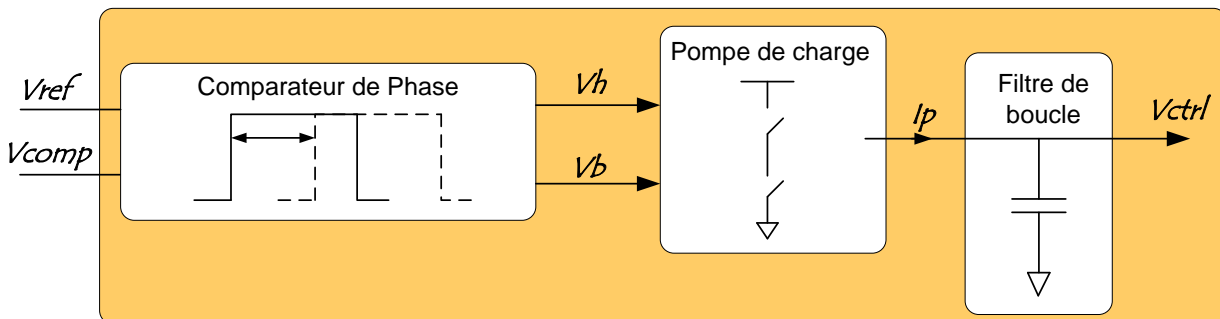


Figure II-22 : Schéma fonctionnel de la ligne d'asservissement.

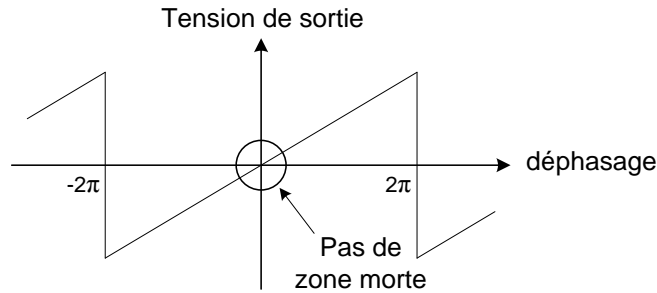
#### III.2.c.1 Le comparateur de phase

Ce bloc va mesurer le déphasage entre ces deux signaux d'entrée que sont  $V_{ref}$  et  $V_{comp}$ . En sortie, il générera deux signaux en sortie ( $V_h$  et  $V_b$ ) qui fourniront à la *Pompe de charge* l'information correspondante au déphasage mesuré.

Le modèle comportemental réalisé suit les règles suivantes :

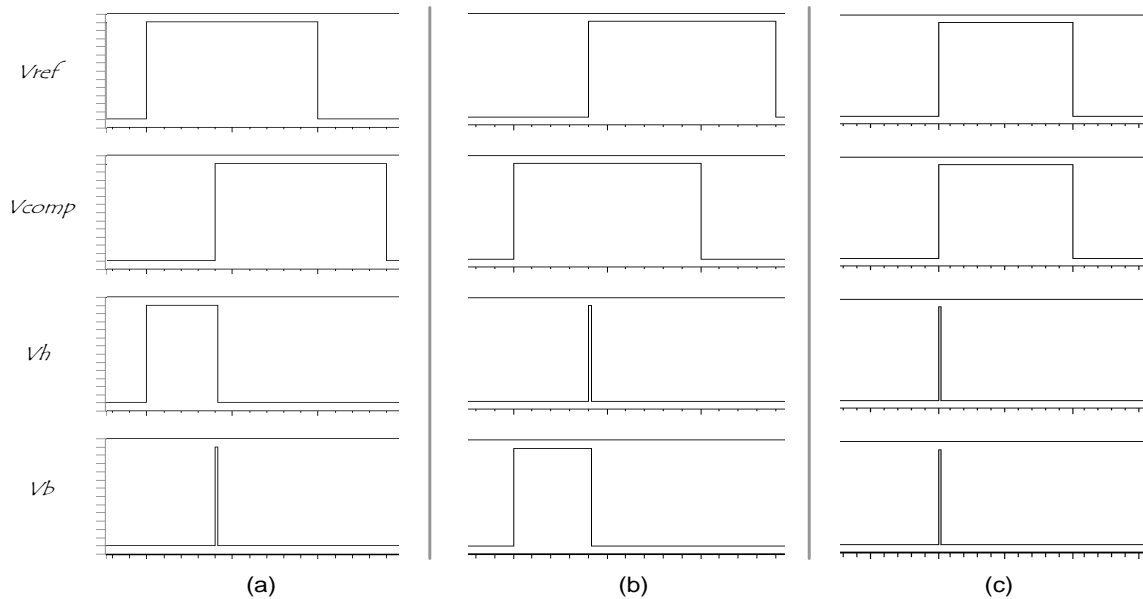
- Quand le signal provenant de la *Commande de sortie* ( $V_{comp}$ ) est en retard sur le signal fourni par la référence ( $V_{ref}$ ), le comparateur de phase génère une impulsion sur sa sortie  $V_h$  d'une durée proportionnelle à l'erreur de phase. La sortie  $V_b$  présente une impulsion résiduelle lorsque  $V_{comp}$  arrive.
- Lorsque  $V_{comp}$  est en avance sur  $V_{ref}$ , le comparateur de phase génère une impulsion sur sa sortie  $V_b$  d'une durée proportionnelle à l'erreur de phase. La sortie  $V_h$  présente une impulsion résiduelle lorsque  $V_{ref}$  arrive.
- Enfin, lorsque les deux signaux sont en phase, des impulsions résiduelles sont présentes sur chacune des sorties.

Les impulsions résiduelles génèrent une zone morte si elles ne sont pas équilibrées, mais ceci ne sera pas pris en compte dans ces travaux. La fonction d'un transfert d'un comparateur sans cette zone (avec impulsions résiduelles) est donnée à la Figure II-23 [BES84-1] :



**Figure II-23 : Fonction de transfert du comparateur sans zone morte.**

Les simulations temporelles du modèle comportemental réalisé sont présentées à la Figure II-24. Les niveaux des signaux de sortie correspondent bien au comportement décrit lorsque les signaux sont en phase (Figure II-24 (c)) et lorsque  $V_{comp}$  est en retard (Figure II-24 (a)) ou en avance (Figure II-24 (b)) par rapport à  $V_{ref}$ . La fonction de comparaison est donc assurée.



**Figure II-24 : Simulation du modèle comportemental du comparateur pour des signaux en phase (c) ou en décalage (a) et (b).**

### III.2.c.2 La pompe de charge et le filtre de boucle

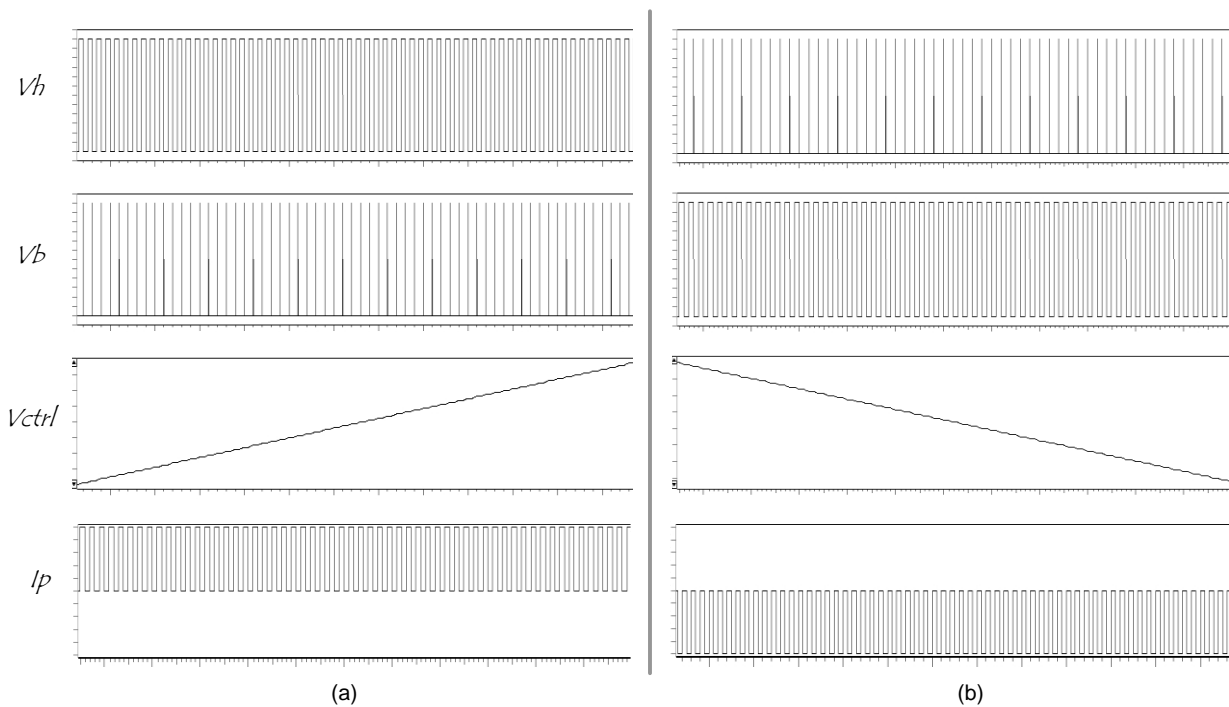
Cet ensemble convertit l'erreur de phase détectée par le comparateur précédent en une tension de contrôle pour l'élément de retard.

Le modèle comportemental utilisé répond au fonctionnement suivant :

- Lorsque le signal  $V_h$  est actif, la pompe de charge génère un courant ( $I_p$ ) qui charge le filtre, de sorte que la tension de sortie du bloc  $V_{ctrl}$  augmente.

- Lorsque le signal  $V_b$  est actif, la pompe de charge absorbe un courant qui décharge le filtre afin que la tension de sortie  $V_{ctrl}$  diminue.
- Enfin, si aucun des signaux d'entrée n'est actif ou s'ils sont synchrones, la pompe de charge ne délivre ni n'absorbe de courant. Aussi la tension de sortie est-elle maintenue constante.

La Figure II-25 présente la simulation temporelle de cet ensemble. Le comportement est bien conforme à celui qui a été décrit ci-dessus : lorsque le signal  $V_h$  est actif (une impulsion résiduelle reste présente sur  $V_b$ ), le courant  $I_p$  charge le filtre de boucle dont la tension augmente (Figure II-25 (a)). Au contraire, lorsque c'est le signal  $V_b$  qui est actif, le courant est tiré du filtre de boucle et la tension  $V_{ctrl}$  diminue (Figure II-25 (b)). Ceci valide la fonctionnalité de la pompe de charge et du filtre de boucle.



**Figure II-25 : Simulation du modèle comportemental de la pompe de charge et du filtre de boucle lorsque celui-ci se charge (a) et se décharge (b).**

### III.2.c.3 Ensemble Ligne d'asservissement.

La ligne d'asservissement complète reprend la simulation de la Figure II-25 avec le bloc *Comparteur de phase* qui permet d'obtenir les signaux  $V_h$  et  $V_b$ . Son fonctionnement est validé par les précédentes simulations qui respectent bien le comportement suivant :

- Lorsque le signal  $V_{comp}$  provenant de la *Commande de sortie* est en avance sur  $V_{ref}$ , cela signifie que l'oscillateur est trop rapide. La ligne d'asservissement permet donc de diminuer  $V_{ctrl}$ , ce qui

aura comme incidence d'augmenter le délai appliqué par l'Elément à retard contrôlable et donc de diminuer la fréquence synthétisée.

- A l'inverse, lorsque  $V_{ref}$  est en retard,  $V_{ctrl}$  augmente, ce qui entraînera une augmentation de la fréquence synthétisée.

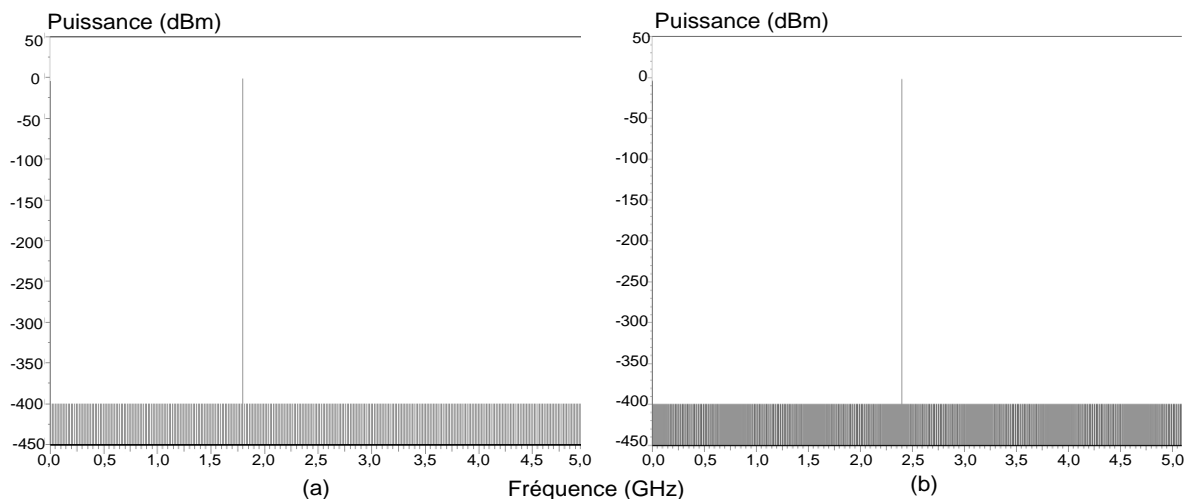
### III.2.d Système complet

Afin de valider la fonctionnalité de l'architecture, nous allons maintenant simuler le système en assemblant chacun des blocs présentés précédemment. L'architecture, présentée à la Figure II-11, doit s'accrocher autour d'une fréquence multiple de la fréquence de référence fixée par le facteur multiplicatif appliqué au compteur.

Nous vérifierons ensuite le fonctionnement de la ligne d'asservissement et l'établissement du mode « verrouillé », c'est-à-dire le moment où les deux signaux en entrée du comparateur sont en phase.

#### III.2.d.1 Synthèse de standards

Afin de réaliser des standards compris entre 1 et 6 GHz, nous contrôlons le spectre obtenu pour différentes valeurs programmées au niveau du compteur. Tout d'abord nous utilisons une valeur entière pour caractériser l'architecture complète. La Figure II-26 présente le spectre du signal de sortie pour deux facteurs multiplicatifs entiers.

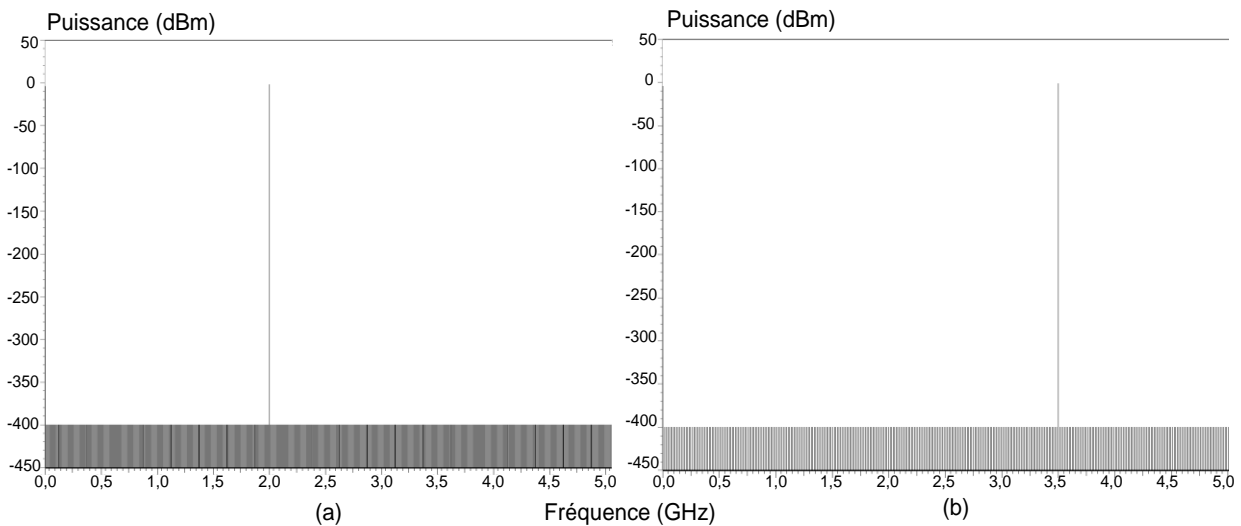


**Figure II-26 : Spectres du signal de sortie du système complet pour des facteurs de multiplication entiers égaux à 4 (a) et 7(b).**

Nous pouvons observer la raie fondamentale à 2GHz dans le cas de la Figure II-26 (a) où le facteur de multiplication est fixé à 4 (pour une fréquence de référence égale à 500MHz). Dans le cas de la Figure II-26 (b), le facteur multiplicatif est fixé à 7, la raie fondamentale est alors à la fréquence 3,5GHz.

Les modèles étant idéaux, ne figurent pas sur ces spectres le bruit de phase généré, ni les raies parasites dues à la relance de l'oscillation. Ces spectres permettent cependant de valider la fonction de synthèse de fréquence.

Nous allons maintenant utiliser des facteurs multiplicatifs fractionnaires. La Figure II-27 présente le spectre du signal de sortie lors de l'application de ces facteurs fractionnaires.



**Figure II-27 : Spectres du signal de sortie du système complet pour des facteurs de multiplication fractionnaires égaux à 3,6 (a) et 4,8 (b).**

Sur la Figure II-27 (a), nous pouvons voir la fréquence fondamentale à 1,8GHz, lorsque le compteur est programmé sur la valeur 3,6. A la Figure II-27 (b), celui-ci est programmé sur la valeur 4,8 et le spectre comporte une raie fondamentale à 2,4GHz.

Comme précédemment, les modèles idéaux génèrent un spectre où seule la raie fondamentale est représentée. Nous pouvons, cependant, valider la synthèse de signaux à partir d'un coefficient multiplicatif fractionnaire.

### III.2.d.2 Ouverture de l'oscillateur

Afin que le mode DLL soit fonctionnel, nous devons nous assurer que l'ouverture de l'oscillateur entraîne bien un arrêt de l'oscillation, qui ne sera redémarrée qu'au prochain front du signal de référence.

Sur la Figure II-28, nous pouvons voir que l'oscillation n'est plus entretenue après le passage à l'état haut du signal d'ouverture (*Ouverture*). Dès l'arrivée du front montant suivant du signal de référence (*Vclk*), l'oscillation redémarre correctement. L'action de l'asservissement permet de diminuer progressivement l'écart entre ouverture et relance jusqu'à ce que l'oscillateur soit verrouillé et que l'ouverture soit « transparente » du point de vue du signal *Verc*. Ceci permet donc de valider le fonctionnement du mode DLL.



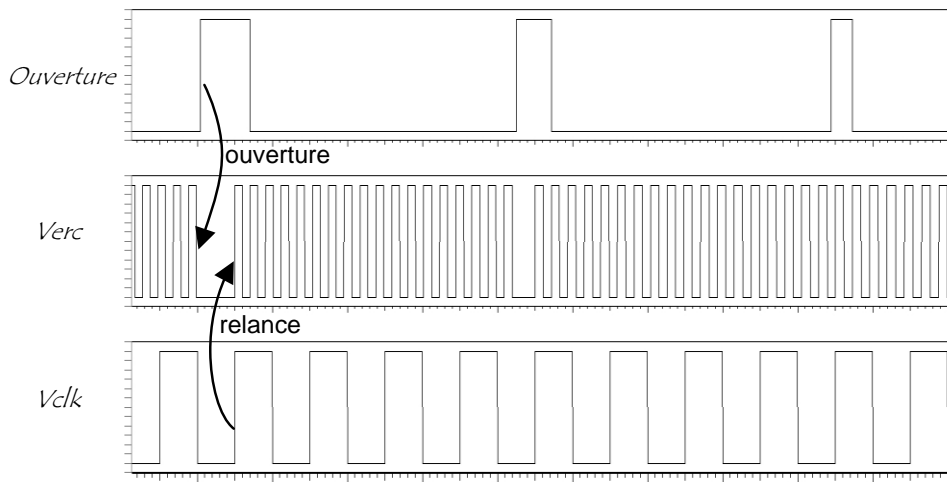


Figure II-28 : Visualisation de l'ouverture de l'oscillateur et la relance de l'oscillation.

### III.2.d.3 Fonctionnement de l'asservissement

Afin de valider la fonction de l'asservissement, nous allons simuler le système avec l'oscillateur en partant d'une condition initiale suffisamment éloignée de la condition finale.

La Figure II-29 présente les deux cas où la condition initiale fixée entraîne un signal synthétisé trop rapide (Figure II-29 (a)) ou trop lent (Figure II-29 (b)).

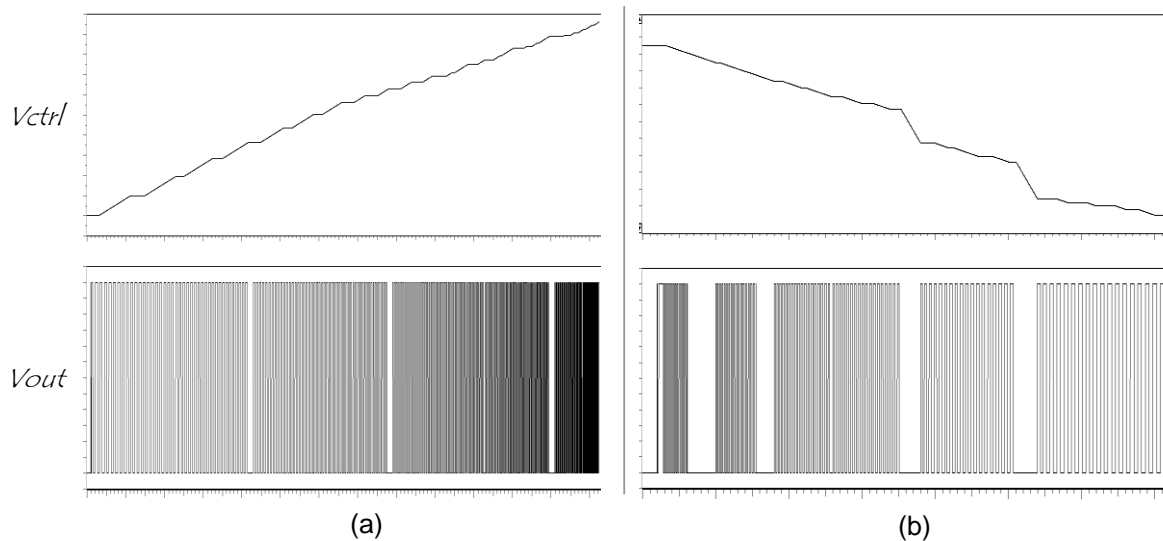


Figure II-29 : Fonctionnement de l'asservissement : sur un signal trop lent (a) et sur un signal trop rapide (b).

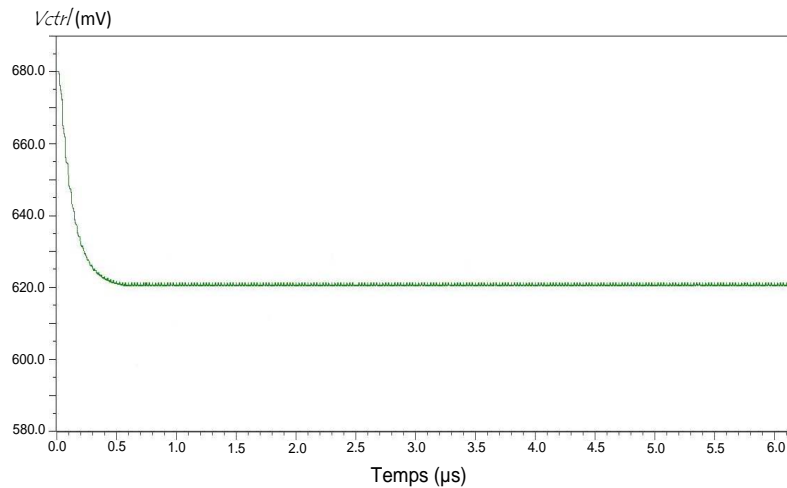
Lorsque la fréquence du signal synthétisé est trop faible (Figure II-29 (a)), nous voyons que le filtre de boucle se charge et la tension  $V_{ctrl}$  augmente.

A contrario, lorsque la fréquence du signal synthétisé est trop élevée (Figure II-29 (b)), nous voyons que le filtre de boucle se décharge et la tension  $V_{ctrl}$  diminue.

Dans les deux cas, la ligne d'asservissement permet l'ajustement de la fréquence du signal synthétisé en fonction de la valeur multiplicative programmée.

### III.2.d.4 Evolution de la tension de contrôle.

Afin de compléter la validation de l'architecture proposée, nous présentons sur la Figure II-30 l'évolution de la tension de contrôle lors de l'application d'une consigne. Pour cela, nous démarrons la simulation dans un état initial différent de l'état final et nous observons, au niveau de la tension de contrôle, l'établissement du mode « verrouillé ».



**Figure II-30 : Evolution de la tension de contrôle lors de l'établissement du régime où l'oscillateur est verrouillé.**

Nous pouvons voir que la valeur de la tension de contrôle « s'accroche » autour d'une valeur finale sans dépassements ni oscillations. Cette forme d'établissement est caractéristique des systèmes du premier ordre et valide la stabilité et la fonction de synthèse de l'architecture complète.

Ces différents points permettent de démontrer la fonctionnalité de l'architecture proposée et réalisée au niveau comportemental en vue d'une synthèse de fréquence multistandard et fractionnaire. Avant de pouvoir présenter l'étape de conception au niveau circuit, nous allons développer l'intérêt et la spécificité de cette architecture concernant son ordre et sa stabilité.

### III.2.e Ordre du filtre et stabilité

Le filtre de boucle utilisé pour cette architecture est un filtre purement capacitif. En effet, il a été démontré [MAJ06-1] que l'ordre de la boucle à verrouillage de délai est celui de son filtre de boucle, puisque, contrairement à la PLL, elle ne contient pas d'autres pôles dans sa fonction de transfert. Ainsi, il est possible de réaliser une DLL à partir d'un simple condensateur puisque la phase induite ne sera que de  $-90^\circ$ , ce qui assure une stabilité inconditionnelle.

Notre système a donc été réalisé à partir d'un simple condensateur en se basant sur le fonctionnement d'une DLL classique. Mais il fonctionne aussi dans un mode où la relance de l'oscillation n'est pas effective, c'est-à-dire un mode PLL.

Habituellement, lors de la synthèse d'une PLL, la réalisation du filtre de boucle est un point très critique puisque c'est lui qui va permettre d'assurer la stabilité du système. Le VCO présente un pôle, ce qui induit un décalage de  $-90^\circ$  au niveau de la phase. En ajoutant un filtre purement capacitif, un second pôle intervient sur toute la bande fréquentielle et la phase est donc de  $-180^\circ$ , ce qui entraîne une potentielle instabilité de la boucle. Il est donc de rigueur de réaliser un filtre présentant une avance de phase d'au moins  $45^\circ$  à la fréquence de coupure de la boucle afin de stabiliser le système. La Figure II-31 présente le tracé de la phase d'une PLL comprenant un filtre de boucle du second ordre. Nous pouvons observer, sur l'étude du système en boucle ouverte, une avance de phase supérieure à  $45^\circ$  à la fréquence de coupure.

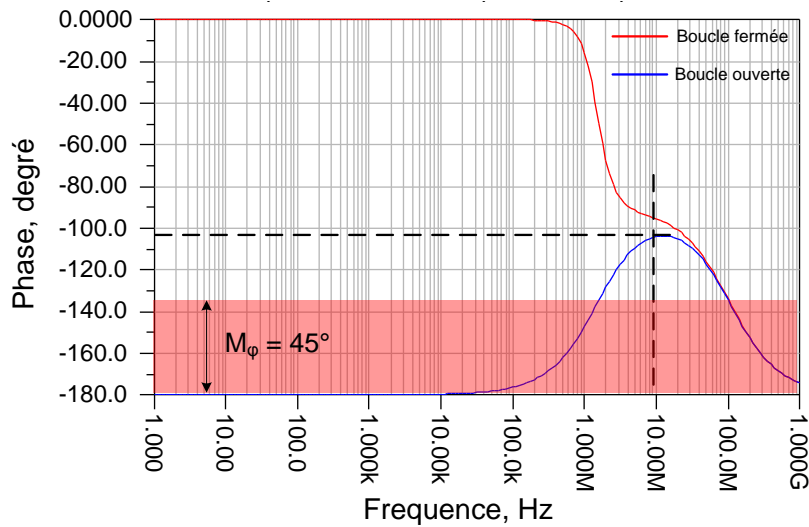


Figure II-31 : Tracé de la phase d'une PLL avec filtre du second ordre

Notre système, lui, ne présente aucune avance de phase puisque le filtre est composé d'un simple condensateur. Ainsi, en considérant maintenant le système PLL à partir duquel on réaliserait une relance périodique de l'oscillation, il apparaît que notre architecture est capable d'assurer la stabilité du système sans action sur le filtre de boucle.

Nous allons donc présenter ce phénomène de stabilisation d'une PLL par relance périodique de l'oscillation.

## IV Technique de stabilisation d'un synthétiseur de fréquence basé sur une boucle à verrouillage de phase.

### IV.1 OBSERVATIONS DE LA STABILITE DU SYSTEME EN FONCTION DU MODE D'UTILISATION

Afin de mettre en valeur les performances du système proposé, nous allons tout d'abord observer ce même système dans un mode PLL seul, c'est-à-dire dans un mode où l'oscillation n'est pas relancée. Nous verrons ensuite l'impact de la relance périodique sur la stabilité de l'architecture et les conditions à respecter.

#### IV.1.a Mode PLL uniquement

Dans ce mode, le système de relance de la « P/DLL mixte » est bloqué et l'oscillateur fonctionne toujours tel un oscillateur en anneau. Ainsi, le schéma bloc du système est équivalent à la forme plus conventionnelle de schéma d'une PLL présenté à la Figure II-32.

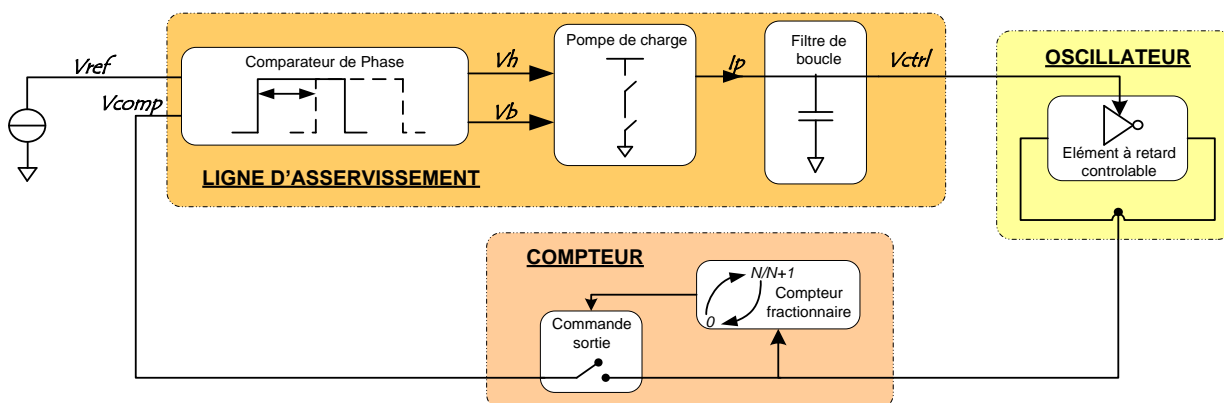


Figure II-32 : Schéma bloc équivalent du système sans relance : mode PLL seul.

Les différents blocs sont conservés, mis à part la *Commande de l'oscillateur* et le *Compteur d'ouverture*. Ce système a donc été simulé à partir des modèles comportementaux réalisés précédemment.

Afin de mettre en avant la stabilité ou l'instabilité du système, nous avons choisi comme critère la forme de la tension de contrôle. En effet, l'instabilité de la boucle conduirait à une amplification de l'erreur de phase en entrée du comparateur et donc à une oscillation sur la tension de contrôle autour de la valeur finale attendue.

La Figure II-33 présente l'évolution de la tension de contrôle dans le cas du mode PLL seul. Nous observons une forte instabilité du système par la présence d'oscillation sur la tension de contrôle. Comme cela a été décrit au §III.2.e., la PLL avec un filtre purement capacitif de faible valeur, crée une bande passante importante qui, à son tour, entraîne l'instabilité.

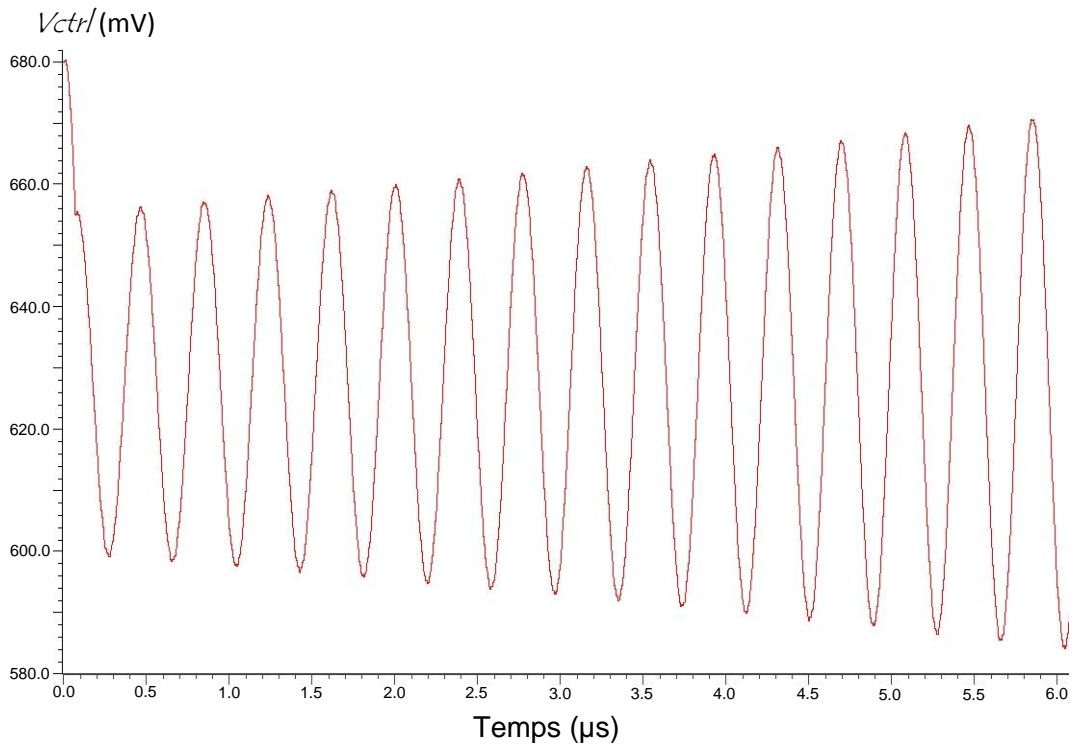


Figure II-33 : Evolution de la tension de contrôle pour le mode PLL seul.

#### IV.1.b Mode PLL avec relance de l'oscillation.

A présent, nous allons activer la relance de l'oscillation. C'est-à-dire que le mode PLL et DLL seront actifs conjointement et l'ouverture de l'oscillateur aura lieu à la période d'ouverture qui est fonction du facteur  $X$  présenté au §II.2.d.3.

Le système « P/DLL mixte fractionnaire » est donc simulé et l'évolution de la tension de contrôle est présentée à la Figure II-34.

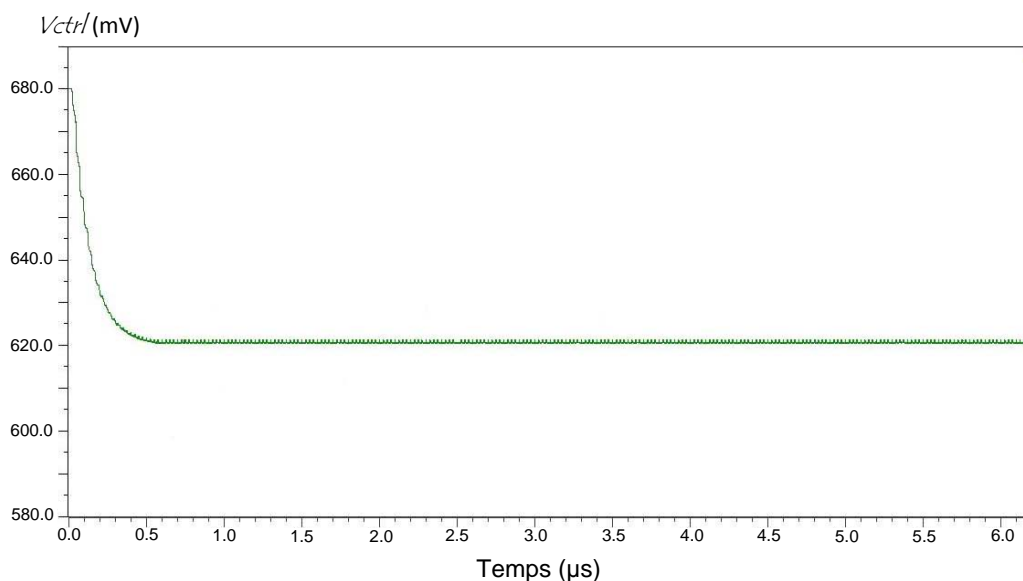
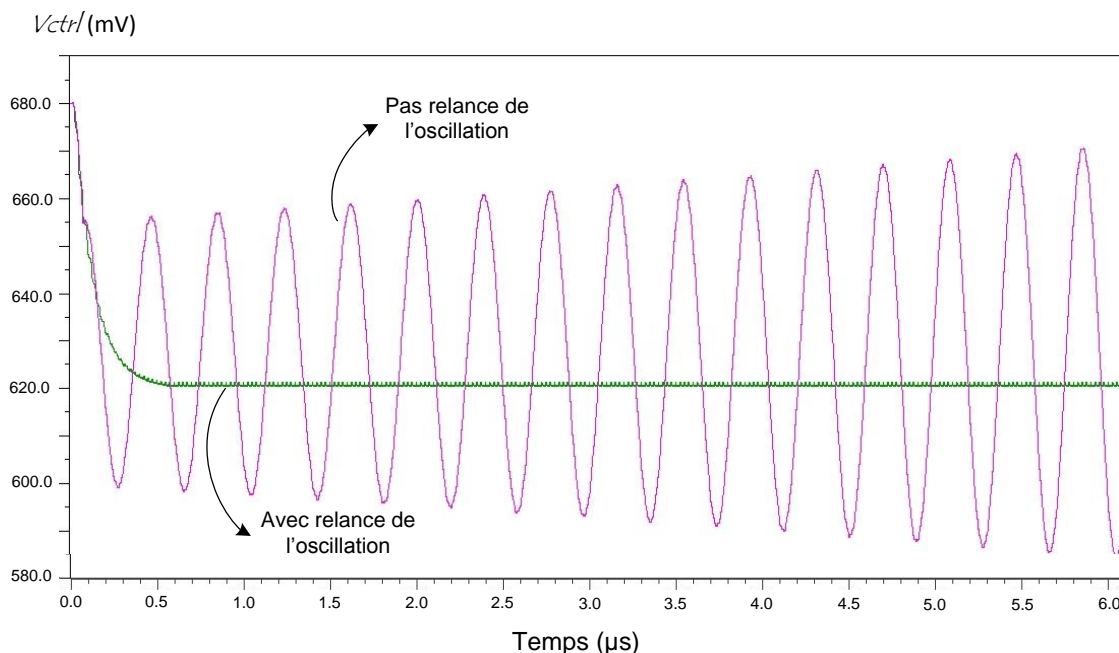


Figure II-34 : Evolution de la tension de contrôle en pour le mode P/DLL mixte.

Nous pouvons voir que les oscillations de la Figure II-33 ont complètement disparu à la suite de la relance périodique de l'oscillation. Il reste cependant de très légères variations qui sont uniquement dues à l'ordre fractionnaire du compteur. En effet, comme nous l'avons noté précédemment, l'aspect fractionnaire entraîne une désynchronisation des fronts en entrée du comparateur de phase, ce qui entraîne une légère évolution de la valeur de la tension de contrôle. Les conséquences de variation seront fonction de la valeur du gain de l'oscillateur. A partir des contraintes en termes de bruit en sortie du synthétiseur, il sera alors possible de fixer une valeur limite des variations sur la tension de contrôle et donc du couple courant de pompe/valeur de la capacité. Ces aspects devront être pris en compte dans une étude ultérieure, les travaux exposés dans ce manuscrit décrivant la réalisation d'un démonstrateur dont l'amélioration des performances fera l'objet de perspectives.

En superposant ces deux courbes à la Figure II-35, il apparaît que les pentes à l'origine sont les mêmes. Le temps de réponse du système proposé est donc équivalent à celui de la PLL instable.



**Figure II-35 : Superposition de l'évolution de la tension de contrôle pour le mode P/DLL mixte et le mode PLL seul.**

En considérant la relance de l'oscillation comme une technique s'ajoutant sur la PLL seule, nous pouvons a priori prétendre que celle-ci permet de stabiliser l'architecture initialement instable de la Figure II-32. La réalisation de l'architecture proposée ainsi que les mesures qui en découleront permettront de conclure quant à la validité de cette hypothèse.

Ainsi, cette technique permet de dissocier filtre de boucle et contrôle de la stabilité de l'architecture. Un degré de liberté supplémentaire est alors apporté au filtre de boucle, ce qui donne plus de souplesse lors de sa détermination. Son rôle est alors dédié à la gestion de la bande passante et à l'amélioration du taux de réjection.

Cette amélioration représente donc un point d'avancement important dans la décorrélation des différentes contraintes appliquées à l'oscillateur local évoquées dans la conclusion du précédent chapitre. Celle-ci vient s'ajouter à la décorrélation du pas de synthèse et de la fréquence de référence apportée par le compteur fractionnaire [LUC10-1].

Cependant, il est nécessaire de tenir compte du courant de la pompe de charge. Les modes de fonctionnement PLL et DLL étant superposés, nous allons considérer deux courants de pompe différents :

- $I_{DLL}$  correspond au courant en mode DLL, c'est-à-dire au courant injecté ou tiré aux instants où l'on ouvre l'oscillateur.

- $I_{PLL}$  correspond lui au mode PLL, c'est-à-dire au reste du temps.

En fonction des valeurs des différentes caractéristiques de la boucle (gain de l'oscillateur, facteur multiplicatif, valeur de la capacité...), un facteur multiplicatif va devoir être mis en place entre ces deux valeurs. En effet, la Figure II-36 présente un exemple de synthèse pour lequel on observe la présence de légères oscillations lorsque le facteur multiplicatif est unitaire ou trop faible.

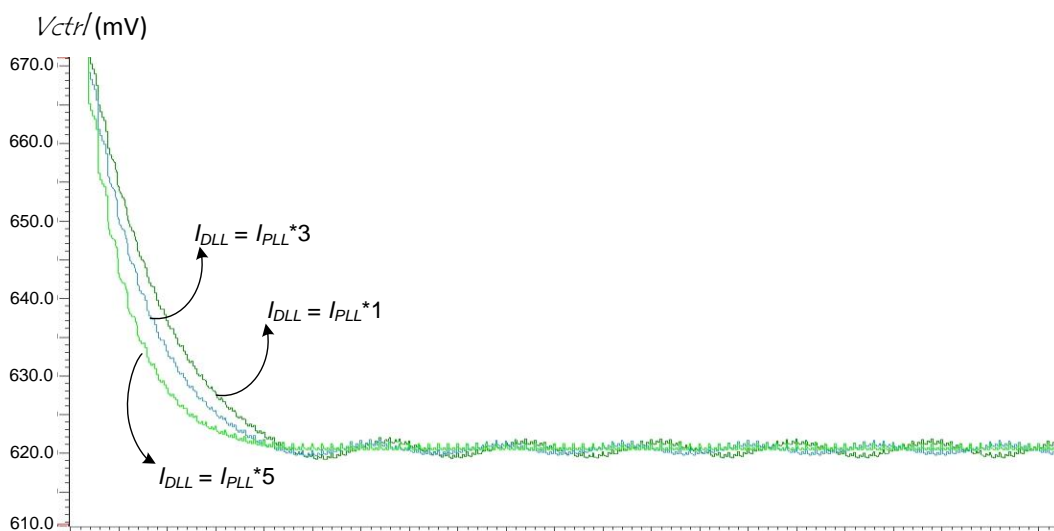


Figure II-36 : Evolution de la tension de contrôle en fonction du rapport de multiplication entre  $I_{PLL}$  et  $I_{DLL}$ .

Pour des valeurs du compteur où la fréquence d'ouverture est diminuée (augmentation de la valeur du facteur  $X$  décrit au paragraphe § II.2.d.3), nous avons pu voir que l'augmentation du facteur multiplicatif entre les courants  $I_{PLL}$  et  $I_{DLL}$  n'était pas proportionnelle à celle du facteur  $X$ . Une relance au bout de cent coups de références n'entraînerait pas un courant  $I_{DLL} = I_{PLL} * 100$ .

Afin de mettre en évidence ce phénomène de stabilisation, nous avons mis en place un premier modèle linéaire simple de notre architecture. Ce modèle a pour objectif de vérifier l'impact de la superposition des deux modes sur la phase du système et donc sur les critères de stabilité en boucle ouverte.

## IV.2 MISE EN PLACE D'UN MODELE LINEAIRE

Le modèle linéaire que nous avons mis en place est présenté à la Figure II-37. Ce modèle simple de l'architecture a pour but de montrer qu'il est possible, d'un point de vue linéaire, de rendre stable la PLL à l'aide du mode DLL.

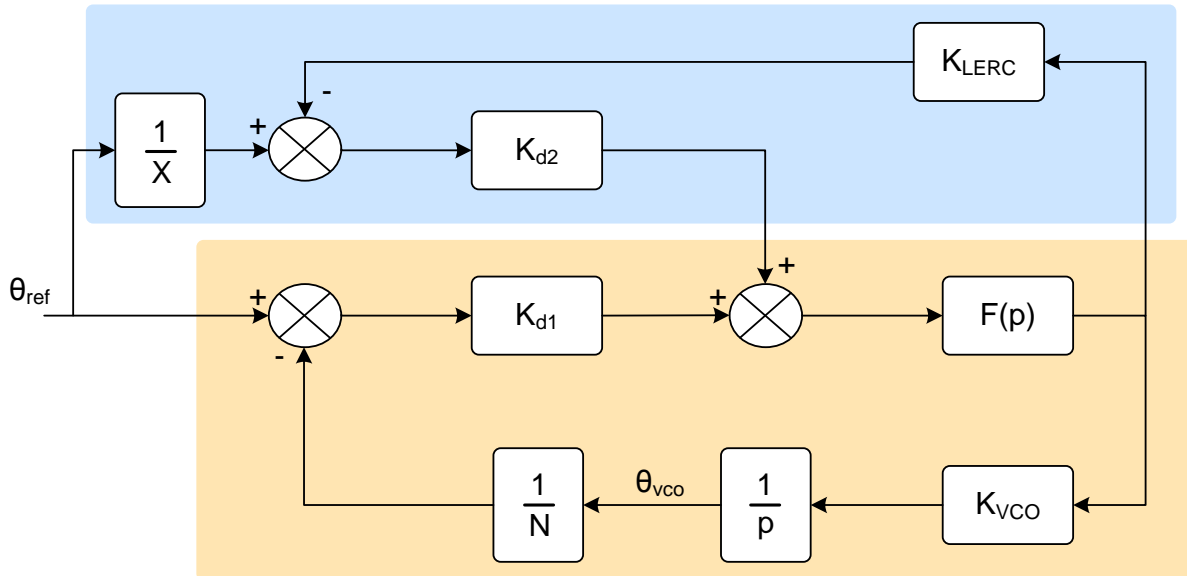


Figure II-37 : Modèle linéaire de « P/DLL mixte » fractionnaire.

La partie inférieure du modèle reprend le modèle classique d'une PLL.  $K_{d1}$  est le gain de la pompe de charge et du comparateur de phase :  $K_{d1} = \frac{I_{PLL}}{2\pi}$ .  $F(p)$  représente le filtre de boucle :  $F(p) = \frac{1}{C * p}$ .  $K_{VCO}$  est le gain de du VCO en Hz/V et  $N$  est le facteur de multiplication fractionnaire.

La partie supérieure comprend le  $K_{LERC}$  qui représente le gain de la ligne d'élément à retard contrôlable en rad/V. Ce gain est égal à celui de l'élément seul multiplié :

- par le nombre d'éléments qui composent la chaîne dans le cas d'une DLL classique.
- par le facteur multiplicatif dans le cas d'une DLL factorielle [MAJ06-3].

Le bloc  $K_{d2}$  représente le gain de la pompe de charge et du comparateur aux instants d'ouverture de l'oscillateur :  $K_{d2} = \frac{I_{DLL}}{2\pi}$ .

Enfin le bloc  $1/X$  permet de prendre en compte la relance l'oscillation à la période de référence divisé par le facteur  $X$ .

Ce modèle linéaire simplifié ne prend pas en compte l'aspect échantillonné de la DLL. Cependant, il permet d'obtenir une première approche de l'architecture réalisée.

Nous avons effectué une simulation de ce modèle à l'aide du logiciel *Scilab* en prenant différentes valeurs pour le facteur multiplicatif entre  $I_{PLL}$  et  $I_{DLL}$ . Le tracé de Bode de ces différentes simulations est présenté à la Figure II-38.



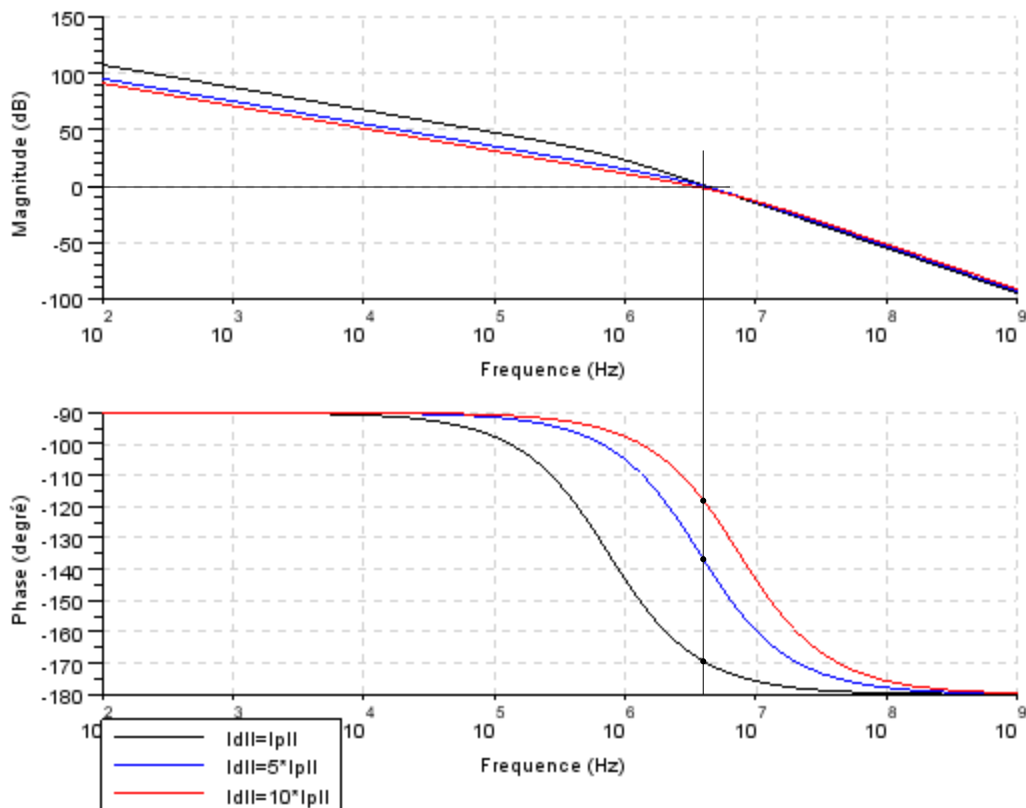


Figure II-38 : Tracé de Bode du modèle linéaire pour différentes valeurs du facteur multiplicatif entre  $I_{PLL}$  et  $I_{DLL}$ .

Nous voyons que le facteur multiplicatif entre les deux courants  $I_{PLL}$  et  $I_{DLL}$  joue un rôle très important au niveau de la phase de ce tracé. Cette figure présente trois cas :  $I_{PLL} = I_{DLL}$ ,  $I_{PLL} = 5 * I_{DLL}$ ,  $I_{PLL} = 10 * I_{DLL}$ .

Dans les trois cas, la bande passante est quasiment identique et égale à 4MHz. Cependant, la marge de phase varie fortement. Dans le premier cas, la marge de phase est égale à  $10^\circ$ , alors qu'elle est égale à  $45^\circ$  dans le second cas et à  $66^\circ$  dans le dernier.

La limite de validité de ce modèle n'a pas été quantifiée. Celui-ci n'est pas adapté au système échantillonné que peut représenter la DLL et l'imbrication des deux modes. Cependant, bien que les valeurs obtenues puissent en être écartées de la réalité, le modèle permet de valider une tendance quant à l'impact de la relance périodique et de la multiplication du courant.

Ainsi, nous avons mis en évidence que ce facteur sera essentiel lors de la conception au niveau circuit du système. Le calcul définitif de cette valeur n'interviendra que lorsque les différents paramètres de chacun des blocs auront été spécifiés.

## V CONCLUSION

L'étude menée dans ce chapitre a permis de mettre en avant une nouvelle architecture de synthétiseur de fréquence basée sur l'utilisation conjointe d'une boucle à verrouillage de phase et de fréquence. Différents modèles comportementaux, réalisés à l'aide du langage de programmation *VHDL-AMS* et du simulateur *ADvance MS* utilisé depuis l'environnement *Cadence*, ont conduit à valider la fonctionnalité du système.

Ce système permet de réaliser une synthèse de fréquence fractionnaire sur une bande comprise entre 1 et 5 GHz, ce qui lui permet de répondre aux applications de communication mobile. D'autre part, l'utilisation d'un filtre du premier ordre de faible constante de temps réduit le temps d'établissement et augmente l'intégrabilité sur silicium. En effet, l'utilisation d'un tel filtre n'est habituellement pas envisageable pour une PLL classique, pour des raisons de stabilité. Or, nous avons vu que la relance périodique de l'oscillation limitait les dérives de la tension de contrôle et donc stabilisait l'architecture. Cette observation a été confirmée par la réalisation et la simulation d'un modèle linéaire.

Cette architecture permet donc d'obtenir un synthétiseur fractionnaire - c'est-à-dire un système où pas de synthèse et fréquence de référence sont décorrélés - dans lequel le filtre de boucle n'est plus responsable de la stabilité, mais peut être utilisé exclusivement pour définir la bande passante et le taux de réjection d'harmoniques.

Afin de valider cette étude théorique, nous allons devoir maintenant nous appuyer sur des résultats de simulations au « niveau circuit », puis sur des résultats de mesures. Ainsi, nous pourrions conclure sur la fonctionnalité de l'architecture proposée.

Ces deux étapes vont être développées dans les paragraphes suivants.

## REFERENCES DU CHAPITRE II

- [BES84-1] Best R.E, « *Phase Locked Loop* », Mc Graw Hill, USA, 1984, Chapitre 2: Classification of PLL types, pp. 151-268
- [DEL03-1] Deltimple N, Majek C, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *The Factorial DLL : Application to a 5 GHz Frequency Synthesizer* », IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Espagne, Novembre 2003.
- [DEL03-2] Deltimple N, Majek C, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLAN* », Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Maroc, Octobre 2003.
- [FAK02-1] Fakhfakh A, « *Contribution à la Modélisation Comportementale des Circuits Radio-Fréquence* », Chapitre 2 : Méthodes de modélisation comportementale, thèse, Université Bordeaux 1, 2002.
- [LUC10-1] Lucas de Peslouan P.O., Majek C., Taris T., Deval Y., Belot D., Begueret J.B., « *Dispositif et procédé de génération d'un signal de fréquence paramétrable* » Brevet, V/REF: 096GR1-182, N/REF: B10-2477FR-ODE/CRA
- [MAJ06-1] Majek C., « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 2, p. 65-89, Université de Bordeaux 1, 2006.
- [MAJ06-2] Majek C., « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 3, p. 97-98, Université de Bordeaux 1, 2006.
- [MAJ06-3] Majek C., « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 3, p. 81-83, Université de Bordeaux 1, 2006.
- [VAC02-1] Vachoux A., <http://lsmwww.epfl.ch/Education/former/2002-2003/modelmix03/Documents/modelmixte02.book.pdf>



# Chapitre III

## III REALISATION D'UN DISPOSITIF DE GENERATION DE FREQUENCE SUR LA BASE D'UN VERROUILLAGE CONJOINT DE PHASE ET DE DE LAI

<b>I</b>	<b>INTRODUCTION.....</b>	<b>95</b>
<b>II</b>	<b>VUE D'ENSEMBLE DE L'ARCHITECTURE. ....</b>	<b>96</b>
<b>III</b>	<b>REALISATION DU CIRCUIT .....</b>	<b>96</b>
III.1	LA LIGNE D'ASSERVISSEMENT.....	96
III.1.a	<i>Le comparateur de phase.....</i>	97
III.1.a.1	Description.....	97
III.1.a.2	Simulation .....	98
III.1.b	<i>La pompe de charge.....</i>	99
III.1.b.1	Fonctionnement.....	99
III.1.b.2	Précautions de conception .....	99
III.1.b.3	Réalisation. ....	100
III.1.b.4	Simulations de la pompe de charge.....	106
III.1.c	<i>Le filtre de boucle.....</i>	108
III.2	L'OSCILLATEUR.....	109
III.2.a	<i>Rappel de fonctionnement et limite.....</i>	109
III.2.b	<i>L'élément à retard contrôlable.....</i>	111
III.2.b.1	Utilisation du temps de propagation. ....	111
III.2.b.2	Développement de l'élément à retard contrôlable. ....	113
III.2.b.3	Simulations de l'élément à retard contrôlable réglable numériquement.....	115
III.2.c	<i>La commande de l'oscillateur .....</i>	117
III.2.d	<i>Assemblage des différents blocs de l'oscillateur. ....</i>	120
III.2.d.1	Choix de l'horloge du compteur.....	120
III.2.d.2	Fonctionnement de l'oscillateur complet .....	123
III.3	LE COMPTEUR.....	124
III.3.a	<i>Description du compteur.....</i>	124
III.3.b	<i>Le Compteur fractionnaire. ....</i>	124
III.3.b.1	Objectifs de conception .....	124
III.3.b.2	Réalisation du compteur N/N+1 .....	125
III.3.c	<i>Compteur d'ouverture.....</i>	127
III.3.c.1	Objectifs de conception .....	127
III.3.c.2	Réalisation du compteur d'ouverture.....	128
III.3.d	<i>Vue d'ensemble du compteur. ....</i>	129

III.4	SYNTHETISEUR DE FREQUENCE COMPLET .....	131
III.4.a	<i>Simulations temporelles : stabilisation de l'architecture.</i> .....	131
III.4.b	<i>Simulations temporelles : signal synthétisé.</i> .....	132
III.4.b.1	Synthèse du standard DCS: 1.8GHz .....	132
III.4.b.2	Synthèse du standard WiMAX : 3,5GHz.....	134
III.4.c	<i>Simulations temporelles : saut de fréquence.</i> .....	135
III.4.d	<i>Simulations fréquentielles.</i> .....	136
III.4.e	<i>Réalisation du dessin des masques du circuit.</i> .....	136
IV	<b>CONCLUSIONS</b> .....	<b>138</b>
	<b>REFERENCES</b> .....	<b>139</b>

## I INTRODUCTION.

L'objectif est de réaliser un démonstrateur de synthétiseur de fréquence multistandard capable de se stabiliser en utilisant conjointement les propriétés de la boucle à verrouillage de phase et la boucle à verrouillage de délai. Nous allons, pour cela, réaliser l'architecture étudiée dans le précédent chapitre. Afin de montrer la faisabilité d'une telle architecture, nous allons réaliser un démonstrateur capable de synthétiser des fréquences comprises entre 1 et 4 GHz à partir d'une référence choisie à 500 MHz. Afin d'obtenir un pas de synthèse suffisamment fin, ces choix entraînent la nécessité de réaliser un synthétiseur fractionnaire, c'est-à-dire capable de générer des fréquences résultant d'une multiplication non-entière de la fréquence de référence.

La première étape de réalisation de l'architecture MPDLL a consisté en l'étude comportementale du système. Pour ce faire, les fonctions des différents blocs de l'architecture ont été décrites à l'aide du langage VHDL-AMS et simulées en utilisant le simulateur ADvance MS. Cette étape a été exposée dans le précédent chapitre.

La seconde étape consiste à réaliser ces différents blocs au niveau transistor. A cette fin, nous allons utiliser la technologie CMOS 130 nm de STMicroelectronics. Afin de simuler chacun des blocs réalisés, nous allons utiliser les outils de simulation de Cadence ainsi que le simulateur Spectre RF. La technologie CMOS 130 nm est une technologie mature du fondeur STMicroelectronics et nous permettra donc de profiter de l'expérience acquise au sein de l'équipe de recherche pour la réalisation de ce circuit. Enfin la dernière étape consistera en la réalisation du dessin des masques du circuit intégré, qui sera ensuite envoyé en fonderie pour être réalisé. Ces deux dernières étapes vont maintenant être développées.

Au cours de ce chapitre, nous allons nous intéresser au développement et à la validation de chacun des blocs indépendamment : premièrement, nous nous intéresserons à *La ligne d'asservissement* composée du comparateur phase-fréquence et de la pompe de charge. Deuxièmement, nous allons développer la réalisation du *Compteur* et notamment de la partie fractionnaire. Puis, nous présenterons *l'Oscillateur* et l'élément à retard contrôlable évoqué lors du précédent paragraphe. Enfin, nous verrons les différents blocs de connexion parmi ceux énoncés précédemment.

Une fois chacun de ces blocs présentés, nous nous intéresserons au fonctionnement global du système avant de passer à l'étape de dessin des masques.

## II VUE D'ENSEMBLE DE L'ARCHITECTURE.

La Figure III-1 rappelle l'architecture développée dans le précédent chapitre. Cette architecture comprend une ligne d'asservissement, un compteur programmable et un oscillateur basé sur le rebouclage d'un élément à retard contrôlable. De plus, un bloc *Commande sortie* permet la transmission du signal  $V_{osc}$  vers le comparateur de phase lorsque le compteur à atteint la valeur  $N$  ou  $N+1$  à compter. Nous voyons aussi un bloc *Buffer sortie* qui a pour fonction de mettre en forme le signal de sortie. Nous allons maintenant étudier plus en détail le fonctionnement et la réalisation de chacun de ces blocs.

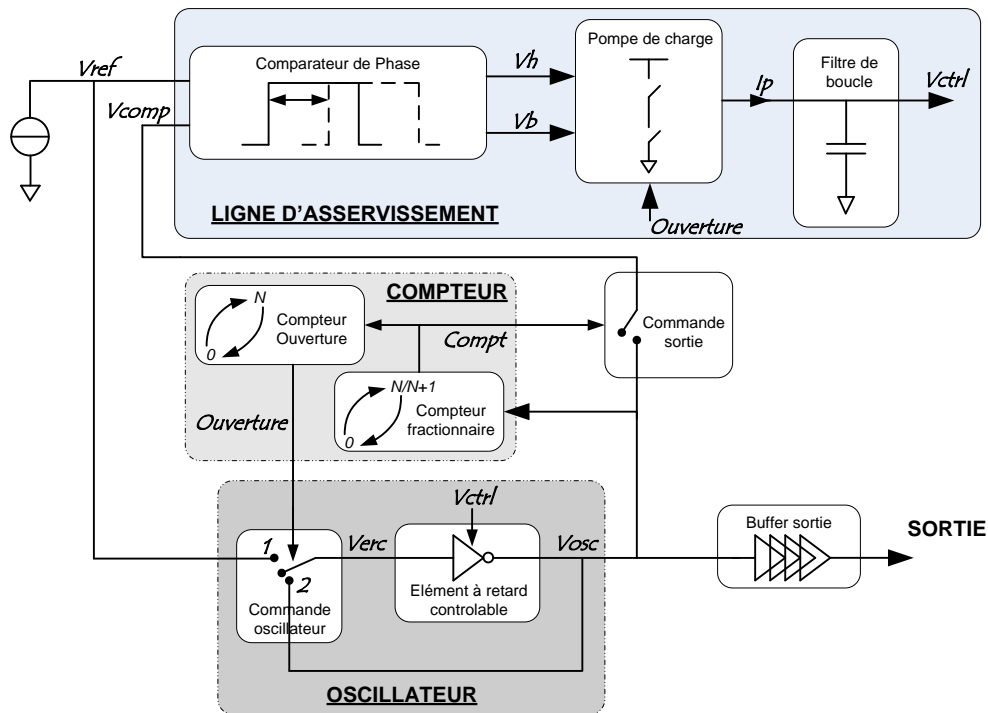


Figure III-1 : Architecture complète de la MPDLL

## III REALISATION DU CIRCUIT

### III.1 LA LIGNE D'ASSERVISSEMENT

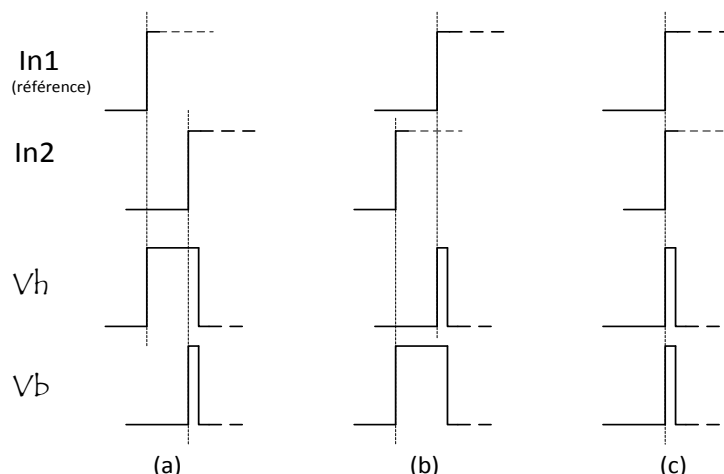
La ligne d'asservissement est composée des 3 blocs suivants : le comparateur de phase, la pompe de charge et le filtre de boucle. En fonction de l'erreur de phase entre les deux signaux d'entrée  $V_{ref}$  et  $V_{comp}$ , le comparateur va fournir les 2 signaux  $V_h$  et  $V_b$  vers la pompe de charge, ce qui va entraîner la charge/décharge du filtre de boucle et donc la diminution/augmentation de la tension disponible à la sortie du filtre de boucle. Nous allons maintenant valider ce fonctionnement par l'étude de chacun des blocs.



### III.1.a Le comparateur de phase

#### III.1.a.1 Description

La fonction du comparateur de phase est de fournir à la pompe de charge les signaux  $V_h$  et  $V_b$  en fonction de l'erreur de phase entre les deux signaux appliqués en entrée de ce bloc. En considérant l'une des deux entrées comme étant la référence, si le second signal est en avance de phase, une des deux sorties ( $V_h$  ou  $V_b$ ) sera forcée à l'état haut. Par contre si ce second signal est en retard de phase, alors ce sera l'autre sortie qui sera active. La Figure III-2 décrit ce fonctionnement.



**Figure III-2 : Fonctionnement du comparateur de phase**  
**(a) retard de phase, (b) avance de phase, (c) en phase**

- Lorsque l'entrée  $In2$  est en retard de phase (par rapport à la référence  $In1$ ), le signal  $V_h$  passe à l'état haut entre le front montant de la référence et le front montant de  $In2$ .
- Lorsque l'entrée  $In2$  est en avance de phase, le signal  $V_b$  passe à l'état haut entre le front montant de  $In2$  et de la référence.
- Enfin, lorsque les 2 signaux d'entrée sont synchronisés, seules des impulsions résiduelles sont appliquées sur  $V_h$  et  $V_b$ .

La zone morte du comparateur correspond à une plage de décalage de phase pour laquelle la fonction de transfert du comparateur est nulle. Ce problème a été décrit lors du chapitre 2 et nous choisirons donc une architecture qui respecte la génération des impulsions résiduelles.

Différentes architectures sont répandues dans la littérature, tels que les comparateurs à porte OU exclusif, les comparateurs Bang-Bang [RAM01-1] ou encore ceux basés sur les convertisseurs temps/numérique [STA06-1]. Une architecture de comparateur de phase réalisée auparavant dans notre équipe respecte ce fonctionnement à 3 états [MAJ06-1]. Cette architecture est décrite à la Figure III-3. De plus, nous avons choisi de rajouter à cette architecture un accès au niveau du substrat d'un PMOS de la porte OU exclusive d'entrée de la chaîne  $In1$ . Un non-appariement des entrées du comparateur aurait pour conséquence une différence dans le seuil de commutation des deux voies.

Cette différence des seuils de commutations entraîne un décalage temporel d'une voie du comparateur par rapport à l'autre. Ceci est alors interprété par le reste du bloc d'asservissement comme un déphasage supplémentaire fixe entre les deux voies d'entrée. En conséquence, lorsque les signaux d'entrée sont censés être synchronisés, cela générerait une erreur de phase statique dans la chaîne. Cet accès substrat sur une des 2 voies nous permet de modifier dynamiquement son seuil de commutation et donc éliminer tout non-appariement et toute erreur de phase statique.

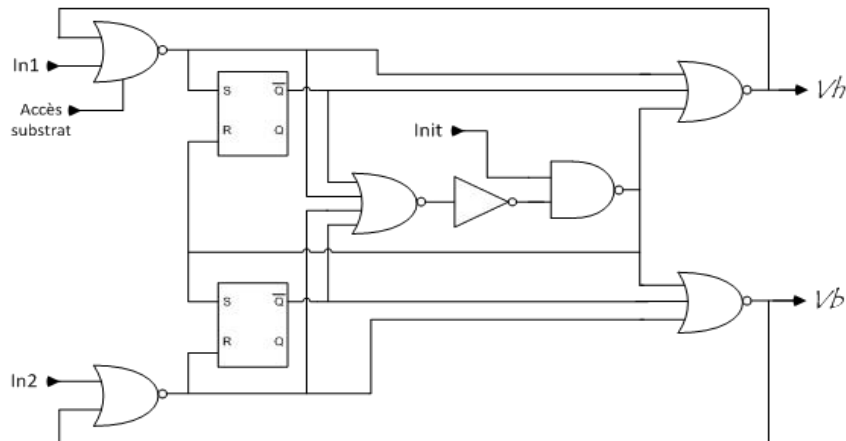


Figure III-3 : Architecture du comparateur de phase

### III.1.a.2 Simulation

La Figure III-4 représente les simulations temporelles des trois états de la pompe de charge.

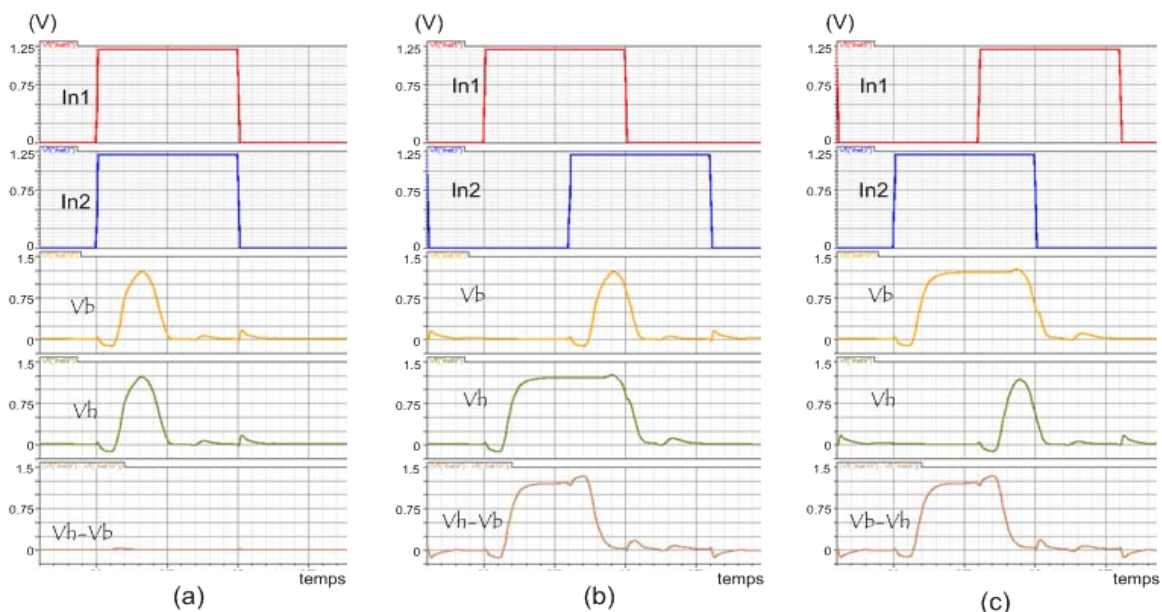


Figure III-4 : Simulations temporelles du comparateur de phase. (a) In1 et In2 en phase (b) In1 en avance sur In2 (c) In2 en avance sur In1

Les parties du milieu (b) et de droite (c) représentent les états pour lesquels une de deux entrées est en avance sur l'autre. Dans les deux cas, nous observons bien l'impulsion sur la sortie correspondante ainsi que l'impulsion résiduelle correspondant au front montant du signal en retard.

De plus, nous avons rajouté, en bas de chacune des parties, un signal égal à la différence des deux sorties qui représente bien le délai entre les deux fronts  $In1$  et  $In2$ . La partie de gauche (a) représente l'état pour lequel les entrées sont synchronisées. On peut alors voir que seules deux impulsions résiduelles sont présentes sur les sorties  $Vh$  et  $Vb$ , ce qui est conforme à la précédente description. De plus, la courbe  $Vh-Vb$  correspondante nous prouve que ces deux impulsions sont correctement synchronisées, ce qui nous assure qu'aucune erreur de phase statique ne sera engendrée par ces impulsions. Nous allons maintenant passer à la description du second bloc de l'asservissement : la pompe de charge.

### III.1.b La pompe de charge

#### III.1.b.1 Fonctionnement

La seconde partie du bloc d'asservissement est la pompe de charge. Ce bloc reçoit en entrée les deux signaux  $Vh$  et  $Vb$  provenant du comparateur de phase et qui vont permettre de charger ou décharger la troisième partie du bloc qu'est le filtre de boucle. Nous pouvons voir sur la Figure III-5 le schéma fonctionnel d'une pompe de charge.

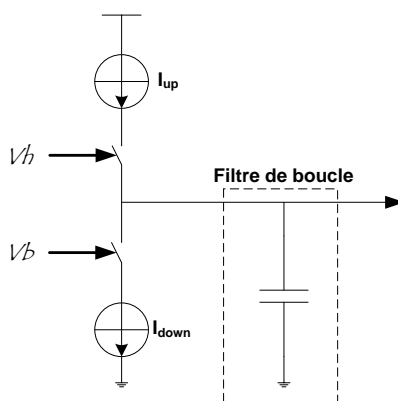


Figure III-5 : Schéma fonctionnel de la pompe de charge

Lorsque le signal  $Vh$  est mis au niveau haut, l'interrupteur sur lequel ce signal est appliqué est fermé tandis que le second interrupteur est ouvert, la capacité du filtre se charge avec le courant  $Iup$  : la tension aux bornes du filtre (ici une capacité) augmente.

Lorsque le signal  $Vb$  est activé, l'interrupteur sur lequel ce signal est appliqué est fermé tandis que le second interrupteur est ouvert, la capacité du filtre se décharge avec le courant  $I_{down}$  : la tension aux bornes du filtre (ici une capacité) diminue.

#### III.1.b.2 Précautions de conception

Pour que les deux entrées du bloc soient en phase, il est, tout d'abord, nécessaire que les courants de charge et de décharge de la pompe de charge soient égaux. Or ces derniers sont délivrés

respectivement par des miroirs de courants formés de transistors PMOS et de NMOS. La valeur des courants va dépendre de la tension  $V_{ds}$  aux bornes des transistors de recopie et donc de la tension aux bornes de la capacité du filtre de boucle.

Mais, d'une part, cette tension de contrôle évolue en fonction du standard visé ; d'autre part, en mode saturé, la courbe de courant  $I_d$  en fonction de  $V_{ds}$  n'est pas plate à cause du phénomène de modulation de la longueur du canal.

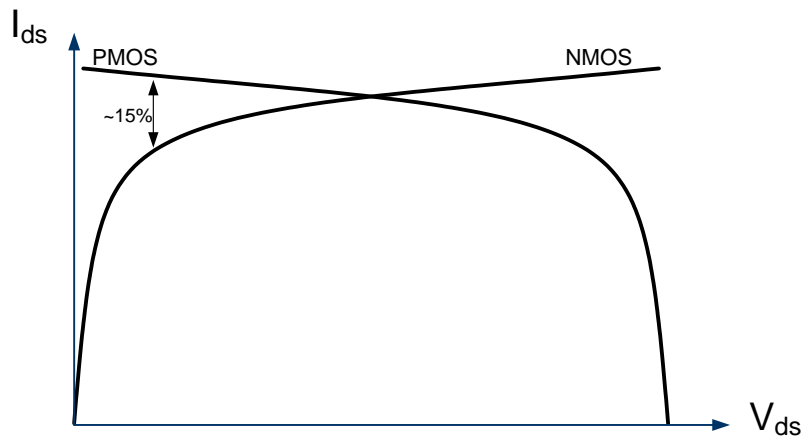


Figure III-6 : Evolution du courant en fonction de la tension de sortie pour le PMOS et le NMOS

En effet, nous avons donc les caractéristiques  $I_{ds}=f(V_{ds})$  en fonction du type de transistor illustrées à la Figure III-6. Dans ces conditions, les courants de charge et de décharge ne seront jamais égaux. Pour compenser cette différence, la boucle va alors augmenter la largeur d'une impulsion par rapport à l'autre, afin que les courants moyens injectés et pompés soient égaux lorsque le système est verrouillé. Ce dernier phénomène crée une erreur de phase statique.

### III.1.b.3 Réalisation.

- *Appariement des courants.*

Afin de limiter au maximum cette erreur de fonctionnement, une solution serait d'effectuer un contrôle sur ces deux courants afin de les rendre égaux quelle que soit la valeur de la tension de sortie. La Figure III-7 [LEE00-1] présente une architecture permettant de contrôler l'égalité entre les courants de charge et de décharge réalisée à l'aide d'un AOP.

La branche formée par les transistors M9 et M10 permet de fixer la valeur du courant délivré. A l'aide du miroir de courant réalisé par les transistors M10-M3-M7, ce courant est reporté dans les deux autres branches. Les transistors M4 et M1 sont des interrupteurs sur lesquels seront appliqués les signaux provenant du comparateur de phase. Les transistors M5 et M8 sont les mêmes respectivement que M1 et M4 afin d'apparier ces deux branches. En revanche, ils seront toujours passants. Enfin, M2 et M6 (dont la tension de grille est reliée de la sortie de l'AOP) vont permettre de réguler le courant. La sortie CPout est, elle, connectée au filtre de boucle.

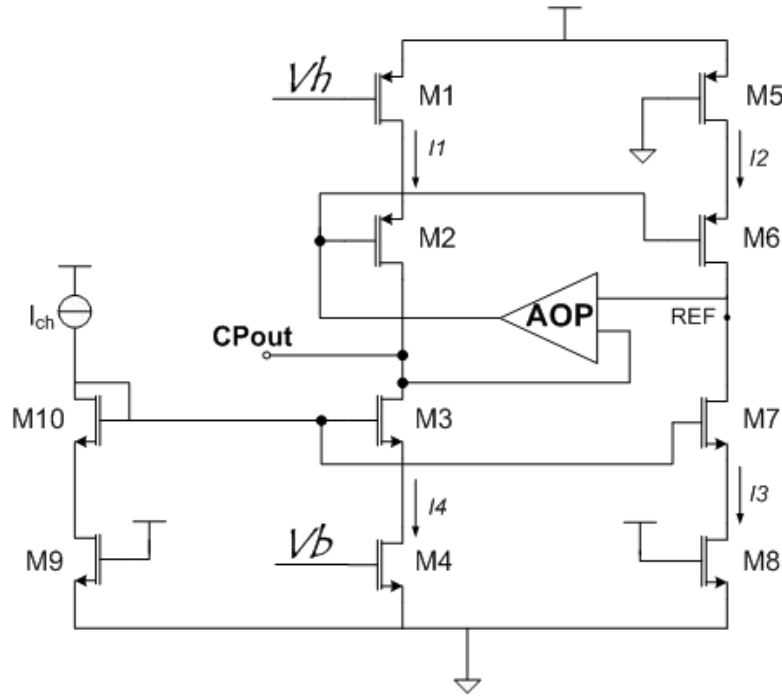


Figure III-7 : Architecture d'appariement des courants.

Le fonctionnement du circuit est le suivant :

D'une part, lorsque signal  $V_b$  est actif, le transistor M4 est alors passant tandis que M1 est bloqué. La capacité du filtre de boucle se décharge et l'action du miroir de courant permet d'obtenir :

$$i_4 = i_{CH} = i_3 \tag{Équation III-1}$$

D'autre part, lorsque signal  $V_h$  est actif, M1 est passant alors que M4 est bloqué. Le courant  $I_1$  charge la capacité. A cet instant l'AOP va jouer son rôle de régulateur. En effet, il va permettre d'égaliser les deux potentiels d'entrée, c'est-à-dire  $V_{CPout}$  et  $V_{REF}$ , en faisant varier la tension de grille de M2 et M6. Ainsi, si les transistors M2 et M6 ainsi que M1 et M5 sont identiques, comme  $V_{CPout} = V_{REF}$ , nous aurons obligatoirement :

$$i_1 = i_2 \tag{Équation III-2}$$

Par ailleurs, puisqu'il s'agit de la même branche :

$$i_2 = i_3 \tag{Équation III-3}$$

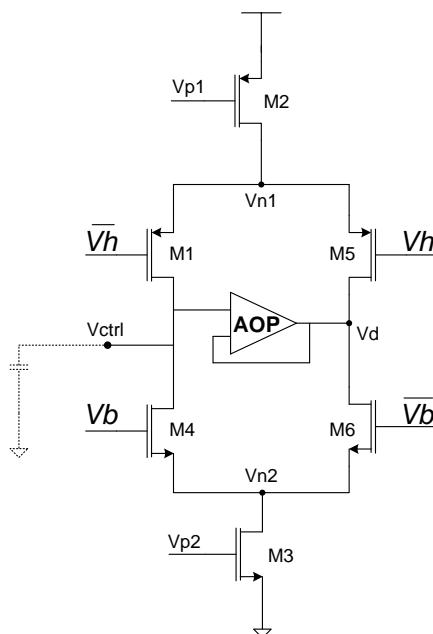
Finalement, en utilisant les Équation III-1, Équation III-2 et Équation III-3, nous obtenons :

$$i_1 = i_4 \tag{Équation III-4}$$

Ainsi, quelle que soit la valeur de la tension du filtre de boucle les courants de charge et décharge sont égaux.

- *La commutation des interrupteurs.*

Par ailleurs, une technique permet d'éviter que le potentiel de source des transistors ne subisse de variation trop forte de tension lors de la commutation des interrupteurs [CHE06-1]. Il s'agit d'utiliser une paire différentielle. Cette paire différentielle va permettre de conserver un potentiel constant au niveau des sources des interrupteurs. La Figure III-8 illustre ce phénomène.



**Figure III-8 : Paire différentielle pour limiter les effets de commutation des interrupteurs.**

Cette paire différentielle vient remplacer la branche formée par les transistors M1, M2, M3 et M4 de la Figure III-7. Afin de clarifier la figure, les transistors M1 et M2 ainsi que M3 et M4 sont intervertis ainsi que les signaux appliqués sur leurs grilles. Une branche composée par les transistors M5 et M6 a été ajoutée en parallèle avec les transistors M1 et M4. Les tensions de grille appliquées sur M5 et M6 a été ajoutée en parallèle avec les tensions de grilles de M1 et M4. Les tensions de grille appliquées sur M5 et M6 sont respectivement en opposition de phase avec les tensions de grilles de M1 et M4. Ceci a pour conséquence qu'il y a toujours, au niveau du nœud  $Vn2$  (idem nœud  $Vn1$ ), le transistor M4 ou M6 passant (respectivement M1 ou M5). Dans l'architecture présentée à la Figure III-7, ce même nœud « voyait » un circuit ouvert lorsque le signal  $Vb$  était à l'état bas.

De plus l'utilisation d'un AOP en montage suiveur, tel que cela est présenté dans la Figure III-8, va permettre de recopier le potentiel  $Vctrl$  au niveau du potentiel  $Vd$ . Ainsi le nœud  $Vn1$  conserve un potentiel constant quel que soit le transistor (M4 ou M6) qui conduit et le transistor M3 a toujours la même charge au niveau du drain.

- *Elargissement de la plage d'utilisation.*

Afin d'optimiser l'utilisation de la pompe de charge, nous souhaitons maintenant élargir au maximum la plage d'utilisation, c'est-à-dire la plage de tension de sortie  $Vctrl$  pour laquelle les transistors utilisés comme interrupteurs sont dans la région de saturation (zone de moindre pente de la Figure III-6). Dans

la région résistive (zone la plus pentue de la Figure III-6), une variation de la tension  $V_{ds}$  de ces transistors entraînerait une variation non acceptable du courant de charge/décharge de la pompe de charge.

Afin de respecter la linéarité de la pompe de charge (transistor de commutation en mode saturé) il est nécessaire d'augmenter le gain  $K_{ERC}$  de l'élément à retard contrôlable si l'on souhaite couvrir une plage élargie de fréquence synthétisables. Une variation de la tension de contrôle induisant une variation plus forte du délai appliqué par l'élément à retard contrôlable, cette augmentation du gain impacte directement sur le bruit de phase de l'architecture. Ainsi, afin de relâcher les contraintes sur l'élément à retard contrôlable, l'architecture de la Figure III-9 permet d'élargir la zone de fonctionnement linéaire. Cette figure présente uniquement la partie de polarisation, la sortie étant appliquée sur la grille du NMOS M3 qui est utilisée comme source de courant à la Figure III-8.

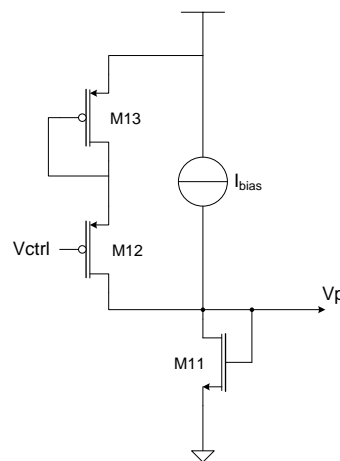


Figure III-9 : Architecture d'élargissement de la plage d'utilisation.

Le fonctionnement du circuit est le suivant :

Lorsque que la valeur de la tension  $V_{ctrl}$  est suffisamment grande, le transistor M12 est bloqué et seul le courant  $I_{bias}$  est injecté dans le circuit.

En revanche, lorsque cette même tension devient trop faible, le transistor M12 devient passant et injecte un courant qui vient se rajouter au courant  $I_{bias}$ . Ainsi, nous avons une plage de tension de sortie plus large pour laquelle le courant de charge et de décharge sont identiques.

- *Circuit complet « mono-courant ».*

La Figure III-10 présente l'architecture complète de la pompe de charge comprenant les trois parties exposées précédemment. Les résultats de simulations sont décrits dans la section suivante. Cependant, nous avons vu dans le précédent chapitre que l'architecture « P/DLL mixte » que nous souhaitons réaliser nécessite que nous puissions dynamiquement modifier la valeur absolue du courant généré vers le filtre de boucle (charge ou décharge). Pour cela nous allons ajouter à

l'architecture de la Figure III-10 un bloc qui, par le biais d'un interrupteur, pourra venir modifier le courant traversant les transistors M1 ou M2.

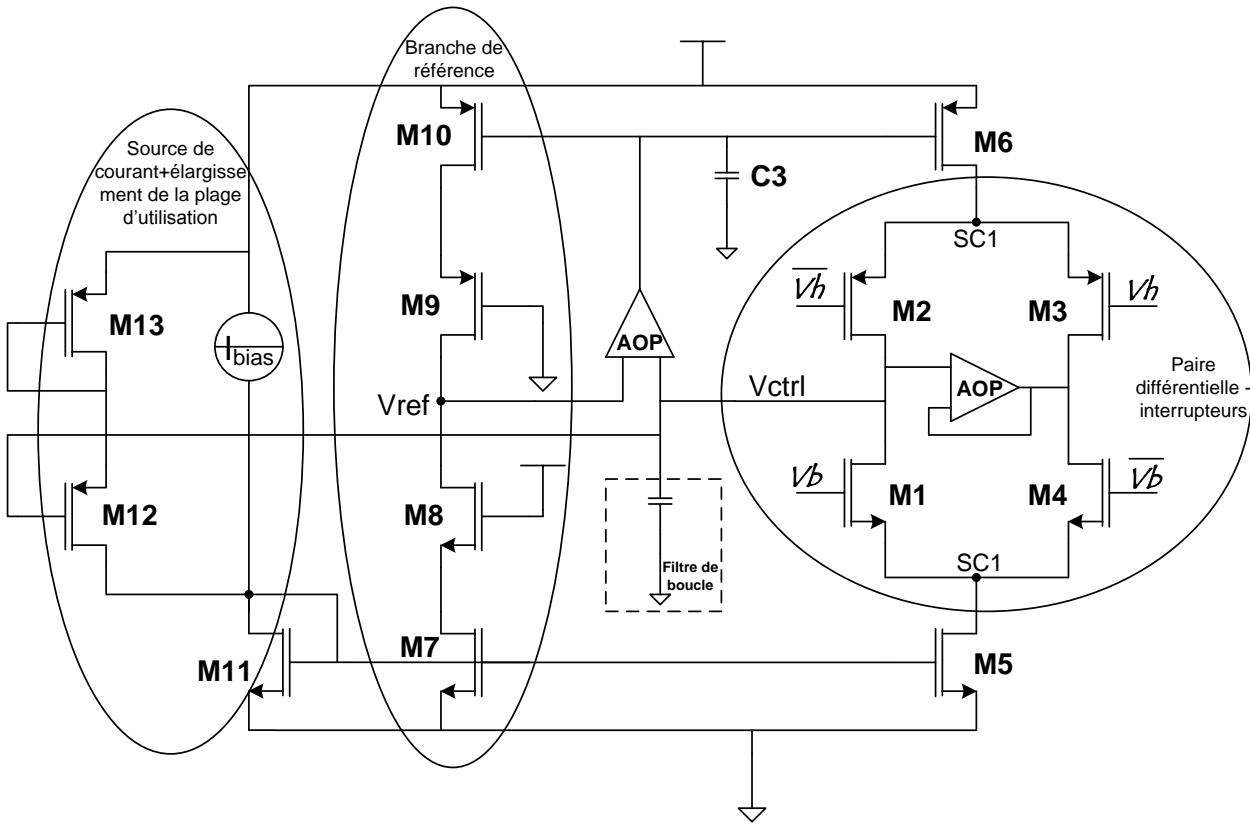


Figure III-10 : Architecture complète de pompe de charge « mono-courant ».

- *Circuit final pour la pompe de charge*

Nous allons donc rajouter un deuxième bloc de source de courant respectivement en parallèle des transistors M5 et M6. Cette seconde source, contrôlée par le biais d'un interrupteur, autorisera ainsi une variation dynamique du courant de charge ou décharge traversant la branche formée par les transistors M1 et M2. La Figure III-11 décrit la source de courant secondaire qui a été ajouté à l'architecture de la Figure III-10.

Le cœur de ce bloc est constitué des transistors S1, S2, S3 et S4. Afin de définir le facteur multiplicatif entre le courant « secondaire » et le courant initial, nous allons pouvoir activer au choix certains de ces transistors avec la combinaison souhaitée. A chaque nouveau transistor ajouté, la longueur de celui-ci est doublée par rapport au précédent ( $WS4=2*WS3=4*WS3=8*WS1$ ) et, en conséquence, le courant traversant chacun des transistors S1 à S4 est lui aussi doublé ( $IS4=2*IS3=4*IS3=8*IS1$ ). Par ailleurs, les transistors M5 et S1 étant dimensionnés de la même manière, leur tension de grille et tension VDS étant identiques, le courant  $IS1$  et  $IP$  sont égaux.



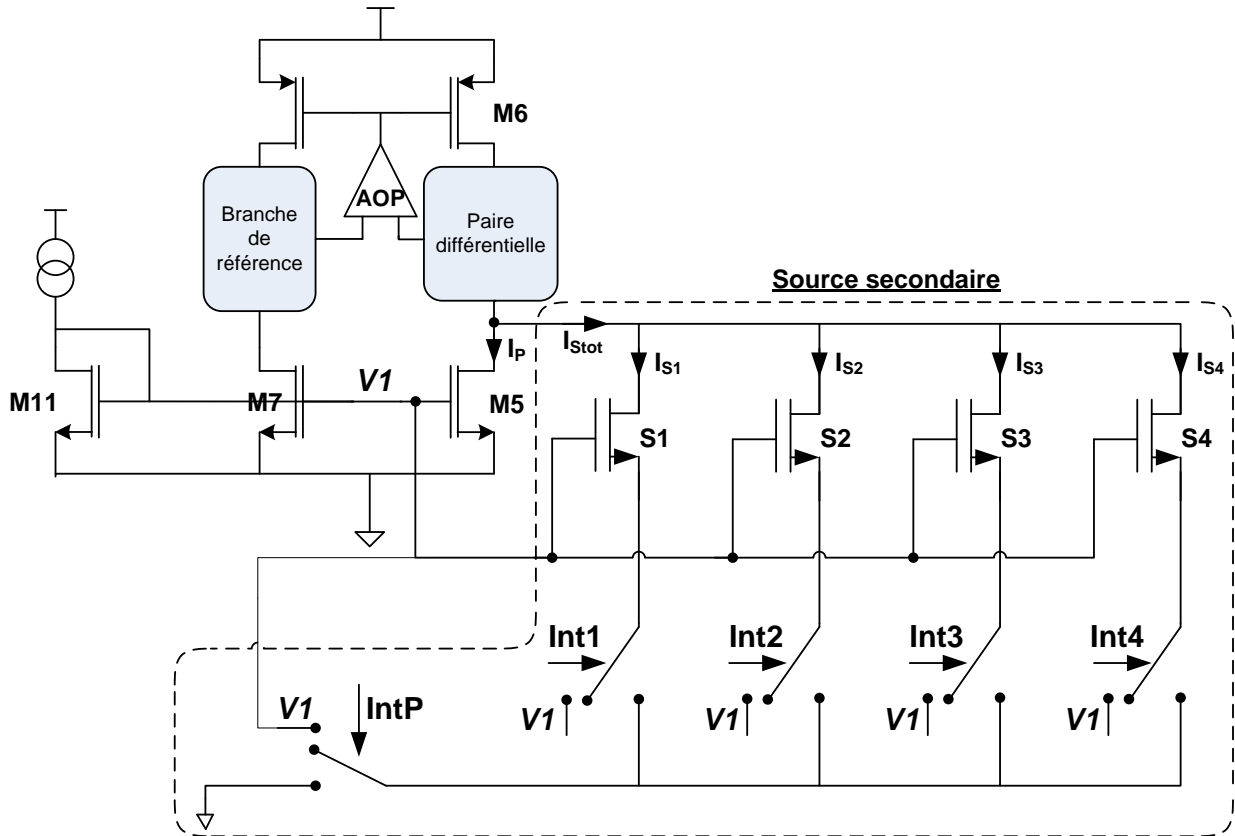


Figure III-11 : Architecture finale de pompe de charge.

Afin de ne pas perturber le reste du circuit, nous avons choisi de ne pas insérer d'interrupteurs au niveau des jonctions autour de M5. En effet, lors de leur commutation, les interrupteurs pourraient générer de fortes impulsions parasites s'ils étaient reliés à la grille ou au drain de M5. En fonction du facteur de multiplication souhaité nous allons appliquer un « mot » binaire à hauteur des interrupteurs que nous avons insérés au niveau des sources des transistors S1 à S4. Le courant traversant chacun des transistors respectant un code binaire, le facteur de multiplication va directement être traduit en binaire.

A partir des valeurs des différents paramètres de la boucle, nous avons pu déterminer qu'une multiplication par 10 de ce courant serait suffisante dans le cadre de notre démonstrateur. Ainsi quatre interrupteurs suffiront à la réalisation de ce bloc.

Par exemple, si nous souhaitons obtenir un courant  $I_{Stot}$  5 fois plus fort que  $I_p$  au niveau de la source secondaire, il nous suffira d'appliquer le code « 1010 » au niveau des interrupteurs « Int1...Int4 », ainsi :

$$\begin{aligned}
 I_{Stot} &= I_{S1} * Int1 + I_{S2} * Int2 + I_{S3} * Int3 + I_{S4} * Int4 \\
 I_{Stot} &= I_{S1} * 1 + I_{S2} * 0 + I_{S3} * 1 + I_{S4} * 0 \\
 I_{Stot} &= I_{S1} * 1 + 4 * I_{S1} * 1 \\
 I_{Stot} &= 5 * I_{S1} = 5 * I_p
 \end{aligned}$$

Équation III-5

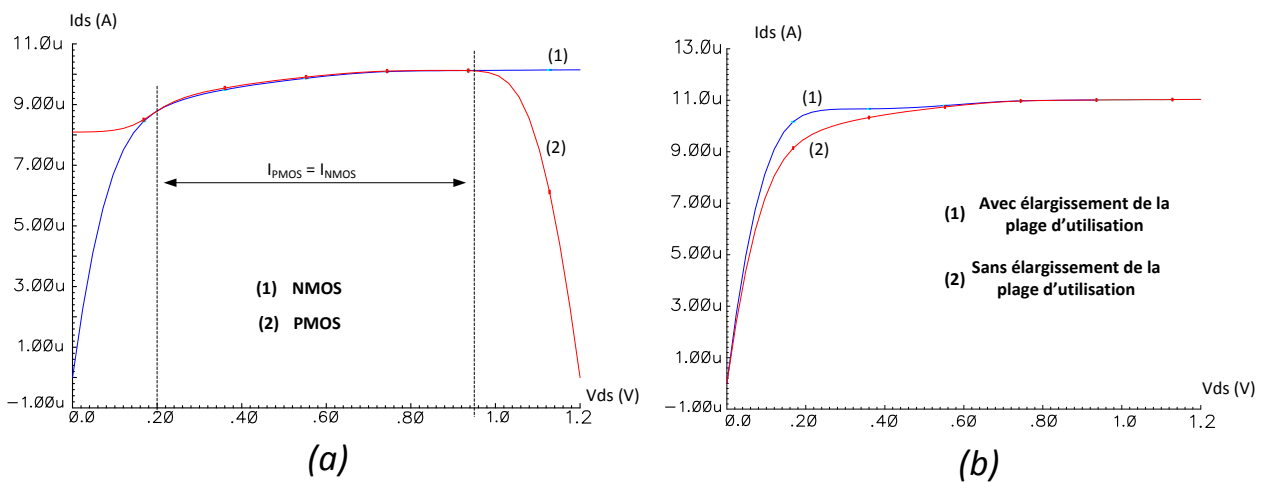
Une fois que la valeur du courant secondaire est fixée, nous avons un second interrupteur IntP qui va permettre d'activer ou non ce courant secondaire. Celui-ci sera commandé par le signal de sortie du Compteur ouverture de la Figure III 1.

Enfin, nous pouvons voir que la sortie « position OFF » de chacun des interrupteurs S1 à S4 est reliée au potentiel  $\nabla$ . Ainsi, les transistors inutilisés (c'est-à-dire reliés à un interrupteur fermé) ne délivrent aucun courant puisque leur tension  $V_{GS}$  est nulle. Il en est de même avec l'interrupteur IntP afin que le courant secondaire soit nul en dehors des périodes souhaitées.

Les résultats de simulations vont maintenant être présentés afin de valider le fonctionnement de la pompe de charge.

### III.1.b.4 Simulations de la pompe de charge.

La Figure III-12 (a) présente les résultats de simulations DC pour l'appariement des courants à l'aide de la technique présentée à la Figure III-7 et utilisée dans l'architecture complète de la pompe de charge (Figure III-10 et Figure III-11). La courbe (1) (en bleu) représente le courant délivré par le transistor NMOS M1 de la Figure III-10 et la courbe (2) (en rouge) représente celui délivré par le PMOS M2.

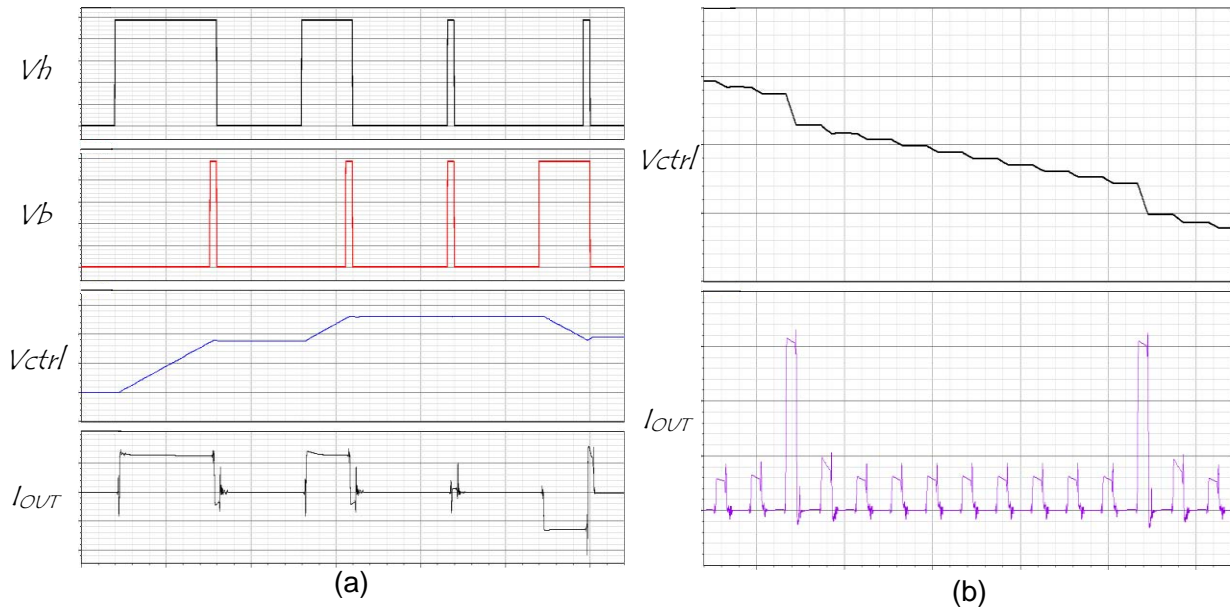


**Figure III-12 : (a) Simulation de l'appariement des courants de charge et décharge. (b) Simulation de l'élargissement de la plage d'utilisation**

La tension  $V_{DS}$  représente ici la tension de sortie de la pompe de charge, c'est-à-dire la tension de contrôle ( $V_{CTRL}$ ) aux bornes du filtre de boucle. Nous pouvons voir que sur une plage de tension allant de 0,2V à 0,95V les courants de charge et de décharge sont égaux.

La Figure III-12 (b) présente les résultats de simulation du seul courant délivré par le NMOS (Figure III-12 (a)) avec et sans l'application de l'architecture d'élargissement de la plage d'utilisation. Nous voyons ici que la plage d'utilisation « pseudo-linéaire » (zone de saturation du transistor M1) est élargie d'environ 200 mV. Ainsi nous pourrions accepter le fonctionnement de l'élément à retard contrôlable sur une plage de tension de contrôle ( $V_{CTRL}$ ) plus basse que précédemment.

Afin de valider le fonctionnement complet de la pompe de charge, nous pouvons observer sur la Figure III-13 les simulations temporelles.



**Figure III-13 : (a) Simulation temporelle de la pompe de charge. (b) Simulation temporelle de la multiplication périodique du courant.**

La Figure III-13 (a) présente les résultats de simulation temporelle. Nous voyons que lorsque le signal  $V_h$  est à l'état haut et  $V_b$  à l'état bas, le courant de sortie est positif et vient charger le filtre de boucle, augmentant ainsi la tension  $V_{ctrl}$ . Au contraire, lorsque  $V_b$  est à l'état haut et  $V_h$  à l'état bas, le courant de sortie est négatif, ce qui a pour effet de décharger le filtre de boucle et donc diminuer la tension  $V_{ctrl}$ . Enfin, dans le cas où les deux signaux d'entrée de la pompe de charge sont synchronisés, malgré quelques impulsions parasites, le courant moyen de sortie est nul et la tension de contrôle ne subit aucune variation.

La multiplication périodique du courant de sortie de la pompe de charge est présentée au niveau de la Figure III-13 (b). Dans ce cas, l'écart entre les signaux  $V_h$  et  $V_b$  est constant et le courant est multiplié par un facteur 5 à une fréquence dix fois inférieure à ces deux signaux. Nous voyons alors que la valeur du courant de sortie est de  $30\mu\text{A}$  sans multiplication et que celle-ci passe à  $150\mu\text{A}$  une fois sur dix.

Ces différentes simulations ont donc permis d'entériner le fonctionnement de la pompe de charge. Afin de valider le bloc d'asservissement complet, nous allons maintenant évoquer la synthèse du filtre de boucle.

### III.1.c Le filtre de boucle

Une fois l'information sur l'erreur de phase entre les deux signaux d'entrée de la ligne d'asservissement transformée en courant via la pompe de charge, le filtre de boucle va intégrer ce signal pour générer la tension de contrôle ( $V_{CTRL}$ ) utilisée ensuite au niveau de l'élément à retard contrôlable.

Nous avons vu dans le précédent chapitre l'importance du dimensionnement du filtre de boucle pour la stabilité de l'architecture, mais aussi afin d'améliorer le taux de réjection. L'objectif de notre étude est de réaliser un démonstrateur de la « mixed P/DLL » permettant de stabiliser une architecture instable. Pour cela, nous avons choisi d'utiliser comme filtre de boucle un intégrateur pur, c'est-à-dire un filtre purement capacitif. Ce type de filtre, une fois dimensionné de manière adéquate, nous placera dans le cas d'une boucle instable qui sera stabilisée par la relance périodique de l'oscillation.

Le dimensionnement de ce filtre a été réalisé en considérant une architecture de DLL classique qui fonctionnerait avec une fréquence d'entrée à 100 MHz. Cette valeur correspond à la fréquence de relance de l'oscillation lorsque celle-ci se produit toutes les cinq périodes de référence. Or, il a été montré [MAJ06-2] que la bande passante maximale ( $BP_{MAX}$ ) pouvait s'exprimer :

$$BP_{MAX} = \frac{I_{PC} \times 2 \times M \times K_{ERC}}{4\pi * C^2} = \frac{F_{REF}}{10} \quad \text{Équation III-6}$$

Où,  $I_{PC}$  représente le courant délivré par la pompe de charge,  $M$  le nombre de périodes à synthétiser et  $K_{ERC}$  le gain de l'élément à retard contrôlable.

Ainsi, nous allons fixer la valeur minimale de la capacité du filtre de boucle en considérant les valeurs des différents paramètres de la boucle et notamment le gain de l'élément à retard contrôlable présenté par la suite.

## III.2 L'OSCILLATEUR

Comme nous pouvons le voir sur la Figure III-14, l'oscillateur est composé de deux blocs : le bloc d'élément à *retard contrôlable* et le bloc de *commande de l'oscillateur*. Le premier va permettre la synthèse du signal de sortie à la fréquence désirée: la période de ce dernier dépendra du retard généré par ce bloc. Le second contrôlera l'ouverture de l'oscillateur : selon un mode dit « fermé », cela génèrera un oscillateur en anneau et, selon un mode « ouvert », le circuit permettra à l'horloge de référence de relancer l'oscillation.

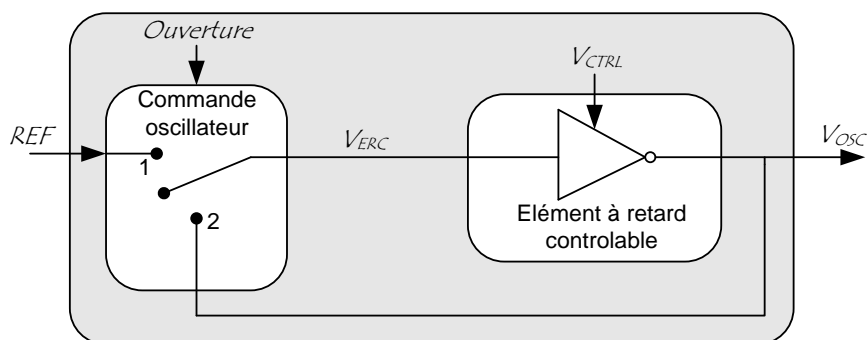


Figure III-14 : Architecture de la partie oscillateur

### III.2.a Rappel de fonctionnement et limite.

Nous avons vu dans le précédent chapitre le fonctionnement de l'oscillateur (chap. 2 §III.2.a).

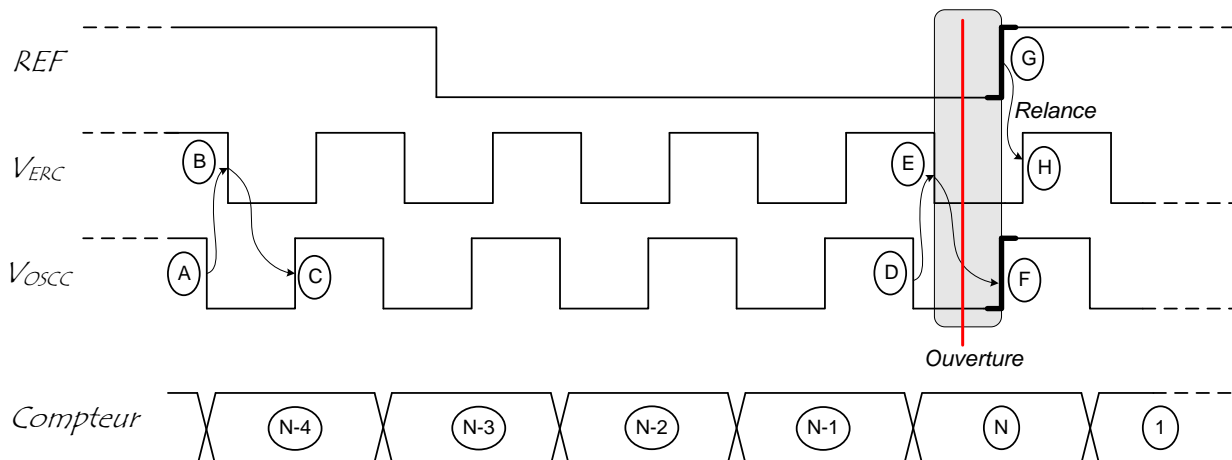
Initialement, la *commande de l'oscillateur* est en position « ouverte » (position 1). Ainsi le premier front de l'horloge de référence lance l'oscillation.

D'un côté, la *commande de l'oscillateur* passe alors en position 2, de l'autre le front montant est retardé et inversé par l'*élément à retard contrôlable*. Le front descendant en sortie de l'oscillateur traverse alors la commande de l'oscillateur avant d'être de nouveau retardé et inversé. Une première oscillation apparaît ainsi. Le signal  $V_{OSC}$  de sortie de l'oscillateur sert d'horloge pour le compteur dont le fonctionnement sera décrit dans une prochaine section. Une fois que celui-ci a décompté sa valeur programmée, le signal *Ouverture* agit sur la *commande de l'oscillateur* pour forcer celle-ci en position « ouverte » (position 1).

D'une part, l'oscillateur est ouvert et le prochain front d'horloge relancera l'oscillation. D'autre part, le dernier front montant de sortie de l'oscillateur va traverser le bloc *Commande sortie* (Figure III-1) pour être comparé avec ce même prochain front d'horloge au niveau du comparateur de phase. L'oscillation est, comme décrit ci-avant, relancée par ce même front d'horloge.

Ce fonctionnement simplifié correspond à une synthèse entière. Nous avons vu précédemment que, dans le cas d'une synthèse fractionnaire, l'ouverture de l'oscillateur et la relance de l'oscillation n'ont lieu qu'à une période définie, différente de la période à laquelle les signaux en entrée du comparateur de phase sont comparés.

La Figure III-15 présente le chronogramme de fonctionnement de la relance de l'oscillation et de la comparaison des fronts d'horloge et de sortie de l'oscillateur, lorsque ceux-ci sont synchronisés.



**Figure III-15 : Chronogramme de fonctionnement de l'oscillateur : comparaison et relance.**

Lorsque le circuit est fermé, l'oscillateur fonctionne comme un oscillateur en anneau : le front (A) en sortie de l'oscillateur traverse la *commande de l'oscillateur* (B) puis est de nouveau retardé et inversé (C). Le compteur est ici incrémenté sur les fronts descendants du signal  $V_{OSC}$ .

Une fois la valeur N (ou N+1 dans le cas d'un compteur fractionnaire) comptée suite au front descendant (D), le compteur d'ouverture transmet le signal *Ouverture* à la *commande de l'oscillateur* qui « ouvre » l'oscillateur (position 1).

Cependant, deux limitations sont à considérer ici. Premièrement, afin de générer le dernier front montant de l'oscillateur, il est nécessaire de laisser le front (D) traverser la commande afin d'obtenir le front (E) au niveau du signal  $V_{ERC}$  qui sera ensuite retardé pour obtenir le front (F) qui sera, quant à lui, comparé au front (G) de référence. Deuxièmement, la durée entre le front (D) du signal de sortie et l'ouverture ne doit pas excéder une demi-période de  $V_{OSC}$ , car le front (G) de la référence doit relancer l'oscillation en générant le front (H). Finalement, l'ouverture de l'oscillation devra s'effectuer dans une zone temporelle comprise (dans la Figure III-15) entre les fronts (E) et (F).

En conséquence, la période minimale d'utilisation de l'architecture sera limitée par le temps nécessaire à l'ouverture de l'oscillateur (ouverture avant les fronts (F) et (G)). Si l'on souhaite alors choisir un signal antérieur au signal  $V_{OSC}$  pour servir d'horloge au compteur, cela limitera la période maximale d'utilisation à une période permettant au front (E) d'être généré avant l'ouverture de l'oscillateur.

Un compromis sera donc nécessaire entre fréquence maximale et minimale d'utilisation. Nous allons tout d'abord voir la conception des deux blocs de l'oscillateur, puis nous verrons l'assemblage. Les limites d'utilisation seront abordées lorsque nous aurons déterminé les limites propres au compteur.

### III.2.b L'élément à retard contrôlable.

#### III.2.b.1 Utilisation du temps de propagation.

Un synthétiseur de fréquence dont l'oscillation est basée sur des techniques dites DOD (Delay Oriented Design), c'est-à-dire générée à partir d'éléments à retard contrôlable, repose sur la mise à profit d'un défaut des circuits logiques : le temps de propagation  $\theta$  d'une porte logique élémentaire. Le principe est d'appliquer en entrée d'un élément de ce type un signal sur lequel sera appliqué le retard  $\theta$ .

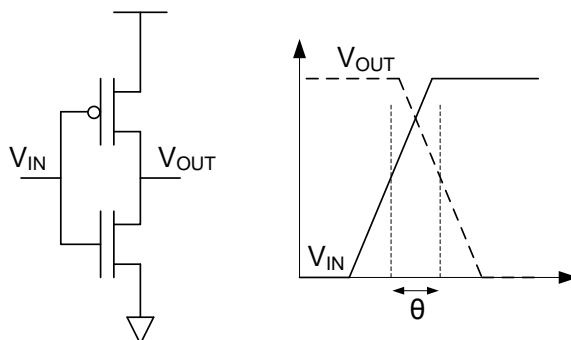


Figure III-16 : Inverseur logique classique et temps de propagation.

La Figure III-16 représente une « cellule inverseur » classique. Le signal d'entrée  $V_{IN}$  est inversé avec un retard  $\theta$  qui est fonction des différents paramètres suivants [CHO88-1] :

$$\theta = \theta_0 + \frac{C \times \Delta V}{I} \quad \text{Équation III-7}$$

où  $\theta_0$  correspond au temps de propagation intrinsèque de la porte, lié au temps de transit des porteurs,  $C$  est la capacité de charge équivalente en sortie de la porte,  $\Delta V$  est l'excursion logique et  $I$  est le courant moyen consommé par la porte.

Ainsi, en influant sur un de ces paramètres, il sera possible de faire varier le délai de l'élément à retard contrôlable et donc la fréquence du signal synthétisé.

De nombreuses architectures d'éléments à retard contrôlables existent [SPA02-1] [MAJ06-3] et sont comparées [MAH02-1]. Afin d'obtenir une dynamique maximale et symétrique, avec un rapport cyclique suffisamment proche de 50% sur toute la plage d'utilisation, nous avons choisi d'utiliser, pour la réalisation, une architecture d'un inverseur contrôlé en tension via un PMOS et un NMOS comme cela est présenté à la Figure III-17

Dans cette architecture, c'est le courant traversant l'élément inverseur, composé par les transistors M2 et M3, qui va permettre de faire varier le délai  $\theta$  entre les signaux  $V_{IN}$  et  $V_{OUT}$ . Ce sont les transistors M1 et M4 qui vont modifier le courant mis en jeu et plus particulièrement la tension appliquée sur leurs grilles. Plus le courant sera élevé et plus le temps de propagation  $\theta$  sera faible, conformément à l'Équation III-7.

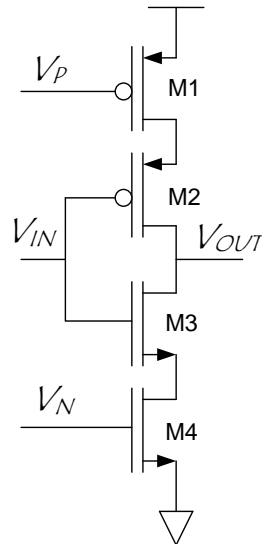


Figure III-17 : Inverseur contrôlé en tension via un PMOS et un NMOS

Nous avons vu précédemment que le retard de cet élément est contrôlé par la tension de contrôle  $V_{CTRL}$  fournie en sortie du système d'asservissement. Afin de générer les deux tensions  $V_p$  et  $V_n$  à partir de cette tension de contrôle, nous allons utiliser le bloc de mise en forme présenté à la Figure III-18 (a). Le dimensionnement de ce bloc nous permet d'obtenir deux tensions  $V_p$  et  $V_n$  en fonction de  $V_{CTRL}$  (Figure III-18 (b)), qui permettront de fournir le courant désiré au niveau de l'élément à retard contrôlable via les transistors M1 et M4.

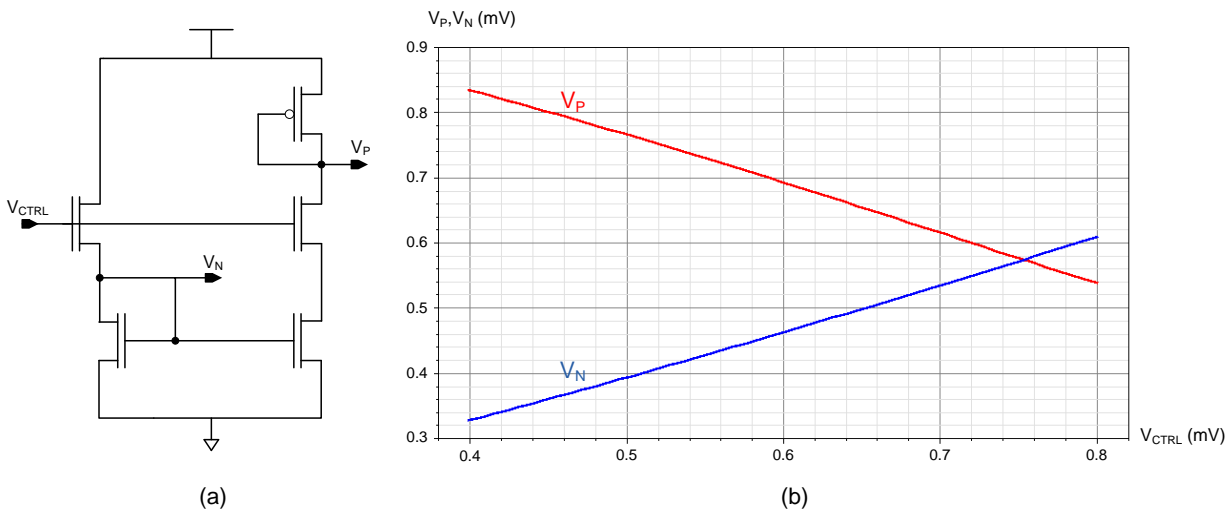


Figure III-18 : Bloc de mise en forme de la tension de contrôle (a) et simulation DC des tensions de sorties  $V_p$  et  $V_n$ .

Avec un dimensionnement judicieux, une telle architecture permet de couvrir une très large bande de fréquence [MAJ06-3]. Cependant, nous avons vu précédemment les précautions nécessaires à la réalisation de la pompe de charge et il en est de même pour la conception de l'élément à retard contrôlable.



### III.2.b.2 Développement de l'élément à retard contrôlable.

- *Motivations.*

Les oscillateurs sont souvent caractérisés par leur gain (appelé  $K_{VCO}$  pour un oscillateur contrôlé en tension), c'est-à-dire la plage de fréquences de sortie synthétisables en fonction de la plage de tension de contrôle ( $V_{CTRL}$ ) utilisée. Dans le cas d'un élément à retard contrôlable, nous allons appeler ce gain  $K_{ERC}$ .

Nous avons vu précédemment que de nombreuses spécifications doivent être respectées lors de la réalisation d'un synthétiseur de fréquence et tout particulièrement le bruit de phase. La contribution de l'oscillateur au bruit de phase total du synthétiseur est principalement due à la gigue temporelle. Or, il a été démontré [MAC94-1] que la valeur de la gigue temporelle était directement fonction du gain de l'oscillateur. Si l'on considère un oscillateur ayant un bruit blanc d'entrée générant une densité  $e_n$ , alors, la gigue temporelle  $\sigma_{\Delta T}$  après un temps  $\Delta T = m \times T_0$  (où  $T_0$  représente la période nominale et  $m \in \mathbb{N}^+$ ) peut s'écrire :

$$\sigma_{\Delta T} = \frac{K_{VCO}}{\omega_0} \cdot \frac{1}{\sqrt{2}} \cdot e_n \sqrt{\Delta T} \quad \text{Équation III-8}$$

Où  $\omega_0 = 2\pi f_0$  est la fréquence centrale de l'oscillateur.

Afin de limiter l'impact de ce gain sur le bruit de phase total de l'oscillateur, il est nécessaire de réaliser un élément ayant un faible  $K_{VCO}$  tout en respectant la bande de fréquence synthétisable souhaitée. Nous avons donc choisi de réaliser un élément dit « multi-bandes ».

- *Élément à retard contrôlable multi-bandes.*

Le principe est de réaliser un élément à retard contrôlable sur lequel nous allons pouvoir ajouter un contrôle numérique, afin de pouvoir modifier la bande de fréquence synthétisable pour une même variation de la tension de contrôle. Différentes architectures basées sur des boucles à verrouillages de phase [FON03-1] ou de délai [CHE06-1] existent. Au cours de ces travaux, nous avons développé l'architecture d'élément à retard contrôlable (VCDE) multi-bandes réglables numériquement. Cette architecture est présentée à la Figure III-19 [LUC09-1].

Cet élément est constitué de deux parties : une série de trois inverseurs composée par les transistors M1 à M6 et un ensemble de deux blocs de sources de courant réglable numériquement.

La série de trois inverseurs permet, d'une part, d'obtenir une inversion du signal et une plage de variation du délai appliqué plus grande, d'autre part, un fonctionnement continu des deux blocs de sources de courant. Le dimensionnement a été réalisé afin d'obtenir la plage de délai minimum et maximum désirée et de limiter l'impact du changement de la dynamique de la tension  $V_{AB}$ . Ce dernier point sera développé par la suite.

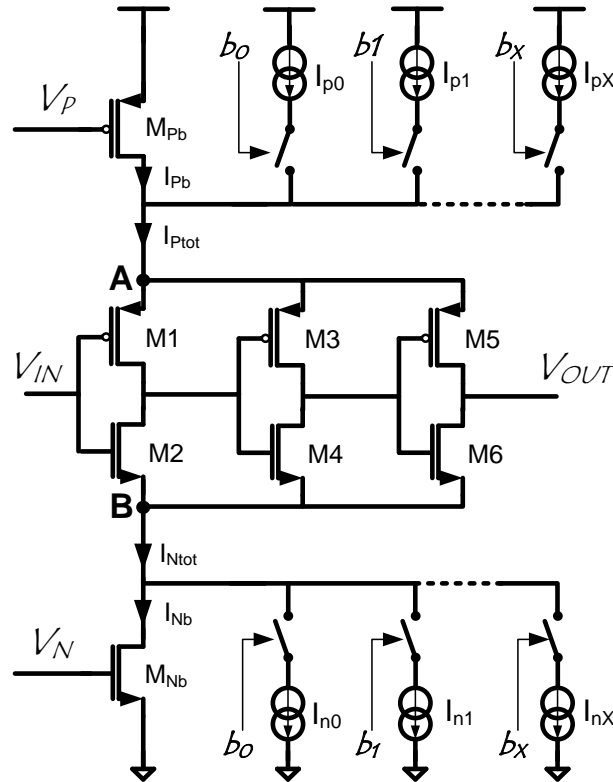


Figure III-19 : Architecture de l'élément à retard contrôlable multi-bandes réglable numériquement.

Les deux blocs de sources de courants permettent de modifier le courant traversant la série d'inverseurs en fonction de la valeur de la tension de contrôle ( $V_{CTRL}$ ), mise en forme avec le circuit de la Figure III-18, mais aussi de sélectionner la bande de fréquences de sortie générée. Afin d'en étudier le fonctionnement, nous allons nous concentrer sur le bloc supérieur composé des transistors  $M_{Pb}$  et des sources  $I_{p0}$  à  $I_{pX}$ , le second bloc (transistors  $M_{Nb}$  et sources  $I_{n0}$  à  $I_{nX}$ ) fonctionnant de manière similaire.

Ce bloc générique est composé de  $X+1$  branches qui sont reliées au niveau du point A. La première branche comprend le transistor  $M_{Pb}$  qui est contrôlé par la tension  $V_P$  provenant du bloc de mise en forme de la tension de contrôle (Figure III-18). Le courant  $I_{pb}$  va donc avoir la valeur suivante: lorsque  $V_{CTRL}$  augmente,  $V_P$  diminue, la tension  $V_{GS}$  de  $M_{Pb}$  augmente et  $I_{pb}$  augmente. Les  $X$  branches suivantes sont composées chacune d'une paire source de courant/interrupteur.

Lors de la réalisation, cette paire est construite à partir d'un transistor  $M_{pX}$  dont la taille est définie en fonction du courant  $I_{pX}$  à générer et dont la tension de grille  $b_X$  permet de le rendre passant ou bloqué (fonction interrupteur) : à l'état haut, le transistor est bloqué et, à l'état bas, il est passant (et inversement pour le bloc « transistors  $M_{Nb}$  et sources  $I_{n0}$  à  $I_{nX}$  »).

Ainsi les signaux  $b_0$  à  $b_X$  forment un mot binaire ( $MB = b_0b_1\dots b_X$ ) qui va permettre de contrôler numériquement les branches qui vont être activées et dont le courant va venir s'ajouter au courant  $I_{pb}$  pour former le courant  $I_{Ptot}$ . Par ailleurs, chacune des branches est dimensionnée afin que le courant

traversant chacune d'entre elles suit un code binaire, c'est-à-dire que le courant  $I_{PN}$  de la  $N^{\text{ième}}$  branche puisse être défini de la façon suivante :

$$I_{PN} = 2^N \cdot I_{P0} \quad \text{Équation III-9}$$

Le transistor  $M_{P0}$  de la première branche contrôlée numériquement ( $I_{P0}/b_0$ ) est dimensionné comme celui de la branche principale  $M_{P0}$  afin que  $I_{P0} = I_{pb}$ . Pour chacune des branches suivantes la taille du transistor est doublée. Afin d'illustrer ce point, prenons l'exemple qui suit.

Soit un élément comme celui décrit précédemment, réalisé avec cinq branches contrôlées numériquement ( $X=4$ ). Si l'on applique le code MB = 01101 (égal 22 converti en entier) nous aurons alors :

$$\begin{aligned} I_{P_{tot}} &= I_{Pb} + (b_0 \cdot I_{P0} + b_1 \cdot I_{P1} + b_2 \cdot I_{P2} + b_3 \cdot I_{P3} + b_4 \cdot I_{P4}) \\ I_{P_{tot}} &= I_{Pb} + (0 \cdot I_{P0} + 1 \cdot I_{P1} + 1 \cdot I_{P2} + 0 \cdot I_{P3} + 1 \cdot I_{P4}) \\ I_{P_{tot}} &= I_{Pb} + [1 \cdot (2^1 \cdot I_{P0}) + 1 \cdot (2^2 \cdot I_{P0}) + 1 \cdot (2^4 \cdot I_{P4})] \\ I_{P_{tot}} &= I_{Pb} + [2 \cdot I_{P0} + 4 \cdot I_{P0} + 16 \cdot I_{P0}] \\ I_{P_{tot}} &= I_{Pb} + 22 \cdot I_{P0} \end{aligned} \quad \text{Équation III-10}$$

Or,  $I_{P0} = I_{pb}$ , donc :

$$I_{P_{tot}} = 23 \cdot I_{P0} \quad \text{Équation III-11}$$

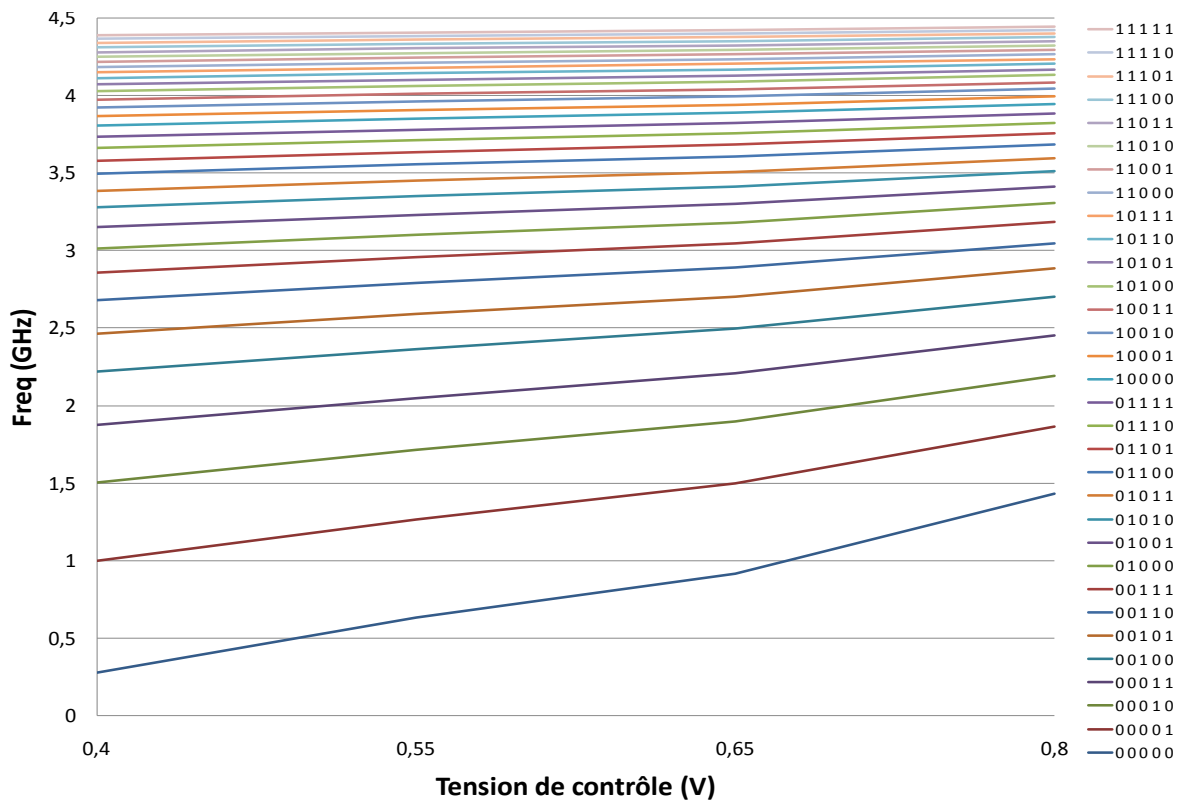
Le courant qui a été ajouté est donc bien égal à 22 fois le courant  $I_{pb}$  initial. Ainsi, il est possible de régler numériquement la valeur du courant traversant les éléments inverseurs en addition avec le courant résultant de la valeur de la tension de contrôle.

### III.2.b.3 Simulations de l'élément à retard contrôlable réglable numériquement

Afin de caractériser cet élément, nous allons observer la plage de fréquence synthétisable en fonction de la tension de contrôle. Pour ce faire, l'élément est rebouclé sur lui-même via la *commande de l'oscillateur* (Figure III-14) dont le fonctionnement sera décrit par la suite. Nous mesurons ensuite la période générée pour en déduire la fréquence synthétisée. Au vu des considérations au sujet de la pompe de charge, nous avons borné la tension de contrôle entre 0,4V et 0,8V (pour une tension d'alimentation de 1.2V).

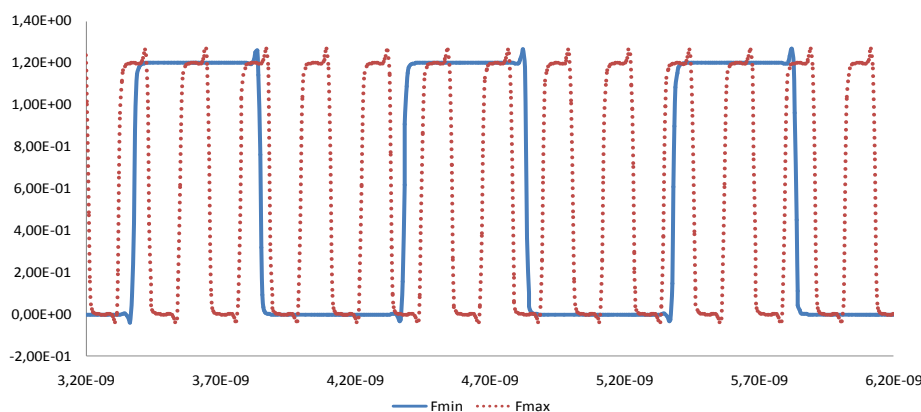
Cet élément a fait l'objet d'une étude spécifique [LUC09-1] dans laquelle nous avons montré qu'il était possible de le faire fonctionner sur une plage de fréquence de sortie comprise entre 1 et 10 GHz. Nous avons, pour cela, utilisé six branches numériquement contrôlables, soit un total de  $2^6 = 64$  combinaisons possibles. Le gain  $K_{ERC}$  de l'élément a été ainsi divisé par un facteur supérieur à 4. Cependant, pour la réalisation de notre démonstrateur, nous avons limité le fonctionnement de l'oscillateur entre 0.5 et 4 GHz afin de diminuer les contraintes de réalisation et la valeur du gain  $K_{ERC}$ , tout en prouvant la faisabilité de notre architecture. De plus, en considérant les limites de l'oscillateur

exposées au paragraphe III.2.a et illustrées à la Figure III-15, il est préférable de restreindre ainsi la bande. La Figure III-20 présente les différentes plages de fréquence synthétisables.



**Figure III-20 : Plages de fréquence synthétisable en fonction de la tension de contrôle pour chacune des bandes contrôlables numériquement.**

Pour la réalisation de cet élément nous avons utilisé cinq branches contrôlables numériquement, soit en sortie  $2^5 = 32$  combinaisons possibles. Le dimensionnement de la structure a permis d'assurer un taux de recouvrement supérieur à 50 % pour chacune des bandes synthétisables sur une plage de 0.25 à 4.5 GHz. La Figure III-21 présente les simulations temporelles du signal de sortie de l'oscillateur pour les fréquences minimales et maximales d'utilisation de l'élément à retard contrôlable.



**Figure III-21 : Simulation temporelle pour les fréquences minimales et maximales synthétisables par l'élément à retard contrôlable.**

Nous voyons cependant, sur la Figure III-20, que le gain  $K_{ERC}$  de l'élément à retard contrôlable n'est pas constant. Plus la fréquence est élevée, plus le gain  $K_{ERC}$  diminue. Ceci s'explique par la dynamique de la tension  $V_{AB}$  (Figure III-19) aux bornes de la série d'inverseurs.

Lorsque le mot binaire MB s'élève, le courant injecté au travers de la série d'inverseurs augmente et donc la tension  $V_{AB}$  augmente de la même manière. En conséquence, la tension  $V_{DS}$  aux bornes du transistor  $M_{pb}$  et  $M_{Nb}$  est de plus en plus faible. Le transistor est alors dans sa région résistive et, comme cela est illustré à la Figure III-22, la variation de  $V_{GSmin}$  à  $V_{GSmax}$  entraîne une variation beaucoup plus faible du courant  $I_{pb}$  résultant. Finalement, d'une bande de fréquence à l'autre, le courant est effectivement augmenté, mais l'impact du courant  $I_{pb}$  résultant d'une variation de la tension de contrôle est de moins en moins significatif.

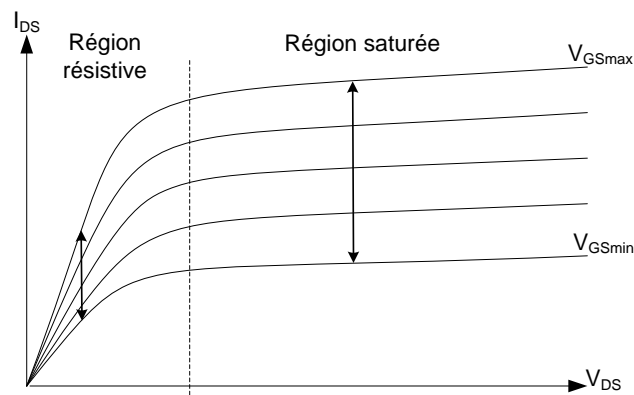


Figure III-22 : Evolution de la plage de variation du courant  $I_{DS}$  entre  $V_{GSmin}$  et  $V_{GSmax}$  à  $V_{DS}$  constant.

Ceci permet de valider le fonctionnement de l'élément à retard contrôlable numériquement réglable. Nous allons maintenant étudier le fonctionnement de la *commande de l'oscillateur* afin de valider le fonctionnement global de l'oscillateur.

### III.2.c La commande de l'oscillateur

Le bloc de *commande de l'oscillateur* va permettre de contrôler l'ouverture et la fermeture de l'oscillateur, c'est-à-dire la relance ou l'entretien de l'oscillation. Il s'agit là d'une fonction critique puisque nous avons vu précédemment (III.2.a et Figure III-1) que les limites de fonctionnement du système étaient liées à l'instant d'ouverture de l'oscillation.

Nous allons donc avoir besoin d'un bloc offrant une ouverture suffisamment rapide pour ne pas limiter la montée en fréquence de l'oscillateur, tout en laissant se propager le dernier front de l'oscillateur qui permettra la comparaison au niveau du bloc d'asservissement (front (E) de la Figure III-15). Ce bloc va être pour cela séparé en deux sous-blocs : un premier qui jouera simplement le rôle d'interrupteur et un second qui permettra une commande rapide du sélecteur de l'interrupteur.

La Figure III-23 présente l'interrupteur (a) ainsi que les simulations temporelles (b). Celui-ci est composé de 2 interrupteurs qui vont assurer que la sortie soit reliée à une seule de deux entrées en

fonction de la valeur du sélecteur. La voie qui est reliée à la sortie est correctement recopiée et nous voyons que la seconde voie n'intervient pas sur la sortie.

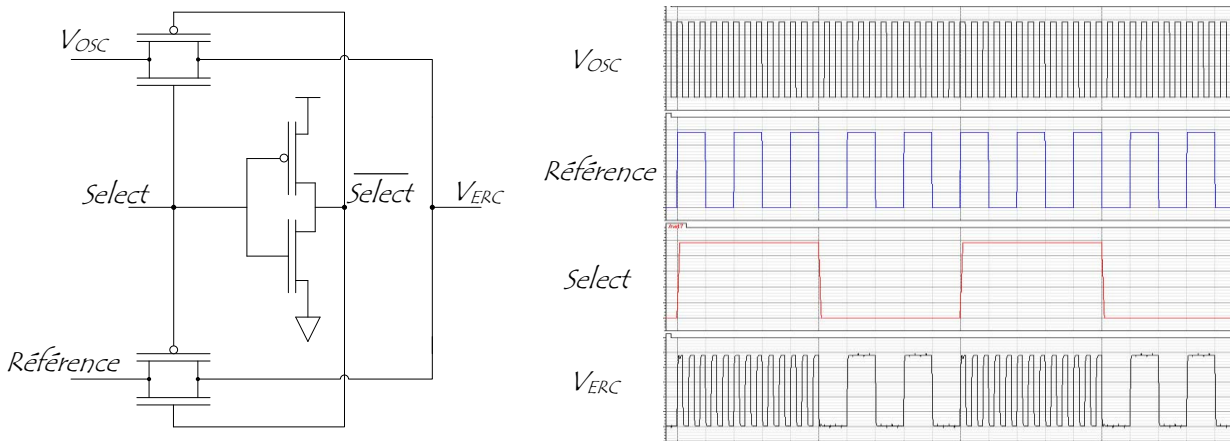


Figure III-23 : Conception de l'interrupteur (a) et simulation temporelles (b).

Afin de commander la sélection de l'interrupteur, nous allons utiliser le sous-bloc présenté à la Figure III-24 (a). Les trois signaux d'entrée sont : l'horloge de référence (*Référence*), le signal provenant de l'oscillateur et utilisé comme horloge du compteur (*CLK\_compt*) et un dernier signal provenant du compteur (*Pré-Ouv*).

Ce dernier signal va passer à l'état haut lorsque les compteurs « *fractionnaire* » et « *ouverture* » auront tous deux atteint l'avant dernier front d'horloge à décompter ; c'est-à-dire lorsque le prochain front montant de l'oscillateur engendrera, d'une part, la comparaison au niveau de l'asservissement, et, d'autre part, l'ouverture de l'oscillateur. Ainsi, nous pourrons nous affranchir du délai engendré par le compteur lors de l'ouverture, diminuant ainsi les contraintes exposées précédemment.

La Figure III-24 (b) présente le chronogramme de fonctionnement de ce bloc. Lorsque les signaux *Pré\_ouv* et *CLK\_compt* sont tout deux actifs, le signal *R\* de la bascule RS passe à l'état bas (nous avons choisi de travailler avec des signaux complémentés dans un souci de temps de propagation). Ceci entraîne la remise à l'état bas de la sortie *Select* et donc le changement de voie transmise vers la sortie de l'interrupteur : l'oscillateur est ouvert. Ensuite, le front de référence qui est relié à l'entrée S de la bascule permet au signal *Select* de repasser à l'état haut : l'oscillateur est fermé.

Afin d'assurer le fonctionnement du système, il est nécessaire de générer une impulsion au niveau de *CLK\_compt*. Dans le cas contraire le signal *R\* pourrait être commuté sur le précédent état haut de *CLK\_compt*, ce qui décalerait l'instant d'ouverture de l'oscillateur.

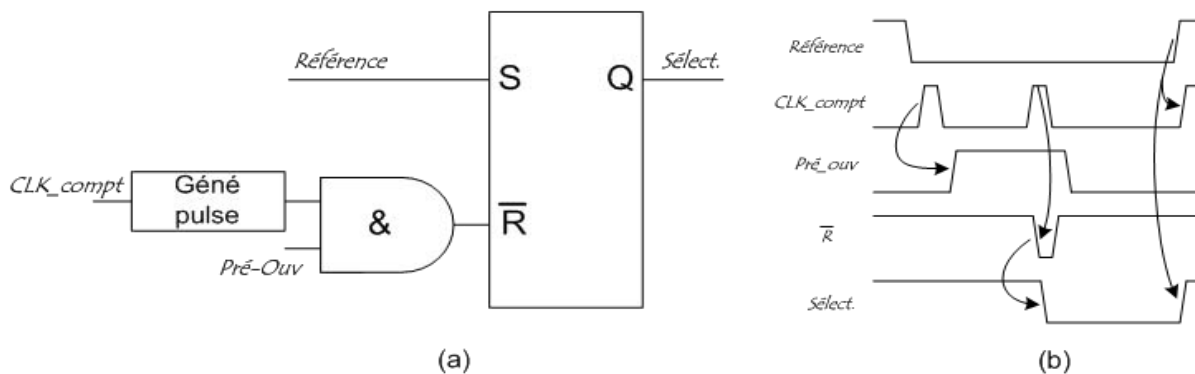


Figure III-24 : Sous-bloc de commande de l'interrupteur (a) et chronogramme de fonctionnement (b).

La caractérisation de ce bloc est présentée à la Figure III-25. Les simulations temporelles nous permettent de valider le fonctionnement de l'architecture ainsi que de déterminer le temps nécessaire à l'ouverture. Ce temps, dû à la propagation des différents signaux au travers des portes logiques, est mesuré entre le front de *CLK\_compt* entraînant l'ouverture et le passage au niveau bas de *Sélect.* Nous obtenons alors  $T_{OUVERTURE} = 175 \text{ ps}$ .

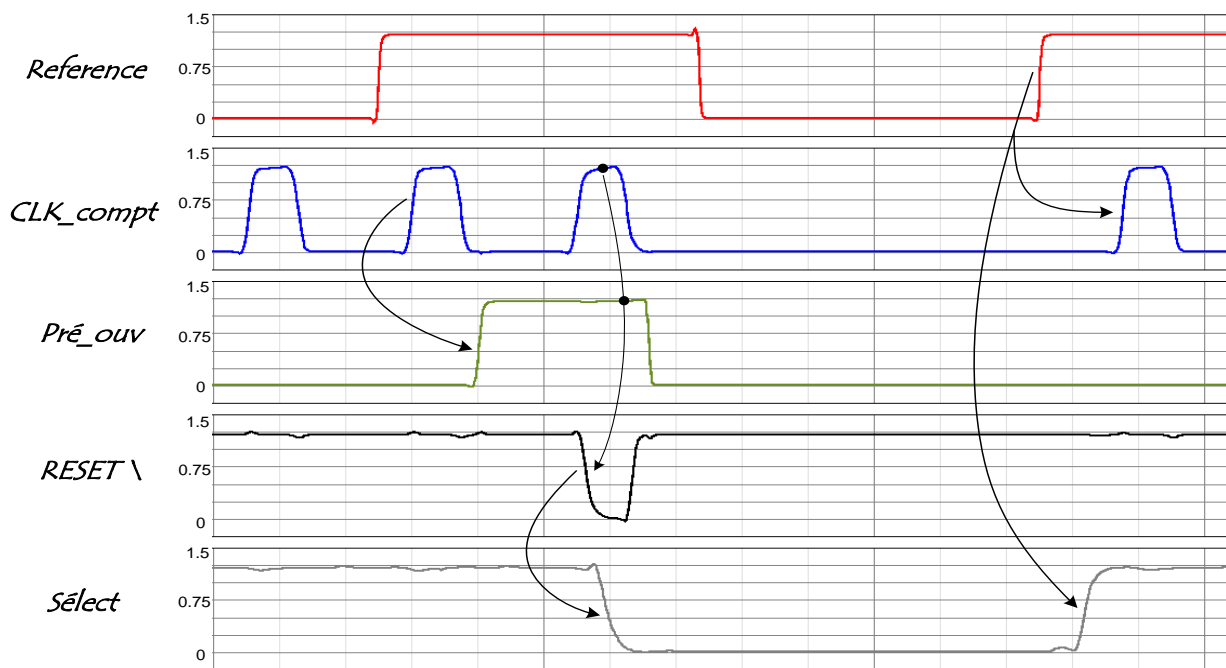


Figure III-25 : Simulation temporelle niveau circuit du sous-bloc de commande de l'oscillateur.

L'étude du *Compteur* permettra de préciser le fonctionnement du signal *Pré\_ouv*, mais nous pouvons observer sur cette figure, qu'une fois ce signal actif, l'ouverture de l'oscillateur se produit lors du passage à l'état haut de *CLK\_compt* sans contrainte d'attente d'un signal en provenance du compteur.

Chacun des blocs de l'oscillateur ayant été décrit individuellement, nous allons maintenant nous intéresser à l'assemblage complet de l'oscillateur et valider son fonctionnement à l'aide de simulations temporelles.

### III.2.d Assemblage des différents blocs de l'oscillateur.

La Figure III-26 présente l'architecture complète de l'oscillateur.

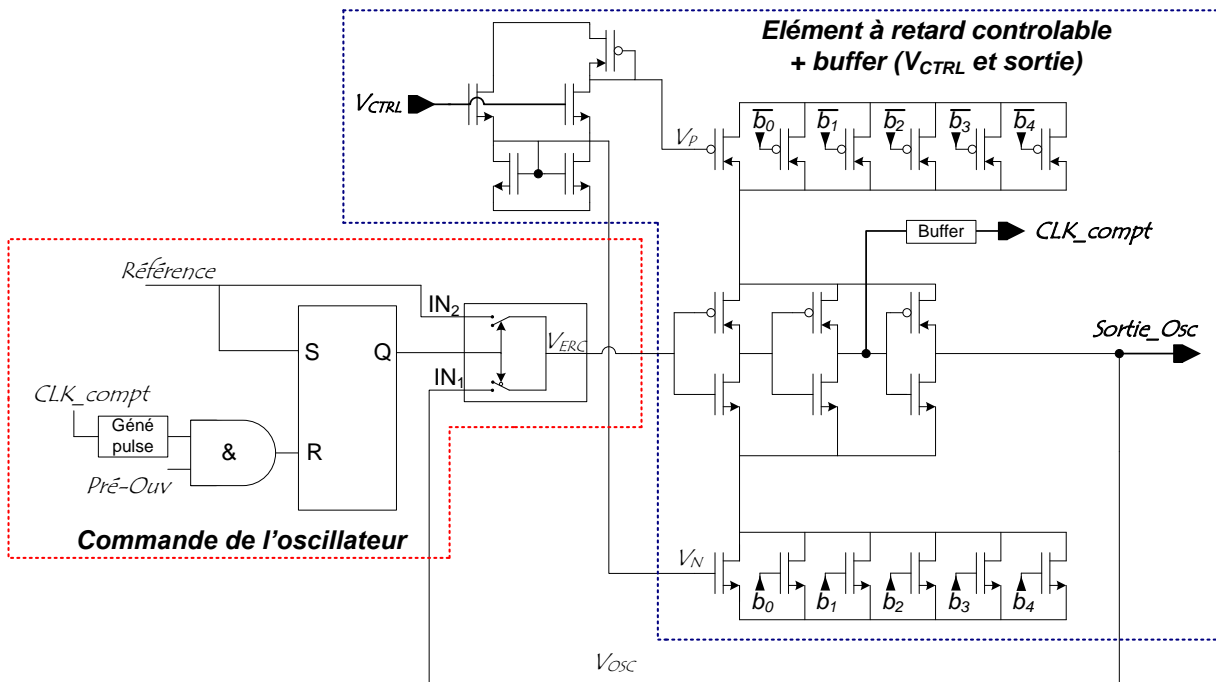


Figure III-26 : Architecture complète de l'oscillateur.

Les blocs d'élément à retard contrôlable et de commande de l'oscillateur y sont représentés ainsi que le signal  $CLK\_compt$ , qui est le signal d'horloge pour le compteur mais aussi une des variables d'entrée de la commande de l'oscillateur. En considérant les contraintes exposés au début de cette partie, il était nécessaire de choisir de manière judicieuse le signal d'horloge afin d'éloigner les limites fréquentielles de notre système.

#### III.2.d.1 Choix de l'horloge du compteur

Tout d'abord il est nécessaire de rappeler que l'oscillateur ne doit pas être ouvert avant d'avoir laissé passer le dernier front montant de  $V_{OSC}$  qui va être comparé avec le signal de référence en entrée de la chaîne d'asservissement. Ainsi, le front entraînant l'ouverture ne pourra être autre que le front descendant précédant le front de comparaison choisi au niveau de la chaîne d'élément à retard contrôlable, c'est-à-dire entre les signaux  $V_{ERC}$  et  $V_{OSC}$ .

La Figure III-27 illustre ce point. La « Plage d'ouverture oscillateur » (en rouge) représente la plage temporelle sur laquelle l'oscillateur peut être ouvert. La « Plage signal entraînant ouverture » est donc celle sur laquelle nous pouvons choisir le signal d'ouverture. Ce signal sera finalement celui qui sera utilisé comme horloge du Compteur mais aussi comme variable de la Commande de l'oscillateur, comme cela a été décrit précédemment. Nous allons maintenant discuter du choix de ce signal.



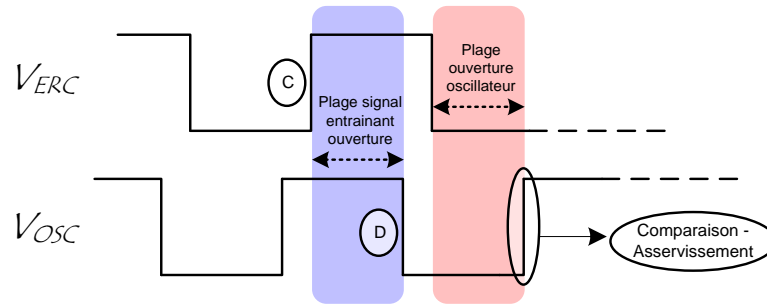


Figure III-27 : Plages autorisées pour l'ouverture de l'oscillateur et le signal l'entraînant.

Si l'on choisit de récupérer le signal  $V_{OSC}$  (D) comme horloge, le délai nécessaire à l'ouverture va alors limiter la fréquence maximale de notre système. En effet, suite au front (descendant) de  $V_{OSC}$  entraînant l'ouverture de l'oscillateur, il faudra que ce dernier soit ouvert avant que le nouveau front (montant) de  $V_{OSC}$  arrive au niveau de l'entrée  $IN_1$  de la commande. Ceci peut se traduire par la formule suivante :

$$\frac{T_{OSC}}{2} > T_{OUVERTURE} \quad \text{Équation III-12}$$

où  $T_{OSC}$  représente la période du signal synthétisé.

Le temps d'ouverture mesuré précédemment était :  $T_{OUVERTURE} = 205$  ps. La fréquence maximum du système sera donc limitée à :

$$F_{MAX} = \frac{1}{T_{OSCmin}} = \frac{1}{2 \cdot T_{OUVERTURE}} = \frac{1}{2 \times 175e^{-12}} = 2,86GHz \quad \text{Équation III-13}$$

Par ailleurs, si l'on choisit le signal  $V_{ERC}$  (C) comme horloge, alors le temps d'ouverture va limiter la fréquence minimale d'oscillation. En effet, pour que le front (D) soit correctement transmis via la *Commande de l'oscillateur vers l'élément à retard contrôlable*, afin de générer le front « Comparaison - Asservissement », le retard maximum appliqué au front (C) aurait dû être inférieur au temps d'ouverture. Ceci peut se traduire ainsi :

$$T_{ERC} = \frac{T_{OSC}}{2} - T_{COMMANDE} < T_{OUVERTURE} \quad \text{Équation III-14}$$

où  $T_{ERC}$  représente le délai appliqué par l'*élément à retard contrôlable* et  $T_{COMMANDE}$  représente le temps de transition de la *commande de l'oscillateur*.

Le temps de transition de la *commande* est de :  $T_{COMMANDE} = 65$  ps. Ainsi, la fréquence minimum du système sera limitée à :

$$F_{MIN} = \frac{1}{T_{OSCmax}} = \frac{1}{2 \cdot (T_{OUVERTURE} + T_{COMMANDE})} = \frac{1}{2 \times (175 + 65)e^{-12}} = 2,08GHz \quad \text{Équation III-15}$$

Finalement, le signal d'horloge a été obtenu à partir d'un signal intermédiaire situé après le deuxième inverseur au sein de l'élément à retard contrôlable. Ainsi, si l'on reprend l'Équation III-12 et l'Équation III-13, un tiers du retard appliqué par l'élément à retard contrôlable est intégré dans l'équation (car nous rajoutons le délai d'un inverseur sur les trois), d'où :

$$\begin{aligned} \frac{T_{OSC}}{2} + \frac{T_{ERC}}{3} &> T_{OUVERTURE} \\ \Leftrightarrow \frac{T_{OSC}}{2} + \frac{1}{3} \cdot \left( \frac{T_{OSC}}{2} - T_{COMMANDE} \right) &> T_{OUVERTURE} \\ \Leftrightarrow T_{OSC} &> \frac{6}{4} \cdot \left( T_{OUV} + \frac{T_{COMMANDE}}{3} \right) \end{aligned} \quad \text{Équation III-16}$$

Et donc :

$$F_{MAX} = \frac{1}{T_{OSCmin}} = \frac{4}{6 \cdot \left( T_{OUV} + \frac{T_{COMMANDE}}{3} \right)} = \frac{4}{6 \cdot \left( 175 + \frac{65}{3} \right) \cdot e^{-9}} = 3,39GHz \quad \text{Équation III-17}$$

Par ailleurs, si nous reprenons l'Équation III-14 et l'Équation III-15, nous obtenons :

$$\begin{aligned} \frac{T_{ERC}}{3} = \frac{1}{3} \cdot \left( \frac{T_{OSC}}{2} - T_{COMMANDE} \right) &< T_{OUVERTURE} \\ \Leftrightarrow T_{OSC} &< 2 \cdot (3 \cdot T_{OUV} + T_{COMMANDE}) \end{aligned} \quad \text{Équation III-18}$$

Et donc :

$$\begin{aligned} F_{MIN} = \frac{1}{T_{OSCmax}} = \frac{1}{2 \cdot (3 \cdot T_{OUVERTURE} + T_{COMMANDE})} \\ F_{MIN} = \frac{1}{2 \times (3 \times 175 + 65) e^{-12}} = 0,85GHz \end{aligned} \quad \text{Équation III-19}$$

Finalement, la plage théorique de fréquences synthétisables est ainsi comprise entre 0,85 GHz et 3,39 GHz.

En pratique, cette plage est décalée.

En basse fréquence, les temps de montée et descente sont largement majorés et ont un impact considérable sur les temps de commutation des différentes portes logiques. Ainsi, le système ne sera pas capable de fonctionner pour une période de sortie supérieure à 765 ns, soit une fréquence minimale de 1,31GHz.

En haute fréquence, la valeur limite est, elle aussi, modifiée. En effet, nous nous apercevons que, pour un dépassement léger de la période maximale théorique (Équation III-17), le front arrivé au niveau de l'entrée IN<sub>1</sub> de l'interrupteur avant sa fermeture ne sera pas transmis jusqu'à la sortie de l'oscillateur à cause de sa trop faible dynamique. Ainsi le système sera fonctionnel jusqu'à une période minimale de 255 ns, soit une fréquence maximale de 3,92GHz.

La plage finale d'utilisation de l'oscillateur est donc finalement comprise entre 1,31GHz et 3,92GHz, ce qui nous permettra de valider le principe de fonctionnement du système pour les différents standards compris dans cette bande (DCS 1800, UMTS, 802.11 b et g, bluetooth...).

Une division de fréquence par deux permettrait éventuellement de fournir l'oscillateur pilote d'un système GSM, mais ceci n'a pas été fait ici car hors du cadre du rôle de démonstration.

### III.2.d.2 Fonctionnement de l'oscillateur complet

Afin de valider le fonctionnement de l'oscillateur, nous allons maintenant présenter des simulations temporelles de l'ensemble de ce bloc. Nous avons vu le fonctionnement de chacune des parties et la Figure III-28 décrit l'association de ceux-ci.

Tout d'abord, lorsque le signal contrôlant l'ouverture (*Sélect*) est à l'état bas, l'oscillateur est ouvert et, tant qu'aucun front n'apparaît au niveau du signal *Référence*, aucune oscillation n'est entretenue. Lorsque ce front apparaît, d'une part, le signal *Sélect* passe à l'état haut, ce qui a pour conséquence de fermer l'oscillateur. D'autre part, cela permet de générer et d'entretenir l'oscillation. Ensuite, lorsque le signal *Pré\_Ouv* apparaît et que le signal *Sélect* repasse à l'état bas, l'oscillation est arrêtée. Enfin, l'oscillation redémarre au prochain front du signal *Référence*.

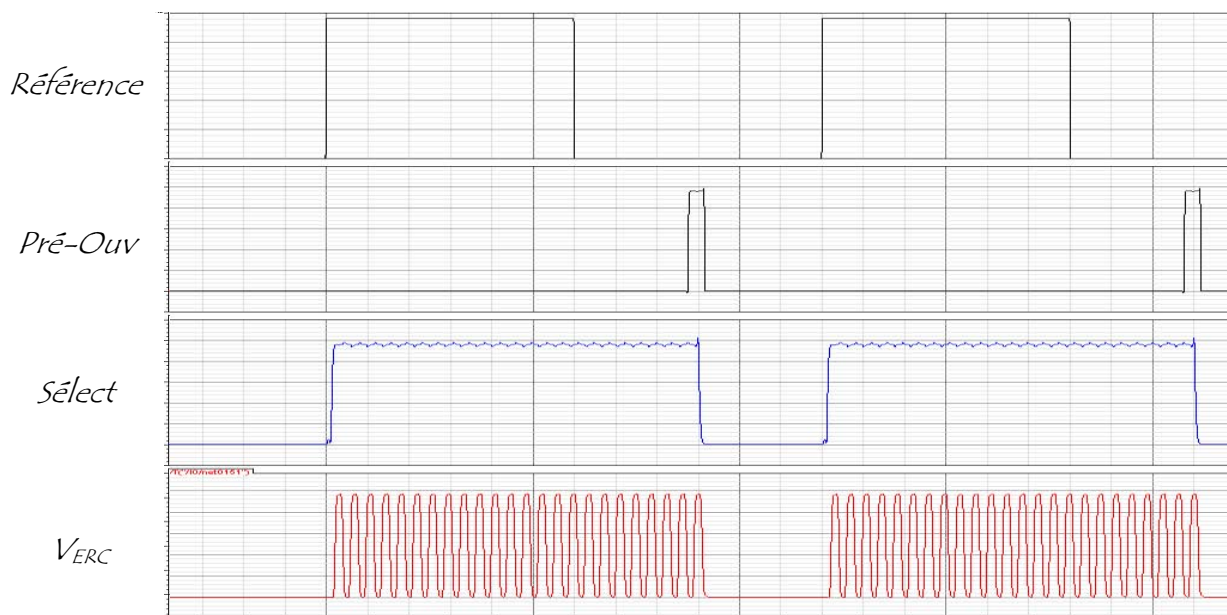


Figure III-28 : Simulation temporelle de l'oscillateur complet.

Nous allons maintenant développer la réalisation du dernier bloc : le *Compteur*. Celui-ci permettra de faire le lien entre les blocs *Oscillateur* et *Asservissement*. D'une part, il permettra l'ouverture de l'oscillateur en fonction de l'horloge provenant de ce dernier. D'autre part, il participera à la transmission du signal de l'*Oscillateur* vers le comparateur de phase.

### III.3 LE COMPTEUR

#### III.3.a Description du compteur.

Le *Compteur* est l'élément qui va permettre à la fois de contrôler l'ouverture et la fermeture de l'oscillateur, mais aussi le facteur de multiplication. Pour cela nous allons utiliser 2 compteurs imbriqués comme cela est présenté à la Figure III-29.

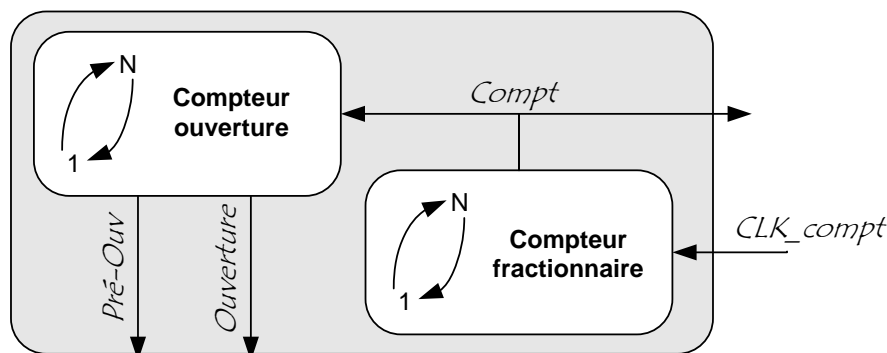


Figure III-29 : Architecture complète du compteur.

Le « Compteur fractionnaire » utilisera comme horloge le signal  $CLK\_compt$  fourni par l'oscillateur et présenté précédemment (chapitre 3, 120III.2.d). Il produira en sortie le signal  $Compt$  qui contrôlera la transmission du  $N^{ième}$  signal de l'oscillateur vers le comparateur de phase et servira d'horloge pour le « Compteur d'ouverture ». Celui-ci génèrera le signal  $Pré-Ouv$  utilisé par l'oscillateur pour anticiper l'ouverture de l'oscillateur et le signal  $Ouverture$  indiquant l'ouverture effective de l'oscillateur. Nous allons étudier en détail chacun de ces blocs.

#### III.3.b Le Compteur fractionnaire.

##### III.3.b.1 Objectifs de conception

Nous allons ici utiliser un compteur  $N/N+1$  comme ceux présentés dans le premier chapitre. Le principe est de compter (ou décompter) une valeur  $N$  programmable ou la valeur  $N+1$  en fonction d'une partie fractionnaire, programmable elle aussi. Ainsi, pour un nombre de cycle suffisamment grand, la valeur comptée sera égale au nombre fractionnaire désiré, compris entre  $N$  et  $N+1$  (où  $N$  est un entier).

La sélection de la valeur  $N$  ou  $N+1$  à compter est généralement basée sur des compteurs à débordement (ou accumulateurs) ou des convertisseurs  $\Sigma\Delta$ . Ces architectures décrites dans le premier chapitre engendrent d'importantes contraintes. Dans le cas du compteur à débordement, cela nécessite d'intégrer un bloc numérique complexe à forte consommation de silicium. Pour le convertisseur  $\Sigma\Delta$ , cela nécessiterait une étude à part entière qui n'apporterait rien dans le cas de notre démonstrateur de stabilisation d'architecture de synthèse de fréquence. Ainsi, nous avons décidé de

nous appuyer sur une architecture simplifiée, fondée sur un rotateur qui sélectionnera cinq valeurs programmables par l'utilisateur, afin de générer la partie fractionnaire du rapport de multiplication parmi les valeurs suivantes : 1/5, 2/5, 3/5, 4/5, 5/5.

En conséquence, le pas de synthèse sera égal à la fréquence de référence divisée par cinq, mais ceci nous permettra tout de même de valider le principe de stabilisation sans ajouter de contraintes annexes lors de la conception. Il sera possible par la suite de généraliser ce procédé à un synthétiseur fractionnaire classique.

Pour la partie entière du compteur, nous avons aussi fait le choix de simplifier l'architecture classique afin de limiter les contraintes, tout en conservant la fonctionnalité de notre démonstrateur. La fréquence de référence étant suffisamment élevée (500 MHz), il ne sera pas nécessaire que la valeur du compteur excède 8 puisque la fréquence maximum de l'architecture n'excède pas 4GHz. Ainsi, nous avons choisi d'utiliser une série de huit bascules D qui effectueront le décompte.

### III.3.b.2 Réalisation du compteur N/N+1

La Figure III-30 présente l'architecture réalisée pour la partie entière du compteur N/N+1.

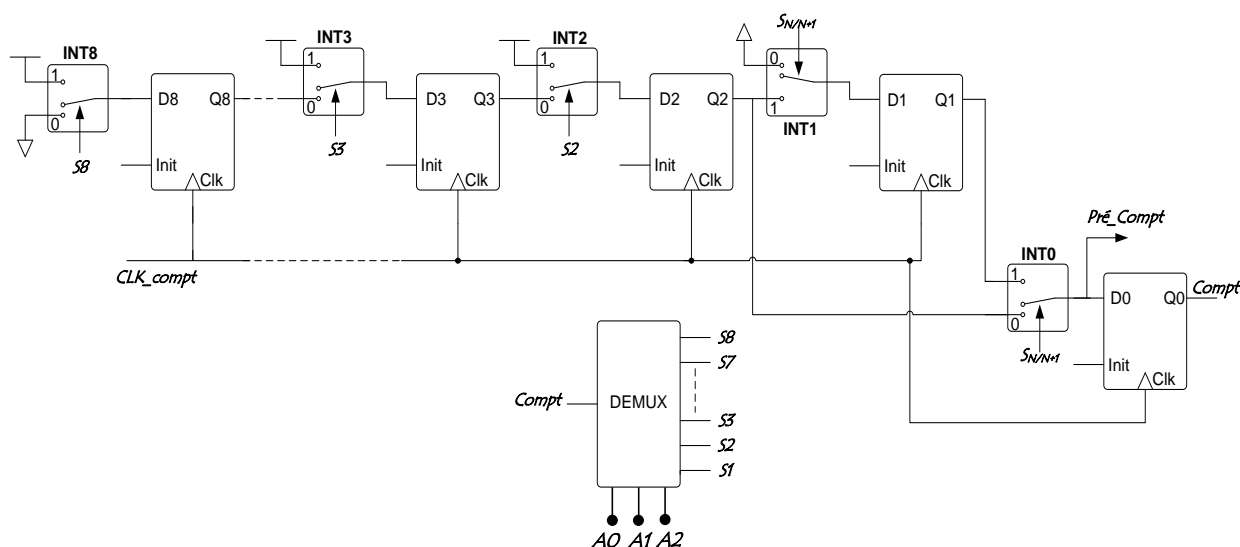


Figure III-30 : Architecture du compteur N/N+1.

Le rapport de multiplication maximum étant de huit, nous avons utilisé autant de bascules D. L'entrée (signal D) de chacune de ces bascules est commandée par un interrupteur qui permet de relier celle-ci soit à la sortie de la bascule précédente, soit à l'alimentation, que l'on peut représenter ici par un '1' logique. L'horloge de ces bascules est reliée au signal *CLK\_compt* qui provient de l'oscillateur. Ainsi à chaque nouveau front du signal synthétisé au niveau de l'oscillateur, le signal du compteur va se propager d'une bascule à l'autre jusqu'à la sortie du compteur (*Compt*).

Afin de pouvoir programmer la valeur du compteur, la profondeur de la chaîne va être modifiée grâce aux interrupteurs de chaque bascule ainsi qu'au démultiplexeur de la Figure III-30. En

fonction de la valeur du mot binaire composé par les bits  $A0$ ,  $A1$  et  $A2$  ( $A0$  étant le bit de poids fort), une des sorties  $S1$  à  $S8$  sera reliée au signal  $Compt$ . Lors de la fin du décompte, le signal sélectionné passera alors à l'état haut et l'interrupteur correspondant reliera sa sortie au '1' logique. Ceci marquera le début du nouveau décompte. La Figure III-31 présente les simulations temporelles de cette architecture.

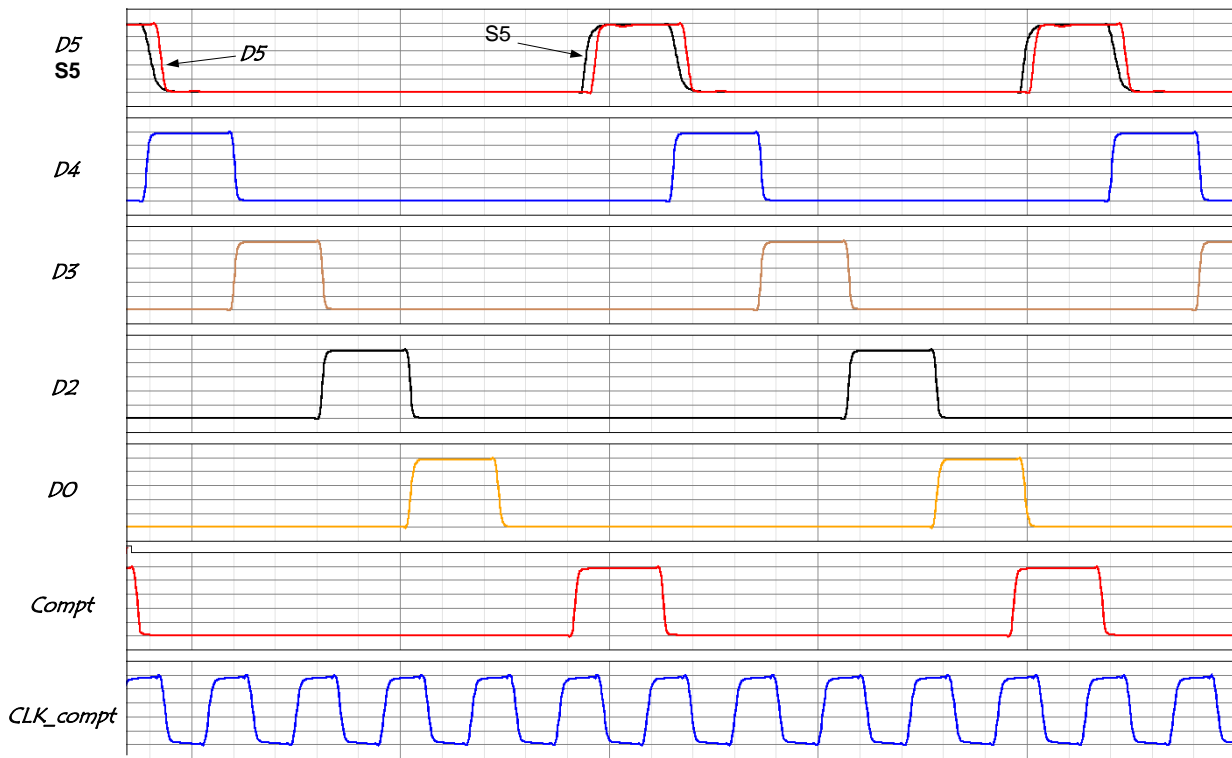


Figure III-31 : Chronogramme de fonctionnement du compteur.

Dans ce chronogramme, la partie entière du facteur de multiplication est 5. Le signal de commande  $S5$  est donc relié au signal  $Compt$  via le démultiplexeur (Figure III-30) et nous observons que la recopie s'effectue correctement. Le passage au niveau haut de  $S5$  entraîne celui du signal  $D5$ . Sur le prochain front d'horloge, d'une part le signal est transmis à la bascule suivante ( $D4$ ) et d'autre part,  $D5$  repasse au niveau bas. Le signal se propage ainsi jusqu'à la sortie  $Compt$ .

La partie fractionnaire est réalisée à l'aide de l'avant-dernière bascule D ( $D1$ ,  $Q1$  Figure III-30). Le rotateur est lui synchronisé sur la sortie du compteur. Ainsi, à chaque nouveau cycle, une nouvelle valeur ('0' ou '1') est appliquée sur la sortie du rotateur ( $S_{N/N+1}$ ) ce qui entraîne le décompte de  $N$  ou  $N+1$  périodes du signal synthétisé en sortie de l'oscillateur.

Lorsque  $S_{N/N+1}$  est égal à un '0' logique, alors les deux interrupteurs contrôlés par ce signal ( $INT0$  et  $INT1$ ) passent sur leur position 0. C'est-à-dire que l'entrée  $D1$  de  $INT1$  est reliée au niveau '0' et que l'entrée  $D0$  de  $INT0$  est reliée à la sortie  $Q2$ . La bascule ( $D1$ ,  $Q1$ ) est donc court-circuitée et la valeur décomptée est  $N$ .

Lorsque  $S_{N/N+1}$  est égal à un '1' logique, alors INT0 et INT1 passent en position 1. C'est-à-dire que l'entrée D1 de INT1 est reliée à la sortie Q2 de INT2 et que l'entrée D0 de INT0 est reliée à la sortie Q1 de INT1. Cette dernière bascule fait alors partie de la chaîne du compteur et la valeur décomptée est égale à N+1. Ce fonctionnement est décrit à la Figure III-32.

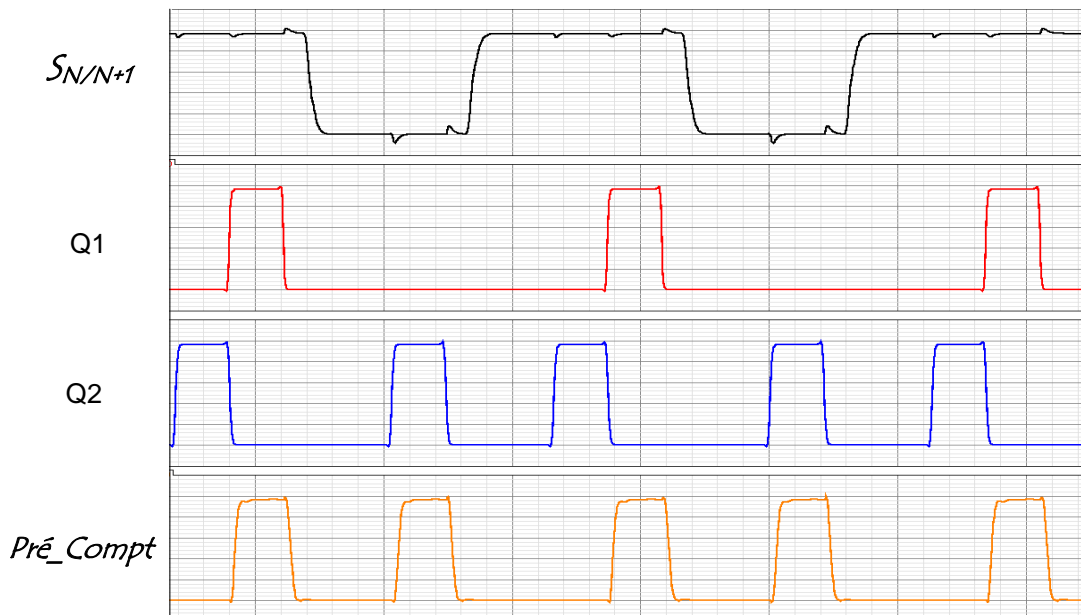


Figure III-32 : Chronogramme de fonctionnement de l'aspect fractionnaire du compteur.

Nous voyons que lorsque le signal  $S_{N/N+1}$  est à l'état bas, Q1 reste à l'état bas après le passage au niveau '1' de Q2 et le signal de sortie de INT0,  $Pré\_Compt$ , est synchronisé avec ce dernier. En revanche, lorsque  $S_{N/N+1}$  est à l'état haut, le front symbolisant le décompte est bien transmis au niveau de Q1 et c'est avec ce signal qu'est synchronisé  $Pré\_Compt$ .

Le fonctionnement du « Compteur fractionnaire » est donc bien conforme aux besoins de l'architecture. Nous allons maintenant voir la réalisation du « Compteur d'ouverture ».

### III.3.c Compteur d'ouverture

#### III.3.c.1 Objectifs de conception

Le « Compteur d'ouverture » est un second compteur qui a pour signal d'horloge non pas la sortie de l'oscillateur, mais la sortie du premier compteur. Cela permettra de compter uniquement le nombre de cycles nécessaires avant l'ouverture. A la différence du précédent compteur, celui-ci devra avoir une profondeur beaucoup plus grande, car l'ouverture peut être réalisée pour une fréquence beaucoup plus faible que le signal de référence.

Cependant, pour la réalisation de notre démonstrateur, nous avons vu précédemment que nous souhaitions diminuer les contraintes en nous plaçant dans certains cas de fonctionnement

significatifs, permettant dans un premier temps de valider la faisabilité du système proposé. Pour ce faire nous avons limité la profondeur de la partie fractionnaire à la série suivante : 1/5, 2/5, 3/5 et 4/5.

Or, si l'on considère  $X \in \mathbb{N}$  et  $N \in \{1,2,3,4\}$  tel que  $N/5$  appartient à la série des parties fractionnaire réalisables pour le compteur, alors :  $5 \cdot \left(X + \frac{N}{5}\right) = (5 \cdot X + N) \in \mathbb{N}$ .

Ainsi, quelle que soit la fraction qui sera réalisée, le facteur d'ouverture sera toujours égal à 5.

En conséquence, nous avons choisi, pour notre démonstrateur, de réaliser un compteur qui, comme le précédent, sera basé sur une série de bascule D. De plus ce compteur devra nous fournir le signal *Pré\_ouv* pour une ouverture rapide de l'oscillateur.

### III.3.c.2 Réalisation du compteur d'ouverture

La Figure III-33 présente l'architecture réalisée pour le « Compteur d'ouverture ».

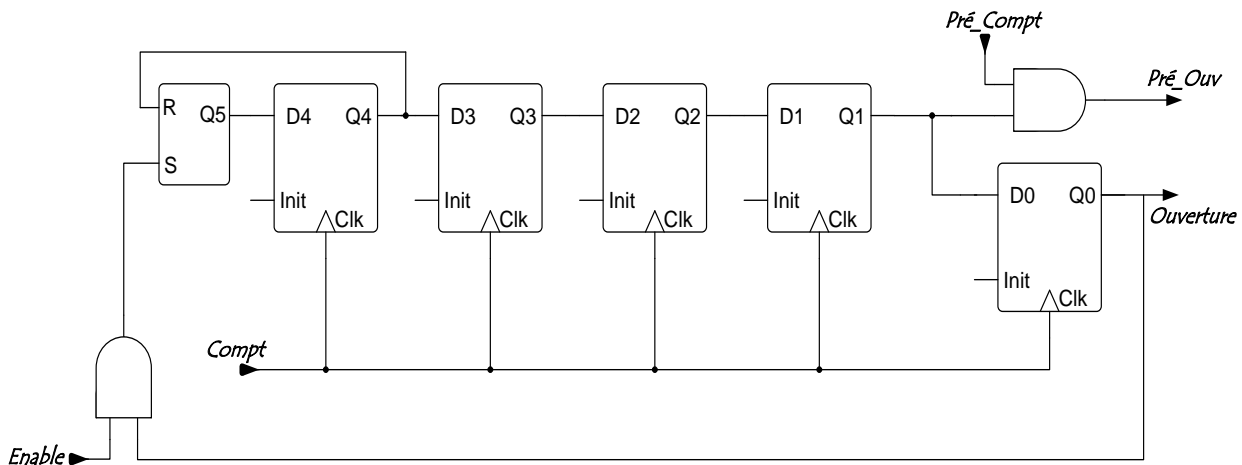


Figure III-33 : Architecture du « Compteur d'ouverture ».

Les cinq bascules D qui composent le compteur sont synchronisées sur le signal de sortie du « Compteur fractionnaire » : *Compt*. La sortie de la dernière bascule (D0,Q0) est rebouclée sur l'entrée afin de relancer le décompte via la pate S de la bascule RS. Cette bascule, dont le signal Reset est relié à la sortie de la première bascule D, va permettre de générer un front de démarrage du décompte puis un front descendant (via la pate R) qui remettra à zéro la sortie des bascules D. De plus, une porte de NAND a été insérée entre la sortie du compteur et l'entrée S de la bascule. Le signal *Enable*, qui est appliqué sur une de ses 2 pates, permet d'activer ou non ce compteur et donc la relance de l'oscillation.

Enfin, une dernière porte NAND est utilisée afin de générer le signal *Pré\_Ouv*. Ce signal est celui qui va être utilisé par l'oscillateur pour son ouverture. Nous avons vu précédemment que ce signal devait passer à l'état haut sur le dernier front du signal de sortie de l'oscillateur précédant son ouverture, c'est-à-dire lorsque le prochain front de l'oscillateur mettra un terme au décompte : {du compteur fractionnaire} ET {du compteur d'ouverture}. La porte NAND utilisée permet de réaliser cette



fonction puisque ses deux signaux d'entrée sont respectivement les signaux d'entrée de la dernière bascule du « Compteur fractionnaire » et du « Compteur d'ouverture ».

La Figure III-34 présente les simulations temporelles de l'architecture afin d'en valider le fonctionnement.

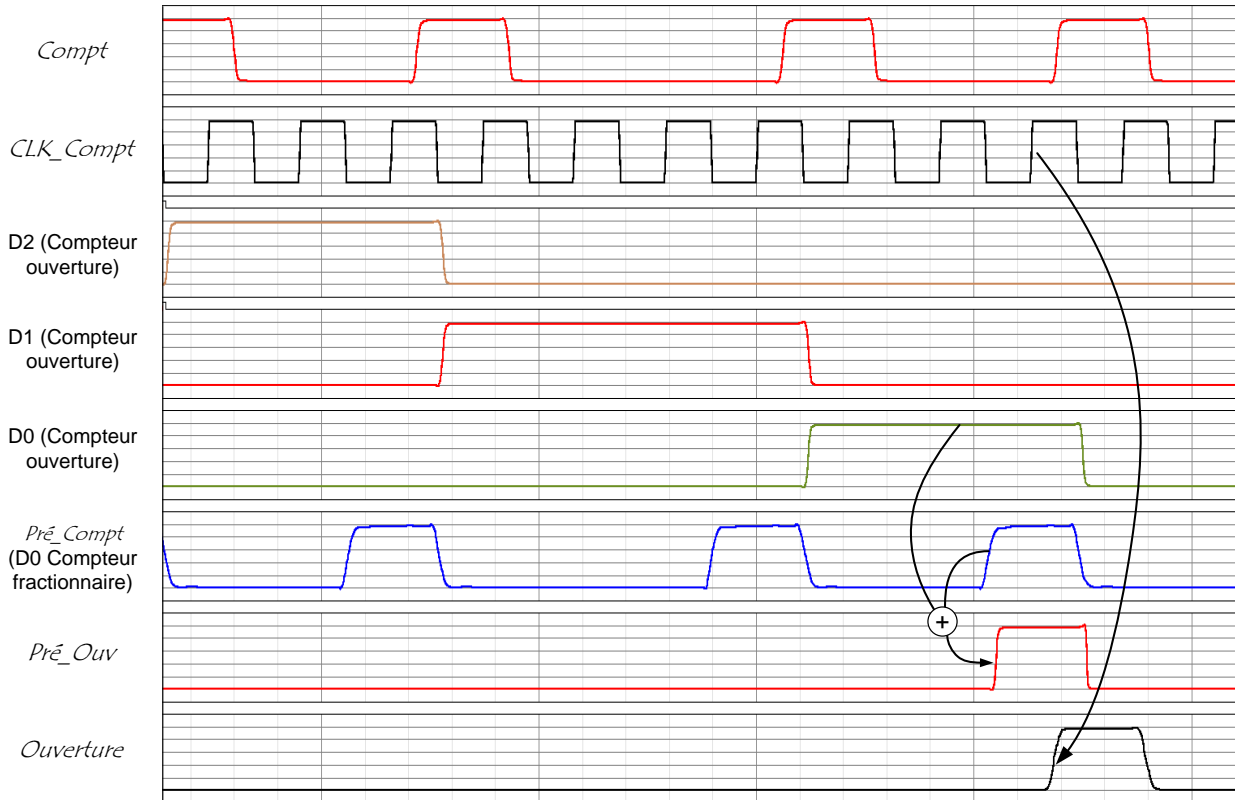


Figure III-34 : Simulation temporelle « Compteur d'ouverture ».

Nous pouvons voir qu'à chaque nouveau front du signal *Compt*, l'information de décompte se propage correctement de D2 à D0. Puis, lorsque les signaux D0 des deux compteurs sont actifs, le signal *Pré\_Ouv* passe alors à l'état haut. Enfin, comme nous venons de le décrire, le prochain front du signal synthétisé par l'oscillateur entraîne le passage à l'état haut du signal *Ouverture*.

### III.3.d Vue d'ensemble du compteur.

L'architecture réalisée répond donc bien aux critères nécessaires au fonctionnement du synthétiseur de fréquence :

- Compteur fractionnaire programmable (partie entière programmable dans l'ensemble  $\{1, \dots, 8\}$  et partie fractionnaire dans l'ensemble  $\{1/5, \dots, 4/5\}$ )
- Génération d'un signal indiquant la fin du décompte fractionnaire pour permettre la comparaison au niveau de l'asservissement.
- Génération d'un signal indiquant l'ouverture de l'oscillateur et un second anticipant cette ouverture (pour une ouverture plus rapide au niveau de l'oscillateur).

L'architecture complète est présentée à la Figure III-35. Nous pouvons voir les deux blocs « Compteur fractionnaire » et « Compteur ouverture » ainsi que les signaux de sorties générés.

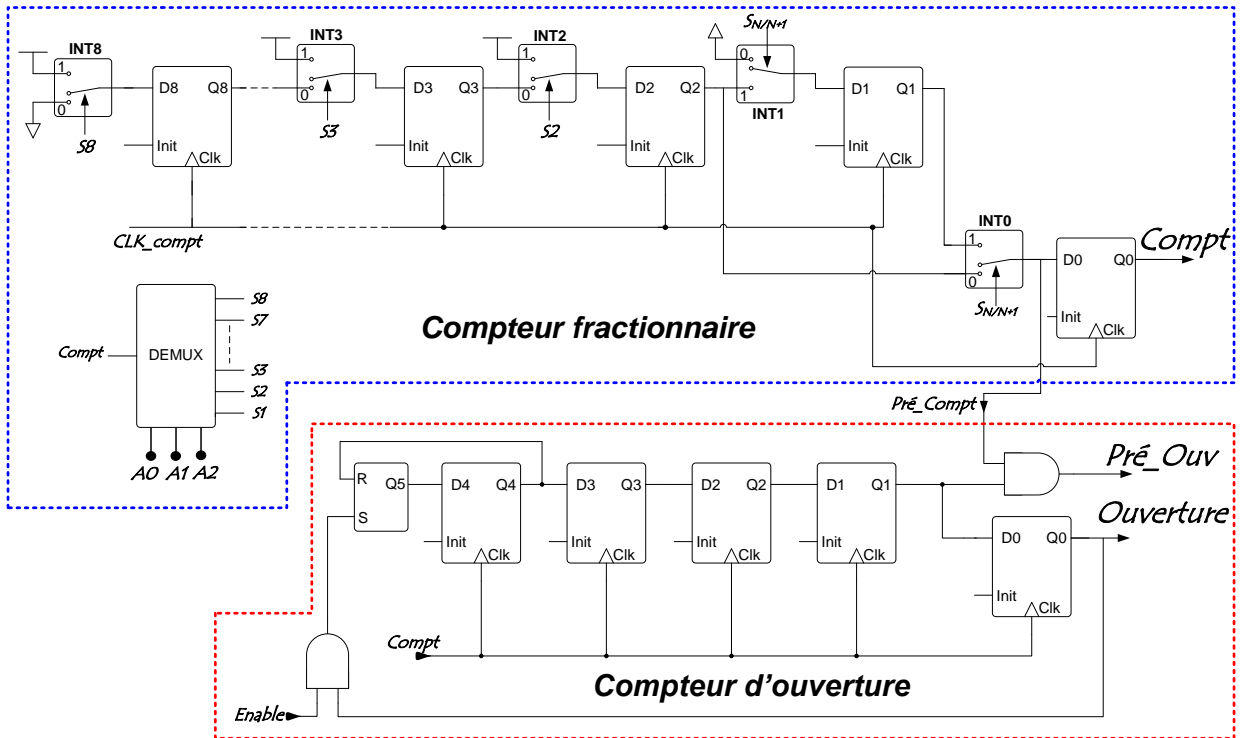


Figure III-35 : Architecture complète du compteur.

Chacun des principaux blocs ayant été validé, nous allons maintenant nous intéresser à l'assemblage complet de l'architecture au niveau transistor.

### III.4 SYNTHETISEUR DE FREQUENCE COMPLET

Dans cette partie, nous allons voir la simulation complète de l'architecture développée durant ces travaux. L'objectif est de montrer, dans un premier temps, qu'il est possible de stabiliser une architecture de type boucle à verrouillage de phase instable en utilisant conjointement ses propriétés et celles de la boucle à verrouillage de délai.

Ensuite, afin de valider la fonctionnalité de l'oscillateur, nous présenterons le signal synthétisé ainsi que la consommation de chacun des blocs, pour les deux standards suivants : DCS et WiMAX. Enfin, nous décrirons la réalisation d'un saut de fréquence ainsi que le spectre du signal synthétisé.

#### III.4.a Simulations temporelles : stabilisation de l'architecture.

Le choix du filtre de boucle a été fait conformément à ce qui a été présenté précédemment (§ III.1.c). L'élément à retard contrôlable ayant un gain maximal de 2,2GHz/V, la valeur minimale de la capacité pour une bande passante de  $F_{REF}/10$  est de 4pF. Afin d'assurer une marge de sécurité suffisante, nous allons prendre une bande passante maximale de  $F_{REF}/50$ , ce qui nous donne une capacité de 20pF.

Tout d'abord, l'oscillation n'est pas relancée et le système est donc équivalent à une boucle à verrouillage de phase. Le filtre fixant une bande passante très importante, le système est instable et les variations de la tension de contrôle observées sur la Figure III-36 permettent de constater cette instabilité.

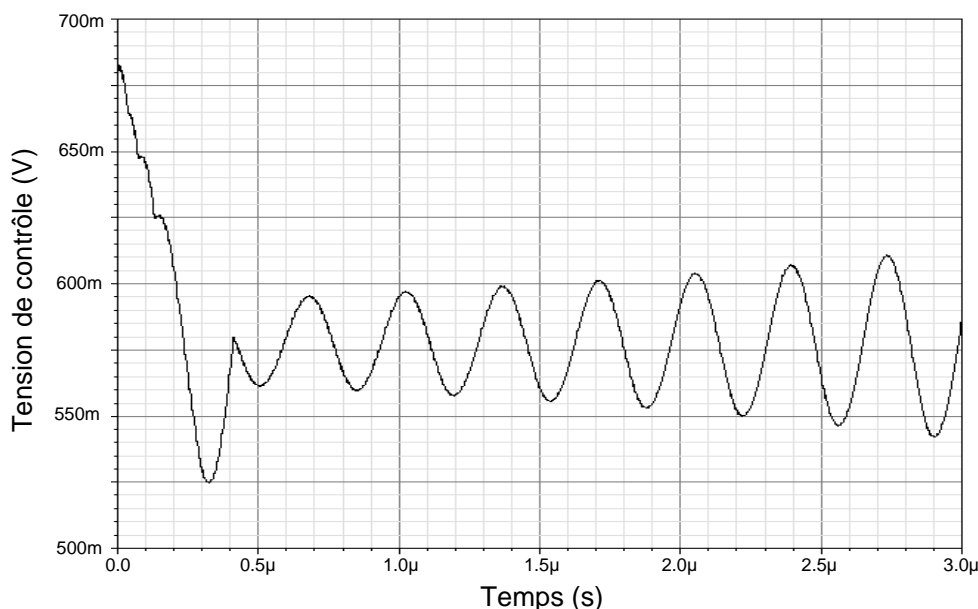


Figure III-36 : Evolution temporelle de la tension de contrôle sans relance de l'oscillateur.

Pour ce faire, le signal *Enable* de la Figure III-35 est mis à la masse, ce qui court-circuite le « compteur d'ouverture ». Nous allons maintenant autoriser l'ouverture de l'oscillateur en reliant ce

même signal à l'alimentation du compteur, activant ainsi le « compteur d'ouverture ». La Figure III-37 présente la superposition de tensions de contrôle avec et sans relance de l'oscillation.

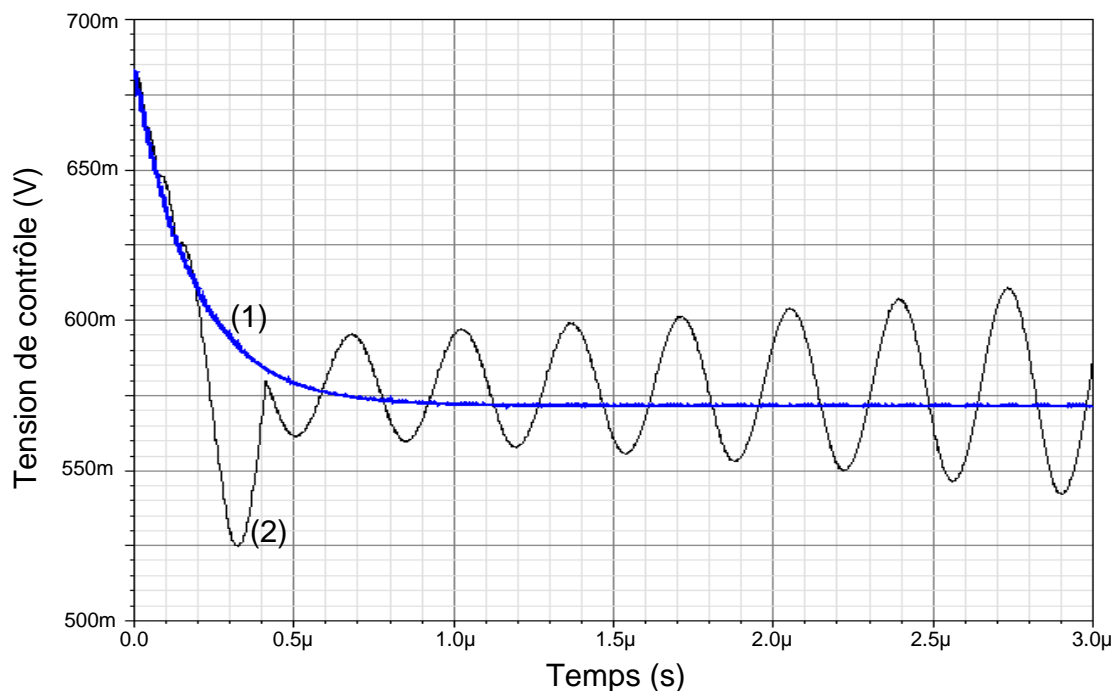


Figure III-37 : Evolution temporelle de la tension de contrôle avec (1) et sans relance de l'oscillateur (2).

Ceci permet donc de valider le fonctionnement de l'architecture réalisée conformément au modèle comportemental du précédent chapitre. Nous voyons qu'il est possible de stabiliser l'architecture de boucle à verrouillage de phase seule en y ajoutant les caractéristiques de relance d'oscillateur propres à la boucle à verrouillage de délai.

#### III.4.b Simulations temporelles : signal synthétisé.

Nous allons maintenant observer le signal en sortie de l'oscillateur pour des valeurs basses et hautes de la plage de fréquence synthétisable, ainsi que la consommation résultante de chacun des blocs majeurs.

##### III.4.b.1 Synthèse du standard DCS: 1.8GHz

Avec une fréquence de référence choisie à 500MHz, le facteur multiplicatif est égal à 3,6. La valeur entière du « compteur fractionnaire » est donc 3 est la partie fractionnaire est égale à 3/5. La valeur du « compteur d'ouverture » est toujours égale à 5 ( $3,6 \times 5 = 18$ , nombre entier de périodes réalisées pour cinq périodes de référence).

La Figure III-38 présente le signal synthétisé en sortie de l'oscillateur à la fréquence de 1,8GHz. Nous voyons que le signal est correctement généré avec un rapport cyclique de 48%, un temps de montée de 32ps pour une excursion de 1,2V (rail to rail).

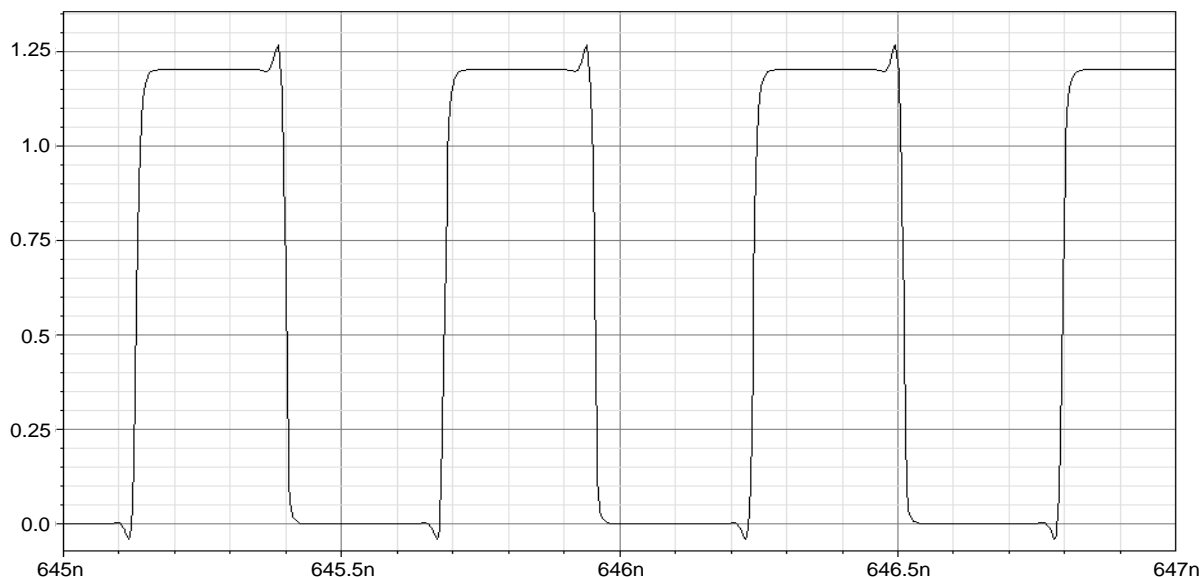


Figure III-38 : Synthèse du standard DCS : 1,8 GHz.

Nous pouvons également voir sur la Figure III-39 la répartition de la consommation de chacun des blocs présentés précédemment.

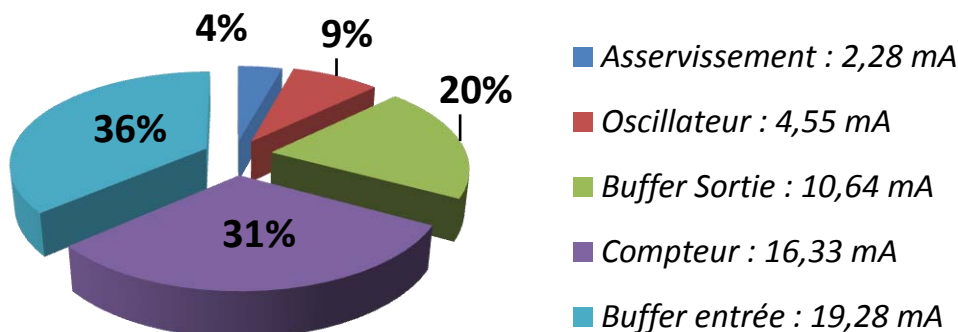


Figure III-39 : Répartition de la consommation sur les différents blocs de l'architecture à 1,8GHz.

Pour une consommation globale du système de 53 mA, nous constatons que les contributeurs majoritaires sont le compteur et le buffer d'entrée (67% de la consommation totale). En ne considérons pas la consommation des buffers, la consommation totale est alors de 23,16 mA. En régime établi, la consommation de la ligne d'asservissement est très faible, puisque son fonctionnement est limité à l'erreur de phase qu'entraîne le décompte fractionnaire (erreur nulle uniquement lors de l'ouverture de l'oscillateur).

Les performances globales en termes de consommation de courant sont fortement dégradées par celles du *Compteur*. Une étude approfondie sur ce bloc, qui ne rentrait pas dans le cadre du rôle de notre démonstrateur, nous permettrait de diminuer fortement cette valeur.

### III.4.b.2 Synthèse du standard WiMAX : 3,5GHz.

Pour cette synthèse, le facteur multiplicatif est égal à 7. La partie fractionnaire est donc nulle et la partie entière est égale à 7 (les trois bits de commande du compteur sont égaux à '1'). La forme du signal de sortie est présentée sur la Figure III-40.

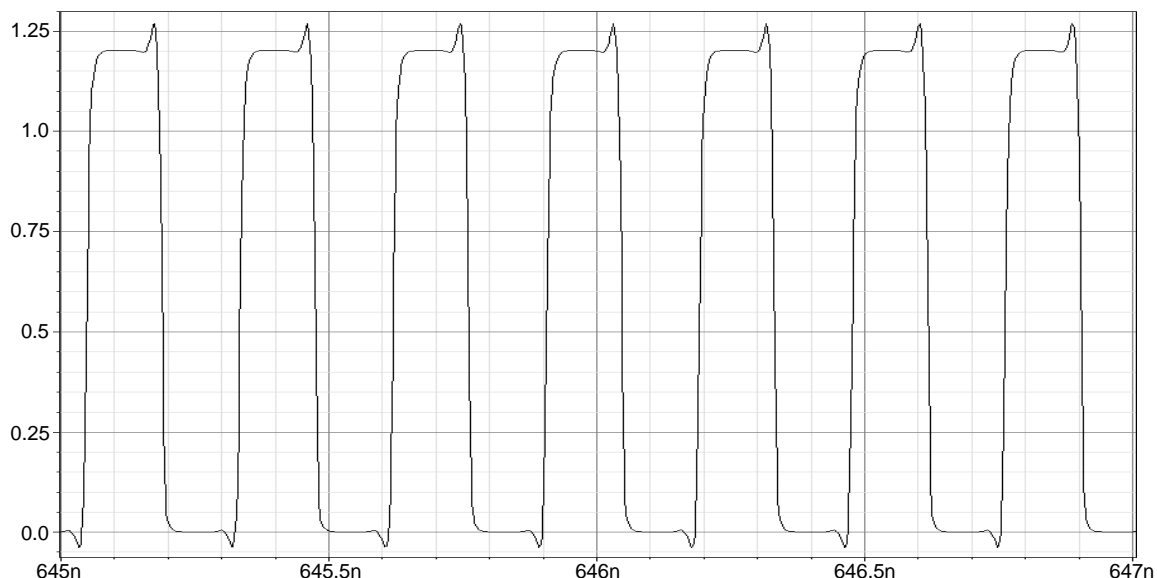


Figure III-40 : Synthèse du standard WiMAX : 3,5 GHz.

Le rapport cyclique est ici de 49%. Les temps de montée et de descente sont sensiblement les mêmes pour une excursion en sortie des buffers de sortie de 1,2V (rail-to-rail).

Nous présentons aussi, sur la Figure III-41, la répartition de la consommation de chacun des blocs pour ce standard.

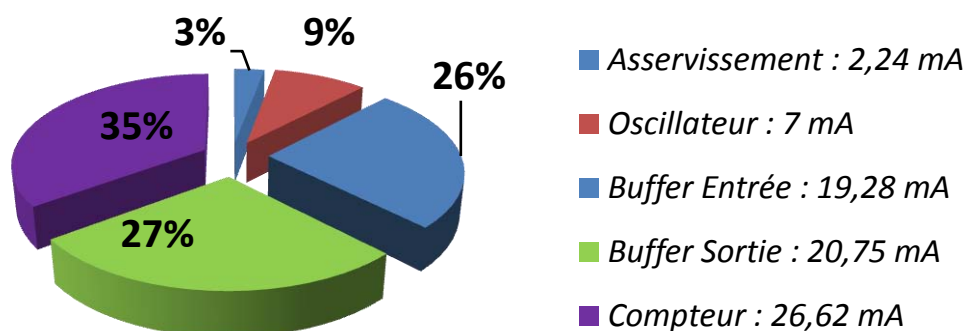


Figure III-41 : Répartition de la consommation sur les différents blocs de l'architecture à 3,5GHz.

La consommation globale du système est, pour ce standard, égale à 75,9 mA. Si l'on ne fait pas intervenir les buffers, la consommation totale est alors égale à 35,8 mA. La consommation du buffer d'entrée est restée identique puisque le signal d'entrée est le même, mais nous pouvons voir que les consommations du buffer de sortie et du compteur sont maintenant supérieures à celle du buffer d'entrée (respectivement 20,75mA et 26,62 mA, soit 27% et 35%). La fréquence du signal de sortie ayant été quasiment doublée, le fonctionnement de ces blocs est donc plus régulier. La consommation

de l'oscillateur a elle aussi augmenté, mais reste faible par rapport à l'ensemble du circuit (9%). La consommation de l'asservissement est restée la même, puisque la fréquence de comparaison des signaux d'entrée du comparateur de phase reste la même. Enfin, comme décrit pour la synthèse à 1,8GHz, la forte consommation du *Compteur* pourra être améliorée par une architecture plus performante.

### III.4.c Simulations temporelles : saut de fréquence.

La Figure III-42 présente l'évolution de la tension de contrôle lors d'un saut de fréquence. L'élément réalisé étant reconfigurable, il est possible de sauter d'une bande de fréquence à une autre sans relancer l'architecture (pas de nouvelle initialisation). Pour cela, nous avons fait varier en parallèle la valeur du compteur mais aussi la bande de fréquence synthétisable utilisée par l'oscillateur.

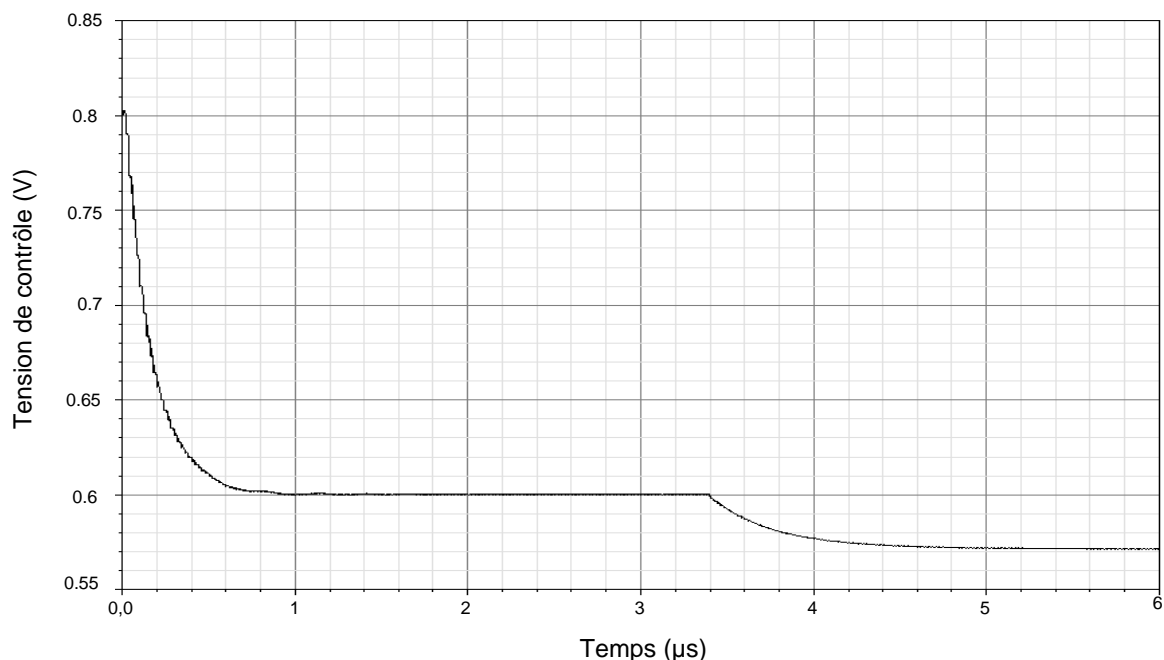


Figure III-42 : Evolution de la tension de contrôle lors d'un saut de fréquence.

Dans un premier temps, le système s'établit autour de la fréquence 1,8GHz (DCS) :  $N = 3,6$  et  $MB=01000$  (§III.2.b.2 et Figure III-20). Le temps d'établissement est d'environ  $1 \mu s$ . Une fois le régime permanent atteint, nous effectuons un saut de fréquence vers la fréquence 2,4GHz (WiFi) :  $N=4,8$  et  $MB=00100$ . Dans le cas présent, la tension de contrôle évolue légèrement. Cependant, l'élément à retard contrôlable étant multi-bande, le saut d'une fréquence à une autre n'engendre pas nécessairement une modification de la valeur de la tension de contrôle. Pour une valeur donnée de cette tension, la fréquence générée pour chacune des bandes est différente : ainsi le saut de fréquence peut être transparent pour la tension de contrôle et donc le temps d'établissement devient quasiment nul (quelques périodes d'horloge pour assurer l'établissement).

#### III.4.d Simulations fréquentielles.

Nous allons maintenant observer le spectre du signal de sortie du synthétiseur de fréquence réalisé. Pour cela nous appliquons les commandes au niveau du compteur et de l'oscillateur correspondant à la synthèse du standard DCS (1,8GHz). Le spectre du signal synthétisé est présenté sur la Figure III-43.

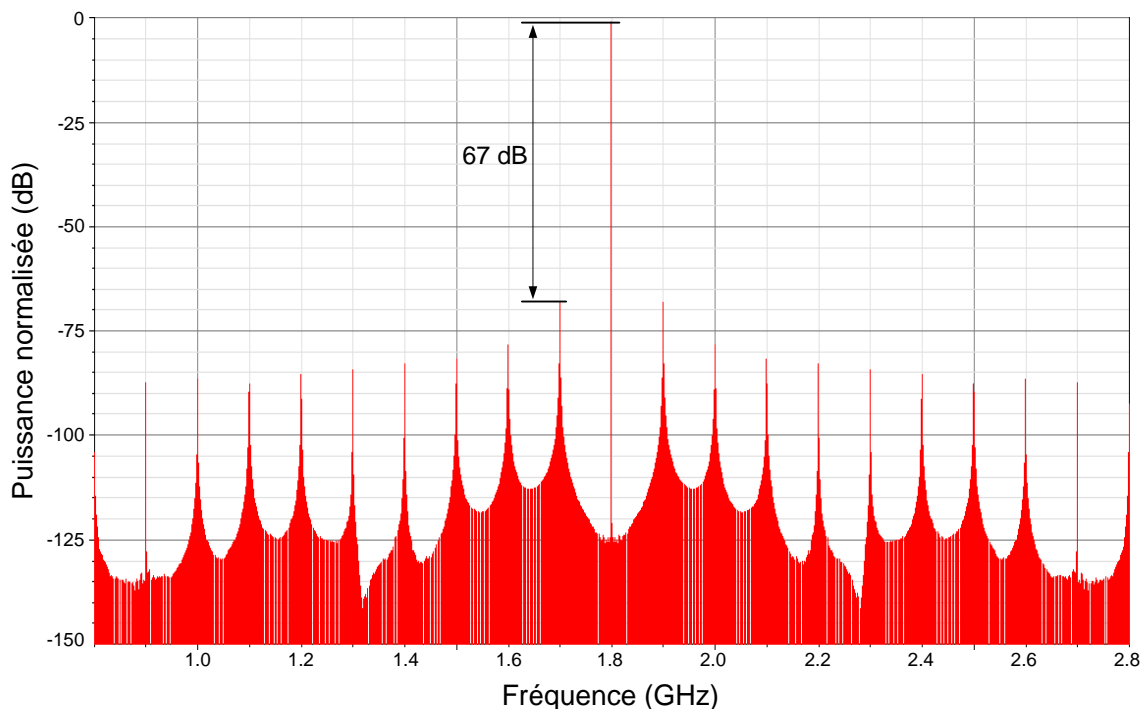


Figure III-43 : Spectre du signal de sortie à la fréquence 1.8GHz.

Nous voyons ici que le niveau maximum de l'énergie du signal est bien concentré autour de la fréquence 1,8GHz. De plus, nous pouvons observer la présence des raies parasites à une distance de la fréquence centrale égale à un multiple entier de la fréquence d'ouverture de l'oscillateur, c'est-à-dire 100MHz. Comme nous l'avons vu dans le précédent chapitre, ces raies proviennent principalement de l'erreur de phase statique générée au niveau de l'asservissement. L'utilisation d'une pompe de charge avec appariement des courants de charge et décharge a permis de diminuer la puissance de ces raies. Ici, les premières d'entre elles ont une puissance inférieure à celle de la fréquence porteuse de 67dB, ceci en limitant ainsi l'impact de manière très significative.

#### III.4.e Réalisation du dessin des masques du circuit.

Le circuit a donc finalement été réalisé en technologie CMOS 130 nm de STMicroelectronics. Le dessin des masques réalisé est présenté à la Figure III-44. L'empreinte de la puce occupe une surface totale de 1,65mm<sup>2</sup>, pour une surface effective de l'ensemble des blocs de 0,36mm<sup>2</sup>. Nous pouvons voir que la surface est principalement consommée par le compteur, alors que l'oscillateur ne consomme





## IV CONCLUSIONS

Nous avons développé dans ce chapitre les différentes étapes de réalisation au niveau circuit de l'architecture de synthétiseur de fréquence basée sur un verrouillage conjoint de phase et de fréquence. Le signal d'horloge de référence a une fréquence égale à 500MHz et le signal de sortie se situe sur une plage de fonctionnement comprise entre 1,3 et 4 GHz. Ceci permet de couvrir de nombreux standards de radiocommunication : UMTS, DCS, IEEE 802.11, Bluetooth, WiMAX, ...

Les trois blocs principaux que sont l'*Asservissement*, l'*Oscillateur* et le *Compteur* ont été décrits indépendamment. Nous avons pu voir les limites imposées par chacun d'eux et comment nous allons les combiner pour réaliser l'architecture complète.

La stabilisation d'une architecture instable a été validée en effectuant une relance périodique de l'oscillateur. De plus l'aspect fractionnaire de ce synthétiseur de fréquence permet de générer un pas de synthèse de 100MHz, malgré l'utilisation d'un signal de référence à 500MHz. La consommation de l'ensemble des blocs est inférieure à 80mA pour une tension nominale de 1.2V.

## REFERENCES DU CHAPITRE III

- [CHE06-1] Cheng S., Tong H., Silva-Martinez J., Ilker Karsilayan A., « *Design and Analysis of an Ultrahigh-Speed Glitch-Free Fully Differential Charge Pump With Minimum Output Current Variation and Accurate Matching* », IEEE Transaction On circuit and Systems-II: Express Briefs, Vol.53, No. 9, September 2006, pp. 843-847.
- [CHE05-1] Cheng K.-H., Lo Y.-L., « *A fast-lock mixed-mode DLL with wide-range operation and multiphase outputs* », IEEE Proceedings of the 31<sup>st</sup> European Solid-State Circuits Conference, ESSCIRC 2005, pp.189-192, 2005.
- [CHO88-1] Chor E.-F., Brunnschweiler A., Ashburn P., « *A Propagation-Delay Expression and its Application to the Optimization of Polysilicon Emitter ECL Process* », IEEE Journal of Solid State Circuits, vol.23, n° 1, février 1988, pp. 251-259.
- [FON03-1] Fong N.H.W., Plouchart J.O., Zamdmer N., Liu Duixian, Wagner L.F, Plett C., and Tarr N.G., « *Design of wide-band CMOS VCO for multiband wireless LAN applications* » IEEE Journal of Solid-State Circuits, pp 1333-1342, Vol. 38, Août. 2003.
- [LEE00-1] Lee J.-S., Keel M.-S., « *Charge pump with perfect current matching characteristics in phase-locked loops* » Electronic Letters, vol. 36 , November 2000, pp. 1907–1908.
- [LUC09-1] Lucas de Peslouan P.-O., Majek C., T. Taris, Y. Deval, D. Belot, Begueret J.-B. « *A Digitally Tuned Voltage Controlled Delay Element for 1-10 GHz DLL-based Frequency Synthesis* », Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference, NEWCAS-TAISA'09, pp. 319-322, 2009.
- [MAH02-1] Mahapatra N.R., Tareen A., Garimella S.V. « *Comparison and analysis of delay elements* » IEEE 45<sup>th</sup> Midwest Symposium on Circuits and Systems (MWSCAS), vol.2, aout 2002, pp.473-476.
- [MAC94-1] McNeill, J. A., "Jitter in ring oscillators". Thèse, Chapitre 3, pp. 70, Université de Boston, 1994.
- [MAJ06-1] C. Majek, « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 3, pp. 89-93, Université de Bordeaux 1, 2006.
- [MAJ06-2] C. Majek, « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 2, pp. 81-83, Université de Bordeaux 1, 2006.
- [MAJ06-3] C. Majek, « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 3, pp. 121-123, Université de Bordeaux 1, 2006.
- [RAM01-1] M. Ramezani, C.A.T. Salama, "An Improved Bang-Bang Phase Detector for Clock and Data Recovery Applications", IEEE International Symposium on Circuit And Systems (ISCAS), Vol.1, pp.715-718, 2001.
- [SPA02-1] Spataro A., Deval Y., Bégueret J.B, P. Fouillat, Belot D., « *A VLSI CMOS Delay Oriented Waveform Converter for Polyphase Frequency Synthesizer*», IEEE Journal of Solid State Circuit, vol.37, n°3, March 2002, pp.336-341.
- [STA06-1] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, and P. T. Balsara, "1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS", IEEE Transaction on Circuits and Systems II: Express Briefs, Vol. 53, pp. 220-224, mars 2006.



# Chapitre IV

## IV CARACTERISATION EXPERIMENTALE DE LA BOUCLE A VERROUILLAGE DE PHASE ET DE DELAI MIXTE FRACTIONNAIRE

<b>I</b>	<b>INTRODUCTION.....</b>	<b>143</b>
<b>II</b>	<b>MESURE DE LA P/DLL MIXTE FRACTIONNAIRE .....</b>	<b>144</b>
II.1	PROTOCOLE EXPERIMENTAL .....	144
II.1.a	<i>Puce et circuit imprimé.....</i>	144
II.1.b	<i>Le banc de mesures .....</i>	145
II.2	EXPERIMENTATION .....	146
II.2.a	<i>Mesures temporelles.....</i>	146
II.2.a.1	Forme d'onde du signal de sortie.....	146
II.2.a.2	Consommation .....	148
II.2.b	<i>Mesures fréquentielles.....</i>	148
II.2.b.1	Standards synthétisés .....	148
II.2.b.2	Superposition des modes.....	150
II.2.b.3	Bruit de phase .....	151
II.2.b.4	Atténuation des raies parasites. ....	152
II.2.c	<i>Caractérisation de l'oscillateur. ....</i>	153
II.2.d	<i>Evolution de la tension de contrôle et stabilisation. ....</i>	154
II.2.d.1	Temps d'établissement .....	154
II.2.d.2	Stabilisation de l'architecture .....	156
<b>III</b>	<b>PERSPECTIVES .....</b>	<b>158</b>
<b>IV</b>	<b>CONCLUSION .....</b>	<b>160</b>
	<b>REFERENCES.....</b>	<b>161</b>



## I INTRODUCTION

Suite aux étapes de conception dites « système » puis « circuit », le dessin de masques du synthétiseur de fréquence complet a été exécuté. Ce dessin, qui a été présenté au cours du précédent chapitre, a ensuite fait l'objet d'une réalisation de la part du fondeur STMicroelectronics par le biais de leur technologie CMOS 130nm.

L'ultime étape de validation de la fonctionnalité de l'architecture proposée est donc la caractérisation expérimentale de la puce ainsi réalisée. Pour cela, nous allons utiliser le matériel du laboratoire IMS qui sera exposé par la suite.

Cette étape de caractérisation va consister en la vérification des différents points que nous avons pu mettre en avant au cours des deux précédents chapitres.

Après avoir présenté le protocole expérimental ainsi que les différents outils utilisés, nous préciserons les différents résultats de mesures :

- Les mesures temporelles permettront d'observer les formes des signaux de sortie pour différents standards visés sur l'ensemble de la bande caractérisable.

- Les simulations fréquentielles dégageront le spectre obtenu pour ces mêmes standards. Nous insisterons sur la superposition des modes de fonctionnement, le bruit de phase ainsi que la puissance des raies parasites.

- L'aspect multi-bande de l'oscillateur sera caractérisé afin de vérifier la plage de couverture de l'oscillateur réalisé à partir d'élément à retard contrôlable (DOD).

- Enfin, la technique innovante de stabilisation de synthétiseur de fréquence sera validée par le biais des mesures.

## II MESURE DE LA P/DLL MIXTE FRACTIONNAIRE

### II.1 PROTOCOLE EXPERIMENTAL

#### II.1.a Puce et circuit imprimé

Une microphotographie de la puce réalisée est présentée à la Figure IV-1. Cette puce carrée de dimension 1285  $\mu\text{m}$  de coté comprend 44 plots, soit 11 sur chacune des faces.

Trois d'entre eux sont des plots RF qui seront utilisés pour :

- apporter au circuit le signal de référence en entrée (côté gauche, 3<sup>ème</sup> plot à partir du haut).
- récupérer le signal synthétisé en sortie (côté droit, 4<sup>ème</sup> plot à partir du haut).
- observer la tension de contrôle et ainsi déterminer la stabilité ou l'instabilité du système (côté supérieur, 2<sup>ème</sup> plot à partir de la droite).

Les autres plots sont des plots DC utilisés pour les différents blocs à contrôle numérique (élément à retard contrôlable, compteur, pompe de charge) ainsi que pour les alimentations et masses. Le circuit comprend cinq alimentations séparées pour chacun des blocs suivant : le circuit tampon d'entrée, le circuit tampon de sortie, la ligne d'asservissement, l'oscillateur et le compteur. Pour chacune d'entre elles, 2 plots sont utilisés afin de diminuer la résistivité et limiter les points à fort passage de courant.

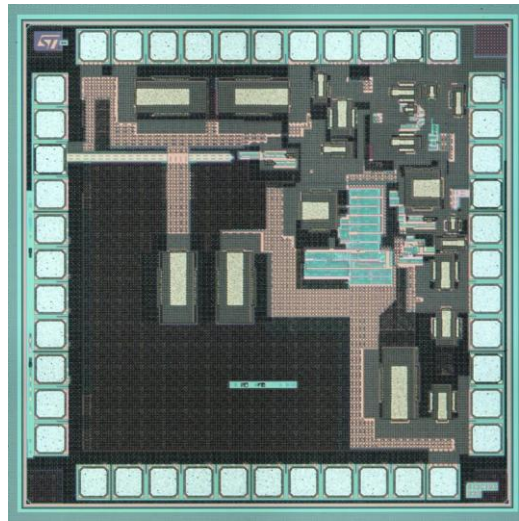


Figure IV-1 : Microphotographie de la P/DLL mixte réalisée.

Cette puce a ensuite été encapsulée à l'aide de boîtier du type CQFP 44, qui sera inséré sur le circuit imprimé de la Figure IV-2 afin de réaliser les mesures de la puce conçue.

Sur cette figure, nous pouvons voir :

- Les câbles coaxiaux, à gauche et à droite de l'image, qui vont transmettre le signal de référence (câble de gauche) et le signal synthétisé (câble de droite).



- La puce encapsulée au centre de l'image.
- Les quatre blocs d'interrupteurs (type DIL) qui vont permettre le contrôle numérique de l'oscillateur, le compteur et la pompe de charge.
- Un bouton poussoir, en bas à gauche, qui assurera la fonction « reset » pour assurer l'état initial du circuit.

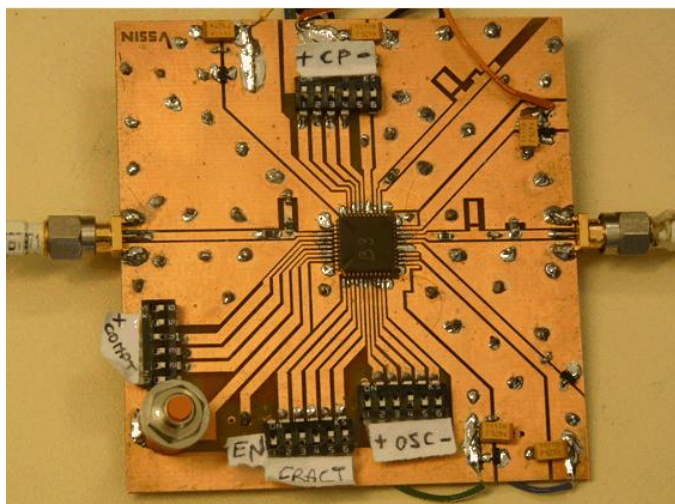


Figure IV-2 : Photographie du circuit imprimé réalisé.

Enfin, des capacités de découplages ont été insérées entre les différentes alimentations et la masse du circuit ; il en est de même pour les signaux de commandes numériques DC. De plus, afin d'uniformiser au maximum la masse, un plan de masse a été réalisé sous l'ensemble du circuit imprimé et des « via » permettent de relier chacune des masses du premier plan vers ce plan de masse.

### II.1.b Le banc de mesures

Le banc de mesures utilisé pour la caractérisation de la puce est présenté à la Figure IV-3. Ce banc est composé des appareils suivants :

- Un générateur de signaux Hewlett Packard E4433B, capable de fournir des signaux de 250kHz à 4GHz, afin de générer le signal d'entrée (a).
- Trois générateurs de tension continue Agilent E3631A, fournissant chacun deux alimentations continues (0-6V/5A et 0±25V/1A), afin d'alimenter chaque bloc du circuit (b).
- Un oscilloscope Lecroy Waveform Pro 960 de bande passante 2 GHz, afin d'observer les évolutions de la tension de contrôle (c).
- Un second oscilloscope Hewlett Packard 54750A, dont la bande passante atteint les 20GHz, afin d'observer le signal de sortie dans le domaine temporel (e).

- Un analyseur de spectre Hewlett Packard 8563E, dont la limite de bande passante des signaux d'entrée est située autour de 26,5GHz, afin d'observer le spectre du signal de sortie (d).

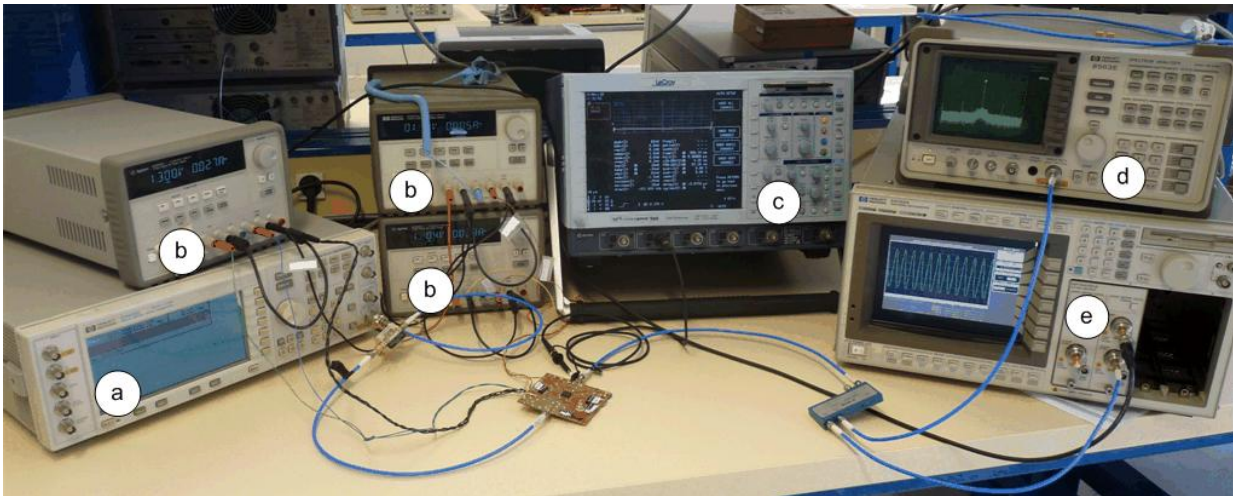


Figure IV-3 : Photographie du banc de mesures utilisé

Un coupleur branché sur le signal de sortie permet de récupérer celui-ci sur deux voies avec une perte de -3dB sur chacune d'entre elles. Enfin, afin d'observer la tension de contrôle, nous utiliserons une sonde atténuatrice (type x10).

## II.2 EXPERIMENTATION

Afin de valider la fonction de synthétiseur de fréquence, nous allons tout d'abord présenter les mesures temporelles et fréquentielles du circuit pour différentes valeurs du facteur de multiplication. Après avoir caractérisé l'oscillateur seul, nous verrons ensuite les points liés à la stabilisation d'un système instable et l'impact sur le bruit de phase de la superposition des deux modes.

A l'aide du générateur de signaux, nous fournissons en entrée du circuit un signal carré d'amplitude 0-1,2V et de fréquence 500MHz. Ce signal sera le signal de référence de système.

Les différents facteurs de multiplication qui vont être utilisés vont donc permettre de proposer un pas de synthèse de 100MHz ( $F_{ref}/5$ ).

### II.2.a Mesures temporelles

#### II.2.a.1 Forme d'onde du signal de sortie

Les limites de la plage de fréquences synthétisables par l'architecture proposée sont légèrement décalées par rapport aux simulations et aux résultats avancés lors du précédent chapitre. Le facteur multiplicatif minimum assurant le fonctionnement est de 3,2, ce qui correspond à une fréquence de sortie de 1,6GHz, alors qu'elle était de 1,31GHz en simulation. Cependant, cette

différence de valeur est suffisamment faible pour admettre qu'elle est due aux différents parasites provenant des câbles, du circuit imprimé et des différentes connections jusqu'à la puce. De même, la limite haute de la plage de synthèse est limitée à 3,5 GHz au lieu de 3,9 GHz en simulation. Nous admettrons que cette faible différence est due à ces mêmes parasites.

Nous avons donc choisi de présenter différents standards répartis dans la gamme de fonctionnement du synthétiseur : le standard DCS (1.8 GHz), le standard 802.11 b et g (2.4 GHz) ainsi que deux bandes du standard WiMAX présentes à 2.3 et 3.5 GHz [ETE08-1].

Les formes du signal de sortie pour les différents standards listés sont présentées à la Figure IV-4.

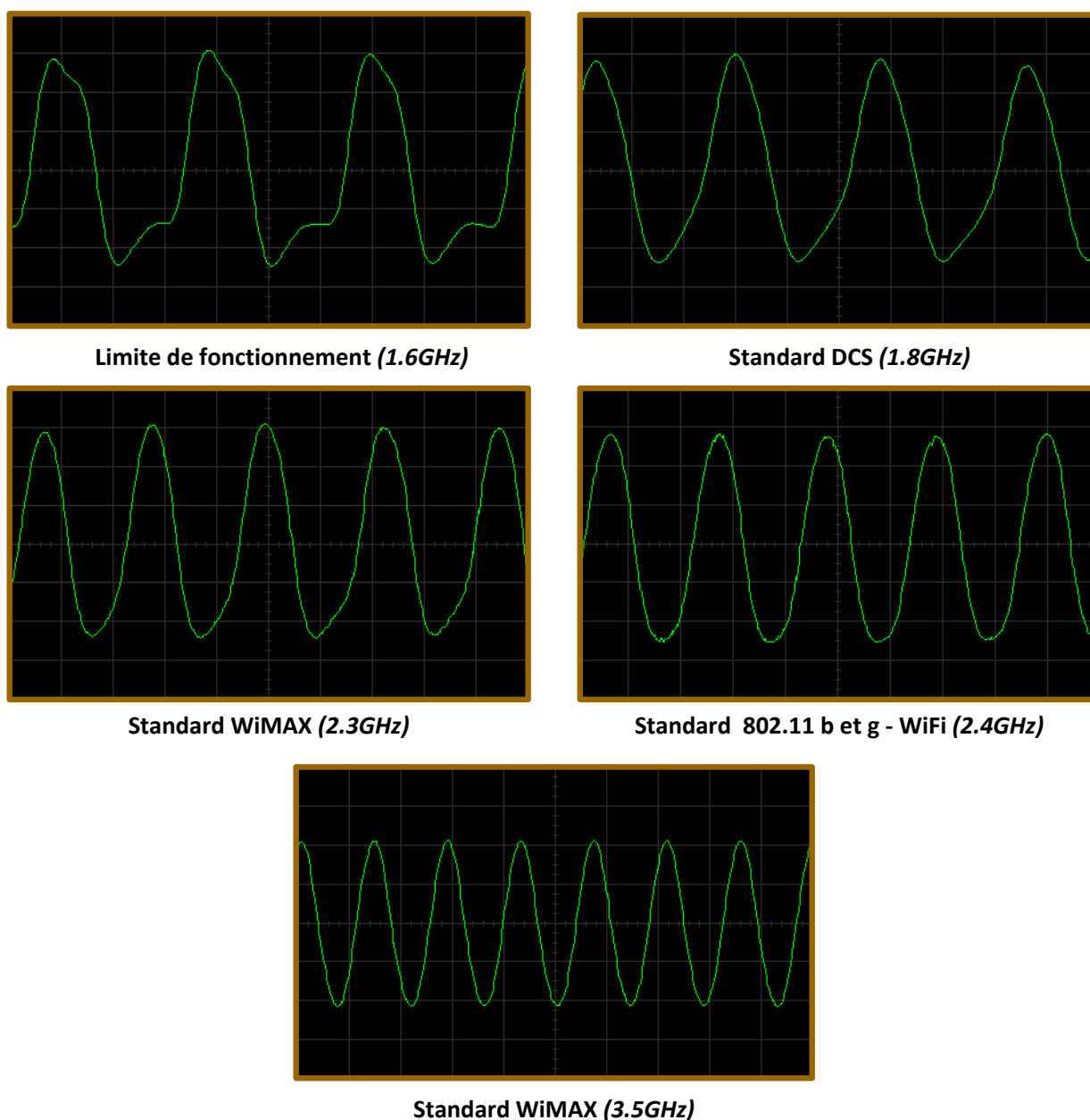
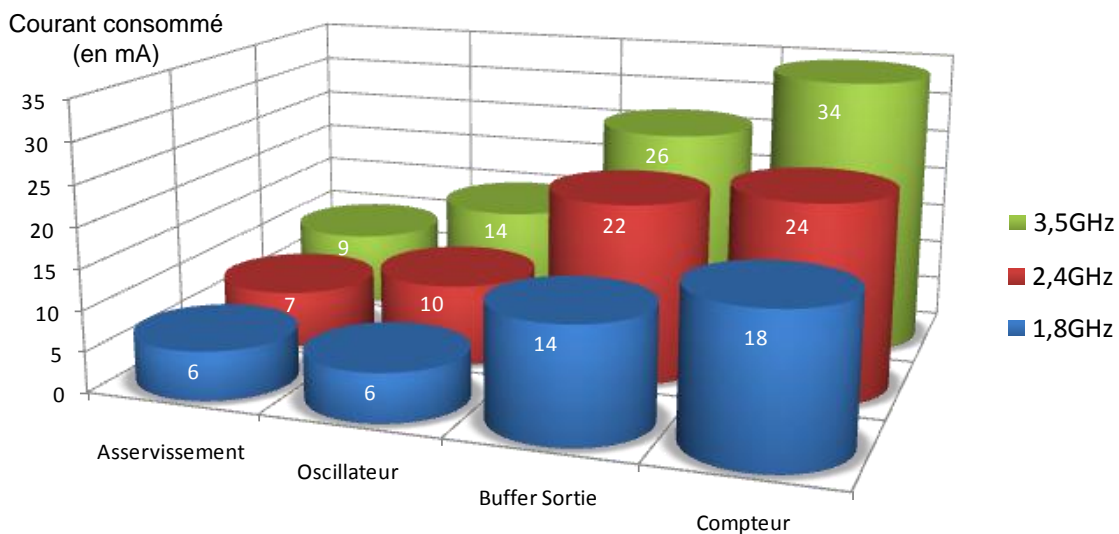


Figure IV-4 : Formes d'ondes temporelles du signal de sortie pour différents standards synthétisés.

Pour la synthèse des fréquences 1,6 GHz, 1,8 GHz, 2,3 GHz et 2,4 GHz, les facteurs multiplicatifs sont bien fractionnaires et sont égaux à : 3,2 (1,6GHz), 3,6 (1,8GHz), 4,6 (2,3GHz) et 4,8 (2,4GHz). Pour la synthèse du standard WiMAX 3.5GHz, la multiplication est cette fois entière.

### II.2.a.2 Consommation

La Figure IV-5 présente la consommation des différents blocs de l'architecture lors de la synthèse des standard DCS (1,8GHz), IEEE 802.11 b et g (2,4GHz) et WiMAX (3,5GHz). N'apparaissent pas sur ce schéma les consommations des buffers d'entrée et de sortie. La consommation totale maximale du système est de 102 mA sous 1,2V à 3,5GHz, soit une puissance consommée de 122,4mW. A 2,4GHz, la puissance consommée s'élève à 82mA et elle est égale à 63mA à 1,8GHz.



**Figure IV-5 : Consommation de courant (en mA) pour chacun des blocs de l'architecture à 1,8GHz, 2,4GHz et 3,5GHz.**

La consommation totale était de 75,9mA dans les simulations du précédent chapitre, soit une différence de l'ordre de 25%. Cependant, l'extraction des différents parasites n'avait pas été prise en compte dans celles-ci, ce qui permet de justifier l'écart entre ces deux valeurs.

### II.2.b Mesures fréquentielles.

#### II.2.b.1 Standards synthétisés

La Figure IV-6 présente le spectre pour deux synthèses différentes. Le spectre de gauche présente la synthèse du standard IEEE 802.11 b et g. à 2,4 GHz alors que celui de droite est celui de la synthèse du standard WiMAX à 3,5 GHz.

Dans le premier cas, la synthèse est fractionnaire avec un rapport de multiplication par rapport à la fréquence de référence de 4,8. La relance de l'oscillation est donc effectuée au bout de cinq périodes de référence, soit à une fréquence de 100MHz. Ainsi, conformément au fonctionnement

d'une DLL classique présenté dans le chapitre 1, nous obtenons sur le spectre des raies parasites pour des écarts de fréquence par rapport à la porteuse multiples de 100MHz. Nous pouvons remarquer que ces raies ont une puissance de -38,5dBc par rapport à la porteuse, ce qui est un point remarquable et sera décrit par la suite.

En revanche, dans le cas de la synthèse du standard WiMAX à 3,5GHz, il s'agit d'une synthèse entière. L'oscillation est relancée à la fréquence de référence et les raies parasites sont éloignées de la porteuse d'un écart multiple de la fréquence de référence (500MHz). Leur puissance est de -40,8dBc par rapport à la porteuse. Comme précédemment, ce point remarquable sera développé par la suite.

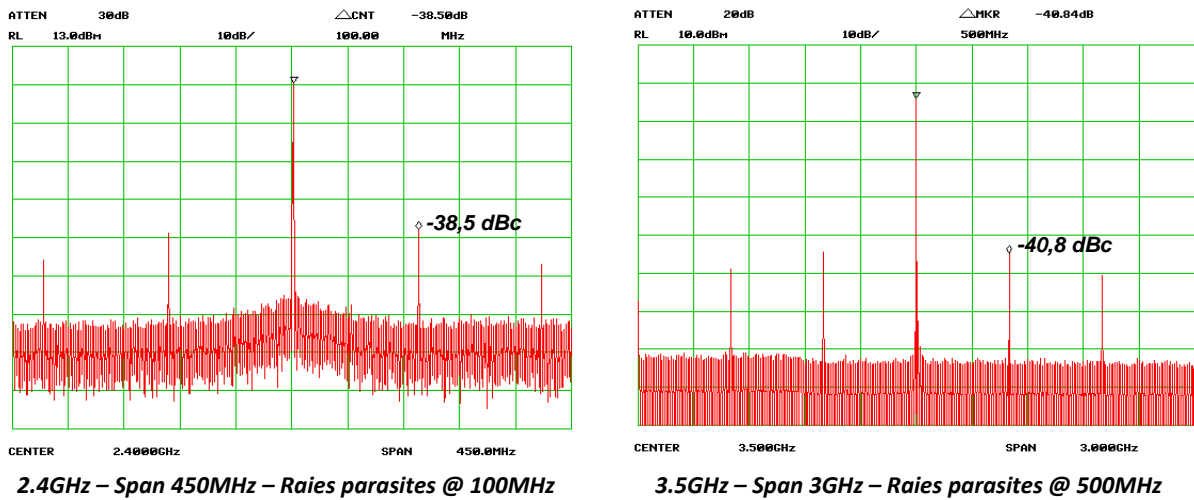


Figure IV-6 : Spectre du signal de sortie pour les synthèses à 2.4GHz et 3.5GHz.

La Figure IV-7 présente le spectre de sortie pour la synthèse de la fréquence 1,6GHz, du standard DCS à 1,8GHz et du standard WiMAX à 2,3 GHz. La fenêtre d'observation est de 100MHz pour les synthèses des fréquences 1,6GHz et 2,3GHz (respectivement à gauche et à droite de la Figure IV-7). Pour la synthèse de la fréquence 1,8GHz, nous avons diminué la fenêtre d'observation à 20MHz afin d'obtenir une meilleure visualisation de la porteuse. Dans chacun des cas, nous voyons que la remontée de bruit caractéristique d'une PLL n'est pas présente puisque « l'effet DLL » permet la non-accumulation de la gigue temporelle, pour des écarts de fréquence par rapport à la porteuse inférieurs à la valeur de la fréquence de relance.

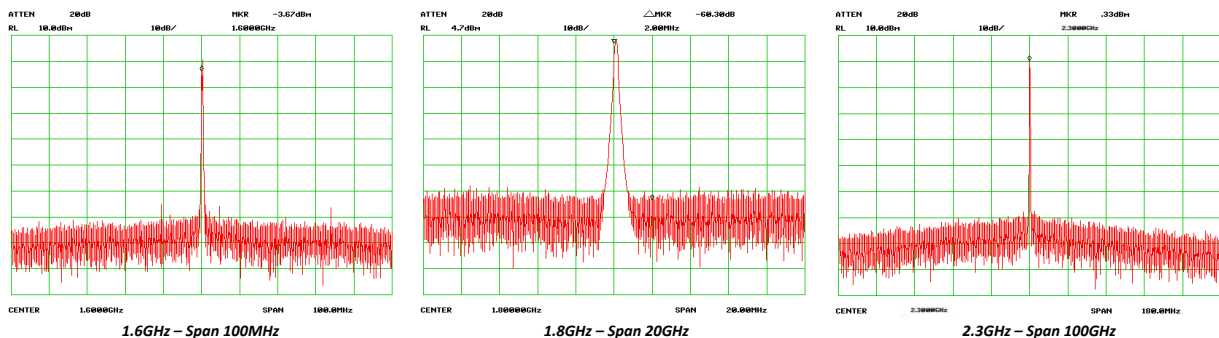


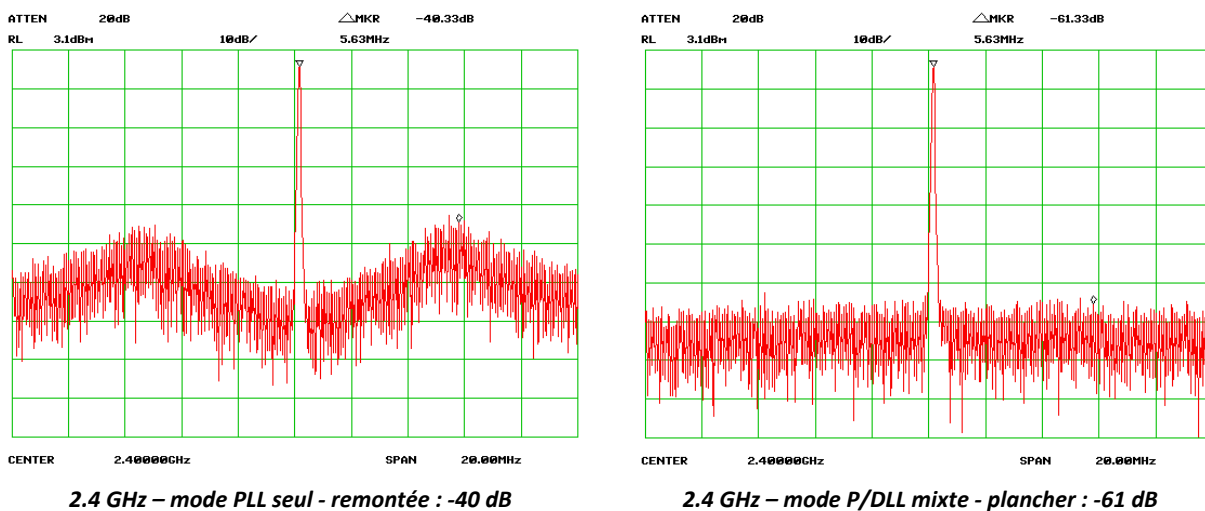
Figure IV-7 : Spectre du signal de sortie pour les synthèses à 1.6GHz et 1.8GHz.

### II.2.b.2 Superposition des modes

Afin de vérifier l'impact de la superposition du mode DLL au mode PLL, nous avons modifié le circuit imprimé en ajoutant un pôle au filtre de boucle dans le but de rendre stable l'architecture dans un mode PLL seul.

Pour cela, nous avons inséré sur le circuit imprimé une résistance série de forte valeur ( $R=100k\Omega$ ), suivie d'une capacité parallèle due à la proximité entre la piste du signal  $V_{ctrl}$  et le plan de masse. D'un point de vue linéaire, l'ajout de ce pôle permet d'apporter une légère avance de phase qui rend stable l'architecture dans un mode PLL seul.

Nous avons pu ainsi réaliser la synthèse du standard IEEE 802.11 b et g en utilisant l'architecture en mode PLL seul. Les spectres obtenus pour les modes PLL seul et P/DLL mixte sont présentés à la Figure IV-8



**Figure IV-8 : Spectre du signal de sortie à 2,4GHz pour le mode PLL seul et le mode P/DLL mixte.**

La partie gauche de la Figure IV-8 présente le spectre du signal de sortie pour le mode PLL seul. Sur cette figure, nous pouvons voir la remontée de bruit caractéristique du mode PLL introduit au chapitre 1.

Sur la partie droite de la Figure IV-8 est présenté le spectre de ce même signal dans le mode P/DLL mixte. Nous voyons alors que la remontée de bruit a disparu et que le spectre du signal de sortie est plus conforme à celui d'une DLL. Ceci nous permet donc de valider l'hypothèse selon laquelle, en termes de bruit de phase, l'effet DLL est dominant à l'intérieur de la bande.

Afin de conforter ce résultat, nous montrons à la Figure IV-9 la superposition du bruit de phase du mode PLL seul et du mode P/DLL mixte. Dans le premier cas, nous observons la même remontée de bruit que celle du spectre de la Figure IV-8. Cette remontée est au contraire complètement supprimée dans le cas de l'architecture mixte réalisée, ce qui confirme, d'une part, l'impact de la relance de

l'oscillation sur le bruit de phase, et, d'autre part, que l'effet DLL est prépondérant à l'intérieur de la bande passante de l'architecture.

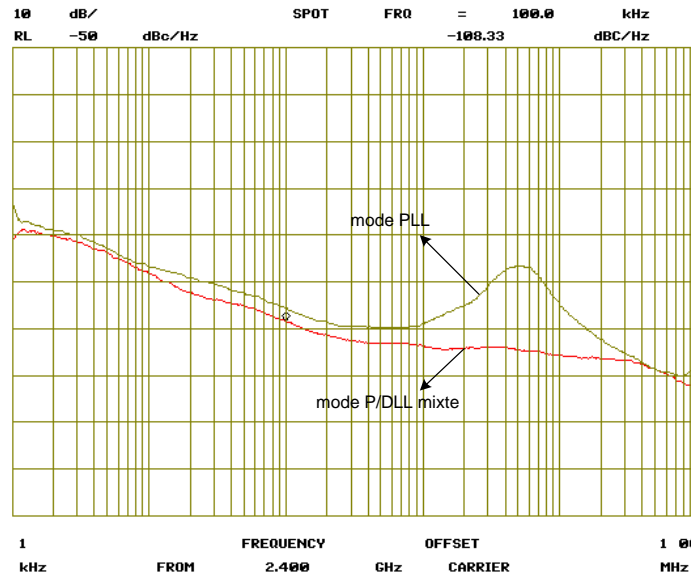


Figure IV-9 : Bruit de phase du signal de sortie à 2.4GHz pour le mode PLL seul et le mode P/DLL mixte.

### II.2.b.3 Bruit de phase

Le bruit de phase a été mesuré à partir de la synthèse du standard IEEE 802.11 b et g. La Figure IV-10 présente la superposition du bruit de phase du signal de sortie et celui de la référence. Nous voyons que le bruit de phase de sortie suit bien celui de la référence au facteur  $20 \cdot \log(N)$  près, où  $N$  est le facteur multiplicatif entre les deux signaux. Au-delà de 10 MHz nous observons une remontée non désirée du bruit de la référence liée aux limitations de l'analyseur et qui n'est donc pas suivie par le signal de sortie. En revanche, pour des écarts de fréquences supérieurs à 100kHz par rapport à la référence, le bruit de phase est inférieur à  $-108 \text{ dBc/Hz}$ .

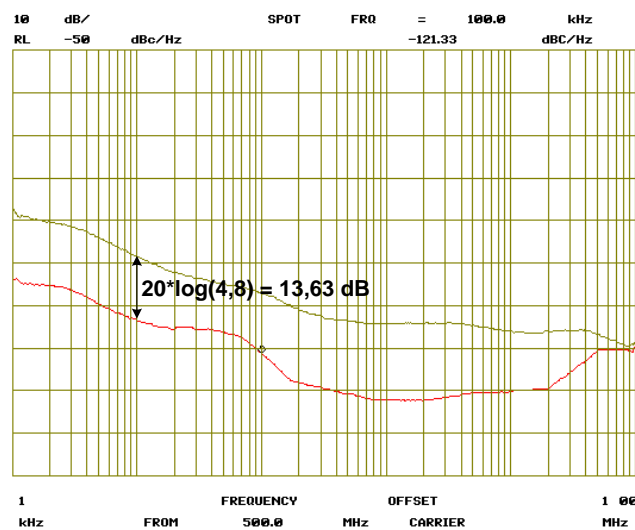


Figure IV-10 : Bruit de phase du signal de sortie à 2.4GHz et du signal de référence.



### II.2.b.4 Atténuation des raies parasites.

La Figure IV-11 présente l'atténuation des raies parasites à partir de la synthèse du standard IEEE 802.11 b et g.

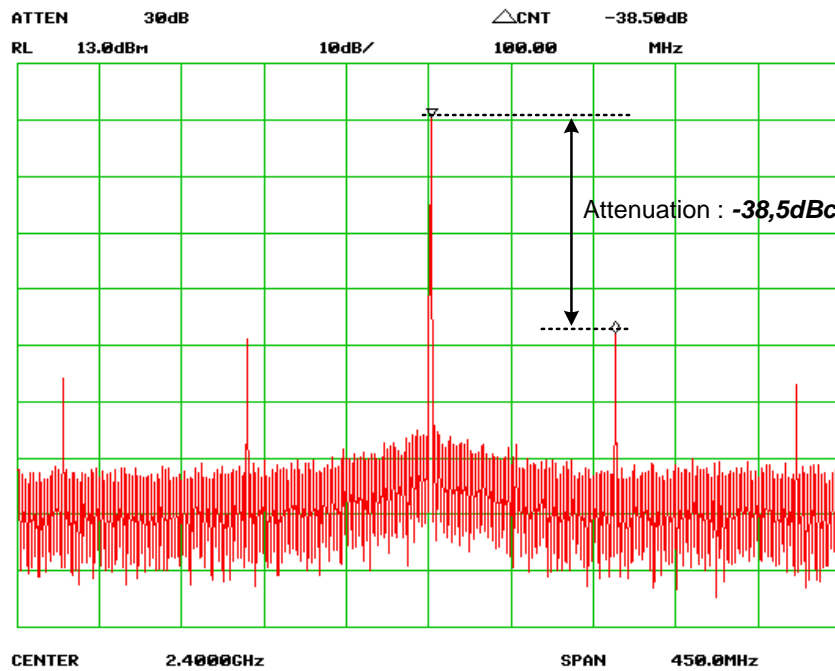


Figure IV-11 : Mesure de l'atténuation des raies parasites.

Ces raies parasites sont présentes à un écart de fréquence multiple de la fréquence de relance par rapport à la porteuse. Les travaux réalisés sur la DLL factorisée ont permis de mettre en avant le fait qu'elles étaient principalement dues aux erreurs de désappariement entre les deux voies de la ligne d'asservissement [MAJ06-1]. Ainsi, nous avons réalisé une pompe de charge spécifiquement conçue pour minimiser ce désappariement.

L'atténuation des raies parasites qui a été mesurée est de -38,5dBc. Afin de quantifier l'apport de la pompe de charge, nous pouvons comparer ces résultats avec ceux obtenus par la DLL factorisée, puisque la technologie utilisée est la même et que le reste de la ligne (comparateur de phase) a été construit à partir de la même structure.

Dans cette première architecture, l'atténuation des raies parasites était de -6dB par rapport à la porteuse [MAJ06-1]. Ainsi, cette atténuation supplémentaire de plus de 32dB de la puissance de raies est donc un point fort de cette seconde architecture en comparaison de la DLL factorisée.



### II.2.c Caractérisation de l'oscillateur.

Afin de caractériser l'oscillateur, nous avons besoin de faire varier sa tension de contrôle. Pour cela, nous avons éteint les alimentations des différents blocs, mise à part celle de l'oscillateur. Puis, nous avons injecté au niveau de la sortie *Vctrl* du circuit imprimé les différentes valeurs de la tension de contrôle et ce pour chacune des combinaisons du contrôle numérique de l'oscillateur.

Sur la Figure IV-12 nous pouvons voir les différentes bandes représentant la plage de fréquences synthétisables en fonction de la commande numérique appliquée. Ces fréquences sont comprises entre 0,122GHz (pour la commande « 00000 ») et 4,17GHz (pour la commande « 11111 ») et le recouvrement de chacune des plages est proche de 50% sur l'ensemble de la plage de synthèse.

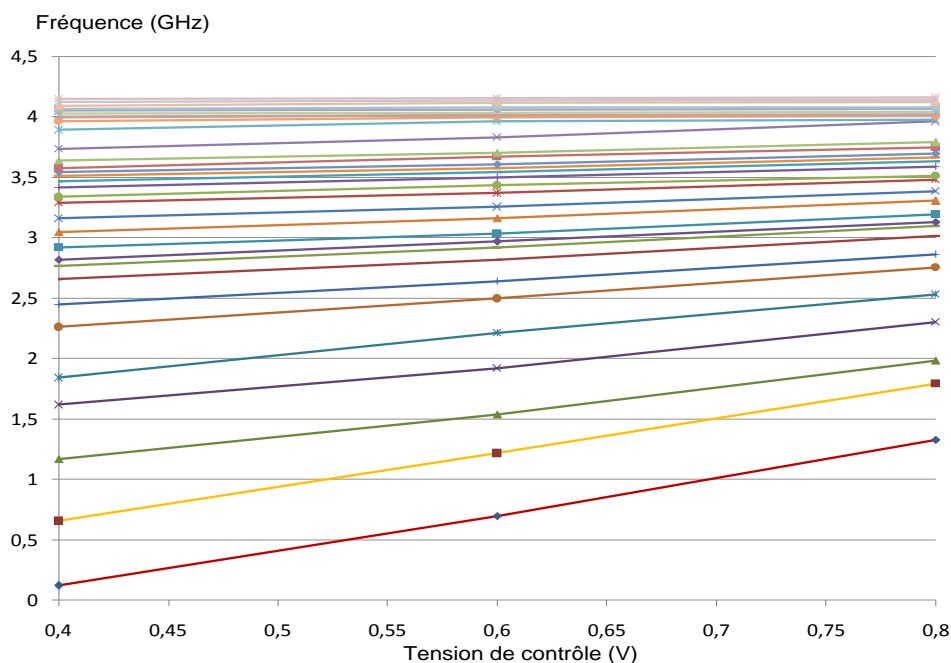


Figure IV-12 : Mesure des bandes de fréquence synthétisables par l'oscillateur.

Dans les simulations présentées au chapitre 3, l'oscillateur fonctionnait de 0,25GHz à 4,5GHz. Les fréquences des bandes mesurées sont donc faiblement diminuées. Cependant, l'écart entre les valeurs simulées et mesurées est suffisamment faible pour être expliqué par les différents parasites induits par l'ensemble des connexions présentes au niveau de la puce et du circuit imprimé. De plus, l'oscillateur présente l'avantage d'être multi-bandes : ainsi la fonctionnalité de celui-ci n'est pas affectée, puisque, pour chacun des standards visés, la fréquence correspondante reste couverte par une autre des bandes du système. Tout au plus, il sera intéressant de changer de bande de fonctionnement pour rester dans une plage de valeurs de la tension de contrôle ne compromettant pas la linéarité de la pompe de charge.

La Figure IV-13 compare mesure et simulation pour les plages proches des standards DCS (1,8GHz), WiMAX 2,3GHz, IEEE 802.11 b et g (2,4GHz) et WiMAX (3,5GHz).

Sur la Figure IV-13 (a), nous pouvons voir la superposition des plages de fréquences synthétisables simulées et mesurées autour de 1,8GHz, 2,3 GHz et 2,4GHz, puis, sur la Figure IV-13 (b), autour de 3,5GHz. Ces figures confirment la différence de plage de fréquence couverte pour un même mot binaire entre mesure et simulation.

Cependant, comme nous venons de l'évoquer, une autre bande, pour laquelle le mot binaire est supérieur, est utilisable pour une fréquence visée. Ce point est en partie responsable de l'augmentation du courant consommé, puisqu'un mot binaire de valeur supérieure entraîne l'injection d'un plus grand courant dans l'élément à retard contrôlable.

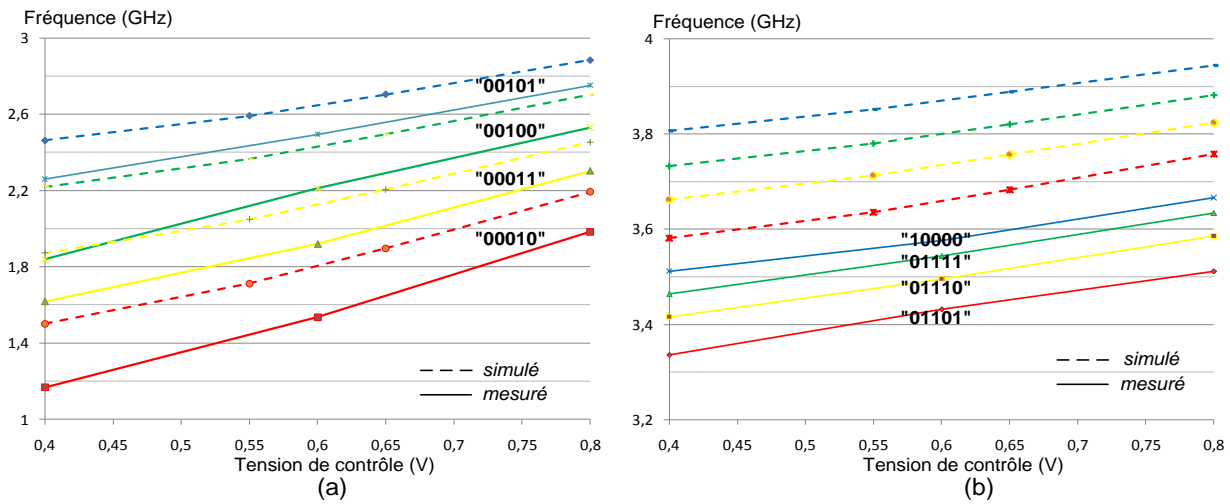


Figure IV-13 : Superposition des bandes de fréquences synthétisables simulées et mesurées autour des standard DCS, WiMAX 2,3GHz, IEEE 802.11 b-g (a) et WiMAX 3,5GHz (b).

Ceci permet donc de valider la fonctionnalité de cet oscillateur malgré des erreurs qui sont dues aux dispersions technologiques et aux effets capacitifs engendrés par les divers parasites (boîtier, circuit imprimé, câbles,...).

## II.2.d Evolution de la tension de contrôle et stabilisation.

### II.2.d.1 Temps d'établissement

Le temps d'établissement représente le temps nécessaire à l'architecture pour s'établir autour de la fréquence désirée à partir d'un état initial différent. En général, ce temps peut être établi en mesure par le biais de l'observation, au niveau de la tension de contrôle, d'un saut de fréquence.

Dans le cas de notre architecture, un saut de fréquence ne permettrait pas de caractériser de manière significative le temps d'établissement. Notre oscillateur étant composé de plusieurs plages de synthèse, deux fréquences éloignées peuvent cependant être générées à partir d'une tension de contrôle identique. Nous allons donc mesurer le temps nécessaire à l'établissement du système à partir d'une condition initiale nulle, c'est-à-dire en effectuant un reset à l'aide du bouton poussoir présenté à la Figure IV-2.

La Figure IV-14 présente l'évolution de la tension de contrôle lors de l'établissement autour du standard IEEE 802.11 b et g.

Ainsi, nous mesurons un temps d'établissement :  $\tau = 1,2\mu\text{s}$ . Le temps d'établissement simulé présenté au précédent chapitre était, quant à lui, égal à  $1\mu\text{s}$ . Afin d'établir la source de cet écart, nous nous sommes intéressés à la sonde utilisée pour mesurer le signal  $V_{ctrl}$ . Il s'agit en effet d'une sonde capacitive, dont la valeur fournie par le constructeur est de  $11\text{ pF}$ . Cette valeur représente 50% de la valeur du filtre de boucle et peut donc très probablement en perturber son rôle.

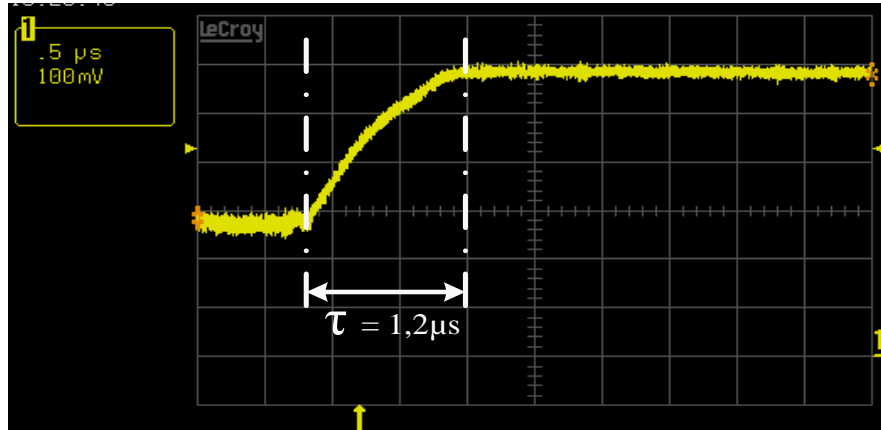


Figure IV-14 : Mesure du temps d'établissement de la tension de contrôle.

Nous avons donc simulé de nouveau l'architecture en intégrant la capacité parallèle ajoutée par la sonde. La Figure IV-15 met en valeur l'évolution de la tension de contrôle présentée au précédent chapitre, ainsi que cette même évolution en prenant en compte la capacité apportée par la sonde, avec et sans relance de l'oscillation.

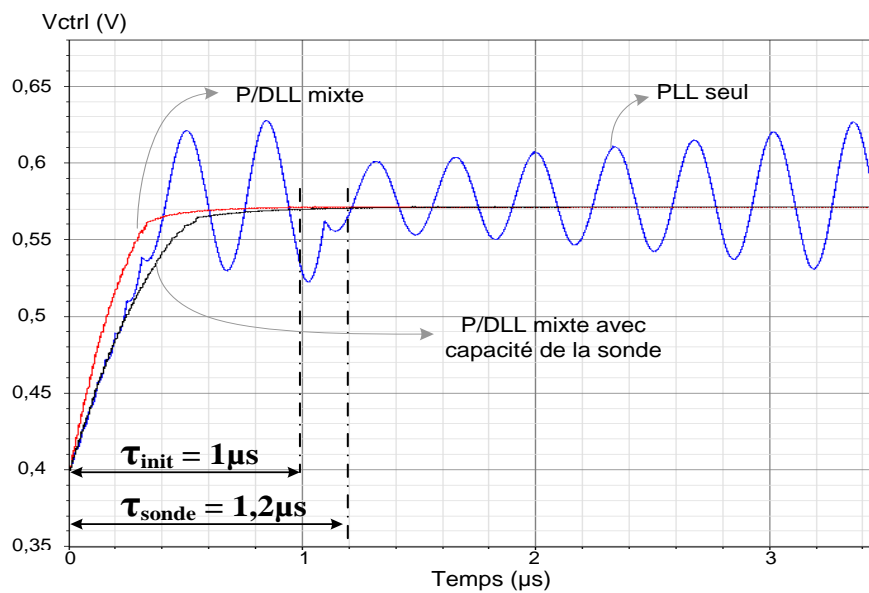


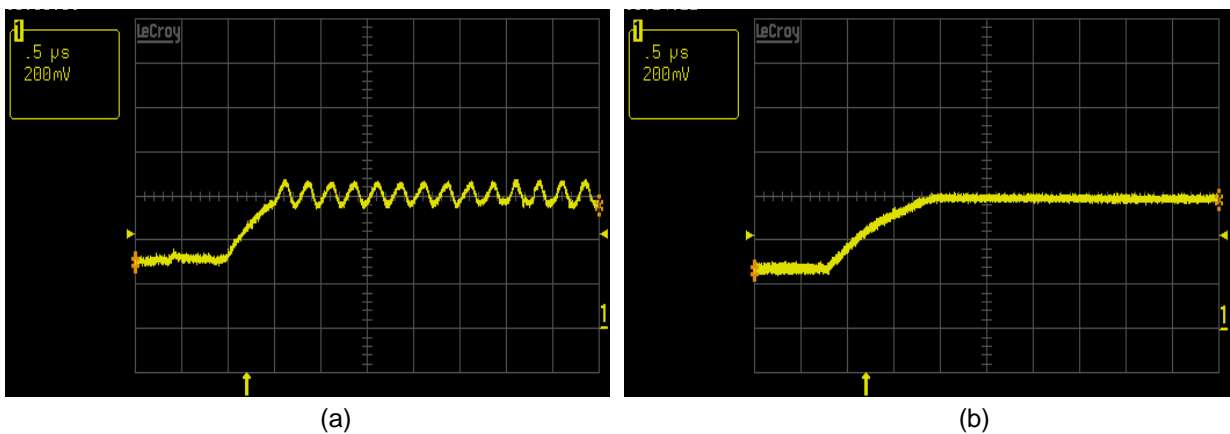
Figure IV-15 : Simulation du temps d'établissement avec prise en compte de la capacité de la sonde.

Nous pouvons observer que le temps d'établissement a bien été augmenté de  $1\mu\text{s}$  à  $1,2\mu\text{s}$  en ajoutant la capacité de la sonde. Ceci permet donc de valider l'hypothèse selon laquelle cet écart est uniquement dû à la sonde. Le système a, de ce fait, le temps d'établissement prévu en simulation.

### II.2.d.2 Stabilisation de l'architecture

Afin de vérifier la méthode de stabilisation proposée, un accès numérique nous permet d'activer ou non la relance de l'oscillateur. Nous allons donc observer l'évolution de la tension de contrôle, dans le but d'évaluer l'impact de la relance sur cette tension de contrôle. Dans un premier temps, l'oscillateur n'est pas accroché, puis, à l'aide de la commande reset, celui-ci se verrouille autour de la fréquence 2,4GHz.

La Figure IV-16 témoigne de l'évolution de la tension de contrôle sans (a) ou avec (b) relance de l'oscillation.



**Figure IV-16 : Mesure de la stabilisation du synthétiseur de fréquence. Instabilité (a) et stabilité par relance périodique de l'oscillation (b).**

Nous observons, dans le cas où le compteur de relance est désactivé (Figure IV-16 (a)), une oscillation sur la tension de contrôle significative d'une instabilité de l'architecture comme attendu. En revanche, l'activation du système de relance (Figure IV-16 (b)) permet la suppression de cette oscillation et donc la stabilisation du synthétiseur de fréquence réalisé.

Ces résultats de mesure permettent ainsi de valider la technique de stabilisation proposée dans le cadre de ces travaux [LUC10-1][LUC11-1].

Enfin, sur la Figure IV-17, nous pouvons observer la relance de l'oscillation. Pour effectuer cette mesure, nous nous sommes placés en butée basse d'une des bandes de l'oscillateur afin que celui-ci ne puisse ralentir. Nous observons alors l'ouverture de l'oscillateur à une période de relance égale à  $10\ \text{ns}$ , soit cinq fois la période du signal de référence.

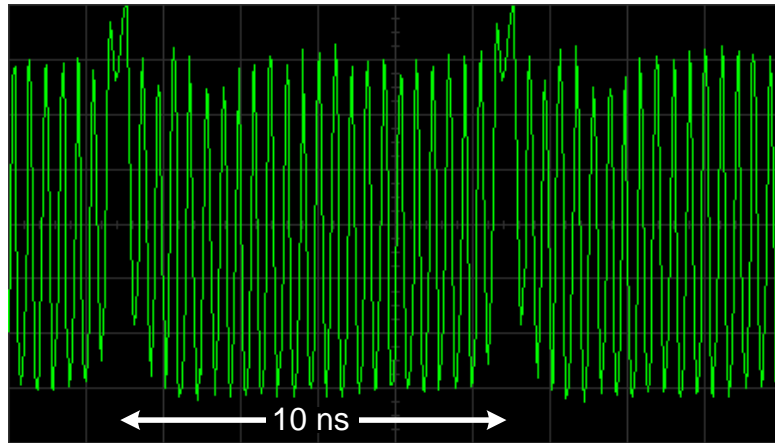


Figure IV-17 : Mesure de l'ouverture de l'oscillateur et la relance de l'oscillation

### III Perspectives

Les travaux présentés dans ce manuscrit ont permis d'aboutir à la réalisation d'un démonstrateur de synthétiseur de fréquence. Celui-ci est fondé sur une architecture fractionnaire et mixte dans laquelle a été mise en place une nouvelle méthodologie de stabilisation.

Les résultats de mesures ont validé la fonctionnalité de l'architecture et ouvrent ainsi de nombreuses perspectives en vue du développement de cette méthodologie.

Le premier axe d'étude portera sur le développement d'une nouvelle architecture dans laquelle nous pourrions diminuer le pas de synthèse. La limite du synthétiseur proposé dans ces travaux repose en effet sur le rapport maximum entre pas de synthèse et fréquence de référence.

Ce démonstrateur réalise une synthèse fractionnaire où la fraction est un multiple entier de 0,2 et, en conséquence, le pas de synthèse est cinq fois plus faible que la fréquence de référence. Il sera donc nécessaire d'augmenter la « profondeur » de la fraction, c'est-à-dire obtenir un rapport de division entre fréquence de référence et pas de synthèse supérieur et donc une période de relance de l'oscillateur plus élevée.

Cette étape nécessitera de revoir les spécifications de chacun des blocs. Notamment, le compteur devra être générique et pouvoir fonctionner pour des fractions à « profondeur » plus élevée, tout comme le compteur de relance. En vue de réaliser notre démonstrateur, une version simplifiée de ces blocs a été proposée dans ces travaux, afin de limiter la complexité du circuit, au prix d'une surconsommation qui sera largement réduite dans les compteurs à venir.

Un second axe portera sur l'évolution de la plage de fréquences synthétisables de l'architecture complète. Au cours des mesures, nous avons obtenu des fréquences minimales et maximales synthétisées de 1,6GHz et 3,5GHz. Différents standards ont été présentés dans cette bande, mais nous pouvons cependant envisager l'évolution et la création de nouveaux standards. Entre autres, le standard UWB (Ultra Wide Band) couvre une bande de fréquences comprises entre 2 et 10GHz.

Dans notre synthèse, nous avons été limités par les temps de propagation, mais aussi principalement par l'utilisation d'un oscillateur unique. En comparant avec le fonctionnement de la DLL factorielle qui comprenait deux oscillateurs [MAJ06-1], nous avons vu au chapitre 3 que, dans l'architecture proposée, un compromis avait dû être obtenu afin de déterminer le temps minimum et maximum pour le délai d'ouverture de l'oscillateur. Ces contraintes ont conduit à la limitation de la plage de synthèse et il sera important d'étudier des solutions d'élargissement de cette plage.

Une fois ces deux premiers points pris en compte, le troisième axe portera sur l'optimisation de la consommation des différents blocs afin de rendre ce type d'architecture compétitive vis-à-vis d'autres synthétiseurs sur ce plan.

A bruit de phase constant, le caractère multi-bandes de l'oscillateur a déjà permis de limiter la consommation par la diminution de son gain ( $K_{ERC}$ ). En effet, le bruit de phase généré par l'oscillateur est proportionnel au rapport gain/courant ; ainsi, la diminution du gain peut être répercutée sur le courant consommé.

L'optimisation des autres blocs devra nous permettre une nette diminution de courant consommé par l'architecture, puisque l'oscillateur et son asservissement demandent moins de 10% de la consommation du prototype actuel.

Enfin, une étude linéaire approfondie, basée sur le premier modèle qui a été présenté au chapitre 2, permettrait de développer certains points théoriques des hypothèses avancées, simulées et validées par la mesure. Notamment, nous prolongerons cette étude afin de définir :

- dans quelle mesure fonctionne l'interaction entre les deux modes PLL et DLL et plus particulièrement comment la multiplication du courant peut être établie en fonction de la fréquence d'ouverture.

- comment le bruit de phase s'établit à partir du modèle de bruit de chacun des deux modes. L'hypothèse d'un bruit de phase identique à celui de la DLL en dessous de la fréquence de relance a été confirmée par la mesure ; cependant, un modèle théorique devra venir la confirmer.

## IV Conclusion

Les mesures réalisées ont conduit à la validation de la fonctionnalité du prototype dont l'étude et la réalisation ont été présentées dans les précédents chapitres.

Tout d'abord, le rôle de synthétiseur de fréquence a pu être confirmé sur une plage de fréquence allant de 1,6GHz à 3,5GHz. Cette plage contient de nombreux standard utilisés dans la radiocommunication : le DCS, le WiFi, le WiMAX, le Bluetooth... Ceci valide donc l'aspect multistandard du synthétiseur proposé.

De plus, l'architecture réalisée présente l'avantage d'être fractionnaire, ce qui nous a permis, dans les mesures, d'utiliser un signal de référence avec une fréquence de 500MHz, tout en diminuant le pas de synthèse à une fréquence cinq fois inférieure.

Nous avons ensuite caractérisé l'oscillateur utilisé pour ce synthétiseur. Celui-ci comprend 32 bandes ( $2^5$ ) qui permettent de couvrir une bande large de fréquences de sortie comprises entre 0,122GHz (pour la commande « 00000 ») et 4,17GHz (pour la commande « 11111 »). Les bornes de cette plage ont été diminuées par rapport à la simulation. Cependant, la superposition des bandes utilisables par l'oscillateur en limite l'impact puisque l'ensemble des standards visés reste synthétisable par un simple changement de bande.

Enfin, le cœur de l'architecture repose sur sa méthodologie novatrice de stabilisation en appliquant une relance périodique de l'oscillation. Les mesures sont venues confirmer la stabilité apportée par le mode mixte P/DLL. De plus, nous avons pu valider l'hypothèse selon laquelle le bruit de phase était semblable, dans le mode mixte, à celui d'une DLL.

Cette nouvelle technique permet de dissocier le moyen de stabilisation et le filtre de boucle, réduisant ainsi les contraintes qui lui sont imposées. Le filtre du premier ordre ainsi utilisé confère à l'architecture une forte agilité ainsi qu'un très faible encombrement sur la puce.



REFERENCES DU CHAPITRE IV

- [ETE08-1] Etemad K, « *Overview of mobile WiMAX technology and evolution* » IEEE Communications Magazine, vol.46, no.10, pp.31-40, October 2008.
- [LUC10-1] Lucas de Peslouan P.O., Majek C., Taris T., Deval Y., Belot D., Begueret J.B., « *Dispositif et procédé de génération d'un signal de fréquence paramétrable* » Brevet, V/REF: 096GR1-182, N/REF: B10-2477FR-ODE/CRA
- [LUC11-1] Lucas de Peslouan P.O., Majek C., Taris T., Deval Y., Belot D., Begueret J.B., « *A new frequency synthesizers stabilization method based on a mixed phase locked loop and delay locked loop* », IEEE International Symposium on Circuits and Systems (ISCAS), "Accepté pour publication".
- [MAJ06-1] Majek C., « *Contribution à l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI* », Thèse, Chapitre 4, pp. 134-177, Université de Bordeaux 1, 2006.



## CONCLUSION GENERALE

Les travaux qui ont été menés ont permis d'aboutir à la réalisation d'un synthétiseur de fréquence multistandards conçu sur le principe de la conception orientée délai (*DOD – Delay Oriented Design*). Les inconvénients liés à l'utilisation d'une fréquence de référence élevée ont pu être évités par la génération d'une synthèse fractionnaire. La technique de stabilisation proposée a également rendu possible l'utilisation d'un filtre de boucle apportant agilité et intégrabilité à l'architecture complète. Ainsi, une plage de fréquences de sorties comprises entre 1,6 et 3,5GHz avec un pas de synthèse de 100MHz a été obtenue, en utilisant un signal de référence à une fréquence de 500MHz.

Les enjeux de la radiocommunication et plus particulièrement des objets communicants sans fil ont été présentés dans la première partie. Les moyens nécessaires à l'utilisation des nombreux standards employés sur le marché des radiocommunications doivent être intégrés dans ces appareils mobiles, ce qui nous a rapidement conduit à la nécessité de réaliser des objets reconfigurables. Nous avons alors choisi de nous focaliser, pour cette étude, sur un bloc particulier de la chaîne d'émission/réception contenu dans ces objets : l'oscillateur local.

Après avoir décrit l'ensemble des spécifications et contraintes appliquées à ce bloc, nous avons exposé les principales architectures qui permettent de réaliser les synthétiseurs de fréquences. Les performances des boucles à verrouillage de phase et de délai ont été développées ainsi que leurs limites en vue d'une synthèse de fréquence multistandard. Nous avons alors dirigé notre étude vers une conception dite « orientée délai », afin d'utiliser la capacité des éléments à retard contrôlables à fournir une large plage de fréquences de sortie.

Cette partie a été conclue sur l'objectif de décorrélation des différents verrous générés par l'imbrication des spécifications et contraintes : le bruit de phase, la bande passante, le pas de synthèse et le temps d'établissement.

Les travaux présentés dans le second chapitre ont porté sur la recherche et la mise en place d'une architecture permettant de répondre aux deux principaux axes mis en avant : la conception « orientée délai » et la synthèse fractionnaire. Cette étude a abouti à la mise en place d'une architecture comportant les caractéristiques conjointes d'une PLL et d'une DLL. En effet, un système de relance périodique de l'oscillation propre à la DLL sera superposé au principe d'oscillateur en anneau de la PLL.

Afin de valider la fonctionnalité de cette structure, nous avons commencé le travail de conception par une étude comportementale de ce synthétiseur. Pour cela, nous avons opté pour le langage *VHDL-AMS*, qui permet la simulation de systèmes mixtes : analogiques et numériques. Cet outil intégré, sous le logiciel *Cadence*, nous permettra par la suite de confondre des blocs comportementaux et des blocs simulés au niveau circuit, afin de valider pas à pas leur fonctionnement. Chacun des blocs a ensuite été décrit, simulé et validé avant de passer à l'assemblage de la structure complète. Différentes simulations temporelles et fréquentielles ont alors permis de confirmer sa fonctionnalité. Un point essentiel a enfin été mis en avant concernant l'ordre du filtre de boucle et la stabilité de l'architecture.

La fonction de transfert d'une PLL classique montre une instabilité si l'on utilise un filtre de boucle purement capacitif. Afin de bénéficier d'une forte intégrabilité et agilité, nous avons eu recours à ce même type de filtre dans notre architecture. Or, nous avons constaté qu'en appliquant la relance périodique de l'oscillation, l'instabilité, présente lorsque l'on utilise le mode PLL seul, disparaît.

Un modèle linéaire permet de vérifier par un tracé de Bode la stabilité ainsi acquise par l'architecture sous certaines conditions qui ont été exposées. Ce nouveau principe de stabilisation d'une architecture initialement instable limite ainsi les contraintes appliquées sur le filtre de boucle, dont la fonction sera par conséquent réservée au filtrage et à la définition de la bande passante.

Une fois l'étude comportementale menée à bien, nous avons pu aborder dans le troisième chapitre la description de la réalisation au niveau circuit de l'architecture développée. Cette conception a été conduite selon les trois blocs principaux du synthétiseur de fréquence : la ligne d'asservissement, l'oscillateur et le compteur. Chacun des sous-blocs de ces trois ensembles a été réalisé et simulé sous le logiciel *Cadence*, en utilisant la technologie CMOS 130nm du fondeur STMicroelectronics. Lors de cette étape de conception, deux blocs ont fait l'objet d'une attention particulière : la pompe de charge et la ligne d'élément à retard contrôlable.

Une précédente version de boucle à verrouillage de délai (DLL factorisée), réalisée au sein de l'équipe, a mis en avant le fait que la puissance des raies parasites était, en partie, due à des erreurs d'appariement au niveau de la pompe de charge. Nous avons donc conçu une architecture dans laquelle les courants de charge et décharge sont égaux sur une large plage de tension de sortie. Les résultats de simulations ont validé son fonctionnement.

La ligne d'élément à retard contrôlable peut être vue comme le cœur de l'architecture conçue. Nous avons montré que le gain de ce bloc avait un rôle déterminant dans le bruit de phase de l'oscillateur. Ainsi, une architecture dite « multi-bande » a été élaborée afin de diminuer son gain tout en respectant une large plage de fréquence de sortie synthétisable. Les simulations effectuées sont venues confirmer la superposition des bandes supérieure à 50%.

Les blocs ont ensuite été assemblés et des simulations temporelles et fréquentielles ont vérifié la fonctionnalité de l'architecture. Nous avons, dans le même temps, pu prouver l'intérêt de la technique de stabilisation mise en place, décrite dans le précédent chapitre.

Les résultats de mesures effectuées sur la puce fabriquée sont exposés dans le quatrième chapitre. Après une rapide présentation de la carte réalisée et des différents appareils de mesures utilisés, nous avons décrit les différentes étapes de caractérisation du circuit intégré.

Tout d'abord, nous avons validé la fonction de synthèse de fréquence de l'architecture à l'aide de simulations fréquentielles et temporelles. Nous avons pu observer le spectre et la forme du signal de sortie sur une plage comprise entre 1,6GHz et 3,5GHz correspondant à de nombreux standards utilisés en radiocommunications : l'EDGE, le DCS, le Wifi, le WiMAX, le Bluetooth... Pour cela, le choix a été fait d'un signal de référence à la fréquence de 500MHz tout en conservant un pas de synthèse de 100MHz. Cette étape entérine l'aspect multistandard de l'architecture.

Nous avons ensuite caractérisé l'oscillateur pour définir les plages de fonctionnement des  $2^5 = 32$  bandes obtenues par contrôle numérique. Celui-ci fournit une plage complète de sortie comprise entre 0,122GHz et 4,17GHz. La superposition des bandes utilisables par l'oscillateur est conservée malgré un décalage de fréquence engendré par les parasites. Cependant, grâce à l'aspect multi-bandes de l'oscillateur, l'ensemble des standards visés reste synthétisable par un simple changement de bande.

Enfin, les mesures sont venues conforter la technique de stabilisation utilisée. Le système est stable et aucune oscillation ni aucun dépassement n'ont été observés sur la courbe d'évolution de la tension de contrôle lors de l'établissement autour d'un standard désiré. De plus, nous avons pu comparer le bruit de phase des modes PLL seul et P/DLL mixte, vérifiant ainsi l'hypothèse avancée, selon laquelle le bruit de phase est semblable, dans le mode mixte, à celui d'une DLL.

En conclusion, ces travaux ont permis de réaliser un synthétiseur de fréquence multistandard, à compteur fractionnaire, en utilisant un mode de conception orientée délai (*DOD*). Ce synthétiseur démontre la fonctionnalité d'une nouvelle technique de stabilisation basée sur une relance périodique de l'oscillation. Cette technique permet notamment de limiter les contraintes sur le filtre de boucle, générant ainsi un système plus rapide et plus compact.

Toutes les étapes de conception d'un circuit intégré, de l'identification d'un besoin à la mesure en passant par l'étude comportementale et la caractérisation, ont été réalisées en soulevant les difficultés de cette thématique et les limites en vue de futures évolutions.

Ainsi, nous avons avancé certaines perspectives qui nécessiteront de reprendre chacune de ces étapes. Elles ont pour but de réaliser un système proposant un ordre de fraction plus élevé, mais aussi des blocs plus compétitifs du point de vue de leur consommation ou encore de la plage de fréquences synthétisables, afin d'élargir le spectre des applications possibles du synthétiseur de fréquence.

Ces points n'ont pas été optimisés dans notre étude qui avait pour objectif de démontrer la faisabilité d'un synthétiseur large bande, dans lequel une boucle à verrouillage de délai permet la stabilisation d'une boucle à verrouillage de phase. Ces différents aspects ont été validés par la simulation et la mesure, ouvrant ainsi de nombreuses perspectives dans le domaine de la synthèse de fréquence.







## PRODUCTION SCIENTIFIQUE

### Conférence internationale avec comité de lecture et acte :

**P.O. Lucas de Peslouan**, C. Majek, T. Taris, Y. Deval, D.Belot and J.B. Begueret « *A Digitally Tuned Voltage Controlled Delay Element for 1-10GHz DLL-based Frequency Synthesis*» IEEE Northeast Workshop on Circuits and Systems (NEWCAS 2009), Toulouse, France, 28 juin – 1er juillet, pp. 319-322.

**P.O. Lucas de Peslouan**, C. Majek, T. Taris, Y. Deval, D.Belot and J.B. Begueret « *A new frequency synthesizers stabilization method based on a mixed phase locked loop and delay locked loop* », IEEE International Symposium on Circuits and Systems (ISCAS 2011), Rio de Janeiro, Brésil, 15 – 18 mai 2011, publication à venir.

### Conférence nationale avec comité de lecture et acte :

**P.O. Lucas de Peslouan**, C. Majek, T. Taris, Y. Deval, J.B. Begueret « *Etude d'un synthétiseur de fréquence fractionnaire large bande à éléments à retard contrôlable* » JNRDM 2009, Lyon, France, 18 – 20 mai 2009.

### Journal :

C.Majek, **P-O.Lucas de Peslouan**, Y.Deval, H.Lapuyade, A.Mariano et J-B.Bégueret, « *Voltage Controlled Delay Line with phase quadrature outputs for [0.9-4] GHz F-DLL dedicated to Zero-IF multi-standard LO*», Journal of Integrated Circuits and Systems (JICS), mars 2010, volume 5, n°1, pp. 23-32.

### Brevet :

**P.O. Lucas de Peslouan**, C. Majek, Y. Deval, T. Taris, J.B. Begueret, D. Belot « *Dispositif de génération de fréquence à large bande passante sur la base d'un verrouillage conjoint de phase et de fréquence* ». V/Réf. : 09-GR1-182 - N/Réf. : CRA/ND B10-2477FR





# Résumé

L'explosion du marché des télécommunications a donné lieu, lors de ces dernières années, à la multiplication des standards de radiocommunication. De nos jours, l'ensemble de ces moyens de communication utilisés pour le transfert de voix et de données doit être intégré dans les terminaux mobiles.

Cependant, cette tendance s'oppose aux contraintes de faible coût qui tendent à diminuer la taille de l'électronique embarquée dans un terminal mobile, mais aussi aux contraintes de diminution de la consommation pour une plus grande autonomie des objets sans fils. C'est donc autour de ces verrous technologiques et techniques que se concentre une part importante des efforts de « R&D » aujourd'hui. Ainsi, l'objectif des travaux présentés repose sur la recherche et le développement d'une architecture contribuant à l'amélioration des performances du bloc central de la chaîne d'émission/réception : l'oscillateur local.

L'architecture innovante de synthétiseur de fréquence multistandard réalisée est fondée sur le principe de « conception orientée délai » (DOD - Delay Oriented Design). Une nouvelle technique de stabilisation, issue de la superposition d'une boucle à verrouillage de délai et de phase, est proposée afin d'élargir la bande passante.

De l'étude système à la mesure en passant par l'étude comportementale et la réalisation du circuit, les différentes étapes de conception de ce système fractionnaire sont présentées. Les simulations et les mesures ont démontré la capacité du synthétiseur à couvrir une bande comprise entre 1,6 et 3,5GHz avec un signal de référence à 500MHz, mais aussi à stabiliser une architecture très large bande.

Mots clés : Conception orientée délai, Boucle à verrouillage de délai, Stabilisation, Conception de systèmes RF, mesures.

The explosion of the wireless communication market is largely responsible of the expansion for RF communication standards for voice and data. Nowadays, each one of them must be integrated in one mobile terminal.

However, this trend is opposed to the constraints of low cost, which tend to reduce the size of the electronics in a mobile terminal, but also the constraints of reduced consumption for greater autonomy for wireless systems. It is then around these technological and technical barriers that focus an important part of efforts to « R & D » today. Thus, the objective of the work presented is based on research and development of an architecture that contributes to improve the performances of the central block of transceivers: the local oscillator.

The innovative architecture of multistandard synthesizer realized is based on the principle of Delay Oriented Design (DOD). A new technique of stabilization, based on the superposition of a delay and a phase locked loop, is proposed to expand the bandwidth.

From study system to measurements through the behavioral compartment and implementation of the circuit, the various stages when designing an RF system are presented. Simulations and measurements have demonstrated the ability of the synthesizer to cover a frequency band between 1.6 and 3.5 GHz with a reference signal at 500MHz, but also to stabilize a broadband architecture.

Key words: Delay oriented design, Delay locked loop, Stabilization, Integrated circuits design, Measurement