UNIVERSITÉ FRANÇOIS - RABELAIS

DE TOURS

ÉCOLE DOCTORALE SST

Laboratoire de Microélectronique de Puissance

THÈSE présentée par :

Luong Viêt PHUNG

soutenue le : **22 octobre 2010**

pour obtenir le grade de : **Docteur de l'université François - Rabelais**

Discipline/ Spécialité : Electronique

ETUDE DE STRUCTURES D'INTERRUPTEURS INTEGRABLES BIDIRECTIONNELS EN TENSION ET EN COURANT : LE TRANSISTOR BIPOLAIRE SYMETRIQUE

THÈSE dirigée par :

VENTURA Laurent	Professeur, université François – Rabelais (Tours)

RAPPORTEURS :

MORANCHO Frédéric	Professeur, université Paul Sabatier (Toulouse 3)
PLANSON Dominique	Professeur, INSA de Lyon

JURY :

BATUT Nathalie	Maître de conférences, université François – Rabelais (Tours)
CREBIER Jean-Christophe	Chargé de Recherche, G2Elab CNRS (Grenoble)
MORANCHO Frédéric	Professeur, université Paul Sabatier (Toulouse 3)
PLANSON Dominique	Professeur, INSA de Lyon
QUOIRIN Jean-Baptiste	Directeur R&D, STMicroelectronics (Tours)
VENTURA Laurent	Professeur, université François – Rabelais (Tours)

Remerciements

Ces travaux de thèse ont été menés au Laboratoire de Microélectronique de Puissance (LMP) de l'université de Tours, dans le cadre d'un financement SESAME-ISIS labellisé par le pôle de compétitivité S2E2 (Sciences et Systèmes de l'Energie Electrique).

Mes remerciements vont tout d'abord à Laurent Ventura, directeur de thèse, pour m'avoir accueilli et proposé ce sujet de thèse. Son sens de la rigueur ainsi que son regard critique ont été des atouts essentiels pour mener à bien à ces travaux.

Je remercie Nathalie Batut, co-encadrante de ma thèse, pour m'avoir également proposé ce sujet et encouragé à suivre la voie de la recherche. Ses conseils m'ont servi d'aide pendant ces années de travaux. Je ne suis pas déçu de la voie que j'ai choisie.

Je remercie Jean-Baptiste Quoirin, ancien directeur du service Recherche & Développement de STMicroelectronics du site de Tours, pour l'intérêt qu'il a porté à mes travaux de thèse, son enthousiasme et les nombreuses discussions plus que passionnantes.

Je tiens à remercier Dominique Planson, président de mon jury de thèse et Professeur à l'Institut National des Sciences Appliquées de Lyon, et Frédéric Morancho, Professeur à l'Université Paul Sabatier (Toulouse 3), d'avoir accepté d'évaluer mon travail en tant que rapporteur. Vos remarques et conseils sont particulièrement constructifs et votre présence au sein de mon jury est un honneur.

Mes remerciements vont à Jean-Christophe Crébier, chargé de recherche CNRS au Laboratoire de Génie Electrique de Grenoble, pour avoir accepté de participer à mon jury et prodiguer de précieuses remarques, grâce à la pluridisciplinarité de ses connaissances.

Je souhaite remercier Pascal Doré, chef de projet recherche chez la société Legrand et coordinateur du projet SESAME-ISIS. Ses encouragements tout au long de ces années et l'intérêt qu'il a porté à mes travaux ont été une source de motivation.

Ces années de thèse ont été pour moi l'occasion de côtoyer différentes personnes, des différents services de STMicrolectronics et au sein du LMP. Aussi, je voudrais les remercier pour leur aide précieuse, chacun à leur manière.

Je remercie les personnes de STMicroelectronics pour leur soutien pendant cette thèse. Je remercie les membres du laboratoire d'applications que j'ai pu côtoyer, Laurent et Ghafour (ta soutenance de thèse était la première à laquelle j'ai pu assistée et avait donnée le ton pour la suite).

Je voudrais remercier les membres de la R&D, à savoir Christine, Bertrand, Emmanuel et Benjamin, que ce soit pour leur sympathie, leurs encouragements ou leurs précieux conseils et leur soutien. Je n'oublie pas les membres « permanents » de la WLR Team, à savoir Guillaume et Emilien, qui est un ancien doctorant du laboratoire. En parlant d'anciens de doctorants de la R&D, je remercie AnnZab et Edgard pour leurs conseils, sachant que leur soutenance a servi de modèle ! Je n'oublie pas MT et Ptit Seb qui m'ont transmis leurs vœux de réussite à quelques jours de la soutenance depuis plusieurs centaines de kilomètres, voire plusieurs milliers de kilomètres !

Je tiens à remercier Samuel (qui a souhaité entretemps devenir doctorant du LMP), Christophe (ancien doctorant du LMP), du service design pour leur bonne humeur, leurs encouragements et leurs conseils pour mener à bien ces simulations.

Je remercie Stéphanie, Fabrice et Lionel du service CAD pour leur complicité et leur soutien. Merci à Lionel sans qui les simulations 3D ne seraient que chimères.

Concernant le LMP, je souhaite d'abord remercier Daniel Alquier, directeur du laboratoire, pour m'avoir accueilli mais aussi pour ses conseils et son soutien. A la fois sérieux et abordable, notre « Professeur » a toujours su motiver et remotiver les troupes.

J'ai envie aussi de m'adresser aux autres membres « permanents » du laboratoire. Je remercie Ambroise, qui participe au projet SESAME-ISIS, sur qui on peut compter sur les questions « système » et pour ses conseils lors des réunions et aussi hors du contexte du travail. Dire qu'il s'agissait aussi un de mes anciens professeurs… Je n'oublie pas ceux de l'IUT GEII, Jean-Charles et Yves, avec qui il est toujours agréable à discuter. Jérôme, Jeff, Fréd et Gaël, je n'oublierai pas votre bonne humeur, vos encouragements et votre soutien pendant ces années de labeur tout comme les nombreux sujets de conversation divers et variés en dehors du cadre du travail.

Je voudrais adresser une pensée à Benoît, aujourd'hui au Danemark, qui nous a régalés avec toutes ces spécialités italiennes.

Je voudrais aussi remercier Loïc, tout d'abord rencontré pendant mes études d'ingénieur, puis connu davantage pendant ces deux dernières années, et devenu aujourd'hui MCF à

Bordeaux. Je ne compte plus les discussions que nous avons eues, à propos du travail et de nos passions. Le volume de ce mémoire n'aurait pas suffi à consigner nos échanges !

J'adresse une petite dédicace à Wilfried, devenu MCF à Marseille : tes encouragements, ta curiosité et ta passion ont été un puissant moteur pour mener à terme ce travail, et ce à tous les niveaux, et ont contribué à faire naître l'étincelle qui a conforté mon choix professionnel.

J'en profite pour adresser mes remerciements à tous le personnel administratif, Sylvie, Ninon, Katia, Naïma, Karine pour avoir permis le bon déroulement des formalités administratives, et ce malgré les difficultés, et pour les discussions que nous avons eues.

Je voudrais remercier tous les post-doctorants et doctorants du laboratoire. Tout d'abord, à ceux qui travaillent sur le site de Polytech' : Djamel, Dhia, bon courage pour la suite ! Je remercie Olivier pour les bons moments passés. Adelphe, ce sera bientôt ton tour ! Ca va vite se passer et c'est la dernière ligne droite ! Seb, merci pour toutes ces années de complicité (cela doit bien faire maintenant sept ans). Tu auras été mon camarade de promotion jusqu'au bout. Même nos soutenances de thèse ont eu lieu quasiment en même temps.

Je pense bien sûr à tous ceux qui ont partagé mon quotidien sur le site de ST et qui ont dû subir toutes mes lubies : à Seb K, notre aîné, toujours empli de bons conseils, (ça sent bien le vécu !), à Mohamed, avec qui j'ai partagé les séances de sport. Je remercie tous mes compères de « promotion » : Chawki qui travaille avec moi sur SESAME-ISIS et qui est toujours disponible quand on a besoin de lui, Olivier, avec qui j'ai eu pléthores discussions de « geek » (l'historique et le fonctionnement du Blu-Ray Disc ©, l'architecture du CELL BE ou encore la sécurité des systèmes électroniques embarqués, etc.). Tu noteras qu'il n'y a pas eu que ça comme discussion. J'adresse une spéciale dédicace à Damien, notre portugais et notre complice, avec qui je ne compte plus les heures (les années) passées… Tu vas bientôt soutenir, ainsi, que la force soit avec toi ! Daniel et Virginie, on ne se lassera jamais de vous (FF© 13, Danette et cie) et le fait de discuter avec vous pendant la pause café est un pur régal. Et à tous ces « jeunes » doctorants, tout d'abord à ceux qui sont en R&D, Marianne, Laurent, Hanh, je vous souhaite bonne chance pour la suite ! A Loïc (le viking), François le français (ou Fanch le breton, c'est selon), Thomas (ou Philippe, ou encore Benoît, je ne sais plus…), Marie, Emilie, Sai et Jérôme (dont l'interaction avec les équipements de salle blanche mérite toute seule une thèse) et, bien sûr, aux deux éléments (emblématiques ?) de la « Triade »

(Sophie et Xi), je vous remercie pour ce que vous êtes. Les mots étant devenus insuffisants pour décrire les moments passés, je vais m'arrêter là.

J'adresse finalement mes remerciements à mes amis, ma famille, mes parents, pour m'avoir donné le goût des études…

Résumé

Ces travaux de thèse traitent de la modélisation d'un interrupteur bipolaire commandable monolithique bidirectionnel en tension et en courant et s'inscrivent dans la gestion de l'énergie dans l'habitat. L'objectif est de concevoir un interrupteur à faible perte énergétique capable de s'intégrer au sein d'une électronique de commande intelligente.

Ces travaux s'intéressent dans un premier temps aux différentes solutions existantes destinées à notre application. A travers cette étude, on présente ainsi les avantages et les inconvénients des interrupteurs discrets ou encore des solutions monolithiques.

On s'intéresse ensuite à l'étude d'un transistor bipolaire de puissance symétrique vertical. A l'aide de simulations par éléments finis, une étude bidimensionnelle et statique a permis de valider sa fonctionnalité à savoir son aptitude à fonctionner sur le réseau alternatif domestique. L'étude se concentrera ensuite sur les différentes technologies destinées à l'améliorer. En optant pour des caissons fortement dopés judicieusement placés au niveau de la base, il est démontré que les performances d'un tel composant peuvent être augmentées grâce au phénomène d'autoblindage.

Finalement, dans le but de simplifier la réalisation de cet interrupteur, la technologie du RESURF sur SOI a été retenue. La structure, latérale, a ensuite été étudiée grâce à des simulations statiques bidimensionnelles puis tridimensionnelles qui ont mis en valeur l'intérêt de cette technologie tant au niveau de la conception qu'au niveau de la réalisation de la structure.

Mots clés : bidirectionnalité, commandabilité, interrupteur monolithique, faibles pertes, transistor bipolaire, autoblindage, RESURF, SOI, simulations par éléments finis 2D et 3D.

Abstract

This study deals with the modeling of a monolithic switch bidirectional in current and voltage with full turn-off control for household appliances. The goal is to design a low losses switch which can be integrated to smart electronics functions.

These works are focused, first, on discrete and monolithic existing solutions designed for such appliances before pointing out their main advantages and drawbacks. Monolithic structures are preferred over discrete ones thanks to their easiness to be integrated among other structures on the same substrate.

The study is focused then on a vertical and symmetrical power bipolar transistor. 2D static simulations in finite elements performed on the structure confirm its ability to work on the mains. Further studies underline the possibility to improve it. By implementing around the active base heavily doped caissons which create a shielding effect, one can increase the structure performances.

Finally, to simplify the switch processing steps, SOI RESURF technology is chosen. The lateral structure is studied thanks to 2D and 3D simulations which emphasize the benefits of such technology on both its design and manufacturing process.

Keywords: bidirectionality, turn-off control, monolithic switch, low losses, bipolar transistor, shielding effect, RESURF, SOI, 2D and 3D simulations.

Table des matières

Remerciements 3
Résumé 7
Abstract 8
Table des matières 9
Liste des tableaux 11
Liste des figures 12
Introduction générale 19
1 L'électronique dans la gestion de l'énergie dans l'habitat 23
1.1 Introduction 23
1.2 Les modes de fonctionnement du composant interrupteur de puissance 25
1.3 Les solutions discrètes bidirectionnelles en tension et en courant 25
1.4 Les interrupteurs monolithiques bidirectionnels en tension et en courant 27
1.4.1 Le TRIAC 28
1.4.2 Les solutions monolithiques double-face 31
1.4.3 Les solutions monolithiques simple-face verticales 40
1.4.4 Les solutions monolithiques simple – face latérales 49
1.5 Limites de l'état de l'art actuel 55
1.6 Conclusion sur l'état de l'art actuel 57
2 Un interrupteur bidirectionnel commandable monolithique à faible perte : le transistor bipolaire symétrique 59
2.1 Introduction 59
2.2 Concept de la bidirectionnalité en tension et en courant 60
2.2.1 Structure bidirectionnelle à base de transistors JFET 60
2.2.2 Structure de Transistor Bipolaire et modes de fonctionnement 62
2.3 Transistor Bipolaire Symétrique vertical 69
2.3.1 Etude quasi-statique d'une structure à base large 70
2.3.2 Etude quasi-statique d'une structure à base fine 73
2.3.3 Limites de la structure 76
2.4 Possibles améliorations de l'état passant du TJB symétrique vertical 77

2.4.1 Hétérojonctions 77
2.4.2 Emetteur en silicium polycristallin....82
2.4.3 Transistor à base auto-protégée....84
2.5 Application du concept de la base auto-protégée au transistor symétrique vertical 86
2.5.1 Etat bloqué 87
2.5.2 Etat passant 89
2.5.3 Impact de l'interface recombinante 94
2.5.4 Effets parasites et comparaison avec une solution sans caisson d'autoblindage 99
2.5.5 Performances électriques de la structure pour différentes tensions de claquage 104
2.5.6 Positionnement par rapport à l'état de l'art....105
2.6 Conclusion 108
3 Le transistor bipolaire symétrique sur SOI à effet RESURF....111
3.1 Introduction....111
3.2 Les composants de puissance latéraux et concept RESURF 111
3.3 La technologie Silicium sur Isolant (Silicon On Insulator SOI)....117
3.3.1 Structures sur « substrats SOI épais » 118
3.3.2 Structures sur « substrats SOI fins »....122
3.4 Conception d'un TJB symétrique sur substrat mince SOI 124
3.4.1 Structure étudiée....124
3.4.2 Etude quasi-statique à l'état bloqué....125
3.4.3 Etude quasi-statique à l'état passant....141
3.4.4 Validation de la structure en 3D....147
3.5 Limites de la structure 154
3.6 Le transistor symétrique latéral RESURF à base large 158
3.7 La technologie SOI et l'intégration monolithique 159
3.8 Conclusion 160
Conclusion générale 163
Bibliographie....169
Résumé....176
Abstract....176

Liste des tableaux

Tableau 1-1 : Consommation en courant de gâchette pour différents modes d'amorçage.....31
Tableau 1-2 : Avantages et inconvénients d'une structure TRIAC. 31
Tableau 1-3 : Avantages et inconvénients des structures DS-IGBT et bidirectionnelle blocable. 36
Tableau 1-4 : Avantages et inconvénients d'une structure DG – IEGT.....38
Tableau 1-5 : Avantages et inconvénients d'une structure Monolithic Bidirectional Switch. .40
Tableau 1-6 : Avantages et inconvénients de la structure « planar MOS – gated AC switch ». 44
Tableau 1-7 : Avantages et inconvénients de la structure IGTR. 47
Tableau 1-8 : Avantages et inconvénients de la structure MOS – TRIAC.....49
Tableau 1-9 : Avantages et inconvénients de la structure TRIMOS.....52
Tableau 1-10 : Comparaison des solutions bidirectionnelles en tension et en courant monolithiques destinées au secteur.....56
Tableau 2-1 : Comparaison entre les structures existantes unipolaires et le TJB symétrique vertical 500 V, pour T_j = 125 °C et I_{charge} = 4,5 A.....107
Tableau 3-1 : Dopage de la base fine N_{ABf} et longueur des caissons d'autoblindage x_c, pour une épaisseur de base fine x_b de 1 µm et pour une distance inter-caisson L_T de 1 µm et 5 µm. 144

Liste des figures

Figure 1-1 : Exemple d'un interrupteur commandable et communiquant au sein de son environnement. 24
Figure 1-2 : Exemples d'interrupteurs bidirectionnels à base de composants unidirectionnels. a) MOS et pont de diodes. b) association en anti-parallèle de MOS et diode en série. c) MOS en anti-série avec leurs diodes « body » [3].....26
Figure 1-3 : Vue en coupe schématique de la structure TRIAC. 28
Figure 1-4 : Caractéristique de sortie I – V d'un TRIAC. 29
Figure 1-5 : Vue en coupe schématique de la structure TRIAC au blocage pour $V_{A2} > V_{A1}$ a) et $V_{A1} > V_{A2}$ b). 30
Figure 1-6 : Vue en coupe schématique de la structure TRIAC à la conduction pour $V_{A2} > V_{A1}$ a) (quadrant 1) et $V_{A1} > V_{A2}$ b) (quadrant 3).....30
Figure 1-7 : Vues en coupe schématique de structures. a) Double-Gate IGBT. b) structure bidirectionnelle blocable. 33
Figure 1-8 : Vues en coupe schématique à l'état bloqué. a) Double – Side IGBT. b) structure « bidirectionnelle blocable ». 33
Figure 1-9 : Vue en coupe schématique d'une structure Double-Side IGBT en conduction. a) en mode unipolaire. b) en mode bipolaire IGBT.....34
Figure 1-10 : Vue en coupe schématique de la structure bidirectionnelle blocable en conduction en mode thyristor. a) pour $V_{A2} > V_{A1}$. b) pour $V_{A1} > V_{A2}$. 35
Figure 1-11 : Interrupteur DG-IEGT. a) vue en coupe schématique de la structure en conduction. b) schéma électrique. 37
Figure 1-12 : Vue en coupe de la structure « MBS ». 38
Figure 1-13 : MBS à l'état passant. a) formation des couches d'accumulation de porteurs dans la structure. b) caractéristique I-V [23].....39
Figure 1-14 : Vue en coupe de la structure « planar MOS – gated AC switch ».....41
Figure 1-15 : Vue en coupe schématique du « planar MOS – gated AC switch » en conduction dans les quadrants 1 a) et 3 c) et schémas électriques respectifs équivalents b) et d).....42
Figure 1-16 : Vue en coupe schématique de la structure « planar MOS – gated AC switch » au blocage pour $V_A > V_C$ a) et $V_A < V_C$ b).....44

Figure 1-17 : a) vue en coupe schématique de la structure d'un IGTR. b) circuit électrique équivalent [24].....45
Figure 1-18 : IGTR en conduction dans les quadrants 1 a) et 3 b). 46
Figure 1-19 : Vue en coupe schématique d'une structure TRIAC a) et d'une structure MOS – TRIAC b). 48
Figure 1-20 : Vue en coupe schématique de la structure TRIMOS et exemple d'extension de sa charge d'espace à l'état bloqué, pour l'anode 1 polarisée négativement par rapport à la cathode 2. 50
Figure 1-21 : Vue en coupe schématique du TRIMOS en fonctionnement unipolaire a), IGBT b) et thyristor c). 51
Figure 1-22 : Vue en coupe schématique du LBMIGT. 53
Figure 1-23 : Vue en coupe schématique de la structure LBIGBT. 54
Figure 1-24 : Exemples de caractéristiques courant-tension de structures de type MOSFET a), IGBT b) et TRIAC c). 57
Figure 2-1 : Structure d'un transistor JFET « normally-off » bidirectionnel en tension et en courant.....61
Figure 2-2 : a) structure d'un TJB « classique » NPN. b) structure d'un TJB symétrique bidirectionnel en tension et en courant. 62
Figure 2-3 : Courants de trous et d'électrons à travers un TJB classique dissymétrique pour $V_C > V_B > V_E$.....63
Figure 2-4 : Symbole électrique d'un TJB classiques NPN. 64
Figure 2-5 : Réseau de courbes de Kellog pour un TJB classique $I_C=f(V_{CE})$ à courant I_B constant. 66
Figure 2-6 : Extension de la ZCE à l'état bloqué d'un TJB.....67
Figure 2-7 : Possibles structures de TJB symétrique (TJBS). 69
Figure 2-8 : Tenue en tension en direct a) et en inverse b) d'un TJB symétrique à base large pour différents couples $W_{epi} – N_A$.....71
Figure 2-9 : Répartition du champ électrique au claquage à $V_C > V_E$ d'un transistor à base large.....72
Figure 2-10 : Evolution du gain h_{FE} en fonction de la densité de courant collecteur J_C, pour différents couples W_{epi} / N_D. 73
Figure 2-11 : Tenue en tension en direct a) et en inverse b) d'un TJB symétrique. 74
Figure 2-12 : Exemple de répartition du champ électrique au claquage à $V_C > V_E$.....74

Figure 2-13 : Evolution du gain h_{FE} en fonction de la densité de courant collecteur J_C, pour différents couples W_{epi} – N_D optimaux. 75
Figure 2-14 : Réseau de courbes de Kellog pour $N_D = 2{,}5.10^{14}$ cm^{-3} et $W_{epi} = 46$ µm pour V_{CE} positive a) et inversement b). 76
Figure 2-15 : Exemple de transistor à hétérojonction. 78
Figure 2-16 : Diagrammes de bandes d'énergie d'un TBH à l'équilibre a) et sous tension V_{CE} positive b). 78
Figure 2-17 : Vue en coupe schématique d'une structure disposant d'une base fine en Silicium – Germanium. 80
Figure 2-18 : Courbes de Gummel a) et de gain b) d'un TJB symétrique classique de référence et à hétérojonction 500 V. 81
Figure 2-19 : Exemple de structure de TJB muni d'un émetteur en silicium polycristallin. 82
Figure 2-20 : Diagramme des bandes d'énergie d'un TJB muni d'un émetteur en silicium polycristallin et de sa barrière de potentiel base – émetteur. 83
Figure 2-21 : Application du concept de fines couches d'oxyde d'épaisseur x_{ox} à l'interface Base-Emetteur au TJB symétrique. 84
Figure 2-22 : Exemple de TJB à base autoprotégée composé d'un JFET et d'un TJB en série. 85
Figure 2-23 : application du concept de la base autoprotégée au TJB symétrique [51]. 87
Figure 2-24 : Evolution du courant de fuite en fonction des tensions V_{CE} et V_{CB} pour différentes hauteurs de caissons x_c a) et répartition du champ électrique au claquage au sein de la structure à $V_{CE} = V_{CEO}$ b), pour $N_{ABf} = 1{,}2.10^{15}$ cm^{-3}, $N_D = 2{,}5.10^{14}$ cm^{-3} et $W_{epi} = 46$ µm. 88
Figure 2-25 : Tenue en tension pour différentes concentrations de dopage N_{ABf} de la base fine. 89
Figure 2-26 : Courbes de gain en fonction de la densité de courant du collecteur pour différents dopages de base N_{ABf} a) et comparaison avec un TJB symétrique classique b), pour $x_p = 3$ µm, $w_P = 5$ µm et $x_c = 10$ µm. 90
Figure 2-27 : Comparaison entre les gains de différents V_{CE} en fonction de la densité de courant de collecteur. 91
Figure 2-28 : Influence de la hauteur x_c a) et de la demi-largeur L_C des caissons b) sur le gain. 92

Figure 2-29 : a) réseau de Kellog d'un TJB symétrique à base autoprotégée. b) répartition du courant d'électrons à l'état passant, pour J_B = 250 mA/cm². 93
Figure 2-30 : Influence de la concentration N_T en centres recombinants sur la tenue en tension. a) centres de type accepteur. b) centres de type donneur. 95
Figure 2-31 : Influence des centres recombinants sur la tenue en tension, pour différentes épaisseurs d'interface x_i et différentes concentrations N_T. a) Centres de type accepteur. b) Centres de type donneur. 96
Figure 2-32 : Influence de la concentration N_T des centres recombinants sur le gain h_{FE} à l'état passant. a) centres de type accepteur. b) centres de type donneur. 97
Figure 2-33 : Autopolarisation interne d'un TJB conventionnel à l'état passant. 99
Figure 2-34 : Répartition du courant de trous injecté par la base à V_{BE} = 0,8 V et V_{CE} = 0 V. 100
Figure 2-35 : Vue en coupe schématique d'une cellule réduite de TJB symétrique à base autoprotégée sans ses murs P^+. 101
Figure 2-36 : Gain en courant en fonction de la densité de courant J_C pour une cellule réduite et une cellule complète. 102
Figure 2-37 : Vue en perspective d'un transistor symétrique vertical pourvu de caissons de polarisation, au niveau de la base. 102
Figure 2-38 : a) comparaison des courbes de Gummel et b) de gain entre un TJB symétrique sans et avec murs d'isolation, puis avec un TJB sans caissons d'autoblindage b). 103
Figure 2-39 : Evolution du gain en fonction de la densité de courant collecteur pour différentes tensions V_{CEO}. Simulations effectuées sans introduction d'une interface de collage. 105
Figure 2-40 : Comparaison entre les limites des performances théoriques des différents interrupteurs unipolaires unidirectionnels à une température de jonction T_j = 25 °C [55]. 106
Figure 2-41 : Exemple d'amélioration possible de composants MOS à double-face utilisant les concepts des (a) superjonctions et des b) îlots flottants. 108
Figure 3-1 : Vue en coupe schéma tique d'une diode latérale haute tension utilisant le concept du RESURF. 112
Figure 3-2 : Représentation schématique du champ électrique sur un exemple de diode RESURF [57], selon le niveau de désertion de la couche N^-. a) désertion incomplète. b) désertion complète. 113

Figure 3-3 : Exemples schématiques de structures latérales RESURF [57]. a) RESURF JFET. b) RESURF L-NPN. c) HV – LDMOS. d) LIGBT).....114
Figure 3-4 : Application du TJB symétrique au concept RESURF. 115
Figure 3-5 : Répartition du potentiel électrique au claquage à V_{CE} = 500 V.....116
Figure 3-6 : Répartition des lignes de courants à $V_{BE} = V_{BC}$ = 0,75 V. 117
Figure 3-7 : Implémentation de la technologie SOI sur les composants latéraux existants. a) L-NPN. b) HV-LDMOS. 118
Figure 3-8 : Evolution de la tension de claquage en fonction de la longueur de drift [58]. ...119
Figure 3-9 : Evolution théorique de la tension de claquage en fonction de l'épaisseur de la couche SOI, pour différentes épaisseurs de couche d'oxyde t_{ox} [58].....120
Figure 3-10 : Vue en coupe d'un composant SOI haute tension muni d'une « diode enterrée » [58].....121
Figure 3-11 : Vue en coupe schématique d'une extension en profondeur d'une jonction P-N d'une structure diode.....121
Figure 3-12 : a) vue en coupe schématique d'un TJB unidirectionnel réalisé sur substrat SOI épais. b) vue en coupe schématique d'un TJBS sur substrat SOI épais.....122
Figure 3-13 : Evolution de la tension de claquage en fonction de l'épaisseur de la couche SOI pour différents épaisseurs de couche d'oxyde t_{ox} [58]-[66].....123
Figure 3-14 : Vue en coupe schématique d'une structure LDMOS fabriquée sur SOI en couche fine. 124
Figure 3-15 : Vue en perspective du transistor bipolaire symétrique sur substrat SOI en couche fine. 125
Figure 3-16 : Structure 2D destinée aux simulations à l'état bloqué. 126
Figure 3-17 : Répartition du champ électrique au claquage pour différents couples t_{SOI} – N_{DSOI}, pour L_{SOI} = 35 µm et t_{Si02} = 3 µm. 127
Figure 3-18 : Exemple de création d'un profil de dopage VLD avec des ouvertures de masque adéquates [68].....127
Figure 3-19 : Répartition des lignes équipotentielles et profil longitudinal du champ électrique en fonction de différents profils de dopage, pour t_{SOI} = 0,5 µm et t_{SiO2} = 3 µm. a) dopage uniforme. b) dopage graduel. c) VLD). d) VLD avec plaques de champ. 129
Figure 3-20 : Variations de la tenue en tension en fonction de la dose D_{N2} associée au dopage N_2 réalisé par implantation, pour différentes épaisseurs t_{SOI}.....130

Figure 3-21 : Deux approches possibles dans la réalisation de l'autoblindage. a) autoblindage entre un caisson P^+ et l'oxyde enterré. b) autoblindage entre deux caissons P^+. 132
Figure 3-22 : Répartition du champ électrique au claquage. 133
Figure 3-23 : a) contact de base double-diffusé. b) répartition locale du champ électrique au claquage à 500 V. 133
Figure 3-24 : Répartition du champ électrique au voisinage de la base au sein d'une structure symétrique. 134
Figure 3-25 : Impact de l'introduction d'un caisson P^+ sur la répartition des lignes équipotentielles au voisinage de la base. a) base sans caisson P^+ enterré. Le champ électrique s'étale sous la zone de diffusion P^+. b) base avec caisson enterré. Pas d'extension du champ électrique sous la base P^-. 135
Figure 3-26 : a) vue en 3D de la structure complète. b) vue de dessus d'une cellule élémentaire au niveau de la base. 136
Figure 3-27 : Evolution de la tension d'avalanche d'un transistor PNP en fonction du dopage de la base en cas de perçage ou en dépassement de champ électrique [72]. 137
Figure 3-28 : Evolution de la tension d'avalanche en fonction de la longueur x_c des caissons, pour t_{SOI} = 1,5 µm, $N_{ABf} = 2{,}5.10^{15}$ cm^{-3}, x_b = 1 µm et L_T = 1 µm. 137
Figure 3-29 : a) Vue de dessus schématique de la structure au voisinage de la base. b) Répartition du champ électrique à V_{CE} = 1,5 V. 139
Figure 3-30 : Evolution de la tension d'avalanche en fonction de la longueur des caissons x_c, pour différents dopages de base fine N_{ABf} et pour L_T = 5 µm. 139
Figure 3-31 : Evolution du gain h_{FE} en fonction de la densité de courant J_C pour différentes longueurs de caissons x_c, et L_T = 1 µm. 141
Figure 3-32 : Evolution du gain pour différentes épaisseurs t_{SOI} en fonction de la densité de courant collecteur J_C a) et en fin de simulation b). 143
Figure 3-33 : a) Courbes de Gummel, pour L_T égale à 1 µm et 5 µm. b) Courbes de gain, pour L_T égale à 1 µm et 5 µm. 144
Figure 3-34 : Réseau de courbes de Kellog pour une structure SOI d'épaisseur t_{SOI} = 1,5 µm. a) L_T = 1 µm. b) L_T = 5 µm. 146
Figure 3-35 : a) vue en perspective de la structure du TJBS sur substrat SOI. b) et c) demi-cellule 3D simulée extraite à partir des coupes verticales (AB) et (A'B'). 148
Figure 3-36 : Evolution du maillage adaptatif entre différents étapes (a) et b)) en fonction du champ électrique. 149

Figure 3-37 : Répartition du potentiel électrique au claquage dans la structure a) et au voisinage de la base b). 150
Figure 3-38 : Répartition du champ électrique dans la structure a) et au voisinage de la base b). 150
Figure 3-39 : Tenue en tension de la structure pour différentes longueurs de caissons x_c. 151
Figure 3-40 : Profil longitudinal du champ électrique au sein de la base fine au claquage pour différentes longueurs de caissons x_c. 152
Figure 3-41 : Comparaison entre les simulations 2D et 3D pour les courbes de Gummel. 153
Figure 3-42 : Réseau de courbes de Kellog pour une structure 3D SOI d'épaisseur t_{SOI} = 1,5 µm. 154
Figure 3-43 : Distribution longitudinale des porteurs libres, pour V_{BE} = 0,85 V, V_{CE} = 0,5 V. a) entre le collecteur et l'émetteur. b) au voisinage de la base. 155
Figure 3-44 : Evolution du gain en fonction de la densité de courant J_C a) et diagramme de Gummel b), pour différentes valeurs de dopage des caissons P^+. 156
Figure 3-45 : Comparaison des courbes de Gummel entre la structure verticale en « H » et la structure latérale SOI en fonction de V_{BE} a) et de J_C b). 157
Figure 3-46 : Vue en coupe schématique de la structure de transistor symétrique SOI latéral à base large. 158
Figure 3-47 : Répartition du champ électrique à l'avalanche dans une structure latérale à base large, à V_{CE} = 20 V. 159
Figure 3-48 : exemple schématique d'intégration de circuits de commande. 160
Figure 49 : Vue en coupe schématique du transistor vertical symétrique à base autoprotégée. 164
Figure 50 : Vue en perspective du transistor bipolaire symétrique sur substrat SOI en couche fine. 166

Introduction générale

La gestion de l'énergie dans l'habitat est devenue un thème primordial du développement durable. 89 % de l'énergie électrique provient encore aujourd'hui de ressources fossiles. Le reste se partage entre le nucléaire (5 %) et les énergies renouvelables (6 %).

Les énergies renouvelables font aujourd'hui l'objet d'une attention particulière puisque leur réserve est illimitée. Malheureusement leur utilisation nécessite un long processus de mise en œuvre. Un second axe de développement consiste à économiser l'énergie d'ores et déjà disponible en recherchant des solutions nous permettant d'optimiser le rendement de chaque maillon de la chaîne énergétique actuelle.

En Europe, si la tendance actuelle perdure, la consommation énergétique augmentera de 10 % sur les quinze prochaines années. Outre les transports et la production de l'énergie elle-même, d'importants progrès sont envisageables dans le secteur du bâtiment, que ce soit sur les lieux de travail ou dans les habitations. En effet, 40 % de l'énergie électrique consommée dans l'Union Européenne est dédié aux appareillages domestiques. Une première suggestion consisterait donc à changer le comportement des ménages. En effet, le grand nombre d'appareils en mode veille est une source importante de gaspillage. L'intérêt de les éteindre doit cependant passer par une prise de conscience sociétale. Une seconde suggestion consiste à rechercher des solutions techniques et technologiques permettant d'améliorer le rendement énergétique des installations de chaque utilisateur. Cette nécessité d'améliorer peut être constatée tous les jours par le fait qu'en fonctionnement tout équipement électrique chauffe.

La conversion de l'énergie domestique se fait via des circuits et composants électroniques de puissance. Maillon essentiel dans la chaîne de conversion de l'énergie, il s'agit d'une électronique dite de commutation, indissociable des interrupteurs semi-conducteurs qui passent successivement de l'état fermé à l'état ouvert. Grâce à un environnement de commande adapté, ces interrupteurs permettent de remplir la plupart des fonctionnalités attendues. Les applications visées sont diverses et variées allant du chargeur de batterie à la traction ferroviaire en passant par la commande d'appareils électroménagers.

L'électronique de puissance a largement bénéficié de l'essor de l'industrie de la microélectronique, depuis le début des années 70. Une gestion optimale de l'énergie électrique dans les bâtiments se fera idéalement à l'aide de composants semi-conducteurs universels les moins dissipatifs possibles. La réduction des pertes a toujours motivé le développement de nouvelles technologies destinées à « repousser » les limites du silicium utilisé en microélectronique de puissance. Cette motivation est plus que jamais d'actualité avec le développement de nouveaux matériaux encore plus prometteurs tels que le carbure de silicium ou le nitrure de gallium. Ces progrès technologiques permettent d'envisager l'amélioration des performances des dispositifs existants, mais aussi de développer de nouvelles fonctions électroniques avec la conception de nouvelles architectures. Ainsi, l'association de ces deux thèmes de recherche devra permettre d'aboutir à la fabrication de composants commutables s'approchant des performances de l'interrupteur mécanique, tout en assurant un minimum d'encombrement et une interopérabilité grâce aux nouvelles interfaces électroniques homme – machine toujours plus répandues, plus flexibles et plus simples.

Les interrupteurs de puissance semi-conducteurs se distinguent par leurs modes de fonctionnement et leurs modes de conduction en courant. Aujourd'hui, la majorité de ces interrupteurs est unidirectionnelle en tension et en courant, c'est-à-dire qu'ils ne fonctionnent que sur un réseau électrique continu. A l'inverse, les interrupteurs bidirectionnels en tension et en courant peuvent fonctionner sur le réseau alternatif, typiquement le réseau électrique domestique.

Quant aux modes de conduction, ils se divisent en deux catégories selon la technologie utilisée. Les technologies unipolaires, dont le principal représentant est le transistor Métal Oxyde Semi-conducteur à Effet de Champ (MOSFET de l'anglais Metal Oxide Semiconductor Field Effect Transistor), sont caractérisées par la circulation d'un courant de porteurs majoritaires, une commande en tension peu consommatrice d'énergie, ainsi qu'une fréquence de commutation élevée pour une puissance supportée néanmoins modeste. A l'inverse, les technologies bipolaires supportent des densités de courant plus importantes mais sont pénalisées par leur commutation plus lente, du fait de leur mode de conduction impliquant également l'injection de porteurs minoritaires. Leur commande est assurée soit par des grilles MOS (tel l'IGBT), auquel cas l'énergie de commande sera faible, soit par l'injection d'un courant (tel le transistor bipolaire), auquel cas l'énergie de commande sera plus importante.

Le projet ISIS (Integrated Switch for Information Society) s'inscrit dans le programme SESAME démarré en 2006 et porté par le pôle de compétitivité « Sciences et Systèmes de l'Energie Electrique » (S2E2). Ce projet a pour objectif de développer des interrupteurs communicants permettant d'assurer la gestion de l'énergie électrique, principalement dans les bâtiments. Ces interrupteurs destinés à fonctionner sur le secteur 230 V devront être bidirectionnels en courant et en tension tout en étant commandables. Ils seront réalisés en technologie semi-conducteur et visent à remplacer les interrupteurs mécaniques actuels.

Le consortium de partenaires impliqués dans ce projet regroupait plusieurs acteurs industriels du marché de l'électricité, de l'information et du semi-conducteur : Legrand, Thermor Industrie (groupe ATLANTIC), Agilicom, STMicroelectronics et le LMP Laboratoire de Microélectronique de Puissance (EA 3246) de l'université de Tours.

Ces travaux de thèse ont pour ambition d'étudier une proposition de solution d'interrupteur monolithique semi-conducteur, commandable, bidirectionnel en tension et en courant, et à faible perte. A l'heure actuelle, ce type d'interrupteur n'existe pas. En effet, la fonction d'interrupteur bidirectionnel est réalisée par un assemblage de diodes et de transistors. Par contre, il existe bien un composant bidirectionnel monolithique, à savoir le TRIAC, mais celui-ci n'est pas commandable à l'ouverture. De plus, le TRIAC présente une tension de seuil de diode bipolaire sur sa caractéristique électrique à l'état passant, qui l'empêche de travailler à très faible dissipation.

Le premier chapitre est consacré à la présentation des structures existantes et à leur classification en fonction de leurs avantages et inconvénients. Il permet d'identifier les difficultés rencontrées pour atteindre l'équilibre entre la simplicité de la commande, la faible dissipation énergétique et la bidirectionnalité en tension et en courant.

Le deuxième chapitre propose, grâce à des simulations par éléments finis, l'étude d'une structure de transistor bipolaire de puissance symétrique, munie d'une base enterrée dont la réalisation pourrait être rendu possible grâce à la technique de soudure directe silicium sur silicium. Nous montrerons que, malgré sa bidirectionnalité, cette première version souffre d'un gain faible. Nous expliquerons les raisons de ce faible gain, puis nous mettrons l'accent sur des solutions d'améliorations potentielles impliquant notamment l'insertion d'hétérojonctions, d'émetteur en silicium polycristallin ou bien encore d'une base autoprotégée. Nous discuterons des performances électriques attendues ainsi que de l'intérêt

de ces solutions en termes de développement technologique et d'investissement nécessaire. Nous terminerons ce chapitre par une discussion sur les inconvénients technologiques liés à la fabrication de ces structures verticales, et notamment de l'interrupteur avec base enterrée autoprotégée.

Le chapitre 3 sera dédié à l'étude d'une structure de transistor symétrique de puissance latéral sur substrat silicium sur isolant (SOI de l'anglais Silicon On Insulator). Nous montrerons que la structure verticale à base enterrée peut être transposée latéralement ce qui nous permettra ainsi de nous affranchir des inconvénients identifiés à la fin du second chapitre, notamment en termes de dépolarisation de la base due à sa difficulté d'accès. Nous adopterons une méthodologie, nous permettant de définir les paramètres physiques et géométriques du silicium SOI et de la structure latérale, via une série de simulations 2D indépendantes, à l'état passant et à l'état bloqué. Nous étudierons ainsi séparément les conditions d'optimisation d'une base autoprotégée par l'insertion de caisson P^+ et les conditions de mise en œuvre de la technologie de réduction de champ électrique en surface « RESURF » (REduced SURface Field). Enfin, nous terminerons ce chapitre par des simulations 3D afin de nous assurer du bon fonctionnement d'une structure latérale complète, à l'état bloqué comme à l'état passant, en nous appuyant sur les paramètres de conception déterminés par simulations 2D.

1 L'électronique dans la gestion de l'énergie dans l'habitat

1.1 Introduction

L'enjeu de la maîtrise de l'énergie de l'habitat est particulièrement important. En effet, la consommation électrique du secteur a fortement augmenté durant la dernière décennie et la tendance est toujours à la croissance. Apparaît alors la problématique d'une consommation à la fois efficace et responsable, problématique accentuée par un parc immobilier parfois ancien dont les caractéristiques ne correspondent plus aux exigences environnementales actuelles. L'habitat constitue la cible prioritaire de l'optimisation de la consommation énergétique puisque c'est un environnement dans lequel les dernières technologies peuvent s'implanter aisément. Ceci se manifeste par le déploiement des meilleurs matériaux isolants destinés aux murs et aux fenêtres, l'introduction des énergies renouvelables ou encore une meilleure gestion de l'énergie électrique.

Pour commander l'énergie électrique dans l'habitat, nous utilisons des interrupteurs. Auparavant totalement mécaniques, ces interrupteurs peuvent être remplacés par leurs homologues électroniques (MOSFET ou IGBT, transistors bipolaires,…), issus de l'électronique de puissance et destinés à la conversion de l'énergie. Moins encombrants et moins coûteux, ils s'intègrent parfaitement dans l'optique de la maîtrise de l'énergie de l'habitat.

Dans ce contexte, ces interrupteurs (figure 1-1) doivent être :

- Bidirectionnels en tension et en courant : c'est la caractéristique sine qua non pour que l'interrupteur puisse fonctionner sur le réseau alternatif ;
- Facilement intégrables à d'autres fonctions (protection, commande, …) avec l'objectif, à terme, de réaliser des interrupteurs monolithiques ;
- Supporter une tension maximale entre 500 et 600 V ;
- Faiblement dissipatifs : l'interrupteur encastré dans un mur ne doit pas dissiper plus d'un watt par ampère ;

- Commandables à l'ouverture et à la fermeture, afin de pouvoir piloter tout type d'équipement présent dans une maison ;
- Les moins coûteux possibles.

Parmi ces conditions, la faible dissipation constitue le défi le plus important puisque l'interrupteur doit dissiper moins d'un watt par ampère de courant nominal. Les interrupteurs présents sur le marché, tels que le TRIAC, possèdent, à l'état passant, une tension de seuil de 1 V approximativement ce qui porte d'emblée la puissance dissipé à 1 W/A. Dans le cas contraire, ils nécessitent beaucoup de surface de silicium ce qui est particulièrement contraignant compte tenu de l'environnement de fonctionnement confiné.

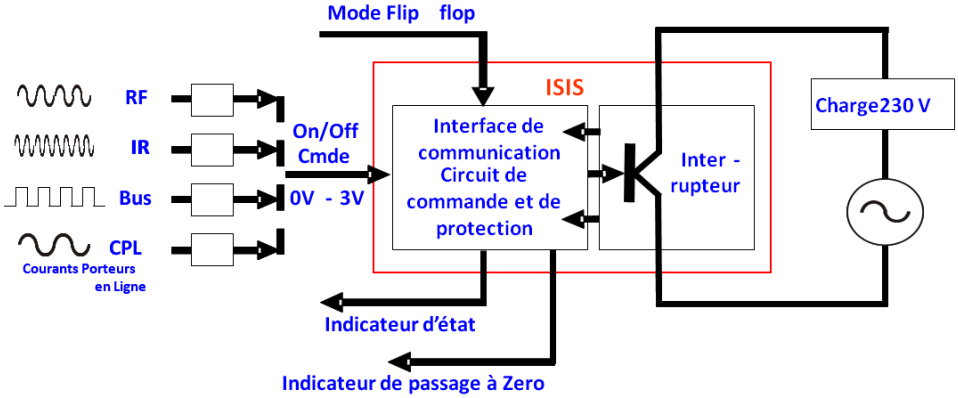


Figure 1-1 : Exemple d'un interrupteur commandable et communiquant au sein de son environnement.

La figure 1-1 représente le schéma synoptique d'une fonction « interrupteur » constituée de deux parties : l'interrupteur proprement dit, et son circuit de commande et de protection comportant, en outre, une interface communiquant avec l'extérieur. L'interrupteur peut être composé d'éléments discrets ou bien encore être monolithique, avec une commande en tension ou en courant. Plusieurs études ont été réalisées dans le but de satisfaire les contraintes de réalisation d'un tel interrupteur. Les travaux de B. Nguyen – Dac et de J.-C. Crébier ont en effet montré l'intérêt de traiter de la problématique de l'implémentation d'un environnement de commande autour de la fonction de commutation [1] et de l'intégration fonctionnelle monolithique de l'ensemble [2] qui permettent la simplification de leur conception.

Dans ce chapitre, après une brève description des différents modes théoriques de fonctionnement d'un interrupteur de puissance, nous présenterons un état de l'art des interrupteurs bidirectionnels en tension et en courant discrets et monolithiques. Cette étude nous permettra de distinguer les avantages et les inconvénients de chacun.

1.2 Les modes de fonctionnement du composant interrupteur de puissance

En électronique de puissance, la conversion de l'énergie s'effectue grâce à la commutation de composants interrupteurs. Ceux-ci passent successivement de l'état « bloqué » à l'état « passant ».

- Etat « bloqué » ou « ouvert »

Dans cet état, le composant s'oppose à tout passage du courant. Il se comporte alors comme un interrupteur ouvert. Dans ce cas, la tension à ses bornes peut être élevée et est soutenue alors par une zone faiblement dopée. Au-delà d'une valeur limite, le composant se met à conduire en régime d'avalanche. Les niveaux de courants pouvant devenir importants, ils peuvent alors détruire l'interrupteur ainsi que les composants qui l'entourent (claquage).

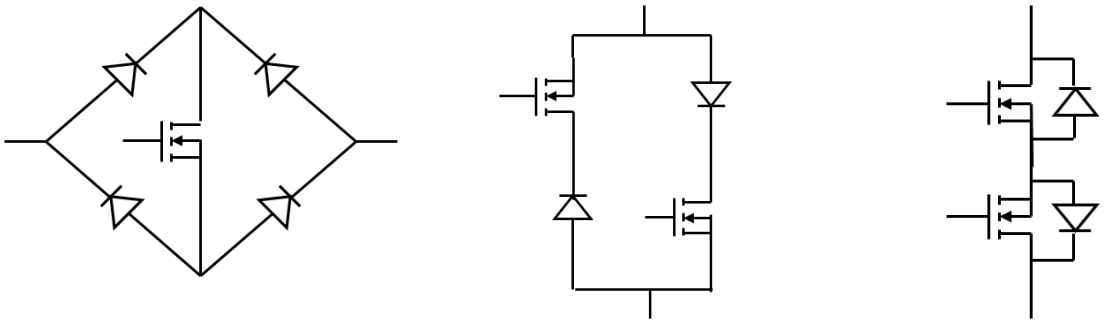
- Etat « passant » ou « fermé »

Dans cet état, le composant laisse passer le courant dès lors qu'une tension est appliquée entre ses bornes. Il se comporte alors comme un interrupteur fermé. Le courant maximal dépend de la conductivité des différentes couches semi-conductrices constituant l'interrupteur. En règle générale, les performances à l'état passant d'un interrupteur sont inversement proportionnelles à sa tenue en tension.

La conception d'un interrupteur nécessite donc un compromis entre la tenue en tension et la conductivité à l'état passant dans les limites physiques du matériau semi-conducteur choisi.

1.3 Les solutions discrètes bidirectionnelles en tension et en courant

En assemblant des composants interrupteurs existants, il est possible de réaliser de nouvelles fonctions. Des interrupteurs bidirectionnels en tension et en courant de puissance peuvent être obtenus en assemblant des composants unidirectionnels tels que les MOSFET (Metal Oxide Semiconductor Field Effet Transistor), les IGBT (Insulated Gate Bipolar Transistor) ou encore les MCT (MOS Controlled Thyristor) (figure 1-2).



a) b) c)

Figure 1-2 : Exemples d'interrupteurs bidirectionnels à base de composants unidirectionnels. a) MOS et pont de diodes. b) association en anti-parallèle de MOS et diode en série. c) MOS en anti-série avec leurs diodes « body » [3].

L'exemple de la figure 1-2.a est simple à mettre en œuvre et réalise bien la fonction souhaitée avec un seul interrupteur mais souffre d'une puissance dissipée à l'état passant importante due à la présence d'un pont de diodes. En effet le courant traverse deux diodes ainsi que le transistor interrupteur, ce qui conduit à une densité de puissance dissipée de l'ordre de 2 W/A. L'exemple de la figure 1-2.b permet quant à lui de réduire la tension résiduelle, mais est handicapé par des grilles MOS référencées à des potentiels différents. Le circuit de commande s'en trouve complexifié, ce qui augmente le coût. Il est alors préférable de s'orienter vers la solution de la figure 1-2.c qui référencie deux transistors MOS par rapport à une électrode de source commune. De plus, en fermant simultanément les deux transistors MOS, il est possible de s'affranchir des tensions de seuil de leur diode interne (diode body) et de satisfaire ainsi la contrainte de minimisation des pertes. Reste que cette solution n'est pas intéressante en termes d'intégration car elle nécessite de grandes surfaces semi-conductrices. En effet, un courant nominal de 4,5 A pour une puissance dissipée de 3,5 W imposerait par exemple une résistance à l'état passant de 172 mΩ, ce qui pour un transistor MOS 500 V à superjonctions correspondrait à une résistance spécifique de 80 mΩ.cm² à la température de 125°C pour une surface totale de puce de 2 cm². Nous voyons au travers de cet exemple qu'il serait rédhibitoire d'intégrer une telle structure, en termes de surface occupée. Il est donc de notre intérêt de rechercher des solutions monolithiques qui, issues de l'intégration fonctionnelle, permettent de réaliser la fonction avec le minimum d'encombrement.

1.4 Les interrupteurs monolithiques bidirectionnels en tension et en courant

Ces interrupteurs sont issus du concept de l'intégration fonctionnelle. Contrairement aux interrupteurs discrets dont l'assemblage se fait via l'interconnexion de puces, les interrupteurs monolithiques issus de l'intégration fonctionnelle tirent également partie des propriétés de couplages par injection de porteurs entre couches. L'interaction électrique entre les couches semi-conductrices permet de réaliser de nouvelles fonctions. Ce concept a donné naissance à de nombreuses structures de puissance tels que l'IGBT (Insulated Gate Bipolar Transistor ou Transistor Bipolaire à Grille Isolée) [4], le thyristor, le MCT ou bien encore le TRIAC (TRIode for Alternative Current). Ce dernier est industriellement employé par STMicroelectronics pour réaliser des dispositifs dont la topologie est adaptée en fonction des applications sous le nom de A.S.D. ^{TM} (Application Specific Discretes) [5].

L'IGBT est issu de l'association d'un transistor NMOS (respectivement PMOS) et d'un transistor bipolaire PNP (respectivement NPN). Il présente donc le double avantage d'une commande en tension et de conduire des densités de courant importantes.

Le thyristor est quant à lui une structure à quatre couches, PNPN, résultant de l'association de deux transistors NPN et PNP où la base de l'un est le collecteur de l'autre. Cette intégration a permis de créer un composant capable ainsi de faire transiter d'importantes densités de courant pour la traction ferroviaire par exemple. L'association de deux thyristors en anti-parallèle forme un TRIAC, un interrupteur bidirectionnel en tension et en courant monolithique. L'intégration fonctionnelle a ainsi permis d'obtenir des structures plus performantes (IGBT) ou encore des nouvelles fonctions (TRIAC).

D'autres propositions d'interrupteurs monolithiques bidirectionnelles en tension et en courant ont émergé durant ces dernières décennies. En vue de leur emploi pour notre application, nous nous proposons d'évaluer plusieurs de ces structures selon les critères suivants :

- de minimisation de la densité de puissance dissipée ;
- de commandabilité ;
- de bidirectionnalité ;
- de maturité industrielle.

Ces critères impliquent respectivement l'absence de tension de seuil sur les caractéristiques électriques à l'état passant, la possibilité de fermer et d'ouvrir les

interrupteurs sur commande, des caractéristiques courant-tension parfaitement symétriques, et enfin la possibilité de produire ces composants à l'échelle industrielle sans dérive de performances.

1.4.1 Le TRIAC

Le TRIAC, de l'acronyme « TRIode for Alternative Current », est un interrupteur pourvu de deux électrodes de puissance (Anode 1 et Anode 2) et d'une électrode de commande (Gâchette). La conduction s'effectue à chaque impulsion du courant de commande et dure jusqu'au prochain passage du courant par zéro, après quoi, une autre impulsion s'avère nécessaire pour maintenir l'état passant.

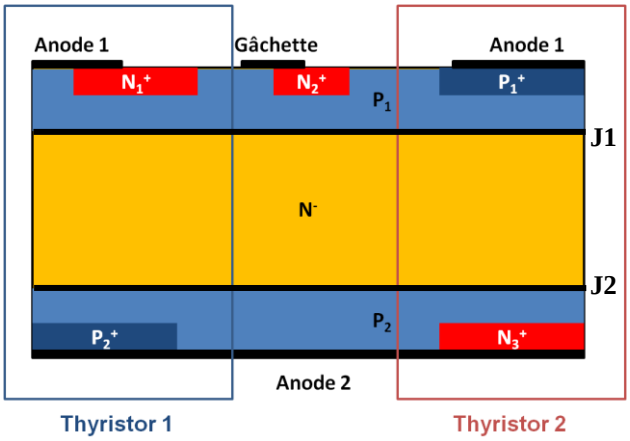


Figure 1-3 : Vue en coupe schématique de la structure TRIAC.

En associant deux thyristors en anti-parallèle, on forme la structure TRIAC dont la vue en coupe schématique est représentée en figure 1-3. On retrouve les trois électrodes de fonctionnement : les anodes A1 et A2 par lesquelles circule le courant de charge et la gâchette (G) qui reçoit des impulsions de courant du circuit de commande. Le TRIAC est réalisé à partir d'un empilement de cinq couches semi-conductrices NPNPN correspondant aux deux thyristors en anti-parallèle. Chacun d'entre eux étant bidirectionnel en tension et unidirectionnel en courant, le TRIAC est donc bidirectionnel en tension et en courant.

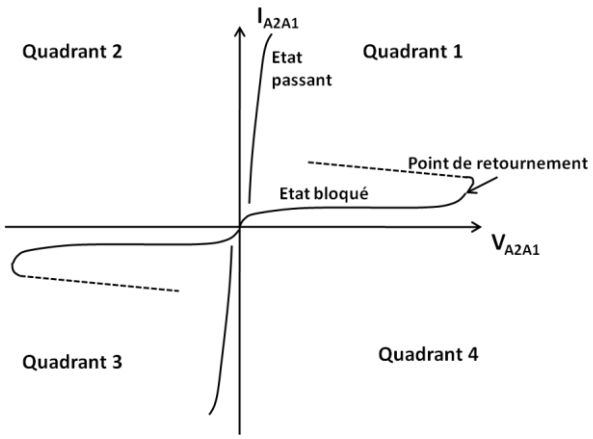


Figure 1-4 : Caractéristique de sortie I – V d'un TRIAC.

La figure 1-4 représente la caractéristique I – V d'un TRIAC. A l'instar du thyristor, le TRIAC sans impulsion de gâchette restera bloqué jusqu'à ce que la tension entre anodes atteigne sa valeur de retournement, le composant se mettant alors à conduire spontanément. A l'inverse, une impulsion de courant provenant de la gâchette commutera directement le TRIAC à l'état passant. Cet état sera maintenu tant que le courant entre l'anode 1 et l'anode 2 restera supérieur au courant de maintien.

Notons qu'il n'y a pas de limitation de courant d'anode comme pour les interrupteurs de type transistor qui possèdent quant à eux une aire de sécurité (ou SOA pour Safe Operating Area), c'est-à-dire une zone de saturation pour les transistors MOS et une zone linéaire pour les IGBT. Un circuit auxiliaire de protection est donc nécessaire. De plus, le blocage spontané du composant, en plus de générer des interférences électromagnétiques, rend le contrôle des charges inductives tels les moteurs plus délicat. En effet, le courant étant en retard par rapport à la tension, l'ouverture de l'interrupteur peut entraîner une surtension destructrice pour la charge sans l'ajout de circuits appropriés tel un circuit RC pouvant faire office de court-circuit. Enfin, la chute de tension à l'état passant est toujours supérieure à une tension de seuil d'une diode bipolaire d'une valeur approximative de 1 V.

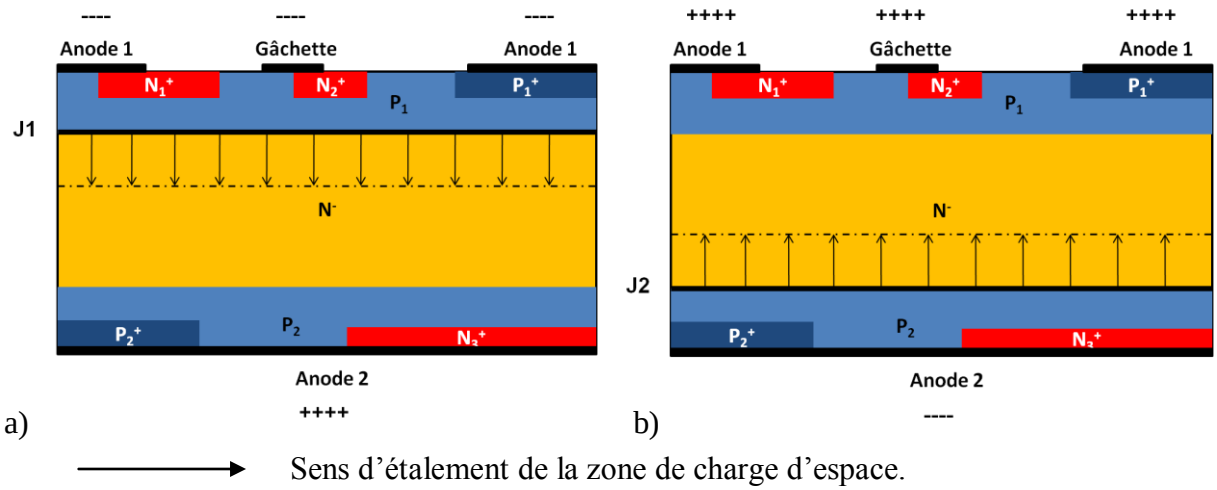


Figure 1-5 : Vue en coupe schématique de la structure TRIAC au blocage pour $V_{A2} > V_{A1}$ a) et $V_{A1} > V_{A2}$ b).

En l'absence de courant de gâchette, le TRIAC se comporte structurellement comme un interrupteur ouvert. En effet, comme le représente la figure 1-5, quels que soient la valeur et le signe de la différence de potentiel V_{A1}-V_{A2}, une zone de charge d'espace s'étendra toujours dans la zone N^-, soit à partir de la jonction J1 (figure 1-5.a) soit à partir de la jonction J2 (figure 1-5.b).

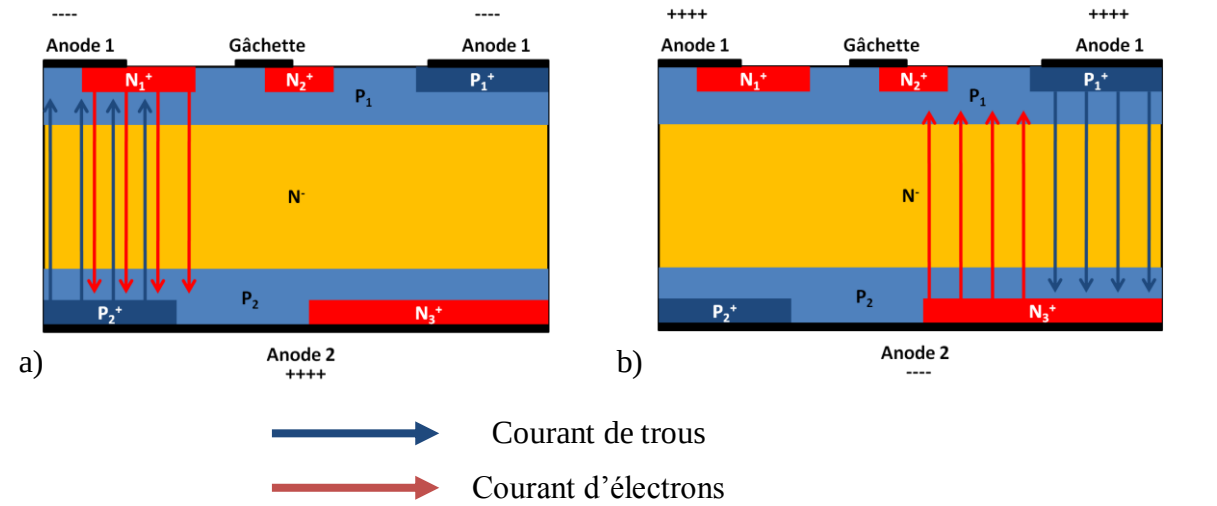


Figure 1-6 : Vue en coupe schématique de la structure TRIAC à la conduction pour $V_{A2} > V_{A1}$ a) (quadrant 1) et $V_{A1} > V_{A2}$ b) (quadrant 3).

A l'état passant, le TRIAC se comporte comme un interrupteur bidirectionnel en courant. Comme le montre la figure 1-6, le composant possède une zone de conduction du courant propre à chaque alternance de tension V_{A1A2}. Selon le potentiel appliqué sur la gâchette, le TRIAC fonctionnera dans l'un de ses quatre modes de fonctionnement possibles, chacun

nécessitant une impulsion de courant de commande particulière plus ou moins importante (tableau 1-1).

Tableau 1-1 : Consommation en courant de gâchette pour différents modes d'amorçage.

Modes de fonctionnement	Tensions V_{A2A1} et V_{GA1}	Intensité du courant de gâchette
Mode 1	$V_{A2A1} > 0$ et $V_{GA1} > 0$	Faible
Mode 2	$V_{A2A1} > 0$ et $V_{GA1} < 0$	Faible
Mode 3	$V_{A2A1} < 0$ et $V_{GA1} < 0$	Elevée
Mode 4	$V_{A2A1} < 0$ et $V_{GA1} > 0$	Très élevée

Le TRIAC continue de bénéficier de nombreuses améliorations pour s'adapter au développement toujours croissant d'applications nouvelles [6-12]. Le tableau 1-2 dresse la liste des avantages et inconvénients par rapport aux critères établis au début du paragraphe 1.4.

Tableau 1-2 : Avantages et inconvénients d'une structure TRIAC.

Avantages	Inconvénients
Parfaitement symétrique	Densité de puissance dissipée ≥ 1 W/A car présence d'une tension de seuil
Industriellement répandu (appareils électroménagers)	Non commandable à l'ouverture
Densité de courant nominale de 2A/mm²	Non limité en courant
Faible nombre d'étapes technologiques : 3 à 7 niveaux de masquage	

Sa forte densité de courant associée au faible nombre d'étapes de fabrication en fait un interrupteur peu coûteux. Néanmoins, sa densité de puissance dissipée en conduction supérieure à 1 W/A, héritée des structures thyristor, et l'absence de commande au blocage limitent son utilisation.

1.4.2 Les solutions monolithiques double-face

A partir de composants interrupteurs verticaux unidirectionnels en tension et en courant, il est possible de créer des structures bidirectionnelles en tension et en courant en les

« symétrisant » par rapport à l'axe horizontal. On obtient ainsi des composants « double-face » c'est-à-dire possédant au moins deux électrodes en face arrière, dont le plus souvent une de commande. Fonctionnellement intéressants, ils nécessitent cependant des développements technologiques supplémentaires ou bien des boîtiers sur mesure permettant d'amener sur la face arrière de la puce une connectique contactant au moins deux électrodes. De tels boîtiers n'ont encore aucune réalité industrielle.

1.4.2.1 La structure Double – Side IGBT (DS-IGBT) et la structure bidirectionnelle blocable

En 1988, A. Nakagawa [13] a introduit un IGBT à double-grille. L'intérêt de cette commande supplémentaire était de faciliter l'évacuation des charges via un deuxième canal MOS et de diminuer ainsi les temps d'ouverture. Ces travaux ont été repris puis approfondis par Hobart en rendant le composant symétrique [14]-[15]. Dénommé Double – Side IGBT (DS-IGBT) et issu de l'intégration fonctionnelle de deux IGBT mis en antiparallèle, ce composant symétrique, illustré en figure 1-7.a, est bidirectionnel en tension et en courant. De plus, cette structure est faiblement dissipatrice à la commutation en raison de l'efficacité d'évacuation des porteurs apportée par la commande de la grille située en face arrière.

Les travaux de F. Bauer ont permis de développer une structure plus complexe appelée « structure bidirectionnelle blocable » (figure 1-7.b) [16]. Cet interrupteur comporte l'équivalent de deux MOS-thyristors montés en anti-parallèle, pouvant soutenir d'importantes densités de courant. La figure 1-7 illustre la vue en coupe de ces deux structures.

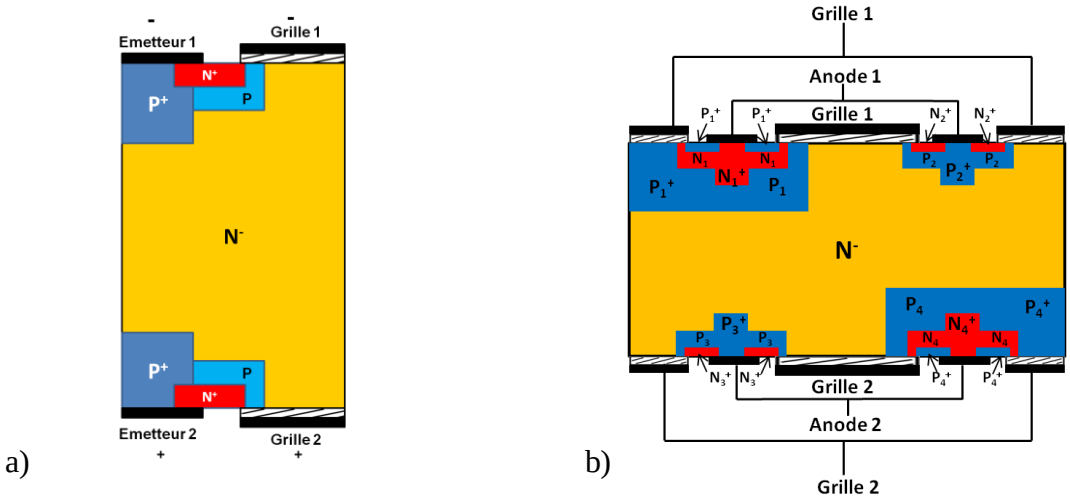


Figure 1-7 : Vues en coupe schématique de structures. a) Double-Gate IGBT. b) structure bidirectionnelle blocable.

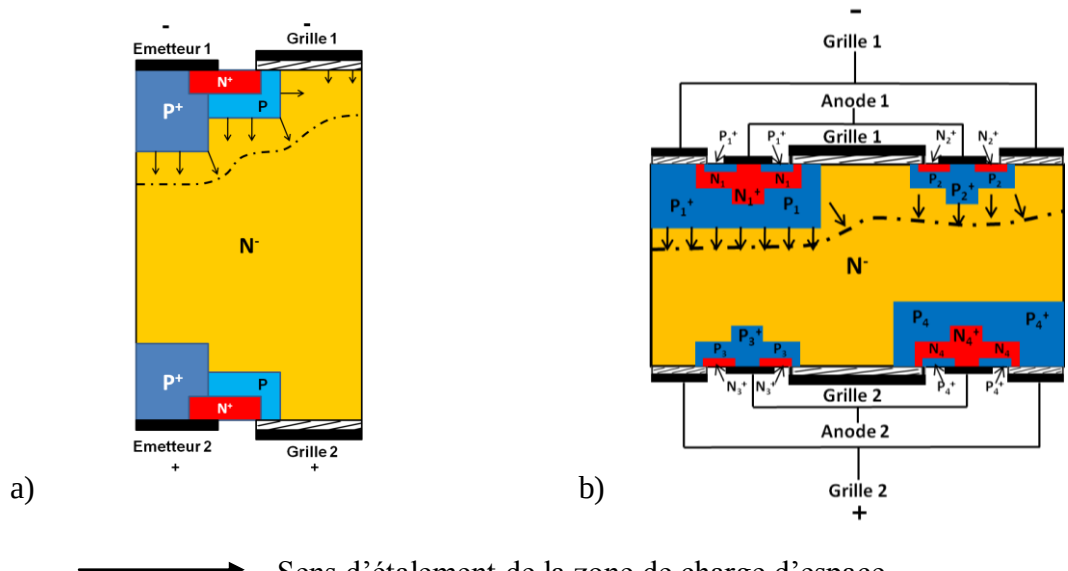


Figure 1-8 : Vues en coupe schématique à l'état bloqué. a) Double – Side IGBT. b) structure « bidirectionnelle blocable ».

Leur bidirectionnalité en tension et courant peut s'expliquer aisément du fait de leur symétrie. En effet, avec deux jonctions PN^- tête-bêche, l'interrupteur est capable de bloquer la tension dans les deux sens, comme le montrent les extensions de zones de charge d'espace présentées à titre d'exemple pour une polarisation donnée, en figure 1-8.

Avec des grilles en face avant et en face arrière, ces composants sont bidirectionnels en courant et commandables. Du point de vue des performances électriques, seule leur densité maximale de courant à l'état passant distingue ces deux structures.

Comme le montre la figure 1-9, le DS – IGBT peut fonctionner en mode d'injection unipolaire et bipolaire. Le premier mode nécessite une commande simultanée des deux grilles, afin de faire circuler un courant de porteurs majoritaires dès qu'une différence de potentiel est appliquée entre les deux émetteurs (figure 1-9.a), malgré une résistance à l'état passant élevée. Le second mode nécessite une commande alternée des deux grilles. Le composant fonctionne alors en mode IGBT avec une densité de courant plus importante, mais également une puissance dissipée toujours supérieure à 1 W/A (figure 1-9.b).

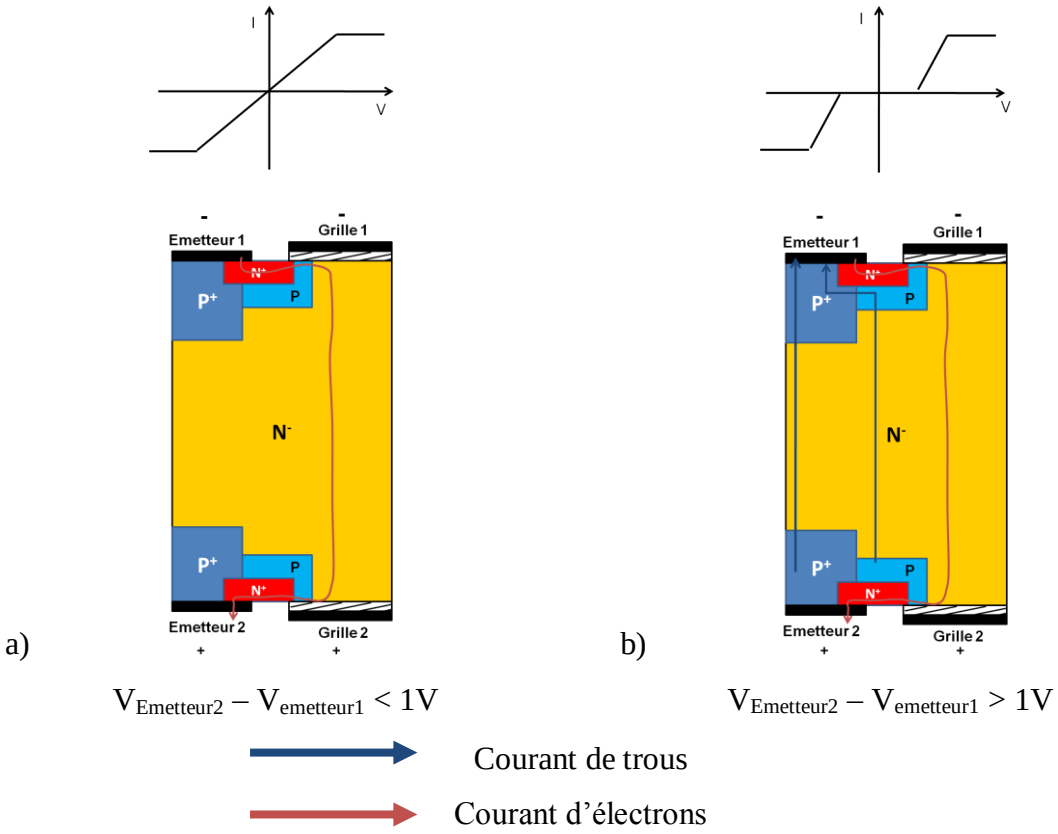


Figure 1-9 : Vue en coupe schématique d'une structure Double-Side IGBT en conduction. a) en mode unipolaire. b) en mode bipolaire IGBT.

Le fonctionnement à l'état passant en mode thyristor de la structure bidirectionnelle blocable est représenté figure 1-10.

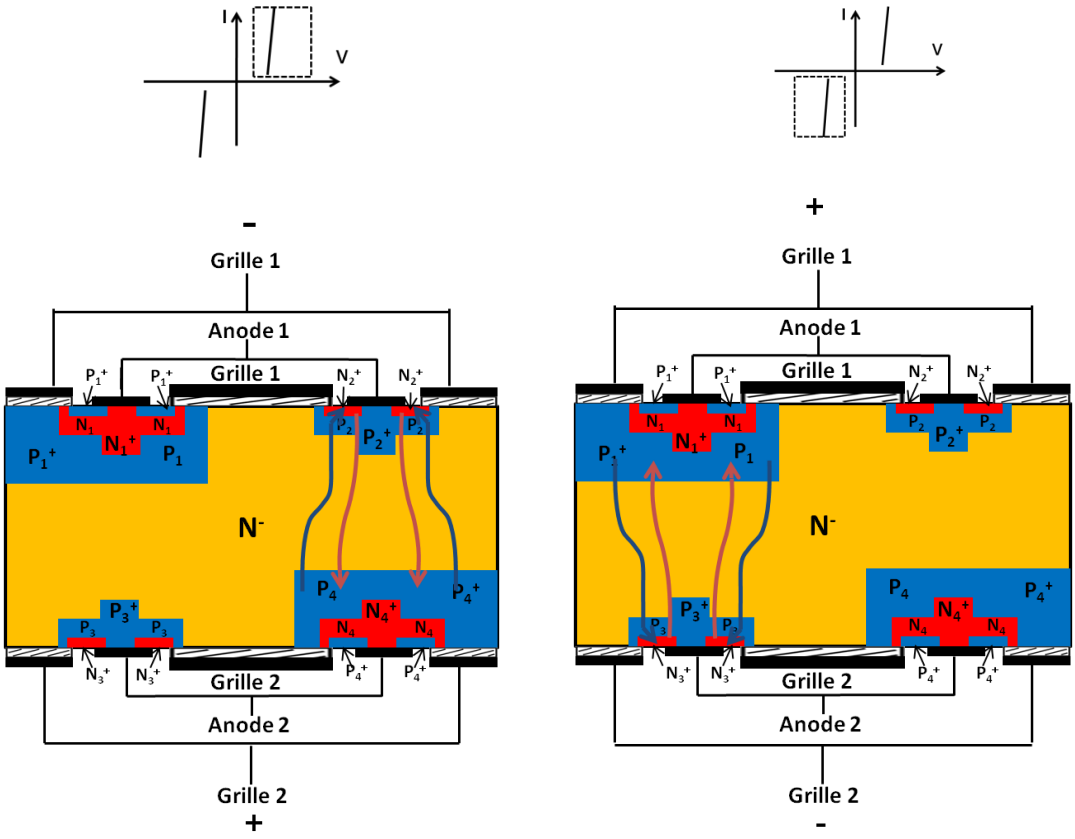


Figure 1-10 : Vue en coupe schématique de la structure bidirectionnelle blocable en conduction en mode thyristor. a) pour $V_{A2} > V_{A1}$. b) pour $V_{A1} > V_{A2}$.

Selon l'alternance de V_{A1A2}, un seul des deux thyristors conduit. Son blocage nécessite l'application systématique d'une tension négative sur la grille ayant servi à la mise en conduction, par rapport à l'anode située sur la même face. Il est aussi préférable de polariser la grille de l'autre face positivement par rapport à l'anode respective. En effet, dans le cas où le potentiel V_{A2} est supérieur au potentiel V_{A1}, le canal qui a amorcé l'injection d'électrons de la couche N_2^+ vers la zone N^- disparait tandis qu'un canal N sur la face opposé de la structure va ramener les couches N_4 et N^- au même potentiel et court-circuiter la couche P_4 qui cesse alors d'injecter des trous.

Bien que séduisante de par sa forte densité de courant, le revers de la médaille de cette structure se situe au niveau de l'intégration monolithique en anti-parallèle des deux thyristors qui occupent deux fois plus de place.

Le tableau 1-3 résume les forces et faiblesses de ces deux structures très similaires dans leur réalisation.

Tableau 1-3 : Avantages et inconvénients des structures DS-IGBT et bidirectionnelle blocable.

Avantages	Inconvénients
Commandabilité permise grâce aux deux grilles NMOS et PMOS	Maîtrise problématique de la réalisation de grilles MOS en face arrière
Parfaitement symétrique	Connectique complexe en face arrière
	Absence de boîtier adapté aux structures double-face
Densité de puissance dissipée < 1W/A en mode unipolaire moyennant une surface de puce importante et >1W/A en mode bipolaire	

Comme l'indique le tableau 1-3, la bidirectionnalité et la commandabilité à la fermeture de ces composants interrupteurs verticaux suscitent implicitement des développements technologiques supplémentaires inhérents à la réalisation de boîtiers spécifiques, de grilles MOS de bonne qualité en face arrière ou bien encore des reports de contacts de la face arrière vers la face avant.

1.4.2.2 La structure Double Gate – Injection Enhanced Gate Transistor (DG – IEGT)

Présentée par Y. Bai pour la première fois en 1999 [17], cette structure s'appuie sur celle de l'IEGT proposée initialement par M. Kitagawa [18] en guise d'alternative à l'IGBT et au Trench – IGBT qui avaient atteint leurs limites pour des tenues en tension élevées (≈ 1700 V). L'IEGT s'appuie sur la présence d'une couche d'accumulation d'électrons sous la grille qui participe à la modulation de la résistivité de la zone N^- (voir la figure 1-11). On obtient, pour des gammes de tension élevées, une chute de tension similaire à celle des thyristors, tout en conservant la commandabilité des transistors. Le DG – IEGT est formé de deux IEGT à l'instar du Double – Side IGBT avec deux IGBT (figure 1-11).

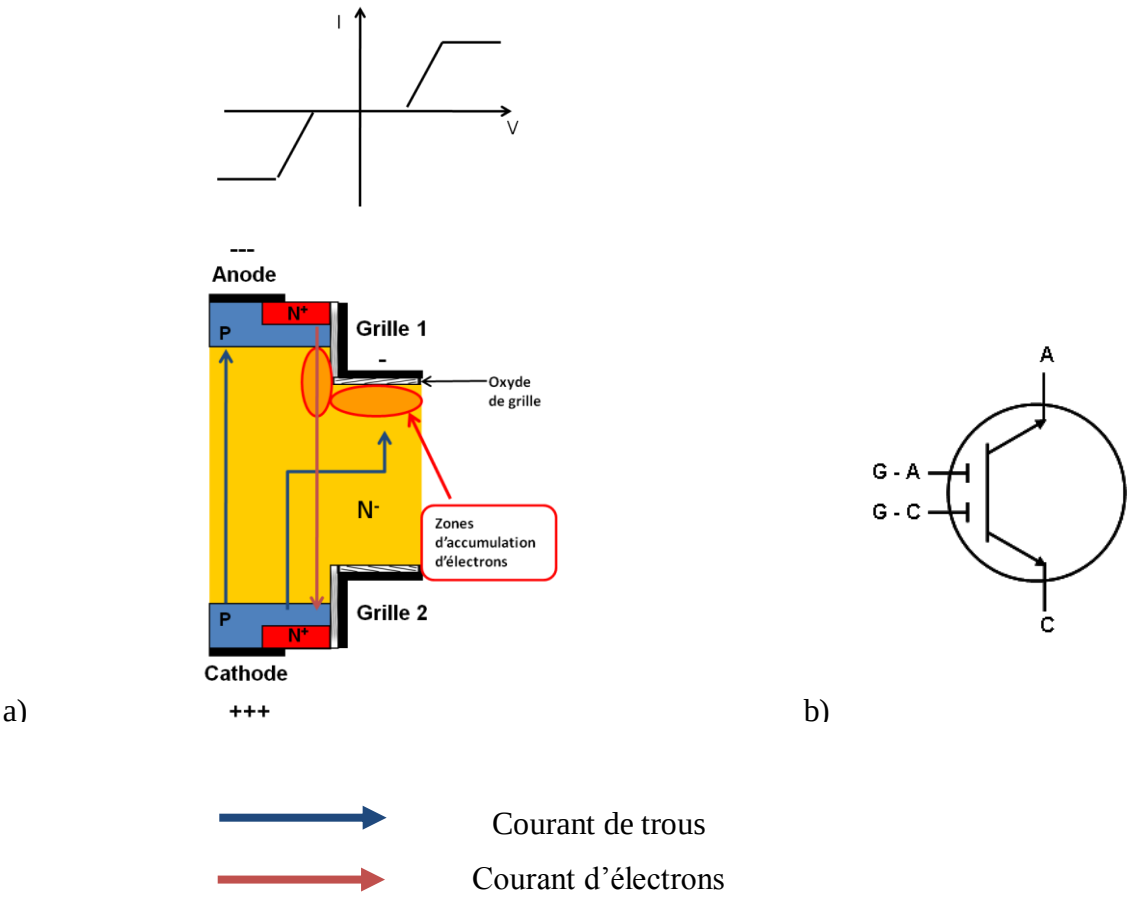


Figure 1-11 : Interrupteur DG-IEGT. a) vue en coupe schématique de la structure en conduction. b) schéma électrique.

Le DG – IEGT est doté de deux électrodes de commandes de grille référencées chacune par rapport à leur anode et cathode respectives. Il possède des régimes de fonctionnement identiques à ceux d'un IGBT double-face. Sa particularité réside dans l'accumulation d'une couche d'électrons sous les grilles qui apporte ici un intérêt supplémentaire en mode bipolaire. Cette structure est néanmoins pénalisée par une tension de seuil à l'état passant qui en fait une solution dissipatrice. Par conséquent, cette structure possède les mêmes avantages et ses inconvénients que ceux des deux structures précédentes (tableau 1-4). Seule sa densité de courant se révèle être supérieure. IGBT oblige, cet avantage ne se manifestera malheureusement que pour des densités de puissance supérieures à 1 W/A.

Tableau 1-4 : Avantages et inconvénients d'une structure DG – IEGT.

Avantages	Inconvénients
Commandabilité permise grâce aux deux grilles MOS	Maîtrise problématique de la réalisation de grilles MOS en face arrière
Parfaitement symétrique	Connectique complexe en face arrière
	Absence de boîtier adapté aux structures double-face
Densité de puissance dissipée < 1 W/A en mode unipolaire moyennant une surface de puce importante, > 1 W/A en mode bipolaire	

1.4.2.3 La structure Monolithic Bidirectional Switch (MBS)

Ayant constatés les limites des interrupteurs symétriques lorsque ceux-ci sont destinés à de la haute tension (de l'ordre de quelques kilovolts), F. Heïnke et al. ont proposé une nouvelle structure d'interrupteur [20] reposant sur l'utilisation de contacts universels [21] et l'absence de jonctions métallurgiques que ce soit pour injecter des porteurs ou pour tenir la tension. L'emploi de silicium intrinsèque permet de réaliser des structures de type « punch-through » moins épaisses afin de minimiser la résistance à l'état passant.

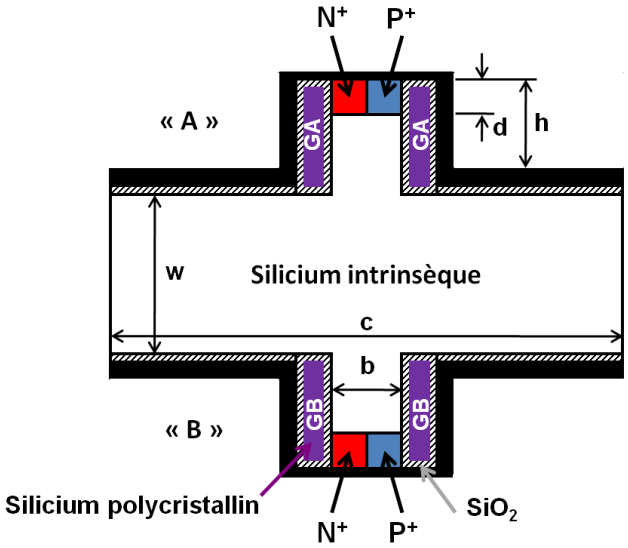


Figure 1-12 : Vue en coupe de la structure « MBS ».

La figure 1-12 illustre la structure d'un composant double face de type mésa muni de deux grilles de commande GA et GB et de deux électrodes de puissance A et B. Ces deux

électrodes court-circuitent deux couches adjacentes N^+ et P^+, permettant ainsi de réaliser des contacts ohmiques universels pour des tensions V_{AB} positives ou négatives. Enfin, la largeur b du contact universel doit être suffisamment faible (quelques centaines de nanomètres) pour qu'une zone d'accumulation de trous ou d'électrons puisse s'y former et rendre ainsi le matériau localement conducteur (figure 1-13.a). Le développement de ce type de structure a été repris en 2005 par M. Baus [22]-[23] qui l'a redimensionnée puis fabriquée.

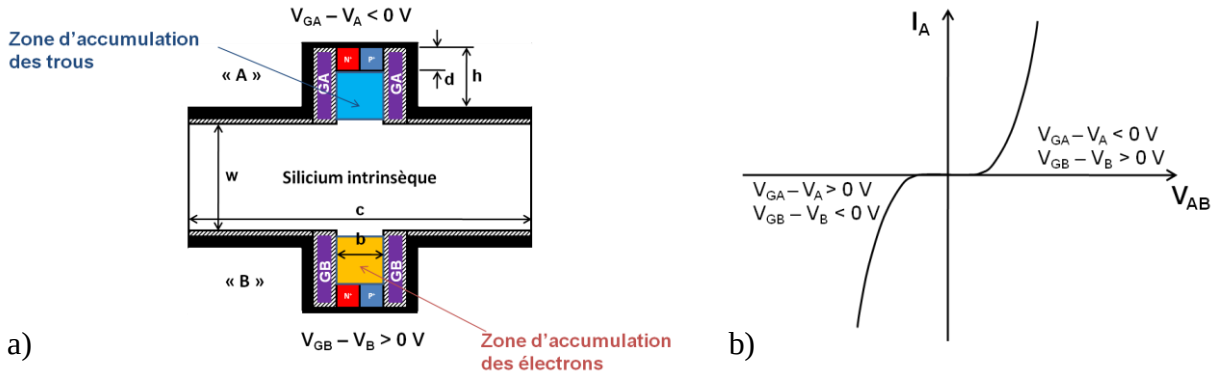


Figure 1-13 : MBS à l'état passant. a) formation des couches d'accumulation de porteurs dans la structure. b) caractéristique I-V [23].

Le schéma de la figure 1-13.a. montre un exemple de polarisation avec une accumulation de trous au niveau de l'électrode A et d'électrons au niveau de l'électrode B. Dans cet exemple, le composant restera à l'état bloqué tant que le potentiel A restera inférieur au potentiel B. Un champ électrique uniforme règne au sein du silicium intrinsèque. Tout se passe comme si une diode existait entre l'anode A et la cathode B.

Le composant passera de l'état bloqué à l'état passant lorsque la tension V_{AB} deviendra positive. Se comportant alors comme une diode PiN à l'état passant, le courant se mettra à croître exponentiellement. Les concentrations de porteurs libres accumulées, supérieures à 10^{19} porteurs/cm^3, permettent d'atteindre des densités de courant de plusieurs centaines d'A/cm² pour des valeurs absolues de V_{AB} de 3 V.

Malgré ses propriétés intéressantes de commande à l'ouverture et à la fermeture, de conduction en courant élevée et de contrôle des temps de commutation via ses deux grilles de commande, le MBS souffre d'un niveau d'exigence de fabrication accru avec des mésas fines et précises et la présence de ses deux électrodes en face arrière qui a conduit ses auteurs vers le développement de solutions latérales [23]. Par ailleurs, le MBS se comportant comme une diode à l'état passant, il ne possède par d'aire de sécurité de fonctionnement et nécessite donc des circuits de protection supplémentaires. Enfin, le fait que des potentiels doivent être

appliqués en permanence sur les grilles de commande rend la commande de l'interrupteur plus complexe.

Des trois structures double-face présentées jusqu'ici, le MBS présente les meilleures performances en haute tension. Ses points forts et ses points faibles restent en revanche quasiment les mêmes (tableau 1-5), avec néanmoins une inaptitude à travailler en mode unipolaire. Le MBS est donc toujours pénalisé par une tension de seuil à l'état passant.

Tableau 1-5 : Avantages et inconvénients d'une structure Monolithic Bidirectional Switch.

Avantages	Inconvénients
Commandabilité permise grâce aux deux grilles MOS	Maîtrise problématique de la réalisation de grilles MOS en face arrière par gravure de mésas
Parfaitement symétrique	Connectique complexe en face arrière
	Absence de boîtier adapté aux structures double-face
	Densité de puissance dissipée > 1W

Intégrer monolithiquement des composants de puissance unidirectionnels existants pour en faire des composants double-face permet d'obtenir la bidirectionnalité en tension et en courant. Néanmoins cette approche se heurte à des verrous technologiques qu'il faudra pouvoir lever, dans la perspective d'une mise en œuvre industrielle. Cela suppose des développements de boîtiers sur mesure ou encore des développements technologiques permettant d'effectuer le report de contacts en face arrière. Face à ces difficultés, des travaux ont été menées pour développer des structures avec des électrodes de commande directement sur la face avant des plaquettes, voire n'en disposant que d'une seule.

1.4.3 Les solutions monolithiques simple-face verticales

Ces structures ont pour objectif de conserver le bénéfice d'une structure verticale tout en disposant d'une commande simplifiée. Elles sont néanmoins pénalisées par un dimensionnement critique pouvant donner lieu à des caractéristiques électriques non symétriques ou par la nécessité d'ajouter des composants discrets passifs supplémentaires.

1.4.3.1 La structure « planar MOS – gated AC switch »

Proposée par B. J. Baliga en 1995 [24], cette structure permet de s'affranchir des inconvénients liés à la présence d'une grille située en face arrière. En positionnant toutes les grilles de commande sur une même face avec une référence unique ce composant offre une commande simplifiée tout en restant compatible avec les boîtiers existants.

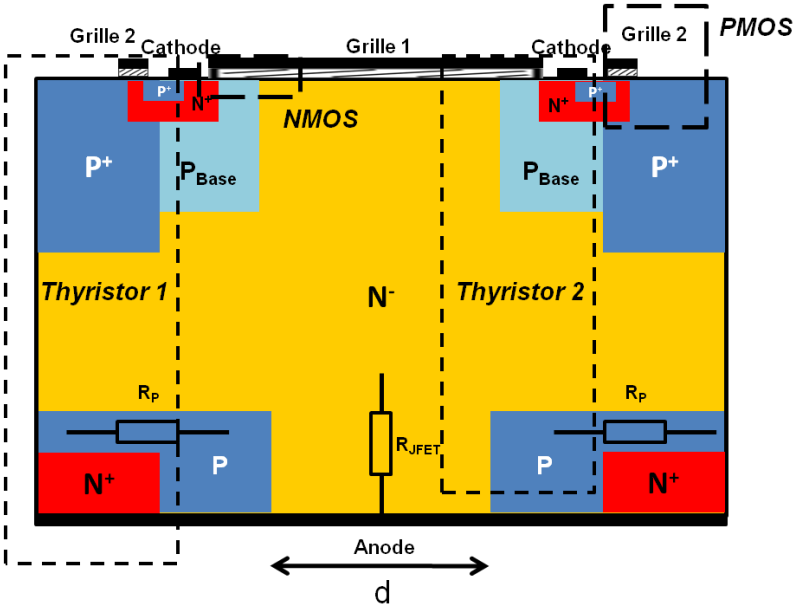


Figure 1-14 : Vue en coupe de la structure « planar MOS – gated AC switch ».

La figure 1-14 illustre une structure de composant MOS-gated AC switch commandé respectivement par les grilles 1 et 2 de deux transistors NMOS et PMOS, tous deux intégrés au sein d'une structure thyristor. L'utilisation de transistors NMOS et PMOS permet de n'utiliser qu'une seule tension de référence pour la commande, à l'instar de la commande des portes logiques CMOS. La face arrière de la structure est réalisée par une double – diffusion formant les couches N^+ et P, toutes deux court-circuitées avec la zone de drift N^- par une électrode pleine plaque d'anode.

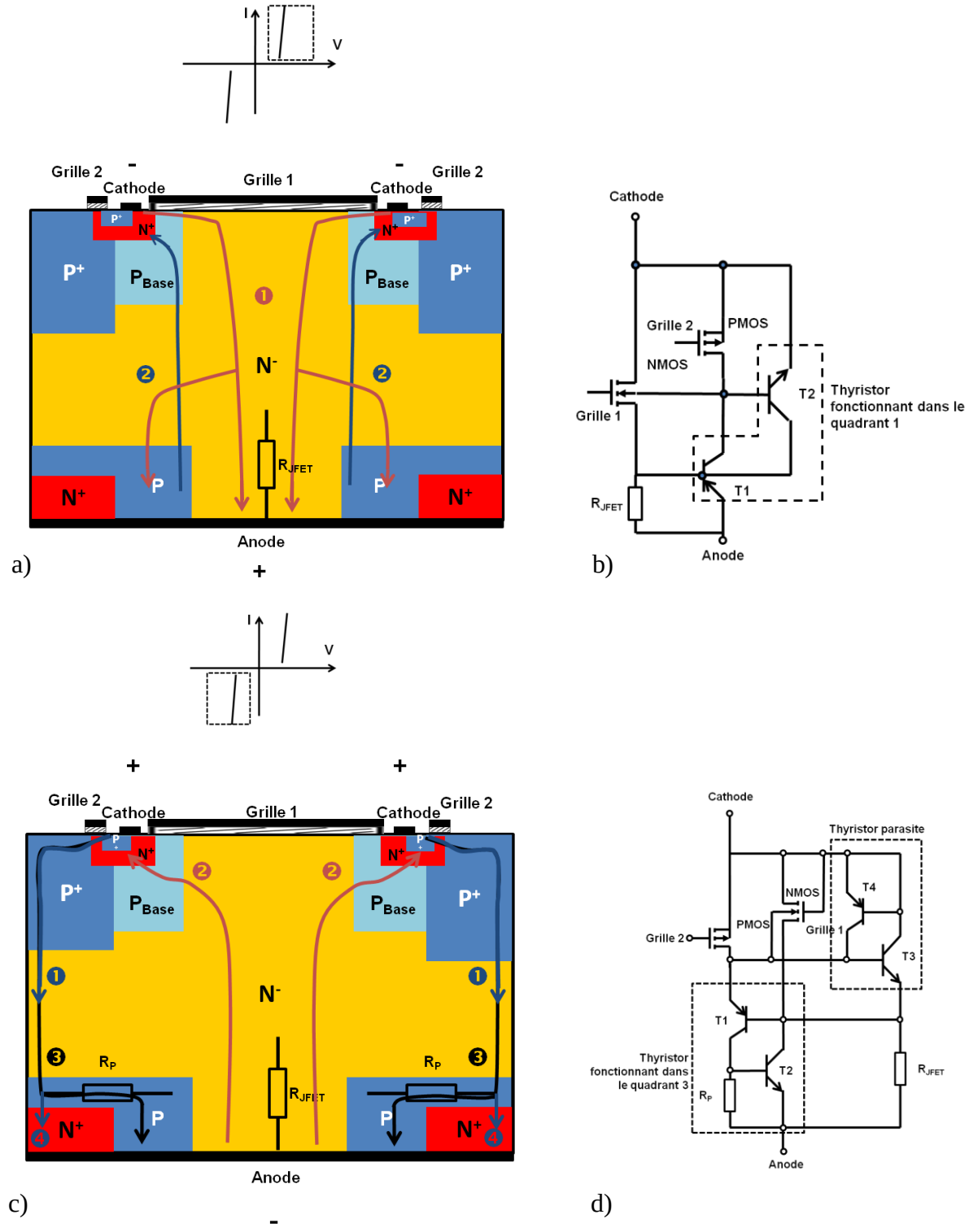


Figure 1-15 : Vue en coupe schématique du « planar MOS – gated AC switch » en conduction dans les quadrants 1 a) et 3 c) et schémas électriques respectifs équivalents b) et d).

- Etat passant

Quadrant 1 ($V_{Anode} > V_{Cathode}$; $V_{Grille1} > V_{Cathode}$; $V_{Grille2} < V_{Cathode}$) (figure 1-15.a et 1-15.b) : Tandis que le canal du transistor PMOS, commandé par la grille 2, polarise la base P_{Base}, un courant d'électrons, conduit par le transistor NMOS, rejoint le contact d'anode en traversant une zone JFET située entre les deux caissons P. L'interrupteur fonctionne en régime d'injection unipolaire. Pour des densités de courant plus importantes, une fraction du courant d'électrons est injectée dans les deux régions P de la face arrière où il recombine partiellement (figure 1-15.a ❶). La chute de tension aux bornes de la zone JFET (symbolisée par la résistance R_{JFET}) polarise la base du transistor T1 ($P_{Base}N^-P$) qui, à son tour, polarise le transistor T2 formés des couches $N^-P_{Base}N^+$ (❷). Le thyristor composé de T1 et T2 s'amorce : le composant se ferme. Son ouverture se fait en inversant les tensions de grille.

Quadrant 3 ($V_{Anode} < V_{Cathode}$; $V_{Grille1} > V_{Cathode}$; $V_{Grille2} < V_{Cathode}$) (figure 1-15.c et 1-15.d) : L'interrupteur opère dans ce quadrant de fonctionnement dès que la tension anode – cathode devient négative. Dans un premier temps, le transistor PMOS conduit un courant de trous dans la zone N^- (figure 1-15.c ❶). Ce courant sert à mettre en conduction le transistor T3 formé par les couches $N^-P_{Base}N^+$, en série avec la résistance R_{JFET} (❷). Cette dernière permet de polariser la base de T1 (PN^-P^+) (❸). Le courant qui circule alors à travers la résistance R_P va finalement polariser le transistor T2 (❹). L'ensemble T1 et T2 forme un thyristor : l'interrupteur se ferme. A noter que l'ouverture de l'interrupteur dans ce mode de fonctionnement peut être empêchée par l'amorçage du transistor T4 ($P_{Base}N^+P^+$) à cause de T3 (❷). Ceci entraîne l'amorçage d'un thyristor parasite qui court-circuite le transistor PMOS.

- Etat bloqué et compromis

Si la tenue en tension de l'interrupteur MOS-AC-switch est identique à celle des structures VDMOS classiques lorsque V_A-V_C >0 (figure 1-16.a), la tenue en tension inverse dépend quant à elle de l'ouverture de largeur d entre les deux caissons P, du fait de la présence d'un contact schottky en face arrière (figure 1-16.b). Si une ouverture plus large diminue RJFET et améliore la circulation des électrons dans le quadrant 3 pour de très faibles chutes de tension, cela suppose des courants de fuite plus élevés.

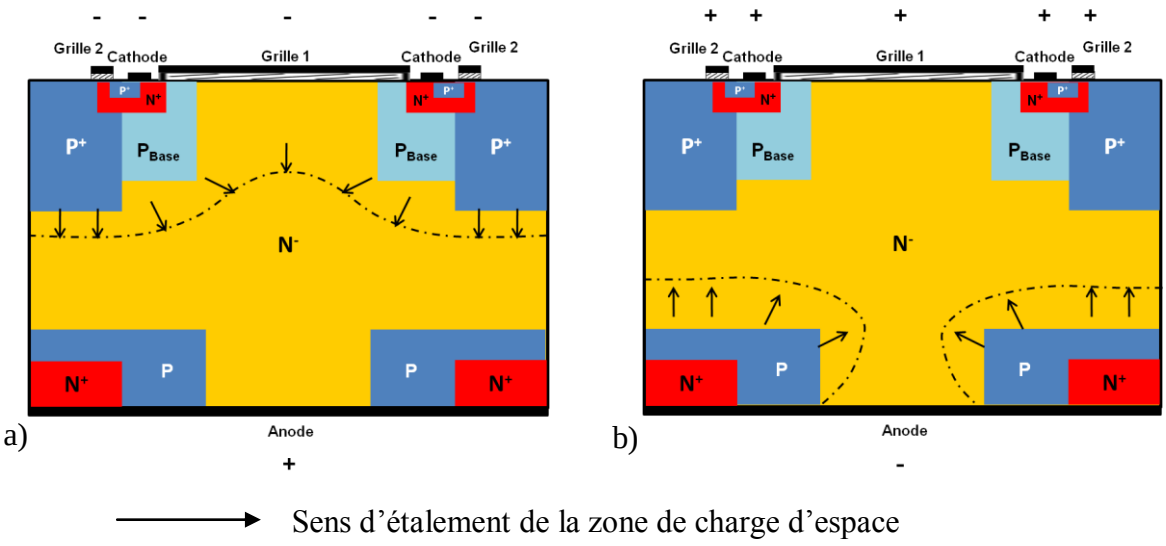


Figure 1-16 : Vue en coupe schématique de la structure « planar MOS – gated AC switch » au blocage pour $V_A > V_C$ a) et $V_A < V_C$ b).

Ce composant, bien que résolvant le problème des commandes situées en face arrière, est pénalisé par ses caractéristiques électriques non symétriques. En effet, les porteurs à l'état passant ne suivent pas les mêmes chemins de conduction du courant et la tenue en tension inverse est affaiblie par la distance entre les deux couches P de la face arrière. Par ailleurs, ce composant intègre des transistors NMOS ou PMOS en tant que transistors de commande. Or, le fait que ces deux transistors possèdent des caractéristiques électriques différentes rend le dimensionnement de la structure critique, notamment pour obtenir des performances électriques symétriques.

Tableau 1-6 : Avantages et inconvénients de la structure « planar MOS – gated AC switch ».

Avantages	Inconvénients
Commandabilité permise grâce aux grilles MOS	Densité de puissance dissipée > 1W
	Bidirectionnalité complexe à mettre en œuvre en raison de la dissymétrie de la structure
	Présence de multiples diffusions critiques en face avant et en face arrière

Le tableau 1-6 résume les différents inconvénients de cette structure lorsqu'il s'agit de réunir un même substrat des commandes en tension sur une même face, la bidirectionnalité symétrique reposant sur un ensemble de paramètres structurels et technologiques difficiles à garantir dans un contexte de production à grande échelle.

A noter qu'il existe une variante de cette structure faisant à appel à la fabrication de tranchées, appelée « trench MOS – gate », et qui présente l'avantage d'être moins encombrantes [25].

1.4.3.2 La structure IGTR « Insulated Gate TRIAC »

L'IGTR a été introduit pour la première fois par J. S. Ajit en 1998 [26]. Son objectif était d'obtenir un interrupteur parfaitement symétrique et plus simple à réaliser que l'interrupteur précédent. La figure 1-17 montre la vue en coupe de la structure et son schéma électrique équivalent.

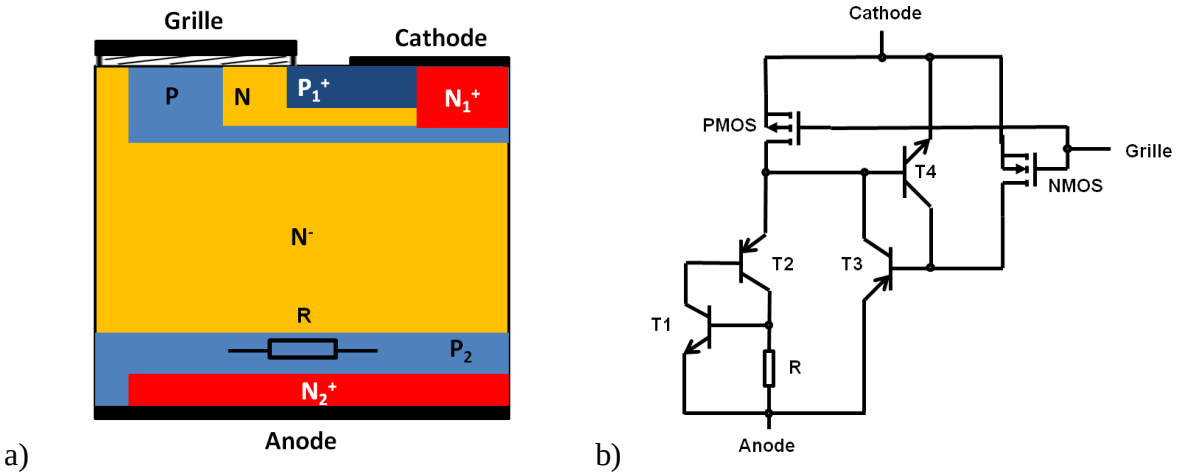


Figure 1-17 : a) vue en coupe schématique de la structure d'un IGTR. b) circuit électrique équivalent [24].

L'état bloqué de l'interrupteur est assuré par présence des deux zones P encadrant la zone N^-. En revanche, son amorçage obéit à des mécanismes différents, dépendant de la tension anode – cathode.

Le mécanisme de mise en conduction de cette structure est illustré en figure 1-18.

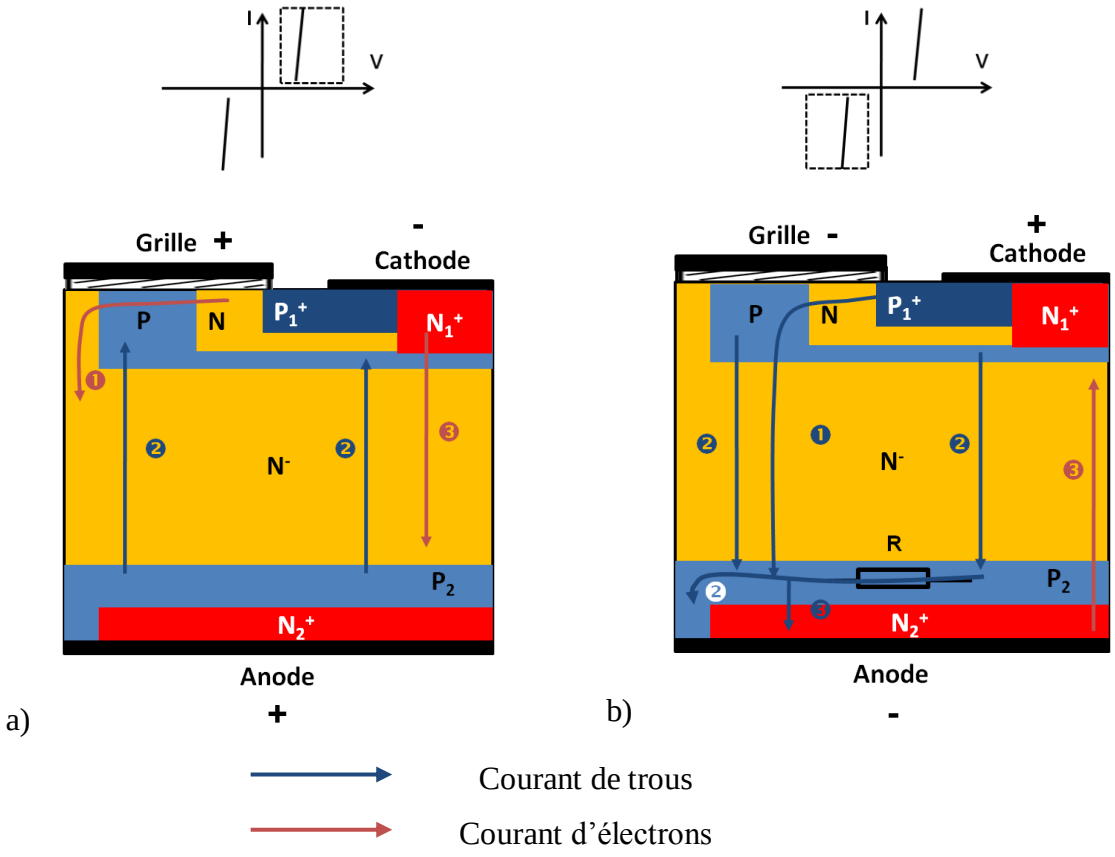


Figure 1-18 : IGTR en conduction dans les quadrants 1 a) et 3 b).

Quadrant 1 : Lorsque la tension anode – cathode est positive (quadrant 1 de fonctionnement) (figure 1-18.a), une tension positive entre la grille et la cathode provoque l'apparition d'un canal N dans la région P. Le transistor NMOS se met à conduire (❶) alimentant ainsi la base du transistor bipolaire T3 formé des couches P_2N^-P (❷). Ceci a pour effet d'alimenter la base du transistor T4 ($N^-PN_1^+$) (❸) amorçant ainsi le thyristor formé par les transistors T3 et T4 : l'IGTR conduit.

Son retour à l'état bloqué se produit en appliquant sur la commande une tension négative. Le transistor NMOS s'ouvre et le transistor PMOS se ferme : l'injection d'électrons dans la zone N^- est stoppée tandis que les trous qui se trouvent dans cette même zone sont évacués par le canal P. L'IGTR se ferme.

Quadrant 3 : Lorsque la tension anode – cathode est négative (figure 1-18.b), une tension négative grille – cathode provoque la fermeture du transistor PMOS qui alimente la diode PiN composée des couches P_2N^- (❶). Les trous qui atteignent la couche P_2 ont pour effet de fermer le transistor à base large T2 composée des couches P_2N^-P se ferme. La base du transistor T1, définie par les couches $N^-P_2N_2^+$, est alors polarisée grâce à sa résistance interne R. Par conséquent, le thyristor composé de T1 et de T2 (P_2N^-P) se ferme et l'IGTR conduit.

Le processus de blocage est similaire à celui du quadrant 1, en appliquant cette fois-ci une tension positive sur la grille.

Cette structure bidirectionnelle en tension et en courant présente l'avantage de ne posséder qu'une seule électrode de commande référencée par rapport à la cathode. Toutefois, son inconvénient réside dans la présence d'une résistance au sein de la couche P_2. Cette résistance est essentielle pour polariser correctement le transistor $N^-P_2N_2^+$ (T1), mais pose des problèmes quant à la tenue en tension (perçage de la couche P_2).

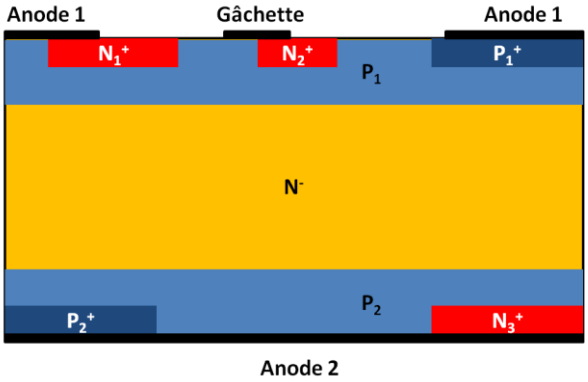
Tableau 1-7 : Avantages et inconvénients de la structure IGTR.

Avantages	Inconvénients
Commandabilité à l'ouverture et à la fermeture unique PMOS et NMOS	Densité de puissance dissipée > 1W/A
Multiples diffusions en surface et en face arrière critiques influençant sur la tenue en tension	Bidirectionnalité complexe à mettre en œuvre en raison d'une couche P_2 résistive susceptible de percer

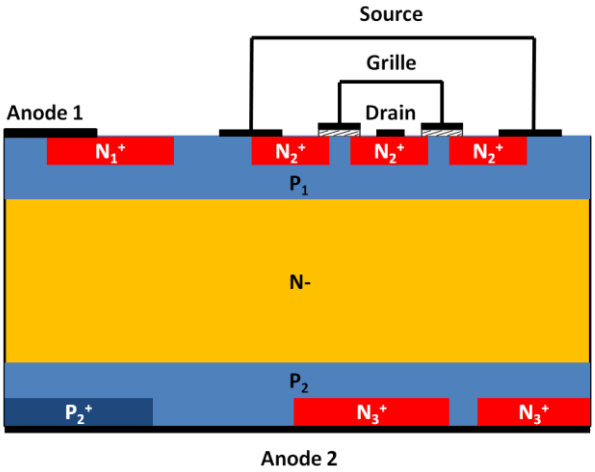
Le tableau 1-7 résume les avantages et inconvénients de la structure. Comme pour l'interrupteur MOS-gated AC Switch, sa principale originalité réside dans une commande unique en tension (MOS), capable d'ouvrir et de fermer l'interrupteur. En revanche, le nombre de couches diffusées, une structure non symétrique impliquant une bidirectionnalité imparfaite et la présence d'une tension de seuil rendent la mise en application du composant complexe.

1.4.3.3 La structure MOS – TRIAC

Cette structure, proposée par A. Bourennane [12] en 2002, associe les avantages d'une commande MOS à la forte densité de courant des TRIACs. Toujours dans l'esprit de l'intégration fonctionnelle, la gâchette participe ici à l'intégration d'un transistor NMOS de commande.



a)



b)

Figure 1-19 : Vue en coupe schématique d'une structure TRIAC a) et d'une structure MOS – TRIAC b).

Le transistor NMOS de commande est obtenu en localisant une grille entre une nouvelle couche N_2^+, jouant le rôle de drain, et la source d'ores et déjà assurée par la couche N_2^+ de gâchette (figure 1-19.b). Puisque ce transistor, tel qu'il est réalisé, ne peut qu'injecter du courant, le TRIAC ainsi modifié ne fonctionne que dans les modes 1 et 4 (paragraphe 1.4.1), d'où la disparition de la couche P_1^+. Dans ces modes de fonctionnement, le TRIAC classique ne s'amorce qu'avec des impulsions positives en courant. Ce type d'interrupteur se met en conduction en appliquant une impulsion de tension sur la grille du transistor NMOS.

Le fonctionnement du MOS – TRIAC est donc similaire à celui du TRIAC dans les modes 1et 4 à l'état passant. A l'état bloqué, le transistor NMOS étant implanté dans une zone P_1 plus fortement dopée que la zone N^-, il se trouve à l'abri de tout claquage. Le mécanisme de tenue en tension dans la zone N^- est en tout point similaire à celui d'un TRIAC classique.

Les solutions simple-face verticales évitent les problèmes posés par les structures double-faces, en ne laissant qu'une seule électrode sur la face arrière des composants. En revanche, elles sont plus complexes à dimensionner en raison de la présence des triple-diffusions et du contrôle des couches résistives d'auto-maintien des structures de type thyristor. L'intégration fonctionnelle d'un MOS et d'un TRIAC permet une commande en tension. En revanche, le MOS-TRIAC reste toutefois un composant non commandable à l'ouverture, à l'instar du TRIAC.

De toutes les structures verticales simple-face, le MOS-TRIAC reste cependant le composant le plus simple à réaliser. En revanche, ce qui est a priori gagné en simplicité est perdu en commandabilité comme le rappelle le tableau 1-8.

Tableau 1-8 : Avantages et inconvénients de la structure MOS – TRIAC.

Avantages	Inconvénients
Parfaitement symétrique	Densité de puissance dissipée > 1W/A car structure analogue à celle du TRIAC
Réunit les briques technologiques déjà maîtrisées du transistor MOS et du TRIAC	Non commandable à l'ouverture

1.4.4 Les solutions monolithiques simple – face latérales

Les principaux inconvénients des composants verticaux bidirectionnels sont liés à la présence d'une électrode de commande en face arrière, ou liés au respect du dimensionnement d'architectures complexes. A l'inverse, les composants latéraux offrent, quant à eux, la possibilité de connecter plusieurs électrodes, dont celles de commande, sans avoir recours à de nouveaux développements technologiques ou de connectiques supplémentaires. De plus, ces composants sont plus facilement intégrables. Leur densité de courant reste toutefois limitée par l'absence d'utilisation de toute l'épaisseur de la plaquette et par l'encombrement occasionné par l'extension latérale des zones de désertion.

1.4.4.1 La structure de thyristor planar à gâchette isolée (TRIMOS)

Initialement proposé par J. D. Plummer et B. W. Scharf en 1980 [27]-[28], le TRIMOS est une transposition des structures de type MOS verticaux en une structure latérale, avec un fonctionnement de surcroît très similaire.

Cette structure, présentée en figure 1-20, est réalisée grâce à la mise en anti-série de deux cellules DMOS. Une couche N_1^+ sépare les deux cellules et empêche tout phénomène d'inversion en surface de la zone N^-. L'avantage de cette structure réside dans la présence d'une grille située en surface qui sert de commande unique aux deux cellules DMOS.

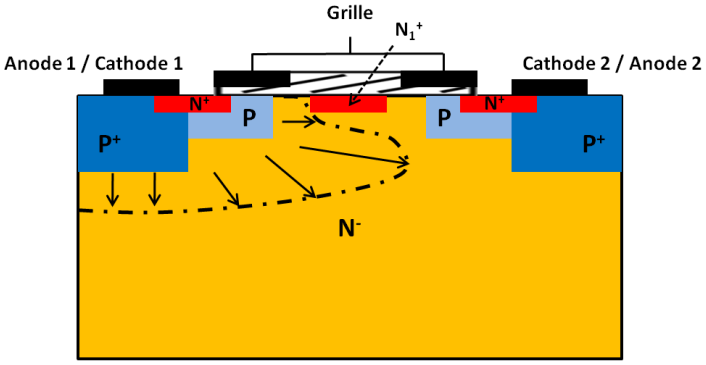


Figure 1-20 : Vue en coupe schématique de la structure TRIMOS et exemple d'extension de sa charge d'espace à l'état bloqué, pour l'anode 1 polarisée négativement par rapport à la cathode 2.

Comme ses consœurs verticales, cette structure possède plusieurs modes de fonctionnement (MOS, IGBT ou thyristor) qui s'activent en fonction de la tension anode – cathode. Ces différents modes sont représentés sur la figure 1-21.

- Fonctionnement en mode unipolaire (DMOS) (figure 1-21.a) :

Pour des tensions d'anode – cathode inférieures à 1 V et une tension de grille suffisante, un courant d'électrons circule dans les deux canaux formés sous l'oxyde de grille. Ce type de conduction se produit dès l'application d'une tension anode-cathode et est avantageux pour des gammes de puissance faibles.

- Fonctionnement en mode bipolaire (IGBT) (figure 1-21.b) :

Pour des tensions d'anode – cathode supérieures à 1 V et une tension de grille suffisante, la couche P^+, polarisée au potentiel le plus élevé (anode 2 de la figure 1-21.b), émet des trous qui sont ensuite collectés par la les couches P polarisée au potentiel de référence (cathode 1 de la figure 1-21.b). Le transistor PNP se ferme : le TRIMOS assure alors une conduction bipolaire en mode IGBT.

- Fonctionnement en mode thyristor (figure 1-21.c) :

Ce mode s'enclenche lorsque l'augmentation de la densité de courant de trous collectés par la couche P^+ de la cathode produit une augmentation trop importante de la tension résiduelle sous la couche N^+ correspondante. Lorsque celle-ci atteint 0,7 V, c'est-à-dire

environ la tension de seuil de la jonction PN^+, le thyristor latéral $N^+PN^-P^+$se alors met à conduire. On perd cependant la commandabilité à l'ouverture.

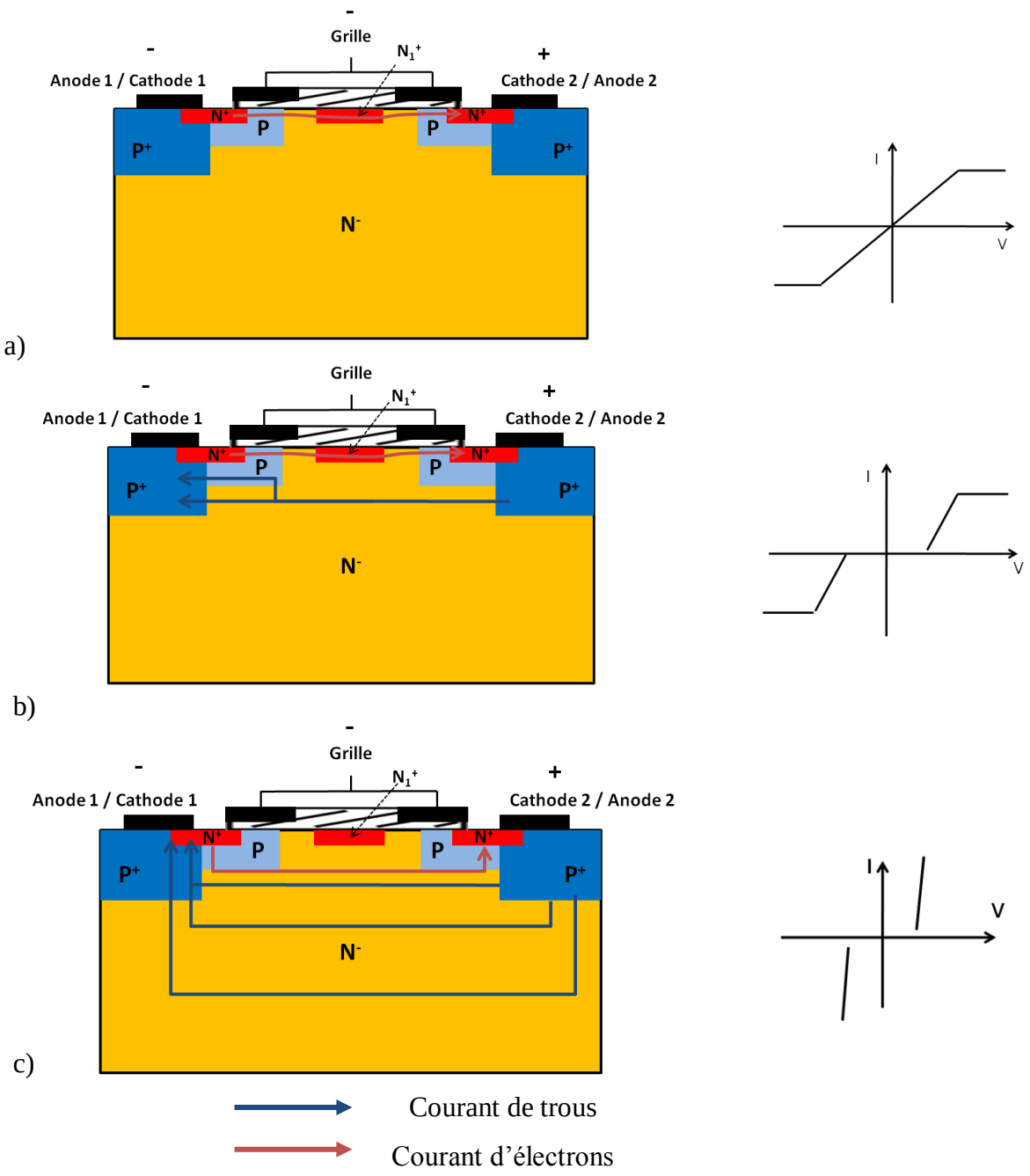


Figure 1-21 : Vue en coupe schématique du TRIMOS en fonctionnement unipolaire a), IGBT b) et thyristor c).

Un tel composant est intéressant car ses différents modes de fonctionnement en font un dispositif flexible et sa commande, à l'ouverture et à la fermeture, est simple à mettre en œuvre. Le principal inconvénient de cette structure concerne sa tenue en tension très faible. Dans le cas où l'anode 1 est polarisée négativement par rapport à la cathode 2, le maintien des

transistors à l'état bloqué ne sera possible que tant que la différence de potentiel ($V_G - V_{A1}$) restera inférieure à la tension de seuil du transistor MOS. Ceci implique des potentiels de grille très élevés en valeurs absolues, et donc un risque de claquage de l'oxyde de grille. Enfin, le courant de conduction latérale, localisé en surface du composant, est un inconvénient majeur par rapport aux structures verticales.

Nous pouvons alors résumer les caractéristiques de cette structure dans le tableau 1-9.

Tableau 1-9 : Avantages et inconvénients de la structure TRIMOS.

<table>
<tr><th>Avantages</th><th>Inconvénients</th></tr>
<tr><td>Briques technologiques maîtrisées</td><td rowspan="2">Non commandable à l'ouverture en mode thyristor</td></tr>
<tr><td>Commandabilité permise grâce aux grilles MOS référencées au même potentiel (uniquement en mode DMOS et IGBT)</td></tr>
<tr><td colspan="2">Densité de puissance dissipée <1 W/A en mode unipolaire, > 1W/A en mode bipolaire</td></tr>
<tr><td colspan="2">Composant symétrique mais qui présente une tenue en tension médiocre</td></tr>
</table>

Bien que fonctionnellement intéressante et réalisable à partir de technologies classiques, cette structure latérale à commande unique est pénalisée par sa tension de claquage faible, en plus de sa densité de courant limitée.

Une seconde structure, imaginée par J. S. T. Huang en 1992, appelée Bilateral Emitter Switched Thyristor (BEST) [29], utilise le principe de fonctionnement de l' « Emitter Switched Thyristor » (EST) [30]. L'objectif de ses travaux était de rendre possible l'ouverture de l'interrupteur alors que celui-ci est mode thyristor. Cette structure intègre un transistor MOS destiné à couper le courant après la mise en conduction du composant en mode thyristor (latch – up), en dépit d'une chute de tension plus importante. Néanmoins, cette structure, à l'instar de la précédente, souffre d'une tenue en tension bidirectionnelle encore médiocre.

1.4.4.2 La structure Lateral Bilateral MCT – IGBT (LBMIGT)

Dans l'optique d'améliorer la structure précédente, M. Mehrotra et B. J. Baliga [31] ont proposé, en 1998, une structure latérale issue de l'association MOS-thyristor tête-bêche en anti-parallèle (figure 1-22). L'emploi de NMOS et PMOS imbriqués est similaire au « planar MOS - gated AC switch ».

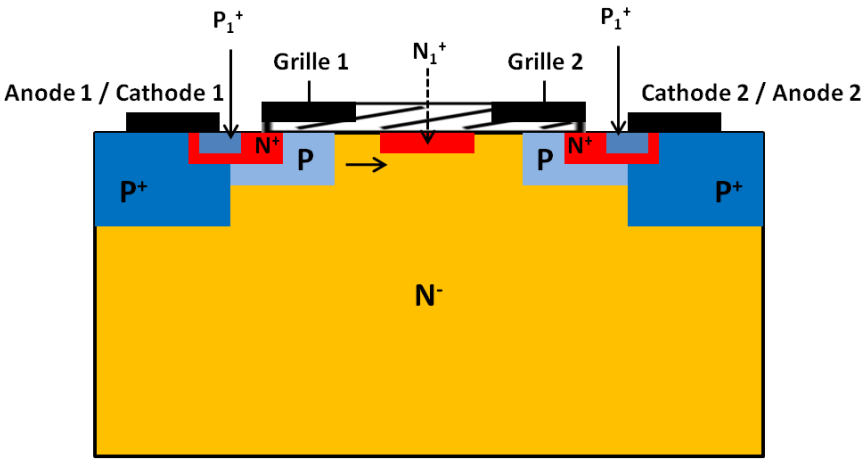


Figure 1-22 : Vue en coupe schématique du LBMIGT.

Contrairement au composant TRIMOS, les grilles de cette structure sont chacune référencées par rapport à leur électrode de puissance la plus proche, éliminant ainsi l'inconvénient majeur d'un claquage prématuré de l'oxyde de grille situé au potentiel le plus bas. Son comportement est identique à celui de son prédécesseur, dans la mesure où il peut fonctionner en mode unipolaire, IGBT ou thyristor. Son fonctionnement nécessite cependant l'utilisation de deux commandes séparées, avec des tensions de références différentes, ce qui constitue une contrainte supplémentaire par rapport à l'utilisation du TRIMOS. L'ajout des caissons P_1^+ permet, à l'instar de la « structure bidirectionnel blocable » (paragraphe 1.4.2.1), de faciliter l'ouverture du composant

En résumé, les performances du composant LBMIGT sont comparables à celle de l'interrupteur TRIMOS, si ce n'est une meilleure tension de claquage, permise par le découplage de ses deux grilles de commande.

1.4.4.3 La structure Lateral Bilateral IGBT (LBIGBT)

Les structures latérales précédentes, bien que remplissant leur fonction d'interrupteur bidirectionnel, sont pénalisées par leur tenue en tension plus faible que celle des structures verticales causée par la présence de jonctions cylindriques. Leur emploi nécessite donc l'insertion de diodes en série. La structure suivante permet de lever cet obstacle en localisant des caissons fortement dopés entre les grilles de commande. Jouant un rôle similaire à celui des anneaux de garde que l'on peut trouver en périphérie de composant, il est possible d'améliorer la tension de claquage.

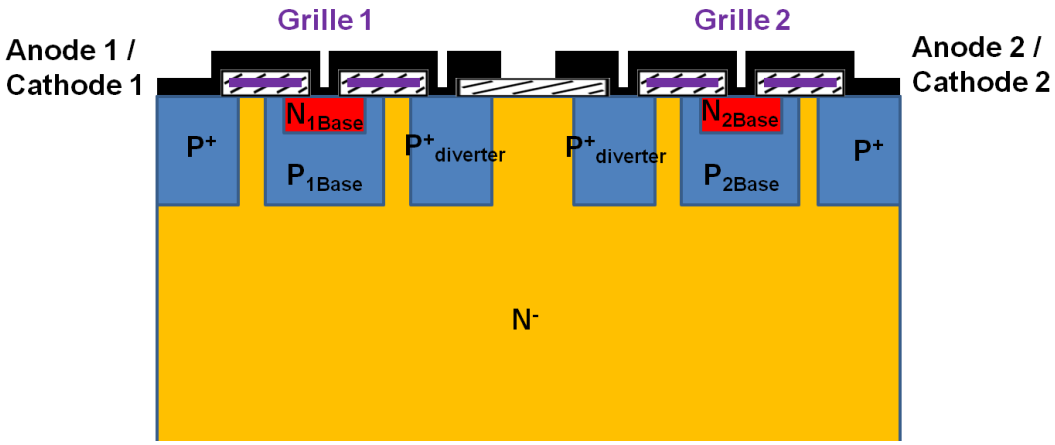


Figure 1-23 : Vue en coupe schématique de la structure LBIGBT.

La vue en coupe de la structure LGIGBT est présentée en figure 1-23. Bien que cela n'apparaisse pas sur la coupe 2D de cette figure, les couches N_{1Base} et N_{2Base} sont respectivement court-circuitées avec les couches P_{1Base} et P_{2Base}. La mise en court-circuit de ces couches est nécessaire pour inhiber les transistors parasites $N_{1Base}P_{1Base}N^-$ et $N_{2Base}P_{2Base}N^-$ et les polariser vis-à-vis de leurs grilles de commande respectives. On retrouve ces types de court-circuit dans les transistors MOSFET et les IGBT, respectivement au niveau de leur source et de leur émetteur.

Les modes de fonctionnement de cette structure à l'état passant sont quasi identiques à ceux de la structure LBMIGT. La présence des caissons $P_{diverter}$ qui permettent d'améliorer la tenue en tension pénalise néanmoins la circulation des électrons majoritaires en régime de fonctionnement unipolaire, qui doivent les contourner pour atteindre le canal. En revanche, en mode IGBT ou thyristor, ces caissons peuvent participer à l'injection des trous et améliorer ainsi la densité de courant maximal. Le principal intérêt de cette structure reste toutefois une augmentation de la tension de claquage, avec une meilleure répartition du champ électrique comme le font les anneaux de garde à la périphérie de certains composants.

Les structures latérales sont fonctionnellement plus intéressantes que leurs homologues verticaux dans la mesure où il est relativement aisé d'obtenir des composants parfaitement symétriques avec des commandes situées en face avant. Elles restent néanmoins quantitativement moins performantes en raison d'une tenue en tension et d'une densité maximale de courant moins importantes par rapport aux structures verticales.

1.5 Limites de l'état de l'art actuel

Le TRIAC est l'interrupteur le plus intéressant quand il s'agit de commander des charges fonctionnant sur le réseau alternatif. Présentant un état passant caractérisé par une forte densité de courant mais aussi par une chute de tension toujours supérieure à la tension de déchet d'une diode bipolaire, il reste néanmoins le composant de plus faible coût par excellence. Sa commandabilité à l'ouverture, qui ne peut se faire qu'au prix d'un circuit auxiliaire, et l'absence d'aire de sécurité ont généré de nombreux travaux avec l'objectif de lui trouver un remplaçant capable de le substituer aux interrupteurs mécaniques.

Une contrainte essentielle concerne la mise en place d'une commande simple et peu énergivore. En effet, les microcontrôleurs standards, destinés à la commande d'interrupteurs, ne peuvent débiter que des courants limités, ce qui explique une certaine préférence pour la commande de structures en tension (MOS–TRIAC, IGBT double-face…).

D'autre part, l'interrupteur doit pouvoir être commandable à l'ouverture comme à la fermeture. Dans ce cas, la fonction thyristor doit être remplacée par une fonction transistor.

Des nombreuses structures fonctionnelles ont été proposées avec leurs avantages et leurs inconvénients. Le tableau 1-10 regroupe les principales caractéristiques des familles d'interrupteurs présentées dans ce chapitre. Nous voyons que les structures verticales double-face possèdent des grilles MOS en face avant et en face arrière conduisant, soit à l'élaboration de boîtiers spécifiques, soit à des développements technologiques supplémentaires, rendant leur mise en œuvre industrielle délicate. Les structures simple-face se distinguent sur plusieurs points. Les structures verticales telles que l'IGTR semblent séduisantes de prime abord, mais particulièrement complexes à dimensionner et à fabriquer. Les simplifier revient à leur ôter des fonctionnalités, à l'instar de la structure MOS-TRIAC, non commandable à l'ouverture. Les structures latérales existantes sont, quant à elles, intéressantes mais présentent encore des tenues en tension et des densités de courant trop faibles.

Tableau 1-10 : Comparaison des solutions bidirectionnelles en tension et en courant monolithiques destinées au secteur.

Structures Bidirectionnelles U - I	TRIAC	Structures verticales double-face	Structures verticales simple-face (sauf MOS-TRIAC)	MOS-TRIAC	Structures latérales
Tenue en tension	Elevée	Elevée	Elevée	Elevée	Faible
Densité de puissance dissipée	> 1 W/A	< 1 W/A en mode unipolaire > 1 W/A en mode bipolaire	< 1 W/A en mode unipolaire > 1 W/A en mode bipolaire	> 1 W/A	< 1 W/A en mode unipolaire > 1 W/A en mode bipolaire
Bidirectionnalité	Oui	Oui	Imparfaite	Oui	Oui
Maturité industrielle	Oui	Non	Non	Oui	Oui
Commandabilité à l'ouverture	Non	Oui	Oui	Non	Oui
Assemblage boîtier	Standard	Inexistant au niveau industriel	Spécifique si plus de 2 électrodes en face avant	Standard	Spécifique

Quelle que soit leur configuration, les composants bidirectionnels verticaux, hors mode unipolaire, souffrent de la présence d'une tension résiduelle à l'état passant qui les exclue d'emblée des applications en milieu confiné où la densité de puissance dissipée doit rester inférieure à 1 W/A. Enfin, l'intégration d'une interface de commande MOS fait croître le nombre de niveaux de masquage et donc le nombre d'étapes technologiques.

1.6 Conclusion sur l'état de l'art actuel

Dans ce chapitre, nous avons présenté le contexte de l'étude des interrupteurs bidirectionnels avec l'existant et ses limites.

Nous nous sommes tout d'abord intéressés aux solutions discrètes. Ces interrupteurs nécessitent l'emploi de composants qui, assemblés judicieusement, réalisent la fonction souhaitée. Particulièrement simples à mettre en œuvre, ces solutions présentent l'inconvénient des solutions hybrides avec l'assemblage de plusieurs puces dans un même boîtier.

Les solutions monolithiques existantes se présentent, quant à elles, sous la forme de structures dites double-face ou simple-face. Les structures double-face sont issues de l'intégration en anti-série ou en anti-parallèle de structures unidirectionnelles existantes. Elles parviennent à atteindre les performances des interrupteurs discrets mais nécessitent cependant le développement de boîtiers spécifiques ou le développement de nouvelles technologies de report des contacts de commande de la face arrière vers la face avant. Les structures simple-face évitent cette contrainte mais en introduisent d'autres, notamment en termes de conception plus complexe des géométries et des profils de dopage des couches semi-conductrices.

Les caractéristiques courant-tension de l'ensemble des structures étudiées dans ce chapitre se rangent dans l'une ou dans l'autre des trois familles de la figure 1-24, chacune d'entre elle étant finalement rattachée à un composant de référence : le transistor MOSFET, l'IGBT et le TRIAC.

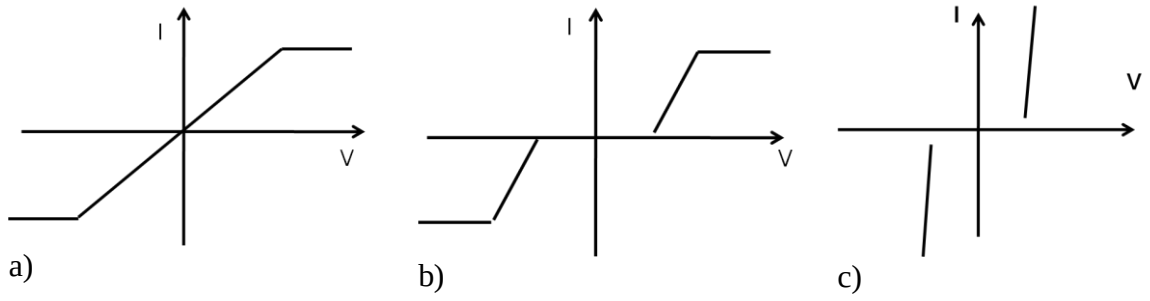


Figure 1-24 : Exemples de caractéristiques courant-tension de structures de type MOSFET a), IGBT b) et TRIAC c).

Les structures unipolaires conviennent théoriquement à notre objectif de développement d'un interrupteur bidirectionnel en courant et en tension, mais leur caractéristique linéaire dépend directement de la surface de puce utilisée, ce qui en fait des solutions encombrantes.

Les structures bipolaires, bien que véhiculant des densités de courant plus importantes, sont systématiquement pénalisées à l'état passant par l'apparition d'une tension résiduelle supérieure à 1V. Cette tension de déchet est malheureusement liée à la présence systématique d'une diode bipolaire polarisée en direct dans le schéma électrique de la structure à l'état passant. L'introduction d'une interface MOS simplifie la commande de ce type de structure au détriment du coût de fabrication du composant, avec une augmentation du nombre de niveaux de masquage d'un facteur 1 à 3 par rapport celui d'un TRIAC.

Une alternative permettant d'éviter la tension de déchet à l'état passant tout en conservant une électrode de commande simple, pourrait reposer sur l'intégration de transistors bipolaires. En effet, en rendant symétrique le fonctionnement de ce composant bipolaire, il pourra par exemple être tout à fait envisageable de le faire travailler sur un réseau électrique alternatif.

2 Un interrupteur bidirectionnel commandable monolithique à faible perte : le transistor bipolaire symétrique

2.1 Introduction

Les solutions étudiées précédemment étaient, soit des solutions non intégrées et non intégrables, soit des solutions monolithiques non commandables à la fermeture et non rigoureusement symétriques. Par ailleurs, les solutions susceptibles de convenir souffraient, soit de la présence d'une tension de seuil de diode bipolaire toujours présente dans les architectures proposées, soit de la nécessité de développer des boîtiers adéquats. L'objet de ce chapitre est d'étudier une structure pouvant répondre à nos attentes, à savoir une bidirectionnalité parfaite en tension et en courant, une commande à l'ouverture et à la fermeture, et enfin une structure faiblement dissipative.

Nous identifierons tout d'abord les structures susceptibles de convenir, avant de nous focaliser ensuite sur la structure la plus pertinente. Cette dernière devra être réalisable avec les technologies actuelles de fabrication des composants de puissance et devra être la plus performante possible.

Dans la deuxième partie de ce chapitre, nous nous intéresserons au Transistor à Jonction Bipolaire de puissance symétrique. Nous rappellerons le principe de fonctionnement de ce type d'interrupteur, que nous étayerons ensuite par des simulations quasi-statiques à l'aide des outils Synopsys Sentaurus. Les simulations à l'état bloqué direct et inverse permettront de valider la bidirectionnalité en tension. Nous ferons varier la topologie de la structure afin de déterminer ses paramètres critiques. Nous appliquerons également la même démarche pour le fonctionnement à l'état passant. Cela nous permettra non seulement de nous assurer de la bidirectionnalité en courant mais aussi des performances électriques en conduction.

Pour terminer, nous évaluerons l'intérêt de l'utilisation d'hétérojonctions et de caissons d'autoblindage sur les performances des transistors bipolaires. Des simulations quasi-statiques permettront de choisir la solution la plus appropriée, technologiquement et électriquement. Nous déterminerons ensuite les paramètres critiques et établirons les limites de la structure retenue.

2.2 Concept de la bidirectionnalité en tension et en courant

Un interrupteur bidirectionnel en tension doit être capable de bloquer une tension alternative. Structurellement parlant, une telle fonctionnalité est réalisable par la mise en série de deux jonctions PN, tête-bêche.

Un interrupteur bidirectionnel en courant doit être capable de conduire le courant dans les deux sens. Cela se traduit alors par l'apparition d'un chemin de conduction ohmique entre les deux électrodes de puissance du composant.

Deux types de transistors à jonctions peuvent satisfaire à l'élaboration de structures bidirectionnelles : le transistor à jonction à effet de champ (JFET pour Junction Field-Effect Transistor), normalement ouvert (normally-off), et le Transistor à Jonction Bipolaire (TJB ou BJT pour Bipolar Junction Transistor).

2.2.1 Structure bidirectionnelle à base de transistors JFET

Le schéma de la figure 2-1 représente une structure d'interrupteur intégrant deux jonctions PN^- tête-bêches pour la tenue en tension bidirectionnelle et un canal de conduction jouant le rôle chemin ohmique pour la traversée du courant. Les deux régions P sont connectées à l'électrode de grille de la structure. L'espacement entre la grille et la source (respectivement le drain) doit être suffisant pour assurer la tenue en tension latérale de la structure.

Sa tenue en tension repose également sur la valeur de l'espacement W_{FET} séparant les deux couches P enterrées. En l'absence de potentiel appliqué sur la grille, chaque jonction PN^- développe chacune une Zone de Charge d'Espace (ZCE). Ces deux ZCE se rejoignent pour fermer le canal de conduction du courant : le transistor est dit « normally-off » ou « normalement ouvert ».

La mise en conduction du JFET intervient en polarisant positivement la grille par rapport à la source ou le drain, selon le signe de la polarisation drain-source pendant la fermeture. Les

deux ZCE se rétractent, ouvrant ainsi le canal de conduction du courant du drain vers la source ou de la source vers le drain.

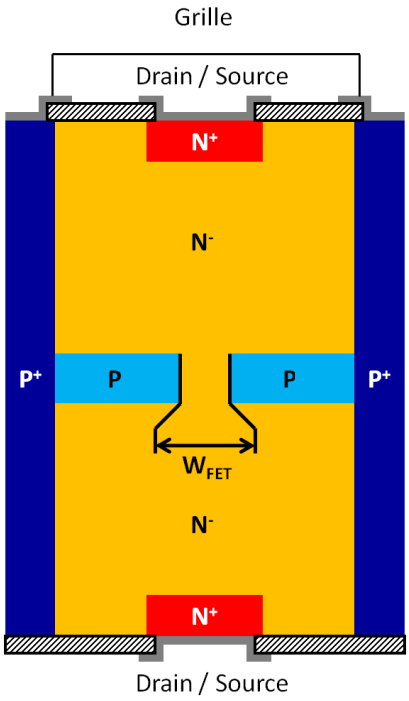


Figure 2-1 : Structure d'un transistor JFET « normally-off » bidirectionnel en tension et en courant

Bien que cette structure bidirectionnelle en tension et en courant ne possède pas de tension de seuil sur sa caractéristique électrique à l'état passant, elle présente également certains inconvénients majeurs. En effet, les performances de cette structure dépendent de la largeur du canal JFET W_{FET}, critique. Une faible largeur permet de limiter le courant de fuite et d'assurer une meilleure tenue en tension, au détriment de la densité de courant à l'état passant. A l'inverse, une largeur W_{FET} importante va favoriser la conduction mais dégradera la tenue en tension. Le contrôle rigoureux de cette largeur pendant la réalisation de cette structure constitue un premier obstacle.

Enfin, le fait de polariser la grille positivement par rapport aux autres électrodes favorise l'injection de trous des zones P vers les zones N^- avec le risque de mise en conduction des transistors parasites constitués par les couches semiconductrices N^-PN^-. Malgré ces différents inconvénients, il nous a semblé intéressant d'approfondir l'étude de cette structure parfaitement symétrique non pas en tant que JFET mais en tant que transistor bipolaire de puissance symétrique. Cette étude fera l'objet du paragraphe 2.2.2 de ce chapitre.

2.2.2 Structure de Transistor Bipolaire et modes de fonctionnement

Découvert par W. Bratain, J. Bardeen et W. Schockley en 1957 [32], le Transistor à Jonction Bipolaire (TJB) conduit des courants d'électrons et de trous, à l'inverse des composants unipolaires qui ne conduisent qu'un seul type de porteurs selon le type de canal utilisé. Le TJB s'inscrit dans la catégorie des interrupteurs commandables à la fermeture et à l'ouverture par l'application ou non d'un faible courant.

Le TJB est, par nature, bidirectionnel en tension et en courant mais non symétrique (figure 2-2.a). Pour l'utiliser comme un véritable interrupteur sur le réseau alternatif, il faut le rendre symétrique (figure 2-2.b).

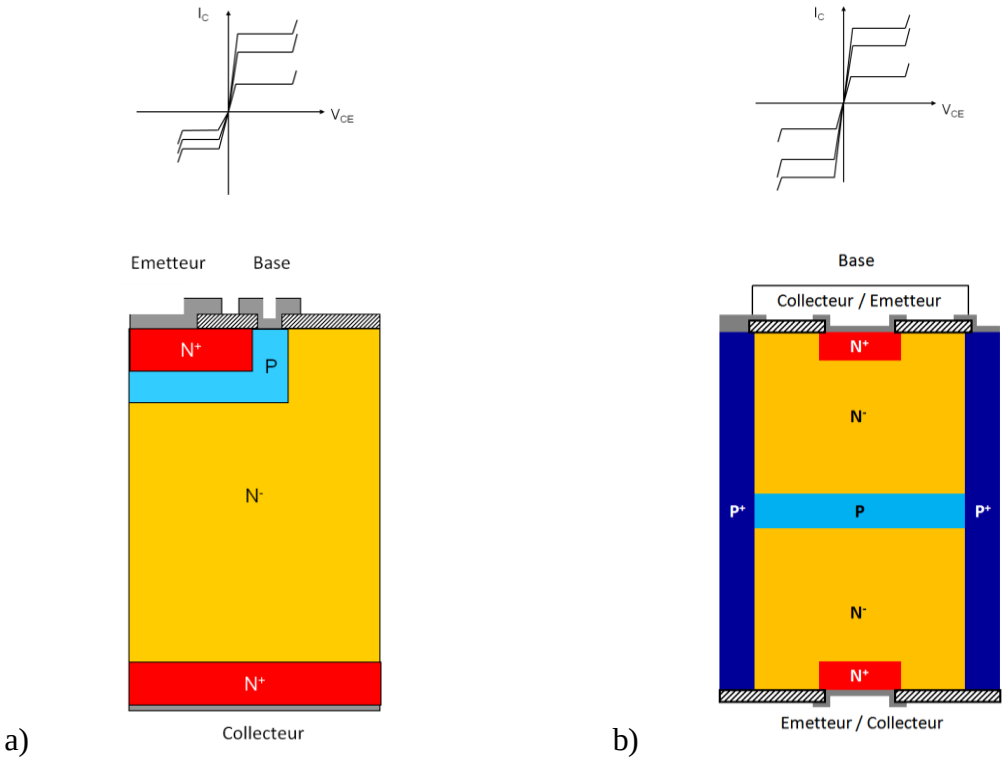


Figure 2-2 : a) structure d'un TJB « classique » NPN. b) structure d'un TJB symétrique bidirectionnel en tension et en courant.

La figure 2-2.a montre la structure d'un transistor TJB classique dissymétrique de type NPN. Cette structure est composée d'un émetteur N^+ en surface fortement dopé, d'une région de type P formant la base du transistor, et d'un collecteur N suffisamment épais, de l'ordre d'une soixantaine de micromètres, pour loger la tension inverse. La base assurant à la fois la tenue en tension et la conduction du courant, son dimensionnement est critique.

La structure symétrique de la figure 2-2.b se caractérise par une couche N^- supplémentaire insérée entre l'émetteur et la base. L'insertion de cette couche supplémentaire permet à la structure de supporter des tensions émetteur – collecteur plus importantes. En effet, dans la structure « classique » de TJB (figure 2-2.a), la jonction formée par l'émetteur N^+ et la base P part en avalanche pour une faible tension inverse (de l'ordre de 15 à 20 V).

La base P doit être suffisamment épaisse et/ou suffisamment dopée pour ne pas subir de phénomène de perçage (punch-through) pendant le blocage du transistor. Le perçage se traduit par la conduction inopportune du transistor en régime d'avalanche du fait de l'accélération des porteurs libres par le champ électrique dans la base.

Comme dans tout transistor, il sera intéressant de disposer d'un gain élevé afin de pouvoir commander la structure avec un courant de commande de faible intensité. D'un point de vue structurel, cela implique une base suffisamment fine et peu dopée (2 µm d'épaisseur pour un pic de dopage de 10^{16} cm^{-3}).

Pour comprendre les mécanismes de fonctionnement du TJB, nous allons nous intéresser à ses propriétés électroniques [33].

2.2.2.1 Etat « passant » ou « fermé »

Pour bien comprendre le fonctionnement d'un TJB en conduction, il est nécessaire d'étudier les différents courants qui circulent dans chacune des régions semi-conductrices du composant.

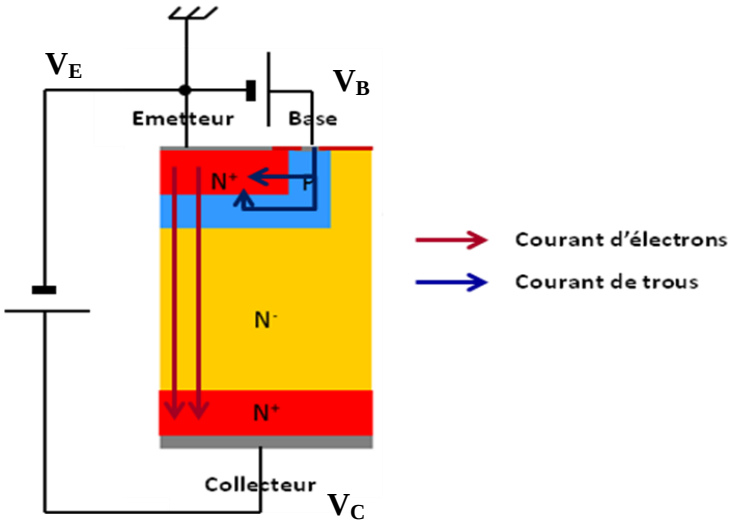


Figure 2-3 : Courants de trous et d'électrons à travers un TJB classique dissymétrique pour $V_C > V_B > V_E$.

Soient C, E, et B les électrodes de collecteur, d'émetteur et de base tels que :

- $V_B - V_E \approx 0{,}7$ V ;
- $V_C > V_B > V_E$.

Dans ces conditions, la jonction émetteur-base est polarisée dans le sens direct. L'émetteur injecte des électrons dans la base suffisamment fine et/ou peu dopée, permettant ainsi à la quasi totalité des électrons injectés de traverser la base sans se recombiner et d'atteindre ainsi le collecteur.

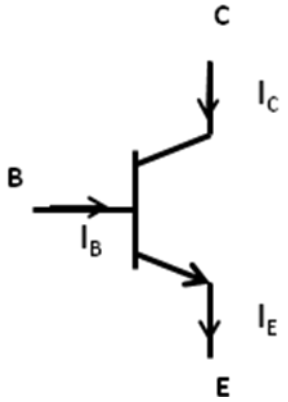


Figure 2-4 : Symbole électrique d'un TJB classiques NPN.

En conduction, la répartition des courants est telle que :

$$I_E = I_C + I_B \qquad \textbf{Équation 2-1}$$

Le rapport I_C/I_B définit le gain en émetteur commun du transistor, noté β_F ou h_{FE}. C'est ce gain qu'il sera souhaitable de maximiser afin de minimiser l'énergie de commande. Le rapport I_E/I_C correspond au gain en base commune. Il est noté α_F et peut être décomposé en produit de trois termes de la manière suivante :

$$\alpha_F = \frac{I_C}{I_E} = \frac{I_{nE}}{I_E}.\frac{I_{nC}}{I_{nE}}.\frac{I_C}{I_{nC}} \qquad \textbf{Équation 2-2}$$

où I_{nE} et I_{nC} sont respectivement les courants d'électrons dans l'émetteur et le collecteur.

En supposant que la longueur de diffusion des trous dans l'émetteur soit faible et que celle des électrons soit bien supérieure à l'épaisseur de la base notée W_B, on peut définir l'efficacité d'injection de l'émetteur (ou rendement d'émetteur) par l'expression :

$$\gamma_E = \frac{I_{nE}}{I_E} = \left|\frac{J_n(0)}{J_p(0)}\right| = \frac{D_{nB}.n_{0B}.L_{pE}}{D_{pE}.p_{0E}.W_B} \qquad \textbf{Équation 2-3}$$

avec $J_n(0)$ et $J_p(0)$ respectivement les densités de courant d'électrons et de trous à la jonction base – émetteur (B-E). Les paramètres D_{nB}, n_{oB} (D_{pE} , p_{oE}) sont respectivement le coefficient de diffusion et la concentration des électrons (des trous) dans la base (émetteur), au voisinage de la jonction B-E. Enfin, L_{pE} correspond à la longueur de diffusion des trous dans l'émetteur.

Comme son nom l'indique, l'efficacité d'injection de l'émetteur γ_E mesure l'aptitude de l'émetteur à injecter des électrons dans la base. Cette caractéristique est toujours inférieure à l'unité à cause de la recombinaison du courant de trous dans l'émetteur.

Le gain en mode commun sera d'autant plus élevé que le ratio entre la concentration d'électrons et la concentration de trous dans la base sera grand. Par conséquent, nous avons intérêt à avoir un dopage d'émetteur bien supérieur au dopage de base.

Le second terme, connu sous le nom de facteur de transport de la base, est donné par :

$$\alpha_T = \frac{I_{nC}}{I_{nE}} \approx 1 - \frac{W_B{}^2}{2.L_{nB}{}^2} \qquad \textbf{Équation 2-4}$$

avec L_{nB} la longueur de diffusion des électrons dans la base. Le facteur de transport mesure la proportion d'électrons injectés par l'émetteur capables de traverser la base et d'atteindre la jonction base – collecteur (B-C). Compte tenu de la recombinaison des porteurs, tous les électrons ne pourront pas traverser la base, de sorte que α_T sera donc toujours inférieur à 1.

L'examen de ces deux termes met en évidence un compromis à réaliser entre un faible courant de commande à l'état passant (qui nécessite un gain élevé et donc une base fine faiblement dopée) et une tenue en tension élevée à l'état bloqué (qui nécessite une base épaisse ou très dopée).

Le dernier terme, appelé efficacité du collecteur, est défini par :

$$\gamma_C = \frac{I_C}{I_{nC}} \qquad \textbf{Équation 2-5}$$

Ce terme exprime l'aptitude des électrons à être transportés de la base vers le collecteur. A l'état passant, la jonction B-C est polarisée en inverse de sorte qu'un champ électrique se développe dans la zone N^-, entraînant ainsi les électrons vers l'électrode de collecteur. Tant que la condition de conduction en régime d'avalanche n'est pas atteinte, nous pouvons

considérer que γ_C est égal à l'unité. Le transistor fonctionne en régime linéaire (figure 2-5). A l'inverse, ce terme devient plus grand lorsque le transistor se met à conduire en avalanche. Il équivaut alors au facteur de multiplication M qui traduit la génération de paires électron-trou supplémentaires par ionisation par impact.

Il est important de noter que ces considérations correspondent au fonctionnement du TJB en régime normal direct. Ceci suppose que la tension du collecteur soit suffisamment élevée pour maintenir la jonction B-C bloquée, ce qui ne sera pas toujours vrai dans la mesure où nous recherchons la plus faible chute de tension V_{CE} possible. De ce fait, la tension V_{BC} pourra devenir positive ce qui implique une jonction B-C polarisée en direct.

- Fonctionnement à faible chute de tension à l'état passant : le transistor à l'état saturé ou quasi-saturé

La résistance du collecteur étant directement liée à son niveau de dopage, la chute de tension à l'état passant sera d'autant plus grande que le dopage N^- sera faible. A faible niveau de tension V_{CE}, la jonction B-C se retrouve polarisée dans le sens direct induisant ainsi une forte injection de trous de la base dans la zone N^- du collecteur. La résistance du collecteur est alors modulée par l'injection des trous et l'on rentre dans le régime de saturation (figure 2-5). L'augmentation de la tension V_{CE} bloquera progressivement la jonction B-C qui deviendra alors de moins en moins passante. L'injection de porteurs dans la zone N^- diminue et la modulation de la résistivité se retrouve alors limitée près de la base. On parle alors de régime de quasi-saturation (figure 2-5). Il est à noter que ce régime est peu présent chez les TJB fort gain (faible tension).

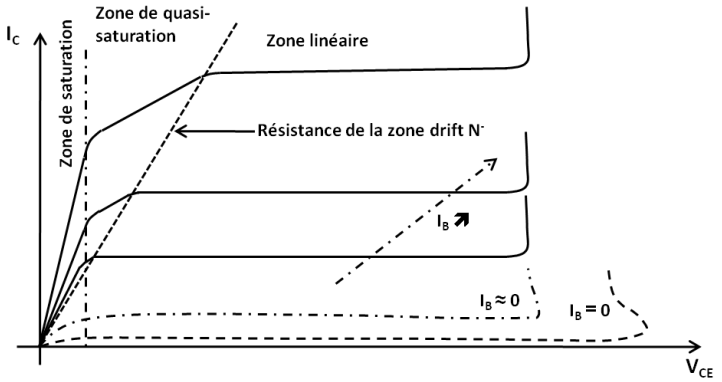


Figure 2-5 : Réseau de courbes de Kellog pour un TJB classique $I_C=f(V_{CE})$ à courant I_B constant.

Le réseau de Kellog, de la figure 2-5, présente l'évolution du courant de collecteur en fonction de la tension V_{CE}, pour différents courants de base. On constate que le gain I_C/I_B des zones saturées et quasi-saturées est inférieur à celui de la zone linéaire. La diminution du courant I_C est due à la recombinaison des trous et des électrons injectés par la base et l'émetteur dans le collecteur N^-. En termes d'application « interrupteur », il sera préférable de travailler avec un point de fonctionnement au milieu de la zone quasi-saturée où se trouve le meilleur compromis gain – chute de tension à l'état passant.

2.2.2.2 Etat « bloqué » ou « ouvert »

L'aptitude d'un TJB à tenir la tension dépend à la fois des caractéristiques de la base et de la zone faiblement dopée N^- du collecteur.

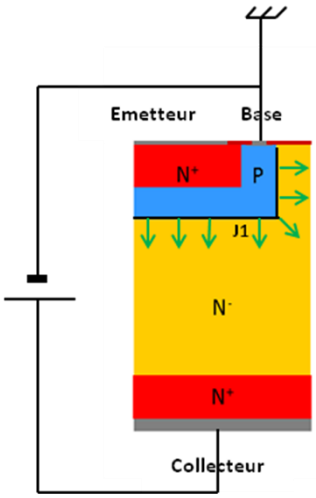


Figure 2-6 : Extension de la ZCE à l'état bloqué d'un TJB.

La figure 2-6 représente un TJB polarisé à l'état bloqué tel que :

- V_E est flottant (son potentiel n'influe pas sur le comportement de la jonction B - C) ;
- $V_C > V_B$.

Sa tension de claquage est notée V_{CBO}. Dans cet état, le composant se comporte comme une diode PiN en inverse. W_N et N_D, respectivement l'épaisseur de la couche N^- et son dopage, s'expriment en fonction de V_{CBO} par les relations empiriques suivantes [34] :

$$W_N(cm) = 1{,}87.10^{-6}.V_{CBO}^{\frac{7}{6}} \qquad \textbf{Équation 2-6}$$

$$N_D(cm^{-3}) = 1{,}85.10^{18}.V_{CBO}^{-\frac{4}{3}} \qquad \textbf{Équation 2-7}$$

pour une jonction B-C en limitation de charge.

Néanmoins, la situation présentée figure 2-6 n'est pas réaliste puisque la base peut se retrouver à un potentiel flottant lorsque le circuit de commande est ouvert. Dans ce cas, la tension de claquage du transistor peut être fortement réduite. On nomme cette tension de claquage V_{CEO} lorsque la base se retrouve à un potentiel flottant (on parle aussi de « base en l'air »). Cette tension sera toujours inférieure à V_{CBO}.

Lorsque la base est en l'air, le courant de fuite traversant la jonction B-C doit également traverser la jonction B-E et se retrouve amplifié par le gain du TJB. Les niveaux de courant étant faibles à l'état bloqué, le gain du transistor est élevé, donnant ainsi lieu à une augmentation significative du courant de fuite. V_{CEO} dépend approximativement de V_{CBO} par la relation suivante [35] :

$$V_{CEO} \cong \frac{V_{CBO}}{h_{FE0}^{\frac{1}{n}}} \qquad \textbf{Équation 2-8}$$

où h_{FE0} est le gain en émetteur commun en dehors de l'avalanche et n est le coefficient de Miller, tel que n = 4 pour une zone de désertion s'étendant dans une zone N^- et n = 2 dans une zone P^-. Cette dernière expression souligne le compromis gain – tension de claquage avec une tension qui sera d'autant plus faible que le gain sera grand.

Le compromis entre un état passant faiblement résistif et une tension à l'état bloqué la plus élevée possible dépend, outre les caractéristiques technologiques de la couche de tenue en tension, des niveaux de dopages de l'émetteur, de la base, ainsi que de l'épaisseur de cette dernière. Une mauvaise conception peut entraîner les effets secondaires néfastes suivants :

- Un dopage d'émetteur trop important peut conduire au phénomène de « bandgap narrowing » [33] qui traduit une réduction de la largeur de la bande interdite. Au lieu d'améliorer l'efficacité d'injection γ_E, ceci aura pour effet de la réduire.
- Une base faiblement dopée ou trop mince favorisera son perçage sous champ électrique. De plus, ces caractéristiques entraînent une forte résistance interne qui peut provoquer une dépolarisation latérale de la base empêchant cette dernière d'injecter uniformément. Cela engendre des temps de commutation plus importants puisque l'évacuation des porteurs se fait plus lentement, du fait la faible vitesse recombinaison des paires électron-trou dans cette zone.
- Un faible dopage de base réduit γ_E en cas de fortes densités de courant, ce qui n'est pas souhaitable pour un transistor de puissance. En effet, une base saturée de

porteurs minoritaires doit compenser cet excédent en augmentant son courant ce qui entraîne la chute de γ_E. On parle d'effet Rittner [33].

2.3 Transistor Bipolaire Symétrique vertical

Il existe deux manières de réaliser un transistor bidirectionnel : soit en logeant la tension dans le collecteur ou l'émetteur, soit en la logeant dans la base.

La première solution consiste à intégrer une base P qui serait prise symétriquement en sandwich entre deux zones de N^-. Une telle structure pourrait par exemple être réalisée en s'appuyant sur la technique de soudure directe hydrophobe silicium sur silicium [36] (figure 2-7.a). Les parties supérieures et inférieures du composant sont réalisées sur leur plaquette respective. Ces plaquettes sont ensuite polies, nettoyées puis assemblées et recuites soit à haute température [37] – [38] soit à basse température [36] pour préserver les contacts métalliques.

La seconde solution, bien plus simple, consiste à implanter et diffuser deux caissons N^+ sur chaque face d'un substrat P formant une base « large » (figure 2-7.b). Quelle que soit la solution retenue, des chemins conducteurs isolés seront nécessaires pour la polarisation de la base large, en l'occurrence ici des murs P^+.

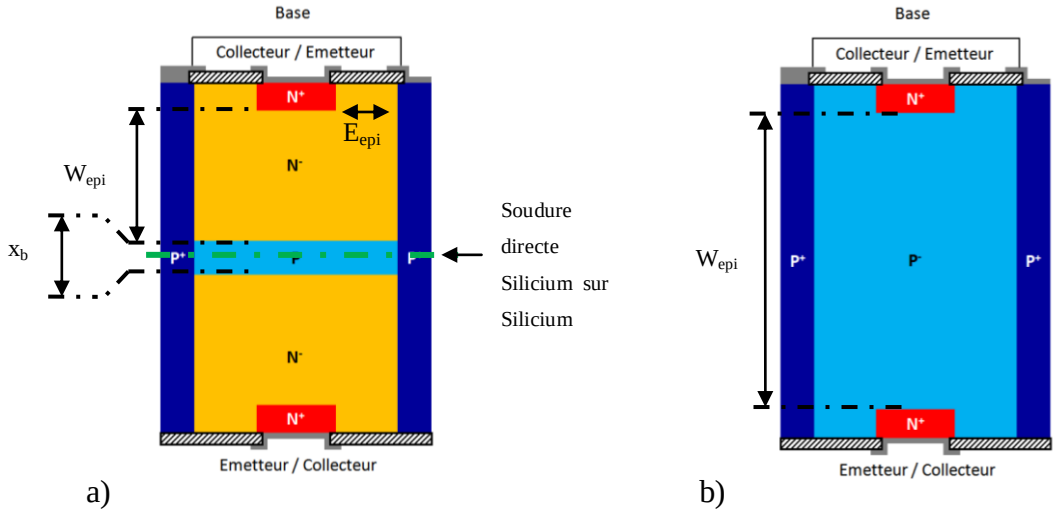


Figure 2-7 : Possibles structures de TJB symétrique (TJBS).

Les structures présentées figure 2-7 sont symétriques et supportent la tension à l'état bloqué quel que soit le sens de polarisation collecteur – émetteur. A l'aide des outils de simulation Synopsys Sentaurus, nous allons dans la suite de ce chapitre vérifier leur

bidirectionnalité en tension et en courant et regarder les conditions qui minimisent les pertes en conduction.

Parmi ces approches, la structure à base épaisse semble la plus abordable puisque la réalisation de la base est nettement moins contraignante. L'étude se portera donc, dans un premier temps, sur cette structure.

2.3.1 Etude quasi-statique d'une structure à base large

Les propriétés du silicium permettent de loger en moyenne 10 V/µm à l'état bloqué. On peut donc estimer qu'une base de 50 µm avec un dopage adéquat pourra soutenir une tension de 500 V. Le comportement statique de cet interrupteur, dont la structure est présentée figure 2-7.b, pourra être évalué à l'aide de simulations à éléments finis. Grâce aux outils Synopsys Sentaurus, il est possible d'éditer le maillage de structures à base de matériaux semi-conducteurs puis de tester leur comportement électrique. Les résultats obtenus nous permettront de valider le fonctionnement des composants et d'estimer ainsi leur viabilité en termes de performances électriques.

- Etat bloqué

L'objectif de cette première étude est d'évaluer le comportement de la structure à l'état bloqué. Les simulations de tenue en tension se réalisent en faisant varier le dopage N_A et l'épaisseur W_{epi} de la couche P^- sous de fortes tensions collecteur – émetteur. Nous sommes alors en mesure d'estimer les tensions de claquage V_{CBO} et V_{CEO} en polarisant respectivement le collecteur par rapport à la base en maintenant l'émetteur ouvert et le collecteur par rapport à l'émetteur en maintenant la base ouverte. Les simulations suivantes doivent nous permettre de valider la bidirectionnalité en tension du TJB Symétrique (TJBS).

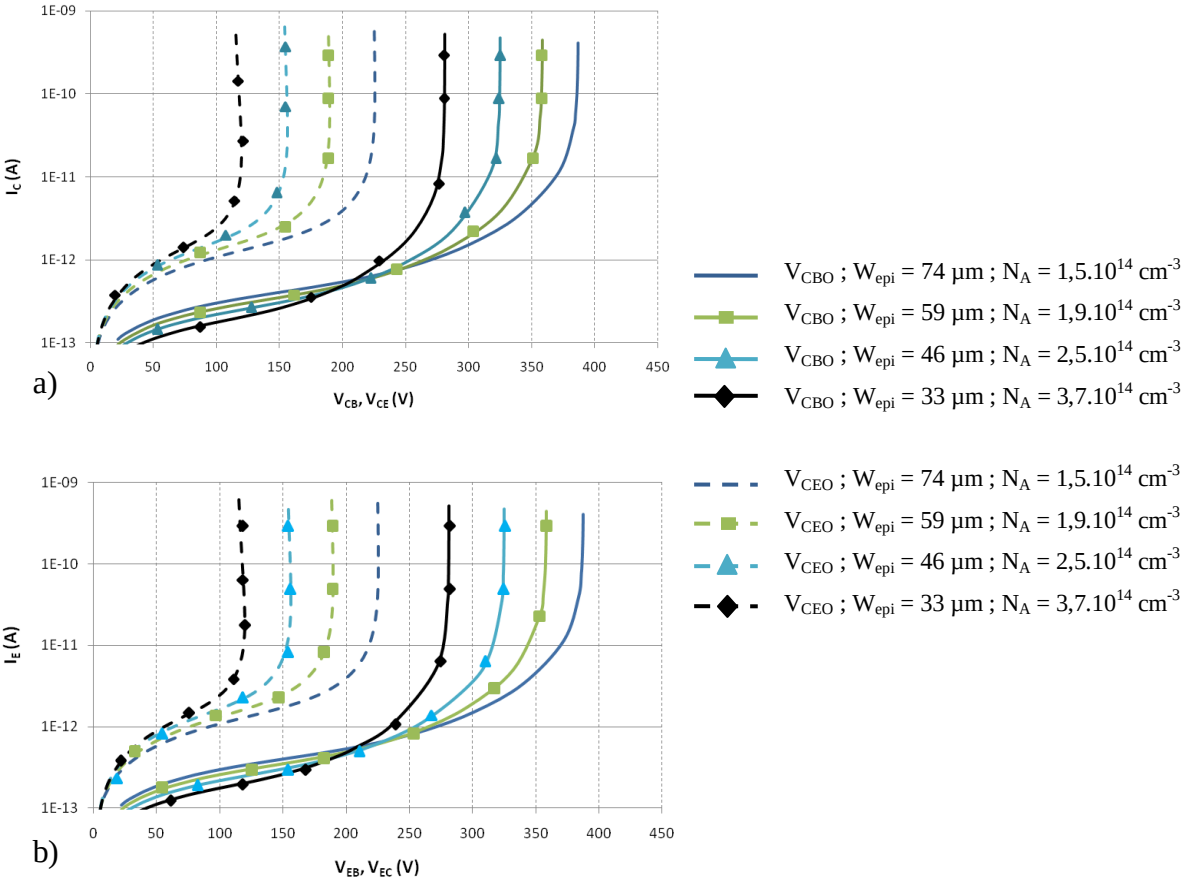


Figure 2-8 : Tenue en tension en direct a) et en inverse b) d'un TJB symétrique à base large pour différents couples W_{epi} – N_A.

Les caractéristiques de la figure 2-8 présentent des tensions de claquage bien inférieures aux valeurs attendues (500 V), avec au mieux une tension V_{CEO} de 220 V pour une concentration de dopage réaliste N_A=1,5.10^{14} cm^{-3}. Ces faibles valeurs sont imputées aux jonctions sphériques - lorsqu'elles sont représentées en 3D - qui doivent soutenir la tension (figure 2-9). Par ailleurs, nous confirmons l'écart d'un facteur 2 entre V_{CEO} et V_{CBO} qui nous oblige à surdimensionner la structure par rapport à d'autres (les structures de diodes bipolaires ou de transistors MOS).

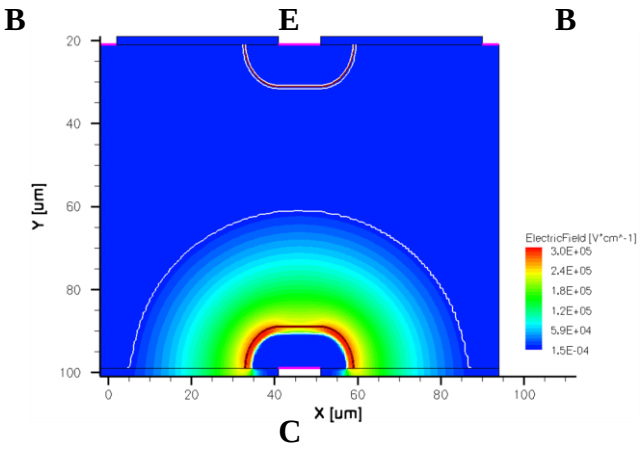


Figure 2-9 : Répartition du champ électrique au claquage à $V_C > V_E$ d'un transistor à base large.

- Etat passant

Etudier l'état passant d'un TJBS revient à tracer ses courbes de Gummel, de gain et son réseau de courbes de Kellog. Les courbes de Gummel permettent, à V_{CE} constant, de mesurer le gain h_{FE} en fonction de V_{BE} et de polariser ainsi le transistor au meilleur de ses performances. A partir de ces courbes, il est possible de tracer l'évolution du gain en fonction de la densité de courant du collecteur. Ceci nous permet de situer les domaines de validité du transistor en fonction de l'application souhaitée. Le réseau de Kellog, quant à lui, trace l'évolution du courant de collecteur en fonction de la chute de tension V_{CE} pour différents V_{BE} (donc différents I_B). Il permet également de distinguer les différents modes de fonctionnement du transistor.

Dans le meilleur des cas étudiés, la tension de claquage V_{CEO} n'atteint que 220 V. Cette valeur insuffisante est liée à l'absence d'anneaux de garde. L'étude du comportement à l'état passant, présentée par les réseaux de courbes de Gummel (figure 2-10), montre une structure dont le gain maximal ne dépasse pas 15. Une augmentation de la densité de courant du collecteur fait davantage chuter le gain. A titre d'exemple, un transistor occupant une surface de 10 mm² et possédant un courant nominal de 4,5 A ne présentera qu'un gain de 3. Ceci est dû à la base beaucoup trop épaisse et donc beaucoup trop recombinante.

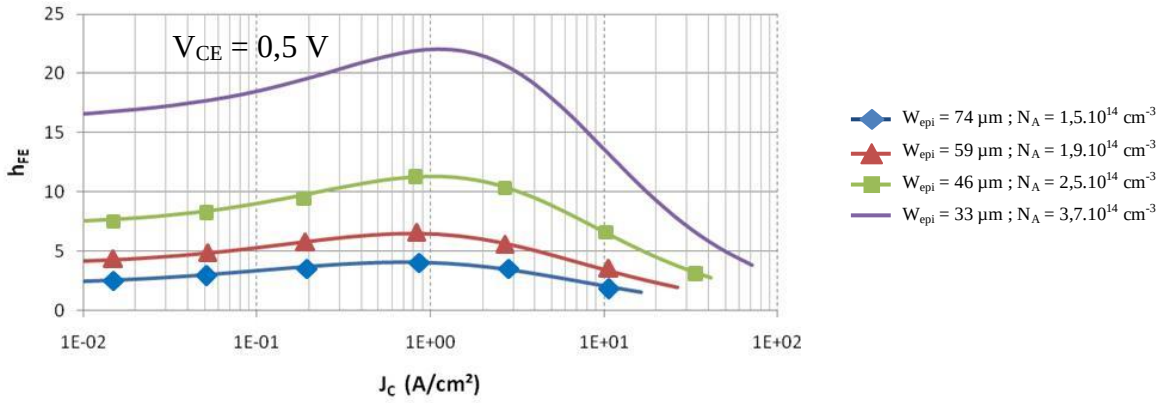


Figure 2-10 : Evolution du gain h_{FE} en fonction de la densité de courant collecteur J_C, pour différents couples W_{epi} / N_D.

La structure à base épaisse s'appuie sur un procédé technologique simple à mettre en œuvre. Elle présente cependant des performances électriques réduites. La forte recombinaison au sein de la base associée à une tenue en tension faible en fait une structure peu adaptée : un amincissement de la base au profit d'une tenue en tension au sein du collecteur ou de l'émetteur serait donc plus judicieux.

2.3.2 Etude quasi-statique d'une structure à base fine

La structure à base fine d'épaisseur x_b égale à 3 µm (figure 2-7.a) est munie d'une jonction PN concave dont la courbure est inversée par rapport à celle de la structure à base large. La structure devrait pouvoir supporter des tensions plus importantes comparativement à la structure précédente [39], et diminuer également le taux de recombinaison des électrons injectés par l'émetteur. L'espacement E_{epi} (figure 2-7.a) doit être identique à W_{epi}, distance séparant la base P enterrée des couches N^+ du collecteur et de l'émetteur, afin d'assurer la tenue en tension latérale.

2.3.2.1 Etat bloqué

A l'instar de la structure à base épaisse, l'étude se concentrera dans un premier temps sur le comportement électrique à l'état bloqué et devra permettre d'apprécier les améliorations apportées par une jonction concave en termes de tenue en tension.

La figure 2-11 trace l'évolution du courant de fuite en fonction de la tension V_{CB} et V_{CE} jusqu'au claquage pour différents couples N_D / W_{epi}. Nous remarquons toujours l'écart entre V_{CEO} et V_{CBO} qui met bien en évidence la nécessité de surdimensionner le transistor.

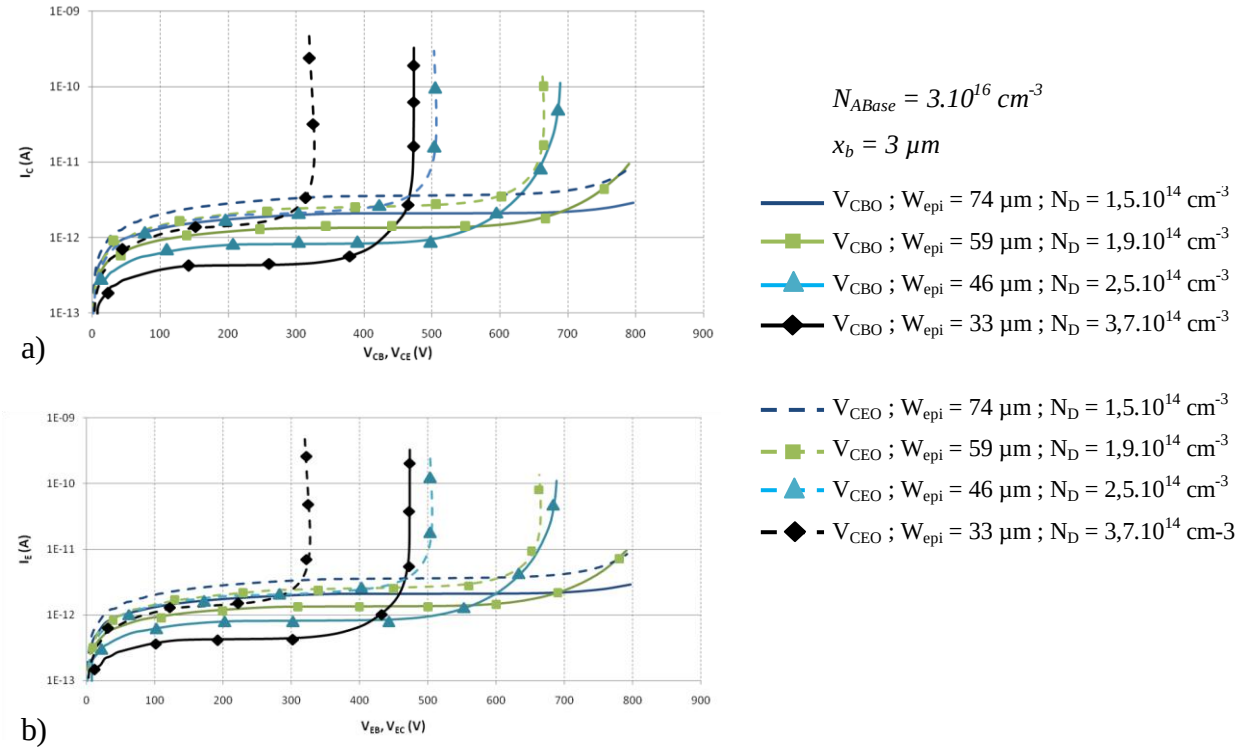


Figure 2-11 : Tenue en tension en direct a) et en inverse b) d'un TJB symétrique.

Ces courbes présentées en figure 2-11 confirment également l'aptitude de la structure à atteindre de plus fortes tensions de claquage (V_{CEO} > 500 V, pour W_{epi} > 46 µm et N_D < 2,5.10^{14} cm^{-3}) grâce à une meilleure répartition du champ électrique comme l'illustre la figure 2-12.

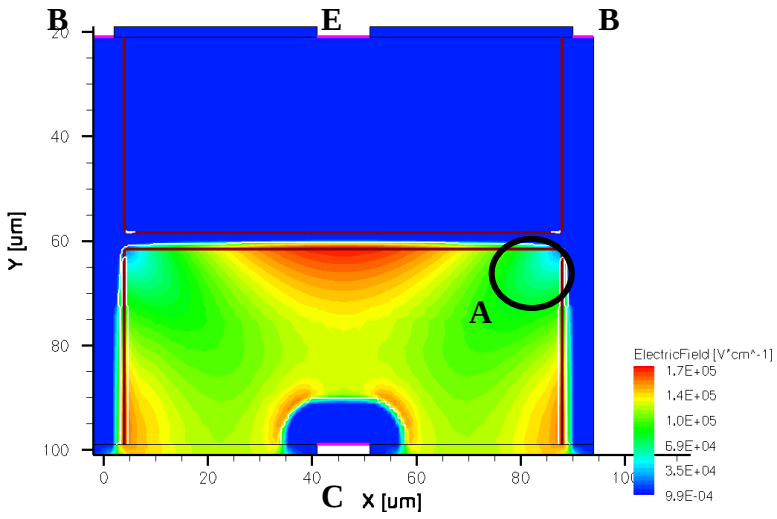


Figure 2-12 : Exemple de répartition du champ électrique au claquage à $V_C > V_E$.

Au claquage, le champ électrique se retrouve confiné dans une seule zone N^- signifiant l'absence du phénomène de perçage de la base. Comme les jonctions B – C et B – E sont

concaves, la répartition du champ électrique n'est pas aussi homogène que dans le cas de jonctions planes [39] dans la mesure où il existe des zones où l'intensité du champ électrique reste faible (à la jointure entre les murs P^+ et la base enterrée au point A sur la figure 2-12). En resserrant les murs P^+ autour des électrodes du collecteur et de l'émetteur, il est possible d'optimiser la répartition du champ électrique et d'obtenir ainsi des tensions de claquage plus élevées et des surfaces de puce réduites par rapport à la solution à base épaisse.

2.3.2.2 Etat passant

A l'instar de la structure précédente, le gain de la structure du TJBS à base fine est évalué en fonction de la densité de courant du collecteur.

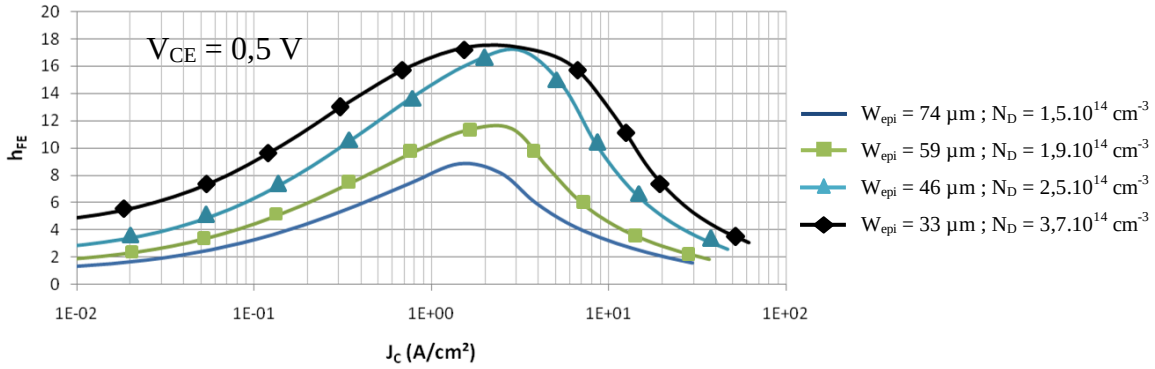


Figure 2-13 : Evolution du gain h_{FE} en fonction de la densité de courant collecteur J_C, pour différents couples W_{epi} – N_D optimaux.

L'évolution du gain en fonction de la densité de courant du collecteur J_C, figure 2-13, montre un gain h_{FE} maximal de 18 pour une densité de courant J_C égale à 2 A/cm². Ce gain décroit ensuite rapidement avec l'augmentation de la densité de courant. Ce phénomène est accentué par l'effet Rittner lié à la forte injection des électrons de l'émetteur dans la base. Les faibles gains observés sur les valeurs de J_C inférieures à 100 mA/cm² sont dus à une tension V_{BE} insuffisante (< 0,6 V). Ils ne sont pas significatifs puisque le courant B – E est essentiellement un courant de recombinaison.

Le réseau de courbes de Kellog, exprimant le courant de collecteur en fonction de la tension collecteur-émetteur pour différents courants de base, permet de situer le régime de fonctionnement du transistor. Pour tracer un tel réseau, nous avons choisi le couple N_D / W_{epi} égale à {2,5.10^{14} cm^{-3} / 46 µm} pour lequel la tension de claquage V_{CEO} est égale à 500 V.

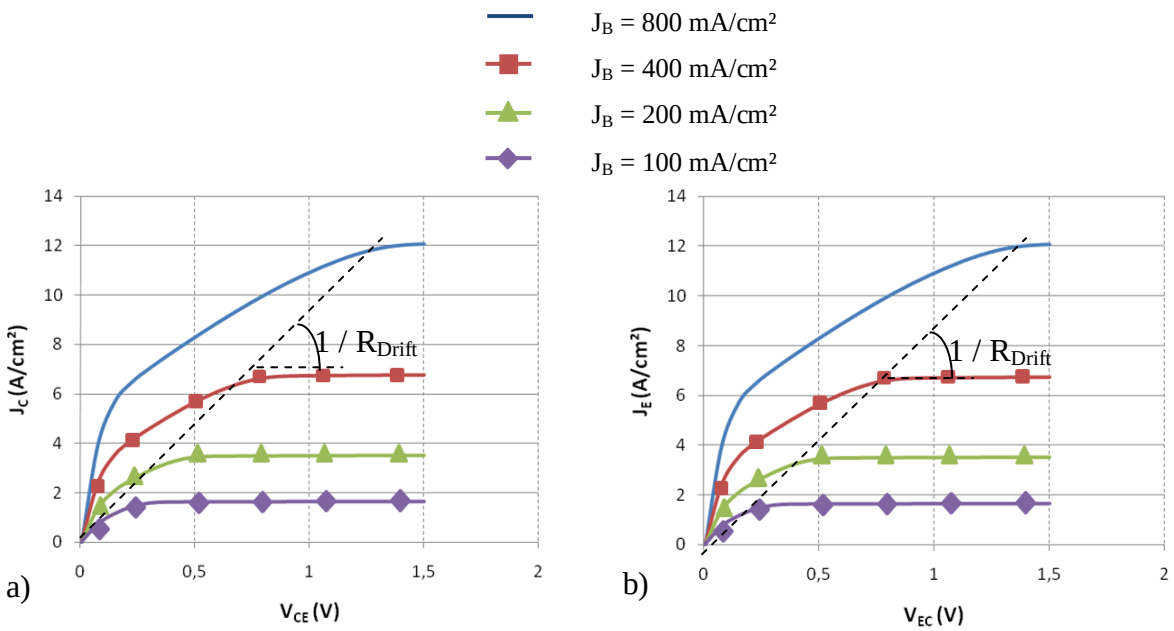


Figure 2-14 : Réseau de courbes de Kellog pour $N_D = 2{,}5.10^{14}$ cm^{-3} et W_{epi} = 46 µm pour V_{CE} positive a) et inversement b).

En traçant, sur la figure 2-14, J_C en fonction de V_{CE} pour différentes densités de courant J_B telles que les gains obtenus se situent autour du maximum ($h_{FE} \approx 17$), nous distinguons clairement les trois régimes de fonctionnement possibles, avec par exemple pour J_B égale à 400 mA/cm², le régime de saturation pour $0\ V < V_{CE} < 0{,}2\ V$, de quasi-saturation pour $0{,}2\ V < V_{CE} < 0{,}6\ V$, et le régime linéaire pour $V_{CE} > 0{,}6\ V$. La même observation peut être faite en polarisation inverse. Ces réseaux nous permettent de valider la fonction « transistor » de notre interrupteur et la bidirectionnalité en courant puisque les caractéristiques directes et inverses sont strictement identiques.

2.3.3 Limites de la structure

Grâce aux simulations quasi-statiques précédentes, le concept de la bidirectionnalité en tension et en courant du Transistor à Jonction Bipolaire Symétrique a été validé. En revanche, la présence d'une zone de tenue en tension située de part et d'autre de la base entraîne un gain médiocre dont la cause peut être imputée à l'efficacité d'injection inexistante des zones N^- du fait de leur faible niveau dopage imposé par la tenue en tension de 500 V. Ce niveau de dopage devant rester faible, il est donc nécessaire d'étudier des techniques pouvant améliorer le transport des porteurs minoritaires à travers la base.

2.4 Possibles améliorations de l'état passant du TJB symétrique vertical

Le gain h_{FE} d'un TJB est fonction de deux paramètres : l'efficacité d'injection de l'émetteur, notée γ_E, et le facteur de transport de la base, noté α_T. Ils interviennent parallèlement via l'expression :

$$\frac{1}{h_{FE}} \cong \frac{1}{\alpha_T} + \frac{1}{\gamma_E} \qquad \textbf{Équation 2-9}$$

Cette équation est une réécriture de l'équation 2-2, en supposant que γ_C est égale à 1 et en posant $h_{FE} = \alpha_F/(1-\alpha_F)$. Ces deux paramètres dépendent des caractéristiques géométriques et technologiques des différentes couches semi-conductrices. Dans les paragraphes suivants, nous allons passer en revue les différentes technologies disponibles nous permettant d'améliorer le gain.

2.4.1 Hétérojonctions

Une hétérojonction est une jonction entre un métal et un semi-conducteur ou encore entre deux semi-conducteurs de bandes interdites différentes. Proposée en 1951 par W. Schokley, les hétérojonctions ont permis d'améliorer les TJB existants. Grâce à H. Kroemer [40], un Transistor Bipolaire à Hétérojonctions (TBH ou HBT pour Heterojunction Bipolar Transistor) a été réalisé. Il est classiquement composé d'un empilement de couches de différents matériaux semi-conducteurs comme, par exemple, du silicium et du silicium-germanium.

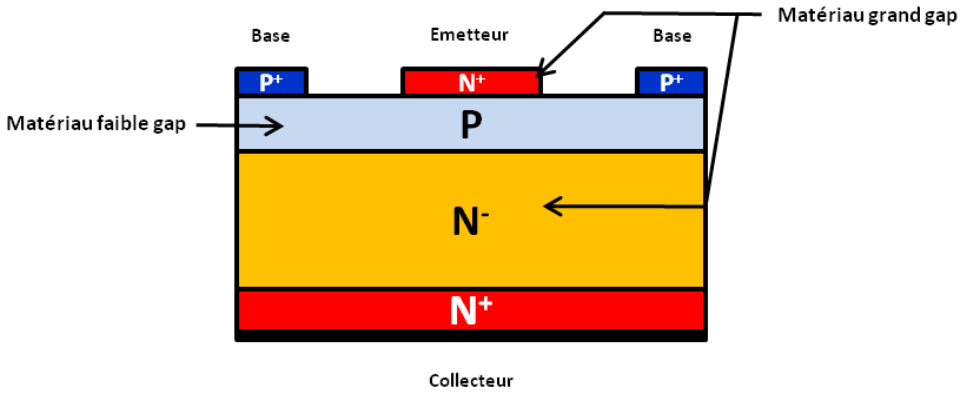


Figure 2-15 : Exemple de transistor à hétérojonction.

De tels transistors (figure 2-15) sont réalisés à partir d'un substrat épais de silicium, servant de collecteur, sur lequel est déposée une couche de matériau de « plus faible gap », servant de base, typiquement du silicium-germanium. Enfin, l'émetteur N^+ est construit au dessus de la base par un dépôt de silicium monocristallin ou polycristallin. Des barrières de potentiels, issues de la différence de largeurs de bandes interdites (gap) entre matériaux, sont alors introduites aux interfaces et altèrent le déplacement des porteurs libres. En contrôlant la hauteur de ces barrières, il est possible de moduler les courants de trous et d'électrons, et par conséquent, les gains en courant des transistors.

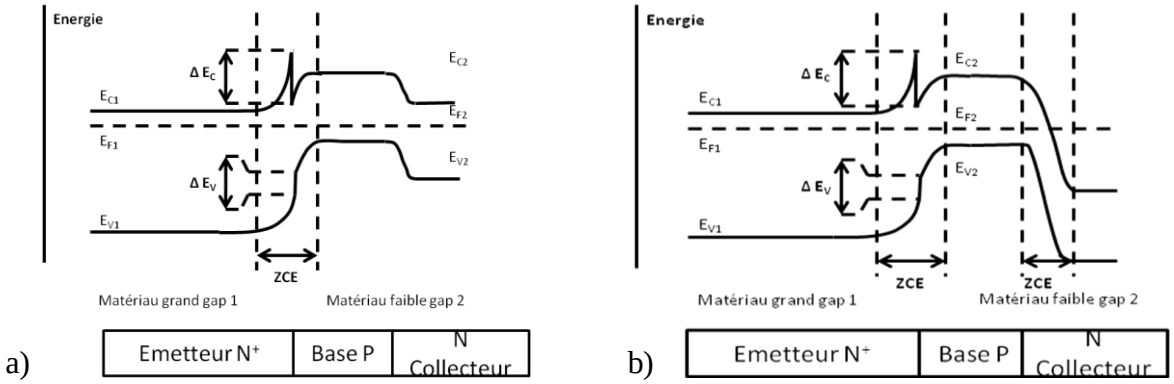


Figure 2-16 : Diagrammes de bandes d'énergie d'un TBH à l'équilibre a) et sous tension V_{CE} positive b).

La figure 2-16 présente le diagramme des bandes d'énergie d'un TBH et les différences de gap qui en découlent. Une hétérojonction apparaît lorsque deux matériaux semi-conducteurs de bandes interdites différentes et respectivement dopés P et N sont juxtaposés. A l'équilibre, les niveaux de Fermi s'alignent ce qui donne lieu à une barrière de potentiel de hauteur ΔE_C sur la bande de conduction et ΔE_V sur la bande de valence.

Augmenter le gain h_{FE} consiste, entre autres, à accroître l'efficacité d'injection de l'émetteur γ_E, qui est définie ici par le ratio entre le courant d'électrons injecté dans la base I_n et le courant total I_E :

$$\gamma_E = \frac{I_{nE}}{I_E} = \frac{J_{nE}}{J_E} = \frac{J_{nE}}{J_{nE} + J_{pE}} \qquad \textbf{Équation 2-10}$$

où J_{nE} est la densité de courant d'électrons injectés par l'émetteur dans la base et J_{pE} est la densité de courant de trous injectés par la base dans l'émetteur. J_E est la densité totale de courant du collecteur.

Les courants de recombinaison sont négligés en raison des densités de courant élevées. En assimilant les dopages d'émetteur et de base à des profils uniformes, nous aboutissons aux relations suivantes :

$$J_n = q.N_{DE}.v_{nb}.\exp(\frac{-\Delta E_C}{k.T}) \qquad \textbf{Équation 2-11}$$

$$J_p = -q.N_{AB}.v_{pe}.\exp(\frac{-\Delta E_V}{k.T}) \qquad \textbf{Équation 2-12}$$

où N_{DE} et N_{AB} sont respectivement les valeurs de dopage de l'émetteur et de la base et v_{nb} et v_{pe} les vitesses moyennes des électrons et des trous à l'interface base-émetteur.

Si l'on considère que le matériau composant l'émetteur présente une bande interdite plus importante que celle de la base, on peut exprimer la différence par l'expression :

$$\Delta E_g = \Delta E_v - \Delta E_C \qquad \textbf{Équation 2-13}$$

d'où un gain résultant :

$$h_{FE} = \left|\frac{J_n}{J_p}\right| = \frac{N_{DE}}{N_{AB}}.\frac{v_{nb}}{v_{pe}}.\exp(\frac{\Delta E_g}{k.T}) \qquad \textbf{Équation 2-14}$$

Les valeurs de v_{nb} et v_{pe} étant constantes, pour maximiser h_{FE}, il faudra donc soit augmenter N_{DE} par rapport à N_{AB}, soit augmenter ΔE_g de plusieurs k.T. La deuxième condition est réalisable en choisissant une base en alliage de silicium-germanium ($Si_{1-x}Ge_x$) pour un collecteur et un émetteur en silicium. Des transistors dits à « super-gain » ont ainsi pu être obtenus [41].

Afin d'estimer qualitativement l'influence d'une hétérojonction $Si_{1-x}Ge_x$ -Silicium sur le fonctionnement d'un transistor symétrique à base fine, nous avons effectué une série de

simulations sous Sentaurus de la structure représentée figure 2-17. La fraction molaire de germanium « x » utilisée pour la base fine est fixée à 0,25, valeur optimiste pour laquelle une croissance de $Si_{1-x}Ge_x$ sur Si peut se faire sans dislocation cristallographique [41]. Pour simplifier la comparaison avec la structure symétrique « tout silicium » précédente, nous avons conservé la même épaisseur de base x_b (3 µm). Nous avons d'autre part fixé le niveau de dopage N_{ABf} à $1{,}6.10^{16}$ cm^{-3} afin d'éviter le perçage, favorisé par la courbure accentuée des bandes d'énergie.

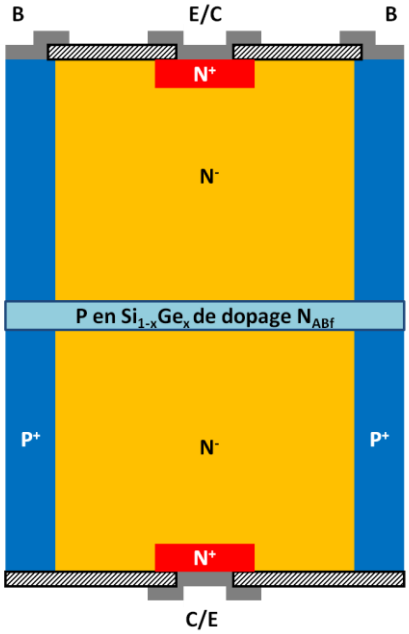


Figure 2-17 : Vue en coupe schématique d'une structure disposant d'une base fine en Silicium – Germanium.

Comme le montre la figure 2-18.b, l'introduction d'une hétérojonction peut faire monter le gain de plusieurs décades. En revanche, au-delà de 3 A/cm², le gain s'effondre rapidement. Ceci est dû au fait que la structure simulée correspond à celle d'un « transistor à double-hétérojonction » (DTBH pour Double Heterojunction Bipolar Transistor) étudié par Z. Yu [42] puis G. M. Khanduri [43]. En effet, contrairement aux TBHs conventionnels, les jonctions B – E et B – C sont toutes deux des hétérojonctions. Lorsque le composant fonctionne en forte densité de courant, le phénomène de modulation de résistivité apparaît au sein d'un transistor conventionnel. Dans le cas du DHBT, la barrière de potentiel B – C empêche l'injection de trous dans le collecteur : la résistivité du collecteur n'est pas modulée, l'obtention de grands gains ne pourra se faire qu'au prix d'une chute de tension V_{CE} importante, en régime linéaire. La technologie des hétérojonctions n'est donc pas exploitable

en régime saturé ou quasi-saturé, expliquant ainsi le changement brutal de pente observé sur la figure 2-18.b à partir de J_C égale à 3 A/cm².

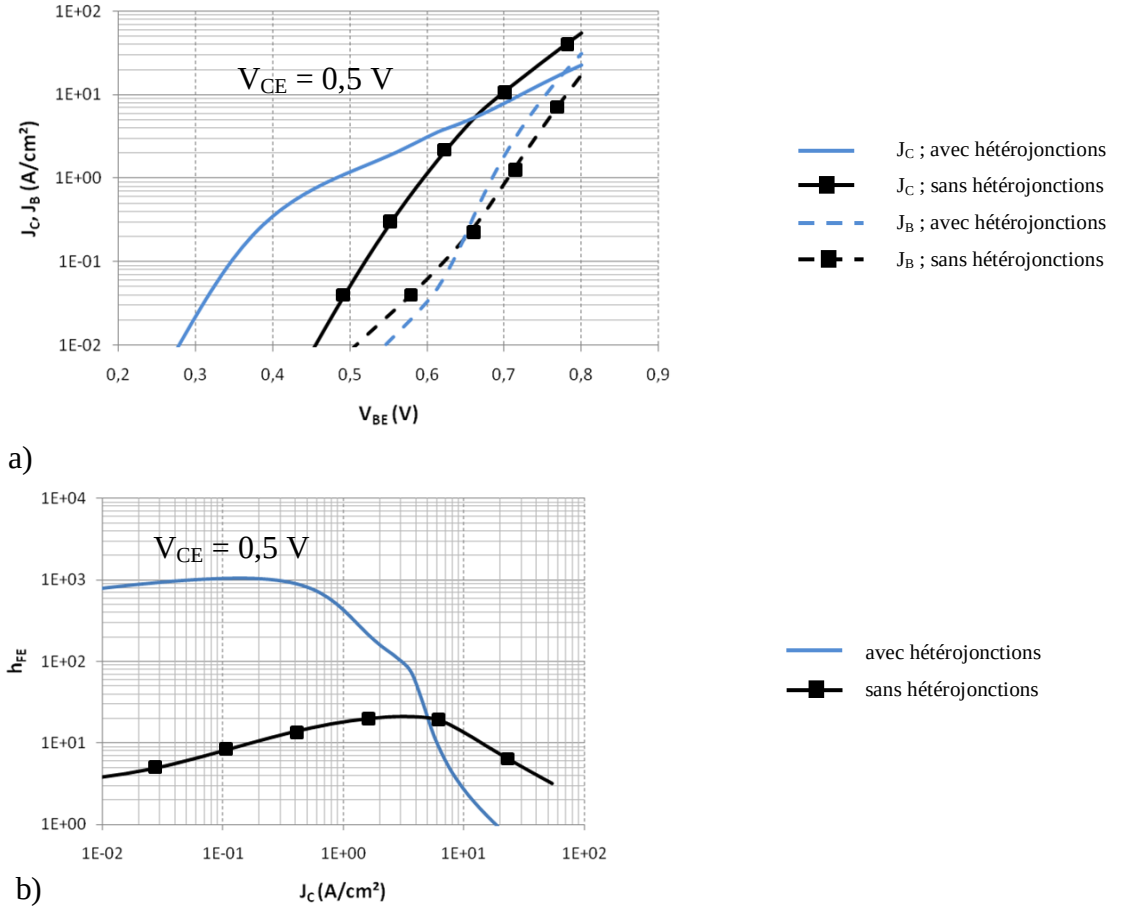


Figure 2-18 : Courbes de Gummel a) et de gain b) d'un TJB symétrique classique de référence et à hétérojonction 500 V.

De plus, transposer cette technologie dans notre cas de figure est délicat. En effet, afin de minimiser les dislocations dues au désaccord de maille entre les deux matériaux, on fait généralement croître le $Si_{1-x}Ge_x$ sous contrainte sur le substrat en silicium. On parle alors de croissance pseudomorphique. Cette croissance est limitée par une épaisseur critique inversement proportionnelle à la proportion de germanium dans l'alliage et qui ne dépasse pas en réalité quelques centaines de nanomètres [41]-[44]. De plus, cette fine couche d'alliage doit être comprise entre deux couches épaisses de silicium assurant la tenue en tension symétrique. Technologiquement, cette approche se révèle donc complexe. Enfin, les performances électriques de cette structure se révèlent décevantes pour les fortes densités de courant en raison de la présence d'une barrière de potentiel située à la jonction B – C ralentissant la circulation des électrons.

2.4.2 Emetteur en silicium polycristallin

Des travaux font état, dès 1972, de transistors réalisés avec un émetteur en silicium polycristallin possédant des gains h_{FE} élevés [45]. De telles performances sont obtenues grâce au contrôle du flux de trous à l'interface Silicium – Polysilicium (figure 2-19) selon le même principe que pour les TBH.

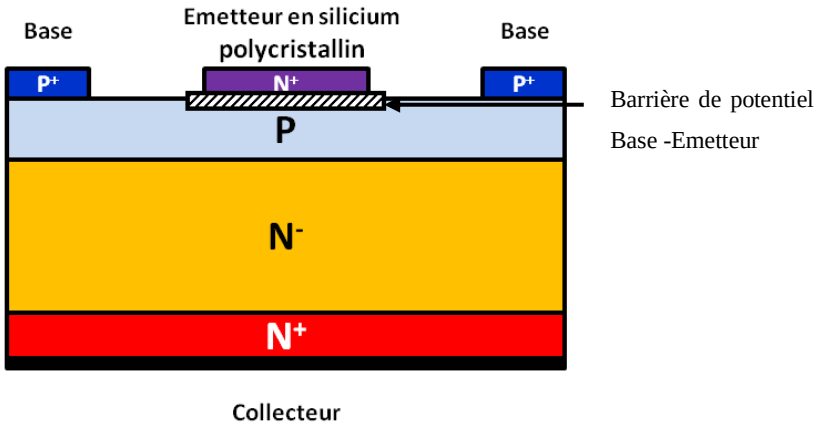


Figure 2-19 : Exemple de structure de TJB muni d'un émetteur en silicium polycristallin.

Leur fabrication ne diffère pas de celle des transistors classiques. Seule la réalisation de l'émetteur se distingue par un dépôt de silicium polycristallin sur la base, après un nettoyage de type RCA (éponyme de l'entreprise ayant mise au point ce nettoyage). Plusieurs hypothèses sont retenues pour expliquer l'amélioration du gain, selon le mode de réalisation de l'émetteur en silicium polycristallin.

Pour les composants dont le dépôt de polysilicium s'accompagne d'une croissance d'oxyde à l'interface base-émetteur, le modèle d'effet tunnel, à travers cet oxyde, est retenu [46]. Pour les composants sans oxyde à l'interface base-émetteur, le contrôle du courant de trous est soit assuré via les joints de grain à l'interface monocristal – polycristal, soit lié à la ségrégation des dopants à l'interface.

Ces mécanismes entraînent tous les deux une diminution de l'injection des porteurs, en l'occurrence des trous pour des transistors NPN, ce qui permet d'expliquer l'augmentation du gain.

Dans le cas d'une oxydation chimique délibérée, le mécanisme qui permet l'augmentation du gain peut s'expliquer sur la figure 2-20.

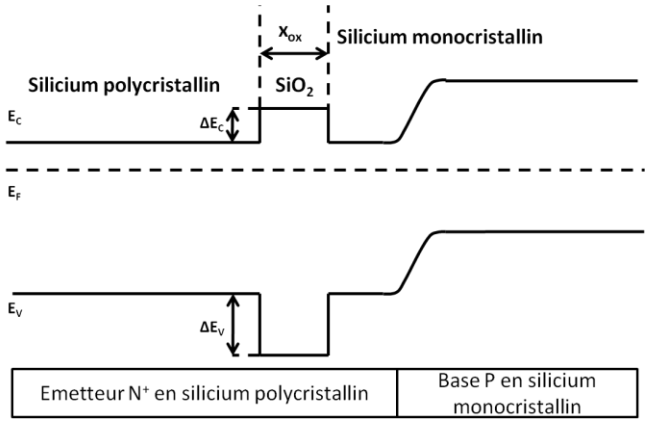


Figure 2-20 : Diagramme des bandes d'énergie d'un TJB muni d'un émetteur en silicium polycristallin et de sa barrière de potentiel base – émetteur.

L'oxydation modifie localement le diagramme des bandes comme le montre le schéma de la figure 2-20, induisant un comportement similaire à celui produit par la présence d'hétérojonctions. L'influence de l'oxyde est modélisée par la présence des barrières de potentiel au niveau de la bande de conduction et de la bande de valence, respectivement notées ΔE_C et ΔE_V. L'émetteur, constitué d'une région en silicium polycristallin fortement dopée et d'une couche d'oxyde, se comporte comme un émetteur à grand « gap ». A l'instar des hétérojonctions, ΔE_C est inférieure à ΔE_V ce qui signifie que l'oxyde est plus perméable aux électrons qu'aux trous. La différence $\Delta E_V - \Delta E_C$ est estimée à 101 meV. Celle-ci étant constante, nous ne pourrons compter que sur l'épaisseur d'oxyde, notée x_{ox}, pour améliorer le gain.

L'application d'un tel concept nous permet d'obtenir la structure présentée figure 2-21 qui présente un transistor symétrique, muni de fines couches d'oxyde d'épaisseur x_{ox}, situées de part et d'autre de la base enterrée d'épaisseur x_b (3 µm), bidirectionnalité oblige. L'épaisseur d'oxyde x_{ox} est fixée égale à 14 Å compte tenu des valeurs habituellement rapportées dans la littérature scientifique pour une croissance de ce type [46]. La principale objection à cette structure concerne la difficulté technologique de réaliser des oxydes minces enterrés aussi profondément. Par conséquent, cette approche n'est pas adaptée ici pour améliorer le gain d'un TJBS.

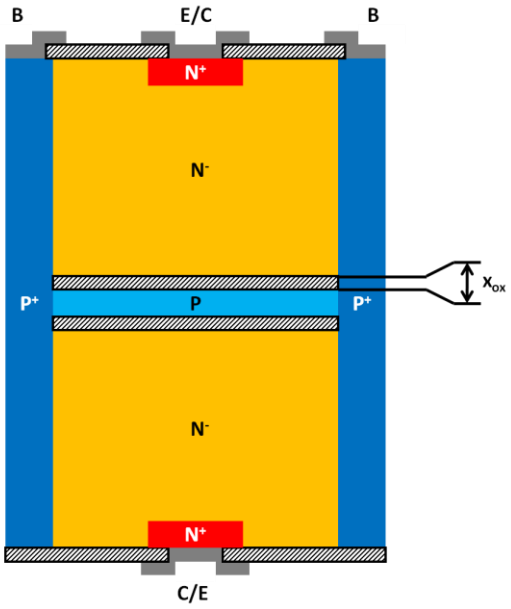


Figure 2-21 : Application du concept de fines couches d'oxyde d'épaisseur x_{ox} à l'interface Base-Emetteur au TJB symétrique.

2.4.3 Transistor à base auto-protégée

En 1980, H. Kondo a proposé un nouveau concept destiné à améliorer les performances des TJB sans avoir recours à des technologies de fabrication onéreuses [48]. Le Gate Associated Transistor (GAT) introduit une base dite « autoprotégée », plus fine et/ou moins dopée.

Ce transistor, présenté figure 2-22, est doté d'une base qui peut se décomposer en deux régions distinctes : une base fine « active » P sous l'émetteur, à travers laquelle circule le courant, et des caissons P^+ situés sous chaque contact de base. Le courant qui circule du collecteur vers l'émetteur passe donc par un JFET suivi d'un transistor bipolaire conventionnel.

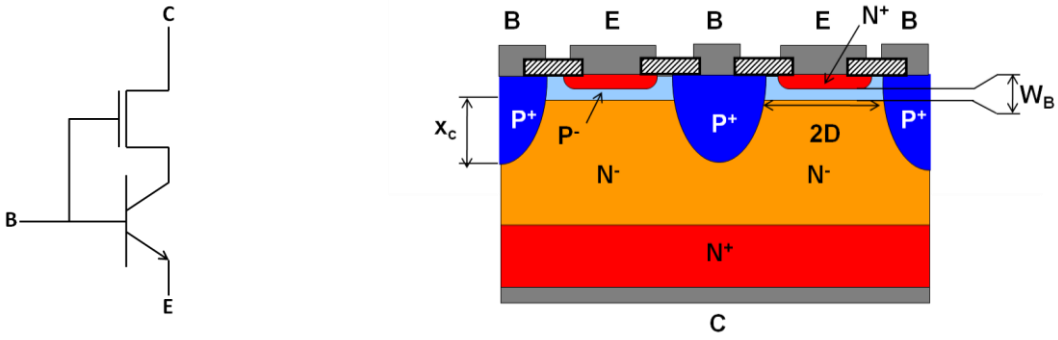


Figure 2-22 : Exemple de TJB à base autoprotégée composé d'un JFET et d'un TJB en série.

Lorsque cette base est polarisée à l'état bloqué, une ZCE se développe sur chaque flanc des caissons P^+. Au fur et à mesure que la polarisation est augmentée, les ZCEs vont se rapprocher jusqu'à créer une zone vierge de tout champ électrique sous le contact d'émetteur, par addition de grandeurs vectorielles d'amplitudes égales et opposées. On parle alors de phénomène d'autoblindage, également exploité dans d'autres composants comme le VDMOS pour protéger l'oxyde de grille. Grâce à une base active moins sensible au phénomène de perçage, il est alors possible de découpler la tenue en tension du gain, ce qui permet de créer des transistors de puissance moins énergivores en termes de commande.

La réussite d'une telle structure est conditionnée par l'écart de dopage entre le collecteur et la base et par des espacements entre caissons judicieusement choisis pour obtenir le meilleur compromis tenue en tension / gain à l'état passant.

L'autoblindage doit se produire lorsque la zone située entre les deux caissons P^+ est pincée. Par conséquent, la tension de pincement doit être inférieure à celle de perçage de la base. Cette condition est exprimée par l'équation suivante :

$$\frac{q}{2.\varepsilon_{Si}}.N_{DC}.D^2 < \frac{q}{2.\varepsilon_{Si}}.N_{AB}.W_B{}^2 \qquad \textbf{Équation 2-15}$$

où N_{DC} et N_{AB} sont respectivement les dopages de la zone N^- du collecteur et de la base. D et W_B correspondent respectivement au demi-espacement entre deux caissons et à l'épaisseur de la base. Le premier membre de cette équation exprime la condition de pincement de l'espacement entre caissons tandis que le second membre décrit la condition de perçage de la base.

La contribution du JFET, introduit par les caissons, peut se résumer par son facteur d'amplification μ qui traduit l'efficacité de l'autoblindage :

$$\mu \cong \exp\left(\frac{\pi . x_c}{2.D}\right) - 1 \qquad \textbf{Équation 2-16}$$

où 2D et x_c représentent respectivement l'espacement entre caissons et leur profondeur.

Comme la structure de type GAT peut être modélisée par un JFET en série avec un TJB, sa tension de claquage $V_{CEO[GAT]}$ est le résultat de la somme des contributions de ces deux composants telle que :

$$V_{CEO[GAT]} = (1+\mu).V_{CEO[BIP]} \qquad \textbf{Équation 2-17}$$

où $V_{CEO[BIP]}$ est la tension d'un transistor bipolaire sans caissons et pourvu des mêmes caractéristiques de la base et des zones de tenue en tension.

A partir de cette expression, dans les conditions d'autoblindage optimales, la tension de claquage du GAT est fonction du facteur de forme (x_c / 2D). En rapprochant les caissons, la tension de claquage $V_{CEO\ [GAT]}$ sera de plus en plus grande que celle d'un transistor conventionnel $V_{CEO\ [BIP]}$. Il arrivera un moment où la différence entre une tension de claquage à base ouverte $V_{CEO\ [GAT]}$ et celle de la jonction B – C $V_{CBO\ [GAT]}$ sera minime. On parle alors d'effet JFET ce qui a pour avantage de moins surdimensionner les transistors GAT par rapport aux TJB conventionnels.

Cette structure a donné naissance à une variante dotée de tranchées de silicium polycristallin à la place de caissons. Dénommée « Trench Base-Shielded Bipolar Transistor (TBSBT) », cette structure s'avère plus performante grâce à un autoblindage parfaitement réalisé par des tranchées peu encombrantes [49]-[50].

2.5 Application du concept de la base auto-protégée au transistor symétrique vertical

Un tel composant pourrait être réalisé à l'aide de la technique de soudure directe hydrophobe silicium sur silicium qui nous permettrait d'enterrer les caissons P^+ d'autoblindage et la zone P^- de base active. Un exemple de structure théorique est représenté figure 2-23.

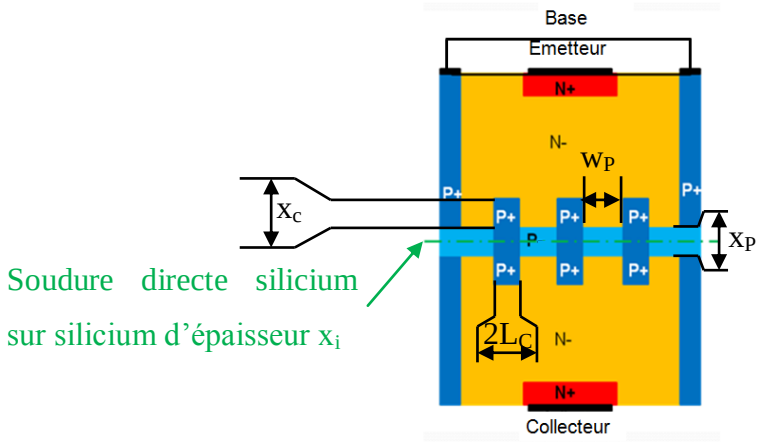


Figure 2-23 : application du concept de la base autoprotégée au TJB symétrique [51].

Le transistor symétrique obtenu fonctionne de la même manière que les GATs. Les caissons P^+ sont de largeur $2L_C$, de hauteur x_c et d'espacement w_P. La base fine active est d'épaisseur x_p et à pour dopage N_{ABf}. La soudure est localisée, quant à elle, au sein de la base P (dite base fine ou base active à l'état passant) sur toute la longueur de la plaquette sur une épaisseur x_i. Nous avons simulé la structure à l'état bloqué et à l'état passant. Nous n'avons pas tenu compte de la présence éventuelle d'une interface de collage électriquement actif dans les simulations.

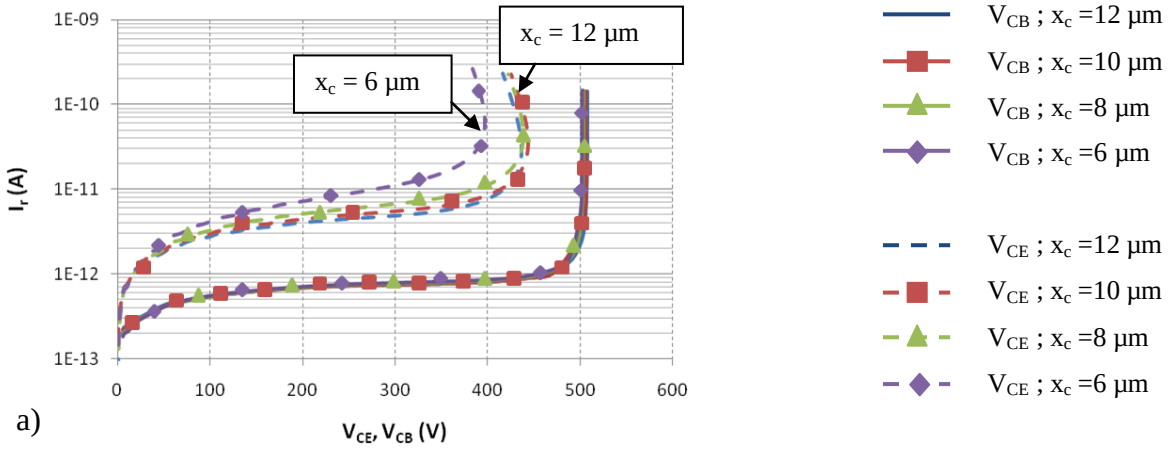
2.5.1 Etat bloqué

La capacité de la base du transistor à tenir la tension dépend de son dopage, de son épaisseur et de l'efficacité d'autoblindage des caissons. Les tensions de claquage V_{CEO} et V_{CBO} sont évaluées en faisant varier soit la hauteur des caissons x_c à espacement w_p constant, soit le dopage N_{ABf} à x_c et w_p constants. L'objectif de cette étude consiste à déterminer le dimensionnement optimal de la base. Les caractéristiques des zones N^- de tenue en tension sont telles que W_{epi} et N_D sont respectivement de 45 µm et $2{,}5.10^{14}$ cm^{-3}.

La figure 2-24.a représente l'évolution des tensions de claquage V_{CEO} et V_{CBO} pour différentes hauteurs de caissons x_c. En maintenant le dopage N_{ABf}, l'épaisseur de la base fine x_p et l'espacement intercaisson w_p respectivement à $1{,}2.\ 10^{15}$ cm^{-3}, 3 µm et 5 µm, nous constatons que la tension V_{CEO} varie avec x_c tandis que la tension V_{CBO} reste inchangée. Au fur et à mesure que la hauteur des caissons s'élève, la tension de claquage en base ouverte augmente et tend vers une valeur limite. Cette tendance confirme l'intérêt de l'effet JFET qui

permet de réduire l'écart entre V_{CBO} et V_{CEO} en limitant l'amplification du courant de fuite. Cette figure précise ainsi la valeur minimale de x_c, à savoir 10 µm.

a)



b)

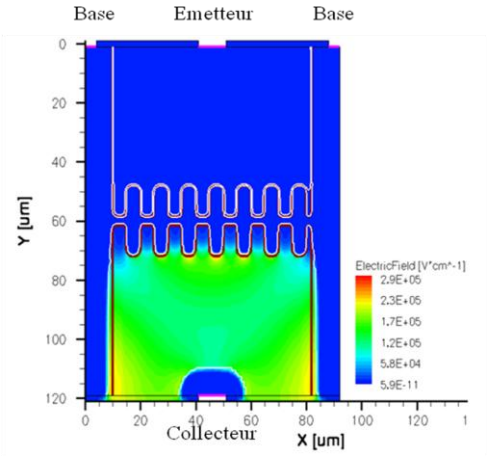


Figure 2-24 : Evolution du courant de fuite en fonction des tensions V_{CE} et V_{CB} pour différentes hauteurs de caissons x_c a) et répartition du champ électrique au claquage au sein de la structure à $V_{CE} = V_{CEO}$ b), pour $N_{ABf} = 1{,}2.10^{15}$ cm^{-3}, $N_D = 2{,}5.10^{14}$ cm^{-3} et $W_{epi} = 46$ µm.

La figure 2-24.b met en évidence l'absence de champ électrique entre les caissons avec des pics de champ électrique uniquement aux extrémités des caissons P^+ : l'effet d'autoblindage est bien assuré, la base fine est à l'abri de tout perçage.

En gardant la valeur optimale de x_c à 10 µm, nous avons fait varier le dopage de la base fine afin d'observer la variation des tensions de claquage (figure 2-25). Une base trop peu dopée (et/ou trop fine) est susceptible de percer, traversée par un champ électrique de part en part. Le composant entre en avalanche alors que le champ électrique maximal n'a pas encore

atteint sa valeur critique. Le perçage de la base est repoussé avec l'augmentation de son niveau de dopage. Nous pouvons alors atteindre pour V_{CEO} une valeur limite proche de V_{CBO}. Nous avons donc conservé par la suite la valeur de N_{ABf} à $2{,}4.10^{15}$ cm^{-3} comme valeur de référence.

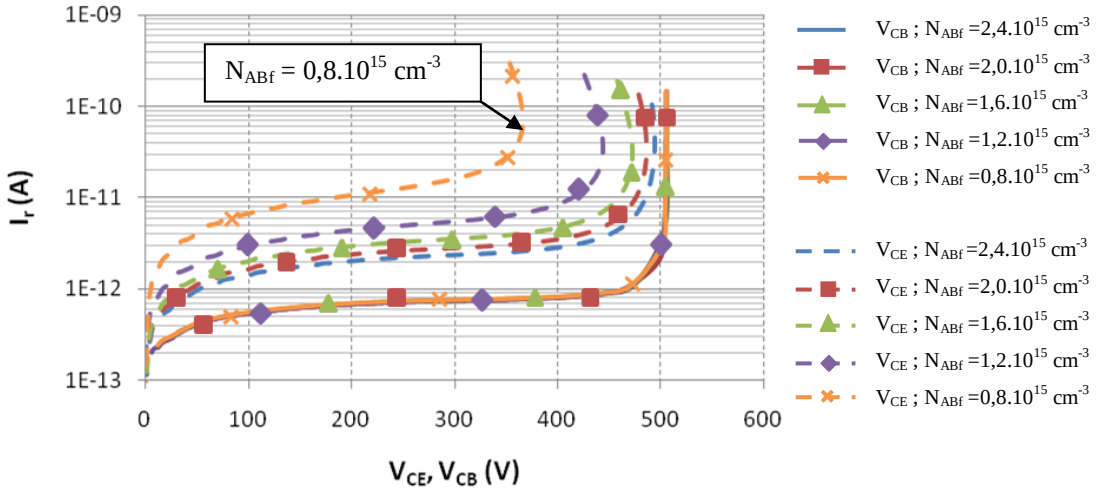


Figure 2-25 : Tenue en tension pour différentes concentrations de dopage N_{ABf} de la base fine.

Les simulations à l'état bloqué nous ont permis d'identifier les paramètres critiques de la structure. Nous avons ainsi pu fixer le niveau de dopage N_{ABf} de la base à $2{,}4.10^{15}$ cm^{-3} et des hauteurs de caissons à 10 µm. Ces valeurs fixent la tension de départ en avalanche du transistor aux alentours de 500 V, quelle que soit la polarisation de la base.

2.5.2 Etat passant

Les courbes de gain sont tracées en faisant varier V_{BE} entre 0 et 0,8 V, à V_{CE} constant. Ces courbes nous permettent de repérer les zones de polarisation dans lesquelles le transistor présente le moins de pertes énergétiques. Comme pour l'étude de l'état bloqué, deux paramètres sont concernés : le dopage N_{ABf} de la base fine P et la hauteur x_c des caissons P^+.

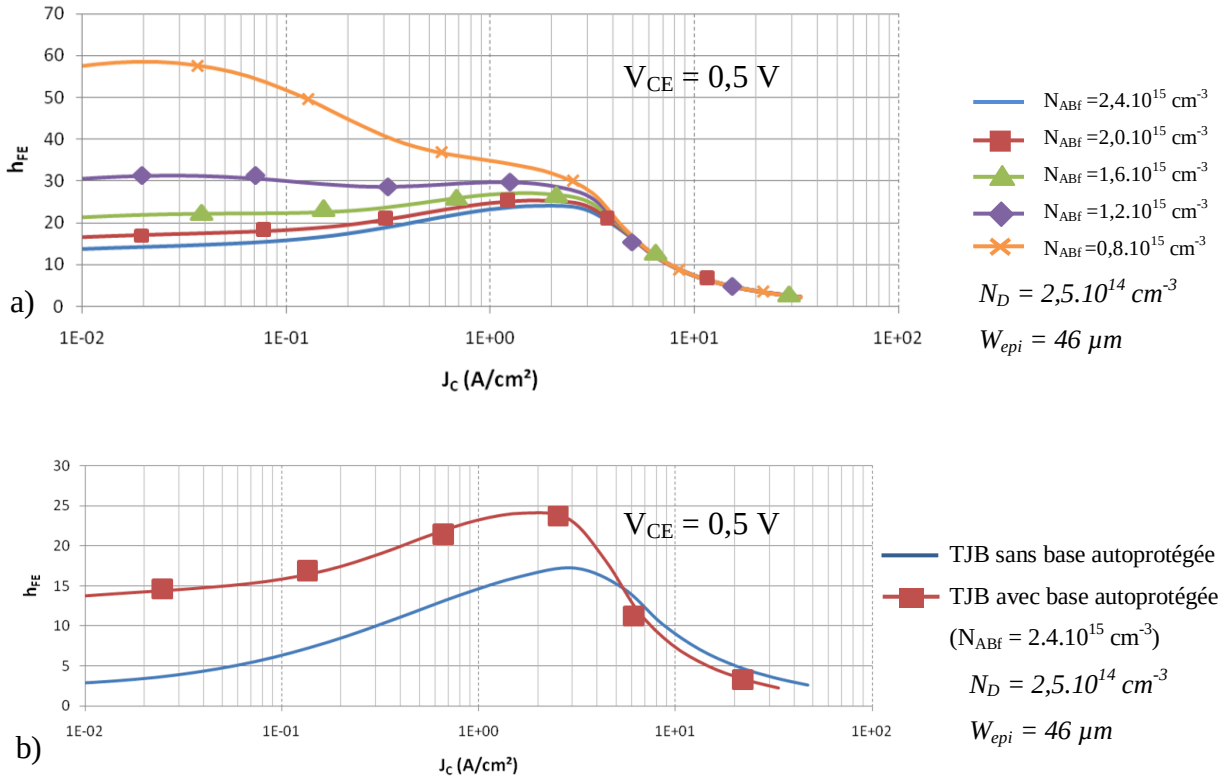


Figure 2-26 : Courbes de gain en fonction de la densité de courant du collecteur pour différents dopages de base N_{ABf} a) et comparaison avec un TJB symétrique classique b), pour x_p = 3 µm, w_P = 5 µm et x_c = 10 µm.

Comme le montre la figure 2-26, le tracé des courbes de gain, réalisé à V_{CE} = 0,5 V, x_P = 3 µm, w_P = 5 µm et x_c = 10 µm, révèle une hausse du gain par rapport à la structure sans caisson. Par ailleurs, cette augmentation est d'autant plus importante que la concentration N_{ABf} sera faible, spécialement à faibles densités de courant de collecteur. En revanche, pour J_C supérieure à 4,5 A/cm², nous constatons une indépendance du gain h_{FE} en fonction de N_{ABf}. Ceci s'explique par le fait que l'efficacité d'injection de l'émetteur est prépondérante à fort courant, la base étant quant à elle saturée de porteurs minoritaires et sujette à l'effet Rittner. A noter que ces résultats sont rassurants en termes de fiabilité de fabrication, dans la mesure où les variations de dopage de la base fine entre les différents lots de production présenteront ainsi un impact minimal sur le gain.

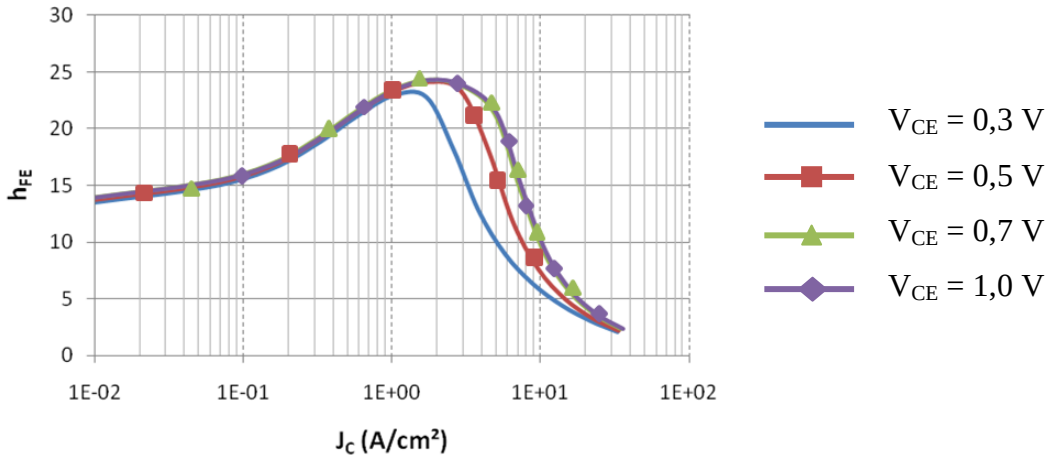


Figure 2-27 : Comparaison entre les gains de différents V_{CE} en fonction de la densité de courant de collecteur.

La figure 2-27 nous permet de comparer plus précisément les gains à différents V_{CE}. Ce réseau de courbes montre un gain qui augmente avec V_{CE} à fort courant. Ce comportement peut s'expliquer par le fait que, lors de l'augmentation de V_{CE}, le transistor passe du régime saturé vers le régime linéaire. Or, le régime linéaire nécessite moins de courant de base parce que la jonction B – C est polarisée en inverse ce qui entraîne une augmentation du gain. Lorsque le régime linéaire est atteint, le transistor se comporte comme un limiteur de courant avec un gain constant quelle que soit la valeur de V_{CE}, si celle-ci reste supérieure à $V_{CE(sat)}$. Nous pouvons constater, sur la figure 2-27, que les caractéristiques se superposent, pour V_{CE} supérieure à 0,7 V, situant ainsi la tension optimale collecteur – émetteur en dessous de cette valeur. Obtenir un compromis entre la chute de tension à l'état passant et le gain reviendra alors à choisir la valeur de V_{CE} qui nous permettra d'obtenir une puissance dissipée nominale minimale.

Nous avons complété cette étude par une évaluation de l'influence de la hauteur et de la largeur des caissons indépendamment des autres paramètres. En effet, il est préférable de surdimensionner légèrement le composant de sorte à garantir la valeur de la tension de claquage en cas de dérive des paramètres de fabrication.

La figure 2-28.a montre que la hauteur des caissons influence peu le gain, contrairement à leur rôle plus important à l'état bloqué. La densité de courant qui traverse le composant à l'état passant dépend essentiellement des caractéristiques de la base fine, c'est-à-dire de son épaisseur et de son dopage. Lorsque le composant est polarisé à l'état passant, la désertion autour des caissons est minimale, ce qui a peu d'influence sur la surface de conduction de la base.

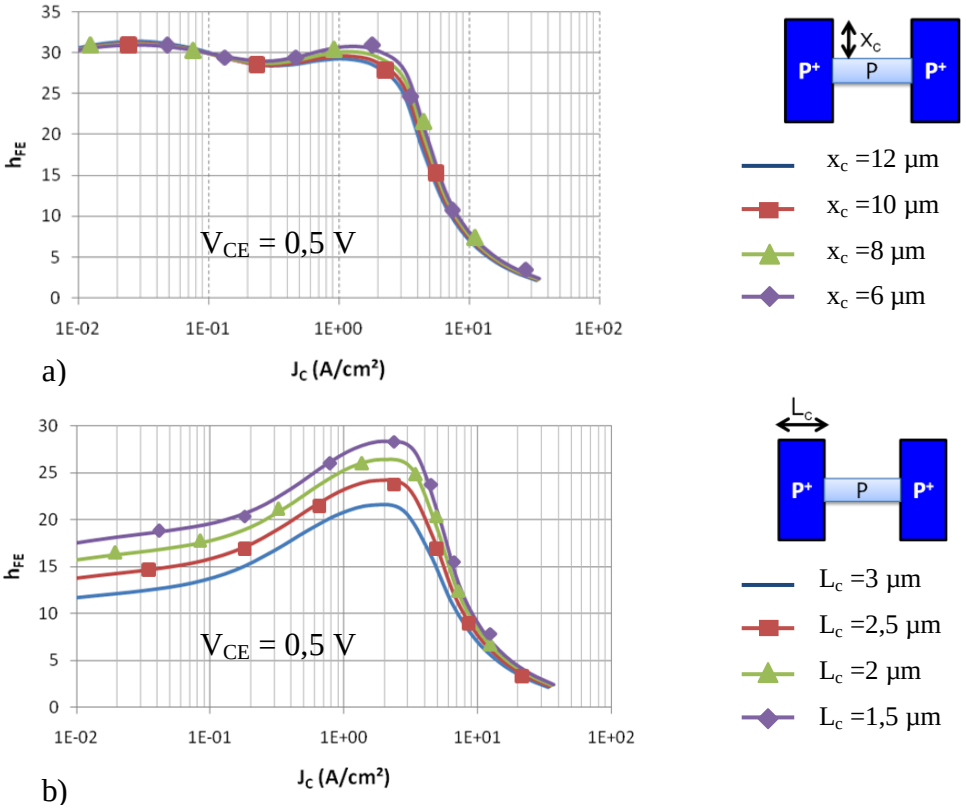


Figure 2-28 : Influence de la hauteur x_c a) et de la demi-largeur L_C des caissons b) sur le gain.

En revanche, augmenter la demi-largeur des caissons, pour une même largeur de cellule, revient à diminuer la surface de conduction au voisinage de la base fine, ce qui se traduit par une réduction du gain comme nous pouvons le constater sur la figure 2-28.b. Ces deux réseaux de courbes nous indiquent qu'il est préférable d'augmenter la hauteur des caissons, pour moins pénaliser l'état passant et pour limiter la dérive de la tension de claquage en cas de variation du dopage de l'épaisseur et du dopage de la base fine.

Nous avons également tracé le réseau de courbes de Kellog pour différents courants de base. Ce réseau, illustrant l'évolution de la densité de courant de collecteur J_C en fonction de la polarisation V_{CE}, permet de situer les régimes de fonctionnement du transistor.

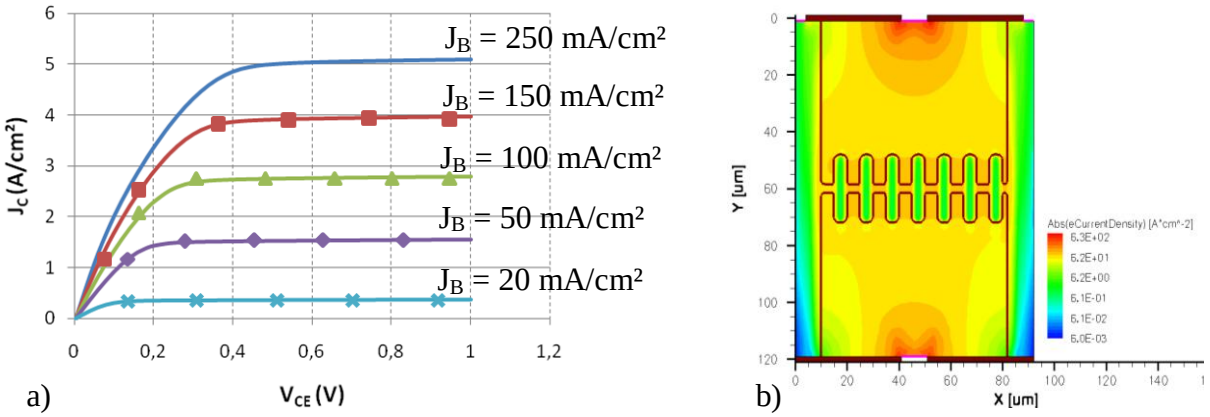


Figure 2-29 : a) réseau de Kellog d'un TJB symétrique à base autoprotégée.
b) répartition du courant d'électrons à l'état passant, pour J_B = 250 mA/cm².

Les caractéristiques J_C en fonction de V_{CE} de la figure 2-29 ne présentent quasiment pas de régime de quasi-saturation. Pour l'exemple de J_B = 250 mA/cm², le transistor passe directement du régime saturé au régime linéaire, autour de V_{CE} égale à 0,5 V, comportement normalement plutôt observé à plus fort gain (tel le BJT de type PNP 2STX2220, V_{CEO} = -20 V, h_{FE} > 100).

Il serait intéressant de travailler, quel que soit le courant de base, entre le régime saturé et le régime linéaire là où la densité courant de collecteur est le plus élevé pour une chute de tension V_{CE} minime.

L'étude de l'état bloqué nous a permis de dimensionner le transistor et notamment de déterminer les paramètres physiques et géométriques pour une valeur de tension de claquage donnée. Les courbes de gain et de Kellog nous permettent quant-à-elles de polariser au mieux le transistor. Ainsi, les simulations ont montré que l'on peut concevoir un transistor symétrique capable de tenir une tension de 500 V. Les caractéristiques des figure 2-28 et figure 2-29 montrent que l'on peut espérer réaliser un transistor capable de fonctionner avec un courant nominal de 4,5 A pour une consommation ne dépassant pas 2,5 W (V_{CE}=0.5V, J_B=200mA/cm², h_{FE}=25) sur une surface de puce de 1 cm². Cette performance est d'ores et déjà supérieure en termes d'encombrement à ce que l'on peut espérer obtenir avec l'association de transistors MOS à superjonctions à T_j = 125 °C.

Néanmoins, la fabrication d'un tel composant s'appuie sur la technique de soudure directe hydrophobe silicium sur silicium. Bien qu'offrant des perspectives de conception intéressantes, cette technique présente l'inconvénient d'introduire une interface électriquement active comparable à celle d'un joint de grain, au niveau de l'interface de

soudure ce qui introduit des niveaux profonds recombinants susceptibles de dégrader les performances globales du composant.

2.5.3 Impact de l'interface recombinante

L'interface de soudure est présente sur toute la surface de la plaquette. La base enterrée contient donc des défauts cristallographiques et/ou des impuretés susceptibles de dégrader ses performances électriques. En effet, contrairement aux composants unipolaires, les composants bipolaires sont particulièrement sensibles à la présence des défauts dans les zones actives et notamment à leur impact sur la durée de vie des porteurs minoritaires dans ces zones.

L'influence électrique des centres introduits par cette interface a été étudiée [52]. Cette étude a montré que l'on pouvait influencer les propriétés de ces interfaces et les rendre potentiellement moins recombinantes. En effet, après une opération de collage à haute température, la concentration de pièges est suffisante pour compenser le niveau de dopage phosphore de plaquettes collées de type N ($10^{14}cm^{-3}$). Ces défauts introduisent des niveaux sous la forme d'un continuum de niveau d'énergie au milieu de la bande interdite [52].

Les centres recombinants sont décrits par leurs signatures qui peuvent être extraites des mesures par spectroscopie transitoire des niveaux profonds DLTS[1] (Deep Level Transient Spectroscopy) et de résistance de constriction [53] SR[2] (Spreading Resistance). Ces mesures nous permettent d'évaluer le niveau d'énergie E_t et les sections efficaces de captures des électrons et des trous σ_n et σ_p, des centres. Ces paramètres peuvent ensuite être repris dans l'outil de simulation électrique Synopsys-Sentaurus qui intègrent notamment le modèle de recombinaison SRH (Shockley Read Hall). Cet outil de simulation tient également compte de la nature donatrice ou acceptrice des défauts dont l'impact peut modifier localement le niveau de dopage de l'interface et donc du milieu de la base fine.

Pour pouvoir mener à bien nos premières simulations de transistors intégrant une interface de collage, nous avons supposé un certain nombre d'hypothèses :

- Les centres recombinants sont positionnés au milieu de la bande interdite ;
- Les sections efficaces de capture sont fixées à 1.10^{-14} cm² ;
- L'épaisseur par défaut de l'interface est fixée à 1 µm ;

[1] DLTS : Technique de caractérisation électrique des niveaux d'énergie profonds. Les signatures de ces centres sont obtenues en mesurant les variations des valeurs des capacités de déplétion.

[2] SR : Techniques de mesures de résistance de matériaux semi-conducteurs en fonction de la profondeur. Il permet ainsi de déduire les profils de dopage.

- La concentration des centres est comprise entre 10^{13} et 10^{15}cm^{-3};
- Le niveau de dopage de la base active et son épaisseur sont respectivement fixés à $2{,}4.10^{15}$ cm^{-3} et 3 µm ;
- L'espacement entre caissons est fixé à 5 µm ;
- La hauteur des caissons est fixée à 10 µm.

Les centres profonds sont susceptibles de générer des paires électron-trou supplémentaires et donc d'augmenter le courant de fuite. Nous allons évaluer dans la suite de ce paragraphe l'impact de la concentration de ces centres, de leur type et de l'épaisseur de l'interface.

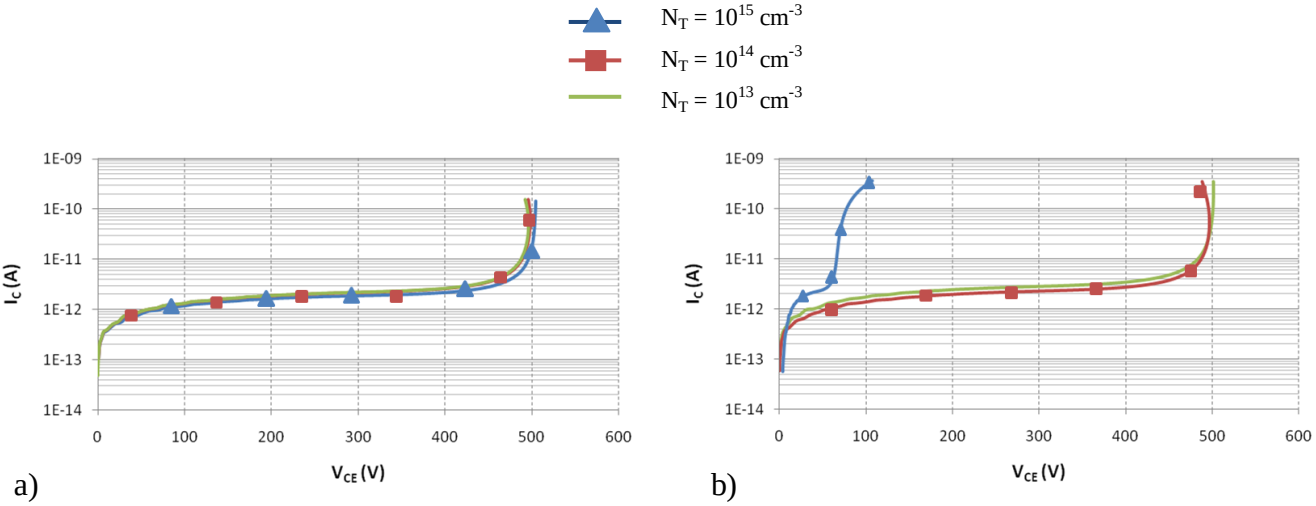


Figure 2-30 : Influence de la concentration N_T en centres recombinants sur la tenue en tension. a) centres de type accepteur. b) centres de type donneur.

La figure 2-30 montre l'évolution du courant de fuite en fonction de la tension jusqu'à l'avalanche pour différentes concentrations de centres N_T de types accepteur et donneur. L'interface étant d'épaisseur égale à 1 µm, elle se retrouve entièrement confinée au sein de la base. Nous constatons une amélioration négligeable de la tenue en tension pour des concentrations en accepteur plus importantes. Ceci s'explique par le fait que la concentration N_T vient s'ajouter à celle du dopage de la base, la rendant moins vulnérable au perçage. Cette tendance est donc plus visible sur des bases moins dopées. A l'inverse, une importante concentration de centres de type donneur a pour effet de diminuer ce dopage, augmentant le courant de fuite. Ainsi, pour N_T égale à 10^{15} cm^{-3}, la base est percée ce qui explique l'écart observé sur le courant de fuite. Toutefois, cette concentration de 10^{15} cm^{-3} étant trop excessive pour être réaliste, nous pouvons considérer, en pratique, l'impact des centres négligeable.

Grâce au phénomène d'autoblindage, la base est à l'abri du champ électrique et aucun phénomène de génération supplémentaire des porteurs n'a été remarqué.

Pour que l'activité électrique de l'interface puisse se voir à l'état bloqué il faut que cette interface soit située dans une zone de charge d'espace comme c'est le cas lors d'une mesure DLTS. En faisant varier délibérément l'épaisseur de l'interface en dehors de l'épaisseur de la base, afin que celle-ci déborde de la zone de tenue en tension N^-, il est possible d'apprécier la variation du courant de fuite.

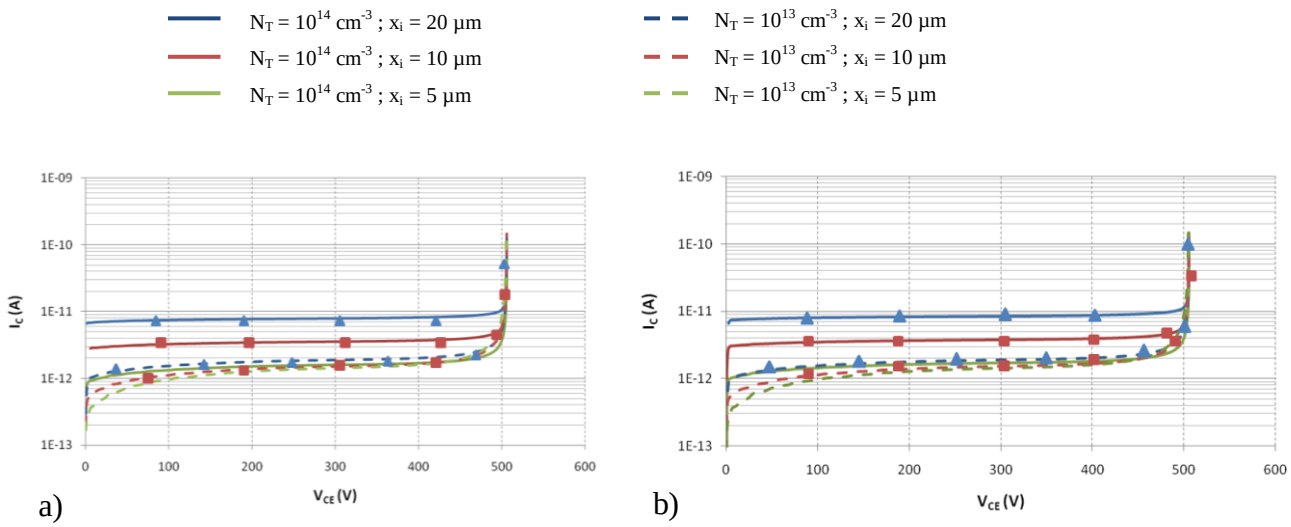


Figure 2-31 : Influence des centres recombinants sur la tenue en tension, pour différentes épaisseurs d'interface x_i et différentes concentrations N_T. a) Centres de type accepteur. b) Centres de type donneur.

La figure 2-31 présente l'évolution du courant de fuite jusqu'à l'avalanche en fonction de la tension appliquée, pour différentes épaisseurs d'interface x_i et différentes concentrations N_T. Nous remarquons que le courant de fuite augmente avec le débordement de l'interface dans les zones N^-. Cette tendance s'accentue, bien entendu, avec la concentration. Aucune différence notoire n'est à observer entre les types accepteur et donneur.

Les simulations, à l'état bloqué, en présence d'une interface recombinante ont montré que la dégradation de la tenue en tension du transistor se manifeste si et seulement si les centres recombinants se situent au sein d'une ZCE pour des valeurs de concentration supérieures à 1.10^{13} cm^{-3}. On s'attend donc, en pratique, à peu de dégradation puisque l'interface est très fine et difficilement observable sur les images STEM (Scanning Transmission Electron Microscope) en champ clair [52].

L'activité recombinante de l'interface se manifeste également à l'état passant puisque celle-ci est particulièrement pénalisante dans un dispositif bipolaire. En entrant différentes valeurs de concentration N_T ou d'épaisseurs d'interface x_i, il est possible d'évaluer l'impact de cette activité recombinante sur le gain.

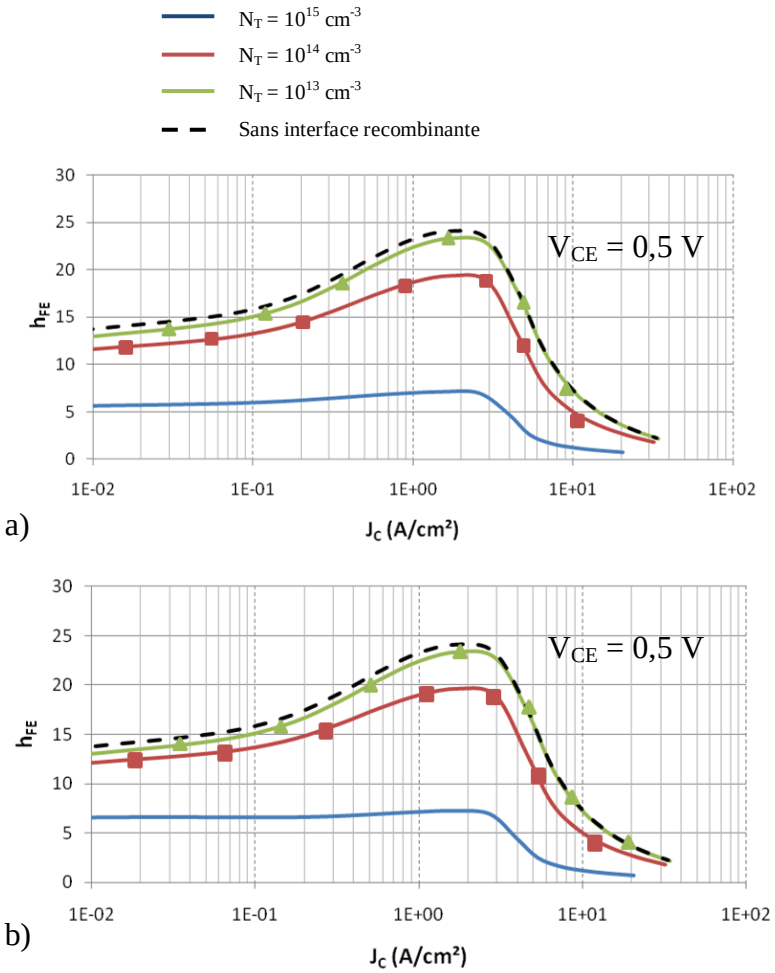


Figure 2-32 : Influence de la concentration N_T des centres recombinants sur le gain h_{FE} à l'état passant. a) centres de type accepteur. b) centres de type donneur.

Quel que soit le type de centres, une augmentation de leur concentration N_T pénalise le gain (figure 2-32). La recombinaison des porteurs au sein de la base diminue son facteur de transport : le courant de base, composé d'un courant de diffusion et d'un courant de recombinaison, voit donc sa valeur augmenter, à courant de collecteur constant. Le gain diminue donc en conséquence. Aucune différence n'est à noter entre les activités recombinantes des deux types d'interface.

Ces simulations confirment l'influence néfaste que peut entraîner la présence d'une interface, issue de la soudure hydrophobe directe silicium sur silicium, sur le transistor symétrique. Afin de minimiser les effets, il est nécessaire de contrôler plusieurs paramètres :

- la nature des centres : qu'ils soient accepteurs ou donneurs, la nature des centres n'influence fondamentalement pas la durée de vie des porteurs. Toutefois, la différence peut se sentir sur le niveau de dopage de la base, notamment lorsque les concentrations deviennent importantes. En effet, tandis que des centres de type accepteur viendront renforcer le dopage de la base, des centres de type donneur viendront au contraire l'affaiblir. Le composant devient ainsi plus vulnérable au phénomène de perçage. La nature de ces centres peut être contrôlée. Ainsi, des travaux effectués au laboratoire on montré que l'on pouvait forcer la nature de ces centres et obtenir ainsi systématiquement un surdopage ou une compensation à la suite de post-traitements à basses températures [52].
- l'épaisseur de l'interface : son action à l'état passant est prévisible étant donné que le courant issu de l'émetteur doit traverser toute l'interface avant d'atteindre le collecteur. Néanmoins, à l'état bloqué, tant que l'interface reste confinée au sein de la base et reste à l'abri de tout champ électrique, aucune différence sur le courant de fuite n'est à noter. Au vu des observations STEM réalisées sur des plaquettes collées étudiées au laboratoire, l'épaisseur devrait être négligeable.
- la concentration des centres recombinants : son influence est triviale. Plus la concentration des centres est élevée, moins le composant est performant. Ces concentrations peuvent être minimisées, à la suite de post-traitements à basse température (600°C) [52] permettant ainsi de minimiser ainsi les effets néfastes de la recombinaison dans le transistor symétrique, notamment à l'état passant.

Avant de pouvoir utiliser le collage moléculaire comme brique technologique, il faudra bien sûr s'assurer de la reproductibilité des caractéristiques électriques d'une telle interface. Il faudra également améliorer notre connaissance des propriétés des interfaces collées à basses températures de manière à ce que le bilan thermique nécessaire au collage ne vienne pas perturber les différentes zones semi-conductrices (murs et caissons P^+, base fine). Or, ce type de collage « basse température » s'accompagne de défauts d'interfaces en plus grand nombre.

Nous pouvons également envisager de réaliser la base et ses caissons par de multiples épitaxies. Cette approche nous permet d'obtenir des structures « vierges » de défauts. En revanche, le principal obstacle sera de gérer le bilan thermique, afin de bien contrôler la géométrie des couches enterrées.

2.5.4 Effets parasites et comparaison avec une solution sans caisson d'autoblindage

- Autopolarisation interne de la base

Les simulations quasi-statiques nous ont permis de valider le concept du transistor bipolaire symétrique bidirectionnel en tension et en courant en s'appuyant sur un émetteur et un collecteur rigoureusement identiques, séparées par une base enterrée. Cette dernière doit être polarisée à l'aide de murs P^+ introduits au sein de régions N. Ces murs doivent être suffisamment espacés des émetteurs et des collecteurs afin d'assurer la tenue en tension. Ces cellules, de taille importante, sont sujettes à un phénomène d'autopolarisation interne [54] : la base, peu dopée, possède une résistance interne non négligeable. Ce phénomène que l'on peut rencontrer chez les transistors conventionnels peut s'expliquer sur la figure 2-33.

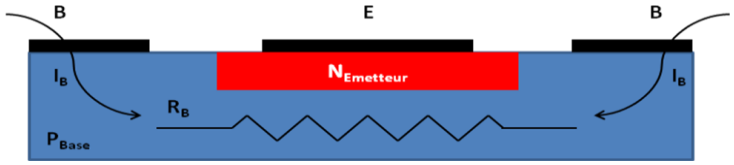


Figure 2-33 : Autopolarisation interne d'un TJB conventionnel à l'état passant.

La présence de la résistance de base R_B, illustrée figure 2-33, empêche l'émetteur d'injecter des porteurs uniformément au travers de la base. Une estimation de cette dépolarisation peut être effectuée en calculant la chute de tension entre un mur P^+ et le centre du composant, au niveau de la base enterrée.

Considérons une base autoprotégée 2D présentant les caractéristiques suivantes :

- Demi-longueur L_B = 30 µm ;
- Longueur active de base l_B = 15 µm, en excluant l'encombrement des caissons ;
- Epaisseur de la base active x_P = 3 µm ;
- Profondeur virtuelle de la base active z_P = 1 µm ;
- Dopage de la base active $N_{ABf} = 2{,}4.10^{15}$ cm^{-3}.

Sachant que la résistivité en fonction des dopages est donnée par :

$$\rho = \frac{1}{q.(n.\mu_n + p.\mu_p)} \qquad \textbf{Équation 2-18}$$

et que la résistance d'un barreau de matériau de résistivité ρ est donnée par :

$$R = \rho.\frac{L}{S}$$ **Équation 2-19**

avec L la longueur du barreau et S sa section, nous estimons, pour une densité J_B de 200 mA/cm², une chute de tension ΔV de 290 mV. Cette valeur est bien supérieure à k.T/q à 25 °C (26 mV). Cette chute de tension signifie que le centre de la base n'injectera pas de porteurs puisque la tension V_{BE} effective $V_{BEeff} = V_{BE} – \Delta V = 0,27$ V se situera alors bien en-dessous du seuil de conduction d'une jonction P-N.

Pour rendre compte du phénomène d'injection partielle de la base, nous avons effectué des simulations en ne polarisant que la jonction B – E dans le sens direct. Pour cela, nous nous sommes placés à V_{BE} égale à 0,8 V, bien au dessus de la tension de diffusion et à tension V_{CE} nulle. Il nous est alors possible d'isoler parfaitement le phénomène d'autopolarisation qui entraîne une injection partielle de la base. Ce phénomène est représenté sur la figure 2-34 où la zone centrale de la base, trop résistive, n'injecte que peu de trous.

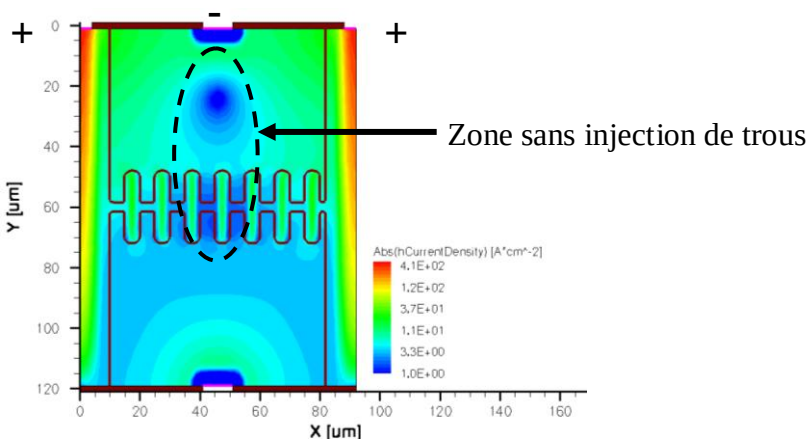


Figure 2-34 : Répartition du courant de trous injecté par la base à V_{BE} = 0,8 V et V_{CE} = 0 V.

Afin de mieux comprendre l'impact de la dépolarisation dans une base fine résistive, nous avons simulé et comparé le fonctionnement d'une cellule composée de deux caissons et d'une base fine centrale par rapport à une structure complète. Pour la simulation de la cellule réduite, nous avons polarisé directement les caissons comme indiqué sur la figure 2-35.

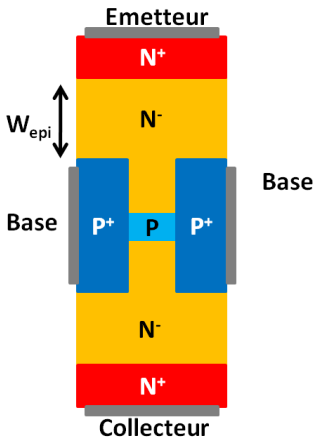


Figure 2-35 : Vue en coupe schématique d'une cellule réduite de TJB symétrique à base autoprotégée sans ses murs P^+.

Les courbes de gain des deux structures sont représentées sur la figure 2-36. Celles-ci reflètent différents types de comportement selon la densité de courant J_C :

- Pour des densités de courant J_C inférieures à 3,5 A/cm², l'écart est en faveur de la structure complète. A faible densité de courant, une diminution de V_{BE} déplace le point de fonctionnement du transistor vers le sommet de la courbe en cloche ;

- Pour des valeurs de J_C comprises entre 3,5 et 9 A/cm², qui représentent typiquement la zone de fonctionnement nominal du transistor symétrique de puissance, la cellule réduite présente un comportement intéressant avec des gains plus importants. Ainsi, l'écart de densité de courant, pour un gain de 15 par exemple, permettrait une réduction de la surface de la puce de 27 % ;

- Au-delà de 9 A/cm², la diode, formée par la base et l'émetteur, est mieux polarisée. Elle entre en régime de forte injection et agit comme un composant parasite au détriment du transistor.

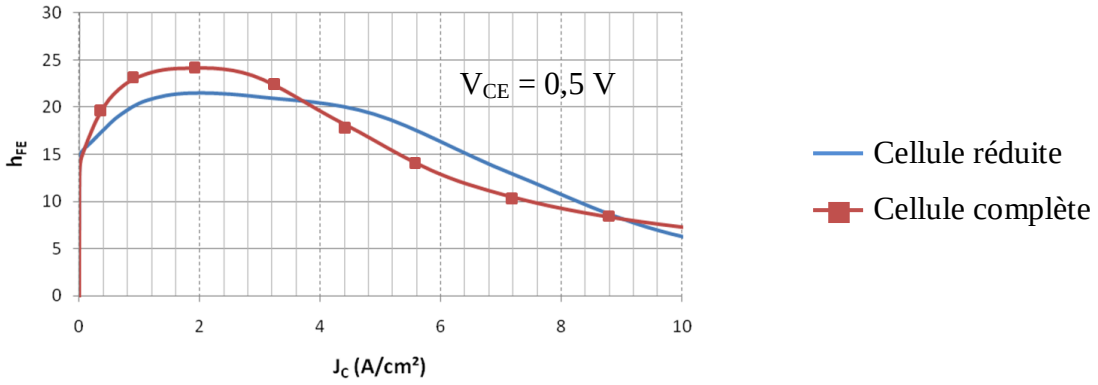


Figure 2-36 : Gain en courant en fonction de la densité de courant J_C pour une cellule réduite et une cellule complète.

Ces simulations nous permettent de conclure qu'il est désavantageux de recourir à l'utilisation de bases longues, du fait des pertes résistives. Une solution pour minimiser la dépolarisation serait d'introduire un second réseau de caissons P^+, identique et perpendiculaire à celui de l'autoblindage, qui servirait à polariser la base enterrée (figure 2-37).

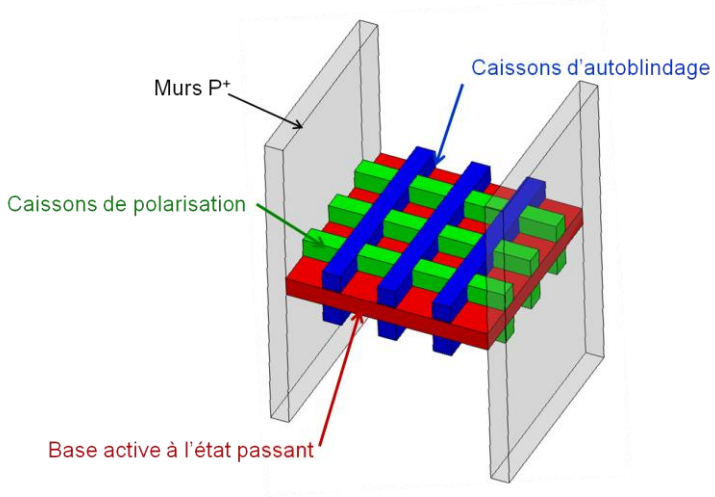


Figure 2-37 : Vue en perspective d'un transistor symétrique vertical pourvu de caissons de polarisation, au niveau de la base.

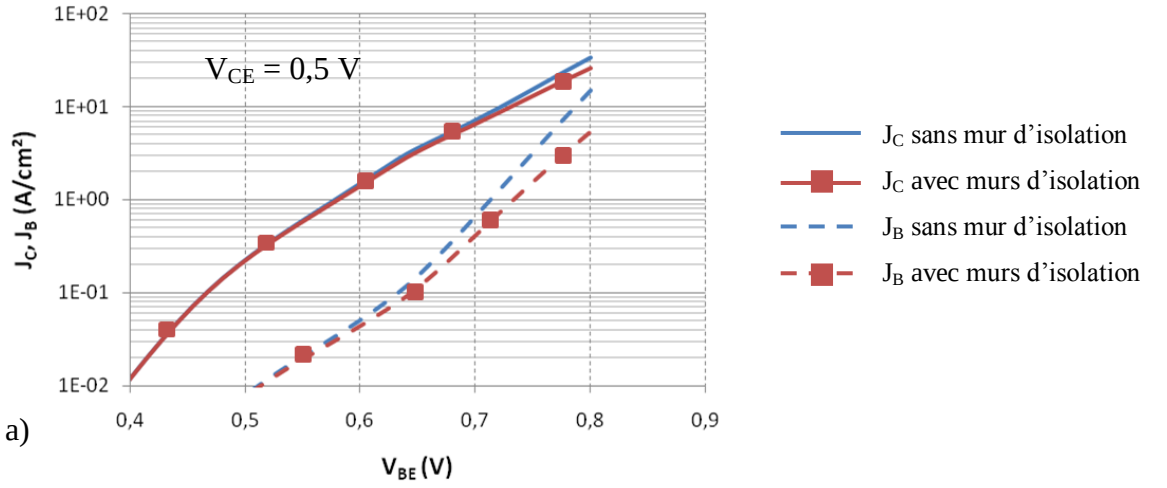
Ces caissons, placés à intervalles réguliers, permettraient de reporter plus efficacement le potentiel appliqué sur les murs P^+ et limiteraient ainsi la dépolarisation de la base fine.

- Diodes parasites introduites par les murs P^+

Un autre phénomène parasite pourrait venir perturber le fonctionnement de la structure. Introduit par les diodes parasites issues des murs P^+ qui peuvent court-circuiter les jonctions B

– E et B – C en régime de forte injection, son effet peut être estimé en simulant l'insertion d'un puits isolant le long des murs et en comparant les réseaux de courbes de Gummel et de gain. Les caractéristiques présentées figure 2-38, confirment l'amélioration apportée par l'isolation des murs P^+ pour les fortes densités de courant. En l'absence d'isolation, les jonctions P^+-N^- introduites par les via traversants, sous l'effet d'une polarisation V_{BE} suffisante, laissent passer une partie du courant destiné à alimenter la base enterrée. La densité de courant J_B augmente donc (figure 2-38.a) sans pour autant contribuer à l'augmentation de J_C de sorte que le gain diminue (figure 2-38.b). L'impact de ce phénomène reste toutefois modéré en raison de la distance importante séparant les murs P^+ des zones de diffusion N^+ et d'une tension V_{BE} proche de la tension de seuil de la jonction B – E lorsqu'un courant de commande est appliqué sur la base.

a)



b)

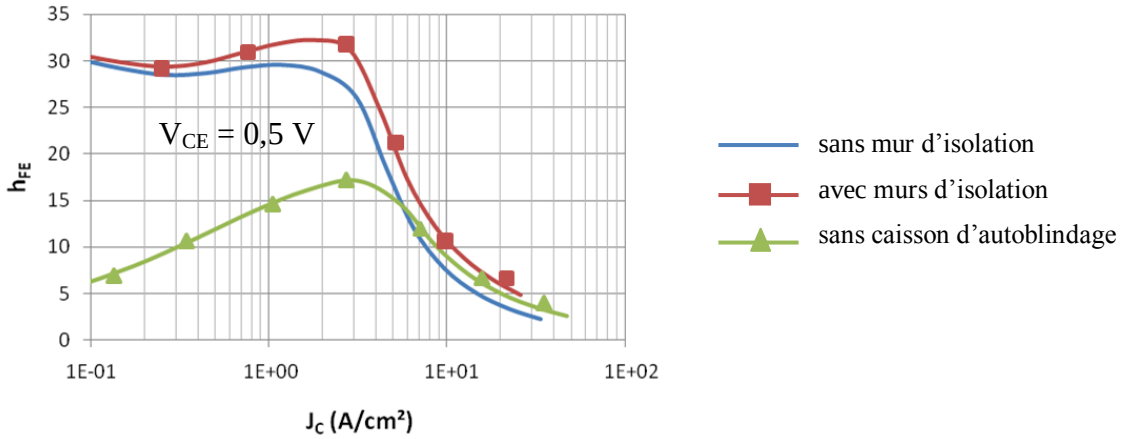


Figure 2-38 : a) comparaison des courbes de Gummel et b) de gain entre un TJB symétrique sans et avec murs d'isolation, puis avec un TJB sans caissons d'autoblindage b).

La figure 2-38.b nous permet également d'apprécier l'apport d'une base autoprotégée par rapport à une structure classique sans caissons P^+. Au-delà d'un certain seuil de densité de courant J_C, les caractéristiques se rejoignent du fait de l'effet Rittner en régime de forte injection d'électrons dans la base. Cette situation ne peut pas être résolue à l'aide des murs isolants puisque le problème est causé par le dopage N_{ABf} trop faible de la base active. Dans ce cas, seule une augmentation du dopage moyen des régions du collecteur et de l'émetteur nous permettra d'augmenter le gain h_{FE}, au détriment de la tenue en tension.

2.5.5 Performances électriques de la structure pour différentes tensions de claquage

Les simulations précédentes ont permis d'évaluer les performances statiques de la structure. Il est néanmoins intéressant d'étendre l'étude de cet interrupteur à d'autres valeurs de tension de claquage afin d'évaluer le domaine de validité et de pouvoir éventuellement l'intégrer dans d'autres applications.

Plusieurs valeurs de V_{CEO} sont retenues. Pour chacune de ces valeurs, nous dimensionnons de manière optimale les caractéristiques technologiques des zones N^- et de la base fine.

Le réseau de courbes de gains, présenté figure 2-39, permet d'apprécier le compromis à trouver entre la valeur du gain à l'état passant et la tension d'avalanche à l'état bloqué avec un gain d'autant plus grand que la tenue en tension sera faible.

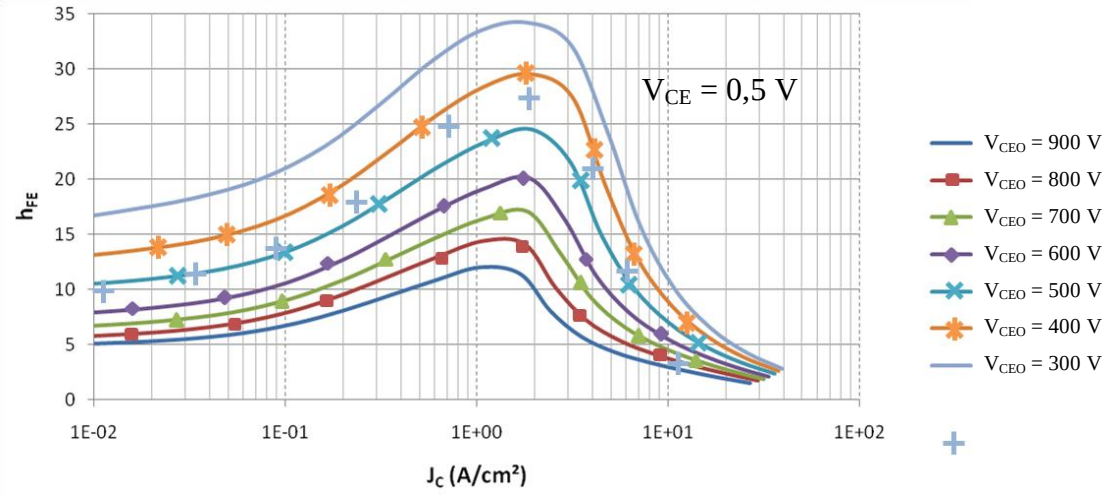


Figure 2-39 : Evolution du gain en fonction de la densité de courant collecteur pour différentes tensions V_{CEO}. Simulations effectuées sans introduction d'une interface de collage.

Selon l'application souhaitée, il est possible de fixer la tension maximale à supporter ainsi que la surface de puce nécessaire (et donc d'imposer le dimensionnement du circuit de commande). Ainsi par exemple, un TJB bidirectionnel en tension et en courant, compatible avec les spécifications du projet de recherche collaboratif SESAME-ISIS (V_{CEO} = 500 V ; I_N = 4,5 A), nécessitera 1 cm² de silicium et un courant de commande de 250 mA. Pour une tension V_{CE} égale à 0,5 V, la dissipation totale sera égale à 2,5 W.

Ces données vont maintenant nous permettre de positionner notre structure par rapport à l'état de l'art.

2.5.6 Positionnement par rapport à l'état de l'art

Pour des applications domestiques nécessitant un courant de 4,5 A et dissipant tout au plus 3,5 W, un composant incluant une tension de seuil de jonction ne peut pas convenir. Si l'on considère maintenant la figure 2-38, un transistor bipolaire symétrique de surface de 100 mm² nous permettrait d'ores et déjà d'espérer une dissipation de 2,5 W. De telles performances ne sont comparables que par rapport à celles de composants monolithiques unipolaires.

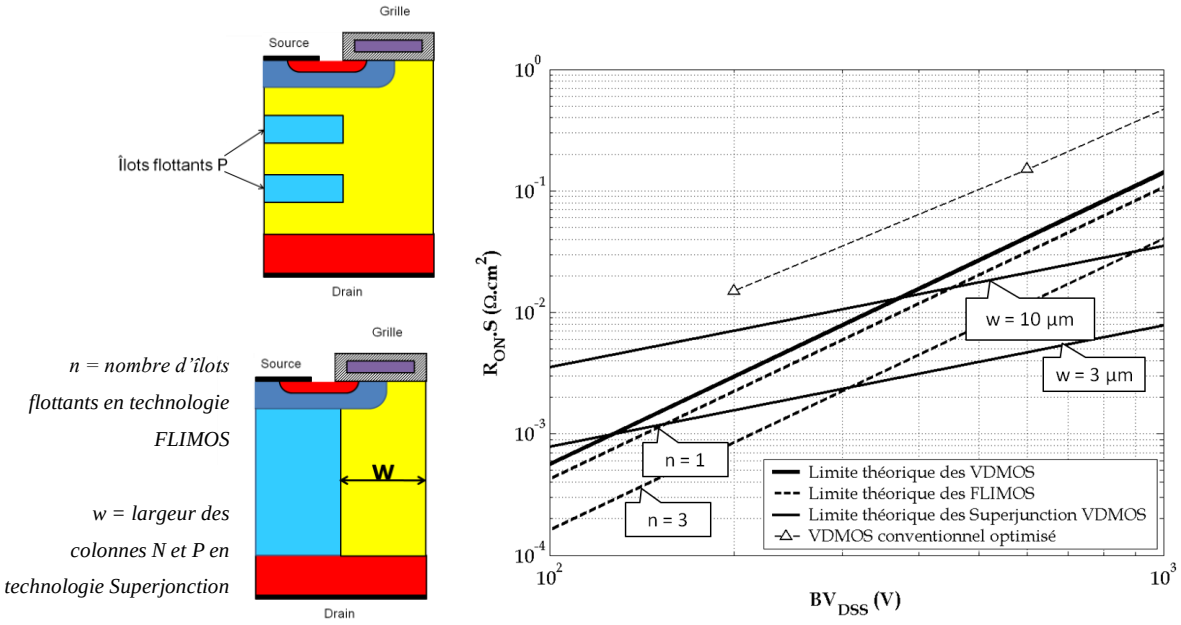


Figure 2-40 : Comparaison entre les limites des performances théoriques des différents interrupteurs unipolaires unidirectionnels à une température de jonction T_j = 25 °C [55].

La figure 2-40 présente l'évolution de la résistance passante en fonction de la tension de claquage pour différentes technologies MOS et une température de jonction T_j égale à la température ambiante. Notons que les transistors MOS subissent une hausse de leur résistance à l'état passant avec la température ce qui peut nous obliger à les surdimensionner pour des applications en milieu confiné où la température de jonction peut atteindre 125 °C.

Ainsi, pour une même puissance dissipée, un composant commercial VDMOS conventionnel 500 V à double-face présentera une résistance R_{ON} à l'état passant de 100 mΩ.cm² pour une température de jonction T_j égale à 25 °C et 200 mΩ.cm² lorsque cette température atteint 125 °C, température maximale permise.

Ainsi, la puissance dissipée pour 1 cm² de puce atteint 4 W (R_{DSON} = 200.10^{-3} Ω, I_N = 4,5 A) ce qui est d'ores et déjà bien supérieure à la puissance théorique dissipée par la solution bipolaire. L'interposition de superjonctions dans la zone N^- permet une diminution significative de cette puissance (voir tableau 2-1). Les structures de quelques mΩ.cm² sont, quant à elles, technologiquement difficiles à réaliser industriellement.

Tableau 2-1 : Comparaison entre les structures existantes unipolaires et le TJB symétrique vertical 500 V, pour T_j = 125 °C et I_{charge} = 4,5 A.

Type de structure	**R_{on}.S**	**Puissance dissipée, (S =1 cm²)**	**Propriétés**
VDMOS conventionnel commercial	▪ 200 mΩ.cm²	4 W	▪ Grilles MOS double-face
Superjonction (limite théorique, pour w = 10 µm)	▪ 40 mΩ.cm² ▪ 80 mΩ.cm² (pour un composant double-face)	1,62 W	▪ Performances industrielles inférieures ▪ Grilles MOS double-face
Îlots flottants (limite théorique, pour n =1)	▪ 40 mΩ.cm²	0,81 W	▪ Performances industrielles inférieures ▪ Grilles MOS double-face
TJB de puissance symétrique		2,5 W	▪ Technique de collage Si-Si à mettre en place

Le tableau 2-1 résume les performances de plusieurs solutions technologiques de composants unipolaires. Nous constatons qu'elles sont toutes théoriquement capables de satisfaire des conditions de consommation inférieures ou égales à 4W par composant, y compris à une température de jonction de 125 °C. Concernant les composants à superjonction, les valeurs industrielles réelles sont plus élevées, du fait de la complexité de la technologie mise en œuvre (exemple de MOS unidirectionnel en tension et en courant à superjonction : STY60NM50, V_{br} = 500 V, I_{Dmax} = 60 A, R_{DSon} = 45 mΩ, 96 mm² de surface). D'autre part, ces composants double-face requièrent l'utilisation de boîtiers sur-mesure ou bien encore le développement d'étapes technologiques supplémentaires pour le report des contacts en face arrière qui n'existent pas encore. Par ailleurs, les technologies MOS présentées ici nécessitent plus de niveaux de masquage en raison de leur grille et sont donc a priori plus coûteuses.

Enfin, il est important de noter qu'un composant double-face à superjonction nécessite, pour une même résistance, deux fois plus de surface de puce, qu'un composant double-face muni d'îlots flottants.

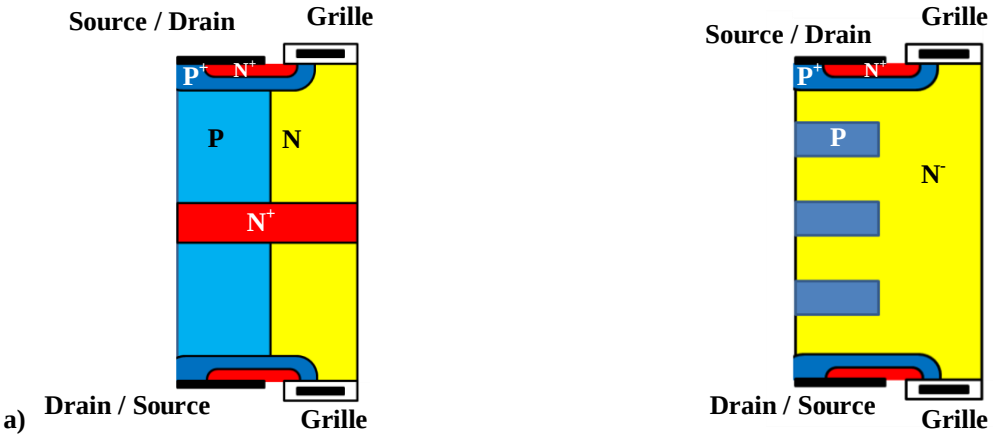


Figure 2-41 : Exemple d'amélioration possible de composants MOS à double-face utilisant les concepts des (a) superjonctions et des b) îlots flottants.

En effet, à la différence des autres structures MOS et bipolaires, les composants à superjonction nécessite l'insertion d'une couche tampon N^+ au milieu du dispositif bidirectionnel (figure 2-41.a). Sa présence, nécessaire, permet d'empêcher tout court-circuit entre les couches $P^+_{drain\ /\ source}$. Cette couche tampon renforce également la tenue mécanique des plaquettes, avec néanmoins la contrepartie de produire des structures deux fois plus épaisses. A noter que la tenue mécanique représente l'inconvénient majeur des autres structures bidirectionnelles MOS et bipolaires 500 V. En effet, à l'exception des composants destinés à supporter des tensions importantes de l'ordre du kV, avec des zones de tenue en tension pouvant atteindre l'épaisseur totale de la plaquette, les structures destinées à supporter des tensions plus modestes sont généralement beaucoup plus minces et plus fragiles.

2.6 Conclusion

Les outils de simulation à éléments finis nous ont permis de valider la fonctionnalité du Transistor à Jonction Bipolaire Symétrique (TJBS). A partir de simulations quasi-statiques, il a été possible de vérifier la bidirectionnalité en tension et en courant de ce type d'interrupteur. Les résultats obtenus ont pu toutefois souligner les limites de la structure avec un gain médiocre dû à une faible efficacité d'injection des porteurs.

Nous avons repris le concept d'isolation électrique par autoblindage et proposé une solution d'amélioration du gain. Cette solution consiste à protéger la base du transistor, fine et/ou faiblement dopée, par des caissons P^+ placés à intervalles réguliers. Cela nous a permis de découpler partiellement le gain de la tenue en tension et d'obtenir ainsi de meilleurs résultats.

Nous disposons, avec le TJB symétrique à base autoprotégée, d'une structure d'interrupteur bidirectionnel en courant et en tension dont les performances électriques, bien que théoriquement inférieures à celles des transistors munis de superjonctions ou d'îlots flottants, conviennent aux exigences de faible consommation pour des applications dans un environnement confiné. Dépourvue de grilles MOS ou de contacts multiples en face arrière, cette solution présente ainsi l'avantage d'être beaucoup moins coûteuse à réaliser.

Subsistent néanmoins les difficultés liées aux courants parasites issus des murs P^+, à la dépolarisation de la base enterrée, ainsi qu'à la tenue mécanique des structures de type 500 V pour lesquelles des solutions restent encore à trouver dans le cas de structures verticales. Nous verrons néanmoins, dans le troisième et dernier chapitre, que ces difficultés peuvent être contournées en transposant, horizontalement, le principe du TJB symétrique vertical.

3 Le transistor bipolaire symétrique sur SOI à effet RESURF

3.1 Introduction

La réalisation d'un transistor bipolaire symétrique est délicate à cause d'une épaisseur de plaquette trop fine pour les gammes de tension visées. De plus, les simulations réalisées dans le chapitre 2 ont montré la présence d'effets parasites inhérents à la structure verticale.

Dans le chapitre 1, nous avons montré que les structures latérales étaient facilement intégrables et moins sujettes aux contraintes de réalisation. En permettant un accès direct à la base, cette architecture permet de supprimer les effets parasites. Ce type de structure semble donc plus pertinent.

Au cours de ce chapitre, l'étude se concentrera dans un premier temps sur les technologies mises en œuvre pour la réalisation et l'amélioration des composants de puissance latéraux. Dans un deuxième temps, le concept du silicium sur substrat isolant, plus connu sous l'acronyme SOI (Silicon On Insulator), sera présenté.

Dans un troisième temps, nous présenterons le principe d'un TJB symétrique latéral sur SOI. Des simulations quasi-statiques 2D seront réalisées, afin de mesurer les gains apportés. Ces simulations seront ensuite validées grâce à une analyse 3D.

3.2 Les composants de puissance latéraux et concept RESURF

Les structures latérales classiques présentées au chapitre 1 ont pour principal inconvénient leur faible tenue en tension. Les jonctions qui soutiennent la tension sont cylindriques (sphériques en 3D) avec des zones de confinement du champ électrique en surface provoquant un claquage prématuré. De plus, les surfaces sont oxydées et les charges présentes à l'interface Si / SiO_2 peuvent modifier la répartition de la charge d'espace et introduire des variations significatives dans la tension de claquage. Cet obstacle est également rencontré en périphérie des structures verticales. Des concepts, connus sous le nom de

« Junction Termination Edge » ou « JTE » [55], ont permis d'obtenir des tensions de claquage en périphérie proches de celles des cellules unitaires. Néanmoins, comme ces périphéries permettant de tenir la haute tension sont destinées avant tout aux architectures verticales, elles ne sont donc pas transposables dans le cas d'une structure latérale.

Au début des années 70, des études sur des LDMOS réalisés sur des plaquettes épitaxiées épaisses mentionnaient des tensions de claquage de 300 V, considérées comme très élevées pour l'époque [56]. C'est à la suite de travaux d'amélioration des performances de ce type de structures que fut publié le concept du RESURF, contraction du terme REduced SURface Field [57]. Ce concept consiste, à l'état bloqué d'une structure, à déserter uniformément les zones de tenue en tension. Le profil longitudinal du champ électrique est donc uniforme : la tension de claquage est donc plus élevée, à même niveau de dopage.

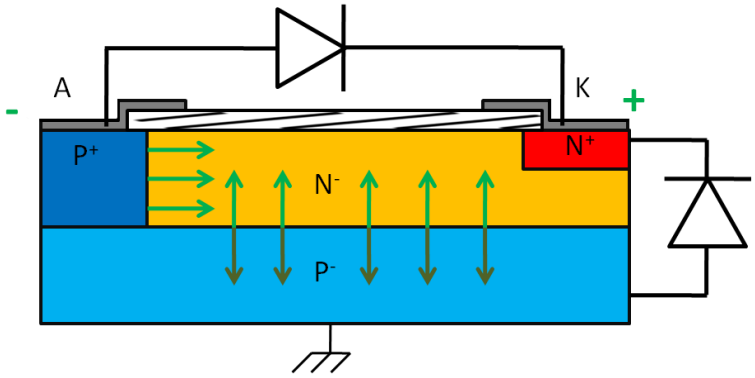


Figure 3-1 : Vue en coupe schématique d'une diode latérale haute tension utilisant le concept du RESURF.

La diode présentée sur la figure 3-1 est fabriquée sur un substrat P^- résistif. La structure se décompose en une diode latérale $P^+N^-N^+$ et une diode verticale $N^+N^-P^+$. Une telle diode présente une tenue en tension directement liée à l'épaisseur de la couche N^-. Selon la caractéristique de cette dernière, deux cas peuvent être distingués : lorsque la désertion est incomplète et lorsqu'elle est totale.

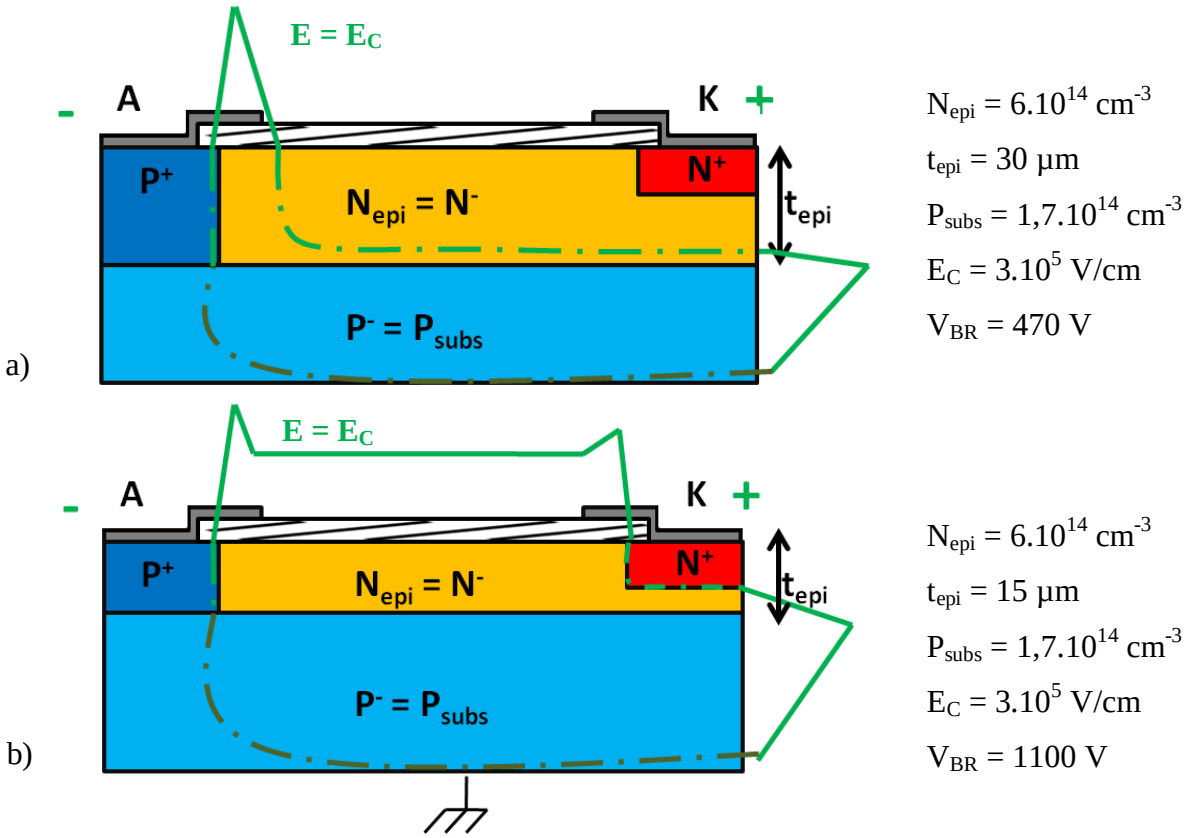


Figure 3-2 : Représentation schématique du champ électrique sur un exemple de diode RESURF [57], selon le niveau de désertion de la couche N^-. a) désertion incomplète. b) désertion complète.

Lorsque le dopage N_{epi} et/ou l'épaisseur t_{epi} sont trop élevés, le mécanisme de désertion est similaire à celui rencontré chez les structures conventionnelles (figure 3-2.a). La tension de claquage est donc déterminée uniquement par le mécanisme de désertion latérale et est égale, dans le cas de la figure 3-2.a, à 470 V. En revanche, lorsque N_{epi} et t_{epi} sont optimaux (figure 3-2.b), le mécanisme de désertion verticale s'étendra dans toute la couche de tenue en tension avant que la jonction latérale P^+N^- ne parte en avalanche. La couche de tenue en tension N^- est totalement désertée. Le profil du champ électrique selon l'axe horizontal est uniforme et son aire est plus importante que celle du profil triangulaire de la figure 3-2.a. La tension supportée est alors plus élevée car mieux répartie dans tout le volume de la zone N^-, pour un même niveau de dopage. Elle s'élève, dans notre cas, à 1100 V. En implémentant l'effet RESURF dans une structure latérale, il est possible, pour une même tension de claquage, d'augmenter le dopage voire diminuer la largeur des zones de tenue en tension. Afin d'obtenir une tension de claquage optimale, le couple dopage et épaisseur de la zone

épitaxiée doit obéir à la relation suivante [58] qui dérive directement de l'équation de Poisson, pour un champ électrique uniforme :

$$\frac{E_C}{t_{epi}} = \frac{q.n}{\varepsilon_{Si}} \Rightarrow n \cdot t_{epi} = \frac{\varepsilon_{si} \cdot E_C}{q} \qquad \textbf{Équation 3-1}$$

où :

- n est la valeur du dopage de la couche épitaxiée N^- ;
- ε_{si} est la permittivité diélectrique du silicium ;
- E_C est le champ électrique critique ;
- q est la charge élémentaire.

L'équation 3-1 nous montre que le produit $n.t_{epi}$ doit rester constant et égal à 10^{12} cm^{-2} [58]. Ainsi, l'augmentation de l'un des termes entraîne la diminution de l'autre. Le mécanisme de désertion bidimensionnelle, produisant un profil de champ électrique uniforme, est également exploité dans les composants verticaux unipolaires intégrant des superjonctions et dont l'optimisation repose sur l'équilibre des charges entre les colonnes P et N.

Tous les composants de puissance latéraux ont fait l'objet d'adaptation permettant de profiter au mieux de l'effet RESURF, à savoir le JFET, le LDMOS, le LIGBT et également le L – NPN (figure 3-3).

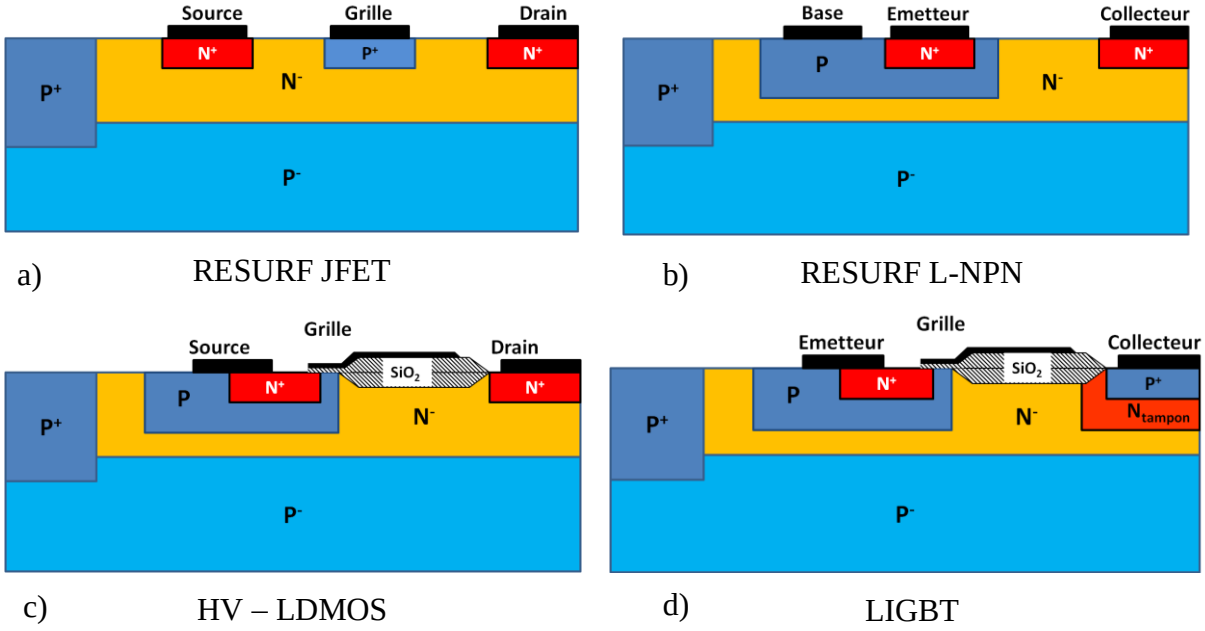


Figure 3-3 : Exemples schématiques de structures latérales RESURF [57]. a) RESURF JFET. b) RESURF L-NPN. c) HV – LDMOS. d) LIGBT).

La transposition de la structure verticale du TJBS étudiée en chapitre 2 en une structure latérale nous permettra de nous affranchir d'une base enterrée longue et fine qui entraîne un fonctionnement non uniforme de la structure à l'état passant et des difficultés de réalisation. Par ailleurs, l'effet RESURF peut être mis à contribution pour augmenter le dopage des zones N^- et, par conséquent, améliorer l'efficacité d'injection du collecteur et de l'émetteur.

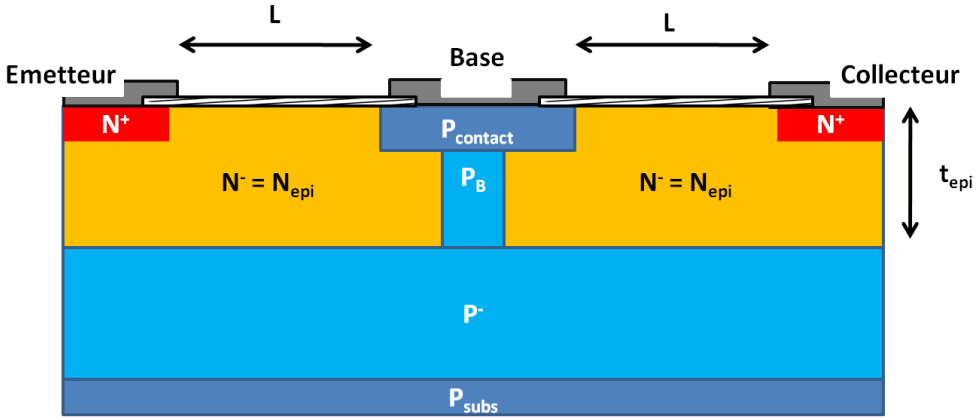


Figure 3-4 : Application du TJB symétrique au concept RESURF.

Le schéma de la figure 3-4 représente la structure d'un transistor à jonction bipolaire symétrique latéral. On retrouve les deux émetteurs N^+ séparés de la base fine P_B par deux régions N^- faiblement dopées. Le niveau de dopage de la couche épitaxiée N^- est fixé par l'équation 3-1, tel que $N_{epi} = 3{,}3.10^{14}$ cm^{-3} pour une épaisseur t_{epi} de 30 µm. L'écart L est calculé en s'appuyant sur la relation suivante [59] :

$$L = A^{1/6}.(BV)^{7/6} \qquad \textbf{Équation 3-2}$$

où A est le coefficient d'ionisation fixé égal à $1{,}8.10^{-35}$ cm^6/V^7 pour $E = 3{,}5.10^5$ V/cm et BV la tension de claquage. Pour une tension de claquage de 500 V, 23 µm sont théoriquement nécessaires entre la base et l'une des électrodes de puissance au lieu de 50 µm pour une structure plus conventionnelle. Cette relation n'est valable que pour un profil de champ électrique longitudinal uniforme. Nous avons vérifié la validité de cette relation en procédant à des simulations quasi-statiques à l'état bloqué.

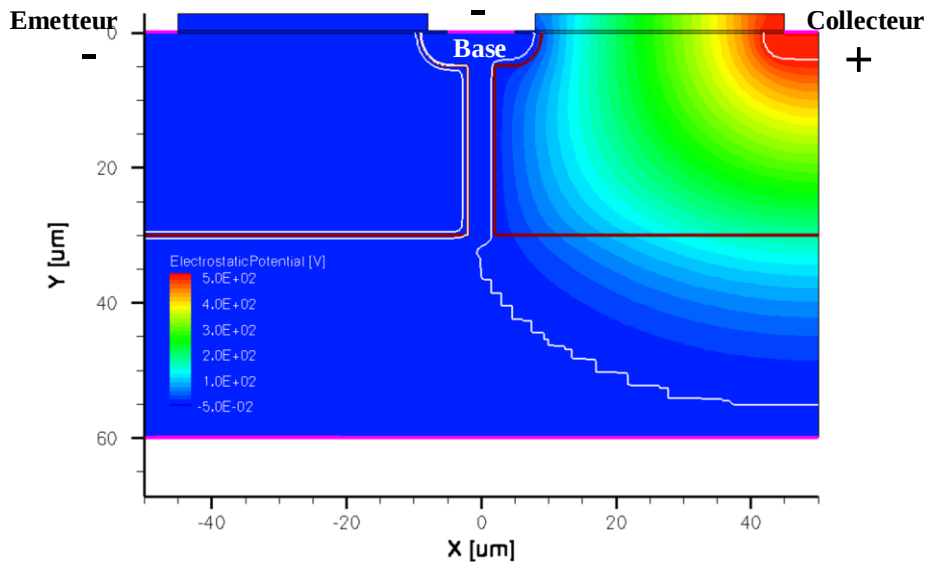


Figure 3-5 : Répartition du potentiel électrique au claquage à V_{CE} = 500 V.

La figure 3-5 illustre la répartition du potentiel électrique au sein de la structure, à la tension de claquage 500 V. Pour tenir la tension souhaitée, nous avons dû augmenter la longueur L de la zone de tenue en tension jusqu'à la valeur de 35 µm, en raison d'une jonction verticale PN qui n'est pas parfaitement plane en surface. Nous voyons que les lignes de potentiel électrique s'étendent également dans la couche enterrée P^- faiblement dopée du substrat. La tension soutenue par la structure est plus importante à mêmes dimensions géométriques et niveaux de dopage par rapport à une structure plus classique, sans effet RESURF.

Nous validons à travers cette première simulation le gain apporté par l'effet RESURF puisque la tension de claquage s'élève à 500 V là où une structure classique partirait en avalanche pour 400 V. En effet, seule une longueur L de 35 µm est nécessaire alors qu'une structure conventionnelle, telle que le TJBS présenté dans le chapitre 2, en nécessiterait plus de 50 µm.

Outre le fait d'avoir à supporter une partie de la tension en inverse, la couche P^- est également le siège de la traversée de courants parasites comme le montre la distribution des lignes de courant de la figure 3-6 lorsque la base est polarisée positivement par rapport à l'émetteur et au collecteur.

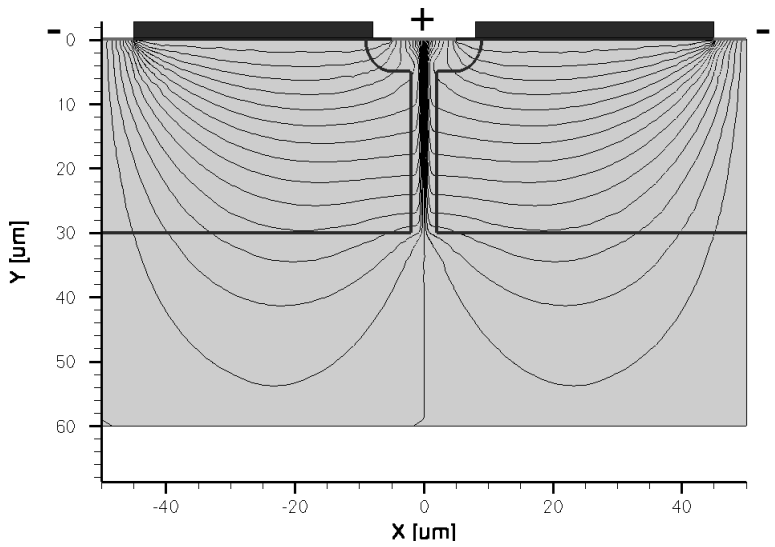


Figure 3-6 : Répartition des lignes de courants à $V_{BE} = V_{BC} = 0,75$ V.

Sur la figure 3-6, nous pouvons observer qu'une partie du courant de base s'écoule dans la couche P^- avant de rejoindre les électrodes de collecteur ou d'émetteur, au lieu d'être injectée dans la zone de tenue en tension (ou zone de drift). La dérivation de ce courant parasite pénalise le gain à l'état passant. Afin d'éviter les inconvénients liés à l'utilisation des couches N^- épitaxiées sur un substrat P^-, les structures latérales ont évolué vers l'utilisation de substrats en silicium sur isolant (Silicon On Insulator ou SOI).

3.3 La technologie Silicium sur Isolant (Silicon On Insulator SOI)

Utilisé dans des applications de faibles puissances [60], la technologie SOI permet de diminuer les capacités parasites ou les courants de fuite parfois élevés en l'absence d'isolation efficace inter – électrode. En empilant une couche de silicium sur une couche diélectrique, en l'occurrence une couche de dioxyde de silicium SiO_2, les capacités parasites sont réduites et les fréquences de coupure des transistors sont augmentées. Plus coûteuse que la technologie sur substrat massif de silicium, les gains en performance constatés en font, cependant, une technologie parfaitement en accord avec les besoins de l'industrie du semi-conducteur.

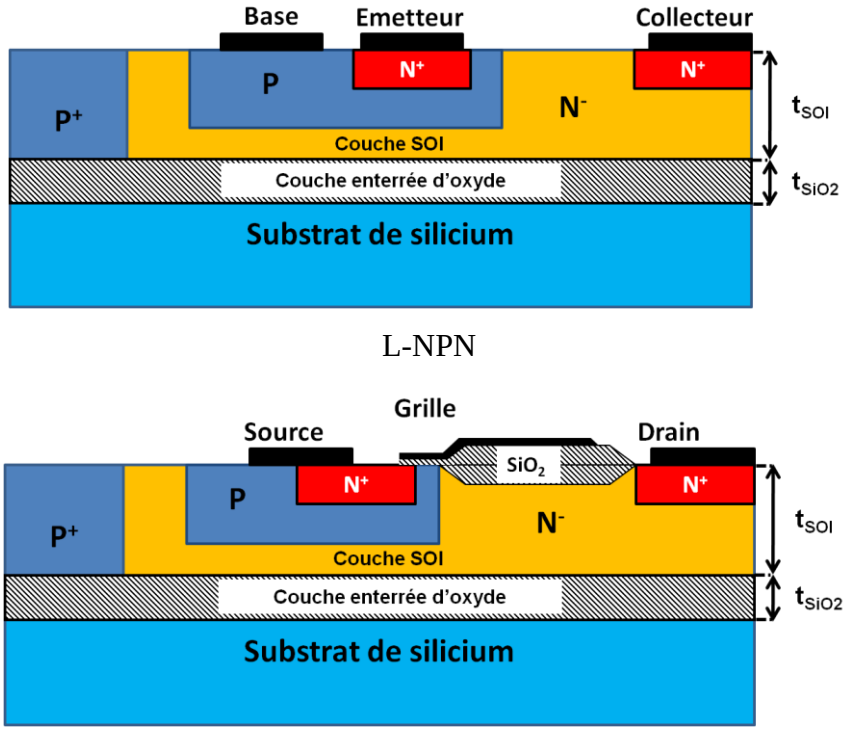


Figure 3-7 : Implémentation de la technologie SOI sur les composants latéraux existants. a) L-NPN. b) HV-LDMOS.

La figure 3-7 représente deux structures de transistors L-NPN et HV-LDMOS implémentées sur substrats SOI. L'utilisation de la technologie SOI est d'autant plus intéressante en électronique de puissance qu'elle permet à la fois de bénéficier d'une isolation électrique accrue due à la présence de la couche d'oxyde enterrée et de bénéficier également de l'influence de l'effet RESURF. En outre, l'effet RESURF est théoriquement renforcé par la présence de la couche d'oxyde enterré qui peut supporter des champs électriques plus importants. Par ailleurs, en facilitant l'isolation entre les composants de puissance et les composants de commande, les substrats SOI encouragent l'intégration monolithique. Deux types de structures SOI ont émergé : les structures réalisées sur des couches SOI épaisses et les autres réalisées sur des couches SOI fines.

3.3.1 Structures sur « substrats SOI épais »

Les structures qui rentrent dans cette catégorie utilisent des couches d'épaisseurs de silicium SOI comprises entre plusieurs microns et plusieurs dizaines de microns. Ces structures sont similaires à celles présentées figure 3-3.

En considérant que la couche supérieure de silicium est totalement désertée avant le claquage de la jonction base – émetteur ou base – collecteur, la tenue en tension est idéalement proportionnelle à la longueur de la zone drift.

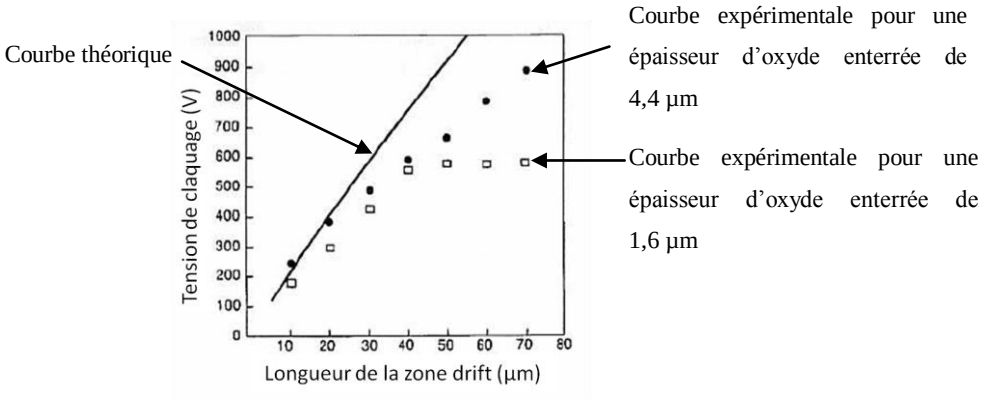
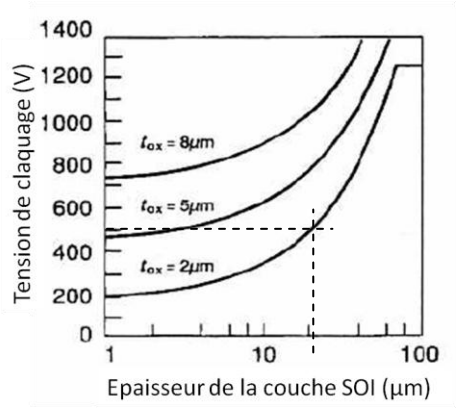


Figure 3-8 : Evolution de la tension de claquage en fonction de la longueur de drift [58].

La figure 3-8 représente l'étude d'E. Arnold et de son équipe sur l'évolution de la tension de claquage théorique en fonction de la longueur de drift, ainsi que l'évolution des valeurs mesurées pour deux épaisseurs d'oxyde enterré [58]. Pour des longueurs de drift (i.e. des zones de tenue en tension) supérieures à 30 µm, nous constatons une dérive des caractéristiques expérimentales par rapport à la courbe théorique. Ceci peut s'expliquer par l'utilisation de couches d'oxyde d'épaisseur insuffisante. Cette dernière participe en effet à la tension de claquage verticale qui est donnée par l'expression suivante :

$$V_{br}(vertical) = E_C.(\frac{t_s}{2} + \frac{\varepsilon_S.t_{ox}}{\varepsilon_{ox}}) \qquad \textbf{Équation 3-3}$$

où E_C, t_s, t_{ox} sont respectivement le champ électrique critique du silicium et les épaisseurs de la couche supérieure de silicium et de l'oxyde enterré. ε_S et ε_{ox} sont respectivement les permittivités du silicium et de l'oxyde. Puisqu'une partie de la tension verticale est supportée par l'oxyde enterré, l'augmentation de son épaisseur permet de s'approcher du cas idéal. Toutefois, cette approche est limitée par les contraintes mécaniques et thermiques qui s'intensifient en cas d'utilisation de couches épaisses. On préférera donc augmenter l'épaisseur de la couche supérieure de silicium, encore appelée couche SOI (figure 3-7).



Condition de claquage :

$E_C = 3.10^5$ V/cm

Figure 3-9 : Evolution théorique de la tension de claquage en fonction de l'épaisseur de la couche SOI, pour différentes épaisseurs de couche d'oxyde t_{ox} [58].

Des exemples de compromis possibles entre épaisseurs de couches SOI et épaisseurs de couches d'oxyde sont présentés sur la figure 3-9. Ainsi, un composant 500 V pourra donc être obtenu avec une couche SOI d'épaisseur de 30 µm et une épaisseur d'oxyde de 2 µm.

A l'instar de l'effet RESURF sur substrat massif, l'effet RESURF sur substrat SOI est sensible au dopage des zones de drift. Un trop fort dopage entraînera un claquage prématuré des jonctions. Un dopage trop faible provoquera un resserrement des lignes équipotentielles, au voisinage des électrodes de puissance (crowding), ce qui entraînera également un claquage prématuré du composant.

Il existe donc une valeur optimale de dopage pour laquelle la tension de claquage sera maximale [58]. Elle correspond à une désertion complète de la couche SOI, sans « crowding », ni claquage prématuré au niveau des jonctions latérales. A l'instar des structures sur substrats massifs, la condition présentée dans l'équation 3-1 doit être respectée. Afin de repousser cette limitation, des solutions destinées à augmenter la valeur du dopage dans la zone de drift ont été étudiées.

- Insertion d'une diode enterrée sous la couche enterrée de SiO_2

L'une des solutions proposées consiste à loger verticalement la tension à la fois dans l'oxyde et dans le substrat en gravant une ouverture dans l'oxyde enterrée [58]-[61]-[62].

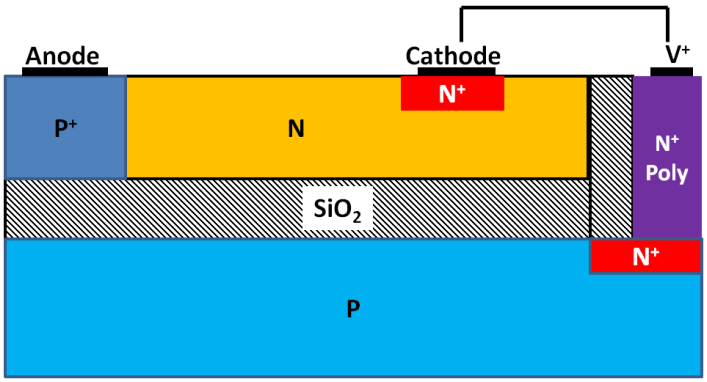


Figure 3-10 : Vue en coupe d'un composant SOI haute tension muni d'une « diode enterrée » [58].

La figure 3-10 illustre ce concept appliqué sur une diode bipolaire. A l'état bloqué, l'électrode de cathode connectée à l'électrode V^+ induit une extension de ZCE dans le substrat P fortement résistif via la jonction PN^+ enterrée polarisée en inverse. Il en résulte une tension partiellement supportée par le substrat, permettant ainsi l'utilisation de couches d'oxyde plus minces.

- Insertion d'une couche de diffusion P

Une autre solution (figure 3-11) consiste à étendre l'anode P^+ par une couche de diffusion P au dessus ou au dessous de la zone de drift N, produisant ainsi une désertion plus efficace de la couche SOI à l'état bloqué. Pour une même tension appliquée, l'extension verticale totale des ZCE sera jusqu'à deux fois plus importante grâce à la désertion dans la couche N et celle dans la couche P. Le niveau de dopage dans la zone N peut être augmenté tout en conservant une tension de claquage identique.

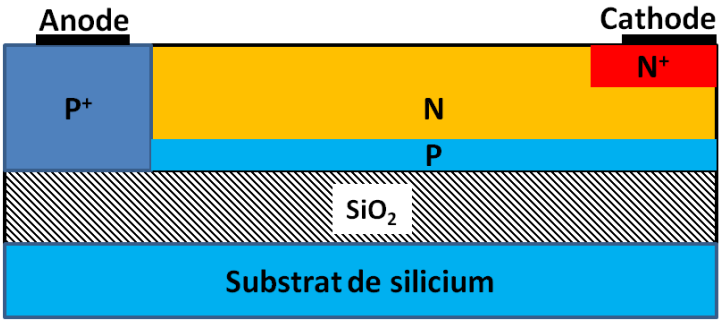


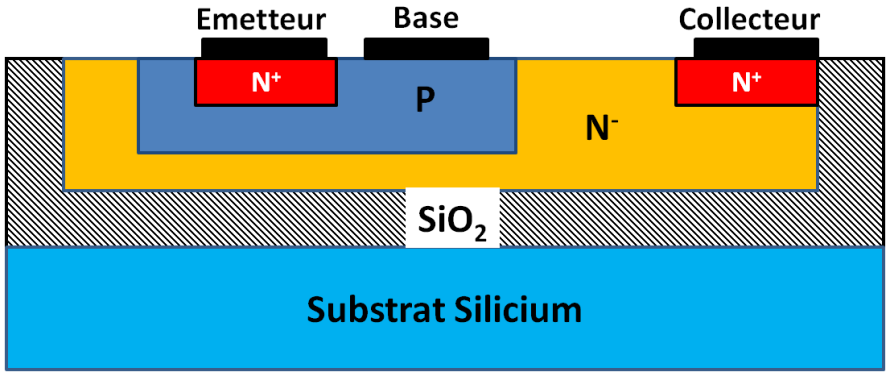
Figure 3-11 : Vue en coupe schématique d'une extension en profondeur d'une jonction P-N d'une structure diode.

Ainsi, en structurant la zone drift selon le schéma de la figure 3-11, tout se passera comme si nous avions une diode verticale qui se déserte à faible tension inverse. Ce concept,

introduit en 1979 [63], rappelle celui des super-jonctions introduit plus tard dans les structures verticales, avec un équilibre de charges entre les couches P et N. Néanmoins, cette structure est propice aux injections parasites provenant de cette couche P^- enterrée.

Des transistors bipolaires ont été fabriqués sur substrats SOI épais (figure 3-12.a) [64]-[65]. A l'instar du TJB réalisée sur substrat massif (figure 3-4), ce type de structure peut se « symétriser » (figure 3-12.b). En revanche, la base, profonde, doit être vierge de défauts sans quoi les performances de la structure pourraient être diminuées. La réalisation d'une telle base pose des problèmes de réalisation technologique.

a)



b)

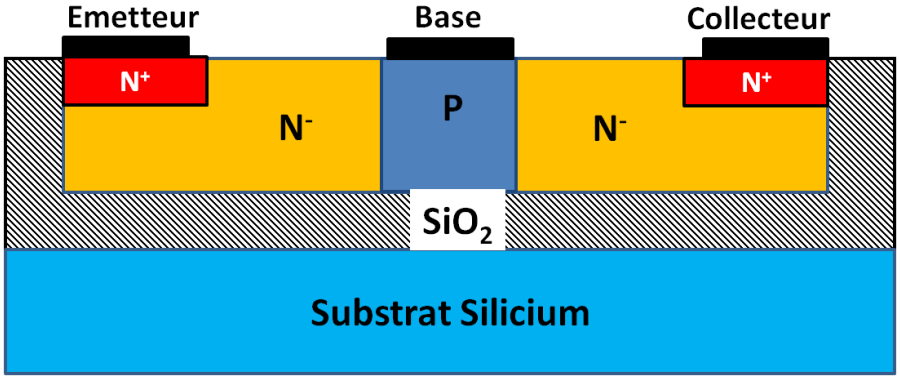


Figure 3-12 : a) vue en coupe schématique d'un TJB unidirectionnel réalisé sur substrat SOI épais. b) vue en coupe schématique d'un TJBS sur substrat SOI épais.

3.3.2 Structures sur « substrats SOI fins »

Séduisantes par leur apparente simplicité de réalisation et leur intégrabilité, les structures latérales présentent une résistivité importante qui en fait cependant des composants particulièrement gourmands en surface de puce. De plus, la fabrication d'une structure latérale épaisse implique la réalisation d'une base traversante vierge de tout défaut. Cette contrainte repose sur des verrous technologiques importants (réalisation d'une épitaxie sur une tranchée

par exemple) qui ne peuvent être levés qu'au prix de développements supplémentaires. Les structures SOI en couches minces dont le développement est plus récent (2000) permettent de contourner ces difficultés tout en maintenant des tensions de claquage élevées.

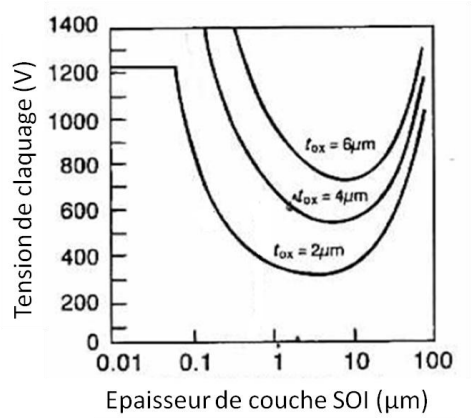


Figure 3-13 : Evolution de la tension de claquage en fonction de l'épaisseur de la couche SOI pour différents épaisseurs de couche d'oxyde t_{ox} [58]-[66].

Les caractéristiques de la figure 3-13 montrent qu'il est possible d'atteindre des tensions de claquage élevées (> 500 V) pour de faibles épaisseurs de couche SOI t_{SOI} (< 3 µm). En effet, en s'appuyant toujours sur l'équation 3-1, la réduction de l'épaisseur de la couche SOI revient à augmenter son dopage, ce qui élève le champ électrique critique. En effet, la distance parcourue par les paires électron – trou générées par ionisation par impact est insuffisante pour amorcer le mécanisme d'avalanche. Ainsi, pour des épaisseurs t_{SOI} suffisamment faibles, il est possible de fabriquer des composants haute tension à effet RESURF, réalisables avec les moyens technologiques existants et à plus fort dopage de zone de tenue en tension, cette dernière caractéristique étant essentielle pour obtenir un fort gain h_{FE}.

Les structures réalisées sur ce type de substrat en couche mince sont essentiellement des transistors LDMOS [66]. Ces transistors présentent en effet de meilleures caractéristiques que leurs homologues fabriqués sur des couches plus épaisses grâce des zones de drift beaucoup plus dopées.

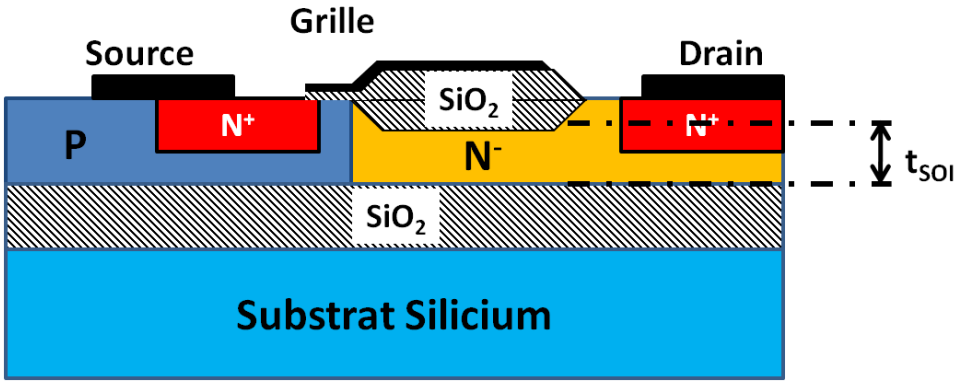


Figure 3-14 : Vue en coupe schématique d'une structure LDMOS fabriquée sur SOI en couche fine.

La figure 3-14 présente une structure LDMOS réalisée sur une fine couche de SOI dont l'épaisseur t_{SOI} peut descendre jusqu'à des valeurs submicroniques. Avec de telles valeurs, des dopages moyens SOI élevés peuvent être retenus sans pour autant dégrader la tenue en tension. Les résistances spécifiques ($R_{ON}.S$) généralement constatées sont de l'ordre de 7 mΩ.mm² pour une tension de claquage de 600 V. Adopter cette approche, pour le transistor symétrique, permettrait de relever significativement les niveaux de dopage de ses zones de tenue en tension et de contourner les difficultés de la structure verticale rencontrées à la fin du chapitre 2, à savoir la réalisation d'une base « autoprotégée » enterrée et vierge de défauts ainsi que sa polarisation non uniforme à l'état passant.

3.4 Conception d'un TJB symétrique sur substrat mince SOI

3.4.1 Structure étudiée

Une vue tridimensionnelle d'un transistor bipolaire symétrique à base autoprotégée en technologie SOI est présentée sur la figure 3-15. Il s'agit de la transposition horizontale de la structure verticale étudiée à la fin du chapitre 2.

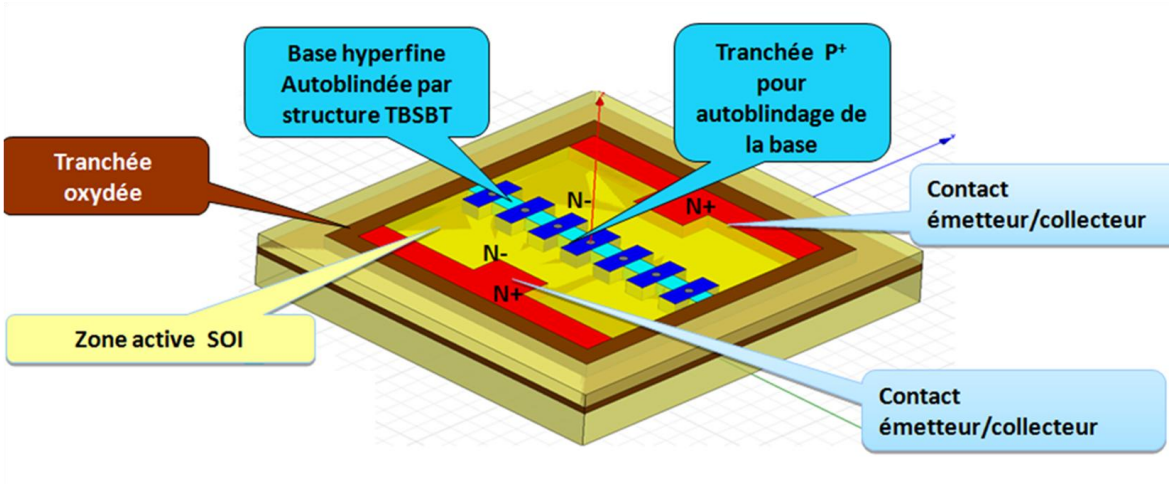


Figure 3-15 : Vue en perspective du transistor bipolaire symétrique sur substrat SOI en couche fine.

On retrouve la base « crénelée » qui cette fois devient directement accessible, supprimant ainsi tout report de contact pouvant induire des courants parasites ou des dépolarisations significatives. Les caissons P^+, en plus d'assurer le phénomène d'autoblindage, peuvent également servir de prise de contact pour l'électrode de base. L'ensemble de la structure est isolé du substrat et des composants voisins par la couche d'oxyde enterrée et une tranchée oxydée entourant la structure. Cette structure novatrice a fait l'objet d'une demande de dépôt de brevet [67].

3.4.2 Etude quasi-statique à l'état bloqué

L'étude complète d'une telle structure requiert des simulations 3D gourmandes en temps de calcul. Dans le but de mieux cerner ses paramètres critiques, il est préférable de commencer l'étude par des simulations 2D. Les hypothèses posées seront ensuite vérifiées par des simulations 3D. Ainsi, avant de mener cette étude, nous allons supposer que l'autoblindage de la base est bien assuré. Cela nous permettra d'évaluer la tenue en tension par effet RESURF d'une manière similaire à celle d'une diode PiN.

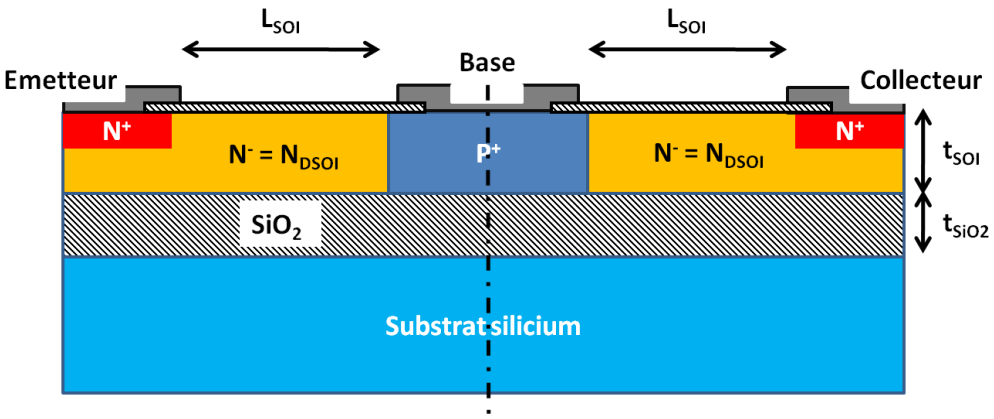


Figure 3-16 : Structure 2D destinée aux simulations à l'état bloqué.

La figure 3-16 illustre la vue en coupe 2D de la structure. Puisque la coupe se fait au niveau des caissons P^+, la figure représente une base épaisse fortement dopée servant d'axe de symétrie. Par conséquent, la structure simulée peut être assimilée à une diode PiN : les temps de simulation seront donc raccourcis. Le substrat, électriquement isolé de la structure, peut, quant à lui être indifféremment de type P ou de type N puisqu'il sert exclusivement à la tenue mécanique.

3.4.2.1 Influence du profil de dopage de la couche SOI sur la tenue en tension

La structure SOI, présentée sur la figure 3-15, possède une couche d'oxyde d'épaisseur t_{SiO2} égale à 3 µm pouvant tenir une tension de 500 V. La distance inter-électrode base – collecteur et base – émetteur L_{SOI} est maintenue à 35 µm. Quant au couple t_{SOI} – N_{DSOI}, il a été choisi, dans un premier temps, afin d'assurer la tenue en tension et de valider ainsi l'effet RESURF conformément à l'équation 3-1.

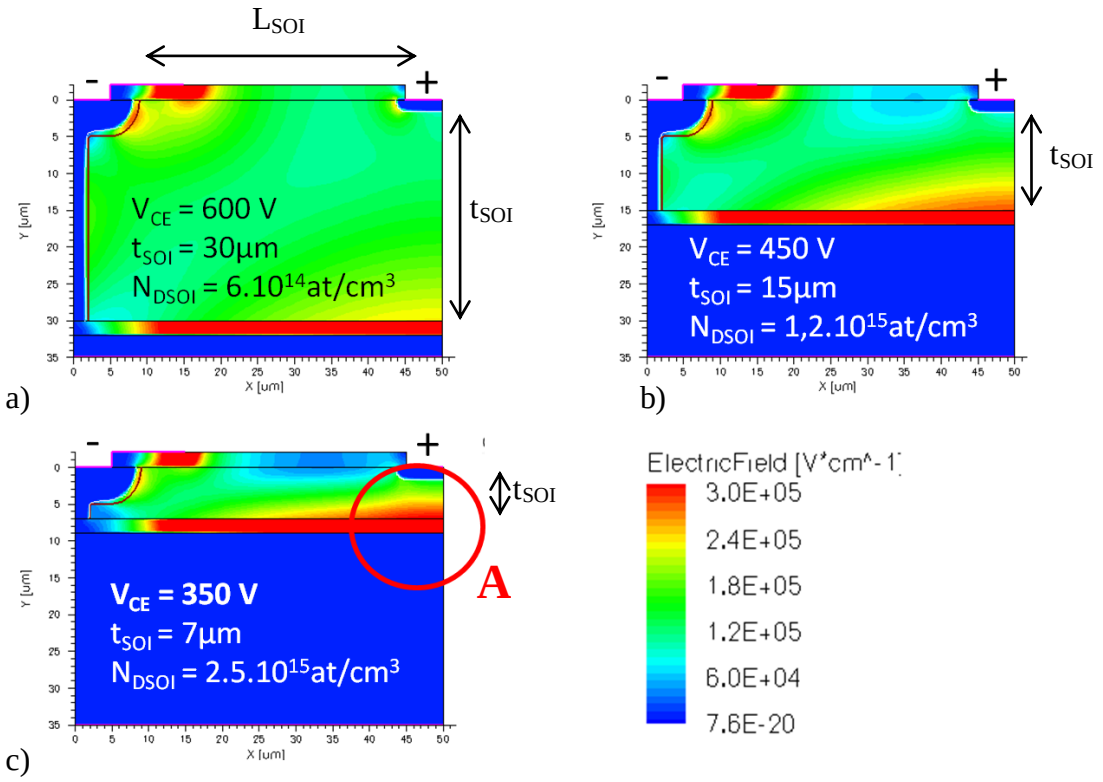


Figure 3-17 : Répartition du champ électrique au claquage pour différents couples t_{SOI} – N_{DSOI}, pour L_{SOI} = 35 µm et t_{Si02} = 3 µm.

La figure 3-17 montre la répartition du champ électrique dans trois structures de type PiN d'épaisseurs SOI différentes. On voit que le champ électrique s'étend de manière homogène dans toute l'épaisseur SOI de la zone isolante de la diode PIN (effet RESURF), avec toutefois une intensification au point A pour des valeurs de t_{SOI} de plus en plus faibles. Ce phénomène, connu dans la littérature sous le nom de « crowding » [58], traduit un resserrement des lignes de champ qui, du fait de la diminution de l'épaisseur de la couche SOI, entraîne prématurément la structure en avalanche.

Une meilleure répartition du champ électrique est potentiellement possible en faisant varier latéralement le dopage dans les zones SOI. Un tel profil de dopage peut par exemple être obtenu en une seule implantation au travers d'un masque spécifique (figure 3-18).

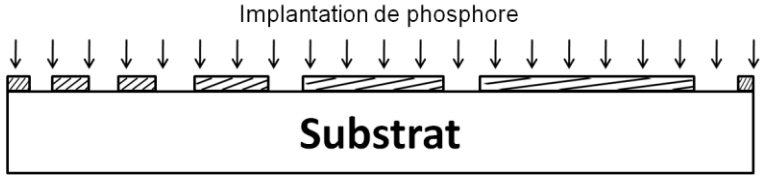


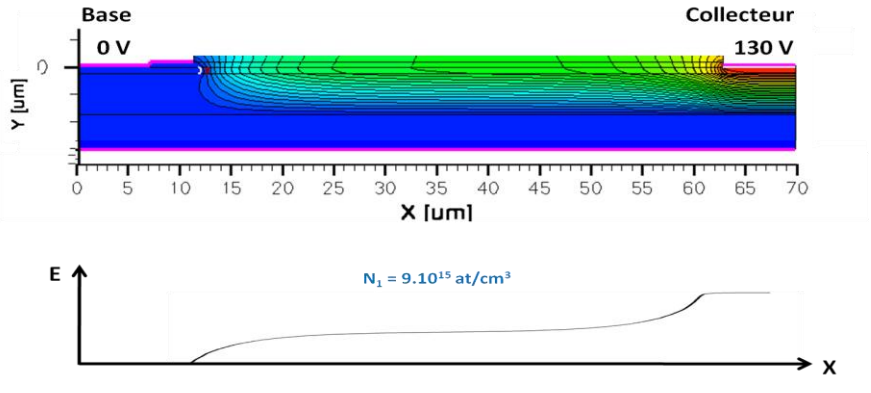
Figure 3-18 : Exemple de création d'un profil de dopage VLD avec des ouvertures de masque adéquates [68].

Ce concept de variation de dopage latéral, baptisé VLD (Variation of Lateral Doping), a fait l'objet d'études théoriques [69]-[70] et expérimentales dans le cadre des travaux sur les LDMOS [66]. Ces travaux ont ainsi montré que la tenue en tension s'améliorait pour des dopages décroissants entre le drain et le canal tandis que l'équilibre entre le dopage et l'épaisseur de la couche SOI, toujours fixé par l'équation 3-1, est conservé au voisinage de la base. Plus le profil de dopage est linéaire, meilleure est la tenue en tension. En s'appuyant sur la structure LDMOS proposée par Philips [66], nous avons voulu observer l'efficacité de l'effet RESURF sur des diodes d'épaisseur t_{SOI} égale à 0,5 µm.

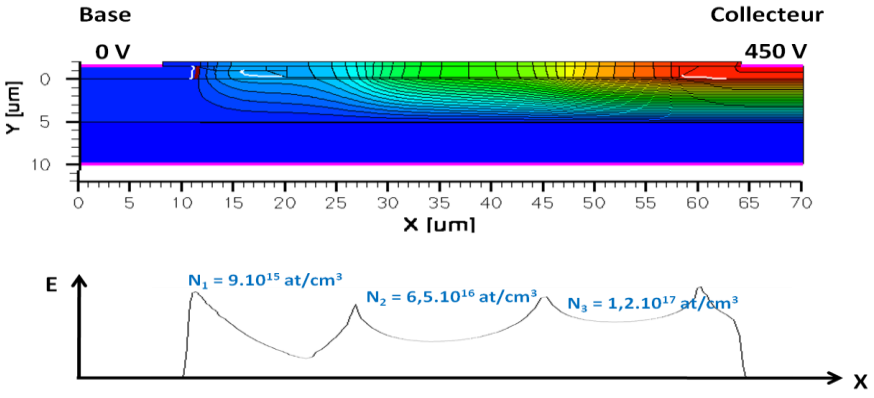
La figure 3-19 présente des résultats de simulations de répartition du champ électrique pour différents profils de dopage. L'introduction d'un dopage par paliers de valeurs décroissantes du collecteur vers la base (figure 3-19.b) permet non seulement de mieux répartir le champ électrique mais aussi de diminuer le « crowding » observé sur les figure 3-17 et figure 3-19.a. Un optimum est atteint pour un VLD parfaitement linéaire qui permet non seulement d'obtenir un champ électrique uniforme dans toute la zone désertée, mais également de maximiser la tension de claquage avec une répartition régulière des lignes équipotentielles.

L'impact d'un dopage VLD peut également être renforcé par l'introduction de plaques de champ disposées sur toute la longueur L_{SOI} (figure 3-19.d). Celles-ci sont obtenues en faisant déborder les contacts métalliques de la base sur toute la longueur de drift et isolées par une couche d'oxyde d'épaisseur égale à celle de la couche enterrée. Polarisées au même potentiel que la base, ces plaques vont provoquer une désertion supplémentaire à l'image de celle assistée par l'effet RESURF. Leurs effets cumulés provoquent donc une sorte de « double effet RESURF » [71]. Pour une même tension de claquage, il est possible de doubler le dopage des zones SOI. A noter que les LDMOS pourvus de plaques de champ possèdent, à même tension de claquage, une résistance à l'état passant diminuée de moitié. Le produit N_{DSOI} par t_{SOI} égal 10^{12} cm^{-2} reste toujours valable et doit toujours être conservé au niveau de la jonction P^+N_{DSOI}.

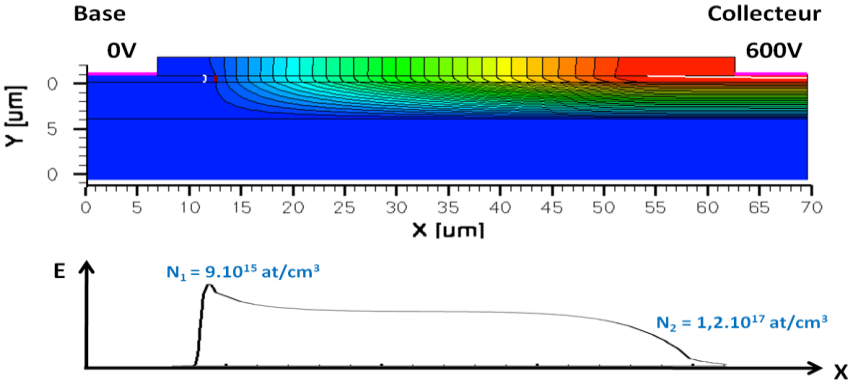
a)



b)



c)



d)

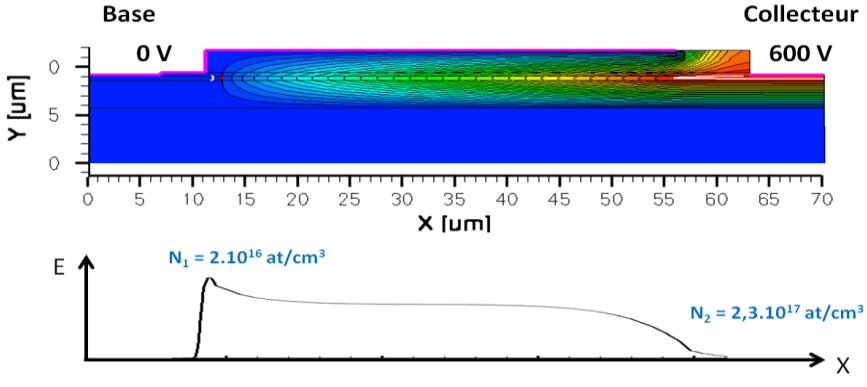


Figure 3-19 : Répartition des lignes équipotentielles et profil longitudinal du champ électrique en fonction de différents profils de dopage, pour t_{SOI} = 0,5 µm et t_{SiO2} = 3 µm. a) dopage uniforme. b) dopage graduel. c) VLD). d) VLD avec plaques de champ.

3.4.2.2 Sensibilité de la tenue en tension par rapport au dopage et à l'épaisseur de la couche SOI

Une tenue en tension satisfaisante assistée par effet RESURF est atteinte lorsque toute la couche SOI est désertée. Cela implique un contrôle précis du dopage en tout point de la couche SOI. Nous avons donc effectué et relevé la robustesse de la structure vis-à-vis de la variation de dopage à l'état bloqué. Afin de simplifier l'étude, seules les variations du dopage N_2, c'est-à-dire au voisinage du collecteur ont été retenues.

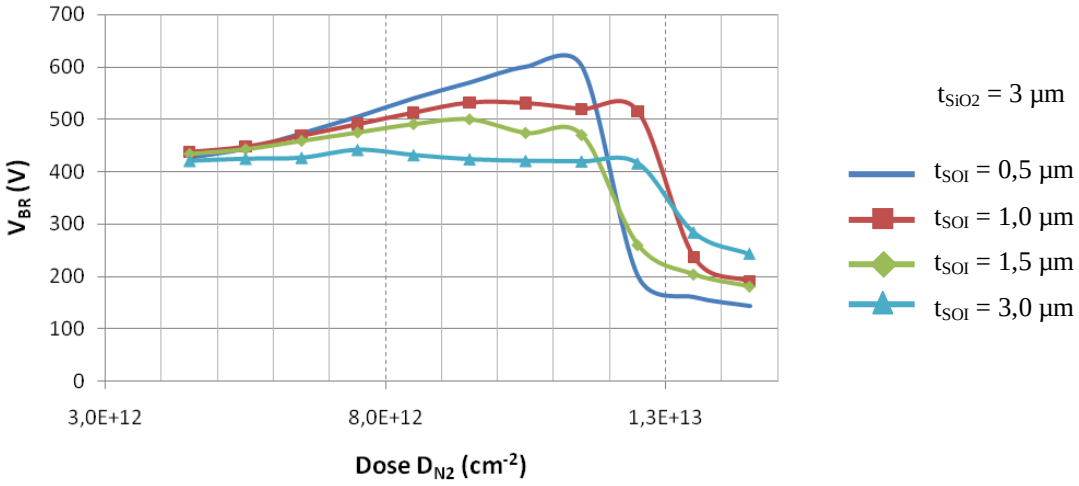


Figure 3-20 : Variations de la tenue en tension en fonction de la dose D_{N2} associée au dopage N_2 réalisé par implantation, pour différentes épaisseurs t_{SOI}.

La figure 3-20 représente l'impact de la variation du dopage N_2 sur la tenue en tension. Théoriquement, il est possible d'atteindre des tensions de claquage élevées en augmentant l'épaisseur des couches d'oxyde et/ou en diminuant celle de la couche SOI. Lorsqu'une couche SOI plus épaisse est utilisée, le libre parcours moyen des porteurs générés par ionisation par impact est augmenté ce qui favorise le mécanisme d'avalanche. La tension de claquage se met donc à chuter. Cela peut être compensé en augmentant les épaisseurs d'oxyde, ce qui permet de diminuer l'intensité du champ électrique au sein de la couche SOI. Si cette approche est théoriquement sans influence sur l'état passant, la couche SOI restant inchangée, elle pose des contraintes mécaniques supplémentaires qui peuvent causer des déformations de la plaquette (phénomène de « warp »).

Pour une valeur de t_{SOI} de 1,5 µm par exemple, les doses d'implantation inférieures à $1{,}1.10^{13}$ cm² sont susceptibles de convenir pour la réalisation d'un transistor 500 V. Des doses trop faibles dégradent la tension de claquage à cause de l'effet de « crowding ». Pour des

valeurs supérieures, la tension de claquage diminue rapidement à cause d'une désertion incomplète de la couche SOI, entraînant ainsi la suppression de l'effet RESURF.

Le choix de l'épaisseur de la couche SOI, t_{SOI}, sera donc affaire de compromis entre trois objectifs concurrents :

- la maximisation de la densité de courant, qui nécessite une épaisseur importante ;
- la tension de claquage, qui, au contraire, est favorisée par des épaisseurs plus fines ;
- la simplification de la réalisation, qui profite aussi, quant à elle, d'épaisseurs plus fines. Il est toutefois important de souligner que de faibles épaisseurs de couches SOI nécessiteront alors des dopages N_{DSOI} élevées avec des de ZCE moins importantes et donc un dimensionnement des caissons d'autoblindage plus délicat.

Ainsi, il nous a semblé qu'une épaisseur t_{SOI} égale à 1,5 µm pouvait représenter un bon compromis avec des tensions de claquage proches de 500 V relativement indépendantes de la concentration de dopage sur une plage importante tout en offrant un bon compromis entre la densité de courant et la simplicité de la réalisation. Désormais, le dopage VLD retenu évolue de la base vers le collecteur entre les valeurs de 5.10^{15} et 5.10^{16} cm^{-3}.

3.4.2.3 Choix de la géométrie des caissons d'autoblindage

Le phénomène d'autoblindage apparaît lorsque deux vecteurs champ électrique de même norme mais de sens opposé s'additionnent. A partir de ce constat, deux possibilités s'offrent à nous : réaliser un autoblindage classique entre deux caissons de même type (figure 3-21.a), ou entre un oxyde et un caisson (figure 3-21.b).

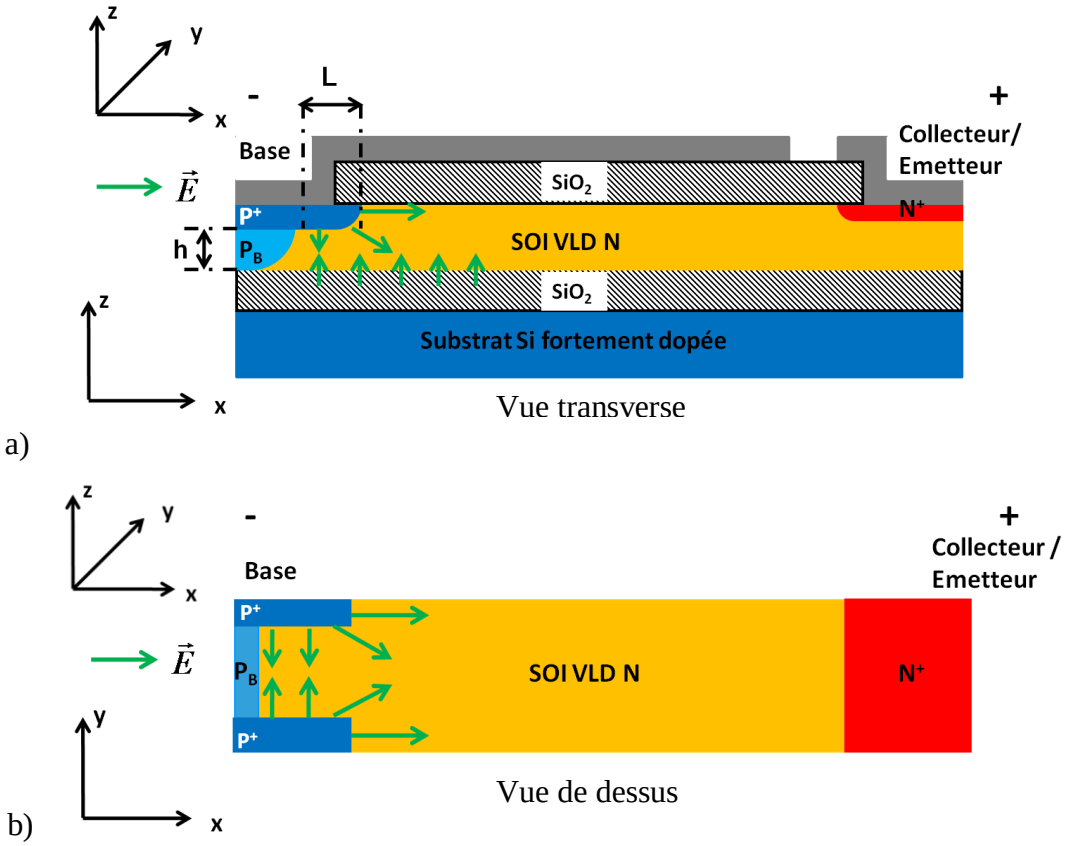


Figure 3-21 : Deux approches possibles dans la réalisation de l'autoblindage. a) autoblindage entre un caisson P^+ et l'oxyde enterré. b) autoblindage entre deux caissons P^+.

3.4.2.4 Structure avec autoblindage en une couche d'oxyde enterré et un caisson P^+

La structure de la figure 3-21.a permet, a priori, de s'affranchir de la formation de caissons P^+ en forme de « peigne ». La prise de contact de polarisation de la base est alors possible sur toute la largeur de la structure (zone de diffusion P^+ homogène le long de l'axe y de la figure 3-21.a), ce qui simplifie grandement sa réalisation. En conservant une couche SOI épaisse de 1,5 µm, nous avons cherché à prévoir le comportement de cette structure à l'état bloqué.

La construction de la structure présentée sur la figure 3-21.a se fait par l'ajout d'une diffusion P^+ en surface. La zone N, située sous cette diffusion, a pour dimensions arbitraires une longueur L de 4 µm pour une hauteur h de 1 µm.

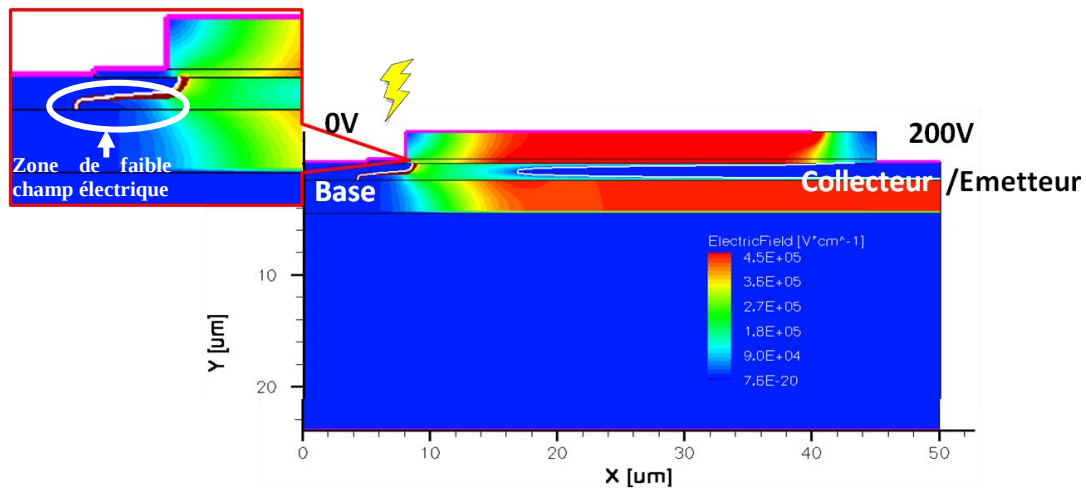
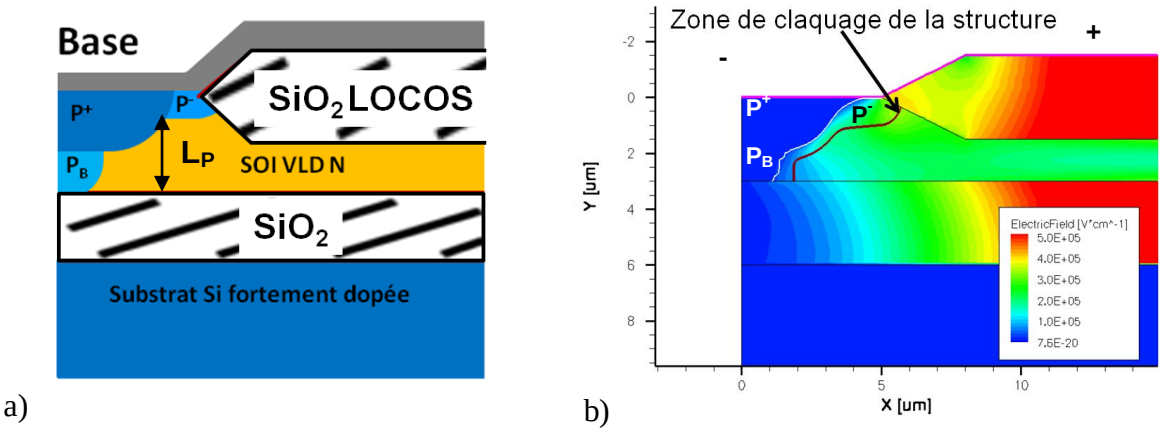


Figure 3-22 : Répartition du champ électrique au claquage.

La figure 3-22 fait apparaître un pic de champ électrique au niveau de la surface de la jonction base – collecteur provoquant le claquage prématuré de la structure à 200 V. Ceci est dû à la géométrie cylindrique de la jonction, caractéristique des structures latérales. Nous avons pu toutefois mettre en évidence l'existence d'une région non désertée en-dessous de la zone de diffusion P^+ qui tend à confirmer l'autoprotection de la base. Afin de diminuer localement l'intensité du champ électrique, nous avons ajouté un LOCOS (Local Oxidation of Silicon) et remplacé la diffusion P^+ par une double-diffusion P^+ et P^- (figure 3-23.a).



a) b)

Figure 3-23 : a) contact de base double-diffusé. b) répartition locale du champ électrique au claquage à 500 V.

La répartition du champ électrique sur la figure 3-23.b montre une diminution de l'intensité du champ électrique grâce à l'oxyde qui encaisse une partie de la tension soutenue : la tension d'avalanche est augmentée. Nous constatons néanmoins une atténuation nette de l'autoblindage due à une « ouverture » L_P importante (figure 3-23.a) (égale à 2 µm). Cette

diminution de l'autoblindage est visible à cause de la présence de champ électrique au voisinage la base fine, réalisé ici par le dopage P_B.

Nous avons rendu ensuite la structure symétrique et nous avons diminué l'épaisseur de la base P_B afin d'évaluer sa sensibilité au perçage.

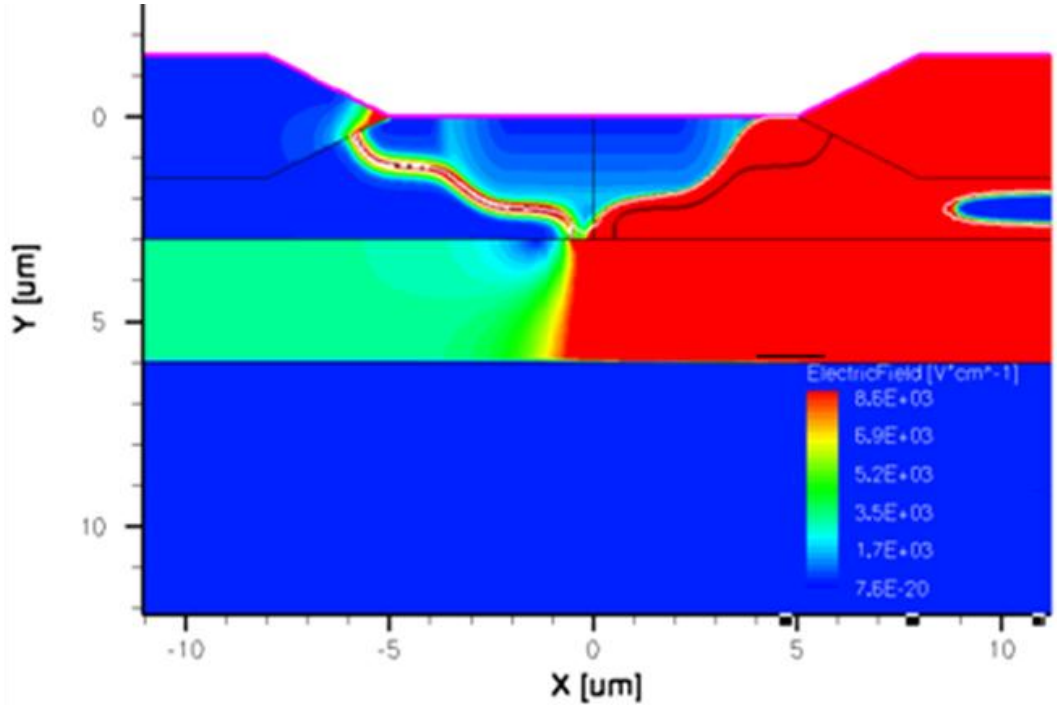
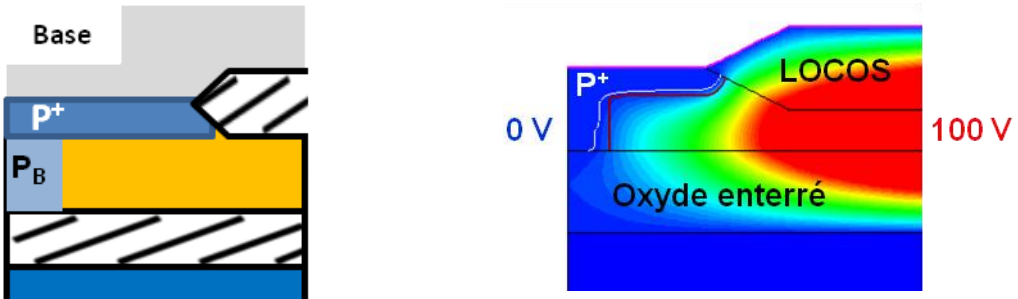


Figure 3-24 : Répartition du champ électrique au voisinage de la base au sein d'une structure symétrique.

Les simulations à l'état bloqué montrent que le composant part en avalanche dès l'application de la tension V_{CE} (< 1 V). L'examen de la figure 3-24 permet d'expliquer cette mise en avalanche avec la présence d'un champ électrique qui s'étale sous la base. Ce phénomène est la conséquence de l'étalement du champ électrique dans l'oxyde sous-jacent. Cette zone fait donc l'objet d'une chute de potentiel empêchant ainsi l'établissement de l'autoblindage.

Une solution pourrait consister à introduire un caisson P^+ (❶) au niveau de l'interface enterrée SiO_2 – SOI (figure 3-25.b). A l'état bloqué, la simulation montre que l'extension du champ électrique est stoppée mettant ainsi la structure à l'abri d'un claquage prématuré. A noter que la réalisation de cette solution implique l'épitaxie de la couche P_B sur la couche contenant le caisson P^+ (❶).

a)



b)

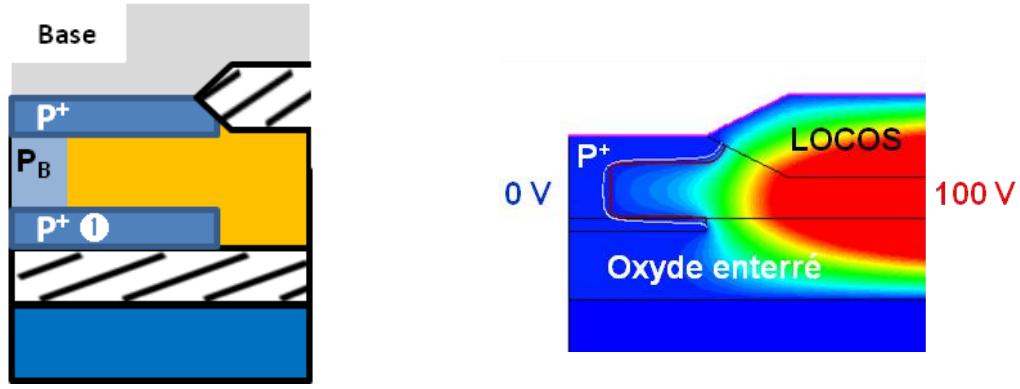


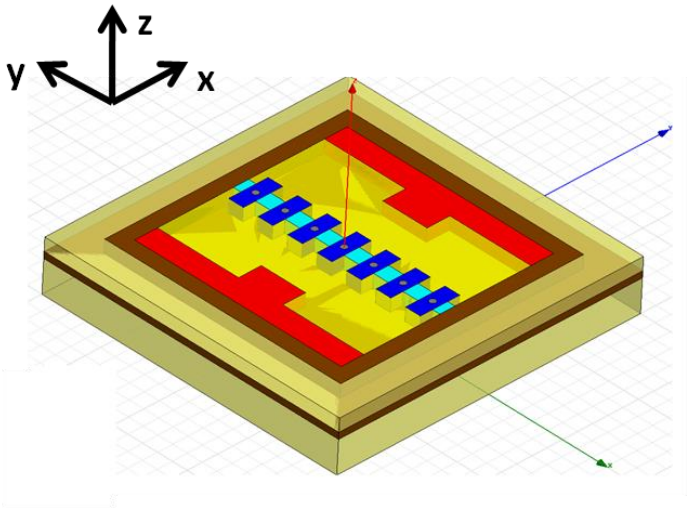
Figure 3-25 : Impact de l'introduction d'un caisson P^+ sur la répartition des lignes équipotentielles au voisinage de la base. a) base sans caisson P^+ enterré. Le champ électrique s'étale sous la zone de diffusion P^+. b) base avec caisson enterré. Pas d'extension du champ électrique sous la base P^-.

Ainsi, bien que l'efficacité de l'autoblindage ait été démontrée, la nécessité d'une d'épitaxie supplémentaire diminue l'intérêt de cette technologie. Notre choix s'est donc reporté sur la structure de la figure 3-15 intégrant des caissons P^+ en peigne. Compte-tenu de l'écart de dopage entre la solution verticale présentée au chapitre 2 et celle satisfaisant à la condition de désertion assistée par effet RESURF, il s'avère nécessaire de redimensionner les caractéristiques des caissons d'autoblindage.

3.4.2.5 Structure avec autoblindage entre deux caissons P^+

A l'instar du dimensionnement de la couche SOI, celui des caissons P^+ se fera en 2D dans un premier temps. Grâce aux simulations des « diodes » PIN à l'état bloqué, nous avons ainsi pu définir les paramètres technologiques de la couche SOI. L'objectif de l'étude présentée dans ce paragraphe est de pouvoir fixer les dimensions minimales des caissons et de leur espacement.

a)



b)

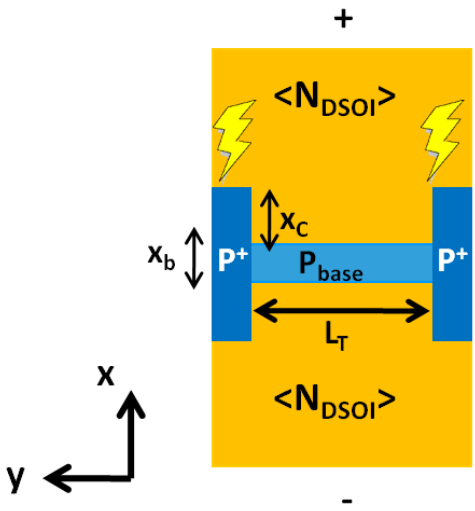


Figure 3-26 : a) vue en 3D de la structure complète. b) vue de dessus d'une cellule élémentaire au niveau de la base.

Pour le dimensionnement des caissons P^+ à l'origine de l'autoblindage, il nous a semblé plus approprié de travailler à partir de la structure présentée figure 3-26.b. Bien que cette approche ne nous permette pas de prendre en compte l'influence de l'effet RESURF, dont le mécanisme n'entre en jeu qu'à des plus forts champs, elle nous permet d'évaluer l'autoblindage des caissons. En effet, comme le montrent les caractéristiques de la figure 3-27, représentant l'évolution de la tension de claquage d'un transistor PNP en fonction du dopage de la base N pour différentes épaisseurs de base et valeurs de durées de vie des porteurs minoritaires, nous voyons que lorsque la base est suffisamment dopée ou épaisse, la tension de claquage précède toujours celle de perçage.

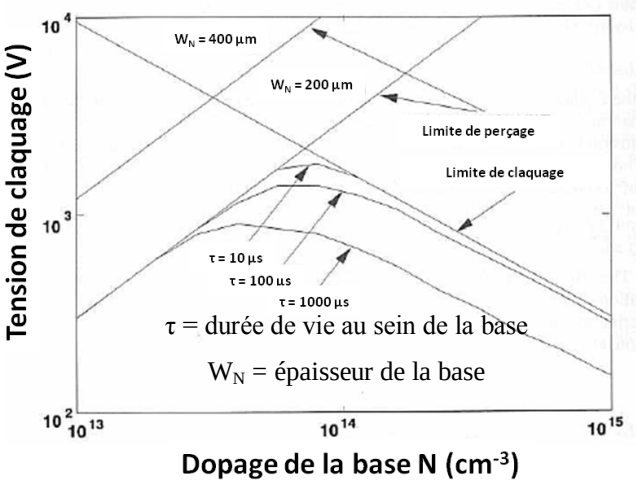


Figure 3-27 : Evolution de la tension d'avalanche d'un transistor PNP en fonction du dopage de la base en cas de perçage ou en dépassement de champ électrique [72].

Dès lors, le claquage est déterminé par l'effet RESURF et non par le perçage de la base qui, quant à lui, dépend de l'efficacité de l'autoblindage.

- Influence de la longueur des caissons x_c

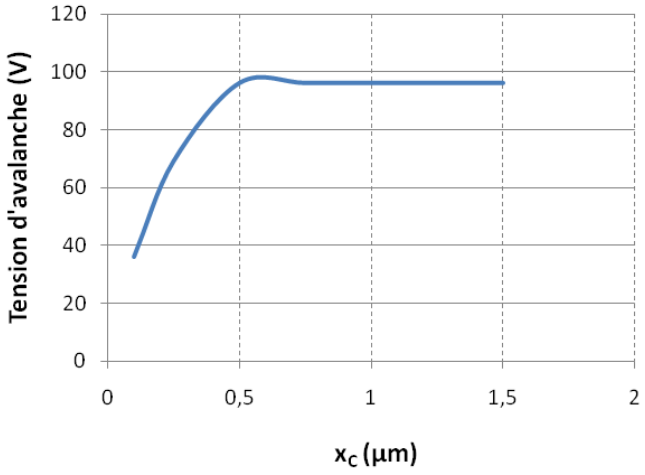


Figure 3-28 : Evolution de la tension d'avalanche en fonction de la longueur x_c des caissons, pour t_{SOI} = 1,5 µm, N_{ABf} = 2,5.10^{15} cm^{-3}, x_b = 1 µm et L_T = 1 µm.

Le résultat de cette simulation est présenté figure 3-28 en faisant varier x_c de 0,1 µm à 1,5 µm. Les valeurs de x_b et de L_T (figure 3-26.b) sont toutes fixées arbitrairement à 1 µm. La valeur de dopage de la base N_{ABf} est retenue à 2,5.10^{15} cm^{-3} de sorte à respecter la condition d'autoblindage. Nous remarquons qu'au-delà d'une valeur x_c de 0,5 µm, la tension d'avalanche reste bloquée à 96 V. En fait, cette limitation est due au claquage aux extrémités des caissons en raison de l'absence d'effet RESURF, et non au perçage proprement dit de la

base qui est quant à elle bien protégée. Ainsi, nous pouvons en conclure qu'une hauteur de caissons minimale de 0,5 µm est suffisante. Pour la suite de l'étude, nous posons f, le facteur de forme inter-caisson, comme x_c / L_T. Dans notre cas de figure, le facteur minimal pour que l'autoblindage soit efficace est de 0,5. Nous considérons donc que la valeur optimale de f est de 0,75 (i.e. x_c = 0,75 µm).

- Influence de la distance inter-caissons L_T

Nous avons ensuite voulu mesurer l'impact de la distance inter-caissons sur la tenue en tension, celle-ci étant directement liée au dopage N_{DSOI} de la couche SOI. Les conditions de l'autoblindage ainsi que le gain apporté sont définies par les trois équations suivantes (cf. chapitre 2, paragraphe 2.4.3) :

$$\frac{q}{2.\varepsilon_{Si}}.N_{DSOI}.\left(\frac{1}{2}.L_T\right)^2 < \frac{q}{2.\varepsilon_{Si}}.N_{PBase}.W_B{}^2 \qquad \textbf{Équation 3-4}$$

$$V_{CE[GAT]} = (1+\mu).V_{CE[BIP]} \qquad \textbf{Équation 3-5}$$

avec :

$$\mu \cong \exp\left(\frac{\pi.x_c}{L_T}\right) - 1 \qquad \textbf{Équation 3-6}$$

Ces trois équations nous rappellent que la tension de perçage (second membre de l'équation 3-4) est directement liée aux caractéristiques de la base tandis que la tension de pincement (premier membre de cette même équation) dépend de l'écartement entre chaque caisson. Une fois les conditions d'autoblindage fixées par l'équation 3-4 réunies, le gain en tension est donné par le facteur de forme inter-caisson (donné ici par f = x_c / L_T). Par conséquent, une augmentation de L_T risque de rompre cet équilibre.

De plus, pour des questions de simplicité de réalisation, il est préférable de choisir une valeur de L_T importante. La distance inter-caisson L_T est choisie égale à 5 µm tout en conservant un facteur de forme f égal à 0,75, ce qui nous permet également de respecter la condition sur la hauteur des caissons avec une valeur de x_c supérieure à la valeur minimale de 0,5 µm (voir figure 3-28). Les niveaux de dopage N_{DSOI} et P_B ainsi que l'épaisseur de la base fine x_b restent les mêmes.

Malgré ces conditions, nous avons constaté que la base ne remplissait pas son rôle avec un perçage intervenant dès l'application de la polarisation du composant.

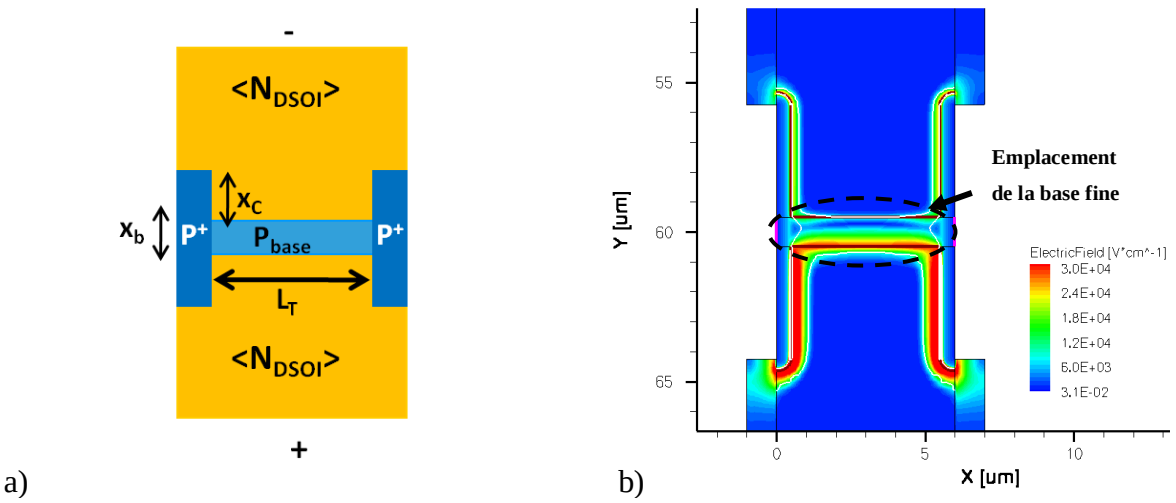


Figure 3-29 : a) Vue de dessus schématique de la structure au voisinage de la base. b) Répartition du champ électrique à V_{CE} = 1,5 V.

Ce perçage est visible figure 3-29 dès l'application des premiers volts, avec un champ électrique presque entièrement logé dans la base fine. Ceci peut s'expliquer grâce à l'équation 3-4 qui prédit qu'une augmentation de L_T implique une augmentation de l'épaisseur de la base ou de son dopage, afin de maintenir l'inégalité entre la tension de perçage et la tension de pincement. La conservation de f à une même valeur ne suffit pas. Nous avons donc par la suite fait varier la concentration de dopage de la base afin de déterminer le couple optimal, longueur des caissons x_c et dopage N_{ABf}.

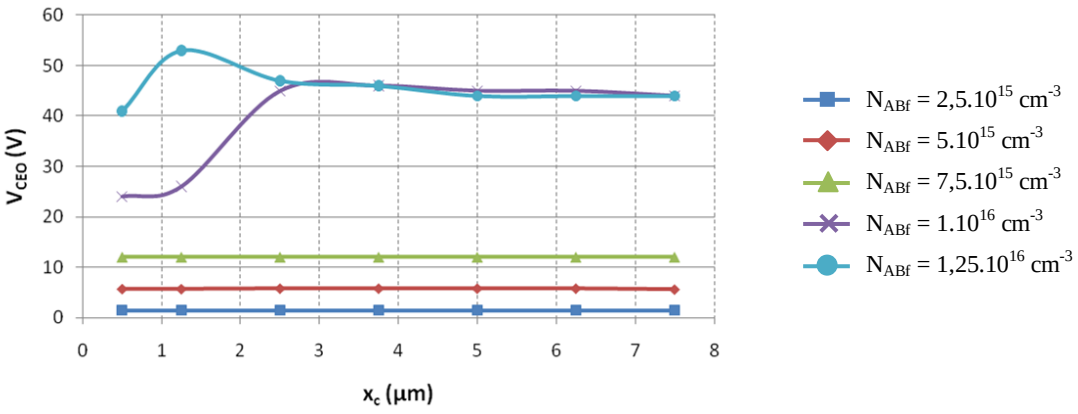


Figure 3-30 : Evolution de la tension d'avalanche en fonction de la longueur des caissons x_c, pour différents dopages de base fine N_{ABf} et pour L_T = 5 µm.

La figure 3-30 montre que pour un dopage N_{ABf} inférieur à 10^{16} cm^{-3}, la cellule se retrouve en condition de perçage quelle que soit la longueur des caissons x_c. En revanche, pour des valeurs de P_{Base} supérieures à 10^{16} cm^{-3}, la tension de claquage se stabilise autour de 45 V pour une longueur des caissons x_c supérieure à 3 µm.

Ces résultats montrent que le dopage de la base, et donc l'espacement des caissons L_T, influence de manière notable la tenue en tension, contrairement à leur longueur x_c. Ces paramètres sont d'autant plus critiques dans la mesure où ils sont directement liés aux caractéristiques technologiques de la couche SOI. La tenue en tension de la structure est le résultat d'un équilibre régi par les caractéristiques technologiques de cette couche, de la base fine et des caissons P^+. La modification de l'un des paramètres peut entraîner le redimensionnement de l'ensemble de la structure. Il est donc judicieux de sous-dimensionner cette dernière afin d'éviter des écarts de performances trop importants entre les puces lors de la fabrication.

En conclusion, les deux architectures destinées à réaliser le phénomène d'autoblindage nécessitent des approches différentes dans leur réalisation. La première topologie de la base, à autoblindage vertical, nécessite la réalisation d'une épitaxie supplémentaire de création d'un caisson P^+ enterré au dessus de l'interface silicium – oxyde. La seconde topologie, à autoblindage latéral entre deux caissons P^+ verticaux traversants, ne nécessite en revanche pas d'opération particulière liée à la réalisation de la couche SOI. Dans ce cas, le dimensionnement de la structure passe par le choix préalable d'un certain nombre de paramètres (e.g. l'épaisseur de la base fine et l'espacement entre caissons).

Comme le choix de ces paramètres technologiques dépend de l'épaisseur de la couche SOI initiale, nous voyons que plusieurs dimensionnements de structures sont susceptibles de convenir, contrairement aux structures verticales classiques de puissance pour lesquelles une tension de claquage bien définie exige une épaisseur et un dopage bien définis de la couche de tenue en tension.

Nous proposons ici une méthodologie possible de dimensionnement de cette structure :

- Choix d'une épaisseur de couche SOI et recherche du niveau de dopage optimal par des simulations de diodes à l'état bloqué ;
- Choix d'une épaisseur de base x_b technologiquement « réalisable » ;
- Choix d'une distance inter-caisson L_T technologiquement « réalisable » ;
- Evaluation du phénomène d'autoblindage en fonction de la longueur des caissons x_c, pour différents dopages N_{ABf} de la base fine.

3.4.3 Etude quasi-statique à l'état passant

La structure complète étant tridimensionnelle, la coupe servant à l'étude de la tenue en tension ne peut plus être employée pour la simulation à l'état passant. En effet la base apparaîtrait alors comme beaucoup trop épaisse et trop dopée pour que l'interrupteur puisse se comporter comme un transistor bipolaire. Nous adopterons donc une vue identique à celle de la figure 3-26 avec un dopage N_{DSOI} de type VLD. La valeur du « AreaFactor » qui traduit l'épaisseur virtuelle de la structure en simulation 2D est égale à celle de la couche SOI (t_{SOI}). Le tracé des réseaux de courbes de Gummel et de Kellog pour une cellule élémentaire devient alors accessible.

3.4.3.1 Impact de la longueur des caissons x_c sur le gain

Les premières simulations consistent à mesurer l'impact des caractéristiques technologiques de la base sur le gain. Nous avons, dans un premier temps, fixé pour L_T et x_c les valeurs de 1 µm et 0,5 µm. L'épaisseur virtuelle « AreaFactor » est fixée à 1,5 µm. A l'instar de la structure verticale (cf. chapitre 2, paragraphe 2.5.2), l'avancée des caissons dans les zones SOI modifie peu le gain et la densité de courant comme en témoignent les caractéristiques de la figure 3-31.

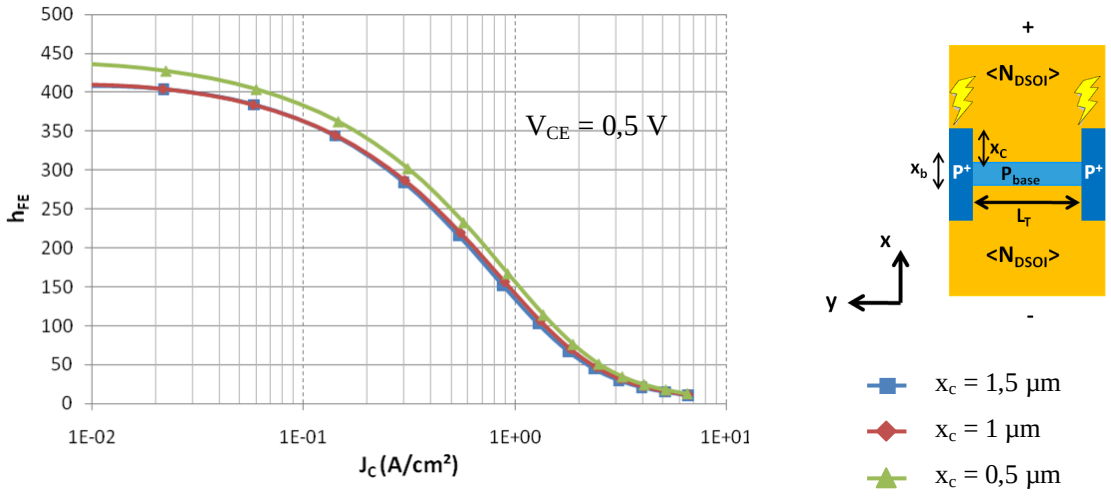


Figure 3-31 : Evolution du gain h_{FE} en fonction de la densité de courant J_C pour différentes longueurs de caissons x_c, et L_T = 1 µm.

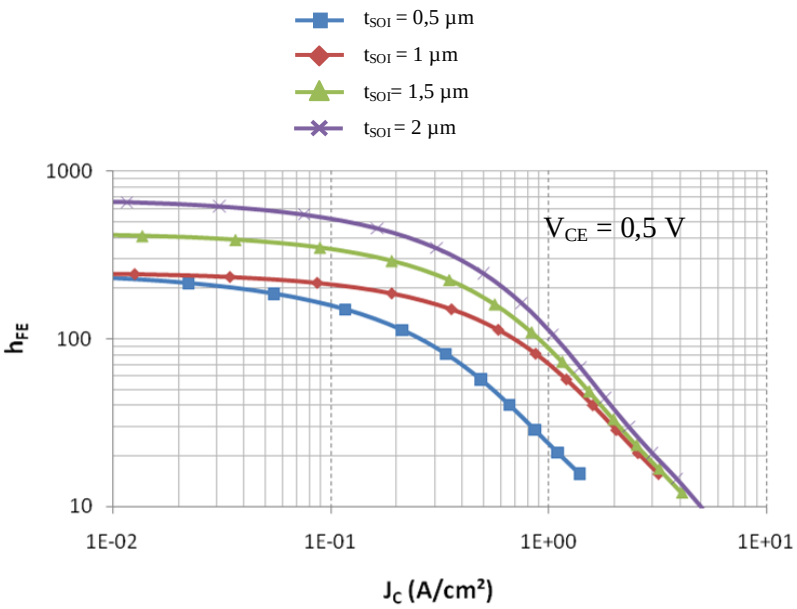
La longueur des caissons n'a aucune influence sur le gain, à épaisseur de base constante. Les seules différences de gain sont observables sur de faibles voire très faibles densités de courant et s'avèrent donc ici insignifiantes.

3.4.3.2 Influence de l'épaisseur t_{SOI} sur le gain

Le premier paramètre critique du gain h_{FE}, l'efficacité d'injection de l'émetteur γ_E, dépend des paramètres technologiques de la couche SOI. Cette couche est caractérisée par son épaisseur t_{SOI} et son dopage moyen N_{DSOI} tous deux liés par l'équation 3 – 1, condition sine qua non de la mise en œuvre de l'effet RESURF. Quatre valeurs de t_{SOI} ont été retenues pour mener cette étude : 0,5 µm, 1 µm, 1,5 µm et 2 µm. Pour mener à bien ces simulations, nous nous sommes servis des caractéristiques retenues pour l'évaluation de la tenue en tension au paragraphe 3.4.2. Nous rappelons que des couches SOI plus épaisses auront un dopage au profil VLD plus faible donc un dopage de base fine N_{ABf} plus faible également.

La figure 3-32 montre que l'augmentation de l'épaisseur de la couche SOI entraîne des gains h_{FE} plus élevés liés à l'utilisation de niveaux de dopage de base plus faibles. Pour un même gain, des densités de courant plus importantes sont envisageables grâce à une épaisseur de conduction du courant plus importante. En effet, pour un gain h_{FE} de 10, une structure munie d'une couche SOI d'épaisseur de 2 µm peut atteindre des densités de courant J_C de 5 A/cm² tandis qu'un structure munie d'une couche SOI de 0,5 µm aura une densité J_C maximale comprise entre 1 et 2 A/cm². Néanmoins, obtenir de forts courants se fait au prix d'épaisseurs d'oxyde plus importantes, puisque les couches SOI plus épaisses soutiennent moins de tension (figure 3-13 et figure 3-20).

a)



b)

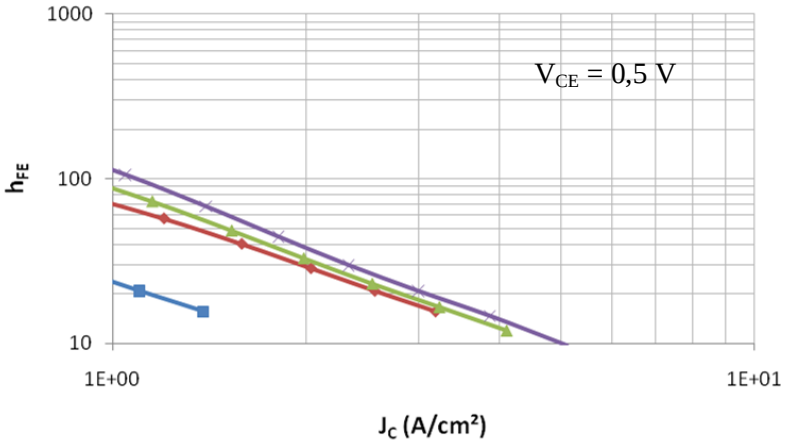


Figure 3-32 : Evolution du gain pour différentes épaisseurs t_{SOI} en fonction de la densité de courant collecteur J_C a) et en fin de simulation b).

3.4.3.3 Impact de la distance inter-caisson L_T sur le gain

Comme nous l'avons expliqué au début du chapitre (paragraphe 3.1), le transistor symétrique latéral permet de nous affranchir de la présence de diodes parasites et de faciliter la polarisation de la base grâce aux caissons placés à intervalles réguliers. En revanche, les limites technologiques de fabrication de la base et des caissons font que leurs dimensions ne peuvent descendre en-dessous de certains seuils. Ainsi, un espacement de 5 µm serait très certainement technologiquement plus approprié en termes de fabrication. Comme nous l'avons étudié au paragraphe 3.4.2.5, une augmentation de L_T implique une augmentation du

dopage de la base fine N_{ABf} qui entraîne la dégradation de α_T, le facteur de transport de la base. Des simulations 2D à l'état passant de la structure, présentées figure 3-33, nous ont permis de quantifier l'impact de L_T.

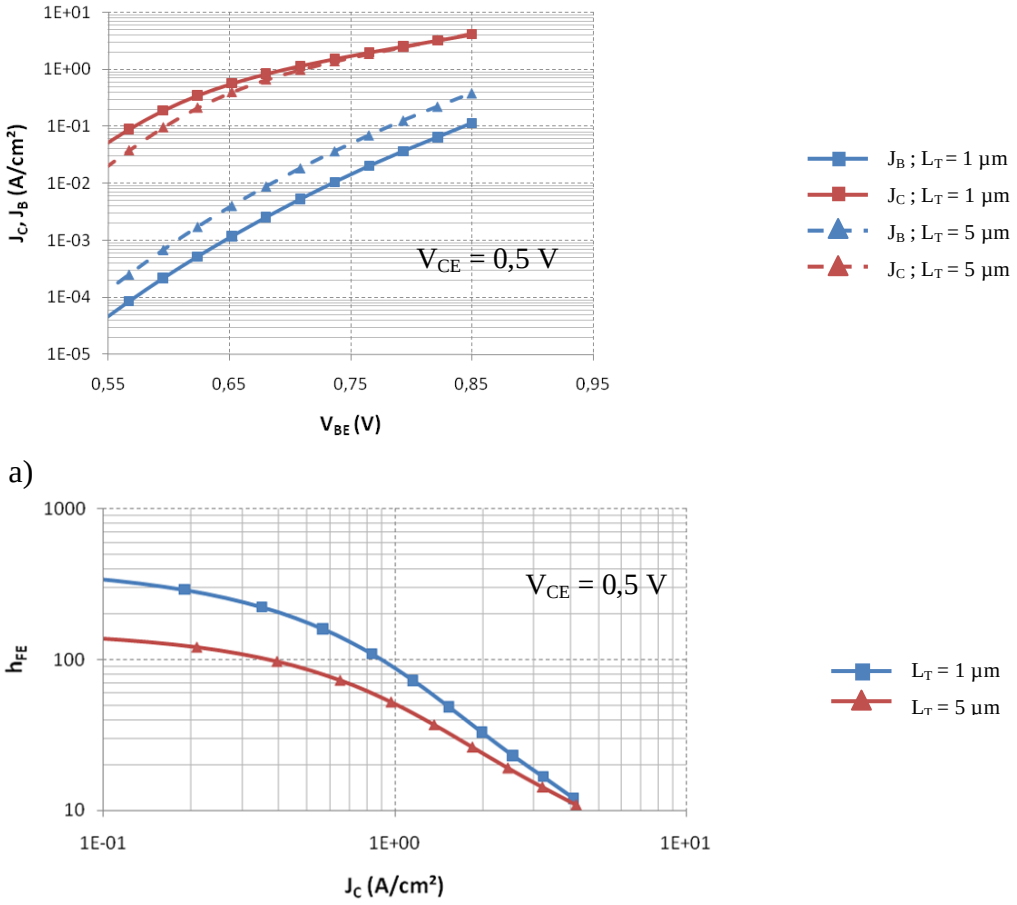


Figure 3-33 : a) Courbes de Gummel, pour L_T égale à 1 µm et 5 µm. b) Courbes de gain, pour L_T égale à 1 µm et 5 µm.

Ces simulations 2D ont été réalisées en redéfinissant, pour chaque distance L_T, le dopage de la base fine N_{ABf} et la hauteur des caissons x_c pour un autoblindage optimal. Ces caractéristiques sont récapitulées dans le tableau 3-1.

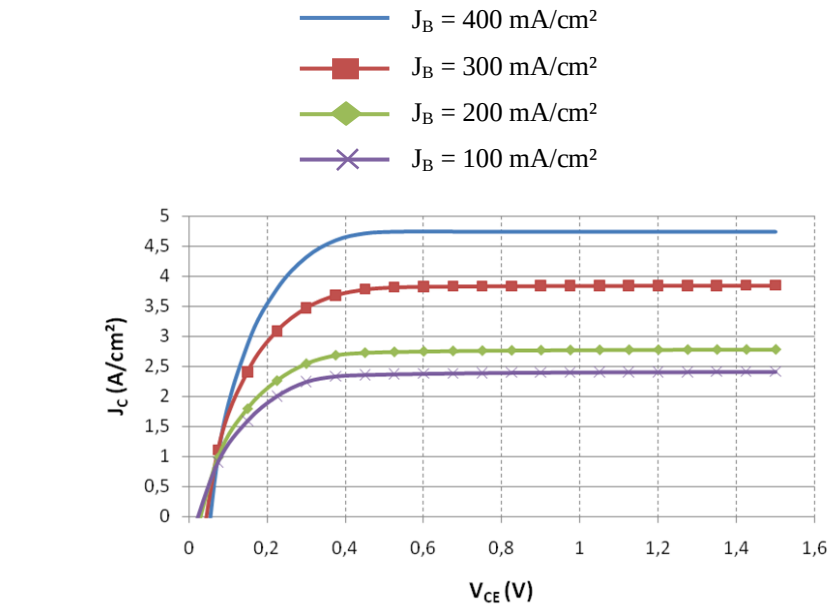
Tableau 3-1 : Dopage de la base fine N_{ABf} et longueur des caissons d'autoblindage x_c, pour une épaisseur de base fine x_b de 1 µm et pour une distance inter-caisson L_T de 1 µm et 5 µm.

Distance inter-caisson L_T	Dopage de la base fine N_{ABf}	Longueur des caissons x_c
1 µm	$2{,}5.10^{15}$ cm^{-3}	0,75 µm
5 µm	10^{16} cm^{-3}	3 µm

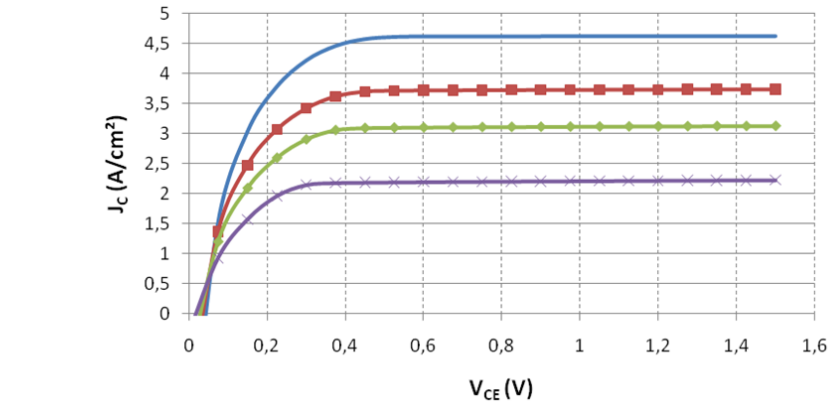
La figure 3-33.b montre que le gain maximal est pratiquement divisé par 3 avec une valeur de L_T égale à 5µm et une base plus fortement dopée, pour une densité de courant J_C égale à 10^{-1} A/cm². Les courbes de Gummel de la figure 3-33.a montrent effectivement un courant de base plus important. En revanche, cet écart s'atténue pour des densités de courant plus importantes et pour lesquelles l'efficacité d'injection de l'émetteur devient alors prédominante, comme en témoignent les courbes de courant collecteur qui se rejoignent (figure 3-33.a). Cela se traduit par des courbes de gain de la figure 3-33.b qui se mettent à converger pour des densités de courant de collecteur de plus en plus importante. Nous pouvons conclure que la pénalité reçue sur les performances de la structure à l'état passant, pour L_T = 5 µm, est acceptable dans la mesure où nous cherchons à travailler sur des densités de courant relativement importantes (J_C > 1 A/cm²). Afin de rendre la réalisation technologique moins complexe, il est préférable d'opter pour des distances inter-caisson plus importantes, soit, ici, préférer la valeur de 5 µm à celle d'1 µm.

3.4.3.4 Validation du comportement « transistor » avec le réseau de courbes de Kellog

Le tracé du réseau de courbes de Kellog complète celui de Gummel et permet de s'assurer que l'on travaille bien en régime quasi-saturé autour du point de polarisation. Il permet de relever la tension de saturation $V_{CE(sat)}$ à une densité de courant J_B donnée. Ces densités de courant correspondent à V_{BE} comprise entre 0,78 et 0,86 V, c'est-à-dire autour du point de polarisation de la base. Ces courbes sont obtenues pour des distances inter-caisson L_T de 5 µm.



a)



b)

Figure 3-34 : Réseau de courbes de Kellog pour une structure SOI d'épaisseur t_{SOI} = 1,5 µm. a) L_T = 1 µm. b) L_T = 5 µm.

Les réseaux de courbes présentés sur la figure 3-34 confirment le fait que la structure se comporte bien comme un transistor bipolaire. En traçant le courant du collecteur en fonction de sa tension, nous pouvons confirmer, par exemple, qu'une chute de tension de 0,5 V est suffisante pour maximiser le gain, pour J_B = 300 mA/cm². En effet, c'est à cet endroit où le courant est maximal pour une chute de tension minimale. Dans le cas contraire, il aurait été nécessaire de tracer à nouveau les courbes de Gummel en faisant en sorte que V_{CE} soit égale à $V_{CE(sat)}$ dans la gamme de courant collecteur souhaitée et trouver un nouveau point de polarisation de la base. Nous confirmons également l'impact mineur de L_T sur les

performances à l'état passant pour des densités J_C supérieures à 1 A/cm² puisque la différence est insignifiante entre les figure 3-34.a et figure 3-34.b.

Les simulations 2D, tant à l'état bloqué qu'à l'état passant, nous ont permis de fixer au mieux les paramètres physiques et géométriques de la structure en nous donnant une idée de ses performances électriques. Nous disposons ainsi d'une structure dont la couche SOI est épaisse de 1,5 µm et dopée selon un profil VLD conforme à la condition de mise en place de l'effet RESURF. Les caissons d'autoblindage sont espacés de 5 µm impliquant une base fine épaisse d'1 µm pour un dopage de 10^{16} cm^{-3}. Ces paramètres vont maintenant nous permettre de préparer les simulations 3D dont le but est de valider les hypothèses 2D posées à propos du dimensionnement de la couche SOI et de la base fine et de ses caissons dans la mise en place de l'effet RESURF et du phénomène d'autoblindage.

3.4.4 Validation de la structure en 3D

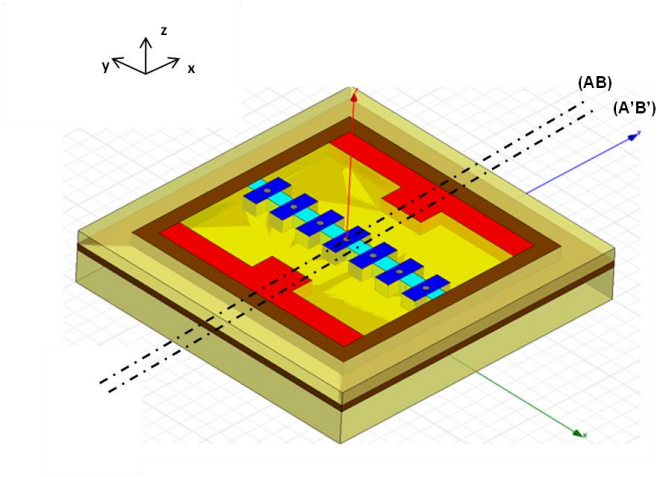
Les simulations 2D ont pu être effectuées en fixant un certain nombre d'hypothèses nous permettant d'étudier et d'optimiser séparément la tenue en tension à l'état bloqué et le gain à l'état passant du transistor bipolaire symétrique. Ceci nous a permis de réduire considérablement les temps de simulation et de faciliter l'étude de la sensibilité des paramètres relatifs à la couche SOI et à la base. Une fois le dimensionnement optimum atteint, il est nécessaire de valider l'ensemble des résultats par une simulation 3D. Pour rendre les temps de simulation convenables, la structure retenue est munie d'une distance inter-caisson L_T réduite à 1 µm. En effet, opter pour une distance de 5 µm ferait augmenter les temps de calcul de manière importante. La couche SOI est d'une épaisseur de 1,5 µm avec le profil de dopage VLD adéquat. La structure 3D possède alors une largeur de demi-cellule de 1 µm. Les épaisseurs des couches SiO_2 sont maintenues à 3 µm et les caissons P^+ sont modélisés à partir de profils de dopages uniformes afin de simplifier le maillage de la structure.

- Etat bloqué

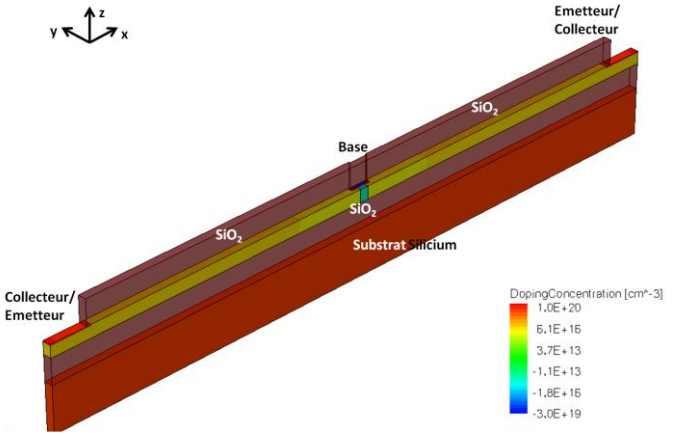
La figure 3-35 représente une demi-cellule 3D intégrant un demi-caisson P^+ et une demi-base. En effet, grâce aux conditions aux limites imposées par le simulateur, l'autoblindage sera de toute façon pris en compte.

Une simulation 3D à l'état bloqué se fait en plusieurs étapes. Dans un premier temps, les différentes régions semi-conductrices sont définies puis maillées de manière préliminaire. La

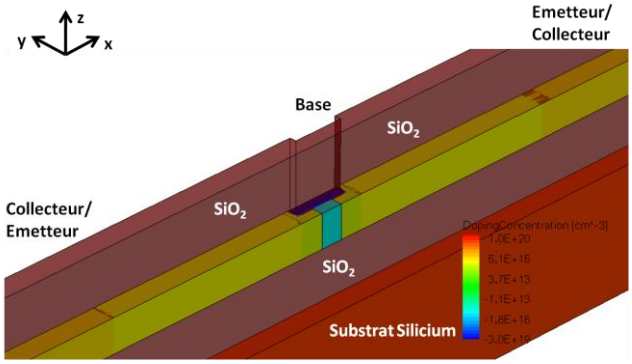
simulation par éléments finis qui s'en suit va permettre d'établir qualitativement la cartographie du champ électrique pour une tension collecteur donnée (i.e. 500 V). Une étape de remaillage ultérieure, en fonction du champ électrique préparera ensuite la structure pour des simulations plus précises. Cette approche par étapes successives est indispensable pour considérer au mieux les variations de la grandeur physique critique « champ électrique ».



a)



b)



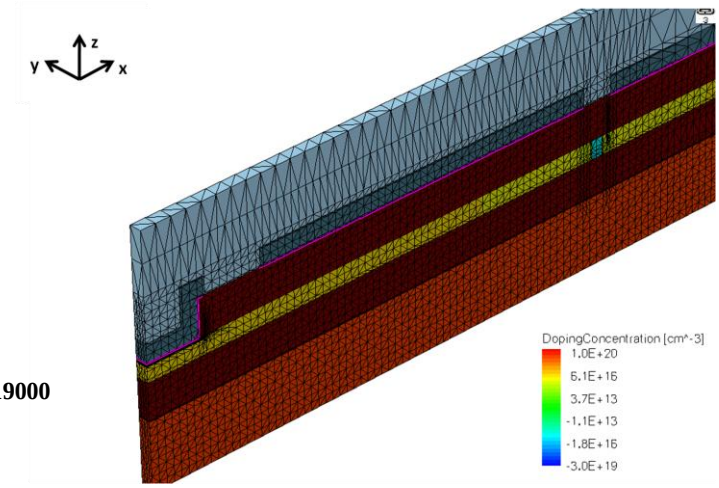
c)

Figure 3-35 : a) vue en perspective de la structure du TJBS sur substrat SOI. b) et c) demi-cellule 3D simulée extraite à partir des coupes verticales (AB) et (A'B').

Les structures générées de la figure 3-36 illustrent les différentes étapes du maillage de la structure 3D. Nous pouvons constater que les nœuds de maillage se concentrent essentiellement dans les lieux de forts gradients de champ électrique, comme par exemple au voisinage du collecteur ou de la base. En effet, compte tenu de l'augmentation rapide du nombre de nœuds au sein des structures tridimensionnelles, ils doivent être essentiellement concentrés dans les régions où se produisent les phénomènes physiques critiques.

Nombres de nœuds : 19000

a)



Nombres de nœuds : 225000

b)

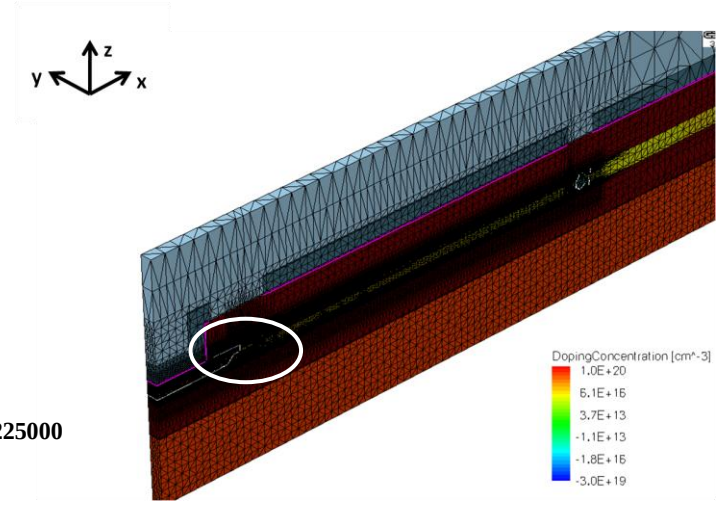
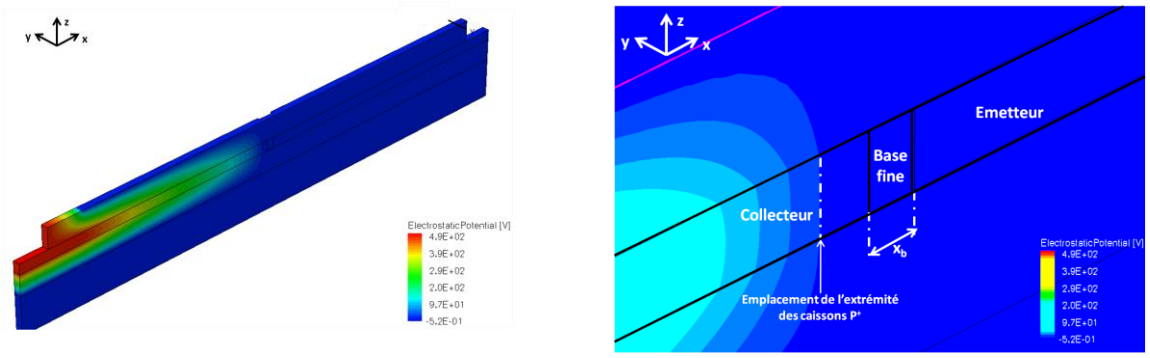


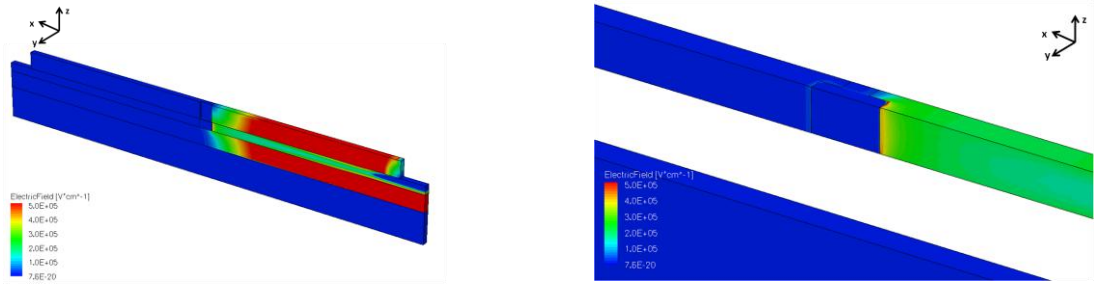
Figure 3-36 : Evolution du maillage adaptatif entre différents étapes (a) et b)) en fonction du champ électrique.

Ces étapes de remaillage sont réitérées autant de fois que nécessaire, afin d'obtenir le meilleur compromis possible entre durée de simulation et précision des résultats. On parle alors de maillage adaptatif. C'est sur la dernière structure générée que seront résolues à la fois les équations de Poisson et de transport. En fonction de la qualité des résultats de simulation obtenus, 250000 voire 350000 nœuds de maillage seront nécessaires.



a) b)

Figure 3-37 : Répartition du potentiel électrique au claquage dans la structure a) et au voisinage de la base b).



a) b)

Figure 3-38 : Répartition du champ électrique dans la structure a) et au voisinage de la base b).

La figure 3-37, qui représente la répartition du potentiel électrique dans la structure, et la figure 3-38, qui illustre le champ électrique, nous permettent de retrouver les comportements électriques testés séparément au travers de nos différentes simulations 2D. Ces simulations montrent en effet la coexistence du mécanisme d'autoblindage du champ électrique et de la désertion homogène de la zone de drift du transistor par effet RESURF. Nous pouvons en effet observer à la fois une zone de faible champ électrique au voisinage de la base fine et une désertion complète de la couche SOI entre la base et le collecteur. Ces résultats sont confirmés par une distribution régulière des équipotentielles et un gradient qui s'annule avant d'atteindre la base fine.

Nous avons ensuite voulu valider l'intérêt des caissons sur la tenue en tension. Trois valeurs de x_c ont été retenues : 0,25 µm, 0,5 µm et 0,75 µm (figure 3-39).

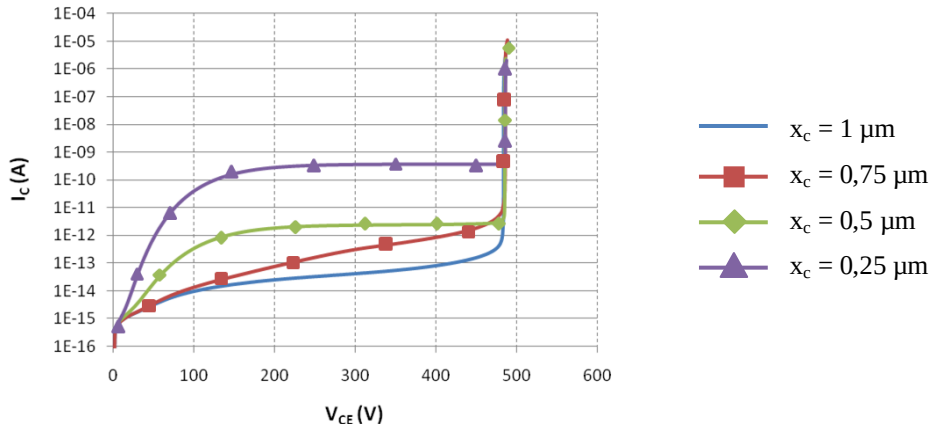


Figure 3-39 : Tenue en tension de la structure pour différentes longueurs de caissons x_c.

La figure 3-39 montre un courant de fuite s'atténuant d'autant que les longueurs x_c sont de plus en plus élevées, ceci grâce à un autoblindage de plus en plus efficace. Nous avons également pu constater que l'utilisation de caissons de longueurs plus importantes empêche le champ électrique de s'étendre dans l'oxyde sous la base, comme cela apparaissait également sur les simulations 2D de la figure 3-24.

La structure ne part pas prématurément en avalanche aidée en cela par un dopage uniforme des caissons P^+ qui les préserve quasiment de toute pénétration du champ électrique. Cet écart de performances rappelle celui existant entre les transistors GAT et TBSBT, le second étant plus efficace que le premier grâce à des tranchées au profil de dopage abrupt (paragraphe 2.4.3 du chapitre 2). Il s'agit donc de résultats optimistes.

Une évaluation plus précise de la capacité des caissons à protéger la base consiste à tracer le profil du champ électrique présent dans l'épaisseur de la base fine.

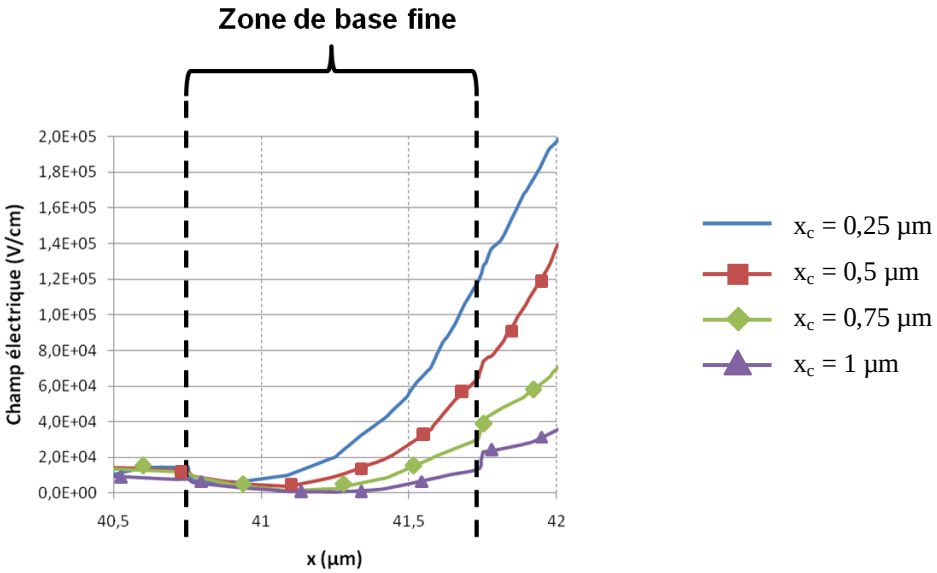


Figure 3-40 : Profil longitudinal du champ électrique au sein de la base fine au claquage pour différentes longueurs de caissons x_c.

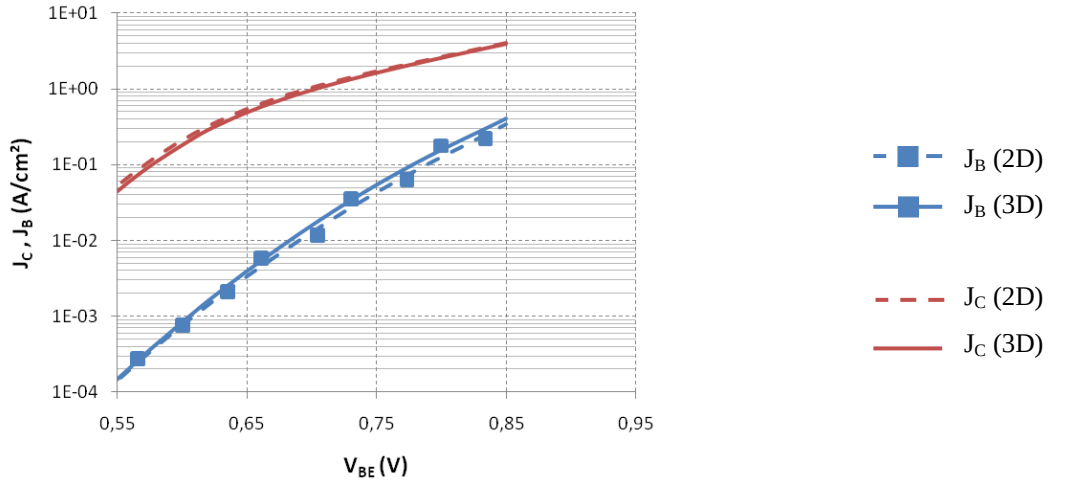
La figure 3-40 présente l'évolution du champ électrique dans la base pour différentes longueurs de caissons. Nous remarquons que l'intensité du champ électrique diminue avec l'augmentation de x_c, conformément à l'effet souhaité avec un phénomène d'autoblindage de plus en plus efficace.

Ces simulations 3D nous confirment qu'il était pertinent de découpler l'étude de la tenue en tension de la couche SOI assistée par effet RESURF et de l'étude de la tenue en tension de la base par autoblindage.

- Etat passant

Les simulations à l'état passant reprennent, à l'identique, la structure définie précédemment. Elles sont moins contraignantes en termes de temps de calcul puisque le paramètre critique est ici la densité de courant. En supposant qu'il y ait peu de variation de la densité de courant au sein de la couche SOI, son maillage peut être uniforme et construit en une seule fois contrairement à l'étude de l'état bloqué qui nécessitait une procédure de maillage itératif. Ces simulations 3D ont permis de tracer les courbes de Gummel et de Kellog.

a)



b)

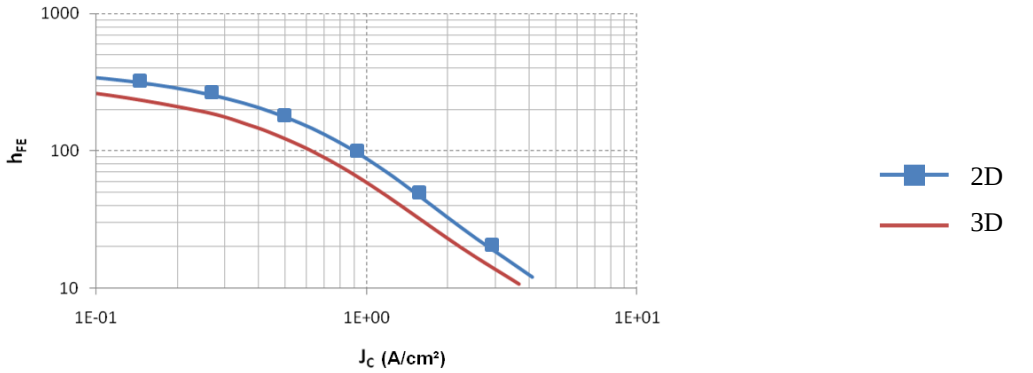


Figure 3-41 : Comparaison entre les simulations 2D et 3D pour les courbes de Gummel.

La figure 3-41 présente des résultats simulés en 2D et 3D. Celle-ci montre une différence sensible en défaveur de la structure 3D. En observant les caractéristiques de la figure 3-41.b, le courant dans la base de la structure 2D est inférieur à celui simulé en 3D, à courant de collecteur constant. Ceci s'explique par le fait que la jonction abrupte, située au niveau des caissons P^+ fortement et uniformément dopés, injecte plus de courant. En ce qui concerne les densités de courant de collecteur, celles-ci restent les mêmes puisque les caractéristiques technologiques de la couche SOI et de la base fine restent les mêmes. Ces simulations 3D à l'état passant confirment un gain proche de celui obtenu sur les simulations 2D.

Le réseau de courbes de Kellog de la figure 3-42 confirme le bon fonctionnement du transistor avec une faible tension de saturation $V_{CE(sat)}$ comprise entre 0,3 et 0,5 V, selon la valeur de la densité de courant J_B. Ces caractéristiques correspondent à un point de polarisation V_{BE} compris entre 0,78 et 0,84 V. Ainsi par exemple, pour V_{BE} = 0,82 V, nous devrions obtenir un gain h_{FE} de 15, pour une tension V_{CE} égale à $V_{CE(sat)}$ de 0,5 V.

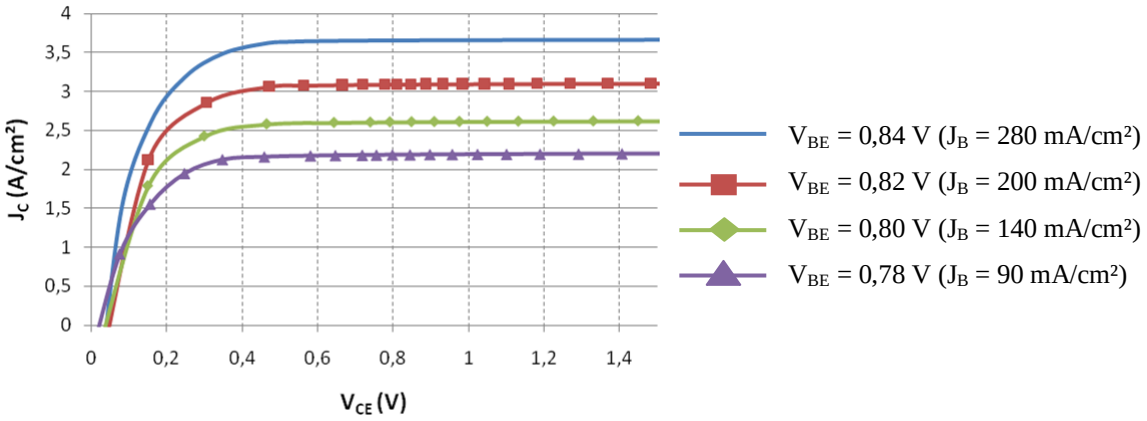


Figure 3-42 : Réseau de courbes de Kellog pour une structure 3D SOI d'épaisseur t_{SOI} = 1,5 µm.

3.5 Limites de la structure

La structure du transistor symétrique latéral sur SOI a été conçue de manière à contourner les inconvénients de la structure verticale à savoir :

- une polarisation non uniforme de la base ;
- un émetteur (respectivement collecteur) peu injectant ;
- une tenue mécanique fragile ;
- la minimisation des développements technologiques supplémentaires.

A même tenue en tension (V_{CEO} = 500 V), il est désormais possible de discuter les performances du dispositif à l'état passant par rapport à son homologue horizontal. Le comportement électrique du transistor à l'état passant peut être étudié en traçant le profil des charges (figure 3-43), pour des densités de courant élevées (V_{BE} = 0,85 V).

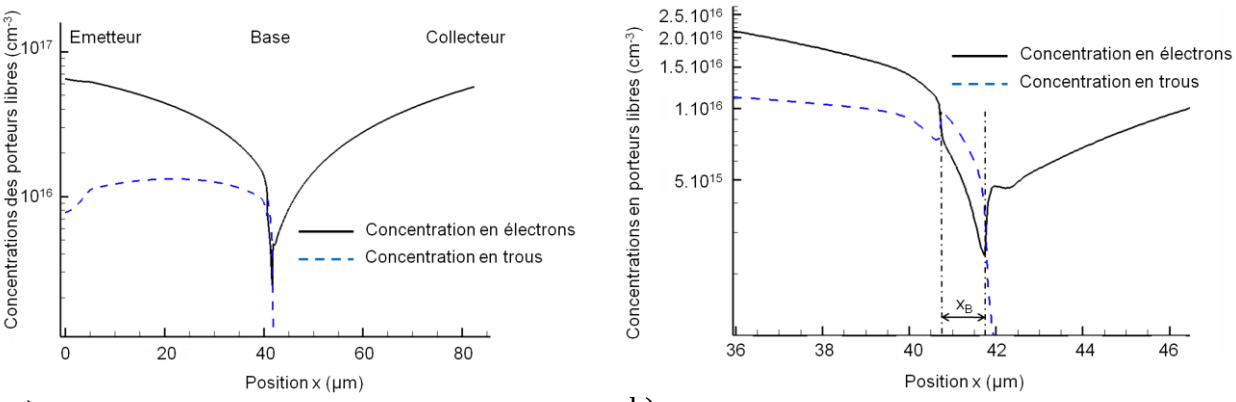


Figure 3-43 : Distribution longitudinale des porteurs libres, pour V_{BE} = 0,85 V, V_{CE} = 0,5 V. a) entre le collecteur et l'émetteur. b) au voisinage de la base.

La figure 3-43.a montre une dissymétrie du profil de concentration des électrons par rapport à la base. Ce comportement signifie que la résistivité de la zone de tenue en tension côté émetteur est modulée. La concentration de porteurs libres dans l'émetteur est supérieure à la concentration de dopage phosphore dans la zone de drift (valeur moyenne de 2.10^{16} cm^{-3}). Le « niveau de dopage » effectif de l'émetteur apparaît donc plus élevé, de sorte que son efficacité d'injection est plus importante.

Le risque d'un tel phénomène d'injection d'électrons par l'émetteur dans une base fine et faiblement dopée est de saturer cette dernière en porteurs minoritaires. La compensation de cet excédent de porteurs entraîne une augmentation du courant de base ce qui conduit à une chute du gain. Ce phénomène, appelé aussi effet Rittner, a limité les gains en performances apportés par la base autoprotégée au TJBS vertical sur les fortes densités de courant (paragraphe 2.5.4 du chapitre 2).

La figure 3-43.b montre que ce phénomène reste atténué. En effet, nous pouvons voir que la concentration des trous au niveau de la base reste supérieure à son niveau de dopage bore (N_{ABf} = $2,5.10^{15}$ cm^{-3}) ainsi qu'à la concentration d'électrons, ce qui prouve que la base n'est pas totalement saturée en porteurs minoritaires. Un tel phénomène est dû à la présence des caissons P^+. Initialement destinés à préserver la base fine du perçage à l'état bloqué, ces caissons participent également à l'injection des trous à l'état passant.

Pour s'en assurer, la figure 3-44 présente les courbes de gain en fonction du dopage des caissons P^+.

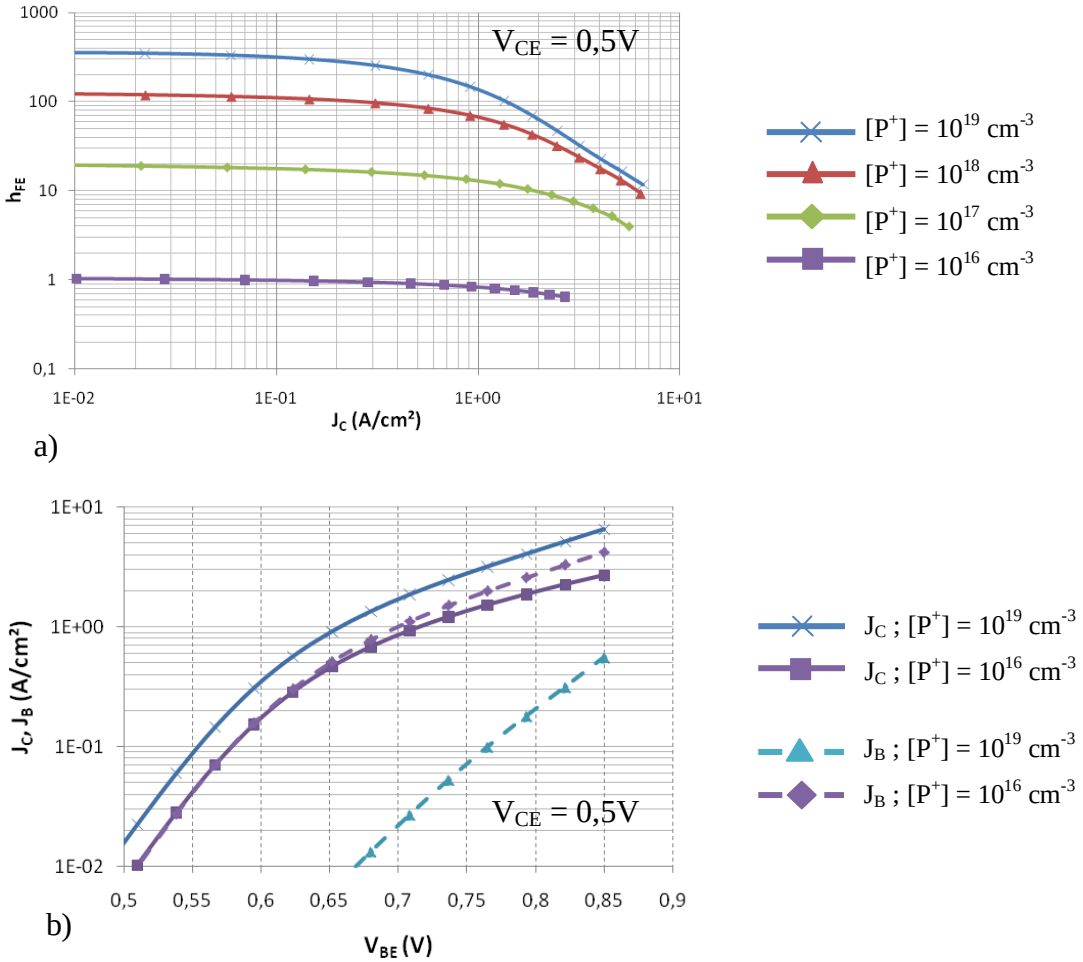


Figure 3-44 : Evolution du gain en fonction de la densité de courant J_C a) et diagramme de Gummel b), pour différentes valeurs de dopage des caissons P^+.

Nous observons sur la figure 3-44.a que le gain décroît jusqu'à devenir insignifiant lorsque le dopage des caissons chute en-deçà de 10^{16} cm^{-3}. Les caissons ne peuvent plus fournir la quantité de trous nécessaire pour éviter la saturation de la base en porteurs minoritaires. Ceci se traduit sur les courbes de Gummel (figure 3-44.b) par une augmentation importante du courant de base, afin de maintenir la neutralité électrique. Le courant du collecteur étant constant, le gain h_{FE} chute. En pratique, ces caissons doivent toujours être fortement dopés de manière à garantir l'autoblindage à l'état bloqué.

Les performances des structures verticales et latérales sont comparées sur la figure 3-45. Dans l'absolu, la structure SOI possède un gain plus important par rapport à la structure verticale. Grâce à des niveaux de dopage d'émetteur et de collecteur plus élevés, deux décades au-dessus en moyenne, cette structure possède une efficacité d'injection beaucoup plus élevée comme peuvent en témoigner les caractéristiques de la figure 3-45.a. Quelle que

soit la valeur de V_{BE}, le gain de la structure latérale est toujours supérieur d'une décade environ. En revanche, cette structure sur substrat SOI, latérale, occupe une surface de puce plus importante comme le montre la figure 3-45.b qui représente le gain en fonction de la densité de courant du collecteur J_C. Celle-ci dépend, dans le cas de la structure latérale, de l'épaisseur de la couche SOI.

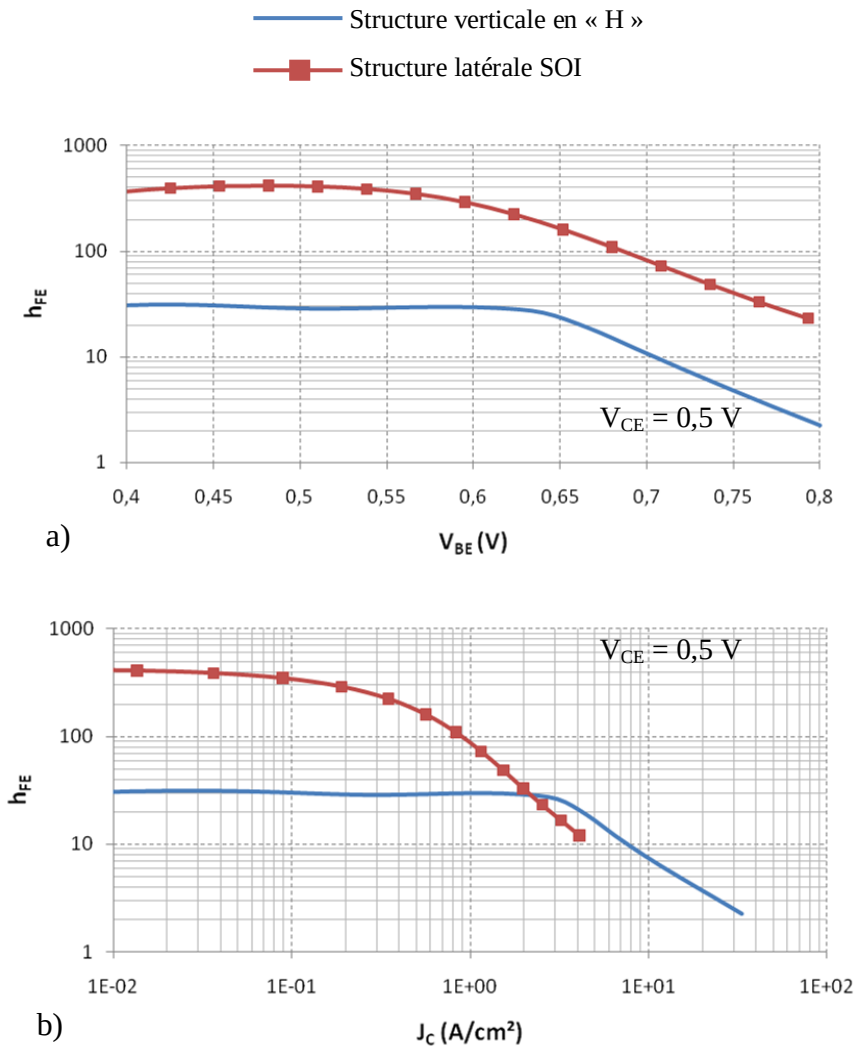


Figure 3-45 : Comparaison des courbes de Gummel entre la structure verticale en « H » et la structure latérale SOI en fonction de V_{BE} a) et de J_C b).

Pour diminuer la taille de puce, des solutions prospectives sont envisageables notamment en augmentant l'épaisseur de la couche SOI de tenue en tension tout en conservant son dopage élevé. Pour ce faire, plusieurs approches sont possibles : les îlots flottants [73] ou encore les superjonctions [55]. Ces technologies, issues des développements dans les transistors MOS verticaux, visent le même objectif que celui rendu possible par l'application

de l'effet RESURF en favorisant une désertion homogène des zones de tenue en tension. Pour une même tension de claquage, cela a donc pour but de diminuer la résistivité à l'état passant de ces couches soutenant la tension. La solution présentée par M. J. Kumar [61] qui consistait à percer l'oxyde enterré pour pouvoir loger la tension dans le substrat peut également être envisagée.

L'adaptation de ces technologies dans notre contexte nécessitera toutefois des développements technologiques supplémentaires.

3.6 Le transistor symétrique latéral RESURF à base large

A l'instar du transistor vertical symétrique, il est théoriquement possible d'envisager le même concept sur un transistor latéral avec une couche SOI de type P.

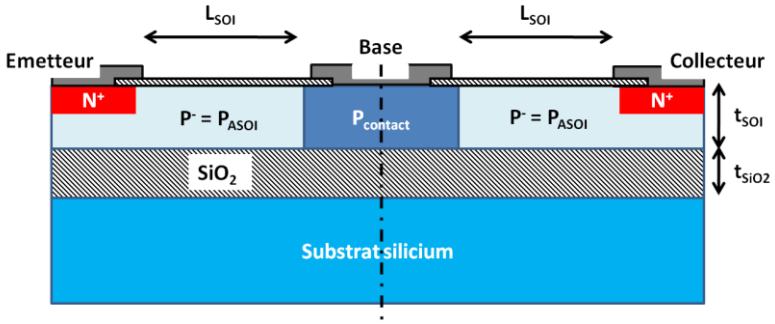


Figure 3-46 : Vue en coupe schématique de la structure de transistor symétrique SOI latéral à base large.

Cette structure, présentée en figure 3-46, possède une base large de dopage P_{ASOI} dans laquelle sont intégrés des caissons $P_{contact}$ plus fortement dopés pour la prise de contact. Si la structure semble parfaitement fonctionnelle, deux objections l'empêchent de concurrencer sérieusement la structure précédente.

Premièrement, les jonctions B – C et B – E sont fortement cylindriques à l'inverse de la structure à base fine. Comme le montre la figure 3-47, de telles jonctions cylindriques concentrent les lignes de champ. Ajoutons à cela un effet de « crowding » qui fait que cette structure ne pourra soutenir qu'une faible tension. En effet, le champ électrique dépasse sa valeur critique (5.10^5 V/cm) sans pour autant s'étendre latéralement.

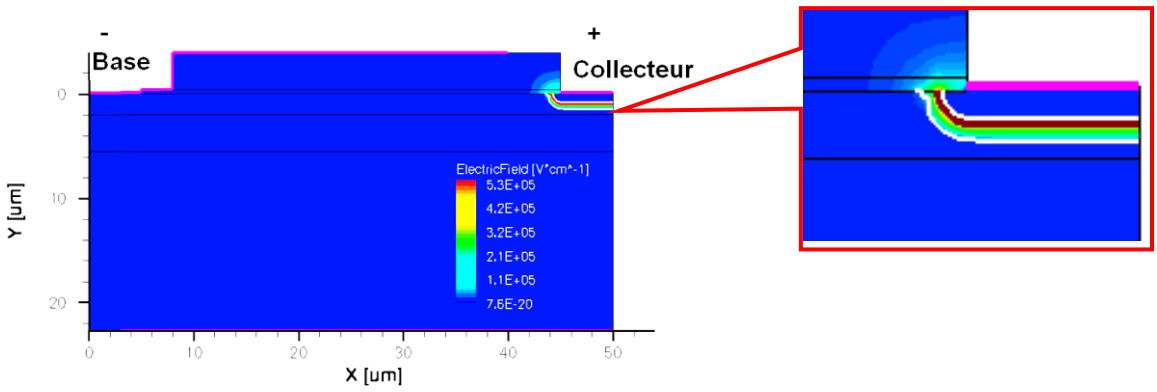


Figure 3-47 : Répartition du champ électrique à l'avalanche dans une structure latérale à base large, à V_{CE} = 20 V.

Deuxièmement, il s'agit d'un transistor faible gain. En effet, rappelons que la mise en œuvre de l'effet RESURF se traduit également par une désertion homogène des zones de tenue en tension ce qui a pour conséquence le rehaussement du niveau dopage. Or, dans le cas de cette structure, c'est tout simplement la base large qui voit son niveau de dopage augmenter impliquant ainsi la baisse la durée de vie des porteurs. Il en résulte une diminution du gain avec une valeur maximale atteignant difficilement la valeur de 5.

Pour conclure, à l'instar de la structure verticale, l'insertion d'une base épaisse simplifiera la réalisation du transistor au détriment de ses performances.

3.7 La technologie SOI et l'intégration monolithique

Outre une plus grande simplicité de réalisation, la technologie SOI garantit une isolation électrique entre les différentes couches semi-conductrices. Puisque l'interrupteur de puissance est isolé en périphérie par des murs d'oxyde, il est parfaitement possible de lui associer, sur le même substrat, des circuits de commande comme sur l'exemple de la figure 3-48.

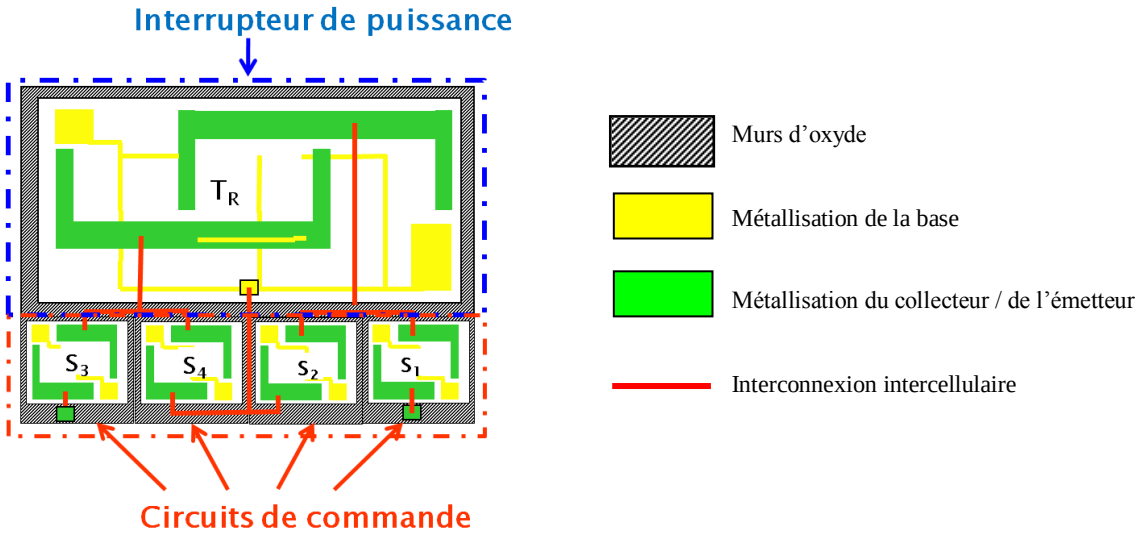


Figure 3-48 : exemple schématique d'intégration de circuits de commande.

L'isolation électrique entre le circuit de commande et le circuit de puissance est assurée par des murs d'oxyde intercellulaires. L'avantage d'une telle approche est de permettre ~~un~~ l'ajout de fonctionnalités sans entraîner d'étapes de fabrication supplémentaires. Le circuit de commande et le transistor de puissance sont réalisés en même temps. Le gain de place et de temps permettrait ainsi de compenser le relatif encombrement de la structure latérale.

3.8 Conclusion

Dans ce chapitre, une alternative au transistor symétrique présenté au chapitre 2 a été proposée. En transposant latéralement cette dernière, nous avons montré qu'il devenait possible d'implanter des prises de contact régulières sur la base et de diminuer les effets parasites tels que la dépolarisation de la base ou encore les injections parasites par les murs d'accès à la base. Le passage d'une structure verticale vers une structure latérale rend celle-ci plus simple à réaliser et plus intégrable à d'autres fonctionnalités (circuits de commande et/ou de protection).

Les structures latérales souffrant d'une tenue en tension médiocre, des technologies ont été mises en place afin de contourner ce problème parmi lesquelles figure l'assistance à la désertion par effet RESURF. En créant deux profils de désertion, l'un vertical et l'autre horizontal, il s'avère possible, dans une même longueur de zone de tenue en tension, de loger ainsi une tension plus importante. Par ailleurs, cette technologie est compatible avec l'utilisation de substrats SOI. Pourvus d'une couche d'oxyde enterré, ces substrats peuvent

ainsi garantir une isolation électrique parfaite entre les différents composants d'un système électronique.

Dans un premier temps, les simulations 2D nous ont permis d'identifier les paramètres critiques de la structure. Au travers de simulations 2D décorrélées les unes des autres, nous sommes parvenus à définir les paramètres physiques de la couche SOI, la dimension de la base fine et la géométrie des caissons destinés à assurer un autoblindage. Les caractéristiques obtenues nous ont ensuite permis de définir, dans un deuxième temps, une structure tridimensionnelle complète. Les résultats de simulation obtenus confirment la pertinence des choix réalisés en 2D, avec un fonctionnement de transistor mettant, d'une part, clairement en évidence le concours conjoint de l'autoblindage de la base et la tenue en tension dans la zone de drift par effet RESURF, et présentant, d'autre part, une conduction efficace avec une faible chute de tension à l'état passant.

Nous disposons ainsi d'un transistor symétrique latéral possédant à la fois un fort coefficient d'injection de l'émetteur et un fort facteur de transport dans la base. Si la faible épaisseur de couche SOI limite la densité de courant, cet inconvénient est largement compensé par la potentialité d'intégration de diverses fonctionnalités sur une seule et même puce, sans étapes technologiques supplémentaires. Par ailleurs, pour un courant nominal de 4,5 A, la surface de puce occupée (1,5 cm^2) restera inférieure à celle occupée par les deux puces MOS à superjonction (STY60NM50, 500 V) de 90 mm^2 chacune. Ces travaux montrent ainsi qu'il est parfaitement envisageable d'imaginer une solution monolithique « tout intégré ».

Conclusion générale

La gestion de la consommation de l'énergie électrique dans l'habitat constitue un maillon important dans le rendement de la chaîne énergétique. Ce travail de thèse s'inscrit dans cette optique en proposant une structure de transistor bipolaire symétrique, bidirectionnel en courant et en tension, comme alternative électronique de remplacement des interrupteurs mécaniques domestiques d'aujourd'hui. Les interrupteurs électroniques de ce type, associés à une commande intelligente, de par leur possibilité d'interfaçage, permettront un meilleur contrôle de la dépense énergétique. Faiblement dissipatifs, ces interrupteurs pourront également être encastrés dans les murs, à l'instar de leurs homologues mécaniques.

Idéalement, un interrupteur sur le secteur doit :

- être bidirectionnel en tension et en courant ;
- supporter au moins une tension de 500 V à l'état bloqué ;
- être commandable, pour pouvoir piloter tout type d'applications domestiques ;
- être monolithique, pour faciliter l'intégration de fonctions supplémentaires (commande, protection…) ;
- être le plus faiblement dissipatif possible. La densité de puissance dissipée doit absolument être inférieure à 1 W/A en raison du fonctionnement possible de l'interrupteur dans un environnement confiné.

Les solutions existantes proposent des assemblages discrets ou hybrides qui, bien que simples à mettre en œuvre, consomment de la surface de puce ou sont difficilement intégrables. Des solutions monolithiques existent mais nécessitent la mise en œuvre d'architectures très complexes et présentent de surcroit une tension résiduelle à l'état passant (> 1 V) ce qui porte d'emblée la valeur de la densité de puissance dissipée à 1 W/A, ce qui empêche alors l'interrupteur de pouvoir travailler en milieu confiné.

La détermination d'une structure adéquate s'est faite en deux temps. Dans un premier temps, nous avons défini une structure verticale du transistor symétrique en « symétrisant » une structure de transistor conventionnel. Grâce à des simulations par éléments finis, nous avons envisagé deux variantes possibles de cette structure. La première approche a consisté à loger la tension à l'état bloqué dans la base. Simple à réaliser, cette structure pêche par son faible gain à cause de sa base trop épaisse. L'autre approche a consisté à loger la tension dans des zones faiblement dopées, situées de part et d'autre d'une base fine. Afin de pouvoir fonctionner sur le secteur, cette dernière structure a donc été dimensionnée pour soutenir 500 V à l'état bloqué. En revanche, ses performances électriques à l'état passant se sont révélées médiocres en raison d'un émetteur faiblement injectant. Les études réalisées sur les transistors unidirectionnels ont permis de montrer qu'il était possible d'obtenir des transistors avec des gains plus importants en s'appuyant sur l'utilisation de bases plus fines et/ou moins épaisses. Ces bases sont en revanche « auprotégées » de la haute tension par l'introduction de caissons fortement dopés qui jouent le rôle de boucliers face au champ électrique. L'implémentation de cette technique dans notre structure symétrique verticale a permis d'augmenter le gain en améliorant le facteur de transport de la base, compensant ainsi en partie la médiocre efficacité d'injection de l'émetteur (figure 49).

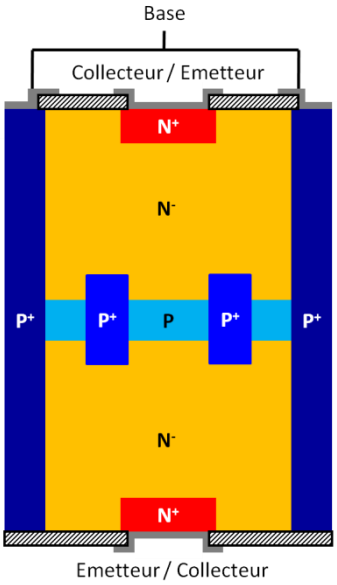


Figure 49 : Vue en coupe schématique du transistor vertical symétrique à base autoprotégée.

Nous avons montré que la structure de la figure 49 satisfaisait les conditions de fonctionnement d'un interrupteur bidirectionnel à faibles pertes. Toutefois, la tenue en tension

définissant l'épaisseur de la structure, celle-ci se révèle être, pour une tension de 500V, mécaniquement trop fragile, en raison d'une épaisseur de plaquette trop fine. Par ailleurs, les phénomènes parasites tels que l'injection de courant par les murs diffusés en périphérie du transistor ou bien encore la dépolarisation de la base fine et longue, sont autant d'éléments qui participent à la diminution du rendement de la structure.

Pour pallier les problèmes rencontrés, nous avons étudié, dans un deuxième temps, une structure latérale sur substrat SOI (Silicon On Insulator) (figure 50). Doté d'un fonctionnement en tout point similaire à la structure verticale précédente, la réalisation de cette structure latérale ne nécessite pas de nouveaux développements technologiques particuliers, tout en nous affranchissant des phénomènes parasites rencontrés précédemment. Par ailleurs, le choix d'un substrat SOI devait nous permettre de bénéficier de l'effet RESURF qui présente l'intérêt de pouvoir augmenter le dopage moyen des zones de drift tout en assurant leur désertion homogène pour une meilleure tenue en tension. En augmentant ainsi la conductivité des zones de drift, cela nous a permis d'augmenter l'efficacité d'injection du transistor par rapport à celle de la structure verticale précédente. En effet, pour une même tension base – émetteur, le gain est augmenté d'une décade.

Le dimensionnement de la structure tridimensionnelle s'est fait en deux temps. Dans un premier temps, les mécanismes de l'effet RESURF et de l'autoblindage ont été simulés indépendamment les uns des autres, par une série de simulations 2D à l'état bloqué et à l'état passant. En considérant chaque simulation comme complémentaire, cela nous a permis de définir un ensemble de paramètres de conception du transistor, à savoir, l'épaisseur de la couche SOI, les niveaux de dopage et les géométries des différentes couches et caissons semi-conducteurs. Dans un deuxième temps, la structure tridimensionnelle complète a été simulée. Par remaillages successifs dans les zones de fort gradient de champ électrique, nous sommes parvenus à simuler le comportement de la structure complète, à l'état passant comme à l'état bloqué, validant ainsi notre démarche initiale reposant sur des optimisations successives d'éléments de structures 2D.

Outre le caractère novateur de cette nouvelle structure bidirectionnelle en tension et en courant, commandable et à faible perte, sa réalisation présente également l'intérêt de pouvoir se reposer sur l'utilisation de technologies existantes. Par ailleurs, l'emploi d'un substrat SOI facilite l'intégration monolithique des circuits de commande ou de protection, tout en garantissant l'isolation électrique nécessaire entre les étages haute tension et basse tension.

Cela nous permet ainsi d'envisager une solution « tout intégré » à faible perte pouvant travailler dans des milieux confinés.

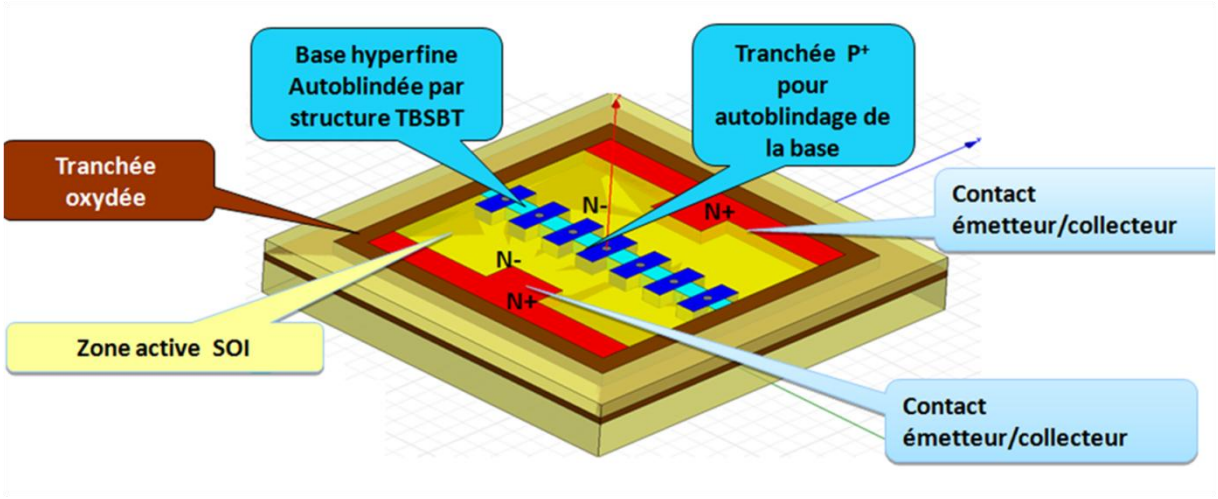


Figure 50 : Vue en perspective du transistor bipolaire symétrique sur substrat SOI en couche fine.

Ces travaux de thèse nous permettent d'envisager les perspectives suivantes :

- la réalisation de l'interrupteur bidirectionnel latéral sur substrat SOI, une fois que les filières technologiques existantes auront été calibrées ;

- l'intégration monolithique de l'interrupteur avec ses circuits de commande ou de protection permise par l'isolation électrique apportée par la technologie SOI. Il est possible d'imaginer des circuits dont la réalisation s'intègre avec celle de l'interrupteur sans apporter de surcoût lié à des étapes technologiques supplémentaires ;

- l'amélioration de la densité de courant. Si l'emploi du concept de désertion assistée par effet RESURF permet de relever les niveaux de dopage des zones drift et donc d'augmenter le gain, la contrepartie se situe au niveau de la couche SOI, relativement fine. La réduction de la taille de puce pourrait se faire grâce à l'ajout de superjonctions ou d'îlots flottants qui permettraient ainsi de conserver un dopage élevé tout en permettant de recourir à des épaisseurs de couche SOI plus importantes. En revanche, cela suppose des développements technologiques supplémentaires ;

- la réflexion d'une architecture sur les nouveaux matériaux « grand gap ». En effet, les performances de ces nouveaux matériaux en termes de champ électrique et de conductivité thermique nous permettront de diminuer davantage les surfaces de puce. Une réduction des dimensions d'un facteur 10 nous permettrait d'envisager soit de retravailler la structure existante soit de repenser la structure verticale du chapitre 2. En effet, grâce à la réduction des dimensions, cette dernière structure pourrait être réalisée à l'aide d'épitaxies. Sa structure mécanique pourrait ainsi être renforcée par l'ajout d'un substrat épais (de silicium par exemple) en face arrière.

Bibliographie

[1] B. Nguyen – Dac, J.-C. Crébier, « MOS Controlled AC Switches implemented with Full driver power supplies and dead time management circuits », IECON, pp. 2049 – 2054, 2006.

[2] B. Nguyen – Dac, J.-C. Crébier, R. Mitova, L. Aubard, C. Schaeffer, « AC switches with integrated gate driver supplies », EPE'05, pp. 1 – 9, 2005.

[3] C. Glaize, F. Forest, F. Charef, « Study of power bidirectional switches using MOS-transistors » 3rd International conference, PA IEE Conference Publication, Vol. n° 291, pp. 51 – 53, 1988.

[4] B. J. Baliga, « Power Semiconductor Devices », PWS Publishing Company, pp. 426 – 502, 1996.

[5] R. Pezzani, J-B. Quoirin, « Functional integration of power devices : a new approach », European Conference on Power Electronics and Applications EPE'95, Sevilla, Spain, Vol. 2, p.219 – 223, 1995.

[6] R. Pezzani, E. Bernier, « Programmable protection circuit and its monolithic manufacturing », Brevet numéro : RE 35 854, 1995.

[7] R. Pezzani, « Monolithic semiconductor switch and supply circuit component », Brevet numéro : 5 883 401, 1996.

[8] R. Pezzani, « Three-state monolithic static switch », Brevet numéro : 5 883 500, 1997.

[9] R. Pezzani, « Thyristor control switch for a bidirectionnal motor », Brevet numéro : 5 889 374, 1997.

[10] Philips Semiconductor, « 'Hi-Com' — a three-quadrant triac », http://www.nxp.com/acrobat_download/applicationnotes/FS013-014.pdf, 1999.

[11] M. Breil et al., « Exploring various MOS-thyristor associations for a new power integrated function: the IGTH », ESSDERC 2000, Ireland, pp. 384 – 387, 2000.

[12] A. Bourennane, « Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS », thèse de l'Université Paul Sabatier de Toulouse, 2004.

[13] A. Nakagawa, « Numerical experiment for 2500 V double gate bipolar-mode MOSFETs (DGIGBT) and analysis for large safe operating area (SOA) », PESC'88, pp. 88 – 90, 1988.

[14] K. D. Hobart, F. J. Kub, G. Dolny. M. Zafrani, J. M. Neilson, J. Gladish, C. McLachlan, « Fabrication of a double-side IGBT by Very Low Temperature Wafer Bonding », ISPSD'99, pp. 45 – 48, 1999.

[15] K. D. Hobart, F. J. Kub, M. Arcona, J. M. Neilson, K. Brandmier, P. R. Waind, « Characterization of a bi-directional double-side double-gate IGBT fabricated by wafer bonding », ISPSD'01, pp. 125-128, 2001.

[16] Bauer et al, « Bidirectionnal semiconductor device that can be turned off », Brevet numéro : 5040042, 1991.

[17] Y. Bai, A. Q. Huang, « Comprehensive investigations of high voltage non-punch-through double gate-injection enhanced gate transistor », Solid State Electronics, Vol. 44, Issue 10, pp. 1783 – 1787, 2000.

[18] M. Kitagawa, I. Omura, S. Hasegawa, T. Inoue, A. Nakagawa, « A 4500 V Injection Enhanced Insulated Gate Bipolar Transistor (IEGT) Operating in a Mode Similar to a Thyristor », Electron Devices Meeting, pp. 679 – 682, 1993.

[19] Q. Huang, G. A. J. Amaratunga, «MOS controlled diodes – a new power diode », Solid State Electronics, Vol. 38, Issue 5, pp. 977 – 980, 1995.

[20] F. Heïnke, R. Sittig, « The Monolithic Bidirectional Switch (MBS) », ISPSD'00, pp. 237 – 240, 2000

[21] Y. Amemiya, T. Sugeta, Y. Mizushima, « Novel low-loss and high speed diode utilizing an ideal ohmic contact », IEEE Transactions on Electron Devices, Vol. 29, pp. 236 – 243, 1981.

[22] M. Baus, Md. Zahid Ali, O. Winkler, B. Spangenberg, M. C. Lemme, H. Kurz, «Monolithic Bidirectional Switch (MBS) – A Novel MOS – Based Power Device », Proceedings of EDSSDERC, pp. 473 – 476, 2005.

[23] M. Baus, B. N. Szafranek, St. Chmielus, M. C. Lemme, B. Hadam, B. Spangenberg, R. Sittig, H. Kurz, « Fabrication of Monolithic Bidirectional Switch (MBS) devices with MOS – controlled emitter strucutures », ISPSD'06, 2006.

[24] M. Mehrotra, B. J. Baliga, « A planar MOS – Gated AC Switch Structure » IEEE IEDM, pp. 349 – 350, 1995.

[25] M. Mehrotra, B. J. Baliga, « Bidirectional AC witching device with MOS – gated turn – on and turn – off control » Brevet numéro : 5, 493, 134, 1996.

[26] J. S. Ajit, R. Dutta, D. Kinzer, « Insulated gate triac : Device Operation and Applications », PESC 98, pp. 1180 – 1185, 1998.

[27] J. D. Plummer, B. W. Scharf, « Insulated gate planar thyristors: I- Structure and Basic Operation », IEEE Transactions on Electron Devices, Vol. 27, Issue 2, pp. 380 – 387. 1980.

[28] B. W. Scharf, J. D. Plummer, « Insulated gate planar thyristors : II- Quantitative Modeling », IEEE Transactions on Electron Devices, Vol. 27, Issue 2, 1980, pp. 387 – 394.

[29] J. S. T. Huang, « The Bilateral Emitter Switched Thyristor (BEST) », International Electron Devices Meeting, Technical Digest, pp. 249 – 252, 1992.

[30] B. J. Baliga, « The MOS – Gated Emitter Switched Thyristor », IEEE Electron Device Letters, Vol. 11, Issue 2, pp. 75 – 77, 1990.

[31] M. Mehrotra, J. Baliga, « Reverse blocking lateral MOS-gated switches for AC power control applications », Solid-State Electronics, Vol. 42, No. 4, pp. 573 – 579, 1998.

[32] J.-P. Colinge, F. Wan de Wiele, « Physique des dispositifs semi-conducteurs », Ed. De Boeck, pp. 196, 1996.

[33] B. Jayant Baliga, « Power semiconductor devices, », PWS Publishing Company, pp. 198 - 257, 1996

[34] F. Morancho, « De nouvelles limites pour le compromis « résistance passante spécifique / tenue en tension » des composants unipolaires de puissance », Habilitation à Diriger des Recherches de l'Université Paul Sabatier de Toulouse, 2004.

[35] J. Arnould, P. Merle, « Dispositifs de l'électronique de puissance, Volume 2 », Hermes, pp. 46 – 53, 1992.

[36] Q-Y Tong, « Low temperature wafer direct bonding », Journal of Microelectromecanical Systems, Vol. 3, NO. 1, 1994.

[37] L. V. Phung, D. Valente, N. Batut, F. Alkayal, L. Ventura, « Soudure Directe Silicium sur Silicium : Application au Contrôle de la Durée de Commutation des Diodes Bipolaires de Puissance », EPF'06, 2006.

[38] A. Laporte : Etudes des interfaces Silicium-Silicium obtenues par soudure directe de plaquettes, Institut National des Sciences Appliquées de Toulouse, 1995

[39] T. Tanaka, Y. Mochizuki, and M. Okamura, « Analysis of a Junction Termination Structure for Ideal Breakdown Voltage in p-n Junction Devices », IEEE Transactions on Electron Devices, Vol. Ed-27, Issue 1, January 1980

[40] H. Kroemer, « Heterostructure Bipolar Transistors and Integrated Circuits », Proceedings of the IEEE, Vol. 70, NO. 1, pp. 13 – 25, 1982

[41] S.S. Iyer, G. L. Patton, J. M. C. Stork, B. S. Meyerson, D. L. Harame, « Heterojunction Bipolar Transistors Using Si-Ge Alloys », IEEE Transactions on Electron Devices, Vol. 36, Issue 10, pp. 2043 – 2064, 1989.

[42] Z. Yu, P.E. Cottrell, R. W. Dutton, « Modeling and Simulation of High-level Injection Behavior in Double Heterojunction Bipolar Transistors », IEEE Bipolar Circuits and Technology Meeting, pp. 192 – 194, 1990.

[43] G. M. Khanduri, B. S. Panwar, « Analysis of quasi-saturation phenomena for SiGe double heterojunction bipolar transistors », J. Indian Inst. Sci, 84, pp. 41 – 46, 2004.

[44] M. Serpentini, « Caractérisations électriques et optiques d'hétérostructures et de nanostructures de semiconducteurs IV – IV (SiGe, SiGeC) sur silicium, thèse de l'Université Blaise Pascal – Clermont-Ferrand II, 1998.

[45] M. Takagi, K. Nakayama, C. Tevada, H. Kamioko, « Improvement of shallow base transistor by using a doped polysilicon diffusion source », J. Japan. Soc. Appl. Phys. (suppl.), Vol. 42, pp. 101 – 109, 1972.

[46] H.-Y. Jin, L.-C. Zhang, Y.-Z. Gao, H.-F. Ye, "An equivalent heterojunction-like model for polysilicon emitter bipolar transistor", Solid-State Electronics 47, pp. 1719 – 1727, 2003.

[47] I. R. C. Post, P. Ashburn, and G. R. Wolstenholme, "Polysilicon Emitter for Bipolar Transistors: a Review and Re-Evaluation of Theory and Experiment", IEEE Transactions on Electron Devices, VOL. 39, Issue 7, July 1992.

[48] H. Kondo, Y. Yukimoto, «A New Bipolar Transistor – GAT », IEEE Transactions on Electron Devices, Vol. Ed-27, Issue 2, 1980.

[49] Q. Chen, J. K. O. Sin, Q. Chen, "A New Trench Base-Shielded Bipolar Transistor", ISPSD'98, pp. 169 – 172, 1998.

[50] Q. Chen, B. You, A. Q. Huang, J. K. O. Sin, "A New Trench Base-Shielded Bipolar Transistor", IEEE Transactions on Electron Devices, Vol. 47, Issue 8, pp. 1662 – 1666, 2000.

[51] L. V. Phung, F. Ihuel, N. Batut, J.-B. Quoirin, A. Schellmanns, L. Ventura, « Modelling of a symmetrical bipolar monolithic bidirectional switch", EPE'09, pp. 1 – 9, 2009.

[52] D. Valente, N. Batut, L. Ventura, « Rapport interne de fin de projet ANR MOBIDIC», 2010.

[53] A. Vapaille, « Dispositifs Et Circuits Intégrés Semi-Conducteurs », Dunod, 1993.

[54] J. Arnould, P. Merle, « Dispositifs de l'électronique de puissance, Volume 2 », Hermes, 1992.

[55] L. Theolier, « Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance », thèse de l'université Paul Sabatier Toulouse III, 2008.

[55] C. Mingues, « Modélisation ezt realization de terminaisons de jonctions haute tension compatibles avec la technologie planar : les anneaux polarisées et la spirale de SIPOS », thèse de l'Université Paul Sabatier de Toulouse, 1997.

[56] H. Sigg, G. Vendelin, T. Cauge, J. Kocsis, «DMOS transistor for microwave appl. », IEEE Transactions on Electron Devices, Vol. 19, pp. 45 – 53, 1972.

[57] A. W. Ludikhuize, « A Review of RESURF Technology », ISPSD'00, pp. 11 – 18, 2000.

[58] E. Arnold, «Silicon-on-Insulator Devices for High Voltage and Power IC Applications », J. Electrochem. Soc., Vol. 141, No. 7, pp. 1983 – 1988, 1994.

[59] R. P. Zingg, « On the Specific On-Resistance of High-Voltage and Power Devices », IEEE Transactions on Electron Devices, Vol. 51, NO.3 2004.

[60] A. Hartmann, J. E. Berthold, T. .J Riley, J. E. Kohl, Y.-H. Wong, H T. Weston, R. S. Scott, « 530 V Gated Diode Switch for Telecommunications », IEDM-1981, pp. 250 – 253, 1981.

[61] M. J. Kumar, S. D. Roy, « A Novel Collector-tub Concept for Realizing High-voltage Lateral Bipolar Transistors on SOI », ICM 2003, pp. 336 – 338, 2003.

[62] Y.S. Huang, B. J. Baliga, « Extension of RESURF Principle to Dielectrically Isolated Power Devices », ISPSD'91, pp. 27 – 29, 1991.

[63] H. Sakuma, T. Kuriyama and T. Suzuki, « A High Voltage OFFSET-GATE SOS/MOS Transistor », IEDM Technical Digest, pp. 594 – 597, 1979.

[64] T. Arnborg, « Modelling and Simulation of High Speed, High Voltage Bipolar SOI Transistor with Fully Depleted Collector », IEDM'94, pp. 743 – 746, 1994.

[65] T. Arnborg, « Analysis of New high-Voltage Bipolar Silicon-on-Insulator Transistor with Fully Depleted Collector », IEEE Transactions on Electron Devices, Vol. 42, Issue 1, 1995.

[66] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, R. Pinker, « Realization of High Breakdown Voltage (> 700 V) in Thin Film SOI Devices », ISPSD'91, pp. 31 – 35, 1991.

[67] J.-B. Quoirin, L. V. Phung, N. Batut, « Interrupteur de Puissance Bidirectionnel Commandable à la Fermeture et à l'Ouverture », « Bidirectional power switch controllable ON and OFF », Numéro de demande : 09/58310, 2009.

[68] R. Stengl and U. Gosele, « Variation of Lateral Doping - A New Concept to Avoid High Voltage Breakdown of Planar Junctions », IEDM'85, pp.154 – 157, 1985.

[69] S. D. Roy, M. J. Kumar, « Enhanced Breakdown Voltage, Diminished Quasi-saturation, and Self-Heating Effects in SOI Thin-Film Bipolar Transistors for Improved Reliability: A TCAD Simulation Study », IEEE Transactions On Device and Materials Reliability, Vol. 6, Issue 2, pp. 306 – 314, 2006.

[70] B. Sunkavalli, A. Tamba, B. J. Baliga, « Step Drift Doping Profile for High Voltage DI Lateral Power Devices », Proceedings of the IEEE International SOI Conference, pp. 139 – 140, 1995.

[71] V. Palumbo, M. Venturato, M. Gallo, F. Pozzobon, M. P. GaLTiati, C. Contiero, « High doped drain double-Resurf 100 V P-channel MOS on SOI 0.35 µm BCD technology », ISPSD'08, pp. 283 – 286, 2008.

[72] B. J. Baliga, « Power Semiconductor Devices », PWS Publishing Company, pp. 115, 1996.

[73] N. Cézac, « Transistor MOS de puissance à faible résistance à l'état passant », Thèse de l'Université Paul Sabatier de Toulouse, 2001.

Luong Viêt PHUNG

Etude de structures d'interrupteurs intégrables bidirectionnels en tension et en courant : le transistor bipolaire symétrique

Résumé

Ces travaux de thèse traitent de la modélisation d'un interrupteur bipolaire commandable monolithique bidirectionnel en tension et en courant et s'inscrivent dans la gestion de l'énergie dans l'habitat. L'objectif est de concevoir un interrupteur à faible perte énergétique capable de s'intégrer au sein d'une électronique de commande intelligente.

Ces travaux s'intéressent dans un premier temps aux différentes solutions existantes destinées à notre application. A travers cette étude, on présente ainsi les avantages et les inconvénients des interrupteurs discrets ou encore des solutions monolithiques.

On s'intéresse ensuite à l'étude d'un transistor bipolaire de puissance symétrique vertical. A l'aide de simulations par éléments finis, une étude bidimensionnelle et statique a permis de valider sa fonctionnalité à savoir son aptitude à fonctionner sous le réseau alternatif domestique. L'étude se concentrera ensuite sur les différentes technologies destinées à l'améliorer. En optant pour des caissons fortement dopés judicieusement placés au niveau de la base, il est démontré que les performances d'un tel composant peuvent être augmentées grâce au phénomène d'autoblindage.

Finalement, dans le but de simplifier la réalisation de cet interrupteur, la technologie du RESURF sur SOI a été retenue. La structure, latérale, a ensuite été étudiée grâce à des simulations statiques bidimensionnelles puis tridimensionnelles qui ont mis en valeur l'intérêt de cette technologie tant au niveau de la conception qu'au niveau de la réalisation de la structure.

Mots clés : bidirectionnalité, commandabilité, interrupteur monolithique, faibles pertes, transistor bipolaire, autoblindage, RESURF, SOI, simulations par éléments finis 2D et 3D.

Abstract

This study deals with the modeling of a monolithic switch bidirectional in current and voltage with full turn-off control for household appliances. The goal is to design a low losses switch which can be integrated to smart electronics functions.

These works are focused, first, on discrete and monolithic existing solutions designed for such appliances before pointing out their main advantages and drawbacks. Monolithic structures are preferred over discrete ones thanks to their easiness to be integrated among other structures on the same substrate.

The study is focused then on a vertical and symmetrical power bipolar transistor. 2D static simulations in finite elements performed on the structure confirm its ability to work on the mains. Further studies underline the possibility to improve it. By implementing around the active base heavily doped caissons which create a shielding effect, one can increase the structure performances.

Finally, to simplify the switch processing steps, SOI RESURF technology is chosen. The lateral structure is studied thanks to 2D and 3D simulations which emphasize the benefits of such technology on both its design and manufacturing process.

Keywords: bidirectionality, turn-off control, monolithic switch, low losses, bipolar transistor, shielding effect, RESURF, SOI, 2D and 3D simulations.