UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

THÈSE

Présentée par

Aurélie LECESTRE

Pour obtenir le grade de

Docteur de l'Université

Spécialité : Microondes et Microtechnologies

Synthèse et caractérisation de silicium cristallin par croissance VLS pour l'intégration 3D séquentielle de transistors MOS

Soutenue le 07 Juillet 2010 devant le jury composé de :

Président du jury :	Dr. Didier Stiévenard, IEMN-ISEN, Lille
Rapporteurs :	Dr. Thierry Baron, CEA-LTM, Grenoble
	Pr. Abdelkader Souifi, INSA Lyon
Examinateurs :	Dr. Stéphane Monfray, STMicroelectronics, Crolles
	Dr. Philippe Coronel, CEA-LITEN, Grenoble
Directeurs de Thèse :	Dr. Emmanuel Dubois, IEMN-ISEN, Lille
	Dr. Alexandre Villaret, STMicroelectronics, Crolles

Remerciements

Ce travail de thèse a été effectué dans le cadre du laboratoire commun entre l'Institut d'Electronique, de Micro-électronique et de Nanotechnologie (IEMN) et ST Microelectronics.

Tout d'abord, je tiens à remercier M. Didier Stiévenard d'avoir accepté de présider le jury de ma thèse, Messieurs Thierry Baron et Abdelkader Souifi qui ont bien voulu être les rapporteurs de ce travail, et M. Stéphane Monfray qui a accepté de remplir le rôle d'examinateur.

Je voudrais remercier Messieurs Emmanuel Dubois, Alexandre Villaret et Philippe Coronel qui m'ont proposé ce sujet de recherche et qui m'ont encadré et orienté tout au long de cette thèse.

Je remercie l'ensemble des équipes de technologie de l'IEMN avec qui j'ai travaillé : Patricia Lefebvre, David Troadec, André Leroy, Annie Fattorini, Jonathan Lemaitre, Marc François, Michel Muller, Yves Deblock, François Vaurette, Pascal Tilmant, Christiane Legrand, Thomas Géhin, Christophe Boyaval, Isabelle Roche, Karine Blary, Bertrand Grimbert, Sylvie Godey.

Je tiens à remercier Gilles Patriarche du laboratoire LPN pour les analyses TEM, et Claire Maurice de l'école des Mines de St Etienne pour les analyses EBSD.

Je remercie également l'équipe « Modules avancés » de M. Thomas Skotnicki, et tous les membres de l'équipe « Microélectronique silicium »: Christophe Krzéminski, Guilhem Larrieu, Evelyne Lampin, Jean-Michel Droulez, Valérie Vandenhende, Dmitri Yarekha, Frédérique Fruleux, Nicolas Breil, Vikram Passi, Florent Ravaux, Xiang Lei Han, Zhenkun Chen, Aurélien Lecavelier.

SOMMAIRE

REMERCIEMENTS

SOMMAIRE

INDEX

INTRODUCTION GENERALE

CHAPITRE I : DU TRANSISTOR MOS AUX CIRCUITS 3D 11

1 FONCTIONNEMENT DU TRANSISTOR MOS 12

1.1 PRESENTATION DU TRANSISTOR MOS

1.1.1 STRUCTURE DE BASE

1.1.2 EFFET DE CHAMP

1.2 LE FONCTIONNEMENT D'UN TRANSISTOR MOS IDEAL

1.2.1 LE PRINCIPE DE FONCTIONNEMENT D'UN MOSFET

1.2.2 CARACTERISTIQUES ELECTRIQUE DU TRANSISTOR MOS

1.3 MINIATURISATION DES COMPOSANTS ET EFFETS PARASITES

1.3.1 LA MINIATURISATION DES COMPOSANTS

1.3.2 EFFET DE CANAUX COURTS ET DIBL

1.3.3 PERÇAGE VOLUMIQUE

1.3.4 RESISTANCES SERIES

1.3.5 FUITE DE L'OXYDE DE GRILLE

1.3.6 DEPLETION DE LA GRILLE ET EFFET QUANTIQUE DANS LE CANAL

1.3.7 LES INNOVATIONS DES COMPOSANTS

1.3.8 L'IMPACT DE LA MINIATURISATION DANS LE « BACK-END »

2 INTEGRATION DE CIRCUITS 3D : ETAT DE L'ART 23

2.1 LES CIRCUITS INTEGRES EN TROIS DIMENSIONS : « MORE THAN MOORE »

2.1.1 LES DIFFERENTS TYPES D'INTEGRATION 3D

2.1.2 LES BENEFICES DE L'INTEGRATION VERTICALE

2.2 LES TECHNIQUES DE FABRICATION DES CIRCUITS 3D-SOC.

2.2.1 L'APPROCHE PARALLELE

2.2.2 L'APPROCHE SEQUENTIELLE

2.3 LA CROISSANCE VLS ET L'INTEGRATION 3D

2.3.1 LES AVANTAGES DE LA CROISSANCE VLS POUR L'INTEGRATION 3D

2.3.2 LES INCONVENIENTS DE LA CROISSANCE VLS

2.3.3 LES AVANTAGES DE LA VLS PAR RAPPORTS AUX AUTRES TECHNIQUES

CONCLUSION DU CHAPITRE I

CHAPITRE II : LA CROISSANCE VLS SUR UN SUBSTRAT PLAN AMORPHE 44

1 PRINCIPE DE LA CROISSANCE VLS (VAPEUR LIQUIDE SOLIDE) 45

1.1 LA CROISSANCE CVD

1.2 LA CROISSANCE VLS (OU CVD CATALYTIQUE)

1.2.1 LES DIFFERENTES ETAPES DE CROISSANCE

1.2.2 VITESSE DE CROISSANCE

2 LES CATALYSEURS DE CROISSANCE VLS 49

2.1 ETUDE BIBLIOGRAPHIQUE DE DIFFERENT CATALYSEURS

2.1.1 L'OR : CATALYSEUR « HISTORIQUE » EN VLS

2.1.2 L'ALUMINIUM (AL)

2.1.3 LE PLATINE (PT)

2.1.4 LE CUIVRE (CU)
2.1.5 COMPARAISON ET CHOIX DU CATALYSEUR : OR ET PLATINE
2.2 ETUDE EXPERIMENTALE SUR LE DEPOT DES CATALYSEURS
2.2.1 PRINCIPE DE L'EVAPORATION ELECTRONIQUE
2.2.2 LES DEPOTS D'OR
2.2.3 LES DEPOTS PT/SI
2.3 TECHNIQUES DE LOCALISATION DU CATALYSEUR
2.3.1 LE DEMOUILLAGE D'UNE COUCHE MINCE D'OR
2.3.2 LES COLLOÏDES D'OR
2.3.3 DEFINITION DE MOTIFS PAR LITHOGRAPHIE ET LIFT-OFF
2.4 LES RESULTATS EXPERIMENTAUX SUR LA DEFINITION DES MOTIFS CATALYTIQUE PAR LITHOGRAPHIE ET LIFT-OFF
2.4.1 LITHOGRAPHIE ELECTRONIQUE: ESSAI DE DOSE
2.4.2 PROTOCOLE EXPERIMENTALE
2.4.3 PROBLEMES LIES AU LIF-OFF : RESIDUS, DECOLLEMENT, COALESCENCE

3 LA CROISSANCE CONTROLEE 65
3.1 ETUDE THEORIQUE
3.1.1 LES PARAMETRES IMPORTANTS DE LA CROISSANCE VLS
3.1.2 LES GAZ PRECURSEURS
3.2 ETUDE EXPERIMENTALE DE LA CROISSANCE VLS SUR UN SUBSTRAT PLAN
3.2.1 DISPOSITIF EXPERIMENTAL
3.2.2 CROISSANCE DE NANOFILS DE SILICIUM : OPTIMISATION DU PROCEDE
3.2.3 CONTROLE DE LA POSITION ET DU DIAMETRE DES NANOFILS
3.2.4 CROISSANCE A PARTIR DE PLATINE.

4 ETUDE MORPHOLOGIQUE DES NANOFILS 76
4.1 ETUDE BIBLIOGRAPHIQUE DE LA STRUCTURE CRISTALLINE DES NANOFILS
4.1.1 LA STRUCTURE CRISTALLINE DU SILICIUM
4.1.2 LES DIRECTIONS DE CROISSANCE
4.2 RESULTATS EXPERIMENTAUX SUR LA STRUCTURE CRISTALLINE DES NANOFILS ET LA DIFFUSION DE L'OR
4.2.1 MICROSCOPIE ELECTRONIQUE EN TRANSMISSION
4.2.2 LA STRUCTURE CRISTALLINE
4.2.3 DIFFUSION DE L'AU SUR LES PAROIS DU NANOFILS
CONCLUSION DU CHAPITRE II

CHAPITRE III : CROISSANCE VLS CONFINEE EN CAVITE 94

1 ETAT DE L'ART SUR LA LOCALISATION ET L'ORIENTATION DE NANOFILS 95
1.1 CROISSANCE HORIZONTALE DE NANOFILS SUR PAROIS VERTICALES
1.2 CROISSANCE HORIZONTALE DE NANOFILS SUR SUBSTRAT AMORPHE
1.3 SYNTHESE DE NANOFILS DANS UN GABARIT HORIZONTAL
1.4 SYNTHESE DE NANOFILS DANS DES CAVITES

2 FABRICATION DE CAVITES : OPTIMISATION DU PROCEDE 97
2.1 DESCRIPTION GLOBALE DU PROCEDE
2.1.1 CAVITES : QUALITES REQUISES ET SPECIFICITES
2.1.2 DEFINITION D'UN PROCEDE DE FABRICATION DE CAVITES
2.1.3 SYNTHESE DE NANOLAMES DE SILICIUM SUR UN SUBSTRAT AMORPHE
2.2 FABRICATION DE CAVITES EN UTILISANT UN MATERIAU SACRIFICIEL
2.2.1 MATERIAU SACRIFICIEL EN OR
2.2.2 MATERIAU SACRIFICIEL EN *GERMANIUM*
2.3 FORMATION DES PAROIS DES CAVITES
2.3.1 DEPOT CONFORME
2.3.2 CHOIX DU MATERIAU

2.4 DEFINITION DES VOIX D'ACCES AUX LIGNES SACRIFICIELLES
2.4.1 LITHOGRAPHIE ELECTRONIQUE
2.4.2 GRAVURE SECHE
2.5 GRAVURE DES LIGNES SACRIFICIELLES
2.5.1 GRAVURE RIE DES LIGNES DE GERMANIUM SOUS LE NITRURE
2.5.2 GRAVURE HUMIDE DES LIGNES DE GERMANIUM SOUS LE NITRURE
2.6 DESCRIPTION DES CAVITES OBTENUES
2.6.1 CONTROL PRECIS DES DIMENSIONS
2.6.2 CAVITES AVEC DIFFERENTES FORMES GEOMETRIQUES
2.6.3 OBSERVATION DE L'INTERIEURE DE LA CAVITE

3 CROISSANCE VLS CONFINEE A L'INTERIEUR DES CAVITES 110
3.1 SPECIFICITES DE LA CROISSANCE CONFINEE
3.1.1 APPORT EN GAZ REACTIF : RENOUVELLEMENT DES ESPECES
3.1.2 SURFACE DE CONTACT AU/SiH_4
3.1.3 FORME GEOMETRIQUE DE LA GOUTTE CATALYTIQUE
3.2 PREMIERES OBSERVATIONS ET OPTIMISATION DU PROCEDE « CAVITE »
3.2.1 PREMIERES CROISSANCES ET LIMITATIONS
3.2.2 GRAVURE DE LA COUCHE D'ENCAPSULATION
3.3 ETUDE QUALITATIVE DE LA CROISSANCE CONFINEE
3.3.1 INFLUENCE DE LA LONGUEUR DU BARREAU CATALYTIQUE SUR LA CROISSANCE
3.3.2 INFLUENCE DE LA DIMENSION DES CAVITES SUR LA CROISSANCE
3.3.3 ETUDE DE LA CINETIQUE DE CROISSANCE

4 ETUDE MORPHOLOGIQUE DES NANOLAMES DE SILICIUM 126
4.1 NATURE CRISTALLINE DU SI SYNTHETISE PAR VLS CONFINEE
4.1.1 ANALYSES TEM EN VUE DE COUPE
4.1.2 ANALYSES EBSD
4.1.3 ANALYSES TEM EN VUE PLANAIRE
4.2 LES DEFAUTS PRESENTS DANS LES NANOLAMES DE SILICIUM : MACLES
4.2.1 ANALYSES STEM EN HAUTE RESOLUTION
4.2.2 ANALYSES EBSD
4.3 DIRECTION DE CROISSANCE
4.3.1 LAME SI RECTILIGNE
4.3.2 LAME SI DE GEOMETRIE IRREGULIERE
4.4 CONTAMINATION EN OR
4.4.1 OBSERVATION DES RESIDUS D'OR PAR STEM
4.4.2 OBSERVATION DES RESIDUS D'OR HAADF
CONCLUSION DU CHAPITRE III

CHAPITRE IV : INTEGRATION D'UN TRANSISTOR MOS A FAIBLE BUDGET THERMIQUE SUR SILICIUM OBTENU PAR CROISSANCE VLS CONFINEE 140

1 CONTEXTE ET DEFIS TECHNOLOGIQUES 141
1.1 COMMENT INTEGRER UN TRANSISTOR A PARTIR DE SILICIUM SYNTHETISE PAR VLS ?
1.2 QUELLES SONT LES CONTRAINTES LIEES A L'INTEGRATION 3D SEQUENTIELLE ?

2 ETUDE ELECTRIQUE DES LAMES EN SI SYNTHETISEES PAR VLS 143
2.1 PRINCIPE : « PSEUDO-MOSFET »
2.1.1 METHODE
2.1.2 EXTRACTION DES PARAMETRES EN UTILISANT LA FONCTION Y
2.2 LA MOBILITE DANS UNE COUCHE D'INVERSION
2.2.1 LA MOBILITE ET LES MECANISMES D'INTERACTION
2.2.2 APPROCHE BALISTIQUE
2.2.3 EFFETS DE L'ORIENTATION CRISTALLINE SUR LA MOBILITE

2.3 PROCEDE D'INTEGRATION
2.3.1 PRESENTATION GENERALE
2.3.2 DESCRIPTION DES ETAPES DE FABRICATION
2.3.3 PREPARATION DES ECHANTILLONS DE REFERENCE (SOI)
2.3.4 PREPARATION DES ECHANTILLONS VLS
2.4 CARACTERISATIONS ELECTRIQUE DE TRANSISTORS « PSEUDO-MOS »
2.4.1 RESULTATS ELECTRIQUE DES ECHANTILLONS DE REFERENCE (SOI)
2.4.2 RESULTATS ELECTRIQUES DE LAMES SI-VLS DE DIFFERENTES LARGEURS
2.4.3 ANALYSES COMPARATIVES ENTRE UNE LAMES SI-SOI ET SI-VLS
2.4.4 COMPARAISON AVEC L'ETAT DE L'ART

3 INTEGRATION D'UN TRANSISTOR MOS SUR UNE LAME DE SILICIUM 160
3.1 CHOIX DU PROCEDE : CONTACTS AUTO-ALIGNES
3.2 CHOIX DES MATERIAUX COMPATIBLE AVEC LE BEOL
3.3 DESCRIPTIF DES ETAPES D'INTEGRATION
CONCLUSION DU CHAPITRE IV

REFERENCES BIBLIOGRAPHIQUE

CONCLUSION GENERALE 167

ANNEXES 169

PUBLICATIONS DE L'AUTEUR 178

INDEX

AFM	Atomic Force Microscopy – Microscopie à Force Atomique
ALD	Atomic Layer Deposition – Production de couches atomiques
Al	Aluminium
Au	Or
BEOL	Back End On Line – ensemble d'étapes de réalisation des contacts et des interconnexions
BC	Bande de Conduction
BOX	Burried OXide – Oxyde enterré
BV	Bande de Valence
CMP	Chemical Mechanical Polishing – Polissage mécano-chimique
CNT	Carbon NanoTube – Nanotube de carbone
Cu	Cuivre
CVD	Chemical Vapor Deposition – Dépôt Chimique en phase Vapeur
DIBL	Drain Induced Barrier Lowering – effet de canal court induisant un abaissement de la barrière du potentiel du canal par polarisation du drain
DRAM	Dynamic Random Access Memory – Mémoire dynamique à accès aléatoire
EBSD	Electron Back Scattering Diffraction – Diffraction des électrons rétrodiffusés
E_F	Energie de Fermi
ELO	Epitaxial Lateral Overgrowth - croissance épitaxiale latérale
EOT	Equivalent Oxyde Thickness – Epaisseur de diélectrique équivalente en dioxide de silicium
FDSOI	Fully Depleted Silicon On Insulator – Transistor totalement déplété sur SOI
FEOL	Front End On Line– ensemble d'étapes de réalisation des transistors avant la formation des contacts
Ge	Germanium
HAADFSTEM	Angle Annular Dark Field STEM - STEM en champ sombre annulaire à grand angle
High-k	Diélectrique à forte permitivité
HSQ	Hydrogen SilsesQuioxane – résine négative
HR-MET	Microscopie Électronique à Transmission Haute Résolution
ILD	Inter Layer Dielectric – Diélectrique inter-iveau
I_{OFF}	Courant du transistor à l'état bloqué
I_{ON}	Courant de conduction du transistor
ITRS	International Technology Roadmap for Semiconductor
L_G	Longueur de grille
LPCVD	Low Pressure Chemical Vapor Deposition – Production de dépôt en phase vapeur à basse pression
LPE	Liquid Phase Epitaxy - Recristallisation en phase liquide
mb	Millibar
MEB	Microscopie Électronique à Balayage
Mesa	Isolation latérale des transistors sur isolant par gravure complète entre les zones actives
MET	Microscopie Électronique à Transmission
μ	Mobilité

µm	Micromètre
MILC	Metal Induced Lateral Crystallisation - Cristallisation latérale induite par métallisation
MOSFET	Metal Oxide Semiconductor Field Effect Transistor – Transistor à effet de champ du type métal/oxyde/semiconducteur
nm	Nanomètre
NR	Nanoribbon – Nanolame
NW	Nanowire – Nanofil
PECVD	Plasma Enhanced Chemical Vapor Deposition – Dépôt chimique en phase vapeur assisté par plasma
Φ	Travail de sortie du matériau
Pt	Platine
PVD	Physical Vapor Deposition – Production de dépôt en phase vapeur
RTA	Rapid Thermal Annealing – Recuit thermique à temps réduit
sccm	Standard Cubic Centimeters per Minute – Centimètre cube par minute (standard)
SCE	Short Channel Effect – Effet de canaux court
SEG	Selective Epitaxy Growth – Croissance par épitaxie sélective
SEM	Scanning Electron Microscopy – Microscopie Électronique à Balayage
Si	Silicium
SIMS	Secondary Ion Mass Spectrometry – Spectrométrie de masse d'ionisation secondaire
SOI	Silicon On Oxide – Silicium sur oxyde
SPE	Solid Phase Epitaxy – Recristallisation en phase solide
STEM	Scanning Transmission Electron Microscopy – Microscopie Électronique à Transmission en mode scanner
STM	Scanning Tunneling Microscopy - Microscopie à ffet tunnel
SRAM	Static Random Acces Memory - Mémoire Statique à accès aléatoire
TAP	Tomography Atom Probe - sonde atomique tomographique
TEM	Transmission Electronic Microscopy - Microscopie Électronique
TFT	Thin Film Transistor – Transistor sur film mince
T_{OX}	Thickness oxide – Epaisseur d'oxyde
VLS	Vapor Liquid Solid – Vapeur Liquide Solide
VSS	Vapor Solid Sloid – Vapeur Solide Solide
V_D	Drain Voltage - Tension d'alimentation
V_G	Gate Voltage – Tension de grille
V_{TH}	THreshold Voltage - Tension de seuil du transistor
W	Width - Largeur
1D	Unidimensionnel
2D	Bidimensionnel
3D	Tridimensionnel

INTRODUCTION GENERALE

Pourquoi utiliser la croissance VLS pour l'intégration 3D séquentielle ?

Les premières structures MOS (Métal Oxyde Semi-conducteur) ont été obtenues dans les années 1960, dès que la qualité de l'interface silicium et son oxyde (SiO_2) a été maîtrisée. La réalisation de ces capacités ouvrit la voie pour la fabrication des premiers transistors à effet de champ. Ces transistors ont la capacité de s'intégrer parallèlement, de consommer une faible puissance, et d'être miniaturisés. Toutes ces qualités leur ont permis d'être placés au premier plan de la production électronique mondiale. La miniaturisation des transistors MOS suit la célèbre loi de « Moore » qui prévoit le doublement de la densité des transistors tous les deux ans.

Cependant, aujourd'hui la loi de « Moore » se heurte aux limitations physiques et technologiques que les transistors MOS rencontrent à l'échelle submicronique. D'autre part, l'augmentation de la densité et de la complexité des circuits CMOS impose des contraintes fortes sur les niveaux d'interconnexions qui en retour limitent les performances des circuits. Ainsi, l'augmentation de la longueur des interconnexions se traduit par la dégradation du délai et la limitation les performances du circuit intégré.

Pour faire face aux difficultés inhérentes à l'intégration planaire, des solutions sont envisagées et étudiées, dont l'empilement vertical de composants. En effet, l'intégration sur plusieurs niveaux ou 'intégration en trois dimensions' pourrait permettre d'augmenter la densité de transistors par unité de surface, de réduire la longueur des interconnexions, ainsi que de superposer à une électronique silicium classique des composants de types différents (III-V, imageurs, MEMs) avec des contraintes relaxées. Cette intégration à trois dimensions peut-être réalisée de façon 'parallèle' en superposant en fin de procédé des éléments de circuits réalisés séparément, ou bien 'séquentielle' en intégrant successivement les différents niveaux de transistors. Cette dernière approche permet un bien meilleur alignement de différents niveaux entre eux et donc la réalisation de circuits plus dense et plus complexes. Toutefois elle présente deux difficultés majeures :

(i) Fabriquer une couche mince de silicium monocristallin sur une couche diélectrique à une température qui ne dégrade pas les composants des niveaux inférieurs,

(ii) Intégrer des transistors à faible budget thermique afin de conserver les performances électriques des composants précédemment fabriqués.

De nombreuses technologies sont compatibles avec la réalisation de silicium cristallin sur substrat amorphe (collage moléculaire, recristallisation, épitaxie…) parmi lesquelles, la croissance VLS (Vapeur Liquide Solide) est connue pour synthétiser du silicium monocristallin de haute qualité avec un budget thermique réduit (400-500°C). Par conséquent, le procédé de croissance VLS pourrait être utilisé pour synthétiser les couches actives des niveaux supérieurs.

Notre objectif

Dans ce contexte, ce travail de thèse s'attache à démontrer que la croissance VLS, et plus particulièrement la croissance VLS confinée à l'intérieur de cavités diélectriques, peut être utilisée dans l'optique d'une intégration 3D pour fabriquer les couches actives semiconductrices des transistors MOS des niveaux supérieurs. Nous montrerons notamment

comment le procédé de confinement et guidage à l'intérieur d'une cavité que nous avons mis en place autorise le contrôle précis de la position et des dimensions des zones actives ainsi créées. Cette approche innovante s'inscrit en rupture par rapport au sens général des études de croissance VLS focalisées essentiellement sur la croissance de nanofils aux dimensions nanométriques. Nous avons plutôt cherché la réalisation de lames d'épaisseur nanométrique (~50nm) et de longueur/largeurs modulables jusqu'à plusieurs microns. Cette morphologie est particulièrement adaptée à l'intégration de transistors planaires. Nous présenterons les différents défis technologiques relatifs à cette approche, les développements que nous avons mis en place pour la compréhension et l'optimisation du procédé de croissance et enfin l'intégration et la caractérisation de transistors réalisés sur ces « nano-lames ».

Organisation du manuscrit

Le premier chapitre présente de manière générale le fonctionnement du transistor MOS et s'intéresse aux effets parasites qui apparaissent avec la réduction des dimensions caractéristiques du composant. Une solution alternative à la miniaturisation est étudiée : l'intégration de circuits en trois dimensions. Après avoir décrit les différentes techniques de fabrication de circuit 3D, la croissance VLS sera comparée aux autres techniques de synthèse de silicium cristallin sur substrat amorphe dans un environnement back-end.

Le deuxième chapitre est dédié à la croissance VLS sur substrat plan amorphe. Cette étude traite à la fois des catalyseurs or et platine et décrit dans un premier temps les procédés utilisés pour localiser ces catalyseurs. Le rôle de chacun des paramètres de croissance est ensuite étudié afin d'optimiser la synthèse de fils cristallins. Enfin, la morphologie et la structure physique des nanofils obtenus sont analysées par microscopie électronique à balayage et à transmission.

Dans le troisième chapitre, une approche de croissance guidée et confinée à l'intérieur de cavités est proposée. Dans un premier temps, le procédé de fabrication des cavités dédiées à la croissance VLS de silicium et son optimisation sont présentés. Ces cavités contiennent un barreau catalytique et leurs dimensions sont contrôlées par une approche top-down classique. Dans un second temps, l'optimisation de la croissance VLS à l'intérieur de ces cavités est décrite. Ces développements technologiques aboutissent sur la synthèse de nanolames de silicium localisées sur un substrat amorphe. Enfin, la structure cristalline de ce silicium est caractérisée par microscopie électronique.

Le dernier chapitre traite de l'intégration de transistors MOS à partir des lames de silicium, démontrant la compatibilité de la croissance VLS confinée avec la fabrication de transistors. Tout d'abord, des transistors MOS a grille face arrière sont réalisés et une étude comparative des propriétés électriques des canaux de conduction VLS d'une part et SOI d'autre part est présentée. Enfin, l'intégration d'un transistor MOS complet, tenant compte des contraintes technologiques du back-end, est proposée.

Chapitre I : Du transistor MOS aux circuits 3D

INTRODUCTION 111

1 FONCTIONNEMENT DU TRANSISTOR MOS 12
1.1 PRESENTATION DU TRANSISTOR MOS 12
1.2 LE FONCTIONNEMENT D'UN TRANSISTOR MOS IDEAL 13
1.3 MINIATURISATION DES COMPOSANTS ET EFFETS PARASITES 16

2 INTEGRATION DE CIRCUITS 3D : ETAT DE L'ART 23
2.1 LES CIRCUITS INTEGRES EN TROIS DIMENSIONS : « MORE THAN MOORE » 23
2.2 LES TECHNIQUES DE FABRICATION DES CIRCUITS 3D-SOC. 26
2.3 LA CROISSANCE VLS ET L'INTEGRATION 3D 34

CONCLUSION DU CHAPITRE I 39

REFERENCES 40

Introduction : Pourquoi passer à l'intégration 3D ?

Ce chapitre présente les intérêts de l'intégration 3D par rapport aux circuits CMOS planaires. Après une description générale des dispositifs et technologies MOS, l'impact de la miniaturisation sur les composants est détaillé. La réduction des dimensions a permis l'amélioration des performances et de la densité d'intégration. Toutefois, cette course à la miniaturisation a fait naître des phénomènes parasites : l'effet de canaux courts et DIBL, le perçage volumique, les résistances séries, la fuite de l'oxyde de grille, la déplétion de la grille et l'effet quantique dans le canal. Pour répondre à ces problématiques, de nouveaux matériaux ont été introduits et des nouvelles architectures ont vu le jour. D'autre part, l'augmentation du nombre de transistors sur les puces provoque l'étirement des interconnexions servant à les relier. Ceci implique un accroissement du délai d'interconnexion qui vient limiter les performances du circuit intégré.

Parallèlement, l'intégration 3D apparaît comme une solution alternative et/ou complémentaire à la miniaturisation. Les avantages de l'empilement séquentiel de composants seront présentés dans la deuxième partie de ce premier chapitre, ainsi que et les procédés de synthèse de silicium cristallin sur une couche de diélectrique. Pour finir, une méthode de fabrication alternative, la croissance VLS, sera présentée est comparée avec d'autres procédés de synthèse de films cristallins.

1 Fonctionnement du transistor MOS

Les paragraphes suivant présentent une brève description du MOSFET ainsi que les bases du fonctionnement focalisées sur l'effet de champ et les critères de mérite permettant de caractériser les composants MOS.

1.1 Présentation du transistor MOS

1.1.1 Structure de base

Un transistor MOS (Métal – Oxyde – Semi-conducteur) à effet de champ est composé d'une grille métallique qui repose sur un oxyde recouvrant le substrat semi-conducteur. De chaque côté de l'électrode de grille sont placés deux réservoirs de charges : la source et le drain. Un transistor MOS est représenté en vue de dessus et en vue de coupe dans la Fig.I-1. Les schémas (a) et (b) mettent en évidence les trois électrodes de commandes : Grille, Source et Drain. Elles contiennent toutes les trois le même type de dopage (dopé p ou dopé n) de manière à permettre une conduction de porteurs (trous ou électrons) dans le canal. Le schéma (a) montre que le contact de grille n'est pas pris sur la grille directement, mais se retrouve reporté sur une partie élargie de l'électrode fabriqué sur la zone d'isolation. La raison est que les contacts sont d'une dimension supérieure à celle de la grille. La zone de silicium sur la quelle est fabriqué le transistor est appelé « zone active ». La largeur W représente la largeur du transistor.

Dans une technologie standard, la source et le drain sont définis dans le substrat de silicium monocristallin en deux étapes. Après avoir réaliser la grille par lithographie et gravure, une implantation d'élément voisin au silicium est effectuée à faible énergie de dopant (n^+ ou p^+) qui constitue l'extension de source et drain. Un espaceur est ensuite réalisé afin de masquer une implantation ionique à plus forte énergie. La jonction constituée par cette dernière implantation sera ensuite siliciurée (c'est-à-dire métallisée par réaction chimique entre un métal et le silicium dopé) afin de diminuer la résistance de contact avec les futurs contacts métalliques. Le transistor est électriquement isolé des zones voisines par des tranchées d'oxyde.

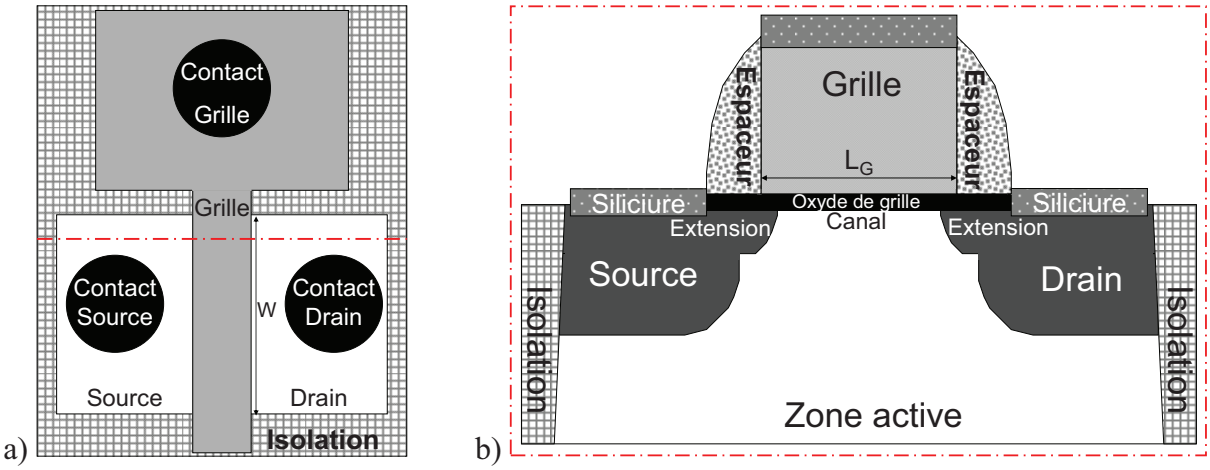


Figure I - 1 : Représentation schématique d'un transistor MOS :
a) Vue de dessus, b) Vue de coupe du schéma (a) au niveau du trait discontinu rouge.

1.1.2 Effet de champ

Le transistor MOS agit comme un interrupteur électronique commandé par l'effet de champ (FET, « Field Effect Transistor »). Un champ électrique vertical est créé en appliquant une différence de potentiel (V_G) entre la grille et le substrat. Lorsque la polarisation de la grille est nulle ($V_G = 0$), le champ de grille est nul, le canal ne contient aucune charge mobile, par conséquent le courant entre la source et le drain est nul ($I_{DS} = 0$) : le transistor est en mode bloqué (Fig. I-2-a). A l'inverse, si une différence de potentiel (V_G) est appliquée entre la grille et le substrat, un champ électrique est créé dans la structure MOS. Le champ de grille attire ou repousse les charges du substrat au niveau de l'interface oxyde/substrat, et un canal constitué de charges mobiles se forme sous l'oxyde entre la source et le drain. Le courant peut alors circuler entre la source et le drain : le transistor est alors en mode passant (Fig.I-2-b).

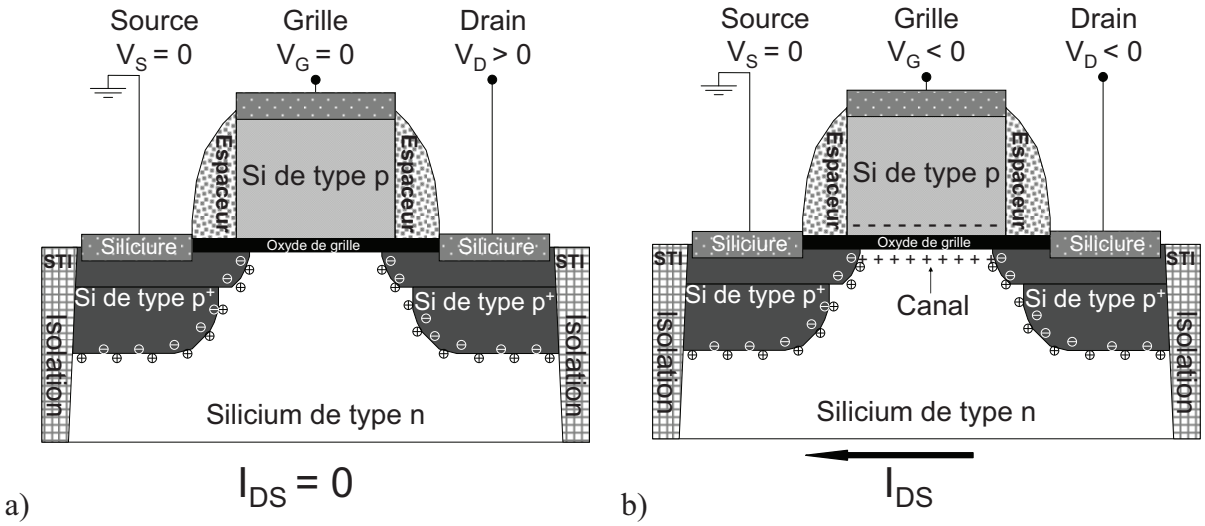


Figure I - 2 : Principe de l'effet de champ d'un transistor MOS de type P :
a) Transistor en mode bloqué, b) Transistor en mode passant
Charges mobiles : + trou et - électron ; Charges immobiles : ⊕ donneur et ⊖ accepteur ionisé.

Lorsque le transistor est à l'état passant, le type de porteurs (électrons ou trous) qui circulent dans le canal entre la source et le drain détermine le type de transistor (NMOS ou PMOS). Les transistors NMOS conduisent des électrons, alors que les transistors PMOS conduisent des trous.

1.2 Le fonctionnement d'un transistor MOS idéal

1.2.1 Le principe de fonctionnement d'un MOSFET

Cette partie décrit les mécanismes physiques qui se produisent au cours des différents régimes d'un transistor MOS. Nous considérons le cas d'un transistor PMOS à canal d'inversion, réalisé sur un substrat de type N contenant la source et le drain dopés P^+. La conduction du transistor est contrôlée par la polarisation de la grille, les trois régimes de fonctionnement sont décrits ci-dessous. Pour cela, nous étudierons l'évolution de la position des bandes de valence et de conduction selon l'axe longitudinal par rapport au canal (axe X) et transverse (axe Y pris dans le canal), en fonction d'une tension appliquée sur la grille.[1 2]

A) ACCUMULATION : Dans le cas du transistor PMOS à canal d'inversion, lorsque la grille est polarisée positivement, les électrons s'accumulent à la surface du canal. L'énergie

potentielle du canal est supérieure à celle de la source et constitue une barrière de hauteur Φ_d, empêchant la circulation des charges.

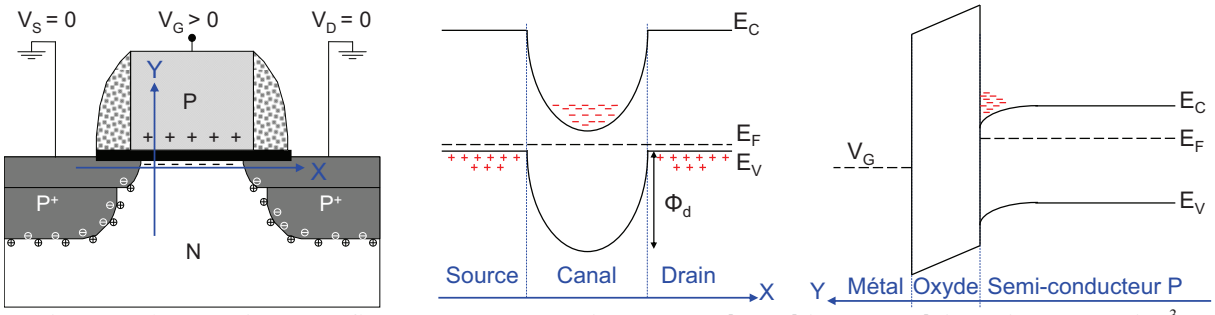


Figure I - 3: Transistor MOS de type P avec les diagrammes énergétiques en régime d'accumulation[3].

B) DEPLETION : La tension appliquée sur la grille (V_G) est négative mais supérieure à la tension seuil (V_{Th}), les électrons sous la grille sont repoussés laissant uniquement des charges fixes dans le canal. Ainsi, une zone déplétée (zone vide de toute charge mobile) se forme sous la grille et à proximité des zones source et drain dopés P^+. De ce fait, la hauteur de barrière Φ_d entre la source et le canal diminue mais ne laisse pas passer le courant.

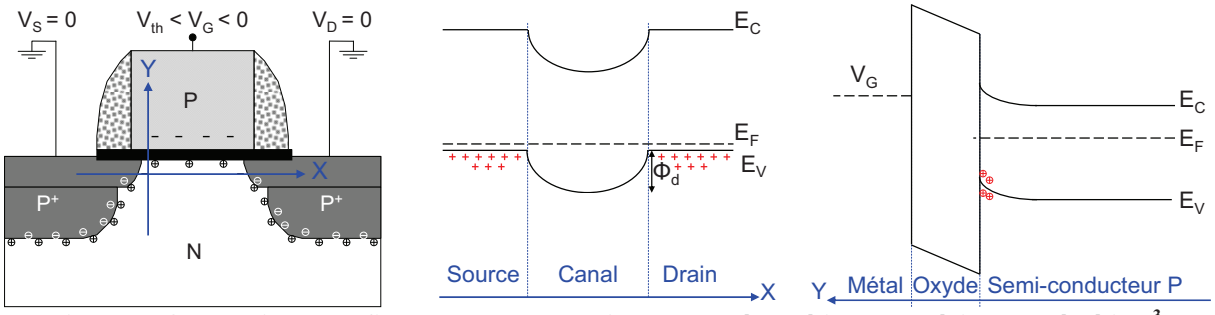


Figure I - 4: Transistor MOS de type P avec les diagrammes énergétiques en régime de déplétion [3].

C) INVERSION : Lorsque le transistor est polarisé dans l'état passant ($V_{Th} < V_G < 0$), les trous sont attirés au niveau de l'interface canal/oxyde, formant une couche d'inversion, et diminuant de potentiel entre le canal et le drain. Dans ce régime, une tension négative appliquée entre le drain et la source (V_{DS}) permet alors le passage du courant (I_D). La variation de potentiel entre la source et le drain induit une variation de la distribution charges le long du canal.

REGIME LINEAIRE : $V_{Dsat} << V_D < 0$

Lorsque la tension de drain est faible ($V_{Dsat} << V_D$), la distribution de charges le long du canal est considérée constante. Le courant de drain (I_D) est proportionnel à la tension drain-source (V_D), le transistor fonctionne en régime linéaire.

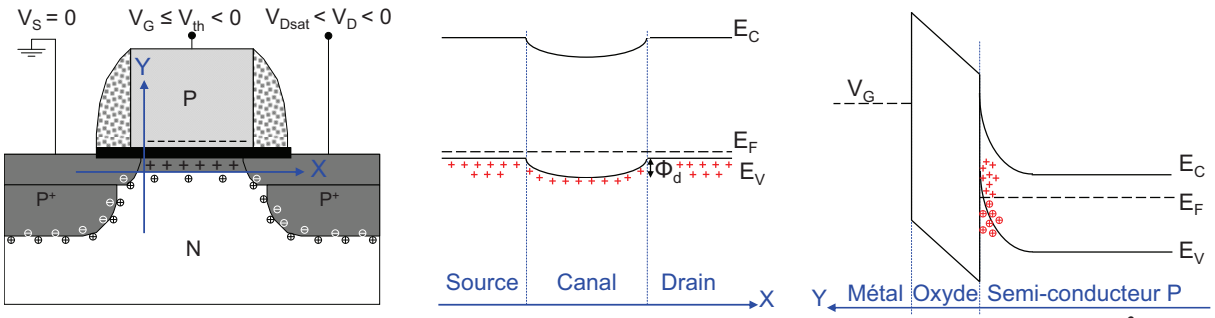


Figure I - 5: Transistor MOS de type P avec les diagrammes énergétiques en régime linéaire [3].

REGIME DE PINCEMENT : $V_D = V_{Dsat} < 0$

Lorsque la tension de drain (V_D) augmente, la distribution charges dans le canal diminue de la source vers le drain, jusqu'à la création d'un point de pincement au niveau du drain. Le courant de drain (I_D) diminue, le transistor fonctionne en régime de pincement.

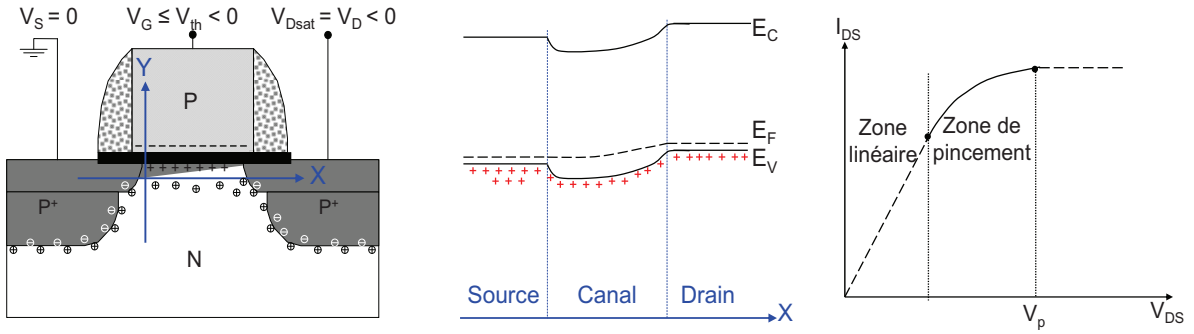


Figure I - 6 : Transistor MOS de type P avec le diagramme énergétique et le graphe $I_{DS}(V_{DS})$ en régime de pincement [3].

REGIME DE SATURATION : $V_D < V_{Dsat} < 0$

Quand la tension de drain (V_D) dépasse la tension de saturation (V_{Dsat}), le point de pincement se déplace vers la source. La région entre le drain et le point de pincement est déplétée, le courant de drain sature.

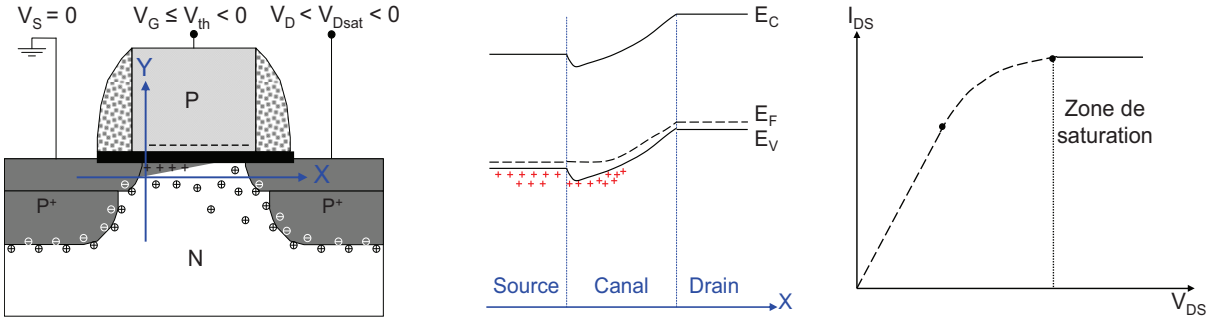


Figure I - 7 : Transistor MOS de type P avec le diagramme énergétique et le graphe $I_{DS}(V_{DS})$ en régime de saturation [3].

1.2.2 Caractéristiques électrique du transistor MOS

Un réseau de caractéristiques d'un transistor MOS est la représentation graphique du courant de drain (I_{DS}) en fonction de la tension de grille (V_G), pour différentes tensions de drain appliquées. Chaque courbe $I_{DS} = f(V_{DS})$ possède un régime linéaire et un régime de saturation. Dans le cas d'un régime linéaire, s'appliquant pour des tensions de drain faibles, le courant de drain (I_{DS}) est proportionnel à la tension de drain (V_{DS}). Le régime de saturation, intervenant pour des tensions de drain (V_{DS}) plus élevées ($|V_{DS}| > |V_{Dsat}|$), le courant de drain (I_{DS}) sature à une valeur proche de I_{Dsat}.

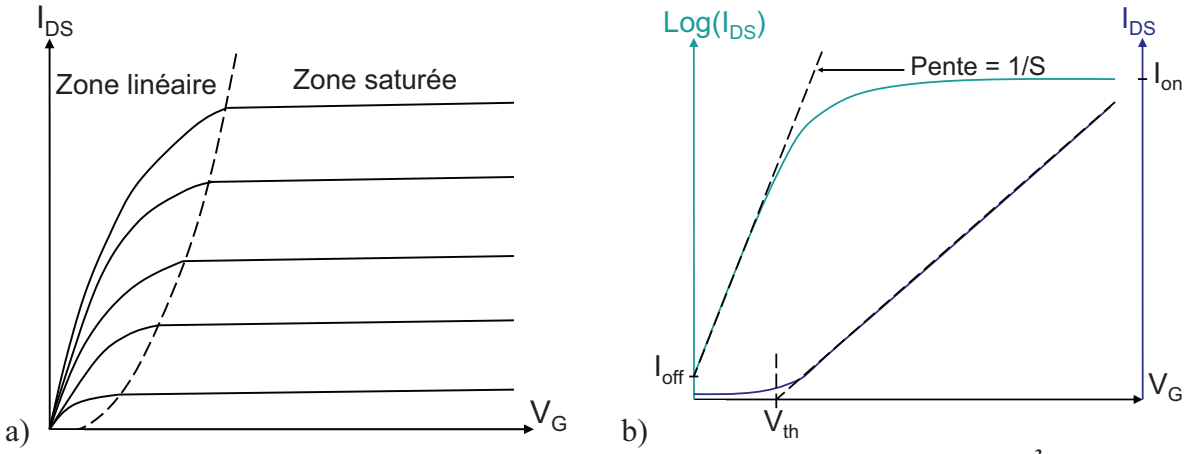


Figure I - 8 : Réseau de caractéristiques d'un transistor MOSFET de type N [3].

I_{off} est le courant de drain à l'état bloqué, et correspond à la consommation du circuit.
I_{on} est la quantité de courant que peut délivrer un transistor en régime de saturation.

La pente sous seuil est l'inverse de la pente de la courbe $Log(I_D) = f(V_G)$, et s'exprime par l'équation suivante : $S = \frac{\partial V_G}{\partial(\log I_D)} = \frac{kT}{q}\left(1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{ss}}{C_{ox}}\right)\ln 10$

C_{dep} est la capacité de déplétion, C_{ox} est la capacité de l'oxyde, et C_{ss} est la capacité liée à la qualité des interface oxyde/canal.

La valeur minimale de la pente sous seuil correspond à : $S = \frac{kT}{q}\ln 10 = 60$ mV/dec (à T_A).

1.3 Miniaturisation des composants et effets parasites

Dans la partie précédente le comportement électrique du transistor MOS idéal a été décrit. L'industrie microélectronique recherche depuis les années 70-80 l'amélioration des performances et la réduction des coûts de fabrication par un constant effort de miniaturisation des transistors.

1.3.1 La miniaturisation des composants

En 1965, Gordon Moore a prédit une croissance exponentielle de la puissance de calcul des circuits, connue sous le nom de « Loi de Moore ». Il énonça, également, le doublement du nombre de transistors des microprocesseurs tous les deux ans.

Plus précisément, cette miniaturisation correspond à une diminution des dimensions (longueur de grille, largeur de zone active, épaisseur de l'oxyde de grille, profondeur de jonction source drain, largeur des interconnections…), et s'accompagne d'une amélioration des performances électriques du composant (réduction de la tension d'alimentation). Le plan de développement des architectures MOSFET et des technologies silicium associées (ou « roadmap silicium ») est défini par un consortium scientifique et industriel, le comité ITRS.
Cependant, la miniaturisation des composants, engendre des phénomènes parasites qui peuvent dégrader les performances globales des dispositifs. L'ITRS (International Technology Roadmap for Semiconductors) rédigé le consortium international, document de référence du secteur microélectronique, met en lumière les principales barrières au développement de nouvelles générations de composants, de manière à respecter un cycle d'évolution suivant la loi de Moore.

1.3.2 Effet de canaux courts et DIBL

La miniaturisation des composants correspond entre autre à une réduction de la longueur de grille. L'effet de canaux courts (« Short Canal Effect » SCE) se produit lorsque la longueur de grille (L_G) devient comparable à la somme des zones déplétées autour de la source et du drain. Lorsque ces deux zones se rejoignent, le potentiel au centre du canal est fortement modifié. Par conséquent, la barrière de potentiel formée par le canal diminue, et donc la tension seuil du dispositif diminue (Fig.I-9-B).

Lorsqu'une tension négative est appliquée entre le drain et la source (V_{DS}), la barrière de potentiel entre le canal et le drain diminue encore plus fortement (Fig.I-9-C). L'abaissement de la barrière à la source provoque le passage des trous dans le canal de façon indépendante à la tension de grille. Par conséquent, la grille ne contrôle plus le courant de drain. Ce phénomène s'appelle le « Drain Induced Barrier Lowering » DIBL.

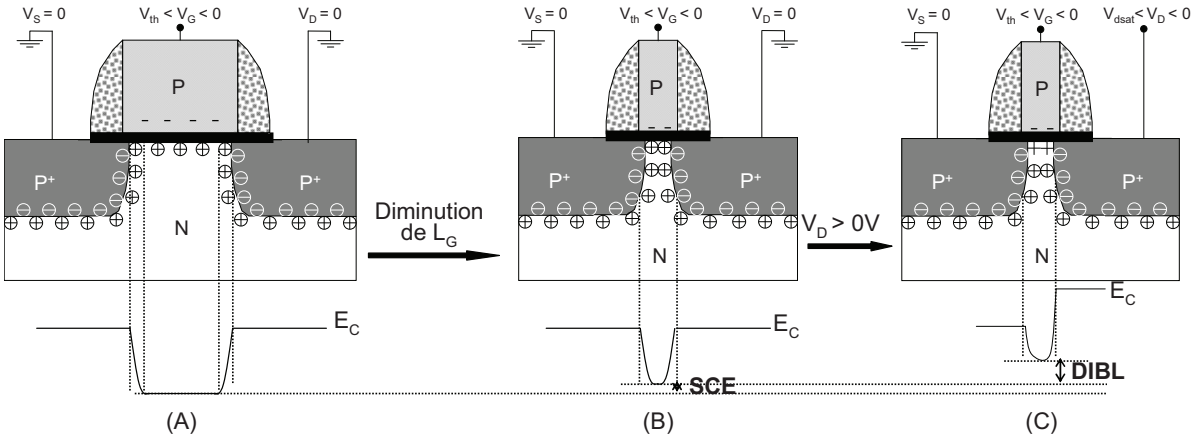


Figure I - 9 : Représentations schématiques des effets de canaux courts et DIBL pour un PMOS[3].
(A) L_G est très grande devant la taille de la zone déplétée par la source et le drain.
(B) L_G est inférieur à cette taille : c'est le régime d'effets de canal court.
(C) Abaissement supplémentaire par la tension de drain : c'est l'effet DIBL.

Les effets de canaux courts et du DIBL peuvent être réduits en diminuant la profondeur de déplétion[3]. Une augmentation du dopage du substrat au niveau du canal permettra d'accroître la quantité de charge à dépléter dans le volume, et de réduire ainsi la profondeur de déplétion dans le canal. Une technique d'implantation inclinée est utilisée pour élever le niveau de dopage (du même type que le canal) de façon localisée (Fig.I-10-a).

Les effets de canaux courts et du DIBL peuvent être également atténués en diminuant la profondeur des jonctions. L'amincissement des jonctions permet d'augmenter la longueur des lignes de champ électrique, ainsi que la longueur de grille effective du transistor (Fig.I-10-b), améliorant le contrôle du SCE et du DIBL.

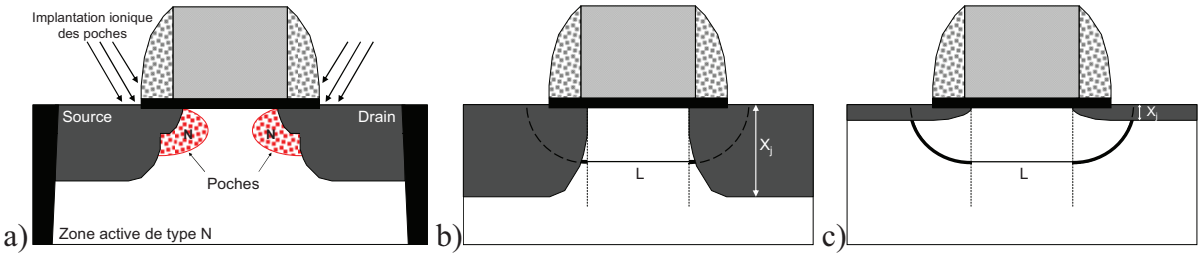


Figure I - 10 : Schémas de l'implantation des poches et de la diminution de la profondeur des jonctions : a) Principe de l'implantation des poches. b) Représentation d'une ligne de champ électrique pour une jonction profonde. c) La même ligne de champ pour une jonction fine.

1.3.3 Perçage volumique

La Fig.I-11 met en évidence un effet parasite supplémentaire résultant de la miniaturisation : lorsque la longueur de grille est très courte, les zones de déplétion de la source et du drain peuvent se recouvrir dans la profondeur du substrat ou le niveau de dopage est moins élevé que dans le canal. Il en résulte une chute de la barrière de potentiel source-drain dans le volume. Un courant de fuite se crée alors en profondeur dans le substrat, provoquant une perte de contrôle de la grille et dégradant la pente sous seuil.

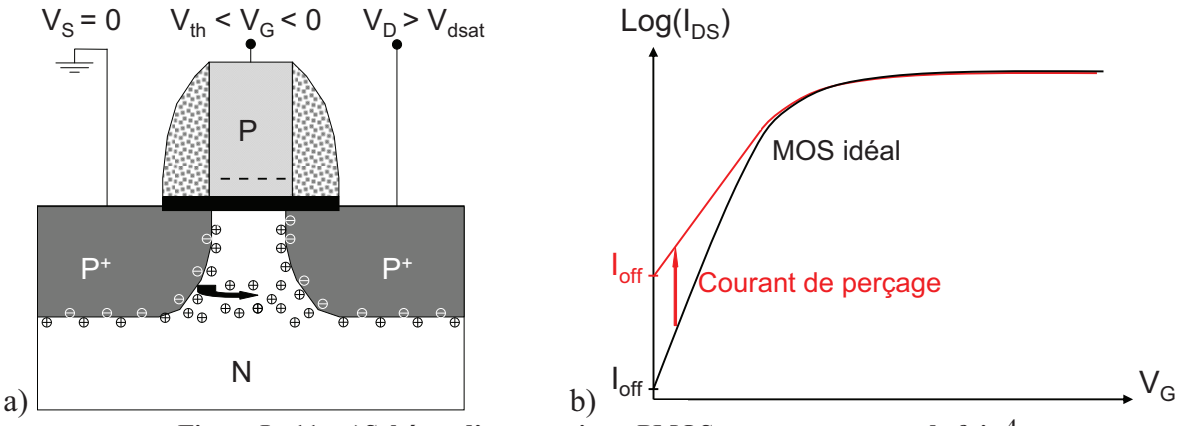


Figure I - 11 : a)Schéma d'un transistor PMOS ayant un courant de fuite[4].
b) Graphe $I_{DS}(V_G)$ représentant l'impact du perçage sur les caractéristiques volumique.

1.3.4 Résistances séries

La résistance totale d'un transistor réel comprend la résistance du canal de conduction et la résistance d'accès. Cette dernière se décompose en quatre composantes : la résistance de contact siliciure / silicium, la résistance de jonction source et drain, la résistance de l'extension, et la résistance de recouvrement des extensions sous la grille (Fig.I-12). Ces effets ne peuvent être négligée lorsque les dimensions caractéristiques du transistor diminuent. En effet, les résistances entraînent une chute de potentiel aux bornes du transistor, venant limiter le courant débité I_{on}.

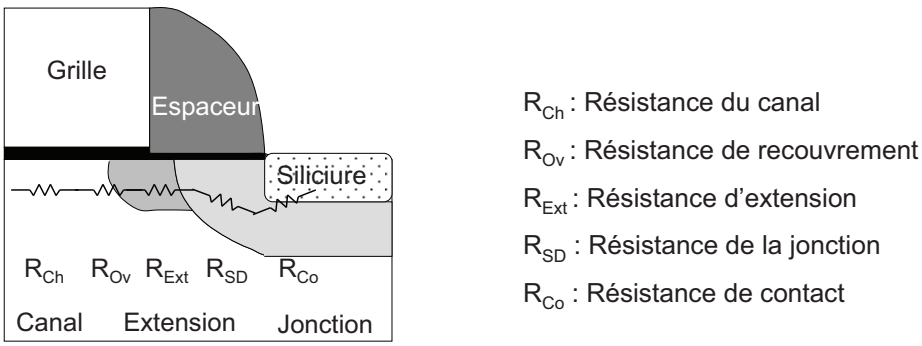


Figure I - 12 : Structure d'une extension de drain avec les différentes résistance en série[5].

Afin de réduire la résistance des jonctions, des dispositifs aux sources drains surélevés sont utilisés. Le fait de surélever les jonctions permet de garder une profondeur de jonction fine et d'améliorer la résistivité du silicium en augmentant l'épaisseur des contacts.

Pour diminuer la résistance de contact siliciure/silicium, différents métaux pour la réalisation des zones siliciurées sont proposés. Le contact siliciure/silicium est un contact Schottky. La résistivité du contact dépend de la hauteur de barrière Φ entre le métal et le semi-conducteur, et du dopage du silicium. Les métaux habituellement utilisés pour former le siliciure sont le titane Ti, le cobalt Co, et le nickel Ni. Des siliciures avec un travail de sortie proche des bandes de valence et de conduction du silicium (siliciures de bord de bande formés avec du platine Pt, Iridium Ir, Erbium Er, Yterbium Yt) font leur apparition. Les transistors à barrière Schottky sont des transistors MOS dont les sources et drains sont métalliques, formés uniquement par siliciuration, sans utiliser de dopage. Pour la réalisation de pMOS les siliciures les mieux adaptés sont le PtSi et l'IrSi, et pour les nMOS le ErSi est le plus approprié.

1.3.5 Fuite de l'oxyde de grille

Afin de compenser la réduction du couplage grille-canal engendré par la réduction de la longueur de grille, une réduction de l'épaisseur du diélectrique de grille (t_{ox}) et/ou une augmentation de sa constante diélectrique (K) est nécessaire.

L'amincissement de l'oxyde de grille permet d'intensifier le couplage capacitif entre la grille et le canal (C_{ox}), augmentant la densité de charge d'inversion et donc le courant de saturation. L'oxyde de grille habituellement utilisé est du SiO_2 thermique, car il contient très peu de défauts, présente une interface de bonne qualité avec le canal, et permet d'atteindre des épaisseurs très fines de l'ordre du nanomètre. Au-delà du nœud technologique 45nm (35nm puis 22nm…) une épaisseur de SiO_2 inférieure au nanomètre serait nécessaire pour garantir un couplage canal suffisant. Pour de telles épaisseurs, le courant de fuite de grille du aux effets tunnel, augmente considérablement[6]. C'est le courant « off » du transistor qui augmente et la consommation statique est dégradée.

L'augmentation de la constante diélectrique permet de réduire le courant tunnel. L'oxyde nitruré est, ayant une constante diélectrique légèrement plus importante comparativement à un oxyde pur d'épaisseur équivalente, est utilisé. Toutefois, l'oxyde nitruré ne permettra pas de répondre aux spécifications définies pour les prochaines générations de transistors. Par conséquent, de nouveaux matériaux, à haute constante diélectrique ou « High-K », sont introduits afin de conserver le couplage capacitif tout en conservant une épaisseur confortable.

1.3.6 Déplétion de la grille et effet quantique dans le canal

Le matériau de grille utilisé pour l'intégration de transistors MOS est du polysilicium dopé. Cependant, l'utilisation de ce matériau semiconducteur entraîne une zone de déplétion au niveau de l'interface grille/oxyde de grille. En effet, en régime d'inversion, une charge image (positive pour les transistors PMOS) apparaît dans la grille à l'interface grille/oxyde, formant une couche de déplétion (Fig.I-13). Celle-ci agit comme une couche isolante additionnelle, par conséquent la capacité totale de la structure grille/oxyde/canal diminue affaiblissant l'action de la grille sur le canal, et le niveau de courant dans le canal pour une même tension de grille est réduit. L'épaisseur d'oxyde équivalente EOT (« equivalent oxide thickness ») du transistor est augmentée : c'est le phénomène de déplétion de grille. Pour réduire son importance du polysilicium fortement dopé est utilisé, mais la solution la plus efficace est l'utilisation d'une grille métallique.

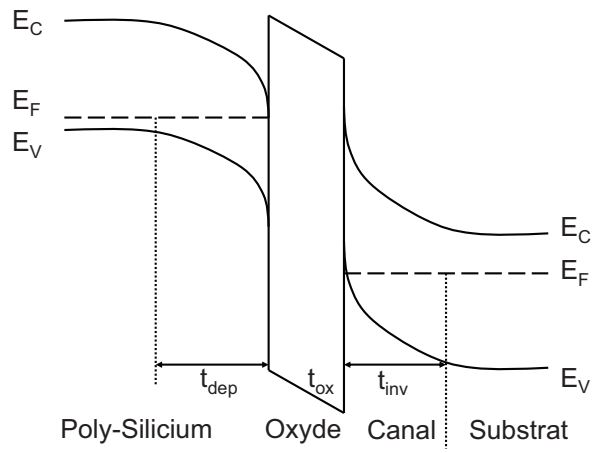


Figure I - 13 : Structure de bande d'un transistor PMOS en inversion forte : Mise en évidence de la zone de déplétion à l'interface du poly-silicium par charge image.

Un autre effet s'additionne au phénomène de déplétion de grille, cette fois-ci à l'interface oxyde/canal augmentant encore l'EOT (Fig.I-13). Il s'agit la quantification de l'énergie dans le canal. En régime de forte inversion, les bandes énergétiques de conduction et de valence se courbent confinant les charges près de la surface dans un puit triangulaire. Lorsque le puit est très pointu, le phénomène de quantification de l'énergie ne peut pas être négligé. A chaque niveau d'énergie correspond une fonction d'onde électronique qui définit la probabilité de présence des porteurs. Le maximum de probabilité de présence des porteurs ne se situe plus à l'interface oxyde/semiconducteur mais il est décalé de quelques angströms dans le substrat. Cette zone déserté à l'interface est appelée zone noire ou « darkspace ».

1.3.7 Les innovations des composants

Afin de mieux maîtriser les effets canaux courts, diverses solutions sont proposées : l'utilisation de substrats à films minces (SOI, SON), et la fabrication de dispositifs avec plusieurs électrodes de grille.

1.3.7.1 Transistors sur substrat SOI

Des substrats SOI (« Silicon On Insulator ») sont utilisés pour limiter physiquement la profondeur de jonction et l'extension de la zone de déplétion sous le canal. Ces substrat sont constitués de trois couches : d'un silicium épais (substrat Si), recouvert d'un isolant appelée BOX (« Buried OXide »), et d'un silicium mince en surface. C'est sur le film mince en silicium monocristallin, appelé SOI, où sera défini le canal de conduction. Lorsque l'épaisseur de cette couche (t_{Si}) est relativement grande, une zone non déplétée (zone neutre) subsiste entre le canal de conduction et le BOX (Fig.I-14-a). Le transistor est appelé partiellement déplété. Quand l'épaisseur de la couche SOI diminue, tout le film SOI est déplété, le transistor est dit complètement déplété (Fig. I-14-b). Une autre sorte de substrat a été développé, substrat SON (« Silicon On Nothing »), qui contient un oxyde enterré uniquement sous le canal de conduction (Fig.I-14-c).

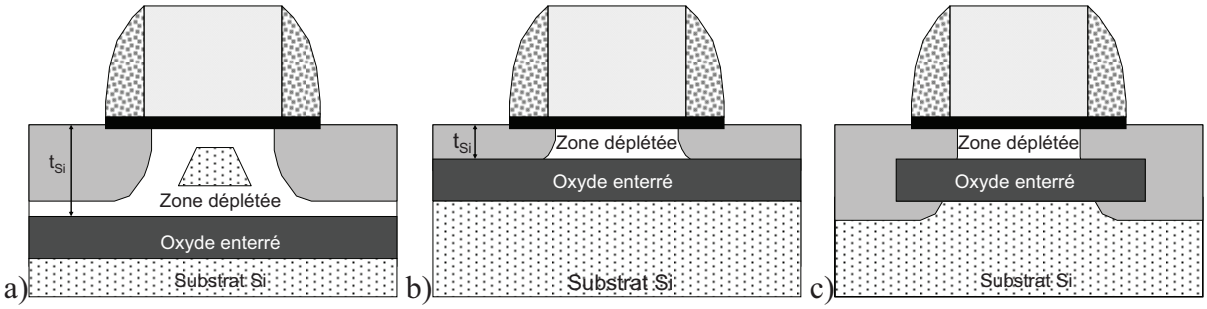


Figure I - 14 : Schémas représentant un transistor MOS intégré sur trois types de substrats : a) SOI. b) SOI mince. c) SON.

1.3.7.2 Transistors à grilles multiples

Pour aller encore plus loin dans la miniaturisation, des transistors contenant plusieurs grilles ont été développés. Ces dispositifs mulit-grilles permettent entre autre d'améliorer le control électrostatique dans le canal de conduction. Différentes architectures sont présentées dans la Fig.I-15 montrant des transistors à deux grilles, trois grilles, et à grille enrobante, et mettant en évidence les trois catégories d'architectures (planaire, verticale et latéral). Ces différentes architectures offrent des alternatives prometteuses, cependant un compromis reste à trouver entre les bénéfices apportés, et la complexité du procédé de fabrication.

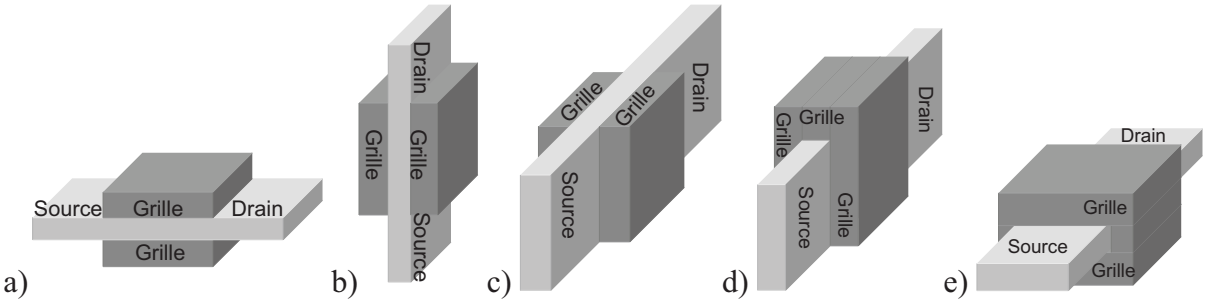


Figure I - 15 : Différentes architectures de transistors multi-grilles : a) double grille planaire, b) double grille verticale, c) double grille latérale, d) triple grille latérale, e) grille enrobante planaire.

1.3.8 L'impact de la miniaturisation dans le « Back-End »

1.3.8.1 La composition du « Back-end »

Une fois les transistors fabriqués, ils doivent être électriquement interconnectés pour fabriquer des circuits. La connexion entre les dispositifs est assurée par les contacts, les vias et les interconnexions[7]. Les interconnexions sont isolées par des couches diélectriques (« ILD », pour « Interconnect Layer Dielectric »). Tous ces composants font partis du « Back-End » (Fig.I-16-a). La structure du « Back-End » prend une importance de plus en plus grande avec la miniaturisation des composants et avec l'augmentation de leur densité. En effet, la course à la miniaturisation a permis d'interconnecter des millions de transistors en utilisant une centaine de kilomètres de fils de connexion, le tout sur moins d'1 cm^2.[8]

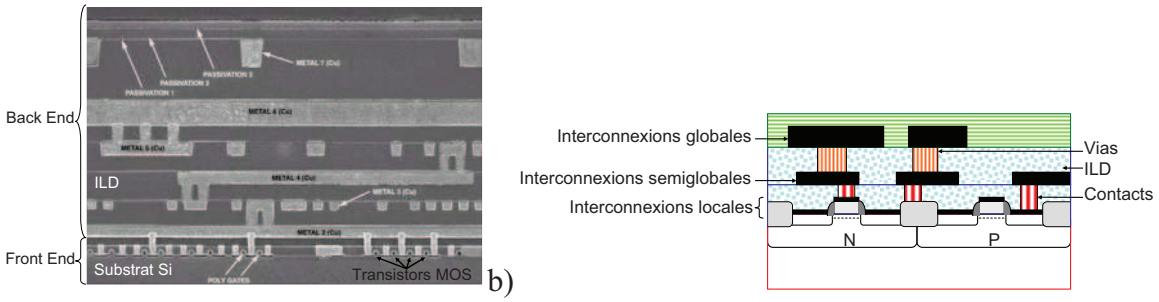


Figure I - 16 : Circuit en vue de coupe : a) Image SEM révélant la structure du Back-End. b) Schéma représentant les interconnexions, les contacts, et les vias séparés par des couches de diélectrique (ILD).

Le schéma (b) de la Fig.I-16 fournit une illustration des différents niveaux et matériaux qui constituent le « Back-End » : Les contacts source et drain connectent une ligne métallique avec la zone active au niveau du substrat de silicium. Une couche diélectrique (ILD) de haute résistivité (SiO_2) sépare les régions actives du premier niveau d'interconnexions. Les trous de contact sont fabriqués entre les interconnexions et les zones actives sur silicium, à travers des ouvertures dans cette couche diélectrique. Les vias assurent les connexions entre deux niveaux d'interconnexions globales. Les contacts et les vias ont pour objectifs de connecter électriquement différents niveaux de couches et de contribuer le faiblement possible à la résistance électrique totale.

Dans les circuits modernes, la complexité des interconnexions augmentant, les interconnexions sont classées en trois catégories (Fig.I-16-b) : local, semiglobal, et global. Les interconnexions locales sont les plus courtes et constituent le premier niveau d'interconnexions. En technologie CMOS, elles connectent les grilles, sources et drains. Les interconnexions semiglobales connectent les dispositifs dans un bloc. Les interconnexions globales se propagent sur des distances plus grandes, en connectant les différentes parties du circuit incluant la puissance et la synchronisation. Par conséquent elles sont constituées de matériaux les moins résistifs.

Cependant, il faut noter que l'augmentation du nombre d'interconnexions globales n'affecte pas tous les types de puces. Par exemple, les mémoires (SRAM, DRAM) ont une structure dense et régulière. Elles n'ont pas besoin de beaucoup d'interconnexions. Par contre, les puces logiques présentent des dessins de masques plus irréguliers, et ont généralement un plus grand nombre d'interconnexions nécessitant plus de niveaux.

1.3.8.2 Le délai d'interconnexion et l'introduction de nouveaux matériaux

Accompagnant la réduction des dimensions au fil des nœuds technologiques avancés, des lignes métalliques moins larges, moins épaisses et plus longues sont fabriquées. Cela entraîne une augmentation de la résistance R et des capacités C. Afin de pallier ce problème, de nouveaux matériaux sont introduits réduisant le délai RC dans les interconnexions globales., comme le cuivre Cu à la place de l'aluminium Al, et des diélectriques à plus faibles permittivités (low K) remplaçant le SiO_2. [9]

La Fig.I-17 représente le délai en fonction des différents noeuds technologiques. Ce graphique montre la contribution dominante du délai des portes logiques sur le délai des interconnexions globales pour les générations supérieures à 250nm. Cependant, la réduction de la longueur de grille a permis de réduire considérablement le délai par porte. En parallèle, la réduction des dimensions critiques et l'augmentation de la densité d'intégration des circuits entraînent une augmentation importante de la longueur de lignes d'interconnexion. Ainsi, le délai global d'interconnexion domine sur le délai par porte. L'utilisation de matériaux avancés

(Cu et diélectrique à faible permittivité) a permis de réduire significativement le délai d'interconnexions, cependant ce dernier demeure la composante dominante du délai total.

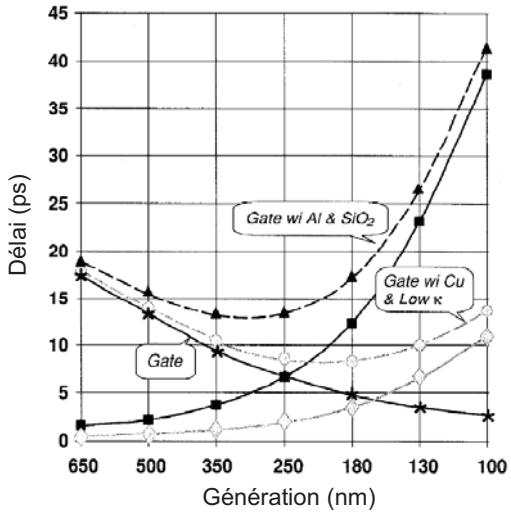


Figure I - 17 : Graphiques représentant les délais d'interconnexion et de grille en fonction de la miniaturisation des transistors[10].

Malgré l'introduction de nouveaux matériaux et procédés (Cu et low-k), il a été montré que la miniaturisation des interconnexions reste menacée par des phénomènes tels que l'électromigration[11] [12] et la dégradation/claquage[9] des oxydes minces, risque d'entraîner de lourdes chutes de rendement et de fiabilité au niveau circuit, pour les générations futures.

Les challenges liés à la miniaturisation des technologies CMOS planaires s'amplifient en nombre et complexité à l'approche des noeuds 32nm et 22nm. L'intégration verticale en trois dimensions (3D) se présente comme une possibilité d'augmenter le nombre de transistors au-delà de ces générations.[13] Avant d'envisager cette hypothèse, l'intégration verticale ouvre la voie à de nouvelles perspectives d'intégration compacte et hétérogène en ajoutant des fonctionnalités aux technologies, circuits et systèmes CMOS.

2 Intégration de circuits 3D : Etat de l'art

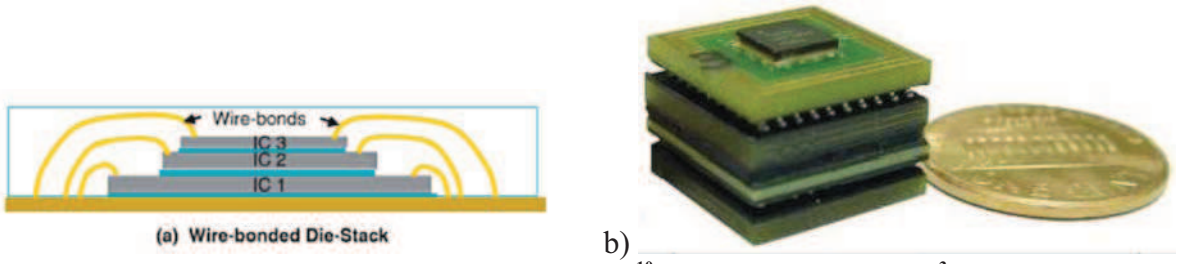
2.1 Les circuits intégrés en trois dimensions : « More than Moore »

Des solutions complémentaires à cette course à la miniaturisation (prédite par la loi de Moore) sont devenues nécessaires pour faire face aux limites technologiques. Le concept « More than Moore » se base sur une diversification des types de puces et l'intégration de technologies hétérogènes. [14] [15]

2.1.1 Les différents types d'intégration 3D

2.1.1.1 3D System In Package (SIP)

L'intégration 3D a été introduite dans un premier temps à l'échelle du système, en empilant plusieurs puces fabriquées indépendamment et connectés lors de la mise en boîtier (System In Package). L'intégration en trois dimensions au niveau de la mise en boîtier (package) est ainsi appliquée depuis plusieurs années (au niveau industriel).

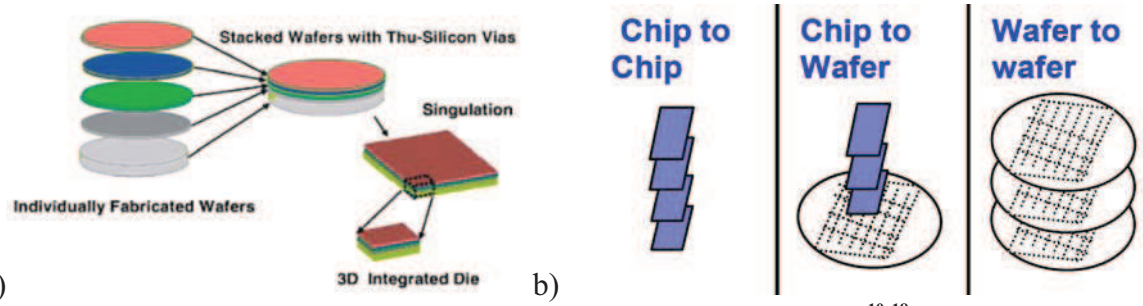


a) b)

Figure I - 18 : a) Schéma représentant le concept 3D-SIP [10]. b) Photographie de 1cm^3 eCube (14x14mm) développé par IMEC pour des applications médicales [16].

2.1.1.2 3D System On Wafer (SOW)

L'intégration verticale à l'échelle des circuits intégrés permet d'atteindre une plus forte densité d'intégration que l'intégration 3D-SIP. Dans cette catégorie d'intégration 3D, des circuits sont d'abord fabriqués sur des wafers individuels puis empilés en 3D et interconnectés à l'aide de vias traversants (TSV-Thru Silicon Vias). Chaque couche active dans l'empilement peut contenir des circuits avec différentes tensions, performances, et procédés de fabrication. Les circuits empilés donneront de meilleures performances car ils sont connectés avec de courtes lignes verticales. Ces dernières années, cette technologie a constitué une des principales activités de recherche au niveau industriel et universitaire[17].



a) b)

Figure I - 19 : Schéma représentant le concept 3D-WLP [10] [18].

2.1.1.3 3D System-On-Chip (SOC)

L'intégration 3D successive de circuits intégrés est une extension verticale de la technologie des circuits. Les couches actives sont empilées directement sur le premier niveau de circuit, et sont séparées par de couches diélectriques. Cette approche permet de créer une densité importante d'interconnexions verticales avec un alignement beaucoup plus précis que l'empilement de circuits intégrés (SOW). Deux problèmes majeurs interviennent au cours de la réalisation de 3D-SOC. Le premier obstacle est la complexité du design. La deuxième difficulté réside dans le procédé de fabrication. Ce type d'intégration n'a pas encore atteint une maturité industrielle.

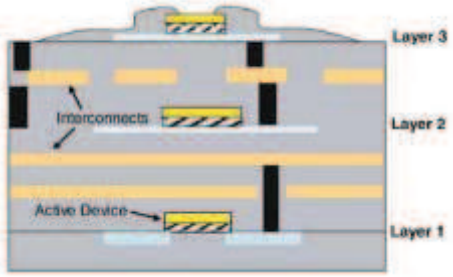


Figure I - 20 : Schéma représentant le concept 3D-SOC : couches actives empilées verticalement [10].

Notre étude sera focalisée sur l'empilement vertical successif de couches de composants et d'isolant (SOC), permettant une grande flexibilité en termes d'alignement et de conception. Les techniques de fabrication seront détaillées après avoir étudié les bénéfices de l'intégration verticale.

2.1.2 Les bénéfices de l'intégration verticale

2.1.2.1 Un gain de densité

L'empilement vertical des composants améliore la densité d'intégration par rapport à une intégration planaire. En effet, la décomposition d'un circuit sur plusieurs niveaux réduit la taille d'une puce et donc permet un gain en surface important (Fig.I-21). L'augmentation de la densité des composants par unité de surface sans réduire les dimensions des composants permet de limiter les effets parasites dus à la miniaturisation. De plus, la capacité à empiler les éléments d'un circuit réduisant potentiellement le volume ou/et le poids d'une puce représente un grand intérêt pour le sans fil, l'électronique portable, et les applications militaire.

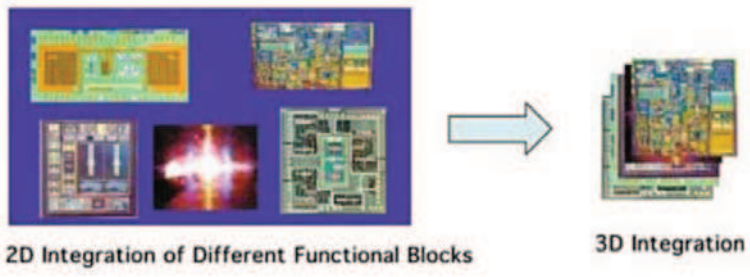


Figure I - 21 : Comparaison de la densité d'intégration des circuits 2D et 3D [10].

2.1.2.2 La réduction des longueurs des interconnexions

La miniaturisation des composant et l'augmentation de leur densité produit des interconnexions de plus en plus longues. Pour l'intégration verticale à l'échelle du circuit intégré (SOW), l'intégration verticale permet de remplacer des lignes d'interconnexions longues et fines par des « vias » courts et larges (l'ordre du micron), permettant ainsi de réduire la résistance R et la capacité C, et par conséquent d'améliorer le délai de propagation du signal. De plus, l'empilement de couches actives (SOC) permet à chaque transistor d'avoir accès à un plus grand nombre de premiers voisins réduisant les longueurs des interconnexions.[19]

Comme l'intégration 3D permet, entre autres, de réduire la longueur des lignes d'interconnexion ainsi que la capacité de ligne à ligne, le bruit de couplage ou diaphonie est également réduit. En effet, les lignes d'interconnexion plus courtes auront un nombre de répéteurs moins important réduisant le bruit et garantissant une meilleure intégrité de signal.

La réduction de la longueur moyenne des interconnexions dans les circuits 3D, comparées à leurs circuits équivalents 2D, réduit significativement la puissance consommée totale. Ceci s'explique, par le fait que les lignes et les vias d'interconnexions dissipent une portion significative de la puissance totale. [20]

2.1.2.3 L'ajout de fonctionnalités : intégration hétérogène

L'intégration 3D est une technologie émergente qui peut empiler verticalement et connecter différents matériaux, et composants ensemble. L'incorporation de nouvelles technologies ou matériaux qui sont habituellement difficile à co-intégrer au CMOS traditionnel, est désormais possible avec une intégration 3D hétérogène[21].

L'intégration 3D hétérogène peut s'appliquer soit au niveau de la puce (SOC) en superposant successivement différents matériaux semi-conducteurs (Si, GaN, GaAs, CNT), soit en fabricant divers composants sur les niveaux supérieurs (MEMS, capteurs chimique ou biologique, mémoires…). Plusieurs exemples d'intégration hétérogène sont présentés ci-dessous (Fig.I-22) :

(i) Un capteur d'image CMOS à illumination en face arrière (Fig.22-b). Pour cela, des photodiodes sont réalisées sur une première couche en silicium, et les transistors sont localisés sur une deuxième couche de silicium.

(ii) Un circuit intégré combinant des composants à base de nanotube de carbone avec des transistors MOS (Fig.22-c). Les nanotubes en carbone sont synthétisés par CVD à partir d'un catalyseur situé sur le circuit MOS. La variation de la conductance dans le nanotube est contrôlée par une grille face arrière.

(iii) Le transfert de nanomatériaux semi-conducteurs pour la fabrication de systèmes intégrés 3D hétérogènes. Le procédé nécessite le transfert d'un grand nombre de nanotubes, nanofils, nanolames ou autres nanomatériaux, de leur substrat source, vers un substrat contenant des dispositifs.

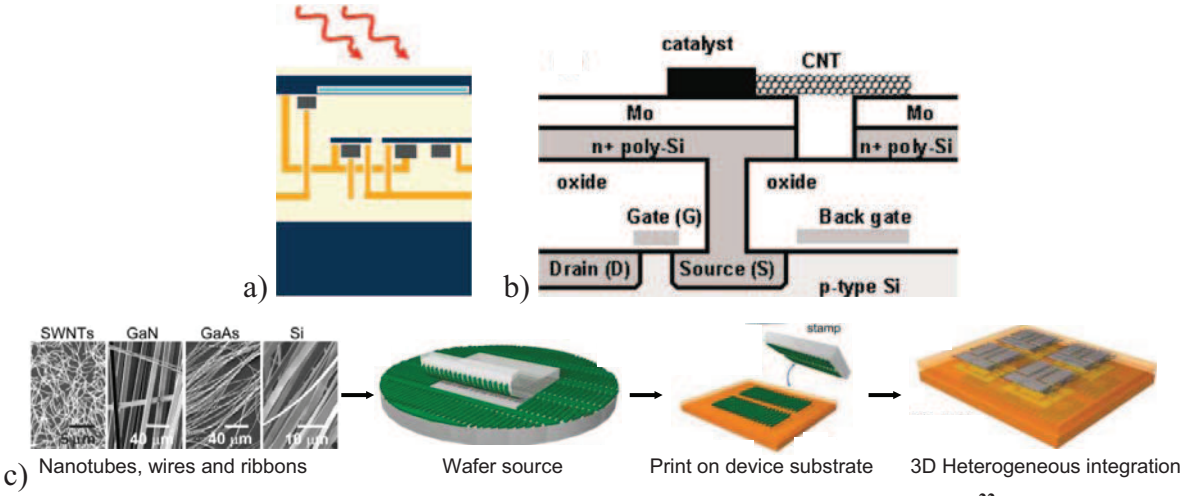


Figure I - 22 : a) Capteur d'image CMOS à illumination face arrière[22].
b) Un nanotube de carbone (CNT) intégré avec une technologie MOS Si[23].
c) Approche électronique 3D hétérogène basé sur l'impression de nanomatériaux semiconducteurs[24]

2.2 Les techniques de fabrication des circuits 3D-SOC.

Nous nous focalisons dans cette thèse sur l'intégration 3D au niveau de la puce. L'empilement vertical de transistors, sur plusieurs niveaux, nécessite une superposition de couches diélectriques et de couches en silicium de haute qualité cristalline. Beaucoup de procédés clés ont été développés respectant les contraintes thermiques imposées par le premier niveau de transistors. Deux schémas d'intégration de circuits 3D vont être décrits dans les paragraphes suivants : l'approche parallèle et l'approche séquentielle[25] (Fig.I-23). Nos travaux concerneront la deuxième approche, plus précisément la synthèse de silicium monocristallin sur un diélectrique.

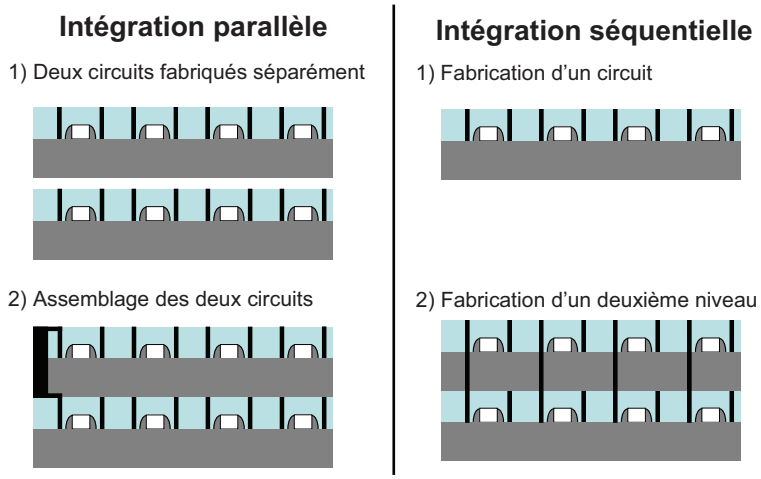


Figure I - 23 : Représentation schématique des deux types de fabrication pour l'intégration verticale

2.2.1 L'approche parallèle

L'approche parallèle consiste à empiler deux circuits 2D fabriqués séparément, et ensuite à les assembler par collage moléculaire (Wafer-Bonding), en alignant précisément les deux parties, pour former un circuit 3D. L'empilement peut se faire de tranche à tranch, de puce à tranche, ou de puce à puce. Il existe deux types de procédés intitulés « Vias-first » ou « Vias-last ». L'approche vias-first consiste à fabriquer les connexions métalliques verticales entre les deux circuits avant le collage des circuits, contrairement au Vias-last où l'assemblage des circuits se fait avant la fabrication des vias. Ces deux techniques de fabrication ont des étapes communes : amincissement des wafers, fabrication des vias, alignement et collage. Pour l'assemblage de deux circuits, il existe deux techniques : « face-to-face » et « face-to-back » (Fig.I-24).

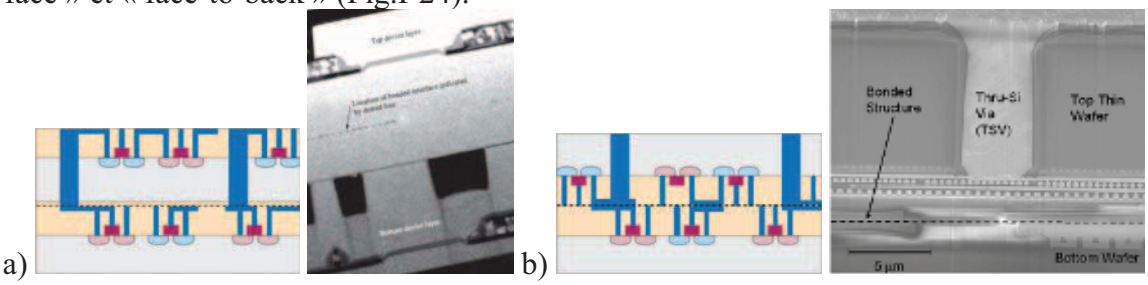


Figure I - 24 : Schémas d'assemblage de circuits intégrés :
a) Assemblage « face-to-back » : schéma et une image TEM de deux couches de composants CMOS[19].
b) Assemblage « face-to-face » : schéma et image MEB d'assemblage de circuits par collage métallique[26].

IBM a développé un procédé d'intégration 3D en transférant des circuits fabriqués à partir d'un substrat SOI sur un autre circuit (« face-to-back ») tout en préservant l'intégrité électrique des deux circuits. Leur procédé d'assemblage est présenté sur la Fig.I-24-a. Un premier circuit, fabriqué sur substrat SOI, est fixé sur un substrat en verre, puis aminci jusqu'au BOX qui sert de couche d'arrêt. Le substrat en verre transparent permet un alignement précis de l'ordre du micron avec le second niveau et la fabrication de vias fins et courts connectent électriquement les deux circuits intégrés. Ainsi, la distance séparant les deux circuits est inférieure à 2 µm, la densité d'interconnections est élevée (>10^8 vias/cm²), et l'alignement de tranche à tranche est précis.

Une autre méthode d'empilement de circuits intégrés, « face-to-face », a été développée par Intel (Fig.I-24-b). L'intégration 3D est réalisée par collage métallique (Cu) de tranches de Si bulk contenant des transistors CMOS 65nm / low-*k* / Si contraint. La connexion entre les deux circuits est assurée par le collage. Le wafer de dessus est ensuite aminci, et des

vias traversant sont formés pour permettre les tests électriques. Les performances électriques des transistors MOSFET à canal p et n ne sont pas dégradées après toutes les étapes de l'intégration 3D.

Une telle approche permet l'optimisation de chaque couche et sa vérification fonctionnelle avant assemblage. Il en résulte un rendement et un coût de fabrication acceptable. Les points clés de l'approche parallèle sont la maîtrise du collage moléculaire à basse température, le contrôle de l'alignement[27] (±1µm), l'amincissement de la plaque supérieure, ainsi que la qualité des vias traversants.

Des circuits 3D-SOC ont également été fabriqués en utilisant une autre approche dite « séquentielle ». Cette méthode est décrite dans le paragraphe suivant.

2.2.2 L'approche séquentielle

L'approche séquentielle consiste à fabriquer des niveaux de circuits les uns sur les autres, séparés par des couches diélectriques. La couche fonctionnelle la plus basse est la première créée, en utilisant une technologie CMOS standard. Ce premier niveau de circuit est encapsulé par un diélectrique. Une seconde couche de silicium cristallin peut alors être formée permettant la fabrication des dispositifs sur un deuxième niveau. Des couches supplémentaires peuvent être ajoutées au dessus de façon similaire. Cette approche permet de créer de nouveaux dispositifs en utilisant les marques d'alignement du substrat initial, et ainsi d'effectuer des alignements beaucoup plus précis[28] (~10nm) que l'approche parallèle où les dispositifs se superposent (Fig.I-23).

L'approche séquentielle présente deux difficultés technologiques majeures. La première consiste à former la couche active en silicium monocristallin sur le piédestal diélectrique. La seconde revient à réaliser la totalité du procédé d'intégration à basse température (≤ 600°C) afin de ne pas détériorer les transistors MOS déjà réalisés aux niveaux inférieurs. Pour fabriquer des transistors à hautes performances et à faible courant de fuite, il est nécessaire d'obtenir du silicium monocristallin. Une grande variété de procédés a été développée pour synthétiser du silicium cristallin sur un substrat amorphe.

Dans les paragraphes suivants, uniquement les techniques de synthèse de silicium cristallin à basse température (inférieure ou égale à 600°C) seront étudiées. Nous pouvons classifier tous ces procédés en deux parties :

i) Les méthodes qui utilisent un germe cristallin tels que : croissance épitaxiale, recristallisations en phase liquide et en phase solide. Le principal avantage de ces techniques est qu'elles produisent toutes du silicium monocristallin tout en contrôlant l'orientation.

ii) Les techniques qui n'ont pas recourent à de germes cristallin sont très variées: collage direct, recristallisation laser, recristallisation MILC, recristallisation µ-Czochralski, croissance catalytique. Le principal inconvénient des procédés de recristallisation est la présence de joints de grain. Seul le collage direct permet l'obtention d'une fine couche de silicium monocristalline de haute qualité.

2.2.2.1 Les procédés nécessitant un germe cristallin

- *Croissance épitaxiale sélective et latérale (SEG-ELO)*

Une couche en silicium monocristallin peut être obtenue sur un diélectrique par croissance épitaxiale sélective et latérale (SEG-ELO, « Selective Epitaxial Growth » - « Epitaxial Lateral Overgrowth »). Cette technique consiste à graver des trous dans la couche diélectrique pour accéder au substrat cristallin (Fig.I-25-a). Ensuite, la croissance épitaxiale se

fait à partir d'un germe cristallin présent dans la fenêtre, par LPCVD en alimentant par exemple la réaction avec un mélange SiH_4/HCl pour éviter la formation de poly-silicium sur la couche d'oxyde et une température suffisamment élevée[29] (Fig.I-25-b). Le silicium cristallin croît d'abord verticalement, puis horizontalement en recouvrant la couche en oxyde[30] (Fig.I-25-c). Après la planarisation du silicium monocristallin par CMP, l'intégration MOS classique peut débuter[31]. Ainsi, l'épaisseur de la couche mince de silicium monocristallin est directement dépendante de l'étape de planarisation (CMP). La croissance épitaxiale latérale peut être réalisée en milieu confiné, ce qui signifie que le silicium croît horizontalement à l'intérieur d'un tunnel[32]. Dans ce cas, l'épaisseur du silicium synthétisé est définie par le volume de la cavité.

Cette épitaxie latérale est généralement réalisée en utilisant une température supérieure à 900°C[33], toutefois une épitaxie de silicium a été réalisée à 650°C par Jung[34] ce qui est en accord avec les exigences thermique pour l'intégration 3D séquentielle (Fig.I-25-d).

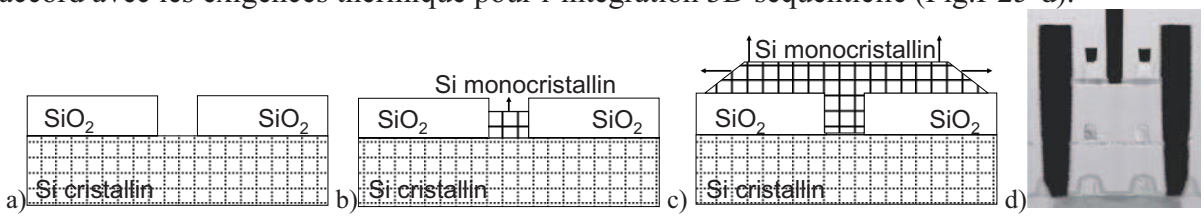


Figure I - 25 : Croissance epitaxiale sélective et latérale :
a) Substrat cristallin recouvert partiellement d'une couche d'oxyde.
b) Croissance épitaxiale sélective (SEG) de Si à partir d'un germe cristallin.
c) Croissance épitaxiale latérale (ELO) de Si sur la couche d'oxyde.
d) Image TEM d'une intégration 3D séquentielle utillisant la croissance épitaxiale[34]

➢ *Recristallisation épitaxiale en phase solide (SPE)*

La recristallisation en phase solide est une technique prometteuse grâce à sa simplicité, son faible coût, et son excellente uniformité. Cette recristallisation consiste à déposer du silicium amorphe sur un substrat contenant des germes cristallin, puis à appliquer un recuit thermique (Fig.I-26)[35]. Afin obtenir les plus grands grains possible, il est préférable de supprimer la nucléation et de favoriser la croissance des grains. Par conséquent, la SPC est effectuée à basse température (~600°C). Cependant, l'utilisation d'un recuit à faible température nécessite un temps d'incubation très long (plusieurs heures), diminuant la vitesse de croissance des grains. Une température plus élevée augmente le rendement, mais produit des grains plus petits. Afin d'augmenter le rendement et la taille des grains, des recuits RTA successifs ont été étudiés[36].

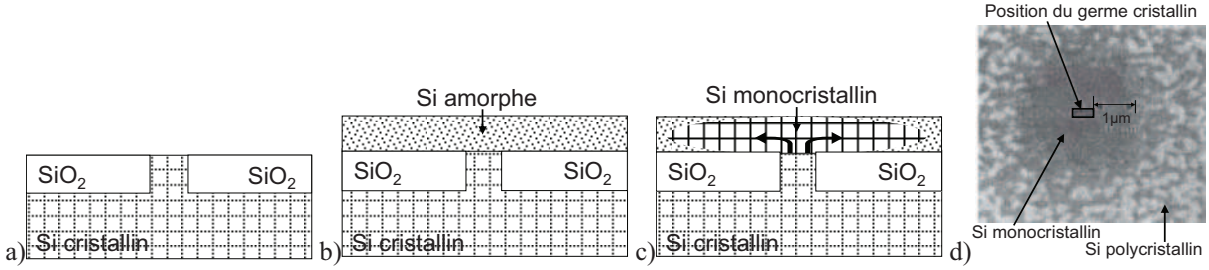


Figure I - 26 : Recristallisation en phase solide :
a) Substrat amorphe contenant un germe cristallin.
b) Dépôt de silicium amorphe.
c) Recristallisation par recuit.
d) Image MEB de silicium recristallisé à proximité d'un germe cristallin.

➢ *Recristallisation épitaxiale en phase liquide (LPE)*

Une autre méthode produisant du silicium monocristallin sur couche diélectrique est l'épitaxie en phase liquide (LPE « Liquid Phase Epitaxy ») [37]. Cette technique consiste, tout d'abord, à déposer une couche mince (<100nm) de silicium amorphe par CVD sur un substrat en oxyde contenant des germes de silicium cristallin. Ensuite, la cristallisation du silicium, nécessitant une source d'énergie importante (température souvent supérieure à 900°C) commence au niveau des germes cristallins et se propage de part d'autre du germe (Fig.I-27-a). Un exemple de fabrication de silicium cristallin sur un oxyde thermique est présenté ci-dessous. Le silicium synthétisé contient très peu de défauts d'empilement, et peut être utilisé comme canal de transistor[38]. La croissance épitaxiale peut être accélérée en chauffant localement à l'aide d'un laser. La densité d'énergie du faisceau laser et la formation du germe cristallin sont les facteurs clés pour la fabrication d'une couche de silicium cristallin de bonne qualité sur un oxyde. L'épaisseur de la couche monocristalline est définie par l'étape de planarisation. Le procédé d'épitaxie latérale assisté au laser a permis l'empilement de mémoires SRAM aux performances proches d'un SRAM SOI planaire. Ceci témoigne d'une haute qualité des zones cristallisées.

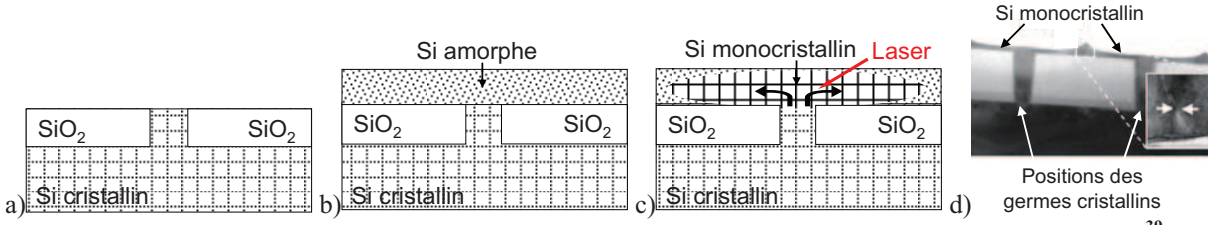


Figure I - 27 : a) Représentation schématique de la croissance épitaxiale en phase liquide au laser[39]. b) Images TEM d'un film en silicium synthétisé par croissance épitaxiale.

La fabrication de transistors sur couche mince (Thin-Film Transistor - TFT), sur trois niveaux a été réalisée par Samsung (Fig.I-28). Pour l'empilement des cellules SRAM sur plusieurs niveaux, des couches de silicium monocristallin ont été synthétisées sur des couches isolantes (ILD) par épitaxie latérale assistée par laser. La couche en silicium monocristallin a été obtenue à faible budget thermique (compatible avec l'intégration 3D) en irradiant un film en silicium amorphe au laser, suivie d'une planarisation par CMP. Un faible budget thermique est nécessaire pour la fabrication des transistors sur les niveaux supérieurs. A cette fin, l'oxyde de grille est déposé par plasma. Le procédé d'intégration a été appelé S^3 pour « Stacked Single-Crystal Silicon ».

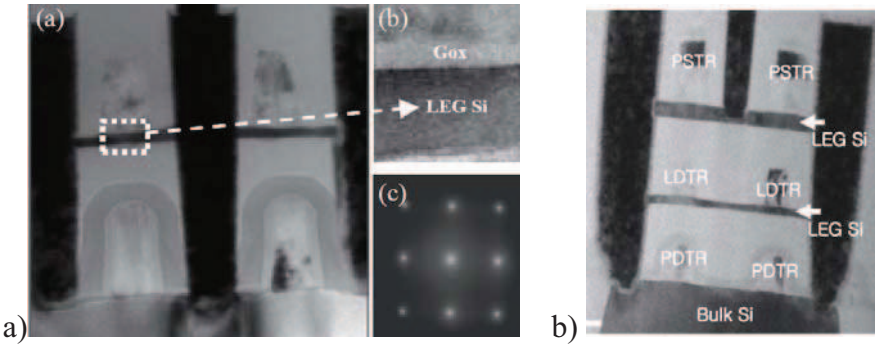


Figure I - 28 : a) Images TEM (cross-section) de 2 niveaux de transistors empilés. L'image TEM en haute résolution confirme la bonne qualité cristalline du canal en Si fabriqué par LEG. b) Image TEM de 3 niveaux de composants SRAM (avec un procédé de litho de 193nm)[39].

L'utilisation d'un germe cristallin permet de contrôler l'orientation de la couche mince synthétisée par épitaxie. Cependant, il représente un inconvénient important en terme de

place, et d'accès au substrat. Diverses techniques ont été développées pour synthétiser du silicium monocristallin sans utiliser de germe cristallin.

2.2.2.2 Les procédés sans germe cristallin

➢ *Recristallisation laser*

Des recherches se sont positionnées sur la recristallisation de silicium amorphe. Ce procédé consiste à déposer du silicium amorphe (généralement par CVD) sur un substrat en oxyde (amorphe), puis à le cristalliser. L'étape de cristallisation nécessite une source d'énergie importante, soit par recuit (four tubulaire ou RTA), soit par laser, permettant la structuration du silicium déposé. Cette technique ne peut pas créer du silicium monocristallin, mais permet d'obtenir du silicium polycristallin. Selon cette approche, des transistors à effet de champ sont intégrés sur ces films minces en silicium poly-crystallin (Fig.I-29). Ces transistors, appelés TFT (Thin Film Transistor), ont une très faible mobilité de surface et possèdent une tension de seuil élevée, à cause de la présence des joins de grains dans la zone active (canal de conduction). De plus, l'utilisation d'une température largement supérieure à 600°C (~900°C) indispensable pour la cristallisation, est incompatible avec l'intégration 3D, car ceci pourrait affecter défavorablement les dispositifs des couches inférieures. Toutefois, l'utilisation du laser permet la recristallisation du silicium amorphe (en quelques dizaine de nanosecondes), sans effectuer de recuit à une température trop élevée.

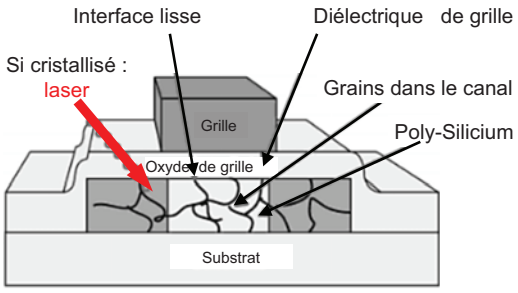


Figure I - 29 : Schéma d'un transistor intégré à partir d'une couche en Si amorphe cristallisé[10].

La cristallisation produit du silicium polycristallin constitué de grains de petites tailles (inférieurs au micron). Néanmoins, il a été démontré qu'un dépôt métallique sur une couche de silicium amorphe réduit de façon significative la température de cristallisation et augmente la taille des grains.

➢ *Recristallisation en phase solide induite par métal : MILC*

La cristallisation latérale induite par métal (MILC) est une technique qui permet la croissance latérale de grains cristallins en utilisant une température relativement basse (< 600°C). Une approche efficace à partir d'un germe en nickel (Ni) est détaillée ci-dessous (Fig.I-30). Elle s'effectue en plusieurs étapes, tout d'abord une couche de silicium amorphe est déposée par LPCVD (Low Pressure Chemical Vapor Deposition) à basse température sur une couche amorphe. La recristallisation latérale de silicium amorphe induite par un germe de Ni déposé dans une petite fenêtre, est effectuée par recuit entre 500°C et 550°C[40]. Des procédés ont été développés afin d'obtenir des grains monocristallins de plusieurs microns de côté[41]. Ce procédé MILC produisant du silicium polycristallin est très utilisé pour la fabrication des TFTs[42], et pourrait compatible avec une intégration 3D.

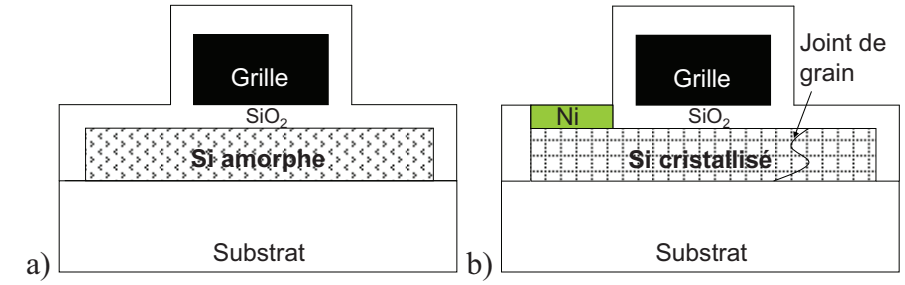


Figure I - 30: Schémas illustrant un transistor fabriqué à partir de Si amorphe (a), puis la cristallisation du Si grâce à un germe métallique (b) [10].

Le procédé MILC produisant du silicium polycristallin, il faut noter que la qualité cristalline du silicium agit sur les performances électriques des transistors. Un monocristal peut être obtenu sans utiliser un germe cristallin grâce à une technique de confinement décrite ci-après.

➢ *Recristallisation µ-czochralski*

Cette technique utilise un « filtre à grains » en fabriquant une cavité (trou) de petit diamètre dans une couche isolante (SiO_2). Cette cavité est ensuite remplie de silicium amorphe (par CVD à T>350°C). Après l'irradiation laser, un germe cristallin se forme au fond de la cavité. La croissance cristalline commence verticalement et bénéficie de l'effet du confinement pour produire un seul grain[43]. Lorsque le grain atteint le haut de la cavité, la recristallisation continue latéralement. Ainsi, à proximité de l'ouverture supérieure de la cavité, un grain monocristallin est formé (Fig.I-31).
Ce procédé est utilisé pour la fabrication de TFT de haute performance. En effet, des TFT fabriqués sur un grain monocristallin ont une mobilité d'électrons relativement élevée[44] (600cm²/V.s). Cependant cette technique ne contrôle pas l'orientation cristalline du silicium. Seul le collage moléculaire permet l'obtention de couche mince silicium monocristallin de haute qualité en contrôlant l'orientation cristalline à l'échelle du wafer.

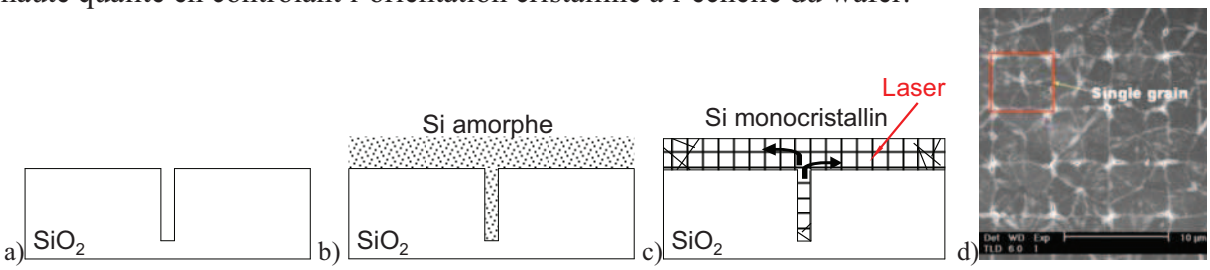


Figure I - 31 : Recristallisation µ-czochralsk :
a) Trou de petit diamètre dans un substrat amorphe. b) Dépôt de silicium amorphe. c) Recristallisation au laser. d) Image MEB (vue de dessus) de plusieurs grains monocristallin formés sur un substrat amorphe[45].

➢ *Report de silicium par collage direct*

Le report de silicium par collage est une technique de collage moléculaire permettant la superposition de couches monocristallines et diélectriques. Cette technique consiste à coller un substrat en silicium massif sur un autre substrat contenant des composants actifs (reliés par des interconnexions et recouverts d'une couche diélectrique). Afin d'obtenir une couche de silicium relativement fine, une étape d'amincissement par CMP sur le substrat rapporté est nécessaire. Cette étape d'amincissement peut être évitée en reportant un substrat SOI à la place d'un substrat en silicium bulk (silicium massif) (Fig.I-32). Ce transfert par collage permet d'obtenir une fine couche en silicium monocristallin de très haute qualité sur un

substrat amorphe à une température compatible avec l'intégration 3D (sans dégrader les transistors des niveaux inférieurs). Ce procédé a déjà été utilisé avec succès pour l'intégration de transistors MOS sur deux niveaux[46], et pour la réalisation de photodiodes illuminées en face arrière.

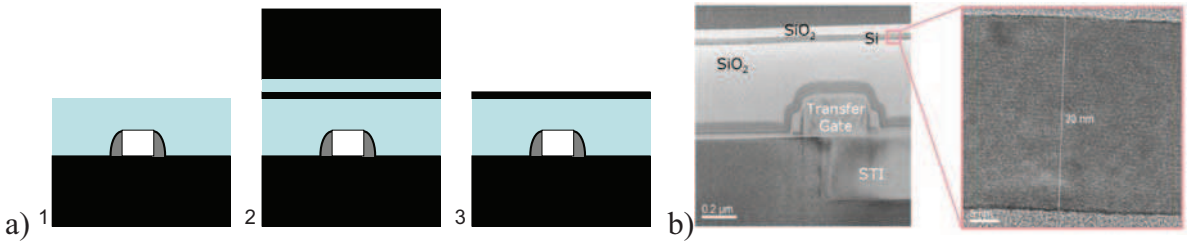


Figure I - 32 : a) Schémas décrivant le transfert d'un substrat SOI par collage direct sur un substrat contenant un circuit CMOS, et l'amincissement du substrat reporté. b) Image TEM en vue de coupe après de transfert d'un substrat SOI, mettant en évidence la haute qualité cristalline du Si collé sur une couche de SiO_2[22]. [22]

L'intégration 3D a été démontrée par collage de wafer SOI et GeOI (Fig.I-33-a). Les transistors MOSFET du deuxième niveau (sur Si ou Ge, avec des longueurs de grille de 50nm) ont été entièrement réalisés à une température inférieure à 600°C afin de conserver les performances des transistors MOS du premier niveau (Fig.I-33-b). La réalisation de transistors sur deux couches permet une amélioration de la densité par rapport à une intégration 2D standard[47].

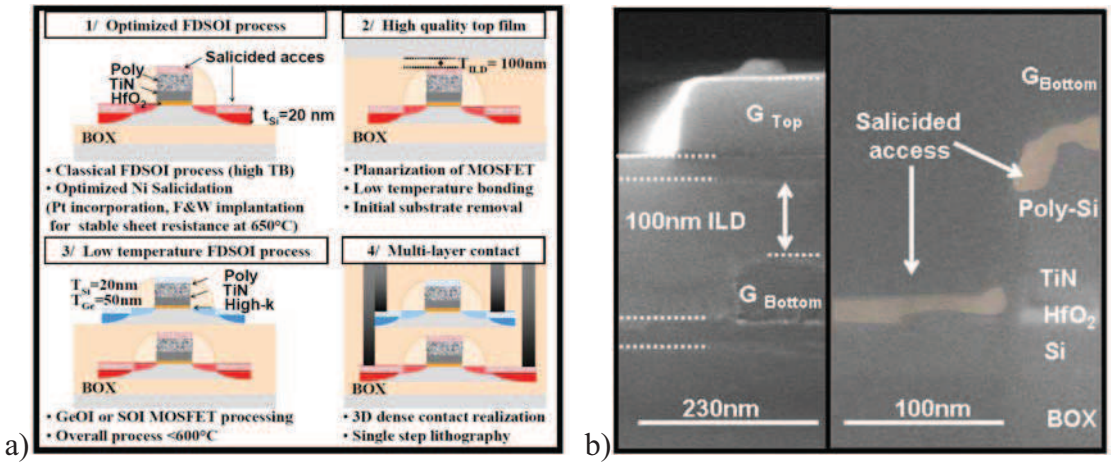


Figure I - 33 : a) Schémas représentant les étapes principales de l'intégration 3D. b) Image SEM (vue de coupe) de transistors empilés[47].

Ainsi, le collage moléculaire d'un substrat SOI est un bon candidat pour l'intégration de transistors sur des niveaux supérieurs.

➢ *CVD catalytique*

La CVD catalytique, plus connu sous le nom de croissance VLS (Vapeur Liquide Solide), permet la synthèse de nanofils en silicium monocristallin à partir d'un substrat amorphe. Le mécanisme de croissance sera étudié en détail dans le chapitre 2. Des transistors ont été fabriqués sur un substrat diélectrique en déposant ces nanofils en silicium sur des contacts métalliques (Fig.I-34). Ainsi, il serait possible d'intégrer des transistors à base de nanofils en silicium au dessus d'un circuit sans avoir recourt à un germe cristallin et sans exposer le circuit du premier niveau à un budget thermique élevé. Cependant la technique de dépôt des

nanofils sur un autre substrat ne permet pas d'alignement et n'est donc pas une technique applicable pour fabriquer des circuits 3D.

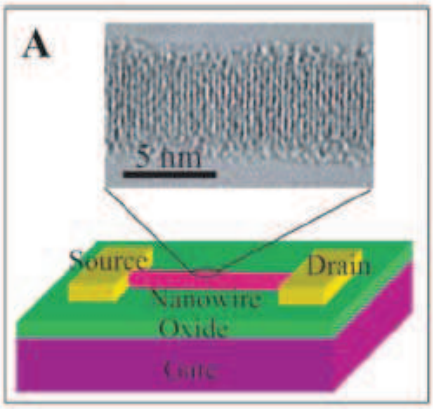


Figure I - 34 : Schéma et photo TEM illustrant un transistor à base d'un nanofil en Si cristallin sur un substrat amorphe[48].

La croissance VLS est une technique de plus en plus utilisée pour les composants nanoélectronique, incluant les transistors à effet de champ. Dans les paragraphes suivants, les avantages et inconvénients de cette méthode par rapport à l'intégration 3D seront étudiés plus en détail.

2.3 La croissance VLS et l'intégration 3D

Notre objectif final est d'obtenir une couche mince de silicium monocristalline sur un substrat amorphe afin d'intégrer des transistors sur un diélectrique. La croissance VLS a été choisie pour générer un film monocristallin sur une couche amorphe, car ce procédé présente l'avantage de synthétiser des nanofils en silicium de haute qualité cristalline sans utiliser de germe cristallin, tout en contrôlant la position et le diamètre à l'aide du catalyseur.

2.3.1 Les avantages de la croissance VLS pour l'intégration 3D

2.3.1.1 Silicium de haute qualité cristalline

Pour l'intégration 3D, dans les niveaux supérieurs, la reprise de croissance épitaxiale n'est pas possible. Si l'on veut utiliser un substrat cristallin en amorce de croissance, il faut effectuer des gravures profondes pour accéder au substrat en silicium ce qui impose de nombreuses contraintes en terme de dessin de masques et de procédé. Par conséquent, la possibilité de synthétiser un matériau cristallin sans germe est primordiale pour l'intégration 3D. D'autre part, le caractère monocristallin des couches formées par VLS est très important pour l'intégration de transistors MOS. En effet, la présence de joints de grain dans le canal de conduction entraîne une diminution de la mobilité des porteurs et donc dégrade les performances des transistors. De nombreuses analyses TEM de nanofils ont mis en évidence la haute qualité cristalline des nanofils de silicium[49].

2.3.1.2 Température de synthèse inférieure à 600°C

L'empilement de plusieurs niveaux de transistors impose des contraintes thermiques lors de l'intégration des niveaux supérieurs. En effet, la première couche de transistors doit subir les différents budgets thermiques nécessaires à l'intégration des composants des niveaux supérieurs. Si le budget thermique est trop élevé les transistors des niveaux inférieurs seront

dégradés, car la diffusion des dopants et l'agglomération du siliciure seront activés. Les techniques avancées actuelles utilisent du siliciure de nickel qui s'agglomère à partir de 700°C. De façon générale, les transistors ne sont pas affectés par la température si elle est inférieure à 700°C. Par contre, si la température excède 700°C, la tension seuil, le courant de fuite sous le seuil et les résistances de contacts sont susceptibles d'être dégradés. D'autre part, la température utilisée pour la croissance VLS doit être supérieure à la température eutectique imposée par le catalyseur. En utilisant l'or, la température eutectique Au-Si est de 363°C (Fig.II-2-b). De longs fils en silicium avec un bon rendement sont obtenus généralement à 500°C qui est une température compatible avec l'intégration 3D.

2.3.1.3 Contrôle précis de la localisation et du diamètre

Pour l'intégration de transistors, la position et les dimensions des zones actives de silicium doivent être déterminées précisément afin de permettre l'alignement des trois électrodes (grille, source et drain). En croissance VLS, la localisation et le diamètre des nanofils de silicium sont contrôlés par les dimensions du catalyseur[50]. De nombreux procédés ont été développés sur le positionnement de particules catalytiques, ces techniques de localisation seront présentées dans le paragraphe 2.3 du chapitre II.

2.3.2 Les inconvénients de la croissance VLS

La croissance VLS présente un défaut majeur pour l'intégration de transistors : l'utilisation nécessaire d'une impureté (catalyseur) métallique, pouvant mener à une dégradation des propriétés de transport dans les semi-conducteurs.

2.3.2.1 Contamination métallique : Diffusion de l'alliage Au_xSi_y liquide

La croissance VLS à base d'un catalyseur métallique incorpore de façon non intentionnelle des impuretés dans le silicium. Hanon et ses collaborateurs ont mis en évidence la diffusion de l'Au le long des fils provoquant des problèmes de contaminations[51] (Fig.I-35). En effet, au cours de la croissance ces particules métalliques sont sous forme d'alliage avec le précurseur à l'état liquide, facilitant la diffusion de l'espèce métallique le long des nanofils. Le vide très poussé favorise la diffusion de l'or, mais plusieurs facteurs limitant ont été identifiés, tel que : l'ajout d'oxygène[52], la pression partielle du silane[53] et la température[54]. La présence de métal est un inconvénient majeur pour l'utilisation de nanofils semi-conducteurs. Le fait que l'or soit un élément chimique stable rend le nettoyage des échantillons et des équipements difficile, augmentant donc le problème de la présence des impuretés. S'il est envisageable d'enlever des résidus métalliques présents à la surface des nanofils par gravure chimique, il serait impossible d'éliminer chimiquement des impuretés volumiques. Il existe des procédés qui enlèvent les impuretés métalliques, ces techniques sont appelées « gettering ». L'or peut être retiré soit par diffusion de phosphore (P) soit en créant des dislocations (par implantation ionique, ou méthode mécanique)[55]. La diffusion du P permet de retirer l'Au de façon très efficace, en formant un complexe Au-P. Ce complexe, chargé négativement, augmente de la solubilité de l'or[56]. Quant à la création de dislocation, elle agit comme des centres de piégeage (« trapping ») ou comme des sites de précipitation pour la diffusion d'Au interstitiel.

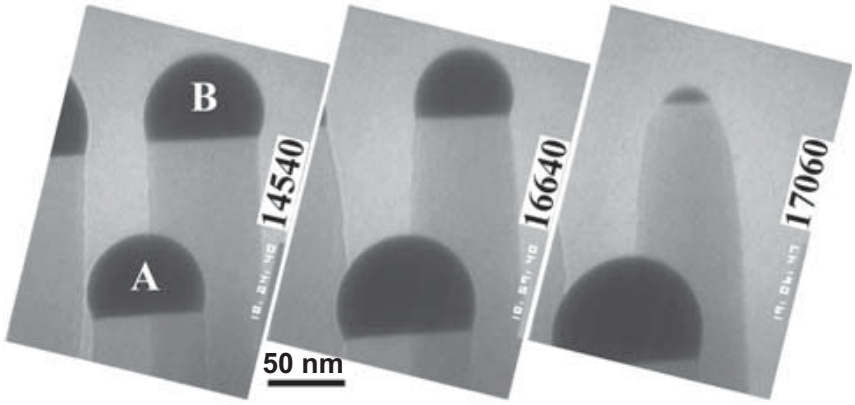


Figure I - 35 : Images TEM prises pendant la croissance des nanofils Si (655°C, Si_2H_6=10^{-6}Torr). [51]

2.3.2.2 Création des niveaux profonds dans le silicium liés à la présence d'Au

La présence d'or dans les nanofils en silicium est susceptible de détériorer les performances des dispositifs intégrés à partir de ce semiconducteur formé par VLS. En effet, l'or crée des niveaux d'énergie au milieu du gap du silicium (Fig.I-36-a), appelé niveaux profonds, favorisant la recombinaison pour les électrons et les trous[57], augmentant ainsi les courants de fuite des transistors.

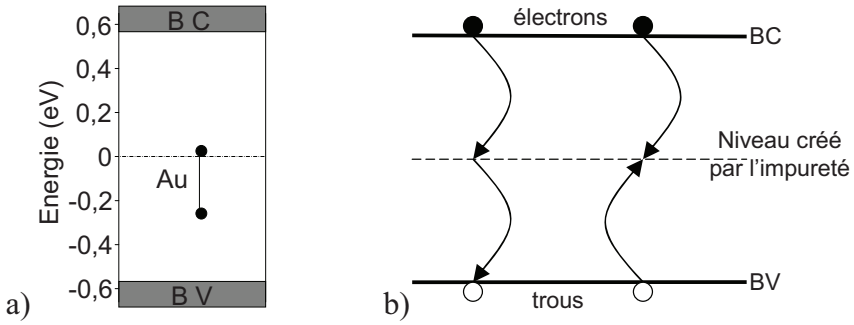


Figure I - 36 : a) Energie de ionisation de l'Au dans la bande interdite de silicium (1,12eV) à la température minimum de croissance de nanofils de Si par VLS (~370°C)[58].
b) Représentation schématique de la recombinaison assistée par les pièges.

De façon générale, la recombinaison assistée par les pièges (« traps ») se produit quand un électron de la bande de conduction (BC) tombe dans le niveau créé par l'impureté. Une fois que le piège est pris, il ne peut accepter d'autres électrons. Les électrons occupant l'énergie du piège, peut soit tomber dans la bande de valence (BV), soit se recombiner avec un trou dans le piège. (Fig.I- 36-b). La recombinaison des porteurs de charges affecte leur temps de vie, qui est définit par l'expression suivante :

$$\tau = \frac{\Delta n}{U}$$

Avec U la vitesse de recombinaison, et Δn la densité de porteurs en excès (électrons ou trous).

2.3.2.3 Interdiction d'accès de l'Au en microélectronique (FEOL)

Dans l'industrie microélectronique, la présence de métal est formellement interdite au cours de la fabrication de transistors (FEOL). Certains métaux sont introduits lors de la fabrication des contacts est des interconnexions, comme le cuivre, le platine, l'aluminium... Par contre, l'or n'est jamais utilisé quelques soient les étapes de fabrication. Il est interdit dans

les salles blanches de microélectronique car l'or diffuse très facilement dans le silicium et présente donc des risques de contamination et de dégradation des dispositifs.

2.3.2.4 Orientation des nanofils de silicium non contrôlée sur substrat amorphe

L'orientation des fils synthétisés par VLS sur un substrat plan, dépend directement de la direction cristallographique de croissance. Si la croissance est effectuée sur un substrat cristallin, la croissance épitaxiale est guidée par l'orientation cristalline du substrat. Par exemple, si le substrat utilisé est du silicium (111), les nanofils de silicium orientés <111> sont en majorités perpendiculaires au substrat (Fig.II-37-a). Par contre, si le substrat est amorphe (ou si le substrat cristallin est recouvert d'une couche d'oxyde natif), des nanofils de silicium cristallin sont orientés de façon aléatoire[59] (Fig.II-37-b). Afin de contrôler l'orientation des fils à partir d'un substrat amorphe, l'utilisation de gabarits de guidage devient indispensable. Le contrôle de l'orientation des nanofils est expliqué plus en détail dans le troisième chapitre (chp.III §1.2).

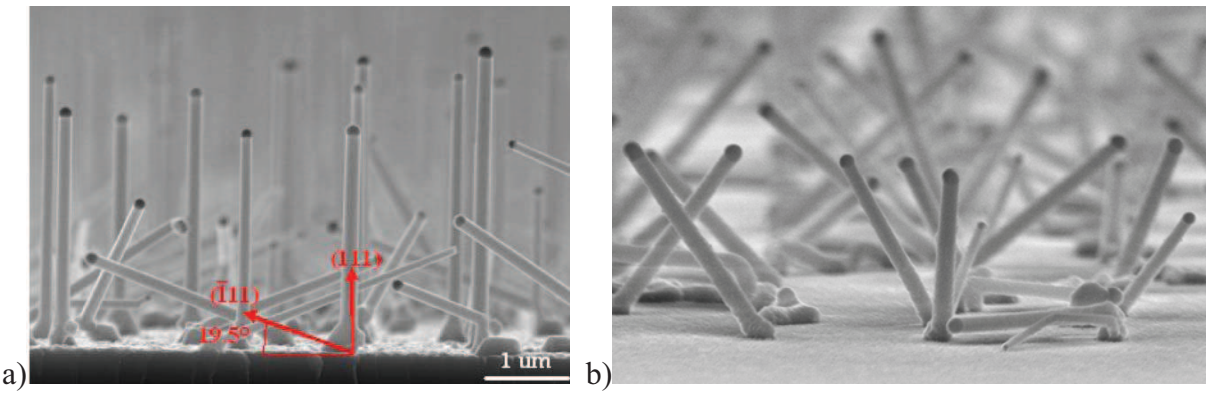


Figure I - 37: Influence du substrat sur l'orientation des nanofils :
a) Images MEB de nanofils Si synthétisés (par Tao) sur un substrat Si (111) désoxydé[60].
b) Image MEB inclibée de nanofils Si synthétisés sur une couche d'oxyde.

2.3.2.5 Positionnement des nanofils de silicium horizontalement

La technique de localisation de nanofils la plus répandue est le report. Plus précisément, les nanofils sont synthétisés verticalement sur un substrat puis sont détachés et dilués dans un solvant, et sont ensuite déposés horizontalement sur un autre substrat (Fig.I-38). Différentes techniques de positionnement ont été développées (cf. Ch.III §1.1). Cependant, le fait de séparer le procédé de croissance et la technique de localisation n'est pas compatible avec le milieu industriel.

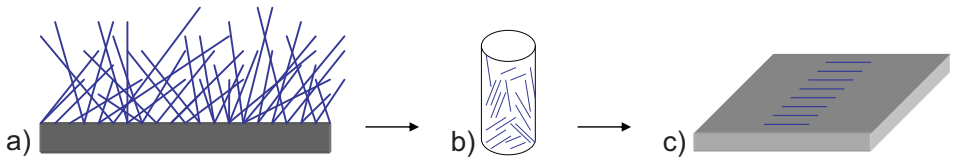


Figure I - 38 : Représentation schématique de report de nanofils : a) Nanofils synthétisé sur un substrat plan. b) Nanofils dispersés dans un solvant. c) Nanofils organisés sur un autre substrat

Malgré tous les inconvénients présentés ci-dessus, la croissance VLS présente des avantages incontestables par rapport aux méthodes existantes.

2.3.3 Les avantages de la VLS par rapports aux autres techniques

2.3.3.1 Récapitulatif des différents procédés

Comme nous l'avons vu, il existe différentes techniques pour obtenir du silicium cristallin sur un substrat amorphe. Les spécificités de chaque technique sont présentées dans le tableau ci-dessous. Les principaux inconvénients de chaque procédé y sont également mis en évidence. Ils concernent essentiellement la température, et la qualité structurale (dans le cas de la cristallisation, MILC, et SPE). La nécessité d'un germe cristallin fait également parti des inconvénients (concernant le SPE, LPE). D'autre part, la CVD catalytique de nanofils est un bon candidat (pas de germe cristallin, 500°C, Si monocristallin), même si le problème de positionnement des nanofils représente un point bloquant. Ainsi, le collage moléculaire se présente comme la technique la plus appropriée pour l'intégration 3D séquentielle.

Procédés	Etapes	Germe cristallin	Température	Qualité structurale	Exemples d'appications
SEG-ELO	- LPCVD + HCl - CMP	**Oui**	650-**950°C**	Monocristallin	- SRAM - Inverseur CMOS empilé
SPE	- Dépôt Si-a par CVD - Cristallisation : recuit de plusieurs heures	**Oui**	300-350°C 600°C	Monocristallin	- BiCMOS
LPE	- Dépôt Si-a par CVD - Cristallisation : laser - CMP	**Oui**	300-350°C	Monocristallin	- Empilement de 3 niveaux SRAM
Cristallisation	- Dépôt Si-a par CVD - Cristallisation : laser	Non	500°C	**Poly-cristallin**	- TFT - Inverseur CMOS
MILC	- Dépôt Si-a par CVD - Dépôt métal (Ni) - Recuit (10-20h)	Non	500°C 500-550°C	**Poly-cristallin** à larges grains (pusieurs µm)	- TFT
µ-czochralski	- Dépôt Si-a par CVD - Cristallisation : laser	Non	500°C	Monocristallin **Orientation non contrôlée**	- TFT de haute performance
Collage moléculaire de substrat Si ou SOI	- Collage de Si ou SOI sur SiO_2. - Amincissement du substrat reporté.	Non	200°C	Monocristallin de haute qualité	- Transistors - SRAM - Capteur d'image - 2 niveaux de TMOS
CVD catalytique de nanofils	- Croissance de NW - **Report de NW sur substrat plan**	Non	450-500°C	Monocristallin **Orientation non contrôlée** **Impuretés métalliques**	- TMOS à base de NW

Figure I - 39 : Tableau récapitulatif des procédés de synthèse de Si cristallin sur un substrat amorphe.

Les avantages de la CVD catalytique par rapport aux autres procédés seront détaillés dans le paragraphe suivant.

2.3.3.2 Croissance VLS : un Procédé flexible

La croissance VLS a des avantages notables par rapport aux techniques existantes. Tout d'abord, elle ne nécessite pas de germe cristallin contrairement aux croissances épitaxiales (ELO, SPE, LPE). D'autre part, cette méthode produit du silicium monocristallin

(absence de joints de grain) sur un substrat entièrement amorphe, en opposition au procédé de recristallisation MILC. Et enfin, c'est un procédé beaucoup moins onéreux que le collage direct, car ne nécessite pas un substrat supplémentaire ni d'un traitement spécifique de la surface.

Pour finir, le principal avantage de la croissance VLS est sa flexibilité en terme de géométrie (nanofils de quelques dizaine nanomètres à plus centaine de nanomètres), de matériaux (Si, Ge, GaAs, InP, CNT, avec ou sans dopage…), et de substrat (cristallin ou amorphe : SiO_2, SiN, SiC, quartz…)

CONCLUSION DU CHAPITRE I

L'intégration 3D, à l'échelle des circuits intégrés ou au niveau des transistors, se présente comme une solution complémentaire à la miniaturisation, car en plus d'augmenter la densité d'intégration et de réduire la longueur des interconnexions, elle permet l'intégration de technologies hétérogènes. Dans cette thèse, nous nous focaliserons sur l'intégration 3D séquentielle permettant de créer une densité d'interconnexions verticales importante, avec un alignement précis comparable à celui obtenu en intégration MOS Front End Of the Line. Toutefois, deux problèmes majeurs interviennent au cours de la réalisation de couches actives successives. Le premier est la complexité du dessin de masque qui doit intégrer à la fois les zones actives et la topologie des niveaux d'interconnexions. La deuxième difficulté réside dans le procédé de fabrication. Cette dernière inclut la formation de couches actives en silicium monocristallin sur un diélectrique, et la contrainte en température ($\leq 500°C$) pour ne pas détériorer les transistors MOS déjà réalisés aux niveaux inférieurs. Plusieurs procédés pour synthétiser du silicium cristallin sur une couche amorphe ont été développés. Le plus compatible avec l'intégration 3D est le collage moléculaire car il permet l'empilement de silicium monocristallin de haute qualité à basse température (200°C), mais il est très onéreux. Ensuite, les croissances épitaxiales permettent également l'empilement de transistors MOS, mais nécessitent un germe cristallin. Enfin, la dernière technique compatible est la recristallisation, mais produit généralement du poly-cristallin dégradant les performances des transistors. Nous proposons donc, dans les chapitres suivants, une solution alternative pouvant être utilisée pour l'intégration 3D de transistors MOS : la croissance CVD catalytique (ou VLS) de nanofils silicium monocristallin. L'intérêt de cette méthode réside dans la flexibilité vis-à-vis du substrat, des matériaux et des dimensions. Ses principaux inconvénients sont le positionnement de nanofils horizontaux, indispensable pour l'intégration de transistors, et la diffusion de l'or. Ainsi, nous allons concentrer nos travaux sur la croissance VLS guidée à l'intérieur de cavités horizontales et sur l'utilisation potentielle d'un catalyseur alternatif à l'or. L'objectif est de faire croître des nanolames (2D) dont leurs dimensions et leur positionnement seront contrôlés par les cavités, et ensuite de démontrer la compatibilité avec l'intégration MOS.

Références

[1] **H. Mathieu**
« Physique des semi-conducteurs et des composants électroniques », 2° édition, Masson, 1990.

[2] **S.M. Sze**
« Physics of semiconductor devices », Wiley-interscience publication, 1936.

[3] **T. Skotnicki, F. Boeuf**
« Introduction à la physique du transistor MOS », STMicroelectronics.

[4] **G. Larrieu**
Thèse : « Elaboration et caractériastion de transistors MOS Schottky en régime nanométrique », IEMN, 2004.

[5] **C.M. Osburn, K.R. Bellur**
« Low parasitic resistance contacts for scaled ULSI devices », Thin Solid Films, Vol 332, 1998.

[6] **Y.C. Yeo, T.J. King, C. Hu**
« Deirect tunneling leakage current and scability of alternative gate dielectrics », APL, Vol 81, 2002.

[7] **R.H. Havemann, J.A. Hutchby**
« High-performance interconnects : An integration overview », Proceedings of the IEEE, Vol.89, No.5, 2001.

[8] **J.A. Davis, R. Venkatesan, A. Kaloyeros, M. Beylansky, S.J. Souri, K. Banerjee, K.C. Saraswat, A. Rahman, R. Reif, J.D. Meindl**
« Interconnects limits on gigascale integration in the 21st century », proceeding of IEEE, Vol 89, 2001.

[9] **D. Shamiryan, T. Abell, F. Iacopi, K. Maex**
« Low-k dielectric materials », Materialstoday Review feature, 2004.

[10] **C.P. Wong, Daniel Lu editor**
« Materials for advanced packaging », « 3D Integration Technologies – An Overview », Springer, 2009.

[11] **D.S. Gardner, J.D. Meindel, K.C. Saraswat**
« Interconnection and electromigration scaling theory », Electron Device IEEE, Vol.34, 1987.

[12] **K.N Tu**
« Recent advanced on electromigration in very-large-scale-integration of interconnects », J. Appl. Phys., Vol.94, No.9, 2003.

[13] **M. Ieong, K.W. Guarini, V. Chan, K. Bernstein, R. Joshi, J. Kedzierski, W. Haensch**
« Three dimensional CMOS devices and integrated circuits », Custom integrated circuit conference IEEE, 2003.

[14] **W. Rhett Davis, J. Wilson, S. Mick, J. Xu, H. Hua, C. Mineo, A.M. Sule, M. Steer, P.D. Franzon**
« Demystifying 3D ICs: The pros and cons of going vertical », IEEE Design & Test computer, 2005

[15] **P. Ramm, A. Klumpp, R. Merkel, J. Weber, R. Wieland, A. Ostmann, J. Wolf**
« 3D system integration technology », Mat. Res. Soc. Symp. Proc., Vol.766, 2003.

[16] **E. Beyne, B. Swin**
« 3D systemes integration technologies », ICICDT-IEEE, 2007.

[17] **D. Henry, N. Sillon, D. Belhcheni, C. Brunet-Manquet, C. Puget, G. Ponthenier**
« Silicon through vias for system-on-wafer (SoW) : technology and SiO_2 insulator layer characterization »,

Electronics Systemintegration Technology Conference, Vol.1, 2006.

[18] **J.U. Knickerbocker, P.S. Andry, B. Dang, R.R. Horton, C.S. Patel, R.J. Polastre, K. Sakuma, E.S. Sprogis, C.K. Tsang, B.C. Webb, S.L. Wright**
« 3D silicon integration », ECTC, 2008.

[19] **A.W. Topol, D.C. La Tulipe, L. Shi, D.J. Frank, K. Bernstein, S.E. Steen, A. Kumar, G.U. Singco, A.M. Young, K.W. Guarini, M. Ieong**
« Three-dimensional integrated circuits », IBM J. Res. & Dev., Vol 50, 2006.

[20] **K. Bernstein, P. Andry, J. Cann, P. Emma, D. Greenberg, W. Haensch, M. Ignatowski, S. Koester, J. Magerlein, R. Puri, A. Young**
« Interconnects in the third dimension : Design challenges for 3D ICs »,

[21] **J.Q. Lu, K. Rose, S. Vitkavage**
« 3D integration: Why, What, Who, When? », Futre Visions and Current Concerns, Section1.

[22] **P. Coudrain, P. Batude, X. Gagnard, C. Leyris, S. Ricq, M. Vnet, A. Pouydebasque, N. Moussy, Y. Cazaux, B. Giffard, P. Magnan, P. Ancey**
« Setting up 3D sequential integration for back-illuminated CMOS image sensors with highly miniaturized pixels with low temperature fully depleted SOI transistors », IEDM, 2008.

[23] **Y-C. Tseng, P. Xuan, A. Javey, R. Malloy, Q. Wang, J. Bokor, H. Dai**
« Monolithic integration of carbon nanotube devices with silicon MOS technology », NanoLetters, Vol.4, 123-126, 2004.

[24] **J.H. Ahn, H.S. Kim, K.J. Lee, S. Jeon, S.J. Kang, Y. Sun, R.G. Nuzzo, J. Rogers**
« Heterogeneous three-dimensional electronics by use of printed semiconductor nanomaterials », Sience, Vol.314, 2006.

[25] **P. Coudrain**
« Rapport bibliographique : Un imageur APS intégré en 3D », STMicroelectronics-Crolles, 2006.

[26] **P.R. Morrow, C.M. Park, S. Ramanathan, M.J. Kobrinsky, M. Harmes**
« Three-dimensional wafer stacking via Cu-Cu bonding integrated with 65-nm strained-Si/low-k CMOS technology », IEEE Electron Device Letters, Vol 27, 2006.

[27] **A.W. Topol, D.C. La Tulipe, L. Shi et al.**
« Enabling SOI-based assembly technology for 3D ICs », Electron Devices Meeting, IEDM, 2005.

[28] **P. Batude, M. Vinet, A. Pouydebasque, L. Clavelier, C. LeRoyer, C. Tabone, B. Previtali, L. Sanchez, L. Baud, A. Roman, V. Carron, F. Nemouchi, S. Pocas, C. Comboroure, V. Mazzocchi, H. Grampeix, F. Aussenac, S. DEleonibus**
« Enabling 3D monolithic integration », ECS, Vol.16, 2008.

[29] **J.P. Denton, G.W. Neudeck**
« Fully depleted dual-gate thin-film SOI P-MOSFET's fabricated in SOI island with an isolated buried polysilicon backgate», IEEE Electron Device Letters, Vol.17, 1996.

[30] **S. Pae, T. Su, J.P. Denton, G.W. Newdeck**
« Multiple leayers of silicon-on-insulator islands fabrication by selective epitaxial growth», IEEE Electron Device Letters, Vol.20, 1999.

[31] **I. Jozwik, J.M. Olchowik**
« Analysis of the processes of silicon epitaxial lateral overgrowth in Ar ambient gas », Materials Science-Poland, Vol 24, 2006.

[32] **H.S. Wong, K.K. Chan, Y. Lee, P. Roper, Y. Taur**

« Fabrication of ultrathin, highly uniform thin-film SOI MOSFET's with low series resistance using pattern-contrained epitaxy », IEEE TED, Vol.44, 1997.

[33] **R.P. Zingg, B. Höfflinger, G.W. Neudeck**
« High-quality stacked CMOS inverter », IEEE electron device letters, Vol 11, 1990.

[34] **S.M. Jung, H. Lim, C. Yeo, K. Kwak, B. Son, H. Park, J. Na, J.J. Shim, C. Hong, K. Kim**
« High speed and highly cost effectiv 72M bit density S^3 SRAM technology with doubly stacked Si layers, peripheral only $CoSi_x$ layers and tungsten shunt W/L/ scheme fir standalone and embedded memory », IEEE symposium on VLSI Technology Digest of Technical Papers, 2007.

[35] **H. Liu, M. Kumar, J.K.O. Sin**
« A novel BiCMOS technology using selective epitaxy growth and lateral solid phase epitaxy », IEEE IEDM, 2001.

[36] **V. Subramanian, P. Dankoski, L. Degertekin, B.T. Khuri-Yakub, and K.C. Saraswat**
« Controlled two-step solid-phase crystallization for high performance polysilicon TFT's », IEE EDL, Vol.18, No.8, 1997.

[37] **I. Jozwik , J.M. Olchowik**
« The epitaxial lateral overgrowth of silicon by two-step liquid phase epitaxy », J. Crystal Growth, Vol 294, 2006.

[38] **G.W. Neudeck, S. Pae, J.P. Denton, T. Su**
« Multuple layers of silicon-on- insulator for nanostructure devices », J. Vac. Sci. Technol, Vol 17, 1999.

[39] **Y.H. Son, J.W. Lee, P. Kang, M.G. Kang, J.B. Kim, S.H. Lee, Y.P. Kim, I.S. Jung, B.C. Lee, S.Y. Choi, U.I. Chung, J.T. Moon, R.I. Ryu**
« Laser-induced epitaxial growth (LEG) technology for high density 3-D stacked memory with high productuvity », VLSI technology, 2007.

[40] **J. Gu, S.Y. Chou, N. Yao, H. Zandbergen, J.K. Farrer**
« Single-crystal Si formed on amorphous substrate at low temperature by nanopatterning and nickel-induced lateral crystallization », Applied physics letters, Vol 81, 2002.

[41] **J.H. Choi, D.Y. Kim, B.K. Choo, W.S. Sohn, J. Jang**
« Metal induced lateral crystallization of amorphous silicon through a silicon nitride cap layer », Electrochemical and Solid-State Letters, Vol.6, 2003.

[42] **J.H. Yang, C.G. Ahn, I.B. Baek, M.G. Jang, G.Y. Sung, B.C. Park, K. Im, S. Lee**
« Fabrication of n-type Schottky barrier thin-film transistor with channel length and width of 0.1 μm and erbium silicide source/drain », Thin Solid Films, Vol 517, 2009.

[43] **P. C. Van der Wilt, B. D. van Dijk, G. J. Bertens, R. Ishihara, and C. I. M. Beenakker,**
« Formation of location-controlled crystalline islands using substrate-embedded-seeds in excimer-laser crystallization of silicon film », Appl. Phys. Lett., vol. 72, 2001

[44] **V. Rana, R. Ishihara, Y. Hiroshima, D. Abe, S. Inoue, T. Shimoda, W. Metselaar, K. Beenakker**
« Dependence of single-crystalline Si TFT characteristics on the channel position inside a localisation-controlled grain », IEEE TED, Vol.52, 2005.

[45] **N. Saputra, M. Danesh, A. Baiano, R. Ishihara, S. Inoue, N. Karaki, J.R. Long**
« Analog and RF design using the μ-Czochralski single grain TFT technology »

[46] **L. Xue, C.C. Liu, S. Tiwari**
« Multi-layer with buried structures (MLBS): an approach to 3D integration », IEE -SOI conference, 2001.

[47] **P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone, L. Clavelier, S. Michaud, A. Valentian, O. Thomas, O. Rozeau, P. Coudrain, C. Leyris, K. Romanjek, X. Garros, L. Sanchez, L. Baud, A. Roman, V. Carron, H. Grampeix, E. Augendre, A. Toffoli, F. Allain, P. Grosgeorges, V. Mazzochi, L. Tosti, F. Andrieu, J.-M. Hartmann, D. Lafond, S. Deleonibus and O. Faynot.**
« GeOI and SOI 3D monlithic cell integration for high density applications », 2009.

[48] **Y. Cui, Z. Zhong, D. Wang, W.U. Wang, C.M. Lieber**
« High performance silicon nanowire field effect transistors », Nanoletters, Vol 3, 2003.

[49] **Y. Wu, Y. Cui, L. Huynh, C.J. Barrelet, D.C. Bell, C.M. Lieber**
« Controlled growth and structures of molecular-scale silicon nanowires », Nanoletters, Vol 4, 2004.

[50] **Y. Cui, L.J. Lauhon, M.S. Gudiksen, J. Wang, C.M. Lieber**
« Diameter-controlled synthesis of single-crystal silicon nanowires », APL, Vol 78, 2001.

[51] **J.B. Hannon, S. Kodambaka, F.M. Ross, R.M. Tromp**
« The influence of the surface migration" of gld on the growth of silicon nanowires », Nature, Vol 440**,** 2006.

[52] **S. Kodambaka, J.B. Hannon, R.M. Tromp, F.M. Ross**
« Control of Si Nanowire Growth by Oxygen », NAnoLetters, Vol. 6, 2006.

[53] **T. Kawashima, T. Mizutani, T. Nakagawa, H. Torii, T. Saitoh, K. Komori, M. Fujii**
« Control of Surface Migration of Gold Particles on Si Nanowires », NanoLetters, Vol. 8, 2008.

[54] **M.I. den Hertog, J.L. Rouviere, F. Dhalluin, P.J. Desre, P. Gentile, P. Ferret, F. Oehler, T. Baron**
« Control of Gold Surface Diffusion on Si Nanowires », NanoLetters, Vol. 8, 2008.

[55] **J. Wong-Leung, E. Hyun, J.S. Williams**
« Gettering of Au to dislocations and cavities in silicon », APL, Vol 67, 1995.

[56] **D. Lecrosnier, J. Paugam, G. Pelous, F. Richou, M. Salvi**
« Gold gettering in silicon by phosphorous diffusion and argon implantation: mechanisms and limitations », j. Appl. Phys., Vol.52, 1981.

[57] **H.H. Busta, H.A. Waggener**
« Precipitation-induced current and generation-recombination current in intentionally contaminated silicon P^+N junctions », J. Electrochem. Soc., Vol.124, 1977.

[58] **V. Shmidt, J.V. Wittemann, S. Senz, U. Gösele**
« Silicon nanowires: A review on aspects of their growth and their electrical properties », Adv. Mater., Vol.21, 2009.

[59] **A Lugstein, Y J Hyun, M Steinmair, B Dielacher, G Hauer, E. Bertagnolli**
« Some aspects of substrate pretreatment for epitaxial Si nanowire growth », Nanotechnology, Vol 19, 2008.

[60] **X. Tao**
Thèse : « Localized growth and characterization of silicon nanowires ». USTL Lille1, IEMN, 2009.

Chapitre II : La croissance VLS sur un substrat plan amorphe

INTRODUCTION 44

1 PRINCIPE DE LA CROISSANCE VLS (VAPEUR LIQUIDE SOLIDE) 45
1.1 LA CROISSANCE CVD 45
1.2 LA CROISSANCE VLS (OU CVD CATALYTIQUE) 45

2 LES CATALYSEURS DE CROISSANCE VLS 49
2.1 ETUDE BIBLIOGRAPHIQUE DE DIFFERENT CATALYSEURS 49
2.2 ETUDE EXPERIMENTALE SUR LE DEPOT DES CATALYSEURS 55
2.3 TECHNIQUES DE LOCALISATION DU CATALYSEUR 59
2.4 LES RESULTATS EXPERIMENTAUX SUR LA DEFINITION DES MOTIFS CATALYTIQUES PAR LITHOGRAPHIE ET LIFT-OFF 62

3 LA CROISSANCE CONTROLEE 65
3.1 ETUDE THEORIQUE 65
3.2 ETUDE EXPERIMENTALE DE LA CROISSANCE VLS DE NANOFILS SUR UN SUBSTRAT PLAN 68

4 ETUDE MORPHOLOGIQUE DES NANOFILS 76
4.1 ETUDE BIBLIOGRAPHIQUE DE LA STRUCTURE CRISTALLINE DES NANOFILS 76
4.2 RESULTATS EXPERIMENTAUX SUR LA STRUCTURE CRISTALLINE DES NANOFILS ET LA DIFFUSION DE L'OR 81

CONCLUSION DU CHAPITRE II 88

REFERENCES 89

Introduction

La croissance VLS a été retenue comme méthode de croissance des zones actives supérieures dans une intégration séquentielle verticale. Le mécanisme VLS (Vapeur Liquide Solide) est en effet l'un des seuls procédé permettant d'obtenir du silicium monocristallin sur une couche diélectrique à une température modérée (500°C) sans utiliser de germe cristallin.

Toutefois, l'utilisation d'un catalyseur métallique est indispensable, et de nombreux paramètres (tels que : la température, le débit, la pression, le temps…) rentrent en jeux dans le mécanisme de la croissance VLS.

Dans ce chapitre, nous présenterons une étude détaillée du mécanisme VLS, du choix du catalyseur (or et platine), et de la technique de localisation de celui-ci (définition des motifs par lithographie et lift-off). Parallèlement, les résultats expérimentaux sur le positionnement du catalyseur, et le développement de la recette de croissance sont détaillés et illustrés avec de nombreuses caractérisations réalisées en microscopie électronique.

1 Principe de la croissance VLS (Vapeur Liquide Solide)

1.1 La croissance CVD

Le dépôt chimique en phase vapeur, couramment appelée CVD (Chemical Vapor Deposition) consiste à former des couches minces (épaisseurs comprises entre 10 nm et 10 µm) sur un substrat par décomposition d'un précurseur gazeux à la surface du substrat solide entre 600°C et 1000°C .

Plus précisément, pour déposer une couche mince de silicium sur un substrat, un gaz précurseur composé de silicium (silane ou dichlorosilane) dilué avec un gaz porteur (H_2, ou Ar) est injecté dans une enceinte sous pression contrôlée (réacteur LPCVD), et à une température élevée (> 600°C). Les différentes étapes intervenant au cours d'un dépôt CVD sont décrites succinctement, ci-dessous [1] :

- des gaz précurseurs et porteurs sont injectés dans le réacteur. L'orientation du substrat par rapport à la direction du flux des gaz influence fortement le dépôt.
- les gaz se répartissent dans le réacteur, et s'écoulent vers la sortie en même temps que les gaz réactifs diffusent vers la surface du substrat.
- les gaz précurseurs se décomposent sur toutes les surfaces chauffées. Il existe deux types de réacteurs : à parois froides (seul le substrat est chauffé), et à parois chaude (toute l'enceinte est chauffée).
- le taux de dilution des gaz réactifs avec le gaz porteur influence fortement la répartition des gaz dans la chambre du réacteur. Pour des gaz réactifs faiblement dilués, la formation de particules en phase gazeuse au-dessus du substrat (on parle de germination homogène) est néfaste à la croissance.
- les gaz ayant réagi et le gaz porteur sont évacués du réacteur.

La Fig.II-1 décrit chaque étape se produisant au cours d'un dépôt chimique de silicium (Si) à partir d'une phase vapeur, le silane (SiH_4). Après croissance CVD, un dépôt uniforme est obtenu sur toute la surface du substrat quelque soit son relief, ce type de dépôt est dit « conforme ».

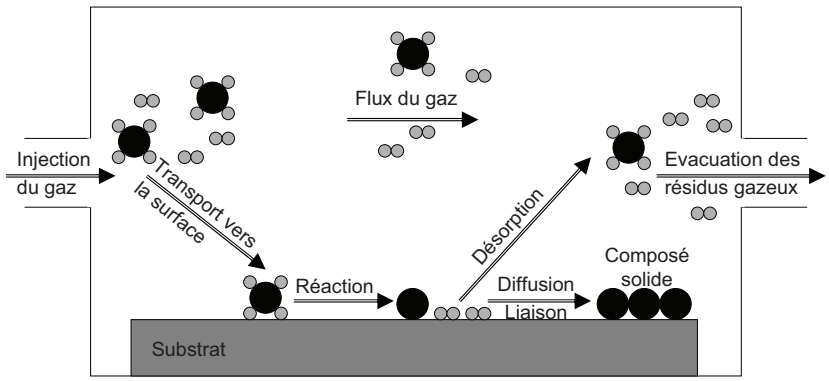


Figure II - 1 : Illustration schématique des étapes d'un dépôt chimique en phase vapeur à partir de silane [2]
: silane, : dihydrogène, : silicium.

1.2 La croissance VLS (ou CVD catalytique)

Lorsqu'un catalyseur (métal) est ajouté sur le substrat chauffé lors de la croissance CVD, le produit de la réaction n'est plus une couche mince, mais de longs fils dont le diamètre dépend de la nature du catalyseur et de sa taille. La croissance CVD catalytique est

plus communément appelée croissance VLS (Vapeur Liquide Solide). Le nom VLS provient de la présence simultanée des trois phases : vapeur, liquide et solide. Le mécanisme VLS par nano-agrégats catalytique représente la méthode la plus performante pour synthétiser des nano-fils semiconducteurs monocristallins en relativement grande quantité avec le contrôle du diamètre, de la longueur et de la composition. A l'origine, ce mécanisme a été mis en évidence par Wagner et Ellis[3]. Ce procédé a été largement étudié par différents groupes de recherche. Wu et Yang[4] ont reporté en temps réel les observations de la croissance de nano-fils de Ge démontrant la validité du mécanisme, et l'équipe de Lieber[5] a fabriqué un large panel de nanofils inorganiques pour diverses applications.

1.2.1 Les différentes étapes de croissance

La méthode VLS consiste à injecter un gaz, contenant le précurseur au dessus d'un substrat recouvert de particules métalliques catalytiques. Pour obtenir des nanofils en silicium, le gaz et le catalyseur les plus couramment utilisés sont le silane (SiH_4) et l'or (Au). Chaque étape de la croissance de nanofils en silicium est schématisée dans la Fig.II-2-a. Le mécanisme de croissance s'explique également à l'aide du diagramme de phase Au/Si représentant les 3 phases d'un corps : liquide (l), solide (s), liquide et solide (l + s) (Fig.II-2-b). La croissance VLS se fait à une température supérieure à la température eutectique (T_E : température constante où un mélange de deux corps fond et se solidifie).

A 500°C, en absence de SiH_4 (fraction molaire de Si = 0), la particule d'or est à l'état solide sur le substrat. L'or agit comme catalyseur (l'or n'est pas consommé) de la croissance car les particules d'or sont des sites énergétiquement favorables à l'adsorption du silane $(SiH_4)_g$. Au contact de la particule d'or, le SiH_4 se décompose en Si + H_2. Les adatomes de silicium se dissolvent dans la goutte d'or pour former un alliage AuSi (l) + Au (s). Le silicium continue à s'incorporer dans la goutte pour former un alliage liquide AuSi (l). A l'interface liquide/solide (catalyseur/substrat), la concentration en silicium dans la goutte atteint la limite de solubilité (s). Mais, à l'interface vapeur/liquide (gaz/catalyseur), la limite de solubilité (s') n'est pas encore atteinte, et les atomes de silicium continuent donc à diffuser dans la goutte d'or. A l'interface liquide/solide, en sursaturation de silicium, le silicium précipite entre le catalyseur et le substrat. Un fil en silicium croît par épitaxie avec la goutte de catalyseur liquide $(Au)_l$ au bout du fil. Le diamètre de la section du nano-fil est principalement déterminé par celui de la particule catalytique et la longueur du nano-fil est déterminée par les conditions de croissance et le temps de réaction.

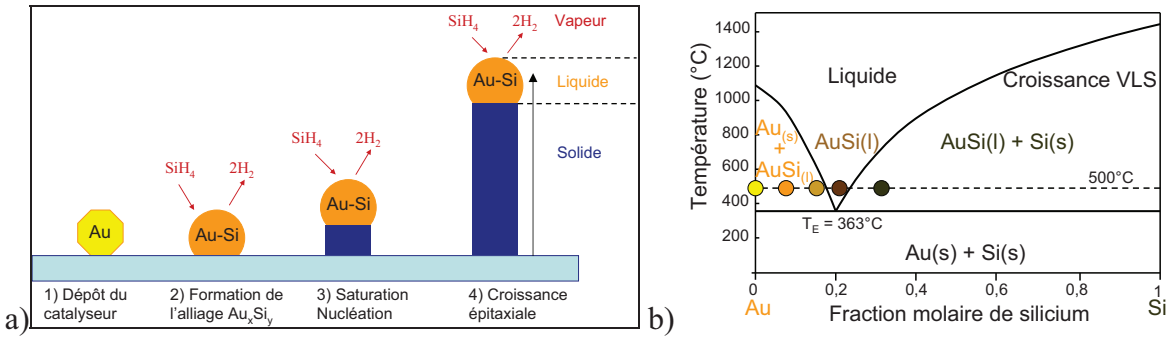


Figure II - 2 : Le mécanisme de la croissance VLS : a) Schéma illustrant le mécanisme de croissance Vapeur Liquide Solide (VLS). b) Diagramme de phase Au-Si.

1.2.2 Vitesse de croissance

Le procédé de croissance peut-être divisé en trois parties principales[6]. Chaque étape sera détaillée dans les paragraphes suivants, afin de déterminer l'étape déterminant la vitesse de croissance :

Etape 1 : L'adsorption, la dissociation du précurseur gazeux et l'incorporation du silicium dans la gouttelette (liquide) :

En premier lieu, le précurseur doit se déplacer vers la surface de l'échantillon, et plus exactement vers la surface du catalyseur. Ensuite, les molécules de silane à l'état gazeux sont adsorbées à la surface du catalyseur, et se décomposent en silicium et dihydrogène, suivant la réaction exprimée ci-dessous : $SiH_{4(g)} \rightarrow Si_{(g)} + 2H_{2(g)}$

Après la dissociation du silane à la surface du catalyseur, les atomes de silicium s'incorporent dans la gouttelette, et les atomes d'hydrogène se recombinent en molécules de dihydrogène et se désorbent de la surface de la gouttelette pour rejoindre le flux de gaz. Wacaser[7] a décrit l'incorporation du silicium en phase gazeuse dans le catalyseur en phase liquide en terme de potentiel chimique du silicium en phase gazeuse et liquide : $\mu_{(Si)g} \geq \mu_{(Si)l}$

Pour les petits systèmes (ratio surface/volume grand), l'influence des surfaces sur la thermodynamique ne peut pas être négligée. Il devient évident qu'une augmentation d'un nombre N d'atomes implique une augmentation de la surface, et ceci a un prix énergétique. En considérant une goutte sphérique de rayon R, Schmidth[8] a exprimé l'énergie de Gibbs de la façon suivante :

$G = \mu_\infty N + 4\pi R^2 \sigma$, avec σ : tension de surface ; μ_∞ : potentiel chimique du bulk.

Lorsque N atomes de volume Ω s'incorporent dans la goutte, l'augmentation du volume peut s'exprimer ainsi : $\partial V = 4\pi R^2 \partial R = \partial N \Omega \quad \Leftrightarrow \quad \frac{\partial R}{\partial N} = \frac{\Omega}{4\pi R^2}$

Le potentiel chimique correspondant à la dérivée partielle de l'enthalpie libre du système par rapport à la quantité de matière N, il s'exprime ainsi :

$$\mu = \frac{\partial G}{\partial N} \qquad \Leftrightarrow \qquad \mu = \mu_\infty + \frac{2\Omega\sigma}{R}$$

Les résultats expérimentaux de J. Kikkawa[9] ont montré que la vitesse de croissance varie en fonction de la pression partielle en silane. Ils suggèrent donc que la décomposition du silane détermine la vitesse de croissance, et ils expriment la vitesse de croissance en utilisant la loi d'Arrhenius :

$k = A \cdot \exp\left(-\frac{E_a}{RT}\right)$ Où k est la constante de vitesse, A le facteur préexponentiel, E_a l'énergie d'activation, R la constante des gaz parfaits et T la température.

La décomposition hétérogène du silane sur la surface de l'alliage liquide Au-Si est considérée comme étape limitante dans différentes études[10] [11]. Entre autre, Bootsma et Gassen ont observé que la vitesse de croissance dépendait de la pression du précurseur et en ont conclu que l'incorporation était une étape déterminante[12].

Etape 2 : La diffusion des atomes de silicium à travers la gouttelette liquide Au_xSi_y :

Après l'incorporation des atomes de silicium dans la particule catalytique, un mélange hétérogène d'or et de silicium est obtenu. A l'intérieur de cet alliage Au-Si, le nombre de mol de chaque espèce n'est pas identique en chaque point du milieu. Spontanément, chaque espèce

chimique va migrer vers les lieux où son potentiel chimique (correspondant à l'enthalpie libre molaire partielle) est le plus bas. L'enthalpie libre du mélange est ainsi minimisée (2° principe thermodynamique). Ainsi, les adatomes de silicium diffusent dans la gouttelette catalytique jusqu'à l'interface liquide/solide. Wacaser[7] décrit thermodynamiquement cette étape, à l'aide du potentiel chimique de l'interface gaz/liquide ($\mu_{g\text{-}l}$) et de l'interface liquide/solide ($\mu_{l\text{-}s}$) :

$$\mu_{g-l} \geq \mu_{l-s}$$

Si l'étape de diffusion des atomes de silicium à travers la gouttelette était l'étape limitante, alors la vitesse de croissance diminuerait lorsque le diamètre des fils en silicium augmenterait. Or, les fils de petits diamètres ne poussent pas plus vite que les fils de gros diamètres[9] [11]. Lorsque le diamètre des fils augmente, le volume la goutte catalytique augmente aussi, et donc la distance à parcourir à travers la goutte augmente. Par conséquent, l'étape de diffusion du silicium dans le catalyseur ne peut pas être considérée comme l'étape limitante. Givargizov[6] argumente en faveur de l'étape de nucléation comme étape prépondérante dans le processus.

Etape 3 : La condensation des atomes de silicium à l'interface liquide/solide :

Le silicium s'incorpore dans la goutte catalytique jusqu'à atteindre une concentration limite en silicium, provoquant la précipitation du silicium sous forme de nanofil. L'énergie de Gibbs d'un fil de longueur L et de rayon r a été s'exprimer ainsi par Schmidth[8] :

$G = \mu_\infty N + 2\pi r^2 \sigma + 2\pi L \sigma$ Avec σ : tension de surface, μ_∞ : potentiel chimique du bulk.

La condensation de N atomes de volume Ω entraîne une augmentation du volume du fil :

$$\partial V = 4\pi r^2 \partial L = \partial N \Omega \quad \Leftrightarrow \quad \frac{\partial L}{\partial N} = \frac{\Omega}{\pi \cdot r^2}$$

En dérivant l'énergie de Gibbs et en utilisant l'égalité ci-dessus, le potentiel chimique du fil s'exprime ainsi : $\mu = \mu_\infty + \frac{2\Omega\sigma}{r}$

Markov[13] démontre que la force conductrice pour la croissance cristalline est la sursaturation, et l'exprime en terme de potentiel chimique : $\Delta\mu_{\lg} = \mu_{(Si)l} - \mu_{(Si)g} > 0$

Avec $\mu_{(Si)l}$: le potentiel chimique du silicium dans la gouttelette liquide, et $\mu_{(Si)s}$: le potentiel chimique du silicium dans le nanofil solide.

En utilisant le développement de Taylor du premier ordre, et les dérivées des vitesses d'incorporation et de cristallisation, Schmidt[14] a décrit de façon détaillé l'expression générale de la sursaturation et de la vitesse de croissance en régime stationnaire:

$$\Delta\mu = \Delta\mu_\infty + \frac{\alpha_1}{\omega_1 - \alpha_1}\frac{2\Omega\sigma}{r} \qquad \boxed{v = v_\infty + \frac{\omega_1\alpha_1}{\omega_1 - \alpha_1}\frac{2\Omega\sigma}{r}}$$

Avec $\Delta\mu_\infty$: sursaturation pour un rayon infini, v_∞ : vitesse de croissance pour un rayon infini, α_1 : dérivée de la vitesse d'incorporation, ω_1 : dérivée de la vitesse de cristallisation, σ : tension de surface, Ω : volume d'un atome, r : rayon du fil.

Cette dernière expression montre que la vitesse dépend à la fois de la vitesse d'incorporation et de la vitesse de cristallisation.

D'autre part, Wacaser[7] et co-auteurs expriment la vitesse de formation d'un noyau de taille arbitraire (J) à partir de la théorie classique de nucléation[13] :

$$\boxed{J = \omega\Gamma C \exp\left(\frac{-\Delta G}{kT}\right)}$$

Ainsi, ils suggèrent que la différence de concentrations pourrait avoir un effet sur la vitesse de nucléation et donc sur la vitesse de croissance.

En conclusion, l'étape de diffusion des atomes de silicium dans la gouttelette catalytique ne peut pas être l'étape limitante, car la vitesse des atomes de silicium dans l'alliage est très rapide[6]. Par conséquent, l'étape limitante peut-être soit l'incorporation du silicium dans la gouttelette, soit l'étape de condensation des atomes de silicium à l'interface liquide/solide. Ce dilemme à été résolu en émettant l'hypothèse que c'est l'interaction entre ces deux étapes qui détermine la vitesse de croissance. Ainsi la vitesse de croissance dépendrait de l'interaction entre les processus d'incorporation et de cristallisation.

2 Les catalyseurs de croissance VLS

Le catalyseur joue un rôle majeur pendant la croissance VLS : i) il permet la sélectivité entre le dépôt du silicium amorphe (non catalysé) et la croissance des nanofils, en abaissant l'énergie d'activation nécessaire pour la décomposition du silane en silicium. ii) il agit sur la vitesse et la température de réaction. iii) il détermine les sites de croissance et le diamètre du nanofil. iv) il agit sur les propriétés structurelles du nanofil.
Une très grande variété de catalyseurs peut être utilisée pour la croissance VLS. Par conséquent nous allons décrire les spécificités associées à une sélection d'entre eux : l'or (Au) car c'est le catalyseur le plus utilisé à l'heure actuelle dans la majorité des travaux sur la VLS, et uniquement les métaux compatibles avec la microélectronique (Al, Pt, Cu).

2.1 Etude bibliographique de différent catalyseurs

2.1.1 L'or : catalyseur « historique » en VLS

Dès les premières publications, le matériau utilisé comme catalyseur est l'or, il est encore sans doute le catalyseur le plus fréquemment utilisé. En effet, l'or possède de nombreux avantages qui le rendent favorable pour catalyser la croissance de nanofils en silicium :
i) L'or est facilement disponible, car c'est un métal couramment utilisé pour les contacts électrique, donc un dépôt d'une couche mince d'or sur un substrat n'est pas un obstacle. De plus, des colloïdes d'or sont commercialisés.
ii) L'or est connu pour sa haute stabilité chimique. Il est important que le catalyseur ne s'oxyde pas à l'air, surtout si des procédés avant croissance sont prévus,.
iii) L'or n'est pas toxique, il peut donc être utilisé sans condition de sécurité spécifique.
iv) Le diagramme de phase Au-Si (Fig.II-2-b) possède un seul point eutectique à une température basse (363°C) et à une concentration en silicium relativement haute (19%). Cette haute solubilité à la température eutectique indique que le coût énergétique pour dissoudre du silicium dans l'alliage Au-Si est faible. Par conséquent, la pression en silicium nécessaire pour obtenir une augmentation de la concentration en silicium dans la goutte catalytique est relativement faible.
v) L'or a une faible pression de vapeur à une température élevée (10^{-8}mb à 800°C). Ainsi, sous les conditions de croissance habituelles de nanofils en silicium, une évaporation non voulue du catalyseur n'est pas critique.
vi) L'alliage Au-Si liquide a une tension de surface assez élevée, ce qui est nécessaire pour avoir un système goutte-nanofil stable.

Malgré tous ces avantages l'or possède un inconvénient majeur : un haut pouvoir de diffusion, le rendant incompatible avec l'industrie électronique. La diffusion de l'or au cours

de la croissance VLS est un problème récurent. Il a tout d'abord été mis en évidence par la diminution du volume de la goutte catalytique et du diamètre des fils[15] (cf. ChpI §2.3.2.1). La présence de particules d'or, de tailles relativement importantes (>3nm), sur les parois de nanofils a été observée au microscope électronique à balayage[16] (MEB) en utilisant le détecteur d'électrons rétrodiffusés, après et pendant la croissance de nanofils sous ultravide[15]. Des caractérisations complémentaires et plus précises ont été mises en œuvre afin de vérifier, quantifier et comprendre la présence d'or sur les parois et également dans le volume des nanofils.

Les atomes d'or peuvent être observés par microscopie électronique en transmission (MET) en champ sombre, plus précisément par imagerie STEM-HAADF (Scanning Transmission Electron Microscopy – High Angle Annular Dark Field). Cette technique d'imagerie consiste à placer un détecteur annulaire à grand angle immédiatement après l'échantillon, afin de collecter les électrons diffusés élastiquement de façon incohérente. Ainsi, des images avec un contraste chimique (sensible numéro atomique Z) sont obtenues, mettant en évidence les agrégats d'or (atomes lourds) sur un substrat cristallin représentés par des points brillants[22] (Fig.II-3).
Cette technique d'imagerie a permis de visualiser l'épaisseur des résidus d'or présents sur les parois des nanofils. Hertog et al[17] ont mis en évidence la présence de deux monocouches d'or sur les facettes d'un nanofil en silicium (Fig.II-3-a). Le STEM-HAADF leur a également permis d'observer la dispersion des agrégats d'or tout le long de nanofil : suivant les nanofils soit l'or est dispersé uniformément sur les parois du nanofil, soit l'or se trouve sur certaines facettes préférentielles. Ce type de caractérisation a également permis de distinguer les atomes d'or dans le volume du nanofil par rapport aux atomes d'or en surface. Une estimation de la concentration d'or a été proposé par Oh[18] (10^{20} at/cm^3). Ils ont aussi observé la position des atomes d'or dans le réseau cristallin du silicium (position substitutionnel et interstitiel).
La Fig.II-3-b présente une image STEM-HAADF, mettant en évidence les agrégats d'or présents sur un nanofil de silicium synthétisé à l'IEMN (par T. Xu[19]). Sur cette image des franges brillantes et sombres apparaissent. Cette distribution des agrégats d'or sur les parois du fil révèle la diffusion de l'or pendant la croissance et une localisation préférentielle des agrégats sur certaines facettes.

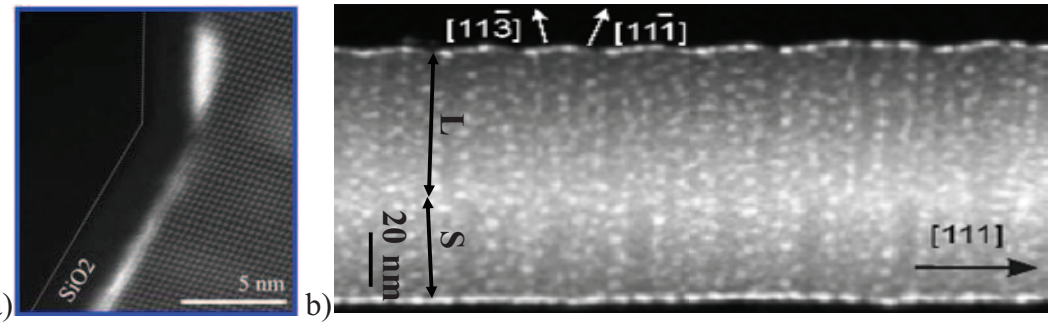


Figure II - 3 : a) Image HAADF-STEM sur le bord d'un nanofil montrant 2 monocouches d'Au sur le plan (111) du silicium[17]. b) Image STEM-HAADF effectuée sur un nanofil Si synthétisé à l'IEMN [20]

La distribution des impuretés à l'intérieur des nanofils peut être déterminée par sonde atomique tomographique (TAP). Cette technique permet d'analyser des nanofils à l'échelle atomique, et produit une cartographie 3D de la composition du nanofil avec une résolution spatiale proche de l'Angstrom et une sensibilité atome par atome[21].
Les analyses tomographiques ont permis à J. Allen et al[22] de reproduire une carte en 3D de la composition d'un nanofil. Le profil de la concentration en or et en silicium de l'extrémité du nanofil révèle une interface Au/Si abrupte. Aucun gradient de concentration en or dans le

silicium n'a été observé. En parallèle, Péréa et ses collaborateurs ont utilisé une nouvelle sorte de sonde atomique (LEAP) leur permettant de cartographier la position d'atomes d'or à l'intérieur de nanofils InAs (dans le catalyseur, à l'interface catalyseur/fil et dans le fils) en 3D avec une résolution de 0,3nm[23]. Cette technique leur a également permis de déterminer la concentration des dopants dans des nanofils de silicium et germanium[24].
La Fig.II-4 présente les résultats de caractérisation d'un nanofil de silicium à l'IEMN (par T. Xu[19]), et met en évidence la présence de particules d'or en surface et à l'intérieur d'un nanofil de silicium.

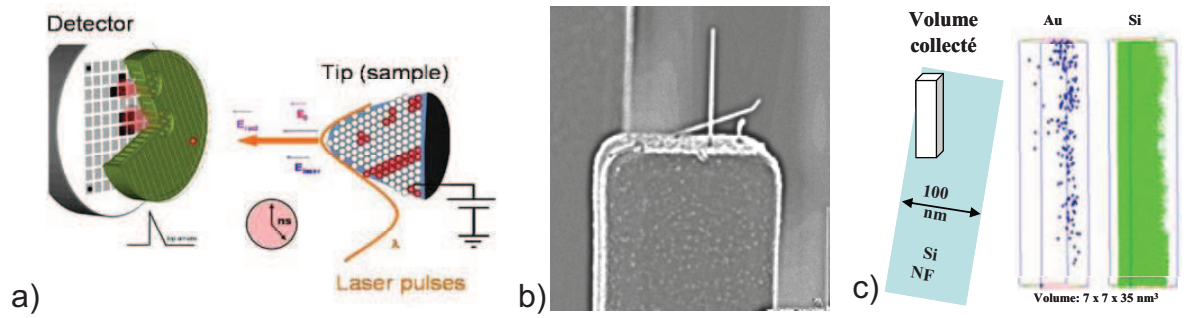


Figure II - 4: a) Schéma principe d'une sonde atomique tomographique.
b) Image MEB d'un nanofil Si synthétisé par VLS sur un plot en Si (111).
c) Reconstruction 3D tomographique d'une portion du nanofil Si présenté en (b). [25]

La spectroscopie de masse d'ions secondaires (SIMS) a également été utilisée pour caractériser la présence d'or dans les nanofils de silicium. Le SIMS consiste à bombarder la surface de l'échantillon à analyser avec un faisceau d'ions. L'échantillon est alors pulvérisé, et une partie de la matière pulvérisée est ionisée. Ces ions secondaires sont alors accélérés vers un spectromètre de masse qui permettra de mesurer la composition élémentaire. Putman et ses collaborateurs ont calculé, à l'aide du SIMS, la concentration en or ($1{,}7.10^{16}$ at/cm^3) présent dans des nanofils de silicium synthétisés avec du $SiCl_4$ à 1000°C[26]. Cette technique est également utilisée pour calculer la concentration de dopants dans des nanofils en silicium[27].

L'or est un des catalyseurs les plus utilisé et le plus étudié pour la croissance VLS de nanofils en silicium, du fait de la température eutectique Au-Si relativement basse et de tous les avantages cités précédemment. Cependant ce catalyseur n'est pas forcément adapté à la microélectronique. Il est donc intéressant d'étudier des métaux utilisés dans le back-end (BEOL), comme l'aluminium, le cuivre et le platine.

2.1.2 L'aluminium (Al)

Le diagramme de phase Al-Si est très similaire à celui de Au-Si, il ne serait donc pas étonnant que la croissance de nanofils en silicium catalysés par de l'aluminium fonctionne malgré quelques différences. Le point eutectique du système Al-Si est localisé à une concentration en silicium légèrement plus faible (12%) qu'avec l'or (19%). Et la température eutectique Al-Si est un peu plus élevée (T_E = 577°C) que celle avec l'or (T_E = 363°C). La troisième différence non négligeable avec l'or est la présence d'un cinquième domaine située à une concentration en silicium très faible (<3%). Cette limite de phase (matérialisée en rouge dans Fig.II-5-a) peut être utilisée pour induire la précipitation du silicium avec le catalyseur en aluminium à l'état solide, par le mécanisme VSS (Vapeur Solide Solide). D'autre part, il faut noter que l'aluminium est beaucoup moins stable chimiquement que l'or, en effet il s'oxyde très rapidement à l'air. Afin d'éviter l'oxydation du catalyseur et permettre la

croissance de nanofils en silicium avec de l'aluminium, des précautions doit être prises pour éviter la présence d'oxygène dans l'enceinte de croissance.

Des fibres en silicium cristallin ont été fabriquées par VLS avec du silane et de l'aluminium à des températures supérieures à l'eutectique (580-700°C)[28]. Plus récemment, Whang et ses collaborateurs[29] [30] ont fait croître des nanofils en silicium cristallin catalysés avec de l'aluminium en utilisant du silane (200sccm) et une température (540°C) légèrement inférieure à la température de l'eutectique. Ils affirment que le mécanisme de croissance est VLS même si la température est plus basse que celle de l'eutectique. Ils mettent également en évidence que la croissance de nanofils dépend de l'oxydation de la surface du germe d'aluminium. Un autre groupe de recherche a démontré la croissance épitaxiale de nanofils en silicium en utilisant une température très inférieure à la température eutectique (430-490°C), mettant en évidence le mécanisme VSS (Vapeur Solide Solide)[31]. Un exemple de nanofils synthétisés à 430°C est présenté dans la Fig.II-5-b. Il faut noter que l'ensemble du procédé, comprenant le dépôt de l'aluminium et la croissance, a été effectué dans un équipement sous ultra vide afin d'éviter l'oxydation du catalyseur. Jeon[32] a mis évidence l'impact d'un traitement d'hydrogène de l'aluminium sur la croissance, et a synthétisé des nanofils polycristallin à 350°C (Fig.II-5-c). Il a enfin été montré qu'une pression partielle élevée en silane est efficace pour s'affranchir du problème d'oxydation de l'aluminium et favoriser la nucléation de nanofils[33] (Fig.II-5-d).

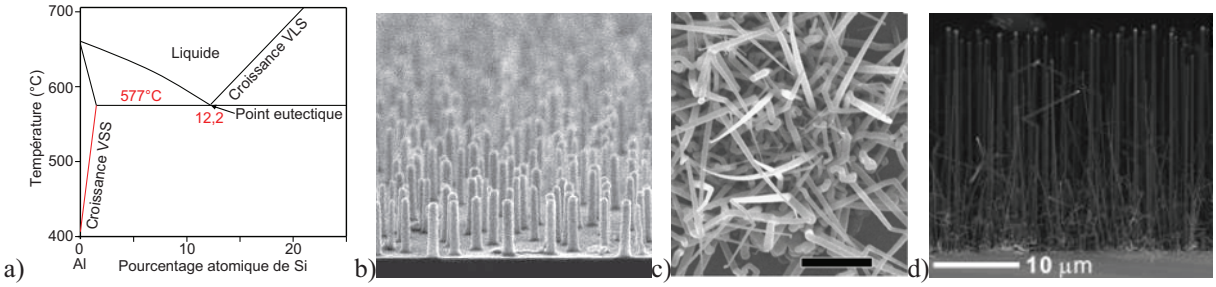


Figure II - 5 : Synthèse de nanofils en Si à partir d'Al : a) Diagramme de phase Al-Si. b) Image MEB de nanofils en Si verticaux synthétisé par VSS à 430°C avec de l'Al comme catalyseur[31]. c) Image MEB de nanofils de 50 à 200nm de diamètres et de 8µm de long, synthétisés à 350°C après un traitement de l'Al à l'hydrogène[32]. d) Image MEB (vue de coupe) de nanofils en Si synthétisés à 550°C sous une pression totale de 100Torr, et un pression partielle en silane de 6 Torr[33].

Concernant ses propriétés électriques, le niveau d'énergie de l'aluminium dans le gap du silicium est situé près de la bande de valence du silicium, favorisant le transport des trous (Fig.II-5). Ceci implique que l'aluminium agisse comme un dopant de type P, et ne crée pas de niveaux profonds dans le gap du silicium contrairement à l'or. Si après la croissance, des résidus d'aluminium sont présents dans les nanofils, ils n'agiront pas comme des centres de recombinaison, mais la concentration de dopant ne sera pas contrôlée.

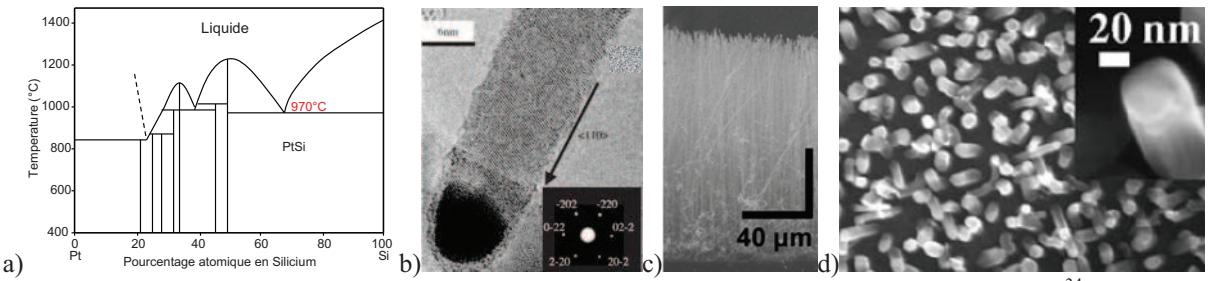
Notre objectif étant de faire de la croissance confinée, il sera difficile d'empêcher l'oxydation du catalyseur entre les différentes étapes de la fabrication des cavités. Le développement d'une technique de nettoyage de l'oxyde d'aluminium, juste avant la croissance, serait nécessaire.

L'aluminium semble être plus adapté que l'or d'un pont de vue électrique, mais impliquerait un procédé plus compliqué afin d'éviter son oxydation.

2.1.3 Le platine (Pt)

Le platine est également utilisé comme catalyseur à la croissance VLS. Cependant, contrairement à l'or, le platine ne forme pas un eutectique simple avec le silicium (Fig.II-6-a). Différents eutectiques sont présents dans la gamme de température comprise entre 800-1000°C. Il existe un eutectique formé entre PtSi et Si à 970°C. Ainsi à une température supérieure à celle-ci et à une forte concentration en silicium, la précipitation de silicium pur est thermodynamiquement possible. Des nanofils de silicium monocristallin ont été synthétisés par VLS, à hautes températures comprises entre 800°C et 1000°C, en utilisant du platine comme catalyseur et du tétrachlorure de silicium ($SiCl_4$) comme gaz précurseur[35] (Fig.II-6-b). Jeong et ses collaborateurs[36] ont calculé l'énergie d'activation (Pt : E_a = 80 kJ/mol ; Au : E_a = 130 kJ/mol), en utilisant les même conditions décrites précédemment (Fig.II-6-c).

En accord avec le diagramme de phase, le platine a également été utilisé sous la forme de siliciure (PtSi) pour catalyser la croissance. Le PtSi est ainsi intervenu dans la croissance de nanofils en silicum, en utilisant une température beaucoup plus basse que celle de l'eutectique[37]. La Fig.II-6-d présente des nanofils de silicium rectilignes formés à 500°C, avec une vitesse de croissance d'environ 5nm/min. Lorsque la température est plus élevée (700°C) des nanofils de formes coniques sont obtenus, ceci est due à la décomposition du silane non catalysée sur les parois des nanofils.



a) b) c) d)

Figure II - 6 : Synthèse de nanofils en Si à partir de Pt : a) Diagramme de phase Si-Pt[34].
b) Image TEM d'un nanofil Si catalysé avec du Pt (805°C, $SiCl_4$)[35].
c) Image MEB (vue de coupe) de coupe de nanofils Si (900°C, $SiCl_4$)[36].
d) Image MEB de nanofils en Si synthétisé à 500°C avec du SiH_4[37].

La croissance de nanofils en silicium à 500°C avec du PtSi comme catalyseur, est tout à fait en accord avec notre objectif, pour l'intégration de transistors MOSFET. Cette voie permet d'éliminer la contamination métallique dans les nanofils tout en utilisant une température de synthèse compatible avec le BEOL. Cependant, il faut noter que la vitesse de croissance est très faible, relativement proche de la vitesse de dépôt du silicium amorphe.

2.1.4 Le cuivre (Cu)

Même si le cuivre est un centre de recombinaison au milieu du gap du silicium, c'est un catalyseur très intéressant d'un point de vue électronique, car il est déjà utilisé pour les interconnexions des circuits intégrés. Ainsi, le cuivre peut être considéré comme compatible avec la technologie CMOS.

Comme le platine, le cuivre possède plusieurs eutectiques présents à des températures dépassant les 800°C (Fig.II-7-a). La synthèse de nanofils en silicium avec du cuivre a été récemment démontrée par Kayes[38]. Ils ont réussi à faire croître un réseau de nanofils en silicium parfaitement alignés et orientés <111> en utilisant du $SiCl_4$ à 850-110°C (Fig.II-7-b). Le mode de croissance VSS a été démontré avec du cuivre par Yao et Fan[39]. Ils ont fait croître des nanofils en silicium orientés <111> à 500°C avec du silane. Ils ont observés du Cu_3Si au

bout des nanofils. Cependant, les nanofils obtenus montrent un nombre significatif de défauts cristallographique (Fig.II-7-c). Arbiol[40] a également mis en évidence des défauts de structure (changement de structure en passant de la phase diamant à la phase wurtzite) des nanofils de silicium synthétisés avec du cuivre à 600-650°C (Fig.II-7-d). Récemment, Renard[41] a démontré que du cuivre oxydé avant la croissance CVD peut produire des nanofils à basse température (<500°C). Des nanofils en silicium ont été synthétisés à 400°C en utilisant du cuivre oxydé comme catalyseur (Fig.II-7-e).

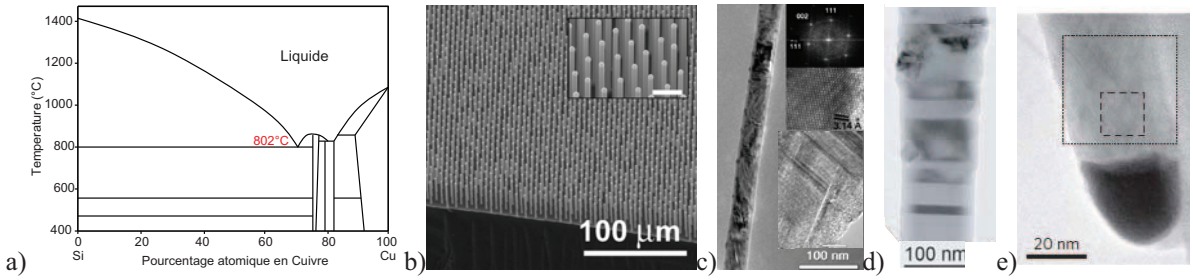


Figure II - 7 : Synthèse de nanofils en Si à partir de Pt : a) Diagramme de phase Si-Cu
b) Image MEB (inclinée) d'un réseau de nanofils Si orientés <111>[38].
c) Images TEM d'un nanofils droit[39].
d) Morphologie structurale typique d'un nanofil synthétisé à 650°C[40].
e) Image HRTEM d'un nanofil Si avec le catalyseur à l'extrémité[41].

2.1.5 Comparaison et choix du catalyseur : or et platine

Pour conclure, un tableau récapitulatif des différents catalyseurs est présenté ci-dessous (Fig.II-8) mettant en évidence leurs avantages en vert et leurs inconvénients en rouge.

a)

Catalyseurs	T_E (°C)	Stabilité chimique	Mécanisme	T (°C)	Equipement	Electronique
Au	363	Très stable	VLS	400-500	CVD	Niveau profond
Al	577	S'oxyde	VLS VSS	580-700 350-490	HUV-CVD	Dopant type P
Cu	802	S'oxyde	VLS VSS	800-1000 400-600	HUV-CVD	Niveau profond
Pt	970	Formation de siliciures	VLS VSS	800-1000 400-700	CVD	Niveau profond

b)

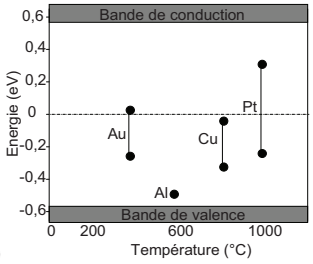


Figure II - 8 : Comparaison des différents catalyseurs : a) Tableau récapitulatif des catalyseurs.
b) Energie de ionisation des impuretés dans la bande interdite de silicium (bandgap du Si de 1,12eV) en fonction de la température minimum de croissance de nanofils de Si par VLS[8].

Il faut noter que quelque soit le métal utilisé, s'il y a des traces du catalyseur en surface ou à l'intérieur des nanofils, les propriétés électriques du silicium seront dégradées. Les niveaux d'énergie des métaux sélectionnés sont présentés dans la Fig.II-8-b en fonction de la température minimale nécessaire pour la croissance VLS. L'or, le cuivre et le platine sont situés au centre du « band gap » du silicium, ces trois métaux sont donc favorable à la recombinaison électrons – trous. Seul l'aluminium ne crée pas de niveau profond dans la bande interdite du silicium. Par conséquent, d'un point de vue électrique, le catalyseur le plus approprié est l'aluminium. Cependant, d'un point de vue chimique, l'or et le platine sont les plus simples à utiliser. En effet, les croissance catalysées par l'aluminium ou le cuivre sont généralement effectuées dans des réacteurs sous ultravide afin d'éviter leur oxydation.

Cette thèse a accompagné la mise en fonctionnement du four CVD dédié à la croissance VLS de l'IEMN. Dans l'optique de développer rapidement une première série de recette de croissance et rattraper l'état de l'art mondial pour ce type de croissance, le catalyseur or a été retenu. C'est en effet le métal le plus simple à manipuler sous forme de colloïdes et

l'abondante bibliographie sur la croissance VLS Si-Au donne autant de point de référence. De plus, l'or a déjà été utilisé pour la croissance confinée dans des "templates" en alumine et des cavités en nitrure, donc la croissance de nanolames à l'intérieur de cavités est à priori réalisable à partir d'or. Cependant, le silicium synthétisé à partir d'un catalyseur en or ne pourra être utilisé comme couche active d'un transistor MOS (cf Chap.1 §2.3.2) à cause de problèmes de contamination. Par conséquent nous avons choisi d'étudier un autre catalyseur compatible avec la technologie CMOS. L'aluminium et le cuivre n'ont pas été choisis car ils ne sont pas stables chimiquement, et nécessitent des étapes supplémentaires (gravure de l'oxyde d'aluminium ou de cuivre) compatibles avec le procédé de confinement. Le platine a été sélectionné car il ne s'oxyde pas à l'air, et a la particularité de rester sous forme solide pendant la croissance limitant ainsi la diffusion de ses atomes le long du fil.

2.2 Etude expérimentale sur le dépôt des catalyseurs

L'objectif est d'étudier les couches minces d'or et de platine sur des substrats recouverts d'une couche d'oxyde, avant de procéder à la localisation du catalyseur sur substrat amorphe.

2.2.1 Principe de l'évaporation électronique

L'évaporation sous vide permet de déposer un grand nombre de métaux différents en contrôlant précisément l'épaisseur de métal déposé sur le substrat. Cette technique de dépôt consiste à chauffer une cible constituée du matériau à déposer à l'aide d'un faisceau d'électrons. Lorsque la cible atteint la température d'évaporation du métal, le flux d'atomes métallique quitte la surface de la cible en phase vapeur et se dirigent vers le substrat positionné face à la cible (Fig.II-9). Au contact du substrat du substrat froid les atomes de métal se déposent par condensation uniquement sur les surfaces perpendiculaires à leur trajectoire (dépôt anisotrope).

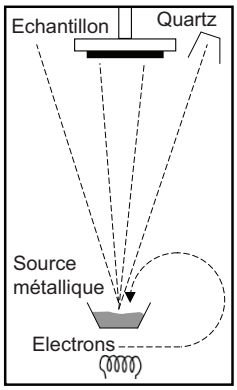


Figure II - 9: Principe de fonctionnement d'une source d'évaporation par bombardement électronique[42].

Avant le dépôt métallique, nous avons choisi de soumettre le substrat à un plasma argon (Ar) de très faible énergie (60eV pendant 30s), afin de nettoyer la surface de l'échantillon des contaminations résiduelles. Pour un dépôt d'or, la vitesse de dépôt doit être suffisante pour compenser le manque d'adhérence de l'or sur l'oxyde. Nous avons utilisé une vitesse de 0,5nm/s pour l'or, et 0,1nm/s pour le platine et le silicium.

2.2.2 Les dépôts d'or

2.2.2.1 Influence du substrat sur le dépôt d'or

L'or a été déposé sur des substrats cristallins et amorphes, afin de comparer l'effet du substrat sur le dépôt d'or. Ainsi, quatre types d'échantillons ont été préparés :

a) Substrat en silicium cristallin d'orientation (100).
b) Substrat en silicium cristallin d'orientation (111).
c) Substrat en silicium recouvert d'oxyde natif.
d) Substrat en silicium recouvert d'HSQ (HydrogèneSilsesquioxane), résine dont la composition après recuit à 700°C est très proche du SiO_2 (couche amorphe épaisse).

Avant les dépôts métalliques, chaque échantillon est nettoyé selon la procédure suivante :
- Si le substrat est recouvert de résine :
  Bain d'acétone (5 min) + Rinçage dans un bain d'isopropanol (1 min) + Séchage sous N_2.
- Afin de retirer les résidus organiques présents sur le substrat :
  Nettoyage piranha H_2O_2/H_2SO_4 (5 min) + Rinçage H_2O DI (1min) + Séchage sous N_2.
- Pour déposer de l'or sur un substrat cristallin, il faut désoxyder le substrat juste avant de le placer sous vide dans le bâti de dépôt. La désoxydation consiste à retirer la silice par une attache chimique à base d'acide fluorhydrique (HF), selon la réaction suivante :

$$SiO_2 + 6HF \rightarrow H_2SiF_6 + 2H_2O$$

  Pour les échantillons a) et b), la procédure de nettoyage se termine par l'étape suivante :
  Désoxydation HF 1% (1 min) + Rinçage H_2O DI (1min) + Séchage sous N_2.

2.2.2.2 Observation des dépôts d'or

L'une des techniques de caractérisation la plus efficace pour observer le dépôt d'or est le microscope électronique à balayage (MEB). Après chaque dépôt, l'échantillon est étudié au MEB, en vue de dessus pour observer l'uniformité de la couche déposée, et en vue de coupe pour vérifier l'épaisseur déposée et le relief de la couche. Le microscope à force atomique (AFM) est une technique complémentaire au MEB, qui peut également être utilisé pour imager la surface d'or déposé et déterminer la rugosité de la surface. Mais cette technique est longue à mettre en oeuvre, et donc ne peut scanner que quelques zones de l'échantillon.
Les images MEB ci-dessous, mettent en évidence l'influence de la couche d'oxyde sur le dépôt d'or. Lorsque le substrat subit une désoxydation (gravure HF 1% pendant 1 min), la couche d'or est parfaitement répartie sur tout le substrat (Fig.II-10-a,b). Par contre, lorsque le substrat est oxydé (oxyde natif ou HSQ), la couche mince d'or est discontinue (Fig.II-10-c,d).

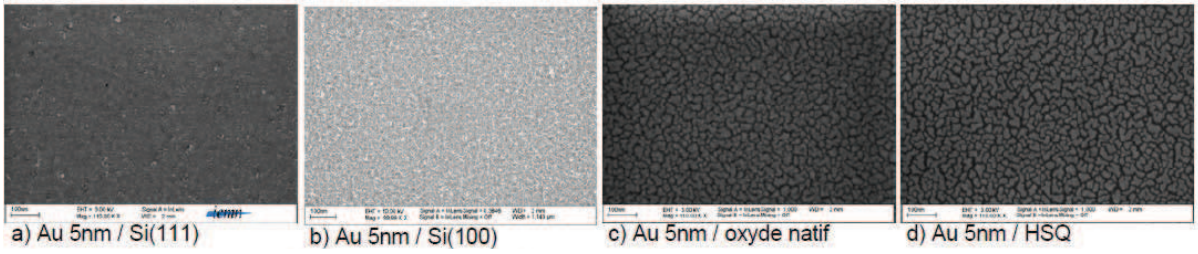


Figure II - 10 : Dépôt de 5nm d'or par évaporation par faisceau d'électrons sur quatre substrats :
a) Substrat Si(111) avec gravure HF 1% pendant 1min, b) Substrat Si(100) avec gravure HF 1% pendant 1min, c) Substrat Si(100) avec oxyde natif (sans gravure HF), d) Substrat Si(100) recouvert de 50nm de HSQ recuit à 700°C par RTA (rapid annealing thermal).

La croissance de couche mince sur un substrat cristallin dépend fortement des forces d'interaction entre les adatomes et la surface, trois mécanismes de croissance sont possibles :
Volmer Werber : la croissance par îlots. Les interactions adatomes-adatomes sont plus importantes que les interactions adatomes-surface, favorisant la formation d'agrégats (Fig.II-11-a).
Frank-van der Merwe : la croissance couche par couche. Les adatomes se fixent préférentiellement à la surface, favorisant la formation de couches atomiquement lisses. Ce type de croissance est possible uniquement si les matériaux ont le même paramètre de maille (Fig.II-11-b).

Stranski-Krastanov : croissance intermédiaire entre Volmer Werber et Frank-van der Merwe. La transition entre les deux types de croissance dépend des propriétés physique et chimique (énergie de surface, paramètres de maille) (Fig.II-11-c).

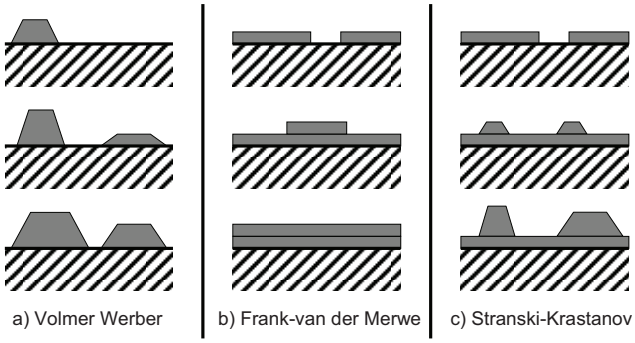


Figure II - 11 : Schémas (vue en coupe) des trois modes de croissance de couches minces :
a) Volmer Werber : Formation d'îlots. b) Frank-van der Merwe : Couche par couche.
c) Stranski-Krastanov : couche puis îlots.

Lorsque le substrat est cristallin (désoxydé) une couche continue se forme avant les îlots (Fig.II-10-a et -b), le dépôt se rapprocherait d'une croissance Stranski-Krastanov. Par contre, lorsque le substrat est recouvert d'une couche d'oxyde amorphe, la formation d'îlots est clairement observée (Fig.II-10-c et -d), témoigne d'une la croissance du type Volmer Werber.
Par la suite, nous utiliserons uniquement des substrats amorphes, c'est-à-dire recouvert d'une couche d'oxyde (SiO_2), car notre objectif final est de synthétiser du silicium cristallin sur un substrat amorphe. La morphologie et la taille des agrégats obtenus dépendent de l'interaction entre le catalyseur et le substrat, en particulier de la rugosité et des propriétés d'état de surface du substrat.

2.2.2.3 Dépôts d'or sur une couche d'oxyde

Des couches d'or de différentes épaisseurs ont été déposées sur un substrat de silicium recouvert d'oxyde natif. Lorsque l'épaisseur d'or est inférieure ou égale à 10 nm, une couche discontinue est obtenue, le substrat n'est recouvert que partiellement d'or (Fig.II-12). Au cours d'un dépôt, les agrégats d'or se regroupent en « amas » de plus en plus larges jusqu'à former une couche continue. Pour obtenir une couche d'or uniforme sur un substrat oxydé, il faut déposer au moins 20 nm d'or.

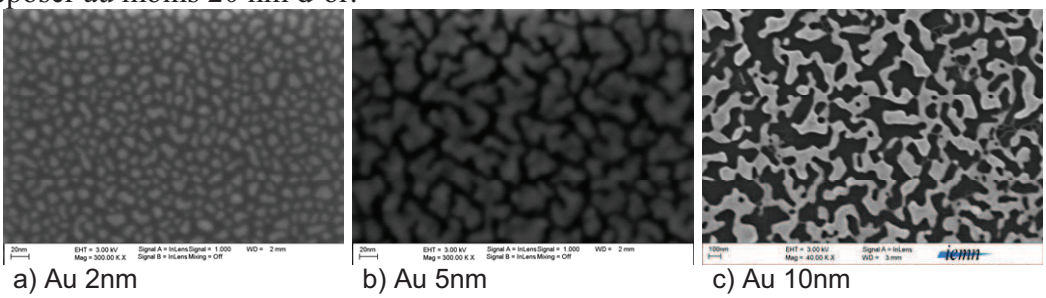


Figure II - 12 : Images MEB de trois dépôts d'or par évaporation par faisceau d'électrons sur un substrat Si(100) avec oxyde natif (sans gravure HF) :
a) dépôt de 2nm d'or, b) dépôts de 5nm d'or, c) dépôt de 10nm.

2.2.3 Les dépôts Pt/Si

Après avoir observé différents dépôts d'or, les techniques de dépôt du platine et du siliciure de platine, le second catalyseur de notre étude, sont présentées dans le paragraphe suivant.

2.2.3.1 La formation du siliciure de platine

Afin d'effectuer des croissances catalysées par du Pt et du PtSi, différents dépôts ont été effectués par évaporation sous vide. Des couches de 5nm de Pt et de PtSi ont été déposées afin de comparer ces deux catalyseurs pour la croissance VLS. Le substrat étant recouvert d'une fine couche d'oxyde, du PtSi ne peut se former en déposant uniquement du platine. Pour obtenir 5nm de PtSi, nous avons déposé successivement 3nm de silicium et 3nm de platine par évaporation sous vide. La diffusion des espèces est effectuée en une seule étape de recuit (RTA) à 400°C, conformément au procédé développé par Larrieu[43]. Il faut noter, que l'épaisseur du silicium doit être suffisante par rapport à l'épaisseur de platine déposé afin que le Pt_2Si se transforme intégralement en PtSi. Les dépôts Pt et PtSi ainsi formés, sont uniformes sur le substrat (pas d'agrégats).

Nous avons également étudié la formation d'une couche de PtSi d'épaisseur plus importante. En effet, notre objectif est de former des barreaux catalytiques de 50nm d'épaisseur, dans l'optique de la croissance confinée. Pour cela, nous avons procédé de deux façons différentes :
a) Dépôt de 30nm de silicium puis 20nm de platine (en restant sous vide) (Fig.II-13-a).
b) Empilement successif de silicium (5nm) et de platine (10nm) répété trois fois (Fig.II-13-b).
Un recuit à 400°C pendant 1min au four RTA a été effectué pour chaque échantillon pour permettre la formation de l'alliage. La composition de la couche en PtSi a été vérifiée par XPS. Les images MEB, ci-dessous (Fig.II-13), mettent en évidence la transformation du bicouche Pt/Si en une monocouche de 45nm d'épaisseur. Après le recuit, nous obtenons dans les deux cas une couche uniforme, d'épaisseur constante contrairement à l'empilement AuSi.

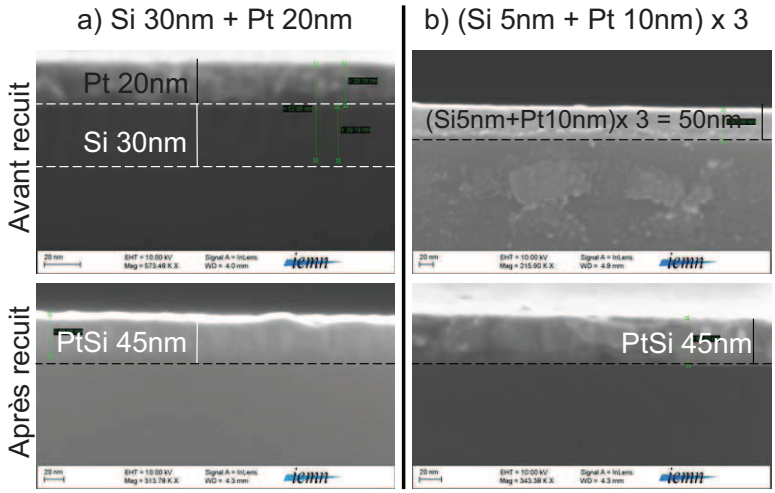


Figure II - 13 : Images MEB vue en coupe de différents empilement Pt et Si avant et après recuit.

2.2.3.2 La réaction de siliciuration du platine

La réaction du platine avec le silicium, activée en appliquant un budget thermique, forme trois composés distincts : le PtSi, le Pt_2Si, et le Pt_3Si qui est un élément instable.
Il a été démontré que la réaction de siliciuration du platine se fait en deux étapes :

a) Diffusion du platine dans le silicium entraînant la formation du disiliciure de platine (Pt_2Si) (Fig.II-14-b).
b) Diffusion du silicium dans le Pt_2Si pour former du PtSi (Fig.II-14-c).
Ces deux réactions ont des énergies d'activation différentes[44] ($Pt \rightarrow Pt_2Si$: E_a~0,5eV ; $Pt_2Si \rightarrow Si$: E_a~0,7eV). La deuxième réaction commence lorsque tout le platine a été consommé lors de la formation du Pt_2Si.

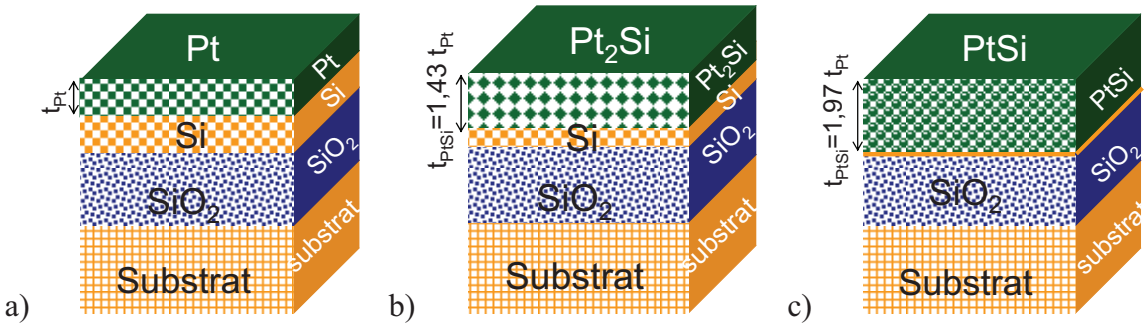


Figure II - 14 : Représentation schématique de la siliciuration du platine

Nous avons vu comment maîtriser le dépôt de couches minces catalytiques de différentes épaisseurs et compositions, à base d'or et de platine. Ces dépôts permettent de démarrer les premiers essais de croissance, de vérifier la fonctionnalité du four, et de s'assurer de l'action catalytique du métal choisi au cours du procédé VLS. Cependant il est indispensable de maîtriser avec précision la forme, le volume et la position du catalyseur sur le substrat afin d'étudier l'influence de chacun de ces paramètres sur la croissance VLS. La partie suivante sera donc consacrée à la localisation du catalyseur.

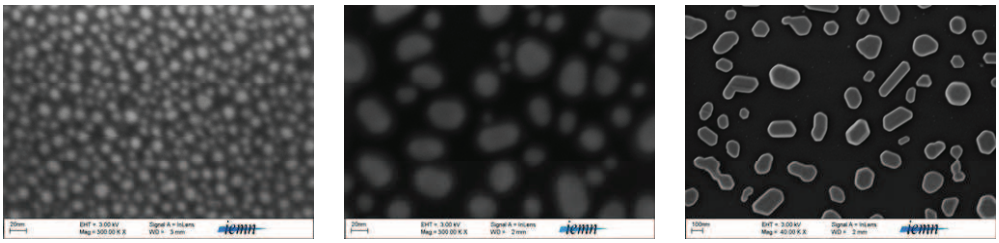
2.3 Techniques de localisation du catalyseur

Quelques soit le matériau utilisé pour la croissance de nanofils en silicium, le control de la position des particules catalytique est crucial pour l'auto-organisation des nanofils. Différentes méthodes de localisation de catalyseur existent afin de contrôler la position et le diamètre des nano-fils verticaux[45].

2.3.1 Le démouillage d'une couche mince d'or

L'utilisation d'un recuit avant la croissance a pour objectif, l'obtention de gouttes d'or de taille homogène. Pendant le traitement, les fines couches d'or coalescent formant des agrégats d'or. Au cours de la coalescence, les tensions de surface ainsi que les forces de Van der Walls agissent de manière à minimiser l'énergie. Après un recuit à 500°C dans un four tubulaire, l'or coalesce sous forme d'agrégats presque sphérique. Nous supposons que pendant le recuit, le silicium du substrat ne diffuse pas dans l'or, car le substrat est recouvert d'un oxyde natif. Par conséquent, nous en déduisons qu'après le recuit les particules d'or sont composées uniquement d'or, et que pendant le recuit, l'or est resté à l'état solide (si $T < T_f =$ 1064°C). Une étude théorique concernant l'effet de la taille sur la température de fusion de nanoparticules d'or a été réalisé par Buffat et al.[46]. D'après leur modèle, pour un recuit à 773K, seules les particules de diamètre inférieur à 4nm sont liquides, toutes les autres particules restent solides, ce qui est en accord avec notre hypothèse. Les photos MEB ci-dessous (Fig.II-15), mettent en évidence la formation d'agrégats d'or pendant le recuit. De plus, on remarque que l'épaisseur d'or déposée agit sur la taille des agrégats d'or : plus

l'épaisseur d'or est importante, plus le diamètre de la goutte d'or et l'espace entre les agrégats est grand.



a) Au 2nm: Diamètre < 20nm b) Au 5nm: Diamètre < 50nm c) Au 10nm: Diamètre < 200nm

Figure II - 15 : Dépôt de différentes épaisseurs d'Au sur un substrat SiO_2 après un recuit à 500°C
a) dépôt de 2nm d'or, b) dépôts de 5nm d'or, c) dépôt de 10nm.

La formation d'agrégat d'or par démouillage ne sera pas utilisée pour notre étude de la croissance VLS, car ce procédé empêche le contrôle du volume d'or présent dans chaque agrégat. En effet, la position, la forme, et l'épaisseur de chaque agrégat sont aléatoires. Il faut noter que l'espacement entre les agrégats catalytiques et leur volume agissent de manière significative sur la vitesse de croissance, le diamètre des nanofils et la diffusion de l'or le long des nanofils. Tous ces paramètres non contrôlés rendent difficile l'optimisation des recettes de croissance.

2.3.2 Les colloïdes d'or

Afin de contrôler avec précision le diamètre des nanofils, l'utilisation de particules catalytiques de dimensions contrôlées devient indispensable. L'or est disponible dans le commerce sous forme de colloïdes pour des diamètres allant de 3nm à 20nm. Des colloïdes d'or sont des agrégats d'or en suspension dans une solution. L'avantage des colloïdes est le contrôle du diamètre des particules d'or avec une faible dispersion et donc celui des nanofils à 1 ou 2 nm près (Fig.II-16-a). La densité des nanofils est inférieure ou égale à la densité des colloïdes d'or déposé sur le substrat. En effet il peut y avoir moins de nanofils que de colloïdes, car certaines particules d'or ne réagissent pas avec le gaz précurseur. Le principal inconvénient des colloïdes réside dans leur dépôt : la répartition homogène et le contrôle précis de la position de chaque particules d'or est très difficile (Fig.II-16-b).

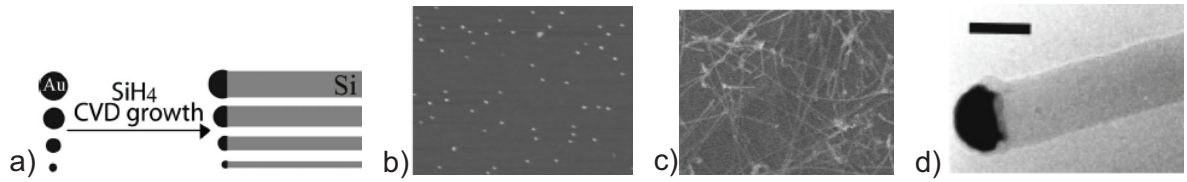


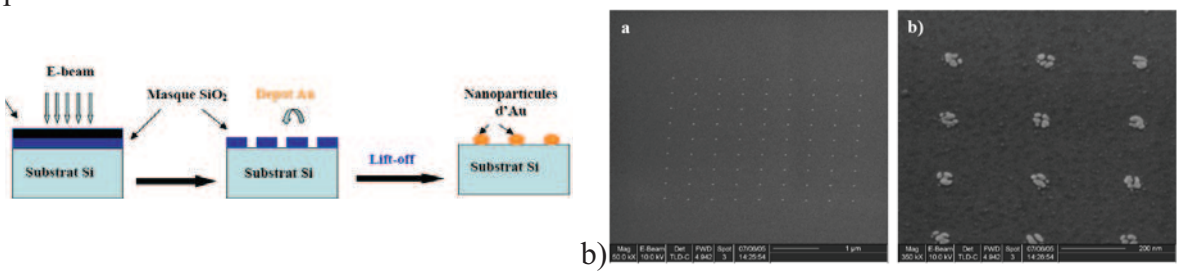
Figure II - 16: Croissance VLS à partir de colloïdes d'or :
a) Schéma illustrant le control du diamètre des nanofils en Si à partir de nanoparticules d'or.
b) Image AFM de nanoparticules d'or de 10nm de diamètre dispersées sur un substrat.
c) Image MEB de nanofils en Si synthétisé à partir des nanoparticules d'or de 10nm de diamètre ; avec un photo TEM (en bas à droite) d'un nanofil de Si de 20nm de diamètre. [47]

2.3.3 Définition de motifs par lithographie et lift-off

2.3.3.1 Etude bibliographique

La lithographie (optique et électronique) permet de définir un réseau périodique reproductible de motifs à grande échelle avec une géométrie et un espacement variable[48]. Le

lift-off consiste à déposer un métal sur une résine lithographiée où les motifs ont été révélés, puis à retirer la résine ne laissant uniquement le métal en contact avec le substrat. Cette technique a été utilisée par Greyson pour former un réseau de nanofils ZnO[49]. Au sein du laboratoire IEMN, la localisation de particules d'or par lithographie électronique a été démontrée[50]. Les schémas de la figure II-17 montrent les différentes étapes effectuées pour réaliser un dépôt de nano-particules d'or sur un substrat silicium à l'aide d'un masque dur en SiO_2. Cette méthode permet d'obtenir des agrégats d'or de tailles nanométriques, en contrôlant leurs positions et leurs densités. Cependant, il a été observé au microscope électronique que les motifs en or de 5nm d'épaisseur sont constitués de plusieurs gouttelettes de tailles différentes agissant sur la taille et la densité des nano-fils (Fig.II-17). Pour éviter la déformation des motifs en or dont les côtés sont supérieurs à 10nm, une épaisseur d'or plus importante est nécessaire.



a) b)

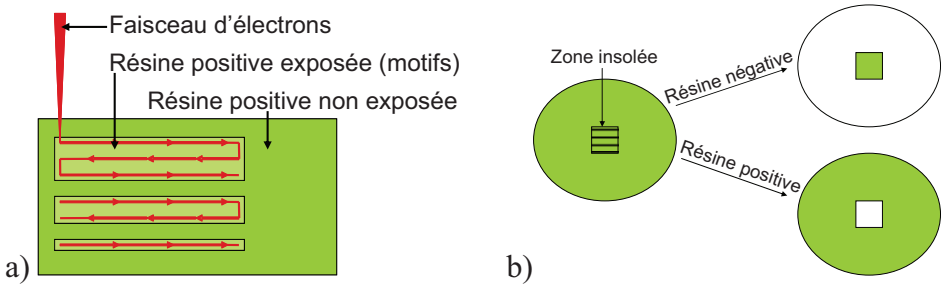
Figure II - 17: **Définition de motifs en Au :**
a) Schéma illustrant les étapes pour réaliser des motifs en Au par lithographie électronique et lift-off.
b) Photo MEB représentant les plots d'Au sur le substrat Si. [50]

2.3.3.2 Principe de la lithographie électronique

La lithographie électronique consiste à insoler directement la résine par un faisceau d'électrons focalisés sans utiliser de masque contrairement à la lithographie optique (Fig.II-18-a). Le temps d'écriture peut atteindre plusieurs heures, suivant les motifs, la dose et la résolution choisie. Il existe deux types de résines électroniques : les résines positives et les résines négatives (Fig.II-18-b).

R*ésine positive* : Après révélation, reste la résine non insolée. Par exemple, la résine PMMA est composée de longues chaînes de polymères. Sous l'effet du faisceau d'électron, les chaînes de polymères se dissocient en plusieurs petites chaînes qui se dissolvent dans la solution de révélation.

Résine négative : Après révélation, reste la résine insolée. Les résines négatives sont généralement constituées de polymères de petites dimensions. L'énergie du faisceau d'électrons permet l'assemblage de ces polymères formant de longues chaînes de polymères.



a) b)

Figure II - 18 : Schéma de principe de la lithographie électronique :
a) Exposition locale de la résine par irradiation électronique.
b) Schéma illustrant les deux types de résine électronique avant et après révélation.

Les dimensions des motifs obtenus sont généralement plus grandes que celles des motifs définis par faisceau électronique, car à la contribution directe des électrons du faisceau

s'ajoute la contribution des électrons secondaires dans la résine ou rétrodiffusés par le substrat. Ce phénomène est connu sous le nom d'effet de proximité (cf. Annexe-2).

2.3.3.3 Le développement de la résine et le lift-off

Après écriture de la résine par le faisceau d'électrons, il faut retirer la résine en révélant les zones insolées (dans le cas d'une résine positive), ou non insolées (pour les résines négatives). La révélation de la résine PMMA s'effectue dans un mélange de solvant (MIBK/IPA). Ces solvants étant très volatils, afin d'effectuer des révélations reproductible il est important d'agiter le mélange pendant plusieurs minutes (5min) avant d'immerger l'échantillon. Ensuite le temps de développement est un paramètre critique pour la définition des motifs et la reproductibilité de procédé. En effet, le temps d'immersion agit sur la géométrie de l'ouverture des motifs : un temps de développement trop court ne développe pas toute la résine insolée, alors qu'un développement trop long élargit la taille des motifs.

Le lift-off est une technique qui consiste à profiter du retrait sélectif de la résine pour localiser un matériau exclusivement dans les zones qui ne sont recouvertes de résine (Fig.II-19). Pour ce faire, un dépôt anisotrope du métal est réalisé sur une plaque développée de sorte à ce qu'une fine couche soit déposée aussi bien dans les zones recouvertes de résine que dans les zones ouvertes. L'épaisseur de la couche de métal doit être inférieure à celle de la résine, de façon à ce qu'il n'y ait pas de continuité entre le métal sur la résine et le métal sur le substrat. Ainsi, lorsque la résine est dissoute dans un solvant, il ne reste plus que le métal qui était en contact direct avec le substrat. Pour que les motifs soient bien définis il faut que la résine soit au moins deux fois plus épaisse que le métal. De plus, les flancs de la résine doivent être parfaitement verticaux, afin d'éviter tout dépôt métallique sur les flancs de résine.



Figure II - 19 : Schémas décrivant les étapes du lift-off.

2.4 Les résultats expérimentaux sur la définition des motifs catalytiques par lithographie et lift-off

La localisation et les dimensions du catalyseur sont deux éléments extrêmement importants pour la croissance VLS. Nous avons donc utilisé la lithographie électronique et le lift-off pour définir des barreaux catalytiques en contrôlant leur position et leur dimension avec précision.

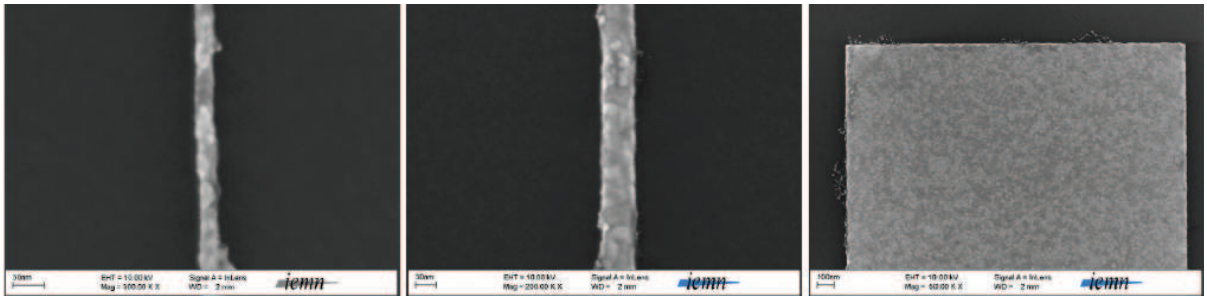
2.4.1 Lithographie électronique: essai de dose

Un essai de dose est nécessaire pour toute nouvelle écriture afin de déterminer la dose de base. Ainsi, une variation de dose a été effectuée pour les deux tensions d'accélération :
- 50keV : de 200µC/cm² à 600µC/cm² par pas de 50µC/cm² (Fig.II-20).
- 100keV : de 300µC/cm² à 700µC/cm² par pas de 50µC/cm² (Fig.II-21).

Pour déterminer la dose la plus appropriée, les motifs ont été mesurés après le lift-off, à partir des images MEB (en vue de dessus : Fig.II-20 et -21). Les dimensions des motifs varient de 20nm à 2µm. Grâce aux corrections de proximité, une seule dose nous permet de définir des motifs de 20nm à 2µm de large. Une énergie d'implantation de 50keV est suffisante pour définir nos motifs. Les paramètre d'exposition, pour définir des motifs de 20nm, 50nm,

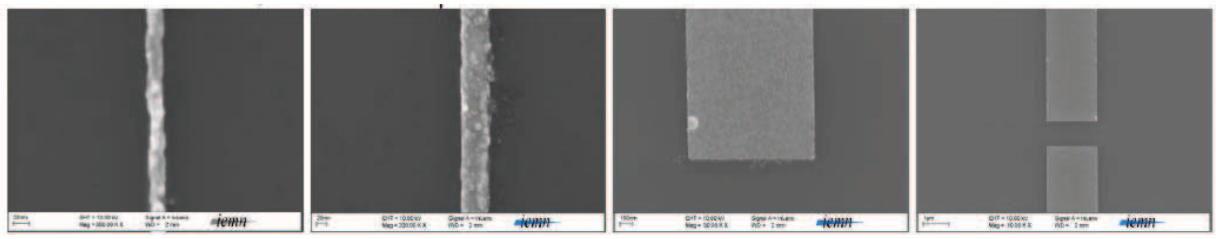
100nm et 2µm de côté sont: une dose de base de 300 µC/cm^2 pour une tension d'accélération de 50keV et un courant de 330µA.

Le masqueur électronique (LEICA EBPG 500+ Entry System) utilisé pour l'écriture peut accélérer les électrons à deux énergies différentes à 50 keV et 100 keV. L'énergie d'implantation agit sur la distribution des électrons dans la résine. Plus l'énergie d'accélération des électrons est importante, plus ces électrons sont directifs (diffusion des électrons minimisée) entraînant une distribution étroite et profonde des électrons dans la résine, améliorant la résolution des motifs.



a) W_{th} = 20nm, W_{mes} ≈ 18nm. b) W_{th} = 50nm, W_{mes} ≈ 49nm. c) W_{th} = 2µm, W_{mes} ≈ 1,9µm

Figure II - 20 : Images MEB (vue de dessus) de motifs en Au sur SiO_2 définis par litho e-beam à 50kev avec une dose de base de 300µC/cm².



a) W_{th} = 20nm, W_m ≈ 20nm. b) W_{th} = 50nm, W_m ≈ 52nm. c) W_{th} = 1µm, W_m ≈ 0,9µm. d) W_{th} = 2µm, W_m ≈1,9µm

Figure II - 21 : Images MEB (vue de dessus) de motifs en Au sur SiO_2 définis par litho e-beam à 100kev avec une dose de base de 450µC/cm².

2.4.2 Protocole expérimentale

Afin que le procédé soit parfaitement reproductible, chaque étape doit être répliquée à l'identique dans un schéma expérimental et déterministe. Voici un résumé des conditions de lithographie et lift-off développée et utilisé par la suite pour tous les essais.

- Dépôt résine : Induction PMMA 950K 4% : a = 1000rpm/s ; v = 2500rpm ; t = 12s
  Evaporation des solvants : T = 80°C ; t = 1min
  Densification : T = 190°C ; t = 30min
  Epaisseur : 200nm
- Lithographie : Tension d'accélération : 50keV
  Dose de base : 300 µC/cm²
  Courant du faisceau : 330pA
  Fichier de correction de proximité
- Révélation : MIBK/IPA (1/3 ; 2/3) : Agitation = 100rpm ; t = 5min
  Développement : t = 60s
  Rinçage IPA : t = 30s
  Séchage : N_2
- Métallisation : Etching Ar : 150eV ; t=1min
  Au : v=5A/s ; P=24,5%

- Lift-off : 3 bains d'acétone : T = 50°C, t = 5min
Rinçage IPA : t = 1min

2.4.3 Problèmes liés au Lif-Off : résidus, décollement, coalescence

Des résidus d'or sont observés autour des motifs. Ces résidus proviennent à la fois des particules en suspensions dans le solvant qui se redéposent sur le substrat, et de l'or présent sur les flancs de la résine autour des motifs. Pour éviter la présence de ces résidus, il est nécessaire de rincer plusieurs fois l'échantillon dans de l'acétone puis dans de l'alcool sous agitation par ultrasons pendant quelques secondes. La présence de résidus est beaucoup plus importante pour les motifs en platine (Fig.II-22). Ce problème est dû à la structure du platine et à ses propriétés physiques. Il faut noter que le platine a une pression de vapeur élevée (31mPa) contrairement à l'or ou au germanium (Au : 0,2mPa ; Ge : 0,07mPa), par conséquent le platine s'évapore plus rapidement mais se condensera plus lentement que l'or ou le germanium (pour des conditions identiques). Dans l'optique d'une croissance localisée, ces résidus métalliques vont engendrer autant de croissances de nanofils parasites.

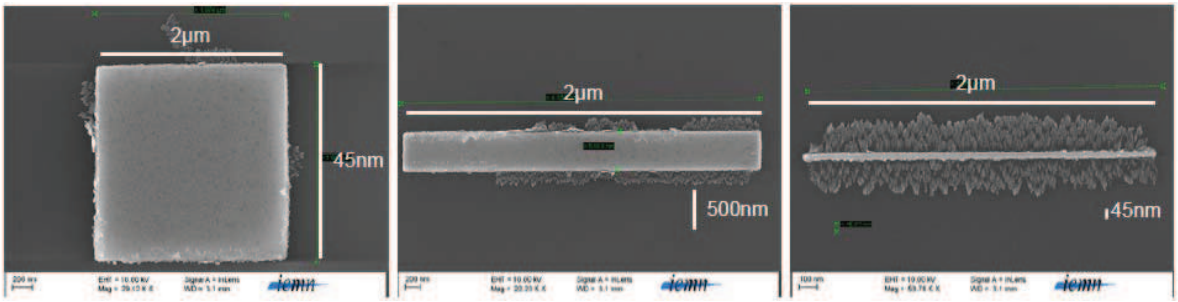
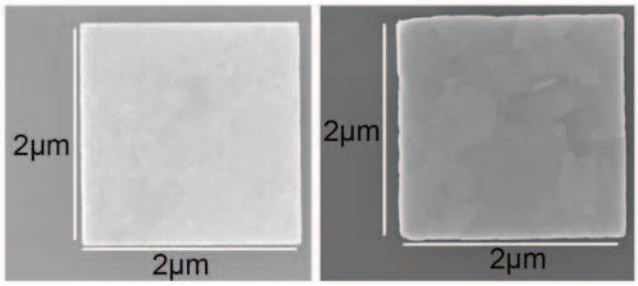


Figure II - 22. : Motifs en Pt (50nm) définis par lift-off

Il est connu que des motifs en or, sur un substrat en oxyde, ont des propriétés d'adhésion limitées. Pour éviter le décollement des motifs en or, une couche d'accroche de titane (Ti) est habituellement utilisée[51]. Dans notre cas, il est préférable de ne pas utiliser ce type de couche, car le titane représente une source de contamination pour la suite. De plus, pour la croissance VLS il est préférable que l'or n'adhère pas trop à la surface. Cependant, il est fréquent que les motifs en or se décollent et disparaissent au cours du lift-off, pour éviter le décollement il ne faut pas utiliser les ultrasons plus de 20s.

Ces motifs catalytiques définissent la position des fils, mais également leur diamètre. Par conséquent, il est important que chaque motif ne se dissocie pas en plusieurs agrégats, afin d'obtenir un seul fil par motif. Nous avons donc vérifié la géométrie des motifs avant et après recuit à 500°C (correspondant aux conditions de croissance). Afin d'éviter ce phénomène, une épaisseur suffisante doit être déposée (>20nm). Pour des motifs d'or de 50nm d'épaisseur, le recuit ne modifie presque pas la forme des motifs, les angles sont juste un peu arrondis (Fig.II-23).



a) Motif d'Au avant recuit b) Motif d'Au après recuit (500°C, 30min)

Figure II - 23 : Images SEM de motifs en or de 50nm d'épaisseur sur une couche de SiO_2 définis par lithographie électronique et lift-off.

Ainsi, nous avons défini avec précision des motifs en or, sans utiliser de couches d'accroche, sans présence de résidus, et qui ne se modifient pas après recuit. Nos échantillons sont donc prêts pour la croissance VLS localisée.

3 La croissance contrôlée

3.1 Etude théorique

3.1.1 Les paramètres importants de la croissance VLS

Nous détaillons ici tous les paramètres agissant sur la croissance.

3.1.1.1 Température

La température est un paramètre important pour la croissance, elle permet d'apporter l'énergie nécessaire pour la dissociation du gaz précurseur à la surface du substrat. Dans la littérature, la température utilisée pour synthétiser des nanofils de silicium par VLS à partir de silane, est comprise entre 400°C et 1000°C. Mais la plupart des croissances s'effectuent à une température inférieure à 600°C, où la vitesse de croissance dépend exponentiellement de la température selon la loi d'Arrhenius.

$$V_g = A \cdot \exp\left(\frac{-E_a}{RT}\right)$$

La température agit sur la vitesse de croissance, et a également un impact sur la morphologie des fils. Il est préférable de ne pas utiliser une température trop importante, car plus la température est élevée, plus le dépôt de silicium amorphe sur le substrat est important. Pour une température trop basse, la vitesse de croissance est très faible, et donc génère des fils de géométries irrégulières.

3.1.1.2 Pression

La pression de la chambre et la pression partielle du silane sont deux paramètres très importants pour contrôler la croissance. *La pression de la chambre* correspond à la pression totale prenant en compte tous les gaz (gaz précurseur et porteur) injectés dans la chambre. Plus la pression est élevée plus la quantité de molécules présente dans la chambre est élevée, augmentant la réactivité à la surface du substrat. *La pression partielle de silane* dépend à la fois de la pression totale de la chambre et de la dilution du gaz précurseur (SiH_4) dans le gaz porteur (Ar/H_2). Dans la littérature, les dilutions fréquemment utilisées sont comprises entre 1% et 20%. La dilution permet d'utiliser une quantité raisonnable de gaz en travaillant à pression totale élevée. La pression partielle agit sur la vitesse de croissance (longueur de fils),

sur la diffusion de l'or de long des fils, sur l'épaisseur de silicium amorphe déposée sur le substrat, sur la morphologie des fils (changement de direction de fils).

3.1.1.3 Flux

Le flux du gaz agit sur le renouvellement des espèces. A pression partielle constante, en augmentant le flux, les espèces sont plus rapidement régénérées et donc plus réactives. Le débit est généralement exprimé en sccm (cm^3/s).

3.1.1.4 Durée

La durée de croissance qui correspond au temps pendant lequel on injecte le gaz précurseur, agit principalement sur la longueur des nanofils. Normalement, pour une condition de croissance donnée, la vitesse de croissance reste constante au cours du temps. De plus, le catalyseur n'étant pas consommée pendant la croissance, en l'absence de diffusion du catalyseur, la croissance n'est pas limitée dans le temps.

3.1.2 Les gaz précurseurs

3.1.2.1 Le silane (SiH_4)

Le silane est le gaz précurseur le plus utilisé pour la croissance VLS de nanofils en silicium en utilisant l'or comme catalyseur, car la température de croissance est relativement basse (comprise entre 450°C et 600°C). Il faut noter, que la vitesse de dépôt non catalysée de silicium, à une température inférieure à 600°C, est basse (< 1nm/min). Le diamètre des nanofils de silicium est généralement compris entre 10nm et 100nm. Le principal inconvénient du silane est qu'il est spontanément inflammable au contact de l'air et peut être explosif en présence d'oxygène.

3.1.2.2 Le disilane (Si_2H_6)

Le disilane est également utilisé pour la croissance VLS, sa gamme de température (450°C-600°C) est similaire à celle du silane. Le disilane ($H_3Si\text{-}SiH_3$) se décompose plus facilement que le silane (SiH_4) car l'énergie de liaison Si-H (318 $KJ.mol^{-1}$) est plus haute que l'énergie de liaison Si-Si (226 $KJ.mol^{-1}$). Il faut noter qu'il est possible avec du disilane de synthétiser des nanofils très fins (~8nm) à 350°C (Fig.II-24)[52 11].

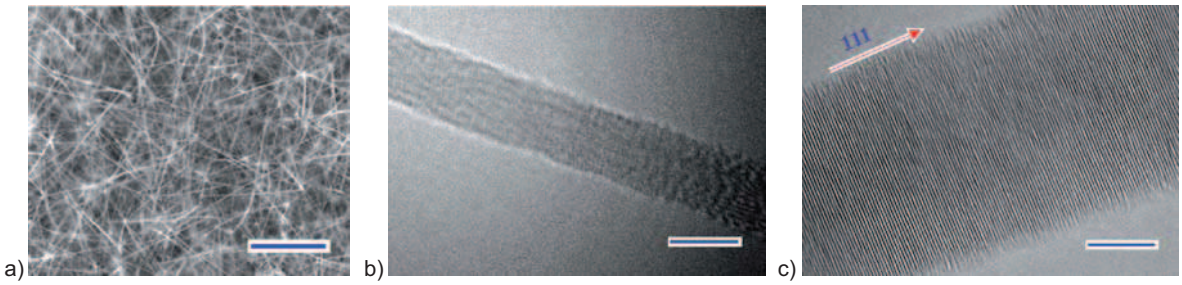


Figure II - 24 : a) Image MEB (vue de dessus) d'une densité importante de nanofils synthétisés sur un substrat Si(111) à 350°C. b) Image TEM basse résolution d'un nanofils de 8nm de diamètre synthétisé à 350°C. c) Image TEM haute résolution du même nanofils, dont sa direction de croissance est <111>. [52]

3.1.2.3 Les gaz chlorés: SiCl4, SiH_2Cl_2, +HCl

Même si le gaz précurseur le plus utilisé est le silane, les autres gaz précurseurs contenant du chlore ont donné lieu à de très bons résultats.

$SiCl_4$: Tout d'abord, le mécanisme VLS a été mis en évidence par Wagner et Ellis [53] (1964) après la synthèse de nanofils de silicium en utilisant un mélange de $SiCl_4$ et de H_2 (Fig.II-25). Le tétrachlorosilane ($SiCl_4$) est un liquide dont la température d'ébullition est à 57°C. Pour former un mélange gazeux $SiCl_4$ et H_2, le gaz porteur (H_2) passe au travers un bain de $SiCl_4$ [54].

SiH_2Cl_2 : Le dichlorosilane est aussi utilisé pour la croissance VLS de nanofils de silicium. Kamins l'a utilisé pour des croissances catalysées par du titane[55]. Hartmann a étudié les vitesses de croissance et l'énergie d'activation à différentes températures, et en ajoutant du HCl au SiH_2Cl_2[56]. Ces deux gaz ont des effets opposés sur la croissance : le SiH_2Cl_2 favorise la croissance de nanofils, alors que le HCl réduit fortement la vitesse de croissance.

SiH_4 et HCl : Le mélange de silane et d'acide chlorhydrique fonctionne aussi très bien pour la croissance de nanofils. En effet, Kamins a synthétisé des nanofils en silicium verticaux et horizontaux à partir de SiH_4 et HCl à 680°C [57] [58]. Il a été mis en évidence que l'ajout de HCl pendant la croissance permet l'obtention de nanofils de diamètres plus petits et constants, sans nanogouttelettes sur les flancs[2]. Deux hypothèses ont été émises pour expliquer ce phénomène : i) le chlore changerait les propriétés de la surface des nanofils (par chlorination) ; ii) le HCl graverait le silicium présent sur la gouttelette facilitant l'adsorption du silicium.

Il faut noter que la croissance avec du $SiCl_4$ et du SiH_2Cl_2 s'effectue à une température plus élevée que le silane, généralement supérieure à 800°C, et que le diamètre des fils sont généralement plus gros lorsqu'il est synthétisé avec du $SiCl_4$ plutôt qu'avec du SiH_4. D'autre part, les gaz chlorés sont connus pour leur capacité à graver le silicium. Ainsi, l'introduction d'un gaz chloré dans le réacteur permet la gravure du silicium amorphe déposé pendant la croissance.

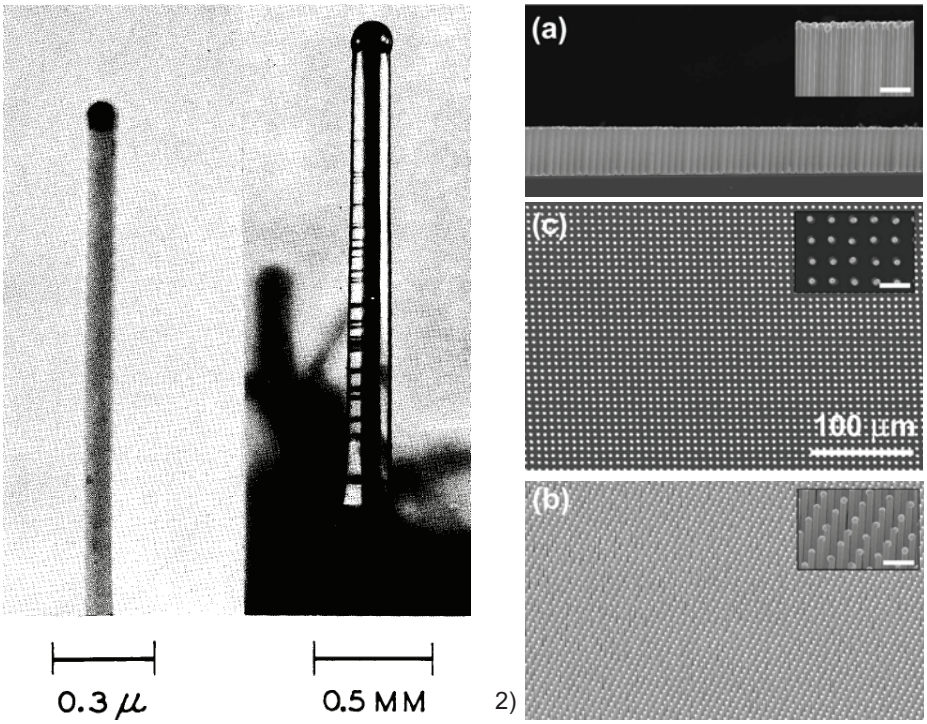


Figure II - 25 : Nanofils synthétisés à partir d'un mélange $SiCl_4/H_2$:
1) Image TEM de « whiskers » en Si publié par Wagner et Ellis [3].
2) Réseau de nanofils en Si verticaux catalysé par de l'or[38].

3.2 Etude expérimentale de la croissance VLS de nanofils sur un substrat plan

3.2.1 Dispositif expérimental

3.2.1.1 Le réacteur CVD : description du four

Le four utilisé pour la croissance VLS est composé d'un tube en quartz d'un mètre de long et de 12cm de diamètre (Fig.II-26-a). La montée en température s'effectue à l'aide de résistances, elle est contrôlée par 3 sondes (thermocouples), et peut monter jusqu'à 1550°C. Les gaz neutres disponibles pour ce four sont : l'azote (N_2), mélange argon/hydrogène (10% H_2/Ar). Les gaz réactifs sont : le silane (SiH_4), le diborane (5% B_2H_6), la phosphine (1%PH_3/H_2). En l'absence de gaz, la pression du four descend jusqu'à 10^{-2} - 10^{-3} mb.

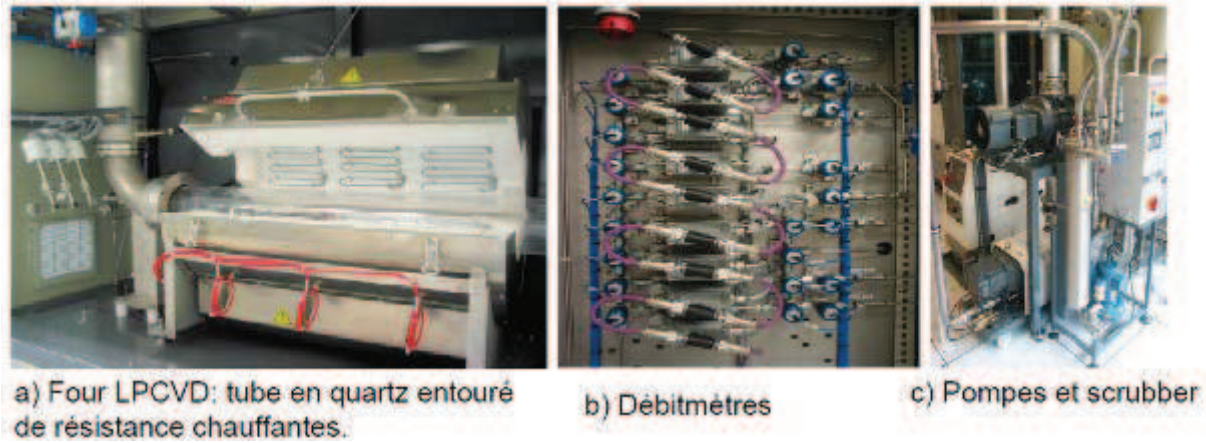


Figure II - 26 : Photographies de l'équipement LPCVD.

3.2.1.2 Les différentes étapes d'une recette

Une recette de croissance est composée de trois étapes principales :
1) Montée en température. 2) Injection des gaz précurseurs. 3) Descente en température.
Pendant la montée en température, un flux d'azote est injecté dans la chambre en gardant un pompage continu pour se stabiliser à 10^{-2}mb, et les différentes lignes de gaz sont purgées. Lorsque la température désirée est atteinte, un test de fuite est automatiquement effectué. Ensuite, l'hydrogène est injecté dans la chambre avec le débit et la pression utilisée pour la croissance. Lorsque le four est dans les bonnes conditions (température, débit d'H_2, pression total) le silane est injectée au débit désiré. Après l'étape de croissance, les gaz réactifs sont coupés et un flux d'azote est injecté pour purger le four, en même temps que la descente en température. La diminution de la température se fait de façon inertielle. Toutes ce étapes sont représentées dans le tableau ci-dessous (Fig.II-27).

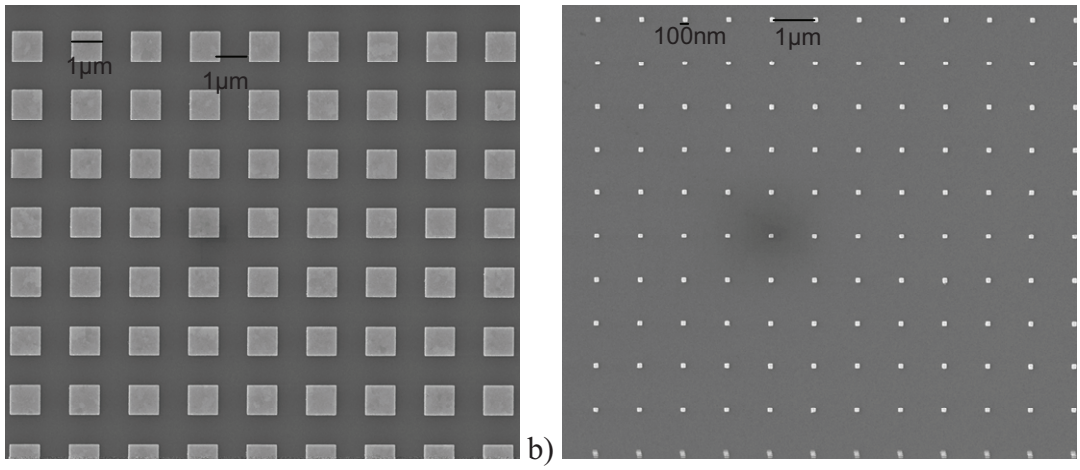
	0	1	2	3	4	5	6	7	8	9	11	12
	Chargemnt	Prépurge	Purge	Pompage	Test fuite	Pompage	Réac 1	Reac 2	Purge 1	Purge 2	Fin cycle	BackFill
T (°C)		300	300	500	500	500	500	500	300	300	200	200
Rp (°C/min)		30		30								
P (mbar)	1040	0	0	0		0	1	1	0		0	1000
t (min)		10	2	7	2	1	3	30	10	4	30	
N2 (l/min)		0,1		0		0	0	0	0,2		0,2	5
H2 (l/min)						0	0.4	0.4				
SiH4 (sccm)							0	21				

Figure II - 27 : Tableau récapitulatif des étapes présentes au cours d'une croissance.

3.2.2 Croissance de nanofils de silicium : Optimisation du procédé

3.2.2.1 Description des échantillons avant croissance

Notre objectif étant de faire croître du silicium par VLS à l'intérieur de cavités de 50nm d'épaisseur sur un substrat amorphe, nous sommes obligés d'utiliser une épaisseur importante d'or (50nm). Nous avons donc, tout d'abord, étudié la croissance VLS (non confinée) sur un substrat amorphe plan en utilisant des barreaux d'or de 50nm d'épaisseur. Les images MEB ci-dessous (Fig.II-28) représentent des motifs en or sur un substrat amorphe. Nous avons fait varier les dimensions et l'espacement des motifs en or. Ainsi, des carrés de 50nm à 2µm de côté, espacés de 100nm à 20µm ont été définis.

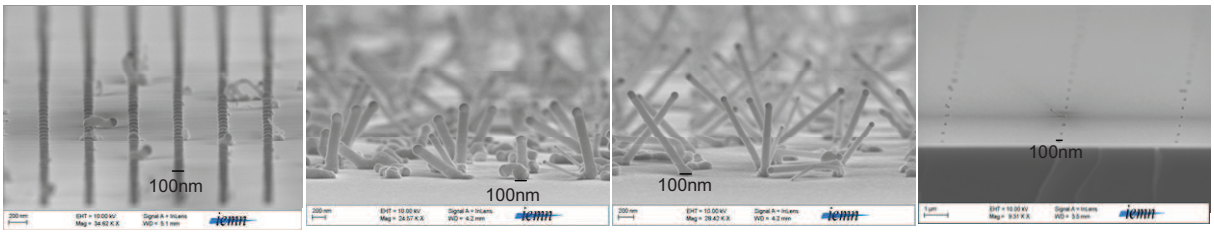


a) b)

Figure II - 28: Image MEB (vue de dessus) de motifs en Au de 50nm d'épaisseur définis par lift-off sur un substrat recouvert d'un couche de SiO_2 :
a) Carrés de 1µm de côtés espacés de 1µm. b) Carrés de 100nm de côtés espacés de 1µm.

3.2.2.2 Influence du débit total

Le débit total des gaz joue un rôle majeur dans la synthèse des nanofils. Pour étudier l'impact du débit sur les nanofils synthétisés par VLS, tous les autres paramètres sont conservés constants. Il est important de garder la même pression totale et la même pression partielle de silane. A cette fin, les débits des gaz porteurs et du gaz précurseur sont modifés de manière proportionnelles. On garde une dilution de silane dans H_2/Ar à 5%, une pression totale à 0,5mb, et donc une pression partielle à 0,025mb. La température utilisée est à 500°C, et le silane est injecté dans le four pendant 30min. Le débit total a été modulé de 100sccm jusqu'à 842sccm. Si le débit est trop faible (100sccm), très peu de barreaux donnent des nanofils, et le peu de fils obtenus ne sont pas droits (Fig.II-29-a). En augmentant le débit la réactivité des barreaux d'or est augmentée. A 211sccm, quasiment tous les barreaux d'or donnent naissance à des nanofils, la plupart des nanofils sont droits mais beaucoup d'entre eux restent accolés au substrat (Fig.II-29-b). Le débit nécessaire pour obtenir des nanofils long et droits est 421sccm (Fig.II-29-c). Si le débit est supérieur ou égal à 600sccm, la réactivité des barreaux d'or diminue jusqu'à s'annuler (842sccm : Fig.II-29-a). Ceci s'explique par le fait que le temps de résidence des précurseurs n'est pas assez long, car la vitesse de pompage augmente avec le débit afin de conserver la pression donnée.

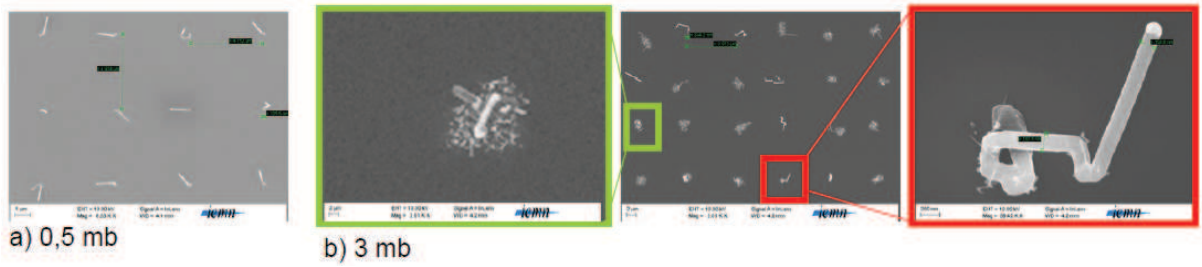


a) 100 sccm b) 211 sccm c) 421 sccm d) 842 sccm

Figure II - 29 : Images MEB (vue en coupe et incliné) de la croissances VLS, à partir de barreaux d'or de 50nm d'épaisseur et de 200nm de côté, pour différents débits total.
(500°C, 30min, 0,5mb, 5%SiH_4 dans H_2/Ar).

3.2.2.3 Influence de la pression totale

Lorsqu'on augmente la pression, la croissance des nanofils est moins bien contrôlée. Il se produit deux phénomènes : les nanofils ont une forme géométrique irrégulière (changement de directions au cours de la croissance), et un nombre important de nanofils sont synthétisés à l'emplacement d'un barreau d'or (Fig.II-30-b). Quand la pression augmente, beaucoup plus d'espèces réactives sont présentes dans la chambre, augmentant la vitesse de croissance et la densité des nanofils.



a) 0,5 mb b) 3 mb

Figure II - 30 : Images MEB (vue de dessus) de nanofils Si synthétisé par VLS à partir de barreaux d'or de 50nm d'épaisseur et de 200nm de côté (500°C, 30min, 400sccm, 5%SiH_4/H_2-Ar):
a) Basse pression (0,5mb) : un nanofil Si est obtenu pour chaque barreau d'Au.
b) Haute pression (3mb) : une quantité importante de nanofils de formes irrégulières sont obtenus pour chaque barreau d'or.

3.2.2.4 Influence de la température

Des essais de croissances ont été réalisés à plus basse température. Lorsque la température diminue la réaction de décomposition du silane au niveau des barreaux d'or diminue de manière significative. En effet à 480°C, les barreaux catalytiques génèrent beaucoup moins de nanofils qu'à 500°C (Fig.II-31-b). A 450°C, les barreaux d'or n'ont pas été modifiés, l'alliage Au-Si ne s'est pas formé (Fig.II-31-a).

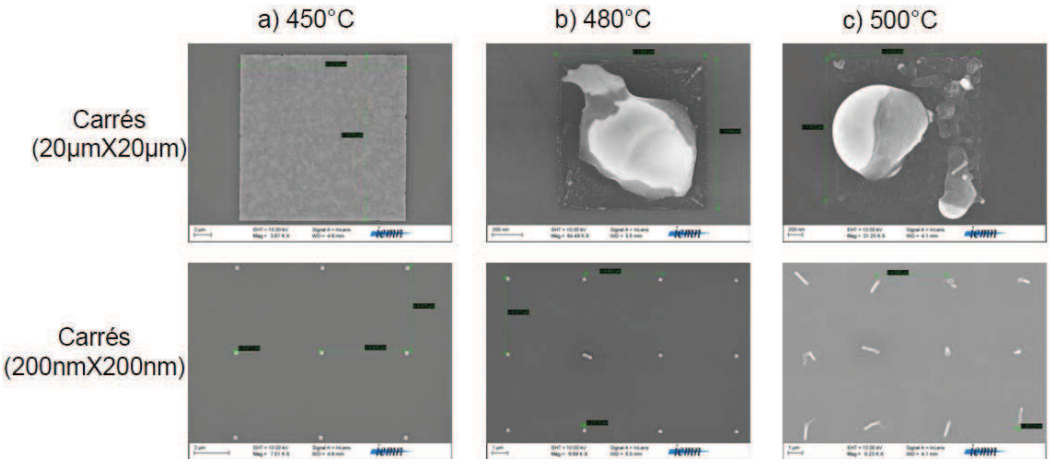


Figure II - 31 : Images MEB (vue de dessus) de nanofils Si synthétisé par VLS à partir de barreaux d'or de 50nm d'épaisseur (500°C, 30min, 400sccm, 5%SiH_4 dans H_2/Ar):
a) Basse température (450°C) : Barreaux inchangés.
b) A 480°C : Début de croissance pour les gros motifs (barreaux d'Au de 20µm de côté). Pour les plus petits barreaux d'or (200nm de côté), très peu de fils sont obtenus (ici : 1 nanofil pour 12 barreaux d'Au).
c) A 500°C : Chaque motif génère un ou deux nanofils. (MEB : 12 nanofils pour 12 barreaux d'Au).

3.2.2.5 Comparaison de différents substrats amorphes

L'objectif final étant la croissance catalytique de silicium dans des cavités à base de Si_xN_y (PECVD) ou de Si_xO_y (PECVD) sur un substrat en SiO_2 (thermique), des croissances pleines plaques (T=500°C, P=0,8mbar, d=100sccm, t=30min) ont été effectuées sur ces 3 matériaux dans les mêmes conditions. Les résultats obtenus pour chaque matériau sont illustrés en Fig.II-32.

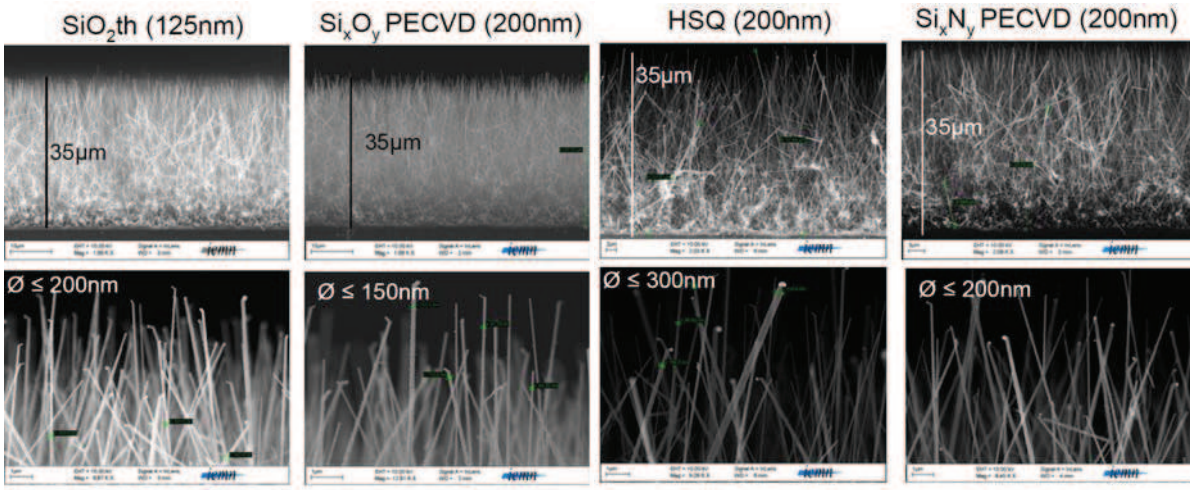


Figure II - 32 : Images MEB, en vue de coupe, après la croissance VLS pleine plaque sur quatre substrat différents.

Après la croissance VLS, une forte densité de nanofils de silicium avec une gouttelette d'or à leur extrémité a été obtenue pour chaque échantillon. Ainsi, pour chaque substrat, la longueur et la largeur des nanofils obtenus ont été comparées (cf. tableau en Fig.II-33). Les dimensions mesurées sont quasiment identiques, aucune différence significative entre ces 4 matériaux n'a pas été observée. Nous en déduisons que ces 4 matériaux n'ont pas une influence importante sur la longueur et le diamètre des nanofils.

Substrat	Longueur des NWs Si	Diamètre des NWs Si
SiO_2 thermique	35 µm	20 – 200 nm
Si_xO_y PECVD	35 µm	20 – 150 nm
Si_xN_y PECVD	35 µm	20 – 200 nm
HSQ non densifié	35 µm	20 – 300 nm

Figure II - 33 : Tableaux présentant les grandeurs caractéristiques des nanofils Si obtenus par croissance catalytique sur différents types de substratq amorphes

3.2.3 Contrôle du diamètre et de la position des nanofils

3.2.3.1 Contrôle du diamètre

Les dimensions des barreaux catalytiques varient de 50nm à 2µm de côté avec une épaisseur de 50nm. Pour les conditions de croissance considérées, le contrôle du diamètre des nanofils s'est avéré effectif pour des dimensions de barreau inférieures ou égales à 200nm (Fig.II-34). Les images MEB ci-dessous, mettent en évidence le fait que les barreaux d'or supérieurs à 500nm de côté forment un mélange d'or et de silicium après la croissance. Nos conditions de croissance ne sont pas adaptées pour la fabrication de fils de gros diamètres (>500nm). Pour une condition de croissance donnée, il est impossible de faire croître des nanofils de diamètres variant de 50nm à plusieurs microns. Cependant, nous arrivons à contrôler les diamètres des nanofils de 50nm à 200nm de façon assez précise (±1/10 du diamètre défini par le barreau d'or). La base du nanofil est généralement plus grande que le diamètre du nanofils. Le diamètre a tendance à diminuer au cours de la croissance, ceci est liée à la diffusion de l'or le long des parois du nanofils et donc à la réduction de surface de précipitation (interface alliage/Si).

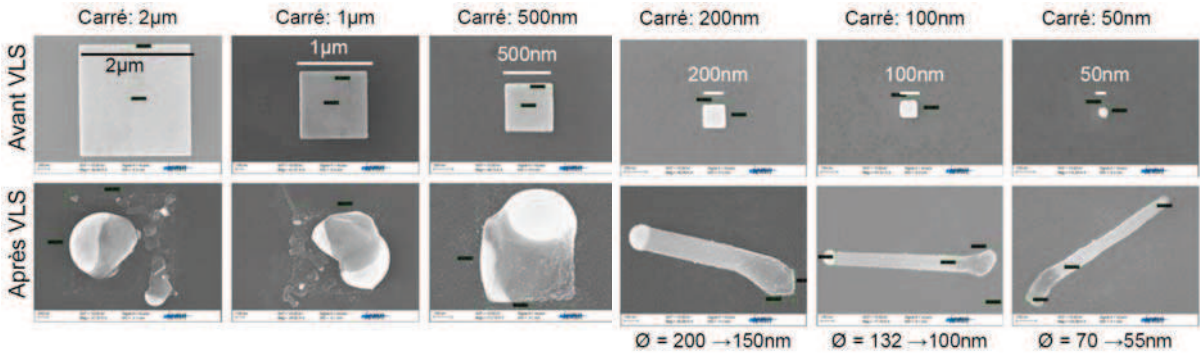


Figure II - 34 : Images MEB (vue de dessus) de nanofils Si synthétisé par VLS à partir de barreaux d'or de 50nm d'épaisseur et 50nm à 2µm de côté. (500°C, 30min, 400sccm, 5%SiH_4 dans H_2/Ar)

3.2.3.2 Influence des dimensions du catalyseur sur la croissance

Lorsque le diamètre des nanofils diminue, la longueur des nanofils reste quasiment constante (Fig.II-35), ce qui signifie que la vitesse de croissance est indépendante du diamètre des nanofils ou du volume da la goutte d'or. D'autre part, le diamètre des nanofils n'agit pas sur leurs orientations. Comme le substrat utilisé est amorphe, l'orientation des nanofils est aléatoire (Fig.II-35) et ont tendance soit à pousser obliquement, soit à pousser le long du substrat (horizontalement).

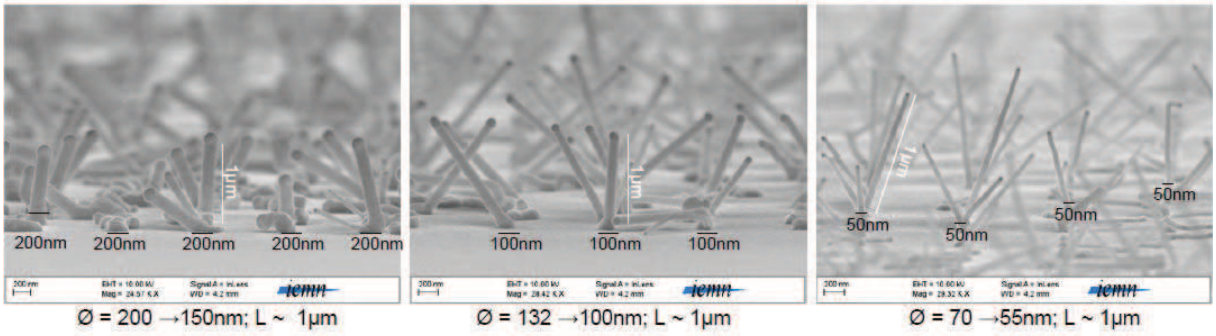


Figure II - 35 : Images MEB (vue de inclinée) de nanofils Si synthétisé par VLS à partir de barreaux d'or de 50nm d'épaisseur (500°C, 30min, 400sccm, 5%SiH_4 dans H_2/Ar):
a) Barreaux d'Au de 200nm de côté initialement, donnant des fils de 200nm de diamètre en bas du fil, et 150nm en haut. b) Barreaux d'Au de 100nm de côté initialement, donnant des fils de 130nm de diamètre en bas du nanofil, et ~130nm en haut. c) Barreaux d'Au de 50nm de côté initialement, donnant des fils de 70nm de diamètre en bas du nanofil, et 50nm en haut.

3.2.3.3 Contrôle de la position

Généralement, un barreau d'or génère un nanofil de silicium, mais il arrive que deux nanofils soient formés à partir d'un seul barreau d'or (Fig.II-36). Si on ne considère que les cas où l'on obtient un nanofil pour un barreau d'or, la position du nanofil est parfaitement contrôlée par la position du catalyseur. Ce qui signifie que l'or ne se déplace pas sur le substrat pendant la croissance, même sous forme liquide.

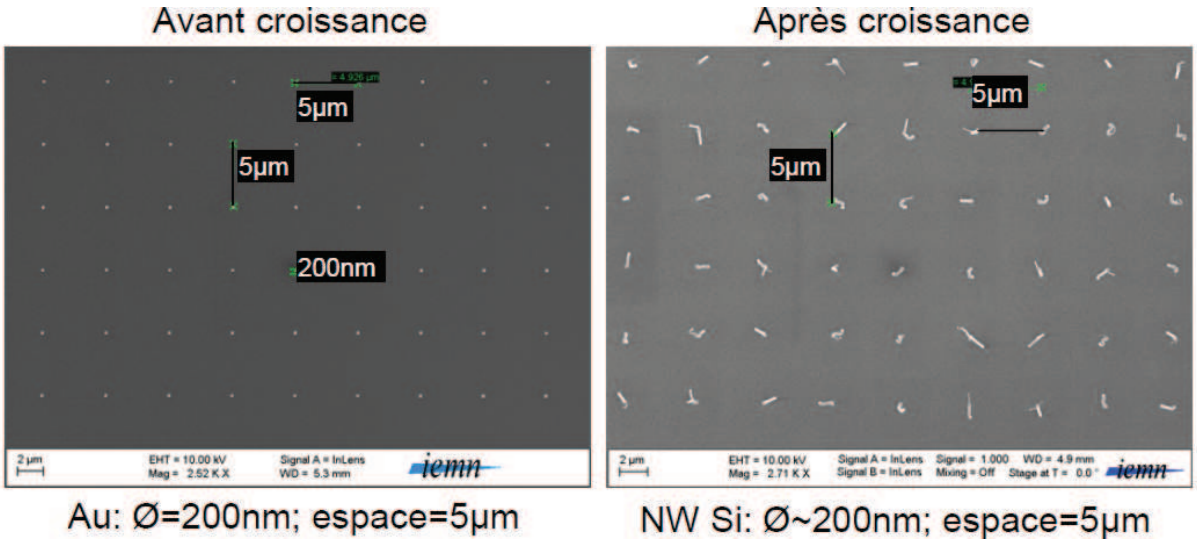


Figure II - 36: Images MEB (vue de dessus) de nanofils Si synthétisé par VLS à partir de barreaux d'or de 50nm d'épaisseur, de 200nm de côtés espacés de 5µm. (500°C, 30min, 400sccm, 5%SiH_4 dans H_2/Ar)

3.2.4 Croissance à partir de platine.

Le platine présente plusieurs avantages pour catalyser la croissance VLS par rapport à l'or, entre autre le problème de contamination. Par conséquent, des essais de croissance ont été mis en œuvre en utilisant le platine comme catalyseur. Très peu d'articles ont été publiés sur la croissance VLS catalysée avec du platine[35] [36]. Un seul article décrit la croissance de nanofils de silicium à 500°C à partir de PtSi[37]. Nous avons donc, tout d'abord, comparé le siliciure de platine et le platine pour catalyser la croissance de nanofils de silicium.

3.2.4.1 Comparaison Pt et PtSi

La croissance a été effectuée sur des échantillons recouverts entièrement de platine ou de siliciure de platine. La préparation de ces échantillons a été décrite dans le paragraphe 2.1.5.2. Une température de croissance plus élevée qu'avec l'or (500°C) a été utilisée (600°C). Ainsi, nous avons observé que le platine permet de synthétiser des nanofils plus longs et plus denses qu'en utilisant du siliciure de platine comme catalyseur (Fig.II-37). On observe dans les deux cas, que les nanofils ont une forme conique. Après 30 minutes de croissance à 600°C, 200nm de silicium amorphe a été déposé sur le substrat. Ce dépôt conforme parasite représente un inconvénient majeur pour la croissance confinée, car cette couche non catalysée est susceptible d'obstruer l'entrée des cavités et d'empêcher la croissance confinée.

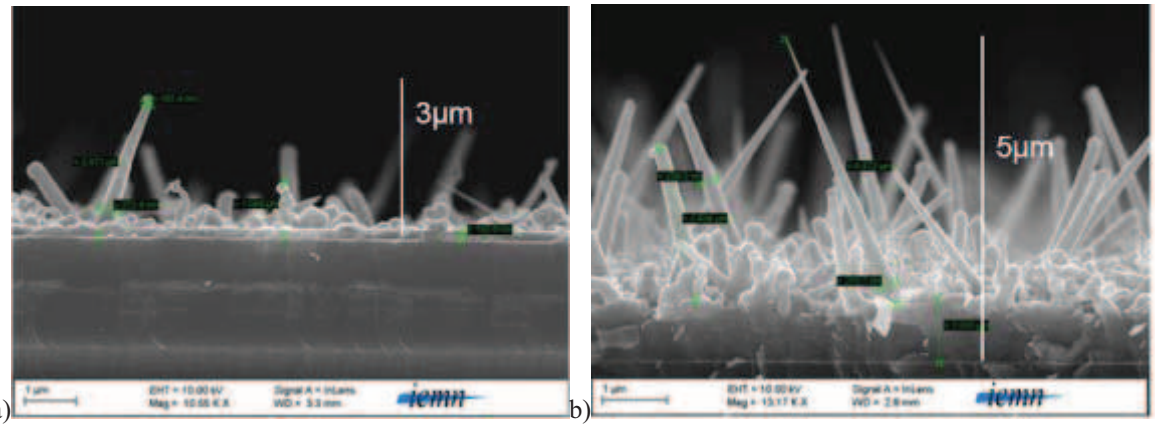


Figure II - 37 : Images SEM (vue en coupe) de nanofils Si (600°C, 0,5mb, 100sccm, 20%, 30min) : a) Catalyseur : 5nm de PtSi. b) Catalylseur : 5nm de Pt

La croissance catalysée par le platine donne des nanofils plus longs et plus denses que celle catalysée par le siliciure de platine, nous allons optimiser la recette ce croissance en utilisant uniquement le platine.

3.2.4.2 Optimisation des conditions de croissance catalysée par le platine

En utilisant la recette optimisée dans le cas de l'or (500°C, 0,5mb, 5%, 100sccm, 30min), aucun nanofil n'a été obtenu avec du platine. Différents paramètres ont été modifiés pour obtenir des nanofils les plus longs possible en minimisant le dépôt de silicium amorphe.

Influence de la température

L'utilisation du platine en tant que catalyseur nécessite une température plus élevée (comparée à l'or) afin d'activer la décomposition du silane. Cela amène à une situation de compromis : plus la température est élevée, plus le dépôt de silicium amorphe sur le substrat est important : 60nm, 200nm et 660nm de silicium amorphe est déposé sur le substrat pour les températures 550°C, 600°C et 700°C respectivement. A 550°C, des nanofils courts (<300nm), de diamètres inférieurs à 100nm, et de formes irrégulières sont obtenus après 30min de croissance (Fig. II-38.a). Par contre, à 600°C, des nanofils rectilignes pouvant atteindre jusqu'à 5µm de long ont été synthétisés (Fig. II-38.b). Une diminution du diamètre est observée le long des nanofils. Généralement, le diamètre à la base des nanofils est de l'ordre de 300nm et diminue jusqu'à une cinquantaine de nanomètre au sommet des nanofils. Une température encore plus élevée a été testée, 700°C, mais le résultat est moins intéressant qu'à 600°C. En effet, les nanofils sont plus courts et ont une forme très irrégulière régulière (Fig. II-38.c). Par conséquent, 600°C a été la température sélectionnée pour les expériences suivantes.

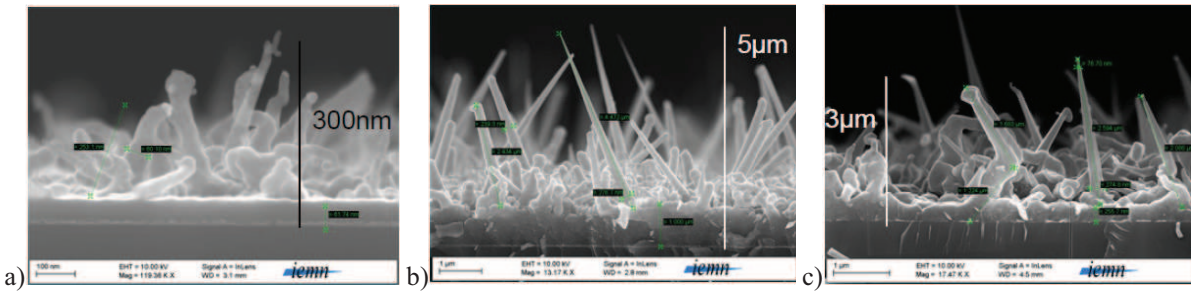


Figure II - 38 : Images SEM (vue en coupe) de nanofils Si (0,5mb, 100sccm, 20%, 30min) :
a) T = 550°C. b) T = 600°C. c) T = 700°C.

Influence de la pression partielle (dilution du SiH_4)

Afin de réduire l'épaisseur du dépôt non catalysé de silicium amorphe, la pression partielle du silane a été réduite, en diminuant d'abord le débit du silane, puis en augmentant le débit de gaz neutres H_2/Ar (Fig. II-39). Même à basse pression partielle, le dépôt de silicium amorphe reste important, avec une épaisseur de 90nm. Notons, qu'à 0,025mb de silane, une couche de 120nm de silicium amorphe a été déposée. Pour la croissance confinée, des cavités de 50nm de haut seront utilisées. Il est donc indispensable de réduire de manière significative le dépôt de silicium non catalysé, jusqu'à obtenir une épaisseur inférieure à 40nm. Ceci serait possible en ajoutant un gaz chloré (cf. §3.1.2.3), mais notre équipement n'est pas adapté à ce type d'expérience.

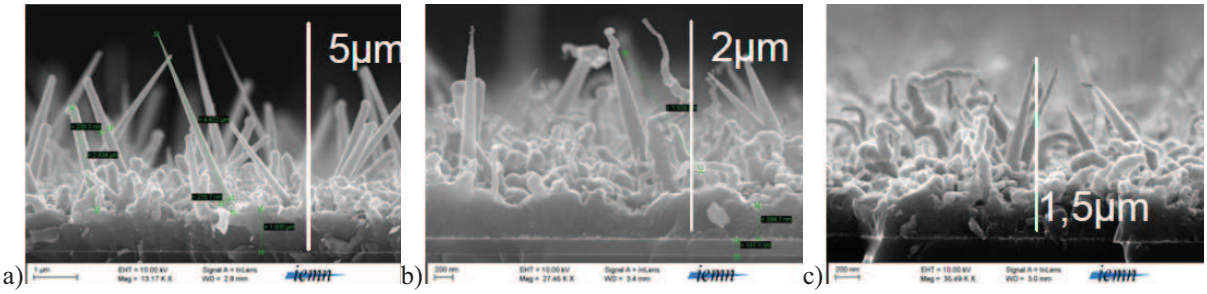


Figure II - 39 : Images SEM (vue en coupe) de nanofils Si à pression partielles (600°C, 30min) :
a) P_{SiH4}=0,1mb. b) P_{SiH4}=0,025mb. c) P_{SiH4}=0,012mb.

3.2.4.3 La localisation

La croissance localisée fonctionne très bien dans le cas du platine. En effet, seuls les barreaux de catalyseur génèrent des nanofils (Fig.II-40). Cependant, il faut noter que chaque barreau catalytique génère une quantité importante de nanofils, quelque soit les dimensions des motifs en platine. Par conséquent, le positionnement des fils n'a pas été contrôlé de manière précise contrairement à l'or.

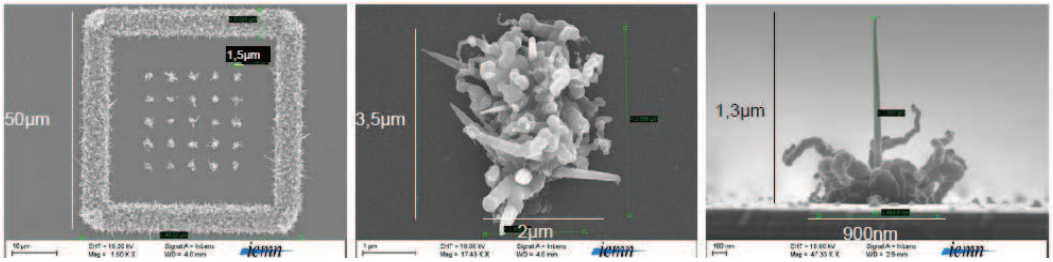


Figure II - 40 : Nanofil synthétisés à partir de motifs en Pt définis par lift-off (600°C, SiH4:20sccm, H2:800sccm, 0,5mb, 30min)

3.2.4.4 Morphologie des nanofils de silicium catalysés par du platine

La morphologie des nanofils, synthétisés par du platine, est très différente des nanofils catalysés avec de l'or, comme nous pouvons l'observer sur les images MEB de la Fig.II-41 :
- une quantité importante de nanofils de formes irrégulières est obtenue.
- les nanofils rectilignes (un seul axe de croissance) ont une forme pyramidale (conique). Plus précisément, le diamètre des nanofils n'est pas constant, il diminue fortement au cours de la croissance.
- la surface des nanofils est rugueuse. Ceci est certainement du au dépôt de silicium amorphe sur les parois des fils pendant la croissance, ce qui expliquerait la forme pyramidale des nanofils.
- Le catalyseur présent au bout des nanofils n'a pas une géométrie sphérique, comme dans le cas de l'or, mais possède plusieurs facettes.

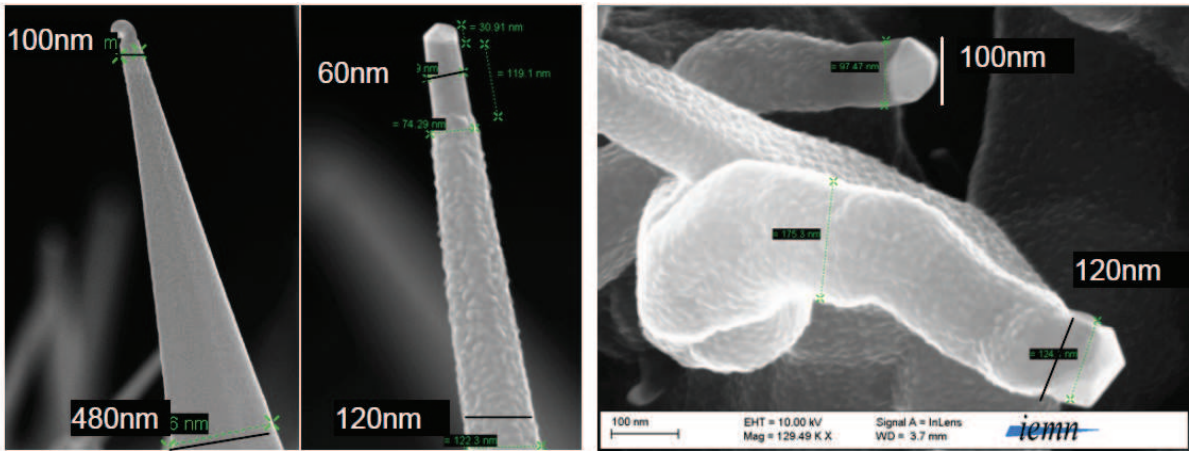


Figure II - 41 : Images MEB de nanofils en silicium catalysés avec du Pt.

Ainsi, nous avons optimisé les conditions de croissance en utilisant l'or comme catalyseur. Les motifs en or, définis par lithographie et lift-off, nous ont permis de maîtriser le positionnement et le diamètre des nanofils. Un deuxième catalyseur a également été étudié, le platine, cependant les résultats ne sont pas aussi satisfaisants qu'avec l'or.

4 Etude morphologique des nanofils

4.1 Etude bibliographique de la structure cristalline des nanofils

La caractérisation structurale des nanofils en silicium est étudiée essentiellement par microscopie électronique en transmission (MET). En effet, le MET dispose de la résolution suffisante pour donner des informations à la fois sur l'arrangement atomique des nanofils, sur l'axe de croissance, sur les défauts cristallin, et sur la structure des flancs des nanofils.

4.1.1 La structure cristalline du silicium

La structure cristalline du silicium est de type diamant, forme dérivée de la structure cubique faces centrées (cfc avec sites tétraédriques occupés). Il faut noter que les plans les plus denses de cette structure sont les plans orientés suivant l'axe <111> (Fig.II-42).

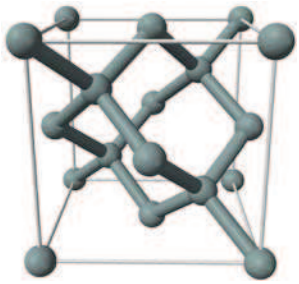


Figure II - 42 : Schéma représentant la structure atomique d'une maille de Si [59]

4.1.2 Les directions de croissance

4.1.2.1 Les différentes directions de croissance de nanofils de silicium

Les directions de croissance des nanofils, synthétisés à partir d'une surface cristalline, les plus fréquemment reportées dans la littérature sont : <111>, <110>, et <112> (cf : Fig II-43). Les résultats expérimentaux publiés dans les journaux scientifiques démontrent que la direction de croissance peut dépendre de l'orientation cristalline du substrat[64], du diamètre des nanofils[60] et de la pression totale[64].

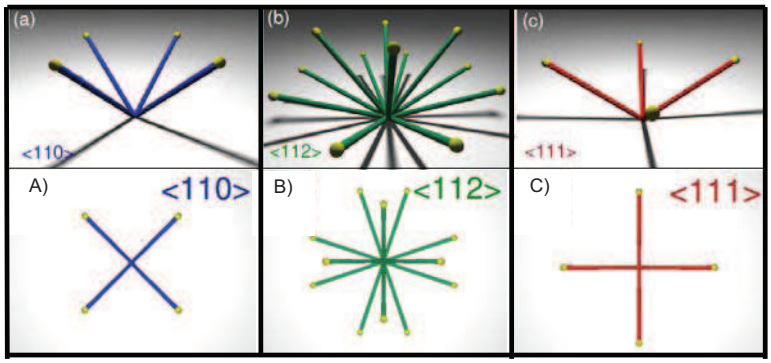


Figure II - 43: Représentation schématique en vue de côté (a, b, c) et vue de dessus (A, B, C) des diverses orientations de nanofils sur un substrat (100). [61]

a-A) Quatre directions de croissance de nanofils <110>.
b-B) Douze directions de croissance de nanofils <112>.
c-C) Quatre directions de croissance de nanofils <111>.

4.1.2.2 L'influence du diamètre sur la direction de croissance

La direction de croissance la plus courante, pour les nanofils dont le diamètre est supérieur à 40 nm, est <111> (Fig.II-44)[3] [60]. L'explication avancée dans la littérature, repose sur l'énergie de surface à l'interface liquide-solide, plus précisément sur l'abaissement de l'énergie de Gibbs. Puisque les plans {111} ont la plus grande densité d'atomes, pendant la croissance, les atomes de silicium précipitent sur la surface {111} en utilisant une énergie de Gibbs la plus basse[62]. Lorsque les diamètres des nanofils sont plus petits, l'énergie libre des parois des nanofils doit être prise en compte, et la direction <112> devient la direction de croissance des nanofils la plus favorable, puis <110> pour les nanofils les plus fins (<20nm)[63].

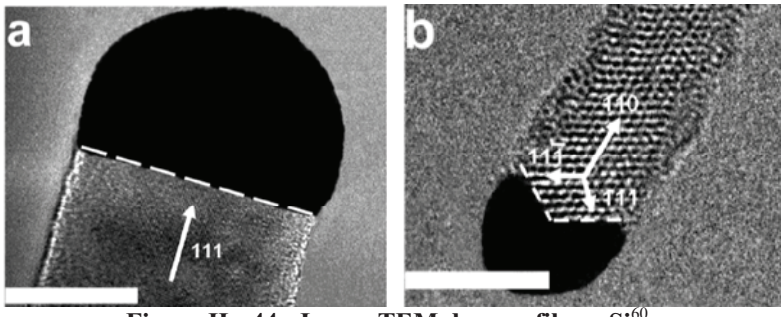
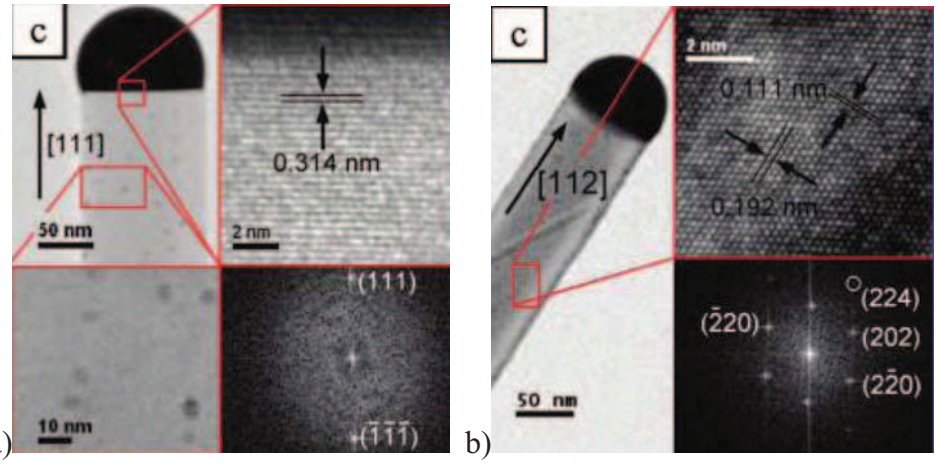


Figure II - 44 : Image TEM de nanofils en Si[60].

4.1.2.3 Influence de la pression sur la direction de croissance

La pression totale du four joue également un rôle sur la direction de croissance comme l'a montré Lungstein[64]. Ainsi, la direction de croissance <112> est favorisée pour des croissances sous une pression totale élevée (Fig.II-45).



a) b)

Figure II - 45 : Image TEM de nanofils monocristallin synthétisé à 500°C sur un substrat Si(111) : a) Un nanofil avec une direction de croissance <111>, obtenu sous une pression totale de 3 mbar. L'image HRTEM en haut à droite montre les plans atomiques {111}. b) Un nanofil vec une direction de croissance de <112>, obtenu sous une pression totale de 15 mbar. L'image HRTEM en haut à droite montre les plans atomiques {224} séparés de 0,11nm. [63]

4.1.2.4 Changement de la direction de croissance et présence de macles

Les nanofils de silicium sont connus pour leur haute qualité cristalline, cependant ils présentent en générale des défauts cristallins : macles, défauts d'empilement et micromacles. Un joint de macle est un plan atomique simple qui sépare deux domaines cristallins voisins avec des orientations relatives spécifiques, et sans liaisons pendantes à l'interface. Les macles ont une structure cristallographique identique et sont reliées par une relation de symétrie[65]. Davidson[66] a démontré que les nanofils de silicium et de germanium synthétisés par SFLS (Supercritical Fluid-Liquid-Solid) et SLS (Solid-Liquid-Solid) dans la direction <111> ne présentent pas de macles {111}. Cependant, les nanofils dont la direction de croissance est <112> incorporent des macles {111} qui s'étendent dans la longueur du nanofil[66]. Ce même type de macle, parallèle à l'axe de croissance, a été observé sur des nanofils de silicium synthétisés par VLS (5%SiH_4/H_2, 500°C), formant un bi-cristal (Fig.II-46-a)[68]. Des macles perpendiculaires à l'axe de croissance ont été également observées par HRTEM (Fig.II-46-b)[69]. D'autre part, il a été mis en évidence que des macles peuvent provoquer un changement de direction des nanofils. En effet, Cayron[67] en étudiant la structure crystalline des nanofils en

silicium, montre qu'une macle, apparu pendant la croissance, provoque un changement de direction de <11-1> à <21-1> ; produisant la transformation d'un monocristal en un bi-cristal. Le plan {111} à l'interface liquide/solide se dédouble en deux plans distincts (Fig. II-46-d).

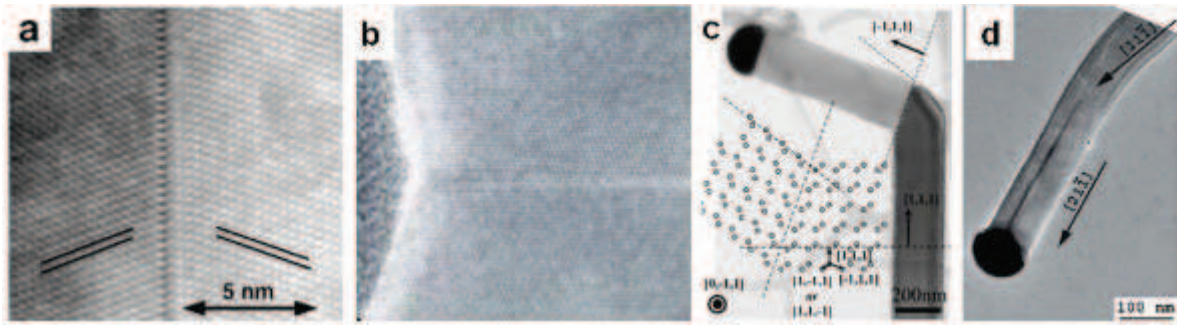


Figure II - 46 : Macles et changement de direction de croissance :
a) Image HRTEM d'un nanofil Si bicristallin avec un joint de macle {111} parallèle à l'axe de croissance[68].
b) Image HRTEM montrant un défaut de macles horizontales sur le plan <111> (axe de zone : <0-11>)[69].
c) Image TEM d'un nanofil avec un changement de direction causé par une macle Σ3[69].
d) Image TEM d'un nanofil Si contenant un changement de direction de croissance de <111> à <211>[677].

Le changement de direction de croissance est fréquent au cours de la croissance VLS[2] [17]. Huyn[62] a mis en évidence que le changement de direction des nanofils peut être provoqué par un changement brutal de la pression totale du four. Des analyses HRTEM ont montré qu'un changement de pression de 3mb à 15mb induit un changement de direction des nanofils de <111> à <112>. Une explication rapportée dans la littérature sur une cause à l'origine de la formation des défauts cristallins est l'instabilité à l'interface liquide/liquide. Dans ce cas-ci la pression partielle est changée, par conséquent la vitesse d'incorporation du silicium dans l'alliage Au-Si augmente et un nouveau potentiel de Gibbs est établi. La Fig. II-47 illustre ce phénomène, le passage de la direction <111> à <21-1> crée un angle de 61,87°. Les plans {111} sont visibles par HRTEM, et la transformé de Fourrier de l'image TEM confirme la continuité de la structure. Le schéma met en évidence le changement de géométrie du nanofil, le passage d'un nanofil à base hexagonale à un nanofil à base rectangulaire provoqué par le changement d'orientation.

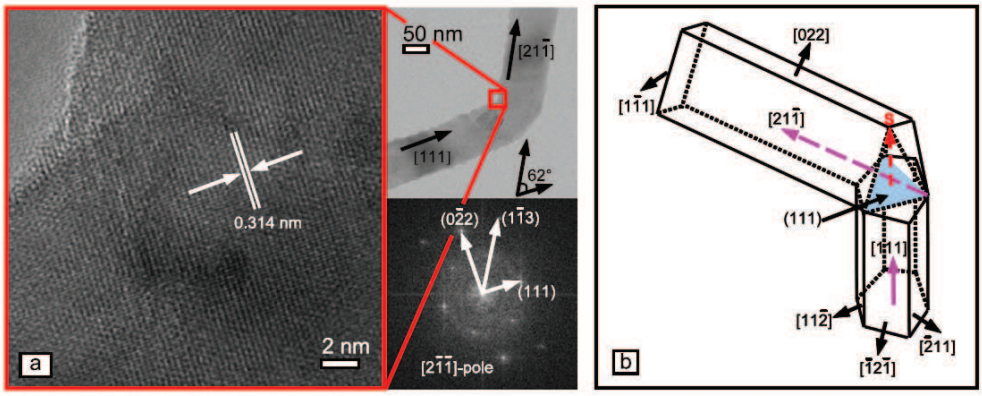


Figure II - 47 : a) Images TEM à faible et gros grossissement d'un nanofil Si avec un défaut cristallin dû au changement de direction de <111> à <21-1>.
b) Schéma 3D représentant le changement de direction du nanofils précédent[62].

4.1.3 La morphologie des parois et les facettes des nanofils

Les parois des nanofils en silicium, synthétisé par VLS en utilisant l'or comme catalyseur, possèdent une géométrie particulière. Ces nanofils sont généralement facettés à la

fois verticalement et horizontalement. Des observations très précises ont été effectuées par MEB et TEM, par différents groupes de recherche[70 20 2]. Ross a analysé plusieurs nanofils par TEM directement dans la chambre de croissance (UHV-CVD) évitant ainsi l'oxydation de leurs parois et le dépôt CVD non catalysé. Ainsi, ils ont mis en évidence que les nanofils ont une section hexagonale comprenant trois grands côtés et trois petits côtés, disposés de façon alternés. Seuls les petits côtés ont des facettes en dent de scie visibles au TEM. L'hypothèse proposée pour expliquer l'apparition des facettes en dents de scie, serait l'oscillation périodique de l'étalement de la goutte d'alliage liquide au sommet du nanofil (Fig.II-48).

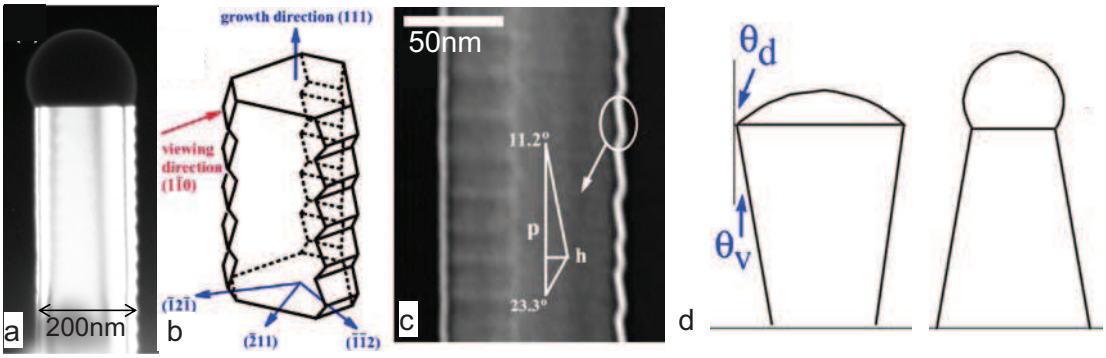


Figure II - 48 : a) Image d'un nanofil Si avec un côté facetté. b) Schéma 3D de la structure des flancs d'un nanofil. c) Image défocalisée montrant la structure de deux parois d'un nanofil. d) Schéma expliquant l'oscillation périodique de nanofils[70]

La présence de facettes sur les parois de nanofils de silicium a également été observée au MEB pour des nanofils synthétisés dans un four LPCVD (contrairement à Ross qui utilise une enceinte UHV-CVD). Leurs observations sont assez cohérentes avec les analyses de Ross. En effet, David a montré qu'au pied d'un nanofil (diamètre > 300nm) la section est hexagonale contenant trois grands et trois petits côtés alternés, chaque côté contient des facettes. Ils ont également mis en évidence l'évolution de la forme géométrique de la section du nanofil d'hexagonale (au pied du nanofil) à dodécagonale (au sommet du nanofil), avec l'apparition de six faces qui s'intercalent entre les six premières contenant des facettes inclinées. Une étude de la morphologie et de la structure des facettes par TEM et STEM a été effectuée à l'IEMN (Fig.II-49)[20]. Cette dernière confirme la modification du nombre de parois pendant la croissance des nanofils comme avancé par David, avec une présence alternée de parois étroites et larges. De plus, toutes les parois contiennent des facettes recouvertes d'agrégats d'or. Tao montre enfin que la forme effilée des nanofils serait liée à deux contributions : la réduction de la taille du catalyseur pendant la croissance, et la croissance latérale par incorporation directe des atomes de silicium sur les parois des nanofils.

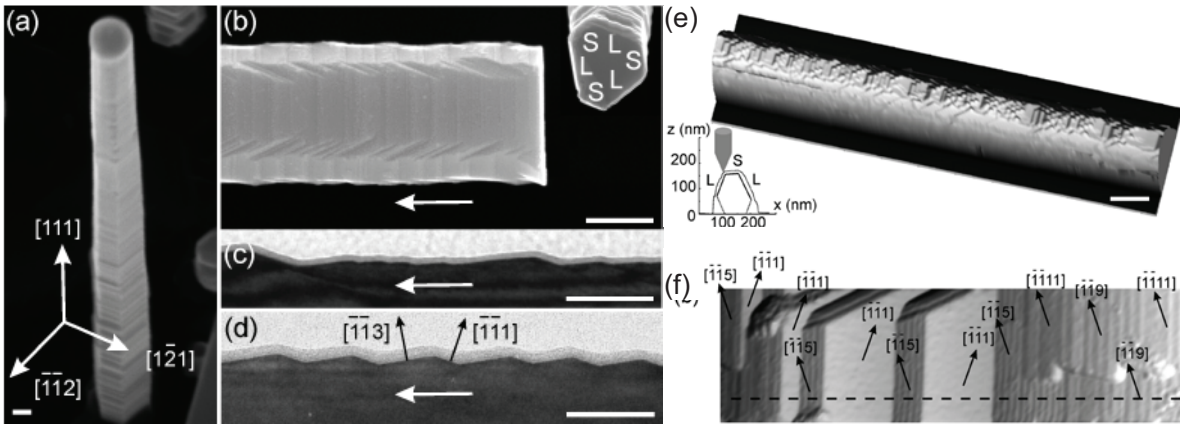


Figure II - 49 : a) Images MEB d'un nanofil Si verticale orienté <111>. b) Image MEB d'un nanofil Si après clivage montrant les facettes présentent sur les faces du nanofil. Encart : Image MEB du nanofil vue en coupe montrant la base avec une géométrie hexagonale. c) Image TEM d'un nanofil de 68nm de diamètre avec des facettes en dents de scie irrégulières. d) Image TEM d'un nanofil de 300nm de diamètre avec des facettes en dents de scie périodiques. e) Image STEM 3D d'un nanofil Si orienté <111>. Encart : Profil de la topographie sur un schéma d'un nanofil en vue de coupe. f) Image STEM des parois du nanofil avec l'indexation de l'orientation des facettes. [20]

4.2 Résultats expérimentaux sur la structure cristalline des nanofils et la diffusion de l'or

Jusqu'à présent nos nanofils ont été observés au MEB, pour observer leurs positionnements et leurs orientations de croissance. Afin d'étudier plus en détail la structure cristalline et la direction de croissance des nanofils des observations par microscopie par transmission (MET) ont été réalisées.

4.2.1 Microscopie électronique en transmission (MET)

4.2.1.1 Principe

La microscopie électronique en transmission est une technique de microscopie où un faisceau d'électrons passe à travers un échantillon très mince. Les effets d'interaction entre le faisceau d'électron et l'échantillon donne naissance à une image. L'épaisseur de l'échantillon à analyser agit sur la résolution de l'image ainsi formée. Pour produire des images à haute résolution, à l'échelle atomique, l'épaisseur de l'échantillon doit être inférieure à 100nm. L'avantage de la microscopie à transmission est que l'on a accès à la fois à l'image de l'objet et aux figures de diffractions générées.

4.2.1.2 Les deux modes de fonctionnement (image et diffraction)

***Le mode image* :** En plaçant le détecteur dan le plan image, une image de la zone irradiée est observée soit en champ clair, soit en champ sombre.

Champ clair : Un diaphragme est placé dans le plan focal de manière à sélectionner uniquement le faisceau transmis en ligne droite par l'échantillon. Ce sont donc uniquement les électrons non-diffractées qui formeront l'image. Les zones de l'échantillon diffractant le faisceau apparaissent plus sombre. En l'absence d'échantillon, la totalité du faisceau est transmis et l'image apparaît clair d'où le nom champ clair (BF : Bright Field).

Champ sombre : En plaçant un diaphragme dans le plan focal, un faisceau diffracté peut être sélectionné. L'image est donc formée uniquement par les électrons diffractés à un angle particulier. Les zones de l'image qui diffractent à des angles différents apparaissent sombres. En l'absence d'échantillon il n'y a pas de diffraction, tout le faisceau est transmis, et par

conséquent l'image est sombre, d'où le nom champ sombre (DF : Dark Field). L'intérêt du champ sombre est de donner des informations sur la cristallinité du matériau et sur les défauts cristallins présents tels que les fautes d'empilement. En effet, ce mode permet d'observer des défauts cristallins puisque ils distordent localement la maille du cristal et donc modifie l'angle de diffraction.

Le mode diffraction **:** Ce mode utilise le comportement ondulatoire des électrons. Lorsque le faisceau traverse un échantillon cristallin (un ou plusieurs cristaux) les électrons vont être diffractés dans certaines directions dépendant de l'organisation des atomes. Le faisceau est ainsi diffracté en plusieurs petits faisceaux, et ceux-ci se recombinent pour former l'image grâce aux lentilles magnétiques.

Le microscope utilisé pour analyser les nanofils est un Jeol 2200 FS équipé d'un correcteur d'aberration sphérique (CEOS) sur la sonde.

4.2.1.3 Microscopie à haute résolution (HR-MET)

Ce mode consiste à observer la matière à l'échelle atomique. Certains électrons sont déviés (diffractés) d'autres sont transmis en ligne directe. Si l'on fait interférer un faisceau transmis en ligne directe avec un faisceau diffracté, on obtient une figure d'interférence. Une simulation de la figure d'interférence est alors nécessaire pour interpréter l'image obtenue. Ces images, après traitement, permettent d'obtenir des informations sur l'organisation cristalline ainsi que sur les défauts (joints de grain, dislocation…)

4.2.1.4 Préparation de l'échantillon

Pour les observations MET, il est nécessaire de décrocher les nanofils de leur substrat d'origine et de les déposer sur un grille en carbone très mince. Pour prélever les nanofils, ils sont, tout d'abord, prélvés avec une lame de rasoir, puis sont transférés sur une grille à membrane de carbone en frottant doucement la grille sur la zone grattée.

4.2.2 La structure cristalline

Des analyses MET ont été effectuées pour vérifier, tout d'abord, la nature cristalline des nanofils. Ensuite, ces analyses TEM nous ont permis d'étudier la direction de croissance, les défauts cristallins, et la diffusion de l'or.

4.2.2.1 Direction de croissance

La plupart des nanofils de silicium sont des cristaux rectilignes. Dans certains cas, un changement de direction de croissance entraîne une modification de la morphologie. La Fig.II-50 présente des images MET de fils de silicium (sans or), synthétisés à haute pression partielle en silane, dont l'un est coudé et l'autre est rectiligne. Le fil coudé présente un changement de direction de croissance de <111> à <11-1> créant un angle de 120° ; ces deux directions de croissance sont des directions cristallographiquement équivalentes par symétries du cristal. Le second fil a une direction de croissance suivant l'axe <220>, qui est une direction peu répandue. De plus, ce nanofil est maclé sur son axe.

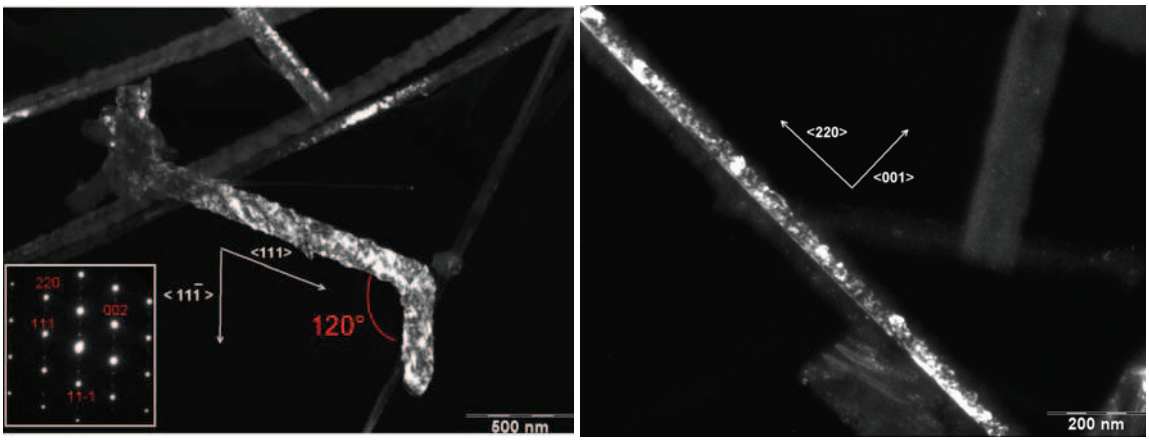


Figure II - 50 : Analyse MET en champ sombre de fils Si synthétisés par VLS (540°C, P_{SiH4} 0,6mb, 80sccm, 30min).

La direction la plus répandue est suivant l'axe <111>. La Fig.II-51 présente un exemple d'analyse MET d'un nanofil de silicium dont l'axe de croissance est <111>. L'image en champ sombre et le diagramme de diffraction révèlent l'aspect cristallin du fil en silicium. La goutte catalytique au bout du fil (en bas à gauche) est noire car l'orientation cristalline de la goutte d'or n'est pas dans la même direction que le nanofils (ils ne possèdent pas le même axe de zone).

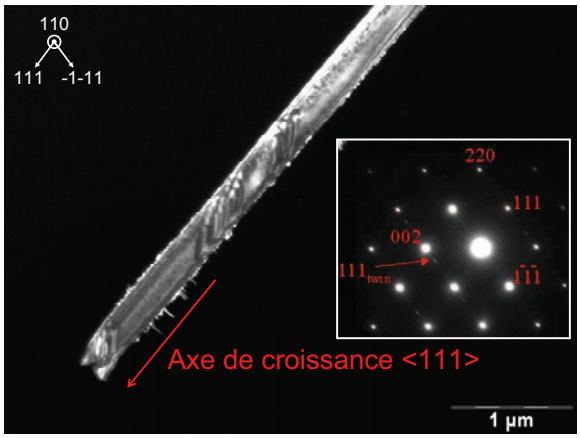


Figure II - 51 : Analyse MET d'un nanofils Si synthétisé par VLS (500°C, P_{SiH4} 0,4mb, 30min) : Image TEM d'un nanofil Si en champ sombre, avec la figure de diffraction en axe de zone <110>.

4.2.2.2 Défauts : macles

Les observations réalisées ont permis d'identifier la présence de défauts d'empilement, de macles et de micro-macles. Tous les fils analysés au MET, quelques soit les conditions de croissance, présentent des défauts cristallins et en particulier des macles. Différentes catégories de macles ont été identifiées et sont mentionnées ci-après.

Macles longitudinales : La Fig.II-52 présente un fil maclé dans la longueur. L'image en champ sombre révèle que le fil est constitué d'un bicristal, mis en évidence par une zone sombre et une zone claire. La deuxième image à plus fort grossissement montre de nombreuses macles toutes parallèles les une par rapport aux autres.

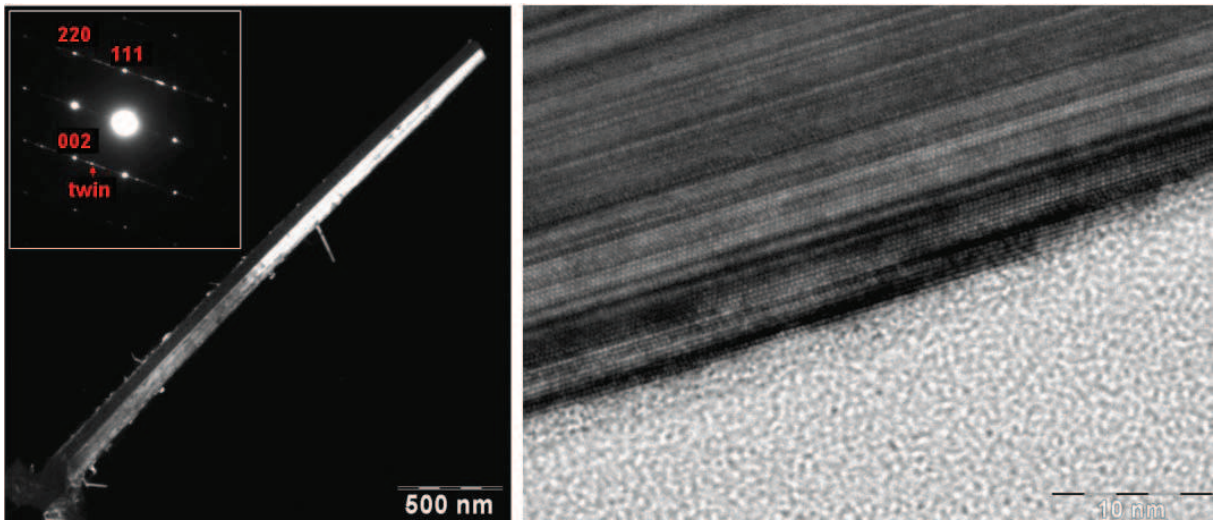


Figure II - 52 : Images MET d'un fil Si (500°C, P_{SiH4} 0,4mb, 30min) en champ sombre et en champ clair.

Micro-macle de biais : Un deuxième fil prélevé sur le même échantillon que précédemment (mêmes conditions de croissance) a été analysé révélant une micro-macle en biais par rapport à la direction de croissance du fil de silicium (Fig.II-53). Ce défaut cristallin n'implique de changement de direction.

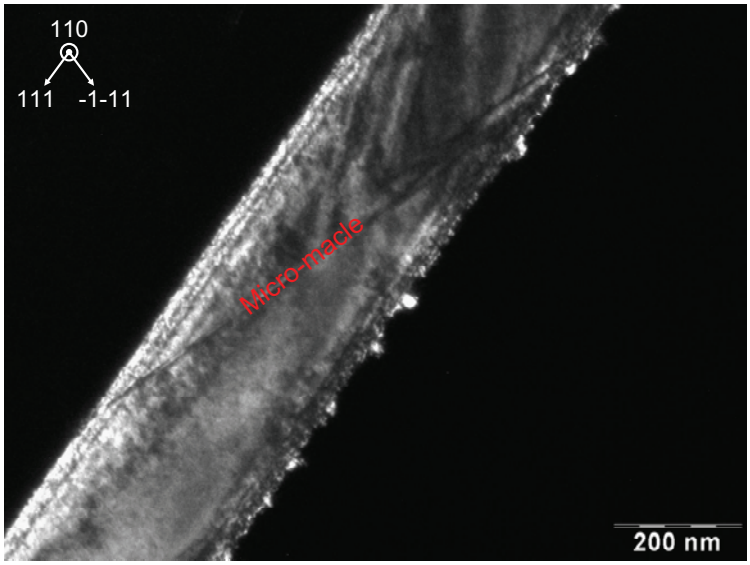


Figure II - 53 : Image MET d'un nanofil Si (500°C, P_{SiH4} 0,4mb, 30min) en champ sombre, en axe de zone <110>.

Macles transversales : Des macles perpendiculaires à la direction de croissance ont également été observées, pour des fils très facettés. L'image (a) de Fig.II-54 présente un fil très micro-maclé. De plus, les l'images (b) et (c) prises au MET à plus fort grossissement montrent les bords facettés du fil.

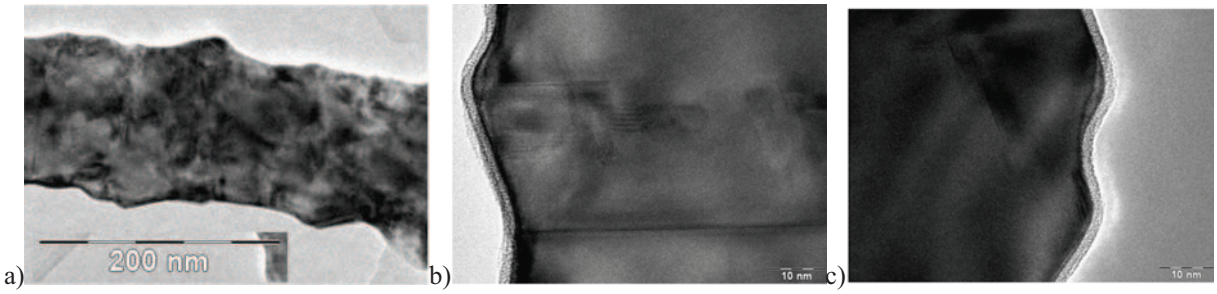


Figure II - 54 : Images MET d'un nanofil Si (540°C, P_{SiH4} 0,6mb, 80sccm, 30min) en champ clair.

4.2.3 Diffusion de l'or sur les parois du nanofils

La diffusion de l'or pendant la croissance est importante et se manifeste par la présence de nombreuses gouttelettes d'or observées sur les parois des nanofils. La diffusion de l'or sur les parois entraîne également la croissance latérale de nanofils sur les parois du nanofil principal.

4.2.3.1 Observations de l'or au MEB

Le MEB nous a permis de vérifier la présence de la goutte d'or au bout des fils à la fin de la croissance VLS. Les gouttes d'or ont généralement une forme sphérique (contrairement à la croissance catalysée avec du platine), et ont un contraste assez marqué par rapport au nanofil à cause de la différence de masse atomique.

Détecteur d'électrons rétrodiffusés : La présence de l'or a été également confirmée en utilisant le détecteur d'électrons rétrodiffusés (BSD : Back Scattered Detector) qui accentue le contraste. En effet, les images réalisées à partir de la collection des électrons rétrodiffusés bénéficient du fait que ces électrons sont sensibles à la masse atomique. Les atomes d'or étant plus lourd que les atomes de silicium réémettent plus d'électrons. Les zones contenant une forte concentration en or apparaissent donc plus brillantes que d'autres zones, où la concentration en silicium domine. Ce contraste de phase est clairement observé sur la Fig.II-55.

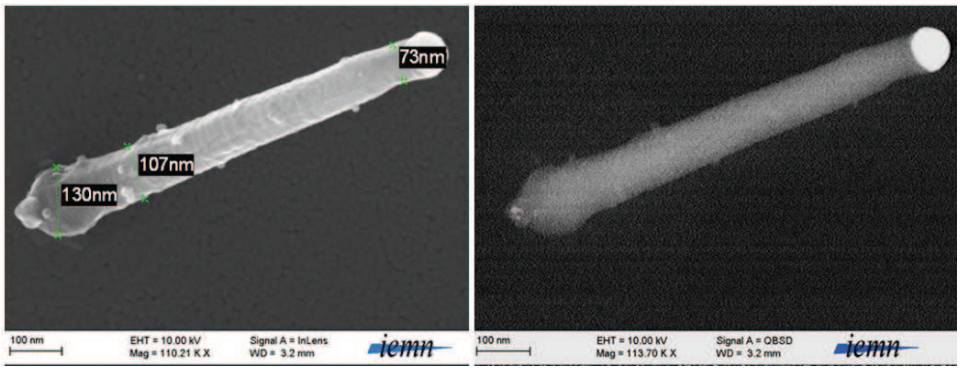


Figure II - 55 : Images MEB (vue de dessus) d'un nanofils Si en Inless et avec le détecteur d'électrons rétrodiffusés (QBSD).

Surface des grosses gouttes d'or : Par MEB classique, il a été observé que les très grosse gouttes catalytiques ne sont pas lisses, mais présentent un relief de surface. La différence de contraste observée sur la goutte dans la Fig.II-56, laisse supposer la présence de silicium dans la goutte d'or.

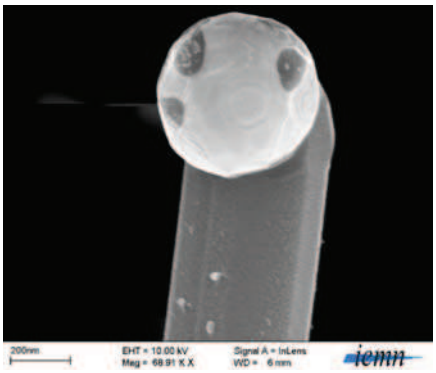


Figure II - 56 : Images MEB (vue de dessus) d'un nanofils Si en Inless et avec le détecteur d'électrons rétrodiffusés (QBSD).

Diffusion de l'or sur les parois facettées : Des agrégats d'or de plusieurs nanomètres de diamètre ont été observés sur les flancs des fils de silicium. Sur les images MEB de la figure II-57, les agrégats d'or sont visibles sur les fils d'environ 60nm et 150nm de diamètre. Les particules d'or présentes sur les parois des fils proviennent de la goutte d'or du sommet du fils. La diffusion du catalyseur le long des fils, entraîne une légère diminution du diamètre.

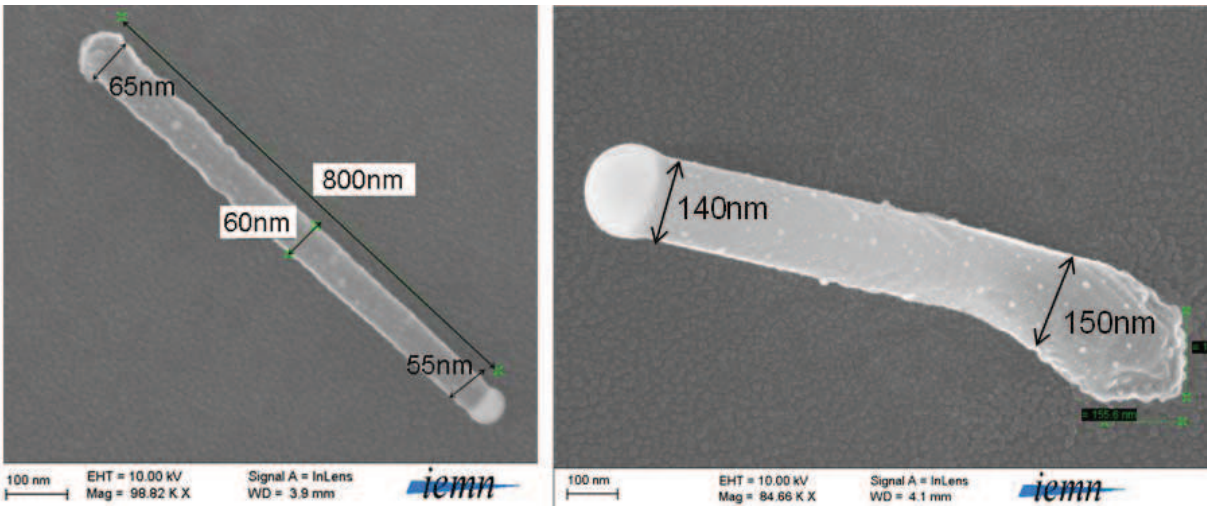
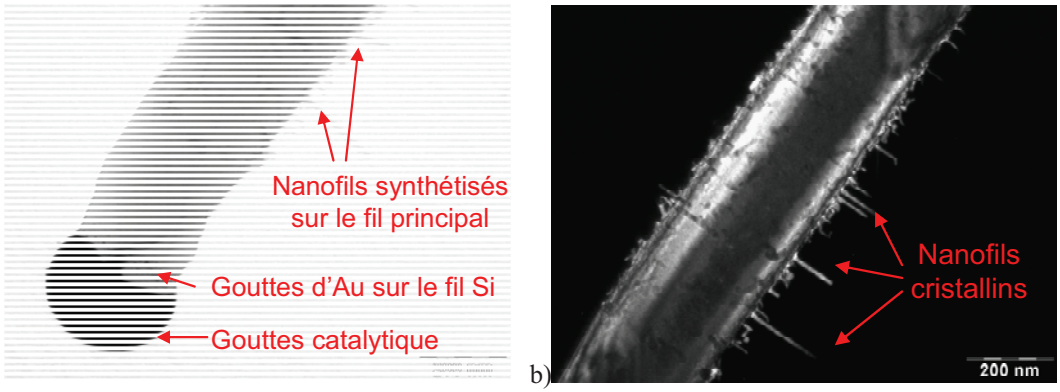


Figure II - 57 : Images MEB (vue de dessus) d'un nanofils Si synthétisé par VLS à partir d'un barreau d'or de 50nm d'épaisseur et de 50nm de côtés.

La présence de résidus d'or sur les flancs des fils peut entraîner dans certains cas la croissance de nanofils très fins sur les parois du fil. Ceci sera présenté dans le paragraphe suivant, qui est consacré sur les analyses MET.

4.2.3.2 Observation de l'or au MET

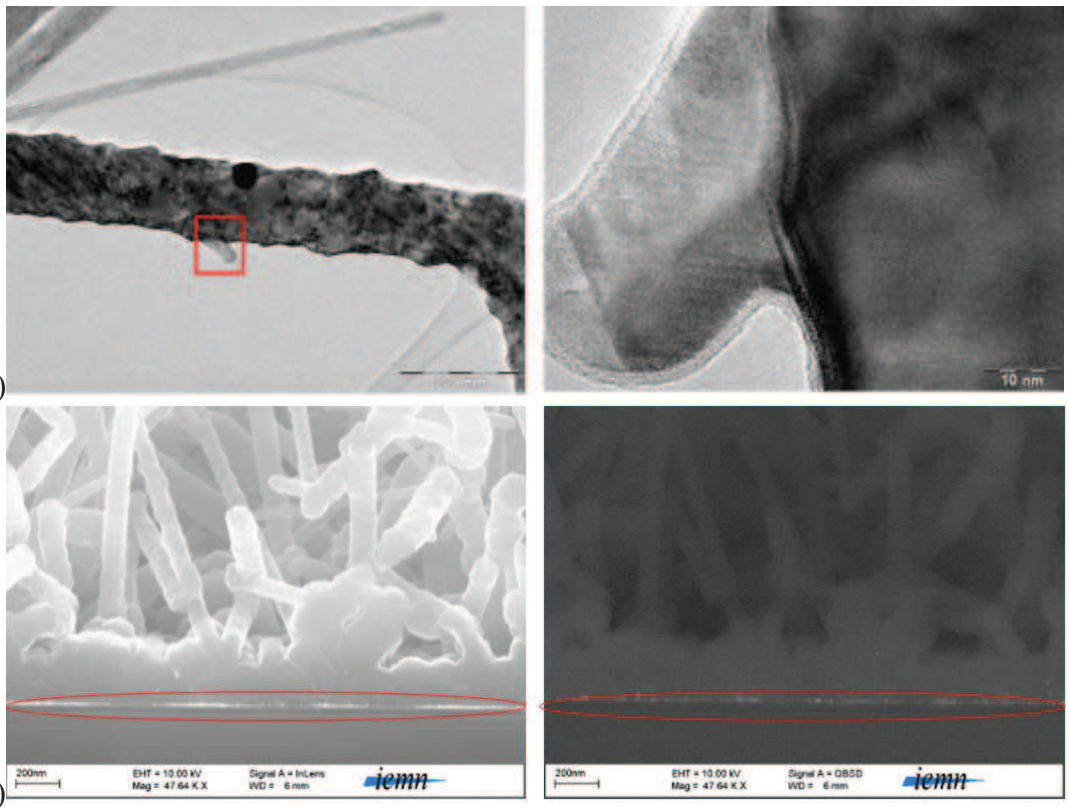
Des observations au MET ont montré la présence de particules d'or à proximité de la goutte catalytique. Le fil présenté dans la Fig.II-58-a possède une quantité importante de nanofils qui ont été générés par les particules d'or présents sur les parois du fils. L'image en champ sombre en Fig.II-58-b met en évidence l'aspect monocristallin du fil et des nanofils.



a) b)

Figure II - 58 : Observations MET : a) Image en champ clair du bout d'un fil Si.
b) Image en champ sombre d'une portion du fil ayant une grande quantité de nanofils sur la surface du fils principal. (500°C, 0,5mb, 20sccm, 20%, 30min, P_{SiH4}=0,1mb)

D'autres analyses MET effectuées sur des fils synthétisés en utilisant une pression partielle de silane élevée (0,6mb) ont révélé une absence totale d'or, à la fois en bout de fils et sur leurs parois. Cependant d'autres nanofils sont synthétisés sur les parois du fil principal, témoignant de la diffusion du catalyseur. La Fig.II-59-a met en évidence la nature monocristalline d'un nanofil qui a poussé sur un fil, sans catalyseur à son extrémité. Il faut noter qu'après la croissance, l'échantillon est resté dans le four à température élevée (300°C pendant 15h) favorisant la diffusion de l'or. Les images MEB (en mode classique et rétrodiffusé) montrent la présence d'or à l'interface Si/substrat (Fig.II-59-b).



a)

b)

Figure II - 59 : Nanofils Si synthétisés à haute pression partielle (540°C, P_{SiH4} 0,6mb, 80sccm, 30min) :
a) Image MET d'un fil avec un zoom sur un nanofils formé sur le fil.
b) Image MEB en mode classique et rétrodiffusé à l'interface Si / substrat

Les analyses MET ont permis de vérifier l'aspect cristallin des fils obtenus. Nous avons vu que les nanofils peuvent comporter des macles de différentes orientations. La diffusion de l'or a également été observée par la présence de résidus d'or ainsi que des nanofils le long des parois des nanofils.

CONCLUSION DU CHAPITRE II

Ce chapitre a traité de la croissance de nanofils de silicium sur substrat amorphe. Après avoir rappelé de façon détaillée le mécanisme de la croissance VLS, une étude bibliographique des catalyseurs nous a permis d'expliquer le choix des catalyseurs. Nous avons donc sélectionné l'or pour l'optimisation de la recette de croissance, étant le catalyseur le plus étudié dans la littérature et possédant un diagramme de phase avec un seul point eutectique avec le silicium à basse température (363°C). Nous avons également choisi le platine car il a la particularité de synthétiser des nanofils de silicium en utilisant une température plus basse (600°C) que sa température eutectique (970°C), limitant ainsi la diffusion du catalyseur le long des nanofils. Quelque soit le catalyseur utilisé, la localisation du catalyseur sur le substrat est importante pour l'auto-organisation des nanofils, pour cela nous avons défini des motifs catalytiques de 50nm d'épaisseur et de forme parallélépipédique par lithographie électronique et lift-off. Ces mêmes motifs catalytiques seront utilisés pour la croissance confinée (Chapitre III). A partir des résultats de croissance, un choix optimal des paramètres a été réalisé pour synthétiser des nanofils rectilignes. D'autre part, une étude structurale au microscope (MET) a mis en évidence la qualité monocristalline des fils et la présence de défauts structuraux (macles). La croissance à partir de motifs en or nous a permis d'obtenir des nanofils avec un contrôle précis de leurs diamètres et de leurs positions. Toutefois, une forte diffusion de l'or a été observée le long des nanofils. Afin de palier ce problème, des essais de croissance ont été effectués en utilisant du platine comme catalyseur. Cependant, les résultats de croissance ne sont pas aussi satisfaisants qu'avec l'or : une grande quantité de nanofils est synthétisée pour chaque motif catalytique, et un important dépôt de silicium amorphe a été obtenu sur le substrat. De plus, notons que la croissance VLS sur substrat amorphe a l'inconvénient de générer des nanofils dont l'orientation n'est pas contrôlée. Par conséquent, dans le chapitre III, nous aborderons la croissance VLS confinée de silicium cristallin à l'intérieur de cavités horizontales en utilisant un catalyseur en or, afin de contrôler la position et l'orientation des nanolames de silicium.

REFERENCES

[1] **A. Gouyé**
Thèse : « Développement et intégration de procédés d'épitaxie à basse température en chimie trisilane », CEA Leti, université P. Cézanne Aix-Marseille, 2009.

[2] **T. David**
Thèse : « Croissance guidé et caractérisation de nanofils de silicium latéralement organisés dans une matrice d'aluminium nanoporeuse. », CEA, UJF Grenoble, 2008.

[3] **R.S. Wagner, W.C. Ellis**
« The vapor-liquid-solid mechanism of crystal growth and its application to silicon », Appl. Phys. Lett. Vol 4**,** 1964.

[4] **Y. Wu & P. Yang.**
« Direct Observation of Vapor-Liquid-Solid Nanowire Growth », J. Am. Chem. Soc., Vol 123**,** 2001**.**

[5] **W. Lu, C.M. Lieber**
« Topical Review: Semicondutor nanowires », J. Phys. D: Appl. Phys., Vol 39**,** 2006.

[6] **E.I. Givargizov**
« Fundamental aspects of VLS growth », J. Crystal growth, Vol 31, 1975.

[7] **B.A. Wacaser, K.A. Dick, J. Johansson, M.T. Borgström, K. Deppert, L. Samuelson**
« Preferentiel interface nucleation: an expansion f the VLS growth mechanism for nanowires», Adv. Mat., Vol.21, p.153-165, 2009.

[8] **V. Shmidt, J.V. Wittemann, S. Senz, U. Gösele**
« Silicon nanowires: A review on aspects of their growth and their electrical properties », Adv. Mater., Vol.21, 2009.

[9] **J. Kikkawa, Y. Ohno, S. Takeda**
« Growth rate of silicon nanowires», App. Phys. Lett., Vol.86, 2005.

[10] **K.K. Lew, J.M. Redwing**
« Growth characteristics of silicon nanowires synthesized by vapour-liquid-solid growth in nanoporous alumina templates», J. Crystal Growth, Vol.254, 2003.

[11] **S. Kodambaka, J. Tersoff, M.C. Reuter, F.M. Ross**
« Diameter independent kinetics in the Vapor-Liquid-Solid growth of Si nanowires. », Physical Review Letters, 2006.

[12] **G.A. Bootsma, H.J. Gassen**
« A quantitative study on the growth of silicon whiskers from silane and germanium whiskers from germane », J. Crystal Growth, Vol.10, 1971.

[13] **I.V. Markov**
« Crystal growth for beginners », World scientific, 2003.

[14] **V. Shmidt, S. Senz, U. Gösele**
« Diameter dependence of the growth velocity of silicon nanowires synthesized via the VLS mechanism », Phys. Rev. B, Vol.75, 2007.

[15] **J.B. Hannon, S. Kodambaka, F.M. Ross, R.M. Tromp**
« The influence of the surface migration" of gld on the growth of silicon nanowires », Nature, Vol 440**,** 2006.

[16] **T. Kawashima, T. Mizutani, T. Nakagawa, H. Torii, T. Saitoh, K. Komori, M. Fujii**
« Control of Surface Migration of Gold Particles on Si Nanowires », NanoLetters, Vol. 8, 2008.

[17] **M.I. Hertog, J.L. Rouviere, F. Dhalluin, J.P. Desré, P. Gentile, P. Ferret, F. Oehler, T. Baron**
« Control of gold surface diffusion on Si nanowires», NanoLetters, Vol. 8, 2008.

[18] **S.H. Oh, K. van Benthem, S.I. Molina, A.Y. Borisevich, W. Luo, P. Werner, N.D. Zakharov, D. Kumar, S.T. Pantelides, S.J. Pennycook**
« Point Defect Configurations of Supersaturated Au Atoms Inside Si nanowires», NanoLetters, Vol. 8, 2008.

[19] **T. Xu**
Thèse: « Localized growth and characterization of silicon nanowires », IEMN, USTL Lille1, 2009.

[20] **T. Xu, J.P. Nys, A. Addad, O.I. Lebedev, A. Urbieta, B. Sahli, M. Berth, B. Bruno, D. Stiévnard**
« Facetted sidewalls of silicon nanowires: Au-induced structural reconstructions and electronic properties », 2009.

[21] **D.E. Perea, J.E. Allen, S.J. May, B.W. Wessels, D.N. Seidman, L.J. Lauhon**
« Three-Dimensional Nanoscale Composition Mapping of Semiconductor Nanowires », NanoLetters, Vol. 6, 2006.

[22] **J.E. Allen, E.R. Hemesath, D.E. Perea, J.L. Lensch-Falk, Z.Y. Li, F. Yin, M.H. Gass, P. Wang, A.L. Bleloch, R.E. Palmer, L.J. Lauhon**
« High-resolution detection of Au catalyst atoms in Si nanowire », Nature Nanotechnology, Vol 3**,** 2008.

[23] **D.E. Perea, J.L. Lensh, S.J. May, B.W. Wessels, L.J. Lauhon**
« Composition analysis of single semiconductor nanowires using pulsed-laser atom probe tomography », Appl.Phys. A, Vol. 85, 2006.

[24] **D.E. Perea, E. Wijaya, J.L. Lensch-Falk, E.R. Hemesath, L.J. Lauhon**
« Tomographic analysis of dilute impurties in semiconductor nanostructures », j. Solid State Chemistry, Vol.181, 2008.

[25] **T. Xu, J.P. Nys, B. Grandidier, D. Stiévenard, Y. Coffinier, R. Boukherroub, R. Larde, E. Cadel, P. Pareige**
« Growth of Si nanowires on micropillars for the study of their dopantdistribution by atom probe tomography », J. Vac. Sci. Technol. B, Vol 26, 2008.

[26] **M.C. Putnam, M.A. Filler, B.M. Kayes, M.D. Kelzenberg, Y. Guan, N.S. Lewis, J.M. Eiler, H.A. Atwater**
« Secondary ion mass spectrometry of Vapor-Liquid-Solid grown, Au-catalyzed, Si wires », Nanoletters, Vol 8 2008.

[27] **K.-K. Lew, L. Pan, T.E. Bogart, S.M. Dilts, E.C. Dickey, J.M. Redwing, Y. Wang, M. Cabassi, T.S. Mayer, S.W. Novak**
« Structural and electrical properties of trimethylboron-doped silicon nanowires », Appl. Phys. Lett., Vol. 85, 2004.

[28] **Y. Osada, H. Nakayame, M. Shindo, T. Odaka, Y. Ogata**
« Growth and structure of silicon fibers », j. Electrchem. Sot., 1979.

[29] **S.J. Whang, S.J. Lee, W.F. Yang, B.J. Cho, Y.F. Liew, D.L. Kwong**
« CMOS compatible Al-catalysed silicon nanowires », Electrochemical and Solid-State Letters, 2007.

[30] **S.J. Whang, S.J. Lee, D.H. Chi, W.F. Yang, B.J. Cho, Y.F. Liew, D.L. Kwong**
« B-doping of VLS grown Au-catalysed and Al-catalysed Si nanowires: effects of B_2H_6 gas during Si nanowire growth and B-doping by a post-synthesis in situ plasms process », Nanotechnology Vol.18, 2007.

[31] **Y. Wang, V. Schmidt, S. Senz and U. Gosele**

« Epitaxial growth of silicon nanowires using an aluminium catalyst », Nat. Nanotechnol. Vol 1, 2006.

[32] **M. Jeon, K. Kamisako**
« Aspect of aluminium-catalyzed silicon nanowires synthesized at low temperature and effect of hydrogen radical treatment », Journal of Alloys and Compounds, Vol 476, 2009.

[33] **Y. Ke, X. Weng, J.M. Redwing, C.M. Eichfeld, T.R. Swisher, S.E. Mohney, Y.M. Habib**
« Fabrication and electrical properties of Si nanowires synthesized by Al catalyzed VLS growth », NanoLetters, Vol.9, 2009.

[34] **H. Okamoto**
« Pt-Si (Platinum-Silicocn) », Journal of Phase Equilibria, 1995.

[35] **E.C. Garnett, W. Liang, P. Yang**
« Growth and Electrical Characteristics of Platinum Nanoparticle-Catalyzed Silicon Nanowires », Journal of Alloys and Compounds, Vol. 476, 2009.

[36] **H. Jeong, T.E. Park, H.K. Seong, M. Kim, U. Kim, H.J. Choi**
« Growth kinetics of silicon nanowires by platinum assisted vapour–liquid–solid mechanism », Chemical Physics Letters, Vol 467, 2009.

[37] **T Baron, M Gordon, F Dhalluin, C Ternon, P. Ferret, P. Gentile**
« Si nanowire growth characterization using a micrelectronics compatible catalyst: PtSi », APL, Vol 89, 2006.

[38] **B.M. Kayes, M.A. Filler, M.C. Putnam, M.D. Kelzenberg, N. S. Lewis, H.A. Atwater**
« Growth of vertically aligned Si wire arrays over large areas (> 1 cm) with Au and Cu catalysts », APL, Vol 91, 2007.

[39] **Y. Yao, S. Fan**
« Si nanowires synthesized with Cu catalyst », Materials Letters, Vol. 61, 2007.

[40] **J. Arbiol, B. Kalache, P.R. Cabarrocas, J.R. Morante, A.F. Morral, D.Y. Petrovykh, F.J. Himpsel**
« Influence of Cu as a catalyst on the properties of silicon nanowires synthesized by the VSS mechanism », Nanotechnology, Vol.18, 2007.

[41] **V.T. Renard, M. Jublot, P. Gergaud, P. Cherns, D. Rouchon, A. Chabli, V. Jousseaume**
« Catalyst preparation for CMOS-compatible silicon nanowire synthesis », Nature Nanotechnologie, Vol 4, 2009.

[42] **F. Fruleux**
Thèse : « Conception, elaboration et caractérisation de dispositofs CMOS émergents: Une nouvelle approche d'intégration de transistors multi-grille de type FinFET », Université Lille1, 2007.

[43] **G. Larrieu**
Thèse : « Elaboation et caractérisation de transistors MOS Schottky en régime nanométrique », Université Lille1, 2004

[44] **G. Larrieu, E. Dubois**
« Formation of platinum-based silicide contacts : kinetics, stoichiometry, and current drive capabilities », J. Appl. Phys. Vol.94, 7802, 2003.

[45] **D.Y. Petrovykh, F.J. Himpsel**
« Self-assembly nanostructures at silicon surfaces », Encyclopedia of nanoscience and nanotechnology, Vol.9.

[46] **P. Buffat, J.P. Borel**
« Size effect on the melting temperature of gold particules », Physical Review A, Vol.13, 1976.

[47] **Y. Cui, L.J. Lauhon, M.S. Gudiksen, J. Wang, C.M. Lieber**
« Diameter-controlled synthesis of single-crystal silicon nanowires », APL, Vol. 78, 2001.

[48] **H.J. Fan, P. Werner, M. Zacharias**
« Semiconductor nanowires: from self organization to patterned growth », Small 6, 2006.

[49] **E. C. Greyson, Y. Babayan, T.W. Odom**
« Directed growth of ordered arrays of small diameter ZnO nanowires », Adv. Mat., Vol.16, N°15, 2004.

[50] **B. Salhi**
Thèse: « Synthèse et caractérisation de nanofils et de nanostructures 3D à base de silicium », IEMN, USTL Lille, 2007.

[51] **Y. Shan, A.K. Kalkan, C.Y. Peng, S.J. Fonash**
« From Si source gas directly to positioned, electrically contacted Si nanowires: The self-assembling "Grow-in-place" Approach », Nano-Letters, Vol.4, p.2084-2089, 2004.

[52] **S. Akhtar, K. Usami, Y. Tsuchiya, H. Mizuta, S. Oda**
« Vapor–Liquid–Solid Growth of Small- and Uniform-Diameter Silicon Nanowires at Low Temperature from Si2H6 », Applied Physics Express, Vol 1, 2008.

[53] **R. S. Wagner and W. C. Ellis**
« The vapor-Liquid-Solid Mechanism of Crystal Growth and its Application to Silicon », Trans. Metall. Soc. AIME, Vol. 233, 1965

[54] **Y. Zhang, Q. Zhang, N. Wang, Y. Yan, H. Zou, J. Zhu**
« Synthesis of thin Si whiskers (nanowires) using $SiCl_4$ », J. Crystal Growth, Vol. 226, 2001.

[55] **T.I. Kamins, R.S. Williams, T. Hesjedal, J.S. Harris**
« Chemically vapour deposited Si nanowires nucleated by self-assembled Ti islands on patterned and unoatterned Si substrates », Physica E, Vol.13, 2002.

[56] **J.M. Hartmann, M. Burdin, G. Rolland, T. Billon**
« Growth kinetics of Si and Ge on Si(100), Si(110) and Si(111) surfaces », J. Crystal Growth, Vol. 294, 2006.

[57] **S. Sharma, T.I. Kamins, M.S. Islam, R.S. Williams, A.F. Marshall**
« Structural characteristics and connexions mechanism of gold-catalyzed bridging silicon naowires », J. Crystal Growth, Vol. 280, 2005.

[58] **N.J. Quitoriano, T.I. Kamins**
« Integrable nanowires transistors », NanoLetters, Vol. 8, 2008.

[59] Wikipédia : Silicium
http://fr.wikipedia.org/wiki/Silicium

[60] **Y. Wu, Y. Cui, L. Huynh, C.J. Barrelet, D.C. Bell, C.M. Lieber**
« Controlled growth and structures of molecular-scale silicon nanowires », Nanoletters, Vol 4, 2004.

[61] **V. Schmit**
Thèse : « Silicon Nanowires: Synthesis, Fundamental Issues, and a First Device », Martin-Luther-Universität Halle-Wittenberg, 2006.

[62] **Y. Hyun, A. Lugstein, M. Steinmair, E. Bertagnolli, P. Pongratz**
« Orientation specific synthesis of kinked silicon nanowires grown by the vapour–liquid–solid mechanism », Nanotechnology, Vol. 20, 2009.

[63] **V. Schmidt, S. Senz, U. Gösele**
« Diameter-dependent growth direction of epitaxial silicon nanowires », NanoLetters, Vol.5, 2005.

[64] **A. Lugstein, M. Steinmair, Y. J. Hyun, G. Hauer, P. Pongratz, E. Bertagnolli**

« Pressure-Induced Orientation Control of the Growth of Epitaxial Silicon Nanowires », Nanoletters, Vol 8, 2008.

[65] **C. Mouchet**
Thèse: « Croissance de nanofils de silicium et de Si/SiGe », CEA, Institut Polytechnique de Grenoble, 2008.

[66] **F.M. Davidson, D.C. Lee, D.D. Fanfair, B.A. Korgel**
« Lamellar twinning in semiconductor nanowires », J. Phys. Chem. C, Vol. 111, 2007.

[67] **C. Cayron, M.D. Hertog, L. Latu-Romain, C. Mouchet, C. Secouard, J.-L. Rouviere, E. Rouvierea, J.-P. Simonatoa**
« Odd electron diffraction patterns in silicon nanowires and silicon thin films explained by microtwins and nanotwins », Journal of Applied Crystallography, Vol. 42, 2008.

[68] **A. H. Carim, K.-K. Lew, J. M. Redwing**
« Bicrystalline Silicon Nanowires », Advanced Materials, Vol.5, 2001.

[69] **M.I. den Hertog, J.L. Rouviere, F. Dhalluin, P. Gentil, P. Ferret, C. Ternon, T. Baron**
« Structural properties of gold catalyzed silicon nanowires: Defects in the wires and gols on the wires », Colloque SFμ-Grenoble, 2007

[70] **F.M. Ross, J. Tersoff, M.C. Reuter**
« Sawtooth Faceting in Silicon Nanowires », PRL, Vol 95, 2005.

Chapitre III : Croissance VLS confinée en cavité

INTRODUCTION 94

1 ETAT DE L'ART SUR LA LOCALISATION ET L'ORIENTATION DE NANOFILS 95
1.1 CROISSANCE HORIZONTALE DE NANOFILS SUR PAROIS VERTICALES 95
1.2 CROISSANCE HORIZONTALE DE NANOFILS 96
1.3 SYNTHESE DE NANOFILS DANS UN GABARIT HORIZONTAL 96
1.4 SYNTHESE DE NANOFILS DANS DES CAVITES 96

2 FABRICATION DE CAVITES : DEVELOPPEMENT DU PROCEDE 97
2.1 DESCRIPTION GLOBALE DU PROCEDE 97
2.2 FABRICATION DE CAVITES UTILISANT UN MATERIAU SACRIFICIEL 99
2.3 FORMATION DES PAROIS DES CAVITES 103
2.4 DEFINITION DE VOIES D'ACCES AUX LIGNES SACRIFICIELLES 105
2.5 GRAVURE DES LIGNES SACRIFICIELLES 106
2.6 DESCRIPTION DES CAVITES OBTENUES 108

3 CROISSANCE VLS CONFINEE A L'INTERIEUR DES CAVITES 110
3.1 SPECIFICITES DE LA CROISSANCE CONFINEE 110
3.2 PREMIERES OBSERVATIONS ET OPTIMISATION DU PROCEDE « CAVITE » 113
3.3 ETUDE DE LA CROISSANCE CONFINEE 122

4 ETUDE MORPHOLOGIQUE DES NANOLAMES DE SILICIUM 127
4.1 NATURE CRISTALLINE DU SILICIUM SYNTHETISE PAR VLS CONFINEE 127
4.2 LES DEFAUTS PRESENT DANS LES NANOLAMES DE SILICIUM : MACLES 129
4.3 DIRECTION DE CROISSANCE 132
4.4 CONTAMINATION PAR L'OR 134

CONCLUSION DU CHAPITRE III 136

REFERENCES 137

Introduction

Comme nous l'avons vu dans le chapitre précédent, la croissance VLS permet la synthèse de nanofils (1D) monocristallins. Cependant, leur potentiel de croissance orientée et organisée est perdu sur substrat amorphe. Nous avons orienté notre étude sur la fabrication de nanolames quasi bidimensionnelles par cette même technique VLS. Une nanolame (ou nanoruban) est une structure de plusieurs microns de long avec une section rectangulaire dont un côté est plusieurs fois supérieur à l'autre (Fig.III-1). L'épaisseur de la nanolame (petit côté du rectangle) doit être inférieure à 100nm.

Au cours de ce chapitre, nous étudierons la croissance VLS de silicium cristallin confinée à l'intérieur d'une cavité. Dans un premier temps, le procédé de fabrication des cavités et son optimisation sont présentés. Ces cavités contiennent un barreau catalytique et leurs dimensions sont contrôlées par une approche top-down classique. L'étude de la croissance VLS guidée et confinée sera effectuée dans un second temps, accompagnée des caractérisations structurales du silicium ainsi synthétisé.

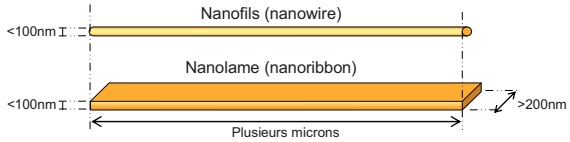


Figure III - 1 : Schémas d'un nanofil et d'une nanolame.

1 Etat de l'art sur la localisation et l'orientation de nanofils de silicium

Afin d'utiliser des nanofils pour diverses applications, il est indispensable de les assembler en contrôlant leur orientation et leur position spatiale[1 2 3]. La technique la plus couramment utilisée pour contrôler l'orientation de nano-fils horizontaux est de les faire croître verticalement sur un substrat plan par VLS, puis de les prélever et de les disperser dans un solvant afin de les déposer horizontalement sur un autre substrat (Fig.III-2). Plusieurs techniques peuvent être mises en œuvre afin de contrôler leur position et leur orientation : l'assemblage par champ électrique[4 5 6 7 8], ou par fluidique[9 10], la technique Langmuir et Blodgett[11 12], et le transfert par impression[13 14 15 16].

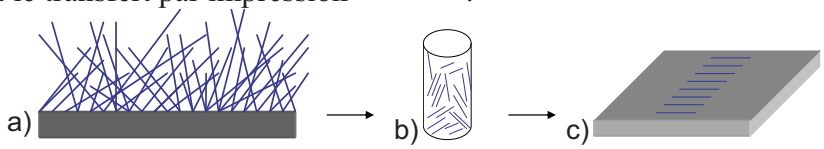


Figure III - 2 : Illustration schématique de report de nanofils en silicium :
a) Croissance VLS de nanofils verticaux.
b) Dispersion de nanofils prélevés dans un solvant.
c) Report de nanofils sur un autre substrat.

Le report de nanofils sur un substrat suivit de leur localisation est difficilement d'industrialisable. La croissance orientée et localisée de nanofils horizontaux est plus compatible avec le milieu industriel. Les paragraphes suivant présentent différents procédés qui ont été mis en place afin de guider la croissance de nanofils.

1.1 Croissance horizontale de nanofils sur parois verticales

La croissance horizontale de nanofils a été démontrée entre deux parois verticales, formant des nanofils suspendus[17 18 19 20]. Pour cela, il est nécessaire de déposer des particules d'or sur des parois verticales orientées [111] (Fig. III-3.a). La croissance de nanofils est basée sur un mécanisme d'épitaxie à partir de la paroi cristalline permettant ainsi le contrôle de l'orientation horizontale des nanofils. Des expériences similaires effectuées à l'IEMN sont présentées en Fig.III-3-b[21].

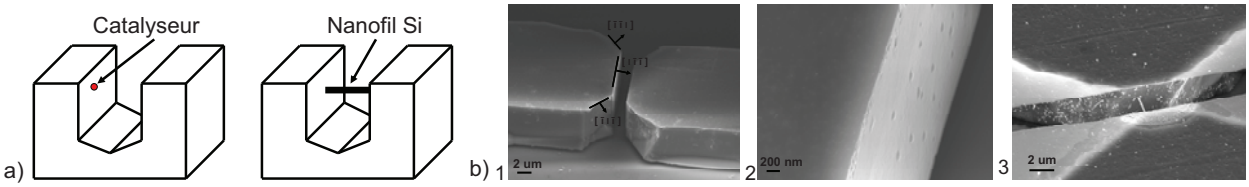


Figure III - 3 : a) Schémas illustrant la synthèse d'un nano-fils entre deux parois verticales[22].
b) Images MEB[21] : 1) Barreaux de Si gravée pour obtenir des parois verticales orientée [111].
2) Particules d'Au déposées sur les parois verticales.
3) Un nanofil Si synthétisé entre les deux plots de Si.

La fabrication de parois verticales avec une orientation <111> favorise l'orientation horizontale de nano-fils pendant leur croissance. Cependant un substrat cristallin initial est nécessaire rendant cette méthode inappropriée à nos travaux.

1.2 Croissance horizontale de nanofils

Kamins[23 24] et ses collaborateurs ont démontré la croissance VLS guidée de nanofils de silicium sur un substrat en SiO_2. Pour ce faire, un substrat SOI est utilisé. La couche SOI de silicium sert de germe cristallin, puis la couche d'oxyde enterrée sert à guider le nanofil (FigIII-.4). Dans cette publication, ces auteurs avancent l'hypothèse que les meilleurs matériaux pour guider la croissance VLS de nanofils doivent être amorphe, isolant, immiscible avec les matériaux contenus dans le catalyseur et les nanofils.

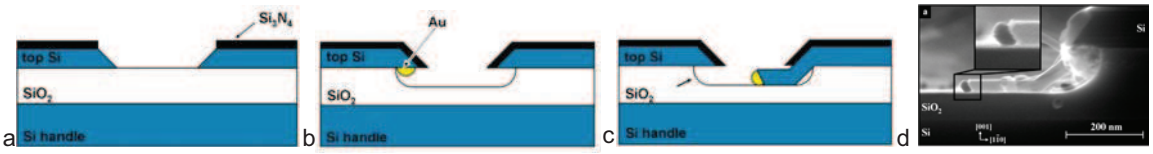


Figure III - 4 : Schéma des étapes de fabrication de la croissance de nanofil Si contre une couche en oxyde, accompagnés d'une photo MEB (vue de coupe) d'un résultat expérimental[25].

Ainsi, des nanofils horizontaux reposant sur un substrat amorphe sont obtenus, mais un germe cristallin est encore indispensable afin de contrôler leur orientation. Pour s'affranchir du germe cristallin, une autre approche est proposée : l'utilisation d'un gabarit de guidage.

1.3 Synthèse de nanofils dans un gabarit horizontal

L'utilisation d'un gabarit en alumine poreuse à deux dimensions permet de contrôler la position du catalyseur, et l'orientation d'un réseau de nano-fils au cours de la croissance[26 27 28 29 30]. Cette approche est particulièrement intéressante de par le haut degré de structuration du gabarit en alumine. Ces structures en alumine ont également été fabriquées horizontalement par électrolyse[31]. Le catalyseur est déposé au fond des nano-pores par dépôt électrolytique permettant la croissance VLS à l'intérieur des pores de l'alumine (Fig.III-5).

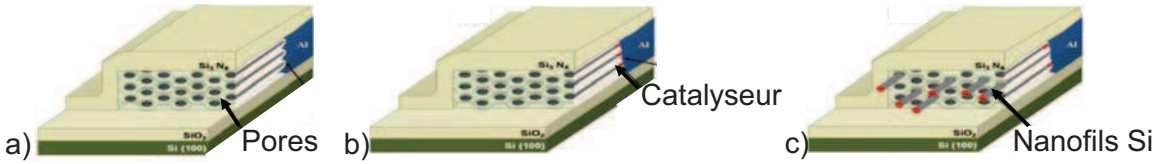


Figure III - 5 : Croissance latérale de nanofils Si dans un "template" en alumine[32] :
a) "Template" en alumine orienté orizontalement.
b) Dépôt du catalyseur au fond des pores. c) Croissance de nanofils

L'utilisation d'un gabarit horizontal en alumine permet la synthèse de nanofils en silicium cristallins de diamètre, de position et d'orientation contrôlés, ce qui est en accord avec notre objectif. Néanmoins, il est difficile de placer un métal au fond d'un « template », et le choix des dimensions, de la forme géométrique, et de la densité sont réduits.

1.4 Synthèse de nanofils dans des cavités

Enfin, la formation d'un tunnel de guidage représente la technique la plus appropriée pour la fabrication de nanofils ou de nanolames en silicium cristallin sur un substrat amorphe. En effet, les tunnels définissent les dimensions des nanofils (1D) ou nanolames (2D) tout en contrôlant leur orientation et leur position[33 34]. Pour cela, les cavités sont définies par top-down classique (lithographie, évaporation électronique, gravure). Les seules limitations en

termes de formes, densité, orientation, complexité du design sont donc celle de la lithographie. Il n'y a pas une seule autre méthode qui offre une telle flexibilité.

Les travaux que nous avons entrepris reposent sur cette méthode de fabrication (développée par Fonash[35]) à partir de lignes de motifs sacrificiels qui définissent le volume des cavités (Fig.III-6).

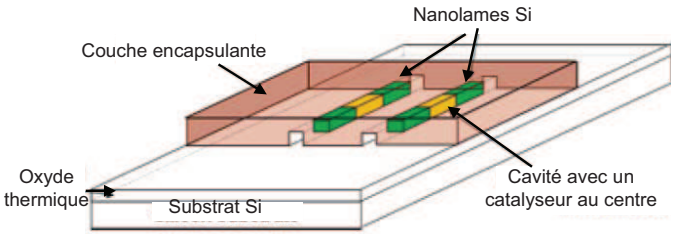


Figure III - 6 : Croissance de nanolames Si à l'intérieur de cavités à partir de barreaux catalytiques[36].

Ainsi, tous nos travaux expérimentaux seront basés sur la fabrication de cavités horizontales, et sur la croissance VLS à l'intérieur de celle-ci.

2 Fabrication de cavités : Développement et optimisation du procédé

2.1 Description globale du procédé

2.1.1 Cavités : qualités requises et spécificités

La fabrication des cavités est une étape très importante pour la croissance VLS confinée, car les cavités définiront la position et les dimensions de la lame de silicium synthétisée par CVD catalytique. De plus, le ruban de silicium résultant sera utilisé comme couche active de transistors MOS situés au dessus d'un premier niveau de composant, c'est-à-dire dans le volume réservé aux interconnexions. Par conséquent, plusieurs contraintes doivent être respectées pour la fabrication des cavités :

i) Le substrat, sur lequel les cavités et le silicium seront définis, est amorphe. Nous simulerons cet environnement back-end par oxydation thermique d'un substrat standard Si(100).

ii) Chaque étape de fabrication des cavités doit utiliser un budget thermique inférieur à 500°C.

iii) Les cavités doivent contenir un barreau catalytique nécessaire pour la croissance VLS. Différents catalyseurs devront être testés, comme par exemple l'or et le platine. Les dimensions et la position du catalyseur à l'intérieur de la cavité devront être contrôlées avec précision.

iv) La position, la forme géométrique et les dimensions des cavités doivent être contrôlées avec précision.

v) Les cavités ne doivent pas contenir d'impuretés métalliques (particules catalytiques) à côté des barreaux catalytiques, pouvant générer des nanofils parasites.

vi) Les cavités doivent démontres une bonne tenue mécanique pour éviter tout problème de déformation ou d'effondrement.

2.1.2 Définition d'un procédé de fabrication de cavités

Fonash[35] a défini des cavités en utilisant l'or comme matériau sacrificiel. Le fait que le matériau sacrificiel soit également le catalyseur, produit des barreaux catalytiques de dimensions imprécises et des résidus catalytiques peuvent rester dans la cavités après sa gravure partielle.

Un procédé basé sur la gravure d'un matériau sacrificiel définissant le volume de la cavité a été développé. Chaque étape de fabrication des cavités a été développée en respectant les conditions décrites au § 2.1.1 (Fig.III-7).
a) Définition des barreaux catalytiques de 50nm d'épaisseur, par lithographie et lift-off sur un substrat recouvert d'une couche amorphe.
b) Définition des lignes sacrificielles en germanium alignées sur les barreaux métallique (lithographie et lift-off). Ces motifs en germanium définissent les dimensions des cavités, et ont la même épaisseur que les barreaux catalytiques.
c) Dépôt conforme d'une couche d'encapsulation, composée de Si_xO_y (10 nm) et Si_xN_y (100nm), recouvrant les motifs d'or et de germanium. Ce bicouche oxyde/nitrure définit les parois des cavités.
d) Formation des ouvertures dans le nitrure par lithographie et gravure RIE, pour accéder aux motifs en germanium. Ces ouvertures déterminent l'entrée des cavités.
e) Gravure des lignes sacrificielles en germanium par voie humide, laissant ainsi des cavités horizontales de dimensions bien contrôlées sur un substrat amorphe.
f) Croissance VLS à l'intérieur de la cavité.

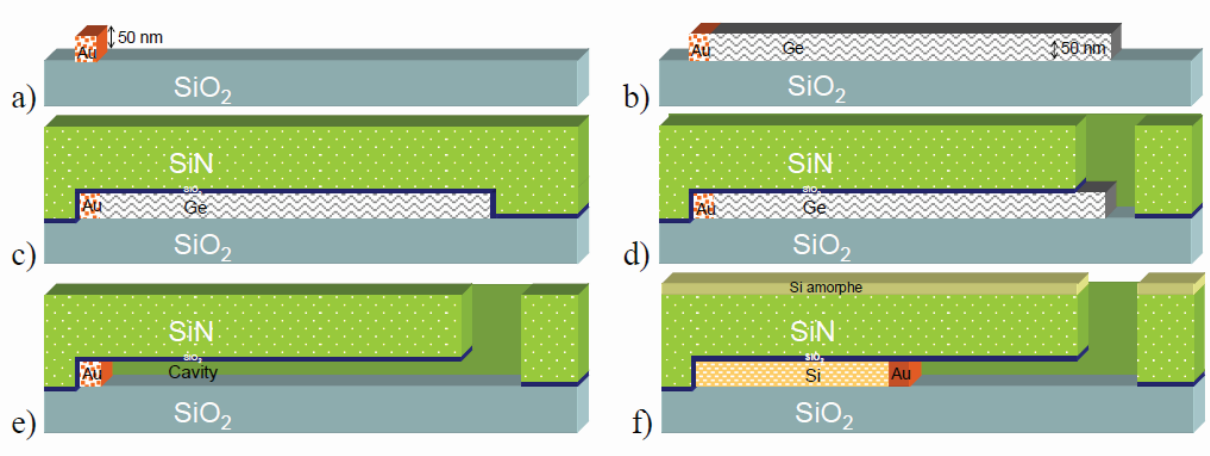


Figure III - 7: Schémas résumant succinctement chaque étape développée :
a) Barreau d'Au sur substrat amorphe. b) Motifs Au et Ge sur SiO_2.
c) Motifs Au et Ge sont recouverts de Si_xO_y et Si_xN_y. d) Formation d'ouverture à l'extrémité des motifs Ge. e) Cavité contenant un barreau d'Au. f) Cavité contenant une nanolame en Si synthétisée par VLS.

2.1.3 Synthèse de nanolames de silicium sur un substrat amorphe

Après la croissance VLS, une nanolame en silicium cristallin est obtenue à l'intérieur de chaque cavité. Afin d'observer proprement les résultats de la croissance, la gravure des parois des cavités est indispensable, et ne doit pas endommager le silicium synthétisé à l'intérieur des cavités. Le choix des matériaux constituant les cavités a été adapté pour la gravure sélective vis-à-vis du silicium formé par VLS. Ainsi, la gravure de la couche encapsulante, formée d'un bicouche Si_xO_y et Si_xN_y, s'effectue en deux étapes : RIE du Si_xN_y et gravure humide du Si_xO_y. Les étapes de gravure des parois de la cavité sont détaillées ci-dessous (Fig.III-8).
a) Après la croissance VLS confinée, une nanolame en silicium cristallin avec son catalyseur sont présents sous la couche d'encapsulation,alors que du silicium amorphe (dépôt CVD non catalysé) a été déposé de façon conforme sur tout le substrat.
b) Une gravure sèche (RIE) est effectuée pour retirer le silicium amorphe et le nitrure. La gravure s'arrête sur la fine couche d'oxyde à l'aide d'une détection optique de fin d'attaque.
c) Une gravure humide au HF 1% est utilisée pour enlever la fine couche d'oxyde.

d) L'or est gravé avec une solution à base d'iodure de potassium (KI), puis à l'eau régale ($3HCl : 1HNO_3 : 2H_2O$) pour retirer tous les résidus restant.

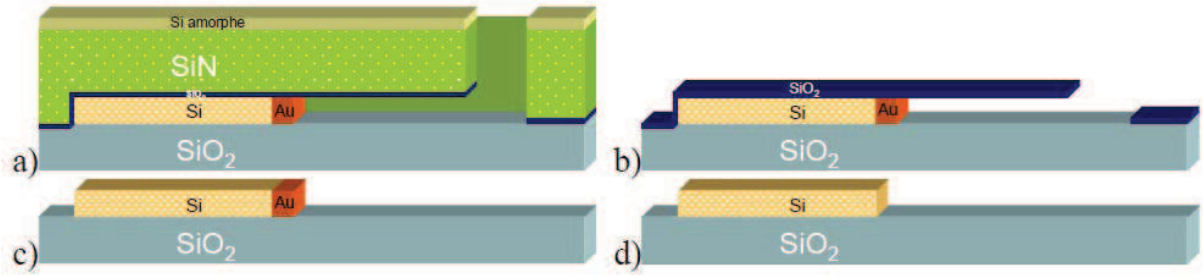


Figure III - 8 : Schémas illustrant le retrait des parois des cavités après la croissance VLS :
a) Cavité contenant une lame en Si cristallin.
b) Lame en Si recouvert d'une fine couche d'oxyde, après la gravure RIE du SiN et du Si amorphe.
c) Lame Si avec la goutte catalytique en or à son extrémité, après la gravure chimique de la fine couche d'oxyde.
d) Lame Si cristallin sur un substrat amorphe, après la gravure humide de l'Au.

2.2 *Fabrication de cavités utilisant un matériau sacrificiel*

Fonash et ses collaborateurs[34] ont démontré que la croissance VLS était possible dans des cavités fabriquées à partir de lignes sacrificielles en or. Nous avons par conséquent adopté une approche similaire, dans un premier temps. Par la suite, nous avons mis en évidence les principaux inconvénients de cette technique, et un nouveau procédé de fabrication basé sur un matériau sacrificiel en germanium est présenté et mis en œuvre.

2.2.1 Matériau sacrificiel en or

2.2.1.1 Etapes de fabrication des cavités

Dans un premier dans nous avons repris le procédé de fabrication de Fonash[34] en utilisant l'or comme matériau sacrificiel. La fabrication de ces cavités consiste à définir des motifs en or, de les recouvrir d'une couche déposée conformément, et de créer des ouvertures afin de graver partiellement les motifs en or pour obtenir un barreau d'or au fond des cavités (Fig.III-9).

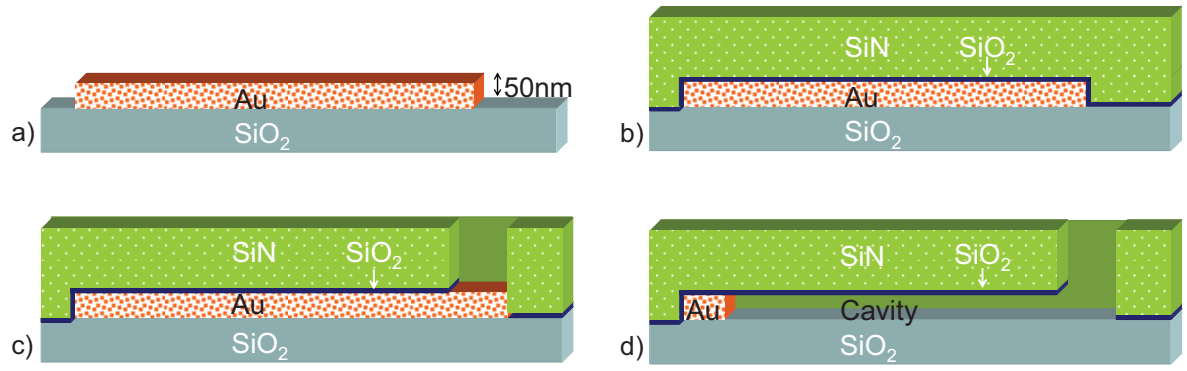


Figure III - 9 : Les étapes de fabrication des cavités avec l'or comme matériau sacrificiel :
a) Barreau d'Au sur substrat amorphe. b) Motifs Au sont recouverts de Si_xO_y et Si_xN_y.
c) Formation d'ouverture à l'extrémité des motifs Au. d) Cavité contenant un barreau d'Au.

2.2.1.2 *Les avantages du matériau sacrificiel en or*

Le principal avantage de l'utilisation de l'or comme matériau sacrificiel est la simplicité du procédé de fabrication. En effet, une seule étape de lithographie et de lift-off suffit pour définir à la fois le volume de la cavité et le barreau catalytique nécessaire pour la croissance VLS. Une image MEB d'un barreau d'or recouvert partiellement de nitrure est présentée dans la Fig.III-10. Par la suite, le procédé de fabrication de la cavité implique une gravure sacrificielle de ce barreau métallique.

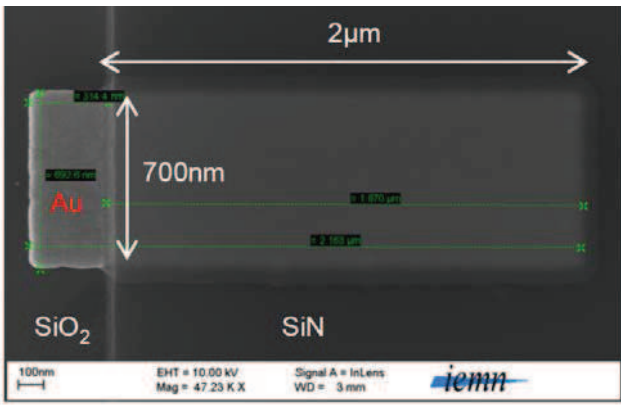


Figure III - 10 : Barreau d'Au recouvert partiellement de nitrure

2.2.1.3 *Inconvénients du matériau sacrificiel en or*

L'utilisation de l'or comme matériau sacrificiel, présente quatre inconvénients majeurs empêchant la fabrication de cavités de dimensions bien définies, et sans impuretés métalliques.

Un seul catalyseur possible : L'utilisation de l'or comme matériel sacrificiel limite l'utilisation du catalyseur uniquement à l'or. L'or n'étant pas compatible avec l'intégration de CMOS en site industrielle, d'autres catalyseurs doivent être utilisés, comme par exemple le platine.

Volume et forme du catalyseur mal définis: Après la gravure chimique partiel de l'or, la forme géométrique du barreau d'or n'est pas contrôlée. L'image MEB (a) de la Fig.III-11, met en évidence que le côté du barreau d'or défini par la gravure chimique est irrégulier. Ce qui signifie que le côté du barreau qui va être en contact avec le gaz précurseur, correspondant à la surface de réaction, est mal défini.

Contamination métallique : La gravure partielle de l'or laisse inévitablement des particules d'or dans la cavité. Ces résidus, favorisent la formation de plusieurs nanofils dans la cavité, et fournissent une source de contamination supplémentaire à la diffusion d'or pendant la croissance (Fig. III-11.a).

Dimensions des cavités imprécises : Ce procédé de fabrication ne permet pas de contrôler avec précision les dimensions des cavités et des barreaux d'or. Les dimensions des cavités sont définies par le temps de la gravure chimique de l'or. Par conséquent, toutes les cavités d'un échantillon auront des longueurs similaires. De plus, la vitesse de gravure de l'or dépend de la largeur de la cavité, les cavités de largeurs différentes ne présentent pas des longueurs parfaitement identiques (Fig. III-11.b).

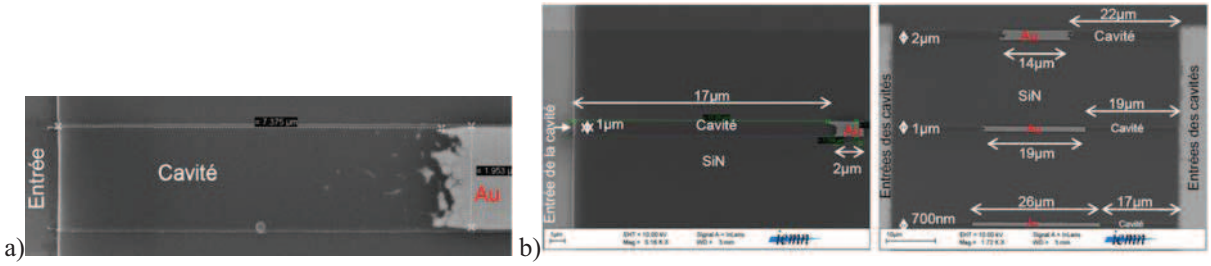


Figure III - 11 : Images MEB (vue de dessus) d'une cavité définie par gravure partielle d'Au :
a) Présence de particules d'Au à l'intérieure d'une cavité.
b) Après 10min de gravure humide de l'Au : Une cavité simple de 17µm de long. Des cavités doubles contenant un barreau d'or au centre de la cavité de différentes longueurs.

Un autre matériau sacrificiel a été utilisé afin d'éviter les inconvénients d'une couche sacrificielle en or présentés ci-dessus.

2.2.2 Matériau sacrificiel en *germanium*

2.2.2.1 Avantages du matériau sacrificiel en germanium

L'utilisation d'un matériau sacrificiel autre que l'or est indispensable pour contrôler la longueur des cavités (zone de croissance) ainsi que les dimensions et la localisation des barreaux d'or à l'intérieur des cavités. Le germanium, a donc été utilisé comme matériau sacrificiel, les dimensions des motifs en germanium (épaisseur, longueur, largeur) correspondent aux dimensions des cavités. L'utilisation du germanium permet, ainsi, de surmonter chaque inconvénient induit par le matériau sacrificiel en or.

Plusieurs catalyseurs possibles : Il est indispensable d'utiliser différents catalyseurs pour synthétiser du silicium cristallin. Grâce à un matériau sacrificiel en germanium il est possible d'obtenir des cavités contenant des catalyseurs autres que l'or. L'image MEB (a) de la Fig.III-12, représente une cavité contenant un barreau de platine.

La forme du catalyseur bien définie : En utilisant le germanium comme matériau sacrificiel, la cavité et le catalyseur sont définis séparément, permettant un bon contrôle des dimensions du barreau catalytique (Fig. III-12).

Aucune contamination métallique : Le fait que le catalyseur ne soit pas utilisé pour définir le volume de la cavité, aucune particule catalytique ne sera présente dans la cavité.

Dimensions des cavités très précises : Des tunnels de différentes dimensions peuvent être fabriqués en même temps sur un même échantillon. La largeur des tunnels est comprise entre 50nm et 2µm, et la longueur varie de 50nm jusqu'à 20µm.

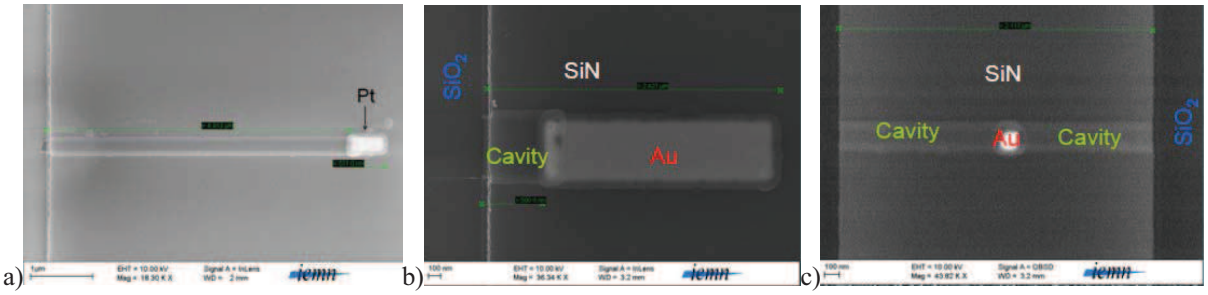


Figure III - 12 : Images MEB de cavités (vue de dessus) avant la croissance VLS.
a) Une cavité de 500nm de côté avec un barreau d'Au de 2µm de long au fond.
b) Un barreau d'Au de 100nm de côté entouré de deux catés de 1µm de long.
c) Une cavité de 5µm de long et 200nm de large contenat un barreau en Pt.

2.2.2.2 *Problèmes liés au matériau sacrificiel en Ge*

L'utilisation du germanium ajoute des étapes au procédé de fabrication. Une étape de lithographie et de lift-off supplémentaires sont nécessaires entraînant deux inconvénients.

Alignement Ge/Au : Pour assurer une connexion entre le germanium et l'or, l'alignement entre les deux niveaux doit être précis pour assurer une zone de recouvrement entre les deux matériaux. Les images MEB de la Fig.III-13 montrent cette zone de recouvrement Au/Ge indispensable. En effet, sans ce recouvrement la surface du catalyseur ne sera pas exposée au gaz réactif.

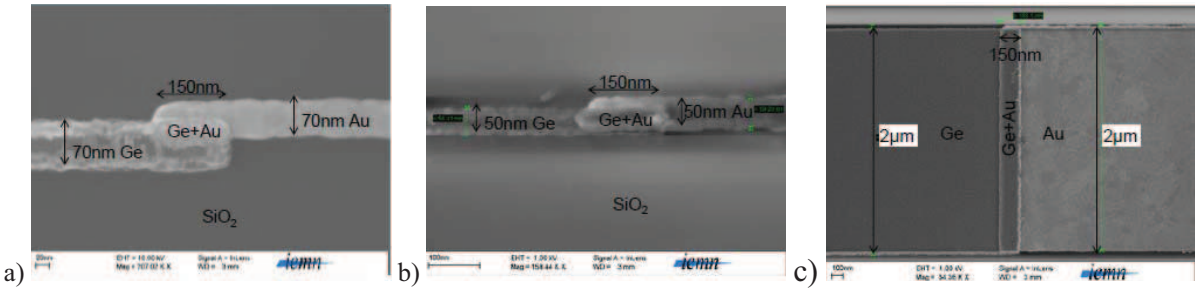


Figure III - 13 : Images MEB (vue de dessus) de motifs en Au et Ge

a) Une ligne en Ge légèrement décalée par rapport à la ligne d'or causé par un problème d'alignement.
b) Deux lignes Ge et Au de 50nm de large parfaitement alignés.
c) Deux lignes Ge et Au de 2µm de large parfaitement alignés avec un recouvrement de 150nm.

Réaction entre le germanium et l'or : Après avoir défini les motifs d'or et de germanium, une couche d'encapsulation est déposée de façon conforme sur tout le substrat. Ce dépôt s'effectue par PECVD à 300°C. Il a été observé qu'à 300°C l'or et le germanium réagissent ensemble et forment un mélange Au-Ge. Cette réaction est mise en évidence lorsqu'une couche d'or et de germanium sont déposées l'une sur l'autre, puis recouvertes d'une couche de nitrure déposé à par PECVD à 300°C (Fig.III-14-b). Après le dépôt de nitrure les deux couches forment une couche unique Au-Ge. Pour éviter cette réaction, le recouvrement doit être le plus petit possible, c'est-à-dire de l'ordre d'une centaine de nanomètres (Fig.III-14-c).

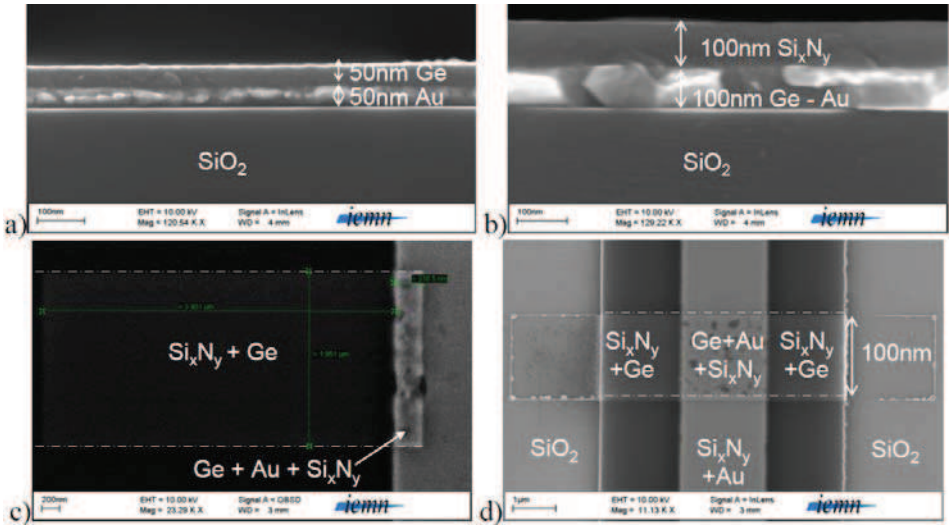


Figure III - 14 : Images MEB illustrant la formation du mélange Au-Ge :

a) Une couche de 50nm de Ge déposé sur une couche de 50nm d'Au (vue en coupe).
b) Le bicouche Ge/Au de (a) recouvert de 100nm de nitrure (vue en coupe).
c) Recouvrement d'un motif en Ge et d'Au sous une couche de nitrure pour former une cavité simple.
d) Recouvrement d'un motif en Ge et d'Au sous une couche de nitrure pour former une cavité double.

2.3 Formation des parois des cavités

Les parois des cavités sont définies par dépôt conforme d'un matériau sur les motifs d'or et de germanium. Le choix du matériau doit d'être fait en fonction de sa stabilité chimique, mécanique et également de sa sélectivité de gravure par rapport au silicium synthétisé en dessous.

2.3.1 Dépôt conforme

2.3.1.1 Dépôt par PECVD

Le dépôt chimique en phase gazeuse assisté par plasma (PECVD) a été choisi pour former la couche d'encapsulation, car cette technique permet de déposer des couches à des températures relativement basses (entre 200°C et 400°C) et de façon conforme. Pendant un dépôt de type PECVD, un champ électrique dissocie les molécules gazeuses introduites dans la chambre. Des espèces réactives (radicaux, ions, ions, électrons, atomes, molécules) sont alors créés et donnent naissance à un plasma. L'énergie nécessaire pour la réaction de dissociation est apportée à la fois par la température et l'énergie du plasma. Entre le plasma et l'échantillon, une polarisation provoque une accélération de particules vers le substrat. Le dépôt a lieu lorsque les ions appropriés réagissent à la surface de l'échantillon. Le dépôt par PECVD est quasi uniforme et conforme quelque soit le relief du substrat. D'autre part, il faut noter que les films déposés par PECVD ne sont pas stoechiométrique, présentent une faible densité et sont fortement contraints.

2.3.1.2 Dépôt conforme de nitrure

Afin de vérifier la conformité du dépôt, des lignes en or de 50nm d'épaisseur ont été recouvertes par 100nm de nitrure. Les images MEB en vue de coupe de la Fig.III-15 confirment que le nitrure recouvre parfaitement les motifs métalliques et que l'or n'a pas diffusé à l'interface oxyde nitrure et à l'intérieur de ces matériaux..

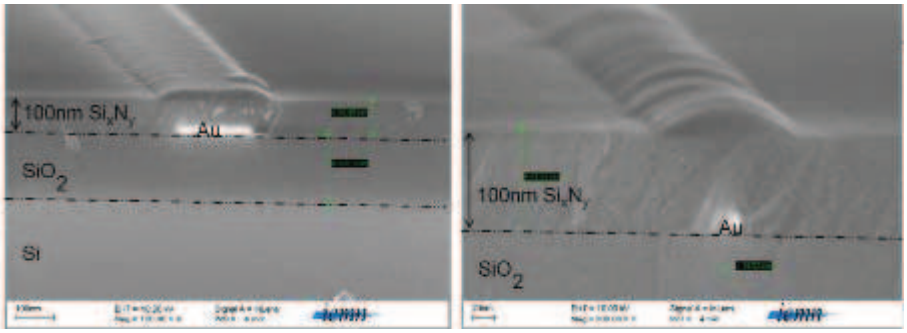


Figure III - 15 : Image MEB (vue de coupe inclinée) illustrant le recouvrement conforme de motifs en Au.

2.3.2 Choix du matériau

2.3.2.1 Cavités en oxyde

Plusieurs matériaux ont été testés pour définir les parois de la cavité. Nous avons tout d'abord sélectionné un oxyde car il présente une bonne sélectivité de gravure par rapport au silicium synthétisé par VLS dans la cavité. Une première approche utilisant un matériau à

faible permittivité, Hydrogène SilsesQuioxane (HSQ) qui a une structure très proche de celle de l'oxyde a été mise en œuvre dans un temps. La couche d'encapsulation est définie en une seule étape de lithographie électronique, sans avoir recourt à une étape de gravure. Cependant quand la cavité est large, la HSQ s'affaisse, comme illustré en Fig.III-16, même après une étape de densification la résine par recuit et plasma O_2. Ce problème d'affaissement est également observé en utilisant du Si_xO_y déposé par PECVD.

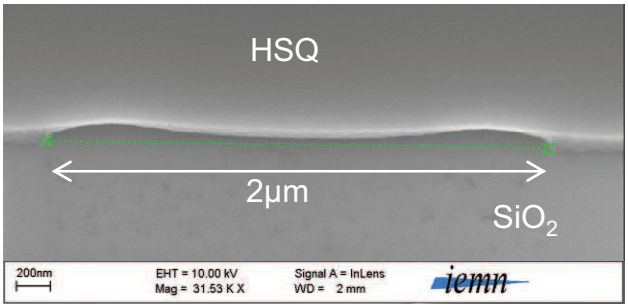


Figure III - 16 : Image MEB inclinée montrant l'affaissement d'une cavité définie en HSQ.

2.3.2.2 Cavités en nitrure

Les cavités à parois d'oxyde de silicium n'ayant pas une bonne tenue mécanique, le nitrure a été choisi pour remplacer l'oxyde. Lorsque le matériau sacrificiel est gravé chimiquement la couche d'encapsulation en nitrure ne s'affaisse pas comme dans le cas précédent. Les images MEB de la Fig.III-17 représentent l'entrée d'une cavité en nitrure. Au dessus de la paroi de la cavité, une couche de résine positive (PMMA) ayant servi de masque pour la gravure du nitrure créant l'ouverture de la cavité est observable. Ces images confirment que les parois des cavités ne s'effondrent pas, même pour une cavité de 2µm de large. Cependant le nitrure déposé en PECVD est fortement contraint. Par conséquent lorsque le nitrure est en suspension (au niveau de la cavité) les contraintes se relâchent déformant la forme géométrique de la cavité. Ce phénomène a été observé pour une cavité de 2µm de large (Fig. III-17-b). Dans ce cas le nitrure est en compression, afin de s'affranchir de cet effet, l'ingénierie des conditions de dépôts PECVD doit permettre de diminuer le niveau de contrainte.

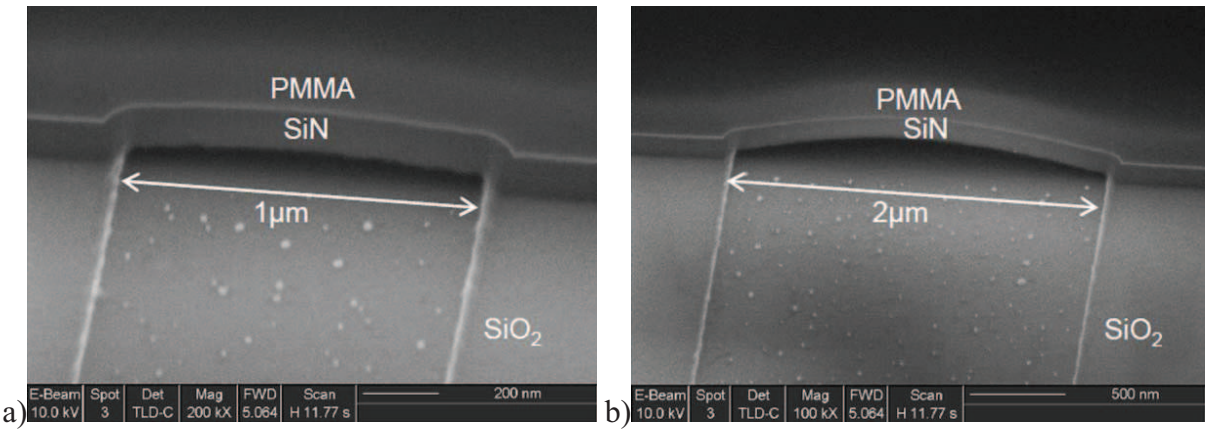


Figure III - 17 : Image MEB inclinée montrant la bonne tenue mécanique de cavités de 1µm et 2µm de large définis en nitrure.

2.3.2.3 Couche d'arrêt en oxyde

Le matériau définissant les parois des cavités doit avoir une bonne tenue mécanique mais doit également être adapté au retrait des parois de la cavité après la croissance. L'encapsulation est constituée principalement de nitrure. Cependant la gravure du nitrure n'est pas sélective par rapport au silicium (Si synthétisé par VLS par la suite). L'utilisation d'une couche en oxyde de 10nm sous 100nm de nitrure (Fig.III-18) permet de graver le nitrure par RIE sans endommager le silicium tout en préservant la rigidité des parois de la cavité.

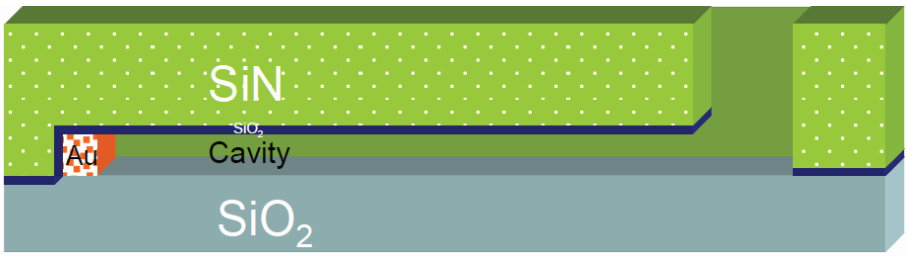


Figure III - 18 : Schéma d'une cavité vue en coupe

2.4 Définition de voies d'accès aux lignes sacrificielles

Après avoir recouvert les barreaux catalytiques d'or et les lignes sacrificielles en germanium par un bicouche Si_xN_y / Si_xO_y, il est nécessaire de définir des zones d'ouverture pour accéder au germanium afin de procédé à sa gravure sélective.

2.4.1 Lithographie électronique

Les zones d'accès des cavités sont définies en utilisant de la résine positive, la PMMA (Fig.III-19). Ainsi, avant la croissance tout le substrat est recouvert de nitrure, donc le silicium amorphe déposé pendant la croissance pourra être retiré en même que la couche encapsulante. La résine positive (PMMA) étant un composé organique, il faut s'assurer que toute la résine a été parfaitement retirée avant d'effectuer la croissance.

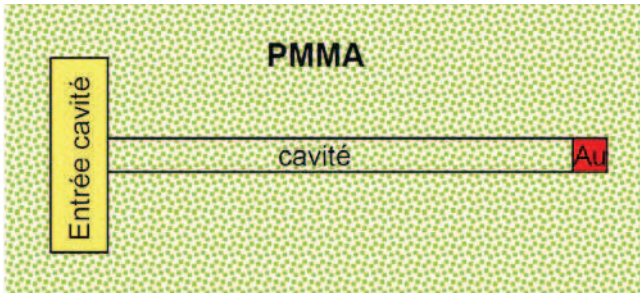


Figure III - 19 : Schémas représentant une cavité définie avec une résine positive

Une résine positive a donc été choisie pour définir les zones d'accès au germanium, car pendant la croissance le substrat sera entièrement protégé par le nitrure, et la résine PMMA sera complètement retirée par plasma O_2.

2.4.2 Gravure sèche: RIE SiN avec détection de fin d'attaque optique sur oxyde

2.4.2.1 Principe de la gravure RIE

Pour accéder aux motifs en germanium, il faut graver le nitrure de manière anisotrope. La gravure plasma est la plus adaptée pour définir les zones d'accès au germanium, car elle a

l'avantage d'être anisotrope. Le plasma, créé par l'interaction d'un flux gazeux et d'un champ électrique, est constitué d'espèces chimiques très réactives (électrons, ions, atomes). Pendant une gravure plasma RIE, la gravure chimique isotrope (interaction des espèces neutres ou ionisés avec la surface du matériau qui engendre la formation de composés volatiles) et la gravure physique anisotrope (interaction physique de pulvérisation des atomes de surface par les ions positifs) co-existent. Cependant, la gravure RIE (Reactive Ion etching) présente l'inconvénient d'être moins sélective que la gravure humide vis-à-vis des couches adjacentes. Par conséquent, le réacteur RIE est équipé d'un équipement de détection de fin d'attaque (interféromètre) qui nous permet de contrôler le temps de gravure d'une couche mince (Fig.III-20). L'interférométrie consiste à envoyer une source lumineuse monochromatique (laser 670nm) sur la plaque en cours de gravure à travers le plasma. Pendant la gravure, l'intensité du laser qui est réfléchi à chaque interface entre couches minces de matériaux oscille. Ces oscillations se produisent à cause des interférences de phase entre les ondes réfléchies dans la couche gravée et à l'interface entre la couche gravée et le substrat. La couche à graver doit être transparente ou semi transparente pour observer les oscillations.

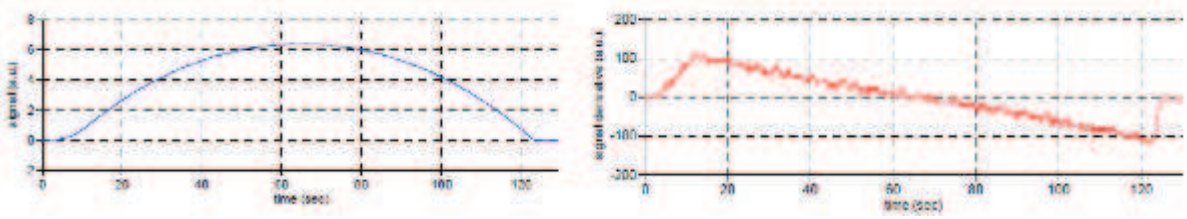


Figure III - 20 : Graphiques représentant le signal de l'interféromètre et sa dérivée en fonction du temps de gravure

2.4.2.2 Procédé expérimental

Le procédé de gravure utilise l'hexafluorure de soufre (SF_6) associé à de l'argon. La gravure du nitrure de silicium s'effectue grâce au fluor apporté par SF_6. La dissociation du gaz réactif (SF_6) est facilitée par l'addition d'un gaz neutre l'argon (Ar).
Les paramètres de gravure RIE utilisés sont les suivants[37]: SF6 (20sccm), Ar (10sccm), 10mT, 25W. La vitesse de gravure est d'environ 48nm/min.
On utilise une sur-gravure de 10s pour s'assurer que tout le nitrure de silicium a été gravé afin d'accéder à la très fine couche d'oxyde (10nm) constituant la couche d'arrêt de gravure. Un exemple de cavité avant la gravure du matériau sacrificiel en germanium est présenté en Fig.III-21.

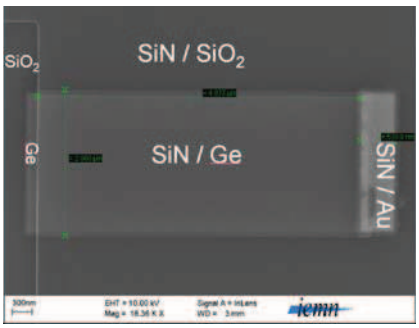


Figure III - 21 : Image MEB (vue de dessus) d'une cavité de 2µm de large sur 5µm de long avant la gravure du matériau sacrificiel : le germanium accolé au barreau d'or est partiellement recouvert d'une couche de nitrure.

2.5 Gravure des lignes sacrificielles

2.5.1 Gravure RIE des lignes de germanium sous le nitrure

Lorsque les zones d'accès aux motifs de germanium sont définies, il est nécessaire de graver sélectivement la ligne sacrificielle de germanium située sous la couche d'encapsulation (Si_xN_y+Si_xO_y). A cette effet, la gravure sèche apparassait intéressante, pour graver le germanium sous le nitrure, car elle permet de retirer un matériau sans mettre l'échantillon en solution, ce qui évite les effets de rétention de la solution de gravure par capillarité à l'intérieur de la cavité et les problèmes liés au séchage. Le germanium sous le nitrure a d'abord été gravé par RIE (SF_6-O_2), car cette recette RIE grave le germanium de façon isotrope à une vitesse élevée d'environ 600nm/min (Fig. III-22-a). Pour obtenir des cavités de plusieurs microns de long, il faut que le temps de gravure soit supérieur à 3min. Cependant, nous n'avons pas réussi à obtenir une sélectivité de gravure suffisante vis-à-vis du nitrure : après une gravure de 2min, le nitrure au dessus du germanium est entièrement gravé (Fig. III-22-b).

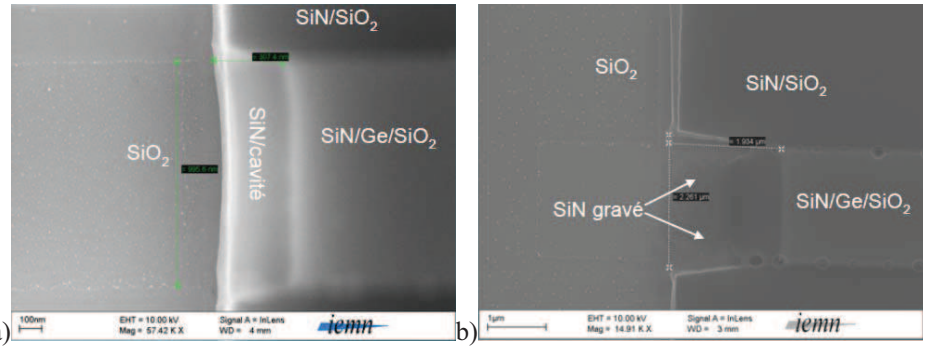


Figure III - 22 : Images MEB de cavités après la gravure RIE du Ge sacrificiel :
a) une cavité de 300nm de profondeur après 30s de gravure RIE.
b) Après 2min de gravure RIE, la couche encapsulante est gravée en même temps que le germanium.

2.5.2 Gravure humide des lignes de germanium sous le nitrure

2.5.2.1 La gravure chimique : haute sélectivité

La couche sacrificielle de germanium sous le nitrure est finalement gravée par voie humide, en utilisant une solution de H_2O_2 à 30% chauffée à 50°C. Cette gravure chimique grave le germanium de façon très sélective vis-à-vis du SiO_2 et SiN. Les réactions mises en jeu au cours de la gravure chimique du germanium amorphe ou poly-cristallin sont les suivantes :

$$H_2O_2 + Ge \rightarrow GeO + H_2O \qquad H_2O_2 + GeO \rightarrow GeO_2 + H_2O \qquad H_2O + GeO_{(s)} \rightarrow H_2O + GeO_{(l)}$$

La vitesse de gravure est d'environ 10µm/h. La gravure complète des motifs en germanium est vérifiée au microscope optique et au MEB à travers le bi-couche Si_xO_y/Si_xN_y qui est transparent à la tension d'accélération du microscope électronique utilisée. L'image MEB de la Fig.III-23 montre deux cavités de 20µm de long après la gravure du germanium. Cette image montre également des résidus de résine sur les bords des zones gravées. La résine avait été retirée à l'acétone, cependant la gravure RIE a densifié la résine sur les bord des motifs, rendant difficile le retrait de celle-ci. Afin de retirer les résidus de PMMA, un plasma d'oxygène est nécessaire.

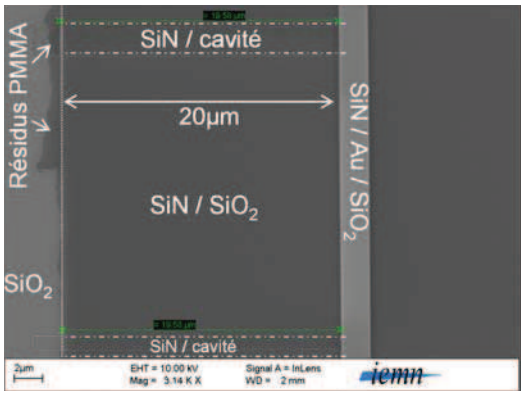


Figure III - 23 : Image MEB (vue de dessus) de deux cavités de 20µm de long après la gravure du Ge sacrificiel (H_2O_2, 50°C, 2h)

2.5.2.2 Le séchage CO_2 supercritique

Pour s'affranchir des effets de capillarité afin d'assurer un séchage homogène et un état de séchage acceptable dans toutes les cavités, le séchage par CO_2 supercritique a été mis en œuvre. Cette technique utilise un fluide supercritique, c'est-à-dire un fluide placé dans des conditions de température et de pression supérieures au point critique (Fig.III-24). Les fluides supercritiques ont des propriétés différentes de celles d'un gaz ou d'un liquide : ils ont une viscosité proche de celle d'un gaz , une densité proche de celle d'un liquide avec un pouvoir de diffusivité très élevée, ce qui facilite la pénétration dans des milieux poreux. Cette méthode permet de travailler à une température modérée, et d'obtenir des échantillons exempts de tout résidu de solvant.

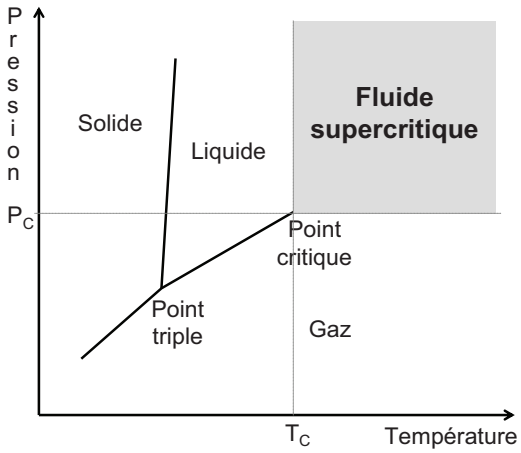


Figure III - 24: Diagramme de phase d'un fluide représentant la pression en fonction de la température.

2.6 Description des cavités obtenues

Les paragraphes précédents ont fourni une description précise des étapes de fabrication des cavités permettant le contrôle précis des dimensions et de la forme géométrique.

2.6.1 Control précis des dimensions

Le contrôle des dimensions des cavités et des barreaux d'or est un facteur clé pour maîtriser la croissance VLS confinée. Nous avons utilisé une gamme de dimensions assez large allant de 50nm à plusieurs microns, afin d'évaluer l'influence de ces dimensions (cavités et barreau) sur la croissance VLS confinée de silicium. Les images MEB de la Fig.III-25

présentent des cavités de différentes dimensions contenant des barreaux d'or de différentes longueurs.

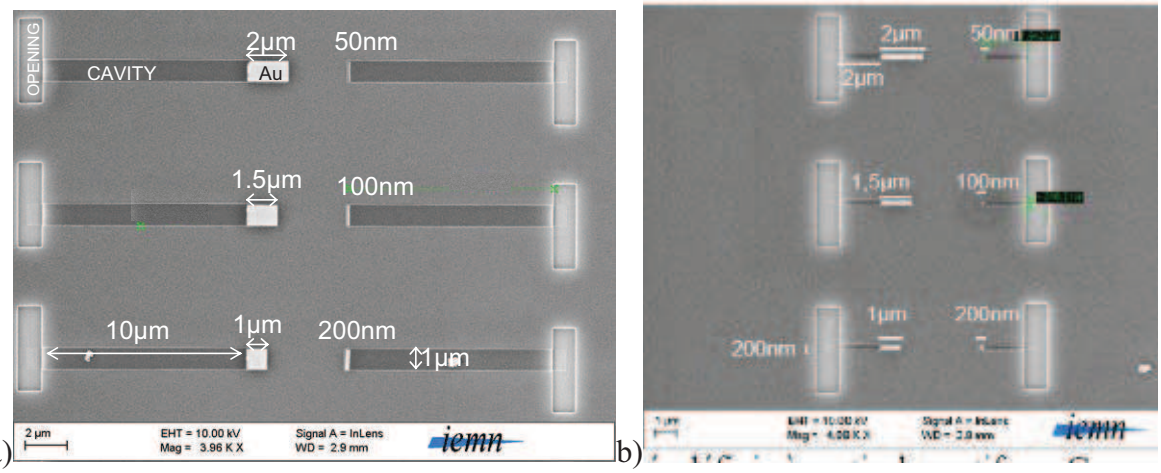


Figure III - 25 : Images MEB (vue de dessus) de cavités définis à partir de motifs en Ge sacrificiel : a) Cavités de 10µm de long et 1µm de large. b) Cavités de 2µm de long et 200nm de large.

2.6.2 Cavités avec différentes formes géométriques

Comme le gaz rentre et ressort par le même par le même canal, différentes structures ont été fabriquées pour faciliter la circulation du gaz dans la cavité. Par conséquent des cavités à double canal (Fig. III-26.a), et des cavités contenant des ouvertures sur les parois latérales (Fig. III-26.b) ont également été fabriquées. Il faut noter que différentes formes géométriques peuvent être fabriquées grâce à l'utilisation de motifs sacrificiels en germanium.

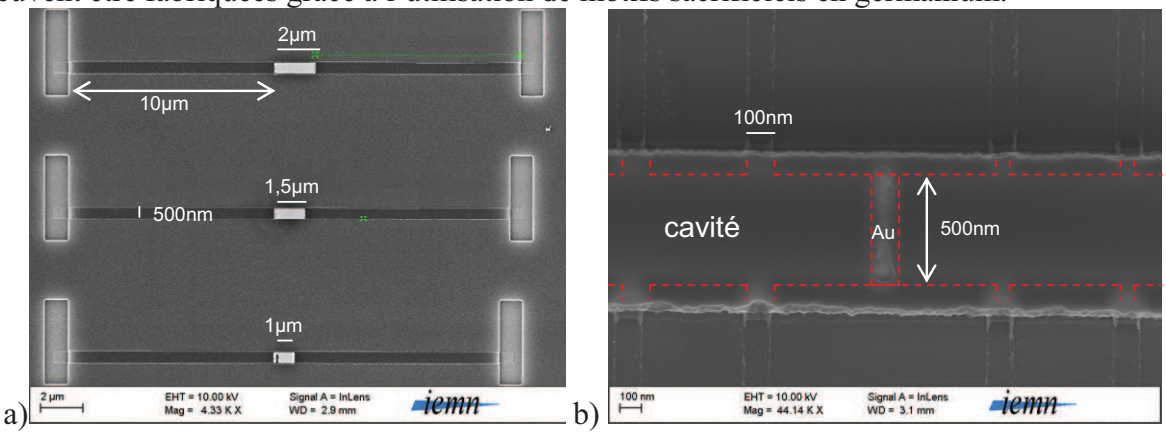


Figure III - 26 : Images MEB (vue de dessus) :
a) Cavités doubles de 10µm de long contenant un barreau d'or au centre.
b) Une cavité avec des ouvertures définies le long des parois.

2.6.3 Observation de l'intérieur de la cavité au FIB

Pour s'assurer qu'il n'y a pas d'effondrement au niveau de la cavité, nous avons effectué une coupe longitudinale (suivant l'axe de la cavité) par sonde ionique focalisée, plus connu sous le sigle FIB (Focused Ion Beam). Le FIB utilise un faisceau d'ions (Ga^+) focalisés. Quand les ions à haute énergie sont projetés à la surface de l'échantillon, ils pulvérisent les atomes de la surface de l'échantillon. En même temps, les atomes de gallium sont implantés dans les premiers nanomètres de la surface de l'échantillon qui est ainsi amorphisé. Ainsi,

l'intérieur d'une cavité a pu être observée au MEB en vue de coupe (Fig.III-27), permettant la vérification de la bonne tenue mécanique du matériau de recouvrement.

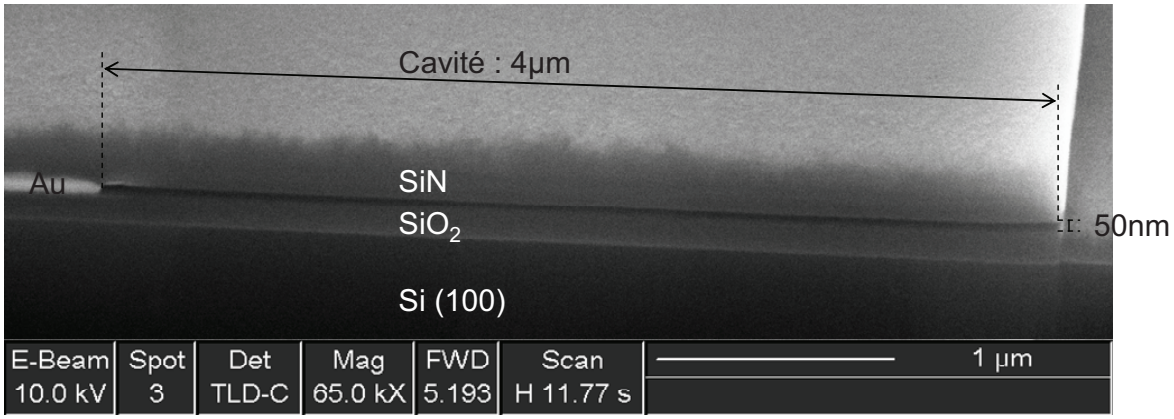


Figure III - 27 : Image MEB d'une cavité de 4µm de long et de 50nm de haut, en vue de coupe, après une découpe au FIB.

Conclusion

Ainsi, nous avons fabriqué des cavités contenant un barreau catalytique en tenant conte de toutes les spécificités requises présentées dans le paragraphe 2.1.1. Pour cela, nous avons utilisé : un substrat recouvert d'un oxyde thermique, un matériau sacrificiel en germanium pour définir le volume de la cavité, et un bi-couche en oxyde (Si_xO_y) nitrure (Si_xN_y) pour former les parois des cavités.

Maintenant nous pouvons nous concentrer sur la croissance VLS guidée et confinée à l'intérieur de ces cavités.

3 Croissance VLS confinée à l'intérieur des cavités

3.1 Spécificités de la croissance confinée

Du fait que la croissance VLS ait lieu à l'intérieur d'une cavité, les différents mécanismes de transport et de dépôt de matière doivent être pris en compte, comme le dépôt du silicium amorphe sur toutes les parois, le renouvellement des espèces réactives au fond de la cavité, et le confinement du barreau d'or.

3.1.1 Apport en gaz réactif : renouvellement des espèces

Les cavités utilisées pour la croissance confinée ne comportent qu'un accès, contraignant le gaz réactif à rentrer et ressortir par le même canal, ce qui ne facilite pas le renouvellement des espèces. Par conséquent, celui-ci est limité par rapport à une croissance sur un substrat plan.

3.1.1.1 Dépôt non catalysé à l'intérieur des cavités

Dans le cas de la croissance VLS conventionnelle, les espèces réactives accèdent directement à la surface du catalyseur sans effets d'ombrage. Pour effectuer une croissance VLS guidée et confinée, le catalyseur est placé au fond de cavités de plusieurs microns de long. Par conséquent, les espèces en phase gazeuse doivent diffusées à l'intérieur des cavités et réagir préférentiellement avec le métal catalytique plutôt que sur les parois internes. Le

procédé de formation du dépôt non catalysée sur la surface à l'intérieur d'un pore a été décrit par Fitzer[38].

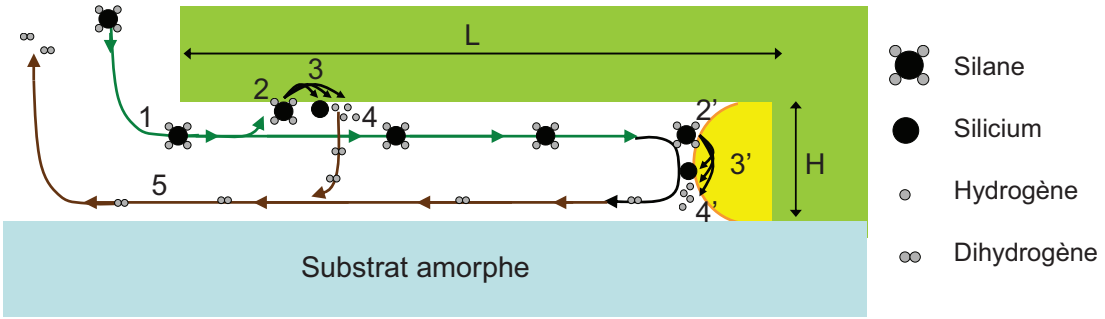


Figure III - 28 : Représentation schématique du procédé de dépôt CVD à l'intérieur d'une cavité horizontale[38] :

(1) Transport du gaz précurseur (le silane) par diffusion à l'intérieur du pore.
(2) Adsorption du gaz (silane) physiquement et chimiquement sur la surface des parois de la cavité.
(2') Adsorption du gaz (silane) physiquement et chimiquement sur la surface du catalyseur.
(3) Réaction chimique sur la surface des parois.
(3') Réaction chimique sur la surface du catalyseur.
(4) Désorption des produits (dihydrogène) de la surface des parois sous forme volatile.
(4') Désorption des produits (dihydrogène) de la surface du catalyseur sous forme volatile.
(5) Transport des produits gazeux (le dihydrogène) vers l'extérieur du pore par diffusion.

Pendant la croissance VLS confinée, deux types de réactions rentrent en jeux : (i) la décomposition non catalysée du silane sur les parois de la cavité (correspondant aux étapes 2, 3 et 4 de la Firg.III-28). (ii) la décomposition du silane catalysée par les particules métalliques tout au fond de la cavité de plusieurs microns de long (correspondant aux étapes 2', 3' et 4' de la Firg.III-28). Même si la vitesse du dépôt non catalysé est beaucoup moins importante que celle du dépôt catalysé, le silicium amorphe ainsi formé à l'intérieur des cavités a plusieurs conséquences sur la croissance VLS :
- Diminution du volume de la cavité ainsi que de la quantité de gaz entrant dans celle-ci.
- Réduction de la concentration d'espèces réactives au fond de la cavité (causée par leur décomposition).
- Obstruction de la cavité (de 50nm de haut) par le dépôt de silicium.

3.1.1.2 Model théorique de la réaction du SiH_4 dans les pores

Fitzer[38] a utilisé un formalisme classique de diffusion et réactions dans des pores cylindriques, afin de déterminer les conditions pour la croissance VLS de silicium dans des nanopores. Dans leur modèle mathématique, ils considèrent que trois étapes influencent le procédé global : i) le transport du gaz à la surface de l'échantillon, ii) la diffusion des gaz dans les pores, iii) la réaction chimique sur la surface à l'intérieur des pores. De plus, ils posent l'hypothèse d'être en régime quasi-statique, pendant lequel les pores ne changent pas de géométrie. Dans ces conditions, la concentration en silane C_A en fonction de la position z dans le nanopore cylindrique de rayon r, et de longueur L s'exprime de la manière suivante :

$$C_A(z) = C_{A,s} \times \frac{e^{\sqrt{D_{a_{II}}}\left(1-z/L\right)} + e^{-\sqrt{D_{a_{II}}}\left(1-z/L\right)}}{e^{\sqrt{D_{a_{II}}}} + e^{-\sqrt{D_{a_{II}}}}}$$

Où $C_{A,s}$ est la concentration en silane à la surface et $D_{a_{II}}$ est le second coefficient de Damköhler. $D_{a_{II}}$ décrit le ratio entre la vitesse de la réaction chimique dans le pore et la vitesse du transport du silane par diffusion dans le pore, il est défini par :

$$D_{a_{II}} = \frac{k_s\left(A_{in}\right)_v L^2 \times C_A^{\,n-1}}{D_e}$$

En supposant que la réaction est du premier ordre (n=1) : $D_{a_{II}} = \frac{k_s\left(A_{in}\right)_v L^2}{D_e}$

k_s [cm.s^{-1}] : la vitesse de décomposition du silane, estimée à partir de la théorie cinétique comme le produit de la vitesse des molécules et de la probabilité de réaction du silane en surface[39].

$\left(A_{in}\right)_v$ [cm^{-1}] : la surface interne des pores par unité de volume : $\left(A_{in}\right)_v = \frac{2\pi rL}{\pi r^2 L} = \frac{2}{r}$

D_e [cm².s^{-1}] : le coefficient de diffusion effectif.

La diffusion de molécules, à basse pression, dans des pores de diamètres inférieurs à 200nm se produit en régime de diffusion de Knudsen. Dans ce cas, la diffusivité effective peut être décrite ainsi : $D_e = rv$, avec v la vitesse moyenne des molécules.

Ainsi, Lew[40] a calculé le profil de la concentration en silane en fonction de la position dans le pore, pour des pores de 200nm de diamètre et 25µm de long à différentes températures. Le profil présenté dans la Fig.III-29, met en évidence l'impact de la température sur le dépôt de silicium à l'intérieur des pores. Pour que le silane diffuse le plus loin possible dans les pores sans former de dépôt, une température inférieur ou égal à 500°C est nécessaire.

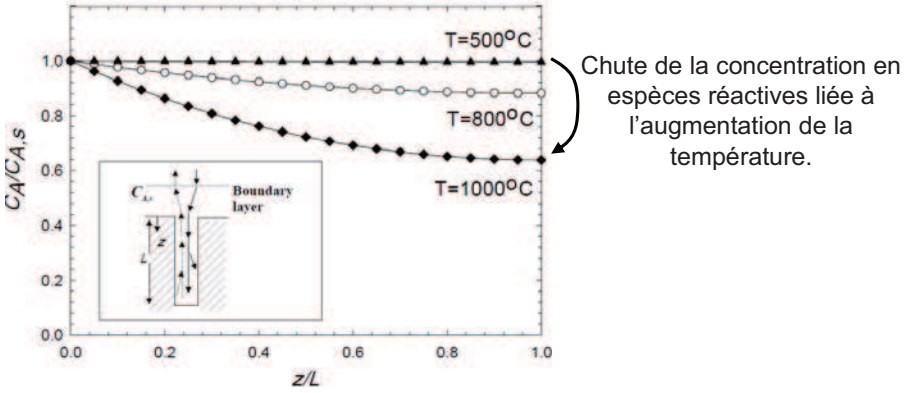


Figure III - 29 : Profil de la concentration en silane normalisée en fonction de la position z normalisées dans le pore (avec d=200nm, et L=25µm) à différentes températures[40].

Nos conditions expérimentales ne sont pas tout à fait identiques à celles utilisées pour créer le profil présenté ci-dessus. Tout d'abord nos cavités sont horizontales et non verticales, et ont une forme géométrique de parallélépipède rectangle et non cylindrique, ce qui pourrait modifier de façon significative le flux du gaz. Cependant les ordres de grandeurs calculés sont proches de celles que nous utilisons. Par conséquent, pour nos expériences il sera également indispensable d'utiliser une température inférieure ou égale à 500°C.

3.1.2 Surface de contact Au/SiH_4

Le catalyseur utilisé pour la croissance VLS est un barreau d'or dont la forme géométrique est un parallélépipède rectangle. Le catalyseur étant situé au fond de la cavité, cinq de ses faces sont en contact avec les parois des cavités. Il n'y a donc qu'une seule face exposée aux réactifs gazeux, contrairement à la croissance effectuée sur un substrat plan où une seule face du barreau catalytique est en contact avec le substrat tandis que les cinq autres faces sont exposées directement au gaz.

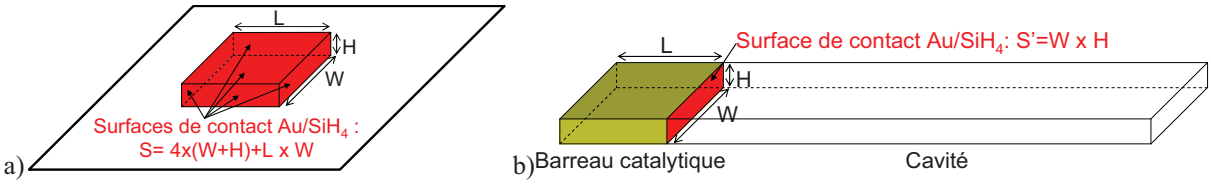


Figure III - 30 : Schémas représentant le barreau catalytique dans le cas d'une croissance confinée et d'une croissance sur substrat plan :
a) Barreau d'or au fond d'une cavité utilisée pour la croissance VLS confinée.
b) Barreau d'or sur un substrat plan pour la croissance VLS.

Dans le cas de la croissance confinée, la surface sur laquelle la réaction de décomposition du précurseur aura lieu est indépendante de la longueur du barreau catalytique, contraire à la croissance sur un substrat plan. Par conséquent, le des surfaces de contact entre la croissance VLS sur un substrat plan (Fig.III-30-a) et à l'intérieur d'une cavité (Fig.III-30-b), avec H=50nm, est au moins supérieur à 4.

La longueur du barreau d'or varie de 50nm à 2µm, donc : $4 < \frac{S}{S'} < 44$

La surface de contact agit sur la dissociation du silane et l'incorporation du silicium dans le catalyseur.

3.1.3 Forme géométrique de l'alliage catalytique

Les cavités de confinement agissent sur la forme géométrique de la goutte d'or : lors de la croissance sur un substrat plan, l'alliage Au_xSi_y est une demi sphère, alors que pour la croissance confinée l'alliage Au_xSi_y est un demi cylindre (Fig III-31). Pendant la croissance confinée, la goutte d'alliage Au_xSi_y liquide avance le long de la cavité poussée par le silicium cristallin, créant ainsi des forces de frottement entre le catalyseur liquide et les deux parois horizontales de la cavité. Ces frottements dépendent de plusieurs phénomènes physique : rugosité des surface, élasticité, plasticité, adhésion, thermique, chimie de surface, humidité…
En considérant uniquement le cas idéal, où le silicium cristallin rempli entièrement le volume de la cavité, le diamètre de l'alliage d'or et de silicium correspond à la largeur de la cavité (W), et la hauteur du cylindre correspond à la hauteur de la cavité (H) (Fig.III-31). Comme on peut l'observer sur le schéma ci-dessous, la surface de contact entre la goutte catalytique et les parois de la cavité est importante faisant apparaître des forces de frottement entre un solide et un liquide.

Surface de contact entre l'alliage liquide et les parois de la cavité : $S'' = \pi \times \frac{W^2}{4}$

La largeur des barreaux d'or varie de 50nm à 2µm, donc la surface de contact est comprise entre : $1962 nm^2 \leq S'' \leq 3{,}14 \mu m^2$

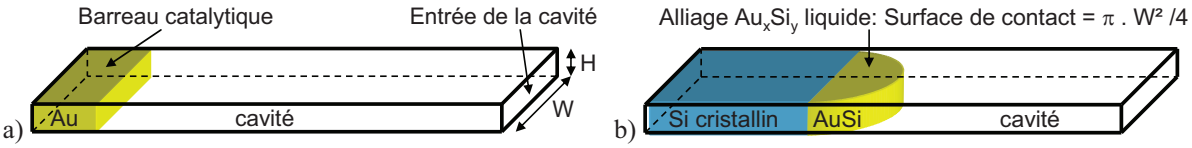


Figure III - 31 : Représentation schématique de la croissance VLS confinée.

3.2 Premières observations et optimisation du procédé « cavité »

3.2.1 Premières croissances et limitations

Pour les premiers essais de croissance confinée, des conditions (dimensions des cavités et recettes de croissance) non optimisées ont été utilisées favorisant l'apparition de phénomènes non souhaités.

- Les cavités utilisées ont été définies en gravant partiellement les barreaux d'or recouverts par une couche de 100nm de nitrure. La longueur des barreaux catalytiques restant sous le nitrure est beaucoup trop importante (~500µm).
- Les paramètres de croissance n'étaient pas appropriés pour la croissance confinée : des pressions partielles en silane trop élevées (comprises entre 0,1mb et 0,4mb), avec une faible dilution du gaz précurseur.

Des phénomènes non souhaités tels que l'obstruction des cavités par du silicium amorphe, déformation et expulsion de des barreaux d'or à l'extérieur des cavités, et la disparition de longs barreaux d'or seront détaillées dans les paragraphes suivants.

3.2.1.1 Obstruction des cavités par du silicium amorphe

Le premier problème apparu après la croissance CVD a été l'absence de réaction à l'intérieur des cavités. Les barreaux d'or restaient intacts, les dimensions des cavités et des catalyseurs n'étaient pas modifiées. C'est un dépôt important de silicium non catalysé sur toute la surface du substrat qui empêchait le gaz de pénétrer à l'intérieur de la cavité et de réagir avec le catalyseur. Ce dépôt de silicium amorphe, présent à la fois à l'intérieur et à l'extérieur des cavités, était dû à l'utilisation d'une trop forte pression partielle de silane. Les deux images MEB de la Fig.III-32 illustrent l'obstruction des entrées des cavités, causée par un dépôt CVD important de silicium amorphe. L'image a) montre une entrée de cavité de 700nm de large, qui est remplie de silicium, empêchant l'accès du silane. L'image b) présente une autre cavité (2µm de large) coupée longitudinalement (dans le sens de la longueur) par FIB. Une épaisseur de silicium proche de 50nm (matérialisée par des lignes rouges sur la Fig.III-32-b) est présente sur le substrat SiO_2, au dessus et à l'intérieur de la cavité. Par la suite, ce problème a été évité en diminuant la pression partielle en silane et en augmentant la dilution du gaz réactif. Les conditions de croissance sont décrites dans le tableau ci-dessous (Fig.III-33).

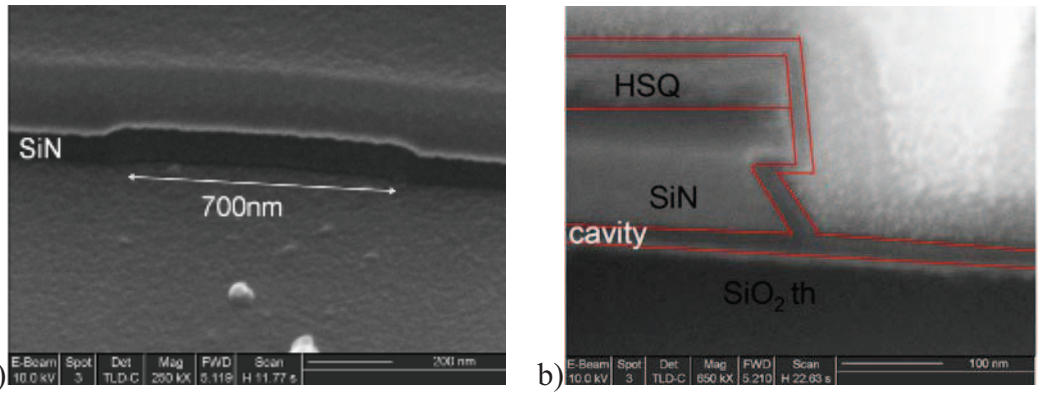


Figure III - 32 : Images MEB de cavités après croissance CVD (500°C, 1mb, 50%, 100sccm, 30min)
a) Entrée d'une cavité de 700nm de large.
b) Une cavité (de 2µm de large) découpée au FIB dans l'axe du tunnel (par D. Troadec).

Pression totale (mb)	Débit (sccm)	Dilution SiH_4/H_2	Pression SiH_4 (sccm)	
1	100	50 %	0,5	↘ P_{SiH4} en ↘ SiH_4/Si
1	100	20 %	0,2	↘ P_{SiH4} en ↘ P_T
0,5	100	20 %	0,1	↘ P_{SiH4} en ↘ SiH_4/Si
0,5	100	10 %	0,05	
0,5	100	5 %	0,025	↗ Débit
0,5	200	5 %	0,025	
0,5	400	5 %	0,025	

Figure III - 33 : Tableau récapitulant les conditions de croissance à 500°C, pendant 30min.

3.2.1.2 Modification du barreau d'or

Après avoir diminué la pression partielle, une modification des barreaux d'or sous la couche d'encapsulation a été observée. Le changement de géométrie des barreaux d'or témoigne d'une réaction entre le gaz précurseur et le catalyseur. Ainsi, on suppose qu'un alliage Au_xSi_y s'est formé à l'intérieur de la cavité. Ce phénomène est illustré dans la Fig.III-34 présentant la même cavité avant et après croissance. Sur l'image (a), le barreau d'or sous la couche d'encapsulation a une forme rectangulaire et a été partiellement gravé formant une cavité de 6,5µm de long. L'image (b) présente le même échantillon après la croissance mettant en exergue une forme irrégulière de barreau catalytique, et des agrégats d'or formés dans la cavité. Cependant nos premiers échantillons, n'étant pas pourvus d'une couche d'arrêt en oxyde, le nitrure n'a pu être retiré sélectivement. Il s'ensuit que la nature du matériau obtenu par croissance n'a pu être caractérisé.

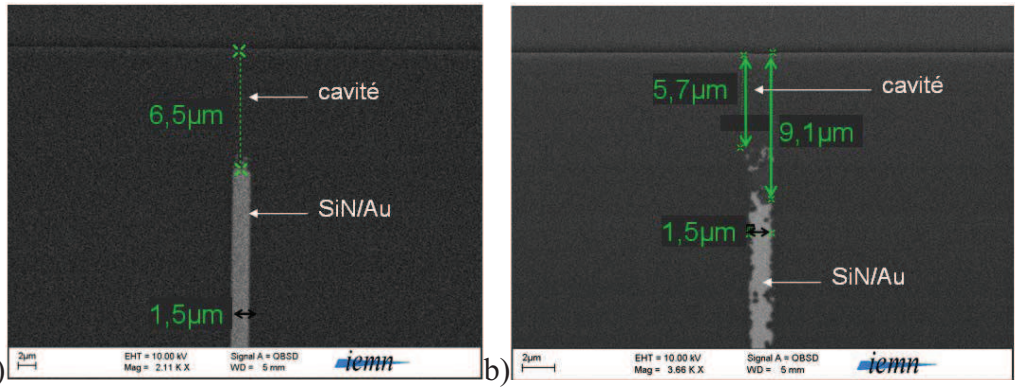


Figure III - 34 : Images MEB (vue de dessus) :
a) Une cavité de 6,5µm de long et 1,5µm de large avant croissance CVD.
b) La même cavité après croissance CVD (500°C, 0,5mb, 20%, 100sccm, 30min).

3.2.1.3 Présence de fils à la sortie de la cavité

En utilisant des cavités plus courtes, une quantité importante de fils a été observée, après croissance, au niveau de l'ouverture de la cavité. Ce phénomène se produit lorsque l'or présent au fond de la cavité arrive à migrer jusqu'à la sortie de la cavité est réagit avec le silane. Une pression élevée en silane favorise la croissance d'une grande quantité de nanofils à proximité des ouvertures des cavités (Fig.III-35-a). Lorsque la température de croissance est

plus basse (480°C au lieu de 500°C), un seul fil croît à la sortie de certaines cavités. L'image MEB de la Fig.III-35-b montre un bout de fil de silicium qui sort d'une cavité de 1µm de large. Ce fil a une goutte en or à son extrémité ce qui confirme la croissance VLS. Son diamètre est de l'ordre du micron. Cette image MEB en vue de dessus ne permet pas de savoir si il y a du silicium à l'intérieur de la cavité.

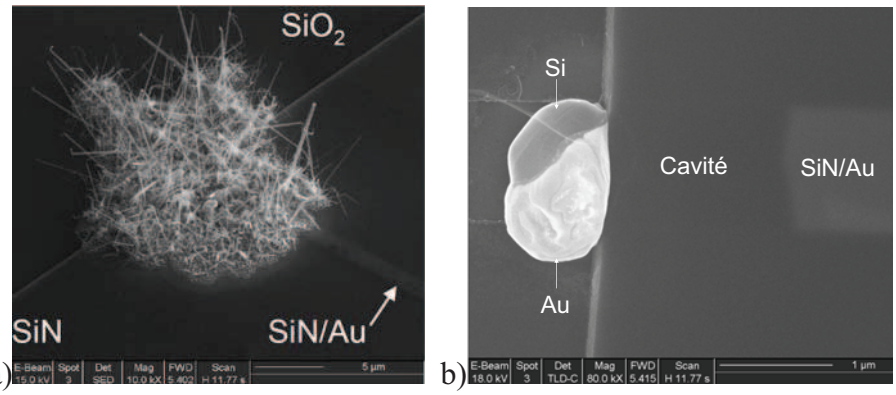


Figure III - 35 : Image MEB après croissance CVD (0,5mb, 20%, 100sccm, 30min)
a) T=500°C: grande quantité de nanofils obtenue à proximité de l'ouverture de la cavité.
b) T=480°C : un seul fil est présent à l'ouverture de la cavité.

Nous avons observé l'intérieur d'une cavité au MEB, grâce à une coupe FIB, afin de comprendre ce qu'il se passe. L'image (a) de la Fig.III-36 montre un fil qui a poussé horizontalement à la sortie d'une cavité de 700nm de large. L'image STEM (Fig.III-36-b) (Scanning Transmission Electron Microscopy) de l'échantillon prélevé, après la découpe FIB, montre clairement que le fil a poussé uniquement à l'extérieur de la cavité. A l'intérieur de celle-ci, il n'y a pas de silicium, il ne reste seulement que de l'or. Pendant la croissance CVD, l'or a donc migré jusqu'à la sortie de la cavité, donnant naissance à un fil.

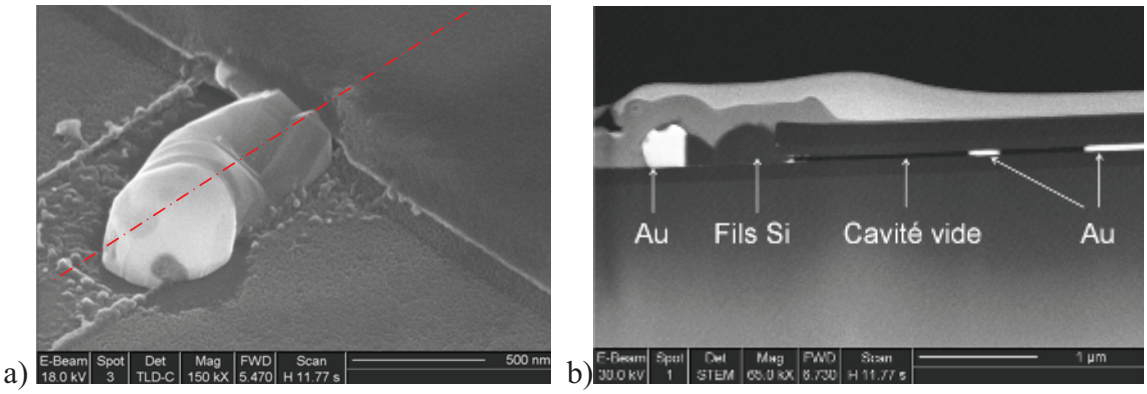


Figure III - 36 : Image après croissance CVD (480°C, 0,5mb, 20%, 100sccm, 30min).
a) Image MEB (vu de dessus) d'un fil présent à la sortie d'une cavité.
b) Image STEM du fil à la sortie de la cavité en vue de coupe (effectuée par D. Troadec).

3.2.1.4 Remplacement de l'or par du Si

La migration d'une grande quantité d'or de l'intérieur vers l'extérieur de la cavité est favorisée par nos conditions expérimentales :
i) Une quantité trop importante d'or présente sous la couche d'encapsulation : barreau d'or de 500µm de long.
ii) Des cavités peu profondes : longueur des cavités inférieur à 10µm.
iii) Des conditions de croissance utilisant une pression partielle en silane élevée.

La Fig.III-37 montre une cavité avant et après croissance CVD, mettant en évidence la disparition d'une grande quantité d'or dans la cavité. En effet, avant la croissance le barreau d'or est à 6µm de la sortie de la cavité, et après la croissance les premiers résidus d'or sont à environ 20µm de la sortie de la cavité. Un volume d'or d'environ 1,4µm^3 (V = L x H x W = 14 x 0,05 x 2 = 1,4µm^3) est sorti de la cavité, provoquant la croissance de nombreux nanofils à l'extérieur de la cavité. L'or peut être expulsé de la cavité de différentes manières: soit l'or (alliage Au_xSi_y) étant à l'état liquide migre vers l'extérieur, soit l'or est poussé par la précipitation du silicium. Il a été démontré dans le paragraphe précédent (§3.2.2.3) que l'or peut migrer vers l'extérieur de la cavité sur une distance proche du micron. Cependant, dans le cas présent la distance parcourus par l'or s'étend jusque 20µm. Il est donc nécessaire de connaître le mécanisme produisant ce résultat.

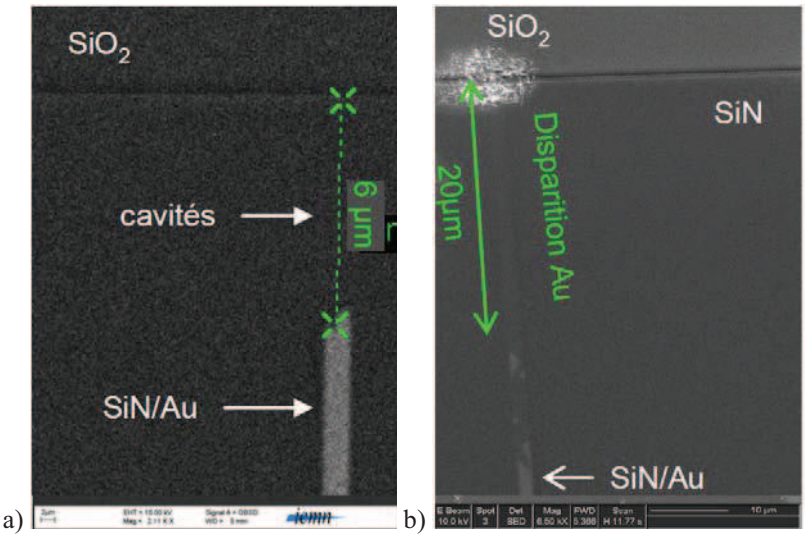


Figure III - 37 : Images MEB (vue de dessus) d'une cavité :
a) Avant croissance après croissance.
b) Après croissance (500°C, 0,5mb, 20%, 100sccm, 30min).

L'intérieur d'une cavité a été observé après croissance VLS, pour un autre échantillon qui possède le même problème d'expulsion d'or. Nous observons clairement qu'une partie du volume d'or a été expulsée vers l'extérieur de la cavité, provoquant la formation d'une quantité très importante de nanofils (Fig.III-38-a). L'échantillon a été découpé au FIB, perpendiculairement à l'axe de la cavité. Les observations MEB (Fig.III-38-b) mettent en évidence que l'intérieur de la cavité n'est pas vide comme précédemment, mais est entièrement remplie. La nature du matériau remplissant la cavité a été étudiée au TEM, après le prélèvement d'un échantillon. Les analyses TEM ont révélé que la cavité est entièrement remplie de silicium et d'or. Un grain d'or est localisé à gauche de la cavité. Tout le silicium présent dans la cavité est cristallin, mais possède plusieurs orientations. Par conséquent, l'or dans la cavité a été remplacé en partie par du silicium cristallin. Nous en déduisons que la croissance VLS a pris place dans un milieu confiné.

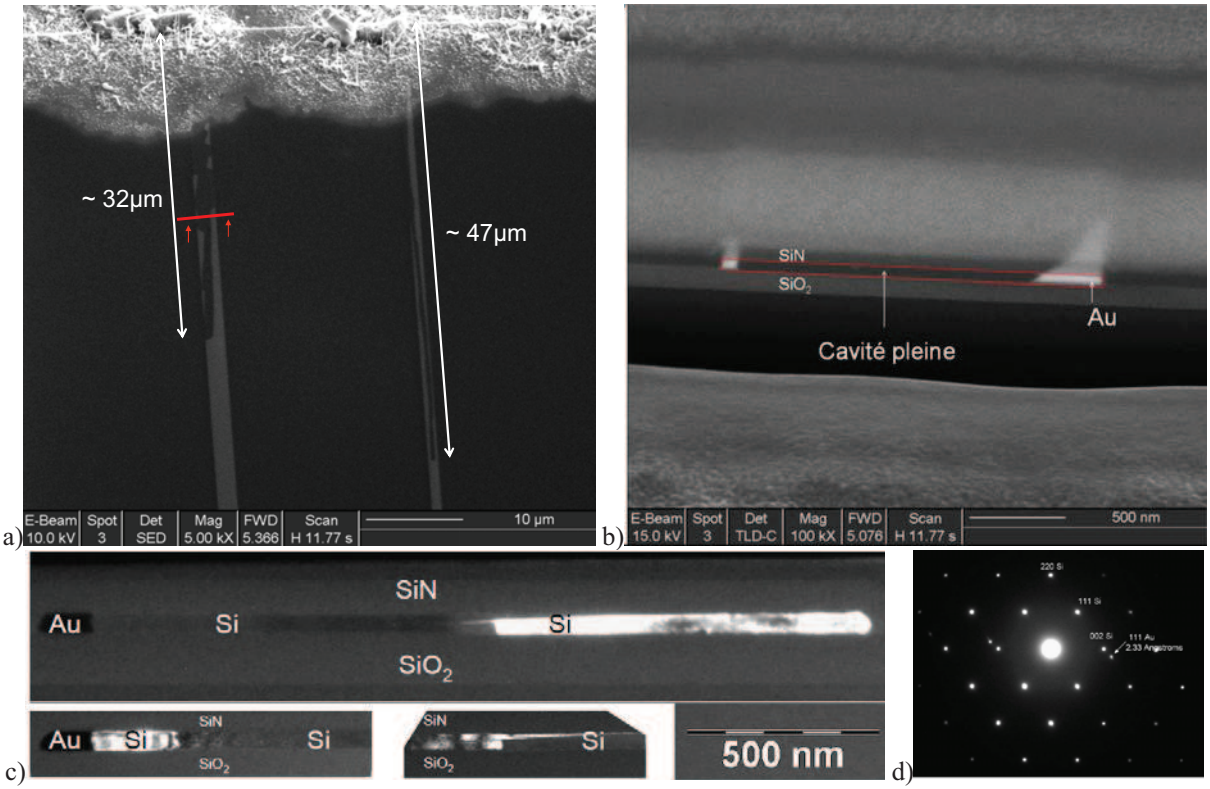


Figure III - 38 : Images MEB après croissance (500°C, 0,8mb, 20%, 100sccm, 30min) :
a) Image en vue de dessus. b) Image en vue de coupe, après la découpe FIB effectuée par D. Troadec.
c) Images TEM en champ claire d'une lame Si vue en coupe, dans différentes orientations mettant en évidence les trois domaines cristallins contenus dans la lame en Si.
d) Cliché de diffraction d'électron (SAED).

En guise de conclusion, les premiers essais de croissance ont montré qu'il est possible de synthétiser du silicium cristallin par VLS à l'intérieur d'une cavité. Cependant de nombreuses améliorations doivent être apportées au procédé, entre autre sur les dimensions des cavités et du catalyseur, et sur les conditions de croissance. Afin d'observer avec précision les résultats de la croissance VLS, un procédé de gravure de la couche d'encapsulation a été développé.

3.2.2 Gravure de la couche d'encapsulation

Sachant que la lame de silicium synthétisée dans la cavité sera utilisée comme canal de conduction d'un transistor, il est essentiel de retirer la couche d'encapsulation sans endommager la lame de silicium. Les paragraphes suivants présentent les techniques de gravure utilisées pour enlever sélectivement les parois des cavités vis-à-vis du silicium.

3.2.2.1 Importance du retrait de la couche d'encapsulation

L'observation du silicium synthétisé par VLS à travers la couche d'encapsulation n'est pas précise, même si le bicouche Si_xO_y - Si_xN_y est transparent. Il est possible de distinguer l'or grâce au contraste important avec les autres matériaux, mais l'observation du silicium est beaucoup plus difficile. De plus, au cours de la croissance VLS, du silicium amorphe se dépose sur tout l'échantillon, rendant les parois des cavités plus opaques. D'autre part, l'utilisation du FIB nous apporte que des informations très localisées et pour une seule cavité à la fois. Le FIB ne peut pas être utilisé de façon systématique, sachant que c'est une technique qui est longue à se mettre œuvre et onéreuse. Pour observer avec précision la forme

géométrique, les dimensions, et la surface du silicium, il est indispensable de retirer la couche de nitrure constituant les parois des cavités.

3.2.2.2 *Gravure humide du capping SiN (H_3PO_4)*

L'objectif est de graver sélectivement le nitrure par rapport au silicium qui est présent dans la cavité. Le nitrure peut se graver par voix chimique soit avec du HF (acide fluorhydrique), soit avec du H_3PO_4 (acide phosphorique). Le HF grave le nitrure avec une bonne sélectivité vis-à-vis du silicium, cependant le HF grave également le SiO_2. Si le substrat en oxyde est gravé, le silicium synthétisé par VLS sera décollé. Il est donc préférable de proscrire le HF pour la gravure de la couche recouvrant le silicium.

Contrairement au HF, le H_3PO_4, peut graver le nitrure sélectivement par rapport au silicium et au SiO_2 si la température utilisée est suffisamment élevée. Des essais de gravures ont été effectués à deux températures différentes. Ainsi, des valeurs moyennes de vitesses de gravure (<V>) ont été calculées :

A 80°C : $\langle V_{SiN} \rangle \approx 2{,}6$ nm/min ; $\langle V_{SiO2} \rangle \approx 0{,}2$ nm/min.

A 120°C : $\langle V_{SiN} \rangle \approx 7$ nm/min ; $\langle V_{SiO2} \rangle \approx 0{,}4$ nm/min.

La Fig.III-40 présente les épaisseurs du nitrure et de l'oxyde gravées par du H_3PO_4 en fonction du temps pour deux températures différentes.

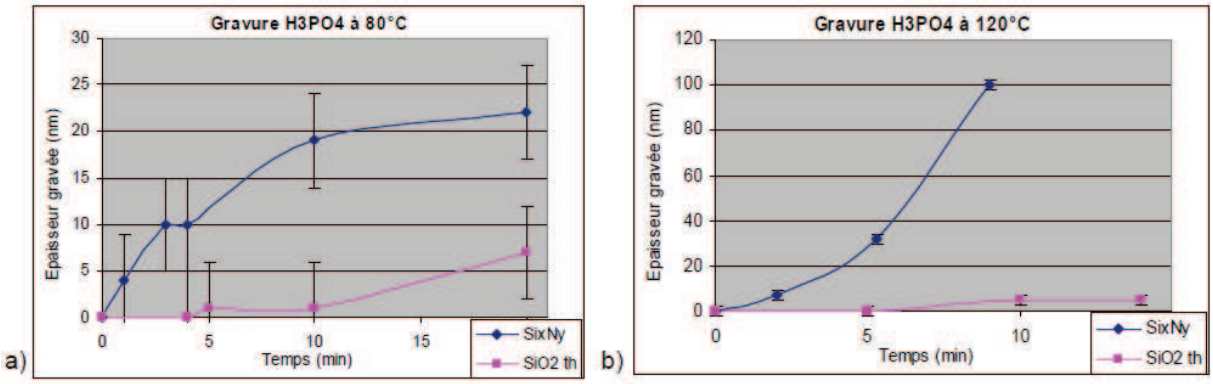


Figure III - 39 : Graphiques représentant l'épaisseur de nitrure (PECVD) et d'oxyde thermique gravée avec de l'acide phosphorique à 80°C et 120°C

Ces deux graphiques montrent que la vitesse de gravure du nitrure par de l'acide phosphorique n'est pas constante au cours du temps, et dépend fortement de la température. De plus il a été constaté que ce type de gravure a des problèmes de reproductibilité. Nous avons donc choisi d'étudier la gravure par voie sèche.

3.2.2.3 *Gravure sèche du nitrure*

Une solution alternative à la gravure chimique est la gravure sèche par RIE. Cependant, la recette de gravure du SiN, grave également le silicium, provoquant un problème de sélectivité important vis-à-vis de la couche adjacente. La solution pour graver le nitrure, sans attaquer le silicium est l'utilisation d'une couche d'arrêt. La recette de gravure du nitrure est identique a celle utilisée pour former les ouvertures des cavités (la description de la recette de gravure est dans le paragraphe §2.4.2). A la différence près que le temps de surgravure doit être le plus court possible, inférieur à 5s, afin d'éviter de graver la fine couche d'oxyde et d'attaquer la lame de silicium. La figure ci-dessous montre des cavités avant et après gravure du Si_xN_y, permettant l'observation de l'impact de la gravure RIE sur l'échantillon. Après la gravure du nitrure, les cavités apparaissent plus sombres, confirmant

que la fine couche d'oxyde n'a pas été gravée. Les nanofils aplatis en silicium sont nettement plus visibles lorsqu'ils sont recouverts seulement d'une fine couche en oxyde (Fig. III-40-b). Ce procédé de gravure est tout à fait compatible pour retirer sélectivement la couche d'encapsulation en nitrure sans détériorer le silicium adjacent.

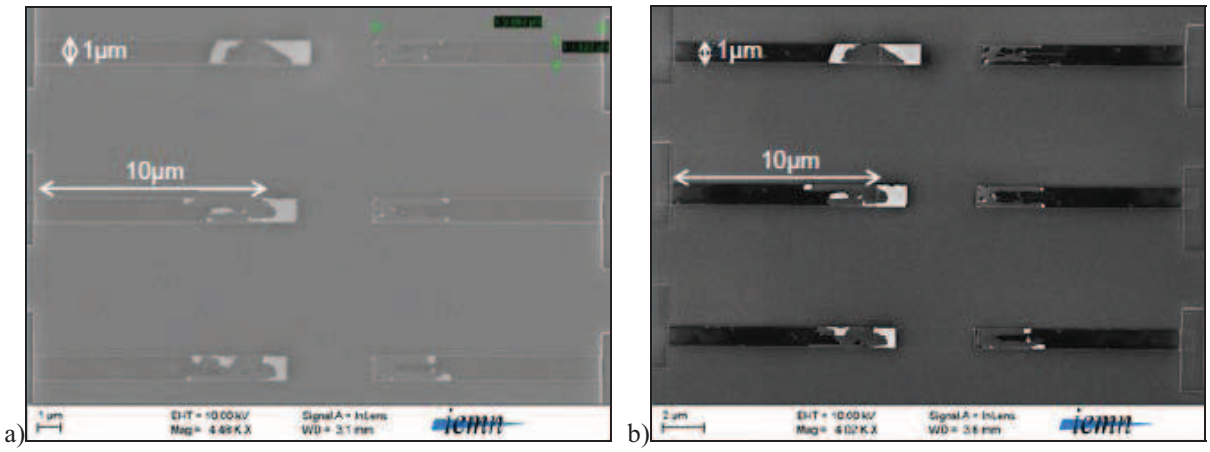
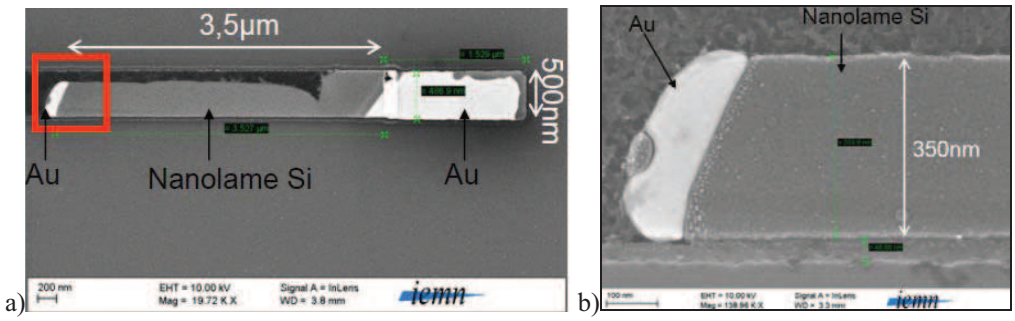


Figure III - 40 : Images MEB de cavités avant et après gravure du nitrure.
a) Les cavités précédentes après la croissance (500°C, 0,5mb, 5% SiH_4 / H_2-Ar, 30min).
b) Le même échantillon après la gravure du nitrure.

3.2.2.4 Retrait de la couche d'arrêt en oxyde

Après la gravure du nitrure par RIE, la fine couche d'oxyde est retirée par voix chimique en utilisant de l'acide fluorhydrique (HF), car le HF grave à la fois l'oxyde et le nitrure sélectivement par rapport au silicium. Après avoir immergé l'échantillon dans un bain d'HF à 1% pendant 1 min, les cavités n'apparaissent plus sombre comme précédemment, car les parois des cavités ont été entièrement retirées. La Fig.III-41 présente deux images MEB d'une lame de silicium synthétisée à l'intérieur d'une cavité avant et après la gravure de la fine couche d'oxyde. L'intérieur de la cavité est visualisé de façon précise sur la photo (b). On constate que la lame a poussé contre une paroi verticale de la cavité. Les parois verticales de la cavité sont encore présentes après la gravure de la couche d'encapsulation (Fig.III-41), car la gravure RIE du nitrure est anisotrope. Autour de la lame, on observe que la surface est fortement rugueuse, ceci est dû à un dépôt important de silicium amorphe pendant la croissance VLS. Par contre, la surface de la lame de silicium est intacte et apparaît assez lisse. Une goutte d'or est présente à l'extrémité de la lame, le diamètre de la goutte correspond à la largeur de la lame. L'alliage AuSi a une forme arrondie, en accord avec le procédé VLS, mais n'est pas sphérique car elle était confinée dans une cavité de 50nm de haut. Une quantité importante d'agrégat d'or (de 5 à 10nm de diamètre) est présente sur la lame à proximité de l'alliage catalytique. Des particules d'or de diamètre plus petit et plus dispersé sont également observés sur toute la surface de la lame. Cette présence de particules d'or sur la surface du silicium est due à la diffusion du catalyseur, qui est un phénomène bien connu pendant la croissance VLS.

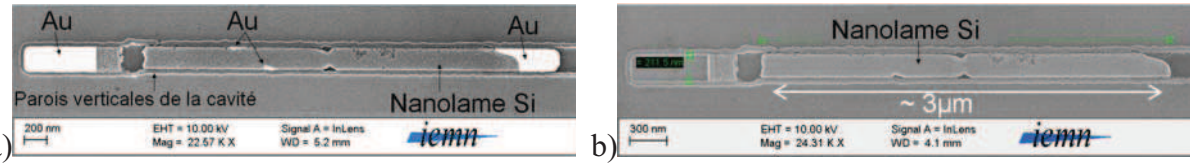


a) b)

Figure III - 41 : Images MEB (vue de dessus) d'une nanolame Si synthétisée par VLS dans une cavité :
a) Après la gravure du nitrure : lame Si recouverte d'une fine couche d'oxyde.
b) L'extrémité de la lame précédente après gravure de l'oxyde.

3.2.2.5 Gravure chimique de l'or

La gravure de l'or est une étape extrêmement importante si la lame est utilisée comme canal de conduction d'un transistor MOS. Afin de retirer le maximum d'or présent en surface de l'échantillon, plusieurs gravures chimiques sont pratiquées. Tout d'abord, une solution commerciale (TFA) à base de iodure de potassium (KI) est utilisée à température ambiante pendant plusieurs minutes sous agitation. Ensuite une gravure HF (1% pendant 1min) est effectuée pour retirer l'oxyde natif. Immédiatement après l'étape de désoxydation, une solution d'eau régale est utilisée ($1HNO_3$: $3HCl$: $2H_2O_2$, à 50°C, pendant 1min) pour retirer toute impureté métallique présente sur l'échantillon.
La Fig.III-42 présente une lame de silicium avant et après la gravure de l'or. La lame a été synthétisée de gauche à droite en remplissant tout le volume de la cavité, mais en n'utilisant qu'une parti du volume d'or initialement présent au fond de la cavité. Par conséquent, la lame est terminée par deux barreaux d'or, aux deux extrémités. Des résidus d'or de taille importantes (~100nm) sont observés entre les parois verticales et la lame de silicium. De nombreux points brillants représentant de petits agrégats d'or sont également visibles sur toute la surface de la lame. L'image (b) présente la lame de silicium entourée de nitrure de 50nm de côté (parois verticales de la cavité) après la gravure chimique de l'or. Les résidus d'or mis en évidence sur l'image (a) ne sont plus observés au microscope électronique, montrant l'efficacité des gravure chimiques effectuées précédemment. D'autre part, un trou est observé en Fig.III-42-b, sur le côté gauche de la lame de silicium à l'endroit où le germanium recouvrait l'or au cours de la fabrication de la cavité. Le recouvrement Au/Ge déforme localement la cavité en augmentant sa hauteur de 50nm à 100nm. A cet endroit précisément (où la cavité fait 100nm de haute) une partie du silicium est attaquée par la gravure RIE du SiN. Ce trou a donc été formé pendant la gravure du nitrure et non pendant la croissance VLS.



a) b)

Figure III - 42 : Images MEB (vue de dessus) d'une nanolame de silicium synthétisée par VLS dans une cavité : a) Après la gravure de la fine couche d'oxyde : Lame de silicium avec de l'or aux extrémités.
b) Après la gravure chimique de l'or : lame de silicium de 3µm de long sur 200nm de large.

Après le retrait de la couche de nitrure recouvrant les lames en silicium, une étude quantitative de la croissance VLS confinée devient possible. Dans les paragraphes suivants, la

dépendance des dimensions du catalyseur et des cavités sur la croissance VLS, ainsi que la cinétique de la croissance confinée seront étudiées.

3.3 Etude de la croissance confinée

Dans les paragraphes suivants, nous déterminerons les conditions optimums pour la croissance VLS confinée, en particulier les dimensions des cavités et du catalyseur. Pour la fabrication des cavités, l'épaisseur a été fixée à 50nm, seul la largeur et la longueur des cavités varient. Notons que la hauteur des cavités est identique à l'épaisseur des barreaux catalytiques (50nm). La largeur des cavités et des barreaux catalytiques sont également identiques. Seul la longueur des cavités et des barreaux d'or sont des paramètres indépendants. Différentes largeurs de cavités, et longueurs de barreaux d'or ont été étudiées.

3.3.1 Influence de la longueur du barreau d'or sur la croissance

Les dimensions du barreau d'or jouent un rôle important dans le cas de la croissance VLS confinée. En effet, ils agissent sur la largeur de la nanolame de silicium, mais également sur le nombre de nanolames présentes dans une cavité. La longueur du barreau d'or au fond de la cavité varie de 50nm à 2µm. L'influence de la longueur du barreau d'or sur la croissance VLS des lames de silicium a été étudiée pour une largeur de cavités donnée. L'image MEB (a) de la Fig.III-43 présente des cavités de 1µm de large, contenant chacune un barreau d'or de longueur différente. Ainsi, il a été mis en évidence que la longueur du barreau d'or agit sur la largeur de la lame de silicium. Lorsque le barreau d'or est trop court (50nm, 100nm ou 200nmm), plusieurs nanofils sont obtenus dans différentes directions. Cependant, lorsque le barreau d'or est suffisamment long (1µm, 1,5µm, 2µm) une nanolame est préférentiellement obtenue. Ceci s'explique par le fait que lorsque le motif d'or est trop fin (longueur << largeur), le barreau d'or se transforme en petites gouttes d'alliage Au_xSi_y au début de la croissance VLS donnant naissance à plusieurs nanofils. Par contre, si le barreau d'or est suffisamment long (longueur ~ largeur) le barreau catalytique en or ne se dissocie pas en plusieurs gouttes (dans les mêmes condition de croissance). Par conséquent le diamètre de la goutte Au_xSi_y est plus grand, formant une nanolame de largeur plus importante.

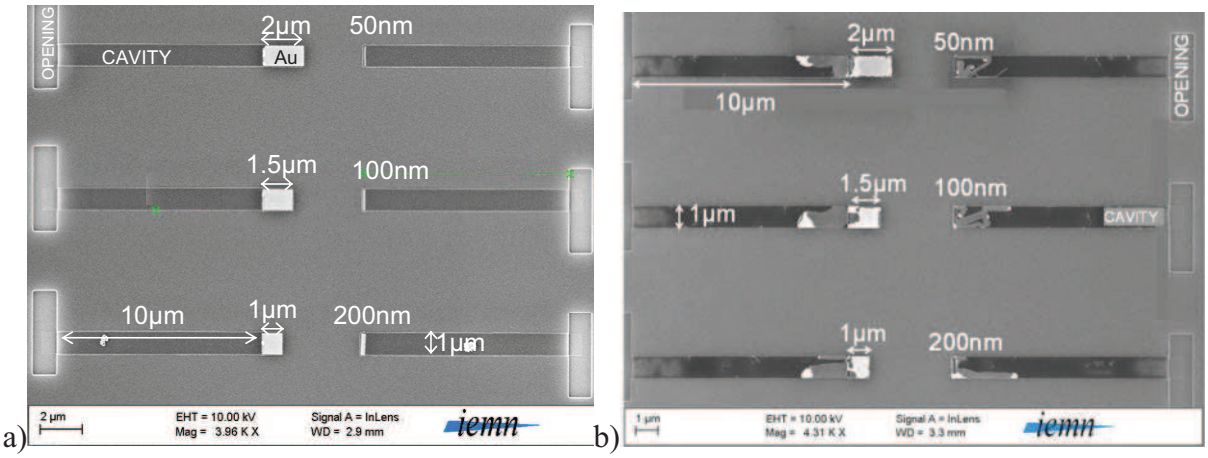
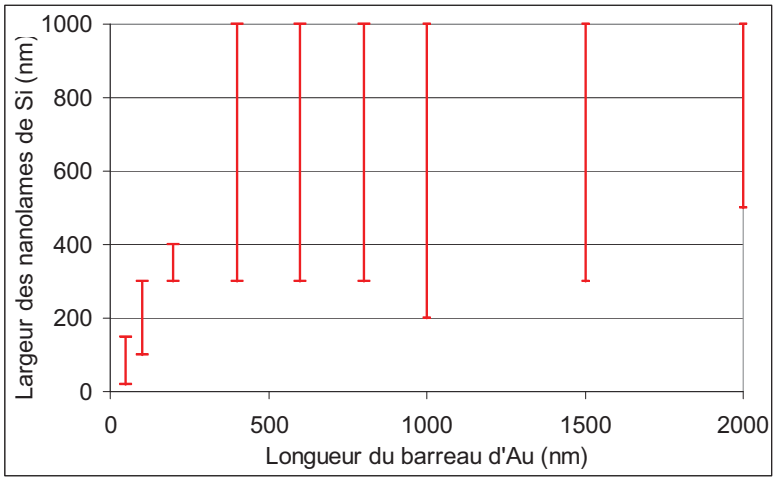


Figure III - 43 : Influence de la longueur du barreau d'or :
a) Image MEB de cavités contenant des barreaux d'or de différentes longueurs, avant la croissance VLS.
b) Image MEB des cavités précédentes, après la croissance VLS (500°C, 0,5mb, 5% SiH_4/H_2Ar).

De plus, le graphique (Fig.III-44) représente les valeurs maximales et minimales de la largeur des nanolames en fonction de la longueur des barreaux d'or, pour des cavités d'1µm

de large uniquement. Ce graphique met en évidence que le barreau d'or doit être suffisamment long pour ne pas limiter la largeur des nanolames de silicium. Ainsi, pour des cavités de 1µm de large, la longueur du barreau catalytique doit supérieur ou égale à 400nm pour former de nanolames jusqu'à 1µm de large. Cependant, si le barreau d'or est trop long, qu'une seule partie du catalyseur est utilisé pendant la croissance VLS. Par conséquent, pour générer des nanolames de silicium de 1µm de large la longueur des barreaux d'or doit être comprise entre 400nm et 600nm, ce qui signifie que le catalyseur doit être deux fois plus large que long.

a)



b)

L_{Au} (nm)	50	100	200	400	600	800	1000	1500	2000
W_{Si} Min (nm)	20	100	300	300	300	300	500	300	500
W_{Si} Max (nm)	150	300	400	1000	1000	1000	1000	1000	1000

c)

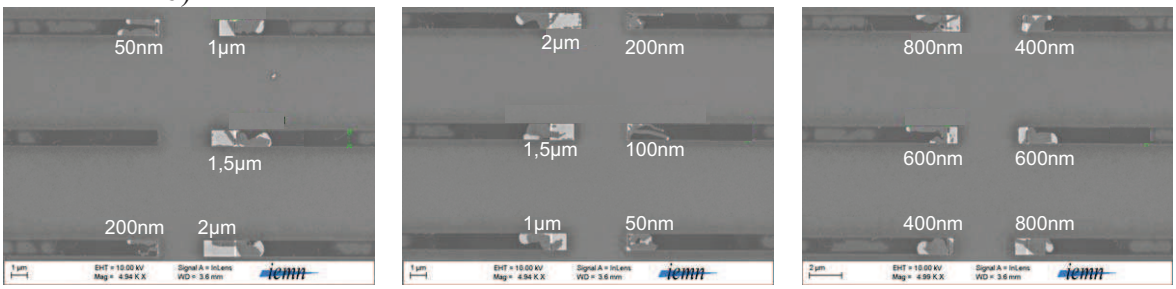


Figure III - 44 : a) Graphique représentant les largeurs des nanolames de Si en fonction de la longueur des barreaux d'Au. b) Tableau récapitulant les valeurs minimales et maximales de la largeur des nanolames de Si obtenues dans des cavités de 1µm de large. c) Image MEB de cavités contenant des barreaux d'Au de différentes longueurs (noté en blanc) après la croissance VLS.

Après l'observation de plusieurs échantillons, il a été déterminé empiriquement que la longueur du barreau d'or doit être environ supérieur à 1/5 de sa largeur ($L_{Au} > 1/5 \times W_{Au}$) pour favoriser la formation d'une seule lame dans une cavité. Ce résultat est mis en évidence sur le graphique ci-dessous (Fig.III-45) représentant la forme de la lame obtenue en fonction des dimensions des barreaux d'or.

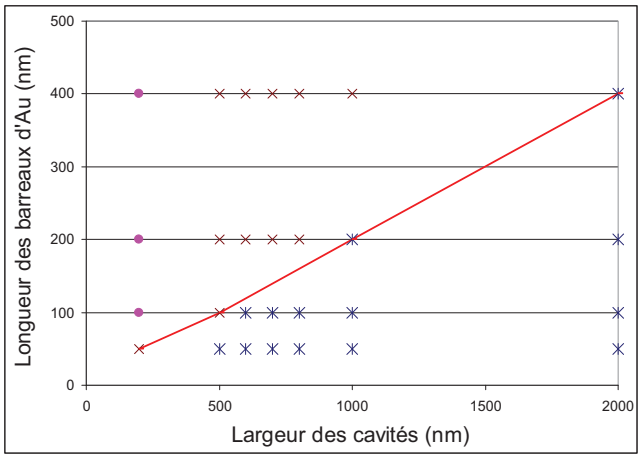


Figure III - 45 : Graphique représentant les résultats de la croissance VLS (nanofils, nanolames…) en fonction en fonction des dimensions des cavités et des barreaux d'or.

● : Une nanolame dans la cavité, les dimensions de la nanolame correspondent aux dimensions de la cavité.
×: Une nanolame dans la cavité, mais dont les dimensions ne correspondent pas aux dimensions de la cavité.
✳ : Plusieurs nanofils dans une cavité.
- : La longueur minimum du barreau d'or nécessaire pour obtenir une nanolame.

3.3.2 Influence de la dimension des cavités sur la croissance

3.3.2.1 Influence de la largeur des cavités sur la géométrie des nanolames

Afin de déterminer les dimensions idéales des cavités, pour contrôler avec précision les dimensions des nanolames de silicium, les résultats de croissance dans des cavités de différentes largeurs ont été comparés. La Fig.III-46 présente des cavités de 10µm de long et de 50nm de haut mais de différentes largeurs (200nm, 500nm, 1µm, 2µm), contenant chacune un barreau d'or de 1,5µm de long, après croissance VLS (500°C, 0,5mb, 5% SiH_4/H_2Ar). Les cavités de 2µm et de 1µm de large (images a et b), contiennent des domaines de silicium de géométrie irrégulière. Ces cavités sont trop larges pour contrôler la direction de croissance des nanolames. La cavité de 500nm de large (image c) contient une nanolame en silicium rectiligne qui a poussé dans le sens de la cavité. Ainsi, la cavité a bien servi de guide pour la croissance VLS. Cependant, la lame de silicium ne remplit pas tout le volume de la cavité. Une cavité de 500nm de large ne permet pas de contrôler la largeur de la nanolame. Par contre, la cavité de 200nm de large (image d) contient une nanolame de silicium de direction et de dimension bien définies. Cependant, seule une petite quantité d'or a été utilisée pour la synthèse de la lame en silicium, car le volume d'or disponible était trop important. Un barreau d'or de 200nm de côté aurait suffit pour la croissance VLS (cf : Fig.III-46-b).

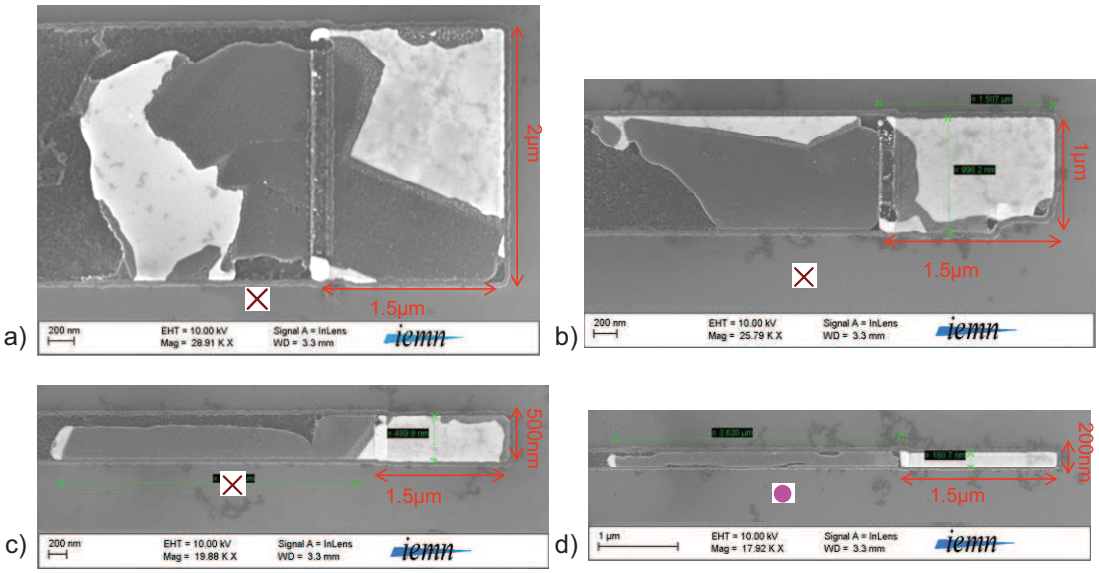


Figure III - 46 : Images MEB de croissances VLS confinées dans des cavités de différentes largeurs.
● : Une nanolame dans la cavité, les dimensions de la nanolame correspondent aux dimensions de la cavité.
×: Une nanolame dans la cavité, mais dont les dimensions ne correspondent pas aux dimensions de la cavité.

Ainsi, après avoir comparé différentes largeurs de cavité, seules les cavités de 200nm de large permettent un contrôle précis des dimensions du silicium synthétisé par VLS. Ceci est également mis en évidence sur le graphique de la Fig.III-45, où le marqueur ●, représentant des nanolames de silicium de dimensions identiques à celles de la cavité, n'est présent que pour des cavités de 200nm de large.

3.3.2.2 Comparaison substrat plan / cavité

La croissance VLS sur un substrat plan, et la croissance confinée ont été comparées en utilisant les mêmes conditions de croissance (500°C, 0,5mb, 5% SiH_4 dans H_2-Ar), et des barreaux catalytiques de dimensions identiques. La Fig.III-47 présente le résultat d'une croissance VLS effectuée à partir d'un barreau d'or de 50nm d'épaisseur et de 200nm de côté, soit sur un substrat plan (image a), soit à l'intérieur d'une cavité (image b). Dans le premier cas, un nanofil de 200nm de diamètre a été obtenu avec une goutte d'or de forme sphérique à son extrémité. Dans le deuxième cas, une lame de silicium de 200nm de large et 50nm d'épaisseur a été obtenue avec une goutte d'or aplatie.

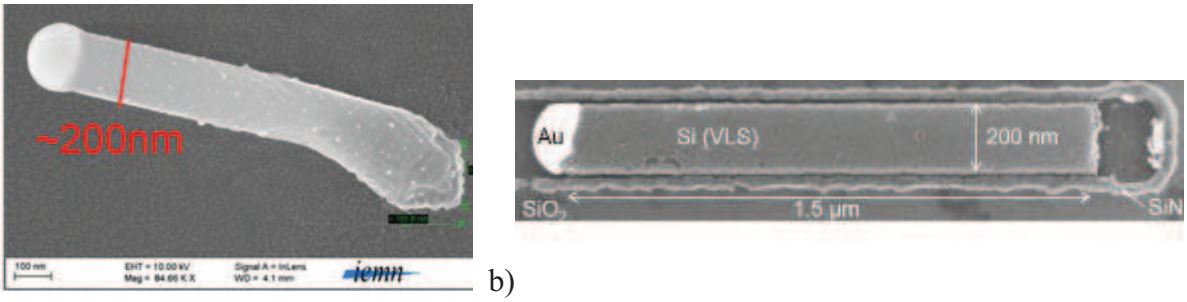


Figure III - 47 : Images MEB (vue de dessus) :
a) un nanofils synthétisée par VLS à partir d'un barreau d'or de 200nm de côté et 50nm d'épaisseur.
b) Une nanolame synthétisée par VLS, à l'intérieur d'une cavité de 200nm de large, à partir d'un barreau d'or de 200nm de côté et 50nm d'épaisseur.

3.3.2.3 Conclusion

De façon générale, pour obtenir des nanolames dont les dimensions correspondent aux dimensions des cavités, la largeur de celle-ci doit être suffisamment étroite et les lingots d'or doit être suffisamment long. Ces résultats sont représentés sur le graphe ci-dessous, mettant en évidence l'influence des dimensions des barreaux d'or sur la morphologie du produit de croissance : si le barreau d'or est trop court, on obtient plusieurs nanofils, et si la cavité est trop large la nanolame de silicium obtenue a une géométrie irrégulière (Fig.III-48).

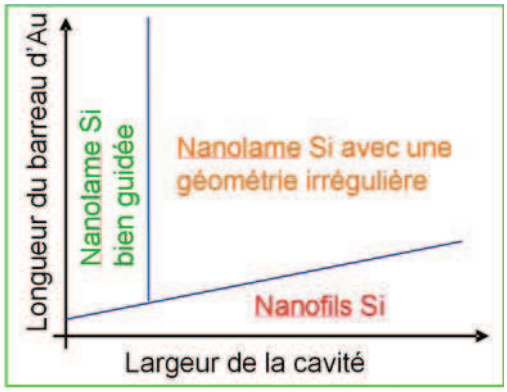


Figure III - 48 : Graphique représentant la longueur du barreau d'or en fonction de la largeur de la cavité

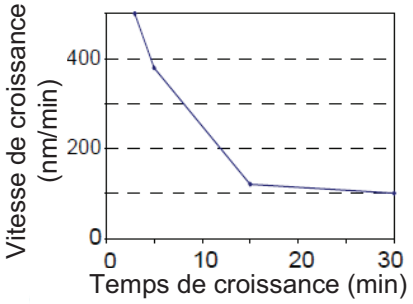
3.3.3 Etude de la cinétique de croissance

L'évolution de la croissance au cours du temps à été étudiée en utilisant différentes durées de croissance. La première observation est une diminution importante de la vitesse de croissance en fonction du temps, contrairement à la croissance sur un substrat plan où la vitesse de croissance est constante quelque soit le temps utilisé. Il a été observé que lorsque le temps est multiplié par dix, la vitesse moyenne de croissance de la nanolame est divisée par cinq (Fig.III-49-a). Ceci peut s'expliquer par le problème de renouvellement et la diminution de la concentration des espèces réactives à l'intérieur des cavités qui est amplifié par le dépôt de silicium amorphe sur les parois à l'intérieur de la cavité. L'imagerie AFM nous a permis d'évaluer l'épaisseur de silicium amorphe déposée après 30min de croissance (Fig.III-49-c). Ainsi, une épaisseur moyenne de 40nm de silicium amorphe, avec une rugosité moyenne de 8nm, a été mesurée à proximité de la lame. D'autre part, il faut noté que des nanolames de plus d'1µm de long ont été synthétisées en 3 min seulement.

a)

Temps de croissance (min):	3	5	15	30
Longueur moyenne du Si (µm):	1.5	1.9	1.8	3
Vitesse moyenne de croissance (nm/min):	500	380	120	100

b)



c)

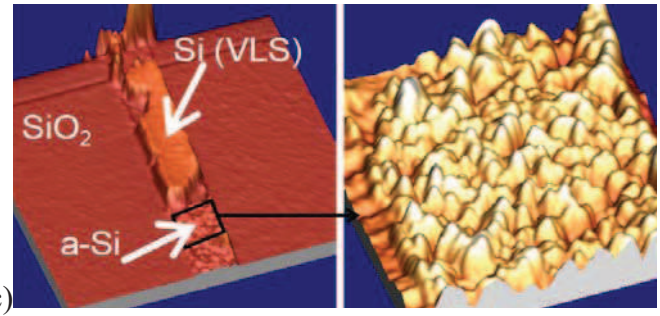


Figure III - 49 : a) Tableau récapitulant les vitesses de croissance moyennes des nanolames synthétisées dans des cavités pour différents temps de croissance. b) Graphique représentant l'évolution de la vitesse de croissance au court du temps de croissance. c) Image AFM mettant en évidence le dépôt de silicium non catalysé dans la cavité.

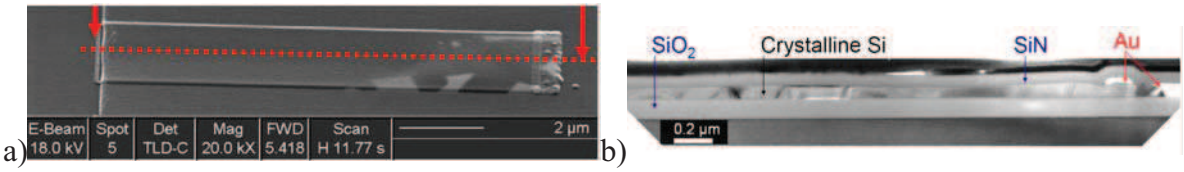
4 Etude morphologique des nanolames silicium synthétisées par VLS confinée

4.1 Nature cristalline du silicium synthétisé par VLS confinée

Le silicium cristallin sera utilisé comme canal de conduction de transistor MOS. La nature cristalline d'un ruban de silicium, obtenu par croissance catalytique, conditionne la qualité du transport de charge. La présence d'un matériau polycristallin ou amorphe est caractérisée par de nombreux centres de diffusion qui dégrade la mobilité. Ainsi, trois méthodes ont été utilisées pour caractériser en profondeur la nature cristalline des nanolames de silicium.

4.1.1 Analyse MET en vue de coupe

La nature cristalline de la lame de silicium a tout d'abord été mise en évidence par MET, sur des échantillons préparés au FIB de façon perpendiculaire et parallèle à l'axe de la cavité. Ainsi, nous pouvons observer l'intérieur d'une cavité, sur une zone précise et préalablement sélectionnée. La Fig.III-50-b présente l'analyse MET d'une lame coupée dans la longueur de la cavité (suivant le trait en pointillé tracé sur l'image a), mettant en évidence l'aspect cristallin du silicium contenu au fond de la cavité.



a) b)

Figure III - 50 :a) Image MEB vue de dessus d'une cavité (largeur: 2µm; épaisseur: 50nm; longueur: 10µm) après la croissance VLS. b) Image MET, vue en coupe, du silicium cristallin synthétisé dans la cavité.

Cette méthode d'observation nécessite une préparation au FIB d'un échantillon TEM, qui prend plusieurs heures, car il faut creuser de part et d'autre de la zone à prélever, et amincir l'échantillon prélevé par le faisceau d'ion. Cette technique permet d'atteindre une épaisseur d'une centaine de nanomètres, qui demande à être réduite pour permettre l'observation en haute résolution. L'utilisation d'une autre technique d'analyse devient nécessaire afin d'obtenir des informations complémentaires sur la cristallinité des lames en Si.

4.1.2 Analyse EBSD

L'observation de la nature cristalline de l'ensemble de la lame est indispensable afin de comprendre le mécanisme de croissance VLS confinée. L'EBSD (Electron Back Scattering Diffraction) est une technique basée sur la microscopie électronique à balayage (Annexe 5), adaptée et complémentaire aux observations TEM vue en coupe, car elle ne nécessite aucune préparation particulière, et permet d'établir une représentation complète de la microstructure de nos lames de silicium synthétisées sur un substrat amorphe.

Des analyses EBSD ont été effectuées sur différentes lames de silicium afin de mettre en évidence la nature cristalline du silicium synthétisé par VLS, les différents domaines cristallin et les frontières de macles contenus dans les lames. La Fig.III-51 présente un exemple d'analyse EBSD d'une nanolame en silicium synthétisée par VLS à l'intérieur d'une cavité de 500nm de large. La lame ne remplit pas la totalité du volume disponible de la cavité. La goutte d'or au bout de la lame forme une interface Au/Si oblique par rapport à l'axe de la cavité. La direction de croissance de la lame étant perpendiculaire à l'interface Au/Si, conduit la lame d'une paroi à l'autre, formant une lame de géométrie irrégulière. Une deuxième lame a poussé parallèlement aux parois de la cavité et de façon rectiligne avec des dimensions beaucoup plus petites que la précédente (L~700nm, W~100nm). L'interface entre la goutte d'or et le silicium est perpendiculaire à l'axe de la cavité, mettant en évidence que l'axe de croissance de cette deuxième lame est parallèle à l'axe de la cavité. Il faut noté que l'or présent au fond de la cavité, n'a pas été utilisé lors de la croissance.

Pour l'analyse EBSD, l'or a été entièrement gravé par voie humide. La Fig.III-51-b ci-contre représente l'indice de qualité du diagramme de diffraction en chaque point de la lame. Les pixels très sombres indiquent l'absence totale de diffraction (zone amorphe), tandis que les pixels plus clairs correspondent au silicium synthétisé par VLS (zone cristalline). Sur les images (c), (d) et (e), les pixels de couleurs indiquent l'orientation cristalline suivant les trois directions : rolling, transverse, normal respectivement. Ces trois cartographies d'orientation cristalline mettent en évidence les domaines cristallins de différentes tailles séparés par des joints particuliers (joint de macles du type Σ3) contenus dans la lame en silicium.

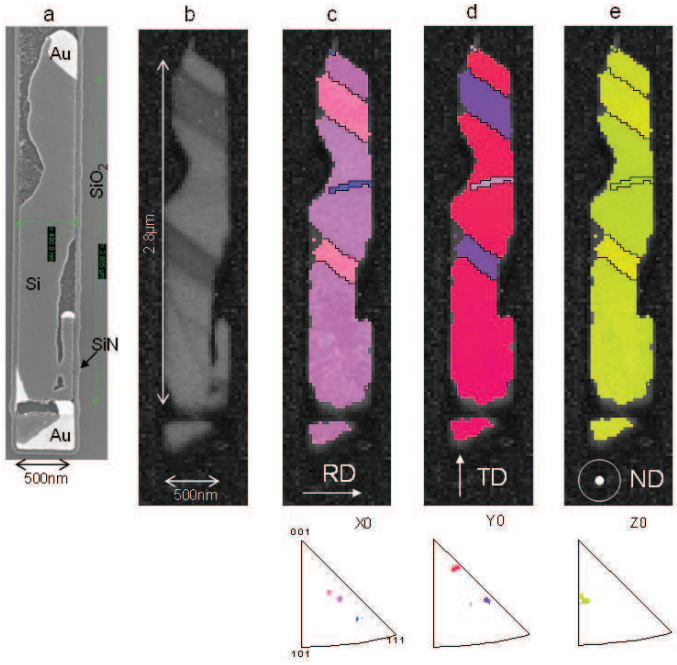


Figure III - 51 : Analyse EBSD montrant la nature cristalline de la totalité d'une lame.
a) Image MEB (vue de dessus) d'une lame en silicium (L=2,8µm, H=50nm) synthétisée (500°C, 0.25mb, 30min) dans une cavité de 500nm de large et de 10µm de long, après la gravure de la couche d'encapsulation.
b) Diagramme de qualité cristalline de la lame après la gravure de l'or.
c), d) e) Cartographie de l'orientation cristalline avec leur figure de pôle inverse pour les 3 directions (Rolling, Transverse, Normal).

4.1.3 Analyses TEM en vue planaire

Afin d'obtenir des observations plus précises sur la cristallinité des lames de silicium, il est indispensable de décoller les lames de leur support initial et de les transférer sur une grille

TEM. Ainsi, un procédé basé sur la gravure de la couche d'oxyde (épaisseur≈100nm) présente entre la lame et le substrat en silicium a été développé. Les images MEB de la Fig.III-52 montrent les étapes principales du transfert d'une lame de silicium. L'image (a) présente une lame de silicium dans une cavité de 500nm de large. La croissance s'est faite le long d'une paroi de la cavité. La goutte d'or au bout de la lame indique la direction de croissance de celle-ci. L'image (b) montre la même lame silicium après Le retrait de la couche d'encapsulation (SiN et SiO_2), et la gravure chimique de l'oxyde thermique sous la lame par une solution HF à pH neutre. Après cette gravure, la lame reste solidaire au substrat de silicium grâce aux forces de capillarité. Le décollement et le transfert de la lame de silicium se fait au microscope optique à l'aide d'une micropipette. Au cours du transfert de la lame sur une grille TEM, celle-ci s'est cassée. Le morceau de la lame transférée est représenté en rouge sur l'image (b). L'image (c) est une image STEM en champ clair d'une portion de la lame de silicium orientée en axe de zone <110>, accompagnée de la transformée de fourrier. Cette image met en évidence l'aspect monocristallin de la lame, ainsi que la présence de nombreuses macles. Ces observations sont en accord avec les analyses EBSD montrées précédemment.

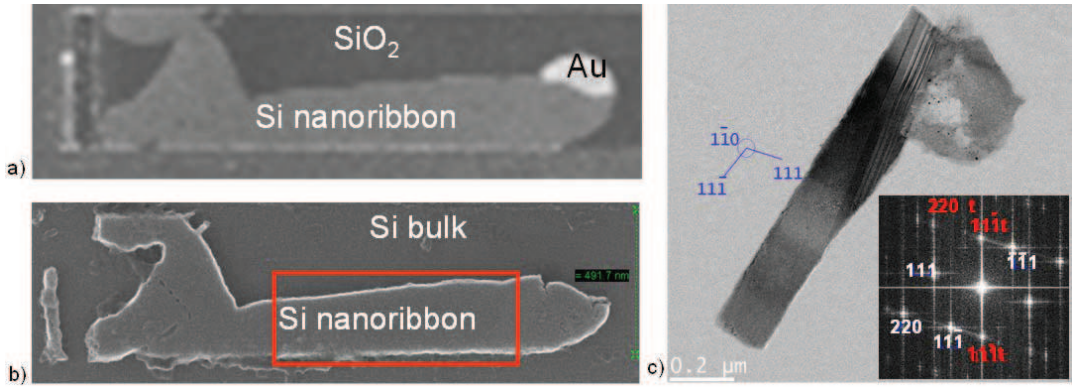


Figure III - 52 : Analyse TEM d'une lame en silicium (vue planaire) synthétisée par VLS à l'intérieure d'un cavité, révélant l'aspect monocristallin du silicium :
a) Une lame de silicium à l'intérieure d'une cavité (largeur : 500nm ; épaisseur : 50nm),
b) La même lame après la gravure du capping et de la couche en oxyde entre le substrat et la lame.
c) Image STEM en champ claire d'une portion de la lame en Si, orienté en axe de zone <110>, accompagnée de la Transformée de Fourrier avec les plans d'indexation.

L'épaisseur de la lame étant de 50nm, des observations à haute résolution sont faisable nous permettant d'identifier avec précision les défauts présents, la direction de croissance, et la présence d'agrégats d'or.

4.2 Les défauts présent dans les nanolames de silicium : mâcles

Le principal défaut cristallin observé par TEM, et EBSD est la présence de mâcles. Les macles sont des défauts déjà observés à l'intérieur des nanofils synthétisé par VLS (chapitre II paragraphe 3.4.3.2). Nous en déduisons que les mâcles ne sont pas générées par l'effet du confinement, mais il est possible que la cavité accentue ce phénomène.

4.2.1 Analyses EBSD

La présence de mâcles a été mise en évidence tout d'abord par EBSD. La Fig.III-53 présente quatre lames formées dans des cavités de 500nm de large. Il faut noter que toutes ces lames de silicium ont été synthétisées dans les mêmes conditions (500°C, 0.25mb, 30min).

Chaque lame de silicium est caractérisée par une image MEB (a), un diagramme de diffraction (b), et une cartographie de l'orientation cristalline (direction transverse) (c). Les images MEB (a) montrent la présence d'or au bout de chaque lame de silicium, révélant ainsi la géométrie des gouttes catalytiques et l'interface Au/Si. Sur le diagramme de diffraction (correspondant aux images indexées b), les traits rouges correspondent à des joints de macles de type Σ3. En comparant les images b et c, il est mis en évidence que chaque changement d'orientation est séparé par un joint de macle Σ3. La première lame de la figure III (en partant de la gauche), a la particularité de présenter des joints de mâcles parallèles les uns par rapport aux autres. De plus, la goutte d'or en bout de lame forme une interface Au/Si oblique, qui est parallèle à l'ensemble des joints de macles présents dans la lame. Mais ceci n'est pas systématique, pour les trois autres lames analysées, les joints de macles ont des directions différentes.

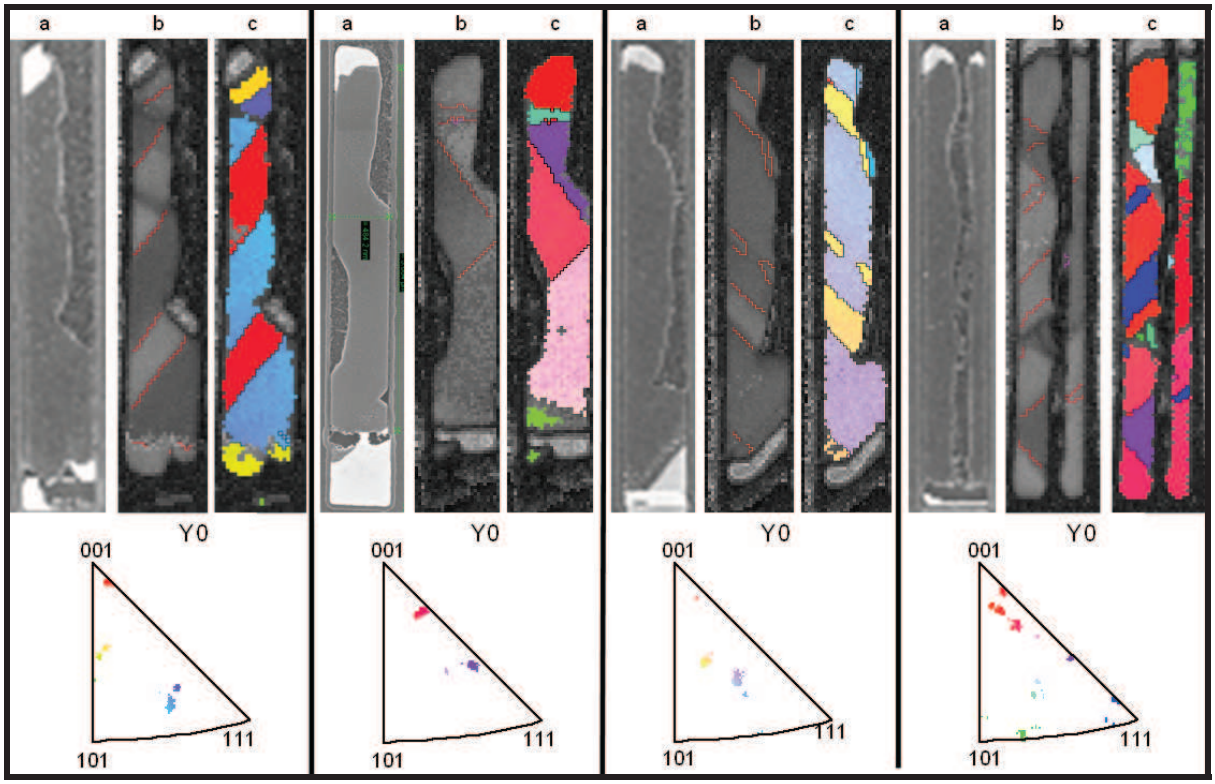


Figure III - 53 : Analyse EBSD de quatre lames différentes montrant les domaines cristallin séparé par des joints de macles du type Σ3.

Chaque lame présente une orientation cristalline différente, des domaines cristallins de tailles aléatoires, et des joints de macle de position et d'orientation différentes. Ce qui confirme que les cavités ne contrôlent pas l'orientation cristalline du silicium synthétisé par VLS.

4.2.2 Analyses STEM en haute résolution

La lame de silicium présentée dans le paragraphe §4.1.3 (Fig. III-52), est étudiée ci-dessous à partir de caractérisations MEB et STEM, afin de corréler la présence des macles avec la forme de la lame de silicium. Le morceau de lame analysée au STEM est mis en évidence sur l'image MEB par le rectangle rouge. De plus, la direction de croissance, et les contours de la goutte catalytique et l'interface Au/Si sont indiqués sur l'image MEB. Sur

l'image STEM (Fig.III-54-b), les joints de macles sont matérialisés par des traits rouges, révélant leur position et leur orientation. Tous les joints de macles sont parallèles entre eux, et sont obliques par rapport à l'axe de la cavité. En comparant l'image MEB et STEM, l'interface Au/Si et les joints de macles apparaissent parallèles. De plus, la distance entre les joints de macles diminue au cours de la croissance, donnant naissance à une plus forte densité de macle en extrémité de lame.

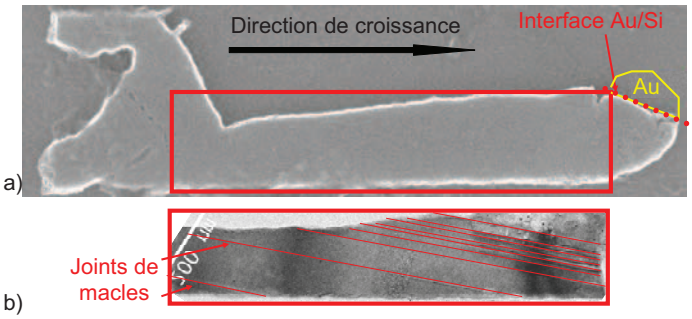


Figure III - 54 : Position des macles contenus dans la lame :
a) image MEB de la lame de silicium reposant sur le substrat Si.
b) Image STEM d'une portion de la lame précédente.

Une analyse STEM à haute résolution a permis de visualiser à l'échelle atomique les macles contenues dans cette lame. La Fig.III-55 est une image STEM de la lame de silicium en champ sombre orientée en axe de zone <110>. Les colonnes atomiques du silicium et les doublets Si-Si sont visibles sur l'image (a), ils sont matérialisés par des points jaunes. La distance entre les deux atomes de silicium contenus dans un doublet est de 0,136nm, suivant la direction <004> (représentée par les flèches jaunes). Trois macles séparées par des plans {111} sont observées sur l'image STEM, et sont schématisés sur l'image (b). La distance entre les deux joints de macle est de 2,5nm. La transformation géométrique pour passer d'une macle à une autre est une symétrie par rapport au plan {111}.

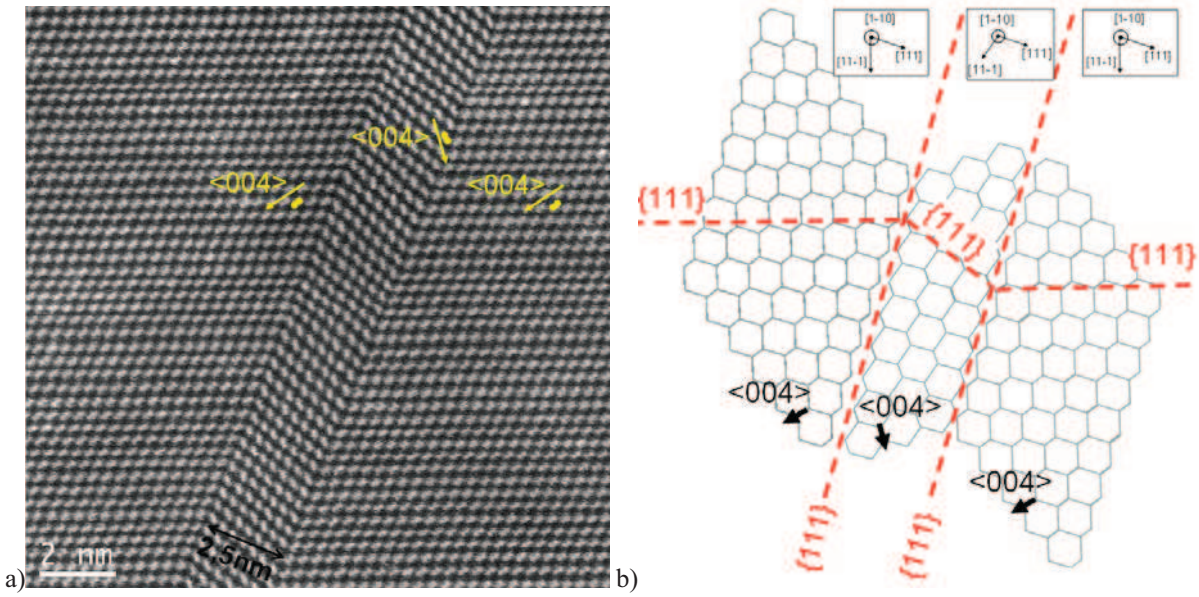


Figure III - 55 : Réseau atomique contenant des plans de macles de type Σ3 :
a) Image HAADF-STEM à haute résolution, orientée en axe de zone <110>.
b) Diagramme illustrant l'image précédente contenant 3 macles.

4.3 Direction de croissance

La direction de croissance a été déterminée par microscopie en transmission, pour deux lames de géométries différentes : rectiligne, et sinueuse.

4.3.1 Lame de silicium rectiligne

4.3.1.1 Analyses TEM

La direction de croissance la plus courante pour les nanofils synthétisés par VLS est <111> (chapitre II, paragraphe 3.4.3.1). Nous avons retrouvé cette direction de croissance pour la première lame analysée au STEM (Fig.III-56). Cette lame est rectiligne, elle ne possède pas de changement de direction. Par conséquent, la croissance de cette lame s'est effectuée suivant un seul axe de croissance. Sa direction de croissance est perpendiculaire au plan d'interface Au/Si, ainsi qu'aux joints de macles. Comme les plans de macles sont des plans {111}, la direction de croissance est <111> comme l'indique la flèche blanche en Fig. III-56.

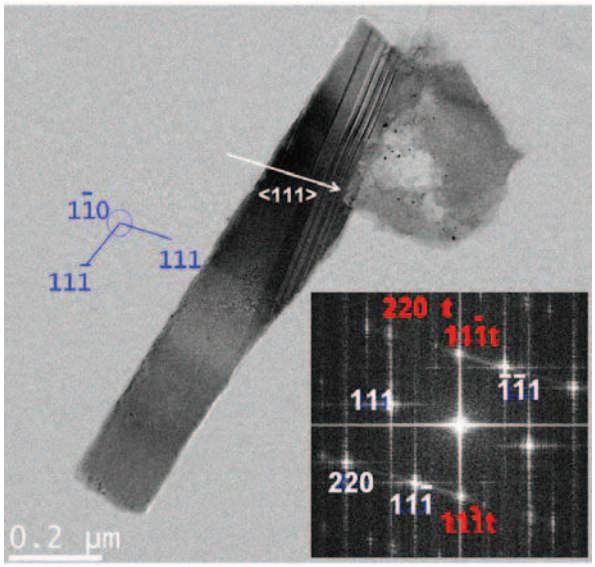


Figure III - 56 : Image STEM en champ clair d'une nanolame en silicium orientée en axe de zone <1-10> dont la direction de croissance est <111>, accompagnée de la Transformée de Fourrier avec les plans d'indexation..

4.3.1.2 Analyses EBSD

La technique EBSD, ne nécessitant aucune préparation spécifique de l'échantillon, permet d'analyser un nombre plus important de lame par rapport à la microscopie par transmission. Ainsi, douze lames d'un même échantillon ont été étudiées par EBSD. Sur les douze lames cartographiées suivant la direction horizontale Y, quatre lames ont une direction proche de l'axe <101> (Fig.III-57). Seule la lame A synthétisée dans une cavité de 200nm de large rempli tout le volume disponible de la cavité. Les trois autres lames B, C et D, formées dans des cavités de 500nm de large, ont des formes plus irrégulières. L'interface entre la goutte catalytique et la lame est représentée par des traits rouges révélant une géométrie irrégulière de l'interface Au/Si. Plus précisément, l'interface de chaque lame est constituée de deux plans sécants (ou 4 pour la lame C). Cependant, ces analyses ne permettent pas de déterminer l'orientation cristalline du silicium, comme par microscopie par transmission.

Même si ces lames ont une orientation cristalline équivalente, elles n'ont pas la même forme géométrique, et possèdent des joints de macles d'orientation différentes.

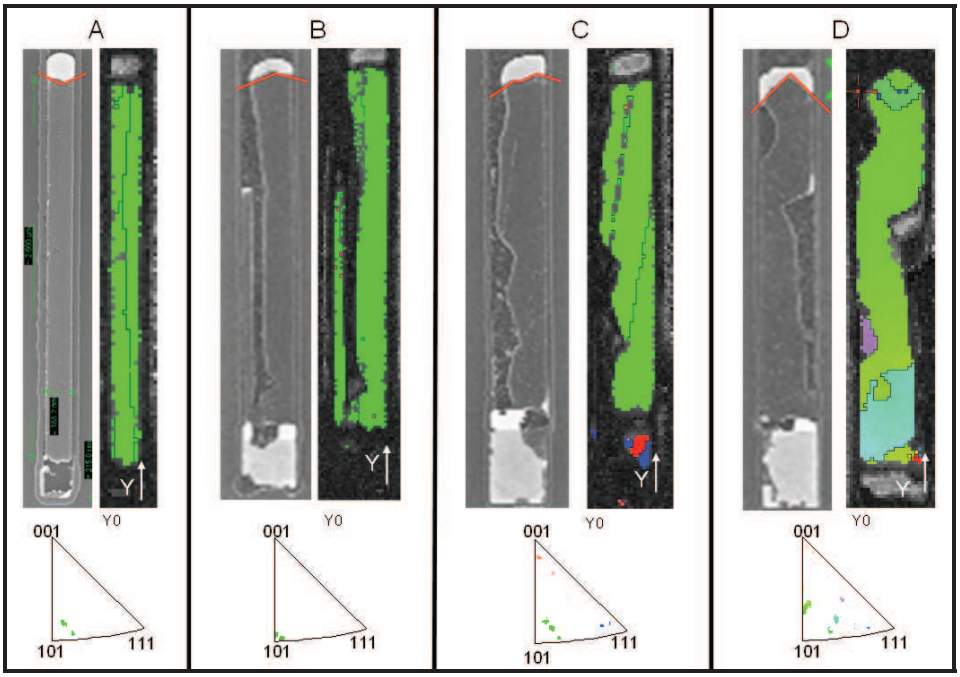


Figure III - 57 : Cartographie EBSD de l'orientation cristalline dans la direction Y avec les figures de pôles inverses de quatre lames Si synthétisées par VLS (500°C, 0,5mb, 5%SiH_4/H_2-Ar) dans des cavités de 200nm (A) et 500nm (B,C,D) de larges.

L'EBSD permet de déterminer l'orientation cristalline parallèle à une direction choisie mais comme la direction de croissance n'est pas forcément parallèle à l'axe de la cavité, il est quasi impossible de déterminer l'axe de croissance par EBSD. Mais les analyses EBSD permettent de donner une idée sur l'orientation cristalline.

4.3.2 Lame de silicium de géométrie irrégulière

La seconde lame observée au STEM a une forme irrégulière, oscillant entre les deux parois de la cavité. Dans ce cas, la direction de croissance change au cours de la croissance. Les différentes directions de croissance sont indiquées sur la Fig.III-58. Ce changement de direction est provoqué par le confinement, lorsque la lame arrive sur une paroi la direction de croissance est modifiée.

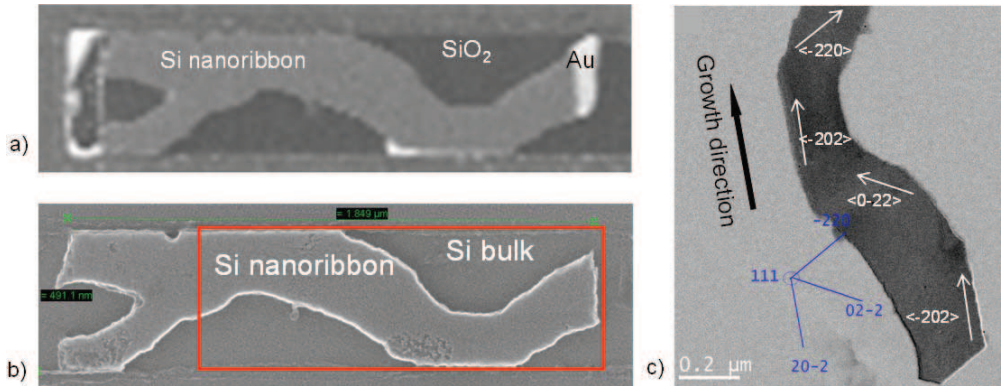


Figure III - 58 : a) Une lame Si à l'intérieure d'une cavité (largeur : 500nm ; épaisseur : 50nm), b) La même lame après la gravure du capping et de la couche en oxyde entre le substrat et la lame.

c) Image STEM en champ claire d'une portion de la lame en Si, orienté en axe de zone <111>, mettant en évidence les différentes directions de croissance.

Ainsi, nous avons observé, par microscopie par transmission, deux types de lames ayant des directions cristallographiques différentes. Ceci signifie que la cavité peut contrôler (dans certain cas) la position et les dimensions des lames mais ne peut contrôler l'orientation cristalline du silicium.

4.4 Contamination par l'or

La contamination par l'or est un problème récurrent dans la croissance VLS. Dans notre cas, la contamination en or est amplifiée par le confinement. En effet, la cavité crée des forces de frottement entre le catalyseur et les parois. Dans les paragraphes suivants, les résidus d'or seront observés par microscopie électronique en transmission.

4.4.1 Observation des résidus d'or par STEM

La présence d'or a tout d'abord été mise en évidence par microscopie en transmission sur des échantillons prélevés transversalement ou longitudinalement par rapport à l'axe de la cavité. Ainsi, il a été observé que l'or est principalement localisé entre la lame de silicium et les parois de la cavité. Les images STEM de la Fig.III-59 en champ clair et en champ sombre révèlent une quantité d'or entourant la lame en silicium.

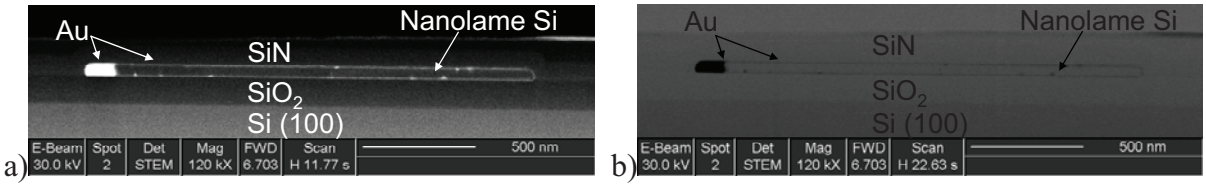


Figure III - 59 : Image STEM en champ sombre (a) et en champ clair (b) d'une cavité en vue de coupe (W=2µm, L=10µm, H=50nm) après la croissance VLS.

Une deuxième analyse TEM confirme la présence de particules d'or autour de la lame en silicium. Les images (b) et (c) de la Fig.III-60 en champ claire montrent un contraste de couleur important au niveau des interfaces Si/SiN et Si/SiO_2.

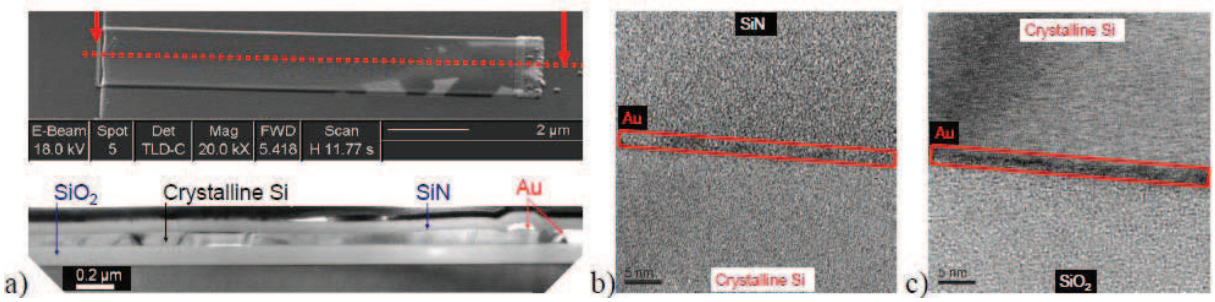


Figure III - 60: a) Image MEB de la cavité (largeur: 2µm; épaisseur: 50nm; longueur: 10µm) après la croissance CVL-VLS (vue de dessus), avec une image TEM en vue de coupe de silicium cristallin synthétisé dans une cavité. b) Image HRTEM à l'interface SiN/Si cristallin. c) Image HRTEM à l'interface Si cristallin / substrat de SiO_2 .

4.4.2 Observation des résidus d'or par HAADF

La présence de l'or a également été étudiée par microscopie STEM en champ sombre en utilisant une détecteur annulaire à grand angle (HAADF: High Angle Annular Dark Field).

L'imagerie HAADF-STEM fournit des images avec un contraste chimique, mettant en évidence les agrégats d'or sur un substrat cristallin. Les images b, c et d de la Fig.III-61 sont des images HAADF-STEM sur différentes zones de la nanolame. Les points clairs correspondent à un atome ou groupe d'atomes d'or. Les images a et b de la Fig.III-61 représentent exactement la même zone de la nanolame de silicium, en champ clair (BF-STEM) et en champ sombre (HAADF-STEM), mettant en évidence la position aléatoire des agrégats d'or. En effet, la position des particules n'est pas localisée au niveau de joints de macles. Par contre, on observe une présence plus importante de particules d'or sur les bords de la lame. Il est très difficile de quantifier la densité d'atomes d'or observée, car elle varie fortement en fonction de la zone observée.

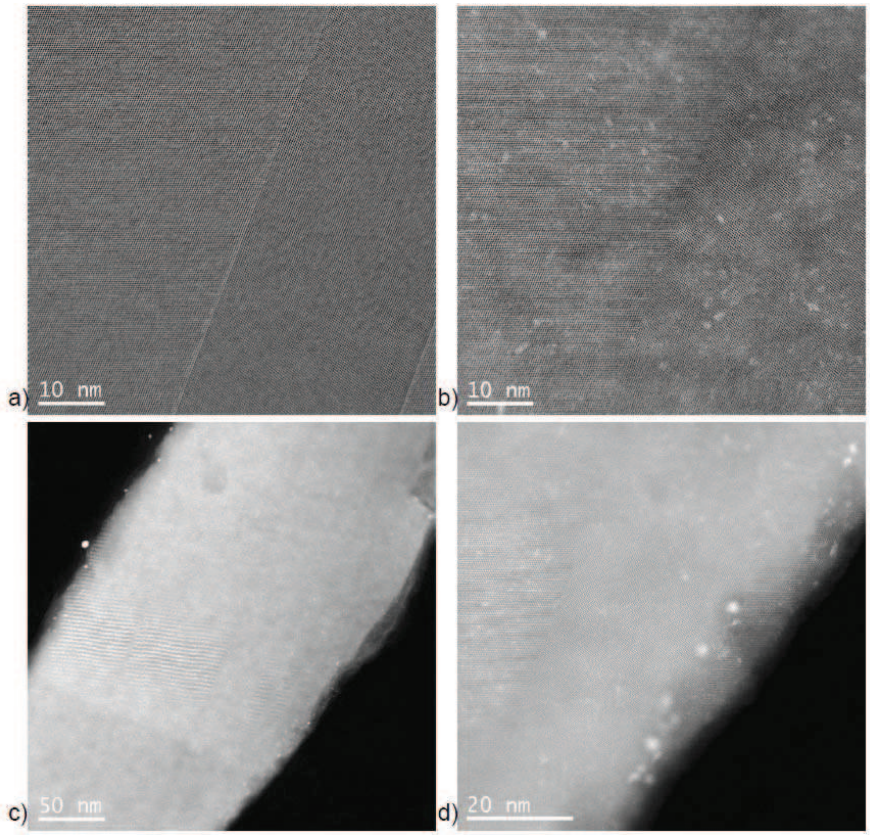


Figure III - 61 : a) Image BF-STEM localisée sur un joint de macle.
b) Image HAADF-STEM correspondant à la même zone que l'image (a).
c) Image HAADF-STEM d'une portion de la nanolame Si.
d) Image HAADF-STEM sur un bord de la nanolame Si.

Les caractérisations par microscopie électronique ont révélées la nature monocristalline du silicium synthétisé par VLS sur un substrat amorphe, et la présence inévitable des résidus d'or. Afin d'éviter le problème de diffusion de l'or au cours de la croissance, nous avons effectué des croissances confinées à partir de barreaux catalytiques en platine. Cependant, les essais de croissances n'ont pas été satisfaisants : les barreaux de platines sont restés intacts après la croissance, comme si aucune réaction n'a eu lieu. Ceci est dû à un dépôt (non catalysé) important de silicium amorphe à l'intérieur de la cavité, car la température de croissance utilisée était de 600°C au lieu de 500°C.

CONCLUSION DU CHAPITRE III

Nous avons démontré pour la première fois la synthèse de nanolames de silicium monocristallin localisées sur un substrat amorphe par croissance VLS guidée et confinée à l'intérieure de cavités horizontales.

Pour cela, nous avons développé et optimisé le procédé de fabrication des cavités en respectant chaque spécificité requise : (i) utilisation d'un substrat amorphe en recouvrant un substrat de silicium d'un oxyde thermique, (ii) chaque étape de fabrication des cavités utilise une température inférieure à 500°C, (iii) les dimensions du catalyseur et des cavités sont contrôlés avec précision de façon indépendante en utilisant un matériau sacrificiel en germanium pour définir le volume de la cavité, (iv) les cavités ne contiennent pas d'impuretés métallique, (v) les parois des cavités, composées d'un bi-couche en oxyde (Si_xO_y) nitrure (Si_xN_y), ont une bonne tenue mécanique.

Ensuite, les conditions de croissance ont été adaptées pour un environnement confinée : diminution de la pression partielle en silane et augmentation de la dilution du gaz précurseur. De plus, nous avons déterminé les dimensions idéales des cavités et du barreau catalytique, pour contrôler avec précision les dimensions des nanolames de silicium. De façon générale, pour obtenir des nanolames dont les dimensions correspondent aux dimensions des cavités, la largeur de celle-ci doit être suffisamment étroite (>500nm) et les lingots d'or doit être suffisamment long (largeur ≈ longueur). Nous avons également observé que les dimensions du barreau d'or jouent un rôle important dans le cas de la croissance VLS confinée. En effet, ils agissent sur la largeur et la longueur de la nanolame de silicium, mais également sur le nombre de nanolames présentes dans une cavité. Enfin, nous avons caractérisé la nature cristalline du silicium en détail en utilisant deux techniques complémentaires : EBSD et STEM, et identifier les résidus d'or présents sur les lames par HAADF.

REFERENCES

[1] **Y. Liu, Z. Ma, S. Ramakrishna**
« One dimensional nanomaterials: preparation structures and assembly », Current Nanoscience, Vol. 2, 2006.

[2] **K. Heo, E. Cho, J.-E. Yang, M.-H. Kim, M. Lee, B.Y. Lee, S.G. Kwon, M.-S. Lee, M.-H. Jo, H.-J. Choi, T. Heyon, S. Hong**
« Large-Scale assembly of silicon nanowire network-based devices using conventional microfabrication facilities », Nano Letters, Vol. 3, 2003.

[3] **H.J. Fan, P. Werner, M. Zacharias**
« Semiconductor nanowires : from self organization to patterned growth », Small, Vol. 2, 2006

[4] **B. Edwards, T.S. Mayer, R.B. Bhiladvala**
« Synchronous electrorotation of nanowires in fluid », Nano Letters, Vol. 6, 2006.

[5] **D.L. Fan, F.Q. Zhu, R.C. Cammarata, C.L. Chien**
« Controllable high-speed rotation of nanowires », Phys. Rev. Lett., Vol. 94, 2005.

[6] **Raychaudhuri, S.A. Dayeh, D. Wang, E.T. Yu**
« Precise semiconductor nanowire placement through dielectrophoresis », Nano Letters, Vol.9, 2009.

[7] **P.A. Smith, C.D. Nordquist, T.N. Jackson, T.S. Mayer, B.R. Martin, J. Mbindyo, T.E. Malouk**
« Electric-field assisted assembly and alignment of metallic nanowires », Appl. Phys. Lett., Vol. 77, 2000.

[8] **Y. Huang & C.M. Lieber**
« Integated nanoscale electronics and optoelectronics: Exploring nanoscale science and technology through semiconductor nanowires», Pure Appl. Chem., Vol. 76, 2004.

[9] **B. Messer, J.H. Song, P. Yang**
« Microchannel networks for nanowire patterning », Vol. 122, 2000.

[10] **Y. Huang, X. Duan, Q. Wei, C.M. Lieber**
« Direct assembly of one-dimensional nanostructures into functional networks », Science, Vol. 291, 2001.

[11] **D. Whang, S. Jin, C.M. Lieber**
« Nanolithographie using hierarchically assembled nanowir masks », Vol. 3, Nano Letters, 2003.

[12] **D. Whang, S. Jin, Y. Wu, C.M. Lieber**
« Large-scale hierarchical organization of nanowire arrays for integrated nanosystems », Nano Letters, Vol. 3, 2003.

[13] **Y. Qi, N.T. Jafferis, K. Lyons, C.M. Lee, H. Ahmad, M.C. McAlpine**
« Piezoelectric ribbons printed onto rubber for flexible energy conversion », NanoLetters, 2010.

[14] **T.I. Lee, W.J. Choi, K.J. Moon, J.H.Choi, J.P. Kar, S.N. Das, Y.S. Kim, H.K. Baik, J.M. Myoung**
« Programmable direct-princting nanowire electronic components », NanoLetters, 2010.

[15] **Z. Fan, J.C. Ho, Z.A. Jacobson, R. Yerushalmi, R.L. Alley, H. Razavi, A. Javey**
« Wafer-scale assembly of semiconductor nanowire arrays by contact printing », NanoLetters, Vol.8, 2008.

[16] **M.C. McAlpine, H. Ahmad, D. Wang, J.R. Heath**
« Higly ordered nanowire arrays on plastic substrates for ultrasensitive flexible chemical sensors », Nature Materials, Vol.6, 2007.

[17] **A.S. Paulo, N. Arellano, J.A. Plaza, R. He, C. Carraro, R. Maboudian, R.T. Howe, J. Bokor, P. Yang**
« Suspended mechanical structures based on elastic silicon nanowire arrays », Vol. 7, 2007.

[18] **R. He, D. Gao, R ; Fan, A.I. Hochbaum, C. Carraro, R. Maboudian, P. Yang**
« Si nanowire bridges in microtrenches : Integration of growth into device fabrication », Vol. 17, 2005.

[19] **M. Tabib-Azar, M. Nassirou, R. Wang, S. Sharma, T.I. Kamins, M.S. Islam, R.S. Williams**
« Machanical properties of self-welded silicon nanobridges », Appl. Phys. Lett., Vol.87, 2005.

[20] **J. Kim, W.A. Anderson, Y.J. Song, G.B. Kim**
« Self-assembled nanobridge formation and spontaneous growth of metal-induced nanowires », App. Phys. Lett., Vol. 86, 2005.

[21] **T. Xu**
Thèse: « Localised growth and characterization of silicon nanowires », IEMN, USTL Lille1, 2009.

[22] **M.S. Islam, S. Sharma, T.I. Kamins, R.S. Williams**
« A novel interconnection technique for manufacturing nanowire devices », Appl. Ohys. A., Vol. 80, 2005.

[23] **N.J. Quitoriano, T.I. Kamins**
« Integratable nanowire transistors », Nano Letters, Vol. 8, 2008.

[24] **S. Sharma, T.I. Kamins, M.S. Islam, R.S. Williams, A.F. Marshall**
« Structural characteristics and connection mechanism of gold-catalyzed bridging silicon nanowires », Vol. 280, 2005.

[25] **N.J. Quitoriano, W. Wu, T.I. Kamins**
« Guiding vapor-liquid-solid nanowire growth using SiO_2 », Nanotechnology, Vol. 20, 2009.

[26] **T. Shimizu, T. Xie, J. Nishikawa, S. Shingubara, S. Senz, U. Gösele**
« Synthesis of vertical high-density epitaxial Si(100) nanowire arrays on a Si(100) substrate using an anodic aluminium oxide template », Adv. Mat., Vol. 19, 2007.

[27] **T. Shimimzu, S. Senz, S. Shingubara, U. Gösele**
« Synthesis of epitaxial Si(100)nanowires on Si(100) substrate using vapour-liquid-solid growth in anodic aluminium oxide nanopore arrays », Appl. Phys. A, Vol. 87, 2007.

[28] **T. Shimimzu, Z. Zhang, S. Shingubara, S. Senz, U. Gösele**
« Vertical epitaxial wire-on-wire growth of Ge/Si on Si(100) substrate », Nano Letters, Vol. 9, 2009.

[29] **T. David, D. Buttard, M.D. Hertog, P. Gentile, T. Baron, P. Ferret, J.-L. Rouvière**
« Silicon nanowires grown in nanoporous alumina matriceson <100> oriented silicon substrate investigated by electron icroscopy », Superlattices and Microstructures, Vol. 44, 2008.

[30] **D. Buttard, T. David, P. Gentile, M.D. Hertog, T. Baron, P. Ferret, J.-L. Rouvière**
« A new architecture for self-organized silicon nanowire growth integrated on a <100> silicon substrate », Phys. Stat. Sol., Vol. 205, 2008.

[31] **M. Gowtham, L. Eude, C.S. Cojocaru, B. Marquardt, H.J. Jeong, P. Legagneux, K.K. Song, D. Pribat**
« Controlled fabrication of patterned lateral porous alumina membranes », Nanotechnology, Vol. 19, 2008.

[32] **M. Gowtham, L. Eude, B. Marquardt, A.Q.L. Quang, C.S. Cojocaru, P. Legagneux, D. Pribat**
« Confined and controlled growth of silicon nanowire for planar type devices », JNTE, Toulouse, 2008.

[33] **Y. Shan, S.J. Fonash**
« Self-Assembling silicon nanowires for device applications using the nanochannel-guided “Grow-in-place” approach », ACSnano, Vol.2, 2008.

[34] **Y. Shan, S. Ashok, S.J. Fonash**
« Unipolar accumulation-type transistor configuration implemented using Si nanowires », Appl. Phys. Lett., Vol. 91, 2007.

[35] **S.J. Fonash, Y. Shan, C.Y. Peng, A.K. Kalkan, J.D. Cuiffi, D. Hayes, P. Butterfoss, W.J. Nam**
« Controlled nanowire growth in permanent, integrated nano-templates and methods of fabricating sensor and transducer structures », United States Patent, 2007.

[36] **Y. Shan, A.K. Kalkan, C.Y. Peng, S.J. Fonash**
« From Si source gas directly to positioned, electrically contacted Si nanowires : The self-assembling "Grow-in-place" approach », Nono Letters, Vol. 4, 2004.

[37] **G. Larrieu**
Thèse : « Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique », IEMN, USTL Lille, 2004.

[38] **E. Fitzer, W. Fritz, G. Schoch**
« The chemical vapour impregnation of porous solids. Modeling of CVI-process », Le Journal de Physique IV, Vol. 1, 1991.

[39] **H.K. Moffat, K.F. Jenen**
« Three-dimensional flow effects in silicon CVD in horizontal reactors », J. Electrochem. Soc., Vol. 135, 1988.

[40] **K.-K. Lew, J.M. Redwing**
« Growth characteristics of silicon nanowires synthesized by vapor-liquid-solid growth in nanoporous alumina templates », Crystal Growth, Vol. 254, 2003.

Chapitre IV : Intégration d'un transistor MOS à faible budget thermique sur silicium obtenu par croissance VLS confinée

INTRODUCTION 140

1 CONTEXTE ET DEFIS TECHNOLOGIQUES 141
1.1 COMMENT INTEGRER UN TRANSISTOR A PARTIR DE SILICIUM SYNTHETISE PAR VLS ? 141
1.2 QUELLES SONT LES CONTRAINTES LIEES A L'INTEGRATION 3D SEQUENTIELLE ? 142

2 ETUDE ELECTRIQUE DES LAMES EN SI SYNTHETISEES PAR VLS 143
2.1 PRINCIPE : « PSEUDO-MOSFET » 143
2.2 LA MOBILITE DANS UNE COUCHE D'INVERSION 145
2.3 PROCEDE D'INTEGRATION 147
2.4 CARACTERISATIONS ELECTRIQUE DE TRANSISTORS « PSEUDO-MOS » 150

3 INTEGRATION D'UN TRANSISTOR MOS SUR LAME SI COMPATIBLE AVEC UN CMOS 3D 160
3.1 CHOIX DU PROCEDE : CONTACTS AUTO-ALIGNES 160
3.2 CHOIX DES MATERIAUX COMPATIBLE AVEC LE BEOL 160
3.3 DESCRIPTIF DES ETAPES D'INTEGRATION 161

CONCLUSION DU CHAPITRE IV 162

REFERENCES 163

Introduction

La caractérisation électrique des lames de silicium est indispensable afin de démontrer la compatibilité de la croissance VLS confinée avec la fabrication de transistors. Mais, notons que l'intégration de composants MOSFET nécessite un développement technologique conséquent pour la formation de la grille et des contacts.

Les lames de silicium obtenues par croissance VLS confinée en cavité sont destinées à être des couches actives de transistors MOS dans le back-end. Actuellement, de nombreux dispositifs ont été intégrés à partir de nanofils synthétisés par VLS. Nos lames de silicium se rapprocheraient cependant plus d'une configuration du type TFT, où le canal de ces transistors est défini sur une couche mince de silicium polycristallin. Après avoir étudié le contexte, les défis technologiques sont présentés. Ils concernent l'intégration 3D séquentielle qui implique un alignement précis des lames et un budget thermique restreint lors des étapes de fabrication des composants.

Ensuite, la méthode « pseudo-MOSFET » est appliquée sur les lames de silicium formées par VLS et des lames de références (gravée dans un substrat SOI Smart-cut). Des résultats électriques statiques très satisfaisants sont obtenus pour ces transistors de types PMOS à grille face arrière. Ils sont comparés à l'état de l'art et se placent au niveau des résultats des dispositifs TFTs fabriqués par des procédés MILC. Pour clore ce chapitre, le déroulement de l'intégration complète du transistor MOS basse température sera décrit succinctement.

1 Contexte et défis technologiques

1.1 Comment intégrer un transistor à partir de silicium synthétisé par VLS ?

La fabrication de transistors MOS à base de nanofils synthétisés par VLS a fait l'objet de nombreuses publications. Il en ressort deux types d'intégration : « verticale » et « horizontale ».

Une configuration possible d'intégration est le transistor vertical avec une grille qui entoure le canal[1] (Fig.IV-1). Pour cela, il est nécessaire de faire croître des nano-fils en silicium par CVD catalytique en contrôlant parfaitement leur direction de croissance. Un substrat cristallin est nécessaire pour la croissance épitaxiale de nanofils en silicium parfaitement verticaux. Les transistors avec une grille enrobant le canal de conduction permettent un meilleur contrôle électrostatique de la grille sur le canal de conduction, et offre la possibilité de conduire plus de courant par surface de canal comparé aux MOSFET planaires conventionnels. Pour ce type de transistor, les contacts source, drain et le canal de conduction doivent être présents sur le nanofil Si, impliquant une structure de nanofil de type p-n-p ou n-p-n.

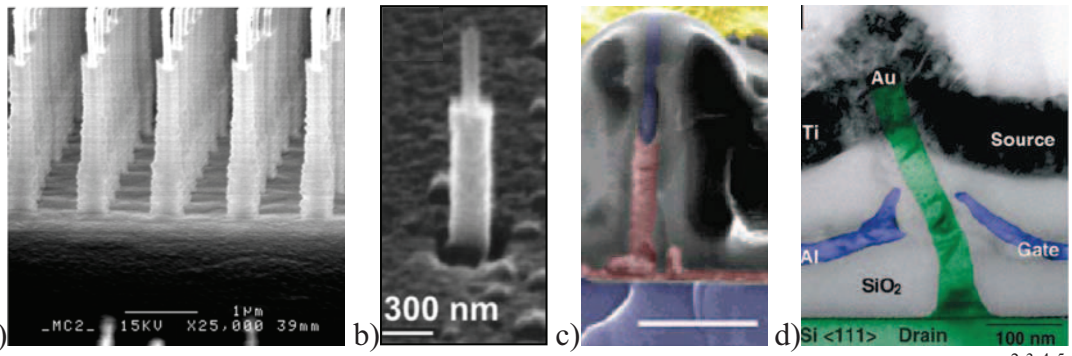


Figure IV - 1 : Images MEB de transistors verticaux avec une grille entourant le nanofil Si [2 3 4 5].

Cependant, cette configuration nécessite un substrat cristallin, notre étude va s'orienter vers l'intégration de transistors horizontaux directement intégrable sur un substrat amorphe permettant la fabrication massivement parallèle de dispositifs.

Des transistors sur substrat amorphe ont été fabriqués à partir de nanofils synthétisés par VLS. Pour l'intégration de ces composants, les nanofils sont enlevés de leur substrat initial, puis mis en suspension dans un solvant, et enfin déposés sur substrat recouvert d'une couche diélectrique. Différentes configurations de transistors ont été élaborées : transistor à grille face arrière à base d'un seul nanofil[6] (Fig.IV-2-a), transistor constitué de deux nanofils croisés[7 8 9 10], transistor possédant une grille supérieure à base d'un nano-fil en silicium (Fig.IV-2-b) ou d'un nanofil à hétérostructure radial[6 8 10] (Fig.IV-2-c).

Les résultats de ces différentes intégrations sont très encourageants. Cependant, l'industrialisation de ces procédés n'est pas envisageable, car la croissance de nanofils se fait séparément et leur position sur le substrat reste aléatoire malgré les nombreuses méthodes développées pour contrôler leur localisation.

Fonash et ses collaborateurs ont intégré un transistor à partir d'un nanofil en silicium synthétisé horizontalement sur un substrat amorphe orienté à l'aide d'une cavité (Fig.IV-2-

d)[15]. Nos travaux ont été inspirés de ce procédé, cependant nous avons apportés des améliorations sur la fabrication des cavités et des transistors.

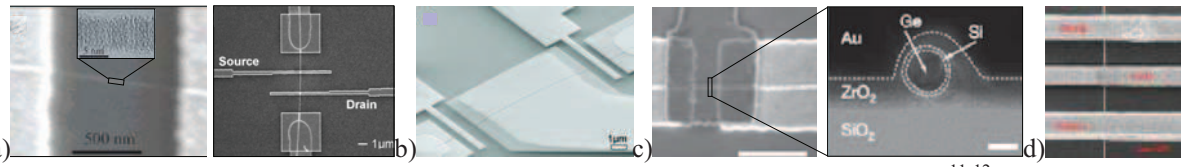


Figure IV - 2 : a)Transistors grille face arrière avec un nanofil en Si [11] [12].
b) Transistors avec une électrode de grille supérieur[13].
c) Transistor avec un nano-fil hétérostructure radiale[14].
d) Transistor AMOSFET à base d'un nanofil Si auto-aligné[15].

Nous avons fait le choix de ne pas comparer nos résultats électriques avec ces transistors à base de nanofils, car nous avons caractérisé des nanolames (2D) non dopé, et non des nanofils (1D) dopés. Notre méthode se rapprochant plus des transistors sur couches minces (TFT), nous avons décidé de positionner nos caractéristiques électriques avec l'état de l'art des composants TFT (Thin Film Transistor).

Un TFT constitue un type de transistor à effet de champ, fabriqué en déposant des films minces de couche active semi-conductrice, de couche diélectrique et de contact métallique sur un substrat amorphe, généralement en verre. Les TFTs diffèrent des transistors conventionnels où le matériau semi-conducteur est constitué d'un substrat monocristallin (wafer Si ou SOI). Comme le substrat des TFT ne peut pas résister à des températures élevées, le procédé de dépôt doit être effectué à des températures relativement basses (CVD, PVD), produisant une couche semi-conductrice amorphe, ou poly-cristalline. Les caractéristiques électriques des TFTs à base de silicium dépendent de la nature cristalline du semi-conducteur déposé. Les TFTs sont utilisés dans les écrans plats, ils ne constituent pas le pixel mais permettent de sélectionner le pixel. En effet, un transistor TFT agit comme un interrupteur qui commande le passage du courant vers le pixel.

1.2 Quelles sont les contraintes liées à l'intégration 3D séquentielle ?

Les lames de silicium cristallin, synthétisées par VLS, sont destinées à être des couches actives de transistors dans le BEOL. Ceci implique un alignement précis des lames et un budget thermique restreint lors des étapes de fabrication des composants.

L'alignement des composants des niveaux supérieurs par rapport aux couches actives des niveaux inférieurs doit être précis afin de limiter au maximum la perte de surface et d'optimiser le positionnement des interconnexions verticales. Notre procédé de croissance permet de contrôler la position et les dimensions des lames avec une précision de ± 10nm. Ceci dépend de l'étape de lithographie et du lift-off qui définissent le matériau sacrificiel. Cette précision est tout à fait en accord avec l'intégration 3D, car correspond à l'ordre de grandeur de l'alignement pour l'approche séquentielle (Chap.I §2.2.2).

La deuxième contrainte est le budget thermique. En effet, pour une technologie planaire, après la fabrication des transistors la température utilisée n'excède pas 400°C. Dans ces conditions les performances électriques des transistors ne sont pas dégradées. La partie du transistor la plus sensible à la température est le siliciure[16]. En effet, dans le cas du siliciure de nickel (NiSi), un recuit à 650°C fait apparaître une discontinuité dans le film de NiSi[17]. Ceci crée l'augmentation des résistances d'accès, dégradant les performances du transistor. Ainsi,

nous nous sommes limités à une température de 500°C pour la fabrication du silicium cristallin et l'intégration du transistor.

2 Etude électrique des lames en Si synthétisées par VLS

Afin de caractériser électriquement les nanolames en silicium synthétisées par VLS, une intégration simple a été utilisée dans un premier temps : le transistor à grille face arrière. Ce dispositif a été intégré à partir de nanolames gravées dans un substrat SOI (Smart-Cut SOITEC) de façon à établir une référence en silicium cristallin « parfait ». Ensuite, ce même procédé a été appliqué aux nanolames formées par VLS.

L'objet de cette partie est de présenter la méthodologie de caractérisation électrique des lames de silicium. La sélection et la formation de structures de test pertinentes seront d'abord détaillées. Ensuite, les mesures électriques et l'extraction des paramètres élémentaires du transport de charges seront décrites.

2.1 Principe : « Pseudo-MOSFET »

2.1.1 Méthode

La méthode pseudo-MOS est habituellement utilisée pour la caractérisation de substrat SOI[18]. Cette structure utilise le substrat en silicium comme électrode de grille, l'oxyde enterré comme isolant, et la fine couche de silicium (SOI) joue le rôle de canal du transistor (Fig.IV-3). Cette méthode présente l'avantage de n'utiliser ni lithographie, ni métallisation pour la définition de l'électrode de grille, et des contacts. Cette intégration a l'avantage d'apporter rapidement des résultats électriques sans développer toutes les étapes technologiques nécessaires à l'élaboration d'un transistor MOS conventionnel. Il suffit de positionner deux électrodes de mesures sur le film en silicium pour former les contacts source et drain. En polarisant convenablement les électrodes (source, drain et grille), un canal de conduction se forme à l'interface film-Si / SiO_2. Les caractéristiques classiques du transistor $I_D(V_D, V_G)$ peuvent ainsi être obtenues, ainsi offrent une technique simple et rapide pour contrôler la qualité du film Si synthétisé par VLS.

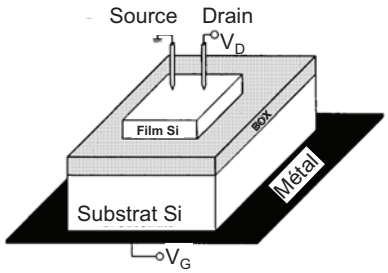


Figure IV - 3 : Schéma d'un transistor pseudo-MOS dans une structure SOI.[19]

2.1.2 Extraction des paramètres en utilisant la fonction Y

Afin d'analyser les propriétés électriques du film de silicium cristallin, il est nécessaire d'extraire les paramètres intrinsèques tels que la tension seuil, la mobilité des porteurs. A cet effet, une méthode d'extraction basée sur la fonction *Y* est mise en oeuvre[20].

2.1.2.1 Modèle basique

La méthode de la fonction *Y* est basée sur l'exploitation des caractéristiques $I_D(V_G)$ et $g_m(V_G)$. L'extraction des paramètres d'un MOSFET est effectuée en régime de forte inversion, ainsi les caractéristiques $I_D(V_G, V_D)$ sont décrites par l'équation élémentaire du transistor MOS :

$$I_D = \frac{W}{L}\mu_0 \cdot C_{ox} \cdot \frac{(V_G - V_T)\cdot V_D}{1+\theta\cdot(V_G - V_T)} \qquad \text{(IV.1)}$$

Avec, W : largeur du canal
L : longueur du canal
V_T : tension seuil
C_{ox} : capacité de l'oxyde de grille par unité de surface
μ_0 : mobilité bas champ
θ : coefficient de la réduction de la mobilité qui prend en compte l'influence des résistances en séries.

$$\theta = \theta_0 + \frac{W}{L}\mu_0 \cdot C_{ox} \cdot R_{SD} \qquad \text{(IV.2)}$$

Avec θ_0 (V^{-1}): le facteur de réduction de la mobilité intrinsèque. Ce terme prend en compte la réduction de mobilité avec le champ électrique transversal développé par la grille.

La transconductance g_m d'un transistor MOSFET est donnée par le rapport entre la variation du courant de sortie (I_D) et la variation de la tension appliquée sur l'électrode de grille.

$$g_m = \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D} = \frac{W}{L}\mu_0 \cdot C_{ox} \cdot \frac{V_D}{\left[1+\theta\cdot(V_G - V_T)\right]^2} = \beta \cdot \frac{V_D}{\left[1+\theta\cdot(V_G - V_T)\right]^2} \qquad \text{(IV.3)}$$

2.1.2.2 Définition de la fonction Y

La tension seuil peut être obtenue par extrapolation linéaire de la courbe $I_D(V_G)$ (cf. Chp.I). La mobilité des porteurs peut être directement évaluée à partir du pic de la transconductance. Une approche améliorée, qui s'affranchit des résistances séries, consiste à exploiter $I_D/\sqrt{g_m}$ en fonction de V_G.

$$Y = \frac{I_D}{\sqrt{g_m}} = \sqrt{\frac{W}{L}\mu_0 \cdot C_{ox} \cdot V_D}\cdot(V_G - V_T) = \sqrt{\beta \cdot V_D}\cdot(V_G - V_T) \quad \Rightarrow \quad Y = S_Y \cdot (V_G - V_T) \qquad \text{(IV.4)}$$

Avec g_m : transconductance du transistor
β : facteur de gain du transistor
S_Y : pente de la fonction *Y*

2.1.2.3 La tension seuil et la mobilité des porteurs

En régime de forte inversion, la fonction *Y* varie linéairement avec la tenson de grille (Fig.IV-4). La tension seuil peut alors être obtenue par extrapolation de la partie linéaire de la courbe (l'intersection avec l'axe des x). Conjointement, la mobilité des porteurs est déterminée à partir de la pente S_Y de la courbe $Y(V_G)$*selon :*

$$S_Y = \sqrt{\frac{W}{L}\mu_0 \cdot C_{ox} \cdot V_D} \qquad \Leftrightarrow \qquad \mu_0 = \frac{{S_Y}^2}{C_{ox}\cdot V_D}\frac{L}{W} \qquad \text{(IV.5)}$$

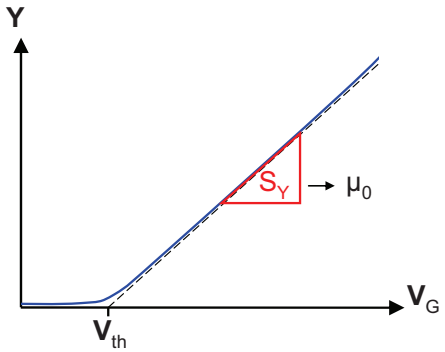


Figure IV - 4 : La fonction *Y* en fonction de la tension de grille V_G .
S_y est la pente de la partie linéaire de la fonction Y. L'intersection entre l'extrapolation de la partie linéaire de la fonction Y et l'axe des abscisse correspond à la tension seuil, V_{th}.

2.1.2.4 Facteur d'atténuation de la mobilité

Le facteur de réduction de la mobilité θ est défini par l'équation suivante (formulé à partir des équation (IV.1) et (IV.4) :

$$\theta = \frac{I_D}{g_m (V_G - V_T)^2} - \frac{1}{V_G - V_T} = \frac{S_Y^{\,2}}{I_D} - \frac{1}{V_G - V_T} \qquad \text{(IV.6)}$$

2.2 La mobilité dans une couche d'inversion

2.2.1 La mobilité et les mécanismes d'interaction

La mobilité décrit le déplacement des porteurs libres dans un matériau sous l'effet d'un champ électrique. Mais ces porteurs interagissent avec les atomes du semi-conducteur, réduisant leur vitesse. La mobilité s'exprime en fonction du temps moyen entre deux collisions (τ) et de la masse effective de la particule (m^*).

$$\mu = \frac{q \cdot \tau}{m^*} \qquad \text{(IV.7)}$$

Plusieurs mécanismes d'interaction apparaissent limitant la mobilité et sa dépendance en fonction du champ électrique et de la température.

Interaction avec les centres coulombiens :

Ces interactions sont induites par toutes charges mobiles ou fixes dans le canal ou aux interfaces. Ces interactions sont limitantes à faible champ et à basse température. En forte inversion, elles sont masquées par la forte densité des porteurs. La mobilité limitée par les interactions coulombienne est proportionnelle au champ effectif (E_{eff}) et à la température (T).

$$\mu_c \propto E_{eff} \cdot T \qquad \text{(IV.8)}$$

Interaction avec la rugosité de surface :

La rugosité d'interface oxyde / silicium induit des interaction faisant varier le potentiel local vu par les porteurs. Ces interactions prédominent pour un champ électrique effectif élevé, car les porteurs sont proches de l'interface. La mobilité limitée par la rugosité de surface est donnée par l'expression suivante :

$$\mu_r \propto E_{eff}^{\,-2} \qquad \text{(IV.9)}$$

Interaction avec les phonons :

Un phonon est considéré comme une particule fictive associée aux vibrations d'un réseau cristallin. Lorsque la température est inférieure à 100K, les phonons acoustiques peu énergétiques sont dominants. Entre 100 et 400K, ce sont les phonons optiques beaucoup énergétiques que les phonons acoustiques qui prédominent. La mobilité limitée par les phonons optique est exprimée ainsi :

$$\mu_p \propto \frac{E_{eff}^{-\frac{1}{b}}}{T^a} \tag{IV.10}$$

avec $1 \leq a \leq 1{,}75$ et $3 \leq b \leq 6$ dépendant du réseau cristallin.

Interaction avec les défauts neutres :

Les défauts neutres désignent les défauts cristallins non chargés. La mobilité limitée par ces interactions dépend de la concentration en défauts neutre (N_n) :

$$\mu_n \propto \frac{1}{N_n} \tag{IV.11}$$

Ainsi, la mobilité est principalement dépendante de la température T et du champ électrique transverse E_{eff} liée à la polarisation de la grille.

$$E_{eff} = \frac{\eta \cdot Q_{inv} + Q_{dep}}{\varepsilon_{Si}} \tag{IV.12}$$

Avec η un facteur d'ajustement, Q_{inv} charges d'inversion, Q_{dep} charges de déplétion, ε_{Si} constante diélectrique du silicium.

Pour un champ effectif faible, la mobilité est limitée par les interactions avec les centres coulombien. Lorsque le champ effectif augmente, la mobilité ne dépend plus du niveau de dopage, ce sont les interactions avec les phonons qui restreignent la mobilité. A un champ encore plus élevé, les interactions avec la rugosité de surface dominent (Fig.IV-5).
En utilisant la loi de Matthiessen, la mobilité totale est décrite par :

$$\frac{1}{\mu_t} = \frac{1}{\mu_c} + \frac{1}{\mu_r} + \frac{1}{\mu_p} \tag{IV.13}$$

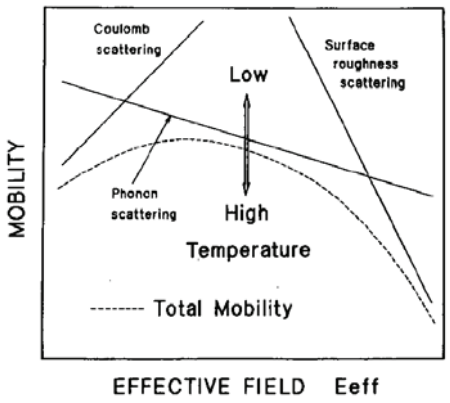


Figure IV - 5 : Diagramme schématisant l'influence des trois mécanisme (Coulomb, phonons, et rugosité) et de la température sur la mobilité en fonction du champ effectif.[21]

2.2.2 Approche balistique

Le libre parcours moyen des porteurs, λ, est la distance parcourue entre deux centres diffusifs. Lorsque la longueur de grille, L, est supérieure à λ, le transport de porteurs est décrit par le mécanisme dérivé diffusion. Mais si L est inférieur à λ, il n'y a plus d'interactions, et le transport est du type balistique. De plus, il faut noter qu'en régime purement linéaire, $V_{ds} << k_B T / q$, la vitesse des porteurs est uniquement limitée par la vitesse d'injection des charges à la source.

2.2.3 Effets de l'orientation cristalline sur la mobilité

La mobilité des porteurs varie suivant la direction du transport. La Fig.IV-6 montre que la mobilité effective des électrons et des trous sont différentes et dépendent de l'orientation cristalline du substrat. La surface la plus favorable à la mobilité des électrons est (100), et la plus défavorable est (110). Pour les trous, la surface (110) est plus favorable à leur mobilité que la surface (100). Ceci suggère que les structures de bande jouent un rôle important. La dépendance entre la mobilité et l'orientation de surface est également attribuée à la différence entre les masses effectives.

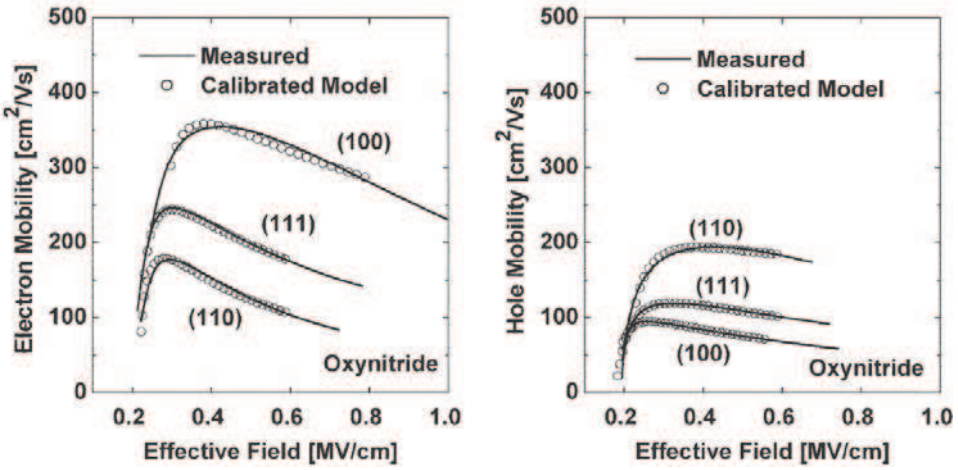


Figure IV - 6 : Graphiques représentant la mobilité des électrons et des trous pour trois surfaces d'orientation différentes[22]

2.3 Procédé d'intégration

L'application usuelle de la méthodologie de mesure appliquée à une structure pseudo-MOS implique une prise de contact ponctuelle directement sur le silicium à l'aide d'aiguilles. Cette pratique engendre une résistance de contact relativement importante et l'occurrence de non linéarité dans la caractéristique courant-tension liées à la jonction Schottky que forme le contact métal (aiguille) semiconducteur. Cependant, dans la mesure où l'écartement entre aiguilles est important, la caractéristique courant-tension est dominée par la résistance du film SOI et non par les résistances de contact. Dans la mesure où les lames de silicium obtenues par croissance VLS sont de dimension limitées (< 3µm), il convient d'adopter une stratégie de mesures pseudo-MOS afin de s'affranchir de l'impact des résistances de contact. Deux groupes d'éléments présentent des barrières Schottky faibles, alors que la majorité des métaux présentent des caractéristiques midgap. Il s'agit des siliciures de platine et d'indium présentant une faible barrière Schottky aux trous, et des siliciures de terre rares présentant une

faible barrière aux électrons. Notre choix s'est orienté vers le siliciure de platine pour sa relative facilité d'intégration. Néanmoins, ceci implique que les caractéristiques électriques seront pertinentes pour l'analyse du transport des trous. En effet, la forte barrière Schottky aux électrons ne permet pas de s'affranchir des résistances séries.

Par conséquent, un procédé utilisant la structuration de contacts métalliques a été développé pour pouvoir positionner correctement les deux pointes et réduire les résistances de contact.

2.3.1 Présentation générale

Les électrodes source et drain sont formées par siliciuration (PtSi) de chaque côté de la nanolame[23 24 25]. La figure ci-dessous (Fig. IV-7) représente un transistor à grille à face arrière intégré sur une lame en Si, en vue de dessus et en vue de coupe pour mettre en évidence chaque partie du transistor.

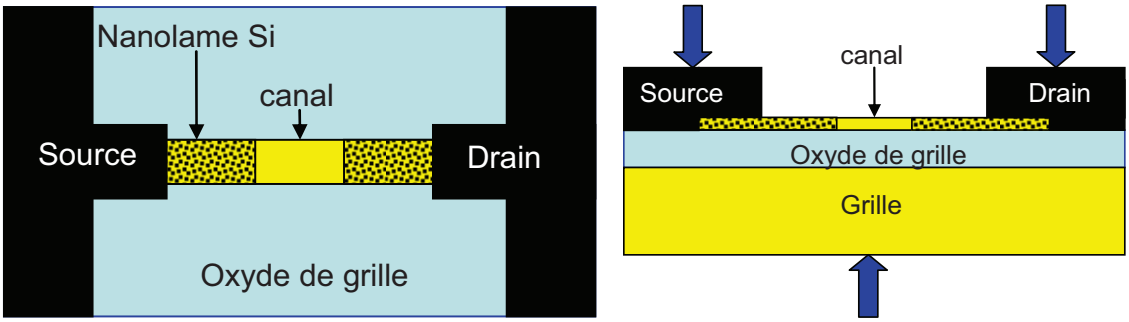


Figure IV - 7 : Schémas (vue de dessus et vue en coupe) d'un transistor MOS à grille face arrière intégré sur une lalme en Si.

2.3.2 Description des étapes de fabrication

Toutes les étapes d'intégration sont représentées dans la Fig. IV-8. La nanolame de silicium cristallin étant positionnée avec précision sur le substrat amorphe, le dépôt de platine par lift-off est réalisé de manière aligné aux deux extrémités de la lame (Fig.IV-8.a). La distance séparant les deux motifs de platine représente la longueur de grille (L_g= 50nm à 1µm). Le siliciure de platine se forme pendant un recuit à 400°C pendant 1min au four RTA[23] (Fig.IV-8.b). Seul le platine en contact avec le silicium réagit pendant le recuit. L'excès de platine reposant sur la couche en SiO_2 est gravé à l'eau régal (H_2O_2, HNO_3, HCl) à 50°C pendant 2 min (Fig.IV-8.c). La dernière étape consiste à former les contacts épais en aluminium (Fig.IV-8.d). Il faut noter que toutes les étapes de ce procédé de formation des contacts source drain sont réalisées à une température inférieure à 500°C.

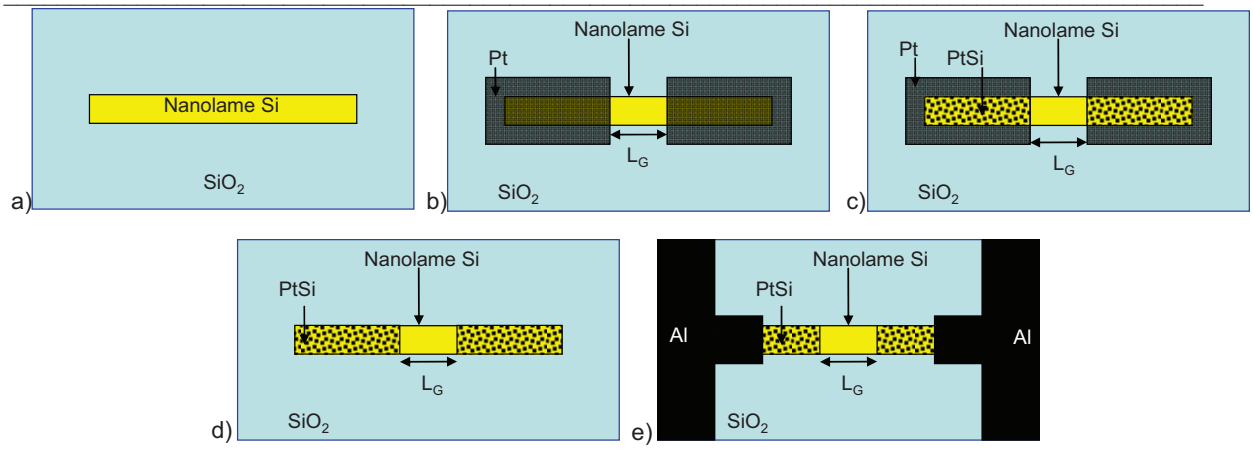


Figure IV - 8 : Schémas des étapes de fabrication d'un transistor MOS à grille face arrière.
a) Une nanolame de Si cristallin est définie sur un substrat recouvert d'une couche d'oxyde.
b) Dépôt de platine sur les deux extrémités de la lame en Si par PVD et lift-off.
c) Formation du siliciure de platine (PtSi) à chaque extrémité de la lame par recuit RTA à 400°C.
d) La nanolame Si après le retrait du platine non siliciuré, par gravure chimique (eau régal).
e) La nanolame Si après la formation des plots contacts métallique en Al (PVD et lift-off).

2.3.3 Préparation des échantillons de référence (SOI)

Avant d'intégrer des transistors sur des lames synthétisées par VLS, un échantillon de référence a été préparé à partir d'un substrat SOI (Smart-Cut, SOITEC). Le substrat SOI est composé d'un empilement Si / SiO_2 / Si, dont la couche supérieure de silicium mesure 50nm d'épaisseur, et l'oxyde enterré mesure 145nm en épaisseur. Les lames de silicium sont définies sur la fine couche de silicium supérieure par lithographie électronique en insolant une résine négative (HSQ Fox12), suivie par une gravure sèche RIE à base de SF_6. Ainsi, des lames de silicium de 50nm d'épaisseur, exemptes de toute contamination or, sont obtenues sur une couche de SiO_2 de 145nm d'épaisseur. La Fig.IV-9 représente les principales étapes intervenant dans la fabrication des contacts source et drain. L'image MEB (a) montre deux motifs de platine séparés de 200nm déposés sur une lame de silicium. L'image (b) montre une autre lame de silicium après la formation du siliciure de platine (PtSi). Et l'image (c) représente une lame Si siliciurée de chaque côté avec les deux électrodes de contact en aluminium.

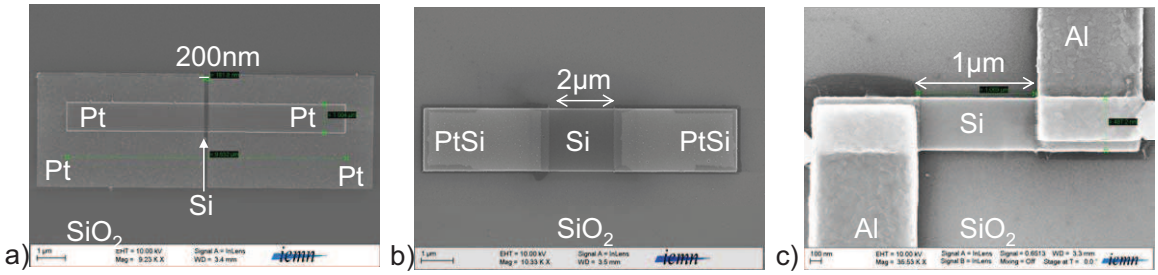


Figure IV - 9 : Images MEB (vue de dessus) de chaque étape de fabrication des contacts :
a) Lame Si (gravée dans un substrat SOI) partiellement recouverte de Pt.
b) Lame Si partiellement siliciurée (après recuit et gravure à l'eau régal).
c) Lame Si partiellement siliciurée avec 2 électrodes de contacts en Al.

Les caractérisations électriques des transistors commandées par une grille en face arrière sont représentées sur la Fig.IV-10. La largeur de la lame en de silicium (W_{Si}) varie de 200nm à 2µm, et la longueur de grille (L_g) (distance entre les deux zones siliciurées) varie de 50nm à 2µm.

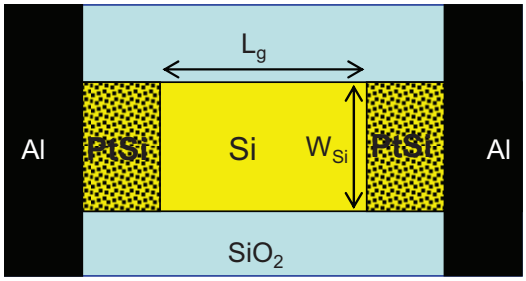


Figure IV - 10 : Transistor MOS à grille face arrière avec les grandeurs caractéristiques.

2.3.4 Préparation des échantillons VLS

Ce même procédé a été utilisé pour les échantillons VLS. Seule la gravure des résidus d'or a été ajoutée. Cette gravure est effectuée en deux étapes : iodure de potassium (KI) + eau régal ($1HNO_3$: $2H_2O$: 3HCl). Ces deux gravures chimiques sont très importantes, car s'il reste des particules d'or en surface, le platine ne pourra réagir avec le silicium et le siliciure ne se formera pas, augmentant les résistances de contact.
Sinon, toutes les autres étapes de formation des contacts source – drain sont identiques au procédé effectué sur les échantillons de référence. En effet, le positionnement des lames étant défini par les cavités, par conséquent, une seule étape de lithographie est utilisée pour définir les zones à siliciurer, exactement comme pour l'échantillon de référence. Aucune étape supplémentaire de localisation n'est nécessaire. Des images MEB de transistors pseudo-MOS à base de nanofils synthétisés par VLS sont présentés dans le paragraphe 1.4.2.

2.4 Caractérisations électrique de transistors « pseudo-MOS »

Les mesures électriques ont été effectuées en utilisant un analyseur de paramètre de type Agilent 4155-C en environnement de boîte noire avec ou sans illumination. Les caractérisations statiques ont tout d'abord été obtenues sur un échantillon de référence, fabriqué à partir d'un substrat SOI, ne comportant aucune contamination en or. Des caractéristiques électriques complémentaires ont été mesurées sur des lames synthétisées par VLS, afin de générer une comparaison pertinente sur la qualité du transport en bande de valence.

2.4.1 Résultats électrique des échantillons de référence (SOI)

Des lames en silicium de 3µm de long, 1µm de large et 50nm d'épaisseur ont été gravées à partir d'un substrat SOI de type P faiblement dopé (N_B~1.10^{15}at/cm^3). Différentes longueurs de grille (L_G) ont été définies : 1µm, 780nm, 390nm, 206nm, 90nm et 55nm, sur une couche d'oxyde de 145nm d'épaisseur. Elles sont mises en évidence sur les images MEB (Fig.IV-11, 12). Les caractéristiques statiques obtenues sur les transistors à grille à face arrière intégrés sur ces lames, sont également représentées sur la même figure.

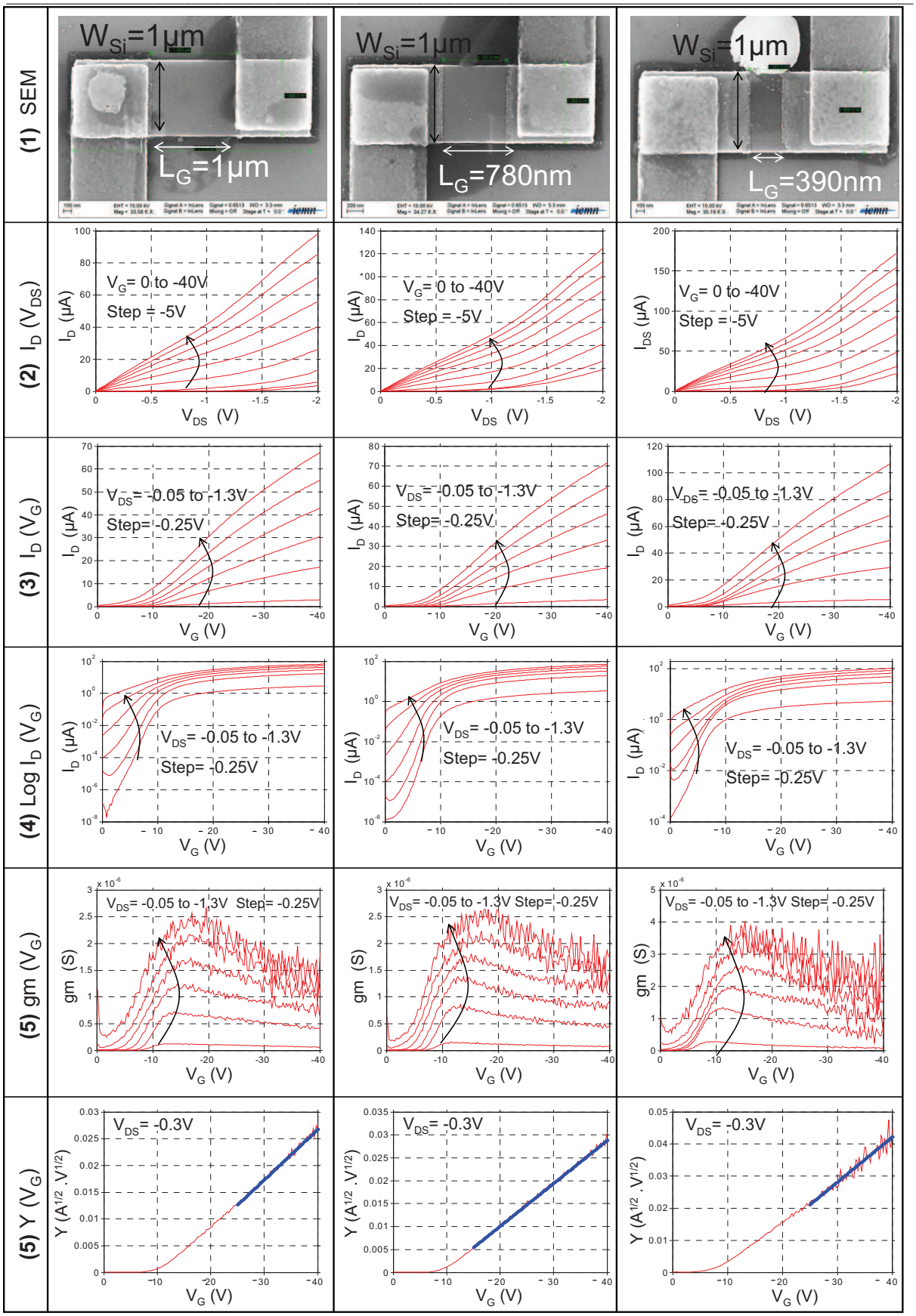


Figure IV - 11 : Caractérisations statique de transistors à base d'une nanolame en Si gravée dans un substrat SOI pour des longueurs de grilles comprises entre 1µm et 300nm (t_{ox}=145nm, t_{Si}=50nm).

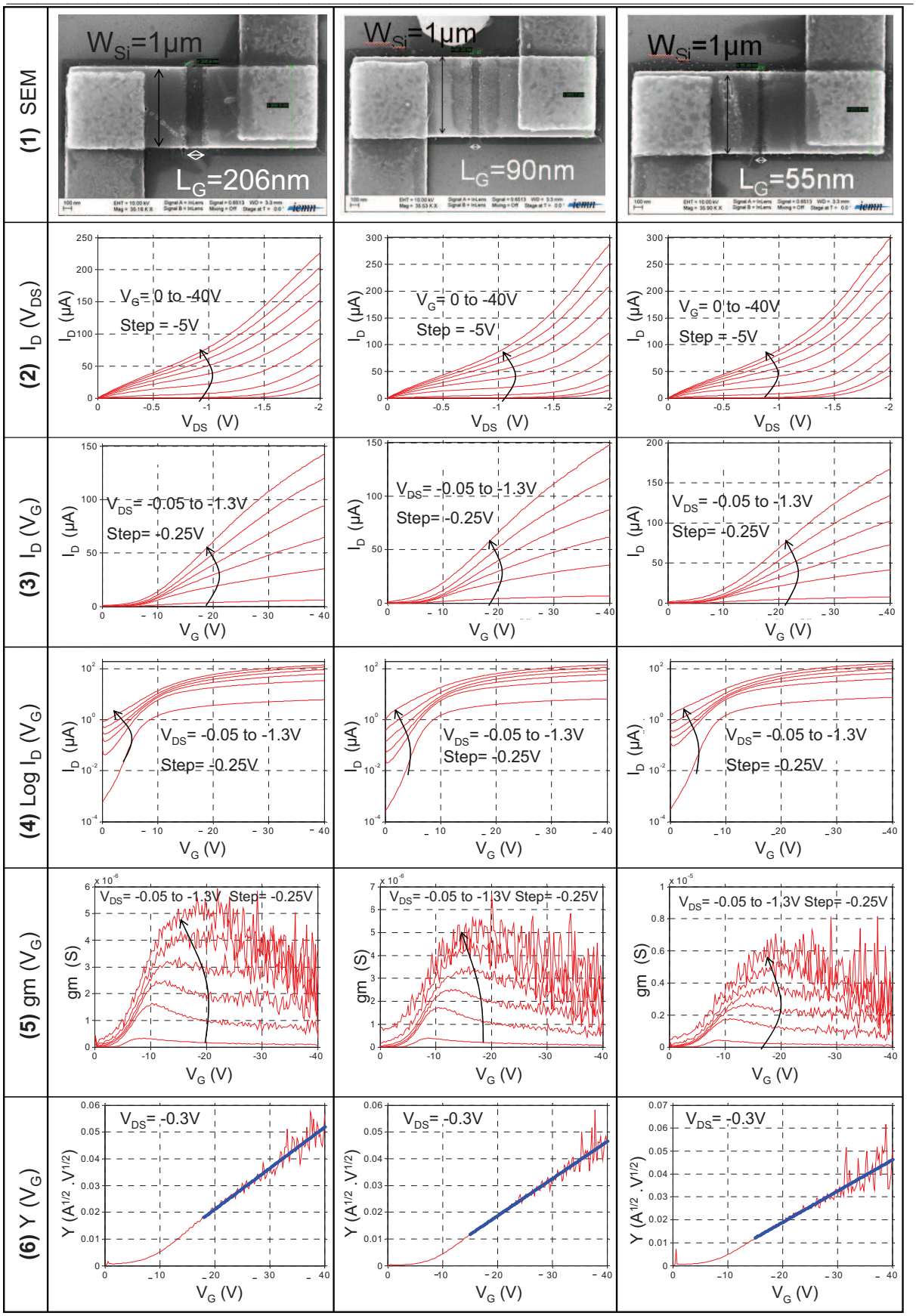


Figure IV - 12 : Caractérisations statique de transistors à base d'une nanolame en Si gravée dans un substrat SOI pour des longueurs de grilles comprises entre 200nm et 50nm (t_{ox}=145nm, t_{Si}=50nm).

Ces caractéristiques statiques I_{DS}-$V_{DS,}$ et I_{DS}-V_G mettent en évidence le comportement d'un transistor de type PMOS à accumulation, et le bon contrôle de courant par l'électrode de grille. Aucune différence notable n'a été observée entre les mesures effectuées dans l'obscurité ou à la lumière.

Dans le tableau ci-dessous, les valeurs maximales du courant (I_{Dsat} à V_D = -2V et V_G = -40V) pour chaque longueur de grilles sont reportées, mettant en évidence l'augmentation du courant avec la diminution de la longueur de grille. La mobilité a également été calculée pour chaque composant à partir de la fonction Y. La Fig.IV-13 met en évidence que la mobilité des porteurs (trous) diminue avec la longueur de grille. La réduction de la mobilité avec la longueur de grille a été largement reportée dans le cas de technologie MOS avancée[26]. Différentes hypothèses ont été fondées pour expliquer cette réduction de mobilité dépendante de la longueur de grille (défauts, charges en bord de grille…). Il est également nécessaire de prendre en compte le fait que le transport de charge présente un caractère partiellement balistique à mesure que la longueur de grille est réduite. La mobilité apparente peut-être modélisée comme une combinaison de mobilité classique (dérive-diffusion) et de mobilité balistique selon une loi de Matthiessen.

L_G (nm)	1000	780	580	390	206	90	55
I_{max}(µA)	100	114	128	185	260	288	317
µ (cm²/V.s)	123	95	91	107	49	24	14
V_t (V)	11,5	9,1	11,2	9,9	5,9	6,5	6,0
$\beta .10^{-6}$	2,9	2,9	3,7	6,6	5,7	6,4	6,2
$\theta .10^{-2}$	1,6	1,3	1,5	3,4	1,9	2,4	1,5

Figure IV - 13 : Tableau récapitulant le courants maximum, la mobilité, la tension seuil, les facteurs β et θ calculés pour des longueurs de grille différentes.

2.4.2 Résultats électriques de lames Si-VLS de différentes largeurs

Le même procédé d'intégration a été appliqué pour les lames en silicium synthétisées par la croissance VLS confinée à l'intérieur de cavités. Avant l'intégration de transistor, le retrait des parois des cavités et le nettoyage des nanolames sont extrêmement importants pour la formation des contacts schottky. Les images MEB (Fig.IV-14) montrent plusieurs nanolames en silicium de largeurs différentes (1µm, 500nm, 200nm) synthétisées sur une couche d'oxyde thermique de 95nm d'épaisseur, après la formation des contacts, ainsi que leur caractéristiques électriques. Les graphiques $I_{DS}(V_{DS})$ et $I_{DS}(V_G)$ montrent le comportement typique de transistors MOS de type P et le bon contrôle du courant par l'électrode de grille, comme pour l'échantillon de référence. Toutefois il n'a pas été possible d'extraire les mobilités pour chaque composant, du fait que les fonctions Y sont trop bruitées et ne pouvant être modélisées.

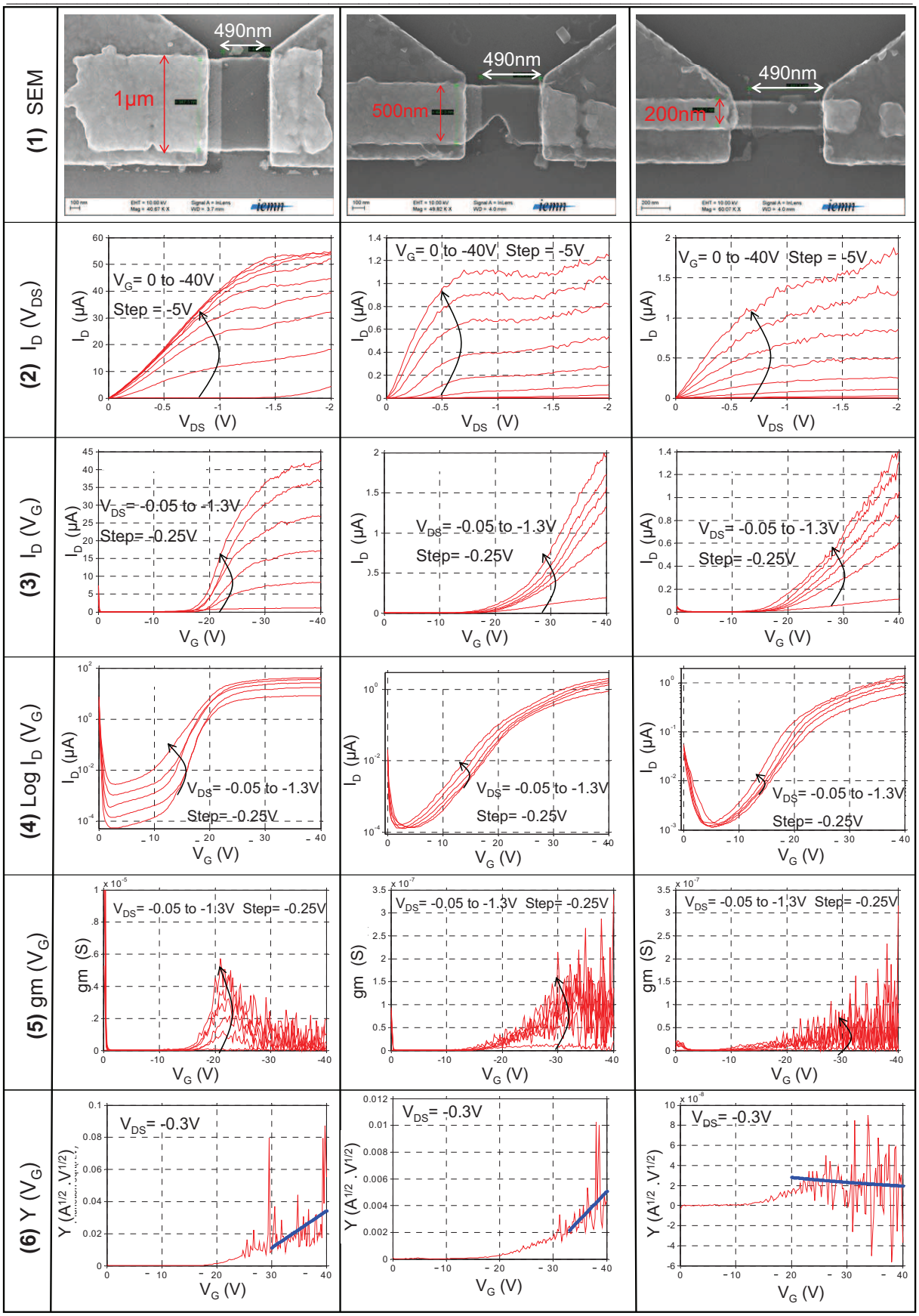


Figure IV - 14 : Caractérisations statique de transistors à base de nanolame en Si synthétisée par VLS-confinée pour 3 largeurs différentes (t_{ox}=95nm, t_{Si}=50nm).

Après avoir étudier les résultats électriques des lames SOI et VLS, nous allons les comparer.

2.4.3 Analyses comparatives entre une lames Si-SOI et Si-VLS

La Fig.IV-15 compare les caractéristiques électriques entre une lame gravée et une lame formée par VLS-confinée. Ces deux lames ont une épaisseur de 50nm, et une largeur de 1µm, cependant la longueur de grille (L_G) pour les deux transistors est différente, avec un écart de 90nm (SOI : L_G=580nm ; VLS : L_G=490nm). L'épaisseur d'oxyde entre la lame et le substrat est également différente entre les deux composants (SOI : t_{ox}=145nm ; VLS : t_{ox}=95nm).

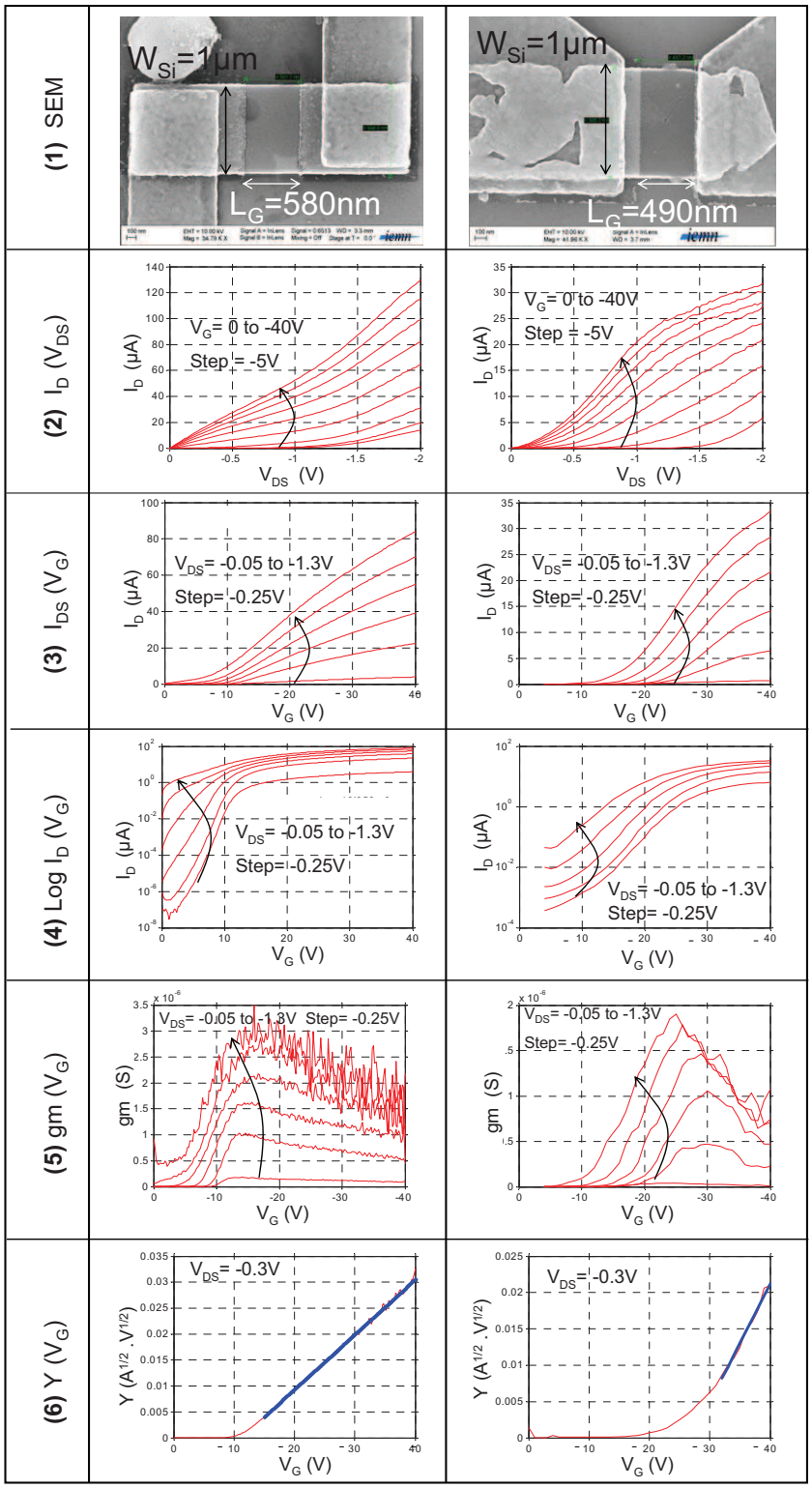


Figure IV - 15 : Caractérisations statique de transistors à base d'une nanolame en Si gravée dans un substrat SOI et d'une lame en Si synthétisée par VLS-confinée.

Les mesures électriques de ces deux composants ont permis de déterminer leur niveau de courant maximal et la mobilité (μ) bas champ des trous.

Les graphiques représentant la fonction Y en fonction de la tension de grille montrent que les résultats de la modélisation (ligne bleue) coïncident bien avec les résultats expérimentaux (courbes rouge). La mobilité des trous est de 91cm²/V.s pour l'échantillon de référence, et de 53cm²/V.s pour l'échantillon VLS.

Cette différence peut s'expliquer par la qualité cristalline du silicium, plus précisément par la présence de macles et de l'orientation cristalline. Pour l'échantillon de référence, le silicium est orienté (100), la cristallinité est de très bonne qualité (Fig.IV-16), contrairement aux lames VLS où l'orientation n'est pas contrôlée et la présence de macles est importante. Par conséquent, les valeurs mesurées sont en accord avec les caractérisations structurales des nanolames.

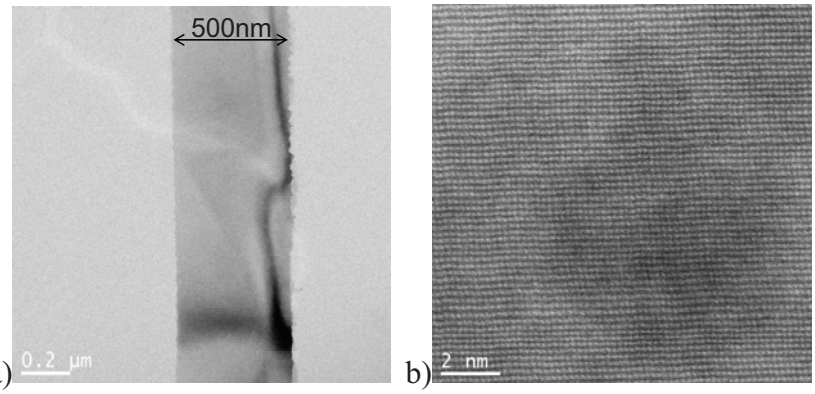


Figure IV - 16 : Image MET vue de dessus d'une lame gravée dans un substrat SOI.
a) Image en champ clair. b) Image en champ sombre à haute résolution.

2.4.4 Comparaison avec l'état de l'art

Après avoir caractérisé électriquement les nanolames, nos résultats sont comparés à ceux existant dans la littérature. Tout d'abord, nous présenterons brièvement les mobilités des composants fabriqués à partir de nanofils en silicium synthétisés par VLS, puis les performances en mobilité des transistors à film mince (TFT) seront détaillés.

2.4.4.1 La mobilité des transistors à base de nanofils

Une grande variété de transistors ont été fabriquée à partir de nanofils de silicium : des transistors verticaux à grille enrobante, des transistor horizontaux à grille à grille face arrière ou au dessus. Les valeurs de mobilité extraites de ces dispositifs sont très dispersées, elles sont répertoriées dans le tableau de la Fig.IV-17.

Notons que l'exercice d'extraction de la mobilité sur des nanofils individuels est difficile car le niveau de courant est faible et les résistances de contacts non négligeables.

Type de nanofils	Type de transistor	μ trous (cm²/V.s)	μ électrons (cm²/V.s)	Ref
Nanofil Si (VLS)	Transistor à grille face arrière	30-560 230-1350		[11]
Nanofil Si (VLS)	Transistor à grille face arrière + Mesures 4ppointes		95-260	[27]
Nanofil hétérosutre Si/Ge/Si (VLS)	Transistor horizontal à grille supérieur en Au	730		[28]

Nanofil Si (VLS)	Transistor vertical à grille enrobante	52		4
Nanofil Si par croissance catalytique laser dopé B	Transistor horizontal	3,17		29
Nanofil Si (VLS)	Transistor à grille face arrière	20-41	346-84	30
Nanofils Si par évaporation sans catalyseur + recuit	Transistor horizontal	510	310 - 770	31
Nanofils Si suspendu (VLS)	Transistor horizontal	121		32

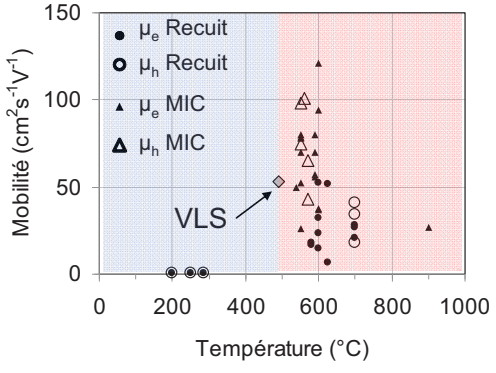
Figure IV - 17 : Tableau présentant les valeurs de mobilité pour différent transistors à base de nanofils.

2.4.4.2 Les différents procédés de recristallisation et la mobilité

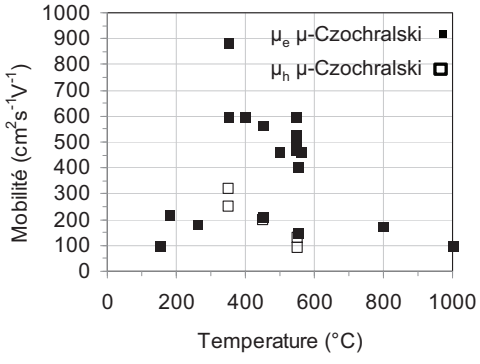
Suivant le procédé de recristallisation utilisé, la qualité cristalline de la couche mince en silicium varie grandement. Le tableau (a) de la Fig.IV-18 donne les ordres de grandeurs de la mobilité des transistors sur film mince pour les trois techniques de recristallisation les plus utilisées. De plus, ce tableau montre l'influence du procédé de recristallisation, sur la mobilité du composant. Les mobilités les plus faibles sont obtenues pour la cristallisation en phase solide. Ceci est dû à la petite taille des grains du polysillicium et à un nombre de joints de grains important faisant chuter la mobilité. Le graphique (b) de la Fig.IV-18 met en évidence la mobilité des trous obtenue par croissance VLS par rapport aux deux autres procédés de recristallisation (recuit et MIC). La mobilité que nous avons obtenue se situe dans la moyenne, alors que la température utilisée pour la synthèse du silicium est plus basse (500°C). Sur le deuxième graphique (Fig.IV-18-c), la mobilité des porteurs du silicium cristallisé par le procédé « µ-Czochralski » est présentée en fonction de la température maximale utilisée lors de l'intégration des composants. Notons que la technique « µ-Czochralski » produit des grains monocristallins localisés de plusieurs microns de diamètre, par conséquent elle donne des valeurs de mobilité plus élevées que les deux autres procédés (recuit et MIC).

Recristallisations :	μ_{trous} (cm²/V.s)	$\mu_{électrons}$ (cm²/V.s)	**Références :**
Recuit à T<700°C	0,5 - 30	20-50	33 34 35 36 37
Induit par un métal	75 - 100	15 - 120	38 39 40 41 42 43 44 45 46
µ-Czochralski	100 - 320	100 - 900	47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62

a)



b)



c)

Figure IV - 18 : a)Tableau indiquant la mobilité des TFT pour les trois techniques de recristallisation. b) Graphique représentant la mobilité en fonction de la température de recristallisation du silicium. c) Graphique montrant la mobilité en fonction de la température utilisée lors de l'intégration du transistor, uniquement pour le procédé µ-Czochralski.

2.4.4.3 *Influence de la taille des grains sur la mobilité*

Le graphique ci-dessous (Fig.IV-16) met en évidence l'amélioration de la mobilité quand la taille des grains augmente de 100nm à 800nm. Lorsque la taille des grains dépasse 1µm, l'influence sur la mobilité est moins flagrante.
La Fig.IV-19 met également en évidence que la valeur maximale de la mobilité des électrons est de 370cm²/V.s. Cette valeur est en accord avec le papier de Chang[22] pour une surface (100).

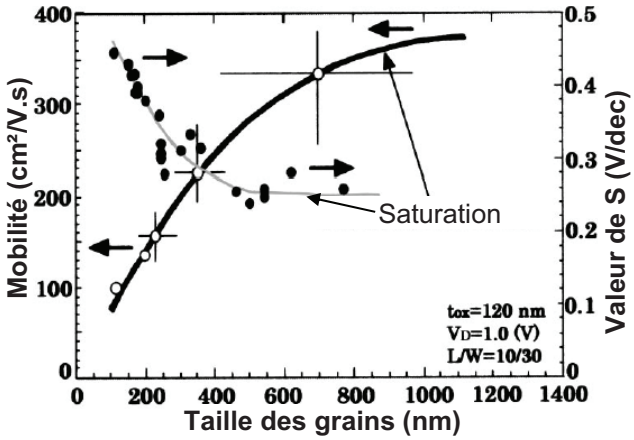


Figure IV - 19 : Graphique représentant la mobilité des électrons en fonction de la taille des grains[60]

L'augmentation de la taille des grains améliore de façon significative la mobilité des porteurs dans le silicium. La présence de joints de grains agit sur les performances des dispositifs s'ils sont situés dans le canal de conduction. Donc, la taille des grains mais aussi leur localisation sont essentiels pour le bon fonctionnement des transistors[61].

2.4.4.4 *Influence des macles sur les mesures électriques*

Ishihara et ses collaborateurs ont étudiés les propriétés électriques des joints de macles[62]. La synthèse du silicium a été effectuée par le procédé µ-Czochralski (cf. Chapitre I, § 2.2.2.2). Cette méthode leur a permis de contrôler la position de grains en silicium monocristallin de tailles importantes. Des analyses EBSD ont permis d'identifier et de localiser les défauts présents dans les grains monocristallins : des joints de macles (cf. Chapitre I, § 4.1.2.4) Σ3, Σ9 et Σ27.

Des TFTs ont été fabriqués à l'intérieur des grains. Afin d'étudier l'effet des joints de macles ("coincidence site lattice"), ils ont fait varier la position du canal dans le grain suivant la direction des joints de macles (Fig.IV-17). Les résultats électriques sont nettement améliorés lorsque le canal est décalé par rapport au centre, ceci est du à la densité de pièges présents dans le centre. De plus, le tableau (Fig.IV-18) met en évidence que lorsque le joint de macle est perpendiculaire à la circulation des porteurs, la mobilité est réduite de 10% de la valeur moyenne.

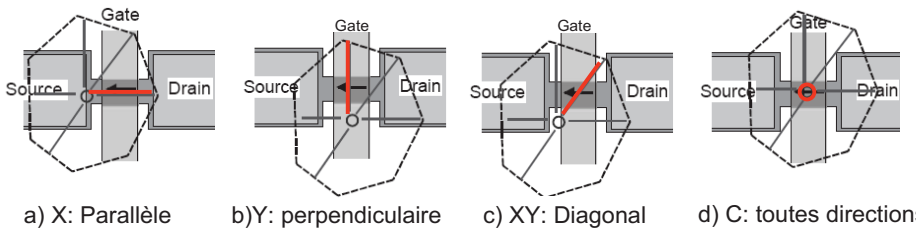
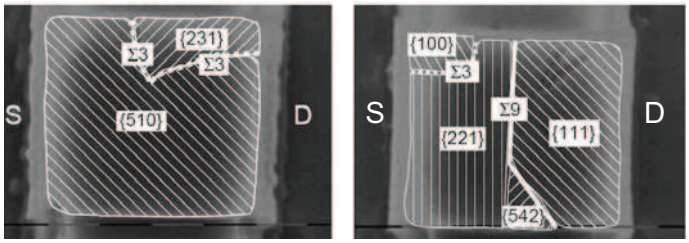


Figure IV - 20 : Représentation schématique de la position du canal du transistor par rapport à l'orientation des joints de macles[62].

Channel position	Mobility μ_{fe} (cm^2/Vs)	Subthreshold slope SS (V/dec)	Ioff-current (1E-13 A)	Vth (V)
X	597±121 (17%)	0.21±0.028 (13%)	1.3±0.53 (40%)	1.67±0.18 (11%)
Y	528±67 (10%)	0.25±0.035 (14%)	1.65±0.77 (47%)	1.77±0.26 (15%)
XY	505±66 (11%)	0.22±0.014 (6%)	1.43±0.095 (67%)	1.9±0.11 (6%)
C	471±38 (7%)	1.13±0.13 (12%)	16,800±16,900 (102%)	0.86±0.27 (32%)

Figure IV - 21 : Tableau récapitulant les caractéristique électriques pour chaque position représentée dans la figure précédente[62].

Ishihara et ses coauteurs ont également comparé deux TFT, présentés ci-dessous (Fig.IV-19), la mobilité du deuxième composant a été réduite à 360cm²/Vs. Ils suggèrent alors que le joint de macle Σ9 est électriquement actif et agit sur le flux des porteurs en réduisant leur mobilité de 10%.



a) μ_{FEe} = 580cm²/Vs b) μ_{FEe} = 320cm²/Vs

Figure IV - 22 : Représentation de l'orientation cristalline d'un grain en silicium monocristallin dans le canal d'un TFT[62].

2.4.4.5 Conclusion

Les résultats obtenus sur les dispositifs à base de nanolame synthétisée par croissance VLS sont comparés aux performances obtenues sur des transistors sur film mince (TFT). Tout d'abord la mobilité des trous que nous avons démontrée, est comparable à celle obtenue typiquement avec un procédé MILC (Fig.IV-23). En revanche, le courant de fuite est plus élevé que pour les autres composants. Ceci est certainement dû à la contamination métallique en surface et à l'intérieur de la lame en silicium qui peut écranter le cham électrique de grille.

Cependant, il convient de dire que nos mesures électriques résultent d'un premier essai d'intégration. Ils ne permettent pas encore de rivaliser avec les performances atteintes avec le procédé µ-Czochralski. Des études matériaux sur la croissance VLS des nanolames, et une optimisation du procédé d'intégration de transistors devraient permettre d'améliorer la mobilité et de réduire le courant de fuite.

Recristallisations :	**μ_{trous} (cm²/V.s)**	**I_{off} (A/µm)**
Recuit à T<700°C	0,1-30	10^{-9}
Induit par un métal	75-100	10^{-9}-10^{-12}
µ-Czochralski	100-200	10^{-13}-10^{-14}
Croissance VLS	***53***	***10^{-4}***

Figure IV - 23 : Tableau représentant l'ordre de grandeur de la mobilité et du courant de fuite des transistors TFTs en fonction des techniques de cristallisation

Les résultats électriques du pseudo-MOS nous ont permis de vérifier la fonctionnalité de la couche de silicium synthétisée par VLS. Une intégration complète du transistor sera présentée dans la partie suivante.

3 Intégration d'un transistor MOS sur lame Si compatible avec un CMOS 3D

Un procédé d'intégration de transistor MOS a commencé à être développé sur des échantillons de références (SOI). Une description détaillée de chaque étape de fabrication est présentée ci-dessous.

3.1 Choix du procédé : contacts auto-alignés

Un transistor à faible budget thermique a commencé à être développé sur des échantillons de référence (lames Si gravées dans un substrat SOI). Les schémas de la Fig.IV-24 représentent schématiquement la structure du transistor intégré à partir d'une lame de silicium en vue de dessus et en vue de coupe. Pour la fabrication du transistor, il faut tout d'abord recouvrir la lame d'un diélectrique de grille, puis définir la grille au milieu de la lame suivie de la formation des espaceurs. Enfin, les contacts sont formés de chaque côté de la grille, ainsi que les plots de contacts en aluminium nécessaire pour positionner les pointes de mesure.

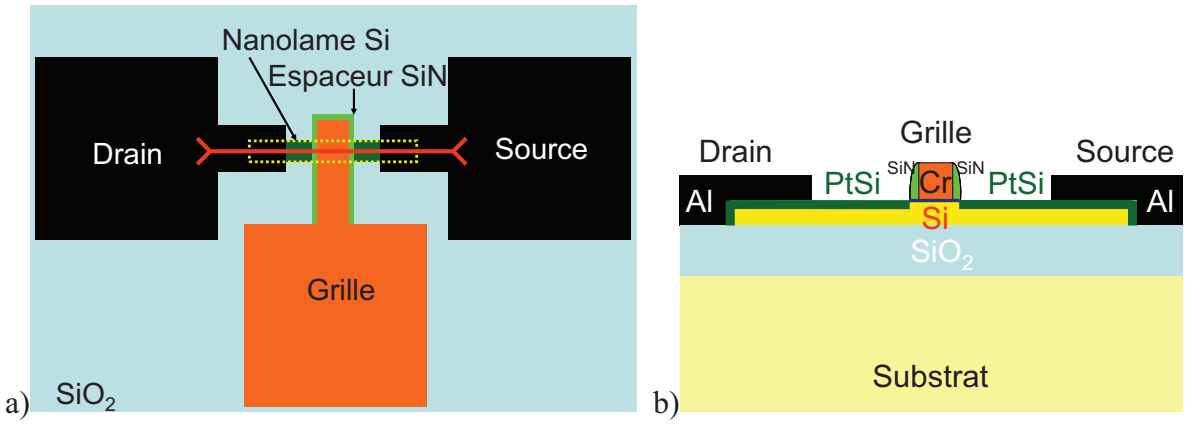


Figure IV - 24: Schémas d'un transistor top-gate intégré sur une lame en Si.
a) En vue de dessus. b) En vue de coupe au niveau de la ligne rouge représentée sur le schéma (a).

3.2 Choix des matériaux compatible avec le BEOL

Chaque étape du procédé utilise une température inférieure à 500°C, à l'exception du diélectrique de grille car l'équipement le permettant était en cours d'installation.

Oxyde de grille :

Pour la formation du diélectrique de grille, un oxyde thermique SiO_2 a été synthétisé par LPCVD à plus de 700°C, suivant le procédé développé par G. Larrieu[63]. Dans le cas d'une intégration 3D séquentielle, l'oxyde thermique ne peut être utilisé, à cause de la température trop élevée. Les autres matériaux possibles sont des matériaux high Ķ comme Al_2O_3, HfO_2, qui sont déposés par ALD (Atomic Layer Deposition), cependant cet équipement n'est pas disponible dans notre laboratoire.

Grille métallique :

Le matériau de grille le plus couramment utilisé est le polysilcium déposé par LPCVD à une température proche de 600°C. Le deuxième inconvénient du polysilicium est la gravure

parfaitement anisotrope. Par conséquent, une grille métallique en chrome (Cr) a été sélectionnée car le chrome peut être déposé par évaporation (PVD) à température ambiante. De plus, la définition des motifs avec des profils abrupts peut s'effectuer par lift-off.

L'isolation de la grille est assurée par des espaceurs en nitrure. Le nitrure de silicium est déposé par PECVD, puis densifié avec un recuit rapide à 700°C pendant 1minutes, enfin la forme des espaceurs est définie par gravure sèche anisotrope (RIE) à base de SF_6.

Contacts Schottky

Si les contacts sont définis par implantation ionique, un recuit à haute température est nécessaire pour l'activation des dopants. Afin d'éviter un budget thermique de plus de 1000°C, du siliciure de platine a été utilisé pour la formation des contacts.

3.3 Descriptif des étapes d'intégration

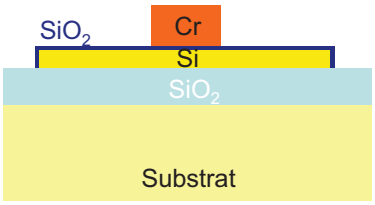
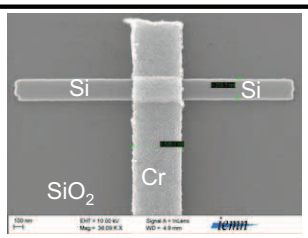
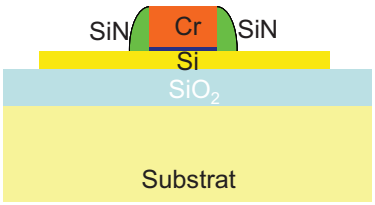
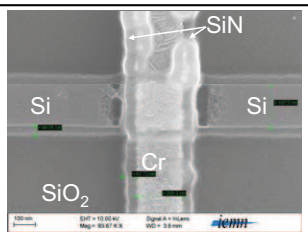
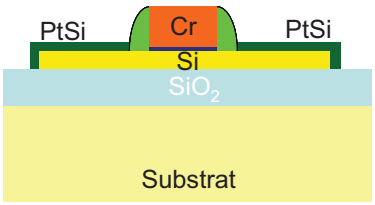
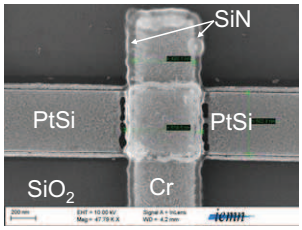
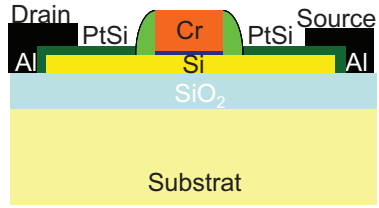
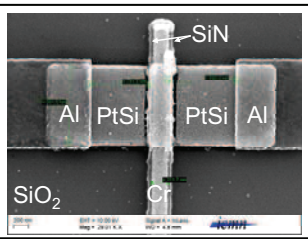
a) 		Lame de Si recouverte de 3nm de SiO_{2th} et d'une électrode de grille en Cr définit par lithographie électronique, évaporation et lift-off.
b) 		Les espaceurs de Si_xN_y formés de chaque côté de la grille en Cr, par dépôt PECVD suivi d'une gravure RIE.
c) 		Contacts Schottky en PtSi formés de part et d'autre de la grille en déposant du Pt puis en appliquant un recuit à 400°C.
d) 		Plots de contacts en Al définis par lithographie électronique, évaporation et lift-off.

Figure IV - 25 : Schémas accompagnée d'images MEB de chaque étape de fabrication du transistor MOS d'un échantillon de référence (lames Si gravée dans un substrat SOI):
a) Formation de l'oxyde de grille et de la grille métallique en Cr. b) Définition des espaceurs en nitrure. c) Siliciuration de la lame en Si. d) Formation des plots de contact en Al.

Les caractéristiques électriques n'ont pas encore été mesurées à cause des problèmes survenus au cours de la fabrication. Lors de la gravure RIE du nitrure du silicium pour la formation des espaceurs, la lame de silicium a été partiellement gravée. Cette gravure non souhaitée du silicium est observée sur les images MEB de la Fig.IV-25. Ce problème a été causée par l'utilisation d'une puissance de gravure trop élevée (50Watt au lieu de 20Watt) favorisant la gravure anisotrope mais diminue la sélectivité de gravure vis à vis de la couche d'arrêt en oxyde. Chaque étape du protocole expérimentale est présentée en Annexe 6.
Ce procédé n'a pas été appliqué sur des échantillons VLS, car la croissance d'un oxyde thermique dans un four LPCVD est interdite si l'échantillon contient des résidus d'or, à cause du risque de contamination du four.

Conclusion du chapitre IV

Ce chapitre a présenté la compatibilité de la croissance VLS confinée avec la fabrication de transistors. Après avoir présenté le contexte et les contraintes liées à l'intégration 3D séquentielle concernant le budget thermique, des transistors MOS à grille à face arrière ont été intégrés sur des lames de silicium. La méthode « pseudo-MOS » nous a permis de déterminer les paramètres élémentaires du transport de ces lames sans développer toutes les étapes nécessaires pour la fabrication d'un transistor (en particulier le diélectrique de grille, la grille et les espaceurs). Comme nos lames de Si (obtenues par VLS) ont des dimensions limitées (<3µm), un procédé utilisant la structuration de contacts métalliques a été développée pour pouvoir positionner correctement les deux pointes de mesure et réduire les résistances de contact. Pour cela, le siliciure de platine a été choisi car il présente une faible barrière Schottky aux trous. Notons que toutes les étapes du procédé de formation des contacts source-drain ont été réalisées en respectant le budget thermique imposé (T < 500°C).
Les mesures électriques nous ont permis de déterminer la mobilité (µ) bas champ des trous. Une étude comparative a également été effectuée entre les lames formées par VLS confinée et des lames de références gravées dans un substrat SOI (Smart-Cut). La mobilité des trous est de 91cm²/V.s pour l'échantillon de référence, et de 53cm²/V.s pour l'échantillon VLS. Cette différence peut s'expliquer par la qualité cristalline du silicium. Enfin, l'intégration d'un transistor MOS complet, tenant compte des contraintes technologiques du back-end, est proposée.

REFERENCES

[1] **H.J. Fan, P. Werner & M. Zacharias**
« Semiconductor nanowires : From self-organization to patterned growth », Small 6, 700-717 , 2006.

[2] **T. Bryllert, L.-E. Wernersson, T. Löwgren, L. Samuelson**
« Vertical wrap-gated nanowire transistors », Nanotechnology, Vol.17, S227-S230, 2006.

[3] **M.T. Björk, O. Hayden, H. Schmid, H. Riel, W. Riel, W. Riess**
« Vertical surround-gated silicon nanowire impact ionization field-effect transistors », APL, Vol.90, p.142110, 2007.

[4] **J. Goldberger, A.I. Hochbaum, R. Fan, P. Yang**
« Silicon vertically integrated nanowire field effect transistors », Nano Letters, Vol.6, p.973-977, 2006.

[5] **V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess & U. Gösele**
« Realization of a silicon nanowire vertical surrounding gate Field-Effect-Transistor », Small 2, 85-88, 2006.

[6] **Y. Li, F. Qian, J. Xang & C.M. Lieber**
« Nanowire electronic and optoelectronic devices », Materialstoday 9, 10, 2006.

[7] **Z.M. Nuseibeh & A.M. Halawani**
« Review paper Electronic components using SiNWs **»**, Electrical & Electronical Engeneering Department (EEE), Imperial College London, 2006.

[8] **C.M. Lieber & Z.L. Wang**
« Functional nanowires », *MRS Buletin 32, 2007.*

[9] **Y. Huang & C.M. Lieber**
« Integrated nanoscale electronics and optoelectronics: Exploring nanoscale science and technology through semiconductor nanowires **»**, Pure Appl. Chem. 76, 2051-2068, 2004.

[10] **W. Lu & C.M. Lieber**
« TOPICAL REVIEW: Semiconductor nanowires. », J. Phys. D: Appl. Phys. 39 R387-R406, 2006.

[11] **Y. Cui, Z. Zhong, D. Wang, W.U. Wang & C.M. Lieber**
« High performance silicon nanowire field effect transistors », Nanoletters 3, 149-152, 2003.

[12] **Y. Wang, K.-K. Lew, T.-T. Ho, L. Pan, S.W. Novak, E.C. Dickey, J.M. Redwing, T.S. Mayer**
« Use of phosphine as an n-type dopant source for VLS growth of silicon nanowires », Nano Letters, Vol.5, p. 2139-2143, 2005.

[13] **T. Ho, Y. Wang, S. Eichfeld, K.-K. Lew, B. Liu, S.E. Mohney, J.M. Redwing, T.S. Mayer**
« In situ axially doped n-channel silicon nanowire effect transistors », Nano Letters, Vol.8, p. 4353-4364, 2008.

[14] **W. Lu, J. Xiang, B.P. Timko, Y. Wu & C.M. Lieber**
« One dimensional hole gas in Ge/Si nanowire heterostructures », PNAS 102, 10046-10051, 2005.

[15] **Y. Shan, S. Ashok & S. J. Fonash**
« Unipolar accumulation-type transistor configuration implemented using Si nanowires », APL, Vol.91, 093518, 2007.

[16] **C. Lavoie, F.M. d'Heurle, C. Detavernier, C. Cabral Jr.**
« Toward implementation of a nickel silicide process for CMOS technologies », Microelectronics Engineering, Vol. 70, p. 144-157, 2003.

[17] **H. Iwai, T. Ohguri, S. Ohmi**
« NiSi salicide technology for scsaled CMOS », Microelectronic Engineering, Vol.60, p. 157-169, 2002.

[18] **S. Cristoloveanu, S. Williams**
« Point-contact pseudo-MOSFET for in-situ characterization of As-grown silicon-on-insulator wafers », IEEE EDL, Vol.13, No.2, 1992.

[19] **S. Cristoloveanu, M.S.T. Liu**
« A review of the pseudo-MOS transistor in SOI wafers : operation, parameter extraction, and applications », IEEE TED, Vol.47, No.5, 2000.

[20] **E. Bernard**
Thèse : « 3D multi-channel CMOSFET (MCFET) fabrication and electrical properties », INSA, 2009.

[22] **L. Chang, M. Ieong**
« CMOS circuit performance enhancement by surface orientation optimization », IEEE TED, Vol.51, N°10, 2004.

[23] **G. Larrieu, E. Dubois, X. Wallart, X. Baie, J. Katcky**
« Formation of platinum-based silicide contacts : kinetics, stoichiometry, and current drive capabilities », JAP, 94 (12), 7801-7810, 2003.

[24] **G. Larrieu, E. Dubois**
« Schottky-barrier source/drain MOSFETs on ultrathin SOI body with a tungsten metallic midgap gate », IEEE Electron Device Letters, 25 (12), 801-803 2004.

[25] **G. Larrieu, E. Dubois**
« Integration of PtSi-based schottky-barrier p-MOSFETs with a midgap tungsten gate », IEEE Transaction on Electron Devices, Vol.52, No.12, 2005.

[26] **G. Bidal**
Thèse: « Intégration et caractérisation de nouveaux modules technologiques pour les applications CMOS à basse consommation », STMicroelectronics, Polytechnique Grenoble, 2009.

[27] **G. Zheng, W. Lu, S. Jin, C.M. Lieber**
« Synthesis and fabrication of high-performance n-type silicon nanowire transistors », Advanced Materials, Vol.16, No.21, 2004.

[28] **J. Xiang, W. Lu, Y. Hu, H. Yan, C.M. Lieber**
« Ge/Si nanowire heterostructures as high-performance field-effect transistors », Nature, Vol.441, no.25, 2006.

[29] **Y. Cui, X. Duan, J. Hu, C.M. Lieber**
« Doping and electrical transport in silicon nanowires », The journal of physical chemistry B, Vol.104, No.22, 5213-5216, 2000.

[30] **G.M. Cohen, M.J. Rooks, J.O. Chu, S.E. Laux, P.M. Solomon, J.A. Ott, R.J. Miller, W. Haensch**
« Nanowire MOSFET with doped epitaxial contacts for source and drain », Applied Physics Letters, Vol.90, p.233110, 2007.

[31] **K. Byon, D. Than, J.E. Fisher, A.T. Johnson**
« Systematic study of contact annealing: Ambipolar silicon nanowire transistor with improved performance », Applied Physics Letters, Vol.90, 143513, 2007.

[32] **K. Seo, S. Sharma, A.A. Yasseri, D.R. Stewart, T.I. Kamins**
« Surface charge density of unpassivated and passivated metal-catalyzed SiNWs », Electrochimical and Solid-State Letters, Vol.9, No.3, G69-G72, 2006.

[33] **B. Hekmatshoar, K.H. Cherenack, A.Z. Kattamis, K. Long, S. Wagner, and J.C. Sturm**
« Highly stable amorphous-silicon thin-film transistors on clear plastic », APL, Vol.93, 032103, 2008.

[34] **V. Subramanian, P. Dankoski, L. Degertekin, B.T. Khuri-Yakub, and K.C. Saraswat**

« Controlled two-step solid-phase crystallization for high performance polysilicon TFT's », IEE EDL, Vol.18, No.8, 1997.

[35] **J.T. Sheu, P.C. Huang, T.S Sheu, C.C. Chen, L.A. Chen**
« Characteristics of GAA twin poly-Si NW TFT », IEE EDL, Vol.30, No.2, 2009.

[36] **N. Yamauchi, J.J. Hajjar, R. Reif**
« Drastically improved performance in poly-Si TFT with channel dimensions comparable to grain size », IEEE EDL, 354, 1989.

[37] **T.M. Pan, C.L. Chan, T.W. Wu**
« High-Performance Poly-Silicon TFTs Using a High-*k* PrTiO3 Gate Dielectric », IEEE, EDL, Vol.30, No.1, p.39-41, 2009.

[38] **J. H. Oh, D. H. Kang, W. H. Park, J. Jang, Y. J. Chang, J. B. Choi, and C. W. Kim**
« A center-offset polycrystalline-Si TFT with n+ amorphous Si contacts », IEEE-EDL, Vol.3, No.1, 2009.

[39] **D. Zhang, H.S. Kwok**
« A reduced mask-count technology for complementary polycrystallne silicon TFT with self-aligned metal electrodes », IEEE, EDL, Vol.30, No.1, 2009.

[40] **C.P. Chang, Y.C.S. Wu**
« Improved Electrical Performance and Uniformity of MILC Poly-Si TFTs Manufactured Using Drive-In Nickel-Induced Lateral Crystallization », IEEE, EDL, Vol.30, No.11, p.39-41, 2009.

[41] **S.-W. Lee and S.-K. Joo**
« Low temperature poly-Si thin film transistor fabrication by metal induced lateral crystallization », IEEE, EDL, Vol.17, No.4, p.160-162, 1996.

[42] **Z. Meng, M. Wang, and M. Wong**
« High performance low temperature metal-induced unilaterally crystallized polycrystalline silicon thin film transistors for system-on-panel applications », IEEE, TED, Vol.47, No.2, p.404-409, 2000.

[43] **J.C. Kim, J.H. Choi, S.S. Kim, J. Jang**
« Stable polycrystalline silicon TFT with MICC », IEEE, EDL, Vol.25, No.4, p.182-184, 2004.

[44] **N.K. Song, Y.S. Kim, M.S. Kim, S.H. Han, and S.K. Joo**
« A fabrication method for reduction of silicide contamination in polycrystallinesilicon thin-film transistors », Electrochem. Solid-State Lett., vol. 10, no. 5, pp. H142–H144, 2007.

[45] **C. M. Hu, Y. S. Wu, and C. C. Lin**
« Improving the electrical properties of NILC poly-Si films using a gettering substrate », IEEE, EDL, Vol.28, No.11, p.1000-1003, 2007.

[46] **C. P. Chang and Y. S. Wu**
« Improved electrical characteristics and reliability of MILC poly-Si TFTs using fluorine-ion implantation », IEEE, EDL, Vol.28, No.11, p.990-992, 2007.

[47] **S.M. Han, M.C. Lee, M.Y. Shin, J.H. Park, M.K. Han**
« Poly-Si TFT fabricated at 150°C using ICP-CVD and excimer laser annealing », Proceeding IEEE, Vol.93, No.7, 2005.

[48] **I. Brunets, J. Holleman, A.Y. Kovalgin, A. Boogaard, J. Schmitz**
« Low-Temperature Fabricated TFTs on Polysilicon Stripes », IEEE, TED, Vol.56, No.8, p.1637-1644, 2009.

[49] **A. Baiano, M. Danesh, N. Saputra, R. Ishihara, J. Long, W. Metselaar, C.I.M. Beenakker, N Karaki, Y. Hiroshima, S. Inoue**
« Single-grain Si thin-film transistors SPICE model, analog and RF circuit applications », Solid-State Electronics, Vol.52, p. 1345-1352, 2008.

[50] **V. Rana, R. Ishihara, Y. Hiroshima, D. Abe, S. Inoue, T. Shimoda, W. Metselaar, K. Beenakker**
« Dependence of single-crystalline Si TFT characteristics on the channel position inside a localisation-controlled grain », IEEE TED, Vol.52, 2005.

[51] **T. Sameshima, S. Usui, M. Sekiya**
« XeCl excimer laser annealing used in the fabrication of poly-Si TFT's », IEEE EDL, Vol.7, 1986

[52] **M.A. Crowder, P.G. Carey, P.M. Smith, R.S. Sposili, H.S. Cho, J.S. Im**
« Low-temperature single-crystal Si TFT's fabricatied on Si films processed via sequential laterak solidification », IEEE EDL, Vol.19, 1998.

[53] **A. Hara, F. Takeuchi, M. Takei, K. Suga, K. Yoshino, M. Chida, Y. Sano, and N. Sasaki,**
« High-performance polycrystalline silicon thin film transistors on non alkali glass produced using continuous wave laser crystallization », Jpn. J. Appl. Phys, Vol. 41, 2002.

[54] **R. Ishihara and M. Matsumura**
« Excimer-laser-produced single-crystal silicon thin film transistors », Jpn. J. Appl. Phys, Vol. 36, 1997

[55] **R. Ishihara, P. C. van der Wilt, B. D. van Dijk, A. Burtsev, F. C. Voogt, G. J. Bertens, J. W. Metselaar, and C. I. M. Beenakker, T. V. Edward and F. Kelley**
« Advanced excimer laser crystallization techniques of Si thin-film for location-control of large grain on glass», Flat Panel Display Technology and Display Metrology II, vol. 4295, pp. 2001

[56] **R. Ishihara, P. C. van der Wilt, B. D. van Dijk, A. Burtsev, F. C. Voogt, G. J. Bertens, J. W. Metselaar, and C. I. M. Beenakker, T. V. Edward and F. Kelley**
« Advanced excimer laser crystallization techniques of Si thin-film for location-control of large grain on glass», Flat Panel Display Technology and Display Metrology II, vol. 4295, pp. 2001

[57] A. **Baiano, R. Ishihara, J. van der Cingel, K. Beenakker**
« Strained Single-Grain Silicon n- and p-channel TFT by Excimer Laser », EDL, Vol. 31, 2010.

[58] **M.A. Crowder, A.T. Voutsas, S.R. Droes, M. Moriguchi, Y. Mitani**
« Sequential Lateral Solidification Processing for polycrystalline Si TFTs », EDL, Vol.51, 2004.

[59] **T. Sato, K. Yamamoto, J. Kambara, K. Kitahara, A. Hara**
« Fabrication of Large Lateral Polycrystalline Silicon Film by Laser Dehydrogenation and laterak crystallization of hydrogenated nanocrystalline silicon films », Jpn. J. Appl., Vol.48, 2009.

[60] **A. Hara, F. Takeuchi, N. Sasaki**
« Mobility enhancement limit of excimer-laser-crystallized », JAP, Vol.91, p.708-714, 2002.

[61] S**. Uchikoga & N. Ibaraki**
« Low temperature poly Si TFT-LCD by excimer laser anneal », Thin Solid Films, Vol. 383, 2001 .

[62] **R. Ishihara, T.M. He, V. Rana, Y. Hiroshima, S. Inoue, T. Shimoda, J.W. Metselaar, C.I.M. Beenakker**
« Electrical property of coincidence site lattice grain boundary in location-controlled Si island by excimer-laser crystallisation », Thin Solid Film, Vol. 487, p. 97-101, 2005.

[63] **G. Larrieu**
Thèse : « Elaboration et caractérisation de transistors MOS schottky en régime nanométrique », IEMN, 2004.

Conclusion générale

Ce manuscrit de thèse a contribué au développement d'un nouveau procédé de fabrication de lames de silicium monocristallin par croissance VLS à des fins d'intégration tridimensionnelle de technologie CMOS.

En premier lieu, l'intérêt de l'intégration en trois dimensions a été démontré pour pallier les effets néfastes liés à la miniaturisation. En effet, l'empilement séquentiel permet d'augmenter la densité d'intégration sans réduire les dimensions caractéristiques des transistors, de diminuer le délai des interconnexions, et de réaliser une intégration hétérogène. Cependant, la difficulté majeure de ce type d'intégration est la réalisation des transistors de niveaux supérieurs à faible budget thermique, afin de préserver les transistors inférieurs. Ainsi, la zone active, constituée de silicium monocristallin, doit être synthétisée sur une couche diélectrique sans reprise épitaxiale, tenant compte des contraintes technologiques du back-end. Parmi les nombreuses méthodes de fabrication de couches minces de silicium cristallin, ce travail a choisi de s'intéresser à la croissance CVD catalytique qui est reconnue pour la synthèse de nanofils de silicium monocristallin en utilisant une température comprise entre 400°C et 500°C.

Une étude approfondie de la croissance VLS a tout d'abord été effectuée sur un substrat plan amorphe. L'or et le platine ont été sélectionnés pour catalyser la croissance VLS. La définition de ces motifs métalliques par lift-off nous a permis de contrôler la croissance en terme de positionnement et de diamètre. Ensuite, l'influence des différents paramètres (température, pression, débit, temps) de la croissance a été analysée afin d'optimiser la synthèse de fils cristallins. Ainsi, un nanofil de silicium rectiligne a été obtenu pour chaque barreau catalytique en or. La nature cristalline et la présence des macles dans les nanofils ont été analysées par microscopie électronique à transmission. Toutefois, l'orientation de ces nanofils reste aléatoire sachant que le substrat est amorphe, et la présence de résidus d'or est importante sur les parois des fils. Dans ces conditions, la croissance VLS n'est pas appropriée à l'intégration de transistors. Afin de pallier ce problème, nous proposons une approche de croissance guidée et confinée à l'intérieur de cavités.

Un procédé de fabrication de cavités a été mis en place afin de contrôler l'orientation et les dimensions du silicium cristallin synthétisé par VLS. Les cavités contiennent un barreau catalytique et leurs dimensions sont contrôlées par une approche top-down classique en utilisant des motifs sacrificiels en germanium. Ainsi, les dimensions du catalyseur et de la cavité sont indépendantes. Après optimisation du procédé, la croissance VLS a pris place avec succès à l'intérieur de toutes les cavités. Toutefois, des dimensions précises des cavités doivent être respectées : pour une hauteur de 50nm, la largeur doit être inférieure à 500nm, sinon le silicium ne remplit pas tout le volume de la cavité. En prenant en compte cette dernière condition, la position et les dimensions du silicium cristallin sont contrôlées avec précision. Des caractérisations structurales ont mis en évidence, la haute qualité du silicium monocristallin ainsi obtenu, mais également l'impossibilité de contrôler l'orientation cristalline et la diffusion de l'or.

La croissance VLS confinée de rubans de silicium monocristallin de position et dimension bien définies est appropriée à l'intégration de transistors MOS. Les propriétés électriques des lames de silicium ont été analysées en intégrant un transistor MOS à grille face

arrière avec une température inférieure à 500°C compatible avec le back-end. Les paramètres élémentaires du transport de charges ont été déterminés à partir de la fonction Y, et comparés avec l'état de l'art des composants TFT. La mobilité d'une lame synthétisée par VLS est de 53cm²/V.s, ce qui correspond à 58% de la mobilité d'une lame de silicium gravée dans un substrat SOI (Smart-Cut).

Les deux objectifs de départ, la synthèse de lames de silicium monocristallin sur substrat amorphe et l'intégration d'un transistor à faible budget thermique, peuvent être considérés comme ayant été atteints.

Perspectives

Ces travaux ont permis de démontrer pour la première fois que la croissance VLS confinée permet de former du silicium monocristallin localisé sur un substrat amorphe. Néanmoins, il reste de nombreuses expériences à entreprendre, pour consolider le potentiel de ce nouveau procédé.

- Des études plus quantitatives sont nécessaires afin d'obtenir une vision statistique de la reproductibilité. Un grand nombre de croissance sur un même échantillon permettrait de réaliser une évaluation du rendement en fonction des dimensions, et de déterminer la dépendance entre la vitesse de croissance et le volume des cavités. Des caractérisations structurales (par EBSD et TEM) d'un grand nombre de nanolames fourniraient une étude quantitative sur les diverses orientations cristallines possibles, l'orientation la plus abondante, et l'influence des dimensions des cavités sur la direction de croissance. Ensuite en intégrant ces lames, il serait donc possible d'établir un lien entre les caractéristiques électriques (mobilité, courant de fuite) et les analyses cristallographiques (orientation cristalline, présence de macles).

- La présence d'or est un inconvénient majeur à l'intégration de transistors en terme de contamination des équipements, et de dégradations des performances électriques. D'autres catalyseurs, comme l'aluminium et le cuivre, doivent être étudiés sur substrat amorphe plan puis à l'intérieur de cavités, en ajustant les paramètres de croissance afin d'obtenir du silicium cristallin. Comme ces deux métaux s'oxydent facilement à l'air (contrairement à l'or), une gravure sélective de leur oxyde devrait être mis en œuvre avant la croissance. De plus, le procédé de fabrication des cavités devra être compatible avec cette gravure.

- La croissance VLS confinée peut s'appliquer à d'autres semi-conducteurs (autre que le silicum) comme le germanium, en utilisant le même catalyseur (or) mais en modifiant le gaz précurseur (germane). D'autre part, des matériaux III-V peuvent également être synthétisés par croissance VLS. Le principal avantage de la croissance VLS de matériaux III-V vis-à-vis du silicium est la possibilité de n'utiliser aucun catalyseur métallique. Par exemple, dans le cas des nanofils InAs, InP, des gouttelettes d'indium jouent le rôle de catalyseur. Ainsi, des cavités contenant un barreau d'indium peuvent être utilisées pour guider la croissance de nanofils ou nanorubans d'InAs ou d'InP en utilisant un gaz précurseur métalorganique, pour des applications opto-électronique (photo-diode).

ANNEXES

ANNEXES 1

Autres techniques de localisation non conventionnelles

Une monocouche de sphères (silice ou polystyrène) a été utilisée comme masque pour localiser le dépôt d'Au. Les motifs métalliques obtenus sont triangulaires en réseau hexagonal correspondant aux espaces entre les sphères[1].

La gravure du substrat a permis également la localisation de particules d'or. Des cavités cylindriques et verticales ont été définies par lithographie et gravure sur un substrat Si (111). Un recuit à température élevée (1200°C 2min) déforme la surface. Trois monocouches d'or sont évaporées sur le substrat. Après un recuit à 560°C, des îlots d'Au se forment entre les trous, sur la surface convexe due à la longueur de diffusion de l'Au sur Si. Un positionnement très uniforme et une distribution des tailles des plots d'Au très étroite sont ainsi obtenus[2].

L'utilisation des colloïdes (nano-cristaux en suspension) permet de contrôler précisément la taille, la dispersion, et la densité des nanoparticules. L'arrangement de colloïdes d'Au peut se faire en utilisant l'APTS (aminopropyl triméthoxysilane : molécule ayant une fonction amine). Les particules d'Au en suspension dans une solution de citrate sont chargées négativement, la force répulsive entre les particules d'Au favorise une distribution uniforme de particules d'Au. Si on fonctionnalise la surface avec une fonction amine (APTS : chargée positivement) on immobilise les particules d'Au. Des motifs en APTS peuvent être définis par lithographie. Les colloïdes d'Au se déposent préférentiellement sur les motifs en APTS. Cette technique de localisation est simple, et elle est compatible avec un substrat amorphe[3].

Une approche similaire a été mise en œuvre à l'IEMN : Un dépôt localisé de colloïdes d'Au a été effectué sur SiO_2/Si. Le dépôt d'APTS a été réalisé à travers un masque optique (Fig.1).

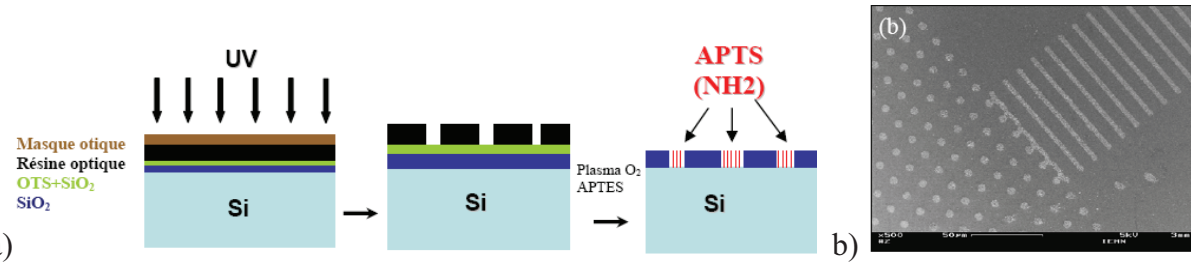


Figure 1 : a) Schémas illustrant le dépôt d'APTS à travers un masque optique.
b) Photo du masque optique et photo MEB de nano-particules d'Au déposées sur une surface de SiO_2 modifié par APTS à travers un masque optique. Erreur ! Signet non défini.

[1] **B.J.Y. Tan, C.H. Sow, T.S. Koh, K.C. Chin, A.T.S. Wee, C.K. Ong**
« Fabrication of size-tunable gold nanoparticles array with nanosphere lithography, RIE, and thermal annealing », J. Phys. Chem., Vol 109, 2005.

[2] **Y. Homma, P. Finnie, T. Ogino**
« Aligned island formation using step-band networks on Si(111) », App. Phys. 86, 1999.

[3] **T. Sato, D.G. Hasko & H. Ahmed**
« Nanoscale colloidal particles: Monolayer organization and patterning », J. Vac. Sci. Technol., Vol 15, 1997.

ANNEXES 2

Lithographie électronique : Les effets de proximité

Lorsque les électrons incidents entrent en interaction avec l'échantillon, ils diffusent dans la résine et l'insolent à des endroits non désirés. La diffusion des électrons dans la résine entraîne la déformation des motifs.

Il existe 3 sortes de diffusion électronique (Fig.2) :

Interaction électrons / atomes : les électrons incidents qui interagissent avec les atomes du substrat entraînent la déviation des électrons de leur trajectoire initial produisant des *électrons dispersés à faible angle de déviation*.

Rétrodiffusion : certains électrons entrent en collision quasi-élastique avec le réseau atomique de l'échantillon et sont donc déviés avec une perte d'énergie faible (angle de déviation important), ce sont des é*lectrons rétrodiffusés*.

Ionisation : la collision entre les électrons et le réseau atomique peut provoquer l'ionisation de certains atomes créant des *électrons secondaires*.

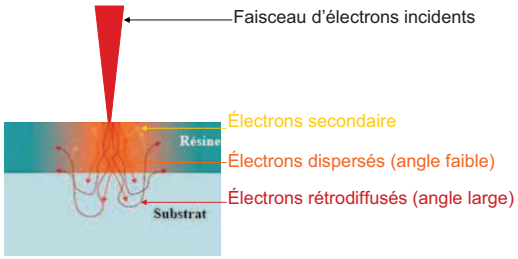


Figure 2 : Schémas illustrant les différents types de diffusion des électrons dans le substrat Erreur ! Signet non défini.

Une simulation à l'aide du code de simulation sceleton a été effectuée pour déterminer la distribution de l'énergie dans la résine. La résine utilisée est la PMMA de 200nm d'épaisseur. Les résultats de la simulation sont fournis à trois niveaux différents dans la résine : en haut, au milieu, et en bas (correspondant respectivement à 10nm, 100nm, et 190nm de la surface supérieure de la résine). La Fig.3, représente la densité des électrons en fonction de la distance radiale au point d'impact du faisceau d'électrons pour les trois positions dans la résine. La quantité d'électrons dispersés à faible angle de déviation est importante avec une portée latérale étroite inférieure à 10 nm, correspondant à la dispersion directe. Les électrons rétrodiffusés ont une portée latérale beaucoup plus importante allant jusqu'à une dizaine de µm, mais avec une dose un million de fois plus faible que les électrons directement dispersés.

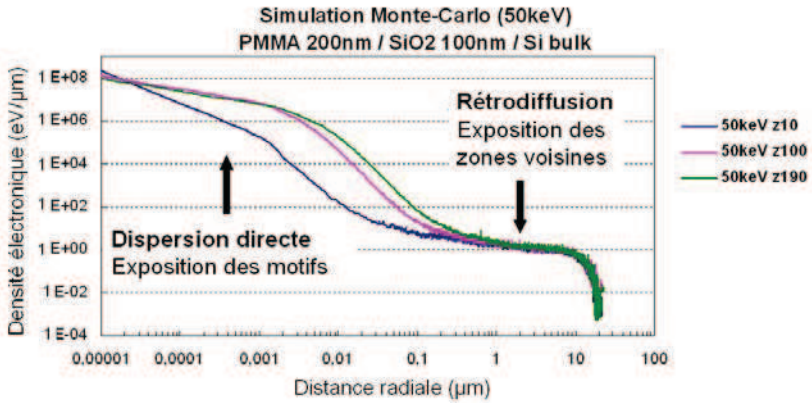


Figure 3: Simulation Monte-Carlo de la répartition en énergies des électrons en fonction de la distance radiale du point d'impact pour différentes profondeurs dans la résine positive PMMA.

Le masqueur électronique (LEICA EBPG 5000) utilisé pour l'écriture peut accélérer les électrons à deux énergies différentes, sont 50 keV et 100 keV. L'énergie d'implantation agit sur la distribution des électrons dans la résine. Plus l'énergie d'accélération des électrons est importante, plus ces électrons sont directifs (diffusion des électrons minimisée) entraînant une distribution étroite et profonde des électrons dans la résine, améliorant la résolution des motifs (cf Fig.4).

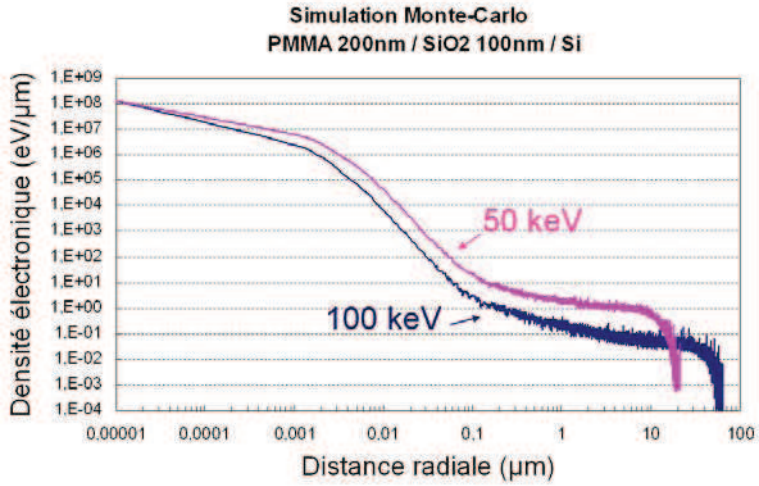


Figure 4: Simulation Monte-Carlo de la répartition en énergies des électrons en fonction de la distance radiale du point d'impact pour deux énergies d'implantation différentes.

Lorsque les motifs sont larges ou denses, la contribution des électrons rétrodiffusés n'est plus négligeable provoquant ainsi la déformation des motifs. Les zones non exposées à proximité des motifs reçoivent une dose électronique non négligeable, dépassant le seuil de révélation, et provoquant la déformation des motifs. Ces effets de proximités seraient pénalisant pour définir un réseau dense de motifs catalytiques pour la croissance VLS. Pour obtenir des motifs de dimensions désirées, il faut s'affranchir de ces effets de proximité. Une correction de la dose électronique a été appliquée au masque en découpant virtuellement les motifs en éléments de tailles appropriées, et en ajustant la dose d'électrons pour chaque élément en fonction des dispersions électronique et de leur recouvrement. Cette correction consiste à diminuer la dose d'électrons dans les zones fortement exposées aux électrons rétrodiffusés : c'est le cas pour les motifs de grandes dimensions et/ou très denses. En revanche, une quantité d'électrons plus importante sera implantée pour les motifs de petites tailles et très espacés.

Ces corrections de proximité sont réalisés en utilisant les logiciels suivants : « Sceleton », « Proxecco », et « Cats ». Le logiciel sceleton exécute des simulations de Monte-Carlo haute précision de la trajectoire des électrons dans un empilement de matériaux. Il fournit alors la distribution radiale de la densité électronique reçue par la résine à une énergie d'implantation donnée. Les logiciels Proxeco et Cats subdivisent le masque en régions qui dépendent de sa géométrie et calculent les coefficients de correction associés à chacune des régions.

ANNEXES 3

Les dépôts Au/Si

D'autres dépôts d'or ont été réalisés, afin de faciliter la formation de l'alliage Au_xSi_y. En effet, avant la phase de croissance, les atomes de silicium s'incorporent dans l'or jusqu'à atteindre la sursaturation de silicium dans l'or. A partir du diagramme de phase, nous avons déterminer la composition de l'alliage Au_xSi_y juste avant la croissance à 500°C : il y a approximativement 20% de silicium dans l'alliage. Nous avons donc choisi d'ajouter du silicium dans la couche d'or. De plus, comme notre objectif est d'utiliser des barreaux catalytiques de 50nm d'épaisseur, un dépôt de 40nm d'or avec 10nm de Si amorphe par évaporation sous vide a été sélectionné. Cet empilement a été effectué de trois façons différentes en déposant :

a) 10nm de Si puis 40nm d'Au.
b) 40nm d'Au puis 10nm de Si.
c) un empilement composé de 2nm de Si et 10nm d'Au quatre fois de suite.

Pour chaque dépôt, l'empilement de couches final est uniforme et mesure entre 50nm et 55nm d'épaisseur. Par contre nous ne pouvons pas distinguer la couche d'or de la couche de Si, soit parce que les couches ne sont pas uniformes, soit l'or et le silicium ont diffusés formant un alliage. Après un recuit à 500°C au four tubulaire, les couches composées d'or et de silicium coalescent formant des amas d'environ 1µm de haut et 6µm de diamètre (Fig.5). Nos conditions de croissance ne permettrons pas la croissance de fils de plusieurs microns de diamètre, ce qui signifie que chaque goutte génèrera plusieurs nanofils.

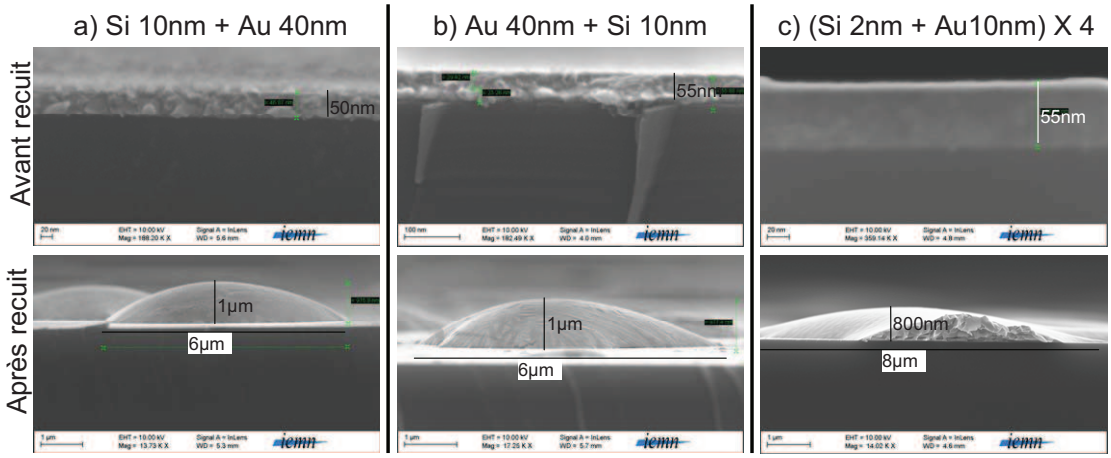


Figure 5 : Images MEB (vue en coupe) de couches composées d'un empilement d'or et de Si sur un substrat Si, avant et après recuit.

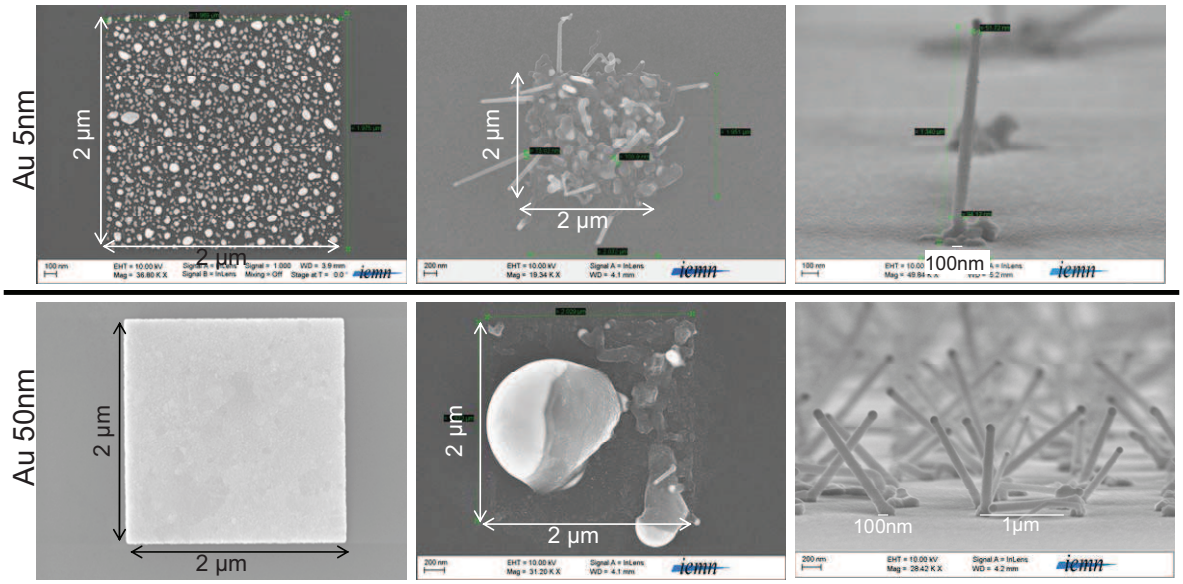
ANNEXES 4

Influence de l'épaisseur d'or

Pour la croissance confinée en cavité, il est nécessaire d'utiliser une épaisseur importante d'or (50nm correspondant à la hauteur de la cavité). Nous avons comparé la croissance VLS à partir des motifs d'or de 5nm et 50nm d'épaisseur :

- Pour une épaisseur d'or de 5nm : les motifs sont discontinus et constitués de nombreuses gouttes (Fig.6-a). Après la croissance, lorsque la taille des motifs est importante (par exemple 2µm de côté), une grande quantité de nanofils est générée pour chaque motif. Le nombre de nanofils par motif dépend du nombre de gouttes d'or (Fig.6-b). Quand les motifs sont de plus petites tailles (100nm de côté) une épaisseur de 5nm d'or est suffisante pour former un seul fil par motif (Fig.6-c).

- Pour une épaisseur de 50nm : des motifs uniformes sont définis quelque soit la taille des motifs (Fig.6-a). Après la croissance, si la taille des motifs est trop importante (dépasse le micron) plusieurs fils sont obtenus (Fig.6-b). Mais si les motifs ont une dimension inférieure à 500nm, un seul fil est obtenu par motifs (Fig.6-c).



a) Avant croissance: carré de 2µm de côté

b) Après croissance: carré de 2µm de côté

c) Après croissance: NW Si de 100nm carré de 100nm de côté

Figure 6 : Image MEB avant et après la croissance pour deux épaisseurs d'Au différentes.

ANNEXES 5

Principe de l'EBSD

L'EBSD (Electron Back Scattering Diffraction) est une technique basée sur la microscopie électronique à balayage. L'échantillon est incliné à 70° par rapport au faisceau d'électrons incident. Les électrons émis par le canon forment une source d'électrons divergents proche de la surface de l'échantillon. Sur leurs trajets vers la surface de cet échantillon, ces électrons sont diffractés par les plans réticulaires du cristal et forment une série de paires de cônes de diffraction sur chaque plan. Les diagrammes EBSD sont visualisés sur un écran de phosphore puis sont enregistrés avec une caméra ultra sensible. Les intersections de ces cônes au niveau du détecteur EBSD forment les bandes visibles (bandes de Kikuchi) des diagrammes EBSD (Fig.7-b). Le diagramme de diffraction est donc constitué d'une série de bande de Kikuchi qui sont caractéristiques de la structure cristalline et de l'orientation de l'échantillon. L'orientation cristalline de l'échantillon est calculée, après avoir déterminée la position de chaque bande de Kikuchi grâce à la transformée de Hough (image c).

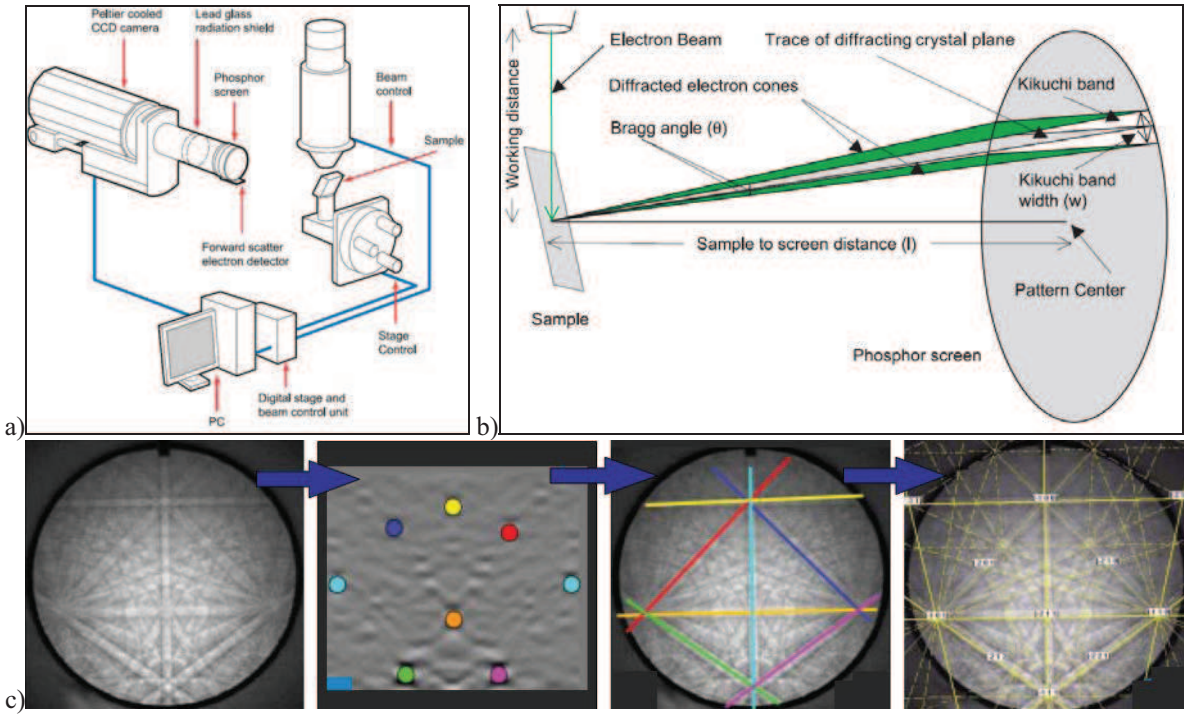


Figure 7 : a) Représentation schématique de tous les éléments composant un système EBSD.
b) Géométrie EBSD : représentation schématique de la formation des cônes de diffraction et des bandes de Kikuchi sur l'écran de phosphore.
c) Diagramme de diffraction : détermination des bandes de Kikuchi en utilisant la transformée de Hough.[4]

[4] **Oxford Instrument**
« Electron Backscattered Diffraction – Technical briefing »

Une cartographie d'orientation cristalline peut être obtenue en scannant le faisceau d'électrons sur l'échantillon et en analysant le motif de diffraction formé en chaque point. Les cartographies d'orientation cristalline mettent en évidence la microstructure de l'échantillon et peuvent mesurer la distribution de la taille des grains, les joints de grains particuliers et montrer leur localisation dans l'échantillon (Fig.8).

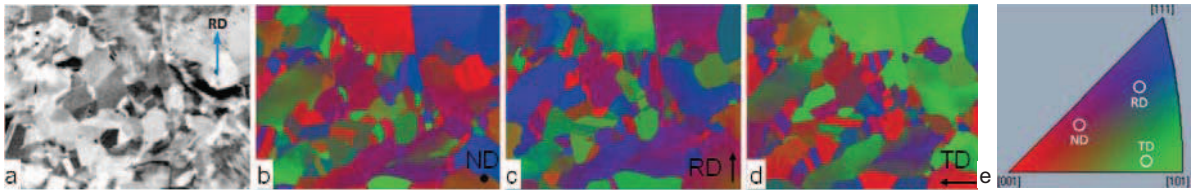


Figure 8 : Cartographie d'orientations cristalline du manuel d'Oxford:
a) Image d'électrons rétro-diffusés.
b) Cartographie de l'orientation cristalline dans la direction normale (ND).
c) Cartographie de l'orientation cristalline dans la direction rolling (RD).
d) Cartographie de l'orientation cristalline dans la direction transversale (TD).
e) Figure de pole inverse

ANNEXES 6

Protocole expérimental : Transistor MOS

Oxyde de grille	Croissance oxyde sec	3,3 nm
Grille Cr	Dépôt résine PMMA	a=1000rpm/s; v=2500rpm; t=12s; T=80°C t=1min; T=190°C t=30min
	Litho e-beam B010	S090428-3.DAT et S090428-4.DAT
	Révélation MIBK/IPA	MIBK/IPA (1/3;2/3) Agitation 2min; Révélation t=1min; Rincage IPA 30s
	Métalisation (PLASSYS) Cr	etching Ar std; Cr 100nm
	Lift Off	Acétone TA, 3 * 5min, US 10" 20" 30"; IPA 1min
Espaceurs SiN	Dépôt SiN PECVD	SiN 100nm 300°C std
	Recuit RTA	700°C 1min RTA: nbr700_060
	RIE SIN (bati 5bis)	SF6(20) Ar(10) 10mT 50W 113s + 10s OE
Contact PtSi	Dépôt résine PMMA	a=1000rpm/s; v=2500rpm; t=12s; T=80°C t=1min; T=190°C t=30min
	Litho e-beam B010	S090504-1.DAT
	Révélation MIBK/IPA	MIBK/IPA (1/3;2/3) Agitation 2min; Révélation t=1min; Rincage IPA 30s
	Désoxydation	BOE 15s
	Métalisation (PLASSYS) Pt	etching Ar std; Pt 5nm
	Lift Off	Acétone 40°C, 3 * 5min, IPA 1min
	Recuit RTA	400°C 2min RTA: nbr400_120
	Eau régal	H2O:HNO3:HCl (2:1:3) 50°C 1min

Figure 9 : Tableau récapitulant toutes les étapes développées pour la fabrication de transistors MOS

Liste de publications de l'auteur

Publications dans des revues internationales

1. A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, D. Delille, C. Maurice, D. Troadec
« *Confined and guided catalytic growth of crystalline silicon films on a dielectric substrate* »
IOP Conf. Series: Materials Science and Engineering **6,** 012022, 2009.

2. A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, C. Maurice
« *Confined VLS growth and structural characterization of silicon nanoribbons* »
MicroElectronic Engineering, **87**, 1522-1526, 2010.

3. V. Passi, A. Lecestre, C. Kreminski, G. Larrieu, E. Dubois, J.P. Raskin
« A single layer hydrogen silsesquioxane (HSQ) based lift-off process for germanium and platinum » MicroElectronic Engineering, in Press, available online 10 November 2009.

4. X. Tang, N. Reckinger, V. Bayot, D. Flandre, E. Dubois, D. A. Yarekha, G. Larrieu, A. Lecestre, J. Ratajczak, N. Breil, V. Passi, and J.-P. Raskin
« *An electrical evaluation method for the silicidation of silicon nanowires* »
Appl. Phys. Lett. **95**, 023106, 2009.

Proceedings de conférences

5. A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, D. Delille, C. Maurice, D. Troadec
« *Confined and guided catalytic growth of crystalline silicon films on a dielectric substrate* »
E-MRS Spring Meeting, Strasbourg, 8-12 June 2009.

6. A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, C. Maurice
« *Confined VLS growth and structural characterization of silicon nanoribbons* »
Proc. of 35th International Conf. on Micro and Nano Engineering – MNE'09, Ghent, September 2009.

7. A. Lecestre, E. Dubois, A. Villaret, P. Coronel, T. Skotnicki, G. Patriarche, C. Maurice, D. Troadec
« Synthesis and characterization of crystalline silicon ribbons on insulator using catalytic Vapor-Liquid-Solid growth inside a cavity »
Proc. of the EUROSOI'10 Conf, pp99-100, Grenoble, 25-27 January 2010.

8. A. Lecestre, E. Dubois, A. Villaret, P. Coronel, T. Skotnicki
« *Confined and guided catalytic growth of crystalline silicon films on a dielectric substrate* »
Poster, Fring Meeting of European Solid Stae Device Research, Conference ESSDERC'08, Edinburgh, 15-19 September 2008.

9. P. Vikram, A. Lecestre, E. Dubois, J.-P. Raskin,
« *Selective etching of implanted silicon-dioxide in hydrofluoric acid* »
Poster, 34th Conference on Micro and NAno Technology, Conference MNE, Athens, 15 - 18 September 2008.

RESUME

L'intégration en trois dimensions se présente comme une alternative à la réduction des dimensions pour poursuivre l'augmentation continuelle de la densité des composants. Elle permet également de réduire le délai dans les interconnexions. Un autre avantage, non négligeable, est la possibilité d'ajouter de nouvelles fonctionnalités sur les niveaux supérieurs. Cependant, l'empilement de composants et leur interconnexion verticale doivent faire face à deux difficultés majeures. Tout d'abord, l'obtention d'un substrat semi-conducteur monocristallin de haute qualité sur une couche diélectrique doit s'effectuer sans détériorer les composants réalisés précédemment, en respectant une température limite. Ensuite, les composants supérieurs doivent être alignés avec précision par rapport au niveau inférieur, et doivent être intégrés tout en respectant le budget thermique imposé par les transistors déjà existants. Dans ce contexte, cette thèse s'attache à démontrer une approche innovante pour la synthèse de la couche active supérieure, en utilisant la croissance par CVD catalytique (VLS) confinée et guidée à l'intérieur d'une cavité.

Ce manuscrit est composé de 4 chapitres :

Le premier chapitre rappelle les notions de base afférante aux dispositifs et technologies MOS et fournit une ananlyse des différentes sources de dégradation liées à la miniaturisation. L'intégration en trois dimensions est ensuite introduite, accompagnée des différents procédés de fabrication. Une autre méthode de synthèse de silicium monocristallin plus originale est proposée : la croissance VLS.

Le deuxième chapitre est consacré à la croissance VLS de nanofils de silicium sur substrat amorphe. L'aspect théorique et l'optimisation de la recette de croissance sont détaillés. Ainsi, des nanofils de silicium rectilignes avec des diamètres et des positions parfaitement contrôlés sont obtenus grâce à des motifs catalytiques définis par lift-off.

Dans le troisième chapitre, une méthode de fabrication de cavité compatible avec l'approche 3D est proposée afin de contrôler avec précision les dimensions et la position du silicium formée par VLS. Une étude de la croissance de nanolames par VLS confinée dans ces cavités est proposée. Deux techniques de caractérisation structurale complémentaires (EBSD, STEM) sont utilisées afin d'analyser en détail la structure du silicium.

Le dernier chapitre présente la fabrication de transistors MOS en utilisant les lames de silicium produites par VLS comme canal de conduction. L'intégration de transistors à grille arrière nous a permis de déterminer les paramètres élémentaires du transport et de les comparer à ceux des substrats SOI commerciaux.

ABSTRACT

Three-dimensional integration of semiconductor devices is perceived as an alternative to device scaling in order to continue the increasing of the devices density. Moreover, it can reduce interconnect delay. Finally it allows the addition of different technologies in the back-end of the line, therefore enabling more applications. 3D integration requires the stacking of active layers alternated with interlayer dielectrics (ILD). The first challenge consists in growing crystal quality semiconductor starting on an amorphous substrate. The second difficulty concerns the device integration: the alignment registration between several active layers must be accurate and the temperature of fabrication is limited by the silicidation thermal budget of transistors integrated in inferior layers. In this context, this thesis demonstrates the synthesis of the crystalline silicon active layers using a new method, namely, the catalytic confined and guided Vapor-Liquid-Solid (VLS) growth.

This manuscript is organized into four chapters:

The first chapter develops fundamental notions associated to MOS devices and technologies, and provides an analysis of parasitic effects due to miniaturization. Three-dimensional integration is subsequently introduced with a detailed discussion on fabrication processes. A new method is proposed to grow crystal semiconductor on an amorphous layer: the VLS growth.

The second chapter is devoted to the VLS growth of silicon nanowires on an amorphous substrate. The theoretical aspect and the recipe optimization are developed. The localization of nanowires is controlled by catalyst patterns made by lift-off.

In the third chapter, one method of cavity fabrication is proposed in order to control with accuracy dimensions and position of silicon blade synthesized by VLS. The single crystalline nature of silicon has been checked based on complementary techniques: Electron Back-Scattered Diffraction (EBSD) and Scanning Transmission Electron Microscopy (STEM).

The last chapter presents the electrical characterization of VLS grown silicon nanoribbons. For that sake, "pseudo-MOS" transistors have been fabricated using VLS grown silicon blade as conduction channel and a back-gate control. The characteristics of these transistors were extracted and compared to that of commercial SOI thin films.