N° d'orde : 40257

THESE

Présentée en vue
d'obtenir le grade de

DOCTEUR

en

Spécialité Micro- et nano-Technologies

par

Melle Ikram El Makoudi

DOCTORAT DELIVRE
PAR L'UNIVERSITE DE LILLE 1

Titre de la thèse :
ETUDE ET FABRICATION DE TRANSISTORS A ENRICHISSEMENT DE LA FILIERE InAlAs/InGaAs POUR APPLICATIONS MILLIMETRIQUES FAIBLE BRUIT

Soutenue le 23 avril 2010 devant le Jury d'examen :

Président	Christophe Gaquière, Professeur Université Lille 1
Rapporteur	Nathalie Labat, Professeur Université Bordeaux 1
Rapporteur	Jean-Louis Cazaux, HDR, Ingénieur TAS
Membre	André Scavennec, HDR, Ingénieur 3-5 Lab
Membre	Hassan Maher, Docteur, Ingénieur OMMIC
Directeur de Thèse	Sylvain Bollaert, Professeur Université Lille 1

REMERCIEMENTS

Je tiens à remercier tout d'abord Messieurs Marc ROCCHI et le professeur Alain CAPPY, respectivement directeurs d'OMMIC et de l'Institut d'Électronique de Microélectronique et de Nanotechnologies (IEMN) pour m'avoir accueillie au sein de leur entreprise et laboratoire et pour la confiance qu'ils m'ont accordée pour mener ce travail de recherche.

Je remercie chaleureusement Monsieur Sylvain BOLLAERT, professeur à l'Université des Sciences et Technologies de Lille, pour avoir dirigé cette thèse et pour m'avoir particulièrement soutenue et encouragée lors de la rédaction de ce mémoire.

Je remercie également Monsieur Hassan MAHER, HDR, ingénieur OMMIC, qui a co-encadré cette thèse, pour son aide précieuse lors de mon travail à OMMIC, ainsi que pour son expérience dont il a su me faire profiter.

Je remercie Monsieur Christophe GACQUIERE, professeur à l'Université des Sciences et Technologies de Lille, pour m'avoir fait l'honneur de présider le jury.

J'exprime mes sincères remerciements à Monsieur André SCAVENNEC, HDR et ingénieur III-V Lab, pour avoir examiné ce travail, ainsi qu'à Madame Nathalie LABAT, professeur à l'Université Bordeaux I, et à Monsieur Jean-Louis CAZAUX, HDR, ingénieur TAS, pour les remarques constructives qu'ils ont formulées en tant que rapporteurs de ce travail.

Je remercie par ailleurs Monsieur Gilles DAMBRINE, professeur à l'Université des Sciences et Technologies de Lille, pour son expérience dans le domaine du bruit

J'aimerais également associer à mes remerciements tous les collègues ainsi que les co-doctorants que j'ai côtoyés durant ces années, aussi bien à OMMIC qu'à l'IEMN. Je salue donc ici l'équipe DPA d'OMMIC et tout particulièrement Jean-François, Michel, Joseph, Gilles, Sébastien, Julia et tous les autres pour leur support, leur gentillesse et les bons moments passés ensemble.

J'associe à ces remerciements l'équipe ANODE de l'IEMN qui m'a gentiment accueillie (voire supportée !) à chacun de mes passages à l'IEMN, et particulièrement Cristian pour sa bonne humeur contagieuse, Andrey, Aurélien, Nicolas Wichmann, Nicolas Waldhoff, et tous les autres doctorants que j'ai côtoyés durant cette thèse.

Un grand merci enfin à Christophe « Joker » Neut, mon guide lillois pour son accueil lors de mes passages dans le nord, et en particulier lors de la soutenance.

And last but not least, mes remerciements vont au ptit Lu pour l'énergie apportée au quotidien, mais aussi pour le support, le soutien, la patience dont il a fait preuve durant ces dernières années…et les prochaines !

TABLE DES MATIERES

INTRODUCTION GENERALE 13

REFERENCES INTRODUCTION GENERALE 19

CHAPITRE I : STRUCTURE ET FONCTIONNEMENT DU HEMT 21

I INTRODUCTION 23

II MATERIAUX III-V ET SILICIUM 23

III LE MESFET : PRINCIPE ET LIMITES 24

III.1 STRUCTURE DU MESFET 24
III.2 PRINCIPE DE FONCTIONNEMENT DU MESFET. 25

IV LES TRANSISTORS A HAUTE MOBILITE ELECTRONIQUE (HEMTS) 26

IV.1 STRUCTURE DU HEMT 26
IV.2 FONCTIONNEMENT DU HEMT 29
IV.3 PHENOMENES LIMITATIFS DU HEMT 32
IV.3.1 L'ionisation par impact 32
IV.3.2 L'effet coude ou effet « Kink » 34
IV.3.3 Les effets de canal court 35
IV.3.4 Le DIBL et la pente sous le seuil 37
IV.4 FILIERES DE HEMTS 38

V TECHNOLOGIE DES COMPOSANTS 42

V.1 L'EPITAXIE 42
V.2 L'ISOLATION DES MOTIFS 43
V.3 REALISATION DES CONTACTS OHMIQUES 43
V.4 REALISATION DE LA GRILLE 44
V.4.1 Grille champignon 44
V.4.2 Gravure du recess de grille 46
V.5 ETAPES SUPPLEMENTAIRES 48

VI HEMTS A ENRICHISSEMENT 49

VI.1 DEFINITION 49
VI.2 PARAMETRES POUR L'OBTENTION D'UN HEMT A ENRICHISSEMENT 50
VI.2.1 Utilisation du platine comme métal de grille 51
VI.2.2 Diminution du pourcentage d'indium dans la barrière Schottky 51
VI.3 INFLUENCE DE LA RESISTANCE DE SOURCE R_S 52
VI.4 INTERET DES HEMTS A ENRICHISSEMENT 54

VII PARAMETRES CARACTERISTIQUES DU HEMT 56

VII.1 PARAMETRES STATIQUES 57
VII.1.1 La transconductance g_m 57
VII.1.2 La conductance de sortie g_d 57
VII.1.3 Tension de seuil V_T et tension de pincement V_P 58
VII.1.4 Tension de claquage de la jonction grille drain V_{BGD} 59
VII.1.5 L'excursion en tension ou « swing » 60
VII.2 PARAMETRES DYNAMIQUES 61
VII.2.1 Mesure des paramètres S 61
VII.2.2 Le gain en courant de court-circuit 62
VII.2.3 Le gain maximum disponible ou MAG (Maximum Available Gain) 62
VII.2.4 Gain unilatéral U ou gain de Mason 62

VIII SCHEMA ELECTRIQUE EQUIVALENT PETIT SIGNAL 63

VIII.1 SCHEMA ELECTRIQUE EQUIVALENT PETIT SIGNAL 63
VIII.2 EXPRESSION DES PARAMETRES DYNAMIQUES EN FONCTION DES ELEMENTS DU SCHEMA EQUIVALENT 65

IX CARACTERISATION EN BRUIT DES HEMTS 66

IX.1 THEORIE DU BRUIT 66
IX.1.1 Généralités 66
IX.1.2 Représentation d'un quadripôle bruyant 67
IX.1.3 Définition des principaux paramètres de bruit 68
IX.2 METHODES D'EXTRACTION DES PARAMETRES DE BRUIT 69
IX.2.1 Méthode manuelle 69
IX.2.2 Méthode tuner 70
IX.3 EXTRACTION DES PARAMETRES DE BRUIT BASEE SUR UN MODELE ELECTRIQUE 70
IX.3.1 Modèle de Van Der Ziel 71
IX.3.2 Modèle de Pospieszalski 71
IX.3.3 Modèle de bruit à deux températures (modèle F50) 72

X ETAT DE L'ART DES TRANSISTORS RF 74

X.1 LA FILIERE HEMT ALINAS/GAINAS 74
X.2 LA FILIERE HEMT ANTIMOINE 74
X.3 MOSFETS RF 75
X.4 HEMTS GAN 76
X.5 TRANSISTORS BIPOLAIRES A HETEROJONCTION (TBH) 76
X.6 COMPARAISON DES FILIERES DE TRANSISTORS RF 76

XI CONCLUSIONS 78

REFERENCES DU CHAPITRE I 79

CHAPITRE II : REALISATION D'UN HEMT ALINAS/GAINAS A ENRICHISSEMENT 83

I INTRODUCTION 85

II PERFORMANCES ATTENDUES 85

II.1 PERFORMANCES STATIQUES 85
II.2 PERFORMANCES DYNAMIQUES 86

III E-HEMT METAMORPHIQUE A 40% D'INDIUM 87

III.1 STRUCTURE DE COUCHE 87
III.2 RESULTATS DC 88
III.3 RESULTATS RF 91

IV E-HEMT A L'ACCORD DE MAILLE SUR INP 93

IV.1 SIMULATION DE LA STRUCTURE DE COUCHE 93
IV.2 RESULTATS DC 95

V E-HEMT A COUCHE BARRIERE SCHOTTKY COMPOSITE SUR INP 97

V.1 DETERMINATION DE LA STRUCTURE DE COUCHE 97
V.2 SIMULATIONS HELENA DE LA STRUCTURE 98
V.3 RESULTATS ELECTRIQUES DC 100

VI NOUVELLE STRUCTURE AVEC UNE COUCHE CONTRAINTE INSEREE DANS LA COUCHE BARRIERE 105

VI.1 SCHEMA DE LA STRUCTURE A 105
VI.2 RESULTATS DC 106
VI.3 AMELIORATION DU PROCEDE : RECESS ASYMETRIQUE 110
VI.3.1 Résultats DC et comparaison des structures A et B 111

VI.3.2 Résultats RF et comparaison des structures A et B *117*
VI.3.3 Applications en mono tension *118*
VI.4 RESULTATS EN BRUIT 120

VII MODELISATION ELECTRIQUE DU TRANSISTOR HEMT 122

VII.1 INTRODUCTION 122
VII.2 DIFFERENTS TYPES DE MODELES 123
VII.3 PRINCIPE DE LA MODELISATION 123
VII.4 MODELE PETIT SIGNAL DU E-HEMT 126
VII.4.1 Extraction des éléments extrinsèques et des plots de mesure *126*
VII.4.2 Extraction des éléments intrinsèques *135*
VII.4.3 Comparaisons mesures – modèle *139*

VIII CONCLUSIONS 140

REFERENCES DU CHAPITRE II 142

CONCLUSION GENERALE 145

TABLE DES ILLUSTRATIONS 151

ANNEXES : ETAT DE L'ART TRANSITORS RF 157

RESUME 177

INTRODUCTION GENERALE

L'essor toujours grandissant des nouveaux moyens de télécommunications est étroitement lié aux progrès technologiques de la microélectronique. Les nouvelles exigences en terme de haut débit s'accompagnent en effet d'une montée en fréquences des composants de base de ces systèmes. Parallèlement, leur miniaturisation, indispensable au fonctionnement à hautes fréquences, s'accompagne d'une augmentation des effets de canal court, qui dégradent fortement les performances du transistor.

La technologie à base de silicium, bien que mature et largement utilisée, atteint ici ses limites.
Les matériaux III-V à base d'arséniure de gallium GaAs ou de phosphure d'indium InP s'imposent alors dans un premier temps, même si de nombreuses recherches repoussent aujourd'hui les limites du silicium en terme de fréquences.
Les applications dans les domaines militaire, spatial ou dans les télécommunications de tels composants entraînent des exigences non seulement en terme de performances dynamiques avec de fortes fréquences de coupure F_T et F_{MAX}, mais également statiques avec entre autres une transconductance g_m élevée et une tension de seuil V_T contrôlée, et enfin en terme de bruit avec une figure de bruit NF_{min} la plus réduite possible et un gain associé G_{ass} élevé.

Dans ces conditions, deux technologies proposent des résultats attractifs: le transistor HEMT métamorphique MHEMT InAlAs/InGaAs sur substrat GaAs, et le HEMT pseudomorphique sur InP. Ces deux filières permettent en effet d'atteindre :

- une valeur de 562 GHz [1] pour la fréquence de coupure F_T et de 1.2 THz [2] pour la fréquencce F_{MAX} pour les PHEMTs sur InP
- une valeur de 610 GHz [3] pour la fréquence de coupure F_T et de 490 GHz [4] pour la fréquence F_{MAX} pour les MHEMTs sur GaAs.

Parallèlement, pour des raisons essentiellement d'intégration et de réduction de coût, la filière de transistors à enrichissement se développe, même si pour les applications faible bruit, les transistors à désertion sont encore largement préférés. Il existe en effet très peu de données de bruit sur les transistors HEMTs à enrichissement, les meilleurs font état d'une valeur de NF_{min} de 0.56 dB à 26 GHz, avec un gain associé de 11 dB [5], ou plus récemment le MHEMT 110 nm à 40% d'indium d'OMMIC cité plus loin [6], qui propose une valeur de NF_{min} = 0.69 dB à 30 GHz.

A l'opposé, il existe de nombreux résultats en bruit concernant les transistors à désertion : ceux-ci atteignent au mieux une valeur de NF_{min} de 0.45 dB à 25 GHz dans le cas d'un HEMT métamorphique, avec un gain associé G_{ass} de 12 dB [7].

Ainsi, l'objectif de ce travail de thèse est de fournir une structure de transistors HEMTs à enrichissement de la filière InAlAs/InGaAs, pour application faible bruit sur substrat InP, tout en maintenant de bonnes caractéristiques statiques et dynamiques.

Pour cela, cette thèse a été réalisée dans le cadre d'une convention CIFRE entre OMMIC, où les plaques ont été épitaxiées et caractérisées, et l'IEMN, où les transistors ont été caractérisés en haute fréquence et mesurés en bruit.

Le point de départ de cette étude est le transistor HEMT métamorphique à enrichissement (E-MHEMT) à 40% d'indium conçu à OMMIC et qui a fait l'objet d'une publication [6]. De hautes performances statiques et dynamiques ont été atteintes avec cette structure, de même qu'un faible niveau de bruit NF_{min} de 0.69 dB avec un gain associé G_{ass} de 10 dB à 30 GHz. Cette structure nous a permis d'évaluer l'importance des différents paramètres caractéristiques (tension de seuil, courant de grille, transconductance, etc.). Elle nous a également servi de référence pour les structures ultérieures.

Nos recherches se sont alors orientées vers un transistor sur substrat InP cette fois-ci, avec les mêmes objectifs de performances que le MHEMT sur GaAs. Les intérêts d'une structure sur InP sont, entre autres, l'obtention d'une plus grande mobilité électronique, et également un meilleur contrôle de l'épitaxie de la structure, puisque l'on s'affranchit de la couche tampon métamorphique.
Plusieurs structures ont alors été testées avec pour même objectif d'allier de bonnes performances statiques et dynamiques, ainsi qu'un faible niveau de bruit.

Nous reviendrons dans le premier chapitre sur les composants III-V et sur le fonctionnement du HEMT en particulier. Nous détaillerons le procédé technologique et les différentes filières de transistors, ainsi que les caractéristiques statiques, dynamiques et en bruit des composants. Nous

verrons enfin les différences entre transistors à enrichissement et à désertion, et leurs performances respectives, avant de faire un état de l'art des transistors RF de différentes filières.

Nous détaillerons ensuite dans un second chapitre les structures de test successives étudiées pour obtenir un transistor E-HEMT AlInAs/GaInAs sur InP avec les performances électriques attendues. Après un retour sur les résultats obtenus sur le E-MHEMT à 40% d'indium, l'étude évoluera d'une structure de couche à l'accord de maille sur InP vers une structure à couche barrière Schottky composite, constituée d'une couche adaptée en maille et d'une couche contrainte. En effet, l'insertion d'une couche d'AlInAs à plus faible taux d'indium (40% d'indium) dans la couche barrière Schottky à l'accord de maille sur InP ($Al_{0.48}In_{0.52}As$), nous permettra d'améliorer l'isolation de la grille pour augmentation de la hauteur de barrière Schottky, tout en maintenant une tension de seuil positive. Il s'agit ensuite dans un premier temps de déterminer les épaisseurs optimales des différentes couches, puis d'agir éventuellement sur d'autres paramètres de fabrication, comme la définition du recess de grille, pour améliorer les premiers résultats obtenus.
Nous traiterons enfin, dans une dernière partie, de la modélisation du transistor qui a occupé les derniers mois de cette thèse. Après une présentation des modèles linéaires, nous détaillerons l'obtention du modèle petit signal du transistor MHEMT d'OMMIC.

Références Introduction Générale

[1] : K. Shinohara, P. S. Chen, J. Bergman, H. Kazemi, B. Brar, I. Watanabe, T. Matsui, Y. Yamashita, A. Endoh , K. Hikosaka, T. Mimura, S. Hiyamizu, « Ultra High speed Low Noise InP-HEMT Technology »
Microwave Symposium Digest, pp.337-340, Juin 2006

[2] : R. Lai, X. B. Mei, W.R. Deal, W. Yoshida, Y. M. Kim, P.H. Liu, J. Lee,J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska, A. Fung, « Sub 50 nm InP HEMT Device with Fmax Greater than 1 THz »,
IEEE 2007, IEDM Technical Digest p. 609-611, Dec. 2007.

[3] : S. J. Yeon, M. Park, J. Choi, K. Seo, « 610 GHz InAlAs/$In_{0.75}$GaAs Metamorphic HEMTs with an ultra short 15 nm gate »
Electron Devices Meeting IEDM, pp. 613-616, déc. 2007

[4] : S. Bollaert, Y. Cordier, M. Zaknoune, T. Parenty, H. Happy, S. Lepilliet, A. Cappy. "f_{max} of 490GHz metamorphic $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ HEMTs on GaAs substrate",
Electronics Letters 11th April 2002, vol. 38, n°8, pp389-391.

[5] : C.S. Whelan, S.M. Lardizabal, P.M. Buhles, W.E. Hoke, P.F. Marsh, R.A. McTaggart, C.P. McCarroll, T.E. Kazior, « A comparison of channel indium content in low noise metamorphic HEMTs with $In_xGa_{1-x}As$ ($0.3<x<0.6$) »
Indium Phosphide and Related Materials, 2000. Conference Proceedings. 2000 International Conference on, pp : 349–352

[6] : H. Maher, I. El Makoudi, P. Frijlink, D. Smith, M. Rocchi, S. Bollaert, S. Lepilliet, G. Dambrine, « A 200 GHz true E Mode low noise MHEMT »
IEEE Transactions On Electron Devices, Vol. 54, No. 7, July 2007

[7] : C. S. Whelan, S. M. Lardizabal, P. M. Buhles, W. E. Hoke, P. F. Marsh, R. A. McTaggart, C. P. McCarroll, T. E. Kazior, « A comparison of channel indium content in low noise metamorphic HEMTs with $In_xGa_{1-x}As$ ($0.3<x<0.6$) »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 349-352, Mai 2000

CHAPITRE I : STRUCTURE ET FONCTIONNEMENT DU HEMT

I Introduction

Le but de ce premier chapitre est de détailler le fonctionnement des transistors à haute mobilité électronique (HEMTs) pour bien comprendre les enjeux de ce travail.
Pour cela, nous verrons d'une part, en quoi ces composants sont les mieux adaptés pour les applications visées par rapport aux autres filières de transistors RF.
D'autre part, nous préciserons également les avantages de la technologie à enrichissement (E-HEMTs) par rapport aux transistors à désertion (D-HEMTs), ainsi que les particularités de chaque filière technologique. Nous présenterons également les paramètres caratéristiques des HEMTs, en statique, dynamique et en bruit, ainsi que les spécifications que nous cherchons à atteindre par cette étude.
Enfin, nous dresserons un état de l'art des transistors RF de différentes filières en comparant les fréquences caractéristiques F_T et F_{MAX}, ainsi que les figures minimum de bruit NF_{min} et le gain associé G_{ass}.

II Matériaux III-V et silicium

L'essentiel des composants de la microélectronique d'aujourd'hui est fabriqué à base de silicium (98% des composants actuels). Cette prédominance est due à des avantages du silicium par rapport aux autres semi-conducteurs. Tout d'abord le silicium est très abondant : c'est le deuxième élément le plus répandu sur Terre après l'oxygène, ce qui en réduit naturellement le coût. C'est par ailleurs un matériau très robuste qui permet la réalisation de substrats (ou wafers) de grande taille (jusqu'à 12") ce qui est essentiel en terme de densité d'intégration. Enfin, le silicium permet d'obtenir un oxyde SiO_2 qui est l'un des meilleurs isolants qui soit et qui surtout présente une excellente adhérence sur le silicium.
Malgré tous ces avantages et la maturité de la technologie sur silicium, le principal inconvénient de ce matériau réside dans sa faible mobilité électronique : $\mu_e = 1500\ cm^2\ V^{-1}\ s^{-1}$ [1]. Aussi, pour répondre aux besoins grandissants en terme de vitesse de foncionnement des composants, les recherches se sont très tôt tournées vers d'autres matériaux à forte mobilité électronique.

Le premier de ces matériaux a été l'arséniure de gallium GaAs. Il appartient à la famille plus générale des matériaux III-V qui sont constitués de matériaux des colonnes III et V du tableau

de classification périodique des éléments. Le principal intérêt du GaAs est qu'il présente une mobilité électronique bien supérieure à celle du silicium, de 8500 $cm^2\ V^{-1}\ s^{-1}$ [1]. Il bénéficie de plus d'une grande vitesse électronique de saturation et d'une tension de claquage élevée qui permet aux composants basés sur GaAs de fonctionner à de très hautes fréquences. D'autres matériaux III-V sont couramment utilisés dans les composants actuels, comme le phosphure d'indium InP, le nitrure de gallium GaN, le GaInAs, etc. Toutefois, la faible mobilité des trous des matériaux III-V comparable à celle du silicium, n'en fait pas un meilleur candidat pour les circuits complémentaires. Le premier transistor développé à partir de ces éléments III-V a été le MESFET (MEtal Semiconductor Field Effect Transistor) sur GaAs.

III Le MESFET : principe et limites

III.1 Structure du MESFET

Comme le montre la coupe schématique figure III-1, le MESFET GaAs est d'abord constitué d'un substrat d'arséniure de gallium semi-isolant, celui-ci assure essentiellement un support mécanique pour le reste de la structure. La couche active est constituée de GaAs dopé n (le canal). On trouve également deux zones fortement dopées sous les électrodes de source et de drain pour minimiser les résistances de contact. Viennent enfin les dépôts métalliques constituant les trois électrodes classiques du transistor à effet de champ : les contacts ohmiques de source et de drain et la grille Schottky.

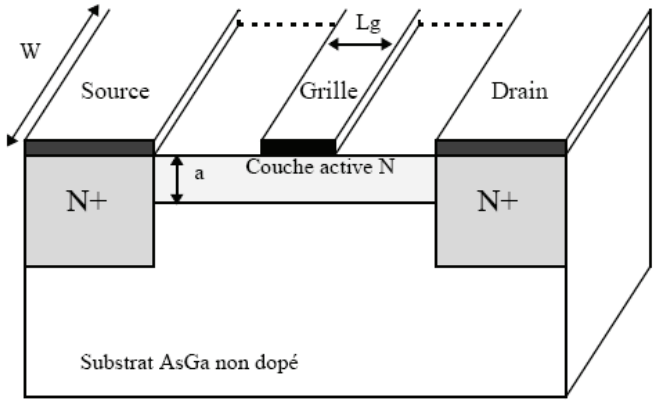


Figure III-1 : Coupe schématique d'un MESFET GaAs

III.2 Principe de fonctionnement du MESFET.

Le principe du MESFET repose sur la modulation du courant drain source dans le canal, par le contact Schottky constituant l'électrode de grille.

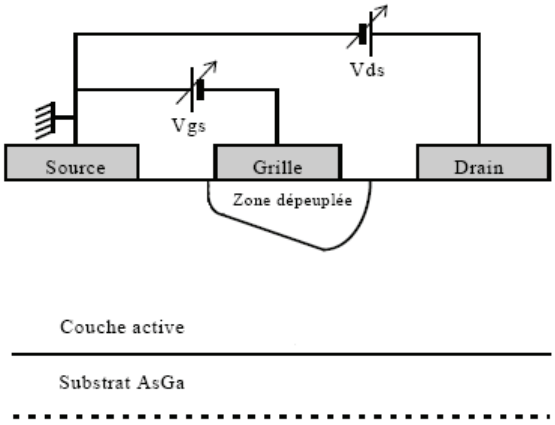


Figure III-2 : Vue en coupe et polarisation du MESFET GaAs

Le contact de grille étant de type Schottky, on a la formation d'une zone désertée (ou dépeuplée) dans le canal sous la grille, dite zone de charge d'espace (ZCE). Le contrôle de la conduction dans le canal s'effectue en faisant varier l'épaisseur de la zone dépeuplée sous la grille ce qui module le courant.
En régime de fonctionnement normal, le drain est polarisé positivement par rapport à la source, et la grille négativement (toujours par rapport à la source) (figure III-2)

A tension de drain fixée, la polarisation négative de la grille a pour effet d'augmenter l'extension de la zone de charge d'espace dans la couche active, diminuant ainsi le courant. Lorsque la tension de grille est suffisamment négative, la ZCE vient complètement obstruer le canal ne laissant ainsi plus passer le courant. Le transistor est alors pincé.
A tension de grille fixée, l'augmentation de la tension positive de drain crée un champ électrique dans le canal. Ce champ entraîne les électrons de la source vers le drain, établissant ainsi un courant de drain I_D. La différence de potentiel entre la grille et le canal étant plus faible à l'extrémité située prés de la source que du coté drain, le canal est plus étroit à proximité du drain.

De par la mobilité électronique élevée dans le matériau GaAs formant le canal, ces composants permettent une bonne montée en fréquence par rapport à ceux à base de silicium.

Mais pour accroître ces performances dynamiques, il est nécessaire de réduire le temps de transit des électrons dans le canal. Il faut pour cela réduire la longueur de grille, qui doit s'accompagner d'une réduction de l'épaisseur de la couche active pour assurer une bonne commande de la grille. Mais dans cette optique, pour maintenir le même niveau de courant, il faut alors augmenter le dopage dans la couche active. Et c'est de là que viennent les limitations des MESFETs : la mobilité électronique chute fortement dans le matériau GaAs dopé.

C'est donc pour contourner ce problème qu'ont été développés les HEMTs : les électrons transitent en effet dans une couche non dopée, ils bénéficient donc d'une meilleure mobilité.

IV Les transistors à haute mobilité électronique (HEMTs)

Cette nouvelle famille de composants a été élaborée en 1980 par les équipes de Thomson CSF [2] et de Fujitsu [3] sous les dénominations respectives de TEGFETs (Two-dimensional Electron Gas Field Effect Transistor) et de HEMTs (High Electron Mobility Transistors). Les dénominations de MODFETs (MOdulation Doped FET) et de HFET (Heterojunction FET) ont également été employées par le passé mais c'est sous l'appellation HEMTs que sont le plus connus ces transistors.

IV.1 Structure du HEMT

La solution trouvée au problème des dopants qui limitent la mobilité dans le canal consiste à transférer des électrons, contenus dans un plan de dopage, directement dans le canal non dopé. Le plan de dopage est contenu dans un matériau à grand gap, qui est aussi le matériau semiconducteur qui définira le contact Schottky avec le métal de grille. C'est sur ce principe que reposent les HEMTs : celui d'une hétérojonction entre un matériau grand gap (couche barrière Schottky) et un matériau à petit gap (le canal) et qui vont permettre de séparer spatialement les charges coulombiennes de la couche donneuse (plan de dopage) des électrons libres du canal.
La structure d'un HEMT AlInAs/GaInAs classique sur substrat InP est composée des couches suivantes : (figure IV-1)

- La couche de contact ohmique : c'est un matériau à petit gap (ici GaInAs) fortement dopé qui sert à former des contacts ohmiques de source et drain de faible résistivité
- La couche nommée « couche barrière » non intentionnellement dopée (n.i.d.) qui est constituée d'un matériau grand gap (ici AlInAs). Elle même est divisée en trois zones :
    - La couche de contact Schottky ainsi nommée du fait de la jonction avec la grille
    - Le plan de dopage, obtenu en dopant fortement une fine couche d'AlInAs. Le dopage peut être aussi réalisé en volume dans la couche barrière Schottky.
    - L'espaceur, composé du même matériau à grand gap que la couche de contact Schottky, qui va permettre le confinement des électrons dans le canal grâce à la grande discontinuité de bande de conduction avec le matériau du canal
- Le canal, constitué d'un matériau à petit gap (ici GaInAs). Il va permettre un transit rapide des électrons grâce à la forte mobilité électronique et au caractère non dopé de ce matériau
- La couche tampon, du même matériau que l'espaceur, qui va, grâce à la forte discontinuité de bande de conduction avec la couche canal, améliorer le confinement des électrons dans le canal.

Toutes ces couches sont épitaxiées sur un substrat semi-isolant qui sert de support mécanique.

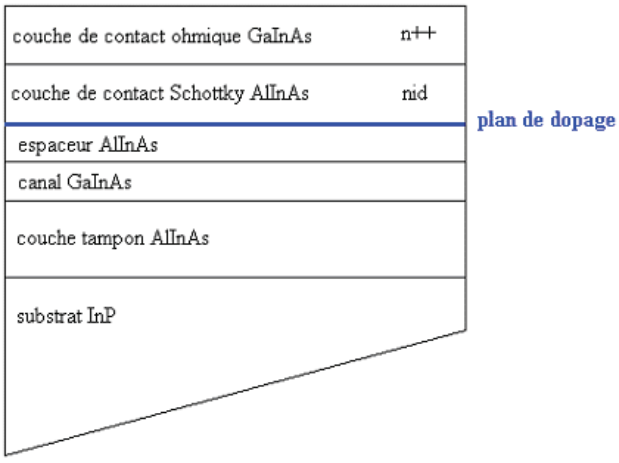


Figure IV-1 : Structure de couche d'un HEMT AlInAs/GaInAs sur InP

Les ordres de grandeur des épaisseurs de ces différentes couches sont d'environ 100 à 300 nm pour la couche tampon et 15 nm pour le canal GaInAs. Une épaisseur trop importante de ce dernier n'est pas favorable au confinement des électrons tandis qu'une épaisseur trop faible va diminuer la population électronique du canal et remonter les niveaux quantiques. L'espaceur a une épaisseur d'environ 5nm. Une épaisseur de l'espaceur importante augmente la mobilité

électronique dans le canal mais limite le transfert des électrons. La couche de contact Schottky doit être suffisament épaisse afin d'éviter l'apparition de courant de grille par effet tunnel. En deçà de 5nm, le courant de fuite de grille devient important. Le plan de dopage (silicium pour AlInAs) est de l'ordre de $5.10^{12}/cm^2$. Enfin, selon la longueur de grille L_G ces valeurs doivent être ajustées. Par exemple, la distance grille - canal GaInAs notée d, doit toujours être suffisament faible de manière à respecter la règle du rapport d'aspect :

$$\frac{L_G}{d} \gg 3 \qquad \text{(iv-1)}$$

Dans le cas contraire, on aboutira à l'apparition des effets de canal court. Toutefois, une trop faible épaisseur d est défavorable au courant de fuite de grille par effet tunnel. L'ensemble de ces paramètres est donc à optimiser par longueur de grille, ce qui nécessite pour les grilles sub-100nm des outils de simulation de type Monte Carlo.

Le fonctionnement du HEMT est illustré par le diagramme des bandes d'énergie figure IV-2.

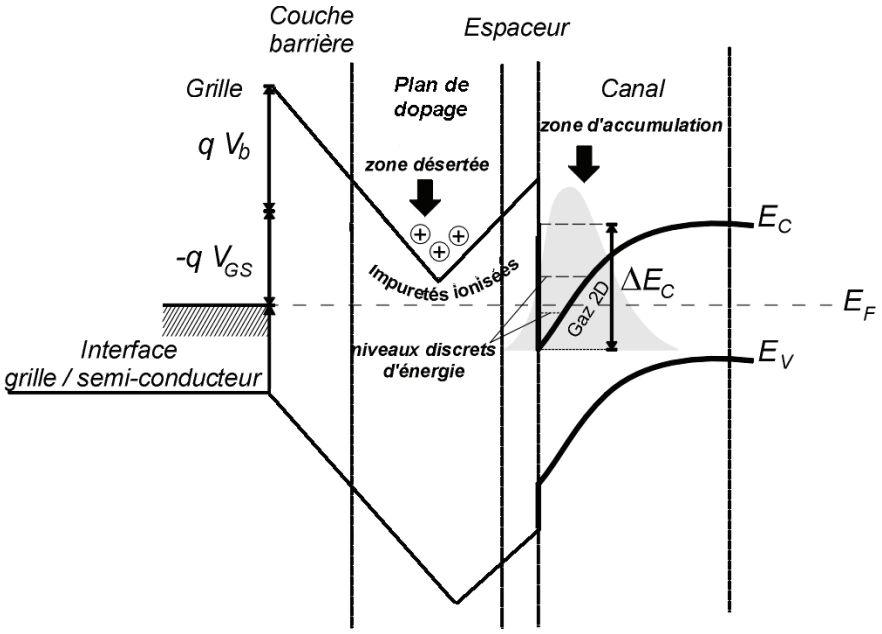


Figure IV-2 : Diagramme des bandes d'énergie.

Dans cette structure, la couche tampon n'est pas représentée.

V_b correspond à la hauteur de barrière Schottky (Φ_B)

La juxtaposition d'un matériau à grand gap et d'un matériau à petit gap implique la création d'une discontinuité de bande de conduction à l'interface entre les deux matériaux. Lors de la mise en contact, les niveaux de Fermi s'alignent, il se crée alors une courbure des bandes de conduction et de valence. Cette courbure entraîne la formation d'un puits de potentiel dans le

matériau à petit gap où transfèrent et s'accumulent les électrons provenant de la couche donneuse. L'accumulation des électrons dans le puits est appelée gaz 2D d'électrons (d'où l'appellation TEGFET). L'hétérojonction est alors caractérisée par la discontinuité de bande de conduction ΔE_C entre les deux matériaux.
L'étroitesse du puits de potentiel implique l'apparition d'effets quantiques (on considère les effets quantiques lorsque la longueur, ici l'épaisseur du canal, est inférieure à la longueur d'onde de De Broglie $\lambda = \frac{h}{\sqrt{2kTm*}}$ où h est la constante de Planck, $m*$ la masse effective de la particule, k la constante de Boltzmann et T la température).

Ces effets quantiques se manifestent par la quantification des niveaux d'énergie et par la restriction du mouvement des porteurs dans un plan parallèle à l'hétérojonction.
Cette dernière permet de plus la séparation spatiale des atomes donneurs ionisés et des électrons libres. Ces électrons ne sont donc plus soumis aux interactions avec de quelconques impuretés du réseau, et peuvent alors atteindre des mobilités importantes. Le HEMT bénéficie donc d'un transport électronique dans un gaz (quasi-bidimensionnel) bien supérieur à celui d'un matériau dopé.

IV.2 Fonctionnement du HEMT

Le transfert dans le puits quantique est géré par un échange thermodynamique au niveau de l'interface couche espaceur – couche canal, et la densité de charges dans le canal est contrôlée par la tension appliquée sur la grille.
Le contact de grille étant un contact Schottky il y a formation dans le semi-conducteur (ici le canal GaInAs) d'une zone dépeuplée dont l'épaisseur varie en fonction du potentiel de grille. Lorsque cette couche dépeuplée atteint le substrat, on dit alors que le canal est pincé ; la tension V_{GS} correspondant étant la tension de pincement V_P.

La figure IV-3 illustre ce phénomène du point de vue du diagramme de la bande de conduction pour un transistor à désertion (tension de pincement négative) :

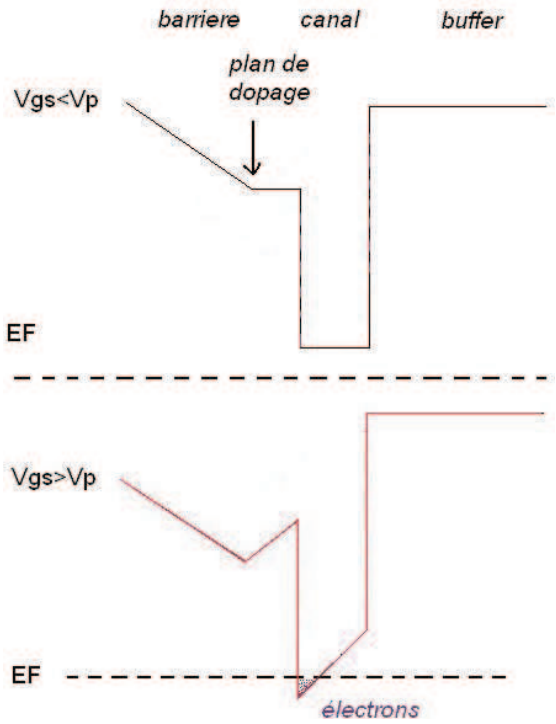


Figure IV-3 : Evolution du diagramme de la bande de conduction avec la tension V_{GS}, où EF est le niveau de Fermi,
canal pincé (figure du haut) et canal ouvert (figure du bas).

Le principe de fonctionnement ressemble à celui du MESFET, le canal sera pincé ou ouvert suivant la polarisation appliquée sur la grille.

On retrouve alors les deux régimes de fonctionnement classiques selon la polarisation de drain : le régime linéaire pour de faibles valeurs de V_{DS}, puis le régime de saturation à V_{DS} élevé (figure IV-4).

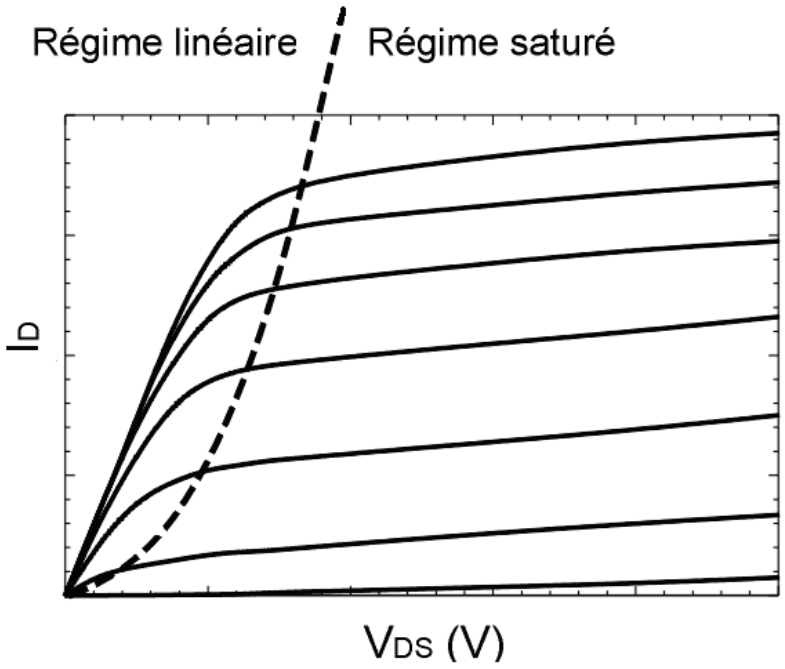


Figure IV-4 : Réseau de caractéristiques d'un transistor HEMT

En régime linéaire, le courant de drain varie linéairement avec la tension de polarisation ; le transistor se comporte comme une résistance contrôlée par la tension de grille.
En régime saturé, sous l'effet du champ électrique croissant côté drain, le courant arrête son augmentation. Cela s'explique essentiellement par deux phénomènes :

- Pour un transistor long, la saturation du courant de drain est causée par le pincement du canal côté drain. Lorsque V_{DS} augmente, on observe une extension de la zone de charges d'espace sous la grille côté drain qui ralentit le passage des électrons. On atteint ensuite le pincement du canal (la zone de charge d'espace rejoint la couche tampon). Le flux d'électrons est donc bloqué par cette barrière de potentiel, qui est néanmoins traversée par un flux constant par effet tunnel : on a donc un courant constant d'une valeur I_{DSsat} qui dépend de V_{GS}.
- Pour un transistor court, la saturation de la vitesse électronique dans le semi-conducteur va causer la saturation du courant I_D. Cette saturation du courant s'explique par la saturation de la vitesse électronique à fort champ électrique (figure IV-5).

La figure IV-5 illustre cette variation de la mobilité des électrons en fonction du champ électrique E. Elle représente la variation de la vitesse électronique de trois matériaux III-V en

fonction du champ électrique E. On voit une chute de la vitesse due à la diminution de la mobilité des électrons, à partir d'un champ critique E_{crit}, (point d'inflexion sur figure IV-5), qui traduit le passage des électrons en vallée latérale.

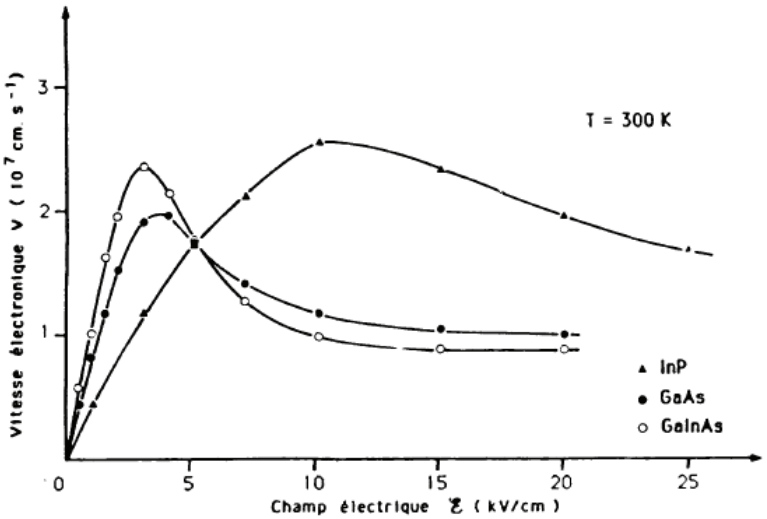


Figure IV-5 : Evolution de la vitesse électronique en fonction du champ dans InP, GaAs, GaInAs, calculée par la méthode de Monte Carlo, cité dans [4]

Cette figure illustre également la différence de vitesse électronique suivant les matériaux, on voit en effet que la pente de la courbe à faible champ électrique, qui représente la mobilité électronique, est plus forte pour le GaInAs (matériau composant le canal de nos composants), ce qui permet d'obtenir des composants très rapides.

IV.3 Phénomènes limitatifs du HEMT

Comme tous les transistors, les HEMTs souffrent de phénomènes limitatifs dont les principaux sont détaillés ici.

IV.3.1 L'ionisation par impact

En fonctionnement, lorsque la polarisation drain source augmente, le champ électrique devient intense dans le canal côté drain. Sous l'effet de ce fort champ, les électrons sont accélérés et entrent en collision avec les atomes du réseau. Ces atomes alors ionisés créent des paires électrons - trous. Les électrons s'ajoutent au courant drain tandis que les trous sont en partie collectés par la grille. A très fortes tensions de drain, ces électrons issus de l'ionisation

sont accélérés à leur tour et ionisent d'autres atomes ce qui entraîne un phénomène d'avalanche.

Ce processus s'accompagne donc d'une faible augmentation du courant drain ainsi que de la création d'un courant de trous collectés par la grille, qui va se superposer au courant de fuite de grille et donc dégrader celui-ci.

On observe habituellement ce phénomène sur les courbes du courant de grille en fonction de V_{GS}, à fort V_{DS}, comme l'illustre la figure IV-6 pour un transistor HEMT InAlAs/InGaAs sur InP étudié durant cette thèse.

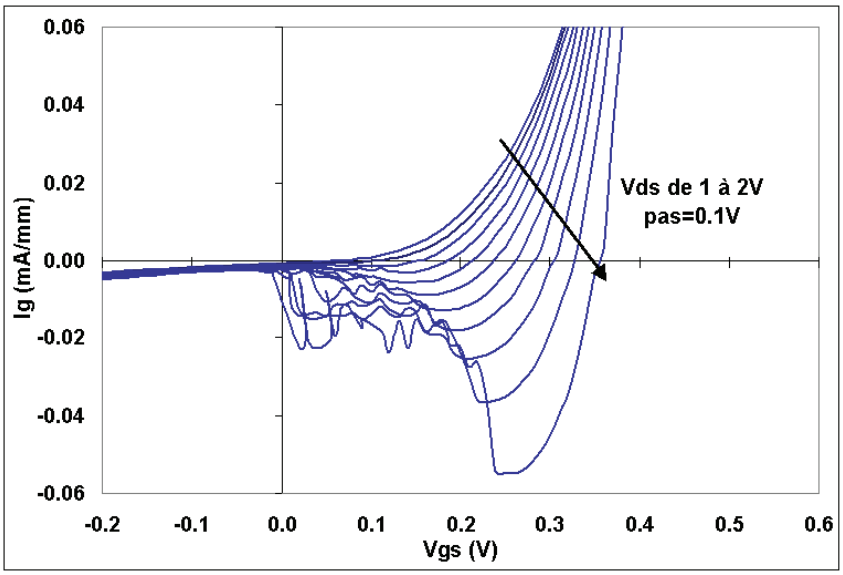


Figure IV-6 : Caractéristique en cloche due à l'ionisation par impact (courant de grille I_G d'un transistor E-HEMT)

On observe une augmentation du courant de grille à fort V_{DS}, qui constitue une courbe « en cloche » spécifique du phénomène d'ionisation par impact. La forme en bosse du courant de grille s'explique par deux phénomènes antagonistes. En effet, dans le cas des transistors à enrichissement :

- Lorsque V_{GS} devient positif, le courant I_D augmente de même que le taux d'ionisation dans le canal. Ainsi, la densité de trous collectés par la grille, et donc le courant de grille I_G, augmente.
- A fort V_{GS} et $V_{GD} < 0$, une grande partie de la grille est polarisée positivement. Elle attire ainsi une partie des électrons du canal qui vont compenser les trous qui composent le courant de grille I_G. Le courant I_G diminue.

Ces effets antagonistes expliquent la forme en « cloche » de la caractéristique de la diode Schottky (figure IV-6). Par ailleurs, plus V_{DS} est important, plus l'énergie des électrons est importante, et plus le phénomène d'ionisation est accentué.

Enfin l'ionisation par impact est en partie responsable de l'effet de coude ou effet « Kink » dans les HEMTs.

IV.3.2 L'effet coude ou effet « Kink »

L'effet de coude est une déformation spécifique de la caractéristique $I_D(V_{DS})$. Il se traduit de deux manières : une saturation anormale de I_{DS} à faible V_{DS}, et une augmentation rapide de la conductance de sortie g_d à fort V_{DS}.

Ce phénomène particulièrement important dans les HEMTs qui utilisent un canal conducteur à petite bande interdite (GaInAs, InAs…), a fait l'objet de plusieurs études pour essayer d'en expliquer les causes.

Somerville fait état des différentes théories mentionnées : toutes sont liées en partie au phénomène d'ionisation par impact [5] [6], comme le montre la figure IV-7. Il suppose de plus que l'effet de coude est lié aux trous créés lors de l'ionisation des atomes, qui s'accumulent dans le canal ; cela implique une génération d'électrons pour assurer la neutralité dans le canal, qui viennent s'ajouter au courant drain. L'accumulation des trous côté source vient « ouvrir » le canal. C'est ce qui explique l'augmentation du courant à fort V_{DS}.

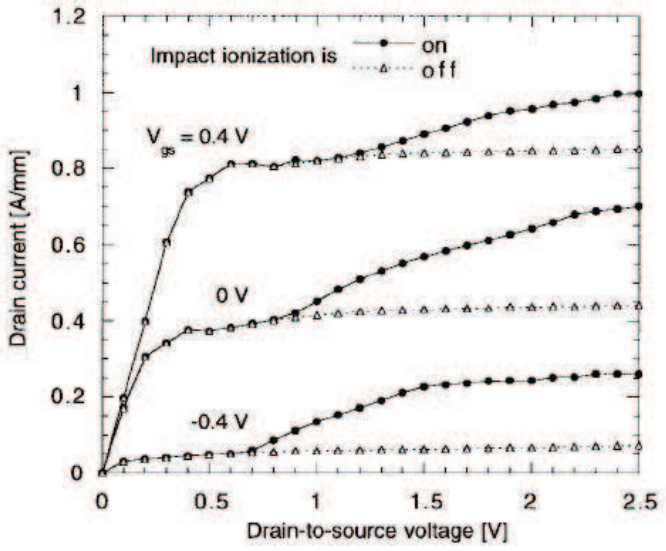


Figure IV-7 : Réseau de courbes $I_D(V_{DS})$ avec (ON) et sans effet « Kink » (OFF) [7]

De plus, l'accumulation de ces trous se fait essentiellement dans la zone désertée côté source, ce qui lie fortement la résistance d'accès de source à l'effet « Kink » [7]. Enfin, la zone de

« recess » (fossé de grille) réalisée en générale par gravure humide doit faire l'objet d'une attention particulière dans le procédé de réalisation du HEMT. Côté source il faut veiller à limiter l'extension latérale de ce fossé de grille, contrôler précisement la profondeur de gravure et gérer les états d'interface dans cette zone. En effet, la carte de potentiel est étroitement liée à ces trois points, et va plus ou moins favoriser l'accumulation des trous. Côté drain, on élargira le fossé de grille pour obtenir un étalement du champ électrique et réduire l'ionisation par impact, et donc la génération des trous. Les géométries différentes et antagonistes des fossés de grille côtés drain et source conduisent à des structures de type fossé de grille asymétrique.

Nous retiendrons principalement pour notre étude que l'effet « Kink » est un facteur limitatif, qu'il est difficile à contrôler, et qu'il dépend de la largeur de fossé de gille côté source et drain. Enfin, il induit une diminution du gain et un fort bruit en basses et hautes fréquences.
Il convient de plus de préciser que ce phénomène est moins marqué à haute température et sous éclairement ; la lumière de même que la température apportant l'énergie nécessaire pour dépiéger les charges et revenir à une caractéristique $I_D(V_{DS})$ classique.

IV.3.3 Les effets de canal court

Des phénomènes limitatifs en terme de performances fréquentielles apparaissent pour des longueurs de grille courtes (sub-microniques), et sont regroupés sous le terme d'effets de canal court ou Short Channel Effect (SCE).
La raison pour laquelle la réduction de la longueur de grille agit sur le fonctionnement du transistor repose sur la théorie du transport des électrons dans le canal.
En régime de fonctionnement normal (à $V_{DS} > 0$), le champ électrique accélère les électrons le long du canal. Lorsque l'équilibre est atteint entre cette accélération et le freinage dû aux collisions des électrons avec les atomes du réseau, le régime est dit stationnaire. Vue l'intensité du champ électrique, il faut pour l'établissement de ce régime, un certain temps et de nombreuses collisions, c'est-à-dire que la distance parcourue par les électrons doit être très grande devant le libre parcours moyen des électrons.
Or, dans le cas de faibles longueurs de grille, les électrons sont brusquement soumis à un échelon de champ électrique très important et aucune collision n'a encore eu lieu : le transport des électrons est donc balistique. Il est donc nécessaire de prendre en compte ces effets transitoires, où les électrons peuvent atteindre des vitesses bien plus importantes que celles d'un régime stationnaire : c'est le phénomène de survitesse.

L'évolution de la vitesse électronique le long du canal (figure IV-8) est caractéristique de ce phénomène. Lors du passage sous la grille, les électrons sont soumis à un fort champ électrique, leur vitesse augmente donc très vite. On observe ensuite le pic représentatif de la survitesse, puis la diminution de la vitesse en bout de grille. La valeur de ce pic de survitesse est supérieure au maximum de vitesse obtenu en régime stationnaire (voir figure IV-5). C'est donc un phénomène a priori bénéfique pour le fonctionnement du transistor puisqu'il permet de réduire le temps de transit des électrons sous la grille et donc d'augmenter la fréquence de coupure.

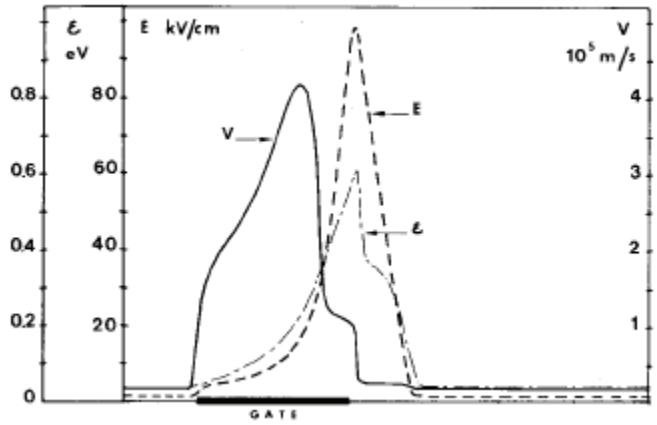


Figure IV-8 : Comparaison vitesse électronique, énergie, et champ électrique pour des grilles courtes

En revanche, le très fort champ électrique induit par ces grilles ultra-courtes en bout de grille (côté drain) implique également une fuite des charges par la couche tampon et/ou le plan de dopage. On désigne par « Real Space Transfert » ces transferts d'électrons chauds en dehors du canal.

Dans le cas des HEMTs étudiés, c'est la fuite des électrons via la couche tampon qui est la plus critique, surtout à fortes valeurs de V_{GS}. Il apparaît en effet que sous un fort champ électrique, les électrons bloqués dans le canal par la zone de charge d'espace, atteignent une énergie suffisante pour contourner cette barrière de potentiel en passant par la couche tampon. Ces électrons chauds sont ensuite collectés par le drain. Cette fuite de charges par le buffer détériore le contrôle de la grille sur le canal et altère la tension de seuil. De plus, elle contribue à l'augmentation de la conductance de sortie.

On retiendra des effets de canal court que dans le cas de faibles longueurs de grille les principaux phénomènes observés sont une augmentation de la vitesse des électrons (survitesse), une détérioration du contrôle de la grille sur le canal, la diminution de la tension de seuil et la fuite des électrons chauds par la couche tampon. Tous ces éléments sont bien sûr à prendre en compte dans le cadre d'une réduction de la longueur de grille des transistors.

Il apparaît toutefois que ces effets de canal court peuvent être réduits par exemple en maintenant constant ou en augmentant la valeur du facteur de forme L_G/d (eq. IV-1), où L_G est la longueur de grille et d la distance grille canal. L'augmentation de ce rapport améliore le contrôle des électrons du canal par la grille [8] et réduit la variation de tension de seuil pour une longueur de grille qui diminue [9].
Mais une trop forte diminution de la distance grille canal dégrade le courant de grille en facilitant l'effet tunnel. Il s'agit donc de faire un compromis pour avoir un fonctionnement optimal suivant les deux directions (dans la technologie HEMT, on conservera un rapport de forme supérieur à cinq).

IV.3.4 Le DIBL et la pente sous le seuil

Comme nous l'avons indiqué précédemment, les effets de canal court induisent un décalage de la tension de seuil. Ceci est d'autant plus marqué à forte polarisation de drain. Cet effet peut être caractérisé par l'évolution du courant de drain en fonction de V_{GS} sous la tension de seuil. Deux grandeurs peuvent être déterminées et indiquent la qualité de pincement du canal : la pente sous la tension de seuil (ou pente sous le seuil) et le DIBL. Le DIBL ou Drain Induced Barrier Lowering correspond, comme son nom l'indique, à l'abaissement de la barrière de potentiel dans la zone de charge d'espace, sous l'effet de la polarisation de drain. Ce mécanisme permet le passage d'un nombre plus important d'électrons, la grille perd en effet une partie du contrôle de la barrière de potentiel fermant le canal, et donc il y a passage d'un courant de fuite. Le DIBL s'illustre donc par une augmentation du courant drain à fort V_{DS} et $V_{GS} < V_P$. Il correspond à la fluctuation de la tension de seuil en fonction de la tension drain-source.
La pente sous le seuil est déterminée sur la caractéristique $\log(I_D)$ fonction de V_{GS}. Elle correspond à la tension grille-source à appliquer pour diminuer le courant de drain d'une décade. Comme son nom l'indique, elle est obtenue pour des valeurs de V_{GS} proches du pincement (ou du seuil), et elle est définie en mV/dec (variation de V_{GS} sur variation de I_D) suivant cette expression pour un HEMT idéal :

$$S = ln10\frac{dV_G}{dlnI_D} \approx 2.3\frac{kT}{q} \qquad \text{(iv-2)}$$

Pour une température de 300K, on aboutit à une valeur de 60mV/dec, qui correspond au minimum obtenu pour un transistor idéal. Cette valeur est un peu plus faible que pour un MOSFET (expression différente). Dans le cas non-idéal, en présence d'effets de canal court et/ou pour un contact Schottky de mauvaise qualité, la valeur obtenue est supérieure à ce minimum.

Pour le DIBL, on fait varier la tension V_{DS}, et on relève l'évolution de la tension de seuil. Le ratio $\Delta V_T/\Delta V_{DS}$ correspond au DIBL. Ces grandeurs caractéristiques sont plus communément utilisées pour les applications numériques, en particulier par la communauté scientifique du MOSFET. Elles sont toutefois intéressantes pour caractériser en partie les effets de canal court dans tous types de transistors à effet de champ.

IV.4 Filières de HEMTs

Nous avons vu que la structure de base d'un HEMT résidait dans l'hétérojonction entre un matériau de grand gap et un matériau de petit gap, en technologie III-V pour des questions de performances. Dès lors, plusieurs associations de matériaux sont théoriquement possibles.

Mais il faut également tenir compte des difficultés d'épitaxie sur le substrat et faire attention aux différences de paramètres de maille entre matériau et substrat.

C'est donc dans un souci d'optimisation que l'on a vu naître différentes filières de HEMTs développées ci-après :

- Dans un premier temps, pour assurer une bonne croissance des couches, il faut idéalement un matériau de même paramètre de maille que le substrat. Les premiers travaux ayant été développés sur du GaAs, la filière dite conventionnelle utilise du GaAlAs sur un substrat de GaAs (figure IV-9)
  On voit en effet que GaAs et AlAs ont des paramètres de maille très proches : le composé GaAlAs se trouve donc sur cette verticale (figure IV-9). De plus suivant la proportion d'aluminium, le gap (bande interdite) sera différent. Cependant le taux d'aluminium est limité aux alentours de 25% afin d'éviter la dégradation des performances fréquentielles liée aux centres DX (MESFET parasite). Ceci conduit à

une discontinuité de bande de conduction ΔE_C faible entre l'AlGaAs et le GaAs d'environ 0.15 eV.

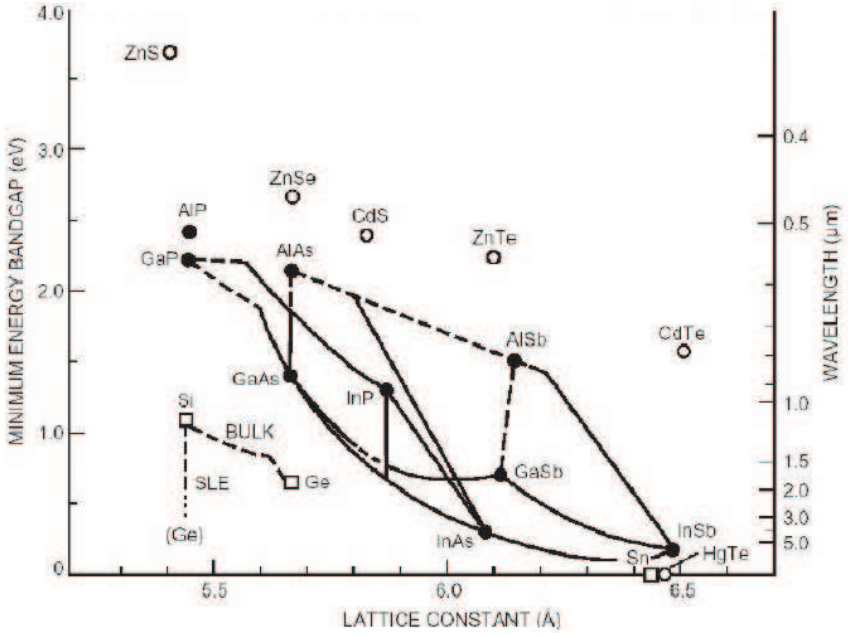


Figure IV-9 : Largeur de bande interdite en fonction du paramètre de maille pour différents matériaux

- L'une des principales améliorations qui a suivi est l'incorporation d'indium dans le canal ce qui conduit au GaInAs. Ceci a eu pour effet d'augmenter ΔE_C (~ 0.3 eV) et d'améliorer la mobilité électronique : ce sont les HEMTs pseudomorphiques (PHEMTs sur GaAs). Mais le paramètre de maille du matériau GaInAs est légèrement différent de celui du matériau GaAs (il dépend du pourcentage d'indium). La couche déposée est alors contrainte (pseudomorphique), ce qui induit une épaisseur critique pour la couche canal au delà de laquelle la structure se fissurerait. Ainsi pour obtenir un bon compromis entre mobilité et solidité de la structure, la quantité d'indium est limitée à 25% et l'épaisseur du canal à envrion 15 nm. De plus, comme pour la structure conventionnelle, le taux d'aluminium est limité à environ 25%.

- Pour pouvoir augmenter le pourcentage d'indium du matériau GaInAs et donc améliorer la mobilité électronique, l'idée est venue de remplacer le substrat GaAs par du phosphure d'indium InP : c'est le HEMT accordé en maille sur InP (LM-HEMTs pour Lattice Matched HEMTs). La couche pour le contact Schokky est alors en

AlInAs pour être à l'accord de maille sur InP (avec 52% d'indium). Cela permet d'augmenter le pourcentage d'indium à 53% dans le canal GaInAs qui est alors à l'accord de maille sur InP, avec une mobilité électronique accrue. De plus ΔE_C est porté à environ 0.5 eV.

- Sur le même principe que les PHEMTs sur GaAs, des transistors pseudomorphiques sur InP (PHEMTs sur InP) ont été développés (figure IV-10). Le pourcentage d'indium dans le canal est augmenté pour bénéficier d'une plus forte mobilité électronique que pour la filière adaptée en maille. Des structures allant jusqu'à 80% d'indium ont déjà été développées.

- L'inconvénient des ces deux dernières structures est le substrat d'InP qui est plus fragile et surtout plus cher que les substrats de GaAs. L'idée est donc de revenir à ces premiers substrats tout en gardant une forte concentration d'indium. Cela est possible en intercalant une couche tampon qui va absorber la différence de paramètre de maille entre le substrat et les couches épitaxiées dessus. C'est la technologie développée dans le cas des HEMTs métamorphiques (MHEMTs) figure IV-10. Ainsi la concentration d'indium dans le canal peut être ajustée à la valeur désirée, car la couche tampon, en général de l'AlInAs, possède une concentration graduelle en indium qui va permettre d'adapter (métamorphisme) le paramètre de maille du substrat GaAs à celui du canal en GaInAs. En général, les concentrations d'indium des matériaux AlInAs et GaInAs sont quasiment identiques. Des filières entre 30 et 50% d'indium ont été développées. Des hétérojonctions de type pseudomorphique sur InP sont aussi possibles (canal contraint GaInAs à taux d'indium important et matériaux AlInAs à 52% d'indium).

Nous avons regroupé figure IV-10 les différentes filières suivant leur structure :

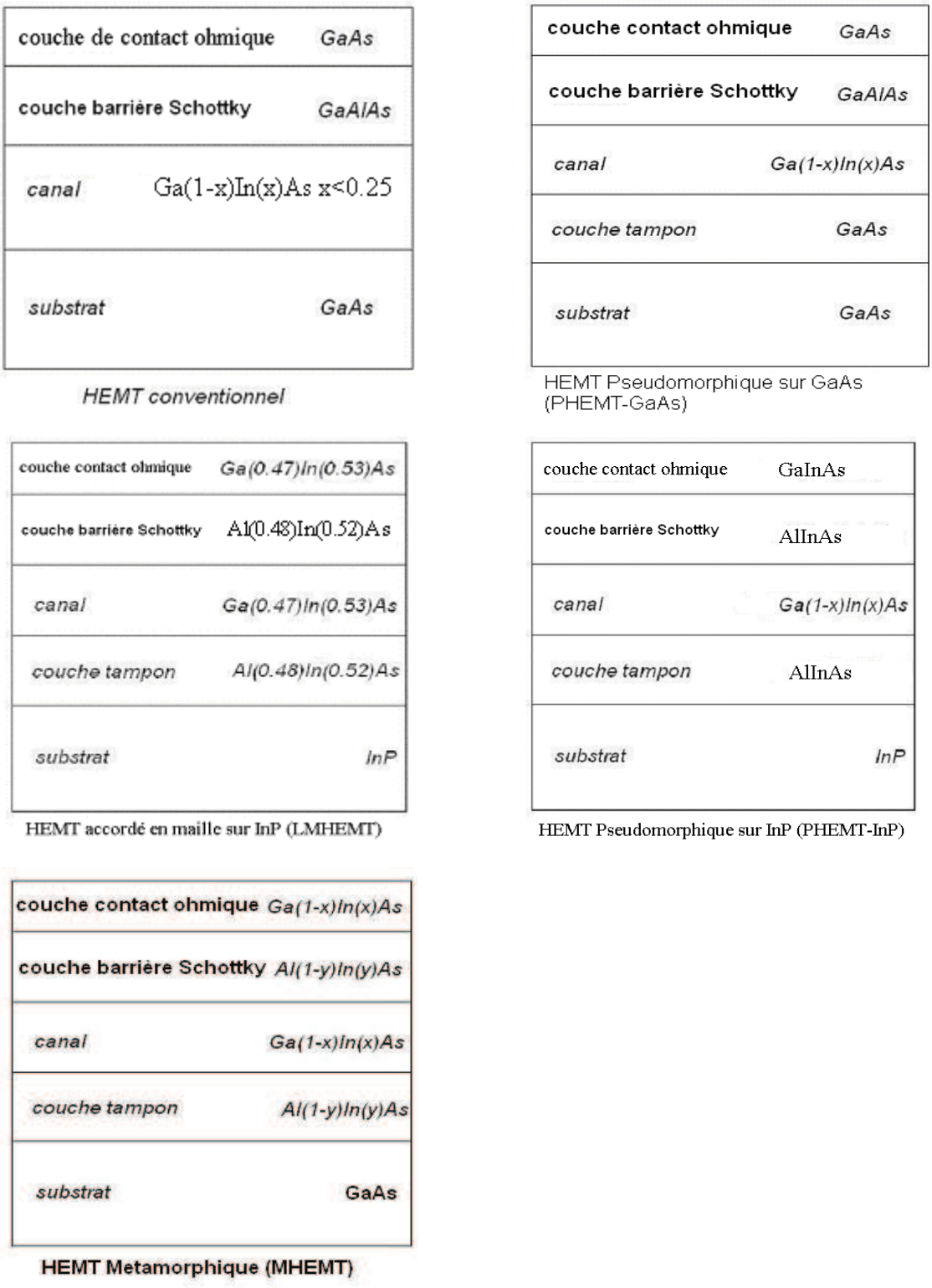


Figure IV-10 : Différentes filières de HEMTs

Les meilleurs candidats pour obtenir des composants à la fois très rapides et à faible bruit sont les HEMTs métamorphiques sur GaAs et pseudomorphiques sur InP. L'utilisation d'un substrat GaAs présente de nombreux avantages pratiques, d'une part au niveau coût : le

substrat GaAs est nettement moins cher que le substrat InP. D'autre part, le matériau GaAs est beaucoup plus robuste que l'InP, ce qui permet entre autre de fabriquer de grandes plaques de substrat (GaAs 8 pouces et InP 4 pouces) et donc d'augmenter le nombre de composants et circuits par plaque.
Malgré tous ces inconvénients, l'InP reste un matériau de choix pour les applications haut-débit grâce notamment à une meilleure mobilité électronique des matériaux épitaxiés sur InP, à leur pic de vitesse électronique plus élevé, ainsi qu'à une meilleure densité de porteurs [10] [11]. En effet, l'épitaxie sur InP s'affranchit d'une couche tampon métamorphique nécessaire sur GaAs, qui ne permet pas d'atteindre les propriétés de transport des hétérojonctions sur InP. L'utilisation de l'InP permet donc une épitaxie mieux contrôlée, ainsi qu'une meilleure évacuation de la chaleur dans le substrat par rapport à la couche tampon métamorphique, ce qui est critique dans le cas de transistors de très petites dimensions. Toutefois, les caractéristiques électriques obtenues avec ces deux filières sont très proches, avec un avantage pour la filière métamorphique sur GaAs en raison de son coût moins élevé.

Les matériaux utilisés ont une influence importante sur les caractéristiques et performances électriques des HEMTs. Les épaisseurs des différents matériaux constituant la couche active ainsi que la topologie du fossé de grille sont aussi primordiaux. Ce dernier point critique est lié à la technologie du composant. C'est pourquoi nous aborderons cet aspect dans la partie suivante, en développant plus particulièrement l'étape de réalisation de la grille qui se révèle être la plus délicate.

V Technologie des composants

V.1 L'épitaxie

Avant les étapes de réalisation des composants, il faut déposer les différentes couches de matériau à partir du substrat : c'est l'épitaxie. Dans notre cas, elle est réalisée sur des plaques InP de 3" (7,62 cm).
La méthode d'épitaxie utilisée chez OMMIC est le dépôt en phase vapeur d'organométalliques (MOCVD). Pour illustrer la technologie des composants, nous allons nous baser sur l'une des structures réalisées durant la thèse : un transistor HEMT AlInAs/GaInAs à l'accord de maille sur un substrat InP (figure IV-1).

La croissance débute par le buffer : une couche d'$Al_{0.48}In_{0.52}As$ à l'accord de maille sur InP. Cette première couche ne sera pas contrainte et les défauts cristallins qui pourraient altérer le fonctionnement du transistor seront minimisés. On trouve ensuite une couche de $Ga_{0.47}In_{0.53}As$ constituant le canal, puis d'$Al_{0.48}In_{0.52}As$ pour l'espaceur, toujours à l'accord de maille sur InP. Vient alors le plan de dopage en silicium. L'espaceur étant de faible épaisseur, on admet que la totalité des charges issues de l'ionisation des atomes de silicium du plan se retrouvent dans le canal. On fait enfin croître la couche barrière Schottky d'$Al_{0.48}In_{0.52}As$ ainsi que la couche de contact ohmique $Ga_{0.47}In_{0.53}As$ fortement dopé, toutes deux à l'accord de maille sur InP.

Les plaques ainsi livrées par l'épitaxie sont caractérisées pour déterminer la mobilité électronique et la concentration d'électrons par la méthode de Hall. Dans notre cas, la densité électronique de Hall N_S est égale à 1.10^{12} cm^{-2} et la mobilité μ est supérieure à 9100 $cm^2/V.s$.

Nous allons maintenant brièvement présenter les principales étapes technologiques qui entrent dans la réalisation de nos HEMTs.

V.2 L'isolation des motifs

La première étape consiste à isoler les composants entre eux en définissant des motifs élémentaires ou « mésa ». La définition du motif se fait par lithographie optique, elle est complétée par une implantation de bore entre les motifs pour casser les liaisons atomiques dans les couches sous-jacentes et ainsi faciliter leur gravure ultérieure.
Cette dernière est une gravure humide qui va atteindre le buffer pour être sûr d'isoler correctement les zones actives.

V.3 Réalisation des contacts ohmiques

Les emplacements des contacts ohmiques de source et drain sont définis par lithographie optique. Le contact métallique est un empilement de germanium / or / nickel / or. La métallisation se fait directement sur la couche de contact ohmique en GaInAs fortement dopé pour avoir des contacts optimum. Les contacts ohmiques sont ensuite alliés dans un four de type RTA (Rapid Thermal Annealing). Cette étape est essentielle pour l'optimisation des

résistances de contact de drain et de source, qui doivent, comme toutes les résistances parasites, être réduites pour ne pas dégrader le fonctionnement du composant.

V.4 Réalisation de la grille

Cette étape est la plus critique du procédé de fabrication car c'est sa qualité de réalisation qui décidera des performances du transistor. Le motif est défini par une lithographie dans un système multicouches de résines (PMMA, PMMA-MAA, PMMA) La définition des plots d'accès des grilles se fait par lithographie optique, par contre la grille en elle même est définie par lithographie électronique (E-Beam). En effet, la lithographie électronique étant plus lente et plus chère, elle est réservée aux petits motifs (doigts de grille) qui demandent plus de précision. Afin de réaliser un contact Schottky de bonne qualité, la métallisation de grille doit être déposée sur la couche Schottky, ici l'AlInAs. Il faut donc supprimer la couche de contact ohmique avant dépôt métallique : c'est l'étape de gravure chimique appelée recess. L'ensemble de ces étapes est décrit dans la suite de cette partie.

Il est de plus nécessaire d'isoler les flancs de mesa pour éviter que le GaInAs constituant le canal ne soit en contact avec le métal de grille comme le montre la figure V-1. Il suffit pour cela de sous graver le GaInAs lors de l'étape de mesa. La solution de gravure utilisée attaque plus facilement le GaInAs que l'AlInAs. Ainsi les flancs de GaInAs sont déjà un peu attaqués lors de la gravure mesa.

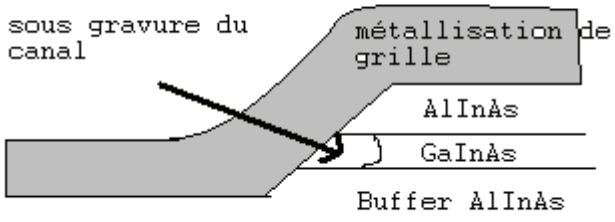


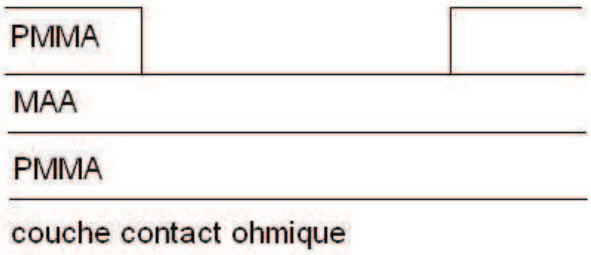
Figure V-1 : Isolation des flancs de mesa.

V.4.1 Grille champignon

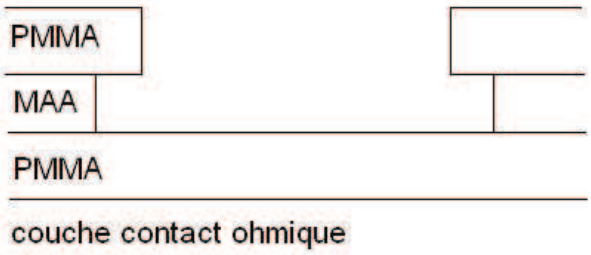
En fonction de la forme même que l'on souhaite donner à la grille, le procédé, et en particulier les résines utilisées, vont être différents. Dans notre cas, c'est une grille en champignon que

l'on veut réaliser. Ce besoin trouve son origine dans la diminution des dimensions des composants, et en particulier de leur longueur de grille. Or, lorsque la longueur de grille est réduite, on doit augmenter la section de la grille, et conserver une résistance de grille suffisamment faible pour éviter la dégradation des performances dynamiques du transistor. D'où l'idée d'une grille champignon constituée d'un « pied » de grille de petite longueur (autour de 100 nm) auquel est accroché un « chapeau » de grande section. Il est de plus indispensable que la grille soit mécaniquement robuste : le pied doit pouvoir supporter le poids du chapeau, qui ne doit donc pas être disproportionné.

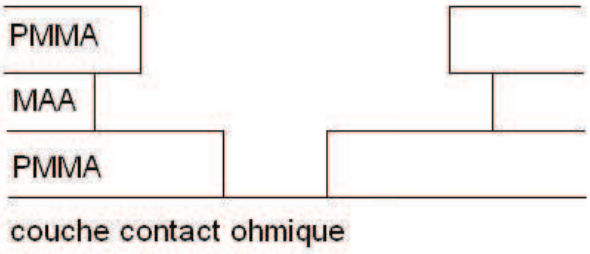
La définition de la grille se fait par lithographie électronique qui permet d'obtenir de meilleures résolution et précision que la lithographie optique. Cette définition repose sur l'utilisation de deux résines photosensibles : un polymère PMMA et un copolymère PMMA-MAA, que l'on va insoler puis développer pour obtenir le profil de résine voulu (voir figure V-2).



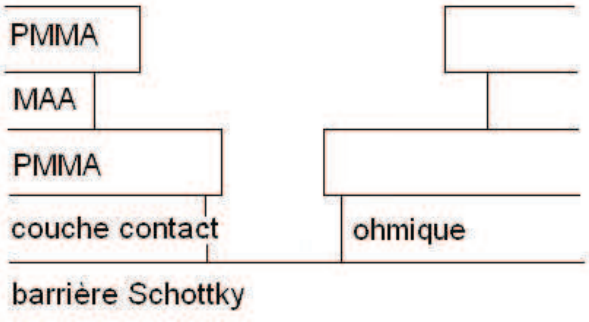
Première lithographie du chapeau de grille



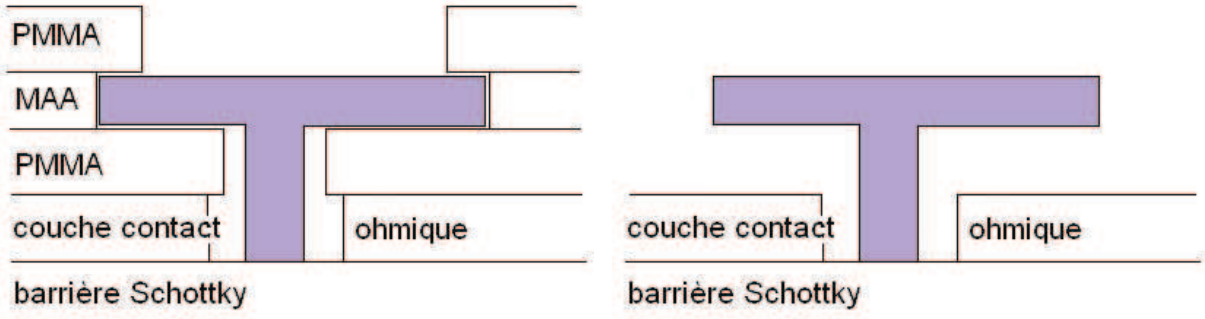
Seconde lithographie du chapeau de grille



Lithographie du pied de grille



Gravure de la couche de contact ohmique



Métallisation de la grille *Elimination des résines (« lift-off »)*

Figure V-2 : Etapes de réalisation de la grille champignon.

On joue sur la différence de sensibilité du PMMA par rapport au PMMA-MAA. Ce dernier étant plus sensible, les liaisons moléculaires se briseront à une moindre dose que pour le PMMA.

La définition du chapeau se fait en deux étapes de lithographie pour obtenir un profil en casquette pour pouvoir utiliser la technique du « lift-off » pour la métallisation.

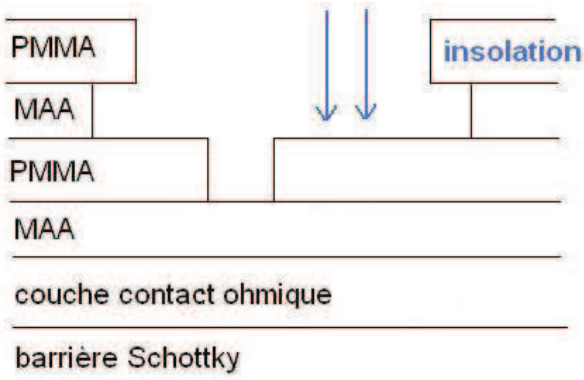
On procède ensuite de la même façon à l'écriture E-Beam puis au développement du pied de grille dans la deuxième couche de PMMA. On arrive alors sur la couche de contact ohmique qu'il faudra graver pour atteindre la couche barrière Schottky AlInAs où sera finalement déposée la grille. Ceci correspond à l'étape de recess, qui sera décrite dans la partie V.1.2. On métallise enfin la structure par évaporation de platine / titane / platine / or. Ainsi, tout le métal déposé en dehors des zones de grille définies précédemment sera retiré en même temps que la résine non insolée : c'est le « lift-off ».

V.4.2 Gravure du recess de grille

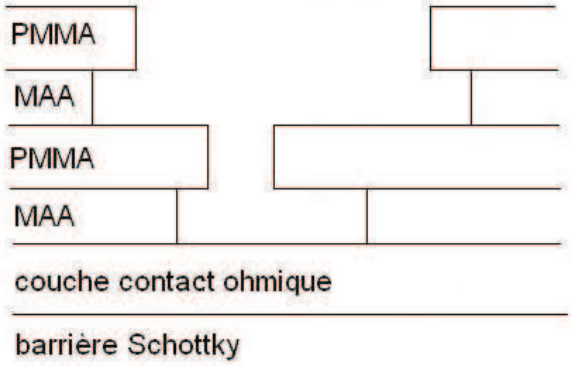
Il est nécessaire, pour réaliser le contact Schottky de grille, de déposer la métallisation directement sur la couche barrière Schottky non dopée ; il faut pour cela graver la couche de contact ohmique. Pour éviter que la gravure ne soit insuffisante et donc que la métallisation repose directement sur la couche dopée de GaInAs (ce qui induirait un contact Schottky de mauvaise qualité) il est préférable de sur-graver cette couche de GaInAs. On utilise dans notre cas une gravure humide d'acide citrique pour graver sélectivement le GaInAs par rapport à l'AlInAs. On est ainsi sûr que la couche de contact ohmique est entièrement gravée. Par contre cette gravure qui va être stoppée par la couche d'AlInAs, continuera néanmoins latéralement de façon symétrique. Cette surgravure latérale forme ce que l'on appelle le « recess » ou fossé de grille. La définition du recess de grille entraîne la formation de zones

latérales gravées, qui ne sont donc plus couvertes par la couche de contact ohmique et qui vont introduire de fortes résistances d'accès côté drain et d'une façon plus problématique, du côté source. Le contrôle de ce recess est primordial pour le fonctionnement du transistor car sa géométrie influe sur les performances, notamment en hautes fréquences et en bruit du composant.

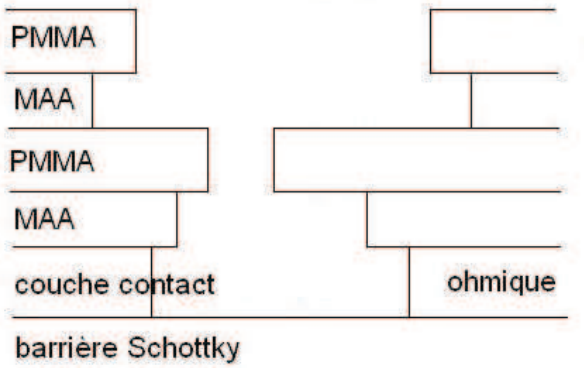
Il arrive, comme nous le verrons dans les chapitres suivants, qu'il faille décaler la grille par rapport à son recess, et former ce que l'on appelle un recess asymétrique. Pour cela, on a recours à une lithographie quadricouche en commençant par une couche de PMMA-MAA avant le PMMA. La définition du pied de grille se fait alors également en deux étapes de lithographie. On joue là encore sur la sensibilité du copolymère PMMA-MAA par rapport à celle du polymère PMMA, et les solutions de développement utilisées permettent d' « ouvrir » le PMMA-MAA sans affecter le PMMA (figure V-3)



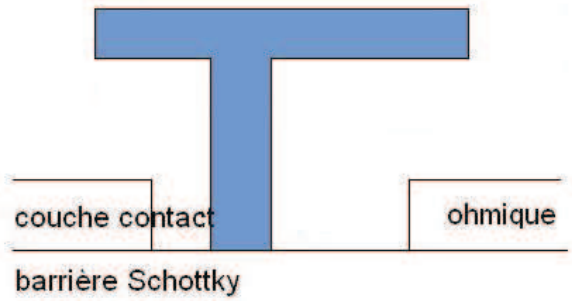
Insolation du MAA du pied de grille



Développement du MAA : ouverture du profil asymétrique



Gravure de la couche de contact ohmique



Métallisation de la grille

Figure V-3 : Etapes de réalisation d'un recess asymétrique

La figure V-4 représente la photographie au microscope électronique à balayage (MEB) d'une section réalisée au FIB (Focused Ion Beam) d'une grille champignon de 100 nm de longueur avec un recess symétrique, d'un HEMT métamorphique AlInAs/GaInAs.



Figure V-4 : Image FIB de la grille champignon d'un MHEMT de longueur L_G = 100 nm

V.5 Etapes supplémentaires

Les plaques subissent également d'autres étapes pour la réalisation des circuits. Ces étapes sont :

- La réalisation des capacités MIM (métal – isolant - métal), qui commence avant la réalisation de la grille pour le dépôt de la première électrode métallique, via une métallisation de platine/titane/platine/or. La première couche de passivation sert d'isolant à ces capacités.
- La passivation des transistors. Tout d'abord, un dépôt de nitrure de silicium SiN à haute température qui va agir sur les caractéristiques électriques du transistor (point détaillé dans les chapitres suivants). L'échantillon est ensuite enduit de BCB (BenzoCycloButene) un matériau de passivation dont la constante diélectrique est ε_r = 2,5. Après enduction de résine et gravure au plasma oxygène de l'échantillon, on laisse le BCB uniquement au dessus des grilles. L'intérêt est ici de réduire les capacités parasites du transistor, c'est pourquoi on préfère le BCB au Si_3N_4 dont la

constante est ε_r = 7,5. L'ensemble de l'échantillon est ensuite protégé par une deuxième passivation de 1700 Å de Si_3N_4.

- La seconde métallisation des capacités, les deux couches précédentes de nitrure de silicium servant d'isolant aux capacités. La métallisation est constituée de titane/palladium/titane.
- L'ouverture des contacts à travers les diélectriques, pour établir une connexion avec les contacts de grille, drain, source.
- La réalisation des ponts à air, cette étape est indispensable pour relier les contacts de source entre eux dans le cas de transistors à plus de deux doigts de grille.
- L'interconnexion électrique pour relier les plots ouverts précédemment. La métallisation est un empilement de titane/platine/or

Les plaques subissent alors un recuit de stabilisation pendant 24 heures pour éliminer les composants les plus faibles. Toutes les étapes du procédé alternent avec des contrôles visuels et des nettoyages de surface pour optimiser l'adhérence des couches ultérieures et s'assurer qu'il n'y a pas de défaut majeur à une étape avant d'entreprendre la suivante.

VI HEMTs à enrichissement

VI.1 Définition

On distingue, comme pour les MOSFETs classiques,

- des transistors à enrichissement appelés Enhancement mode HEMTs (E-HEMTs) ou normally OFF HEMTs (nOFF HEMTs)
- des transistors à désertion appelés Desertion mode HEMTs (D-HEMTs) ou normally ON HEMTs (nON HEMTs)

L'appellation normally ON ou OFF vient de l'état du transistor à V_{GS} nul. Les E-HEMTs ont une tension de seuil positive, ils sont donc bloqués à $V_{GS} = 0$, tandis que les D-HEMTs ont une tension de seuil négative, ils sont donc passants à $V_{GS} = 0$ (figure VI-1)

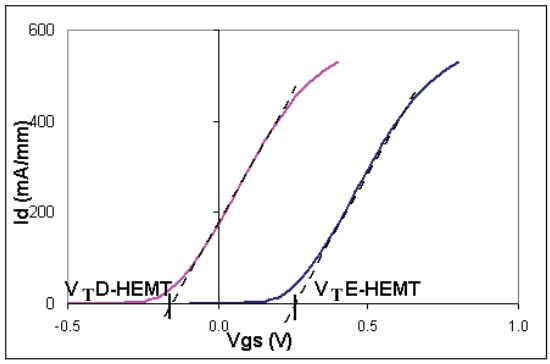


Figure VI-1 : Tensions de seuil D-HEMTs et E-HEMTs

VI.2 Paramètres pour l'obtention d'un HEMT à enrichissement

Pour une structure de bande d'énergie de conduction schématisée sur la figure VI-2, on peut définir la tension de pincement V_P, correspondant au pincement du canal (plus de charge libre sous la grille) par l'expression suivante :

$$V_P = \Phi_B - \Delta E_C - \frac{qN_\delta d}{\varepsilon} \qquad \text{(vi-1)}$$

où :

Φ_B est la hauteur de barrière Schottky entre la couche barrière et le métal de grille

ΔE_C la discontinuité de bande de conduction entre le canal et l'espaceur

N_δ la densité surfacique des donneurs du plan de dopage

d est la distance grille - plan de dopage

Ces différents paramètres sont explicités d'une façon simplifiée sur le diagramme de la bande de conduction d'un HEMT, figure VI-2.

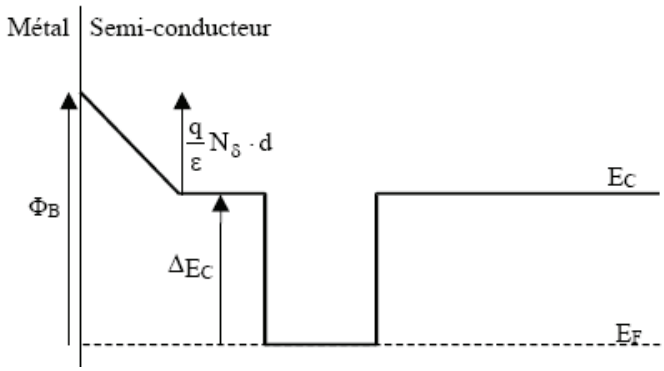


Figure VI-2 : Diagramme de la bande de conduction d'un transistor HEMT

Le premier terme Φ_B - ΔE_C est le terme prépondérant de cette équation [12]. Pour obtenir un E-HEMT et donc une valeur de V_P positive il faut donc que ce terme soit suffisamment positif.

Pour augmenter Φ_B dans un premier temps, il existe deux solutions efficaces et complémentaires :

- D'une part en jouant sur la nature de la métallisation de la grille. De nombreux essais ont été réalisés sur une couche barrière d'AlInAs avec différentes métallisations [10] [13] [14]
- D'autre part en jouant sur le matériau semi-conducteur de la couche barrière Schottky AlInAs. Il a été prouvé que l'augmentation du pourcentage d'aluminium augmente sa hauteur de barrière Schottky [15], [16].

Ces deux solutions complémentaires sont détaillées ci-après.

VI.2.1 Utilisation du platine comme métal de grille

Dans la majorité des transistors à enrichissement, le platine est le métal le plus souvent utilisé car il présente un double avantage :

- D'une part comme nous l'avons déjà mentionné, il permet de constituer une diode Schottky à barrière élevée lorsqu'il est déposé sur une couche d'AlInAs à l'accord de maille (0,746 eV selon Mahajan et al. [10])
- D'autre part, il réagit avec le ternaire AlInAs après recuit et pénètre dans la structure.

Cette dernière technologie, appelée « buried gate » ou grille enterrée consiste donc à faire un recuit à haute température après la métallisation de grille. Dans notre cas, cette montée en température se fait lors du dépôt de nitrure de silicium SiN de la première passivation. Le taux de pénétration du platine dans la barrière Schottky est de 1.4 fois l'épaisseur initiale de platine selon Harada et al. [14] ce qui permet de réduire considérablement la distance entre la grille et le canal d et de contribuer ainsi à l'obtention d'une tension de seuil positive selon l'équation (vi-1).

VI.2.2 Diminution du pourcentage d'indium dans la barrière Schottky

D'après l'équation (vi-1), augmenter la hauteur de barrière Schottky ne suffit pas pour que le premier terme de l'équation soit positif. Il faut avant tout que l'écart Φ_B - ΔE_C soit le plus grand possible.

Ce terme est fixé par la nature du métal de grille (comme nous venons de le voir) et par les matériaux de la couche barrière Schottky et du canal. Si le terme principal est assez grand, on peut se permettre d'avoir un fort N_δ * d tout en maintenant V_T positif, et ainsi obtenir de bonnes performances dynamiques avec un N_δ fort et un courant de fuite de grille réduit grâce à la grande épaisseur d.

Pour un HEMT à l'accord de maille sur InP (avec donc 52% d'indium dans la barrière Schottky) et une métallisation au titane, Φ_B est d'environ 0.55-0.65 eV et ΔE_C d'environ 0.53 eV ce qui implique un très faible terme principal. Dans ce cas, pour obtenir un HEMT à enrichissement, le terme secondaire doit être significativement réduit, en réduisant N_δ ou d, ce qui aurait un effet catastrophique sur les performances statiques et/ou dynamiques. En effet, une réduction du N_δ limitera la densité du gaz 2D d'électrons, et donc le courant. Le choix de la distance grille – plan de dopage d répond à un compromis : une faible distance d est néfaste pour le courant tunnel de grille et l'effet « Kink ». En effet, plus cette distance sera réduite, et plus l'extension de la zone de fossé de grille sera grande ce qui induit plus d'« effet Kink ». En effet, la distance entre la surface dans les zones de fossé de grille et le canal conducteur correspond à la distance d plus l'espaceur. Plus cette distance est faible et plus le potentiel de surface de la zone de fossé de grille va influer la densité d'électrons dans le canal, et conduire ainsi à un effet « Kink » plus marqué. Ce dernier défaut peut être réduit par l'utilisation d'une grille enterrée. Une forte valeur de Φ_B peut permettre d'abaisser le courant de fuite de grille. Toutefois, une faible valeur de d est bénéfique à l'augmentation de l'efficacité de commande de charge et donc à la transconductance.

C'est pourquoi, et c'est le cœur de ce travail de thèse, nous avons associé ces deux solutions dans nos composants : diminuer le pourcentage d'indium dans la barrière Schottky pour augmenter le Φ_B, et profiter de la diffusion du platine pour réduire l'épaisseur effective de cette couche barrière Schottky. Ces deux effets combinés assurent une tension de seuil positive ainsi que d'excellentes performances statiques et dynamiques qui seront présentées dans les chapitres suivants.

VI.3 Influence de la résistance de source R_S

D'un point de vue technologique, la réalisation d'un transistor à enrichissement introduit des difficultés qui justifient la prépondérance des transistors à désertion, plus facilement

réalisables. Le point le plus critique dans la réalisation d'un HEMT est le contrôle de la résistance de source. On regroupe sous le terme de résistance de source la résistance du contact ohmique de source, la résistance dans la couche canal sous la couche de contact ohmique et enfin la résistance dans le canal sous le fossé de grille, comme le montre la figure VI-3.

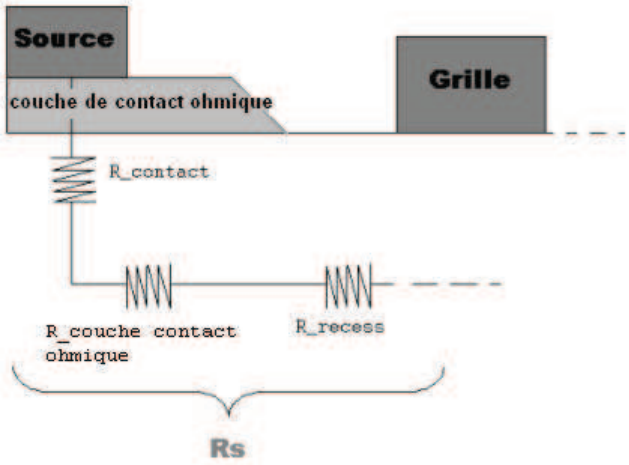


Figure VI-3 : Résistance de source R_S

La résistance sous le recess de grille, la plus critique, provient de l'extension latérale de la gravure humide de la couche de contact ohmique. Cela aboutit à des zones non couvertes par l'électrode de grille déposée ultérieurement qui vont, sous l'effet du potentiel de surface, déserter le canal et diminuer sa conductivité en introduisant des résistances d'accès très importantes, notamment côté source. Cette résistance est d'autant plus élevée que la distance entre la surface et le canal conducteur est faible. Or une forte résistance de source R_S dégrade les performances du transistor, en particulier la transconductance extrinsèque g_{mext} qui est reliée à la transconductance intrinsèque g_{mint} et R_S par la relation :

$$g_{mext} = \frac{g_{\min t}}{1 + g_{\min t} * R_S}$$

Il existe des solutions technologiques pour réduire ces résistances parasites. Nous en détaillerons deux ici.

La première, qui tend à réduire la résistance de contact, consiste à ne pas allier les contacts ohmiques mais à intercaler une couche d'AlInAs dopée entre la couche de contact ohmique et la couche barrière Schottky d'un HEMT AlInAs/GaInAs sur InP [17]. Chen et al. montrent dans ce cas que la hauteur de barrière de potentiel entre le contact metallique et le canal s'en

trouve fortement réduite ce qui permet le passage d'un courant tunnel , et donc réduit les résistances d'accès.

Une deuxième solution consiste à réduire les extensions du recess de grille en associant deux gravures pour la définition de la grille. Suemitsu et al. décrivent dans [18] un transistor E-HEMT AlInAs/GaInAs avec une couche d'InP en surface de la barrière Schottky. Celle-ci sert à stopper la gravure humide de la couche de contact ohmique . L'InP est ensuite retiré par une gravure plasma d'argon, ce qui réduit considérablement les surgravures latérales.

Notons enfin que la métallisation au platine utilisée dans notre cas permet également de réduire les résistances de source puisque la diffusion du platine évite un amincissement de la barrière Schottky, et donc une désertion excessive des zones d'accès.

VI.4 Intérêt des HEMTs à enrichissement

Le développement des transistors à enrichissement aujourd'hui est primordial en terme d'intégration et de réduction des coûts. En effet, les transistors à désertion nécessitent une polarisation de grille négative et une polarisation de drain positive, soit un encombrement sur puce pour l'intégration d'inverseurs, sans parler du bilan en puissance consommée. Les transistors à enrichissement par contre ne nécessitent que des tensions positives pour le drain comme pour la grille.

Le développement des E-HEMTs permet par ailleurs l'intégration de transistors à enrichissement et à désertion sur une seule et même puce [19] [20]. Les conceptions de circuits numériques s'en trouvent alors grandement améliorées. On passe d'une logique basée exclusivement sur les D-HEMTs : le BFL ou Buffered FET Logic à une logique intégrant D et E-HEMTs appelée DCFL ou Direct Coupled FET Logic. Celle-ci permet une configuration de circuit simplifiée avec une forte intégration et une consommation réduite, comme le montre la figure VI-4 [21].

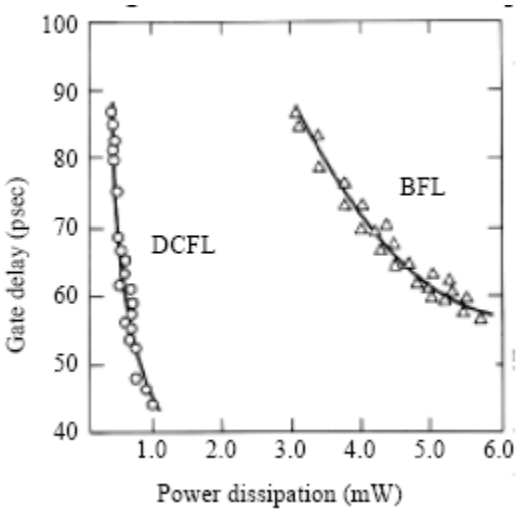
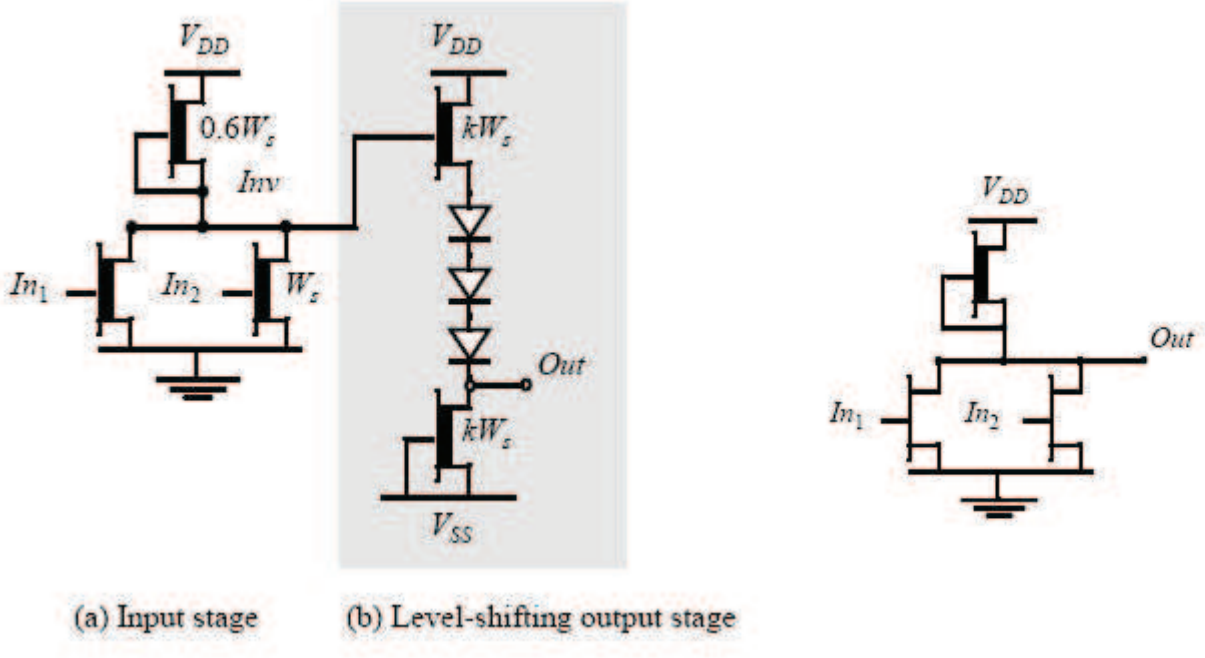


Figure VI-4 : Comparaison des logiques DCFL et BFL en terme de performances d'après [21]

La figure VI-5 montre la représentation à base de transistors à désertion uniquement (logique BFL) de la porte NOR, et comparativement la même fonction en logique DCFL avec des transistors à enrichissement et désertion. On voit bien le gain en simplicité et en consommation de la logique DCFL par rapport à la logique BFL, puisque cette dernière impose un étage supplémentaire en sortie.



Porte NOR en logique BFL

Porte NOR en logique DCFL

Figure VI-5 : Comparaison des portes logiques DCFL et BFL [21]

On voit l'intérêt de la logique DCFL en terme de vitesse, de consommation et simplicité des circuits. Il est donc très intéressant de pouvoir réaliser des transistors à enrichissement et à désertion sur la même plaque.

Dans ce cas, d'un point de vue technologique, c'est la variation de la distance grille – plan de dopage qui va permettre d'obtenir les deux types de transistor. En effet, selon l'équation (vi-1), la réduction de l'écart grille – plan de dopage augmente la tension de seuil, il suffit donc de graver plus profondément dans la structure dans le cas des E-HEMTs, sachant que la définition des D-HEMTs se fait grâce à des couches d'arrêt de la gravure (« etch stopper »).

Une structure schématique des deux types de transistors est représentée figure VI-6, avec de l'AlAs comme couche d'arrêt.

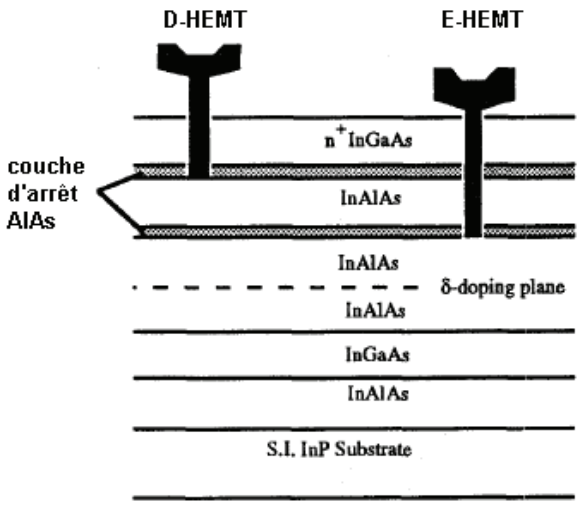


Figure VI-6 : Structure de transistors D-HEMT et E-HEMT sur une même plaque

VII Paramètres caractéristiques du HEMT

Le comportement électrique des HEMTs est défini par des grandeurs qui vont déterminer leurs performances. Ces paramètres sont fortement liés à la technologie, tant au niveau matériau qu'au niveau des procédés.

Nous verrons dans ce chapitre les grandeurs statiques et dynamiques du transistor, avant de faire le lien entre ces paramètres remarquables et la technologie du composant, via son schéma équivalent.

VII.1 Paramètres statiques

VII.1.1 La transconductance g_m

La transconductance g_m est définie comme la variation du courant I_D en fonction de la tension V_{GS} à V_{DS} constant :

$$g_m = \left(\frac{\partial I_D}{\partial V_{GS}} \right).(V_{DS} = cste)$$

Elle traduit l'efficacité de la modulation du courant dans le canal par la tension appliquée sur la grille. On cherchera donc à la rendre maximale.

Nous distinguerons la transconductance extrinsèque g_{mext} qui prend en compte les accès du transistor, de la transconductance intrinsèque g_{mint} qui traduit comme son nom l'indique, le comportement intrinsèque du transistor. Ces deux grandeurs sont approximativement reliées par la formule :

$g_{mext} = \dfrac{g_{\min t}}{1 + R_S * g_{\min t}}$ où R_S désigne la résistance de source

Il apparaît ici que la résistance de source est un paramètre essentiel dans l'optimisation des transistors HEMTs, du fait de la forte dépendance de g_{mext} avec R_S.

VII.1.2 La conductance de sortie g_d

La conductance de sortie gd est définie comme la variation du courant I_D en fonction de V_{DS} à V_{GS} constant :

$$g_d = \left(\frac{\partial I_D}{\partial V_{DS}} \right).(V_{GS} = cste)$$

La conductance g_d traduit la conduction parasite drain - source de la structure. Il sert d'indicateur de régime de saturation : en fonctionnement linéaire, le canal a une faible résistance (la zone désertée ne s'est pas encore étendue) donc g_d est grand. Par contre, en régime saturé, la zone de charge d'espace occupe tout le canal côté drain, sa résistance augmente et g_d diminue.

On cherchera donc à minimiser g_d en régime saturé.

Par ailleurs, g_d illustre également les phénomènes limitatifs du transistor HEMT comme l'ionisation par impact et l'effet « Kink », les effets de canal court, qui se traduisent par une augmentation de la conductance de sortie en régime saturé.

VII.1.3 Tension de seuil V_T et tension de pincement V_P

On parle de transistor pincé lorsque la zone désertée dans le canal s'étend jusqu'à venir contacter l'interface avec la couche tampon (buffer). La tension de grille correspondante est alors appelée tension de pincement V_P. C'est la tension appliquée sur la grille pour laquelle il n'existe aucune charge libre sous la grille. On peut aussi définir la tension de seuil V_T en focntionnement du transistor, qui va correspondre à la fermeture du transistor en terme de courant de drain. Pour des transitors longs et idéaux (en particulier pas de courant de fuite), la tension de pincement et la tension de seuil sont identiques. Pour des transistors courts, les effets de canal court vont engendrer une différence entre ces deux tensions. En effet, il sera plus difficile d'annuler le courant drain du transistor à grille courte, pour de fortes valeurs de tension drain source. Cette variation peut par exemple être évaluée par le DIBL. Toutefois ces deux tensions sont très étroitement liées, la tension de seuil dépendant directement de la tension de pincement. Cette dernière tension peut être extraite de simulations de commande de charge (par exemple par Schrödinger-Poisson autocohérents), ou des caractéristiques à tension drain-source nulle, telles que la mesure de la capacité de grille en fonction de V_{GS} (ou appelé C(V)). Elle peut être aussi estimée par une expression analytique donnée équation iv-2. Cette expression est donc un outil intéressant pour estimer la tension de pincement et donc de seuil, à partir d'une structure de couche.

En fonctionnement, c'est-à-dire à transistor polarisé, la tension de seuil est la grandeur la plus pertinente, entre autre pour la conception de circuits. C'est elle qui va déterminer le mode de fonctionnement du transistor :

- à désertion pour une tension de seuil négative
- à enrichissement pour une tension de seuil positive

Mais si la définition de la tension de seuil est identique, les méthodes d'obtention varient d'un laboratoire à l'autre. Nous allons décrire ici les plus fréquentes :

- Méthode de la tangente : elle consiste à tracer la caractéristique $I_D = f(V_{GS})$. On considère alors la partie quasi linéaire de la courbe et la tension de seuil V_{T1} correspond alors à l'intersection avec l'axe des abscisses de la tangente à la droite (figure VII-1).

- Méthode quadratique : à partir de la même caractéristique on s'intéresse cette fois à la partie quadratique de la courbe, c'est-à-dire au « décollage » de I_D. Moon et al. démontrent d'ailleurs la dépendance quadratique du courant de drain avec V_{GS} [22]. Il suffit alors de tracer $\sqrt{I_D}$ en fonction de V_{GS}, l'intersection de cette caractéristique linéaire avec l'axe des abscisses donnera la tension de seuil V_{T2}.

- Une autre méthode consiste à poser V_T égale à une valeur de V_{GS} à I_D fixé On pose par convention que la tension de seuil V_T est la tension de grille pour laquelle I_D vaut 1 mA/mm pour V_{DS} = 1 V (figure VII-1). C'est cette méthode qui est utilisée à OMMIC. Par abus de langage, on désigne souvent par tension de seuil la tension de pincement.

Suivant la définition choisie, la valeur des tensions de seuil peut être très différente (figure VII-1).

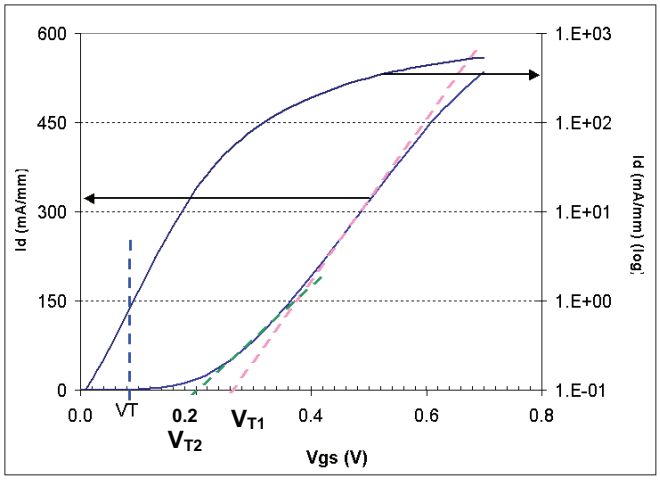


Figure VII-1 : Courant I_D en fonction de V_{GS} pour un transistor E-HEMT sur InP. Différentes définitions de la tension de pincement

Pour cet exemple figure VII-1, la méthode linéaire donne V_{T1} = 262 mV, la méthode quadratique donne V_{T2} = 200 mV, la méthode OMMIC donne V_T = 90 mV. C'est pourquoi il convient de préciser la méthode choisie pour les mesures, dès qu'il est question de tension de seuil.

VII.1.4 Tension de claquage de la jonction grille drain V_{BGD}

Ce paramètre renseigne sur la tenue en tension du transistor, c'est-à-dire la tension maximale que l'on peut appliquer sur la grille sans détériorer le composant. Cette tension est déterminée à partir de la tension de claquage de la jonction grille drain car c'est elle qui subira un champ

électrique intense lors du fonctionnement du transistor, c'est donc elle qui va en limiter le fonctionnement. La tension de claquage en inverse V_{BGD} est mesurée normalement en faisant varier la tension V_{GD} avec le contact de source en l'air. Dans notre cas, les sondes RF utilisées pour les mesures ne nous permettant pas de garder la source en l'air, celle-ci est court-circuitée avec le drain. Cela nous donne malgré tout une bonne représentation de la tension de claquage, bien que légèrement sous-estimée.

On définit la tension de claquage inverse V_{BGD} comme étant la valeur de V_{GS} lorsque le courant de grille I_G vaut –1 mA/mm à V_{DS} = 0V comme illustré sur la figure VII-2.

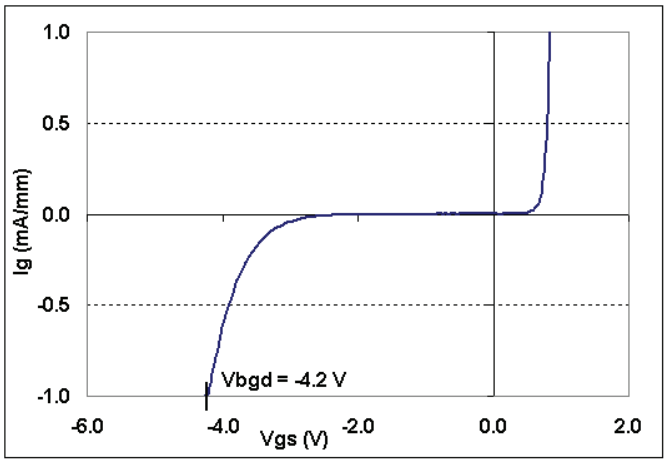


Figure VII-2 : Tension de claquage en inverse V_{BGD} à V_{DS} = 0V d'un transistor E-MHEMT

VII.1.5 L'excursion en tension ou « swing »

L'excursion en tension V_{GS} que nous noterons V_{SWING} est un paramètre primordial dans le fonctionnement des HEMTs, en particulier dans le cas des HEMTs à enrichissement concernés dans ce travail de thèse. Elle est définie comme étant l'écart entre la tension de seuil V_T et la tension V_{GSmax} obtenue lorsque $|I_G|$ = 1 mA/mm (figure VII-3)

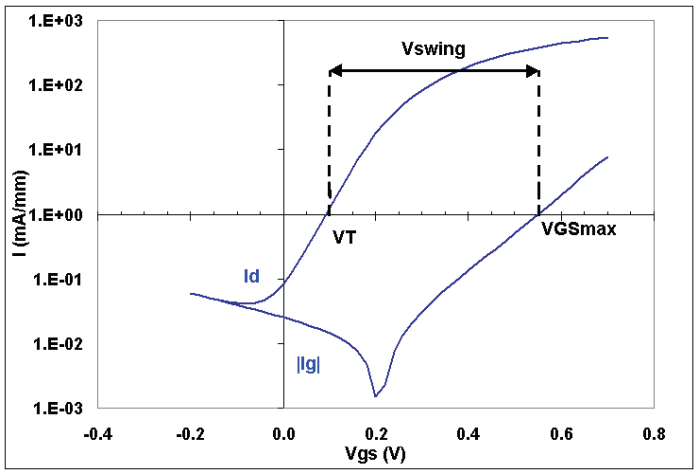


Figure VII-3 : Excursion en tension d'un transistor E-MHEMT sur InP

Le swing illustre donc la plage de fonctionnement du transistor, c'est-à-dire les tensions de polarisation grille - source possibles. Cette excursion doit donc être la plus élevée possible, ce qui implique dans notre étude que,

- d'une part la tension de seuil doit être suffisamment positive pour avoir un HEMT à enrichissement, mais pas excessivement pour ne pas réduire V_{SWING},
- d'autre part la tension V_{GSMAX} doit être aussi grande que possible, en d'autres termes que le courant de grille doit être réduit.

VII.2 Paramètres dynamiques

Pour caractériser les performances hyperfréquences du transistor, nous utilisons plusieurs notions de gains et de fréquences remarquables. Ces caractéristiques sont obtenues à partir des paramètres S (Scattering parameters ou paramètres de dispersion).

VII.2.1 Mesure des paramètres S

La mesure des paramètres S se fait grâce à un analyseur de réseaux. C'est le principal appareil de mesures en hyperfréquences. Il en existe deux types :

- Les analyseurs scalaires qui ne mesurent que le module des paramètres S
- Les analyseurs vectoriels qui fournissent le module et la phase

Une étape importante avant toute mesure de paramètres S consiste à calibrer l'analyseur de réseaux. Ceci permet de corriger les erreurs systématiques introduites par l'analyseur : désadaptation de la source et/ou de la charge, directivité imparfaite du système de mesure, réponse en fréquence des câbles et des adaptateurs de test non constante, pertes entre l'analyseur de réseau et le dispositif sous test, etc.

Le calibrage s'effectue à l'aide de standards ou étalons connus: charge adaptée de 50 Ω, court-circuit, circuit ouvert, ligne adaptée. On détermine ensuite le délai à considérer dans nos résultats pour tenir compte du fait que les mesures sont faites dans le plan des pointes et non directement dans le plan des transistors.

Pour la mesure sur substrat (« on-wafer ») des HEMTs, la mesure des paramètres S se fait dans un plan différent de celui du transistor. Le plan des pointes et le plan d'entrée du transistor sont séparés par les accès coplanaires du transistor. Ces accès ont une impédance caractéristique de 50 Ω et leurs pertes sont quasi-nulles. Ainsi il est nécessaire d'introduire un

délai sur les mesures de paramètres S, correspondant aux longueurs des lignes d'accès. On ajustera donc nos résultats avec un délai de 0,9 ps, qui correspond aux longueurs des lignes d'accès coplanaires utilisées.

VII.2.2 Le gain en courant de court-circuit

Il est obtenu à partir des paramètres S mesurés puis convertis en paramètres H, suivant l'expression suivante :

$$H_{21} = \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \qquad \text{(vii-1)}$$

Ce gain en courant permet d'obtenir la fréquence de transition du gain en courant F_T, qui correspond à un gain en courant égal à 0 dB ($|H_{21}| = 1$)

La fréquence de transition est, comme nous le verrons, un facteur clé pour les applications numériques et les applications hyperfréquences en général.

VII.2.3 Le gain maximum disponible ou MAG (Maximum Available Gain)

C'est le gain en puissance obtenu en adaptant l'entrée et la sortie d'un quadripôle actif. Il correspond au maximum de transfert de puissance entre l'entrée et la sortie, réalisé dans des conditions d'adaptation optimales en entrée et en sortie.

Ces conditions sont obtenues lorsque le coefficient de stabilité k est supérieur à 1. Dans le cas contraire, on calcule le gain maximum stable, noté MSG (Maximum Stable Gain).

On a ainsi :

- k>1 $\qquad MAG = \left|\frac{S_{21}}{S_{12}}\right|\left(k - \sqrt{k^2-1}\right) \qquad$ avec $\qquad k = \frac{1-|S_{11}|^2-|S_{22}|^2+|S_{11}S_{22}-S_{12}S_{21}|^2}{2|S_{12}||S_{21}|}$
- $k \le 1 \qquad MSG = \left|\frac{S_{21}}{S_{12}}\right|$ (vii-2)

A partir du MAG, on détermine la fréquence F_{MAG} qui est une extrapolation du gain à 0 dB.

VII.2.4 Gain unilatéral U ou gain de Mason

C'est le gain du transistor lorsque celui-ci est adapté en puissance à l'entrée et à la sortie et qu'une contre-réaction annule le paramètre S_{12}'.

Le gain unilatéral est donné par :

$$U = \frac{1}{2} \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{\left(k \left| \frac{S_{21}}{S_{12}} \right| - \mathrm{Re}\left(\frac{S_{21}}{S_{12}} \right) \right)} \qquad \text{(vii-3)}$$

Ce gain permet de déterminer la fréquence maximale d'oscillation F_{MAX} pour U = 1, au delà de laquelle le quadripôle est passif. Par ailleurs les transitions des gains U et MAG convergent à la même fréquence (F_{MAG} = F_{MAX}). Ces fréquences caractérisent les performances en puissance des transistors micro-ondes et permettent de les comparer entre eux. Elles sont plus adaptées aux applications analogiques.

La matrice S est ensuite convertie en matrice Z et Y. Les éléments de ces matrices sont reliés aux différents éléments du schéma équivalent du transistor, dont l'extraction est détaillée dans le paragraphe suivant.

VIII Schéma électrique équivalent petit signal

VIII.1 Schéma électrique équivalent petit signal

Le schéma équivalent figure VIII-1 permet de représenter le fonctionnement électrique du transistor, en fonction de ses paramètres physiques.

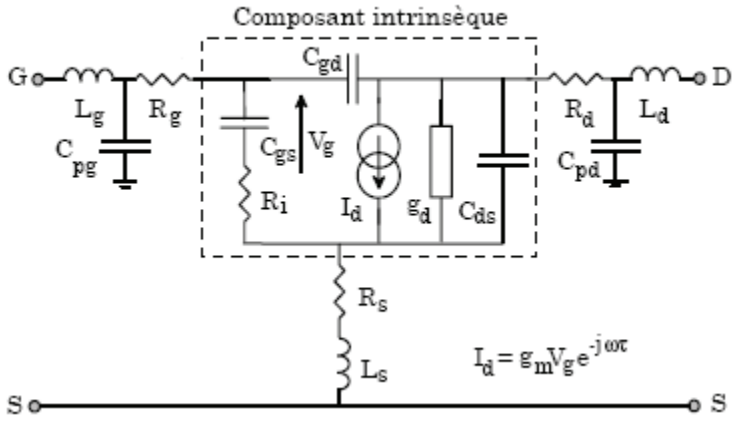


Figure VIII-1 : Schéma équivalent du transistor HEMT

Où :

C_{GS} représente la capacité grille - source
C_{DS} la capacité drain - source
C_{GD} la capacité grille - drain
R_i la résistance d'entrée (= R_{GS})
g_m la transconductance
g_d la conductance de sortie

} éléments intrinsèques (qui dépendent de la polarisation)

C_{PD}, C_{PG} les capacités parasites de drain et de grille
R_G, R_D, R_S les résistances de grille, de drain et de source
L_G, L_D, L_S les inductances d'accès de grille, drain et source

} éléments extrinsèques (indépendants de la polarisation)

Le schéma se compose d'une partie intrinsèque qui modélise la partie active et d'une partie extrinsèque qui modélise les éléments d'accès du transistor. L'extraction de ces éléments est faite suivant la méthode développée par G. Dambrine [23].
Cette méthode se décompose en deux parties . D'abord on effectue des mesures à transistor froid (V_{DS} = 0 V), à transistor pincé et ouvert pour obtenir les éléments extrinsèques du transistor.
Puis sous des conditions de polarisation normale, on détermine les éléments intrinsèques par la technique dite « d'épluchage » schématisée figure VIII-2 et détaillée ci-dessous :

- Mesure des paramètres S du transistor extrinsèque
- Transformation de la matrice S en matrice impédance Z et soustraction des éléments série L_G et L_D
- Transformation de la matrice Z en matrice admittance Y et soustraction des éléments parallèles C_{PG} et C_{PD}
- Transformation de la matrice Y en matrice Z et soustraction des éléments série R_G, R_S, R_D et L_S
- Transformation de la matrice Z en la matrice admittance Y intrinsèque recherchée

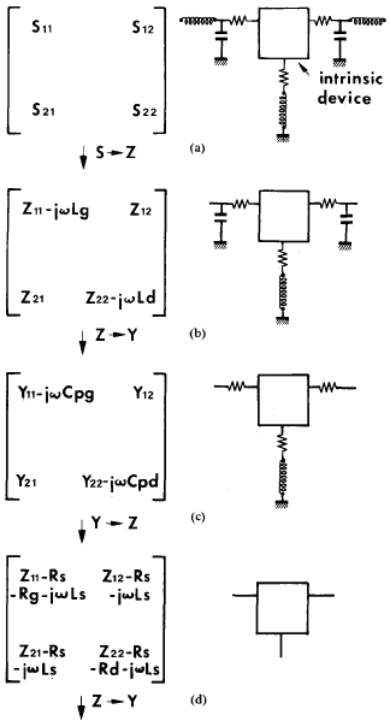


Figure VIII-2 : Méthode d'extraction de la matrice Y intrinsèque [23]

On arrive alors à une matrice Y intrinsèque. Les éléments intrinsèques peuvent alors être calculés grâce à la configuration en Pi du schéma équivalent.

Il est ensuite possible de déterminer les fréquences caractéristiques citées précédemment en fonction des paramètres physiques du transistor.

VIII.2 Expression des paramètres dynamiques en fonction des éléments du schéma équivalent

L'expression la plus utilisée pour estimer la fréquence de coupure du gain en courant est la suivante : $F_T = \dfrac{g_m}{2\pi\left(C_{GS} + C_{GD} + C_{PG}\right)}$ (viii-1)

où C_{PG} est la capacité parasite du plot de grille et est souvent négligée devant les deux autres capacités.

La fréquence F_{MAX} est donnée par :

$$F_{MAX} = \frac{f_C}{2\sqrt{\left(R_S + R_G + R_i\right)g_d + 2\pi f_C R_G C_{GD}}} \text{ où } f_C = \frac{g_m}{2\Pi C_{GS}} \quad \text{(viii-2)}$$

On voit dans un premier temps que les fréquences F_T et F_{MAX} sont corrélées. De plus, ces expressions permettent de connaître l'évolution des fréquences en fonction des paramètres physiques du composant , et de guider les modifications technologiques pour l'amélioration des performances dynamiques (par exemple la réduction des résistances d'accès).
Il existe néanmoins de nombreuses autres expressions de ces paramètres, plus rigoureuses mais plus lourdes, qui prennent en compte tous les éléments intrinsèques et extrinsèques du transistor [24].

IX Caractérisation en bruit des HEMTs

Les paramètres caractéristiques des HEMTs présentés dans les paragraphes précédents influent plus ou moins sur les performances en bruit du transistor. Le travail de cette thèse étant orienté vers les composants HEMTs faible bruit, nous allons préciser dans ce paragraphe la théorie du bruit dans les quadripôles ainsi que les méthodes d'extraction des paramètres de bruit.

IX.1 Théorie du bruit

IX.1.1 Généralités

On appelle généralement bruit tout mécanisme altérant l'information contenue dans un signal électrique, entre l'entrée et la sortie d'un composant. Les origines du bruit sont diverses et l'on différencie plusieurs sortes de bruit suivant que l'on soit en hautes ou basses fréquences. Nous ne nous intéresserons dans cette étude qu'au bruit en hautes fréquences, du fait des applications visées par nos composants.

Les performances en bruit des transistors sont liées à des sources de bruit internes au composant. On distingue dans les sources de bruit internes :

- Le bruit d'agitation thermique ou bruit de Johnson, provoqué par l'agitation thermique des électrons dans les conducteurs.
- Le bruit de diffusion lié aux interactions subies par l'électron lors de son déplacement sous un champ électrique dans le semi-conducteur. Ce bruit est fortement lié à la mobilité des électrons dans le canal. Ce qui fait des matériaux III-V (forte mobilité) de

très bons candidats pour les applications faible bruit. A champ électrique nul, le bruit de diffusion correspond au bruit thermique.

- Le bruit de grenaille (ou bruit Schottky), lié à l'aspect corpusculaire du courant entre le canal et la grille. Il se manifeste dans tous les dispositifs où il y a émission et collection d'électrons.
- Le bruit de génération - recombinaison, lié aux pièges dans les interfaces, le canal, la couche tampon etc.
- Le bruit de scintillement ou bruit en 1/f.

Les bruits thermiques et de grenaille ont une densité spectrale énergétique indépendante de la fréquence, ce sont des bruits « blancs » (par analogie avec la lumière blanche qui contient toutes les radiations du spectre visible) alors que le bruit de génération – recombinaison et le bruit en 1/f sont décroissants avec la fréquence.

IX.1.2 Représentation d'un quadripôle bruyant

Tout composant peut être représenté en bruit par un quadripôle non bruyant associé à deux sources de bruit en entrée et/ou en sortie, corrélées ou non selon les modèles d'extraction exploités (voir paragraphe suivant). Ces sources peuvent être des sources de courant ou de tension, les représentations étant équivalentes.

Le passage d'une représentation à l'autre se fait via une transformation matricielle. En effet, à chaque représentation en bruit correspond une représentation matricielle (figure IX-1) :

- La représentation impédance (matrice [Z]) correspond à l'association de deux sources de bruit en tension en entrée et en sortie
- La représentation admittance (matrice [Y]) correspond à l'association de deux sources de bruit en courant en entrée et en sortie
- La représentation chaîne (matrice [A]) correspond à l'association d'une source de bruit en tension et une source de bruit en courant à l'entrée du quadripôle

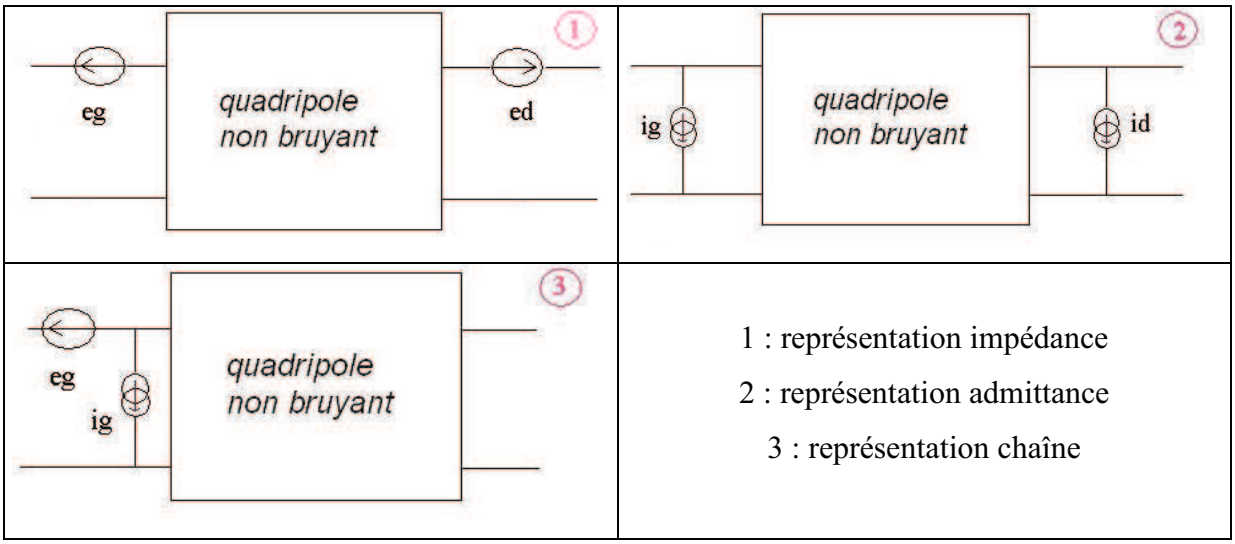


Figure IX-1 : Représentations équivalentes de quadripôles bruyants

Ces représentations matricielles vont ainsi faciliter l'extraction des paramètres qui caractérisent le quadripôle en bruit. La représentation la plus utilisée est la chaîne, car elle est cohérente avec la mise en cascade des quadripôles.

IX.1.3 Définition des principaux paramètres de bruit

Un composant est défini par ses quatre paramètres de bruit :

- La résistance équivalente de bruit R_n
- La température minimale de bruit T_{min} ou le facteur minimum de bruit F_{min} (ces termes étant directement liés).
- L'admittance optimale de bruit Y_{opt} (définie par ses parties réelle et imaginaire)

Un composant est plus souvent caractérisé en bruit par son facteur de bruit minimum F_{min}, ainsi que le gain associé G_{ass}.

Par définition, le facteur de bruit F traduit la dégradation du rapport signal sur bruit entre l'entrée et la sortie d'un dispositif, comme l'illustre la formule suivante :

$$F = \frac{S_{entree} / B_{entree}}{S_{sortie} / B_{sortie}} \qquad \text{(ix-1)}$$

Le facteur de bruit peut s'exprimer en fonction des quatre paramètres de bruit selon la relation :

$$F = F_{\min} + \frac{R_n}{Re(Y_s)} * \left| Y_s - Y_{opt} \right|^2 \qquad \text{(ix-2)}$$

Où F_{min} est la valeur minimum du facteur de bruit, Ys correspond à l'impédance de charge placée à l'entrée du quadripôle (impédance de la source), et Y_{opt} désigne l'admittance optimale à placer en charge à l'entrée du quadripôle, pour avoir un facteur de bruit minimum. R_n est une résistance équivalente de bruit du générateur de bruit eg (figure IX-1). De la même façon, le gain associé peut s'exprimer en fonction du coefficient de réflexion optimal de la source Γ_{opt} , ainsi que des paramètres S du transistor selon la formule :

$$G_{ass} = \frac{\left(1 - \left|\Gamma_{opt}\right|^2\right) * \left|S_{21}\right|^2}{\left|1 - S_{11} * \Gamma_{opt}\right|^2 * \left(1 - \left|\Gamma_{out}\right|^2\right)} \qquad \text{(ix-3)}$$

Enfin, le facteur de bruit d'un quadripôle s'exprime le plus souvent en dB, ainsi

$$NF(dB) = 10 * \log(F) \qquad \text{(ix-4)}$$

Il existe plusieurs méthodes d'extraction des paramètres de bruit, que nous allons maintenant détailler.

IX.2 Méthodes d'extraction des paramètres de bruit

La formule (ix-2) montre la dépendance des quatre paramètres de bruit avec l'impédance de source. Ainsi, les premières extractions des paramètres de bruit ont été logiquement basées sur des variations d'impédances et de résolution de systèmes d'équations. Mais d'autres méthodes basées sur des modèles, plus fiables et plus reproductibles ont très vite vu le jour. C'est ce que nous allons développer dans ce paragraphe.

IX.2.1 Méthode manuelle

Cette méthode est la première à avoir été testée. Elle consiste à faire varier l'impédance présentée en entrée du dispositif à l'aide d'un synthétiseur d'impédance, jusqu'à trouver le minimum de bruit. L'impédance en sortie du dispositif est également modifiée afin d'obtenir la puissance disponible en sortie du dispositif. Le facteur de bruit est donc mesuré directement, ainsi que l'impédance optimale associée. Il ne reste plus alors qu'à en déduire la résistance équivalente de bruit en utilisant la formule (ix-2).

Cette méthode, simple dans le principe, pose des problèmes d'utilisation car la recherche du minimum de bruit peut s'avérer lourde et laborieuse, et difficilement automatisable pour les grandes séries. D'autres méthodes ont donc vite été développées.

IX.2.2 Méthode tuner

Cette méthode est aussi appelée méthode des impédances multiples. Elle consiste, comme son nom l'indique, à mesurer le facteur de bruit pour quatre impédances d'entrée différentes. Le principe consiste alors à résoudre un système de quatre équations à quatre inconnues en se basant sur la formule (ix-2) précédente. Le nombre d'impédances présentées en entrée a vite augmenté afin d'améliorer la précision d'extraction des paramètres de bruit.
Le développement et les performances de cette méthode sont liés aux synthétiseurs d'impédances présentés en entrée dont la précision dépend de la qualité d'extraction des paramètres de bruit. De plus, l'utilisation de ces synthétiseurs d'impédance contrôlables permet la reproductibilité et l'automatisation des extractions des paramètres de bruit.
L'inconvénient est que la gamme d'impédances présentées à l'entrée du dispositif doit être répartie de façon équilibrée sur l'abaque de Smith. Or certaines impédances peuvent faire osciller les dispositifs et donc réduisent le champ d'impédances exploitables.
D'autre part, cette méthode est étroitement liée aux moyens utilisés pour faire varier les impédances (tuner, bancs multi impédances) et donc à leurs imprécisions et défauts propres (encombrement par exemple).
Pour limiter ces dépendances vis-à-vis des contraintes liées aux différents dispositifs, une autre méthode consiste à se baser sur un modèle d'extraction des paramètres de bruit.

IX.3 Extraction des paramètres de bruit basée sur un modèle électrique

Cette méthode permet de s'affranchir de l'utilisation des bancs multi impédances et des contraintes qui y sont liées. Le principe consiste à utiliser un modèle électrique décrivant le comportement en bruit du composant, l'extraction se faisant en mesurant uniquement d'une part les paramètres S du composant, pour déterminer les éléments caractéristiques du schéma équivalent, et d'autre part le facteur de bruit sous impédance de 50 Ω, pour déterminer les éléments représentatifs du bruit.
Cette méthode repose donc sur le choix du modèle utilisé. Nous décrirons les principaux dans ce paragraphe, ainsi que celui utilisé pour nos extractions.

IX.3.1 Modèle de Van Der Ziel

C'est l'un des premiers modèles qui aient été développés pour représenter le comportement en bruit des transistors à effet de champ [25]. Conformément aux schémas décrits dans le paragraphe IX-1-2, il utilise une source de bruit en courant en entrée et une source de bruit en courant en sortie, les deux étant corrélées (voir figure IX-1). Ces générateurs de bruit sont donnés par :

$$\begin{cases} i_d^{\,2} = 4kT_a P g_m \Delta f \\ i_g^{\,2} = 4kT_a R \dfrac{C_{gs}^{\,2}\omega^2}{g_m} \Delta f \\ \overline{i_g . i_d^{\,*}} = (0 + jC).\sqrt{\overline{i_g^{\,2}}\,\overline{i_d^{\,2}}} \end{cases}$$

On remarque qu'ici le coefficient de corrélation est purement imaginaire.

Le principe repose sur l'utilisation de trois paramètres P, R et C théoriquement indépendants, qui permettent de modéliser les quatre paramètres de bruit obtenus par l'utilisation d'un banc multi impédances. Cela permet une large latitude de modélisation, par contre cette méthode impose d'avoir une mesure des quatre paramètres de bruit afin de modéliser le comportement en bruit du dispositif.

Selon ce modèle, et dans le cas d'un schéma équivalent fortement simplifié (avec seulement g_m et C_{GS}), le facteur minimum de bruit s'exprime suivant la formule :

$$F_{\min} = 1 + 2\frac{f}{f_C}\sqrt{(P * R * \left(1 - C^2\right)} \text{ avec } f_C = \frac{g_m}{2\Pi C_{GS}} \qquad \text{(ix-5)}$$

Ce modèle a ensuite subi différentes améliorations, dont la dernière proposée par M. W. Pospieszalski qui lie de façon empirique les trois coefficients selon la relation :

$$C = \sqrt{\frac{R}{P}}$$

Cette amélioration a donné lieu à un nouveau modèle basé sur deux paramètres au lieu de trois.

IX.3.2 Modèle de Pospieszalski

Ce modèle utilise une source de bruit en tension V_g en entrée et une source de bruit en courant i_d^2 (source quadratique) en sortie, les deux étant corrélées [26]. Les sources de bruit sont définies par les équations suivantes :

$i_d^2 = 4k.T_d.g_d.\Delta f$

$v_g = 4k.T_g.R_i.\Delta f$

T_g et T_d désignent les températures équivalentes de bruit sur la grille et sur le drain, g_d la conductance de sortie et R_i la résistance intrinsèque du transistor (voir schéma équivalent figure VIII-1).

Le principal inconvénient de ce modèle est sa forte dépendance avec les éléments intrinsèques du transistor, et en particulier la résistance R_i dont l'extraction est toujours problématique. L'extraction des éléments du schéma équivalent s'avère donc extrêmement importante pour la détermination du bruit d'un composant, et de sa précision découle la qualité d'extraction des paramètres de bruit.

Cette méthode est néanmoins très simple à utiliser, et de nombreux autres modèles ont par la suite été développés à partir de cette référence.

IX.3.3 Modèle de bruit à deux températures (modèle F50)

Ce modèle, développé par G. Dambrine, consiste à exploiter des mesures de bruit sur 50 Ohms en se basant de plus sur une extraction précise des éléments du schéma équivalent petit signal du composant.

Ce modèle repose sur la configuration suivante : source de bruit en tension en entrée pour estimer le comportement bruyant côté grille ; et source de bruit en courant en sortie représentative du bruit lié au courant de drain (figure IX-2). C'est cette méthode, développée à l'IEMN, qui a été utilisée pour nos études en bruit durant ce travail de thèse.

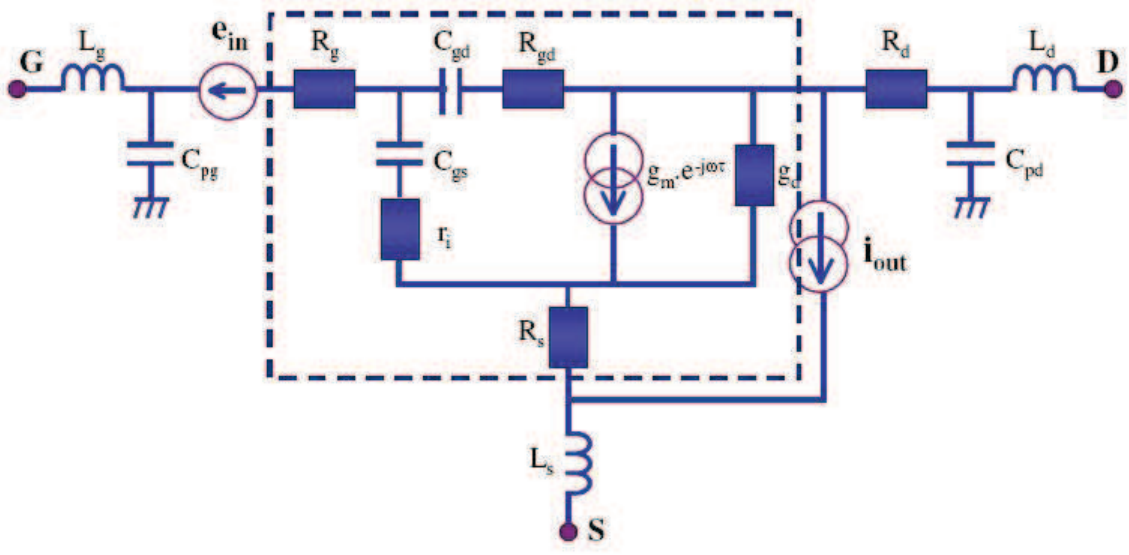


Figure IX-2 : Modèle du bruit F50 utilisé à l'IEMN

Ces deux sources de bruit supposées non corrélées sont définies par les relations suivantes :

$$\begin{cases} \overline{e_{in}}^{\,2} = 4 * k * T_{in} * Re\left(\dfrac{1}{Y_{11}}\right) * \Delta f \\ \overline{i_{out}}^{\,2} = 4 * k * T_{out} * Re\left(\dfrac{1}{Z_{22}}\right) * \Delta f \end{cases}$$

On voit donc que la source de bruit en entrée s'obtient aisément à partir d'une température de bruit équivalente T_{in}, qui est fixée à la température ambiante, et de la partie réelle de Y_{11} déduite par transformation des mesures de paramètres S, desquels sont extraits les éléments intrinsèques. De même, la source de bruit en sortie s'obtient à partir de la température équivalente T_{out} et de la partie réelle de Z_{22}. Les paramètres Y_{11} et Z_{22} sont extraits des mesures de paramètres S, après soustraction des éléments extrinsèques L_g, C_{pg} et L_s (épluchage). Il n'est pas nécessaire de soustraire les éléments L_d et C_{pd}, ceux-ci se trouvent en sortie du quadripole et n'influent donc que très peu sur les caractéristiques de bruit. La détermination de la température de bruit en sortie T_{out} est alors fixée en comparant la valeur du facteur de bruit sur 50 Ohms mesuré sur une large bande de fréquences (dans notre cas de 6 à 40 GHz) aux calculs du F50 utilisant le schéma équivalent de la figure IX-2.

Lorsque l'on présente une impédance de 50 Ohms à l'entrée d'un dispositif, le facteur de bruit est donné par l'équation :

$$F50 = 1 + R_n * G_0 + \frac{R_n}{G_0} * (2 * G_0 * G_{cor} + \left|Y_{opt}\right|^2) \qquad [23]$$

Où G_0 est la conductance de la source à 50 Ohms (soit 20 mS)

Et G_{cor} la conductance de corrélation

L'application de ce modèle pour la détermination du bruit est indissociable d'une bonne extraction des paramètres intrinsèques et en particulier extrinsèques. La méthode utilisée dans notre cas est le principe d'épluchage développé par G. Dambrine [23] et détaillé dans le paragraphe précédent.

Enfin, le principal intérêt de ce modèle réside dans le fait que la détermination du comportement bruyant du composant n'est ainsi plus liée qu'à la détermination d'un seul paramètre T_{out} (T_{in} étant fixée à la température ambiante), ce qui assure une grande robustesse du modèle. De plus, l'utilisation d'un modèle de bruit permet des extrapolations à fréquences différentes de celles de la mesure. L'inconvénient étant justement que cette méthode repose

sur un modèle de bruit : elle n'est donc valable que pour les transistors à effet de champ (MOSFETs, HEMTs, MESFETs, etc.)

X Etat de l'art des transistors RF

X.1 La filière HEMT AlInAs/GaInAs

Nous avons différencié dans cette étude les transistors à enrichissement et à désertion (HEMTs OFF et ON respectivement). En effet, le principal désavantage du HEMT à enrichissement réside dans ses faibles performances dynamiques comparées à celles des HEMTs à désertion, et également en terme de bruit. On trouve en effet très peu de résultats de bruit pour les E-HEMTs à cause de leur forte résistance de source qui dégrade les figures de bruit.

Les HEMTs ON donnent un maximum de F_T de 628 GHz pour un L_G = 30 nm [27]. Le F_{MAX} est de 331 GHz pour ce transistor. A L_G = 50 nm, le meilleur compromis F_T/F_{MAX} est de 557 / 718 GHz [27]. Le meilleur F_{MAX} est de 1.2 THz pour L_G = 50 nm, ce qui a permis la réalisation d'amplificateur faible bruit au-delà de 300 GHz [28]. Ces résultats sont obtenus avec des HEMTs pseudomorphiques sur InP.

Pour les HEMTs-OFF, OMMIC a obtenu un F_T = 204 GHz et F_{MAX} = 315 GHz. Ces transistors à enrichissement présentent globalement un niveau de bruit supérieur aux transistors à désertion, même si on atteint un NF_{min} de 0,69 dB pour un G_{ass} = 10dB à 30 GHz pour un E-MHEMT à 40% d'indium [12].

X.2 La filière HEMT antimoine

Pour les applications en gamme d'ondes millimétriques, il est indispensable d'élever les fréquences de coupure des composants. Les recherches s'orientent aujourd'hui vers de nouvelles structures à forte mobilité électronique, comme l'hétérostructure InAs/AlSb, en vue de leur utilisation pour des HEMTs.

Tout d'abord, ces deux composés binaires InAs et AlSb présentent des paramètres de maille très proches, comme l'illustre la courbe figure X-1.

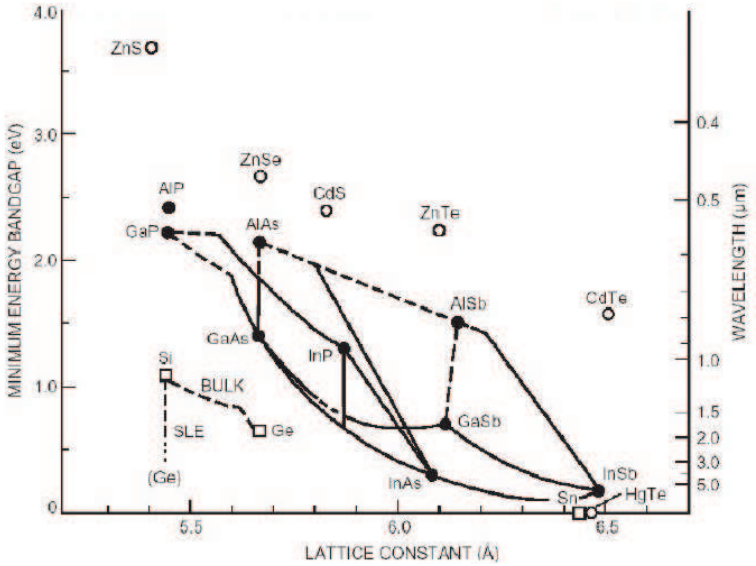


Figure X-1 : Diagramme du gap E_G en fonction du paramètre de maille

Cette hétérostructure bénéficie surtout d'une forte mobilité électronique (30 000 cm²/V.s pour un 2DEG de 1,5 10^{12} cm²) [29], d'un grand écart inter - vallées Γ et L ($\Delta E_{\Gamma\text{-}L}$ = 0.9 eV pour InAs) ce qui permet de très grands pics de vitesse (~ 4.10^7 cm/s) [29].

Par ailleurs, la discontinuité de bande de conduction entre AlSb et InAs s'élève à ΔE_C = 1,35 eV contre 0,53 eV pour une structure AlInAs/InGaAs à l'accord de maille sur InP, ce qui permet un excellent confinement des charges.

Malgré tous ces avantages, cette structure n'atteint pas encore les performances escomptées. Ceci est dû à des effets canal court très dégradants comme un fort effet « Kink » et une conductance de sortie élevée [29] [30]. Des efforts sont donc à fournir pour atteindre les performances théoriquement possibles de cette nouvelle filière.

On obtient tout de même des fréquences F_T, F_{MAX} jusqu'à respectivement 260 et 280 GHz sur cette structure [31].

X.3 MOSFETs RF

Malgré une faible prédisposition aux applications RF due à leur mobilité réduite par rapport aux matériaux III-V, les transistors MOSFETs font leur grand retour dans le domaine des hyperfréquences. Ce revirement est dû aux nouvelles avancées technologiques dans le procédé même de fabrication des composants, notamment en terme de lithographie qui permet de réduire considérablement les longueurs de grille (jusqu'à 29 nm [32]). Les records

fréquentiels atteints en technologie MOSFET en 2007 faisaient état d'une fréquence F_T de 360 GHz et F_{MAX} de 420 GHz pour un nMOS de 29 nm de longueur de grille [32].
La roadmap ITRS 2005 [33] prévoit même aux alentours de 2020 des fréquences supérieures à 700 GHz, ce qui est comparable aux performances des HEMTs sur InP actuels.

X.4 HEMTs GaN

La filière HEMTs à base de nitrure de gallium GaN, qui est un semi-conducteur à grand gap (E_G = 3,5 eV) [34], fait l'objet de nombreux travaux de recherche. Les transistors de type AlGaN/GaN présentent d'excellentes densités de puissance en sortie. En terme de fréquences, ces composants peuvent atteindre 230 GHz de F_{MAX} [35] et 181 GHz de F_T [36]. Ces performances sont amenées à augmenter en améliorant les fortes résistances d'accès dont souffrent généralement ces composants. Ces transistors à base de nitrure de gallium trouvent leur principale application en puissance.

X.5 Transistors bipolaires à hétérojonction (TBH)

Disons un mot enfin sur les transistors bipolaires à hétérojonction (TBH) qui présentent aujourd'hui les meilleurs résultats en terme de fréquences de coupure, avec un F_T qui atteint 765 GHz [37] et un F_{MAX} de 800 GHz [38]. Des filières SiGe TBH sont également développées. Elles atteignent aujourd'hui 380 GHz de F_T [39] et 350 GHz de F_{MAX} [40], mais restent pour le moment limitées par leurs faibles tensions de claquage. Ces filières sont très intéressantes par l'utilisation de substrat silicium, qui les rend compatibles avec les technologies CMOS.

X.6 Comparaison des filières de transistors RF

Les figures X-2 et X-3 présentent l'état de l'art en terme de bruit et de fréquences de coupure des HEMTs AlInAs/GaInAs des filières à enrichissement et apauvrissement (HEMTs ON et HEMTs OFF). Ces filières sont comparées à d'autres composants RF : les TBHs ; la filière de puissance HEMTs GaN ; et les MOSFETs silicium.
Nous avons regroupé dans un tableau non exhaustif en annexe (annexe I) les principaux paramètres caractéristiques, ainsi que les performances statiques et dynamiques des différentes filières de transistors RF.

Les transistors HEMTs présentent les niveaux de bruit les plus faibles, associés à des gains élevés (figure X-2). Les MOSFETs silicium sont pénalisés par les faibles propriétés de transport, et les performances en bruit restent en deçà des filières AlInAs/GaInAs. En ce qui concerne les TBHs, nous avons reporté peu de résultats, ces composants présentent en général des performances en bruit moins bonnes que les HEMTs.

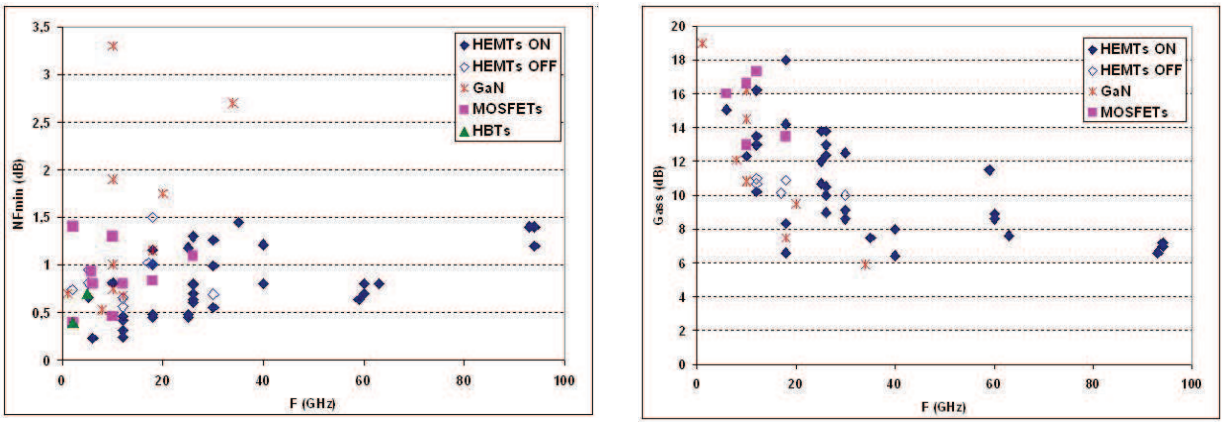


Figure X-2 : Comparaison NF_{min} et G_{ass} pour les différentes filières de transistors RF en fonction de la fréquence

Pour les fréquences de coupure, nous nous sommes intéressés à la fréquence de transistion du gain en courant F_T et la fréquence maximale d'oscillation F_{MAX}. Ces valeurs sont tracées figure X-3, en fonction de la longueur de grille L_G pour les transistors à effet de champ, et de la largeur de l'émetteur pour les TBHs. On peut constater que les F_T sont meilleurs pour les TBHs (628 GHz pour les HEMTs [27] et 765 GHz pour les TBHs [37]). Toutefois, les HEMTs présentent un meilleur F_{MAX} de 1.2 THz [28] comparé aux 800 GHz des TBHs [38]. De plus les HEMTs offrent le meilleur compromis F_T-F_{MAX} (respectivement 557 et 718 GHz [27]). Quant aux MOSFETs silicium, les performances fréquentielles restent inférieures, mais on peut obtenir un F_T de 360 GHz associé à un F_{MAX} de 420 GHz [32].

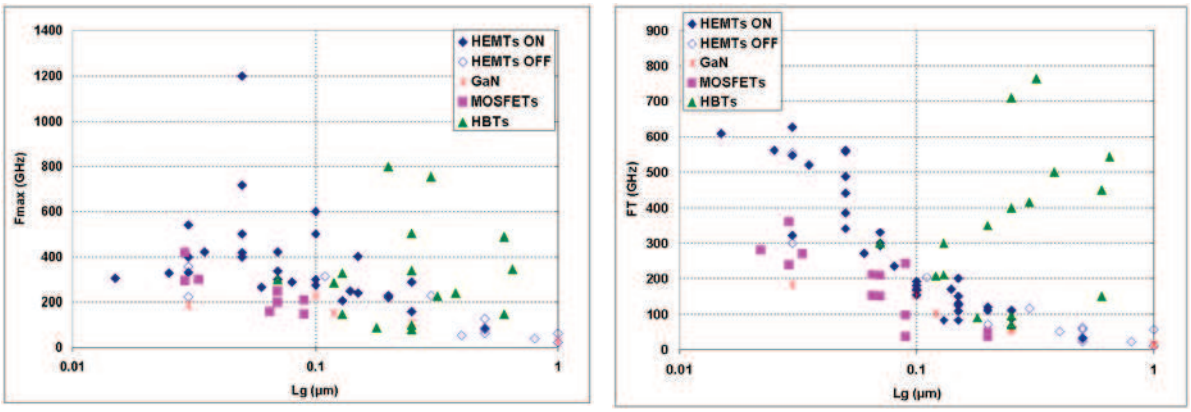


Figure X-3 : Comparaison des fréquences F_T et F_{MAX} pour les différentes filières de transistors RF en fonction de la longueur de grille L_G.
Pour les TBHs, nous avons tracé F_T et F_{MAX} en fonction de la largeur de l'emetteur

XI Conclusions

Cette présentation du fonctionnement et des propriétés des transistors HEMTs, et plus généralement des différentes filières existantes, nous permet de mieux cibler les composants sur lesquels va porter notre travail, compte tenue des applications visées.

Nous avons vu, en effet, que pour des performances hautes fréquences, plusieurs filières de transistors RF existent, basées sur différents matériaux : HEMTs sur GaAs ou InP, TBHs, mais aussi de plus en plus de transistors à base de silicium.

Mais pour répondre à nos exigences en terme de bruit, les filières présentant les meilleurs résultats en hautes fréquences, associés à un faible bruit, sont les transistors métamorphiques MHEMTs sur GaAs ainsi que les pseudomorphiques PHEMTs sur InP.

D'un point de vue conception enfin, il apparaît également que l'utilisation de transistors à enrichissement serait plus adaptée à de fortes densités d'intégration et réduirait la consommation électrique du circuit considéré.

Ces conclusions nous permettent d'avoir un point de départ pour notre étude qui doit aboutir à l'obtention d'un transistor à enrichissement qui réponde à ces exigences en terme de hautes fréquences et de bruit, et qui présente en plus des résultats compétitifs en régime statique.

Ce travail de recherche débutera donc par l'étude des transistors MHEMT sur GaAs et PHEMT sur InP, avant de tester plusieurs structures de transistors, c'est l'objet du prochain chapitre.

Références du Chapitre I

[1] : S. M. Sze, « Physics of Semiconductor Devices » p.58

[2] : D. Delagebeaudeuf, P. Delescluse, P Etienne, M. Laviron, J. Chaplart, T. Linh Nuyen, « Two dimensional electron gas MESFET structure »,
Electronics Letters, vol. 16, n°17, pp 667-668, 1980

[3] : T. Mimura et al, « A new field effect transistor with selectively doped GaAs/n-AlGaAs heterojunction »,
Japanese journal of Applied Physics, vol. 19, n°5, pp 2225-2227, 1980

[4] : S. Laval, « Physique des semi-conducteurs III-V », Ecole d'été d'optoélectronique,
Institut d'Electronique Fondamentale, Université Paris Sud

[5] M.H. Somerville, A. Ernst, J.A. del Alamo, « A physical model for the Kink effect in InAlAs/InGaAs HEMTs »,
IEEE Transactions on Electron Devices, Vol. 47, n°5, mai 2000

[6] : M. H. Somerville, J. del Alamo, W. Hoke, « Direct Correlation Between impact ionization and the Kink effect in InAlAs/InGaAs HEMT's »
IEEE Electron Device Letters, Vol. 17, No. 10, Oct. 1996

[7] : T.Suemitsu, T. Enoki, N. Sano, M. Tomizawa, Y. Ishii, « An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation »
IEEE Transactions On Electron Devices, Vol. 45, No. 12, December 1998

[8] : M.B. Das, « A high aspect ratio design approach to millimeter-wave HEMT structures »
IEEE Transactions On Electron Devices, Vol. Ed-32, No. 1, January 1985

[9] : Y. Awano, M. Kosugi, K. Kosemura, T. Mimura, M. Abe, « Short channel effects in subquarter-micrometer-gate HEMTs : simulation and experiment »,
IEEE Transactions on Electron Devices, Vol. 36, n°10, octobre 1989

[10] : A. Mahajan, M. Arafa, P. Fay, C. Caneau, I. Adesida, « Enhancement-mode High Electron Mobility Transistors (E-HEMTs) Lattice-Matched on InP »
IEEE Transactions on Electron Devices, Vol. 45, n°12, 1998

[11] : Y. Ando, A. Cappy, K. Maruhashi, K. Onda, H. Miyamoto, M. Kuzuhara, « Noise Parameter Modeling for InP-Based Pseudomorphic HEMT's »
IEEE Transactions On Electron Devices, Vol. 44, n° 9, 1997

[12] : H. Maher, I. El Makoudi, P. Frijlink, D. Smith, M. Rocchi, S. Bollaert, S. Lepilliet, G. Dambrine, « A 200 GHz true E Mode low noise MHEMT »
IEEE Transactions On Electron Devices, Vol. 54, No. 7, July 2007

[13] : L. Sadwick, C. Kim, K. Tan, D. Streit, « Schottky barrier heights of n type and p type of $Al_{0.48}In_{0.52}As$ »
IEEE Electron Device Letters Vol.12, n°11, pp.626-628, 1991
[14] : N. Harada, S. Kuroda, T. Katakami, K. Hikosaka, T. Mimura, M. Abe, « Pt-based gate enhancement-mode InAlAs/InGaAs HEMTs for large scale integration »
Indium Phosphide and Related Materials, Conference Proceedings, pp377-380, 1991
[15] : P. Chu, C.L. Lin, H.H. Wieder, « Schottky barrier height of $In_XAl_{1-X}As$ epitaxial and strained layers »
Applied Physics Letters, vol. 53(24), 12, pp. 2423-2425, 1988
[16] : J.-P. Ao, Q.-M. Zeng, Y.-L. Zhao, X.-J. Li, W.-J. Liu, S.-Y. Liu, C.-G. Liang,
« InP-based enhancement-mode pseudomorphic HEMT with strained$In_{0.45}Al_{0.55}As$ barrier and$In_{0.75}Ga_{0.25}As$ channel layers »
IEEE Electron Device Letters Vol.21, n°5, pp.200-202, 2000
[17] K. J. Chen, T. Enoki, K. Maezawa, K. Arai, M. Yamamoto, « High performance InP-Based Enhancement-Mode HEMT' s using non-alloyed ohmic contacts and Pt-Based buried-gate technologies »
IEEE Transactions On Electron Devices, Vol. 43, No 2, February 1996
[18] T. Suemitsu, H. Yokoyama, Y. Umeda, T. Enoki, Y. Ishii, « High-Performance 0.1- μm Gate Enhancement-Mode InAlAs/InGaAs HEMT's using two-step recessed gate technology »
IEEE Transactions On Electron Devices, Vol. 46, No. 6, June 1999
[19] : A. Mahajan, P. Fay, M. Arafa, G. Cueva, I. Adesida, « Monolithic integration of InAlAs/InGaAs/InP Enhancement and Depletion mode High Electron Mobility Transistors »
International Electron Devices Meeting, IEDM pp. 51-54, 1996
[20] : N. Harada, S. Kuroda, K. Hikosaka, « N-InAlAs/InGaAs HEMT DCFL Inverter fabricated using Pt-based gate and photochemical dry etching »
IEICE TRANSACTIONS on Electronics Vol.E75-C n°10 pp.1165-1171, 1992
[21] : H. Singh et al. « A comparative study of GaAs logic families using universal shift resistors and self aligned gate technology »
IEEE GaAs IC Symposium, pp. 11-15, 1986
[22] : B.-J. Moon, Y. H. Byun, K. Lee, and M. Shur, « New continuous heterostructure field-effect transistor model and unified parameter extraction technique »
IEEE Trans. Electron Devices, vol. 37, pp. 908–919, Avril 1990.
[23] : G. Dambrine, A. Cappy, F. Heliodore, et E. Playez, « A New Method for Determining the FET Small-Signal Equivalent Circuit »,

IEEE Trans. on Microwave Theory and Techniques, Vol. 36, No. 7, juillet 1988.

[24] : Thierry Parenty, « Étude et perspective des transistors à hétérostructure AlInAs/GaInAs de longueur de grille inférieure à 100nm et conception de circuits intégrés en bande G»,
Thèse de doctorat de l'Université des Sciences et Techniques de Lille, novembre 2003

[25] : A. Van Der Ziel, « Thermal Noise in Field Effect Transistors at moderately high frequencies »,
Proc. IRE, Vol 50, pp. 1802-1808, 1962

[26] : M.W. Pospieszalski, « Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence »
IEEE Transactions On Microwave Theory and Techniques, Vol. 37, N°9, 1989

[27] : D.H. Kim, J. Del Alamo, « 30-nm InAs Pseudomorphic HEMTs on an InP substrate with a current-gain cutoff frequency of 628 GHz »
IEEE Electron Device Letters, Vol. 29, No. 8, Aout. 2008

[28] : Lai et al, « Sub 50nm InP HEMT device with Fmax greater than 1 THz »
IEDM Technical Digest, p.609, 2007

[29] : C. R. Bolognesi, D. H. Chow, « InAs/AsSb dual gate HFETs »
IEEE Electron Device Letters, Vol 17, n° 11, 1996

[30] : Y. Zhao, M.J. Jurkovic, W.I. Wang, « Kink-free characteristics of AlSb/InAs high electron mobilitytransistors with planar Si doping beneath the channel »
IEEE Transactions On Electron Devices, Vol. 45, N°1, pp. 341-342, 1998

[31] : M.D. Lange et al., « Ultra low power HEMT and HBT Devices and circuit demonstrations »
Semiconductor Device Research Symposium, pp. dec. 2005

[32] : I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyli, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, C-H. Jan, « A 65 nm CMOS SOC technology featuring strained silicon transistors for RF applications »
Electron Devices Meeting 2006, IEDM'06, pp.1-3

[33] : F. Schwierz, J.J. Liou, « RF transistors : recent developments and roadmap toward terahertz applications »
Solid-State Electronics 51, pp. 1079-1091, 2007

[34] : I. Vurgaftman, J. R. Meyer, L. R. Ram-Mohan, « Band parameters for III-V compound semiconductors and their alloys »
Journal of Applied Physics, Vol. 89, N°11, 2001

[35] : T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, U. K. Mishra, « AlGaN/GaN High Electron Mobility Transistors with InGaN back barriers »
IEEE Electron Devices Letters, Vol. 27, N°1, 2006
[36] : M. Higashiwaki, T. Mimura and T. Matsui, « 30-nm-Gate AlGaN/GaN Heterostructure Field-Effect Transistors with a Current-Gain Cutoff Frequency of 181 GHz »
Japanese Journal of Applied Physics, Vol.45, n°42, pp L1111-L1113
[37] : M. Feng, W. Snodgrass, « InP Pseudomorphic Heterojunction Bipolar Transistor (PHBT) with Ft > 750 GHz »
Indium Phosphide and Related Materials, Conference Proceedings, pp 399-402, 2007
[38] : Evan Lobisser et al., « 200-nm InGaAs/InP Type I DHBT employing a dual sidewall emitter process demonstrating *fmax* > 800 GHz and *fτ* = 360 GHz »
Proc. IPRM pp. 16-19, 2009
[39] : B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, T. Grabolla, U. Haak, W. Hoppner, D. K. Kopke, B. Kuck, R. Kurps, S. Marschmeyer, H. H. Richter, H. Rucker, P. Schley, D. Schmidt, W. Winkler, D. Wolansky, H. E. Wulf, Y. Yamamoto, « A low-parasitic collector construction for high-speed SiGe:C HBTs »
Electron Devices Meeting, 2004. IEDM Technical Digest, pp 251-254, 2004
[40] : M. Khater, J. S. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. T. Schonenberg, P. Smith, K. Stein, A. Strieker, S. J. Jeng, D. Ahlgren, G. Freeman, « SiGe HBT technology with f_{max} / f_t = 350 / 300 GHz and gate delay below 3.3 ps »
Electron Devices Meeting, 2004. IEDM Technical Digest, pp 247-250, 2004

CHAPITRE II : REALISATION D'UN HEMT AlInAs/GaInAs A ENRICHISSEMENT

I Introduction

Les nouveaux systèmes de communications requièrent des circuits très rapides et à faible bruit. Les matériaux III-V sont les plus indiqués pour ce genre d'applications RF de par leurs propriétés physiques comparées au silicium [1].

Les meilleures performances en terme de F_T et F_{MAX} ont été obtenues pour des transistors HEMTs ainsi que pour des transistors bipolaires à hétérojonction (TBHs).

Or le but de ce travail de thèse est de concevoir des composants hautes fréquences et faible bruit qui seraient de plus compatibles avec l'intégration de fonctions complexes en particulier des commandes de modulateurs optiques. Les composants TBHs ne sont donc pas compatibles avec ce genre d'applications à cause de leur fort niveau de bruit comparé aux HEMTs. Nos recherches se sont donc concentrées sur les HEMTs. Aujourd'hui, les composants qui produisent le meilleur compromis vitesse et faible bruit parmi les HEMTs sont ceux qui utilisent l'hétérojonction AlInAs/GaInAs, tels que les HEMTs métamorphiques sur GaAs et les HEMTs sur InP. Toutefois, les composants sur InP souffrent en général de faibles caractéristiques statiques [2], [3], en particulier leur tenue en tension, point qu'il faut améliorer.

Enfin l'utilisation de transistors à enrichissement permet une meilleure intégration et des consommations plus faibles, comme nous l'avons détaillé dans le premier chapitre.

Notre objectif est donc d'obtenir des transistors E-HEMTs à hautes performances dynamiques, à faible bruit, en s'assurant un excellent fonctionnement statique. Les caractéristiques que l'on cherche à atteindre sont détaillées dans la partie suivante.

II Performances attendues

II.1 Performances statiques

- La tension de seuil V_T

Nous cherchons à obtenir un transistor à enrichissement, donc une tension de seuil positive. Rappelons que la tension de seuil est définie comme étant la tension V_{GS} lorsque le courant I_D vaut 1 mA/mm, à V_{DS} = 1 V. Dans notre cas, notre objectif sera d'atteindre $V_T = 50 \pm 50$ mV.

- La transconductance g_m

Pour garantir un bon contrôle du canal par la grille, nous nous fixerons une transconductance minimum de 800 mS/mm

- La tension de claquage drain - grille V_{BGD}

C'est l'un des paramètres critiques de cette étude. Rappelons que la tension de claquage est définie comme la tension V_{GS} lorsque le courant de grille I_G vaut -1 mA/mm, avec une tension de drain nulle et la source en l'air. La tension de claquage doit être supérieure à 4 V en valeur absolue.

- L'excursion en tension ou « swing »

Ce paramètre est primordial pour le fonctionnement du HEMT car il va définir la plage en V_{GS} d'utilisation du transistor. La tension V_{SWING} est définie comme l'écart entre la tension de seuil V_T (définie à I_D=1mA/mm), et la tension V_{GSmax} elle même définie lorsque I_G = 1 mA/mm à V_{DS} = 1 V. Nos efforts porteront sur l'extension de cette valeur à au moins 500 mV.

II.2 Performances dynamiques

En terme de performances dynamiques, nos objectifs se porteront sur les fréquences de coupure des gains en courant (F_T) et unilatéral (F_{MAX})
Notre objectif sera d'obtenir des fréquences F_T, F_{MAX} au moins supérieures à 200 GHz. Pour des applications faible bruit enfin, le facteur minimum de bruit NF_{min} devra être inférieur à 1 dB à 30 GHz, et le gain associé G_{ass} supérieur à 10 dB.

Les applications visées par ce type de composants sont à haut débit numérique, ou analogique pour un fonctionnement hautes fréquences avec une seule alimentation, ou encore mixtes nécessitant faible bruit et consommation réduite.

Comme nous l'avons précisé en introduction, les meilleurs compromis vitesse – faible bruit sont obtenus par des transistors HEMTs sur InP ou métamorphiques sur GaAs. L'objectif de ce travail est d'obtenir les performances décrites précédemment sur substrat d'InP et de GaAs. Nous allons dans un premier temps étudier un transistor E-HEMT AlInAs/GaInAs métamorphique sur substrat de GaAs obtenu à OMMIC et qui nous servira de référence en terme de performances.

III E-HEMT Métamorphique à 40% d'indium

III.1 Structure de couche

La structure de couche du E-HEMT métamorphique à 40% d'indium étudié, est représentée figure III-1

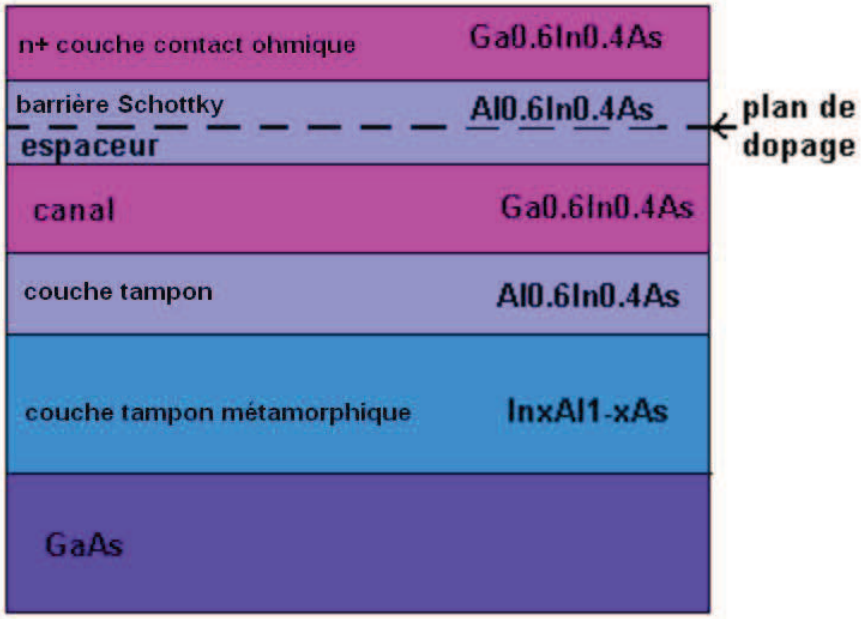


Figure III-1 : Structure de couche du MHEMT à 40% d'indium

Le transistor MHEMT étudié ici est constitué d'un substrat GaAs sur lequel on a fait croître une couche tampon métamorphique qui va absorber les différences de maille cristalline entre le substrat et les couches supérieures. Les étapes suivantes ont été réalisées au sein de la fonderie d'OMMIC. Le procédé se poursuit donc par la croissance d'une couche tampon $Al_{0.6}In_{0.4}As$, suivie du canal $Ga_{0.6}In_{0.4}As$, de la couche barrière d'$Al_{0.6}In_{0.4}As$ elle même divisée en un espaceur, un plan de dopage et la couche barrière Schottky, puis de la couche de contact ohmique de $Ga_{0.6}In_{0.4}As$.

Le choix de la composition des couches a été optimisé de façon à obtenir un transistor HEMT à enrichissement, soit avec une tension de seuil positive. La tension de seuil est liée à la tension de pincement, qui est donnée par l'équation (iii-1)

$$V_P = \Phi_B - \Delta E_C - \frac{qN_\delta d}{\varepsilon} \qquad \text{(iii-1)}$$

En effet, comme nous l'avons détaillé dans le premier chapitre, pour obtenir une tension de seuil positive, il est préférable de diminuer d'une part le pourcentage d'indium dans la couche barrière Schottky, ici à 40%, pour s'assurer une haute barrière Schottky Φ_B [2] [4], et d'autre part garder une épaisseur de la couche barrière et un dopage assez élevés pour préserver les performances du transistor.
La couche canal présente alors un pourcentage d'indium de 40% ce qui est un bon compromis entre une importante mobilité électronique et un phénomène d'ionisation par impact minimisé grâce à un gap plus large que dans le cas d'une couche à 52% d'indium.

Le procédé de fabrication suit ensuite les étapes détaillées dans le premier chapitre.
Une mobilité de 9100 cm² /V.s a été mesurée sur la structure sans couche de contact ohmique, ainsi qu'une densité surfacique électronique de 1.8 10^{12} cm^{-2}. Enfin, la grille a une longueur de 110 nm.

III.2 Résultats DC

Ce transistor bénéficie de la technologie à grille enterrée et métallisation au platine détaillée dans le chapitre I. Cela permet d'obtenir un transistor à enrichissement après diffusion du platine dans la couche barrière Schottky et diminution de la distance grille-canal effective. La transconductance est également améliorée, car la grille, de 110 nm de longueur, réalise un meilleur contrôle des électrons du canal grâce à cette réduction de distance grille - canal. La figure III-2 représente la courbe de transfert du transistor MHEMT en fin de procédé à V_{DS} = 1 V.

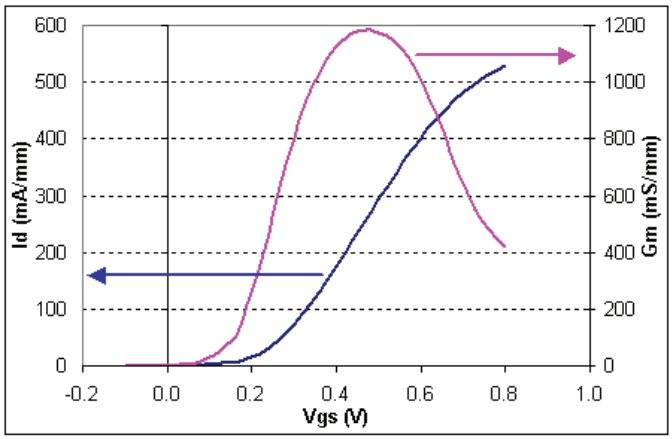


Figure III-2 : Courbe de transfert du transistor MHEMT à V_{DS} = 1 V

On relève une transconductance extrinsèque maximum de 1186 mS/mm à V_{GS} = 0,48 V, ainsi qu'une tension de seuil V_T = 84 mV en fin de procédé, ce qui répond aux exigences.
Nous avons représenté figure III-3 les courants de drain et de grille à V_{DS} = 1 V pour avoir une vision précise de l'excursion en tension V_{GS} ou « swing »

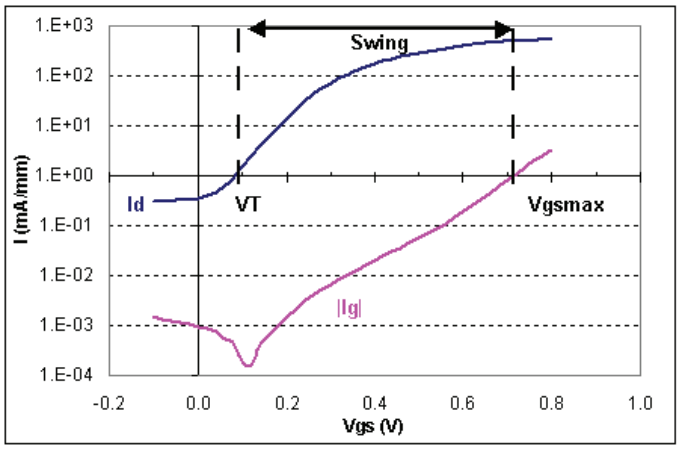


Figure III-3 : Excursion en tension V_{GS} des courants I_D et I_G

Avec une tension de seuil de 84 mV et une tension V_{GSmax} de 800 mV, nous obtenons une large excursion en tension V_{SWING} de 648 mV. Rappelons que ces valeurs sont mesurées en fin de procédé, donc les composants ont subi plusieurs recuits de stabilisation et seront utilisés tels quels dans des circuits.
L'association d'une haute barrière Schottky, grâce à la métallisation au platine et au faible taux d'indium dans la couche barrière, et l'absence de courant tunnel ou de fuites surfaciques, permet d'obtenir une tension de claquage de la jonction grille drain de –4,4 V à V_{DS} nul (figure III-4).

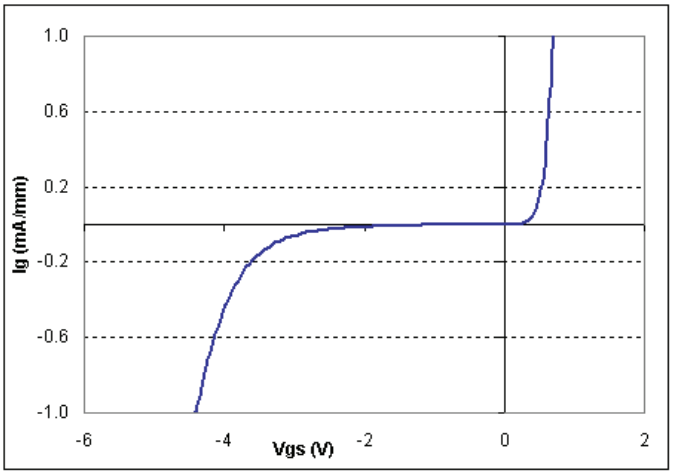


Figure III-4 : Courant de grille de la diode grille drain à V_{DS} = 0 V

Pour obtenir une tension de claquage grille drain qui réponde à nos critères, nous avons optimisé les longueurs du recess symétrique de grille, c'est-à-dire les zones découvertes de la couche barrière Schottky de part et d'autre de la grille. Une forte longueur est bénéfique à cette tenue en tension, par réduction du champ électrique en sortie de grille. Or, une trop grande longueur de recess dégraderait les résistances d'accès et par conséquent les performances du transistor. Dans le cas présent, une longueur de recess optimale a été réalisée avec L_{recess} = 35 nm pour garantir des résistances série réduites et une bonne tenue en tension. Ce choix de taille de recess ainsi que l'amélioration du procédé de fabrication des contacts ohmiques a permis d'obtenir des résistances de contact ohmique de 0,08 Ω.mm. Par ailleurs, une forte transconductance de 1186 mS/mm est aussi atteinte.

La réduction du champ électrique dans le canal réduit également le phénomène d'ionisation par impact qui est illustré par d'excellentes courbes $I_D(V_{DS})$ représentées figure III-5. Ce réseau de caractéristiques ne présente pas d'effet « Kink » ni d'augmentation de la conductance de sortie g_d à fortes valeurs de V_{DS}.

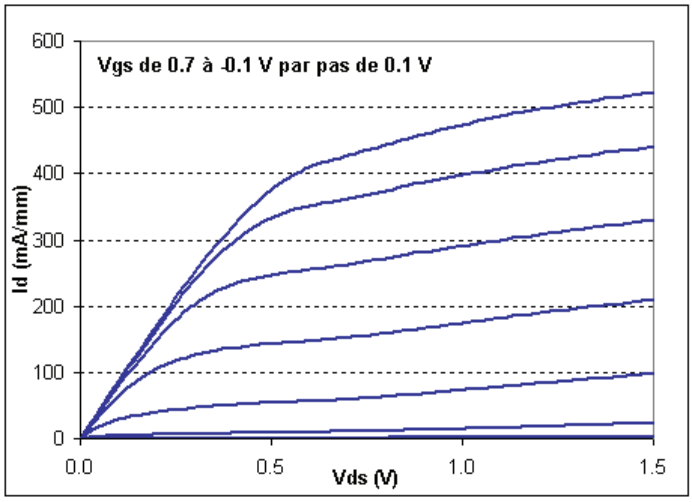


Figure III-5 : Caractéristiques $I_D(V_{DS})$ pour un E-HEMT métamorphique

La figure III-6 montre l'effet de l'ionisation par impact dans le canal : la bosse qui apparaît sur la courbe du courant de grille négatif représente la part de trous générés par ionisation par impact dans le canal, à l'extrémité de la grille.

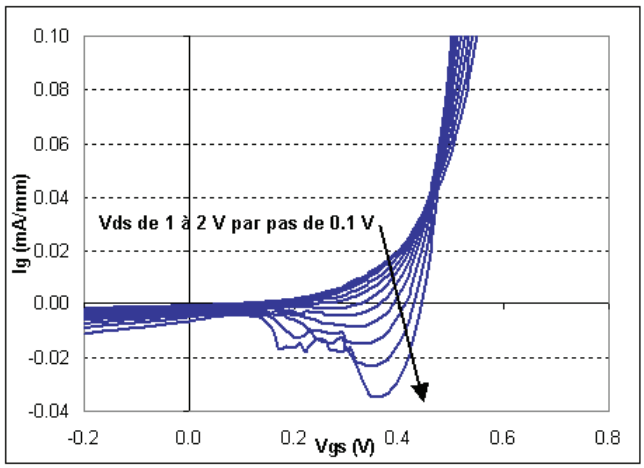


Figure III-6 : Courant de fuite de grille

L'ionisation par impact ici est relativement faible à V_{DS} = 2V et provient de l'utilisation d'un matériau à grand gap dans le canal, où le taux d'indium est fixé à 40% [5]. De plus comparé aux HEMT accordés en maille sur InP, ces valeurs de courant sont plus faibles. Ce composant peut donc être utilisé à une polarisation V_{DS} positive supérieure à celle possible avec un HEMT accordé en maille sur InP.

Le transistor HEMT métamorphique à enrichissement à 40% d'indium présente donc d'excellentes caractéristiques statiques qui répondent parfaitement à notre cahier des charges.

III.3 Résultats RF

Les paramètres S du E-HEMT métamorphique ont été mesurés sur plaque grâce à l'analyseur de réseau d'Agilent : ®Agilent Precise Network Analyzer (PNA). Tous les éléments petits signaux intrinsèques et extrinsèques sont extraits des paramètres S mesurés selon la méthode standard [6]. La transconductance intrinsèque atteint 2100 mS/mm pour un transistor de développement de grille W = 4x50 µm à V_{DS} = 1 V.
Les fréquences de coupures F_T et F_{MAX} sont obtenues par extrapolation du gain en courant $|H21|^2$ et du gain unilatéral ou de Mason U à –20 dB/décade. Le maximum de F_T est atteint pour une topologie de transistor de W = 4x50 µm et vaut 204 GHz ; et F_{MAX} atteint un maximum de 315 GHz pour un transistor W = 4x25 µm (figure III-7).

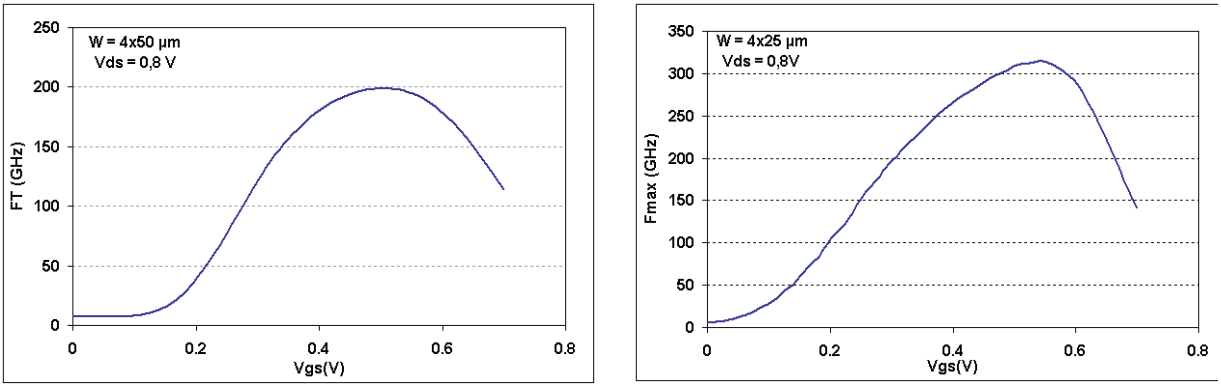


Figure III-7 : Fréquences de coupure F_T et F_{MAX} pour un E-HEMT métamorphique de L_G = 110 nm à V_{DS} = 0,8 V

On extrait de plus les quatre paramètres de bruit (NF_{min}, R_n et Γ_{opt}) et le gain associé G_{ass} à partir des figures de bruit mesurées sur la plage 6-40 GHz et en utilisant la méthode du F50 [7]. Les paramètres de bruit à 30 GHz sont regroupés dans le tableau III-1 pour une topologie de grille de W = 4x25 µm, à une polarisation correspondant au minimum de bruit.

W (µm)	V_{DS} (V)	I_D (mA/mm)	NF_{min} (dB)	R_n (Ω)	Mag(Γ_{opt}) (linéaire)	Arg(Γ_{opt}) (degrés)	G_{ass} (dB)
4x25	0.8	126	0.69	10.5	0.47	35.4	10.0
	1	124	0.69	10.6	0.47	35.1	9.76

Tableau III-1 : Paramètres de bruit à 30 GHz pour différentes topologies de grille à V_{DS} = 1 V et 0,8 V

Ces résultats font état d'un facteur de bruit de 0,69 dB et d'un gain associé de 10 dB, ce qui concurrence les meilleurs résultats fournis par les HEMTs à désertion sur substrat InP comme le montre la figure III-8.

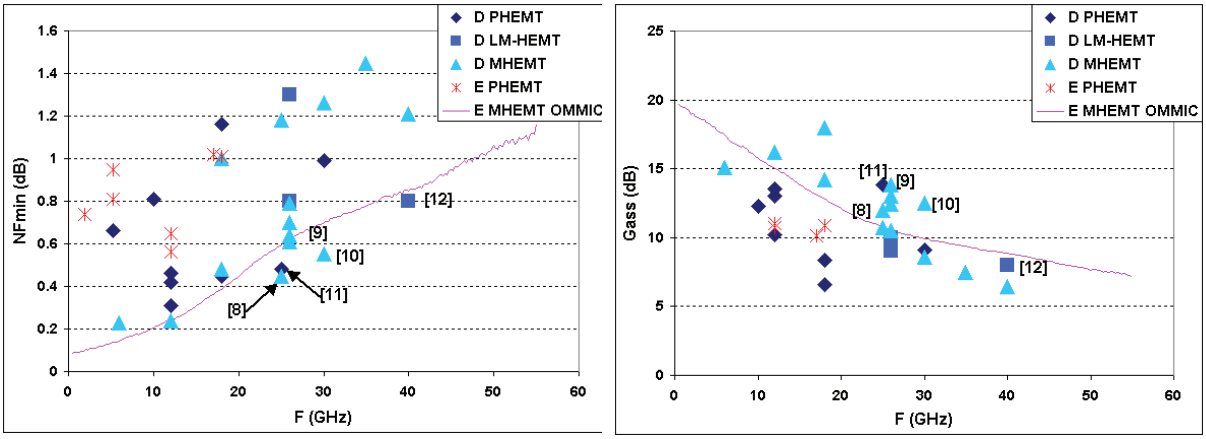


Figure III-8 : Etat de l'art du facteur de bruit et du gain associé pour des transistors D et E-HEMTs

Nous avons représenté sur ces courbes les facteurs de bruit NF_{min} d'une part ainsi que leurs gains associés G_{ass} d'autre part, en fonction de la fréquence, pour différents types de transistors à enrichissement et à désertion, et différentes filières : PHEMT pseudomorphique, LM-HEMT accordé en maille sur InP et MHEMT métamorphique sur GaAs.

On voit que les résultats en bruit du MHEMT à 40% d'indium étudié sont meilleurs que ceux obtenus avec les transistors E-HEMTs toutes filières confondues. De plus, ces résultats sont similaires à ceux observés sur les filières D-HEMT.

Le but est maintenant d'obtenir des caractéristiques statiques et dynamiques similaires pour un transistor à enrichissement sur substrat InP qui bénéficie de meilleures propriétés dynamiques que le E-HEMT sur GaAs, comme nous l'avons détaillé dans le chapitre précédent.

IV E-HEMT à l'accord de maille sur InP

IV.1 Simulation de la structure de couche

Le point de départ de cette étude est un E-HEMT à l'accord de maille sur InP (Lattice Matched HEMT ou LM-HEMT). C'est en effet la structure la plus simple à réaliser puisque, a priori, les épaisseurs des couches épitaxiées sur le substrat ne sont pas limitées par la différence de maille cristalline. Nous avons par ailleurs utilisé le logiciel de simulation HELENA (HEMT ELEctrical Noise Analysis) développé par H. Happy [13] pour déterminer les épaisseurs optimales nous garantissant une tension de seuil positive. Ce logiciel calcule les

équations de Schrödinger - Poisson de manière auto-cohérente. Il est donc possible de tracer une courbe C(V) à partir de la structure de couche simulée, qui nous donnera une approximation de la tension de seuil correspondant à une capacité nulle (lorsque la zone de charge d'espace aura complètement occupé le canal).

Comme nous l'avons détaillé précédemment, l'obtention d'un HEMT à enrichissement, et donc d'une tension de seuil positive, est régie en première approximation par l'équation de la tension de pincement (iv-1) :

$$V_P = \Phi_B - \Delta E_C - \frac{qN_\delta d}{\varepsilon} \qquad \text{(iv-1)}$$

Dans le cas d'un transistor accordé en maille sur InP, la hauteur de barrière Schottky Φ_B avec une métallisation au platine s'élève à ~ 0,7 eV, tandis que la discontinuité de bande de conduction ΔE_C est de 0.53 eV [14]. Le terme Φ_B-ΔE_C de l'équation (iv-1) n'est donc que de 200 meV à peine, ce qui implique une réduction drastique du second terme. Pour préserver le fonctionnement du transistor, nous ne réduirons pas le dopage. Nous avons donc décidé de réduire l'épaisseur de la couche barrière Schottky d.

Après calcul analytique, la structure retenue est la suivante (figure IV-1) :

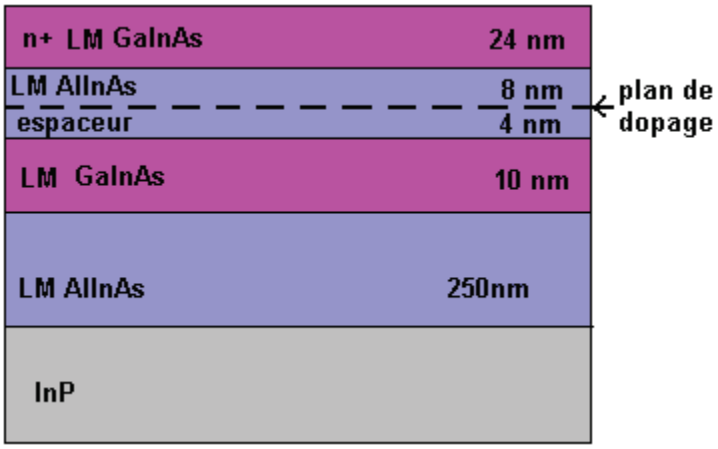


Figure IV-1 : Structure de couche du LM-HEMT

Les ternaires AlInAs et GaInAs sont à l'accord de maille sur InP pour des pourcentages d'indium respectifs de 52 et 53%. La densité d'électrons dans le canal GaInAs obtenue est $N_s = 1{,}1\ 10^{12}\ cm^{-2}$

Cette structure a la particularité d'avoir une couche barrière Schottky très fine, de 8 nm. Des HEMTs de longueur de grille 110 nm ont été fabriqués sur cette hétérostructure. Le recess est

de type symétrique. Nous avons étudié les caractéristiques statiques et dynamiques de cette structure et les conséquences de cette couche barrière Schottky fine.

IV.2 Résultats DC

Tous les résultats présentés dans ce paragraphe sont des mesures effectuées en fin de procédé, c'est-à-dire après les étapes de fabrication circuit ainsi que les passivations.
Nous avons représenté figure IV-2 la courbe de transfert du transistor HEMT à l'accord de maille sur InP dont la structure a été détaillée précédemment.

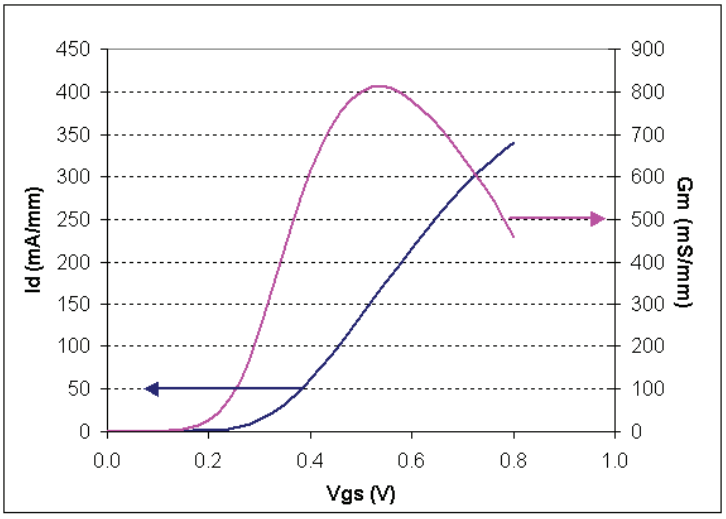


Figure IV-2 : Courbe de transfert du transistor LM-HEMT

On obtient une transconductance maximale g_m = 812 mS/mm ce qui est acceptable, ainsi qu'une tension de seuil V_T = 190 mV. Cette valeur est trop élevée pour pouvoir obtenir une bonne excursion en tension grille source V_{SWING} qui, rappelons le, est la différence entre V_{GSmax} et V_T. Ce paramètre est d'ailleurs représenté figure IV-3

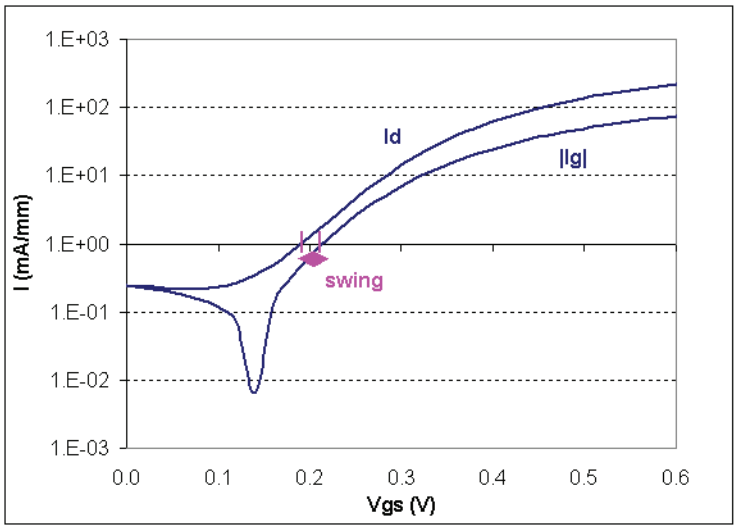


Figure IV-3 : Excursion en tension du transistor LM-HEMT

Nous avons une excursion en tension extrêmement faible V_{SWING} = 25 mV (500 mV dans le cahier des charges), résultat non seulement d'une tension de seuil un peu trop élevée, mais surtout d'un très fort courant de grille qui réduit considérablement V_{GSmax} à 215 mV (pour I_G = 1 mA/mm). D'ailleurs ce fort courant de grille dégrade également la tenue en tension de la diode Schottky qui est réduite en polarisation inverse à –1,6 V (figure IV-4).

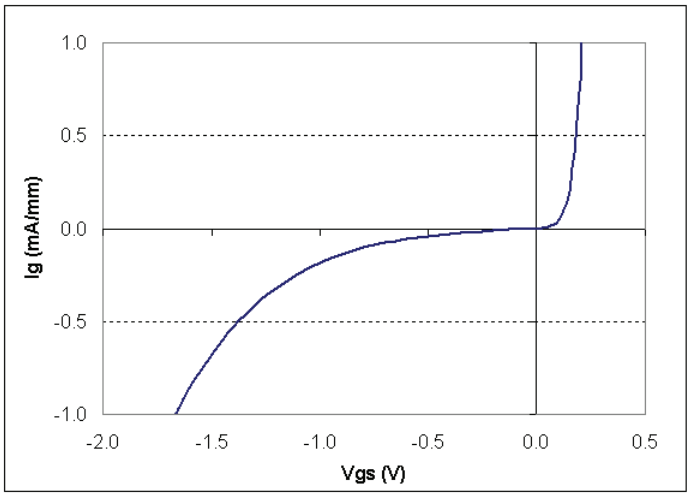


Figure IV-4 : Tenue en tension du transistor LM-HEMT, V_{DS} = 0 V

Ce fort courant de grille s'explique par la faible épaisseur de la couche barrière Schottky qui induit composante importante de courant tunnel. En guise de comparaison, nous avons représenté figure IV-5 les courants de grille du transistor métamorphique précédent (à 40% d'indium) ainsi que celui du LM-HEMT considéré.

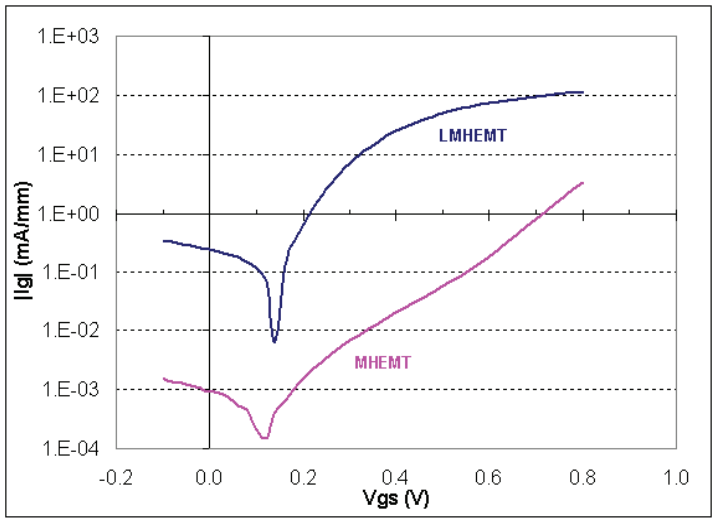


Figure IV-5: Courants de grille I_G pour le MHEMT et le LM-HEMT

On a en moyenne 100 fois plus de courant de grille pour le LM-HEMT que ce que l'on avait pour le MHEMT métamorphique sur GaAs.

Ce fort courant de grille compromet le fonctionnement du transistor puisque, comme nous l'avons vu, l'excursion en tension est quasi-nulle.

Pour remédier à cela, il est indispensable d'augmenter l'épaisseur de la couche barrière Schottky pour empêcher les fuites de grille. Pour avoir plus d'amplitude sur ce paramètre, il faut, toujours selon l'équation (iv-1) donnant la tension de pincement, augmenter le terme principal de l'équation $\Phi_B - \Delta E_C$.

C'est dans cette optique que nous avons ajouté une couche d'AlInAs à 40% d'indium au niveau de la couche barrière.

V E-HEMT à couche barrière Schottky composite sur InP

V.1 Détermination de la structure de couche

La diminution du taux d'indium dans la couche barrière Schottky de 52% dans le cas d'une couche barrière Schottky à l'accord de maille, à 40% ici, permet en théorie d'augmenter la hauteur de barrière Schottky. Or la discontinuité de bande de conduction ΔE_C augmente également avec la diminution du taux d'indium dans la couche barrière Schottky, l'objectif ici est donc que cette augmentation soit moindre que celle en Φ_B de façon à augmenter la tension de pincement V_P.

V.2 Simulations HELENA de la structure

Nous nous sommes une nouvelle fois servis du logiciel de simulation HELENA pour quantifier l'augmentation de l'épaisseur de la couche barrière Schottky obtenue en associant une couche d'AlInAs à 40% d'indium avec une métallisation au platine (toujours pour obtenir un HEMT à enrichissement).

Mais la différence de maille cristalline étant beaucoup trop grande entre l'InP et l'AlInAs à 40% d'indium, il est impossible de faire croître une couche barrière épaisse sur le canal (accordé en maille sur InP). Nous décidons donc de n'ajouter qu'une fine couche d'AlInAs pseudomorphique en surface de la couche barrière accordée en maille sur InP, dont l'épaisseur sera optimisée au fil des tests technologiques (la structure de couche est détaillée figure V-2), ce qui donne une couche barrière Schottky composite. Du fait que la couche d'AlInAs en surface est pseudomorphique, nous appellerons cette structure pseudomorphique, bien que cette appellation soit habituellement réservée aux HEMTs sur GaAs ou InP, où c'est le canal conducteur GaInAs qui est pseudomorphique.

La figure V-1 représente le diagramme de la bande de conduction (uniquement, pour plus de lisibilité) d'une structure à l'accord de maille (LM-HEMT) et d'une structure pseudomorphique (PHEMT) avec une couche d'AlInAs à 40% d'indium sur InP . Dans les deux cas, le taux d'indium dans le canal GaInAs est de 53%.

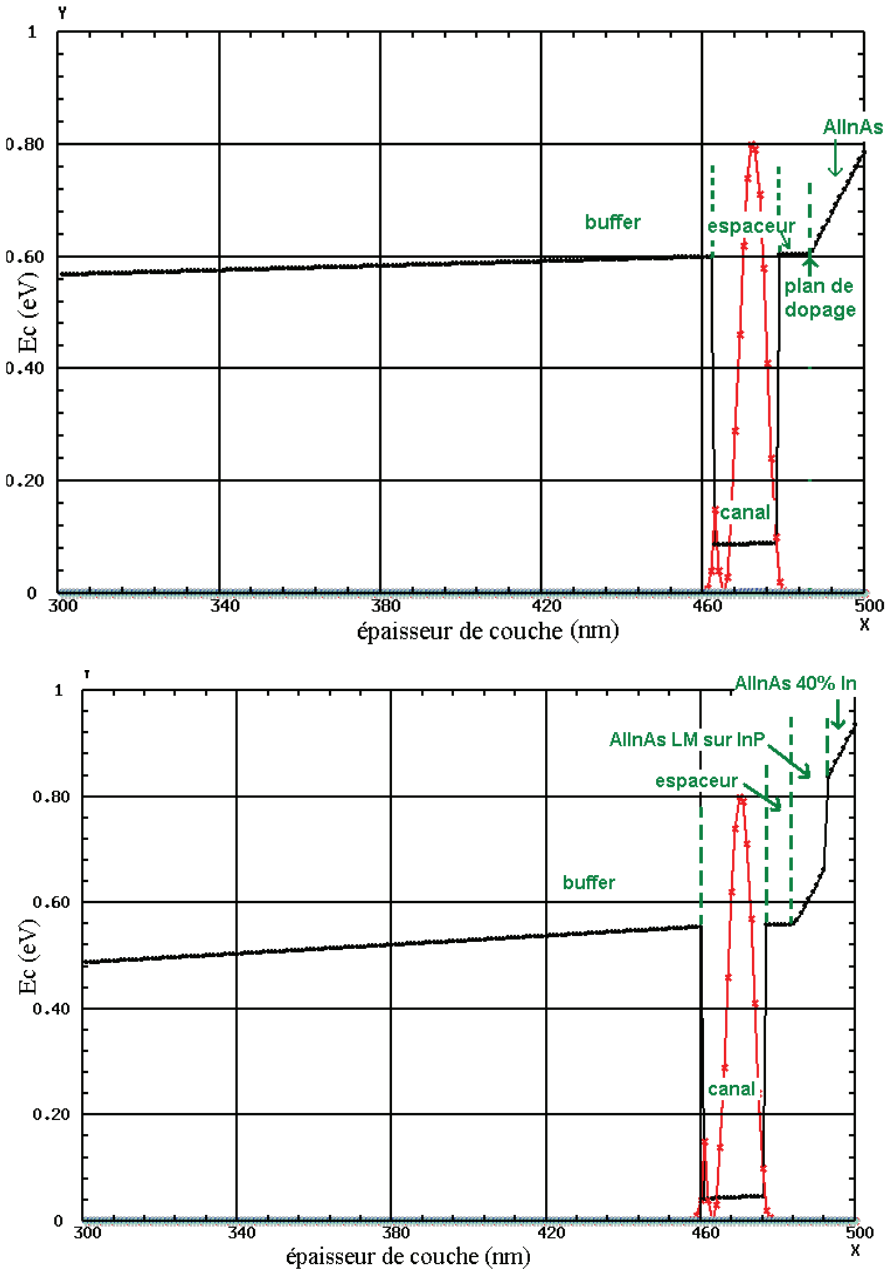
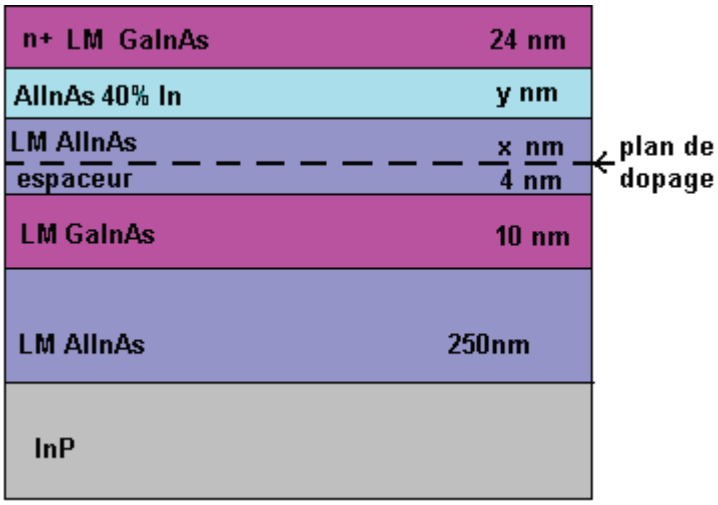


Figure V-1 : Diagrammes de la bande de conduction pour un LM-HEMT (en haut) et un PHEMT à 40% d'indium en surface (en bas)

Comme prévu, on voit une augmentation significative de la hauteur de barrière Schottky entre les deux structures (d'environ 0,78 eV pour le LM-HEMT à 0,96 eV pour le PHEMT). Mais le principal avantage réside dans le fait que la discontinuité de bande de conduction ΔE_C est elle aussi augmentée mais dans une moindre mesure. Ainsi on a bien globalement une augmentation de la différence $\Phi_B - \Delta E_C$ qui est primordiale pour l'obtention d'un HEMT à

enrichissement sans réduire l'épaisseur de la couche barrière (toujours selon l'équation iv-1 qui donne la tension de pincement en fonction des paramètres physiques). La courbe en rouge représente la probabilité de présence des charges au premier niveau d'énergie (on rappelle que l'énergie est discrétisée dans le canal).

Différentes structures ont ainsi été réalisées afin de déterminer l'épaisseur optimale y de cette couche d'AlInAs à 40% d'indium en surface de la couche barrière, ainsi que l'épaisseur x de la couche barrière d'AlInAs accordée en maille sur InP. Elles sont regroupées figure V-2. Dans cette étude, nous avons fixé une épaisseur totale de la couche barrière Schottky à environ 9 nm en moyenne (x + y). La densité surfacique de charges est identique pour toutes les structures et est égale à 1,1 10^{12} cm^{-2}. Ces épaisseurs ne sont pas tout à fait ajustées à 9 nm, pour des raisons de croissance épitaxiale. Toutefois la vairation totale d'environ 1.5 nm entre les différentes structures ne sera que peu perceptible sur les résultats électriques finaux, après toutes les étapes de technologie.



x (52% In)	y (40% In)
5,5 nm	3 nm
5,5 nm	4,5 nm
3,5 nm	6,5 nm

Figure V-2 : Structures de couches réalisées

V.3 Résultats électriques DC

Nous avons regroupé dans le tableau V-1 les principales caractéristiques statiques des différentes structures présentées ci-dessus. Les mesures ont été effectuées juste après métallisation (étape GM) et après le premier dépôt de passivation SiN à haute température (étape SiN). Cette dernière étape induit la diffusion du platine dans la couche barrière.

Notons que ces plaques ont été réalisées dans les mêmes conditions technologiques.

	g_m (mS/mm)		V_T (mV)		V_{SWING} (mV)	
Epaisseur y = couche d'AlInAs à 40% d'In	GM	SiN	GM	SiN	GM	SiN
3 nm	1000	944	70	180	530	180
4,5 nm	1042	954	60	160	540	220
6,5 nm	972	999	-20	110	610	450

Tableau V-1 : Caractéristiques DC des différentes structures étudiées en fonction de l'épaisseur de couche d'AlInAs à 40% d'In après métallisation et après le premier recuit.

Même si on a une certaine dispersion après métallisation de la grille, on remarque qu'après diffusion du platine on a sensiblement le même comportement pour les couches contraintes minces (y = 3 et 4,5 nm) et une tendance différente pour la couche contrainte épaisse (6,5 nm).

On voit dans un premier temps que l'ajout d'une couche contrainte en surface de la couche barrière dégrade la transconductance g_m après dépôt d'une couche de nitrure (figure V-3) pour les couches contraintes minces.

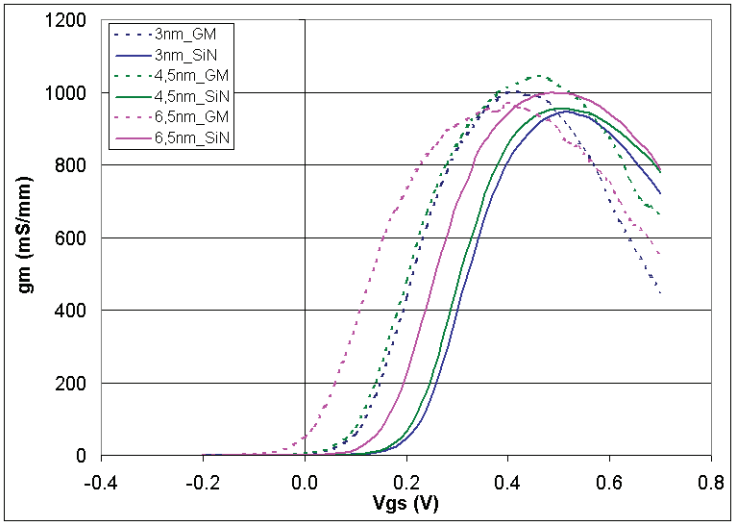


Figure V-3 : Comparaison des transconductances g_m pour les différentes épaisseurs de la couche contrainte AlInAs, avant et après passivation

Cette altération de g_m peut être expliquée par une dégradation des résistances d'accès du transistor. En effet, le dépôt de SiN sur une couche contrainte dégrade le potentiel de surface et par conséquent les résistances dans les zones d'accès et donc les caractéristiques statiques.

On remarque ensuite que la tension de seuil diminue lorsque l'épaisseur de couche d'AlInAs à 40% d'indium augmente, ce qui est cohérent avec l'augmentation de la distance grille-canal. Lesvaleurs de V_T obtenues après l'étape de dépôt de nitrure de silicium (SiN) sont néanmoins trop importantes pour les faibles épaisseurs de couche contrainte, on se dirigera donc plutôt

vers des couches contraintes plus épaisses (6,5 nm) qui donnent une tension de seuil dans les spécifications (figure V-4).

De plus, on observe un V_{SWING} moins important après diffusion du platine, sur les structures à faible épaisseur de couche contrainte. Ces dernières ont des valeurs de tension de seuil V_T et de V_{SWING} proches des valeurs obtenues avec les LM-HEMTs précédemment présentés (V_T = 190 mV et V_{SWING} = 25 mV). Pour l'épaisseur de 6,5 nm, on retrouve un comportement similaire au MHEMT (V_T = 84 mV et V_{SWING} = 684 mV).

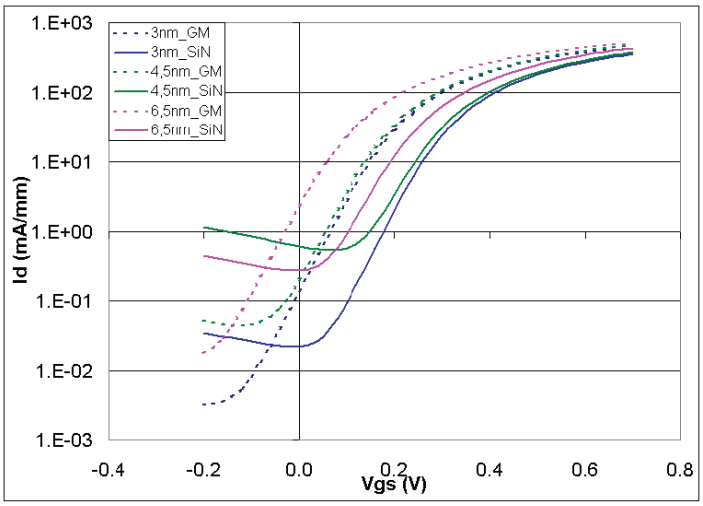


Figure V-4 : Comparaison des courants I_D à V_{DS} = 1V, pour les différentes épaisseurs de la couche contrainte AlInAs, avant et après passivation

On remarque par ailleurs que le courant de grille diminue lorsque l'on épaissit la couche contrainte (figure V-5), pour des tensions V_{GS} en canal ouvert.

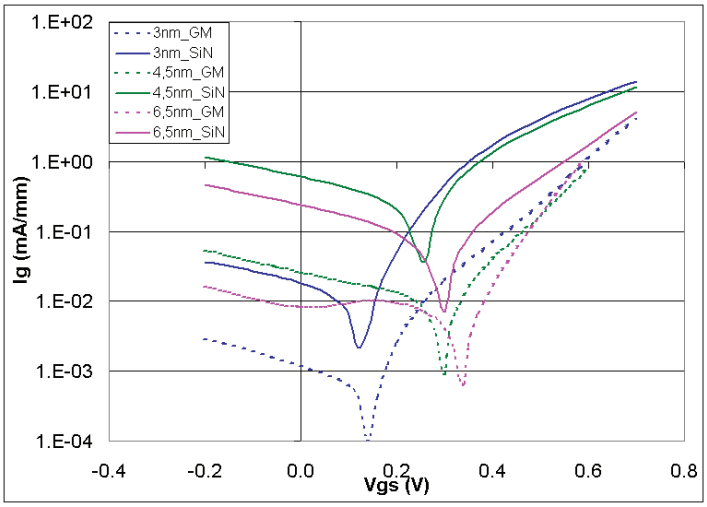


Figure V-5 : Comparaison des courants I_G à V_{DS} = 1V, pour les différentes épaisseurs de couche contrainte, avant et après passivation

Cela peut s'expliquer par la diffusion du platine dans la couche barrière Schottky qui équivaut à 1,4 fois l'épaisseur de platine déposée [15]. Ainsi pour nos structures, on arriverait à une pénétration de 3,5 nm dans la couche barrière. Il est donc possible que dans le cas des très faibles épaisseurs de couche contrainte, le platine diffuse dans la couche barrière jusqu'à être en contact avec la couche à 52% d'indium. Dans ce cas, l'apport de la couche contrainte est nul, on perd ainsi le bénéfice d'une haute barrière Schottky effective, ce qui entraîne de plus forts courants de fuites de grille. Cela explique les meilleurs résultats obtenus sur le V_{SWING} dans le cas d'une couche contrainte épaisse (figure V-6), ainsi qu'une tension de seuil V_T proche des MHEMTs.

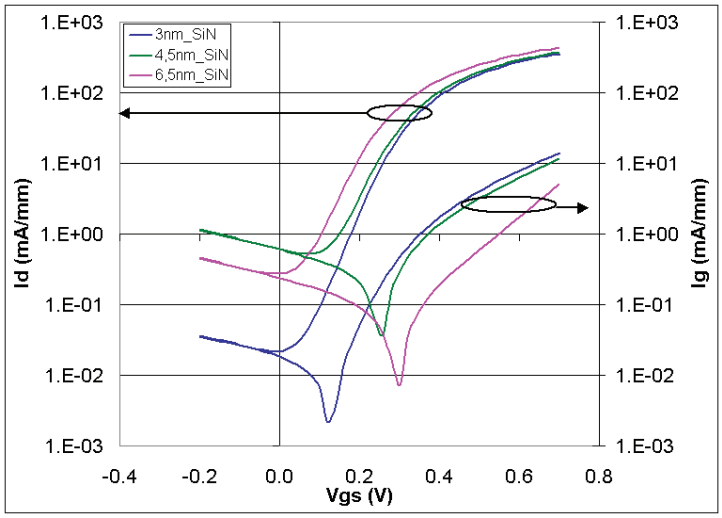


Figure V-6 : Comparaison des excursions en tension grille – source V_{SWING}, pour les différentes épaisseurs de couche contrainte après passivation (étape SiN)

De plus, on a vu que la couche contrainte décalait la tension de seuil vers des valeurs négatives. Ces deux effets combinés permettent d'obtenir une bonne tension V_{SWING} après le premier recuit, de 450 mV pour une couche contrainte de 6,5 nm d'épaisseur.

On vérifie également que, comme prévu, l'ajout d'une couche à 40% d'indium suffisamment épaisse augmente bien la hauteur de barrière Schottky et donc réduit globalement les courants de fuite de grille, par rapport à la structure à l'accord de maille étudiée au paragraphe précédent. Pour cela, nous avons représenté figure V-7 le courant de grille en fin de procédé, d'une structure PHEMT avec 6,5 nm d'AlInAs à 40% d'indium, ainsi que les courants de grille des structures étudiées précédemment : le HEMT à l'accord de maille sur InP LM-HEMT et le HEMT métamorphique MHEMT.

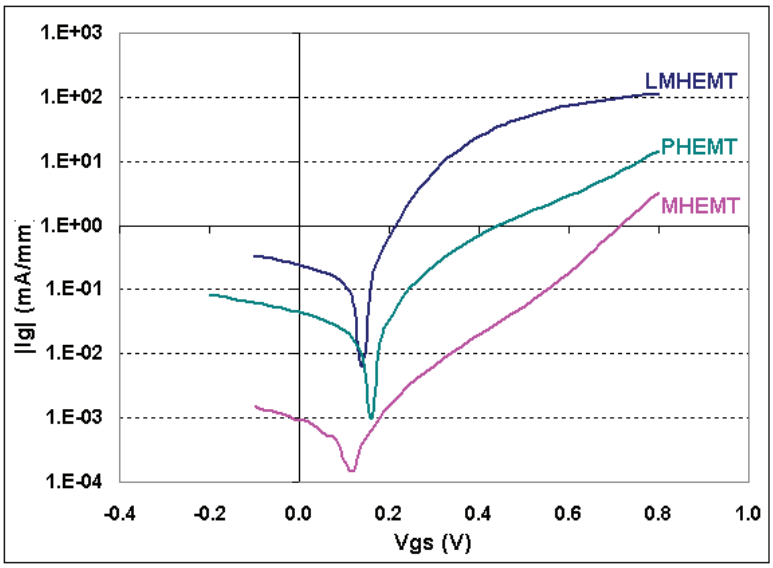


Figure V-7 : Comparaison des courants de grille pour une structure PHEMT de 6,5 nm d'AlInAs à 40% d'indium, un LM-HEMT et un MHEMT, en fin de procédé

L'ajout d'une couche contrainte à 40% d'indium en surface de la couche barrière réduit significativement le niveau de courant de grille par rapport aux structures à l'accord de maille sur InP, sans toutefois atteindre les faibles niveaux obtenus avec le MHEMT. On obtient dans le meilleur cas, pour une couche de 6,5 nm d'épaisseur, une tension V_{GSmax} de 450 mV en fin de procédé (après plusieurs recuits).

Ainsi, pour résumer les résultats obtenus après cette première étude :

- une couche contrainte épaisse (6,5 nm) permet d'avoir une tension de seuil positive, sans pour autant dégrader l'excursion en tension
- cette couche épaisse profite également de la forte valeur de Φ_B avec la couche contrainte par rapport au LM-HEMT, ce qui réduit les courants de fuite de grille
- les couches plus minces ont un comportement dégradé après la diffusion du platine qui doit probablement entrer en contact avec la couche à 52% d'indium, ce qui annule l'intérêt de la couche contrainte
- la dégradation de la transconductance après diffusion du platine peut également s'expliquer par une moindre qualité de l'interface entre la couche de passivation SiN et la couche contrainte qui dégrade le potentiel de surface et par conséquent les caractéristiques statiques

Il ressort donc de cette étude qu'il faudra :

- d'une part privilégier l'utilisation d'une couche contrainte épaisse (6,5 nm)
- d'autre part, éviter le contact entre cette couche contrainte et la passivation SiN en intercalant une couche mince d'AlInAs à 52% d'indium en surface.

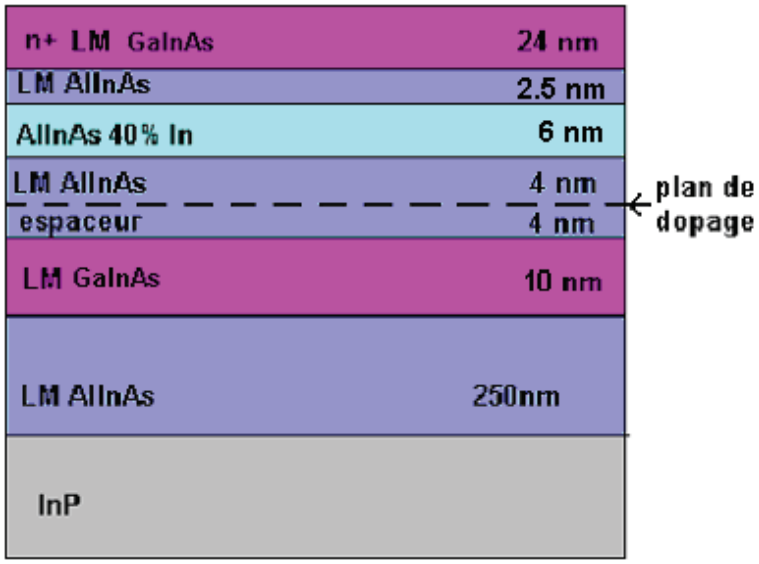
Cette couche supplémentaire permettra d'une part de profiter de la haute barrière Schottky effective obtenue sur la couche sous-jacente à 40% d'indium, et d'autre part d'améliorer la qualité de l'interface entre la couche barrière et la passivation SiN, qui sera alors déposée sur une couche non contrainte. C'est cette nouvelle structure qui est détaillée dans le paragraphe suivant.

VI Nouvelle structure avec une couche contrainte insérée dans la couche barrière

Nous avons donc réalisé une nouvelle structure de couches avec une couche épaisse (6 nm) d'AlInAs à 40% d'indium, insérée dans une couche barrière d'AlInAs à l'accord de maille sur InP. Nous la noterons structure A.

VI.1 Schéma de la structure A

La figure VI-1 représente la structure de couches ainsi que le diagramme de la bande de conduction de la structure A.



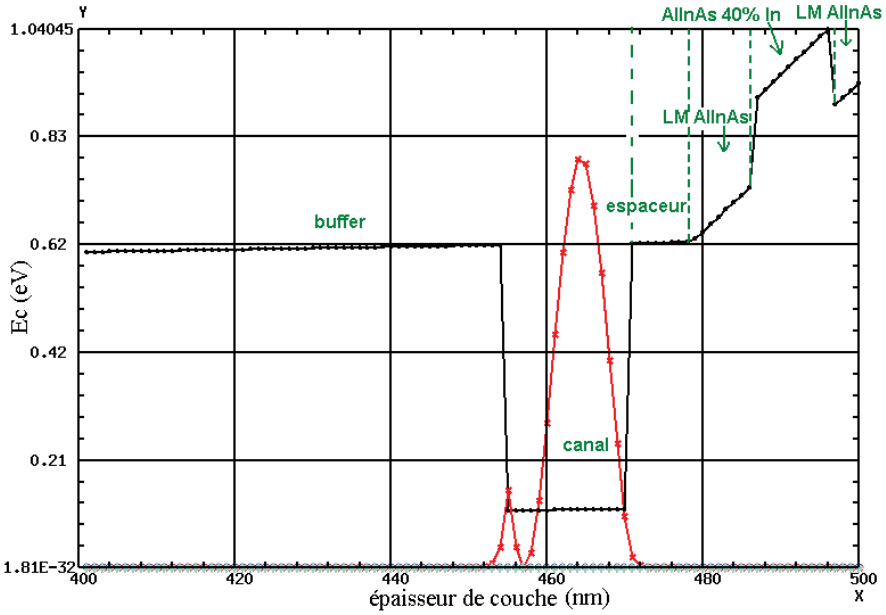


Figure VI-1 : Structure de couche d'un E-HEMT avec une couche contrainte d'AlInAs à 40% d'indium insérée dans la couche barrière AlInAs à l'accord de maille sur InP (structure A) et diagramme de la bande de conduction

La densité d'électron N_s obtenue est de 1,1 10^{12} cm^{-2}. Les transistors fabriqués à partir de cette structure de couches ont une longueur de grille de 110 nm et des longueurs de recess de grille de 25 nm de part et d'autre de la grille.

On peut voir sur le diagramme de la bande de conduction que, grâce à la faible épaisseur de la couche d'AlInAs à l'accord de maille sur InP en surface de la couche barrière, la structure bénéficie d'une haute barrière Schottky effective grâce à la couche à 40% d'indium insérée dans la couche barrière. La croissance de cette couche contrainte sur une couche à l'accord de maille permet en outre de garder une grande distance grille canal ce qui améliorera l'isolation de la grille.

VI.2 Résultats DC

Nous avons représenté figure VI-2 la courbe de transfert de cette structure après métallisation de la grille (pointillés) et en fin de procédé (traits pleins) après toutes les étapes de passivation successives.

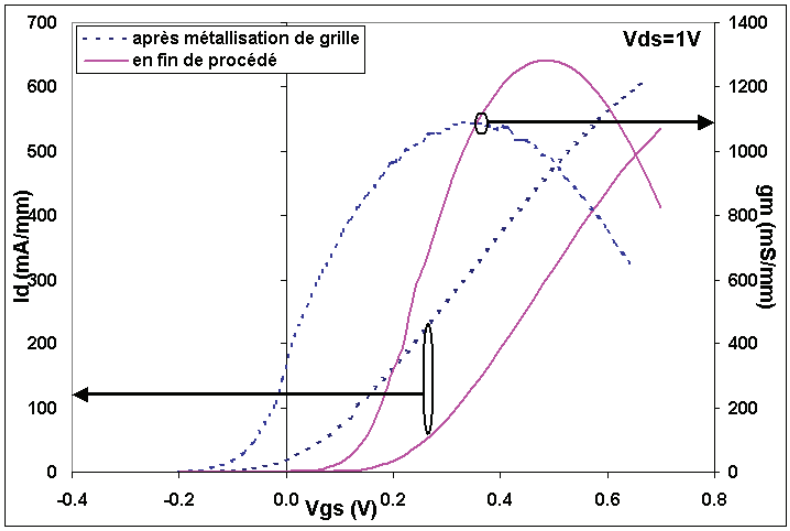


Figure VI-2 : Courbe de transfert de la structure A. Courbes g_m et I_D après métallisation et en fin procédé à V_{DS} = 1 V

On obtient ainsi une excellente transconductance g_m qui passe de 1089 à 1280 mS/mm. La tension de seuil V_T passe de –120 à +90 mV. On retrouve en fin de technologie (après diffusion du platine), des tensions de seuil proches des MHEMTs et des PHEMTs à 6,5 nm d'épaisseur de la couche barrière.

Les dépôts de passivation ont eu pour effet de faire pénétrer le platine dans la couche barrière et donc d'augmenter, comme prévu, la transconductance ainsi que la tension de seuil. La dégradation observée précédemment a donc bien été corrigée par une couche d'AlInAs accordé en maille sur InP entre la couche contrainte à 40% d'indium et la passivation SiN.

En effet, on a représenté figure VI-3 en guise de comparaison, l'évolution de la transconductance (VI-3a) et de la tension de seuil (VI-3b) avant et après diffusion du platine dans la couche barrière, pour la structure A, et la structure présentant une couche contrainte de 4,5 nm (respectivement 6,5 nm) d'AlInAs à 40% d'indium en surface, que l'on notera sur la courbe PHEMT 4,5 nm (respectivement PHEMT 6,5 nm).

Ces mesures ont été effectuées après l'étape de réalisation des contacts de grille, le transistor a donc vu deux passivations à haute température successives, ce qui explique que les courbes aient évolué par rapport à l'étape que l'on avait nommé SiN (après la première passivation)

Le platine a donc continué de pénétrer dans la barrière, ce qui décale d'avantage les tensions de seuil, ainsi que la transconductance.

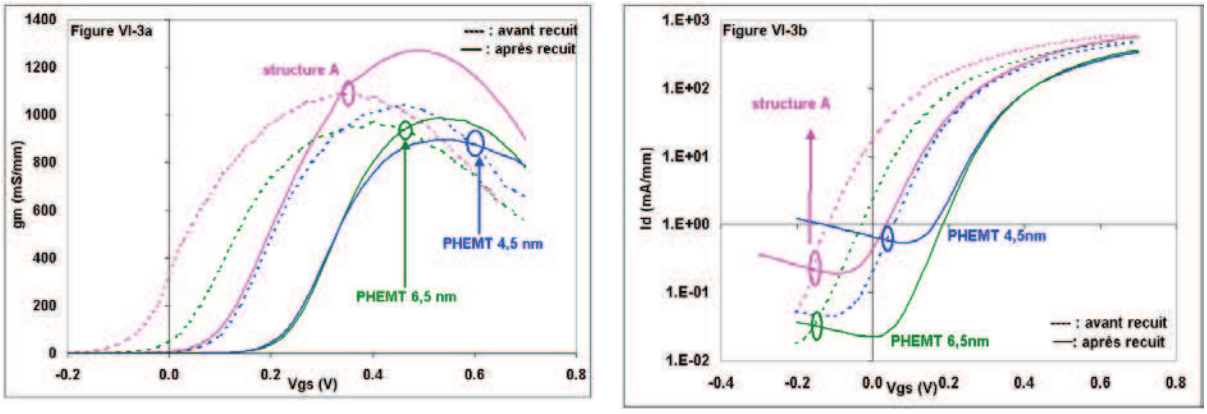


Figure VI-3 : Transconductances (VI-3a) et tensions de seuil (VI-3b) avant et après deux passivations pour la structure A et les PHEMTs à 4,5 nm et 6,5 nm d'AlInAs à 40% d'indium

La figure VI-3a montre que l'on perd le bénéfice de la pénétration du platine dans la couche barrière après recuit, dans le cas d'une couche contrainte en surface mince et en contact avec la couche de SiN (structure PHEMT 4,5 nm). L'augmentation de g_m attendue est rendue possible d'une part par l'épaississement de la couche contrainte (structure PHEMT 6,5 nm), et d'autre part par l'ajout d'une couche non contrainte d'AlInAs à l'accord de maille sur InP en surface (structure A).

La figure VI-3b compare les tensions de seuil avant et après les deux étapes de recuit du process, pour ces trois structures. Pour la structure A, on retrouve une tension de seuil proche de celle des MHEMTs, indiquant un contact sur l'AlInAs à 40% d'Indium (figure VI-1). Pour le PHEMT 4,5 nm, nous avons un comportement proche des LM-HEMTs après diffusion du platine, qui vient en contact avec la couche d'AlInAs adaptée en maille sur InP (voir figure V-2) et a donc traversé l'AlInAs à 40% d'indium. Cette comparaison confirme enfin que l'épaississement de la couche contrainte de 4,5 à 6,5 nm dans le cas du PHEMT a fait varier la tension de seuil dans le bon sens et que l'on retrouve dans ce cas un comportement proche des MHEMTs (comme la structure A).

Par ailleurs, les plaques n'ayant pas été processées en même temps, les incertitudes des manipulations viennent s'ajouter à cet écart, notamment au niveau de l'épaisseur de métallisation de grille déposée qui peut ne pas être rigoureusement identique entre les deux lots.

On obtient donc bien un HEMT à enrichissement avec une tension de seuil positive pour la structure A, qui de plus permet une bonne excursion en tension à condition d'avoir un faible courant de grille.

Nous avons d'ailleurs représenté figure VI-4 le courant de grille de cette structure après métallisation de grille (pointillés) et juste après la première passivation (traits pleins) à V_{DS} = 1 V et 1,5 V.

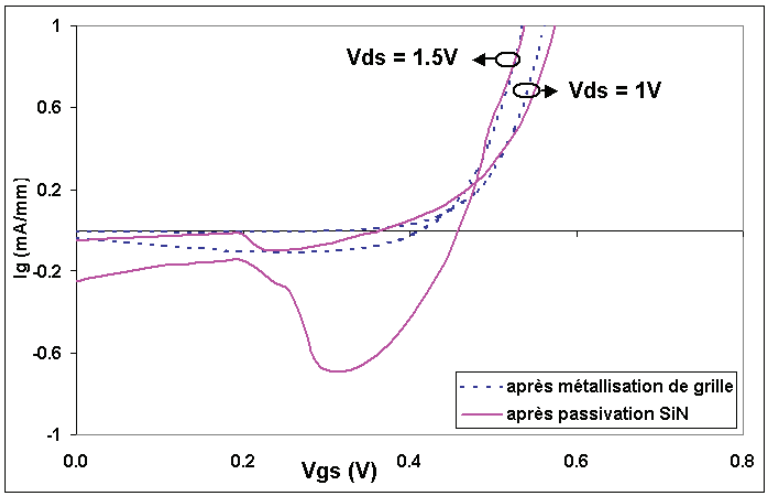


Figure VI-4 : Courant de grille de la structure A après métallisation de la grille et après passivation SiN à V_{DS} = 1 V et 1,5 V

On remarque tout d'abord la forme en cloche de la courbe de courant de grille pour les fortes polarisations de drain. C'est la traduction du phénomène d'ionisation par impact qui apparaît dans le canal à fort V_{DS}. D'autre part, l'augmentation du courant de grille après passivation est due à l'accroissement du coefficient de transmission tunnel des électrons et trous à travers la couche barrière. Cela s'explique encore par le rétrécissement de la couche barrière après passivation à cause de la pénétration du platine. Malgré tout, la structure A présente un courant de grille bien inférieur à une structure à l'accord de maille sur InP, ce qui s'illustre par une grande excursion en tension (figure VI-5).

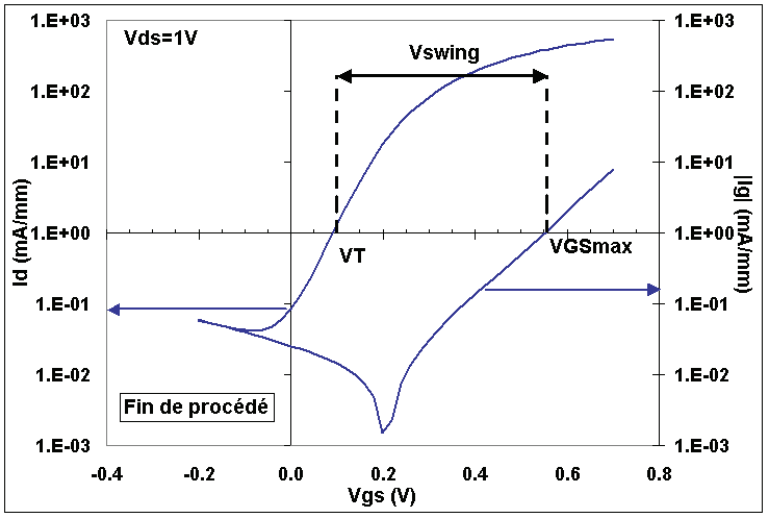


Figure VI-5 : Excursion en tension de la structure A

L'excursion en tension atteint 670 mV après la métallisation de grille, et 460 mV en fin de procédé. Cette réduction s'explique comme nous l'avons indiqué, par l'augmentation de la tension de seuil après passivation, et par l'augmentation du courant tunnel à travers la fine couche barrière, ce qui dégrade directement le courant de grille et notamment la tension V_{GSmax}.

Cette excursion en tension reste néanmoins très bonne et la réduction des fuites de grille par l'insertion d'une couche contrainte dans la couche barrière est évidente.

Mais cette structure A pâtit d'une faible tension de claquage de la jonction grille drain, ce qui réduit sa tenue en tension à V_{BGD} = -2,5 V.

Etant donné que les autres caractéristiques statiques de cette structure sont acceptables et que seule la tenue en tension reste à améliorer, nous avons décidé d'agir sur le procédé de fabrication des plaques pour essayer d'y remédier, l'idée étant de modifier le recess de grille. La structure A est en effet réalisée suivant un recess de grille symétrique, c'est-à-dire que la gravure humide de la couche de contact ohmique introduit des sous gravures identiques de part et d'autre du futur emplacement de la grille (c'est-à-dire côté source et côté drain). Or il s'avère que l'augmentation de ce recess côté drain (recess asymétrique) diminue le champ dans le canal côté drain et donc augmente la tenue en tension [16]. C'est l'objet de la nouvelle structure étudiée.

VI.3 Amélioration du procédé : recess asymétrique

La nouvelle structure étudiée, que nous appellerons structure B, est représentée figure VI-6 :

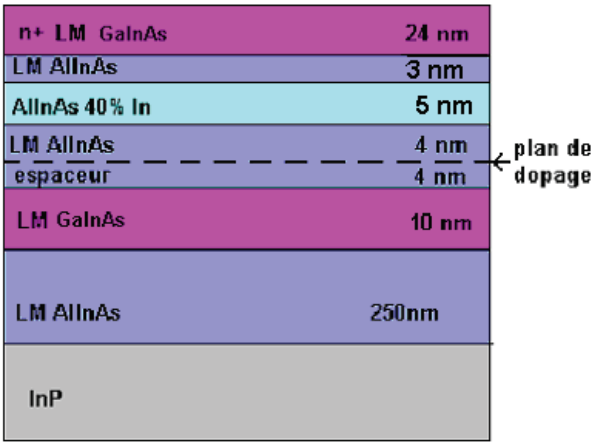


Figure VI-6 : Nouvelle structure de couche réalisée avec un recess de grille asymétrique (structure B)

La distance totale grille canal est quasiment identique à celle de la structure A (différence liée aux conditions de croissance), de même que la densité surfacique de charges $N_S = 1.10^{12}$ cm^{-2}, mais le recess de grille est asymétrique. De plus, cette technologie ne permet pas de conserver une longueur de recess côté source identique à celle obtenue avec le procédé symétrique. Cette longueur est aussi augmentée. Cela entraîne donc une augmentation des résistances d'accès, susceptible de dégrader les performances fréquentielles. Ceci peut aussi se traduire par l'augmentation de la longueur de grille effective liée à cette dégradation d'éléments parasites.

Ainsi, pour compenser la dégradation des performances dynamiques liées à l'élargissement du recess, nous avons réduit la longueur de grille, qui était de 110 nm pour la structure symétrique (structure A), à 80 nm pour cette nouvelle structure asymétrique.

Les sous-gravures de recess de grille mesurent 115 nm côté drain et 50 nm côté source. Ce recess asymétrique a été obtenu par procédé de lithographie décrit dans la partie IV-4 du chapitre I. Cette extension du recess côté drain diminue significativement le pic de champ électrique dans le canal à l'extrémité de la grille, qui est alors redistribué sur une distance plus grande. Cela permet d'augmenter la polarisation de la jonction grille - drain et donc d'améliorer la tension de claquage V_{BGD} .

VI.3.1 Résultats DC et comparaison des structures A et B

Nous avons représenté figure VI-7 les courants de grille de la jonction grille - drain pour les structures A et B (respectivement recess symétrique et asymétrique)

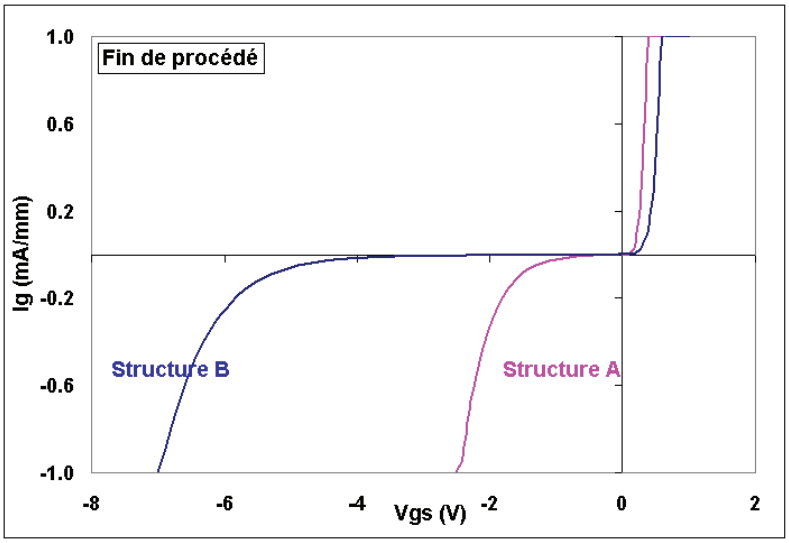


Figure VI-7 : Courants de grille des jonctions grille-drain (source en l'air) pour les structures A et B

L'amélioration est nette entre les deux types de recess : la tension de claquage de la jonction grille - drain V_{BGD} passe de –2,5 V pour la structure A à –7 V pour la structure B, ce qui est un excellent résultat pour un HEMT à enrichissement sur InP.

La réduction du champ électrique dans le canal induit également une diminution du phénomène d'ionisation par impact, qui s'illustre par un courant de grille réduit par rapport à la structure A [17]. Nous avons d'ailleurs représenté figure VI-8 le courant de grille en fonction de V_{GS} pour les structures A et B, à V_{DS} = 1,5 V.

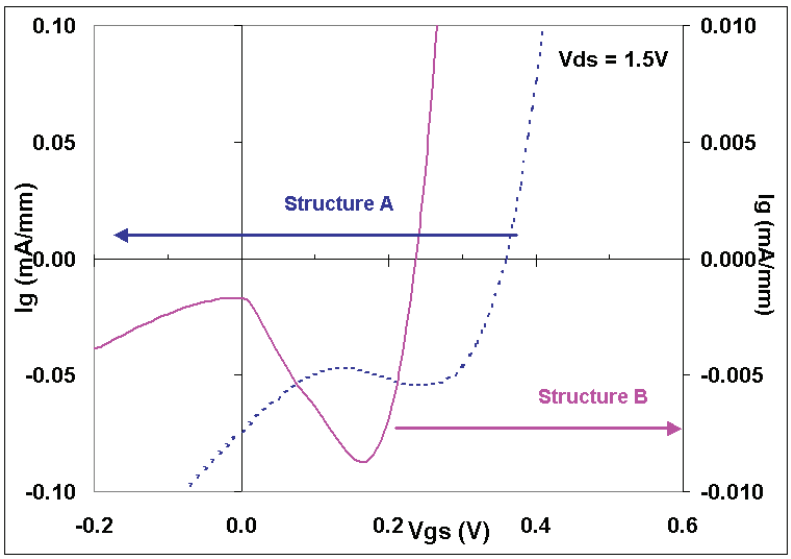


Figure VI-8 : Courants de grille pour les structures A et B à V_{DS} = 1,5 V. L'échelle verticale est dix fois plus petite pour la structure B

Autour du pincement (environ 50 mV), on voit que le courant de grille pour la structure B est dix fois inférieur à celui de la structure A, ce qui est directement lié à la topologie des structures. La comparaison entre les deux courants de grille peut se faire suivant deux intervalles :

- Pour $V_{GS} > V_T$: en régime de conduction, on remarque une bosse de courant autour du pincement. L'amplitude de cette bosse est de 54 µA/mm à I_D = 80 mA/mm et V_{GS} = 230 mV pour la structure A ; alors qu'elle n'atteint que 8 µA/mm à I_D = 53 mA/mm et V_{GS} = 170 mV pour la structure B. On voit ici que le champ électrique impacte énormément le courant de grille, qui est donc réduit dans le cas du recess asymétrique.
- Pour $V_{GS} < V_T$: le canal est pincé, l'essentiel du courant est dû au courant tunnel à travers la fine couche barrière. Le champ électrique côté drain étant réduit pour la structure B, le courant tunnel est lui aussi restreint par rapport au cas symétrique.

L'écart entre les courants de grille des deux structures impacte directement le courant de drain avant le pincement. Les pentes sous le seuil sont identiques pour les deux structures : 79 et 87 mV/décade pour les structures A et B respectivement, comme le montre la figure VI-9. Le courant de drain suit cette pente jusqu'à V_{GS} = 40 mV pour la structure A et V_{GS} = -100 mV pour la structure B. Ensuite, pour des polarisations de grille plus faibles, le courant de drain est limité par le courant de grille, ce qui peut s'avérer dramatique en terme de consommation à polarisation nulle lorsque les fuites de grilles sont trop élevées.

Ici, comme le montre la figure VI-10, pour la structure A (respectivement la structure B), le courant de drain minimum atteint 41 µA/mm (4 µA/mm) à V_{GS} = -80 mV (-200 mV), pour un courant de grille de –36 µA/mm (-5 µA/mm). Ainsi, le faible courant de grille de la structure B améliore le fonctionnement sous le seuil du transistor.

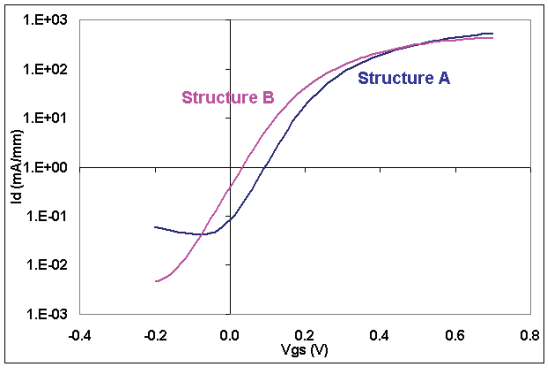


Figure VI-9 : Pente sous le seuil du courant de drain pour les structures A et B

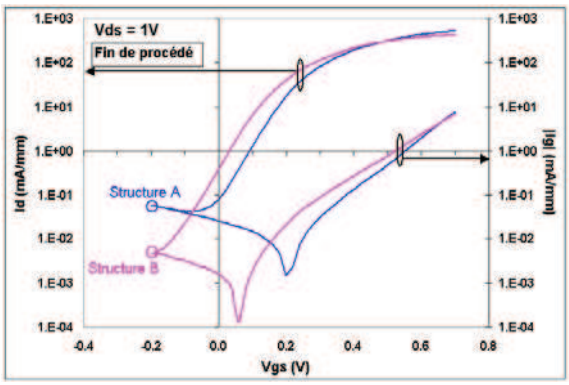


Figure VI-10 : Courants I_D et $|I_G|$ pour les structures A et B à V_{DS} = 1 V

La figure VI-10 montre également une forte excursion en tension V_{SWING} de 500 mV grâce, d'une part, à un faible courant de grille qui résulte en une tension V_{GSmax} assez forte (530 mV), et d'autre part à une faible tension de seuil qui s'élève ici à 30 mV ce qui est suffisant pour avoir un vrai transistor à enrichissement. Cette faible valeur de V_T est due aux effets de canal court qui sont plus importants sur la structure B de 80 nm de longueur de grille, que sur la structure A où L_G = 110 nm.

Les modifications apportées au fur et à mesure aux structures étudiées (métamorphique MHEMT, à l'accord de maille LM-HEMT sur InP, avec une couche d'AlInAs à 40% dans la couche barrière PHEMT, structures A et B) avaient pour but d'améliorer les performances statiques du composant et en particulier les courants de fuites de grille. C'est ce qui est représenté figure VI-11 où nous avons tracé une comparaison des courants de grille pour les différentes structures étudiées.

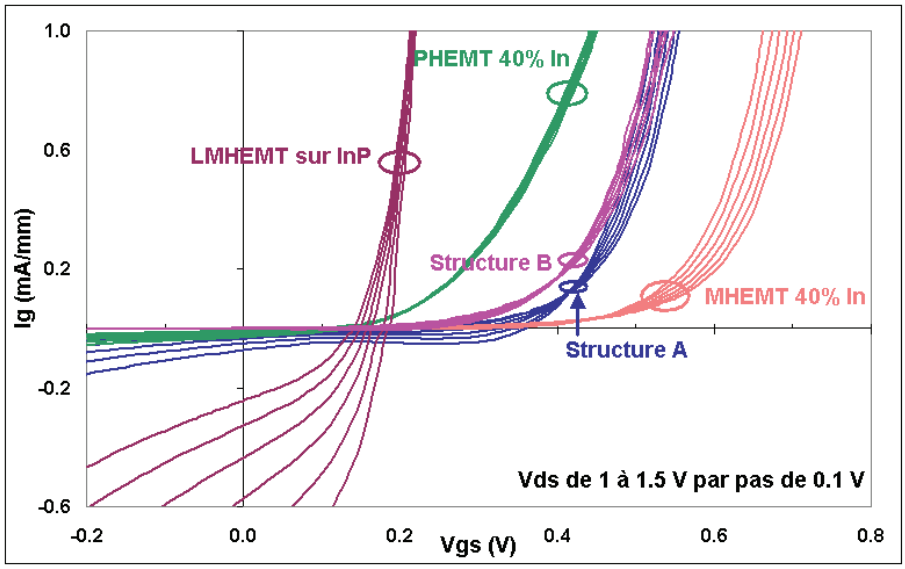


Figure VI-11 : Comparaison des courants de grille pour les structures : métamorphique, à l'accord de maille sur InP, avec une couche contrainte en surface de la couche barrière de 6,5 nm, et pour les structures A et B

Rappelons que tous les transistors présentés ici ont des tensions de seuil positives et des transconductances extrinsèques comparables.

On voit tout d'abord que le transistor métamorphique à 40% d'indium présente le meilleur courant de grille, grâce d'une part à sa couche barrière épaisse à 40% d'indium qui augmente la hauteur de barrière Schottky et diminue l'effet tunnel, et d'autre part grâce à son canal à large gap à 40% d'indium qui diminue les phénomènes d'ionisation par impact.

Dans le cas du transistor LM-HEMT sur InP, la bosse d'ionisation est masquée par le fort courant de grille induit par une hauteur de barrière Schottky trop faible.

L'introduction d'un matériau contraint dans la couche barrière limite fortement ce courant de grille (PHEMT avec une couche de 6,5 nm à 40% d'indium).

Enfin, l'ajout d'une couche d'AlInAs en surface de la couche barrière pour la structure A améliore également le courant de grille, tandis que le recess asymétrique de la structure B diminue le champ dans le canal, et donc les fuites de grille.

Nous avons représenté figure VI-12 une comparaison des transconductances extrinsèques des deux structures à V_{DS} = 1 V en fin de procédé.

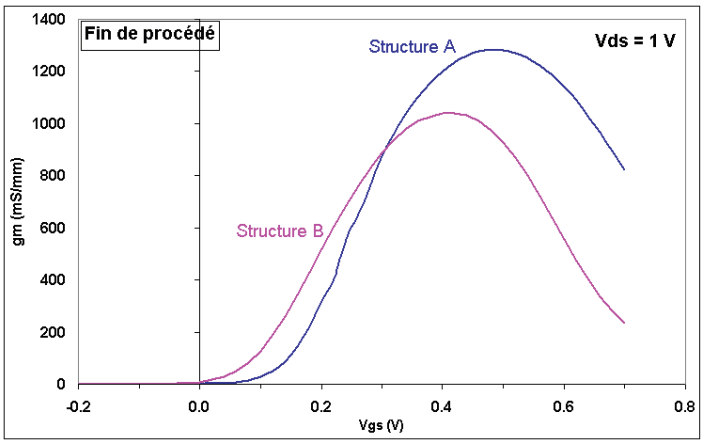


Figure VI-12 : Transconductances en fonction de V_{GS} pour les structures A et B à V_{DS} = 1 V

La transconductance extrinsèque est de 1280 mS/mm pour la structure A et 1040 mS/mm pour la structure B. Cet écart peut être expliqué de deux façons :

D'une part, par l'effet de canal court qui est provoqué ici par une réduction du rapport d'aspect de la structure. On définit en effet le rapport d'aspect comme étant le rapport entre la longueur de grille L_G et l'épaisseur de la couche barrière d. Dans le cas de la structure B, la longueur a été réduite alors que l'épaisseur de la couche barrière est restée constante. Cette dégradation du rapport d'aspect entraîne un mauvais contrôle du canal par la grille, et donc une diminution de la transconductance.

D'autre part, la plus grande longueur de recess côté source de 25 nm pour la structure A contre 50 nm pour la structure B dégrade la résistance parasite de source (R_s = 0,26 Ω.mm pour la structure A et 0,48 Ω.mm pour la structure B) et donc la transconductance extrinsèque.

Cette augmentation de la longueur du recess côté source a également un impact sur les caractéristiques $I_D(V_{DS})$. Nous avons représenté figure VI-13 les réseaux de caractéristiques pour les deux structures.

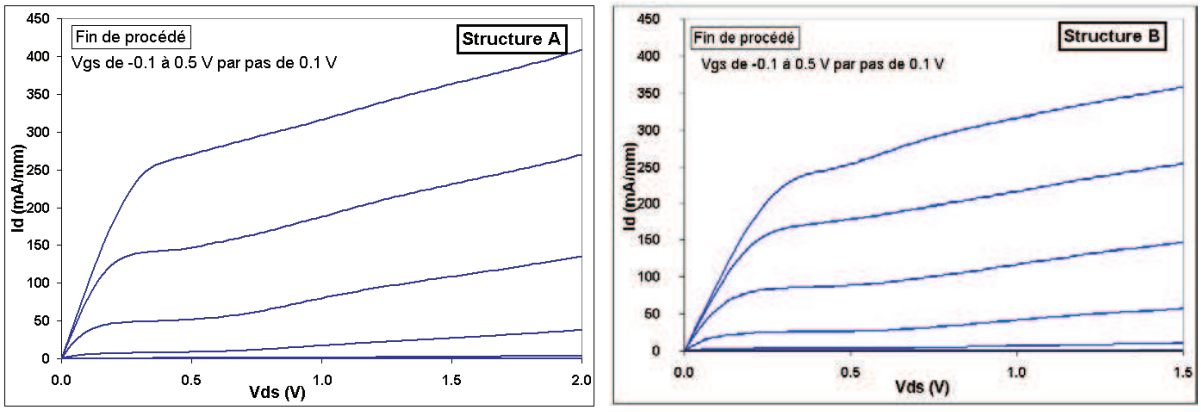


Figure VI-13 : Réseaux de caractéristiques $I_D(V_{DS})$ pour les structures A et B

Les deux structures présentent un bon réseau de caractéristiques avec un pincement net. Elles présentent également un léger effet « Kink » qui est plus prononcé dans le cas de la structure asymétrique B. Cela est dû principalement au recess plus étendu côté source pour la structure B. Pour mieux visualiser l'effet « Kink », nous avons représenté les courbes de conductances de sortie pour chacune des deux structures en fonction de la tension drain source (figure VI-14) à V_{GS} = 0,5 V.

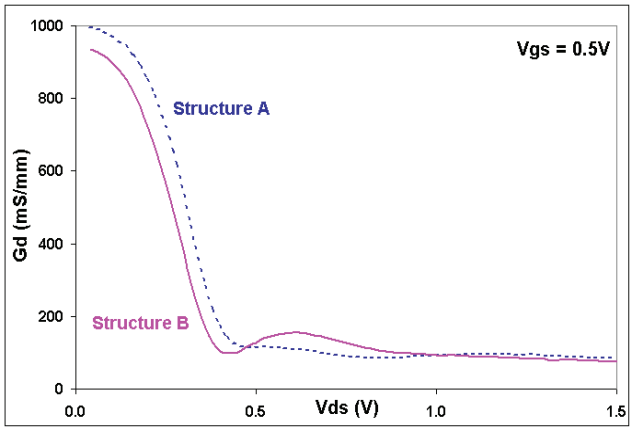


Figure VI-14 : Conductances de sortie g_d en fonction de V_{DS} pour les deux structures, à V_{GS} = 0,5 V

On peut voir les effets du recess côté source sur ces courbes de deux façons :

D'une part, la bosse qui apparaît à V_{DS} > 0,5 V qui traduit un effet « Kink ». Ce phénomène est fortement dépendant de la longueur de recess côté source [18]. En augmentant ce paramètre pour la structure B, l'effet « Kink » devient plus visible sur ses caractéristiques $I_D(V_{DS})$.

D'autre part, la résistance de sortie en régime ohmique, qui est l'inverse de la conductance g_d, est légèrement supérieure dans le cas de la structure B. A V_{DS} = 40 mV, qui correspond à un

régime ohmique, ces résistances valent respectivement 1 et 1,07 Ω.mm pour les structures A et B.

La structure B permet donc, grâce à une couche d'AlInAs à 40% d'indium insérée dans la couche barrière et à un recess de grille asymétrique, d'obtenir un transistor HEMT à enrichissement avec d'excellentes caractéristiques statiques. Nous allons maintenant nous intéresser aux performances dynamiques des structures A et B.

VI.3.2 Résultats RF et comparaison des structures A et B

Les paramètres S ont été mesurés sur plaque via l'analyseur de réseaux 67 GHz « PNA series » d'Agilent. Les éléments intrinsèques et extrinsèques du schéma équivalent petit signal ont été extraits selon la méthode développée par G. Dambrine [6]. Ces éléments sont regroupés dans le tableau VI-1 pour les structures A et B, pour deux topologies de grille : W = 4x25 µm et W = 4x50 µm à V_{DS} = 1 V.

Structure	W (µm)	I_D (mA/ mm)	R_G (Ω)	R_S (Ω. mm)	R_D (Ω. mm)	C_{PG} (fF)	C_{PD} (fF)	L_G (pH)	L_S (pH)	L_D (pH)	g_{mint} (mS/ mm)	g_D (mS/ mm)	C_{GS} (fF/ mm)	C_{GD} (fF/ mm)
A	4x25	316	3,6	0,26	0,48	2	26	11	3	11	2360	132	848	272
	4x50	319	3,7	0,26	0,48	3	47	14	2	14	2500	137	1000	237
B	4x25	202	2,9	0,48	0,31	4,8	25,9	11	4	11	1817	113	1009	167
	4x50	211	3	0,52	0,28	6,9	46	16	2	16	1802	115	968	151

Tableau VI-1 : Eléments du schéma équivalent pour les structures A et B à V_{DS} = 1 V

Pour une largeur de 4x25 µm, la transconductance intrinsèque est de 2360 mS/mm pour la structure A et 1817 mS/mm pour la structure B. Cet écart s'explique par la réduction de la longueur de grille dans le cas d'un recess asymétrique (structure B) et l'extension du recess côté source qui induit une dégradation du contrôle des charges dans le canal par la grille. En ce qui concerne la conductance de sortie g_d, elle tend à être augmentée par la réduction de L_G pour la structure B, mais cette tendance est compensée par le recess asymétrique qui, lui, diminue la conductance [19].

Les mesures de paramètres S jusqu'à 50 GHz permettent également d'obtenir les fréquences de coupure F_T et F_{MAX} par extrapolation à –20 dB/décade respectivement des gains $|H_{21}|^2$ et U (gain de Mason).

Les meilleurs résultats en terme de F_T sont obtenus pour une topologie de grille W = 4x50 µm et atteignent 219 GHz pour la structure A et 204 GHz pour la structure B. Par ailleurs, les

meilleurs résultats en F_{MAX} sont obtenus pour des transistors de largeur W = 4x25 µm et atteignent 300 GHz pour la structure A et 327 GHz pour la structure B (figure VI-15).

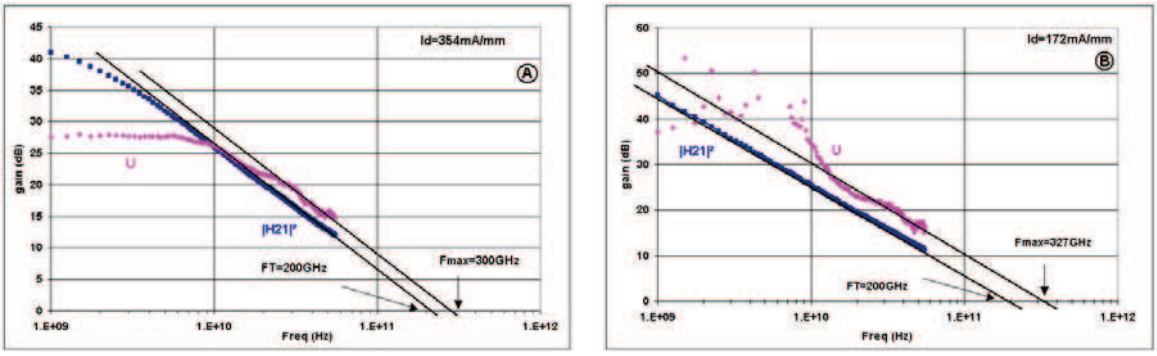


Figure VI-15 : Module des gains en courant de court-circuit H_{21} et Unilatéral de Mason U pour une topologie de grille W = 4x25 µm, pour les structures A et B

Ces résultats sont à l'état de l'art des transistors HEMTs à enrichissement, et concurrencent même les transistors à désertion, comme le montrent les valeurs de F_T et F_{MAX} (figure VI-16) reprenant l'état de l'art des transistors RF présentés dans le premier chapitre.

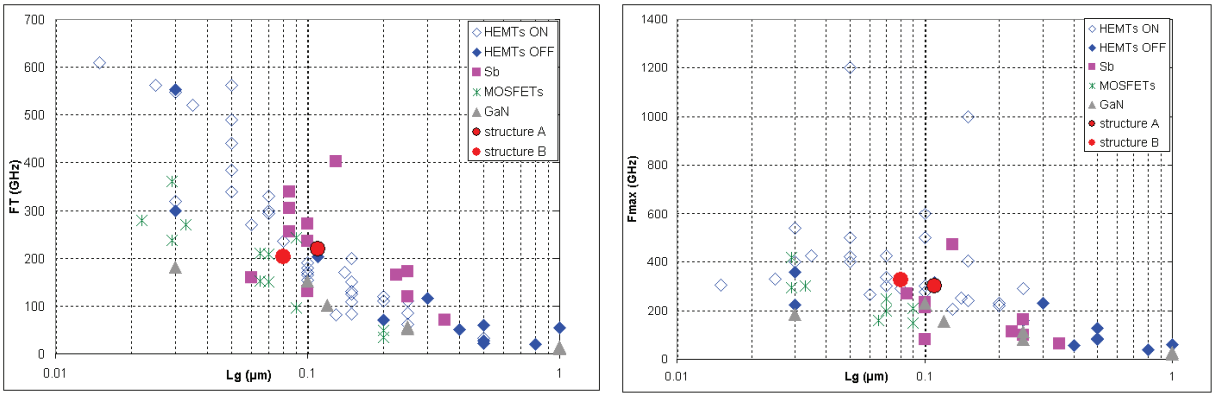


Figure VI-16 : Etat de l'art des fréquences de coupure F_T et F_{MAX} pour différentes filières de transistors RF

La structure B au recess asymétrique présente de meilleurs résultats en terme de fréquences de coupure. Cependant la structure A symétrique a l'avantage d'avoir une fréquence F_T élevée à tensions V_{DS} et V_{GS} égales, couplée à une transconductance élevée, ce qui lui ouvre un autre domaine d'applications : la mono tension.

VI.3.3 Applications en mono tension

Revenons en effet à l'étude des réseaux de courbes $I_D(V_{DS})$ pour différentes valeurs de V_{GS} présentée figure VI-17 A) pour la structure A. Nous avons remarqué lors de notre

comparaison entre les deux structures A et B que la structure B présentait un effet « Kink » un peu plus prononcé à cause de l'extension de recess plus importante côté source (paragraphe V.3.1)

La structure symétrique A par contre bénéficie d'un courant déjà élevé à $V_{DS} = V_{GS} = 0,5$ V avec une caractéristique peu affectée par l'effet « Kink » (figure VI-17 A). Elle a de plus l'avantage de présenter une transconductance élevée de 1180 mS/mm à ces tensions $V_{DS} = V_{GS} = 0,5$ V comme le montre la figure VI-17 B.

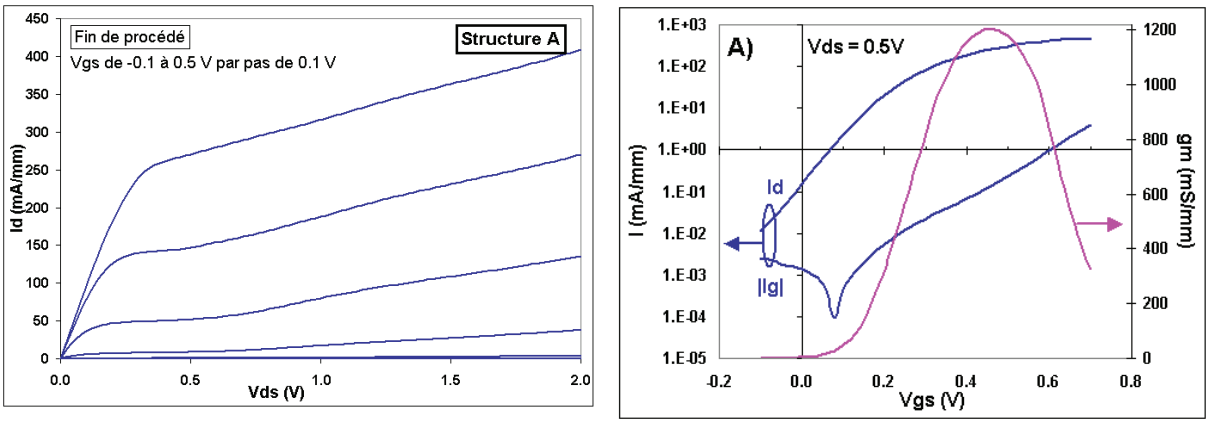


Figure VI-17 Caractéristiques statiques de la structure A à $V_{DS} = 0,5$ V :
A) Réseau $I_D(V_{DS})$ en fonction de V_{GS}
B) g_m, $|I_G|$ et I_D

Ces bonnes caractéristiques statiques sont couplées à une fréquence de coupure F_T supérieure à 200 GHz (figure VI-18), ce qui permet un fonctionnement très performant à faible polarisation de drain.

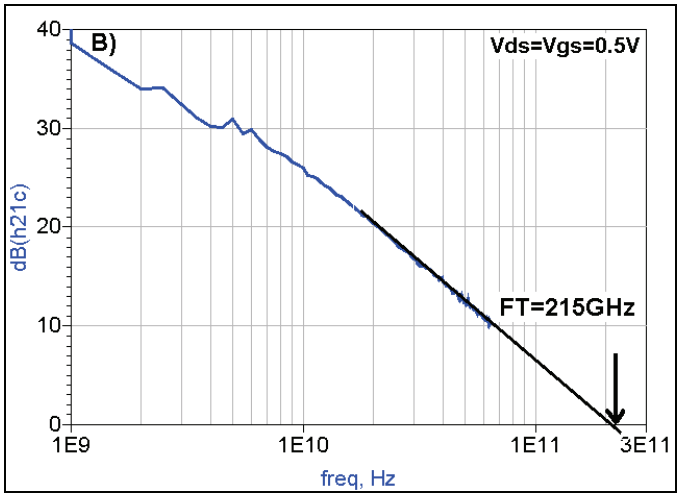


Figure VI-18 : Module des gains en courant de court-circuit H_{21} et Unilatéral de Mason U pour la structure A à $V_{DS} = V_{GS} = 0,5$ V

L'intérêt a posteriori de souligner ces performances est qu'elles ouvrent des perspectives prometteuses pour des applications en mono tension pour la structure A à recess symétrique. Cette structure, en garantissant de telles performances à faible V_{DS}, fait du transistor E-HEMT un bon candidat pour les applications numériques. De plus la réduction de la tension d'alimentation impacte directement la consommation de puissance des circuits. Ces bonnes performances obtenues à faible consommation DC, peuvent être intéressantes pour des applications ultra faible consommation tels que les objets mobiles communicants ou les réseaux de capteur.

VI.4 Résultats en bruit

Les quatre paramètres de bruit (NF_{min}, parties réelle et imaginaire de Γ_{opt} et R_n) ainsi que le gain associé G_{ass} sont extraits des mesures de figure de bruit dans la bande de fréquences 6-40 GHz, par la méthode F50 [7]. Ces paramètres de bruit sont regroupés dans le tableau VI-2 aux conditions de polarisation donnant le minimum de bruit à 30 GHz, pour les structures A et B, pour deux topologies de grille W = 4x25 µm et W = 4x50 µm.

Structure	W (µm)	I_D (mA/mm)	NF_{min} (dB)	R_n (Ω)	Mag Γ_{opt} (linéaire)	Arg Γ_{opt} (degrés)	G_{ass} (dB)
A L_G=110nm Recess symétrique	4x25	104,8	0,69	7,9	0,41	55,6	10,4
	4x50	107	1,04	6,2	0,29	103	9,9
B L_G=80nm Recess asymétrique	4x25	103	0,96	14	0,52	58	13,2
	4x50	100	1,09	8,6	0,31	79	11,8

Tableau VI-2 : Les quatre paramètres de bruit pour les structures A et B à F = 30 GHz et V_{DS} = 1V

La topologie de grille W = 4x25 µm est celle qui donne le minimum de bruit pour les deux structures. La structure A présente un facteur de bruit de 0,69 dB pour un gain associé de 10.4 dB, ce qui est comparable aux résultats obtenus pour le E-HEMT métamorphique [2].

On voit par ailleurs que la nouvelle structure développée, avec son recess asymétrique, permet d'atteindre des facteurs de bruit de 0,96 dB avec un gain associé élevé de 13,2 dB.

Nous avons représenté sur la figure VI-19 le facteur de bruit ainsi que le gain associé en fonction du courant de drain à 30 GHz pour les deux structures A et B, ainsi que pour le transistor E-HEMT métamorphique pour comparaison. Les résultats représentés correspondent à des topologies de grille W = 4x25 µm qui, dans les trois cas, donnent le minimum de bruit.

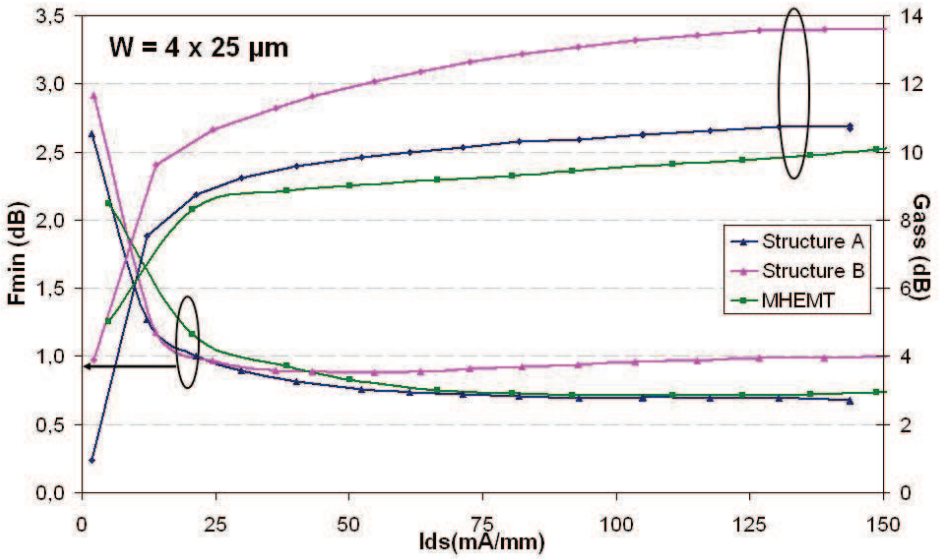


Figure VI-19 : NF_{min} et G_{ass} en fonction du courant I_D pour les structures A, B et MHEMT

On observe que l'on atteint le même niveau de bruit que celui du transistor métamorphique étudié précédemment avec la structure pseudomorphique à recess symétrique A. On obtient par ailleurs un gain associé très élevé pour la structure B, combiné à un niveau de bruit très correct.

On notera également que les courbes de NF_{min} ne s'annulent pas pour une fréquence nulle (figure VI-20), comme elles le devraient. Cela vient du fait que le modèle que nous avons utilisé pour l'extraction du bruit, ne prend pas en compte les courants de fuite de grille présents dans nos transistors. Afin de modéliser cette contribution du courant de fuite sur la grille, une conductance de grille g_g à l'entrée du transistor (entre grille et source), qui décrit cette fuite, et une source de bruit de type grenaille auraient dû être introduites dans notre modèle de bruit. Cette conductance de grille contribue à l'évolution atypique du facteur de bruit en basse fréquence. Ainsi, un NF_{min} ne s'annulant pas à fréquence nulle, peut être la signature d'un courant de fuite de grille.

Comme on peut le voir sur les courbes de la figure VI-20, les performances en bruit des transistors E-HEMTs à barrière Schottky composite sur InP sont meilleures que celles des transistors à enrichissement à barrière Schottky standard et même comparables aux transistors à désertion, qui sont généralement préférés pour les applications faible bruit. En guise de comparaison, nous avons également représenté sur cet état de l'art les performances de transistors RF d'autres filières, présentées dans le chapitre précédent. En terme de gain associé, la structure asymétrique B présente l'un des niveaux les plus élevés par rapport aux différentes filières comparées ici.

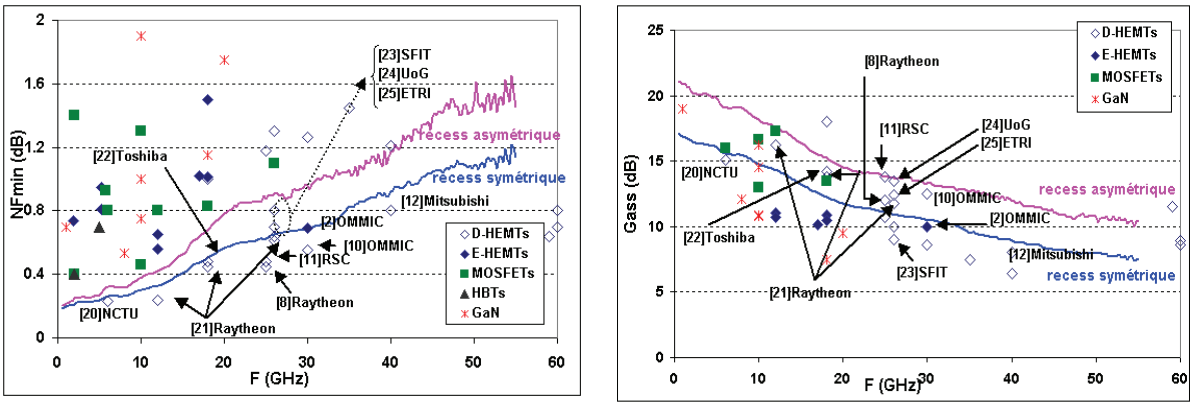


Figure VI-20 : Etat de l'art en bruit des transistors des HEMTs et d'autres filières de transistors RF

*OMMIC : MHEMT 110 nm **[2]**, NCTU : National Chiao Tung University, Taiwan **[20]**, Raytheon : Raytheon RF Components **[8]** et **[21]**, Toshiba : **[22]**, RSC : Rockwell Scientific Company **[11]**, OMMIC : MHEMT 70 nm **[10]**, Mitsubishi : **[12]**, SFIT : Swiss Federal Institute of Technology **[23]**, UoG : University of Glasgow **[24]**, ETRI : Electronics and Telecommunications Research Institute, **[25]***

Une autre partie de ce travail de thèse, développée dans le prochain paragraphe, a consisté en l'élaboration du modèle électrique petit signal des transistors E-HEMTs métamorphiques pour la définition de la bibliothèque de conception.

VII Modélisation électrique du transistor HEMT

VII.1 Introduction

La modélisation d'un transistor est une étape qui fait le lien entre la production et la conception. Il est donc impératif pour les concepteurs de connaître le comportement électrique

d'un transistor pour pouvoir l'intégrer dans un circuit parmi d'autres composants. Ainsi, à partir de mesures électriques faites sur le transistor, il est possible par des méthodes précises que nous énoncerons plus loin, de déterminer les éléments du schéma électrique équivalent du transistor et de prévoir le comportement électrique de celui-ci pour tous les points de polarisation (en théorie). Nous décrirons donc dans ce chapitre le principe de la modélisation électrique, ainsi que l'obtention du modèle petit signal.

VII.2 Différents types de modèles

Nous distinguerons plusieurs modèles développés à OMMIC sur les transistors :

- Le modèle petit signal (ou linéaire)

  Il correspond à un fonctionnement du transistor pour de faibles valeurs de polarisation V_{DS} autour d'un point de polarisation. C'est le plus simple à obtenir, car il suppose un comportement linéaire du transistor, ce qui ne correspond pas exactement à la réalité (notamment en cas de fortes variations autour du point de polarisation).
- Le modèle grand signal (ou non linéaire)

  Obtenu à partir du modèle petit signal, il propose un comportement du transistor plus proche de la réalité car il prend en compte les grandes variations autour du point de polarisation (indispensable pour les études en puissance)

Différents logiciels sont disponibles pour simuler électriquement un composant à partir de son schéma équivalent. Dans notre cas, l'étude s'est faite via le logiciel ADS (Advanced Design System) d'Agilent pour l'extraction du modèle petit signal.

VII.3 Principe de la modélisation

L'obtention du modèle électrique d'un composant revient en fait à définir les valeurs de chacun des éléments constituant son schéma électrique équivalent (figure VII-1) à n'importe quelle polarisation.

Le principe consiste à mesurer plusieurs géométries de transistors (en faisant varier la largeur de doigt unitaire W_u et le nombre de doigts de grille N_{bd}) à des conditions de polarisation précises pour pouvoir extraire une relation, souvent linéaire, entre la valeur du paramètre

mesuré (et dont on cherche une expression valable quelle que soit la polarisation) et les grandeurs que l'on a fait varier (W_u et N_{bd}).

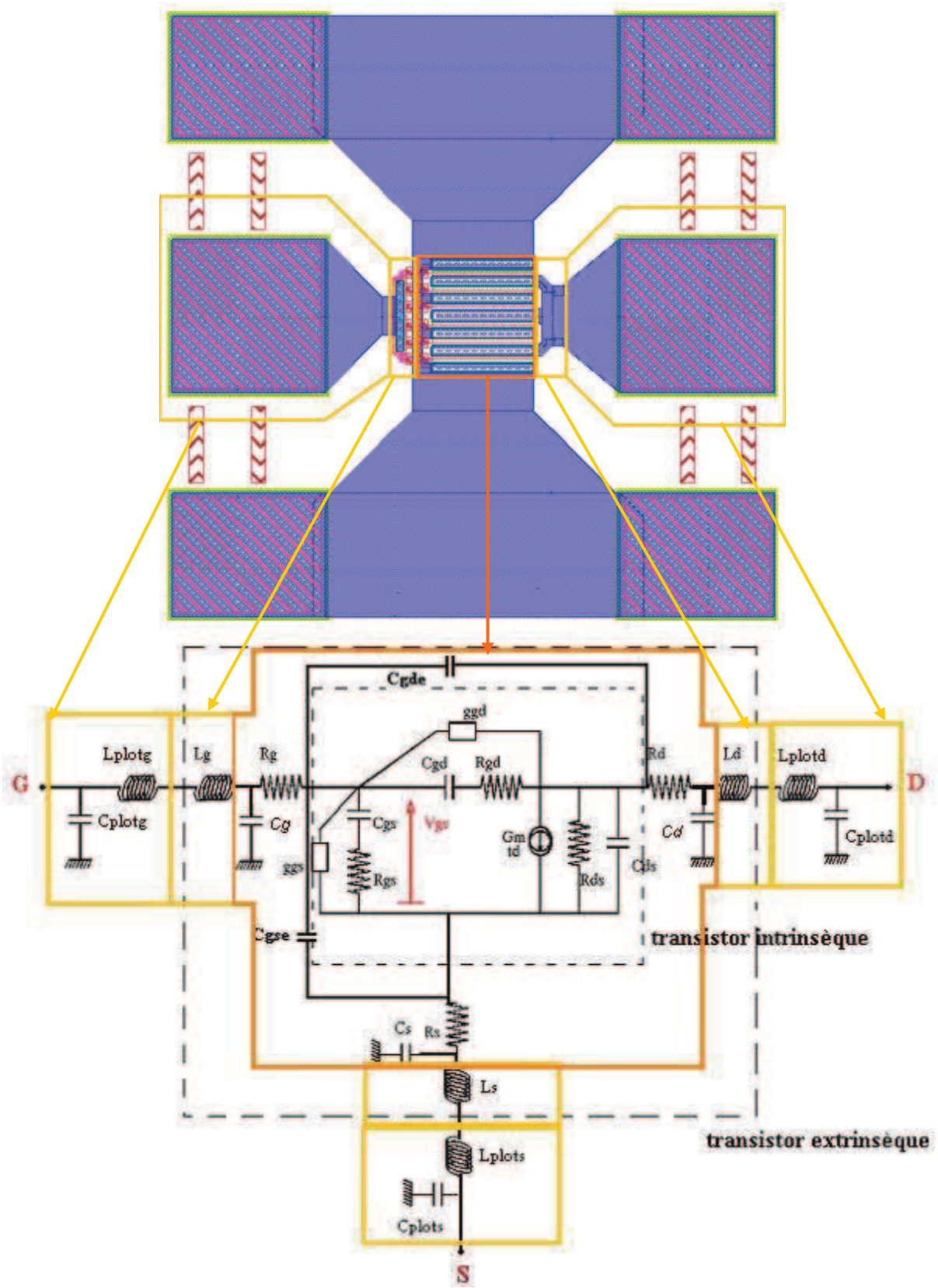


Figure VII-1 : Schéma équivalent petit signal du transistor E-HEMT [26]

Nous avons représenté figure VII-1 un transistor à quatre doigts avec ses plots de mesures, ainsi que le schéma équivalent petit signal associé, en reliant, de façon simplifiée, ces différents éléments aux composantes physiques correspondantes.
Le schéma petit signal peut être décomposé en trois parties :

- Le transistor intrinsèque, qui comme son nom l'indique, modélise le comportement du transistor seul sans aucun élément parasite. Ces paramètres varient donc avec la polarisation
- Le transistor extrinsèque, qui englobe en plus du transistor intrinsèque, les paramètres d'accès de grille, drain et source du transistor. Ils sont invariants avec la polarisation
- Les accès liés à la mesure, qui prennent en compte les parasites situés entre le plan où sont posées les pointes de mesure, et le transistor proprement dit. On modélise ces plots de mesure par un réseau L_{plot} / C_{plot}.

Enfin, on doit également considérer les capacités parasites inter électrodes C_{gse} et C_{gde}, ainsi que les capacités entre zone active et plan de masse C_g, C_d et C_s.

VII.4 Modèle petit signal du E-HEMT

Le principe consiste à mesurer les paramètres S du transistor, puis à leur retrancher par calcul matriciel, les contributions des éléments liés à la mesure (inductances et capacités de plots), et des éléments extrinsèques (c'est ce que l'on appelle le « deembeding »), pour pouvoir en déduire les éléments intrinsèques pour toutes les tailles de transistor et n'importe quelle polarisation.
Pour une technologie de transistor donnée, les mesures seront effectuées sur une plaque dite typique, c'est-à-dire que ses caractéristiques statiques et dynamiques seront représentatives des résultats couramment obtenus sur cette technologie, de façon à avoir un modèle le plus proche de la réalité.

VII.4.1 Extraction des éléments extrinsèques et des plots de mesure

Le principe de la modélisation consiste, à partir de différentes mesures pour plusieurs tailles de transistor, à trouver une loi d'échelle entre les paramètres extrinsèques et la largeur W_u et le nombre de doigts N_{bd}. Ceci a pour but de passer aisément d'une taille de transistor à l'autre, et donc d'avoir un modèle complet quelles que soient les mesures réalisées.

Par ailleurs, les tailles de plots de mesure sont identiques pour toutes les topologies de grille (sauf pour les largeurs de doigt W_u = 75 µm, le cas sera traité à part) ; ainsi une fois extrait, le couple L_{plot} / C_{plot} sera le même pour chaque transistor.

Extraction des capacités

Pour cela, nous nous plaçons dans le régime FET froid et pincé, c'est-à-dire V_{DS} = 0 V et V_{GS} = -0,5 V ($V_{GS} < V_T$). Dans ces conditions de polarisation et en fréquence « basse », on peut négliger les éléments série (résistance d'accès R et inductance L).

Dans ces conditions, le schéma électrique équivalent peut être simplifié selon la figure VII-2, on retrouve une topologie en Pi.

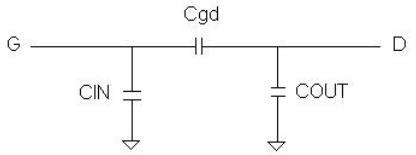


Figure VII-2 : Schéma équivalent simplifié à V_{DS} = 0 V et $V_{GS} < V_T$ pour l'extraction des capacités parasites

Où

$$\begin{cases} C_{IN} = C_{plotg} + C_g + C_{gs} \\ C_{OUT} = C_{plotd} + C_d + C_{ds} \end{cases} \quad \text{(vii-1)}$$

Dans nos conditions de polarisation V_{DS} = 0 et $V_{GS} < V_T$, les capacités C_{gs}, C_{gd} et C_{ds} s'expriment suivant :

$$\begin{cases} C_{gs} = C_b + C_{gse} * N_{bd} \\ C_{gd} = C_b + C_{gde} * N_{bd} \\ C_{ds} = C_{ds}(V_{GS}, V_{DS}) + C_{dse} * N_{bd} \end{cases} \quad \text{(vii-2)}$$

C_b étant la capacité de bord.

Le calcul des capacités C_{IN}, C_{OUT} et C_{gd} à partir des paramètres Y est immédiat :

$$\begin{cases} Y_{11} = j\omega (C_{IN} + C_{gd}) \\ Y_{22} = j\omega (C_{OUT} + C_{gd}) \\ Y_{12} = -j\omega . C_{gd} \end{cases} \quad \text{(vii-3)}$$

Donc

$$\begin{cases} C_{IN} = \dfrac{1}{j\omega}\left(Y_{11} + Y_{12}\right) \\ C_{OUT} = \dfrac{1}{j\omega}\left(Y_{22} + Y_{12}\right) \\ C_{gd} = \dfrac{-1}{j\omega} Y_{12} \end{cases} \qquad \text{(vii-4)}$$

Par ailleurs, la capacité inter électrode grille – drain ne dépend que du nombre de doigts N_{bd}. La capacité C_{gd} peut donc s'exprimer selon $C_{gd} = C_{gd}(W_u, N_{bd}) + C_{gde} * N_{bd}$. Ainsi, le tracé de C_{gd} en fonction de la largeur unitaire d'un doigt de grille W_u pour différentes tailles de transistors permet d'atteindre C_{gde} comme le montre la figure VII-3.

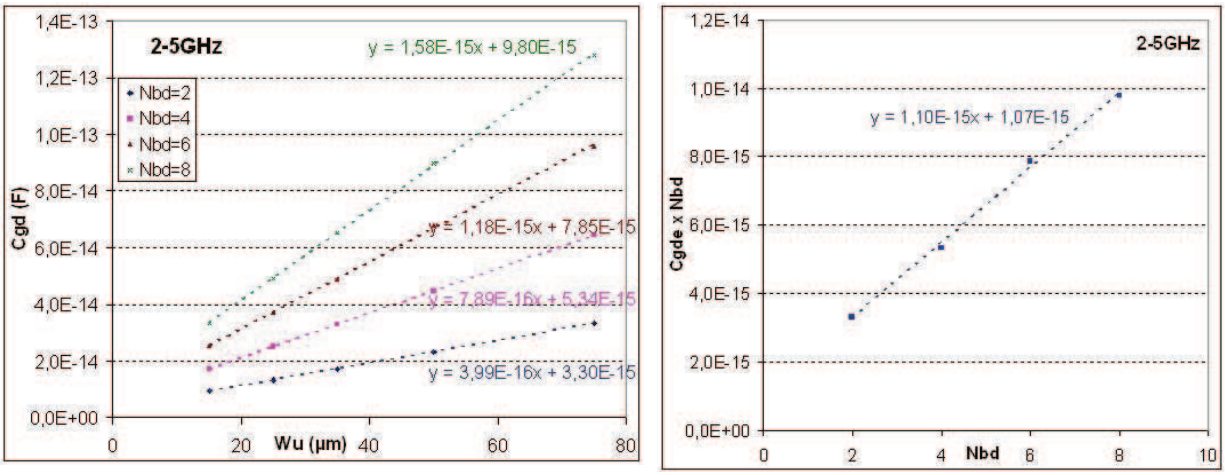


Figure VII-3 : Extraction de la capacité inter électrodes C_{gde}

On extrait ainsi une capacité inter électrodes C_{gde} de 1,1 fF.

D'après (vii-1) et (vii-2) $C_{IN} = C_{plotg} + C_b + C_g + C_{gse} * N_{bd}$ (vii-5)

Dans la mesure où les accès de test ont été dessinés identiques pour toutes les tailles de transistor, on considèrera que les capacités de plot sont les parties constantes des capacités d'accès. Les capacités C_b et C_g dépendent elles de la taille du transistor (W_u et N_{bd}). En prenant en compte ces dépendances, on peut donc réécrire l'équation (vii-5) suivant :

$C_{IN} = C_{plotg} + (C_b + C_g) * W_u * N_{bd} + C_{gse} * N_{bd}$ (vii-6)

Ainsi, le tracé de C_{IN} en fonction du nombre de doigts N_{bd} permet d'extraire C_{plotg} (figure VII-4)

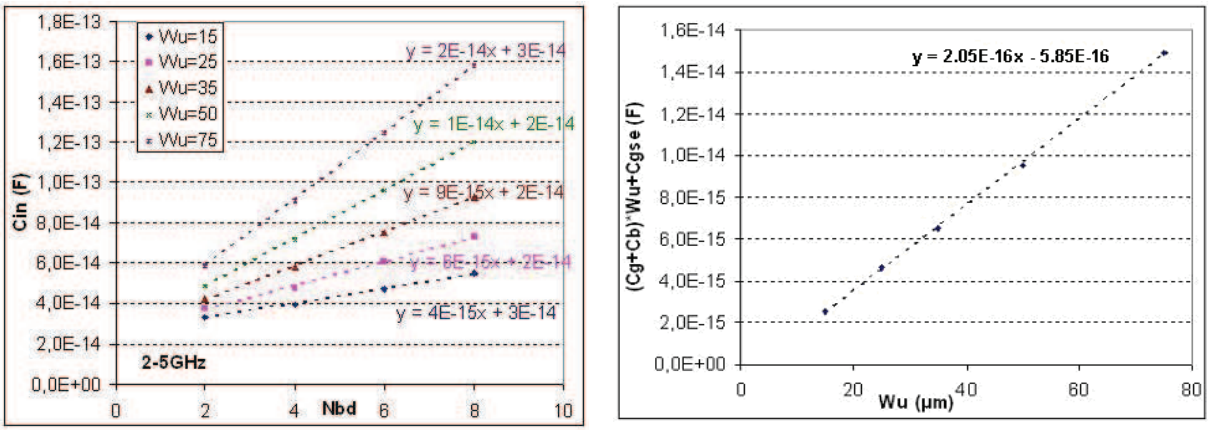


Figure VII-4 : Extraction des capacités C_{plotg} et C_{gse}

On extrait alors une capacité de plot C_{plotg} = 25 fF.

La deuxième partie de la relation (vii-6) permet elle d'obtenir C_{gse} en traçant les pentes obtenues ci-dessus en fonction du nombre de doigts N_{bd}. Nous arrivons alors C_{gse} = 0,5 fF.

L'extraction des capacités C_{plotd} et C_{dse} (figure III-4) se fait de la même façon.

D'après (vii-1) et (vii-2) $C_{OUT} = C_{plotd} + C_d + C_{ds} + C_{dse} * N_{bd}$ (vii-7)

En tenant compte des dépendances avec les paramètres du transistor, on obtient :

$C_{OUT} = C_{plotd} + (C_d + C_{ds}) * W_u * N_{bd} + C_{dse} * N_{bd}$ (vii-8)

Ainsi, le tracé de C_{OUT} en fonction du nombre de doigts N_{bd} permet d'extraire C_{plotd} (figure VII-5)

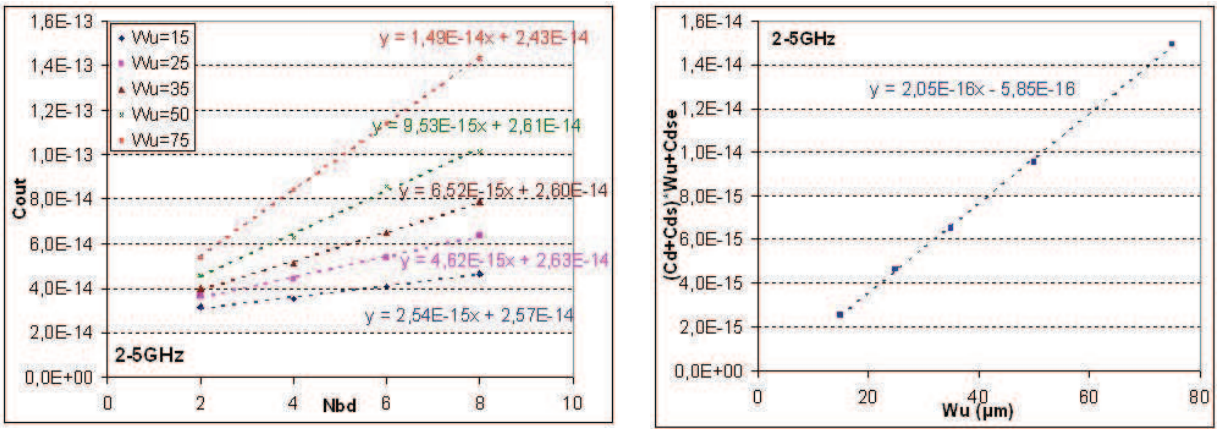


Figure VII-5 : Extraction des capacités C_{plotd} et C_{dse}

Ces extractions donnent C_{plotd} = 26 fF. La capacité C_{dse} a été fixée à zéro, l'extraction ne donnant pas de résultat (valeur négative).

Extraction des inductances et des résistances

Pour l'extraction des inductances et des résistances, on se place dans le régime FET froid fortement ouvert, soit V_{DS} = 0 V et V_{GS} >> V_T (V_{GS} = 1,1 V). Dans ces conditions, le schéma équivalent se simplifie et on retrouve une topologie en T (figure VII-6).

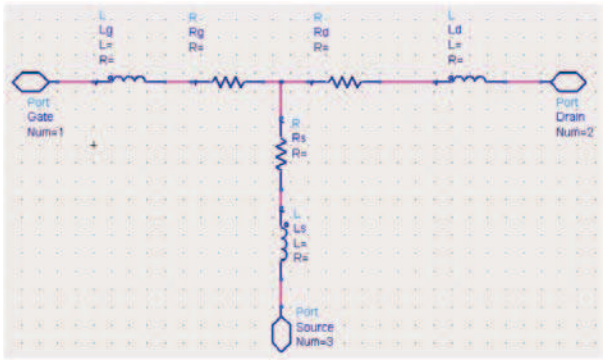


Figure VII-6 : Schéma équivalent simplifié à V_{DS} = 0 V et V_{GS} = 1,1 V pour l'extraction des inductances et résistances

Dans ces conditions de polarisation, la matrice Z du transistor est donnée par les équations (vii-9) :

$$\begin{cases} Z_{11} = R_G + R_S + j(L_G + L_S)\omega + z_{11} \\ Z_{12} = R_S + jL_S\omega + z_{12} \\ Z_{22} = R_D + R_S + j(L_S + L_D)\omega + z_{22} \end{cases} \quad \text{(vii-9)}$$

Où les éléments z correspondent au réseau distribué sous la grille. En effet, dans les conditions de polarisation froide (V_{DS} = 0V), le transistor peut être modélisé par un réseau distribué uniforme, constitué d'une capacité linéique ΔC_g avec en parallèle une résistance ΔR_{dy} correspondant à la jonction grille – canal et d'une résistance ΔR_c correspondant à la résistivité du canal (figure VII-7).

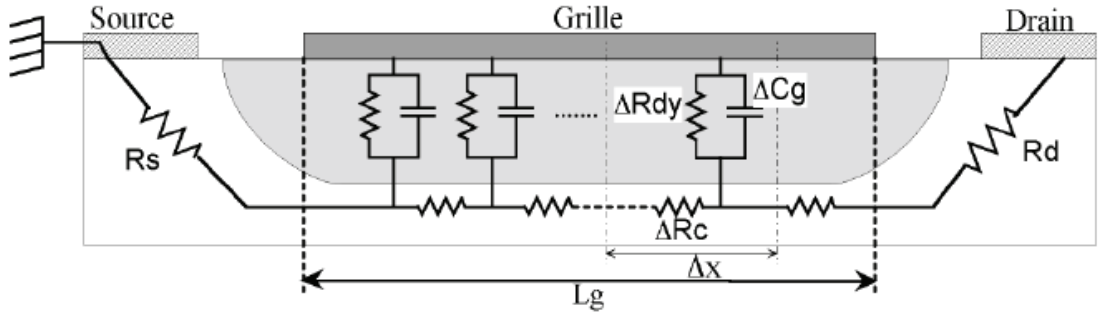


Figure VII-7 : Réseau distribué sous la grille en polarisation froide (V_{DS} = 0V)

ΔR_{dy} est donnée par : $\Delta R_{dy} = \dfrac{\eta kT}{qI_g}\dfrac{L_g}{\Delta x}$

La matrice z du réseau distribué sous la grille est donnée par (vii-10) :

$$\begin{cases} z_{11} = \dfrac{R_c}{\gamma.l}\dfrac{ch(\gamma.l)}{sh(\gamma.l)} \\ z_{12} = z_{21} = -\dfrac{R_c}{\gamma.l}\dfrac{(1-ch(\gamma.l))}{sh(\gamma.l)} \\ z_{22} = \dfrac{-2R_c}{\gamma.l}\dfrac{(1-ch(\gamma.l))}{sh(\gamma.l)} \end{cases} \quad \text{(vii-10)}$$

avec $(\gamma.l)^2 = \dfrac{R_c}{R_{dy}}.(1 + jR_{dy}C_g\omega)$

Généralement $(\gamma l)^2 << 1$ avec $R_{dy} = \dfrac{\eta kT}{qI_g}$

Ce qui donne en combinant les deux systèmes d'équation (vii-9) et (vii-10) :

$$\begin{cases} Z_{11} \approx R_G + R_S + \dfrac{R_c}{3} + \dfrac{R_{dy}}{1 + jR_{dy}C_g\omega} + j(L_G + L_S)\omega \\ Z_{12} \approx R_S + \dfrac{R_c}{2} + jL_S\omega \\ Z_{22} \approx R_D + R_S + R_c + j(L_S + L_D)\omega \end{cases} \quad \text{(vii-11)}$$

Les inductances sont extraites en se plaçant en hautes fréquences (pour négliger le terme en $1/C_g\omega$). Pour les résistances, on se place en basse fréquence, où le terme $Rdy^2C_g{}^2\omega^2$ est négligeable devant 1, et on néglige le terme R_c (en général la résistance du canal est très faible devant les autres termes résistifs). Les relations extraites sont regroupées équation (vii-12) :

$$\begin{cases} L_s = \dfrac{\mathrm{Im}(Z_{12})}{\omega} \\ L_g = \dfrac{\mathrm{Im}(Z_{11})}{\omega} - L_s \\ L_d = \dfrac{\mathrm{Im}(Z_{22})}{\omega} - L_s \\ R_s = Re(Z_{12}) \\ R_g = Re(Z_{11}) - R_s \\ R_d = Re(Z_{22}) \end{cases} \quad \text{(vii-12)}$$

Le principe est le même que pour l'extraction des capacités. La partie constante des courbes tracées en fonction de W_u renseigne sur les inductances de plot, tandis que la partie variable correspond aux inductances extrinsèques selon les équations

$$L_G = L_{plotg} + L_g\,(W_u, N_{bd})$$
$$L_D = L_{plotd} + L_d\,(W_u, N_{bd}) \qquad \text{(vii-13)}$$
$$L_S = L_{plots} + L_s\,(W_u, N_{bd})$$

Il a de plus fallu prendre en compte la différence de design des plots de mesure pour les transistors de largeur W_u = 75 µm. Dans ce cas précis en effet, les plots de mesure côté drain sont 20% plus petits que les autres, on en a donc tenu compte dans le tracé des inductances de drain, pour l'extraction de l'inductance de plot L_{plotd} (figure VII-8). L'observation de ces courbes impose également de définir des lois d'échelles différentes pour un nombre de doigts égal à deux.

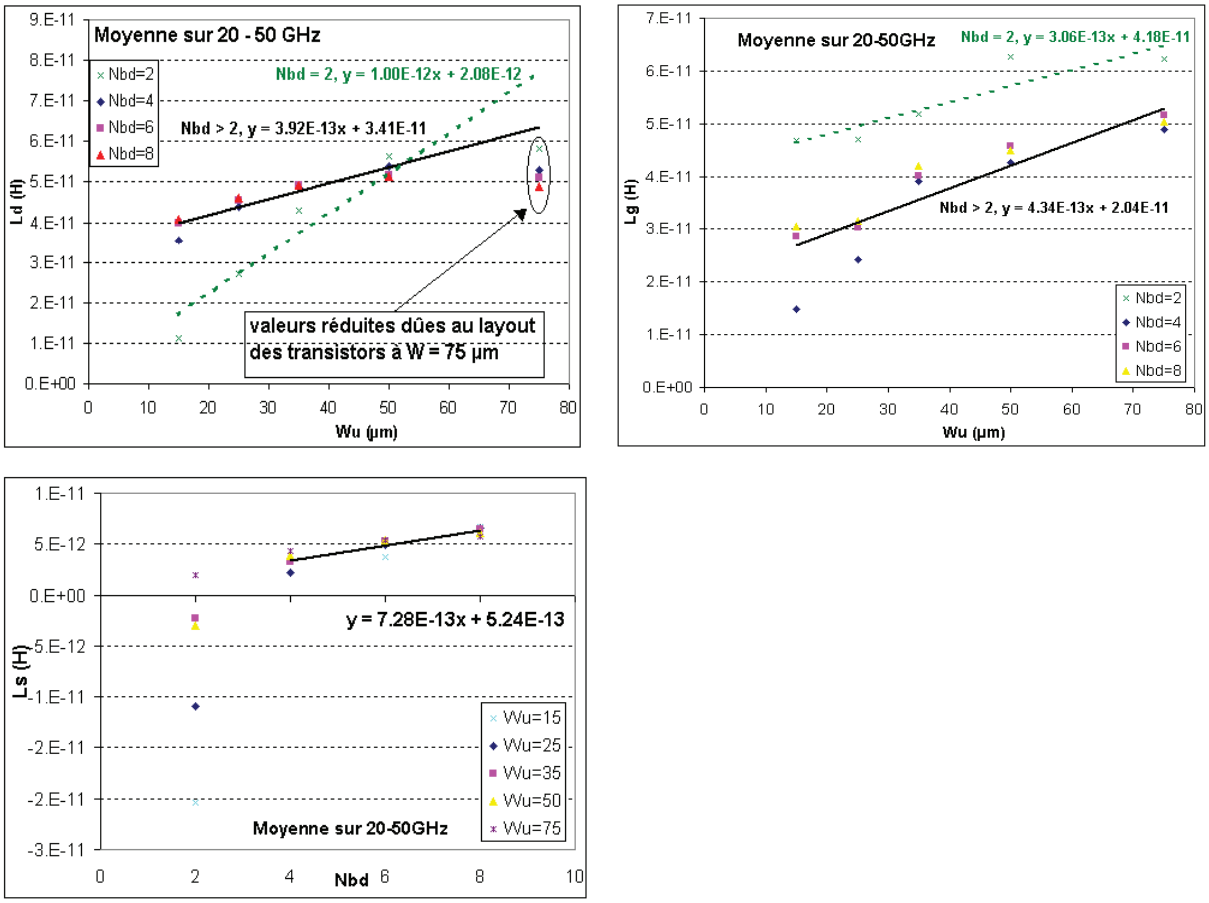


Figure VII-8 : Courbes d'extraction des inductances extrinsèques L_d, L_g, L_s et des inductances de plot L_{plotg}, L_{plotd}

On constate figure VII-8 des divergences sur l'évolution des inductances, en particulier pour les faibles largeurs totales N_{bd} * W_u. Par exemple, sur la courbe représentant l'évolution de L_s fonction de N_{bd}, on atteint des valeurs d'inductances négatives. Ce comportement est attribué à l'influence de la capacité C_g sur la résistance R_{dy}. Pour de faibles largeurs W_u, la résistance R_{dy} augmente, ainsi le terme en R_{dy} et C_g de l'équation (vii-11) ne peut plus être négligé. On imposera donc pour ces faibles développements W_u, les valeurs extrapolées.

Les valeurs des inductances extraites en fonction de la topologie du transistor sont les suivantes :

$$L_d = \begin{cases} 1\,pH.si.N_{bd} = 2 \\ 0.39\,pH.si.N_{bd} > 2 \end{cases}$$

$$L_{plotd} = \begin{cases} 2\,pH.si.N_{bd} = 2.et.W_u < 75\,\mu m \\ 1.6\,pH.si.N_{bd} = 2.et.W_u = 75\,\mu m \\ 34\,pH.si.N_{bd} > 2.et.W_u < 75\,\mu m \\ 27\,pH.si.N_{bd} > 2.et.W_u = 75\,\mu m \end{cases}$$

$$L_g = \begin{cases} 0.3\,pH.si.N_{bd} = 2 \\ 0.43\,pH.si.N_{bd} > 2 \end{cases}$$

$$L_{plotg} = \begin{cases} 41\,pH.si.N_{bd} = 2 \\ 20\,pH.si.N_{bd} > 2 \end{cases}$$

$$L_s = 0.7\,pH$$

Nous avons représenté figure VII-9 les courbes d'extraction des résistances de drain et de source R_d et R_s. Leur extraction est l'une des plus immédiates puisqu'elles sont inversement proportionnelles au produit W_u x N_{bd}. Cela donne $\underline{R_S = 0{,}42\ \Omega.mm}$ et $\underline{R_D = 0{,}73\ \Omega.mm}$.
Mais cette loi d'échelle n'est plus applicable pour la résistance de grille qui est beaucoup plus complexe à extraire. C'est l'objet du prochain paragraphe.

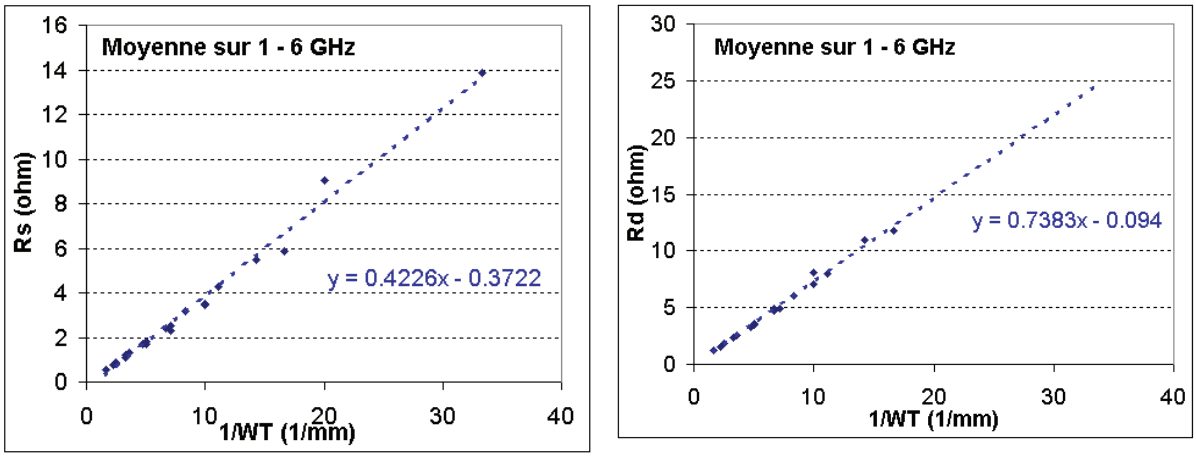


Figure VII-9 : Courbes d'extraction des résistances R_d et R_s

Extraction de la résistance de grille R_G

La loi d'échelle définissant la résistance de grille est plus complexe que pour les autres résistances car la résistance sous la grille doit être prise en compte dans un schéma distribué.

La résistance de grille s'exprime alors communément selon la relation donnée par [27] :

$$R_g = \frac{R_m * W_T}{3N_{bd}^2} = \frac{R_{g0} * W_T}{N_{bd}^2} \qquad \text{(vii-14)}$$

où R_m est la résistance métallique de grille, W_T la largeur totale de grille (soit la largeur unitaire multipliée par le nombre de doigts) et N_{bd} le nombre de doigts.

Pour notre extraction, nous avons utilisé un motif de test présent sur la plaque et représentant un barreau métallique de largeur 100 µm symbolisant la grille.

La mesure donne R_m = 186 Ω/mm, soit une résistance de grille $R_{g0} = R_m/3$ = 62 Ω/mm.

Nous avons regroupé équation vii-15 les valeurs extraites des paramètres extrinsèques et des plots de mesure du schéma équivalent.

$$\begin{cases} C_{plotg} = 25\,fF \\ C_{plotd} = 26\,fF \\ C_{gde} = 1.1\,fF \\ C_{gse} = 0.5\,fF \\ C_{dse} = 0 \\ L_d = \begin{cases} 1\,pH.si.N_{bd} = 2 \\ 0.39\,pH.si.N_{bd} > 2 \end{cases} \\ L_{plotd} = \begin{cases} 2\,pH.si.N_{bd} = 2.et.W_u < 75\mu m \\ 1.6\,pH.si.N_{bd} = 2.et.W_u = 75\mu m \\ 34\,pH.si.N_{bd} > 2.et.W_u < 75\mu m \\ 27\,pH.si.N_{bd} > 2.et.W_u = 75\mu m \end{cases} \\ L_g = \begin{cases} 0.3\,pH.si.N_{bd} = 2 \\ 0.43\,pH.si.N_{bd} > 2 \end{cases} \\ L_{plotg} = \begin{cases} 41\,pH.si.N_{bd} = 2 \\ 20\,pH.si.N_{bd} > 2 \end{cases} \\ L_s = 0.7\,pH \\ R_s = 0.42\Omega.mm \\ R_d = 0.73\Omega.mm \\ R_g = 62\Omega/mm \end{cases} \qquad \text{(vii-15)}$$

Une fois les éléments extrinsèques déterminés, on peut alors extraire les éléments intrinsèques.

VII.4.2 Extraction des éléments intrinsèques

Une fois les éléments extrinsèques déterminés, on obtient par la méthode d'« épluchage » c'est-à-dire par transformations matricielles successives et soustractions des éléments extrinsèques, les paramètres S du transistor intrinsèque, qui sont alors dits « deembeded ».
Concrètement, la topologie du schéma équivalent étant en Pi, les éléments intrinsèques peuvent être obtenus via les paramètres Y. Par transformation matricielle, et si on néglige R_{gd}, on obtient alors les paramètres Y suivant les formules suivantes [6] :

$$\begin{cases} Y_{11} = \dfrac{R_{gs} {C_{gs}}^2 \omega^2}{1 + {R_{gs}}^2 {C_{gs}}^2 \omega^2} + j\omega\left(C_{gd} + \dfrac{C_{gs}}{1 + {R_{gs}}^2 {C_{gs}}^2 \omega^2} \right) \\ Y_{12} = -j\omega C_{gd} \\ Y_{21} = \dfrac{g_m \exp(-j\omega\tau)}{1 + jR_{gs}C_{gs}\omega} - j\omega C_{gd} \\ Y_{22} = g_d + j\omega.(C_{ds} + C_{gd}) \end{cases} \quad \text{(vii-16)}$$

Dans le cas de composants faible bruit, on peut supposer que le terme $\omega^2 C_{gs}^2 R_{gs}^2$ est très faible en basse fréquence. De même, en prenant $(\omega\tau) << 1$ nous obtenons les relations suivantes donnant les éléments intrinsèques, avec la notation : $Y_{ij} = G_{ij} + j.B_{ij}$:

$$\begin{cases} K = \dfrac{G_{11}}{B_{11} + B_{12}} \\ C_{gd} = \dfrac{-B_{12}}{\omega} \\ R_{ds} = \dfrac{1}{G_{22}} \\ C_{ds} = \dfrac{B_{12} + B_{22}}{\omega} \\ C_{gs} = \dfrac{1}{\omega}.\dfrac{{G_{11}}^2 + (B_{11} + B_{12})^2}{B_{11} + B_{12}} \\ R_{gs} = \dfrac{G_{11}}{{G_{11}}^2 + (B_{11} + B_{12})^2} \\ g_m = \dfrac{G_{21}.(1 + K^2)}{\cos(\omega\tau) - K\sin(\omega\tau)} \\ tg(\omega\tau) = \dfrac{G_{21}K + (B_{21} - B_{12})}{K(B_{21} - B_{12}) - G_{21}} \end{cases} \quad \text{(vii-17)}$$

Nous avons regroupé dans le tableau VII-1 les valeurs obtenues pour un transistor de largeur totale W = 4 x 50 µm à V_{DS} = 1V et V_{GS} = 0,4V.

	C_{gd} (fF/mm)	R_{ds} (Ω.mm)	C_{ds} (fF/mm)	R_{gs} (Ω.mm)	C_{gs} (fF/mm)	g_m (mS/mm)
Valeur	149	9,66	298	0,64	996	2001

Tableau VII-1 : Paramètres intrinsèques extraits pour un transistor de taille W = 4 x 50 µm à V_{DS} = 1 V et V_{GS} = 0,4 V

A cette étape, il est alors indispensable de vérifier que les paramètres extraits sont les mêmes pour n'importe quelle taille de transistors, en d'autres termes que les lois d'échelle utilisées pour l'extraction, sont correctes.

Nous avons pour cela tracé les éléments intrinsèques ramenés au millimètre pour différentes tailles de transistor (figure VII-10 à VII-15). Les tailles de transistor considérées sont obtenues en faisant varier le nombre de doigts N_{bd} entre 2, 4, 6 et 8 ; et la largeur unitaire W_u entre 15, 25, 35, 50 et 75 µm.

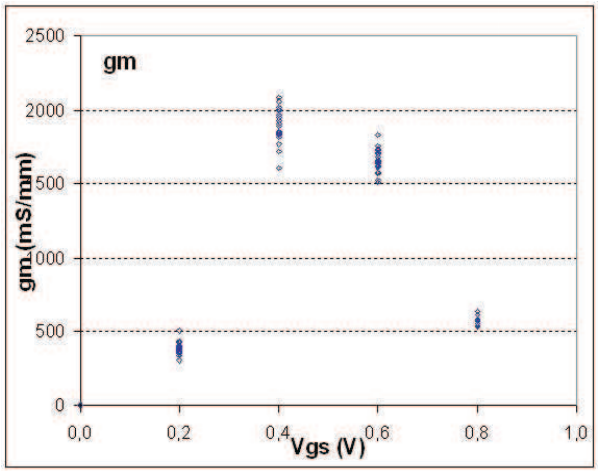


Figure VII-10 : g_m extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

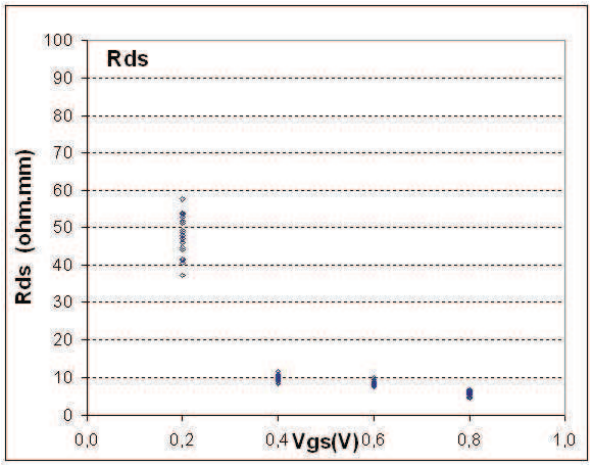


Figure VII-11 : R_{ds} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

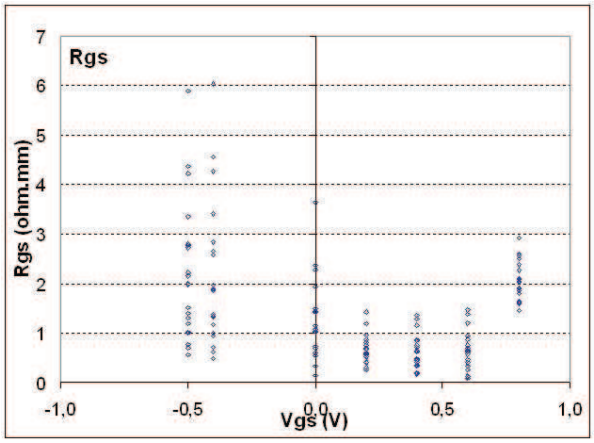


Figure VII-12 : R_{GS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

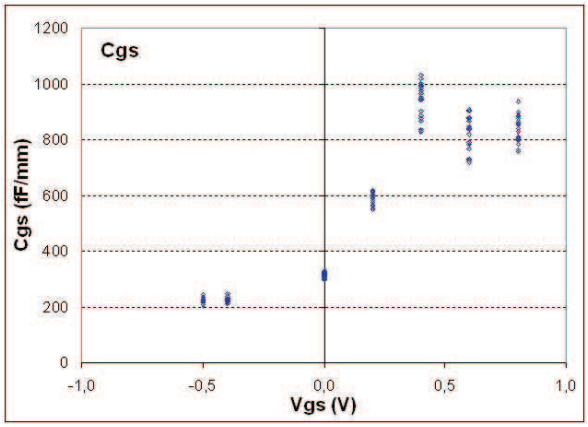


Figure VII-13 : C_{GS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

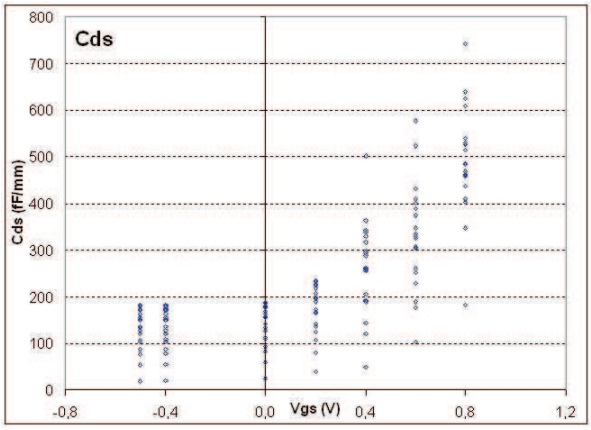


Figure VII-14 : C_{DS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

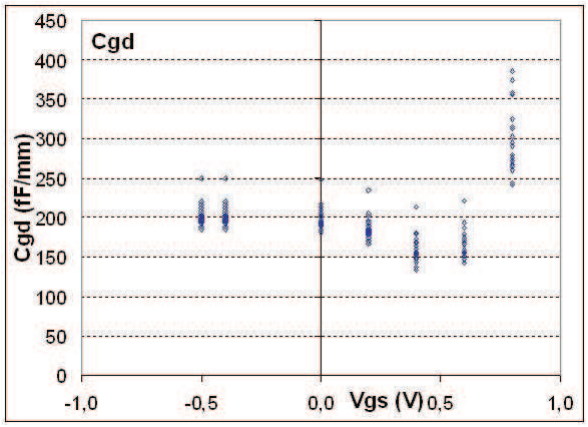


Figure VII-15 : C_{GD} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles

Dans l'ensemble, les paramètres extraits présentent une bonne homogénéité d'une taille à l'autre. L'écart observé sur la courbe donnant R_{GS} provient de la difficulté d'extraction de ce paramètre. La petite dispersion que l'on observe sur la courbe $g_m(V_{GS})$ provient en grande partie de la dispersion observée d'un transistor à l'autre. Celle-ci est illustrée figure VII-16 où nous avons représenté les courants $I_D(V_{GS})$ pour toutes les tailles de transistors.

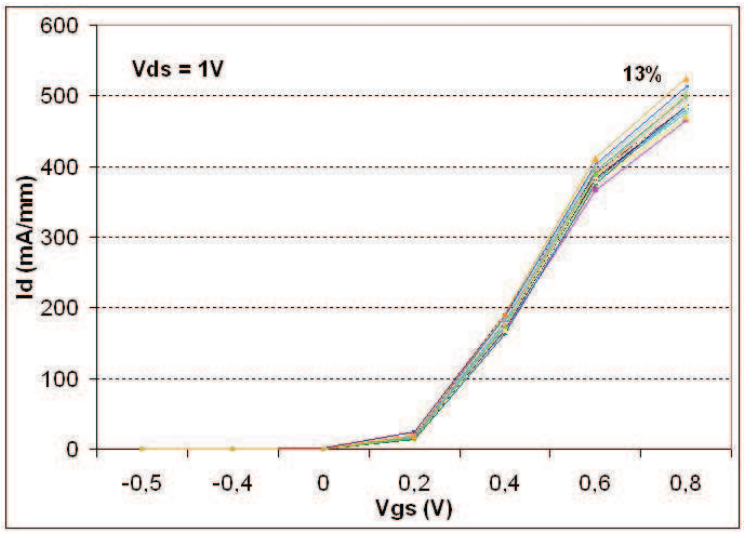


Figure VII-16 : Comparaison des courants $I_D(V_{GS})$ pour toutes les tailles de transistors mesurés

On voit un écart maximum entre les différentes tailles d'environ 13% à V_{GS} = 0,8 V et 17% à V_{GS} = 0,4V, ce qui peut expliquer certaines dispersions.

Une façon complémentaire de vérifier la bonne extraction des paramètres intrinsèques et extrinsèques est de comparer le modèle ainsi obtenu aux mesures effectuées.

VII.4.3 Comparaisons mesures – modèle

L'étape suivante dans l'élaboration du modèle petit signal est de comparer pour différentes topologies de grille les paramètres S obtenus via le modèle, à ceux qui ont été effectivement mesurés. Cette étape permet non seulement de vérifier la pertinence du modèle, mais également d'ajuster quelques paramètres, afin d'affiner le modèle.

Nous avons représenté figure VII-17 quelques comparaisons pour différentes tailles de transistor et à différentes polarisations.

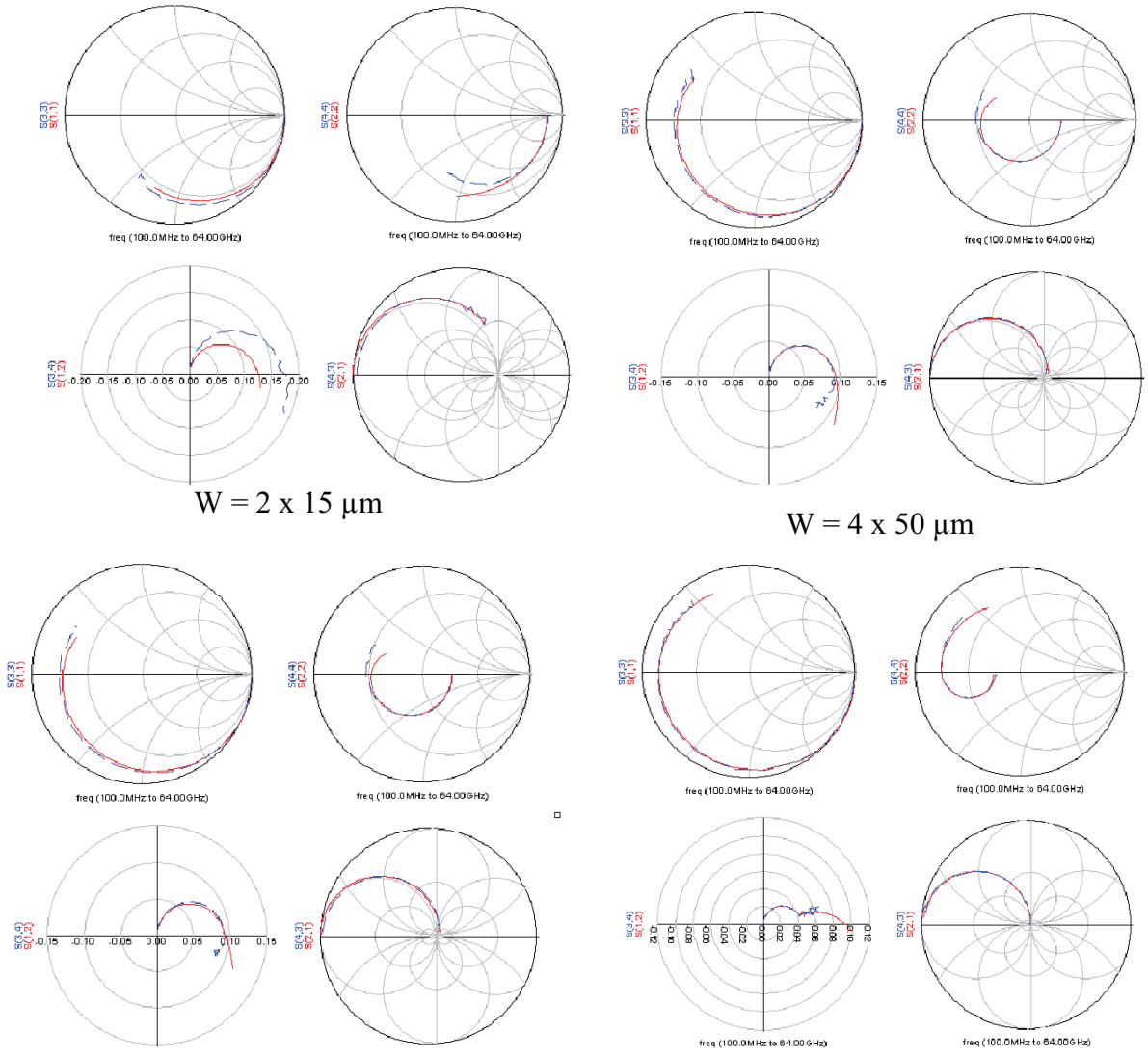


Figure VII-17 : Comparaisons mesures (en bleu) – modèle (en rouge) pour différentes tailles de transistor, à V_{DS} = 1 V et V_{GS} = 0,4 V

Les courbes ci dessus figure VII-17 représentent les paramètres S_{11}, S_{22}, S_{12}, S_{21}. Nous avons représenté en bleu les courbes provenant de la mesure, et en rouge celles provenant de la simulation issue de notre modèle petit signal.
Nous avons fait figurer des comparaisons représentatives, compte tenu du large nombre de simulations effectuées. Ainsi, nous avons fait varier les tailles de la plus petite (W = 2 x 15 µm) à la plus grande (W = 8 x 75 µm) en passant par W = 4 x 50 µm et W = 6 x 35 µm, le tout en fonctionnement normal c'est-à-dire V_{DS} = 1 V et V_{GS} = 0,4 V (figure VII-17).

On voit que l'on a une bonne correspondance dans l'ensemble, entre mesures et simulation, quelle que soit la taille ou la polarisation, ce qui conforte la justesse du modèle petit signal utilisé.

VIII Conclusions

Nous avions comme objectif dans ce chapitre de réaliser des transistors E-HEMTs à hautes performances dynamiques et faible bruit, en s'assurant un excellent fonctionnement statique. Nous avons vu dans un premier temps que les spécifications que nous nous sommes fixées sont atteintes grâce à l'utilisation d'un transistor E-HEMT AlInAs/GaInAs métamorphique sur substrat GaAs.
Notre étude s'est ensuite orientée vers un transistor E-HEMT AlInAs/GaInAs sur InP, pour profiter entre autres de la forte mobilité électronique obtenue sur ce substrat. Dans ce cas, notre effort s'est concentré sur l'obtention de bonnes caractéristiques statiques, comparables à celles obtenues avec un MHEMT, et qui posent le plus souvent problème sur les substrats InP. Ces objectifs ont pu être atteints grâce à l'insertion d'une couche d'AlInAs à 40% d'indium dans la couche barrière Schottky afin d'augmenter la hauteur de barrière Schottky effective et ainsi diminuer les courants de grille. La tenue en tension a, elle, été améliorée en réalisant un recess de grille asymétrique pour diminuer le champ dans le canal côté drain. La structure pseudomorphique ainsi obtenue présente alors une transconductance g_m = 1040 mS/mm pour une tension de seuil V_T = 30 mV, une tenue en tension de –7 V (meilleure que celle obtenue avec le MHEMT étudié) et une excursion en tension V_{GS} de 500 mV. Les caractéristiques dynamiques sont également compétitives puisque l'on obtient un F_T de 204 GHz et un F_{MAX} de 327 GHz, ainsi qu'un minimum de bruit NF_{min} = 0,96 dB et un gain associé de G_{ass} = 13,2 dB à 30 GHz.

Ces résultats placent ce HEMT pseudomorphique sur InP à l'état de l'art des transistors E-HEMTs, et en font un concurrent des transistors D-HEMTs pour les applications faible bruit.
Enfin, cette étude technologique a été complétée par la réalisation du modèle électrique petit signal du transistor HEMT métamorphique. Ce modèle va ainsi permettre d'intégrer nos composants dans des circuits et de prévoir leur comportement électrique pour n'importe quelle tension de polarisation.

Références du Chapitre II

[1] : M. Rodwell, E. Lind, Z. Griffith, S.R. Bank, A.M. Crook, U. Singisetti, M. Wistey, G. Burek, A.C. Gossard, « Frequency limits of InP based Integrated circuits »
Indium Phosphide and Related Materials Conference Proceedings, 2007
[2] : H. Maher, I. El Makoudi, P. Frijlink, D. Smith, M. Rocchi, S. Bollaert, S. Lepilliet, G. Dambrine, « A 200 GHz true E Mode low noise MHEMT »
IEEE Transactions On Electron Devices, Vol. 54, No. 7, 2007
[3] : L.M. Jelloian, M. Matloubian, T. Liu, M. Lui, and M.A. Thompson, « InP based HEMTs with $Al_{0.48}In_{0.52}As_xP_{1-x}$ Schottky layers »
IEEE Electron Device Letters, Vol. 15, No. 5, 1994
[4] : S. Bollaert, Y. Cordier, M. Zaknoune, H. Happy, V. Hoel, S. Lepilliet, D. Théron, A. Cappy, « The Indium Content in Metamorphic $In_xAl_{1-x}As/In_xGa_{1-x}As$ HEMTs on GaAs Substrate: a New Structure Parameter »
Solid State Electronics 44, pp1021-1027, 2000
[5] : G. Meneghesso, A. Neviani, R. Oesterholt, M. Matloubian, T. Liu, J.J. Brown, C. Canali, E. Zanoni, « On-state and off-state breakdown in GaInAs/InP composite-channel HEMT's with variable GaInAs channel thickness »
Electron Devices, IEEE Transactions on, Volume 46, Issue 1, Jan. 1999 pp : 2 - 9
[6] : G. Dambrine, A. Cappy, F. Heliodore, E. Playez « A new method for determining the FET small-signal equivalent circuit Microwave Theory and Techniques. » IEEE Transactions on, Volume 36, Issue 7, July 1988, pp : 1151-1159.
[7] : G. Dambrine, H. Happy, F. Danneville, A. Cappy, "A new method for on wafer noise measurement." Microwave Theory and Techniques,
IEEE Transactions on, Volume 41, Issue 3, March 1993 pp : 375–381.
[8] : C.S. Whelan, S.M. Lardizabal, P.M. Buhles, W.E. Hoke, P.F. Marsh, R.A. McTaggart, C.P. McCarroll, T.E. Kazior, « A comparison of channel indium content in low noise metamorphic HEMTs with $In_xGa_{1-x}As$ ($0.3<x<0.6$) »
Indium Phosphide and Related Materials, 2000. Conference Proceedings. 2000 International Conference on, pp : 349–352
[9] : C.S. Whelan, P.F. Marsh, W.E. Hoke, R.A. McTaggart, C.P. McCarroll, T.E. Kazior, «GaAs Metamorphic HEMT (MHEMT) : An attractive alternative to InP HEMTs for high performance low noise and power applications»
IEEE Journal Of Solid-State Circuits, Vol. 35, n° 9, 2000

[10] : M. Renvoisé, P. Baudet, H. Maher, J.F. Pautrat, G. Dambrine, S. Lepilliet, « Fabrication of a 300 GHz, 70 nm double mushroom gate fully passivated $In_{0.7}$ pseudo metamorphic GaAs HEMT »
Publication interne OMMIC
[11] : K. Shinohara, P. S. Chen, J. Bergman, H. Kazemi, B. Brar, I. Watanabe, T. Matsui, Y. Yamashita, A. Endoh , K. Hikosaka, T. Mimura, S. Hiyamizu, « Ultra High speed Low Noise InP-HEMT Technology »
Microwave Symposium Digest, pp.337-340, Juin 2006
[12] : N. Yoshida, Y. Yamamoto, K. Katoh, H. Minami, T. Kitano, H. Takano, T. Sonoda, S. Takamiya, S. Mitsui, « Low noise AlInAs/InGaAs HEMT using WSi ohmic contact »
Electronics Letters, Vol. 30, Issue 12, 1994 pp : 1009–1010
[13] : H. Happy, G. Dambrine, J. Alamkan, F. Danneville, T. K. Franois, and A. Cappy, « Helena: A friendly software for calculating the dc, ac and noise performance of HEMT's »
Int. J. Microwave Millimeter.-Wave Computer.-Aided Eng., vol. 3, no. 1, pp. 14–28, 1993.
[14] : N. Harada, S. Kuroda, K. Hikosaka, « N-InAlAs/InGaAs HEMT DCFL Inverter fabricated using Pt-based gate and photochemical dry etching »
IEICE TRANSACTIONS on Electronics Vol.E75-C n°10 pp.1165-1171, 1992
[15] : N. Harada, S. Kuroda, T. Katakami, K. Hikosaka, T. Mimura, M. Abe, « Pt-based gate enhancement-mode InAlAs/InGaAs HEMTs for large scale integration »
Indium Phosphide and Related Materials, Conference Proceedings, pp377-380, 1991
[16] : F. Robin, H. Meier, O.J. Homan, W. Bächtold, « A novel asymmetric gate recess process for InP HEMTs »,
Indium Phosphide and Related Materials Conference Proceedings, 2002, pp. 221-224
[17] : C.K. Lin, W.K. Wang, M.J. Hwu, and Y.J. Chan, « Single step electron-beam lithography for asymmetric recess and gamma gate in high electron mobility transistor fabrication »
Journal of Vacuum, Science and Technology B : Microelectronics and Nanometer structures, July 2004, Vol. 22, Issue 4, pp : 1723-1726
[18] : T.Suemitsu, T. Enoki, N. Sano, M. Tomizawa, Y. Ishii, « An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation »
IEEE Transactions On Electron Devices, Vol. 45, No. 12, December 1998
[19] : R. Grundbacher, D. Ballegeer, A. A. Ketterson, Y.-C. Kao, and I. Adesida, « Utilization of an electron beam resist process to examine the effects of asymmetric gate recess on the device characteristics of AlGaAs/InGaAs PHEMT's »

IEEE Transactions On Electron Devices, Vol. 44, No. 12, December 1997

[20] : C.Y. Lu, K.S. Chen, H.M. Lee, E.Y. Chang, S.H. Chen, Y.C. Lin, G.J. Chen, « A low noise composite-channel metamorphic HEMT for wireless communication application »
Electron Devices for Microwave and Optoelectronic Applications, IEEE International Symposium on, 2003, pp 87-92

[21] : C.S. Whelan, P.F. Marsh, W.E. Hoke, R.A. McTaggart, P.S. Lyman, P.J. Lemonias, S.M. Lardizabal, R.E. Leoni III, S.J. Lichwala, and T.E. Kazior, « Millimeter-Wave Low-Noise and High-Power Metamorphic HEMT Amplifiers and Devices on GaAs Substrates »
IEEE Journal Of Solid-State Circuits, Vol. 35, n° 9, 2000

[22] : M. Kawano, T. Kuzuhara, H. Kawasaki, F. Sasaki, H. Tokuda, « InAlAs/InGaAs Metamorphic low noise HEMT »
IEEE Microwave And Guided Wave Letters, Vol. 7, n° I, 1997

[23] : H.C. Duran, B-U. H. Klepser, W. Bächtold, « Low noise properties of dry gate recess etched InP HEMTs »
IEEE Electron Device Letters, Vol. 17, n°10, 1996

[24] : K. Elgaid, H. McLelland, M. Holland, D.A.J. Moran, C.R. Stanley, I.G. Thayne, « 50-nm T-Gate Metamorphic GaAs HEMTs With f_T of 440 GHz and Noise Figure of 0.7 dB at 26 GHz »
IEEE Electron Device Letters, Vol. 26, n°11, 2005

[25] : H.S. Yoon, J.H. Lee, J.Y. Shim, J.Y. Hong, D.M. Kang, K.H. Lee, « Extremely Low Noise Characteristics Of 0.1 μm Γ-Gate Power Metamorphic HEMTs On GaAs Substrate »
Indium Phosphide and Related Materials, International Conference on, 2005.

[26] : « Linear and Non Linear Models », section of the OMMIC training seminar (1988-2008)

[27] : R. L. Kuvas, « Equivalent circuit model of FET including distributed gate effects »
IEEE Transactions on Electron Devices, Vol. 27, n°6, pp. 1193-1195, 1980

CONCLUSION GENERALE

L'objectif de cette thèse était d'obtenir un transistor HEMT AlInAs/GaInAs à enrichissement sur substrat InP alliant de bonnes performances statiques ET dynamiques, ainsi qu'un faible niveau de bruit. De tels composants pourraient trouver de multiples applications, dans les systèmes numériques à haut débit, analogiques, faible bruit, ou encore basse consommation. Cette nouvelle filière vient en complément d'une filière OMMIC existante : les HEMTs métamorphiques AlInAs/GaInAs sur substrat GaAs. Cette dernière filière possède un taux d'indium de 40%. Pour la filière à développer sur InP, le taux d'indium est fixé aux alentours de 53%, ce qui n'est pas favorable à l'obtention des performances électriques, en particulier la tenue en tension et l'excursion (« swing ») en tension de commande V_{gs}.

Nous sommes, pour cela, revenus dans un premier chapitre sur la structure même du transistor HEMT. Suite à la comparaison de différentes filières de transistors RF tels que les transistors bipolaires à hétérojonction (TBHs), les transistors GaN, les transistors à base d'antimoine, ou même les transistors MOSFETs, l'utilisation des HEMTs AlInAs/GaInAs s'est imposée comme étant celle qui pouvait au mieux répondre à nos exigences en terme de fréquences de coupures et de faible bruit.

Par ailleurs, la comparaison des transistors à enrichissement E-HEMTs et à désertion D-HEMTs nous amène à préférer les transistors à enrichissement qui, de part leur tension de seuil positive, permettent une seule et même source de polarisation pour le drain et la grille, ce qui est non négligeable en terme de densité d'intégration.

Puis, nous avons également défini les différents paramètres caractéristiques du transistor HEMT, tels que sa tension de seuil V_T, sa transconductance g_m, la tenue en tension V_{BGD}, et l'excursion en tension V_{SWING} en statique ; et les fréquences de coupure F_T et F_{MAX} en dynamique. De part les applications faible bruit visées par nos composants, nous avons également présenté la théorie du bruit dans les transistors, ainsi que les moyens d'extraction existants.

Au final, deux structures sont susceptibles de remplir nos exigences en terme de performances : le HEMT pseudomorphique sur InP, et le HEMT métamorphique sur GaAs. Les résultats obtenus sur ces deux filières font l'objet du chapitre II.

Le deuxième chapitre s'ouvre donc sur les performances obtenues sur le transistor HEMT métamorphique sur GaAs à enrichissement à 40% d'indium. Cette structure a été

réalisée à OMMIC auparavant et servira de référence pour les structures ultérieures sur substrat InP testées durant ce travail de thèse.

Le substrat InP nous assurant une forte mobilité, et donc des fréquences de coupures élevées, nous nous sommes donc attachés avant tout, à obtenir de bonnes caractéristiques statiques, en particulier une excursion en tension suffisamment grande (500 mV) pour une tension de seuil V_T de 50 ± 50 mV.

Nous sommes partis dans un premier temps d'une structure à l'accord de maille sur InP, avec des épaisseurs de couches optimisées pour obtenir une tension de seuil positive.
Le principal résultat de ce premier essai indique que la hauteur de la couche barrière Schottky sur une couche d'AlInAs à 52% d'indium est trop basse. En effet, celle-ci a été fortement réduite afin de donner une tension de seuil positive. Cela implique d'importants courants de fuites de grille, et par conséquent une faible tenue en tension V_{BGD} = -1,6 V, ainsi qu'une excursion en tension V_{GS} quasi-nulle de 25 mV.

Nous avons donc ajouté une couche contrainte d'AlInAs à 40% d'indium en surface afin d'augmenter la hauteur de barrière du contact Schottky. Cette plus forte hauteur de barrière Schottky doit de plus décaler plus fortement notre tension de seuil vers des valeurs positives, nécessaires à l'obtention d'un transistor à enrichissement. Plusieurs épaisseurs de couches ont ainsi été testées. Il en ressort tout d'abord que l'on s'approche plus de nos spécifications, notamment en terme de V_T, pour des couches d'AlInAs contraintes d'épaisseur 6,5 nm. Il semble de plus que pour les faibles épaisseurs de couche contrainte, la passivation du composant dégrade ses performances statiques, en particulier la transconductance g_m. On passe en effet de g_m = 1000 mS/mm après métallisation, à g_m = 944 mS/mm après passivation pour une couche d'AlInAs contrainte de 3 nm d'épaisseur. Par conséquent, il faut éviter le contact du SiN avec la couche d'AlInAs. En effet, le potentiel de surface entre la couche contrainte à fort taux d'aluminium (60 % !) et donc à gap élevé semble plus important. Ceci entraîne la dégradation des résistances d'accès du transistor et donc de la transconductance g_m.

C'est pour remédier à ce problème que nous sommes ensuite passés à une structure dans laquelle la couche contrainte à 40% d'indium était insérée dans la barrière Schottky à l'accord de maille sur InP, autrement dit la couche contrainte était recouverte d'une fine couche d'AlInAs à 52% d'indium. Cela a pour but de profiter de la hauteur de barrière Schottky effective de la couche contrainte, tout en évitant le contact avec la couche de passivation SiN.

Les résultats sont très prometteurs, puisque nous obtenons un transistor à enrichissement avec une tension de seuil V_T = 90 mV, une transconductance g_m = 1280 mS/mm et une excursion en tension de 460 mV. Toutefois une faible tenue en tension est obtenue, avec une tension de claquage de la jonction grille drain V_{BGD} de –2,5 V à V_{DS} nul. Les résultats hyperfréquences sont eux satisfaisants puisque l'on obtient avec cette structure un F_T de 219 GHz et un F_{MAX} de 300 GHz.

Ainsi, pour améliorer la tenue en tension sans dégrader les autres paramètres, nous avons gardé une structure similaire en modifiant le recess de grille. Un recess asymétrique permet en effet d'élargir la zone désertée dans le canal côté drain, et ainsi de diminuer le pic de champ à cet endroit. On passe alors à V_{BGD} = -7 V, ce qui est un excellent résultat pour un transistor à enrichissement, tout en conservant des caractéristiques statiques dans nos spécifications. D'un point de vue dynamique, ces transistors fournissent des fréquences de coupures F_T de 204 GHz et F_{MAX} de 327 GHz. Enfin, les extractions des figures de bruit donnent un NF_{min} = 0.96 dB et un gain associé G_{ass} de 13.2 dB.

La présentation d'un état de l'art de différentes filières de transistors RF en terme de fréquences de coupure et de bruit nous permet d'avancer que les dernières structures qui ont été développées durant ce travail de thèse fournissent des résultats comparables aux meilleurs E-HEMTs et concurrencent même certains transistors HEMTs à désertion.

Cette étude a donc permis de démontrer la faisabilité d'un transistor HEMT à enrichissement sur substrat InP avec des performances à l'état de l'art, comparables à celles obtenues avec un E-HEMT métamorphique à 40% d'indium. Les applications sont alors nombreuses, notamment dans le cas d'utilisation en mono tension.

Enfin, nous avons présenté le principe de modélisation électrique des transistors, en détaillant la méthode d'obtention du modèle petit signal du HEMT. Ceci nous a permis d'élaborer une bibliothèque complète des transistors, pour la conception de circuits.

Au fil des structures testées et des résultats prometteurs obtenus, cette étude a démontré :

- D'une part que d'excellentes caractéristiques statiques peuvent être obtenues sur des substrats InP, en plus des performances dynamiques
- D'autre part que les HEMTs à enrichissement peuvent concurrencer les HEMTs à désertion en terme de bruit

Cela ouvre de nouvelles perspectives pour les nombreuses applications haut débit et faible bruit : l'utilisation d'un substrat InP pour de fortes mobilités est compatible avec des spécifications statiques serrées. Par ailleurs, la possibilité d'utiliser des transistors à

enrichissement va permettre de simplifier la conception des circuits. Enfin, l'utilisation d'un substrat InP va permettre une épitaxie mieux contrôlée sans couche tampon métamorphique, et des composants avec une meilleure dissipation thermique.

TABLE DES ILLUSTRATIONS

Figure III-1 : Coupe schématique d'un MESFET GaAs 24
Figure III-2 : Vue en coupe et polarisation du MESFET GaAs 25
Figure IV-1 : Structure de couche d'un HEMT AlInAs/GaInAs sur InP 27
Figure IV-2 : Diagramme des bandes d'énergie. 28
Figure IV-3 : Evolution du diagramme de la bande de conduction avec la tension V_{GS}, où EF est le niveau de Fermi, ... 30
Figure IV-4 : Réseau de caractéristiques d'un transistor HEMT 31
Figure IV-5 : Evolution de la vitesse électronique en fonction du champ dans InP, GaAs, GaInAs, calculée par la méthode de Monte Carlo, cité dans [4] 32
Figure IV-6 : Caractéristique en cloche due à l'ionisation par impact (courant de grille I_G d'un transistor E-HEMT) 33
Figure IV-7 : Réseau de courbes $I_D(V_{DS})$ avec (ON) et sans effet « Kink » (OFF) [7] 34
Figure IV-8 : Comparaison vitesse électronique, énergie, et champ électrique pour des grilles courtes 36
Figure IV-9 : Largeur de bande interdite en fonction du paramètre de maille pour différents matériaux 39
Figure IV-10 : Différentes filières de HEMTs 41
Figure V-1 : Isolation des flancs de mesa. 44
Figure V-2 : Etapes de réalisation de la grille champignon. 46
Figure V-3 : Etapes de réalisation d'un recess asymétrique 47
Figure V-4 : Image FIB de la grille champignon d'un MHEMT de longueur L_G = 100 nm 48
Figure VI-1 : Tensions de seuil D-HEMTs et E-HEMTs 50
Figure VI-2 : Diagramme de la bande de conduction d'un transistor HEMT 50
Figure VI-3 : Résistance de source R_S 53
Figure VI-4 : Comparaison des logiques DCFL et BFL en terme de performances d'après [21] 55
Figure VI-5 : Comparaison des portes logiques DCFL et BFL [21] 55
Figure VI-6 : Structure de transistors D-HEMT et E-HEMT sur une même plaque 56
Figure VII-1 : Courant I_D en fonction de V_{GS} pour un transistor E-HEMT sur InP. 59
Figure VII-2 : Tension de claquage en inverse V_{BGD} à V_{DS} = 0V d'un transistor E-MHEMT 60
Figure VII-3 : Excursion en tension d'un transistor E-MHEMT sur InP 60
Figure VIII-1 : Schéma équivalent du transistor HEMT 63
Figure VIII-2 : Méthode d'extraction de la matrice Y intrinsèque [23] 65
Figure IX-1 : Représentations équivalentes de quadripôles bruyants 68
Figure IX-2 : Modèle du bruit F50 utilisé à l'IEMN 72
Figure X-1 : Diagramme du gap E_G en fonction du paramètre de maille 75
Figure X-2 : Comparaison NF_{min} et G_{ass} pour les différentes filières de transistors RF en fonction de la fréquence 77
Figure X-3 : Comparaison des fréquences F_T et F_{MAX} pour les différentes filières de transistors RF en fonction de la longueur de grille L_G. 78
Figure III-1 : Structure de couche du MHEMT à 40% d'indium 87
Figure III-2 : Courbe de transfert du transistor MHEMT à V_{DS} = 1 V 88
Figure III-3 : Excursion en tension V_{GS} des courants I_D et I_G 89
Figure III-4 : Courant de grille de la diode grille drain à V_{DS} = 0 V 89
Figure III-5 : Caractéristiques $I_D(V_{DS})$ pour un E-HEMT métamorphique 90
Figure III-6 : Courant de fuite de grille 91
Figure III-7 : Fréquences de coupure F_T et F_{MAX} pour un E-HEMT métamorphique 92
de L_G = 110 nm à V_{DS} = 0,8 V 92
Tableau III-1 : Paramètres de bruit à 30 GHz pour différentes topologies de grille 92
à V_{DS} = 1 V et 0,8 V 92

Figure III-8 : Etat de l'art du facteur de bruit et du gain associé pour des transistors D et..... 93
E-HEMTs 93
Figure IV-1 : Structure de couche du LM-HEMT 94
Figure IV-2 : Courbe de transfert du transistor LM-HEMT 95
Figure IV-3 : Excursion en tension du transistor LM-HEMT..... 96
Figure IV-4 : Tenue en tension du transistor LM-HEMT, V_{DS} = 0 V..... 96
Figure IV-5: Courants de grille I_G pour le MHEMT et le LM-HEMT 97
Figure V-1 : Diagrammes de la bande de conduction pour un LM-HEMT (en haut) et un PHEMT à 40% d'indium en surface (en bas)..... 99
Figure V-2 : Structures de couches réalisées 100
Tableau V-1 : Caractéristiques DC des différentes structures étudiées en fonction de l'épaisseur de couche d'AlInAs à 40% d'In après métallisation et après le premier recuit. 101
Figure V-3 : Comparaison des transconductances g_m pour les différentes épaisseurs de la couche contrainte AlInAs, avant et après passivation..... 101
Figure V-4 : Comparaison des courants I_D à V_{DS} = 1V, pour les différentes épaisseurs de la couche contrainte AlInAs, avant et après passivation..... 102
Figure V-5 : Comparaison des courants I_G à V_{DS} = 1V, pour les différentes épaisseurs de couche contrainte, avant et après passivation..... 102
Figure V-6 : Comparaison des excursions en tension grille – source V_{SWING}, pour les différentes épaisseurs de couche contrainte après passivation (étape SiN)..... 103
Figure V-7 : Comparaison des courants de grille pour une structure PHEMT de 6,5 nm d'AlInAs à 40% d'indium, un LM-HEMT et un MHEMT, en fin de procédé..... 104
Figure VI-1 : Structure de couche d'un E-HEMT avec une couche contrainte d'AlInAs à 40% d'indium insérée dans la couche barrière AlInAs à l'accord de maille sur InP (structure A) et diagramme de la bande de conduction..... 106
Figure VI-2 : Courbe de transfert de la structure A. Courbes g_m et I_D après métallisation et en fin procédé à V_{DS} = 1 V..... 107
Figure VI-3 : Transconductances (VI-3a) et tensions de seuil (VI-3b) avant et après deux passivations pour la structure A et les PHEMTs à 4,5 nm et 6,5 nm d'AlInAs à 40% d'indium 108
Figure VI-4 : Courant de grille de la structure A après métallisation de la grille et après passivation SiN à V_{DS} = 1 V et 1,5 V..... 109
Figure VI-5 : Excursion en tension de la structure A..... 109
Figure VI-6 : Nouvelle structure de couche réalisée avec un recess de grille asymétrique (structure B)..... 110
Figure VI-7 : Courants de grille des jonctions grille-drain (source en l'air) pour les structures A et B 111
Figure VI-8 : Courants de grille pour les structures A et B à V_{DS} = 1,5 V. L'échelle verticale est dix fois plus petite pour la structure B..... 112
Figure VI-9 : Pente sous le seuil du courant de drain pour les structures A et B..... 113
Figure VI-10 : Courants I_D et $|I_G|$ pour les structures A et B à V_{DS} = 1 V 113
Figure VI-11 : Comparaison des courants de grille pour les structures : métamorphique, à l'accord de maille sur InP, avec une couche contrainte en surface de la couche barrière de 6,5 nm, et pour les structures A et B 114
Figure VI-12 : Transconductances en fonction de V_{GS} pour les structures A et B à V_{DS} = 1 V 115
Figure VI-13 : Réseaux de caractéristiques $I_D(V_{DS})$ pour les structures A et B..... 116
Figure VI-14 : Conductances de sortie g_d en fonction de V_{DS} pour les deux structures, ... 116
à V_{GS} = 0,5 V 116

Tableau VI-1 : Eléments du schéma équivalent pour les structures A et B à V_{DS} = 1 V 117
Figure VI-15 : Module des gains en courant de court-circuit H_{21} et Unilatéral de Mason U pour une topologie de grille W = 4x25 µm, pour les structures A et B 118
Figure VI-16 : Etat de l'art des fréquences de coupure F_T et F_{MAX} pour différentes filières de transistors RF 118
Figure VI-17 Caractéristiques statiques de la structure A à V_{DS} = 0,5 V : 119
A) Réseau $I_D(V_{DS})$ en fonction de V_{GS} 119
B) g_m, $|I_G|$ et I_D 119
Figure VI-18 : Module des gains en courant de court-circuit H_{21} et Unilatéral de Mason U pour la structure A à $V_{DS} = V_{GS}$ = 0,5 V 119
Tableau VI-2 : Les quatre paramètres de bruit pour les structures A et B 120
à F = 30 GHz et V_{DS} = 1V 120
Figure VI-19 : NF_{min} et G_{ass} en fonction du courant I_D pour les structures A, B et MHEMT 121
Figure VI-20 : Etat de l'art en bruit des transistors des HEMTs et d'autres filières de transistors RF 122
Figure VII-1 : Schéma équivalent petit signal du transistor E-HEMT [26] 125
Figure VII-2 : Schéma équivalent simplifié à V_{DS} = 0 V et $V_{GS} < V_T$ pour l'extraction des capacités parasites 127
Figure VII-3 : Extraction de la capacité inter électrodes C_{gde} 128
Figure VII-4 : Extraction des capacités C_{plotg} et C_{gse} 129
Figure VII-5 : Extraction des capacités C_{plotd} et C_{dse} 129
Figure VII-6 : Schéma équivalent simplifié à V_{DS} = 0 V et V_{GS} = 1,1 V pour l'extraction des inductances et résistances 130
Figure VII-7 : Réseau distribué sous la grille en polarisation froide (V_{DS} = 0V) 130
Figure VII-8 : Courbes d'extraction des inductances extrinsèques L_d, L_g, L_s et des inductances de plot L_{plotg}, L_{plotd} 132
Figure VII-9 : Courbes d'extraction des résistances R_d et R_s 134
Tableau VII-1 : Paramètres intrinsèques extraits pour un transistor de taille W = 4 x 50 µm à V_{DS} = 1 V et V_{GS} = 0,4 V 136
Figure VII-10 : g_m extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 137
Figure VII-11 : R_{ds} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 137
Figure VII-12 : R_{GS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 137
Figure VII-13 : C_{GS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 137
Figure VII-14 : C_{DS} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 138
Figure VII-15 : C_{GD} extrait en fonction de V_{GS} à V_{DS} = 1V pour toutes les tailles 138
Figure VII-16 : Comparaison des courants $I_D(V_{GS})$ pour toutes les tailles de transistors mesurés 138
Figure VII-17 : Comparaisons mesures (en bleu) – modèle (en rouge) pour différentes tailles de transistor, à V_{DS} = 1 V et V_{GS} = 0,4 V 139

ANNEXES : ETAT DE L'ART TRANSITORS RF

ON / OFF	structure	passi-vation	Lg (µm)	VT (V)	GM (mS/mm)	VBGD (V)	FT (GHz)	FMAX (GHz)	Nfmin / F (dB) / (GHz)	Gass / F (dB) / (GHz)	année	auteur + ref	laboratoire
ON	InAlAs/InGaAs/InP Phemt	NON	0,1		980	5,5		600	1.4dB @ 94ghz	7dB @ 94ghz	1995	Smith [1]	Lockheed Martin Electronics Lab. (USA)
ON	InAlAs/InGaAs/InP Phemt	NON	0,05		1740		340				1992	Nguyen [2]	HRL Laboratories (USA)
ON	InAlAs/InGaAs/InP Phemt	NON	0,035	-0,4	1700		520	425			2007	Watanabe [3]	Fujitsu & NIICT (Japon)
ON	InAlAs/InGaAs/InP Phemt	OUI	0,1		1100		190				2007	Lai [4]	Northrop Grumman Corporation (USA)
ON	InGaP/InGaAs/GaAs PHEMT	NON	0,25	-1,5	320	11	85	160	0.46dB @ 12ghz	13dB @ 12ghz	2001	Huang [5]	National Cheng Kung University (Taiwan)
ON	InAlAs/InGaAs/InP Phemt	OUI	0,025	-0,45	1230	1	562	330			2002	Yamashita [6]	Fujitsu (Japon)
ON	InAlAs/InGaAs/InP Phemt	NON	0,05		1800		562	500	0.48dB @ 25ghz	13.8dB @ 25ghz	2006	Shinohara [7]	Rockwell Scientific Company (USA)
ON	InGaP/InGaAs/GaAs PHEMT	NON	0,15						0.42dB @ 12ghz	13,5dB @ 12ghz	1993	Joshin [8]	Fujitsu (Japon)
ON	AlGaAs/InGaAs/GaAs PHEMT	OUI	0,13	-0,8	557		82	207	0.31dB @ 12ghz	10.2 @12ghz	1995	Lee [9]	ETRI (*) (Corée)
"	"	"	"	"	"	"	"	"	0.45dB @ 18ghz	6.59 @18ghz	"	"	"
ON	AlGaAs/InGaAs PHEMT	OUI	0,15	-11	688	-0,35	82,6		0,99dB @ 30ghz	9,1 dB@ 30ghz	1999	Lee [10]	ETRI (*) (Corée)
ON	InGaP/InGaAs/GaAs PHEMT	OUI	0,5	-0,95	380	-14	32	85	0,66dB @ 5,2ghz		2005	Chiu [11]	Chang Gung University (Taiwan)
ON	AlInAs/GaInAs PHEMT InP	NON						600	0.7dB @ 60ghz	8.6dB @ 60ghz	1995	Smith [12]	Martin Marietta Laboratories (USA)
"	"	"						"	1.2dB @ 94ghz	7.2dB @ 94ghz	"	"	"
ON	InAlAs/InGaAs/InP PHEMT		0,035		2300	2,5	385	1100			2007	Lai [13]	Northrop Grumman Space Tech (USA)
ON	InAlAs/InGaAs-InAs-InGaAs/InP PHEMT		0,03		1620		628	331			2008	Kim [14]	Microsystems Technology Lab (USA)
ON	InAlAs/InGaAs-InAs-InGaAs/InP PHEMT		0,05				557	718			2008	Kim [14]	Microsystems Technology Lab (USA)
ON	AlGaAs/InGaAs/GaAs PHEMT	OUI	0,25	-0,4			62		0.81dB @ 10ghz	12.3dB @ 10ghz	1996	Feng [15]	University of Illinois (USA)
"	"	"	"	"			"		1.16dB @ 18ghz	8.36dB @ 18ghz	"	"	"
ON	InAlAs/InGaAs/InP LM InP	OUI	0,15	-0,75	750		108		1.3dB @ 26ghz	10dB @ 26ghz	1998	Docter [16]	HRL Laboratories (USA)
ON	InAlAs/InGaAs/InP LM InP	OUI	0,1		1100	5,5	>170		0.8dB @ 63ghz	7.6dB @ 63ghz	1994	Kao [17]	Martin Marietta Laboratories (USA)
ON	InAlAs/InGaAs/InP LM InP	OUI	0,15		600	6	125		0.8dB @ 40ghz	8dB @ 40ghz	1994	Yoshida [18]	Mitsubishi (Japan)
ON	InAlAs/InGaAs LM InP	NON	0,1		1200				0.8dB @ 60ghz	8.9dB @ 60ghz	1991	Duh [19]	General Electric Company (USA)
"	"	"	"		"				1.2dB @ 94ghz	7.2dB @ 94ghz	"	"	"
ON	InAlAs/InGaAs/InP LM InP	OUI	0,1		1000	5	180	500			1997	Enoki [20]	NTT (Japon)
ON	AlInAs/GaInAs LM InP	NON	0,15				130	405	1.4 @ 93ghz	6.6 @ 93ghz	1990	Chao [21]	Martin Marietta Laboratories (USA)
ON	AlInAs/GaInAs LM InP	NON	0,2		380		110	220	0.8 @ 26ghz	9 @ 26ghz	1996	Duran [22]	SFIT (*) (Suisse)
ON	AlInAs/GaInAs LM InP	OUI	0,03	-0,9	1500	-3	547	400			2004	Shinohara [23]	Comm. research Lab., Tokyo (Japon)
ON	AlInAs/GaInAs LM InP	NON	0,03	-0,6	918	-0,4	320	540			2002	Suemitsu [24]	NTT (Japon)

ON / OFF	structure	passi-vation	Lg (µm)	VT (V)	GM (mS/mm)	VBGD (V)	FT (GHz)	FMAX (GHz)	Nfmin / F (dB) / (GHz)	Gass / F (dB) / (GHz)	année	auteur + réf.	Laboratoire
ON	AlInAs/InGaAs/InP HEMT		0,05		2300	2,5	385	1200			2007	Lai [25]	Northrop Grumman Corporation (USA)
ON	AlGaAsSb/InGaAs/AlGaAs Sb MHEMT	NON	0,15		564		>200	>1THz			2003	Webster [26]	AFRL/SNHA (USA)
ON	MHEMT	NON	0,14		1500		170	250			2002	Hoke [27]	Raytheon RF Components (USA)
ON	MHEMT	OUI	0,2	-0,92	700		120	230	1.26dB @ 30ghz	8.6dB @ 30ghz	2002	Yoon [28]	ETRI (*) (Corée)
"	"	"	"	"	"		"	"	1.45dB @ 35ghz	7.5dB @ 35ghz	"	"	"
ON	MHEMT	OUI	0,07	-0,25	1500		293	337			2003	Leuther [29]	Fraunhofer (Allemagne)
ON	InAlGaAs/InGaAs MHEMT	OUI	0,15	-0,7	700				1.18dB @ 25ghz	10.7dB @ 25ghz	2000	Whelan [30]	Raytheon RF Components (USA)
ON	MHEMT	NON	0,05	-1	950		440	400	0.7dB @ 26ghz	13dB @ 26ghz	2005	Elgaid [31]	University of Glasgow (UK)
ON	MHEMT	OUI	0,1	-0,62	830		165	275	0.64dB @ 26ghz	12.4dB @ 26ghz	2005	Yoon [32]	ETRI (*) (Corée)
ON	MHEMT	OUI	0,1	-0,5	750	10	154	300	1dB @ 18ghz	18dB @18ghz	2004	Lien [33]	National Chiao Tung Univ. (Taiwan)
ON	InAlAs/InGaAs MHEMT	OUI	0,1		650	3			0.48dB @ 18ghz	14.2dB @ 18ghz	1997	Kawano [34]	Toshiba (Japon)
ON	InAlAs/InGaAs MHEMT	NON	0,05	-1	1028		440	400	0.7dB @ 26ghz	13dB @ 26ghz	2005	Elgaid [35]	University of Glasgow (UK)
ON	InAlAs/InGaAs MHEMT	OUI	0,15	-0,75	740		150	240	0.79dB @ 26ghz	10.5dB @ 26ghz	2003	Yoon [36]	ETRI (*) (Corée)
"	"	"	"	"	"		"	"	1.21dB @ 40ghz	6.41dB @ 40ghz	"	"	"
ON	InAlAs/InGaAs MHEMT	NON	0,25		773	18,8	110	290	0.23dB @ 6ghz	15.06dB @ 6ghz	2003	Lu [37]	National Chiao Tung Univ. (Taiwan)
ON	InAlAs/InGaAs MHEMT	OUI	0,15		1200				0.45dB @25ghz	12dB @ 25ghz	2000	Whelan [38]	Raytheon RF Components (USA)
ON	InAlAs/InGaAs MHEMT	OUI	0,05	-0,9	1270	2,5	489	422	0.64dB @ 59ghz	11.5dB @ 59ghz	2007	Lim [39]	MINT (*) Seoul (Corée)
ON	InAlAs/InGaAs MHEMT	OUI	0,06	-0,41	1340	4,6	271	265			2007	Shim [40]	ETRI (*) (Corée)
ON	InAlAs/InGaAs MHEMT	OUI	0,08	-0,47	1150	6,2	235	290			2007	Yoon [41]	ETRI (*) (Corée)
ON	AlInAs/InGaAs/GaAs MHEMT	OUI	0,15		800	-8,3	200		0.24dB @ 12ghz	16.2dB @ 12ghz	2000	Whelan [42]	Raytheon RF Components (USA)
"	"	"	"		"	"	"		0.61dB @ 26ghz	13.8dB @ 26ghz	"	"	"
ON	AlInAs/InGaAs/GaAs MHEMT	NON	0,07	-0,8	1015		330	425			2005	Kim [43]	MINT (*) Seoul (Corée)
ON	AlInAs/InGaAs/GaAs MHEMT	OUI	0,07	-0,25	1600		300	300	0.55 @ 30ghz	12.5 @ 30ghz	2006	Renvoise [44]	OMMIC (France)
ON	AlInAs/InGaAs/GaAs MHEMT	OUI	0,015	-0,4	1650	-1,3	610	305			2007	Yeon [45]	School of EECS, Seoul (Corée)
ON	AlInAs/InGaAs/GaAs MHEMT		0,06				260	490			2002	Bollaert [46]	IEMN (France)
ON	AlGaN/GaN HEMT	NON	0,12	-5,5	217		101	155	0.53dB @8ghz	12.1dB @8ghz	2000	Lu [47]	University of Illinois (USA)
ON	AlGaN/GaN HEMT	NON	0,25		320	115	57	81	1.9dB @10ghz	16.2dB @ 10ghz	2001	Hsu [48]	University of Michigan (USA)
ON	AlGaN/GaN HEMT	NON	0,15						1dB @ 10ghz	14.5dB @ 10ghz	2002	Moon [49]	HRL Laboratories (USA)
"	"	"	"						1.75dB @ 20ghz	9.5dB @ 20ghz	"	"	"

ON / OFF	structure	passi-vation	Lg (µm)	VT (V)	GM (mS/mm)	VBGD (V)	FT (GHz)	FMAX (GHz)	Nfmin / F (dB) / (GHz)	Gass / F (dB) / (GHz)	année	Auteur + réf.	Laboratoire
ON	AlGaN/GaN HEMT	NON	1	-2,6	142		14,3	28,7			2005	Cai [50]	Hong Kong Univ. Of Science and Tech.
ON	AlGaN/GaN HEMT	OUI	0,25	-4	322		52,3	112	0.75dB @ 10ghz	10.84dB@10ghz	2004	Lee [51]	University of Illinois (USA)
"	"	"	"	"	"		"	"	1.15dB @ 18ghz	7.49dB @ 18ghz	"	"	"
ON	AlGaN/GaN HEMT	NON	1				12	30	0.7dB @ 1ghz	19dB @ 1ghz	2005	Cheng [52]	Hong Kong Univ. Of Science and Tech.
"	"	"	"				"	"	3.3dB @ 10ghz	10.8dB @ 10ghz	"	"	"
ON	AlGaN/GaN HEMT	OUI	0,03		402		181	186			2006	Higashiwaki [53]	NIICT (*) (Japon)
ON	AlGaN/GaN HEMT	OUI	0,1				153	230			2006	Palacios [54]	University of California
ON	AlGaAs/GaAs	OUI	0,25		300				0.68dB @ 12ghz		1988	Nagahama [55]	Mitsubishi (Japon)
"	"	"	"		"				0.83dB @ 18ghz		"	"	"
ON	AlGaAs/GaAs	NON	0,4		260				2.7dB @ 34ghz	5.9dB @ 34ghz	1984	Berenz [56]	TRW (USA)
OFF	InAlAs/InGaAs/InP PHEMT	OUI	0,03	0,18	2200		554	358			2007	Shinohara [57]	Teledyne Scientific Company (USA)
OFF	InAlAs/InGaAs/InP PHEMT	NON	1	0,17	675	9,5	55	62			2000	Ao [58]	Hebei Semicon. Research Institute (Chine)
OFF	InAlAs/InGaAs/InP PHEMT	NON	0,03	0,02	2000		300	223			1999	Xu [59]	NTT (Japon)
OFF	AlGaAs/GaAs P-I-HEMT	NON	0,2	0	590		70		0.56dB @ 12ghz	11dB @ 12ghz	1991	Ohmuro [60] [61]	Semicon. Technology Laboratory (Japon)
"	"	"	"	"	"		"		1.01dB @ 18ghz	10.9dB @ 18ghz	"	"	"
OFF	AlGaAs/InGaA/GaAs PHEMT	OUI	0,4	0,6	235		50	55	0,65 @ 12ghz	10,7 @ 12ghz	2003	Lin [62]	National Cheng Kung University (Taiwan)
OFF	InGaP/AlGaAs/InGaAs PHEMT	OUI	0,5	0,14	550		60	128	1,02 @ 17ghz	10,12 @17ghz	2005	Chu [63]	National Chiao-Tung University (Taiwan)
OFF	(AlGa)InP InGaAs PHEMT	OUI	0,5		370	-47	22	85	0,95 @ 5,2ghz		2005	Chiu [64]	National Chang Gung University (Taiwan)
OFF	InGaP/InGaAs/GaAs PHEMT	NON	0,8		255,2	-10,45	20,6	40	0,74 @ 1,9ghz		2003	Tu [65]	National Taiwan University (Taiwan)
OFF	InGaP/InGaAs/GaAs PHEMT	OUI	0,5	0	430	-20	28	80	0,81 @ 5,2ghz		2005	Chiu [66]	Chang Gung University (Taiwan)
OFF	InAlAs/InGaAs LM InP	OUI	0,3	0,167	701		116	229			1998	Mahajan [67]	University of Illinois (USA)
OFF	InAlAs/InGaAs MHEMT	OUI	0,11	0,18	1216	4,7	204	315	0.69dB @ 30ghz	10dB @ 30ghz	2007	Maher [68]	OMMIC (France)
OFF	AlGaN/GaN HEMT	NON	1	0,75	132		10,7	21,9			2005	Cai [50]	Hong Kong Univ. of Science and Tech.
OFF	AlGaAs/GaAs	NON	0,35		240				1.5dB @ 18ghz	10.5dB @ 18ghz	1984	Berenz [69]	TRW (USA)
OFF	InAlAs/InGaAs-InAs-InGaAs/InP PHEMT	NON	0,13	0,07	1580		403	470			2008	Kim [70]	GIST (Corée)
ON	AlInSb/InSb	NON	0,085		1000		340	270			2006	Ashley [71]	Qinetiq (UK)
ON	InAs/AlSb	NON	0,225		1300		165	115			2007	Borg [72]	Chalmers University of Technology

ON / OFF	structure	passi-vation	Lg (µm)	VT (V)	GM (mS/mm)	VBGD (V)	FT (GHz)	FMAX (GHz)	Nfmin / F (dB) / (GHz)	Gass / F (dB) / (GHz)	année	auteur + réf.	Laboratoire
ON	AlInSb/InSb sur GaAs	NON	0,085				256				2005	Datta [73]	Intel (USA)
OFF	AlInSb/InSb sur GaAs	NON	0,085				305				2005	Datta [73]	Intel (USA)
ON	InAlSb/InAs/AlGaSb sur GaAs	NON	0,35		1090		70	65			2005	Papanicolaou [74]	Naval Research Laboratory (USA)
ON	AlSb/InAsSb sur GaAs	NON	0,1		800		130	80			2005	Boos [75]	Naval Research Laboratory (USA)
ON	AlSb/InAsSb sur GaAs	NON	0,06		1100		160				2005	Boos [75]	Naval Research Laboratory (USA)
ON	InAs/AlSb	NON	0,25		2000		172	162			2003	Bergman [76]	Rockwell Scientific Company (USA)
ON	InAs/AlSb	NON	0,25	-2,5	1100		120	100			2002	Brar [77]	Rockwell Scientific Company (USA)
ON	InAs/AlSb	NON	0,1		2000		235	235			2004	Bergman [78]	Rockwell Scientific Company (USA)
ON	InAs/AlSb						260	280			2005	Lange [79]	Northrop Grumman (USA)
ON	InAs/AlSb	OUI	0,1		1910		272	214			2006	Ma [80]	Rockwell Scientific Company (USA)
n	MOSFET		0,07				150	200			2004	Jeamsaksiri [81]	IMEC (Belgique)
n	MOSFET		0,18						0,93dB @ 5,8ghz		2002	Huang [82]	National Chiao Tung University
p	MOSFET		0,065				152	161	0,46dB @ 10ghz	16,6dB @ 10ghz	2007	Kao [83]	Chang Gung University (Taiwan)
"	"		"				"	"	0,83dB @ 18ghz	13,5dB @ 18ghz	"	"	"
	SOI CMOS		0,09				96	150	0,8dB @ 6ghz	16dB @ 6ghz	2002	Vanmac-	IEMN (France)
	"		"				"	"	1,3dB @ 10ghz	13dB @ 10ghz	"	-lekberg [84]	"
n	CMOS		0,2				49		0,4dB @ 2ghz		1996	Ohguro [85]	Toshiba (Japon)
p	CMOS		0,2				35		1,4dB @ 2ghz		1996	Ohguro [85]	Toshiba (Japon)
	SOI CMOS		0,09		1450		243	208	1,1dB @ 26ghz		2004	Zamdmer [86]	IBM (USA)
	MOSFET		0,065	~0,4	1100		210	160	0.8dB @ 12ghz	17.3dB @ 12ghz	2005	Dambrine [87]	IEMN (France)
p	schottky barrier p MOSFET		0,022				280				2004	Fritze [88]	Lincoln Laboratory, MIT (USA)
n	MOSFET		0,029				360	420			2006	Post [89]	Intel (USA)
p	MOSFET		0,029				238	295			2006	Post [89]	Intel (USA)
n	MOSFET		0,033				270	300			2005	Lee [90]	IBM (USA)
n	MOSFET		0,07				209	248			2004	Kuhn [91]	Intel (USA)
	BiCMOS SiGe HBT		0,13				300	330			2006	Orner [92]	
	BiCMOS HBT		0,25				94	81	0.4dB @ 2ghz		2005	Kiyota[93]	Sony (Japon)
	"		"				"	"	0.7dB @ 5ghz		"	"	"
	SiGe NPN HBT		0,12				207	285			2002	Jagannathan [94]	IBM (USA)
	npn InP/GaAsSb/InP DHBT						300	300			2001	Dvorak [95]	CSDL, Simon Fraser Univ. (Canada)

ON / OFF	structure	passi-vation	Lg (µm)	VT (V)	GM (mS/mm)	VBGD (V)	FT (GHz)	FMAX (GHz)	Nfmin / F (dB) / (GHz)	Gass / F (dB) / (GHz)	année	auteur + réf.	Laboratoire
	InGaAs/InP type I DHBT						416	755			2007	Griffith [96]	University of California (USA)
	InP/InGaAs/InP DHBT						544	347			2006	Griffith [97]	University of California (USA)
	InGaAs/InP DHBT						360	800			2009	Lobisser [98]	UCSB
	InGaAs/InGaP DHBT						450	490			2005	Griffith [99]	University of California (USA)
	pseudomorphic HBT						710	340			2005	Hafez [100]	University of Illinois (USA)
	InGaAsSb:C DHBT						500	240			2006	Wu [101]	University of Illinois (USA)
	InP PHBT						765	227			2007	Feng [102]	University of Illinois (USA)
	InP DHBT						400	503			2006	Scott [103]	Northrop Grumman Space Tech. (USA)
	SiGe HBT BiCMOS		0,13				210	150			2002	Joseph [104]	IBM (USA)
	SiGe HBT BiCMOS		0,18				90	90	0,4dB @ 2ghz		1999	Freeman [105]	IBM (USA)
	SiGe BiCMOS		0,25				70	100			2002	Deixler [106]	Philips Semiconductors (USA)
	SiGe HBT						380				2004	Heinemann [107]	IHP (*)
	SiGe HBT						300	350			2004	Khater [108]	IBM (USA)

(*) :
ETRI : Electronics and Telecommunications Research Institute (Corée)
SFIT : Swiss Federal Institute of Technology, Zurich (Suisse)
MINT : Millimeter wave INnovation Technology Research Center, Seoul (Corée)
NIICT : National Institute of Information and Communication Technology (Japon)

Références de l'annexe:

[1] : P. M. Smith, S.-M. J. Liu, M.-Y. Kao, P. Ho, S. C. Wang, K. H. G. Duh, S. T. Fu, P. C. Chao, « W-Band High Efficiency InP-Based Power HEMT with 600 GHz f_{max} »
IEEE Microwave And Guided Wave Letters, Vol. 5, No. 1, Juil. 1995

[2] : L. D. Nguyen, A. S. Brown, M. A. Thompson, L. M. Jelloian, « 50-nm self aligned gate pseudomorphic AlInAs/GaInAs High Electron Mobility Transistors »
IEEE Transactions On Electron Devices, Vol. 39, N°9, pp. 2007-2014, 1992

[3] : I. Watanabe, A. Endoh, T. Mimura, T. Matsui, « 35-nm gate InGaAs/InAlAs HEMT with 520 GHz Ft »
Indium Phosphide and Related Materials, Conference Proceedings, pp 28-31, 2007

[4] : R. Lai, Y. C. Chou, L. J. Lee, P. H. Liu, D. Leung, Q. Kan, X. Mei, C. H. Lin, D. Farkas, M. Barsky, D. Eng, A. Cavus, M. Lange, P. Chin, M. Wojtowicz, T. Block, A. Oki, « High performance and high reliability of 0.1 μm InP HEMT MMIC technology on 100 mm InP substrates »
Indium Phosphide and Related Materials, Conference Proceedings, pp 63-66, 2007

[4] : H. K. Huang, Y. H. Wang, C. L. Wu, J. C. Wang, C. S. Chang, « Super Low noise InGaP gated PHEMT »
IEEE Electron Device Letters, Vol. 23, No. 2, Fev. 2002

[6] : Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, « Pseudomorphic $In_{0.52}Al_{0.48}As/In_{0.7}Ga_{0.3}As$ HEMTs with an ultrahigh FT of 562 GHz »
IEEE Electron Devices Letters, Vol. 23, N°10, 2002

[7] : K. Shinohara, P. S. Chen, J. Bergman, H. Kazemi, B. Brar, I. Watanabe, T. Matsui, Y. Yamashita, A. Endoh , K. Hikosaka, T. Mimura, S. Hiyamizu, « Ultra High speed Low Noise InP-HEMT Technology »
Microwave Symposium Digest, pp.337-340, Juin 2006

[8] : K. Joshin, T. Ohori, M. Takikawa, « Super low noise HEMT based on new HEMT noise model »
European Microwave Conference, pp.102-104, 1993

[9] : J. H. Lee, H. S. Yoon, C. S. Park, H. M. Park, « Ultra Low Noise Characteristics of AlGaAs/InGaAs/GaAs Pseudomorphic HEMTs with white head T-shaped gate »
IEEE Electron Device Letters, Vol. 16, No. 6, Juin 1995

[10]: J. H. Lee, H. S. Yoon, B. S. Park, S. J. Meang, C. W. Lee, H. T. Choi, C. E. Yun, C. S. Park, « Noise performance of pseudomorphic AlGaAs/InGaAs/GaAs High Electron Mobility transistors with wide head T-shaped gate recessed by electron cyclotronresonance plasma etching »
Japanese Journal of Applied Physics, Vol. 38, pp. 654-657, 1999
[11] : H. C. Chiu, C. S. Cheng, Y. J. Shih, « High uniformity enhancement and depletion mode InGaP/ InGaAs pHEMTs using a selective succinic acide gate recess process »
Semiconductor Science and Technology, Vol. 21, pp. 55-59, 2006
[12] : P. M. Smith, « InP based HEMTs for microwave and millimeter-wave applications »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 68-72, Mai 1995
[13] : Lai et al, « Sub 50nm InP HEMT device with Fmax greater than 1 THz »
IEDM Technical Digest, p.609, 2007
[14] : D.H. Kim, J. Del Alamo, « 30-nm InAs Pseudomorphic HEMTs on an InP substrate with a current-gain cutoff frequency of 628 GHz »
IEEE Electron Device Letters, Vol. 29, No. 8, Aout. 2008
[15] : M. Feng, D. R. Scherrer, P. J. Apostolakis, J. W. Kruse, « Temperature dependent study of the Microwave Performance of 0.25-µm gate GaAs MESFETs and GaAs Pseudomorphic HEMTs »
IEEE Electron Device Letters, Vol. 43, No. 6, Fev. 1996
[16] : D. P. Docter, K. R. Elliott, A.E. Schmitz, K. Kiziloglu, J. J. Brown, D. S. Harvey, H. M. Karatnicki, « Low Noise InAlAs/InGaAs HEMTs grown by MOVPE »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 219-222, Mai 1998
[17] : M. Y. Kao, G. Duh, P. Ho, P. C. Chao, « An extremely low noise InP Based HEMT with Silicon Nitride Passivation »
Electron Devices Meeting, pp. 907-910, Dec. 1994
[18] : N. Yoshida, Y. Yamamoto, K. Katoh, H. Minami, T. Kitano, H. Takano, T. Sonoda, S. Takamiya, S. Mitsui, « Low noise AlInAs/InGaAs HEMT using WSi ohmic contact »
IEEE Electronic Letters, Vol. 30, n°12, pp. 1009-1010, Juin 1994
[19] : K. H. G. Duh, P. C. Chao, S. M. J. Liu, P. Ho, M. Y. Kao, J. M. Ballingall, « A super low noise 0.1-µm T-gate InAlAs/InGaAs/InP HEMT »
IEEE Microwave and Guided Wave Letters, Vol. 1, n°5, Mai 1991
[20] : T. Enoki, H. Yokoyama, Y. Umeda, T. Otsuji, « Ultra high speed integrated circuits using InP based HEMTs »
Japanese Journal of Applied Physics, Vol. 37, pp. 1359-1364, 1998

[21] : P. C. Chao, A. J. Tessmer, K. H. G. Duh, P. Ho, M. Y. Kao, P. M. Smith, J. M. Ballingall, S. M. J. Liu, A. A. Jabra, « W-band low noise InAlAs/InGaAs Lattice matched HEMTs »
IEEE Electron Device Letters, Vol. 11, No. 1, Jan. 1990
[22] : H. C. Duran, B. U. H. Klepser, W. Bächtold, « Low noise properties of dry gate recess etched InP HEMTs »
IEEE Electron Device Letters, Vol. 17, No. 10, Oct. 1996
[23] : K. Shinohara, Y. Yamashita, A. Endoh, I. Watanabe, K. Hikosaka, T. Matsui, T. Mimura, S. Hiyamizu, « 547 GHz FT $In_{0.7}Ga_{0.3}As$/ $In_{0.52}Al_{0.48}As$ HEMTs with reduced source and drain resistance »
IEEE Electron Devices Letters, Vol. 25, N°5, 2004
[24] : T. Suemitsu, H. Yokoyama, T. Ishii, T. Enoki, G. Meneghesso, E. Zanoni, « 30-nm two step recess gate InP based InAlAs/InGaAs HEMTs »
IEEE Transactions On Electron Devices, Vol. 49, N°10, pp. 1694 -1700, 2002
[25] : R. Lai, X. B. Mei, W. R. Deal, W. Yoshida, Y. M. Kim, P. H. Liu, J. Lee, J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska, A. Fung, « Sub 50nm InP HEMT device with Fmax greater than 1 THz »
Electron Devices Meeting, IEDM, pp. 609-611, déc. 2007
[26] : R. T. Webster, A. F. M. Anwar, J. L. Heaton, K. Nichols, S. Duncan, « Impact ionization in AlGaAsSb/ InGaAs/AlGaAsSb Metamorphic HEMTs »
Indium Phosphide and Related Materials, Conference Proceedings, pp 233-234, 2003
[27] : W. E. Hoke, T. D. Kennedy, A. Torabi, C. S. Whelan, P. F. Marsh, R. E. Leoni, C. Xu, K. C. Hsieh, « High Indium metamorphic HEMT on a GaAs substrate »
Molecular Beam Epitaxy, International Conference, pp. 73 – 74, 2002
[28] : H. S. Yoon, J. H. Lee, J. Y. Shim, S. J. Kim, D. M. Kang, J. Y. Hong, W. J. Chang, K. H. Lee, « Low noise characteristics of double doped $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ power metamorphic HEMT on GaAs Substrate with wide head T-shaped gate »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 133-136, 2005
[29] : A. Leuther, A. Tessmann, M. Dammann, W. Reinert, M. Schlechtweg, M. Mikulla, M. Walther, G. Weimann, « 70 nm low noise metamorphic HEMT technology on 4 inch GaAs wafers »
Indium Phosphide and Related Materials, Conference Proceedings, pp 215-218, 2003

[30] : C. S. Whelan, W. E. Hoke, R. A. McTaggart, S. M. Lardizabal, P. S. Lyman, P. F. Marsh, T. E. Kazior, « Low noise $In_{0.32}(AlGa)_{0.68}As/In_{0.43}Ga_{0.57}As$ Metamorphic HEMT on GaAs substrate with 850 mW/mm output power density »
IEEE Electron Device Letters, Vol. 21, No. 1, pp.5-8, Jan. 2000
[31] : K. Elgaid, H. McLelland, M. Holland, D. A. J. Moran, C. R. Stanley, I. G. Thayne, « 50 nm T-gate Metamorphic GaAs HEMT with Ft of 440 GHz and noise figure of 0.7 dB at 26 GHz »
IEEE Electron Device Letters, Vol. 26, No. 11, Nov. 2005
[32] : H. S. Yoon, J. H. Lee, J. Y. Shim, J. Y. Hong, D. M. Kang, K. H. Lee, « Extremely low noise characteristics of 0.1 µm T-gate power metamorphic HEMTs on GaAs Substrate »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 133-136, 2005
[33] : Y. C. Lien, E. Y. Chang, H. C. Chang, L. H. Chu, G. W. Huang, H. M. Lee, C. S. Lee, S. H. Chen, P. T. Shen, C. Y. Chang, « Low Noise Metamorphic HEMTs with reflowed 0.1 µm T-gate »
IEEE Electron Device Letters, Vol. 25, No. 6, Juin 2004
[34] : M. Kawano, T. Kuzuhara, H. Kawasaki, F.Sasaki, H. Tokuda, « InAlAs/InGaAs metamorphic low noise HEMT »
IEEE Microwave and guided Wave Letters, Vol. 7, No. 1, Jan. 1997
[35] : K. Elgaid, D. Moran, H. McLelland, M. Holland, , I. G. Thayne, « Low noise high performance 50 nm T-gate metamorphic HEMT with cutoff frequency FT of 440 GHz for millimeter wave imaging receivers applications »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 141-143, 2005
[36] : H. S. Yoon, J. H. Lee, J. Y. Shim, J. Y. Hong, D. M. Kang, W. J. Chang, H. C. Kim, K. I. Cho « 0.15 µm gate length InAlAs/InGaAs power metamorphic HEMT on GaAs substrate with extremely low noise characteristics »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 114-117, Mai 2003
[37] : C. Y. Lu, K. S. Chen, H. M. Lee, E. Y. Chang, S. H. Chen, Y. C. Lin, G. J. Chen, « A low noise composite channel metamorphic HEMT for wireless communication applications »
Electron Devices for Microwave and Optoelectronic Applications, pp. 87-92, 2003
[38] : C. S. Whelan, S. M. Lardizabal, P. M. Buhles, W. E. Hoke, P. F. Marsh, R. A. McTaggart, C. P. McCarroll, T. E. Kazior, « A comparison of channel indium content in low noise metamorphic HEMTs with $In_xGa_{1-x}As$ ($0.3<x<0.6$) »
Indium Phosphide and Related Materials, Conference Proceedings, pp. 349-352, Mai 2000

[39] : B. O. Lim, M. K. Lee, T. J. Baek, M. Han, S. C. Kim, J. K. Rhee, « 50 nm T-gate InAlAs/InGaAs metamorphic HEMTs with low noise and high FT characteristics »
IEEE Electron Device Letters, Vol. 28, No. 7, Juil. 2007
[40] : J. Y. Shim, H. S. Yoon, D. M. Kang, J. Y. Hong, K. H. Lee, « DC and RF characteristics of 60 nm T-gate MHEMTs with 53% indium channel »
Indium Phosphide and Related Materials, Conference Proceedings, pp 445-446, 2007
[41] : H. S. Yoon, J. Y. Shim, , D. M. Kang, J. Y. Hong, K. H. Lee, « Characteristics of 80 nm T-gate metamorphic HEMTs with 60% indium channel »
Indium Phosphide and Related Materials, Conference Proceedings, pp 110-113, 2007
[42] : C. S. Whelan, P. F. Marsh, W. E. Hoke, R. A. McTaggart, P. S. Lyman, P. J. Lemonias, S. M. Lardizabal, R. E. Leoni, S. J. Lichwala, T. E. Kazior, « Millimeter-wave low noise and high power metamorphic HEMT amplifiers and devices on GaAs substrates »
IEEE Journal of Solid State Circuits, Vol. 35, N°39, Sep. 2000
[43] : S. C. Kim, D. An, B. O. Lim, T. J. Baek, D. H. Shin, J. K. Rhee, « High performance 94 GHz single balanced mixer using 70 nm MHEMTs and surface micromachined technology »
IEEE Electron Device Letters, Vol. 27, n°1, jan. 2006
[44] : M. Renvoisé, P. Baudet, H. Maher, J.F. Pautrat, G. Dambrine, S. Lepilliet, « Fabrication of 300 GHz 70 nm double mushroom gate fully passivated In0.7 pseudo metamorphic GaAs HEMT »
OMMIC Private Communication
[45] : S. J. Yeon, M. Park, J. Choi, K. Seo, « 610 GHz InAlAs/$In_{0.75}$GaAs Metamorphic HEMTs with an ultra short 15 nm gate »
Electron Devices Meeting IEDM, pp. 613-616, déc. 2007
[46] : S. Bollaert, Y. Cordier, M. Zaknoun, T. Parenty, H. Happy, S. Lepilliet, A. Cappy, « Fmax of 490 GHz metemorphic $In_{0,52}Al_{0,48}As/In_{0,53}Ga_{0,47}As$ HEMTs on GaAs substrate »
Electronic Letters Vol. 38, n°8, pp. 389-391, Avril 2002
[47] : W. Lu, J. W. Yang, M. A. Khan, I. Adesida, « Wideband AlGaN/GaN HEMT for SiC for low noise applications »
Device Research Conference, Conference Digest, pp. 39-40, Juin 2000
[48] : S. S. H. Hsu, D. Pavlidis, « Low noise AlGaN/GaN MODFETs with high breakdown and power characteristics »
Gallium Arsenide Integrated Circuit Symposium, pp. 229-232, Oct. 2001
[49] : J. S. Moon, M. Micovic, A. Kurdoghlian, P. Janke, P. Hashimoto, W.-S. Wong, L. McCray, « Linearity of low microwave noise AlGaN/GaN HEMTs »

IEEE Electronics Letters, Vol. 38, No. 22, Oct. 2002
[50] : Y. Cai, Z. Cheng, W. C. W. Tang, K. J. Chen, K. M. Lau, « Monolithic integration of enhancement and depletion mode AlGaN/GaN HEMTs for GaN digital integrated circuits »
Electron Devices Meeting IEDM, pp. 4, déc. 2005
[51] : J. W. Lee, V. Kumar, R. Schwindt, A. Kuliev, R. Birkhahn, D. Gotthold, S. Guo, B. Albert, I. Adesida, « Microwave noise performances of AlGaN/GaN HEMTs on semi-insulating 6H-SiC substrates »
IEEE Electronics Letters, Vol. 40, No. 1, Jan. 2004
[52] : Z. Cheng, J. Liu, Y. Zhou, Y. Cai, K. J. Chen, K. M. Lau, « Broadband microwave noise characteristics of high linearity composite channel $Al_{0.3}Ga_{0.7}N/Al_{0.05}Ga_{0.95}N$/GaN HEMTs
IEEE Electron Device Letters, Vol. 26, No. 8, Aout 2005
[53] : M. Higashiwaki, T. Mimura and T. Matsui, « 30-nm-Gate AlGaN/GaN Heterostructure Field-Effect Transistors with a Current-Gain Cutoff Frequency of 181 GHz »
Japanese Journal of Applied Physics, Vol.45, n°42, pp L1111-L1113
[54] : T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, U. K. Mishra, « AlGaN/GaN High Electron Mobility Transistors with InGaN back barriers »
IEEE Electron Devices Letters, Vol. 27, N°1, 2006
[55] : K. Nagahama, M. Nakanishi, Y. Sasaki, K. Hosono, H. Morimoto, T. Katoh, R. Hirano, T. Murotani, A. Kawagishi, « Super low noise HEMT using focused ion beam lithography »
IEEE Electronics Letters, Vol. 24, No. 4, Fev. 1988
[56] : J. J. Berenz, K. Nakano, K. P. Weller, « Low noise high electron mobility transistors »
Microwave and Millimeter Wave Monolithic circuits, Vol. 81, Issue 1, pp. 83-87, Mai 1984
[57] : K. Shinohara, W. Ha, M. Rodwell, B. Brar, « Extremely high gm > 2.2 S/mm and Ft > 550 GHz in 30 nm enhancement mode InP HEMTs with Pt/Mo/Ti/Pt/Au buried gate »
Indium Phosphide and Related Materials, Conference Proceedings, pp 18-21, 2007
[58] : J. P. Ao, Q. M. Zeng, Y. L. Zhao, X. J. Li, W. J. Liu, S. Y. Liu, C. G. Liang, « InP based enhancement mode pseudomorphic HEMT with strained $In_{0.45}Al_{0.55}As$ barrier and $In_{0.75}Ga_{0.25}As$ channel layers »
IEEE Electron Device Letters Vol. 21, n°5, mai 2000
[59] : D. Xu, T. Suemitsu, J. Osaka, Y. Umeda, Y. Yamane, Y. Ishii, T. Ishii, T. Tamamura, « An 0.03 µm gate length enhancement mode InAlAs/InGaAs/InP MODFETs with 300GHz Ft and 2 S/mm extrinsic transconductance »
IEEE Electron Device Letters Vol. 20, n°5, mai 1999

[60] : K. Ohmuro, K. J. Fujishiro, M. Itoh, H. Nakamura, S. Nishi, « Enhancement mode pseudomorphic inverted HEMTfor low noise amplifier »
Microwave Theory and Techniques, IEEE Transactions on, Vol. 39, Issue 12, pp. 1995-2000, 1991
[61] : K. Ohmuro, H. I. Fujishiro, M. Itoh, H. Nakamura, S. Nishi, « Enhancement mode pseudomorphic inverted HEMT for low noise amplifier »
IEEE Transactions on Microwave Theory and Techniques, Vol. 39, N°12, Dec. 1991
[62] : C. S. Lin, Y. K. Fang, S. F. Ting, C. C. Wang, H. K. Huang, C. L. Wu, C. S. Chang, « High performance 12 GHz enhancement mode pseudomorphic HEMT prepared by He plus reactive ion etching »
Solid State Electronics, 47, pp. 695-698, 2003
[63] : L. H. Chu, E. Y. Chang, S. H. Chen, Y. C. Lien, C. Y. Chang, « 2V operated InGaP/AlGaS/InGaAs enhancement mode pseudomorphic HEMT »
IEEE Electron Device Letters, Vol. 26, No. 2, Fev. 2005
[64] : H. C. Chiu, Y. C. Chiang, C. S. Wu, « High breakdown voltage $(Al_{0.3}Ga_{0.7})_{0.5}In_{0.5}P$/InGaAs quasi enhancement mode pHEMT with field plate technology »
IEEE Electron Device Letters, Vol. 26, No. 10, Oct. 2005
[65] : H. Y. Tu, T. H. Chou, Y. S. Lin, H. C. Chiu, P. Y. Chen, W. C. Wu, S. S. Lu, « DC and RF characteristics of E mode $Ga_{0.51}In_{0.49}P/In_{0.15}Ga_{0.85}S$ pseudomorphic HEMTs »
IEEE Electron Device Letters, Vol. 24, No. 3, Mars 2003
[66] : H. C. Chiu, C. S. Cheng, Y. J. Shih, « High uniformity enhancement and depletion mode InGaP/InGaAs pHEMTs using a selective succinic acid gate recess process »
Semiconductor Science and Technology, 21, pp. 55-59, 2006
[67] : A. Mahajan, M. Arafa, P. Fay, C. Caneau, I. Adesida, « Enhancement-mode High Electron Mobility Transistors (E-HEMTs) Lattice-Matched on InP »
IEEE Transactions on Electron Devices, Vol. 45, n°12, 1998
[68] : H. Maher, I. El Makoudi, P. Frijlink, D. Smith, M. Rocchi, S. Bollaert, S. Lepilliet, G. Dambrine, « A 200 GHz true E Mode low noise MHEMT »
IEEE Transactions On Electron Devices, Vol. 54, No. 7, July 2007
[69] : J. J. Berenz, K. Nakano, K. P. Weller, « Low noise high electron mobility transistors »
Microwave and Millimeter Wave Monolithic circuits, Vol. 81, Issue 1, pp. 83-87, Mai 1984
[70] : T-W. Kim, D-H. Kim, S-D. Park, S-H. Shin, G. Y. Yeom, J. H. Jang, J. I. Song, « Enhancement-mode 130 nm InAs p-HEMTs having Ft of 403 GHz and Fmax of 470GHz fabricated using atomic-layer-etching technology »

Device Research Conference, 2008, 23-25 June 2008 Page(s):211 - 212

[71] : T. Ashley, L. Buckle, M. T. Emeny, M. Fearn, D. G. Hayes, K. P. Hilton, R. Jefferies, T. Martin, T. J. Phillips, J. Powell, A. W. H. Tang, D. Wallis, P. J. Wilding, « Indium antimonide based quantum well FETs for ultra high frequency, low power dissipation circuits »

European Microwave Integrated Circuits, Conference Proceedings, n°1, pp.29-30, 2006

[72] : M. Borg, E. Lefebvre, M. Malmkvist, L. Desplanque, X. Wallart, Y. Roelens, G. Dambrine, A. Cappy, S. Bollaert, J. Grahn, « DC and RF performance of 0.2-0.4 μm gate length InAs/AlSb HEMTs »

Indium Phosphide and Related Materials, Conference Proceedings, pp 67-70, 2007

[73] : S. Datta, T. Ashley, J. Brask, L. Buckle, M. Doczy, M. Emeny, D. Hayes, K. Hilton, R. Jefferies, T. Martin, T. J. Phillips, D. Wallis, P. Wilding, R. Chau, « 85 nm gate length enhancment and depletion mode InSb quantum Well transistors for ultra high speed and very low power digital logic applications »

Electron Devices Meeting IEDM, pp. 763-766, déc. 2005

[74] : N. A. Papanicolaou, B. R. Bennett, J. B. Boos, D. Park, R. Bass, « Sb-based HEMTs with InAlSb/InAs heterojunction »

Electronic Letters, Vol. 41, n°19, sept. 2005

[75] : J. B. Boos, M. J. Yang, B. R. Bennett, D. Park, W. Kruppa, R. Bass, « Low voltage high speed AlSb/InAsSb HEMTs »

Indium Phosphide and Related Materials, Conference Proceedings, pp 323-326, 1999

[76] : J. Bergman, G. Nagy, G. Sullivan, B. Brar, « InAs/AlSb HFETs with FT and Fmax above 150 GHz for low power MMICs »

Indium Phosphide and Related Materials, Conference Proceedings, pp 219-222, 2003

[77] : B. Brar, G. Nagy, J. Bergman, G. Sullivan, P. Rowell, « RF and DC characteristics of low leakage InAs/AlSb HFETs »

High Performance Devices Proceedings, pp. 409-413, août 2002

[78] : J. Bergman, G. Nagy, G. Sullivan, A. Ikhlassi, B. Brar, C. Kadow, H.K. Lin, A. Gossard, M. Rodwell, « Low voltage, high performance, InAs/AlSb HEMTs with power gain above 100 GHz at 100 mV drain bias »

Device Research Conference, Vol. 1, pp. 243-244, 2004

[79] : M.D. Lange et al., « Ultra low power HEMT and HBT Devices and circuit demonstrations »

Semiconductor Device Research Symposium, pp. dec. 2005

[80] : B. Y. Ma, J. Bergman, P. Chen, J. B. Hacker, G. Sullivan, G. Nagy, B. Brar, « InAs/AlSb HEMT and its application to ultra low power wideband high gain low noise amplifiers »
IEEE Transactions on Microwave Theory and Techniques, Vol. 54, n°12, dec. 2006
[81] : W. Jeamsaksiri, A. Mercha, J. Ramos, D. Linten, S. Thijs, S. Jenei, C. Detcheverry, P. Wambacq, R. Velghe, S. Decoutere, « Integration of a 90 nm RF CMOS technology (200 GHz Fmax – 150 GHz Ft nMOS) demonstrated on a 5 GHz LNA »
Symposium on VLSI Technology Digest of Technical Papers, pp. 101-102, 2004
[82] : C. H. Huang, C. H. Lai, J. C Hsieh, J. Liu, A. Chin, « RF noise in 0.18 µm and 0.13 µm MOSFETs »
IEEE Microwave and Wireless Components Letters, Vol.12, n°12, dec. 2002
[83] : H. L. Kao, A. Chin, C. C. Liao, S. P. Mc Alister, « Very low noise in 90 nm node RF MOSFETs using a new layout »
Silicon Monolithic Integrated Circuits in RF Systems, pp. 44-47, jan. 2007
[84] : M. Vanmackelberg, S. Boret, D. Gloria, O. Rozeau, R. Gwoziecki, C. Raynaud, S. Lepilliet, G. Dambrine, « 90 nm SOI CMOS of 150 GHz Fmax and 0.8 dB NFMin @ 6GHz for SOC »
IEEE International SOI Conference Proceedings, pp. 153-154, 2002
[85] : T. Ohguro, E. Morifuji, M. Saito, M. Ono, T. Yoshitomi, H. S. Momose, N. Ito, H. Iwai, « 0.2 µm analog CMOS with very low noise figure at 2 GHz operation »
Symposium on VLSI Technology Digest of Technical Papers, pp.132-133, 1996
[86] : N. Zamdmer, J. Kim, R. Trzcinski, J. O. Plouchart, S. Narasimha, M. Khare, L. Wagner, S. Chaloux, « A 243 GHz FT and 208 GHz Fmax, 90 nm SOI CMOS SoC Technology with low power millimeter wave digital and RF circuit capability »
Symposium on VLSI Technology Digest of Technical Papers, pp. 98-99, 2004
[87] : G. Dambrine, D. Gloria, P. Scheer, C. Raynaud, F. Danneville, S. Lepilliet, A. Siligaris, G. Pailloncy, B. Martineau, E. Bouhana, R. Valentin, « High frequency low noise potentialities of down to 65 nm technology nodes MOSFETs »
Gallium Arsenide And Other Semiconductor Application Symposium, pp. 97-100, oct. 2005
[88] : M. Fritze, C. L. Chen, C. Kalawa, D. Yost, B. Wheeler, P. Wyatt, C. L. Keast, J. Snyder, J. Larson, « High speed Schottky barrier pMOSFET with FT = 280 GHz »
IEEE Electron Device Letters, Vol. 25, n°4, avril 2004

[89] : I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyli, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, C-H. Jan, « A 65 nm CMOS SOC technology featuring strained silicon transistors for RF applications »
Electron Devices Meeting 2006, IEDM'06, pp.1-3
[90] : S. Lee, L. Wagner, B. Jagannathan, S. Csutak, J. Pekarik, N. Zamdmer, M. Breitwisch, R. Ramachandran, G. Freeman, « Record RF performance of sub-46nm L_{gate} NFETs in microprocessor SOI CMOS technologies »
Electron Devices Meeting 2006, IEDM'06, pp.241-244
[91] : K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post and al, « A comparison of state-of-the-art NMOS and SiGe HBT devices for analog/mixed-signal/RF circuit applications »
VLSI Technology, 2004. Digest of technical papers, Symposium on. pp. 224-225
[92] : B. A. Orner, M. Dahlstrom, A. Pothiawala, R. M. Rassel, Q. Liu, H. Ding, M. Khater, D. Ahlgren, A. Joseph, J. Dunn, « A BiCMOS Technology Featuring a 300/330 GHz (fT/fmax) SiGe HBT for Millimeter Wave Applications »
Bipolar/BiCMOS Circuits and Technology Meeting, pp. 1-4, oct. 2006
[93] : Y. Kiyota, H. Yamagata, M. Bairo, S. Yanagawa, T. Komoto, M. Ohishi, C. Arai, « 94 GHz Ft, 0.4 dB NFmin HBT with optimized Si cap and extrinsic base using blanket SiGeC epitaxy »
Japanese Journal of Applied Physics, Vol. 44, n°4B, pp. 2739-2742, 2005
[94] : B. Jagannathan, M. Khater, F. Pagette, J.-S. Rieh, D. Angell, H. Chen, J. Florkey, F. Golan, D. R. Greenberg, R. Groves, S. J. Jeng, J. Johnson, E. Mengistu, K. T. Schonenberg, C. M. Schnabel, P. Smith, A. Stricker, D. Ahlgren, G. Freeman, K. Stein, S. Subbanna, « Self-Aligned SiGe NPN Transistors With 285 GHz fMAX and 207 GHz fT in a Manufacturable Technology »
IEEE Electron Device Letters, Vol. 23, n°5, mai 2002
[95] : M. W. Dvorak, C. R. Bolognesi, O. J. Pitts, S. P. Watkins, « 300 GHz InP/GaAsSb/InP double HBTs with high current capability and BVceo ≥ 6V »
IEEE Electron Device Letters, Vol. 22, n°8, août 2001
[96] : Z. Griffith, E. Lind, M. Rodwell, X. M. Fang, D. Loubychev, Y. Wu, J. M. Fastenau, A. W. K. Liu, « Sub-300 nm InGaAs/InP type I DHBTs with a 150 nm collectore, 30 nm base demonstrating 755 GHz Fmax and 416 GHz Ft »

[97] : Z. Griffith, M. Rodwell, X. M. Fang, D. Loubychev, Y. Wu, J. M. Fastenau, A. W. K. Liu, « InGaAs/InP DHBTs with a 75nm collector, 20nm base demonstrating 544 GHz Ft, BVceo = 3.2 V, and BVcbo = 3.4 V »
Indium Phosphide and Related Materials Proceedings, pp. 96-99, mai 2006
[98] : Evan Lobisser et al., « 200-nm InGaAs/InP Type I DHBT employing a dual sidewall emitter process demonstrating *fmax* > 800 GHz and *ft* = 360 GHz »
Proc. IPRM pp. 16-19, 2009
[99] : Z. Griffith, M. Rodwell, X. M. Fang, D. Loubychev, Y. Wu, J. M. Fastenau, A. W. K. Liu, « InGaAs/InP DHBTs With 120-nm Collector Having Simultaneously High ft , fmax 450 GHz »
IEEE Electron Device Letters, Vol. 26, n°8, août 2005
[100] : W. Hafez, W. Snodgrass, M. Feng, « 12.5 nm base pseudomorphic heterojunction bipolar transistors achieving Ft = 710 GHz and Fmax = 340 GHz »
Journal of Applied Physics Letters 87, 252109, 2005
[101] : B. R. Wu, W. Snodgrass, W. Hafez, M. Feng, K. Y. Cheng, « Ultra high speed composition graded InGaAsSb/GaAsSb DHBTs with Ft = 500 GHz grown by gas-source molecular beam epitaxy »
Indium Phosphide and Related Materials Proceedings, pp. 89-91, mai 2006
[102] : M. Feng, W. Snodgrass, « InP Pseudomorphic Heterojunction Bipolar Transistor (PHBT) with Ft > 750 GHz »
Indium Phosphide and Related Materials, Conference Proceedings, pp 399-402, 2007
[103] : D. W. Scott, P. C. Chang, D. Sawdai, L. Dang, J. Wang, M. Barsky, W. Phan, B. Chan, B. Oyama, A. Gutierrez-Aitken, A. Oki, « Sub micrometer InP /InGaAs Heterojunction bipolar transistors with Ft = 400 GHz, and Fmax > 500 GHz »
Indium Phosphide and Related Materials Proceedings, pp. 100-103, mai 2006
[104] : A. Joseph, D. Coolbaugh, D. Harame, G. Freeman, S. Subbanna, M. Doherty, J. Dunn, C. Dickey, D. Greenberg, R. Groves, M. Meghelli, A. Rylyakov, M. Sorna1, O. Schreiber, D. Herman, T. Tanji, « 0.13 µm 210 GHz Ft SiGe HBTs – Expanding the horizons of SiGe BiCMOS »
IEEE International Solid State Circuits Conference, fév. 2002
[105] : G. Freeman, D. Ahlgren, D.R. Greenberg, R. Groves, F. Huang, G. Hugo, B. Jagannathan, S.J. Jeng, J. Johnson, K. Schonenberg, K. Stein, R. Volant, S. Subbanna, « A 0.18µm 90 GHz Ft SiGe HBT BiCMOS, ASIC compatible, copper interconnect technology for RF and Microwave applications »

International Electron Devices Meeting, IEDM pp. 569-572, 1999
[106] : P. Deixler, R. Colclaser, D. Bower, N. Bell, W. De Boer, D. Szmyd, S. Bardy, W. Wilbanks, P. Barre, M. v. Houdt, J. C. J. Paasschens, H. Veenstra, E. v. d. Heijden, J. J. T. M. Donkers, J. W. Slotboom, « QUBiC4G : A Ft/Fmax = 70/100 GHz 0.25 µm low power SiGe BiCMOS Production Technology with high quality passives for 12.5 Gb/s optical networking and emerging wireless applications up to 20 GHz »
Bipolar/BiCMOS Circuits and Technolgy Meeting, pp. 201-204, oct. 2002
[107] : B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, T. Grabolla, U. Haak, W. Hoppner, D. K. Kopke, B. Kuck, R. Kurps, S. Marschmeyer, H. H. Richter, H. Rucker, P. Schley, D. Schmidt, W. Winkler, D. Wolansky, H. E. Wulf, Y. Yamamoto, « A low-parasitic collector construction for high-speed SiGe:C HBTs »
Electron Devices Meeting, 2004. IEDM Technical Digest, pp 251-254, 2004
[108] : M. Khater, J. S. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. T. Schonenberg, P. Smith, K. Stein, A. Strieker, S. J. Jeng, D. Ahlgren, G. Freeman, « SiGe HBT technology with f_{max} / f_t = 350 / 300 GHz and gate delay below 3.3 ps »
Electron Devices Meeting, 2004. IEDM Technical Digest, pp 247-250, 2004

RESUME

Résumé

Pour les applications électroniques analogiques, des composants fonctionnant en hautes fréquences avec un faible niveau de bruit sont nécessaires. Pour le développement de circuits numériques hauts débits de type DCFL, il faut utiliser des transistors à effet de champ à tensions de seuil positives. De plus, la tenue en tension est aussi une contrainte. La structure HEMT métamorphique à enrichissement AlInAs/GaInAs sur GaAs développée par la société OMMIC en 2007 répond à ces exigences et constitue le point de départ de cette étude. Le but de cette thèse est en effet de fournir une structure de HEMTs à enrichissement (E-HEMTs) de la filière AlInAs/InGaAs pour applications faible bruit sur substrat InP, afin de tirer profit de sa forte mobilité électronique, tout en maintenant de bonnes caractéristiques statiques et dynamiques. Notre travail d'optimisation, de réalisation et de caractérisation de structures permet d'atteindre des fréquences de coupure F_T, F_{MAX} de respectivement 204 GHz et 327 GHz, pour un NF_{min} de 0.96 dB et un gain associé de 13.2 dB à 30 GHz, pour des structures présentant d'excellentes performances statiques : tension de seuil positive de 30 mV, tension de claquage grille - drain de –7 V, transconductance de 1040 mS/mm. Ces résultats placent ce HEMT sur InP à l'état de l'art des transistors HEMTs à enrichissement, et en font un concurrent des transistors HEMTs à déplétion pour les applications faible bruit.

Title

« Study, realization and characterization of an E-HEMT on InP substrate with high static and dynamic performances, for low noise applications »

Abstract

The increasing needs of high frequency electronic systems combined with constant efforts in miniaturization require low noise and high frequency Field Effect Transistor with high operation voltage. For digital applications, enhancement mode HEMT is needed. The enhancement-mode metamorphic AlInAs/GaInAs HEMT on GaAs substrate developed in OMMIC in 2007 meet these requirements and it represents the starting point of our study. The aim of our work is to provide AlInAs/InGaAs E-HEMTs for low noise applications, on InP substrate in order to take advantage of its high electronic mobility, while maintaining high static and dynamic performances. We first optimized the structure, then we realized and characterized E-HEMTs which reach high cutoff frequencies, such as 204 GHz for F_T and 327 GHz for F_{MAX}, combined with a low noise figure of 0.96 dB and an associated gain of 13.2 dB at 30 GHz. These structures also show high static performances such as a 30 mV threshold voltage, a gate-to-drain breakdown voltage of –7 V, and a high transconductance of 1040 mS/mm. These results make this pseudomorphic E-HEMT on InP substrate at the state of the art of the enhancement mode HEMTs, and it even competes with the best low noise applications depletion mode HEMTs.