UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

ECOLE DOCTORALE DES SCIENCES POUR L'INGENIEUR DE LILLE

THESE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LILLE

Discipline :

Micro-Nanotechnologie, Acoustique et Télécommunication

Présentée et soutenue par

David FOURNIER

Le 25 juin 2010

Développement et étude de composants RF-LDMOS pour l'amplification micro-onde de puissance au-delà de 2 GHz

Jury :

Jean-Michel NEBUS	Rapporteur
Jean-Guy TARTARIN	Rapporteur
Christophe GAQUIERE	Directeur de thèse
Pascal CHEVALIER	Encadrant industriel
Eric BERGEAULT	Examinateur
Sylvain BOLLAERT	Examinateur
Damien DUCATTEAU	Examinateur
Jean-Luc MURARO	Examinateur

REMERCIEMENTS

Ces travaux de thèse ont été effectués dans le cadre d'une collaboration entre STMicroelectronics, Crolles et le laboratoire IEMN de Villeneuve d'Ascq. Je remercie Richard Fournel et Olivier Noblanc de m'avoir accueilli dans l'équipe R&D Process Integration de STMicroelectronics à Crolles.

Je remercie également Alain Chantre de m'avoir accueilli dans l'équipe « Advanced devices » ainsi que Pacal Chevalier de m'avoir guidé et soutenu tout au long de cette thèse. Je remercie ensuite bien évidemment Christophe Gaquière et Damien Ducatteau de m'avoir accueilli à l'IEMN.

Je les remercie également pour leurs explications et pour le grand nombre de mesures qu'ils m'ont fourni. J'en profite pour remercier toutes les personnes de l'IEMN qui m'ont chaleureusement accueilli lors de mes rares (et courtes) visites.

Je remercie également Laurence Boissonnet et Patrick Scheer du temps qu'ils ont eu à me consacrer et aux précieuses explications qu'ils m'ont données. Mes remerciements vont aussi vers toutes les personnes ayant permis l'aboutissement de ces travaux.

Enfin je remercie Greg, Luc, Hélène, Thomas, Pierre-Marie, Julien, Céline et tous les autres pour leurs « soutient hebdomadaire ».

INTRODUCTION GENERALE 9

CHAPITRE N°I : PRESENTATION GENERALE 15

I. Introduction 16

II. Les composants MOS 16
II.1. Le transistor MOS 16
II.1.a. La structure du transistor MOS 16
II.1.b. Principe de fonctionnement d'un transistor MOSFET 17
II.2. Les limitations des transistors MOSFET 20
II.2.a. Le perçage 20
II.2.b. L'avalanche 20
II.3. Les transistors MOSFET de puissance 21
II.3.a. Les transistors VMOS (*Vertical MOS*) 21
II.3.b. Les transistors VDMOS (Vertical Double diffused MOS) 22
II.3.c. Les transistors DMOS (*Double diffused MOS*) 23
II.3.d. Principaux facteurs de mérite statiques des transistors de puissance RF à extension de drain 24

III. Technologie CMOS utilisée comme base 28
III.1. Les composants 28
III.2. La longueur d'extension de drain 30
III.3. Adaptation pour substrat massif 32
III.4. Procédé de fabrication des transistors nLDEMOS 34

IV. Les amplificateurs de puissance 35
IV.1. Introduction 35
IV.2. Qu'est-ce qu'un amplificateur de puissance ? 36
IV.3. Les paramètres importants 37
IV.3.a. La fréquence de transition (F_T) 37
IV.3.b. La fréquence maximale d'oscillation (F_{max}) 37
IV.3.c. Rendement d'un amplificateur de puissance et rendement de puissance ajoutée 38
IV.3.d. Gain en puissance G_p et linéarité 38
IV.4. Classes de fonctionnement des amplificateurs de puissance 40
IV.4.b. Classes sinusoïdales 41
IV.4.c. Classes commutées, fonctionnement non-linéaire 45

V. Les mesures de puissance 47
V.1. Principe des mesures 47
V.1.b. Méthode de la charge passive 47
V.1.c. Méthode de la charge active 48
V.2. Mesures 50
V.2.a. Caractérisation préliminaire 50
V.2.b. Courbes obtenues 51
V.2.c. Problèmes d'instabilité 51

VI. Etat de l'art 53
VI.1. Comparaison de composants 53
VI.2. Objectifs et performances initiales 54

CHAPITRE N°II : INFLUENCE DU SUBSTRAT 57

I. Introduction 58

II. Description des substrats utilisés 59
II.1. Généralités 59

II.2. Les substrats SOI (substrats n°1, 2 et 3) 59
II.3. Les substrats en silicium massif (substrats n°4, 5 et 6) 62
II.3.a. Méthode de croissance Czochralski 62
II.3.b. Méthode de croissance *float-zone* 64

III. Problèmes rencontrés liés aux substrats 66
III.1. Problèmes de métrologie 66
III.2. Problème de planéité 67

IV. Ajustement des implantations 68
IV.1. Profils d'implantation 68
IV.1.b. Substrat n°2 : SOI 0.46 µm 69
IV.1.c. Substrat n°3 : SOI 1.36 µm 71

V. Résultats électriques 72
V.1. Dispositifs étudiés 72
V.2. Résultats DC 74
V.3. Résultats RF 76
V.4. Résultats load-pull 77
V.4.a. Impédance de charge de 50 Ω 77
V.4.b. Impédance de charge optimale en P_{out} 78
V.4.c. Cartographies à P_{inj} fixe 80

VI. Conclusion 82

CHAPITRE N°II : MODIFICATION DU DESSIN DES COMPOSANTS (*LAYOUT*) 85

I. Introduction 86

II. Descriptions des différentes structures étudiées 87
II.1. Structure standard 87
II.2. Structure simple ruban 88
II.3. Structure double ruban 90

III. Résultats électriques 91
III.1. Structure simple ruban 91
III.1.a. Résultats DC 91
III.1.b. Résultats hyperfréquences petits signaux 92
III.1.c. Résultats load-pull 93
III.2. Structure double ruban 96
III.2.a. Résultats DC 96
III.2.b. Résultats RF 96
III.2.c. Résultats load-pull 99

IV. Influence de la géométrie et performances 100
IV.1. Variations de L_g, L_{ext} et W_d 100
IV.1.a. Détails des variations géométriques 100
IV.1.b. Ensemble des résultats 101
IV.1.c. Variation de L_g (longueur de grille) 102
IV.1.d. Variations de L_{ext} (longueur d'extension du drain) 103
IV.1.e. Variation de W_d (longueur des doigts de grille) 104
IV.2. Etude load-pull à fort V_{ds} 106
IV.2.a. Composant à structure simple ruban [Ducatteau'10] 106
IV.2.b. Composants à structure double ruban 107

V. Conclusion 109

CHAPITRE N°V : COMPOSANTS A GRILLES METALLIQUES 111

I. Introduction **112**

II. Le procédé Damascène [Fiorenza'03] **112**
II.1. Description de la technologie 112
II.2. Résultats 114

III. Le procédé *PRETCH* **115**
III.1. Description de la technologie 115
III.2. Modification des composants 116

IV. 1ère approche : Méthode simple masque **118**
IV.1. Principe 118
IV.2. Mise en œuvre 119
IV.2.a. Route de fabrication 119
IV.2.b. Résultats 120

V. 2ème approche : Méthode double masque **122**
V.1. Principe 122
V.2. Mise en œuvre 123
V.3. Résultats 125

VI. Conclusion et perspective **129**

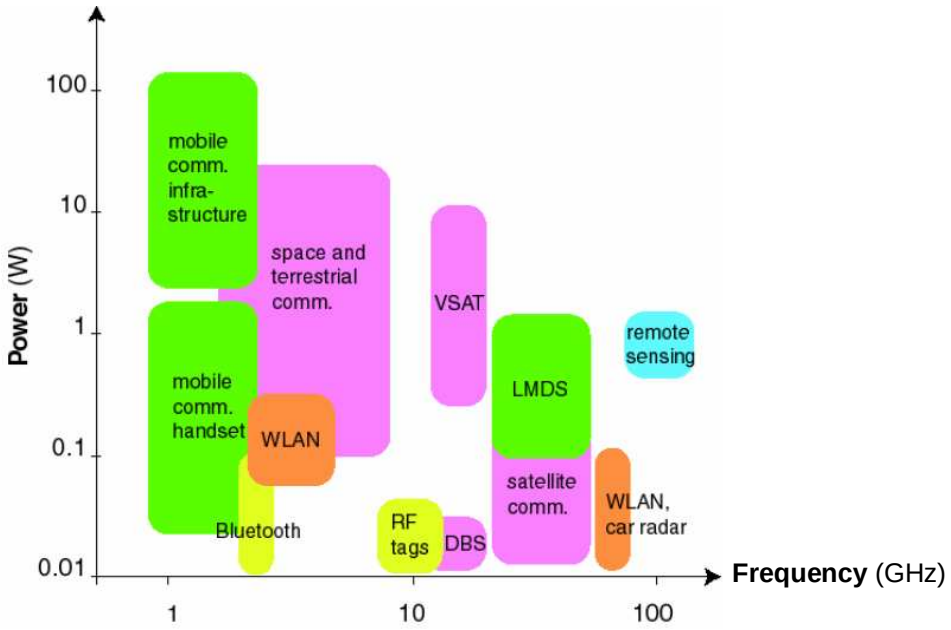
CONCLUSION GENERALE **131**

REFERENCES **137**

PUBLICATIONS **143**

INTRODUCTION GENERALE

Les progrès technologiques accomplis depuis la réalisation du premier transistor ont permis l'essor de nombreux secteurs économiques et notamment de celui des télécommunications sans fil. Cet essor est en fait piloté par la réduction des coûts de fabrication et notamment par la « pervasion » des technologies silicium qui après avoir dominé les applications numériques dominent aujourd'hui les applications analogiques. Cet objectif de réduction des coûts conduit à remplacer les semi-conducteurs composés (et plus particulièrement les III-V) par le silicium partout où cela est possible. Les amplificateurs de puissance sont les circuits pour lesquels cette substitution est la plus difficile de part les performances intrinsèques du silicium, inferieures à celles des semi-conducteurs composés.



Domaines de puissance et de fréquences utilisés par les différentes applications sans fil

Les transistors silicium LDMOS (*Lateral Drain MOS*) dominent déjà aujourd'hui le marché des amplificateurs de puissance pour les stations de base des communications mobiles fonctionnant à des fréquences entre 1 et 2 GHz (GSM en Europe). Comme le montre la figure ci-dessus ces transistors sont des composants (discrets) conçus pour fournir plusieurs dizaines de Watt et fonctionnant à des tensions de drain de plusieurs dizaines de Volt. A l'opposé, le marché des amplificateurs de puissance pour les combinés portables (adressant des niveaux de puissance bien inférieurs mais avec une contrainte beaucoup plus forte sur les rendements) reste dominé par les semi-conducteurs III-V, les transistors HBT et PHEMT GaAs étant utilisés dans les amplificateurs de puissances et les commutateurs d'antennes respectivement. Cette situation est cependant en train de changer puisqu'une technologie silicium sur isolant

(SOI, *Silicon-On-Insulator*) intégrant à la fois des composants LDMOS (pour l'intégration des fonctions de puissance) et des transistors CMOS (pour les fonctions de commutation d'antennes) est actuellement en cours de qualification à STMicroelectronics. Ces LDMOS sont polarisés à des tensions de drain bien inférieures (3.6V) à celles de leurs « cousins » des stations de base.

Les performances de ces transistors LDMOS à grille polysilicium, intégrés aux technologies CMOS, limitent cependant l'utilisation de ces composants à des amplificateurs fonctionnant à des fréquences inférieures à 2 GHz. L'objectif des travaux de thèse présentés dans ce manuscrit est d'étendre le domaine d'applications des LDMOS aux réseaux de communication sans fil (WLAN, cf. figure précédente) fonctionnant dans une gamme de fréquences de 3 à 5 GHz (WiMAX). Dans cette perspective nous avons identifié deux axes de travail sur lesquels nous avons focalisé nos efforts. Le premier est la détermination du substrat permettant d'atteindre les meilleures performances en puissance et de confronter ses performances à ses capacités d'intégration. Les substrats SOI sont en effet un élément clef pour l'intégration simultanée des amplificateurs de puissance et des commutateurs d'antenne. Le second axe de travail est la réduction de la résistance de grille R_g qui restreint de façon significative la fréquence maximale d'oscillation F_{max} et qui impacte négativement le rendement en puissance. Pour diminuer cette résistance de grille R_g, nous avons travaillé à la modification de la technologie de grille des composant, en modifiant d'une part les contacts de grilles et en développant d'autre part une technologie plus amont pour remplacer le polysilicium des grilles par un métal. Ces travaux sont résumés dans les quatre chapitres qui composent ce manuscrit.

Le premier de ces chapitres est dédié au transistor MOS. Il y est décrit le fonctionnement des transistors MOS, leurs différentes caractéristiques et leurs facteurs de mérites. La technologie CMOS 0.13 µm sur SOI qui a été utilisée comme base de nos travaux sur les transistors nLDEMOS (*n-type Lateral Drain Extension MOS*) est également détaillée. Ce chapitre s'achève par une présentation des généralités sur les amplificateurs de puissance et les mesures de puissance ainsi que par un état de l'art des transistors LDEMOS.

Le second chapitre est consacré à l'étude de l'influence du type de substrat sur les performances de transistors nLDEMOS. Les substrats SOI étant très intéressants pour la co-intégration « amplificateurs de puissance / commutateurs d'antennes », nous avons jugé utile d'étudier différents types de substrats SOI. Bien que n'ayant pas les mêmes avantages en terme d'intégration que les substrats SOI, nous avons également étudié l'influence de

substrats en silicium massif afin de définir leur potentiel et de comparer les performances obtenues avec celles des composants réalisés sur substrat SOI. Il y a donc dans ce second chapitre une description des substrats étudiés et des méthodes utilisées pour les réaliser, en plus de l'étude de l'influence de ces différents substrats sur les performances des transistors nLDEMOS.

Dans le troisième chapitre, de nouveaux transistors nLDEMOS ont été dessinés, fabriqués et étudiés. La majeure partie de ce chapitre porte sur la modification des contacts de grille et sur l'impact de cette modification sur les performances hyperfréquences petit et grand signal, le but étant d'augmenter ces performances tout en conservant des caractéristiques statiques (tension de seuil, tension de claquage, …) proches des composants initiaux. Des variations de paramètres géométriques tels que la longueur de grille (L_g) ou la longueur de l'extension de drain (L_{ext}) sont également étudiées. Enfin le chapitre se clôt par une étude à fort V_{ds} (> 3.6 V) dont l'objectif a été d'extraire une puissance de sortie (P_{out}) maximum.

Nous verrons enfin, dans le quatrième chapitre la fabrication de transistors LDEMOS à grille métalliques (ou *MG-LDEMOS, MG* pour *Metal-Gate*). Après avoir rappelé les résultats publiés dans littérature sur des transistors *MG*-LDEMOS fabriqués avec le procédé Damascène, nous présentons le procédé *PRETCH* (*Polysilicon Replacement Through Contact Hole*) que nous avons utilisé. Les modifications apportées à ce procédé pour l'adapter aux contraintes des transistors LDEMOS sont ensuite détaillées. Est également décrite dans ce chapitre la technologie développée pour intégrer la fabrication des transistors nLDEMOS à grilles métalliques dans une route de fabrication CMOS 0.13 µm standard, avec pour objectif supplémentaire de co-intégrer des transistors nLDEMOS à grilles métalliques avec des transistors CMOS « classiques » à grilles polysilicium. Nous présenterons enfin les premiers résultats des transistors *MG*-nLDEMOS et nous discuterons des perspectives de cette technologie.

Chapitre n°I : PRESENTATION GENERALE

I. Introduction

Le but de ce chapitre est de présenter les transistors MOS (Métal Oxyde Semi-conducteur) en général et plus particulièrement les composants MOS haute tension étudiés pendant la thèse. Par conséquent, ce chapitre va débuter par un rappel de la physique de la structure MOS classique afin de mieux comprendre le principe de fonctionnement du MOS haute tension. Nous décrirons ensuite la structure sur laquelle est basée notre étude, nous définirons ce qu'est un amplificateur de puissance et nous expliquerons le principe des mesures de puissance servant à caractériser les composants. Nous présenterons enfin l'état de l'art des composants MOS haute tension pour les amplificateurs de puissance RF intégrés jusqu'à 2 GHz.

II. Les composants MOS

II.1. Le transistor MOS

II.1.a. La structure du transistor MOS

Les premiers transistors métal oxyde semi-conducteur à effet de champ (MOSFET pour *Metal Oxide Semiconductor Field Effect Transistor*) ont été réalisés à la fin des années cinquante. Avant d'entrer un peu plus dans les détails, nous allons préciser qu'il existe deux types de transistors MOSFET qui peuvent être divisés en deux groupes.

Il existe des transistors MOSFET à canal de type n et ceux à canal de type p (respectivement les nMOS et les pMOS). Les deux groupes qui composent ces nMOS et pMOS sont les transistors naturellement bloqués ou naturellement passants (« naturellement » signifie ici « sans aucune polarisation »). Dans la suite de cette thèse, nous ne nous intéresserons qu'aux transistors nMOS naturellement bloqués. Par conséquent, tous les schémas, explications et résultats présentés par la suite seront pour ce type de composant uniquement.

La structure de base des transistors nMOSFET est la suivante (figure n°I.1).

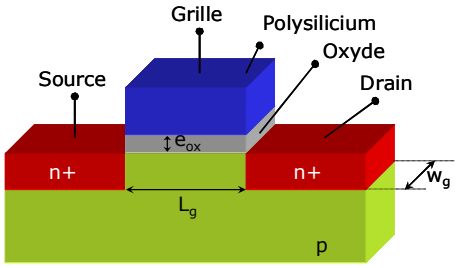


Figure n°I.1. Schéma de la structure de base d'un transistor nMOSFET

Celle-ci est réalisée à partir d'un substrat en semi-conducteur de type p, dans lequel deux régions fortement implantées n (les zones n+) définissent les électrodes de source et de drain. L'électrode de grille est obtenue à partir d'un oxyde de silicium (SiO_2) recouvert par une couche de polysilicium, elle-même fortement dopée n. Dans cette thèse, nous allons également étudier des transistors de type nMOS avec des grilles métalliques, dont la méthode de fabrication est décrite dans le chapitre IV.

Les paramètres géométriques importants d'une telle structure sont la longueur de grille L_g, sa largeur W_g ainsi que l'épaisseur de l'oxyde de grille e_{ox}.

II.1.b. Principe de fonctionnement d'un transistor MOSFET

Le fonctionnement d'un transistor MOSFET se décompose en trois régimes qui sont les régimes bloqué, linéaire et saturé comme le montrent les graphiques suivants représentants les caractéristiques de transferts idéales d'un transistor nMOSFET (figure n°I.2)

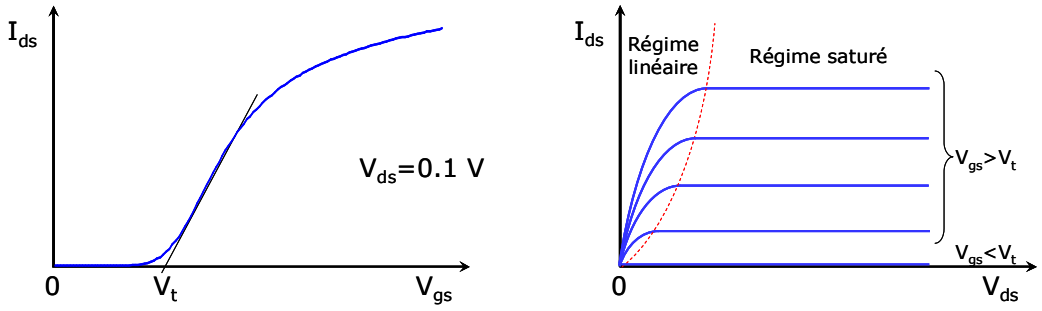


Figure n°I.2. Caractéristiques de transfert idéales d'un transistor nMOSFET

- Le régime bloqué

Le régime bloqué représente l'état du composant lorsqu'il n'y a aucune polarisation à ses électrodes. Le transistor peut alors être assimilé à deux jonctions p-n tête-bêche (figure n°I.3). En théorie, il n'y a aucun courant qui circule dans le composant, mais comme nous ne

sommes pas dans le cas idéal, il existe un courant de fuite appelé I_{off} qui doit être le plus petit possible.

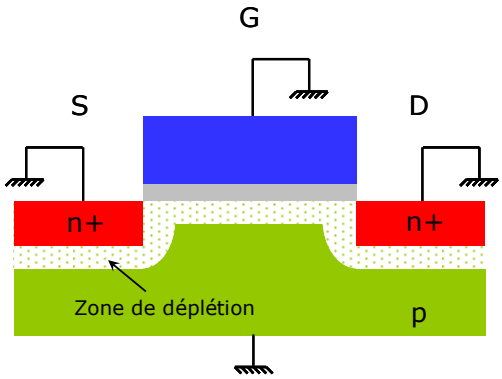


Figure n°I.3. Coupe schématique d'un transistor nMOSFET en régime bloqué

- Le régime linéaire

Lorsqu'une tension positive appliquée à la grille est supérieure à une certaine valeur (appelée tension de seuil V_t), il y a apparition d'une couche d'inversion sous l'oxyde de grille (figure n°I.4). Cette couche d'inversion correspond à un canal reliant la source au drain et dans lequel le courant va pouvoir circuler librement.

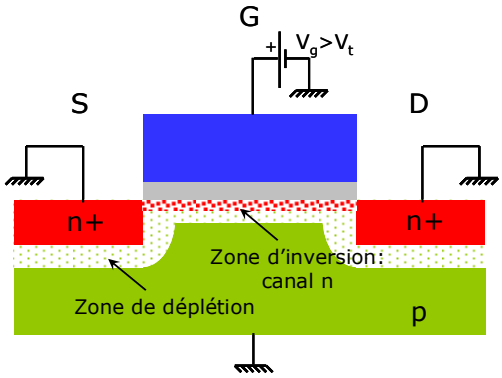


Figure n°I.4. Coupe schématique d'un transistor nMOSFET lors de l'ouverture du canal

Si une tension positive est appliquée sur le drain lorsque le canal est ouvert, un courant va circuler dans ce dernier entre le drain et la source. La variation de la tension V_{ds} modifie la zone de déplétion côté drain et influe ainsi sur la conductance du canal. Le courant traversant le canal est proportionnel à V_{ds} tant que celle-ci reste relativement faible ($V_{ds}<V_{gs}-V_t$). Le transistor fonctionne alors en régime linéaire et se comporte comme une résistance contrôlée par la tension de grille V_{gs} (figure n°I.5).

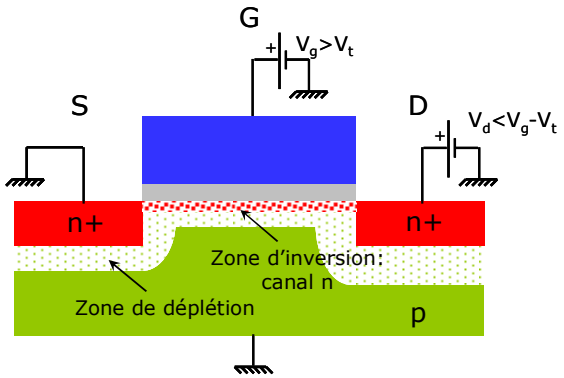


Figure n°I.5. Coupe schématique d'un transistor nMOSFET fonctionnant en régime linéaire

- Le régime de saturation

Lorsque V_{ds} augmente, elle atteint une valeur dite de saturation ($V_{ds\ sat}=V_{gs}-V_t$) pour laquelle le champ électrostatique entre le substrat et la grille s'inverse localement au voisinage du drain : c'est le point de pincement. Toute augmentation de la tension V_{ds} au-delà de la tension de saturation conduit à une disparition encore plus précoce du canal d'électrons (figure n°I.6), et à une augmentation faible voire nulle du courant. Dans ce domaine, le courant de drain n'est plus proportionnel à V_{ds} et atteint une valeur de saturation $I_{ds\ sat}$: c'est le régime saturé.

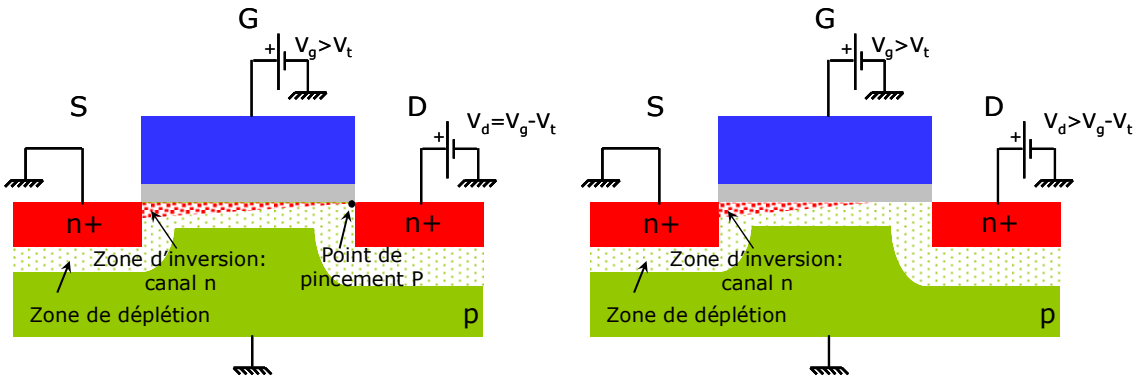


Figure n°I.6. Coupes schématiques d'un transistor nMOSFET représentants le moment où le canal est pincé (à gauche) et le fonctionnement en régime saturé (à droite)

II.2. Les limitations des transistors MOSFET

Les transistors MOSFET destinés à des applications de puissance ont leurs performances limitées par des phénomènes de perçage et d'avalanche, qui ont lieu respectivement aux jonctions drain – source et drain – substrat.

II.2.a. Le perçage

A mesure que la tension drain (V_{ds}) augmente, la zone de déplétion de celui-ci augmente également jusqu'à s'approcher de la zone de déplétion du côté source (figure n°I.7). Si V_{ds} devient suffisamment élevée, il peut se créer une jonction entre les deux zones de déplétion : c'est le phénomène de perçage. Dans un tel cas, le comportement du transistor est très fortement dégradé et une injection de porteurs peut avoir lieu entre les deux électrodes de source et de drain si la longueur de grille est faible.

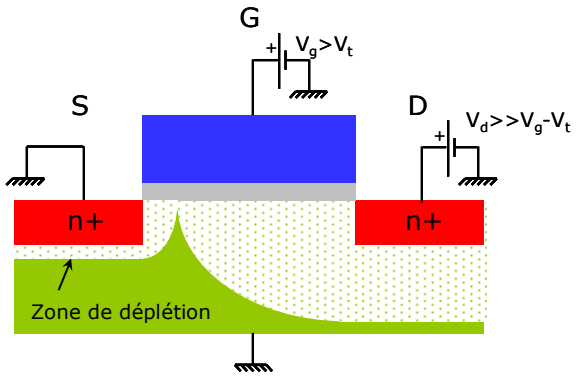


Figure n°I.7. Coupe schématique du phénomène de perçage d'un transistor nMOSFET

II.2.b. L'avalanche

Le phénomène d'avalanche d'un transistor MOSFET se fait dans la diode formée entre le drain et le substrat. Il se produit dans la zone de déplétion côté substrat car celle-ci est plus importante en raison d'un dopage plus faible et d'un champ électrique maximal localisé à l'interface de la jonction p/n+ côté drain figure n°I.8). A mesure que la tension V_{ds} augmente, le champ électrique augmente jusqu'à ce que se déclenche l'avalanche, qui peut être atteint pour des valeurs de V_{ds} relativement faibles. En effet, le champ électrique côté drain augmente très rapidement lorsque V_{ds} dépasse la tension de saturation $V_{ds\,sat}$.

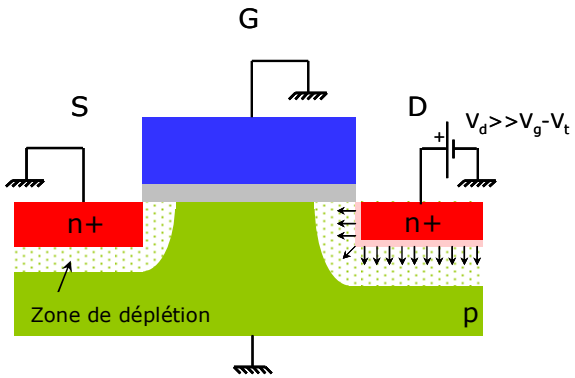


Figure n°I.8. Coupe schématique d'un transistor nMOSFET lors de l'application d'un fort V_{ds} avec la grille et la source à la masse

II.3. Les transistors MOSFET de puissance

Des transistors MOSFET ont été spécialement élaborés afin de minimiser les phénomènes limitatifs de perçage et d'avalanche pour permettre leur utilisation pour des applications de puissances. Ces transistors peuvent être répartis selon trois groupes principaux qui sont les DMOS, les VMOS et les VDMOS.

II.3.a. Les transistors VMOS (*Vertical MOS*)

Les premiers transistors MOSFET de puissance testés au début des années 70 étaient des VMOS (figure n°I.9). Ces transistors étaient caractérisés par des sillons en forme de « V » qui formaient les grilles. Ces sillons étaient obtenus par gravure anisotrope selon les plans <111> du silicium.

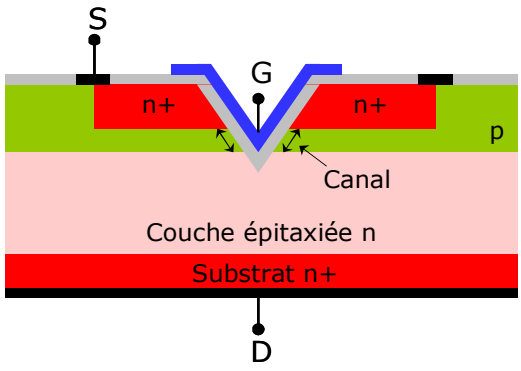


Figure n°I.9. Coupe schématique d'un transistor VMOS

Une autre de leurs caractéristiques est le fait d'avoir l'électrode de drain en face arrière alors que celles de grille et de source sont en face avant. Cette configuration permettait d'augmenter la densité d'intégration. Elle a été abandonnée à cause des difficultés de gravure des sillons et du fort champ électrique qui apparaissait à la pointe de ceux-ci. D'autres transistors MOS de puissance sont issus des VMOS, il s'agit des UMOS qui sont similaires aux VMOS à l'exception du sillon qui est en forme de « U » [Müller'06].

II.3.b. Les transistors VDMOS (Vertical Double diffused MOS)

Les transistors VDMOS (figure n°1.10) sont des transistors doublement diffusés à structure verticale, c'est-à-dire que l'électrode de drain est située en face arrière (le courant va donc traverser le composant) et que le canal est défini par la diffusion de l'implantation du *p-body*. Contrairement aux composants VMOS, les VDMOS peuvent être réalisés sur n'importe quelle orientation cristalline. Ainsi le choix d'une surface orientée <100> pour un transistor DMOS permet une amélioration de 20% de la mobilité des électrons dans la couche inversée et de 15% de la vitesse limite de saturation de ces électrons dans cette même couche inversée par rapport aux transistors VMOS équivalents [Sun'72]. Il en résulte une résistance à l'état passant plus faible et une transconductance plus importante par unité de surface.

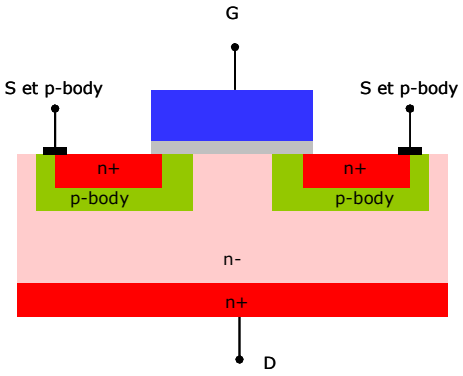


Figure n°I.10. Coupe schématique d'un transistor VDMOS

Ces structures verticales ont un avantage certain en terme de consommation de surface, mais elles ne sont pas favorables à l'intégration, ce qui les rend incompatibles avec une technologie CMOS avancée. Par conséquent, d'autres composants MOSFET de puissance ont été réalisés : les DMOS ou transistors MOS doublement diffusés.

II.3.c. Les transistors DMOS (*Double diffused MOS*)

Dans les transistors DMOS (de même que les VDMOS), la longueur du canal est déterminée par la différence entre la diffusion de la région *p-body* et celle de la source (figure n°I.11). Ces dispositifs nécessitent donc une implantation supplémentaire spécifique. La longueur du canal n'est plus déterminée par la longueur de la grille, ce qui autorise la réalisation de canaux très courts. De part leur nature coplanaire, les transistors DMOS sont aisément adaptés à l'intégration et compatibles avec les technologies CMOS avancées, ce qui fait d'eux d'excellent candidat pour assurer la partie puissance d'un circuit intégré. De plus, les composants DMOS peuvent être réalisés sur des substrats de type SOI (*Silicon On Insulator*), ce qui n'est pas le cas des structures verticales.

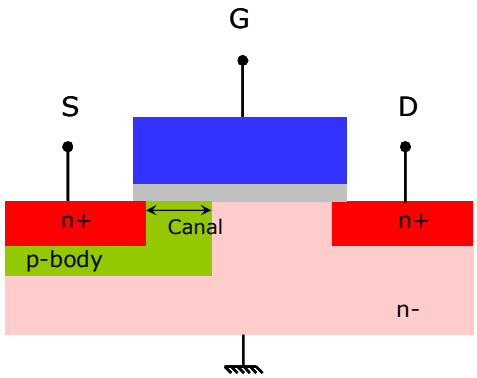


Figure n°I.11. Coupe schématique d'un transistor DMOS

Les composants que nous allons étudier dans cette thèse sont issus des transistors MOS à double diffusion pour lesquels les électrodes de drain ont été éloignées de la grille afin de permettre l'augmentation de la tension de claquage BV_{ds}. Ces composants sont nommés LDEMOS (pour *Lateral Drain Extension MOS*). Leur structure (figure n°I.12-a) est décrite en détails dans le paragraphe III concernant la technologie utilisée comme point de départ pour la réalisation de nos composants.

Il existe différentes façon d'utiliser cette extension pour augmenter la tension de claquage des composants. L'une d'elle consiste à placer une tranchée d'isolation entre la grille et le drain afin d'éliminer les effets de champs en surface qui limitent la tenue en tension (composants LUDMOS, figure n°I.12-b). Un autre composant dérivé des transistors DMOS à extension utilise des îlots flottants qui sont dopés de façon opposée au dopage de la zone d'extension (composant FLIMOS, figure n°I.12-c). Ces îlots permettent d'améliorer la répartition du potentiel par lissage du champ électrique le long du transistor. L'inconvénient

de ce type de transistor réside dans la place requise pour insérer les îlots. Le point commun entre ces composants est la présence d'une couche de protection sur la zone d'extension qui empêche la siliciuration de cette zone et évite ainsi que celle-ci soit court-circuitée.

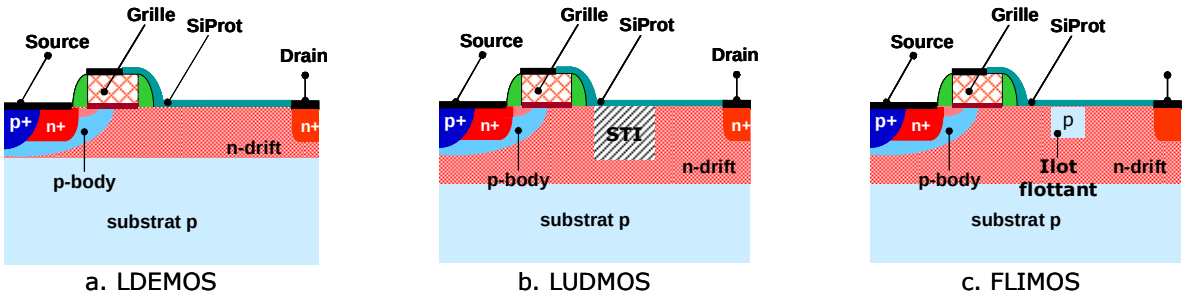


Figure n°I.12. Demi-coupes schématiques des transistors LDEMOS (a), LUDMOS (b) et FLIMOS (c)

II.3.d. Principaux facteurs de mérite statiques des transistors de puissance RF à extension de drain

- Tension de seuil V_t

La tension de seuil correspond à la valeur de la tension appliquée à la grille à partir de laquelle le canal se créé, ce qui permet au courant de circuler entre la source et le drain. Cette valeur est imposée par la zone du *p-body* qui présente la plus grande concentration de dopant ($N_{a\,max}$, figure n°I.13). L'expression de la tension de seuil est la suivante :

$$V_t = \Phi_{ms} - \frac{Q_{SS}}{C_{ox}} + 2\Phi_F + 2\sqrt{(qN_{a\max}\varepsilon_S\Phi_F)}/C_{ox} \qquad \text{Equation n°1}$$

Où Φ_{ms} est le travail de sortie métal semi-conducteur, $\frac{Q_{SS}}{C_{ox}}$ la tension correspondant à l'effet des charges à l'interface, Φ_F le niveau de Fermi pour $N_{a\,max}$, q la charge élémentaire et ε_S la constante diélectrique du silicium.

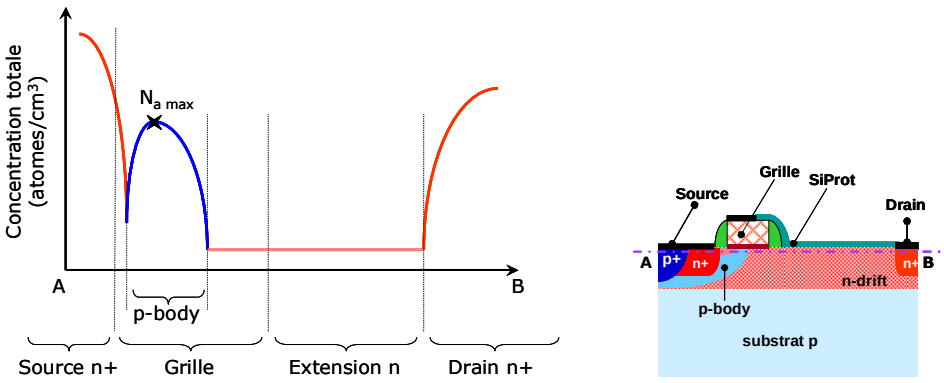


Figure n°I.13. Profil de dopage d'un transistor de type nLDEMOS

La tension de seuil est extraite de la courbe I_{ds} en fonction de V_{gs} à V_{ds}=0.1 V comme indiqué sur la figure n°I.2.

- Courant de saturation $I_{ds\ sat}$ ou I_{on}

Le courant de saturation est la valeur maximale que prend le courant circulant entre le drain et la source pendant le régime de fonctionnement saturé. Il peut s'exprimer en fonction de la tension de seuil V_t par la relation suivante :

$$I_{on} = \frac{W}{2L_c}\mu_n C_{ox}\left(V_{gs} - V_t\right)^2$$

avec L_c correspondant à la longueur du canal, W à sa largeur, C_{ox} à la capacité de l'oxyde de grille et μ_n la mobilité des électrons. Le courant de saturation est généralement extrait de la courbe $I_{ds}(V_{ds})$ à V_{gs} constante fixée à 2.5 V dans notre cas.

- Tension de claquage BV_{ds}

La tension de claquage BV_{ds} correspond à la valeur de la tension V_{ds} à partir de laquelle le champ électrique entre le drain et le substrat atteint une valeur critique > 5×10^5V/cm. Cette valeur est critique car l'accélération acquise par quelques porteurs soumis à un champ électrique de 5×10^5V/cm est suffisante pour leur permettre de créer des paires électron-trou par ionisation par impact. Les porteurs ainsi libérés accélèrent à leur tour, créent d'autres paires et ainsi de suite. C'est l'effet d'avalanche et la dégradation du composant. La tension de claquage BV_{ds} peut être extraite de la caractéristique I_{ds} en fonction de V_{ds} à V_{gs}=0V comme illustré sur la figure suivante.

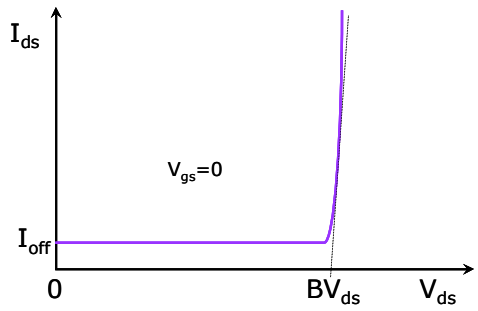


Figure n°I.14. Caractéristique I_{ds} en fonction de V_{ds} à V_{gs}=0V d'un transistor MOSFET

La tension de claquage peut être exprimée par la relation

$$BV_{ds}^{Av} = \frac{\varepsilon.E_c^2}{2qN_a} + \frac{\varepsilon.E_c^2}{2qN_d}$$

avec ε_S qui est la constante diélectrique du silicium, N_a et N_d sont les concentrations des éléments dopants (respectivement au *p-body* et *n-drift*) et q est la charge élémentaire électrostatique et E_c le champ électrique de claquage.

- Courant de fuite I_{off}

I_{off} correspond au courant qui circule entre le drain et la source lorsque le transistor est en régime bloqué. Ce courant peut être extrait du même graphique que BV_{ds} comme cela est indiqué sur la figure n°I.14. En pratique, I_{off} est généralement mesuré à V_{ds}=5 V.

- Résistance à l'état passant R_{on}

La résistance à l'état passant R_{on} indique le niveau de performance du composant, car de sa valeur dépendent les pertes en conduction du transistor considéré. Elle est définie par l'équation suivante pour une tension appliquée sur la grille de 2.5 V :

$$R_{on} = \left(\frac{V_{ds}}{I_{ds}}\right)_{V_{ds}\to 0}$$

Elle peut être considérée comme la somme de trois résistances en série comme indiqué sur la figure n°I.15.

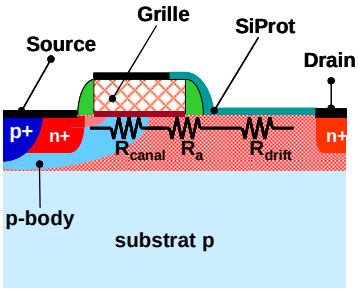


Figure n°I.15. Schéma représentant les trois résistances qui composent R_{on}

ce qui nous donne $R_{on}=R_{canal} + R_a + R_{drift}$, avec R_{canal} qui correspond à la résistance du canal dans la zone *p-body*, R_a est la résistance de la couche d'accumulation (ou couche d'accès) qui apparaît lorsque la polarisation entre la grille et le drain est positive et R_{drift} est la résistance de la zone d'extension *n-drift*. En pratique, R_{on} est calculée en mesurant I_{ds} lorsque V_{ds} et V_{gs} valent respectivement 0.1 V et 2.5 V. Comme la valeur en elle-même de R_{on} n'est pas très significative, elle est généralement associée à la surface du composant ($S.R_{on}$ exprimé en $m\Omega.mm^2$) ou à la largeur totale de la grille ($W.R_{on}$ exprimé en $m\Omega.mm$).

III. Technologie CMOS utilisée comme base

III.1. Les composants

Les composants LDEMOS que nous avons utilisés comme point de départ sont issus de la technologie HCMOS9SOI, qui signifie :

- H pour *High performances*: hautes performances
- CMOS pour *Complementary MOS*: présence de composants MOS de type n et p
- 9 pour la génération technologique correspondant à une longueur minimale de grille de 0.13µm
- SOI (*Silicon On Insulator*) pour préciser que les composants sont réalisés sur substrat SOI mince (avec une couche active d'environ 160 nm)

Il s'agit donc de la technologie utilisée pour fabriquer des composants MOS hautes performances de 0.13µm de longueur de grille sur substrat SOI mince. Dans notre cas, la partie sur laquelle nous avons concentré nos efforts est celle concernant la fabrication des composants nLDEMOS, en s'assurant toutefois de préserver la fonctionnalité du cœur CMOS de base. La structure des composants nLDEMOS telle qu'elle est réalisée en technologie HCMOS9SOI est la suivante (figure n°I.16) :

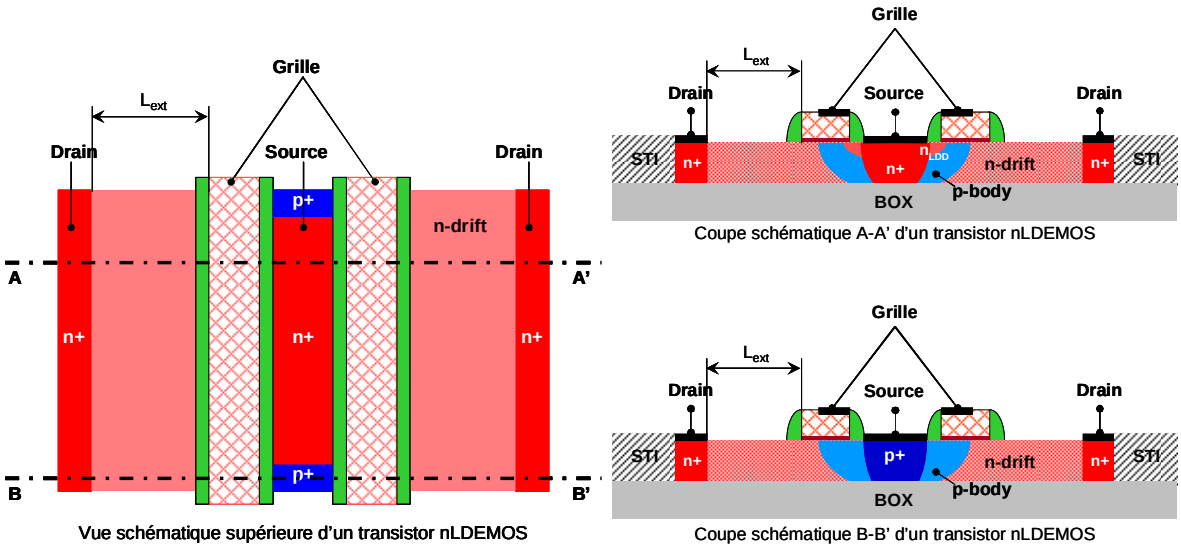


Figure n°I.16. Représentations schématiques de la structure d'un transistor nLDEMOS réalisée en technologie HCMOS9SOI

Ces composants nLDEMOS possèdent une extension de drain (L_{ext}) qui permet d'augmenter leur tension de claquage BV_{ds} en modifiant la résistance d'accès comprise entre le drain et la grille. Cette zone située entre le drain et la grille est faiblement dopée n et est appelée *n-drift*. Pour éviter que la zone *n-drift* ne soit court-circuitée, elle est recouverte d'une couche protectrice qui empêche la siliciuration permettant la prise de contact (voir le paragraphe III.4 sur le procédé de fabrication des transistors nLDEMOS).

De plus, l'implantation *p-body* qui détermine le canal (au travers de $N_{a\ max}$, cf équation n°1) sert à calibrer la tension de seuil V_t indépendamment des autres implantations et elle est auto-alignée sur la grille.

En définitive, seules deux étapes de photolithographie sont ajoutées au procédé de fabrication CMOS standard pour réaliser ces transistors nLDEMOS. La première se situe juste après la formation des zones actives et concerne la zone *n-drift*. La seconde, qui concerne la formation de la zone *p-body*, se situe juste après la gravure servant à définir la grille (figure n°I.17).

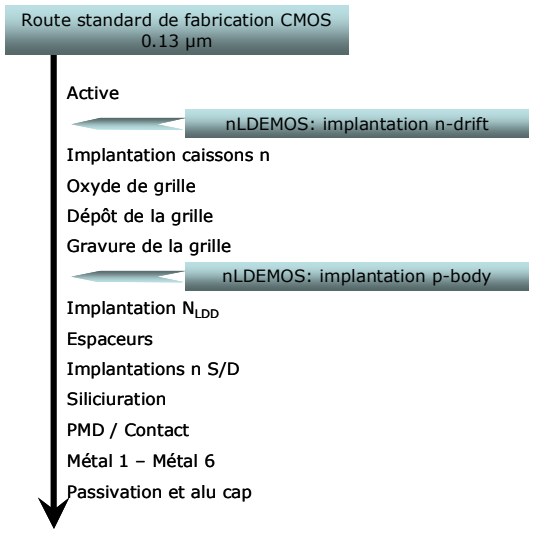


Figure n°I.17. Procédé de fabrication CMOS standard avec l'option nLDEMOS

Les transistors nLDEMOS possèdent des petites zones fortement dopées p situées entre les deux grilles (voir figure n°I.16). Ces implantations permettent de contrôler le potentiel du *p-body* et d'éviter ainsi des problèmes liés au phénomène du substrat flottant. Ces problèmes peuvent être l'effet *Kink* (ou activation d'un transistor bipolaire parasite entre le drain et la source) [Gallon'07].

- L'effet *Kink*

Ces problèmes apparaissent à fort V_d et se caractérisent en régime statique par un excès de courant sur les caractéristiques $I_d(V_d)$. Des paires électron-trou sont générées par les collisions des porteurs avec le réseau (ionisation par impact). Dans le cas d'un dispositif nLDEMOS, les électrons (porteurs minoritaires) sont évacués par le drain alors que les trous (porteurs majoritaires) rejoignent le corps du transistor (zone de plus faible potentiel) où ils sont stockés. Cette zone va se charger jusqu'à la mise en direct de la jonction source / *p-body* qui va permettre de les évacuer. La tension de seuil diminue, le courant de drain augmente (apparition d'un coude sur les caractéristiques $I_d(V_d)$ lorsque V_d devient suffisamment fort).

III.2. La longueur d'extension de drain

Il a été dit précédemment que l'extension apportée entre l'électrode de drain et la grille permet d'augmenter la tension de claquage des transistors nLDEMOS. Il est naturel de penser que cette longueur peut être étendue à volonté pour ainsi créer des composants avec des tensions de claquage de plus en plus élevées.

Mais la réalité est toute autre. En effet, si l'on observe la figure n°I.18, qui représente la tension de claquage BV_{ds} en fonction de la longueur d'extension L_{ext}, nous observons deux comportements bien distincts. Le premier où la tension de claquage augmente avec L_{ext} et le second où la tension de claquage n'évolue plus en fonction de L_{ext}.

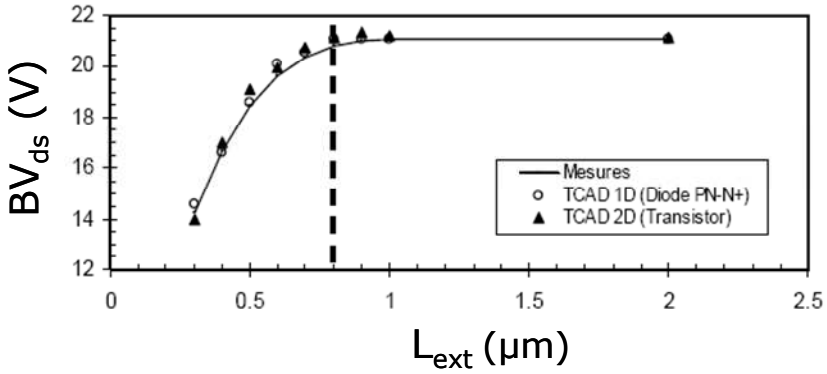


Figure n°I.18. Tension de claquage en fonction de l'extension de drain pour la technologie 130 nm SOI, une diode PiN simulée (1D) et un transistor 130 nm SOI simulé (2D) [Bon'08]

L'explication de ces comportements peut se faire en étudiant la physique de claquage d'une jonction PiN par simulations unidimensionnelles car nous pouvons, en effet, assimiler le transistor nLDEMOS à ce type de jonction (p / n- / n+). Pour cela, nous allons observer le champ électrique au claquage pour une jonction PiN en fonction de la longueur d'extension qui correspond à la zone implantée n- (figure n°I.19).

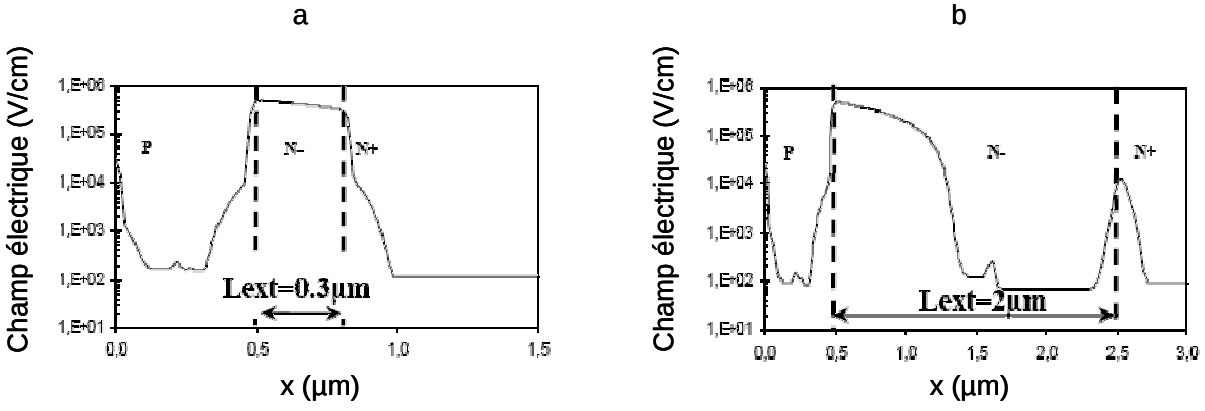


Figure n°I.19. Répartition du champ électrique au claquage suivant la longueur d'extension dans une diode PiN (simulation 1D) [Bon'08]

L'avalanche, et donc le claquage, se produit lorsque le champ électrique atteint une valeur critique de 5×10^5 V/cm.

Pour des longueurs d'extension inférieures à 0.8µm (figure n°I.19-a), le champ électrique au claquage est réparti sur toute la longueur d'extension. Il s'agit dans ce cas d'un claquage en limitation de zone de charge d'espace (LZCE). Lorsque la longueur d'extension est supérieure à 0.8 µm (figure n°I.19-b), le champ électrique atteint sa valeur critique avant d'arriver au drain et il s'agit dans ce cas d'un claquage en avalanche « classique ». Le cas optimal est atteint lorsque le champ électrique vient juste toucher le drain puisque la tension de claquage ne peut plus augmenter avec la longueur d'extension. Ces deux comportements sont régis par les équations suivantes :

Dans le cas d'un claquage LZCE : $BV_{ds} = \frac{\varepsilon . E_c^2}{2qN_a} + E_c L_{ext} - \frac{qN_d L_{ext}^2}{2\varepsilon}$

Dans le cas d'un claquage avalanche « classique » : $BV_{ds} = \frac{\varepsilon . E_c^2}{2qN_a} + \frac{\varepsilon . E_c^2}{2qN_d}$

avec BV_{ds} qui est la tension de claque drain – source du transistor considéré, E_c est le champ électrique de claquage, N_a et N_d sont respectivement les concentrations de dopants dans les régions *p-body* et *n-drift*. L_{ext} est la longueur d'extension du drain, q est la charge élémentaire électrostatique et ε la constante diélectrique du silicium.

III.3. Adaptation pour substrat massif

Les composants nLDEMOS présentés précédemment (figure n°I.16) sont destinés à être réalisés sur des substrats SOI minces (l'épaisseur de la couche active est d'environ 160 nm). Dans le cadre de l'étude sur l'influence du substrat, il fut donc nécessaire de modifier la structure de ces composants pour qu'ils puissent être réalisés sur des substrats massifs et SOI épais (avec des couches actives dont l'épaisseur est supérieure à 1 µm).

Nous avons par conséquent ajouté des tranchées profondes d'isolation (DTI pour *Deep Trench Isolation*) autour des composants dans le but de les isoler en profondeur les uns par rapport aux autres.

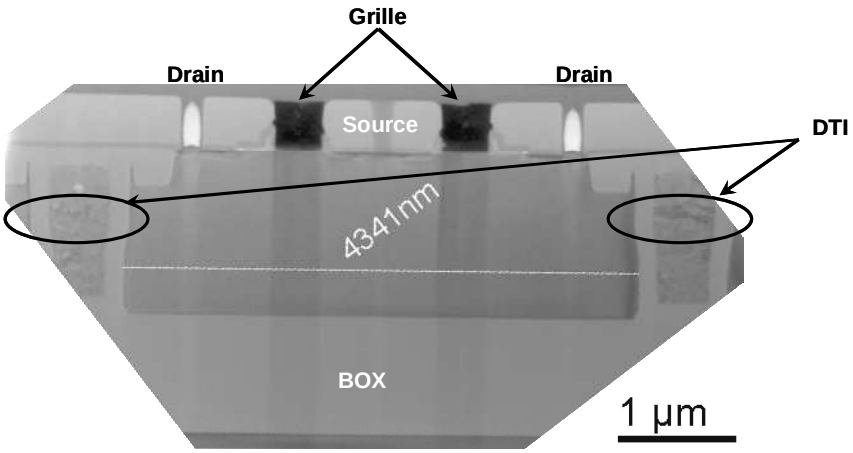


Figure n°I.20. Image TEM d'un transistor nLDEMOS en cours de fabrication sur substrat SOI 1.36 µm avec présence de DTI

Nous avons également modifié les prises de contact du *p-body* d'une configuration dénommée multi-p+ en une configuration en barreau p+ (figures n°I.16 et n°I.21), inspirée de la disposition des prises p+ réalisée dans la technologie BiCMOS7RF. Il semblerait en effet que la configuration multi-p+ ne soit pas favorable aux transistors réalisés sur substrat massif et qu'elle réduise fortement la tension de claquage des composants (figure n°I.22). Ce claquage prématuré (qui peut être assimilé à un second effet *Kink*) vient de l'activation du transistor bipolaire parasite (source / *p-body* / drain) parce que les trous générés par ionisation ne sont pas entièrement évacués dans une configuration multi-p+ [Müller'06]. Toutefois, nous n'avons pas eu l'occasion d'observer ce claquage prématuré et nous supposons que ce phénomène n'est pas systématique ou propre à la technologie BiCMOS7RF qui possède entre autres des implantations et un budget thermique différent de la technologie HCMOS9 que nous avons utilisée comme base.

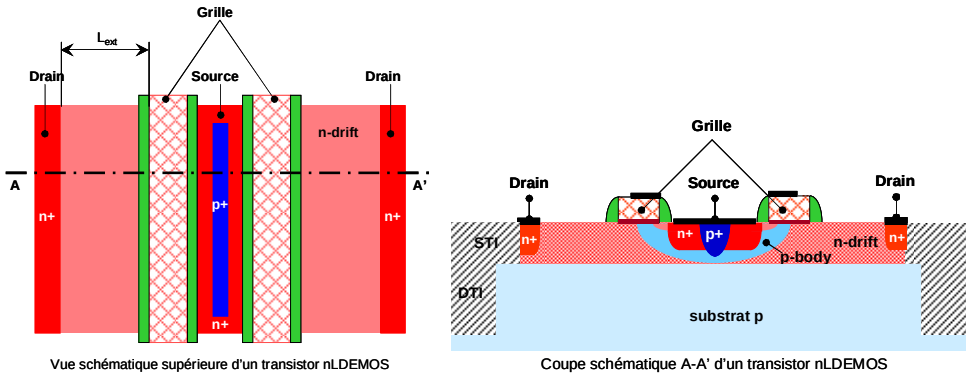


Figure n°I.21. Représentations schématiques de la structure d'un transistor nLDEMOS adapté pour substrat massif

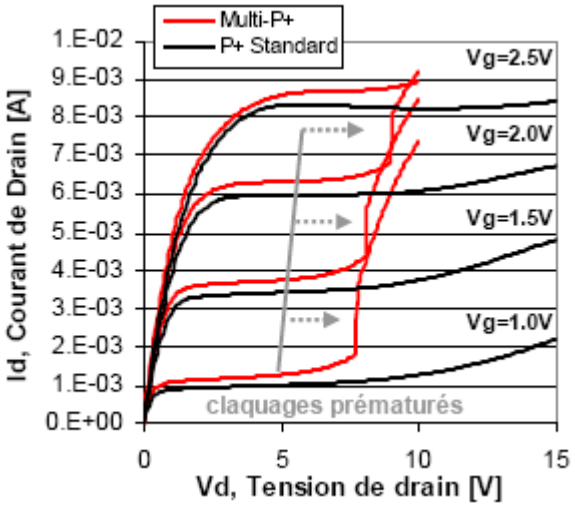


Figure n°I.22. Caractéristiques de sortie de transistors nLDEMOS en configuration standard et multi-p+ sur substrat massif [Müller'06]

III.4. Procédé de fabrication des transistors nLDEMOS

Les transistors nLDEMOS que nous avons fabriqués ont été réalisés sur des substrats de type p. Les premières opérations servent à construire les tranchées profondes d'isolation (DTI) qui sont renforcées en surface par les tranchées d'isolation peu profondes (STI pour *Shallow Trench Isolation*). Cette étape permet d'isoler électriquement les composants entre eux.

L'étape suivante consiste à implanter la zone *n-drift* (figure n°I.23-a) qui permet, en fonction du niveau de dopage, de moduler la tension de claquage BV_{ds} des transistors ainsi que leur résistance à l'état passant R_{on}.

L'oxyde de grille est ensuite réalisé par traitement thermique et est recouvert par le polysilicium. Ces deux couches, une fois gravée vont définir l'électrode grille des composants nLDEMOS (figure n°I.23-b). L'épaisseur de l'oxyde de grille dans notre cas est de 50 Å, ce qui autorise des tensions sur grille jusqu'à 2.5 V. Une fois la grille achevée, le canal est réalisé par l'implantation du *p-body* (figure n°I.23-c). La limite du canal est déterminée par l'implantation *p-body* elle-même ainsi que par sa diffusion déterminée par le budget thermique de la technologie. Des espaceurs (dépôt de nitrure auto-aligné sur la grille et gravure anisotrope) sont ensuite formés de part et d'autre de la grille (figure n°I.23-d) et les zones de source, drain et prises de contact du *p-body* sont implantées (figure n°I.23-e). Une des dernières étapes spécifiques de la fabrication des transistors nLDEMOS est la formation

de la couche appelée SiProt sur la zone d'extension du drain (figure n°I.23-f). Cette couche, constituée de la superposition d'un oxyde et d'un nitrure protège la zone d'extension du drain contre la siliciuration. La suite du procédé de fabrication consiste à siliciurer les zones de silicium et polysilicium non protégées par le *SiProt* (figure n°I.23-g), à réaliser les contacts électriques puis les différents niveaux de métallisation en cuivre, au nombre de six dans cette technologie.

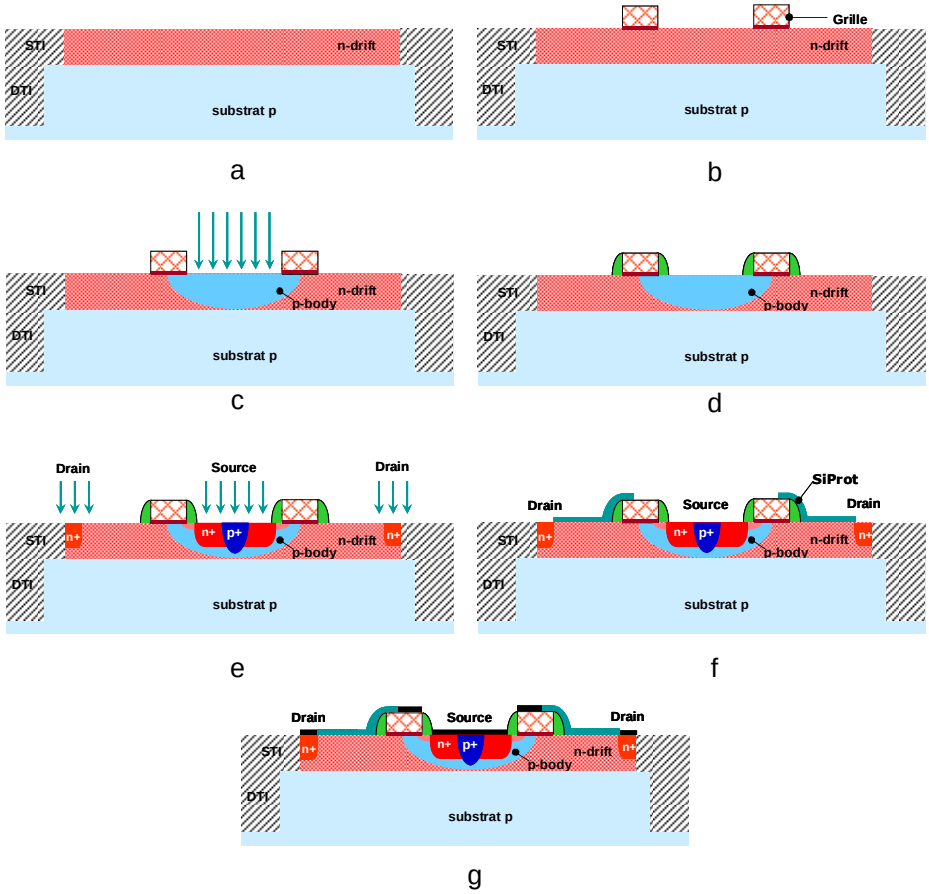


Figure n°I.23. Représentations schématiques des principales étapes de fabrication d'un transistor nLDEMOS

IV. Les amplificateurs de puissance

IV.1. Introduction

Un des objectifs de cette thèse étant d'étudier le comportement des transistors nLDEMOS lorsqu'ils sont utilisés en tant qu'amplificateur de puissance, nous devons donc définir ce qui se cache derrière ce nom. Nous allons donc dans un premier temps définir ce qu'est un amplificateur de puissance, nous donnerons ensuite les différents paramètres

importants les plus fréquemment utilisés et enfin les différentes classes de fonctionnement, classes qui ont énormément d'influence sur les performances d'un amplificateur.

IV.2. Qu'est-ce qu'un amplificateur de puissance ?

Il arrive que la tension, l'intensité ou la puissance délivrée par un dipôle actif soit insuffisante pour l'application recherchée. Il devient alors impératif de placer entre ce dipôle et sa charge un quadripôle amplificateur qui va amener la grandeur considérée à une valeur convenable. Pour la puissance, ces quadripôles sont appelés amplificateurs de puissance ou PA (pour *Power Amplifier*).

Ces composants ont pour rôle de convertir une énergie continue en une énergie RF contenant le signal à transmettre. Mais l'énergie fournie par l'alimentation (P_{DC}) n'est pas entièrement transmise à la charge. Une partie de cette énergie est, en effet, plus ou moins dissipée sous forme thermique par le dispositif actif ($P_{dissipée}$). La figure suivante (figure n°I.24) représente le bilan des puissances d'un PA.

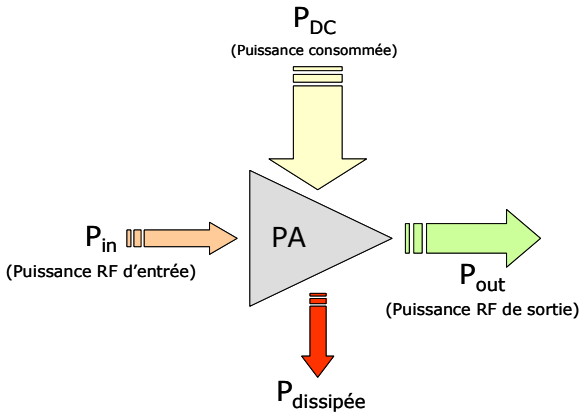


Figure n°I.24. Bilan des puissances d'un amplificateur de puissance

La problématique d'un amplificateur de puissance consiste à trouver le moyen le plus efficace pour délivrer une puissance RF à une charge qui est généralement une antenne. Les compromis de la conception d'amplificateur de puissance sont la linéarité, le gain en puissance, la puissance de sortie et l'efficacité. L'amplificateur de puissance représente un bloc particulièrement critique et complexe de la chaîne d'émission de part sa consommation élevée et les forts niveaux de signal qu'il doit gérer. Cette chaîne d'émission dans laquelle l'amplificateur de puissance joue un rôle actif est illustrée par la figure n°I.25 suivante.

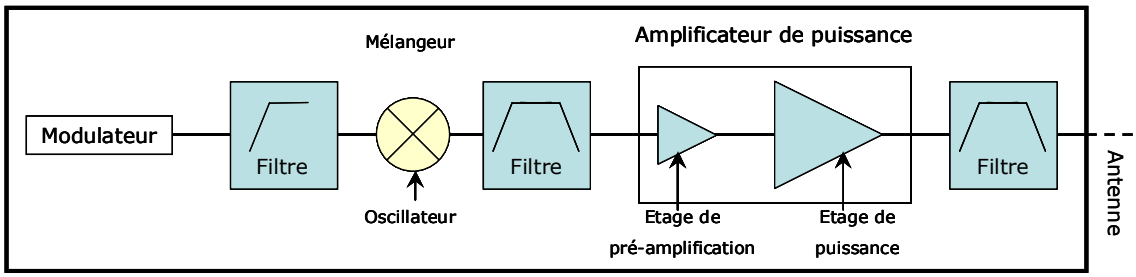


Figure n°I.25. Schéma bloc d'une chaîne d'émission

L'amplificateur de puissance est chargé d'amplifier le signal en provenance du mélangeur pour fournir une puissance active suffisante à l'antenne. Il est généralement constitué d'un ou plusieurs étages de pré amplification et d'un étage dit de puissance. Chaque étage est constitué d'éléments actifs (transistors) mais également d'éléments passifs (résistances, capacités, inductances) qui permettent d'effectuer des transformations d'impédance entre les étages. Ainsi une charge optimale est présentée au transistor afin que celui-ci délivre sa puissance de sortie maximale.

IV.3. Les paramètres importants

IV.3.a. La fréquence de transition (F_T)

La fréquence de transition F_T est l'un des facteurs de mérite les plus couramment utilisées pour caractériser un transistor dédié à l'amplification RF de puissance. Elle est définie comme la fréquence à laquelle le gain en courant est égal à 1 (ou 0 dB). Elle révèle les performances dynamiques du composant en régime de fonctionnement petit signal et permet d'estimer directement sa limite de fonctionnement qui est en général de l'ordre de $F_T/3$. La fréquence de transition peut être calculée, en fonction de la transconductance (g_m) et des capacités grille-source (C_{gs}) et grille-drain (C_{gd}), par la formule suivante :

$$F_T = \frac{g_m}{2\pi\left(C_{gs} + C_{gd}\right)}$$

IV.3.b. La fréquence maximale d'oscillation (F_{max})

La fréquence maximale d'oscillation correspond à la fréquence pour laquelle le gain en puissance est nul. De même que pour la fréquence de transition, la fréquence maximale

d'oscillation peut être exprimée de façon analytique en fonction de la fréquence de transition (F_T), de la résistance de grille (R_g) et de la capacité grille-drain (C_{gd}) par la formule suivante :

$$F_{\max} = \sqrt{\frac{F_T}{8\pi R_g C_{gd}}}$$

Cette expression est obtenue dans l'hypothèse où la résistance drain-source est infinie. Dans le cas plus réaliste d'une résistance finie, l'expression doit prendre en compte la conductance de sortie (g_{ds}) et devient :

$$F_{\max} = \frac{F_T / 2}{\sqrt{R_g (g_{ds} + 2\pi F_T C_{gd})}}$$

IV.3.c. Rendement d'un amplificateur de puissance et rendement de puissance ajoutée

Le rendement d'un amplificateur de puissance est une grandeur critique car il va déterminer l'autonomie de la batterie dans le cas des applications portables. Il est défini comme étant le rapport entre la puissance de sortie du composant (P_{out}) et la puissance consommée (P_{DC}).

$$\eta = \frac{P_{out}}{P_{DC}}$$

Cette définition de rendement ne prend pas en compte la puissance RF apportée en entrée du dispositif. La notion de rendement en puissance ajoutée PAE (pour *Power Added Efficiency)* a alors été introduite pour pallier ce manque. Elle est utilisée plus particulièrement pour la caractérisation RF et fait donc intervenir la puissance dynamique d'entrée. Le rendement de puissance ajoutée est défini par formule suivante :

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} = \eta\left(1 - \frac{1}{G_p}\right)$$

Avec G_p qui correspond au gain en puissance.

IV.3.d. Gain en puissance G_p et linéarité

Lorsqu'on optimise un amplificateur de puissance, un des buts recherchés est d'obtenir le transfert de puissance maximal. Dans cette optique, le gain en puissance G_p est

défini comme étant le rapport entre la puissance de sortie absorbée par la charge et la puissance d'entrée absorbée par le composant.

$$G_p = \frac{P_{out}}{P_{in}}$$

La linéarité d'un amplificateur de puissance est caractérisée par la variation du gain en puissance en fonction du niveau de puissance injecté dans le composant. En effet, les non-linéarités d'un amplificateur de puissance se manifestent par une diminution progressive du gain en puissance. La figure suivante (figure n°I.26) présente l'allure des principales caractéristiques d'un amplificateur de puissance en fonction de la puissance qui lui est injectée.

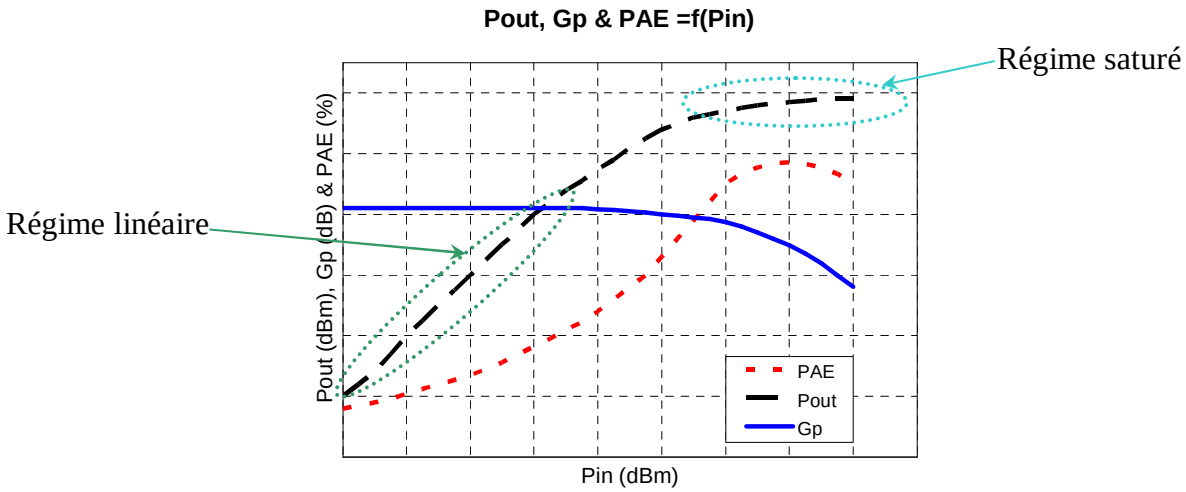


Figure n°I.26. Courbes classiques des principales caractéristiques d'un amplificateur de puissance en fonction de la puissance injectée

Nous remarquons sur cette figure que la puissance de sortie fournie par l'amplificateur possède deux modes de fonctionnement. L'un est appelée 'régime linéaire' et l'autre est appelé 'régime saturé'. Cela illustre le fait qu'un amplificateur de puissance ne peut pas fournir plus d'une certaine quantité de puissance en sortie alors que l'énergie qui lui est injectée continue d'augmenter. Par conséquent, c'est l'énergie dissipée par le composant qui augmente (voir la figure n°I.24 : *bilan des puissances d'un amplificateur de puissance*) et nous observons ainsi une perte du gain en puissance G_p et du rendement de puissance ajoutée PAE.

IV.4. Classes de fonctionnement des amplificateurs de puissance

Pour une technologie donnée, la conception d'un amplificateur de puissance repose sur le choix d'une classe de fonctionnement et de la détermination de l'impédance de charge optimale correspondante (Z_{Lopt}).

En fonctionnement dynamique, le transistor utilisé doit généralement changer de régime au cours du temps en fonction de la polarisation statique, de l'amplitude des signaux d'entrée et de sortie (respectivement V_{gs} et V_{ds}). Les différentes familles d'amplificateurs de puissance sont définies suivant la polarisation, le temps de conduction du transistor et la forme temporelle des signaux d'entrée et de sortie.

Pour traduire la durée t_0 pendant laquelle le transistor conduit sur une période du cycle RF, nous devons introduire la notion d'angle de conduction (ou angle d'ouverture) δ tel que $\delta=\omega_0 \times t_0$ [Müller'06].

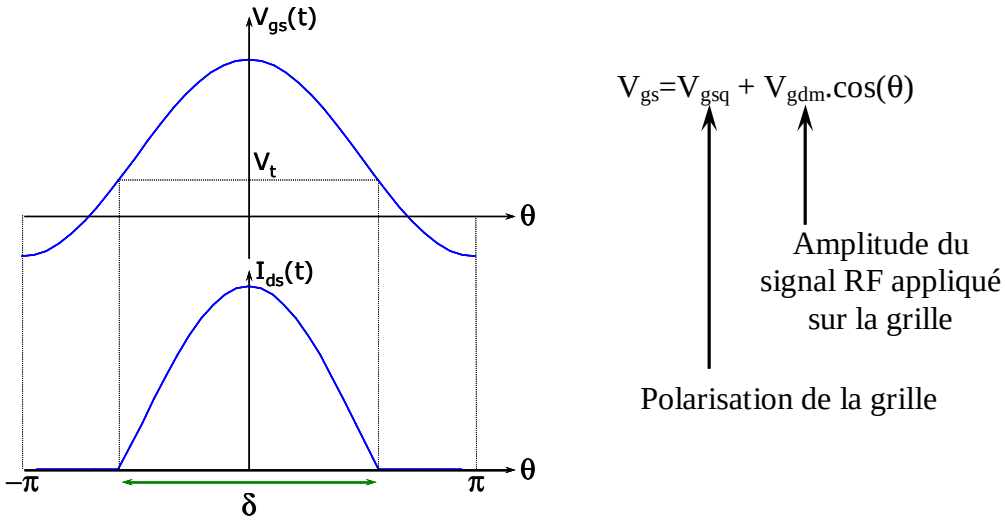


Figure n°I.27. Définition de l'angle de conduction

Les amplificateurs de puissance peuvent donc être triés en plusieurs classes suivant le type d'application visé. Ces classes peuvent elles-mêmes être divisées en deux groupes avec les classes de fonctionnement sinusoïdal d'un côté (A, AB, B et C) et les classes de fonctionnement commuté ou non-sinusoïdal de l'autre (D, E et F).

IV.4.b. Classes sinusoïdales

Les classes sinusoïdales se distinguent grâce à leur valeur d'angle de conduction qui dépend de la position du point de repos sur la droite de charge du transistor (figure n°I.28), c'est-à-dire de la polarisation appliquée au transistor et de la dynamique du signal d'entrée.

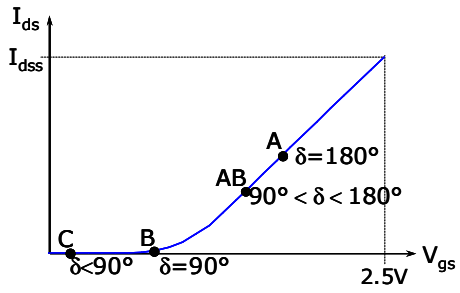


Figure n°I.28. Droite de charge d'un transistor et positions des points de repos en fonction de la classe sinusoïdale utilisée

- Classe A

Le point de repos de la classe A est situé au milieu de la droite de charge ($I_{ds}=I_{dss}/2$). L'excursion du point de fonctionnement est symétrique autour du point de repos. Le transistor n'est jamais ni bloqué, ni saturé (figure n°I.29). Dans ces conditions, l'angle de conduction du composant est de 360°. Un amplificateur de classe A est un amplificateur petit signal qui fournit en sortie un signal directement proportionnel au signal d'entrée.

Cette classe offre une très bonne linéarité, mais son rendement est faible (environ 50% théorique).

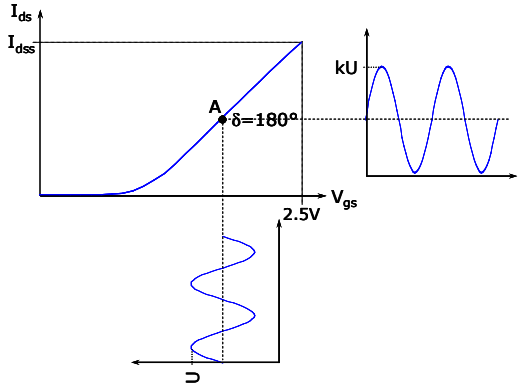


Figure n°I.29. Fonctionnement et polarisation en classe A

- Classe B

Le point de repos d'un amplificateur de puissance de classe B est situé à la base de la droite de charge (au seuil de conduction), proche du moment où le composant est bloqué (canal pincé : I_{ds}=0). Son angle de conduction est de 180°, ce qui signifie que le transistor est bloqué pendant une alternance du signal d'entrée (figure n°I.30).

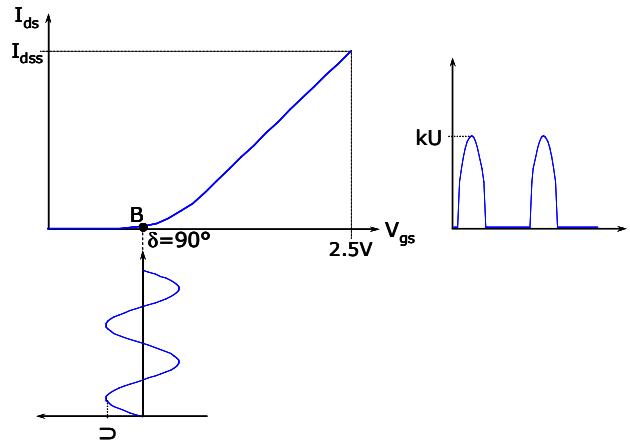


Figure n°I.30. Fonctionnement et polarisation en classe B

En statique, le courant consommé est nul alors qu'en dynamique, le niveau de courant est proportionnel au niveau du signal d'entrée. Plus le signal d'entrée est grand, plus le rendement est important. Le rendement théorique que peut atteindre cette classe d'amplificateur est aux environs de 78%, mais la linéarité n'est pas bonne puisque les composants ne conduisent que sur une alternance.

L'excursion du point de fonctionnement n'étant pas symétrique autour du point de repos, il est nécessaire d'associer deux transistors pour pouvoir amplifier les deux alternances du signal d'entrée. Ce type de montage, schématisé par la figure suivante (figure n°I.31), est appelé montage « push-pull ».

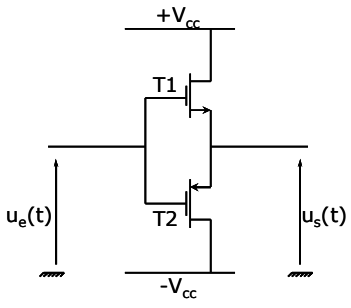


Figure n°I.31. Schéma d'un montage de type « push-pull »

Lorsque l'amplificateur est attaqué par un signal sinusoïdal, les transistors T1 et T2 conduisent alternativement pendant une demi-période du signal d'entrée $u_e(t)$ dès lors que la valeur absolue de ce dernier est supérieure à la tension de seuil des transistors ($|u_e| \geq V_t$).

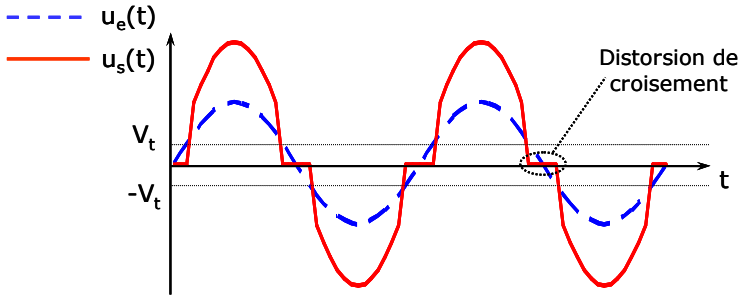


Figure n°I.32. Signaux d'entrée ($u_e(t)$) et de sortie ($u_s(t)$) d'un montage « push-pull »

Au voisinage du seuil de conduction, il existe des intervalles pendant lesquels aucun transistor ne conduit. Le signal de sortie $u_s(t)$ est donc déformé par rapport au signal d'entrée. Ce phénomène est appelé distorsion de croisement (figure n°I.32).

- Classe AB

Les amplificateurs de classe AB ont un point de repos situé entre ceux des classes A et B. Leur angle de conduction est donc compris entre 180° et 360°.

Suivant la position du point de repos et l'amplitude du signal d'entrée, les amplificateurs de classe AB peuvent fonctionner comme ceux de la classe A. En effet, si l'amplitude du signal V_{gs} est suffisamment faible (et le point de repos suffisamment éloigné du seuil de conduction), le transistor fonctionne en régime linéaire, comme un amplificateur de classe A. A contrario, si le signal d'entrée dépasse un certain niveau de polarisation, le transistor se bloque pendant une durée inférieure à la demi-période du signal RF (figure n°I.33). Par conséquent, la distorsion augmente en fonction du niveau de polarisation considéré.

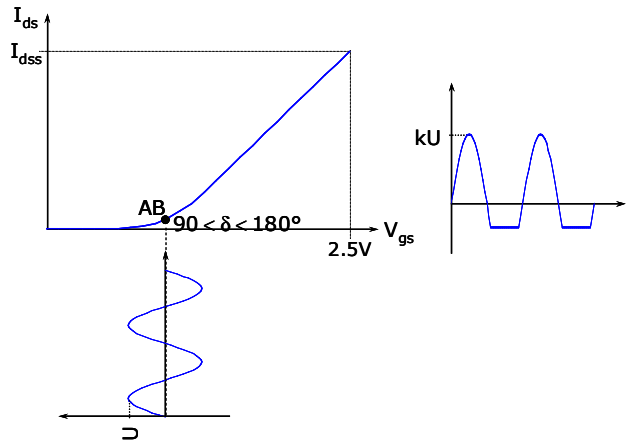


Figure n°I.33. Fonctionnement et polarisation en classe AB

Cette distorsion reste plus faible que celle d'un amplificateur de classe B et les amplificateurs de classe AB ont un meilleur rendement que ceux de la classe A. C'est donc relativement normal que la classe AB soit couramment utilisée pour des amplificateurs de puissance car elle possède, en comparaison avec les classes A et B, un bon compromis rendement – linéarité.

- Classe C

Le point de repos de la classe C se situe sous le seuil de conduction. Son angle de conduction est alors inférieur à 180°, ce qui signifie que le transistor conduit pendant une durée inférieure à la demi-période du signal RF d'entrée. Le rendement augmente tandis que la puissance dissipée et la puissance de sortie diminuent.

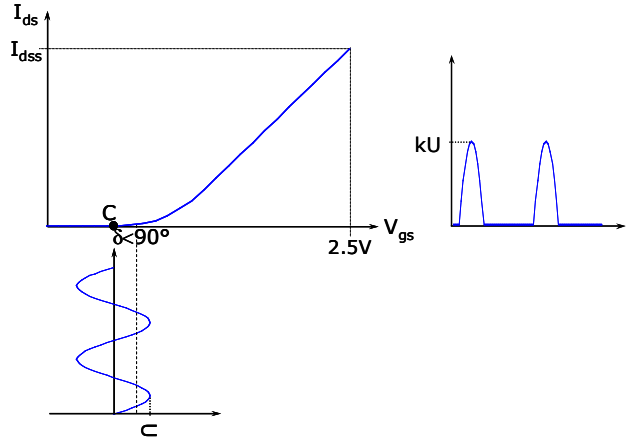


Figure n°I.34. Fonctionnement et polarisation en classe C

L'obtention d'un fort rendement (proche de 100%) correspond à un comportement fortement non-linéaire au détriment de la puissance de sortie. La classe C possède le plus fort rendement de drain au detriment du rendement en puissance ajoutée et le plus important comportement non-linéaire des classes sinusoïdales d'amplificateur de puissance.

IV.4.c. Classes commutées, fonctionnement non-linéaire

Pour les classes suivantes (D, E et F), les transistors sont utilisés comme des interrupteurs. En effet, nous avons discuté, jusqu'à présent, de circuits où le composant actif agit comme une source de courant. L'intérêt de cette nouvelle approche est qu'un interrupteur ne dissipe (idéalement) aucune puissance puisque soit il n'y a aucune tension à ses bornes, soit aucun courant. Le produit V×I est ainsi toujours nul.

Le transistor ne dissipe pas de puissance donc le rendement théorique est de 100%. De plus, la puissance de sortie est indépendante de la puissance d'entrée. Mais à mesure que la fréquence augmente, des limitations apparaissent et les pertes de conduction et de commutation augmentent [Lee'04]. Les performances en commutation des transistors sont un élément important pour ce type de classe d'amplificateur. Un paramètre tel que la résistance à l'état passant R_{on} est très influent sur la vitesse de commutation.

La classe D existe en deux modes de fonctionnement : un mode courant où le signal de sortie a une forme temporelle rectangulaire et un mode tension où la forme temporelle du signal de sortie est une demi-sinusoïde. Cette classe possède une distorsion importante, mais son rendement est relativement plus élevé que ceux obtenus avec les classes sinusoïdales et elle a l'avantage de ne pas endommager le composant.

La classe E est une classe particulière des amplificateurs de puissance en commutation. Elle permet, en haute fréquence, d'obtenir de meilleurs rendements que la classe D (malgré un niveau de puissance inférieur). Le montage de la classe E utilise un circuit de charge accordé pour compenser la capacité de sortie. Le domaine d'application de cette classe E est réservé aux amplificateurs à bande étroite.

La classe F est utilisée pour les applications à très haut rendement. Elle est caractérisée par une tension d'excitation en entrée de forme sinusoïdale et une tension de sortie de forme carrée. Le courant de sortie est, quand à lui de forme impulsionnelle (voire sinusoïdale). En principe, l'absence de puissance dissipée induit l'obtention d'un rendement de 100%. Mais en

réalité, le rendement d'un amplificateur de classe F, bien que supérieur à celui de la classe E, atteint difficilement la valeur de 100%.

Le choix d'une classe de fonctionnement dépend de nombreux facteurs tels que la linéarité, la consommation, le niveau de puissance. La figure suivante (figure n°I.35) représente les différentes classes de fonctionnement des amplificateurs de puissance ainsi que leurs niveaux de linéarité et de rendement relatifs [Giry'01].

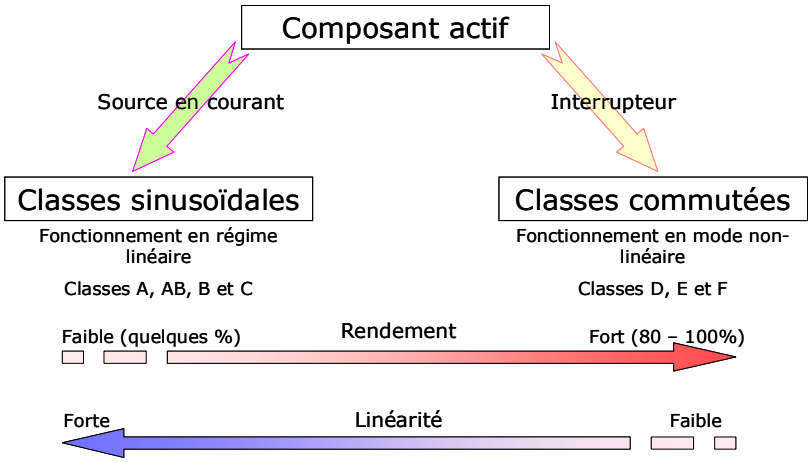


Figure n°I.35. Résumé des différentes classes de fonctionnement des amplificateurs de puissance

Dans cette étude, nous avons étudié les performances de nos transistors en classe AB.

V. Les mesures de puissance

V.1. Principe des mesures

Toutes les mesures de puissance présentées dans ce manuscrit ont été réalisées dans le laboratoire IEMN (Institut d'Electronique, de Microélectronique et de Nanotechnologie) à Lille. L'ensemble de ces mesures, dites mesures load-pull, est issu d'une méthode de caractérisation qui consiste à placer un amplificateur de puissance dans des conditions réelles de fonctionnement (fréquence, puissance d'entrée, polarisation…) et à étudier son comportement en fonction des différentes impédances de charge qui lui sont présentées. Un banc de caractérisation load-pull peut être schématisé de la façon suivante (figure n°I.36) :

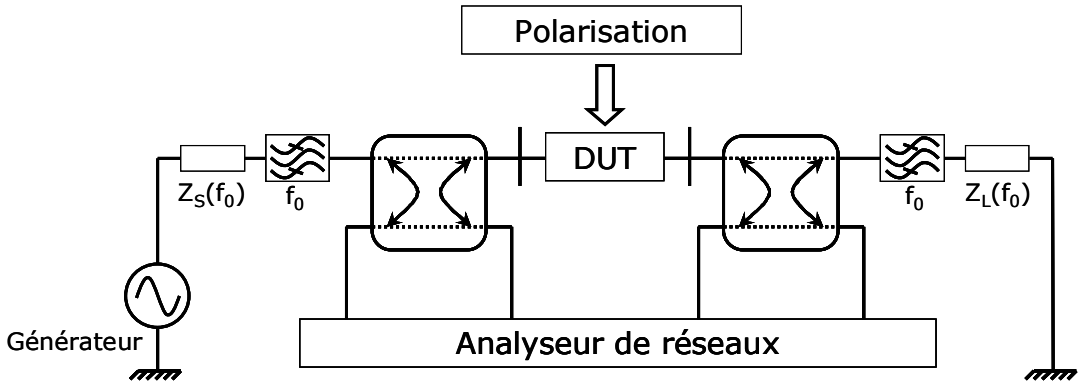


Figure n°I.36. Schéma de principe d'un banc de mesures load-pull

Les deux éléments clés de cette méthode de caractérisation sont d'une part l'accès à la mesure des facteurs de réflexion et des puissances aux bornes du dispositif étudié et d'autre part, la technique de variation des impédances de charge (Z_L) utilisée : méthode de la charge passive ou méthode de la charge active. Nous allons maintenant décrire les deux techniques de variation des impédances de charge.

V.1.b. Méthode de la charge passive

La méthode de la charge passive consiste à faire varier la charge vue par le dispositif étudié au moyen d'un adaptateur passif (tuner). Un tuner contient des éléments réactifs qui peuvent être réalisés par une ligne fendue (coaxiale ou guide d'onde) avec des plongeurs mobiles [Bensmida'05]. Il est possible de connecter un tuner à la sortie du dispositif de deux manières différentes qui sont décrites dans la figure n°I.37.

L'impédance de charge et la puissance mesurée par le wattmètre (figure n°I.37-a) dépendent des paramètres de dispersion du tuner. Si ces paramètres sont connus (tuner précaractérisé), la puissance de sortie du dispositif en fonction de l'impédance de charge peut être déterminée. Les avantages d'un tel système de mesure sont sa simplicité et son coût relativement faible puisqu'il ne nécessite pas d'analyseur de réseaux. Son inconvénient majeur est la limitation du coefficient de réflexion qui est présenté à l'accès du dispositif. Cette limitation est due aux pertes du tuner et des autres éléments qui le relient au dispositif (câbles, pointes…). Cet inconvénient est d'autant plus critique si on désire caractériser un amplificateur fortement désadapté qui nécessite un coefficient de réflexion optimum élevé.

Si un analyseur de réseaux est connecté, au moyen d'un coupleur, entre le plan d'accès du dispositif et celui du tuner (figure n°I.37-b), nous obtenons un système plus précis, ne nécessitant pas un tuner précaractérisé. Grâce à un calibrage approprié, l'analyseur de réseaux est capable de mesurer le coefficient de réflexion ainsi que la puissance aux accès de l'amplificateur étudié. L'avantage de cette architecture par rapport à la précédente est la précision des mesures grâce à l'analyseur de réseaux.

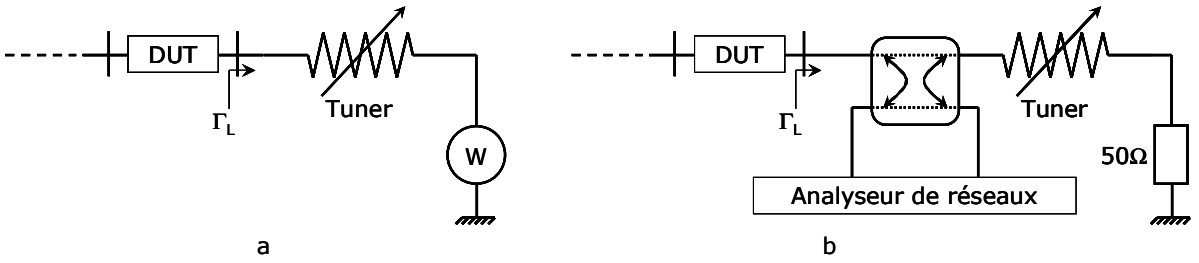


Figure n°I.37. Connexion d'un tuner précaractérisé (figure a, à gauche) et connexion d'un tuner associé à un analyseur de réseaux (figure b, à droite)

V.1.c. Méthode de la charge active

Le principe de cette technique de caractérisation en fort signal a été initié par Takayama [Takayama'76]. Il est représenté par la figure suivante (figure n°I.38).

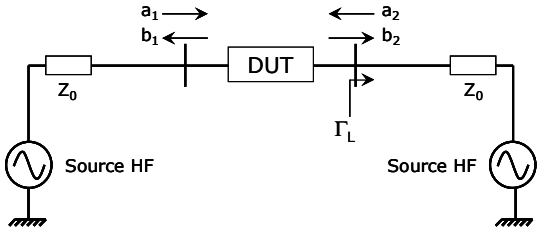


Figure n°I.38. Schéma de principe de la méthode de la charge active

Cette méthode consiste à injecter simultanément deux ondes a_1 et a_2, respectivement à l'entrée et à la sortie du dispositif amplificateur étudié à l'aide de deux sources cohérentes d'impédances internes Z_0=50 Ω. L'impédance de charge est synthétisée électroniquement en réglant l'amplitude et la phase de l'onde a_2 par rapport à l'onde b_2. Le coefficient de réflexion de cette charge est donné par le rapport complexe des ondes incidente et réfléchie prises à la fréquence fondamentale.

Coefficient de réflexion: $\Gamma_L = \frac{a_2(f_0)}{b_2(f_0)}$

La valeur de Γ_L peut ainsi atteindre un module égal à un, ce qui représente le principal avantage de la technique de la charge active. En pratique, il existe plusieurs façons pour mettre en œuvre le principe de la charge active. L'une d'elles, appelée technique des générateurs synchrones, consiste à n'utiliser qu'une seule source et un diviseur de puissance pour envoyer deux ondes de puissance cohérentes à l'entrée et à la sortie de l'amplificateur (figure n°I.39).

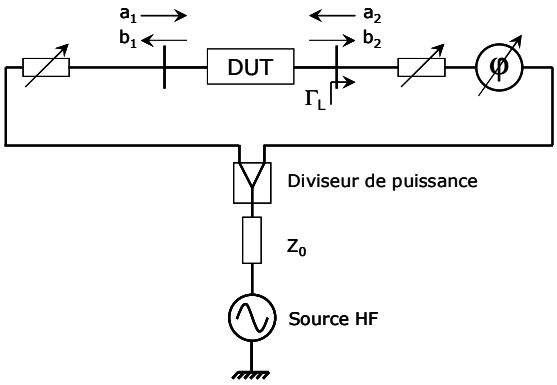


Figure n°I.39. Schéma de principe de la technique des générateurs synchrones

L'onde issue du générateur est envoyée simultanément à l'entrée et à la sortie du dispositif grâce au diviseur de puissance. L'atténuateur sur la voie d'entrée permet de réguler l'amplitude de l'onde a_1, tandis que l'atténuateur et le déphaseur sur la voie de sortie permettent de réguler l'amplitude et la phase de l'onde a_2. Cette technique est particulièrement intéressante car elle permet de synthétiser toutes les impédances de l'abaque de Smith, mais la mesure des caractéristiques de puissance ou de rendement en fonction de la puissance d'entrée se révèle difficile pour des impédances de charge constantes. En effet, une variation en amplitude et en phase du signal d'entrée entrainera une variation de Γ_L.

Pour pallier ce problème, il existe une méthode qui consiste à réinjecter une partie du signal transmis par le dispositif à la sortie de celui-ci. On parle alors de méthode de la boucle active (figure n°I.40).

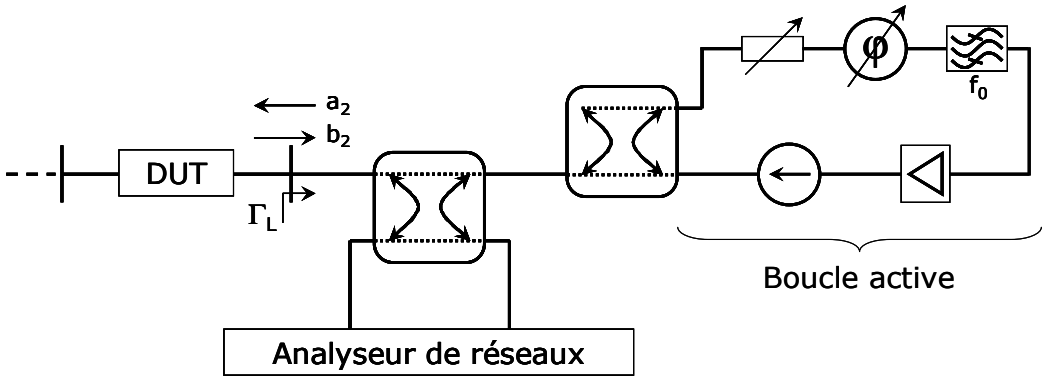


Figure n°I.40. Schéma de principe de la méthode à boucle active

Cette méthode consiste à prélever, avec un coupleur unidirectionnel, une fraction de l'onde b_2 générée par l'amplificateur. Cette fraction d'onde est ensuite atténuée, déphasée, amplifiée et réinjectée vers la sortie du dispositif.

V.2. Mesures

Les mesures qui ont été effectuées dans le cadre de cette thèse ont été réalisées sur un banc de caractérisation dit « LSNA » (pour *Large-Signal Network Analyzer*) et la méthode utilisée est celle de la charge active.

V.2.a. Caractérisation préliminaire

Avant de procéder aux mesures de puissance proprement dites (mesures load-pull), tous les composants étudiés sont caractérisés en petit signal. Cette étude permet d'obtenir les éléments intrinsèques des transistors (capacités, résistances) ainsi que certains paramètres importants tels que leurs fréquences de transition et fréquences d'oscillation maximale (respectivement F_T et F_{max}). Ces mesures permettent également d'établir la matrice des paramètres de répartition, paramètres S_{ij}, qui sont utilisés pour extraire les impédances de charge optimale et les zones d'instabilités des composants dans des conditions de fréquence et de polarisation définies.

V.2.b. Courbes obtenues

Les courbes que nous obtenons suite aux mesures load-pull sont similaires à celles décrites dans la deuxième partie de ce chapitre concernant les amplificateurs de puissance. Ce sont la puissance de sortie (P_{out}), le gain en puissance (G_p) et le rendement de puissance ajoutée (PAE) en fonction de la puissance injectée dans le dispositif amplificateur (figure n°I.41).

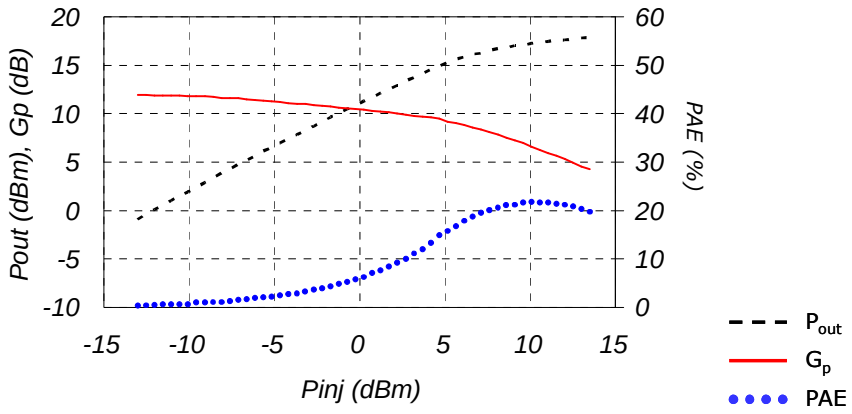


Figure n°I.41. Exemple de courbes obtenues à partir de mesures load-pull

De ces courbes peuvent être extraites certaines grandeurs caractéristiques telles que le PAE maximum, la puissance de sortie qui lui est associée ainsi que la puissance de sortie maximum. Ce sont ces grandeurs qui nous permettent de comparer les composants entre eux afin de vérifier si les modifications apportées sont bénéfiques ou non (voir chapitres suivants).

V.2.c. Problèmes d'instabilité

Comme il a été précisé précédemment, les mesures préliminaires en petit signal permettent de déterminer, et donc de localiser sur l'abaque de Smith, les impédances de charge optimale des composants ainsi que leur zone d'instabilité (figure n°I.42). Ces zones représentent l'ensemble des impédances de charge pour lesquelles les composants oscillent en entrée, c'est-à-dire que la puissance de sortie fournie ne sera pas stable en fonction du temps.

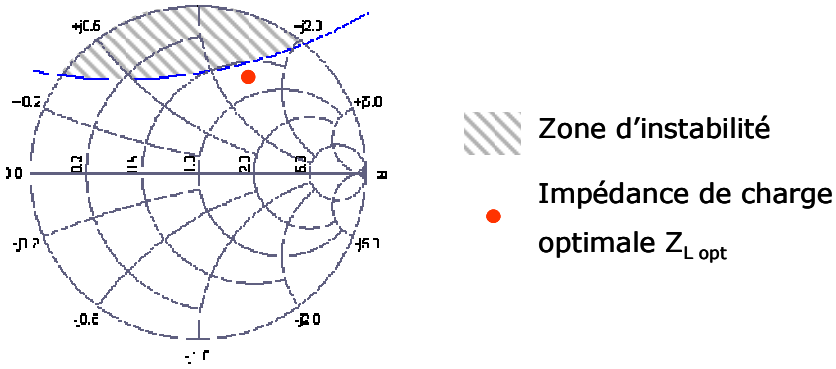


Figure n°I.42. Exemple d'abaque de Smith sur lequel sont localisés l'impédance de charge optimale (Z_{Lopt}) et la zone d'instabilité d'un transistor nLDEMOS

Les impédances optimales et les zones d'instabilité sont définies à partir des paramètres S mesurés en petit signal.

Puisque ces paramètres sont évalués en régime petit signal, ils évoluent lors des mesures load-pull. Cette évolution peut parfois être telle que l'impédance de charge optimale se retrouve à la limite (voir même à l'intérieur) de la zone d'instabilité. Dans ce cas, cette impédance ne peut pas être atteinte et il est donc nécessaire de chercher progressivement l'impédance de charge avec laquelle le composant fournira les meilleures performances

VI. Etat de l'art

L'ensemble de la littérature publiée ces dernières années concerne des composants ayant des tensions de claquage beaucoup plus élevées que celles de nos composants. Par conséquent, il est difficile de pouvoir faire des comparaisons convenables, surtout en ce qui concerne les mesures load-pull parce que les conditions utilisées lors de ces mesures ne sont pas souvent détaillées.

Nous allons dans un premier temps comparer les performances des composants fabriqués à STMicroelectronics à celles d'autres composants relativement semblables fabriqués par la concurrence. Enfin nous définirons les objectifs de performances que nous attendons de nos composants et nous exposerons en même temps les performances initiales des composants standards de la technologie HCMOS9SOI.

VI.1. Comparaison de composants

Dans ce paragraphe, nous allons comparer quelques performances des composants nLDEMOS initiaux avec celles d'autres composants qui possèdent des tensions de claquage BV_{ds} relativement proches les unes des autres. Cette comparaison est représentée dans le tableau n°I.3. Comme la littérature dans ce domaine n'est pas très détaillée, seuls quelques paramètres peuvent être comparés.

Paramètres	Unités	Hitachi-Renesas [Shimizu'04], [Shimizu'05]		IHP [Ehwald'01]	Samsung [KO'05]	STMicroelectronics BiCMOS7RF		STMicroelectronics HCMOS9SOI
BV_{ds}	V	14	13	15	14	16.5		15.8
$e_{oxyde\ grille}$	Á	120	120	50	70	50		50
L_g	µm	0.3	0.23	0.25	0.3	0.3		0.4
F_T	GHz	18	30	23	32	31		24
W.R_{on}	Ω.mm	4.0 à V_{gs}=5 V	3.0 à V_{gs}=5 V	6.2 à V_{gs}=5 V	3.1 à V_{gs}=3.3 V	2.8 à V_{gs}=2.5 V		3.3 à V_{gs}=2.5 V
Densité de puissance	mW/mm	/	/	760 à 2 GHz et Vds=6.5 V	83 à 900 MHz et Vds=3.6 V	210 à 900 MHz et Vds=3.6 V	210 à 1.8 GHz et Vds=3.6 V	252 à 1.8 GHz et Vds=3.6 V
PAE max	%	65	67	70	71	>80	70	68
Gain à PAE max	dB	17 à V_{ds}=3.6 V	15 à V_{ds}=3.5 V	12 à V_{ds}=6.5 V	16 à V_{ds}=3.6 V	16 à V_{ds}=3.6 V	15 à V_{ds}=3.6 V	19.5 à V_{ds}=3.6 V

Tableau n°I.1. Tableau comparatif des performances de transistors nLDEMOS

Bien que les différents composants présentés dans le tableau n°I.3 possèdent des tensions de claquage relativement proches, la comparaison de leurs performances reste délicate. En effet, les conditions de polarisation et la fréquence de mesure varient selon les

transistors et empêchent ainsi toute comparaison rigoureuse. Toutefois, nous pouvons en déduire que les composants initiaux à notre étude sont à l'état de l'art pour des fréquences proches de 2 GHz.

VI.2. Objectifs et performances initiales

Comme il a été dit dans l'introduction générale, le but de ces travaux est d'augmenter les performances en radiofréquence des transistors nLDEMOS de la technologie HCMOS9 tout en conservant leurs caractéristiques statiques (V_t, BV_{ds}…), la tension de drain de travail ne devant en effet pas changer. Les applications visées étant situées dans une gamme fréquentielle de 3 à 5 GHz, nous avons choisi la fréquence de 4 GHz pour nos mesures de puissance.

Les performances initiales des transistors nLDEMOS que nous avons utilisés comme base sont présentés dans les tableaux suivants (tableau n°I.1 et n°I.2).

Paramètres	Unité	Objectifs	Valeurs initiales
$\mathbf{V_t}$	V	0.6	0.61
$\mathbf{BV_{ds}}$	V	>13	16.2
$\mathbf{S.R_{on}}$	mΩ.mm²	8	7.5
$\mathbf{I_{on}}$ V_{ds}=5 V; V_{gs}=2.5 V	µA/µm	500	410
$\mathbf{I_{lin}}$ V_{ds}=0.1 V; V_{gs}=2.5 V	µA/µm	/	27.7
$\mathbf{I_{off}}$ V_{ds}=5 V; V_{gs}=0 V	pA/µm	<9	3.8
$\mathbf{R_{ndrift}}$ V_{ds}=5 V; V_{gs}=0 V	Ω/□	/	3500

Tableau n°I.2. Objectifs et valeurs initiales des paramètres statiques d'un transistor nLDEMOS de la technologie HCMOS9SOI utilisée comme base (substrat SOI 0.16 µm, structure standard, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5=10 µm)

Paramètres	Unité	Valeurs initiales
F_T	GHz	25.3
F_{max}	GHz	33.5
C_{gs} V_{gs}=1.1 V; V_{ds}=3.6 V	fF	280
C_{gd} V_{gs}=1.1 V; V_{ds}=3.6 V	fF	85
C_{ds} V_{gs}=1.1 V; V_{ds}=3.6 V	fF	80
Gm V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	240
$G_{p\ lin}$	dB	13.5
$P_{out\ sat}$	dBm	18.0
	mW/mm	249
$P_{out\ 1dB}$ @ 1 dB de compression de G_p	dBm	10.7
	mW/mm	47
PAE_{max}	%	39.0
$Z_{L\ opt}$ en P_{out}	(r,θ°)	(0.2,40)

Tableau n°I.3. Valeurs initiales des paramètres RF et Load-pull d'un transistor nLDEMOS de la technologie HCMOS9SOI utilisée comme base ; substrat SOI 0.16 µm, structure standard, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm, pour la puissance : f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V)

Ce travail se situant relativement en amont de l'activité de conception des circuits, des objectifs chiffrés n'ont pas pu être définis avec précision. A part pour la valeur de F_T pour laquelle 25 GHz représentent un minimum, pour les autres paramètres notre objectif est d'améliorer les performances en puissance micro-ondes tout en conservant des caractéristiques statiques proches de celles de départ. Il est en donc important de préciser qu'en ne cherchant à améliorer ni le courant de drain, ni la tension de claquage de nos composants, nous ne visons pas à améliorer directement leur puissance de sortie. Nous nous sommes en effet intéressés à réduire les pertes en puissance afin notamment d'améliorer le rendement en puissance ce qui est l'objet des chapitres suivants.

Chapitre n°II : INFLUENCE DU SUBSTRAT

I. Introduction

Les substrats SOI (*Silicon-On-Insulator*) sont un élément clef pour le remplacement des technologies III-V dans les modules RF des téléphones portables (gamme de fréquence de 1 à 2 GHz). En effet, ils permettent l'intégration simultanée des amplificateurs de puissance (PA) et des commutateurs d'antenne (ou AS pour *Antenna Switches*). Toutefois, l'épaisseur de la couche active d'un substrat SOI dépend de la technologie AS souhaitée. Un substrat SOI dit « épais » (épaisseur de la couche active supérieure à 1µm) est préférentiellement requis pour l'intégration des pompes de charges utilisées pour actionner les MEMS (*Micro-Electro-Mechanical Systems*) de part leur bonne tenue en tension [Costa'08]. Les substrats SOI dit « minces », de par leurs capacités parasites réduites permettent quant à eux la réalisation d'interrupteurs CMOS à circuit intégré [Raynaud'05]. De plus, ces substrats possèdent des avantages certains pour les composants passifs tels que de bons facteurs de qualité ou encore l'isolation complète des composants. Bien que n'ayant pas les mêmes avantages en terme d'intégration que les substrats SOI, nous avons étudié l'influence de substrats en silicium massif afin de définir leur potentiel et de comparer les performances obtenues avec celles des composants réalisés sur substrat SOI.

Nous allons donc dans ce chapitre étudier l'influence du type de substrat sur les performances de nos transistors nLDEMOS. Nous décrirons dans un premier temps les différents substrats que nous avons utilisés pour fabriquer les composants. Nous verrons ensuite les difficultés rencontrées et la méthode utilisée pour ajuster les implantations nécessaires afin d'obtenir des tensions de seuil V_t autour de 0.6 V. Nous finirons par l'étude des résultats électriques obtenus pour chaque substrat. Les résultats présentés dans la suite de ce chapitre sont issus de mesures effectuées sur des composants de structure « standard » (tels qu'ils sont fabriqués en technologie HCMOS9SOI). Les transistors comparés ne sont cependant pas rigoureusement identiques puisque leurs prises de contact *p-body* sont différentes selon le substrat utilisé. En effet, les composants réalisés sur un substrat SOI 0.16 µm ont des prises de contact *p-body* multi-p+ alors que ceux réalisés sur les autres substrats ont des prises contact *p-body* en barreau-p+ (figures n°II.12 et II.13). Toutefois, cette modification ne change pas la surface active des composants et n'influe pas sur leurs performances.

II. Description des substrats utilisés

II.1. Généralités

Lors de notre étude, nous avons utilisé six différents types de substrats (tableau n°II.1). Trois de ces substrats étaient des plaquettes de silicium sur isolant (SOI: *Silicon On Insulator*). La différence entre ces trois substrats SOI se situe au niveau de la couche supérieure de silicium (dite couche active). Les trois autres substrats étaient des plaquettes de silicium massif avec des différences de résistivités et de méthodes de fabrication. Tous les substrats utilisés ont un diamètre de 200 mm.

	Type de substrat
1 -	SOI : 0.16 µm Si p 10 Ω.cm / 0.4 µm BOX / Si p 1 kΩ.cm
2 -	SOI : 0.46 µm epi Si p 10 Ω.cm / 0.4 µm BOX / Si p 1 kΩ.cm
3 -	SOI : 1.36 µm epi Si p 10 Ω.cm / 0.4 µm BOX / Si p 1 kΩ.cm
4 -	Massif standard (Czochralski) : 4 µm epi Si p 15 Ω.cm / Si p 15 Ω.cm
5 -	Massif haute résistivité (Czochralski) : 1 µm epi Si p 10 Ω.cm / Si p 2760 Ω.cm
6 -	Massif haute résistivité (Float-zone) : 1 µm epi Si p 10 Ω.cm / Si p 1910 Ω.cm

Tableau n°II.1. Types de substrat étudiés

II.2. Les substrats SOI (substrats n°1, 2 et 3)

Les substrats SOI sont constitués de trois couches superposées, composées d'une couche épaisse de silicium (Si p 1 kΩ.cm), d'un isolant (BOX) et d'une couche plus ou moins fine de silicium (Si p 10 Ω.cm) qui correspond à la couche dans laquelle est définie la zone de conduction (nommée couche active). La couche isolante qui compose un substrat SOI est généralement de l'oxyde de silicium (SiO_2 nommé BOX pour *Buried OXide*). La méthode de fabrication la plus couramment utilisée, pour les substrats SOI, est le procédé Smart-Cut^{TM} UNIBOND^{TM} (figure n°II.1).

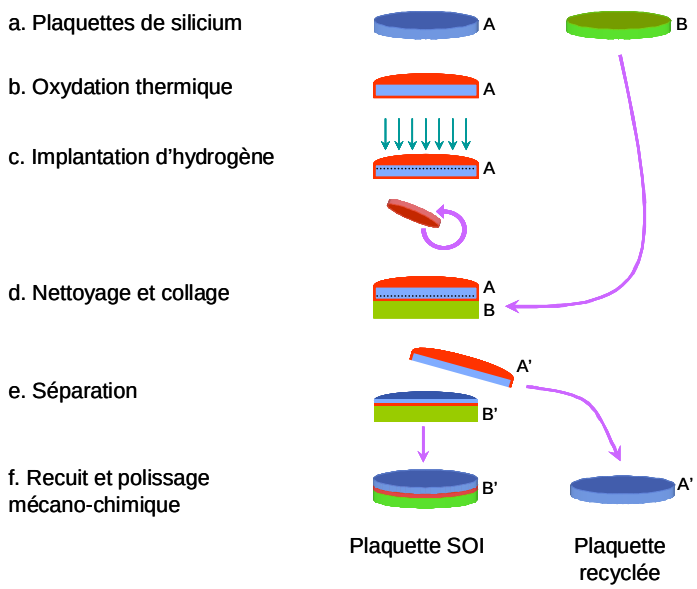


Figure n°II.1. Description du procédé de fabrication Smart-Cut™ UNIBOND™ pour les substrats SOI [Bruel'95]

Ce procédé consiste en un collage entre deux plaquettes de silicium.

L'une de ces plaquettes (plaquette A sur la figure n°II.1) a été préalablement oxydée puis implantée avec de l'hydrogène, ce qui a pour effet de créer des microcavités. Les deux plaquettes sont ensuite collées par les forces de Van der Walls à l'origine des liaisons cristallines entre le silicium et son oxyde. Un premier recuit permet de stabiliser le collage et un second à plus haute température va fracturer la plaquette A au niveau de l'implantation d'hydrogène par coalescence des microcavités. L'épaisseur finale de la couche active du substrat est ajustée par un polissage mécano-chimique (CMP pour *Chemical Mechanical Polishing*). Le reste de la plaquette A initiale est ensuite recyclé pour fabriquer un nouveau substrat SOI.

Les substrats SOI que nous avons utilisés sont composés d'une couche de silicium dopée p de 1 kΩ.cm de résistivité et recouverte d'une couche d'oxyde de silicium de 0.4 µm d'épaisseur. Cette couche d'oxyde est elle-même recouverte d'une seconde couche de silicium (couche active) dopée p de 10 Ω.cm de résistivité et d'une épaisseur de 0.16 µm. Cette configuration correspond au substrat n°1 du tableau n°II.1.

Pour obtenir les substrats n°2 et n°3, nous avons fait croitre par épitaxie une couche de silicium dopée p de 10 Ω.cm de résistivité et respectivement de 0.3 µm et 1.2 µm d'épaisseur sur des substrats n°1. Cette épitaxie nous permet d'une part de réaliser différents substrats

SOI de même résistivité et d'autre part de mieux apprécier l'influence que peut avoir l'épaisseur de la couche active sur les performances de nos composants.

Une précédente étude a montré que les substrats SOI souffrent plus de l'auto-échauffement que les substrats massifs [Bon'08]. Ces recherches ont prouvé que les substrats massifs (entièrement constitués de silicium) sont de meilleurs conducteurs thermiques que ce soit en régime statique ou en régime dynamique comme cela est illustré sur les figures suivantes. Sur ces figures, les substrats qui nous intéressent le plus sont « 130 nm SOI » et « Tech. Massive » qui correspondent respectivement aux substrats n°1 et n°4 du tableau n°II.1.

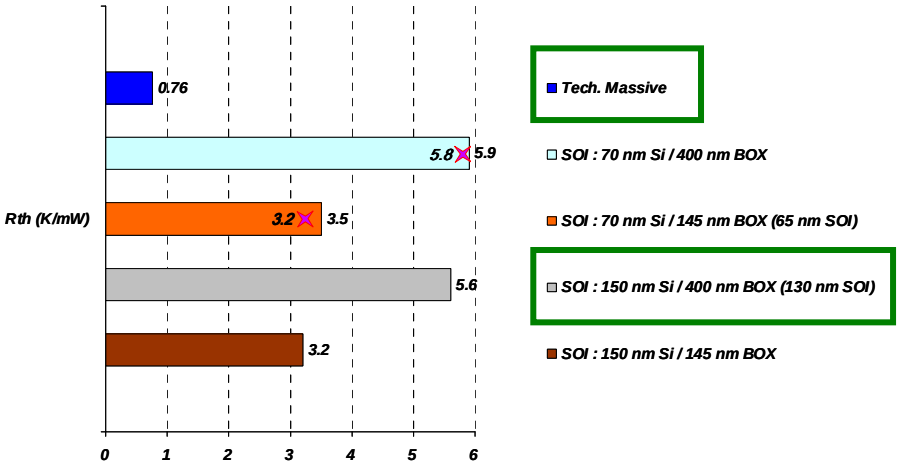


Figure n°II.2. Résistance thermique calculée pour différents substrats ainsi que celles mesurées (étoiles)

Pour mesurer expérimentalement la résistance thermique R_{TH}, la grille de polysilicium est utilisée comme capteur thermique. Au départ, la résistance de grille est calibrée jusqu'à 125°C de température ambiante. Dans la procédure de calibrage, l'augmentation de température causée par la puissance dissipée par la grille est négligée (V_{ds}=0 V, V_{gs}=2.5 V). Ensuite, le composant est chauffé par une rampe de V_D jusqu'à 5 V à la température ambiante (V_{ds}=5 V, V_{gs}=2.5 V). L'auto-échauffement du composant modifie alors la résistance de grille, ce qui en retour permet l'extraction de la température et de R_{TH}. Il est important de noter que cette méthode ne mesure pas la température directement à l'intérieur de la couche de SOI. En conséquence, la valeur de résistance thermique mesurée au niveau de la grille peut sous-estimer la vraie valeur de R_{TH}, où le point le plus chaud se situe.

Nous pouvons conclure de cette étude que pour des substrats SOI minces, l'épaisseur de l'oxyde enterré est plus influente sur les effets thermiques que l'épaisseur de la couche active.

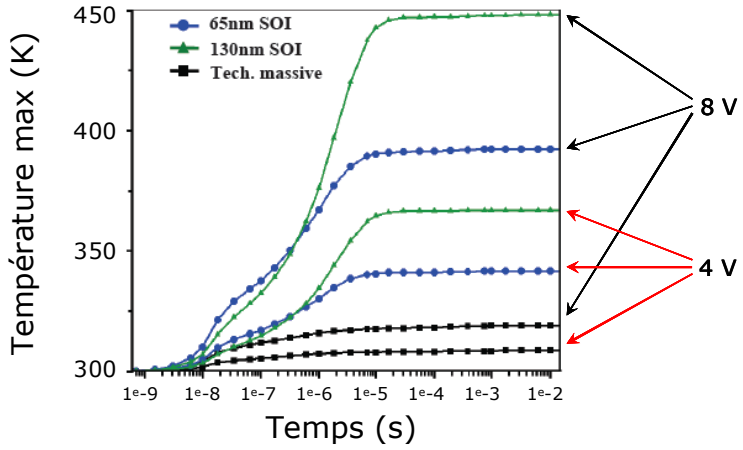


Figure n°II.3. Evolution dynamique de la température pour différents substrats (V_{gs}=2.5 V ; V_{ds}=4 V et 8 V)

Il est important de remarquer que les substrats possèdent des « temps de chauffe » proches les uns des autres de l'ordre de quelques µs.

II.3. Les substrats en silicium massif (substrats n°4, 5 et 6)

Mise à part leur résistivité (tableau n°II.1), les substrats en silicium massif que nous avons étudiés peuvent également se différencier par la méthode de croissance qui a été utilisée pour les fabriquer. En effet, les substrats n°4 et n°5 ont été débités dans des lingots de silicium crûs par la méthode dite de Czochralski alors que le substrat n°6 est issu d'un lingot crû par la méthode dite de *float-zone*.

II.3.a. Méthode de croissance Czochralski

La méthode de croissance Czochralski consiste à faire croitre un lingot monocristallin de silicium à partir de morceaux polycristallins de silicium. Son mode opératoire est représenté par la figure suivante (figure n°II.4).

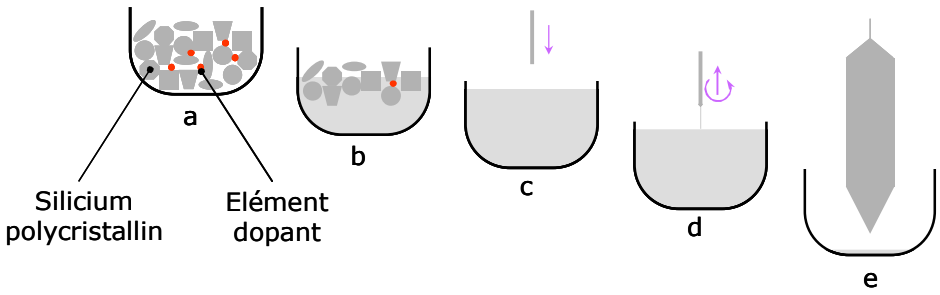


Figure n°II.4. Mode opératoire de la méthode de croissance Czochralski

Des morceaux de silicium polycristallins et des éléments dopants sont placés dans un creuset en quartz (figure n°II.4-a). Ce mélange est ensuite fondu jusqu'à l'obtention d'un liquide homogène et stable (figure n°II.4-b et c). Une fois que le liquide est stabilisé, un germe monocristallin de silicium (dont l'orientation cristalline est définie) y est plongé puis retiré (figures II.4-c et d). Le retrait du germe se fait très lentement et en rotation, de telle façon que les atomes présents dans le liquide s'accumulent autour du germe tout en conservant la même orientation cristalline que ce dernier. Il en résulte un lingot géant de silicium monocristallin (figure n°II.4-e). Les plaquettes sont ensuite débitées dans la partie centrale du lingot (figure n°II.5).

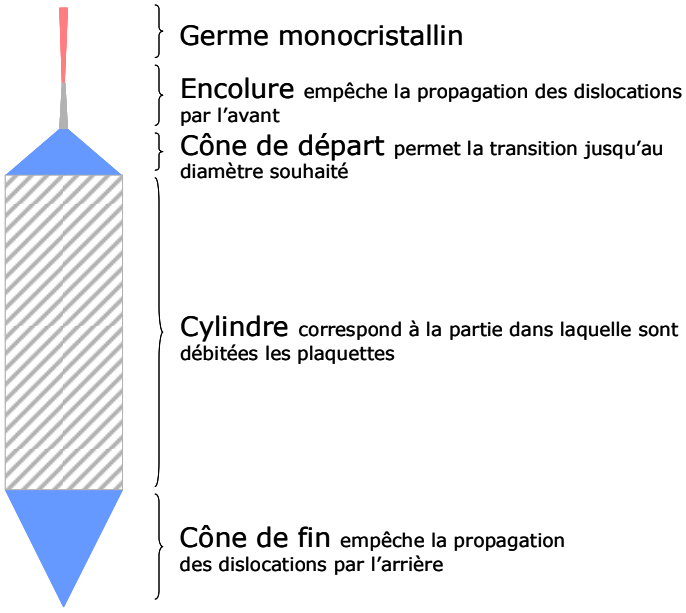


Figure n°II.5. Description des différentes parties composant un lingot de silicium

Parmi nos substrats, les n°4 et 5 ont été réalisés à partir de cette méthode de croissance. Cette méthode de tirage de lingot de silicium est celle principalement utilisée dans la fabrication des substrats servant en microélectronique silicium.

II.3.b. Méthode de croissance *float-zone*

Cette méthode de croissance consiste à transformer un lingot de silicium polycristallin en un lingot monocristallin. Le mode opératoire de cette méthode est décrit par la figure suivante (figure n°II.6).

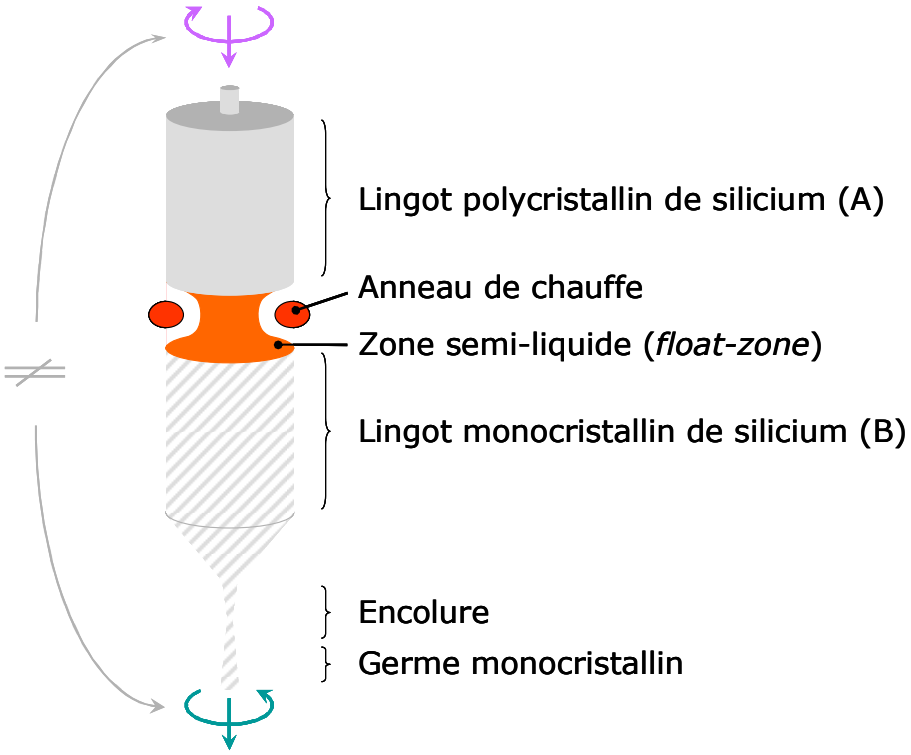


Figure n°II.6. Schéma descriptif du principe de la méthode de croissance float-zone

Lors du procédé de croissance par la méthode *float-zone*, un lingot de silicium polycristallin (le lingot A sur la figure n°II.6) est introduit lentement dans un anneau porté à haute température. La partie du lingot qui passe à travers l'anneau se ramollit et entre en contact avec un germe de silicium monocristallin. Au fur et à mesure que le lingot A traverse l'anneau, un monocristal de silicium se créé pour former le lingot B. Les éléments dopants, dans ce type de croissance, sont introduits sous forme gazeuse au niveau de la zone ramollie (ou semi-liquide). De même que pour la méthode Czochralski, les plaquettes sont débitées dans la zone centrale du lingot monocristallin obtenu.

Le substrat n°6 que nous avons étudié a été fabriqué à partir de cette méthode de croissance *float-zone*.

L'un des avantage de la méthode de croissance *float-zone* est qu'il n'y a aucun contact avec quelque chose de solide tel qu'un creuset, ce qui permet de réduire la concentration des dislocations. Un autre avantage est dû au fait que les impuretés (éléments dopants) vont préférentiellement dans les liquides. Par conséquent, le niveau de dopage dans un lingot crû par la méthode *float-zone* est plus homogène par rapport à celui d'un lingot crû par la méthode Czochralski qui augmente au fur et à mesure que le liquide au fond du creuset diminue. Cela permet de mieux contrôler les faibles niveaux de dopage et rend la méthode de croissance *float-zone* intéressante pour les substrats à haute résistivité.

L'inconvénient majeur de cette méthode de croissance est son coût plus élevé puisque qu'il faut dans un premier temps fabriquer un lingot polycristallin et ensuite réorganiser les atomes pour en faire un monocristal.

III. Problèmes rencontrés liés aux substrats

Lors de la fabrication de nos composants, nous avons rencontré quelques difficultés liées à la nature même de nos substrats. Ces problèmes nous ont régulièrement forcés à refaire certaines étapes de fabrication et parfois à détruire nos plaquettes de silicium. C'est pour cela que, malheureusement, il nous est arrivé de retirer de la fabrication plus de la moitié des 25 plaquettes composant un lot. Toutefois, ces plaquettes ne sont pas perdues puisqu'il est toujours possible de les utiliser pour faire des observations et/ou des mesures (suivant l'étape à laquelle elles ont été retirées du circuit).

III.1. Problèmes de métrologie

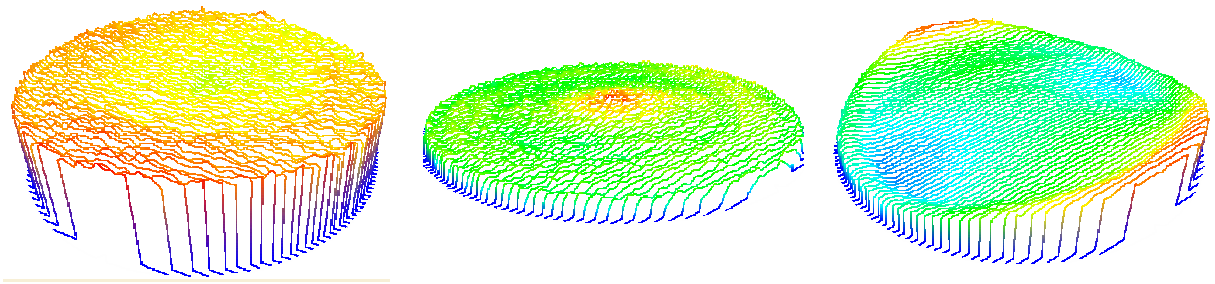
Nous avons rencontré deux problèmes de métrologie liés à l'épaisseur de la couche active des substrats SOI. Le premier concerne les mesures de type ellipsométrie qui servent dans la plupart des contrôle lors de la fabrication et le second concerne les mesures de type interférométrie qui servent à la détection de fin de polissages.

Les mesures d'épaisseur par ellipsométrie sur substrat SOI sont plus difficiles à réaliser. Puisque nous n'avions que quelques lots à fabriquer et que ceux-ci étaient constitués de plaquettes SOI avec différentes épaisseurs de couche active, nous avons décidé avec l'équipe responsable de la métrologie de ne pas redévelopper toutes les étapes de métrologie pour toutes les épaisseurs de couche active et de placer systématiquement 3 plaquettes en silicium massif dans nos lots. Ces plaquettes servaient de témoins aux mesures par ellipsométrie.

Dans le cas des étapes de polissage mécano-chimique (ou CMP pour *Chemical-Mecanical Polishing*), la détection de fin de cycle se fait par mesures d'interférométrie. Comme l'interférométrie est délicate sur SOI, une méthode avait été développée précédemment pour le substrat n°1 (utilisé couramment en production). Malheureusement, cette méthode ne pouvait pas être appliquée directement aux autres substrats de type SOI que nous avons utilisés. Le problème est lié à la longueur d'onde utilisée et la seule solution n'était pas envisageable puisqu'il fallait changer d'équipement de polissage. Nous avons finalement utilisé les plaquettes en silicium massif pour mesurer le temps de polissage et passer les plaquettes SOI en temps fixe.

III.2. Problème de planéité

Les problèmes liés à la planéité des substrats se sont uniquement présentés sur les plaquettes en silicium massif du substrat n°6, c'est-à-dire les plaquettes fabriquées à partir d'un lingot crû par la méthode de *float-zone*. La mauvaise planéité de ces plaquettes nous a forcés à recommencer plusieurs fois de suite des étapes de photolithographie à cause d'un désalignement trop important. La figure suivante montre des mesures d'épaisseur que nous avons effectuées sur les différents substrats en silicium massif étudiés (figure n°II.7). Ces mesures étant basées sur une variation de capacité, les substrats SOI (n° 1, 2 et 3) n'ont pas pu être caractérisés. Nous avons mesuré un écart d'épaisseur en surface d'environ 0.5 µm pour le substrat n°4 (standard 15 Ω.cm), 0.3 µm pour le substrat n°5 (substrat HR CZ 2760 Ω.cm) et 1 µm pour le substrat n°6 (substrat HR FZ 1910 Ω.cm).



Substrat standard (n°4)	Substrat HR (n°5)	Substrat HR (n°6)
15 Ω.cm (CZ)	2760 Ω.cm (CZ)	1910 Ω.cm (FZ)
Δ≈0.5 µm	Δ≈0.3 µm	Δ≈1 µm

Figure n°II.7. Représentations en 3-dimensions de l'épaisseur des substrats en silicium massif

Il est visible sur ces images que les substrats HR issus de la méthode de croissance *float-zone* (FZ) ont une planéité insuffisante et une dissymétrie trop forte qui expliquent les difficultés d'alignement lors des étapes de photolithographie. Ce défaut est probablement dû aux méthodes de polissage et traitement de surface utilisées pour la fabrication des substrats avec la croissance de type float-zone.

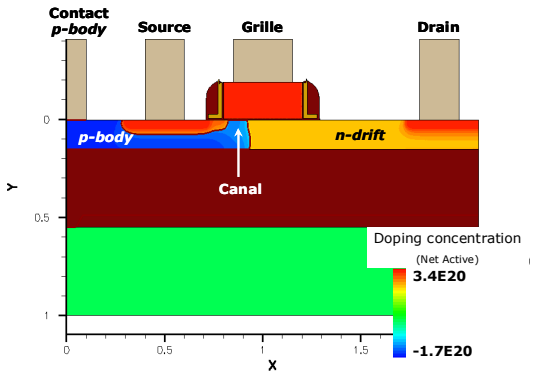
IV. Ajustement des implantations

Comme nous l'avons vu dans le chapitre I, la tension de seuil V_t et la tension de claquage BV_{ds} des transistors nLDEMOS sont respectivement définies par les implantations *p-body* et *n-drift* (et la longueur d'extension du drain pour BV_{ds}). Or, les valeurs initiales des implantations étaient destinées à l'utilisation de substrats SOI minces, avec une couche active de 0.16 µm d'épaisseur. Il était donc nécessaire de modifier ces implantations pour les calibrer aux différents substrats que nous avons utilisés. Pour ce faire, nous avons réalisé des simulations TCAD (logiciel *Synopsys*) afin d'observer différents profils d'implantation et ainsi éviter que les performances de nos composants ne soient trop éloignées des objectifs.

IV.1. Profils d'implantation

Le profil d'implantation des composants nLDEMOS réalisés sur substrat SOI mince (technologie HCMOS9SOI) est représenté par la figure suivante (figure n°II.8). Nous remarquons sur cette figure que la zone *n-drift* (en jaune-orange) est très homogène et que l'interface entre la zone *n-drift* et la zone *p-body* (en bleu) est assez verticale. Cette figure nous permet également de constater que la longueur effective du canal ne correspond pas à la longueur physique de la grille.

Normalement, le programme de simulation utilisé devait permettre l'extraction de la tension de seuil V_t, mais des problèmes ont été rencontrés lors de cette extraction (la simulation s'arrêtait en cours de route lors des calculs des caractéristiques statiques). Le travail nécessaire à la résolution de ces problèmes demandait l'aide d'un expert en simulation et malheureusement, cette aide n'a pas pu être apportée et nous étions donc dans l'incapacité de déterminer la tension de seuil supposée de nos futurs transistors. Nous avons donc utilisé les profils de simulation pour une étude plus qualitative que quantitative et nous nous sommes basé sur l'aspect des profils de dopage. Notre but était d'obtenir une zone *n-drift* la plus homogène possible et une interface *n-drift* / *p-body* la plus verticale possible juste en dessous de la grille car cela permet de minimiser la résistance de la zone *n-drift*.



Lg = 0.4 µm
Lext = 0.5 µm

	Substrat n°1 : SOI 0.16 µm		
	Dose (cm-3)	Energie (keV)	Dopant
Ndrift 1	2.20E+12	30	Phosphore
Ndrift 2	3.80E+12	90	
Pbody	2.50E+14	25	Bore

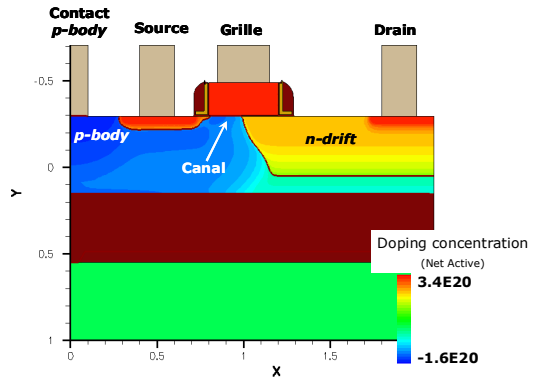
Figure n°II.8. Profil d'implantation obtenu après simulation pour un transistor nLDEMOS réalisé sur substrat SOI mince 0.16 µm dans les conditions standard d'implantation HCMOS9SOI

Pour homogénéiser la zone *n-drift*, l'implantation qui lui est dédiée est divisée en deux étapes. Une peu profonde d'énergie faible et une profonde avec une énergie plus importante (en relation avec l'épaisseur de la couche active).

Ne pouvant pas nous baser sur des valeurs simulées de V_t pour calibrer nos implantations, nous avons paramétré les implantations « à tâtons ». La finalité de ces simulations n'était donc pas d'obtenir des valeurs d'implantation précises, mais des points de départ autour desquels il nous faudrait tester différentes doses et énergies d'implantation pour être le plus proche possible de nos objectifs.

IV.1.b. Substrat n°2 : SOI 0.46 µm

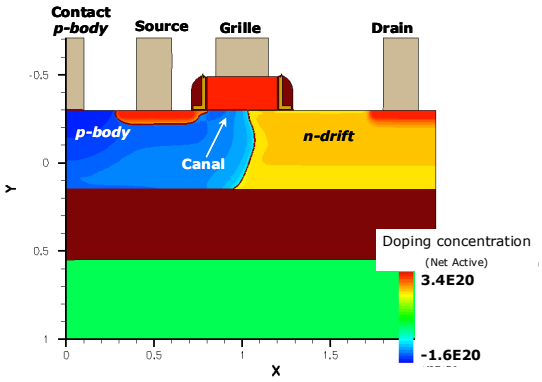
Nous avons commencé par simuler le profil d'implantation du substrat SOI 0.46 µm dans les conditions d'implantation standard HCMOS9SOI. Le profil que nous avons obtenu, représenté sur la figure n°II.9, ne correspondait pas à nos attentes puisque la zone *n-drift* n'est pas homogène et n'est pas adaptée à l'épaisseur de la couche active. Nous avons modifié l'implantation *n-drift* pour arriver finalement au profil représenté par la figure n°II.10. La raison pour laquelle nous n'avons pas travaillé avec l'implantation *p-body* est que les variations effectuées sur cette implantation lors des simulations ne modifiaient pas assez le profil de dopage pour nous permettre d'en tirer une conclusion significative. Par conséquent, l'implantation *p-body* devait être calibrée de façon expérimentale en fonction des premiers résultats obtenus.



Lg = 0.4 µm
Lext = 0.5 µm

	Substrat n°2 : SOI 0.46 µm		
	Dose (cm-3)	Energie (keV)	Dopant
Ndrift 1	2.20E+12	30	Phosphore
Ndrift 2	3.80E+12	90	
Pbody	2.50E+14	25	Bore

Figure n°II.9. Profil d'implantation obtenu après simulation pour un transistor nLDEMOS réalisé sur substrat SOI 0.46 µm dans les conditions standard d'implantation HCMOS9SOI



Lg = 0.4 µm
Lext = 0.5 µm

	Substrat n°2 : SOI 0.46 µm		
	Dose (cm-3)	Energie (keV)	Dopant
Ndrift 1	2.20E+12	50	Phosphore
Ndrift 2	3.80E+12	550	
Pbody	2.50E+14	25	Bore

Figure n°II.10. Profil d'implantation obtenu après simulation pour un transistor nLDEMOS réalisé sur substrat SOI 0.46 µm dans les conditions offrant la meilleure homogénéité du n-drift

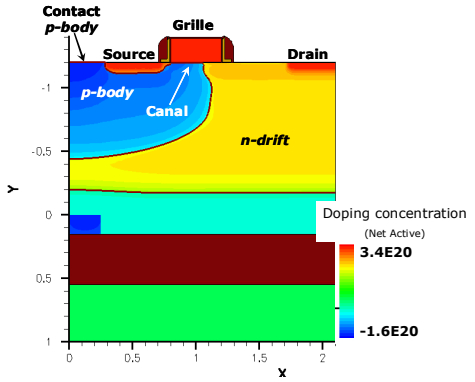
Les premiers résultats électriques expérimentaux nous ont montré que l'implantation *p-body* avait une dose trop importante. En effet, la tension de seuil V_t à partir de laquelle le canal se forme sous la grille était trop élevée (environ 1.3 V). La principale explication est que la concentration des dopants p sous la grille était trop forte. Nous avons réduit la dose de l'implantation *p-body* jusqu'à obtenir des tensions de seuil de l'ordre de 0.6 V. Les conditions optimales des implantations *n-drift* et *p-body* que nous avons trouvées pour le substrat n°2 sont les suivantes :

	Substrat n°2 : SOI 0.46 µm		
	Dose (cm-3)	Energie (keV)	Dopant
Ndrift 1	2.20E+12	30	Phosphore
Ndrift 2	3.80E+12	90	
Pbody	1.60E+14	25	Bore

Tableau n°II.2. Implantations n-drift et p-body optimales pour le substrat SOI 0.46µm (n°2)

IV.1.c. Substrat n°3 : SOI 1.36 µm

Les simulations que nous avons effectuées concernent le substrat SOI avec une couche active de 1.36 µm d'épaisseur. Il est facile de comprendre, en observant la figure n°II.9, qu'il n'était pas nécessaire de simuler le profil d'implantation du substrat n°3 dans les conditions initiales HCMOS9SOI. En effet, le résultat aurait été identique mais avec une épaisseur de silicium plus importante. Nous avons donc cherché le profil qui nous semblait le plus adapté et nous avons obtenu le profil de la figure n°II.11. Pour y arriver, nous nous sommes basés sur les conditions d'implantation utilisées en technologie BiCMOS7RF dans laquelle des transistors nLDEMOS sont intégrés sur substrat massif en 0.25 µm bien que le budget thermique soit différent du notre.



Lg = 0.4 µm
Lext = 0.5 µm

	Substrat n°3 : SOI 1.36 µm		
	Dose (cm-3)	Energie (keV)	Dopant
Ndrift 1	2.20E+12	70	Phosphore
	2.20E+12	250	
Ndrift 2	3.80E+12	550	
Pbody	2.50E+14	25	Bore

Figure n°II.11. Profil d'implantation obtenu après simulation pour un transistor nLDEMOS réalisé sur substrat SOI 1.36 µm dans les conditions offrant la meilleure homogénéité

Pour obtenir une couche *n-drift* à la fois profonde et homogène, nous avons ajouté une implantation à la suite de la première, avec la même dose mais à plus forte énergie. De même que pour le substrat n°2, l'implantation *p-body* a été ajustée expérimentalement à 1.3×10^{14} cm^{-3} pour une énergie d'implantation de 25 keV.

Nous n'avons pas jugé utile de simuler le profil d'implantation pour un substrat en silicium massif puisque, d'une part les conditions d'implantation de BiCMOS7RF que nous avons utilisées comme base sont dédiées à un substrat massif, d'autre part le profil d'implantation de la figure n°II.11 nous montre que l'implantation *n-drift* n'atteint pas l'oxyde enterré du substrat SOI 1.36 µm. Nous pouvons en déduire que le profil d'implantation d'un substrat massif est équivalent à celui d'un substrat SOI 1.36 µm (sans la couche d'oxyde enterrée). Par conséquent, nous avons décidé d'appliquer les mêmes conditions d'implantation aux substrats n°3, 4, 5 et 6.

V. Résultats électriques

Tous les résultats électriques présentés par la suite ont été obtenus dans les conditions d'implantations *n-drift* et *p-body* considérées comme optimales pour chaque substrat. Les différentes comparaisons sont faites pour des transistors ayant obtenus des tensions de seuil V_t relativement proches de l'ordre de 0.6 V.

V.1. Dispositifs étudiés

Dans le chapitre précédent (paragraphe III.3), nous avons discuté la position des prises de contact p+ du *p-body* entre la configuration multi-p+ et la configuration barreau-p+ (respectivement figures n°II.12 et n°II.13). Nous avons alors testé les deux configurations sur le substrat n°2 (SOI 0.46 µm) et les résultats obtenus (tableaux n°II.3 et n°II.4) ne présentent pas de claquage prématuré, ce qui nous laisse le choix de la configuration de prises de contact p+ du *p-body* pour les substrats massifs.

Paramètres	Unité	multi-p+	barreau-p+
V_t	V	0.71	0.7
BV_{ds}	V	14.2	14.2
I_{on} (V_{ds}=5 V; V_{gs}=2.5 V)	µA/µm	456	461
I_{lin} (V_{ds}=0.1 V; V_{gs}=2.5 V)	µA/µm	39.4	39.5
I_{off} (V_{ds}=5 V; V_{gs}=0 V	pA/µm	3.9	5.1

Tableau n°II.3. Comparaison des résultats DC entre les configurations mutli-p+ et barreau-p+ du substrat n°2 ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5 µm, structure standard

Paramètres	Unité	multi-p+	barreau-p+
F_T	GHz	26.5	27.9
F_{max}	GHz	38.3	41
C_{gs} (V_{gs}=1.1 V; V_{ds}=3.6 V	fF	144	152
C_{gd} (V_{gs}=1.1 V; V_{ds}=3.6 V	fF	59	59
C_{ds} (V_{gs}=1.1 V; V_{ds}=3.6 V	fF	167	154
Gm (V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	266.4	294

Tableau n°II.4. Comparaison des résultats RF petits signaux entre les configurations multi-p+ et barreau-p+ du substrat n°2 ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm, structure standard

Puisque la configuration en barreau-p+ semble présenter les meilleures performances hyperfréquences, nous avons décidé de l'appliquer à nos composants quel que soit le type de substrat utilisé, sauf le substrat n°1 pour lequel la configuration multi-p+ est obligatoire. En effet, si l'on observe la coupe A-A' de la figure n°II.12, on remarque que la source (zone n+) atteint la couche d'oxyde enterrée, ce qui empêcherait une prise de contact du *p-body* par un barreau-p+ central comme présentée sur la coupe A-A' de la figure n°II.13.

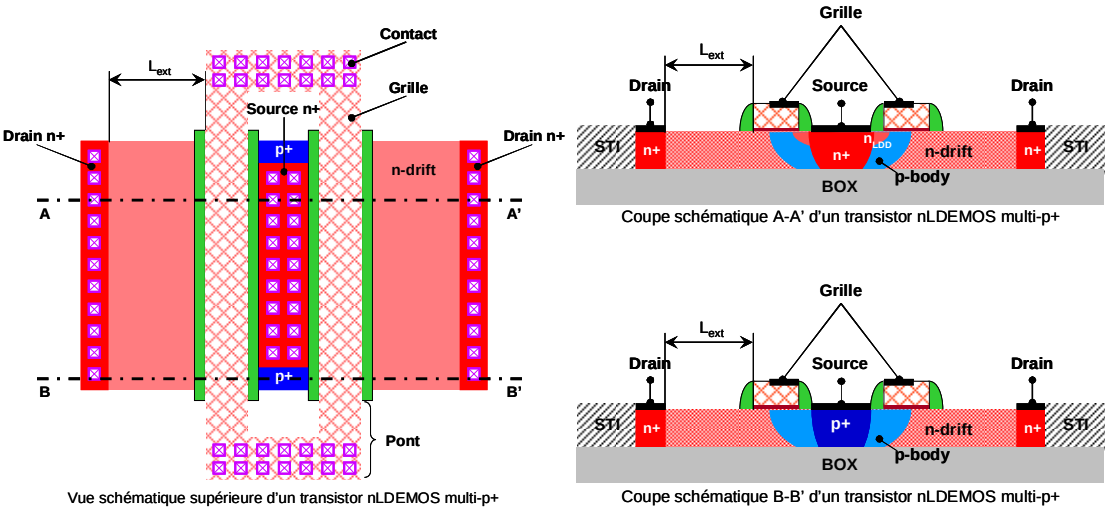


Figure n°II.12. Représentation schématique d'un transistor nLDEMOS à contacts p-body multi-p+, substrat type SOI 0.16 µm

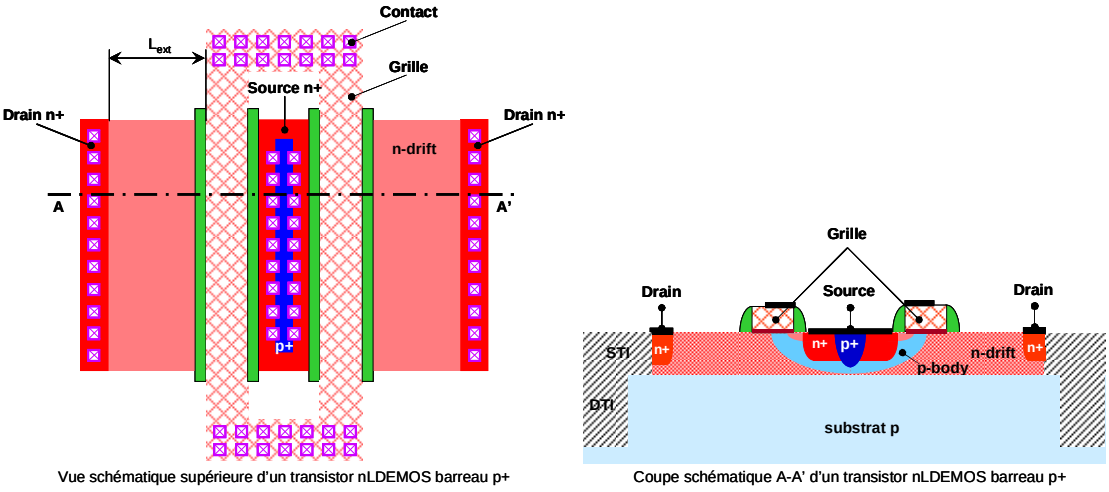


Figure n°II.13. Représentation schématique d'un transistor nLDEMOS à contact p-body en barreau-p+, substrat type massif

Pour les caractérisations statiques, les composants étudiés ont des largeurs de grille totales de 10 µm (2×5 µm), alors que ceux étudiés en caractérisations petits et grands signaux ont des largeurs de grille totales de 250 µm (10×25 µm). La majorité des mesures statiques

sont faites pendant la fabrication de façon automatisée et cela limite les niveaux de courants maximum au point de devoir restreindre la taille de nos composants. En contrepartie, cela nous autorise un plus grand nombre de composants. En ce qui concerne les composants destinés aux caractérisations hyperfréquences, ils doivent être assez grands pour fournir suffisamment de puissance et de courant. Pour que les comparaisons soient applicables, les composants pour lesquels nous avons comparé les performances avaient des tensions de seuil V_t sensiblement équivalentes (aux environs de 0.6 V).

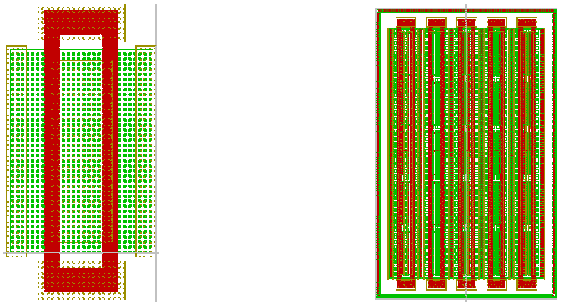


Figure n°II.14. Représentations schématiques de transistors nLDEMOS de développement total 10 µm (2×5 µm, à gauche), 250 µm (10×25 µm, à droite)

V.2. Résultats DC

Les résultats statiques que nous avons obtenus en fonction du type de substrat utilisé pour réaliser les transistors nLDEMOS sont regroupés dans le tableau n°II.5. Nous pouvons déduire de ce tableau que des résultats statiques similaires peuvent être obtenus quel que soit le type de substrat utilisé avec toutefois quelques divergences.

La première divergence observée concerne le substrat n°5 (substrat haute résistivité en silicium massif fabriqué à partir de la méthode de croissance Czochralski). Les composants fabriqués sur ce type de substrat ont un courant de fuite très élevé et une tension de claquage plus faible que les autres composants. Ce courant de fuite très important, de l'ordre de 35000 pA/µm, est principalement lié à un courant inter-composant puisqu'il peut être réduit à une centaine de pA/µm par l'ajout de tranchées profondes d'isolation (DTI pour *Deep Trench Isolation*). De plus, il est certainement à l'origine de la valeur de BV_{ds} car il doit fausser la mesure automatique atteignant trop rapidement le courant maximum autorisé. Le fait de n'observer ce comportement que sur le substrat n°5 doit venir de sa grande résistivité et de la méthode de fabrication utilisée dans laquelle les faibles niveaux de dopage sont plus difficiles à contrôler.

Une autre divergence est observée sur les composants réalisés sur le substrat n°1 (SOI 0.16 µm). En effet, ces composants affichent une résistance $R_{n\text{-}drift}$ plus forte que les autres composants qui peut être expliquée par une section plus restreinte de la zone *n-drift*. Cette différence est à l'origine des autres petits écarts de BV_{ds} et de $S.R_{on}$.

Résultats statiques en fonction du type de substrat

Substrat	n°	1	2	3	4	5	6
Epaisseur de la couche active	µm	0.16	0.46	1.36	/	/	/
Contact *p-body*	/	multi-p+	barreau p+	barreau p+	barreau p+	barreau p+	barreau p+
V_t	V	0.61	0.59	0.63	0.62	0.56	0.58
BV_{ds}	V	16.2	15.2	14.2	14.2	8.4	14
gm	mS/mm	/	43.7	42.3	43.9	46.2	45.7
$S.R_{on}$	mΩ.mm²	7.5	5.3	5.5	5.3	5.3	5.4
I_{on} V_{ds}=5V; V_{gs}=2.5V	µA/µm	410	423	416	457	501	489
I_{lin} V_{ds}=0.1V; V_{gs}=2.5V	µA/µm	27.7	38.8	37.6	39.1	41.5	40.5
I_{off} V_{ds}=5V; V_{gs}=0V	pA/µm	3.8	6.2	1.7	4.7	34860	5.5
R_{ndrift} V_{ds}=5V; V_{gs}=0V	Ω/□	3500	1950	1200	1775	1162	1198

Tableau n°II.5. Tableau récapitulatif des résultats statiques obtenus en fonction du type de substrat utilisé (L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5=10 µm)

Nous pouvons conclure de ces résultats que des compromis similaires (I_{on}/I_{off}, $S.R_{on}/BV_{ds}$) peuvent être réalisés quel que soit le type de substrat utilisé. Cependant, il faut prendre en compte le fait que les substrats de type SOI mince souffrent d'un effet d'auto-échauffement (figure n°II.15) qui peut être pénalisant pour les applications de puissance.

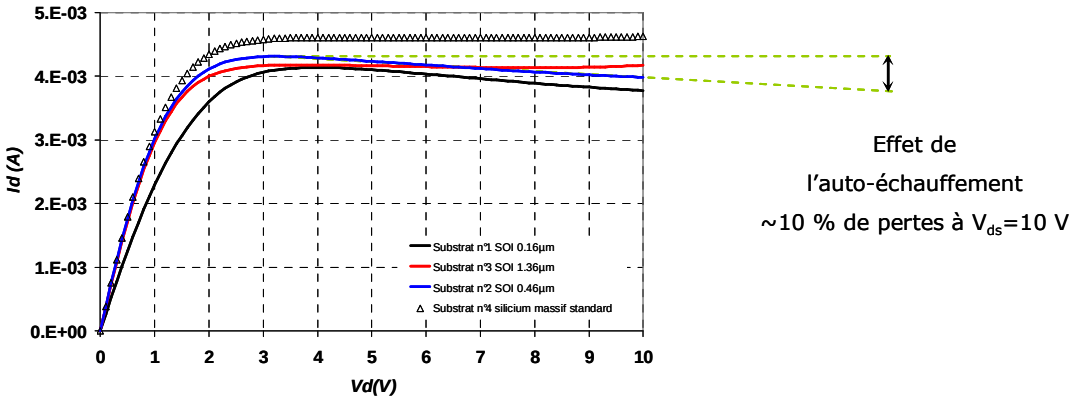


Figure n°II.15. Caractéristiques $I_d(V_d)$ pour différents substrats (W_g=2×5=10 µm ; V_{gs}=2.5 V)

V.3. Résultats RF

Le tableau n°II.6 regroupe les mesures RF que nous avons obtenues pour les différents substrats utilisés. Nous pouvons déduire de ces résultats que les performances obtenues pour la fréquence de transition et la fréquence maximale d'oscillation sont indépendantes du type de substrat avec tout de même une fréquence de transition légèrement plus basse pour les substrats SOI qui est liée à la variation de C_{gs}.

Il faut tout de même garder à l'esprit que plus les substrats SOI ont des couches actives minces, plus ils souffrent de l'effet d'auto-échauffement. Cependant, il est intéressant de noter que les substrats SOI minces permettent d'isoler totalement les composants les uns des autres grâce à l'oxyde enterré (ce qui explique en partie l'augmentation de l'auto-échauffement). La capacité drain – source C_{ds} se trouve ainsi réduite.

Résultats RF en fonction du type de substrat

Substrat	n°	1	2	3	4	5	6
Epaisseur de la couche active	µm	0.16	0.46	1.36	/	/	/
Contact *p-body*	/	multi-p+	barreau p+	barreau p+	barreau p+	barreau p+	barreau p+
F_T	GHz	25.3	26.4	26.9	27.8	27.7	27.4
F_{max}	GHz	33.5	40.3	34.7	37.5	38.3	37.4
C_{gs} V_{gs}=1.1V; V_{ds}=3.6V	fF	280	253	214	187	202	202
C_{gd} V_{gs}=1.1V; V_{ds}=3.6V	fF	85	59	57	55	55	55
C_{ds} V_{gs}=1.1V; V_{ds}=3.6V	fF	80	131	199	213	198	198
Gm V_{gs}=1.3V; V_{ds}=3.6V	mS/mm	240	257	246	291	292	285

Tableau n°II.6. Tableau récapitulatif des résultats RF obtenus en fonction du type de substrat utilisé (L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm)

Comparées à F_T et F_{max}, les capacités ont des variations plus prononcées en fonction du type de substrat utilisé. La capacité C_{gs} diminue lorsque l'épaisseur de la couche active de silicium augmente, car la zone dopée n+ de la source à proximité de la grille s'amincie, ce qui entraine une réduction du couplage capacitif entre la grille et la source. L'augmentation de la capacité C_{ds} quand l'épaisseur de la couche active de silicium augmente est due au fait que la surface de *n-drift* visible par la source augmente également. Pour comprendre la diminution de la capacité C_{gd}, il faut observer les figures n°II.8 à II.11. Il faut remarquer sur ces figures que la longueur parcourue par la zone *n-drift* sous la grille diminue quand l'épaisseur de la couche active de silicium augmente. Par conséquent, la capacité entre la grille et le drain C_{gd} diminue également. Nous pouvons également relier les variations de G_m aux variations des

tensions de seuil puisque une diminution de V_t implique une augmentation de la transconductance.

V.4. Résultats load-pull

Les mesures load-pull présentées dans ce paragraphe ont toutes été réalisées sur des transistors de configuration standard comme illustré sur les figures n°II.12 et n°II.13.

Ces mesures load-pull ont été séparées en deux parties. La première concerne les mesures effectuées avec une impédance de charge présentée à la sortie des transistors de 50 Ω. Dans la seconde partie, l'impédance présentée à la sortie des transistors permet d'obtenir la plus forte puissance de sortie (P_{out}). On parle alors d'impédance de charge optimale en P_{out}. Les mesures présentées ont été réalisées dans les conditions de polarisation les plus proches d'une classe $AB_{4\%}$ à la fréquence de 4 GHz. La tension appliquée sur le drain est de 3.6 V et celle appliquée sur la grille est aux environs de 0.8 V. Cette dernière tension varie légèrement d'un composant à l'autre pour fournir la bonne quantité de courant I_{ds} (~4% de $I_{ds\,max}$). Les composants sur lesquels les mesures ont été faites ont une longueur de grille L_g de 0.4 µm, une longueur d'extension de drain L_{ext} de 0.5 µm et un développement total de 10×25 µm = 250 µm.

V.4.a. Impédance de charge de 50 Ω

Les mesures effectuées avec une impédance de charge de 50 Ω nous ont donné les résultats présentés sur les graphiques de la figure n°II.16.

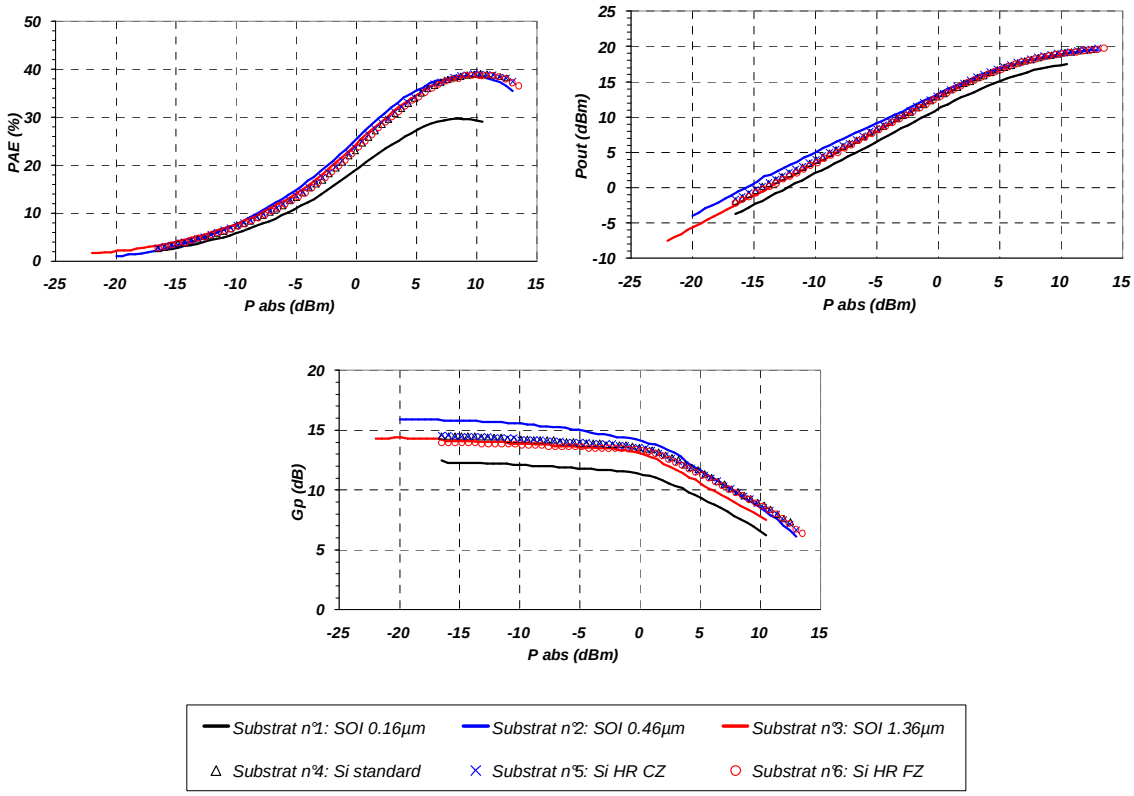


Figure n°II.16. Résultats load-pull obtenus pour les différents substrats avec une impédance de charge de 50 Ω (f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm).

Les résultats présentés sur les graphiques précédents montrent qu'il y a relativement peu de différences entre les performances load-pull des transistors nLDEMOS fabriqués sur substrat massif ou SOI 1.36 µm. Une dégradation des performances sur substrat SOI est observée lorsque le régime saturé est atteint. Cette dégradation vient de l'auto-échauffement qui est plus important sur substrat SOI et plus la couche active du substrat SOI est mince, plus l'auto-échauffement est important.

V.4.b. Impédance de charge optimale en P_{out}

Les résultats des mesures load-pull obtenus pour des impédances de charge optimale en P_{out} sont présentés sur les graphiques suivants (figure n°II.17) ainsi que dans le tableau ci-dessous.

Résultats Load-pull en fonction du type de substrat

Substrat	n°	1	2	3	4	5	6
Epaisseur de la couche active	µm	0.16	0.46	1.36	/	/	/
Contact *p-body*	/	multi-p+	barreau p+	barreau p+	barreau p+	barreau p+	barreau p+
$G_{p\ lin}$	dB	13.5	19.0	16.8	16.7	18.0	17.3
$P_{out\ sat}$	dBm	18.0	18.9	18.4	18.9	19.0	18.9
$P_{out\ 1dB}$ @ 1 dB de compression de G_p	dBm	10.7	11.4	11.1	11.9	11.7	10.1
PAE_{max}	%	39.0	48.7	45.3	45.9	48.1	48.1
$Z_{L\ opt}$ en P_{out}	(r,θ°)	(0.2,40)	(0.2,72)	(0.23,80)	(0.18,68)	(0.24,80)	(0.24,80)

Tableau n°II.7. Résultats load-pull obtenus pour les différents substrats avec une impédance de charge optimale en P_{out} (f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm)

Nous pouvons remarquer d'après les mesures réalisées avec une impédance de charge optimale en P_{out} qu'il n'y a pas une très grande différence en fonction du substrat utilisé. Les écarts sont tout de même un peu plus marqués que pour les mesures à 50 Ω.

En effet, le substrat n°1 SOI 0.16 µm semble être le moins performant. C'est en même temps celui dont les composants possèdent les plus faibles caractéristiques hyperfréquences (voir tableau n°II.6). Inversement, le substrat n°2 qui présentait les caractéristiques RF les plus intéressantes confirme ce comportement en régime grand signal. Nous pouvons également observer un comportement similaire entre les substrats n°3 et n°4.

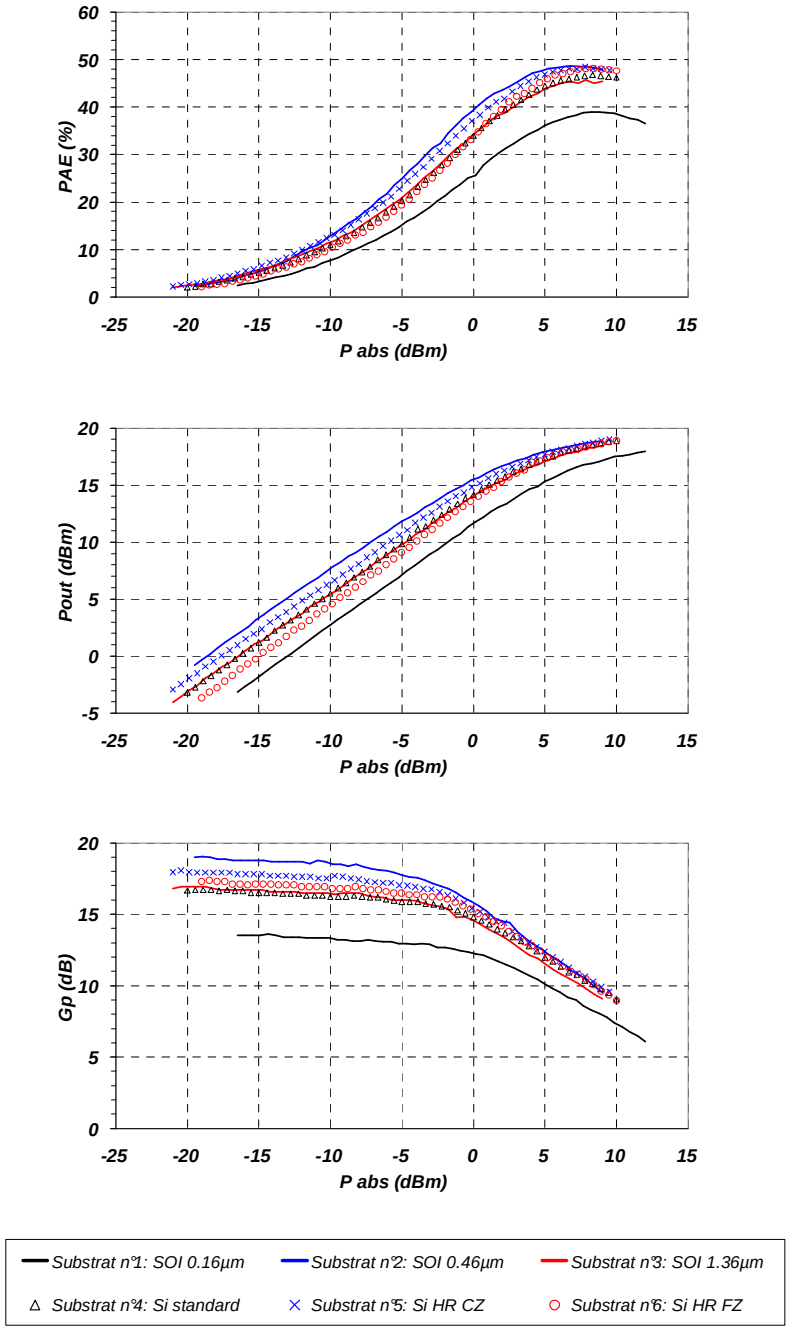


Figure n°II.17. Résultats load-pull obtenus pour les différents substrats avec une impédance de charge optimale en P_{out} (f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm)

V.4.c. Cartographies à P_{inj} fixe

Des mesures load-pull complémentaires ont été effectuées à l'IEMN. Ces mesures consistent à déterminer une grandeur caractéristique (PAE, P_{out} ou G_p) pour différentes valeurs d'impédance de sortie. Elles se font dans des conditions de polarisations définies et à une puissance injectée fixe (+10dBm ou +15dBm dans notre cas). Nous obtenons ainsi une

cartographie, semblable à celle représentée sur la figure II.18, représentant l'évolution de la grandeur considérée (P_{out} dans cet exemple) en fonction de l'impédance présentée à la sortie du composant.

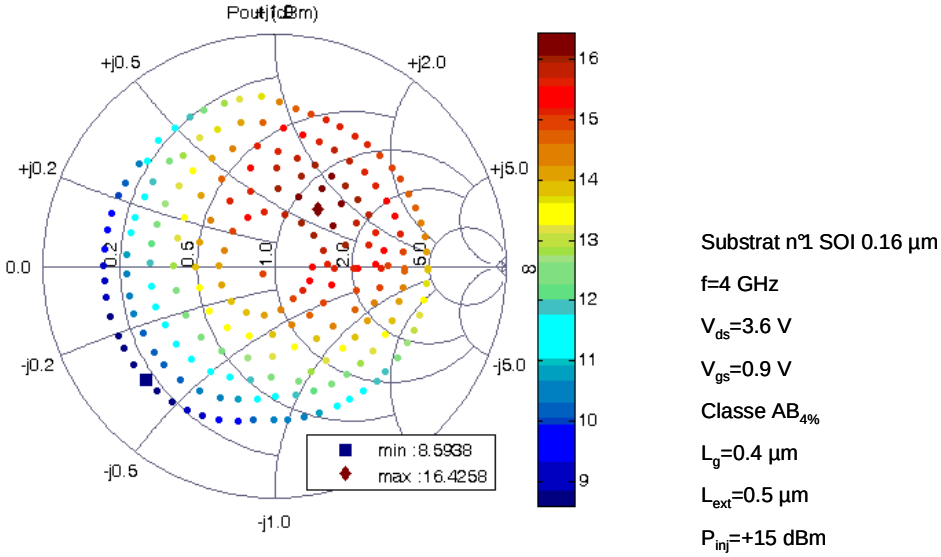


Figure n°II.18. Exemple de cartographie d'impédance de charge pour P_{out} obtenue à P_{inj}=+15dBm

Les résultats des valeurs maximales obtenus par cartographie sont inscrits dans le tableau suivant (tableau n°II.8). D'après ce tableau, les substrats les plus performants sont ceux en silicium massif avec tout de même des résultats qui restent relativement proches les uns des aux autres, excepté pour le substrat SOI 0.16 µm qui présente des performances globalement bien en deçà de celles obtenues avec les autres substrats.

		Numéro et type de substrat					
P_{inj} (dBm)	Valeur maximum	n°1 SOI 0.16µm	n°2 SOI 0.46µm	n°3 SOI 1.36µm	n°4 massif standard	n°5 massif HR (Cz)	n°6 massif HR (FZ)
10	PAE (%)	26.3	52.1	51.2	53.2	52.5	53.6
	Pout (dBm)	17.6	17.9	17.2	17.7	17.6	17.5
	Gp (dB)	10.9	17.8	16.9	19.4	15.6	24.3
15	PAE (%)	45.8	48	47.7	49.7	49.7	49.9
	Pout (dBm)	16.4	19.1	18.7	19.3	19.3	19.2
	Gp (dB)	18.5	9.7	9.9	10.7	10.5	10.9

Figure n°II.19. Tableau des valeurs maximales de PAE, P_{out} et G_p obtenues par cartographie d'impédance de charge

VI. Conclusion

Nous avons montré dans ce chapitre l'influence que peut avoir le substrat sur les performances de transistors nLDEMOS (L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25=250 µm). Nous pouvons en conclure que les substrats de type SOI mince pénalisent les performances RF de nos composants à cause d'un effet de couplage parasite entre la grille et la source et d'un effet d'auto-échauffement qui sont plus importants. Ce dernier doit cependant être vérifié une fois les composants encapsulés puisqu'une partie de la chaleur peut alors être évacuée par les contacts. Il est également possible que la technologie de prise de contact en face arrière (TSV pour *Through Silicon Via*) puisse réduire ce problème. Cette technologie consiste à amincir la face arrière de la plaquette et à y déposer des plots contactés à la face avant par des tranchées métallisées profondes (*Via*). Il est également possible de réaliser plusieurs niveaux métalliques en face arrière pour améliorer le routage des signaux électriques. Le principal intérêt avéré de cette technologie pour les PA est de pouvoir connecter un plan métallique à la source du transistor afin de réduire l'inductance de celle-ci et ainsi améliorer les performances en puissance. De plus, la configuration des prises de contact du *p-body* en multi-p+, obligatoire sur SOI mince, pénalise également les résultats obtenus avec ce type de substrat.

Les performances en puissance inférieures du substrat SOI mince sont cependant contrebalancées par la possibilité d'intégrer des commutateurs d'antennes CMOS. De plus, un nouveau type de substrat en cours d'étude doit permettre de conserver les avantages du SOI mince (l'isolation complète des composants par exemple) tout en réduisant l'effet d'auto-échauffement. Ce substrat SOI possède une couche isolante à la place du BOX qui a une conductivité thermique bien plus élevée que l'oxyde de silicium [Oshima'03].

Les substrats silicium massifs permettent d'atteindre de meilleures performances en puissance mais l'intégration des commutateurs d'antennes (MEMS) est plus complexe. Le choix du substrat doit donc prendre en compte non seulement les performances en puissance mais également l'intégration et le coût total de la solution retenue.

Dans le chapitre suivant, nous allons étudier l'influence de la structure même des composants et tenter d'améliorer leurs performances, indépendamment du substrat choisi, en modifiant certains paramètres de leur géométrie.

Chapitre n°III : MODIFICATION DU DESSIN DES COMPOSANTS (*LAYOUT*)

I. Introduction

Dans ce chapitre, nous allons étudier les différentes modifications de dessin que nous avons apportées sur les structures des transistors nLDEMOS de base afin d'améliorer leurs performances hyperfréquence petit et grand signal. Pour parvenir à augmenter les performances des transistors nLDEMOS réalisés en technologie HCMOS9, nous nous sommes principalement orientés sur l'augmentation de la fréquence maximale d'oscillation F_{max} qui est définie par la relation suivante :

$$F_{\max} = \frac{F_T/2}{\sqrt{R_g(g_{ds} + 2\pi F_T C_{gd})}} \text{ (1) avec } F_T = \frac{g_m}{2\pi\left(C_{gs} + C_{gd}\right)} \text{ (2)}$$

Les différents éléments impliqués dans ces formules ont été décrits lors des chapitres précédents.

Nous remarquons que F_{max} est limitée, entre autre, par la résistance de grille R_g. Nous avons donc réfléchi à la façon de diminuer cette résistance de grille. Une des solutions qui s'est présentée à nous est de remplacer le polysilicium de la grille par un métal. Pour réaliser cette opération, nous avons utilisé une méthode dite *PRETCH* (*Polysilicon Replacement Through Contact Hole* [Harrison'04]) initialement développée à STMicroelectronics. Il y a dans la version que nous avons adaptée de ce procédé, et qui est détaillée dans le chapitre suivant, une étape qui consiste à placer un contact au-dessus du polysilicium de la grille, alors qu'ils sont généralement placés sur les « ponts » en bout de grille. Nous nous sommes intéressés à l'influence que peut avoir cette modification de contact sur les performances de composants standards avec des grilles en polysilicium.

Nous allons dans un premier temps détailler les différentes structures étudiées. Nous regarderons ensuite les résultats obtenus avec chacune d'elle. Nous étudierons ensuite l'influence de certains paramètres géométriques et nous exposerons les meilleures performances load-pull obtenues.

II. Descriptions des différentes structures étudiées

II.1. Structure standard

Ce que nous avons définis comme la structure standard est celle réalisée en technologie HCMOS9 (et HCMO9SOI si on néglige les prises de contact p+ du *p-body*). Elle est représentée par la figure suivante (figure n°III.1).

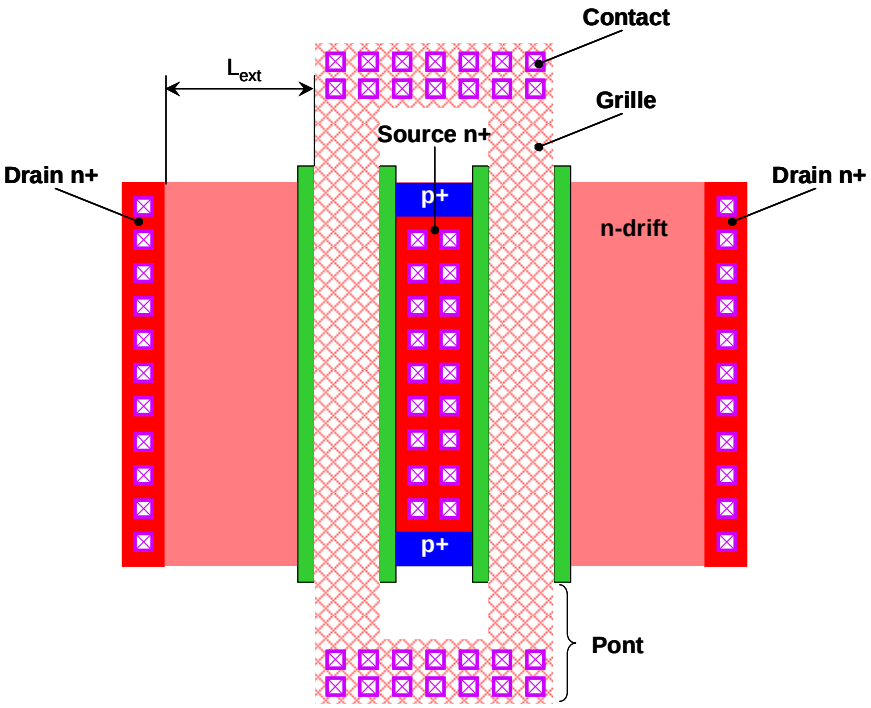


Figure n°III.1. Représentation schématique d'un transistor nLDEMOS à structure standard

Il faut noter sur cette structure que tous les contacts sont constitués de petits carrés de 0.16 µm de côté, et que ceux des grilles sont situés aux bouts des grilles sur des « ponts » qui les relient entre elles. L'uniformité du potentiel électrique sur les grilles est assurée par une couche de siliciure qui recouvre la quasi-totalité du polysilicium.

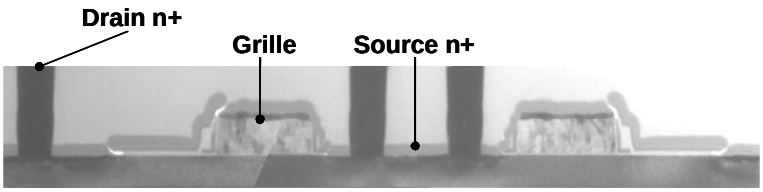


Figure n°III.2. Coupe TEM d'un transistor nLDEMOS à structure standard

Dans la configuration de la structure standard, la résistance de grille est définie comme la somme de quatre résistances : $R_{g\ std} = R_{ponts} + R_{\square} + R_{verticale} + R_{métallisation}$ (voir figure n°III.3)

Dans cette somme, R_{ponts} correspond à la résistance globale apportée par les ponts de polysilicium, $R_{\square}$ est la résistance par carré de la couche de polysilicium siliciurée, $R_{verticale}$ correspond à la résistance des interfaces polysilicium / siliciure et siliciure / contact. $R_{métallisation}$ est la résistance apportée par les contacts et les niveaux de métaux.

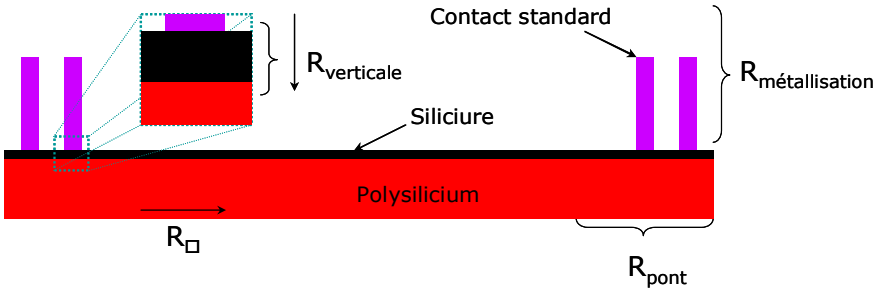


Figure n°III.3. Localisation schématique des résistances composant $R_{g\ std}$ (vue selon W_g)

II.2. Structure simple ruban

Comme il a été dit précédemment, la principale modification de structure s'est faite au niveau des contacts de grille. Les grilles de nos transistors ont des largeurs qui mesurent au minimum 5 µm et il est impossible de remplacer l'intégralité du polysilicium pour réaliser des grilles métalliques depuis les trous de contact standard situés sur les ponts (cf chapitre IV). C'est la raison pour laquelle il nous est nécessaire de réaliser des contacts en ruban sur le polysilicium, au dessus de la zone active. La structure obtenue est représenté sur les figures suivantes (figures n°III.4 et n°III.5).

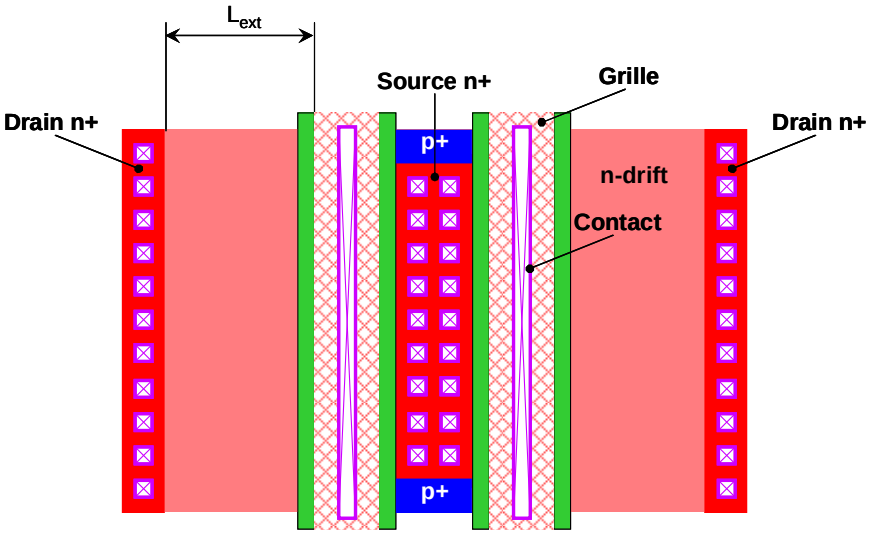


Figure n°III.4. Représentation schématique d'un transistor nLDEMOS à structure simple ruban

Les contacts de grille standard, sur cette structure, ont été remplacés par un ruban de 0.16 µm de largeur et dont la longueur dépend de la largeur des grilles. Ce ruban a été placé directement sur la zone siliciurée de polysilicium, entre les contacts de source et de drain.

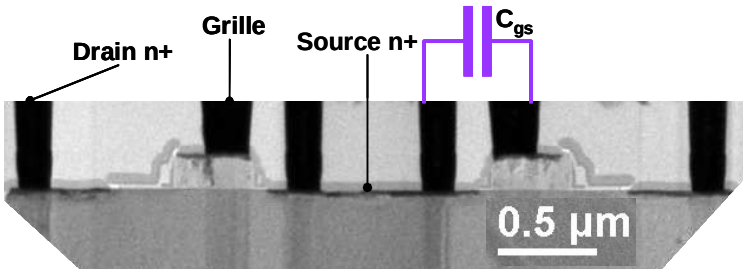


Figure n°III.5. Coupe TEM d'un transistor nLDEMOS à structure simple ruban

En plus de la modification des contacts de grille, nous avons supprimé les ponts reliant les deux grilles car ils n'ont plus d'utilité et ceci permet de diminuer les dimensions des transistors. Nous avons nommé cette structure « la structure simple ruban ».

Dans cette configuration, la résistance de grille se réduit à la somme de deux composantes : $R_{g\ ruban} = R_{verticale} + R_{métallisation.}$

Les résultats obtenus avec ce type de structure sont présentés dans la suite de ce chapitre (tableaux n°III.1, à n,°III.4). Nous pouvons voir sur ces résultats qu'un gain significatif est obtenu sur F_{max} et que F_T diminue. Or, la fréquence maximale d'oscillation est

limitée par la fréquence de transition dans la relation (1). Par conséquent, si F_T diminue, F_{max} diminue également et les performances de nos transistors sont donc amoindries. Nous nous sommes aperçu que le problème vient de l'augmentation de la capacité extrinsèque grille-source (C_{gs}) induite par la proximité des contacts de grille et de source (figure n°III.5). Il était donc nécessaire de modifier à nouveau la structure de nos composants pour diminuer cette capacité C_{gs} et ainsi limiter les pertes sur la fréquence de transition. Cependant, un grand nombre de composants à structure simple ruban ont été caractérisés en attendant la disponibilité de nouvelles structures optimisées qui seront présentés ultérieurement

II.3. Structure double ruban

Puisque le problème des pertes sur la fréquence de transition vient de la capacité existante entre les contacts de grille et ceux de la source, nous avons modifié ces derniers en remplaçant les deux rangés de petits contacts par un ruban central comme illustré sur les figures suivantes (figures n°III.6 et n°III.7). Cette nouvelle structure, que nous avons nommée « structure double ruban », nous permet d'éloigner les contacts de grille de ceux de la source et donc de réduire la capacité C_{gs} électrostatique induite entre ceux-ci. Les résultats que nous avons obtenus avec ce type de composant sont décrits dans la suite ce chapitre.

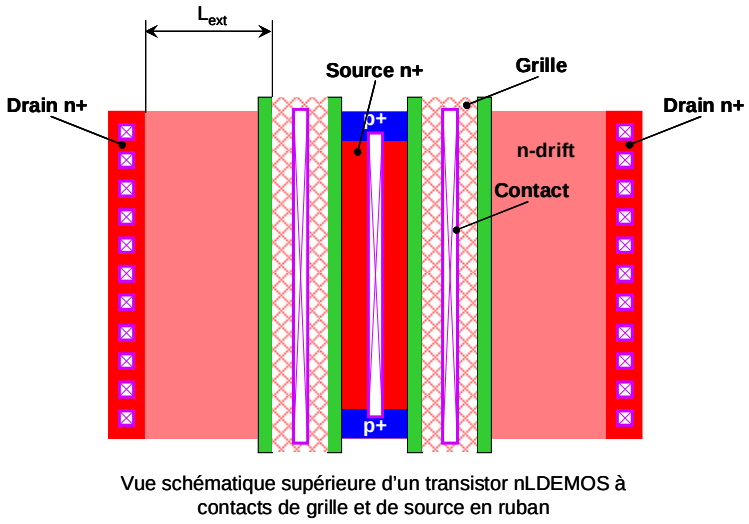


Figure n°III.6. Représentation schématique de la structure double ruban

Dans cette structure double ruban, l'expression de la résistance de grille est la même que pour la structure simple ruban.

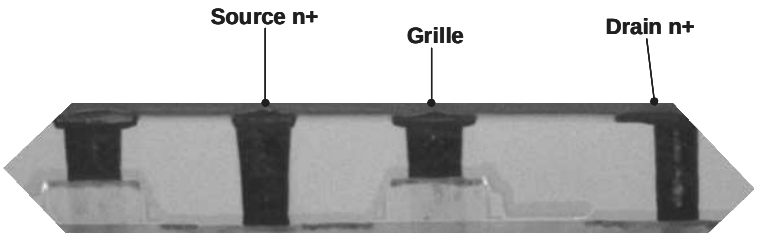


Figure n°III.7. Coupe TEM d'un transistor nLDEMOS à structure double ruban

III. Résultats électriques

Nous allons maintenant passer à l'analyse des résultats que nous avons obtenus avec ces trois structures. Nous comparerons dans un premier temps la structure standard à la structure simple ruban puisque c'est la première à avoir été réalisée. En effet, ce sont les résultats de la structure simple ruban qui nous ont permis de réaliser la structure double ruban. Pour clarifier au maximum les interprétations, il faut prendre note que les composants qui sont comparés entre eux ont été réalisés sur le même substrat (plus précisément sur la même plaquette, ce qui signifie qu'ils ont rigoureusement subit le même procédé de fabrication), et que ces comparaisons ne tiennent pas compte du substrat utilisé puisque les mêmes tendances ont été observées sur chacun de ceux étudiés dans le chapitre précédent.

III.1. Structure simple ruban

Cette étude a été réalisée sur un substrat massif standard.

III.1.a. Résultats DC

Les résultats DC obtenus avec la structure simple ruban sont présentés ci-après.

Paramètres	Unité	Structure standard	Structure simple ruban
V_t	V	0.62	0.63
BV_{ds}	V	14.2	14.0
$S.R_{on}$	mΩ.mm²	5.3	5.3
I_{on} V_{ds}=5V; V_{gs}=2.5V	µA/µm	457	456
I_{off} V_{ds}=5V; V_{gs}=0V	pA/µm	4.70	3.60

Tableau n°III.1. Comparaison des résultats DC entre les structures standard et simple ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5 µm

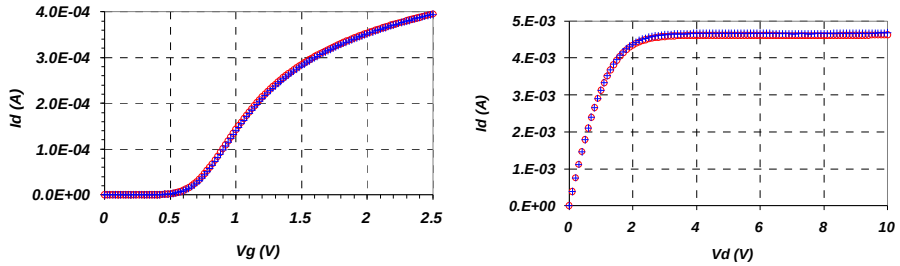


Figure n°III.8. Caractéristiques $I_{ds}(V_{gs})$ à V_{ds}=0.1 V et $I_{ds}(V_{ds})$ à V_{gs}=2.5 V des structures standard et simple ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5 µm

Ces mesures nous montrent que la modification de contact de grille n'a aucune influence sur les performances DC de nos transistors nLDEMOS.

III.1.b. Résultats hyperfréquences petits signaux

Les résultats RF, présentés dans le tableau suivant, nous montrent que la structure simple ruban a une fréquence maximale d'oscillation largement supérieure à celle de la structure standard (respectivement 52 GHz et 40 GHz), alors que sa fréquence de transition n'est que légèrement inférieure à celle de la structure standard (respectivement 28 GHz et 25 GHz).

Paramètres	Unité	Structure standard	Structure simple ruban	
F_T V_{ds}=3.6V	GHz	28.0	25.0	-10.7 %
F_{max} V_{ds}=3.6V	GHz	40	52	+30 %
C_{gs} V_{as}=1.1V; V_{ds}=5V	fF	216	333	+54.2%
C_{gd} V_{gs}=1.1V; V_{ds}=5V	fF	46	86	+87 %
R_g V_{gs}=1.3V; V_{ds}=5V; F=5GHz	Ω	10.5	2.0	-81.0 %
G_m V_{gs}=1.3V; V_{ds}=5V	mS/mm	288	285	

Tableau n°III.2. Comparaison des résultats RF entre les structures standard et simple ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

Les contacts ruban placés sur les grilles réduisent la résistance de grille de façon significative de 10.5 Ω pour la structure standard à 2 Ω pour la structure simple ruban, ce qui correspond respectivement à 42 Ω/mm et 10 Ω/mm. Cette réduction est la principale contribution à l'augmentation de F_{max}. Toutefois, il n'y a pas que des avantages à utiliser des contacts ruban puisque les composantes extrinsèques des capacités C_{gd} et C_{gs} sont également

augmentées par ces mêmes contacts ruban. Cette augmentation des capacités est doublement pénalisante puisque la fréquence de transition en est directement affectée et que cela influe également sur la fréquence maximale d'oscillation. Pour réduire ces dégradations associées aux capacités C_{gd} et C_{gs}, nous avons réalisé des composants à structure double ruban.

III.1.c. Résultats load-pull

Les mesures load-pull des composants à structure simple ruban n'ont pas été faciles à réaliser à cause de problèmes d'instabilités. En effet, les valeurs optimales des impédances de charge des transistors à structure simple ruban sont à l'intérieur même des zones d'instabilité propres à chaque composant. Ces zones délimitées par les cercles de stabilité, définissent des zones d'impédance à l'intérieure desquelles les composants vont être instables. De plus, ces zones d'instabilité occupent une plus grande surface dans le cas d'une structure simple ruban (figure n°III.9) que la structure standard. Ce qui est en corrélation directe avec l'amélioration des performances hyperfréquences. Le nombre d'impédances de charge réalisables est donc réduit et l'instabilité est malheureusement facilement atteinte. Pour augmenter encore les difficultés, les impédances optimales sont situées au bord des abaques de Smith, ce qui les rend très difficile à réaliser. Ces zones d'instabilité représentées sur la figure suivante évoluent légèrement en fonction des conditions de polarisation de V_{gs} et V_{ds}. Elles vont donc évoluer en fonction de la classe de polarisation choisie, de la tension appliquée à l'entrée du composant ou encore de la fréquence de travail.

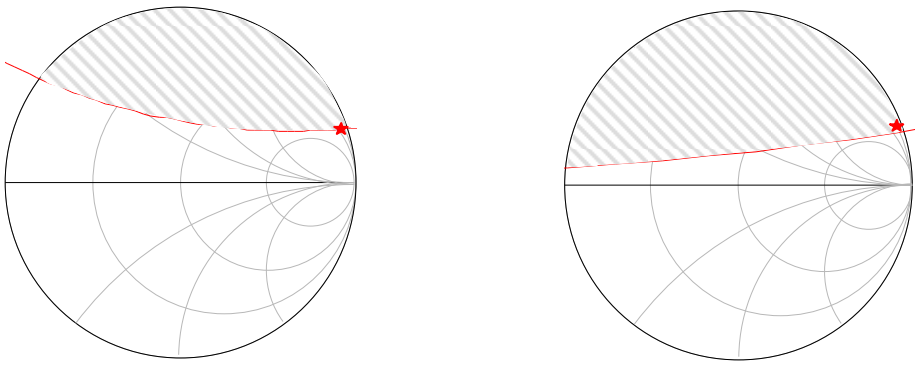


Figure n°III.9. Zones d'instabilité et impédances optimales théoriques (★) de composants nLDEMOS à structure standard (à gauche) et à structure simple ruban (à droite) ; V_{ds}=3.6 V, V_{gs}=0.8 V, Classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm, f=1.8 GHz

Les premières comparaisons de structures ont été effectuées à une fréquence de 1.8 GHz (figure n°III.10), fréquence à laquelle les mesures montrent que la structure simple ruban

est légèrement plus performante pour une impédance de charge de 50 Ω, tandis que la tendance s'inverse lorsque nous tentons d'approcher l'impédance optimale en PAE (tableau n°III.3). L'adaptation est faite à la fondamentale et une charge de 50 Ω est maintenue sur les harmoniques

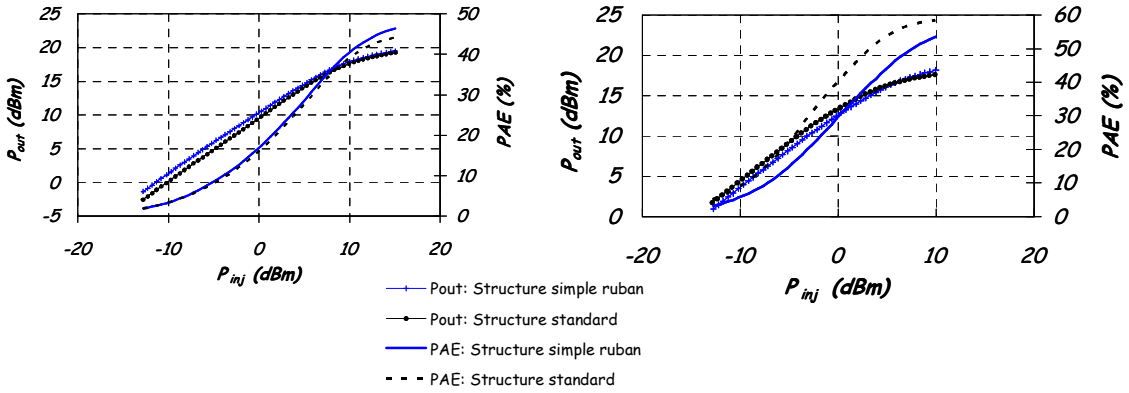


Figure n°III.10. Comparaison de P_{out} et PAE en fonction de P_{inj} pour les structures standard et simple ruban avec une impédance de charge de 50 Ω (à gauche) et une impédance de charge optimale (à droite) ; V_{ds}=3.6 V, V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm, f=1.8 GHz

Cet inversement de tendance vient du fait que la zone d'instabilité de la structure simple ruban est plus étendue que celle de la structure standard. Par conséquent, les performances load-pull des composants à structure simple ruban sont limitées car approcher l'impédance optimale est quasiment impossible pour ce type de structure à la fréquence de 1.8 GHz (figure n°III.10).

Paramètres	Unité	Structure standard		Structure simple ruban	
$G_{p\ lin}$	dB	20.5	20.1	20.4	20.9
$P_{out\ sat}$	dBm	19.8	17.7	19.5	18.1
	mW/mm	382	236	357	258
$P_{out\ 3\ dB}$ à 3 dB de compression de G_p	dBm	13.5	11.4	14	14.3
	mW/mm	90	55	100	108
PAE_{max}	%	44.5	58.5	46.5	53.6
Z_L		50Ω	optimale en PAE	50Ω	optimale en PAE

Tableau n°III.3. Résultats des mesures de puissance obtenus pour les structures standard et simple ruban ; f=1.8 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

L'objectif de ce travail de thèse étant d'améliorer les performances des transistors nLDEMOS pour des applications entre 3 et 5 GHz, nous avons décidé de travailler à une

fréquence plus élevée et nous avons choisi la fréquence de 4 GHz. A cette fréquence les cercles de stabilité s'éloignent du centre de l'abaque de Smith tandis que les impédances optimales s'en approchent (figure n°III.11). Ceci est doublement bénéfique puisque d'un côté la plage d'impédances réalisables est plus importante (composant plus stable), et d'un autre côté, les impédances optimales s'éloignent du bord de l'abaque et sont donc plus faciles à synthétiser.

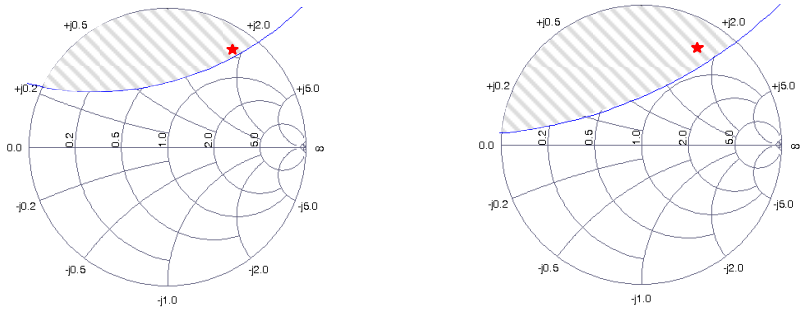


Figure n°III.11. Zones d'instabilité et impédances optimales théoriques (★) de composants nLDEMOS à structure standard (à gauche) et à structure simple ruban (à droite) ; V_{ds}=3.6 V, V_{gs}=0.8 V, Classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm, f=4 GHz

A cette fréquence, la structure simple ruban présente des performances légèrement supérieures à celle de la structure standard que ce soit avec une impédance de charge de 50 Ω ou avec une impédance de charge plus proche de l'optimale (figure n°III.12 et tableau n°III.4). Le fait de réduire les zones d'instabilité nous autorise à soumettre des impédances de charge sur une zone beaucoup plus importante. Ceci nous permet d'extraire des performances plus élevées sur les composants à structure simple ruban.

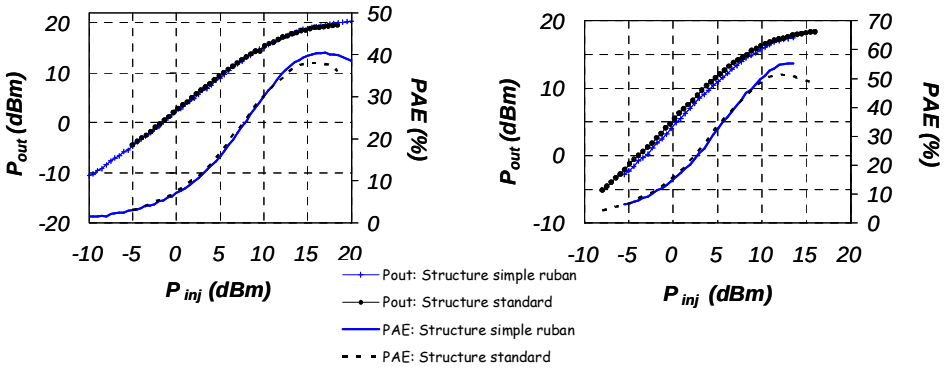


Figure n°III.12. Comparaison de P_{out} et PAE en fonction de P_{inj} pour les structures standard et simple ruban avec une impédance de charge de 50 Ω (à gauche) et une impédance de charge optimale (à droite) ; V_{ds}=3.6 V, V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm, f=4 GHz

Paramètres	Unité	Structure standard		Structure simple ruban	
$P_{out\ sat}$	dBm	19.5	18.4	20.3	17.5
	mW/mm	357	277	429	225
PAE_{max}	%	38.0	47.7	42.7	55.2
Z_L		50Ω	optimale en PAE	50Ω	optimale en PAE

Tableau n°III.4. Résultats des mesures de puissance obtenus pour les structures standard et simple ruban ; f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

Nous allons maintenant observer les résultats obtenus avec la structure double ruban sur laquelle, rappelons-le, nous avons remplacé les deux rangées de contacts source par un contact ruban en plus de ceux qui sont déjà positionnés sur les grilles (figure n°III.6).

III.2. Structure double ruban

Cette étude a été réalisée sur un substrat SOI 0.16 µm.

III.2.a. Résultats DC

Comme pour la structure simple ruban, les résultats DC présentés dans le tableau suivant (tableau n°III.5) indiquent que la structure double ruban n'a aucun impact sur le comportement statique des composants nLDEMOS.

Paramètres	Unité	Structure standard	Structure double ruban
V_t	V	0.61	0.62
BV_{ds}	V	16.2	16.2
$S.R_{on}$	mΩ.mm²	7.5	6.9
I_{on} V_{ds}=5V; V_{gs}=2.5V	µA/µm	410	411
I_{lin} V_{ds}=0.1V; V_{gs}=2.5V	µA/µm	27.7	29.9
I_{off} V_{ds}=5V; V_{gs}=0V	pA/µm	3.8	1.1

Tableau n°III.5. Comparaison des résultats DC entre les structures standard et double ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5 µm

III.2.b. Résultats RF

La comparaison entre les résultats RF des structures standard et double ruban sont présentés dans le tableau suivant.

Paramètres	Unité	Structure standard	Structure double ruban	
F_T V_{ds}=3.6V	GHz	25.3	24.1	-4.7 %
F_{max} V_{ds}=3.6V	GHz	33.5	57	+70.3 %
C_{gs} V_{gs}=1.1V; V_{ds}=3.6V	fF	278	337	+21.2 %
C_{gd} V_{gs}=1.1V; V_{ds}=3.6V	fF	85	92	+8.2 %
R_g V_{gs}=1.3V; V_{ds}=3.6V; F=5GHz	Ω	10.5	2.0	-81.0 %
G_m V_{gs}=1.1V; V_{ds}=3.6V	mS/mm	240	244	

Tableau n°III.6. Comparaison des résultats RF entre les structures standard et double ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

Tout comme la structure simple ruban, la structure double ruban présente une baisse de F_T, mais nettement moins marquée que sur la structure simple ruban grâce à la réduction des capacités de couplage électrostatique, et une forte augmentation du F_{max} de plus de 70 %. La réduction de la résistance de grille est la même que celle de la structure simple ruban (de 10.5 Ω à 2 Ω). La figure suivante montre l'évolution de R_{gg} en fonction de V_{gs} pour les structures standard et double ruban pour des fréquences allant de 3 GHz à 15 GHz [Fournier'09b].

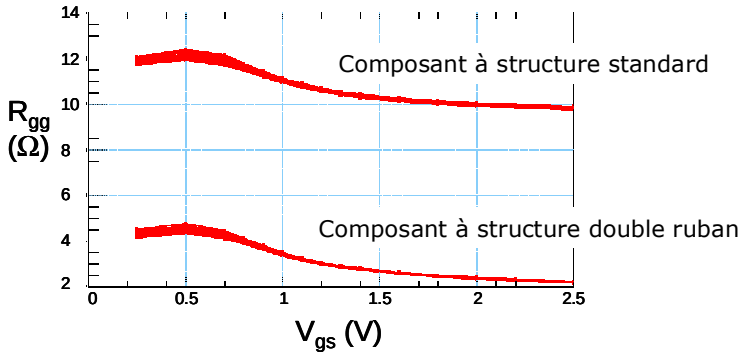


Figure n°III.13. Comparaison des résistances de grille de transistors nLDEMOS à structure standard et double ruban pour des fréquences de 3 GHz à 15 GHz ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

Comme R_{gg} n'est pas une valeur extrinsèque proprement dite de la résistance de grille, le canal n'est pas complètement ouvert à faible V_{gs} et le couplage capacitif entre la grille et le substrat conduit à ce que R_{gg} soit dominée par la résistance du substrat. A fort V_{gs}, cette contribution du substrat n'est plus visible car le canal est ouvert mais la valeur de R_{gg}

comprend alors la valeur de la résistance du canal (effet de distribution). Comme la résistance du substrat est très supérieure à celle du canal, les valeurs de R_{gg} les plus proches de la valeur extrinsèque sont données à fort V_{gs}. Dans l'absolu, pour un MOS standard il est possible de séparer la contribution de R_{canal} qui est fonction de la longueur de grille mais cela est plus complexe pour nos transistors nLDEMOS où R_{canal} n'est pas fonction de L_g.

Pour comparer les structures simple et double ruban entre elles, nous allons confronter les améliorations ou pertes qu'elles permettent d'obtenir par rapport à leur structure standard associée. Cette relativité est nécessaire car les études ont été réalisées sur des substrats différents et cela permet de faciliter la comparaison des structures (tableau n°III.7).

Paramètres	Unité	Structure simple ruban	Structure double ruban
F_T V_{ds}=3.6V	GHz	-10.7 %	-4.7 %
F_{max} V_{ds}=3.6V	GHz	+30 %	+70.3 %
C_{gs} V_{gs}=1.1V; V_{ds}=3.6V	fF	+54.2 %	+21.2 %
C_{gd} V_{gs}=1.1V; V_{ds}=3.6V	fF	+87 %	+8.2 %
R_g V_{gs}=1.3V; V_{ds}=3.6V; F=5GHz	Ω	-81.0 %	-81.0 %

Tableau n°III.7. Comparaison de l'influence de chaque structure modifiée par rapport à sa structure standard associée ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

Ce tableau comparatif nous confirme que le contact ruban ajouté sur la source réduit l'augmentation de la capacité C_{gs} puisque l'augmentation de celle-ci passe de 54.2 % pour la structure simple ruban à 21.2 % dans le cas de la structure double ruban. Ceci influence directement la perte observée sur la fréquence de transition qui passe de presque 11 % à moins de 5 %. Ces améliorations apportées par la structure double ruban permettent d'améliorer la fréquence maximale d'oscillation de plus de 70 %. En effet, F_{max} passe de 33.5 GHz pour la structure standard à plus de 57 GHz pour la structure double ruban. De plus, une étude des variations de F_{max} en fonction de la fréquence de mesure (figure n°III.14) montre que l'extraction de F_{max} au-delà de 20 GHz est bruitée et conduit à une valeur pessimiste, la différence entre une extraction à 25 GHz (utilisée pour les chiffres reportés dans les tableaux précédents) et à plus faible fréquence étant conséquente pour les composants présentant les meilleures performances en F_{max}. Une valeur quasiment stable de F_{max} ~ 80 GHz est en effet extraite entre 3 et 20 GHz, valeur bien supérieure à celle de 57 GHz extraite en bout de bande.

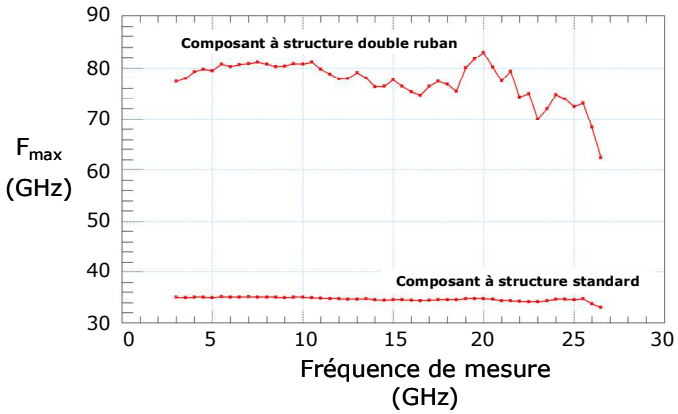


Figure n°III.14. Comparaison des fréquences maximales d'oscillations (F_{max}) de transistors nLDEMOS à structure standard et double ruban pour des fréquences de 3 GHz à 26.5 GHz ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×25 µm

III.2.c. Résultats load-pull

Les composants à structure double ruban ont présenté les mêmes difficultés d'adaptation que ceux à structure simple ruban. Il a donc été également nécessaire d'effectuer plusieurs mesures afin d'obtenir des performances optimales. La comparaison des résultats obtenus avec les structures standard et double ruban est présentée dans le tableau suivant (tableau n°III.8)

Paramètres	Unité	Structure standard	Structure double ruban
$G_{p\ lin}$	dB	13.8	15.7
$P_{out\ sat}$	dBm	18	17.6
	mW/mm	252	230
$P_{out\ 3\ dB}$ à 3 dB de compression de G_p	dBm	14.6	14.3
	mW/mm	115	108
PAE_{max}	%	38.8	42

Tableau n°III.8. Résultats load-pull des structures standard et double ruban ; V_{ds}=3.6 V, V_{gs}=0.9 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ex-t}=0.5 µm, W_g=10×25 µm, f=4 GHz

Nous pouvons déduire de ces mesures qu'une augmentation de F_{max} n'est pas synonyme d'une augmentation de puissance de sortie. Mais cela peut être une solution pour augmenter le rendement de puissance ajoutée. Même si les résultats obtenus ne sont pas exceptionnels, ils sont cependant du même ordre de grandeur que ceux présentés dans le premier chapitre (tableau n°I.3). Le fait de ne pas observer des améliorations plus significatives vient des difficultés d'adaptation des composants modifiés qui limitent les

performances de puissance. Dans la suite de ce chapitre, nous allons étudier l'influence de certains paramètres géométriques.

IV. Influence de la géométrie et performances

Dans cette partie, nous allons dans un premier temps étudier l'influence des paramètres géométriques suivants : la longueur de grille (L_g), la longueur d'extension du drain (L_{ext}) ou encore la longueur des doigts de grille (W_d) pour un même développement total. Dans un second temps, nous allons étudier le comportement d'un composant nLDEMOS sous l'influence de plus fortes tensions V_{ds} pour une classe de polarisation fixée.

IV.1. Variations de L_g, L_{ext} et W_d

Cette étude a été réalisée sur un substrat massif standard.

IV.1.a. Détails des variations géométriques

L'étude sur l'influence des variations de L_g, L_{ext} et W_d a été effectuée sur des composants à structure double ruban. Ces paramètres sont représentés sur la figure suivante (figure n°III.15).

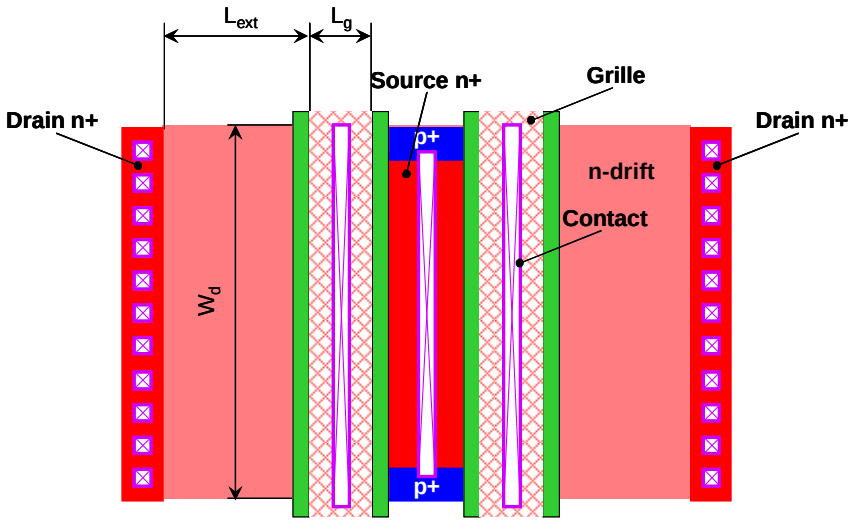


Figure n°III.15. Illustration des paramètres L_g, L_{ext} et W_d

Pour les variations sur la longueur des doigts de grille, nous avons conservé le même développement total (W_g qui est la somme de tous les W_d). Par conséquent, nous avons soit réduit le nombre des doigts et augmenté leur longueur, soit réduit leur longueur et augmenté leur nombre. Ces modifications sont représentées sur la figure suivante (figure n°III.16).

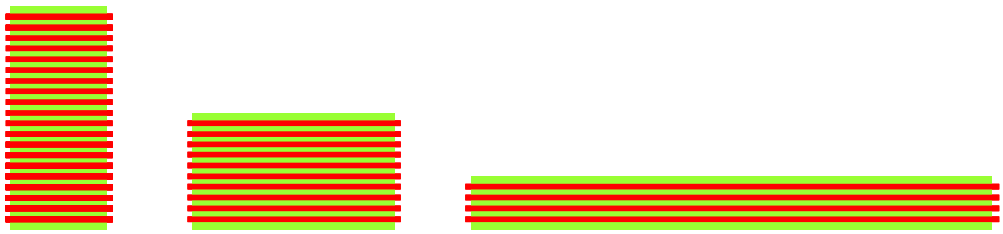


Figure n°III.16. Représentations schématiques des variations de longueur de doigts ; de gauche à droite : 20×13.7 µm, 10×27.4 µm, 4×68.5 µm

L'ensemble des composants qui ont été étudié sont regroupés dans tableau suivant.

Composant n°	Structure	L_g µm	L_{ext} µm	W_d µm	Nombre de doigts
1	Double ruban	0.4	0.5	27.4	10
2	Double ruban	0.3	0.5	27.4	10
3	Double ruban	0.2	0.5	27.4	10
4	Double ruban	0.3	0.4	27.4	10
5	Double ruban	0.4	0.4	27.4	10
6	Double ruban	0.4	0.3	27.4	10
7	Double ruban	0.4	0.5	13.7	20
8	Double ruban	0.4	0.5	68.5	4

Tableau n°III.9. Tableau récapitulatif des variations de géométrie étudiées

IV.1.b. Ensemble des résultats

Les résultats hyperfréquence et de puissance que nous avons obtenus pour les différentes géométries sont représentées dans le tableau suivant. Toutes les mesures de puissances ont été réalisées dans les mêmes conditions, c'est-à-dire en classe $AB_{4\%}$, à V_{gs}=0.8 V, V_{ds}=3.6 V, f=4 GHz et à une impédance de charge donnant le meilleur rendement de puissance ajoutée (PAE).

Résultats hyper-fréquence et de puissance en fonction du composant

Composant	n°	1	2	3	4	5	6	7	8
F_T	GHz	23.5	26.6	30.0	26.4	23.5	23.4	23.0	25.4
F_{max}	GHz	58.4	77.0	91.2	73.5	60.3	61.9	67.0	62.4
C_{gs} V_{gs}=1.1 V; V_{ds}=5 V	fF	326	281	234	280	324	326	336	242
C_{gd} V_{gs}=1.1 V; V_{ds}=5 V	fF	68	57	43	57	74	74	70	60
C_{ds} V_{gs}=1.1 V; V_{ds}=5 V	fF	64	68	71	68	64	64	66	72
I_{ds} $F_{T\ max}$; V_{ds}=3.6 V	mA/mm	81	103	78	101	81	77	80	100
Gm V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	258	257	252	255	258	257	261	221
$G_{p\ lin}$	dB	20.6	18.2	19.8	17.3	20.4	17.6	20.2	18.4
$P_{out\ sat}$	dBm	18.2	17.1	16.8	17.2	18.0	18.1	18.4	16.9
	mW/mm	241	187	175	192	230	236	252	179
$P_{out\ 3\ dB}$	dBm	17.6	14.5	10.2	14.7	12.6	14.6	13.7	14.0
à 3 dB de compression de G_p	mW/mm	210	103	38	108	66	105	86	92
PAE 3 dB	%	36.0	44.0	26.0	44.0	32.0	40.0	36.0	42.0
PAE_{max}	%	50.0	52.0	48.0	51.0	49.0	50.0	50.0	51.0
$Z_{L\ opt}$ en PAE	(r,θ°)	(0.3,60)	(0.35,35)	(0.35,40)	(0.35,40)	(0.3,60)	(0.3,50)	(0.3,60)	(0.36,47)

Tableau n°III.10. Tableau d'ensemble des résultats hyperfréquence et de puissance obtenus pour les différentes géométries (pour les mesures de puissance : f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, impédance optimale en PAE)

Nous allons maintenant analyser les résultats en fonction des modifications de géométrie.

IV.1.c. Variation de L_g (longueur de grille)

Le tableau suivant (tableau n°III.11) regroupe les résultats obtenus pour les composants n°1, 2 et 3 par ordre croissant de longueur de grille, c'est-à-dire 2, 3, 1 pour des longueurs de grilles qui sont respectivement de 0.2 µm, 0.3 µm et 0.4 µm. Tous les autres paramètres géométriques sont identiques (L_{ext}=0.5 µm et W_g=10×27.4=274 µm). Les contacts sont adapté à leur grille de telles sorte que les distances contacts grille / drain et contacts grille / source sont les même pour les trois composants.

Résultats hyper-fréquence et de puissance en fonction de L_g

L_g	µm	0.4	0.3	0.2
Composant	n°	1	2	3
F_T	GHz	23.5	26.6	30.0
F_{max}	GHz	58.4	77.0	91.2
C_{gs} V_{gs}=1.1 V; V_{ds}=5 V	fF	326	281	234
C_{gd} V_{gs}=1.1 V; V_{ds}=5 V	fF	68	57	43
C_{ds} V_{gs}=1.1 V; V_{ds}=5 V	fF	64	68	71
I_{ds} $F_{T\,max}$; V_{ds}=3.6 V	mA/mm	81	103	78
Gm V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	0	0	0
$G_{p\,lin}$	dB	20.6	18.2	19.8
$P_{out\,sat}$	dBm	18.2	17.1	16.8
	mW/mm	241	187	175
$P_{out\,3\,dB}$	dBm	17.6	14.5	10.2
à 3 dB de compression de G_p	mW/mm	210	103	38
PAE 3 dB	%	36.0	44.0	26.0
PAE_{max}	%	50.0	52.0	48.0
$Z_{L\,opt}$ en PAE	(r,θ°)	(0.3,60)	(0.35,35)	(0.35,40)

Tableau n°III.11. Résultats hyperfréquence et de puissance en fonction de la longueur de grille L_g puissance : f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, impédance optimale en PAE

Les variations des capacités suivent parfaitement les modifications de L_g puisque celles-ci diminuent lorsque la surface sous la grille est réduite. De ce fait, F_T et F_{max} sont elles-mêmes améliorées lorsque la longueur de grille diminue. Ces mêmes conclusions peuvent être faites entre les composants n°4 et 5 qui ont respectivement des longueurs de grille de 0.3 µm et 0.4 µm et une longueur d'extension de 0.4 µm. Les mesures de puissance ne présentent pas de tendance particulière (difficulté d'adaptation), mais le composant n°1 à la longueur de grille de 0.4 µm est le plus performant.

IV.1.d. Variations de L_{ext} (longueur d'extension du drain)

De la même façon que L_g, nous avons regroupé les mesures par ordre croissant en L_{ext} dans le tableau n°III.12. Les composants concernés sont les n°1, 5 et 6 avec des longueurs d'extension qui sont respectivement de 0.5 µm, 0.4 µm et 0.3 µm (L_g=0.4 µm et W_g=10×27.4=274 µm.

Résultats hyper-fréquence et de puissance en fonction de L_{ext}

L_{ext}	µm	0.3	0.4	0.5
Composant	n°	6	5	1
F_T	GHz	23.4	23.5	23.5
F_{max}	GHz	61.9	60.3	58.4
C_{gs} V_{gs}=1.1 V; V_{ds}=5 V	fF	326	324	326
C_{gd} V_{gs}=1.1 V; V_{ds}=5 V	fF	74	74	68
C_{ds} V_{gs}=1.1 V; V_{ds}=5 V	fF	64	64	64
I_{ds} **$F_{T\ max}$; V_{ds}=3.6 V**	mA/mm	77	81	81
Gm V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	257	258	258
$G_{p\ lin}$	dB	17.6	20.4	20.6
$P_{out\ sat}$	dBm	18.1	18.0	18.2
	mW/mm	236	230	241
$P_{out\ 3\ dB}$	dBm	14.6	12.6	17.6
à 3 dB de compression de G_p	mW/mm	105	66	210
PAE 3 dB	%	40.0	32.0	36.0
PAE_{max}	%	50.0	49.0	50.0
$Z_{L\ opt}$ en PAE	(r,θ°)	(0.3,50)	(0.3,60)	(0.3,60)

Tableau n°III.12. Résultats hyperfréquence et de puissance en fonction de la longueur d'extension de drain L_{ext}, puissance : f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, impédance optimale en PAE

Une modification (modérée) de L_{ext} n'a pas d'influence particulière sur les performances hyperfréquence et load-pull qui sont assez similaires entre les trois composants. Ces résultats sont également observés entre les composants n°3 et 4 qui ont tous deux des longueurs de grilles de 0.3 µm et respectivement des longueurs d'extension L_{ext} de 0.5 µm et 0.4 µm. Il faut tout de même souligner que ces études ont été réalisées à V_{ds}=3.6 V. Il est bien évident qu'une augmentation de L_{ext} permet d'augmenter BV_{ds} et donc les performances en terme de puissance.

IV.1.e. Variation de W_d (longueur des doigts de grille)

Le tableau suivant (tableau n°III.13) regroupe les résultats obtenus pour les composants n°1, 7 et 8 par ordre croissant de longueur de doigt, c'est-à-dire 7, 1, 8 pour des largeurs qui sont respectivement de 13.7 µm, 24.7 µm et 68.5 µm. Le développement total des grilles est le même pour tous les composants. Seuls leurs nombres et longueurs sont modifiés (L_g=0.4 µm, L_{ext}=0.5µm).

Résultats hyper-fréquence et de puissance en fonction de W_d

W_d	µm	13.7	27.4	68.5
Nombre de doigts		20	10	4
Composant	n°	7	1	8
F_T	GHz	23.0	23.5	25.4
F_{max}	GHz	67.0	58.4	62.4
C_{gs} V_{gs}=1.1 V; V_{ds}=5 V	fF	336	326	242
C_{gd} V_{gs}=1.1 V; V_{ds}=5 V	fF	70	68	60
C_{ds} V_{gs}=1.1 V; V_{ds}=5 V	fF	66	64	72
I_{ds} **$F_{T\,max}$; V_{ds}=3.6 V**	mA/mm	80	81	100
Gm V_{gs}=1.3 V; V_{ds}=3.6 V	mS/mm	261	258	221
$G_{p\,lin}$	dB	20.2	20.6	18.4
$P_{out\,sat}$	dBm	18.4	18.2	16.9
	mW/mm	252	241	179
$P_{out\,3\,dB}$	dBm	13.7	17.6	14.0
à 3 dB de compression de G_p	mW/mm	86	210	92
PAE 3 dB	%	36.0	36.0	42.0
PAE_{max}	%	50.0	50.0	51.0
$Z_{L\,opt}$ en PAE	(r,θ°)	(0.3,60)	(0.3,60)	(0.36,47)

Tableau n°III.13. Résultats hyperfréquence et de puissance en fonction de la longueur des doigts de grille pour un même développement de 274 µm, puissance : f=4 GHz, classe $AB_{4\%}$, V_{ds}=3.6 V, V_{gs}=0.8 V, impédance optimale en PAE

L'utilisation de doigts plutôt courts n'a pas d'influence particulière lorsqu'ils ne sont pas trop longs. En effet, les composants n°7 et n°1 (W_d=13.7 µm et 27.4 µm) présentent des résultats similaires alors que le composant n°8, qui possède des doigts de 68.5 µm, gagne un peu sur la fréquence de transition.

IV.2. Etude load-pull à fort V_{ds}

Cette étude a été réalisée sur un substrat massif standard.

IV.2.a. Composant à structure simple ruban [Ducatteau'10]

Des mesures de puissance à plus fort V_{ds} ont été effectuées sur un composant à structure simple ruban. Les mesures comparées à un calcul théorique sont présentées sur la figure n°III.17. La densité de puissance théorique ($P_{out\,th}$) est calculée à l'aide de la relation

$$P_{out\,th} = \frac{\Delta I \times \Delta V}{8} = \frac{\left(I_{D\max} - I_{D\min}\right) \times \left(V_{DS\max} - V_{Knee}\right)}{8} \quad (3)$$

qui prend en compte plusieurs paramètres statiques que sont la tension V_{ds}, le courant drain et la tension de coude. Cette tension de coude est la valeur de V_{ds} qui sépare le régime ohmique (ou linéaire) du régime saturé sur les caractéristiques statiques $I_{ds}(V_{ds})$.

Les valeurs présentées dans la figure n°III.17 sont en mW/mm au lieu d'être en dBm comme précédemment. La conversion se fait d'abords de dBm à mW et le tout est ensuite divisé par la longueur totale du développement (W_g=0.274 mm dans notre cas). La formule de conversion utilisée est la suivante : $P_{(mW/mm)} = \frac{10^{\left(P_{(dBm)}/10\right)}}{W_{g\,(mm)}}$

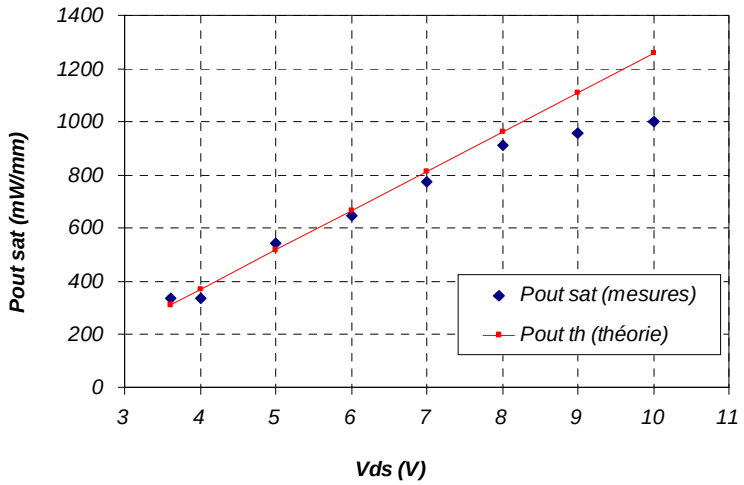


Figure n°III.17. $P_{out\,sat}$ mesurée et calculée en fonction de V_{ds} pour un composant nLDEMOS à structure simple ruban ; V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×27.4 µm, f=4 GHz

Nous remarquons sur cette figure que les mesures et la théorie présentent un parfait accord pour des tensions V_{ds} en deçà de 7 V et qu'au-delà, le composant nLDEMOS fourni moins de puissance qu'il ne devrait. Ce phénomène est dû à un effet thermique. En effet, si l'on compare les ellipses de charge de la figure n°III.18, on remarque que les ellipses collent parfaitement à la caractéristique $I_{ds}(V_{ds})$ pour une tension appliquée en mesures de puissance de V_{ds}=4 V alors qu'il y a un écart (cercle rouge) pour une tension appliquée en mesures de puissance de 10 V. Cet écart peut être expliqué par des effets thermiques qui augmentent la résistance d'accès du composant. En effet, des mesures pulsées ont été réalisées afin de valider que cette augmentation de la tension de coude n'était pas reliée à des effets de pièges. Nous obtenons tout de même des composants capable de fournir plus de 1W/mm pour une tension V_{ds} de 10 V

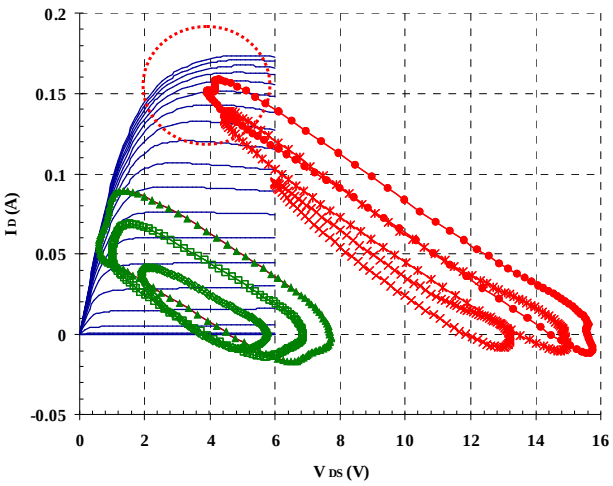


Figure n°III.18. Caractéristiques statiques $I_{ds}(V_{ds})$ d'un transistor nLDEMOS à structure simple ruban comparées à ses ellipses de charge obtenues pour différents puissances de sortie à V_{ds}=4 V (vert) et V_{ds}=10 V (rouge) ; V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×27.4 µm, f=4 GHz

IV.2.b. Composants à structure double ruban

Les composants n°1, 2, 3 et du tableau n°III.9 ont également été testés en mesures load-pull à plus fort V_{ds}. Ces mesures ont permis de tirer certaines conclusions qui manquaient dans l'étude de la géométrie lié au fait que celle-ci avaient été réalisée à V_{ds}=3.6 V. Les résultats sont présentés sur le graphique de la figure n°III.19 sur lequel nous avons ajouté les résultats du composant à la structure simple ruban (substrat de même type, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×27.4=274 µm). Nous avons donné à ce composant le n°0.

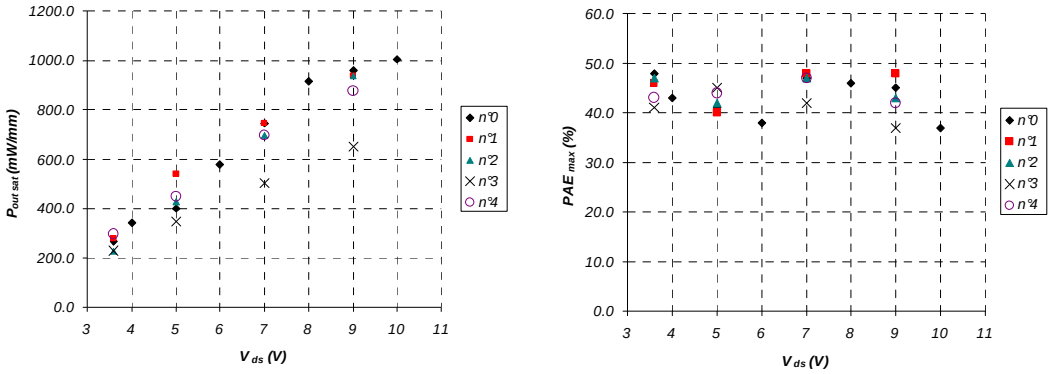


Figure n°III.19. $P_{out\ sat}$ (à gauche) et PAE max (à droite) en fonction de V_{ds} pour différents composants nLDEMOS ; V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×27.4 µm, f=4 GHz, impédance optimum en $P_{out\ sat}$

Les deux types de structure (composants n°0 à structure simple ruban et n°1 à structure double ruban) ont des performances assez proches, ce qui prouve qu'un gain apporté sur la fréquence maximale d'oscillation n'est pas automatiquement synonyme d'amélioration de puissance de sortie. En effet, ceci est directement corrélé à la possibilité ou non de synthétiser les impédances optimales et à la sélectivité des transistors.

Le composant n°2 semble quand à lui être limité par sa petite longueur de grille qui limite sont gain et sa puissance de sortie.

Les autres composants ont des puissances de sortie qui se croisent avec une légère avance du composant n°1. Des comportements similaires sont observés lorsque l'on observe les résultats obtenus aux impédances donnant le meilleur rendement de puissance ajoutée (PAE) qui sont présentés sur la figure n°III.20.

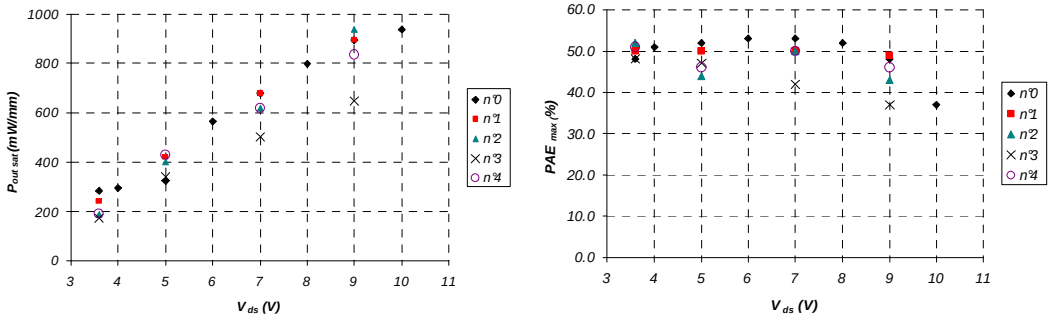


Figure n°III.20. $P_{out\ sat}$ (à gauche) et PAE max (à droite) en fonction de V_{ds} pour différents composants nLDEMOS ; V_{gs}=0.8 V, classe $AB_{4\%}$, L_g=0.4 µm, L_{ext}=0.5 µm, W_g=10×27.4 µm, f=4 GHz, impédance optimum en PAE

Il est important de remarquer qu'il est possible de conserver un PAE élevé jusqu'à 8 V et en même temps d'avoir une densité de puissance élevée.

V. Conclusion

Nous avons vu dans ce chapitre qu'une modification simple de la structure d'un composant nLDEMOS permet d'améliorer de façon significative leur fréquence maximale d'oscillation F_{max} tout en limitant les pertes sur la fréquence de transition F_T. Cette modification, qui consiste à remplacer les contacts de grille et de source standards par des rubans (structure double ruban), permet d'augmenter F_{max} de plus de 70 % (F_{max} passe de 33.5 GHz à plus de 57 GHz) pour une perte de moins de 5 % sur F_T (F_T diminue de 25.3 GHz à 24.1 GHz). Une analyse complémentaire a montré que ces résultats sont un peu pessimistes et que pour des fréquences de travail de 3 à 20 GHz, la structure double ruban présente une F_{max} de presque 80 GHz. Cette forte augmentation de F_{max} est due à une réduction importante de la résistance de grille R_g (de 10.5 Ω à 2 Ω) et de à la capacité extrinsèque entre la grille et la source qui est moins dégradée qu'avec l'utilisation de contacts de source standards (structure simple ruban). Une étude complémentaire sur l'influence de certains paramètres géométriques tels que la longueur de grille (L_g), la longueur d'extension du drain (L_{ext}) ou encore la longueur des doigts de grille (W_d) laisse penser que les dimensions utilisées comme standard (L_g=0.4 µm, L_{ext}=0.5 µm et W_d=27.4 µm) sont les plus adaptées à notre technologie de structure à contacts rubans sur grille et sur source.

Néanmoins, ces modifications ne permettent pas d'extraire le maximum des performances en grand signal de nos composants qui sont limités d'une part par des problèmes d'adaptation et d'autre part par des effets thermiques qui apparaissent à forts V_{ds} (au-delà de 7 V). Ces composants présentent toutefois des performances supérieures à celles des composants initiaux (tableau n°III.14) ce qui est clairement visible sur le gain en puissance (+55%) et le rendement en puissance ajoutée (+28%). Une puissance de sortie de saturation de 1 W/mm a également été démontrée en classe $AB_{4\%}$, à une fréquence de 4 GHz et à V_{ds}=10 V ce qui représente aujourd'hui un résultat à l'état de l'art.

Chapitre n°IV : COMPOSANTS A GRILLES METALLIQUES

I. Introduction

Comme il a été dit dans l'introduction du chapitre précédent, notre but est de diminuer la résistance de grille R_g de nos transistors nLDEMOS. Cette réduction permettrait d'augmenter la fréquence maximale d'oscillation F_{max}. Une des solutions qui s'est imposée à nous est de remplacer le polysilicium de la grille par un métal. Il existe d'autres options telles que les méthodes offrant une siliciuration complète de la grille (*Fully Silicided : FUSI* [Yu'06] ou *Totally Silicided : TOSI*) que nous n'avons pas retenues car elles ne permettent pas une réduction aussi importante de R_g. De plus, nous souhaitions à terme co-intégrer des transistors LDEMOS à grille métallique avec des transistors CMOS à grille polysilicium, ce que ne permet pas la méthode *FUSI*.

Nous allons dans ce chapitre commencer par la présentation des seuls résultats publiés à ce jour sur les transistors nLDEMOS à grilles métalliques, réalisés avec un procédé de type « Damascène ». Nous détaillerons ensuite de quelles façons nous avons adapté le procédé choisi (*PRETCH pour Polysilicon Replacement Through Contact Hole* [Harrison'04]) aux spécificités des transistors nLDEMOS avec pour objectif de co-intégrer sur une même plaquette des transistors LDEMOS à grille métallique avec de transistors CMOS à grille polysilicium. Nous verrons enfin les résultats obtenus et les perspectives de ce travail.

II. Le procédé Damascène [Fiorenza'03]

Les transistors LDMOS à grilles métalliques publiés dans la littérature n'ont pas été présentés dans le premier chapitre car leurs performances sont encore aujourd'hui bien en deçà de celles des composants LDMOS à grilles polysilicium.

II.1. Description de la technologie

Des transistors LDMOS à grilles partiellement métalliques ont été réalisés dans l'équipe du Prof. J. A. del Alamo du *Massachusetts Institute of Technology* (*MIT*) en utilisant le procédé Damascène qui consiste à polir un oxyde jusqu'à apparition des grilles en polysilicium, de les vider puis de les remplir avec un métal [Fiorenza'03]. La méthode utilisée

est décrite sur la figure suivante (figure n°IV.1). Les composants sont réalisés sur substrat SOI mince et ont des longueurs de grille de 0.6 µm.

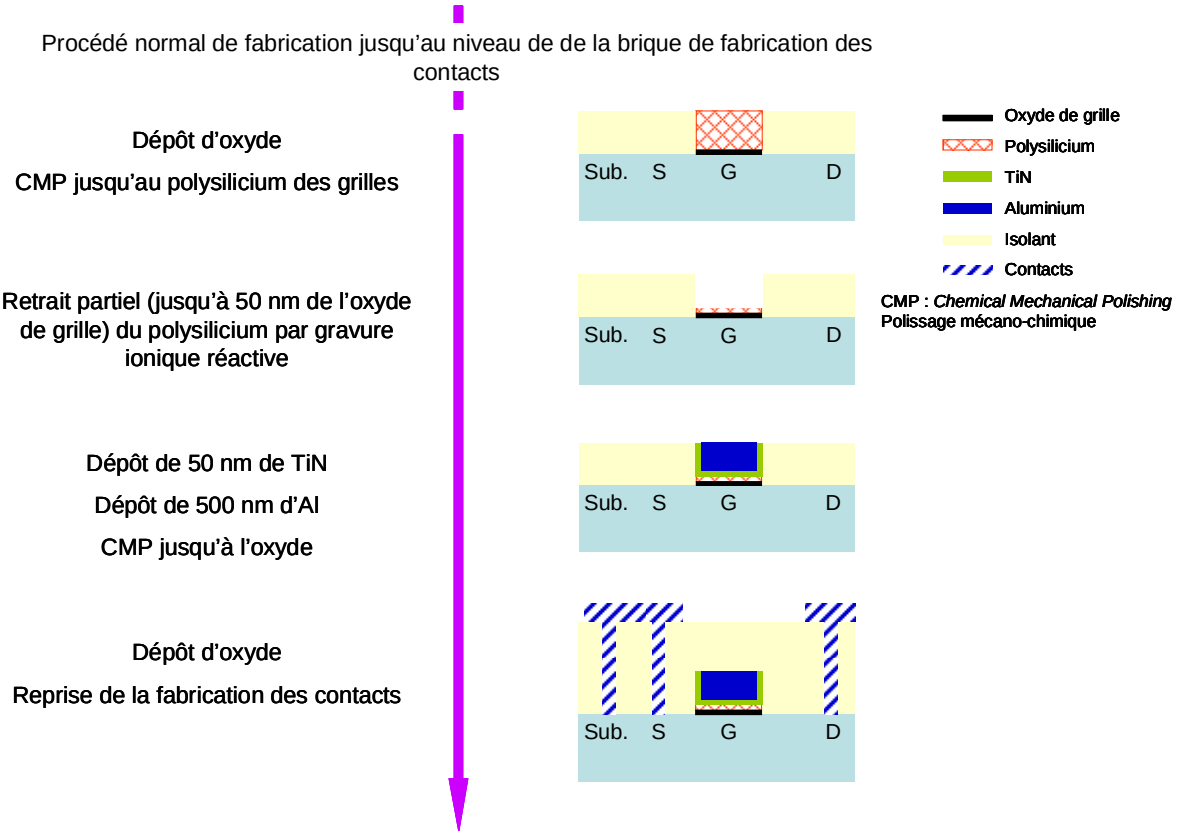


Figure n°IV.1. Représentation schématique du procédé Damascène utilisé pour réaliser des transistors LDMOS à grille polysilicium-métal

L'empilement final au niveau de la grille est le suivant :

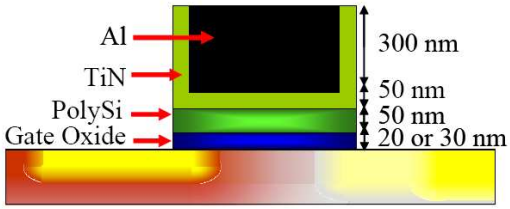


Figure n°IV.2. Schéma de l'empilement obtenu avec le procédé Damascène pour réaliser des grilles polysilicium-métal [Del Alamo'05]

La couche de TiN sert de barrière afin d'empêcher l'aluminium de diffuser dans le polysilicium. L'avantage de cette méthode est qu'elle permet d'utiliser des métaux très conducteurs comme le cuivre et l'aluminium.

II.2. Résultats

La résistance par carré obtenue avec cet empilement est de l'ordre de 0.2 Ω/□, c'est-à-dire cinquante fois inférieure à celle obtenue avec du polysilicium siliciuré.

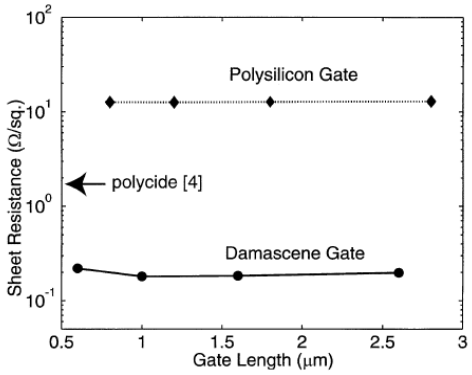


Figure n°IV.3. Résistances par carré de différentes technologies de grilles [Fiorenza'03]

Les résultats petits signaux présentent une nette augmentation de F_{max} alors que les mesures grand signal montrent une amélioration du PAE pour les largeurs de doigts supérieures à 50 µm seulement. Toutefois, le fait de ne pas indiquer directement les résistances de grille à la place des résistances par carré semble indiquer que la diminution n'est pas celle attendue. Nous savons en effet que le polysilicium restant et la multiplication du nombre d'interfaces n'est pas favorable à la résistance de grille. Un autre inconvénient de la technique développée au MIT est que la gravure du polysilicium des grilles doit être finement contrôlée en fonction du temps, ce qui rend la technologie difficilement contrôlable.

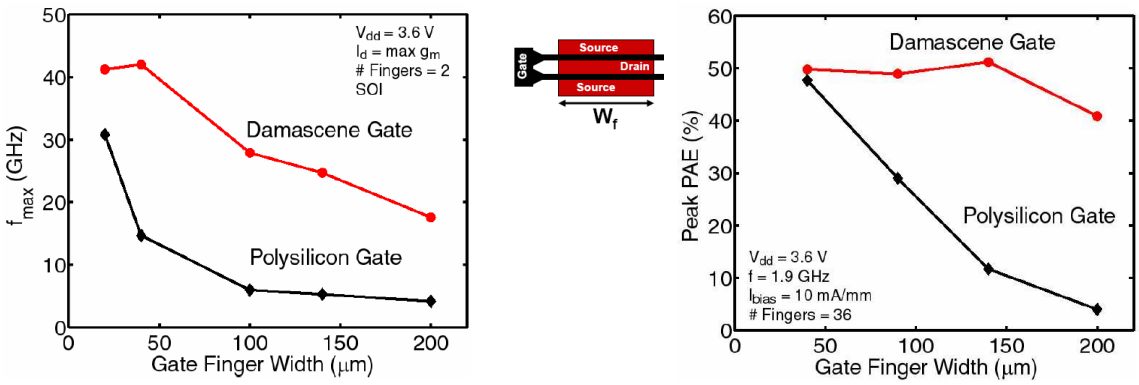


Figure n°IV.4. F_{max} (à gauche) et PAE (à droite) en fonction de la largeur des doigts de grille pour des composants à différentes technologies de grille [Fiorenza'03]

Bien que ce procédé puisse être amélioré en remplaçant complètement le polysilicium de la grille par un métal par exemple, nous avons préféré orienter notre étude vers le procédé *PRETCH* qui offre de meilleurs perspectives en terme d'intégration.

III. Le procédé *PRETCH*

III.1. Description de la technologie

Le procédé *PRETCH* a été co-développé en 2004 par STMicroelectronics à Crolles, le L2MP de Marseille et le CEA-LETI de Grenoble [Harrison'04]. Ce procédé a depuis été réutilisé à STMicroelectronics pour réaliser des transistors bipolaires à émetteur métallique [Barbalat'06]. Son principe, qui est décrit dans la figure suivante (figure n°IV.5), est relativement simple puisqu'il s'agit de retirer le polysilicium des grilles à travers les trous de contact et de déposer un autre matériau (ou plusieurs) par ces mêmes trous de contact. La réalisation est par contre assez complexe puisqu'il faut tenir compte des contraintes industrielles, qui viennent se greffer en plus d'autres problèmes liés au procédé *PRETCH* tels que le type de gravure utilisé et les différents types et méthodes de dépôts disponibles. Il était par ailleurs nécessaire de modifier nos composants pour rendre le retrait du polysilicium des grilles possible. Nous allons voir dans la suite de cette partie les adaptations du procédé *PRETCH* à nos composants.

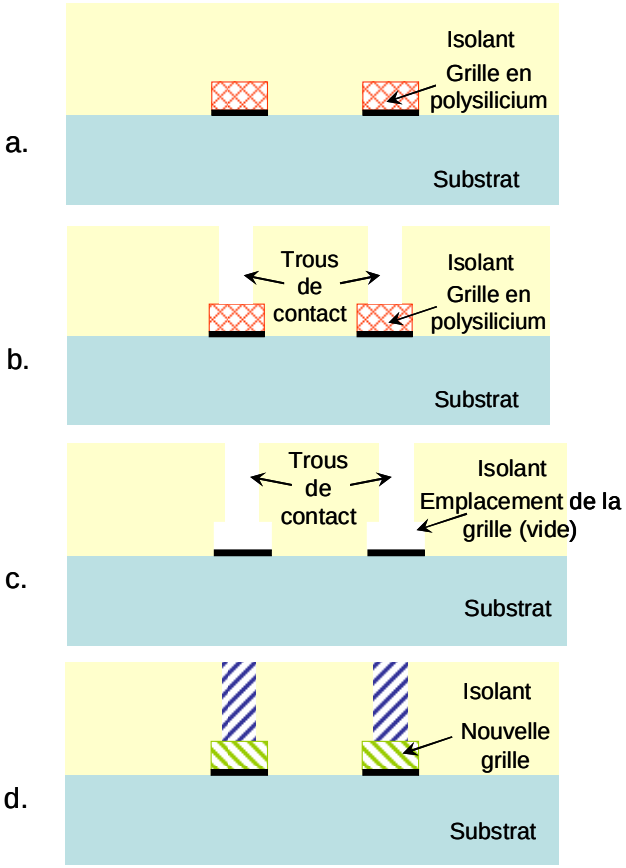


Figure n°IV.5. Détails schématiques des étapes du procédé PRETCH

La figure précédente représente de façon schématique les principales opérations du procédé *PRETCH*. Il faut arriver à l'étape (a) qui se situe juste avant la formation des contacts. Les trous de contact sont gravés pour l'étape (b), laissant le polysilicium de la grille découvert. A l'étape (c), on enlève le polysilicium de la grille par une gravure isotrope sélective par rapport à l'oxyde de grille. Il faut ensuite déposer le(s) matériau(x) souhaité(s) pour arriver à un résultat similaire à celui de l'étape (d).

III.2. Modification des composants

Les précédentes utilisations du procédé *PRETCH* ont été réalisées sur des grilles de largeur et de longueur restreintes (inférieures au µm). Or, comme il a été précisé dans le chapitre précédent, les grilles de nos transistors ont des dimensions physiques qui tournent autour de 0.4 µm pour L_g et qui font au minimum 5 µm pour W_g. Par conséquent, nous ne pouvions ni graver la totalité du polysilicium, ni déposer un quelconque matériau à la place,

par les trous de contact standards, c'est-à-dire ceux situés en bout de grille sur les « ponts » comme il est rappelé sur la figure suivante (figure n°IV.6).

Nous avons donc placés des contacts en ruban au dessus des grilles pour nous permettre de vider le polysilicium et de déposer ensuite un autre matériau. L'étude sur l'impact de ce type de contact sur des grilles en polysilicium à été étudiée dans le chapitre précédent. La forme et la position des contacts que nous avons utilisés pour réaliser nos grilles métalliques sont similaires à celles des composants étudiés précédemment. Les schémas des composants *MG* (grille métallique) sont semblables à ceux des composants *PG* (grille polysilicium) que ce soit avec une structure simple ou double ruban. La principale différence se situe au niveau de la couche de protection contre la siliciuration de la zone d'extension du drain qui protège également la grille dans le cas d'un composant *MG* pour faciliter le retrait du polysilicium en empêchant le siliciure de se former car celui-ci est difficile à graver. Les schémas de composants *MG* sont également représentés sur la figure suivante (figure n°IV.6).

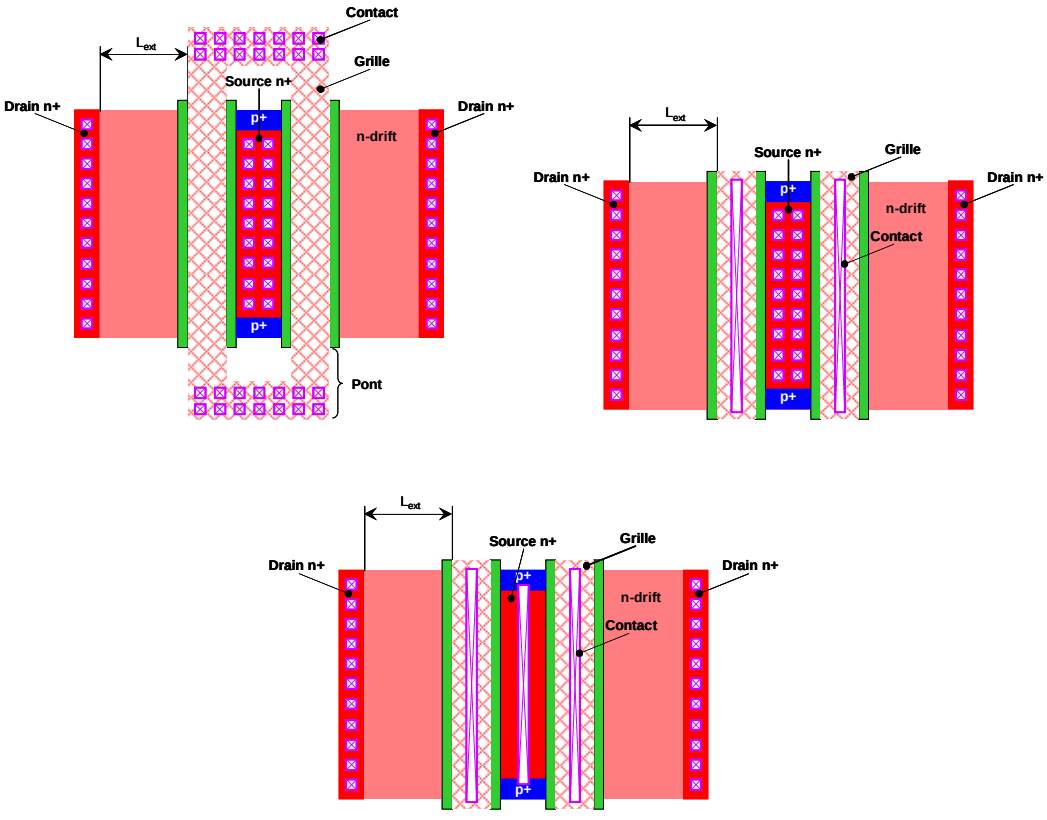


Figure n°IV.6. Représentations schématiques de transistors nLDEMOS standards PG et MG à structure simple ruban ou double ruban (respectivement en haut à gauche, en haut à droite et en bas)

IV. 1ère approche : Méthode simple masque

IV.1. Principe

Le principe de la méthode simple masque est de graver les grilles juste après avoir ouvert les contacts rubans (comme le procédé *PRETCH*). Il n'y a pas de masque supplémentaire et tous les contacts (source, drain et grille) sont réalisés en même temps. Mais pour y parvenir, nous devons étudier plus en détail la structure d'un transistor nLDEMOS. Nous allons principalement nous focaliser sur la zone d'extension du drain. En effet, pour que cette extension opère comme une résistance d'accès, elle doit être protégée de la siliciuration ajoutée juste avant les contacts. La protection utilisée est un empilement de plusieurs couches appelé SiProt (voir figures n°IV.7 et n°IV.8). Ces couches de siliciure et SiProt vont être très utiles pour la réalisation des transistors à grilles métallique. Le SiProt va, en effet, protéger le polysilicium des grilles à retirer contre la siliciuration, alors que la couche de siliciure va servir de masque pendant la gravure des grilles (plus de détails sur les opérations dans la partie suivante). La largeur des contacts rubans utilisés sur les grilles métalliques est la même que celles des contacts de grille polysilicium (0.16 µm).

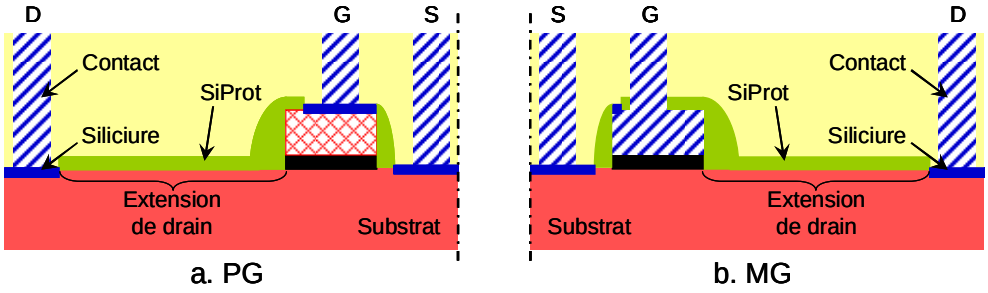


Figure n°IV.7. Demi-coupes schématiques de transistors nLDEMOS à structure simple ruban, à grille en polysilicium (a. à gauche) et à grille métallique (b. à droite)

On voit très nettement l'utilité de la couche de SiProt dans le cas du transistor *PG* qui protège la zone d'extension de drain contre la siliciuration. Dans le cas du transistor *MG*, le SiProt doit également protéger la grille de la siliciuration afin d'en permettre la gravure.

De plus, nous pouvons remarquer que le SiProt ne recouvre pas totalement la grille dans le cas du composant *MG* et qu'il déborde un peu sur la grille dans le cas du composant *PG*. Ces petits écarts sont dus aux anticipations de désalignement imposées par la technologie (figures n°IV.8 et n°IV.10). Dans le cas du composant *PG*, il y a un risque que le SiProt ne

protège pas l'extension de drain au niveau de la grille et dans le cas du composant *MG*, il y a un risque pour que le SiProt déborde sur la source.

Une fois la fabrication terminée, la grille doit être constituée d'une couche de 5 nm d'épaisseur de nitrure de titane (TiN) recouverte d'une couche de 300 nm d'épaisseur de tungstène (W), toutes deux déposées par un dépôt chimique en phase vapeur (*CVD* pour *Chemical Vapor Deposition*).

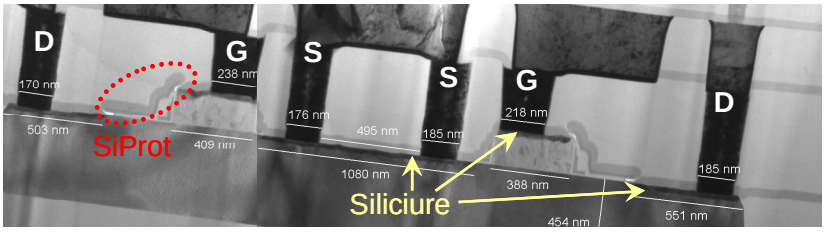


Figure n°IV.8. Coupe TEM d'un transistor nLDEMOS PG à structure simple ruban

La coupe TEM précédente nous montre parfaitement les zones siliciurées où sont positionnés les contacts et les zones protégées par le SiProt.

IV.2. Mise en œuvre

IV.2.a. Route de fabrication

L'adaptation du procédé *PRETCH* à la route de fabrication simple masque n'a demandée que l'ajout des opérations liées au retrait du polysilicium, c'est-à-dire gravure et rinçage. Toutefois, il a fallu adapter certaines opérations comme la chimie de gravure des contacts qui devait graver l'isolant et le SiProt. De plus, un ajustement du dessin de nos structures était obligatoire pour réaliser nos composants *MG*. En effet, alors que le procédé de vidage est peu sensible à la largeur du contact, cette dernière doit être compatible avec la technique de remplissage (dépôt métallique). Un dépôt de type CVD sera compatible avec une largeur de contact inférieure à celle de la grille. Au contraire, un dépôt PVD demandera à ce que le contact soit élargi afin de découvrir complètement l'oxyde de grille. La figure suivante (figure n°IV.9) illustre les modifications apportées à la route de fabrication initiale.

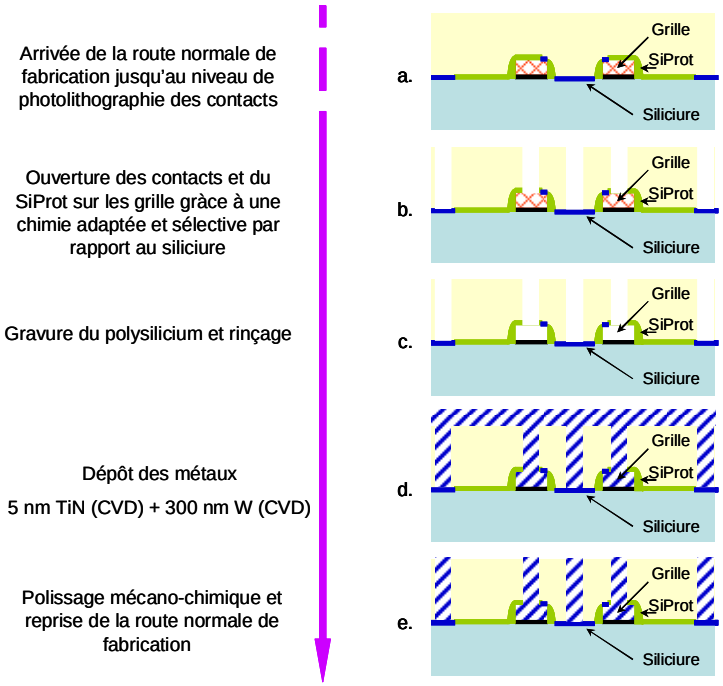


Figure n°IV.9. Représentation schématique des adaptations apportées à la route standard de fabrication pour obtenir la route de fabrication simple masque

Le grand avantage de cette route de fabrication est qu'elle ne nécessite pas de masque supplémentaire. De plus, une co-intégration de composants LDEMOS de types *PG* et *MG* est en théorie possible puisque les grilles qui ne doivent pas être gravées sont protégées par le siliciure.

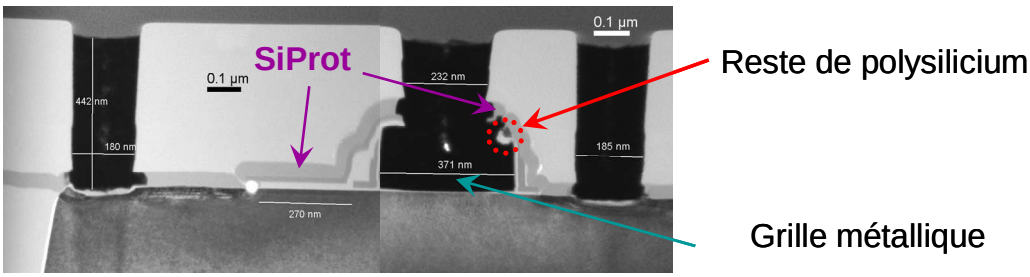


Figure n°IV.10. Coupe TEM d'un demi-transistor nLDEMOS à grille métallique réalisée avec la route simple masque

IV.2.b. Résultats

Comme nous pouvons le voir sur la figure n°IV.10, la route de fabrication simple a parfaitement joué rôle et nous avons réussi à fabriquer des transistors nLDEMOS à grilles métalliques. Malheureusement, aucun composant fabriqué ne fonctionne. Que ce soit des composants *MG* ou *PG*, aucun d'eux n'a eu le comportement électrique attendu. Leur attitude

aux sollicitations électrique était semblable à celle d'une résistance. Nous nous sommes rapidement aperçu que le problème venait d'une couche d'oxyde formée sous les contacts de source et drain. Cette couche d'oxyde natif que l'on peut apercevoir sur la figure n°IV.11 (le siliciure utilisé est du siliciure de cobalt et apparaît donc en rouge) s'est formée pendant les opérations de gravure du polysilicium et de rinçage qui ont suivi l'ouverture de tous les contacts. En effet, dans le procédé normal de dépôt TiN, un nettoyage est effectué pour enlever cet oxyde natif, mais cette opération est prohibée puisque notre oxyde de grille est à découvert et serait donc supprimé en même temps que l'oxyde natif.

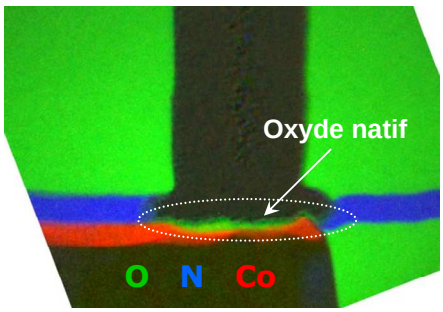


Figure n°IV.11. Image EFTEM (Energy Fieltering Transmission Electron Microscopy)de l'oxyde natif sous le contact drain d'un transistor nLDEMOS réalisé avec la route de fabrication simple masque

Nous avons donc cherché à adapter le procédé *PRETCH* à nos besoins. Nous avons aboutis à la méthode de fabrication présentée dans la partie suivante.

V. 2ème approche : Méthode double masque

V.1. Principe

Pour éviter l'oxydation du siliciure des contacts de source, de drain et des grilles en polysilicium, nous avons décidé de fabriquer les grilles métalliques et leurs contacts séparément des autres contacts. Cela permet alors d'utiliser la brique de fabrication des contacts sans la modifier et de conserver ainsi le nettoyage qui enlève l'oxyde natif. L'approche simple masque a distinctement démontré que le procédé de réalisation des grilles métallique n'est pas compatible avec la brique standard de fabrication des contacts. Pour séparer les grilles métalliques des autres contacts, nous avons ajouté un niveau de masque supplémentaire dédié aux contacts des grilles métalliques. C'est pour cette raison que cette méthode est nommée double masque puisqu'elle utilise deux masques au niveau contact.

L'avantage de cette méthode est que la co-intégration de composants *MG*-nLDEMOS et des transistors CMOS *PG* est tout à fait possible puisque les composants *PG* suivent leur route standard de fabrication à laquelle ont été ajoutées quelques opérations qui ne les concernent pas. Mais c'est également son grand inconvénient car le fait d'ajouter un masque au niveau contact nécessite au minimum sept opérations supplémentaires.

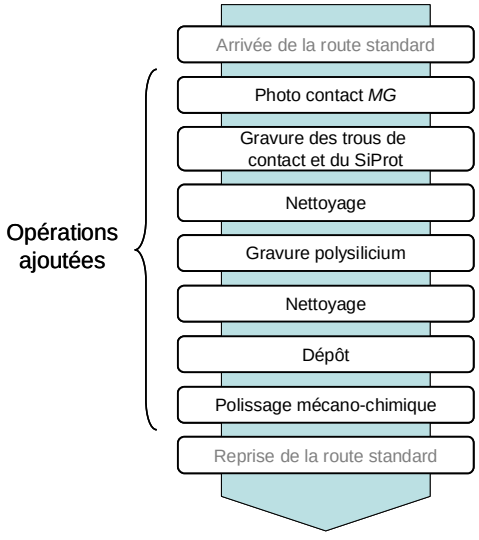


Figure n°IV.12. opérations ajoutées pour obtenir la route de fabrication double ruban

V.2. Mise en œuvre

Dans la première mise en œuvre de la méthode double masque, les grilles métalliques étaient réalisées après les contacts de source et de drain (et des grilles en polysilicium). Malheureusement, cela à conduit à une contamination métallique d'un bâti de gravure et le test a du être abandonné. Cette contamination était due au tungstène des contacts standards mis à nus pendant l'ouverture des contacts des grilles métalliques.

Nous avons donc recommencé le test, mais cette fois-ci en inversant la fabrication des contacts, c'est-à-dire que nous avons commencé par fabriquer les grilles métalliques et leurs contacts avant tout autre contact. Ceci nous a permis d'éviter la contamination des bâtis puisque les contacts de grilles métalliques ne représentent qu'une minuscule surface comparée à la surface totale d'une puce. Nous avons également réduit le détourage de l'étape de photolithographie pour masquer le tungstène en bord de plaque. La route de fabrication que nous avons utilisée est schématisée ci-dessous (figure n°IV.13).

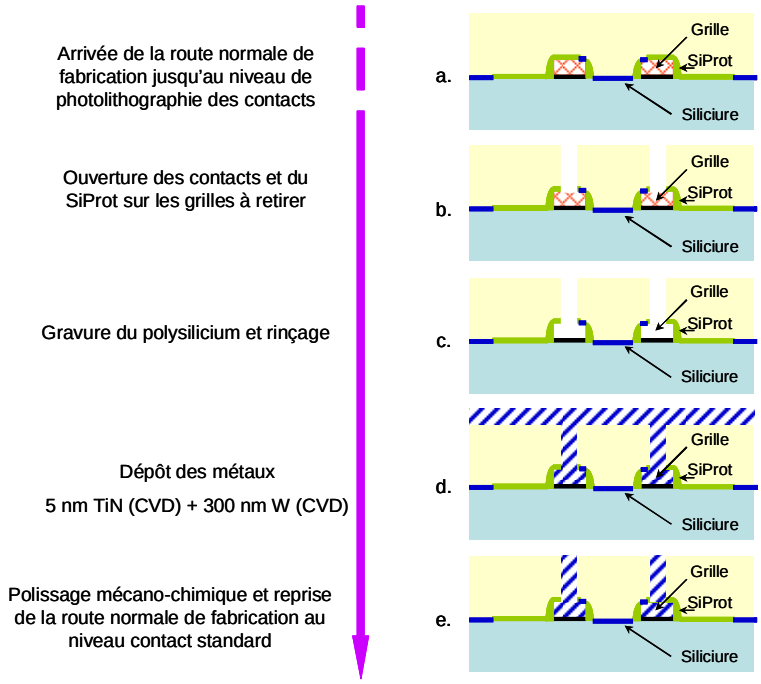


Figure n°IV.13. Représentation schématique des adaptations apportées à la route standard de fabrication pour obtenir la route de fabrication double masque

Parallèlement à cela, nous avons élargit les contacts des grilles métalliques (0.3 µm au lieu de 0.16 µm pour une largeur de grille L_g de 0.4 µm) pour découvrir complètement l'oxyde de grille et permettre ainsi l'utilisation de dépôt *PECVD* (*Plasma-Enhanced Chemical Vapor Deposition*) qui offre un plus large choix de métaux que le dépôt *CVD* ainsi qu'un bon

contrôle de la stœchiométrie. La largeur des contacts des grilles métalliques est légèrement inférieure à celles des grilles car les trous de contacts ont tendance à s'élargir lors de la fabrication des grilles métalliques. Malheureusement, nous n'avons pas eu accès à un dépôt PECVD lors de nos travaux, nous avons donc remplacé le polysilicium par les mêmes matériaux que ceux de la méthode simple masque, c'est-à-dire une couche de 5 nm d'épaisseur de TiN recouverte d'une couche de 300 nm d'épaisseur de W déposées en dépôts *CVD*. Les études qui se poursuivent actuellement sur ce sujet utilisent cependant ces mêmes structures avec un dépôt de type *PECVD*.

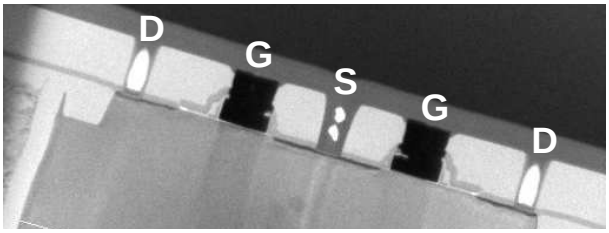


Figure n°IV.14. Coupe TEM d'un transistor nLDEMOS MG réalisé avec la route double masque juste après l'ouverture des contacts drain et source (les grilles métalliques sont déjà présentes)

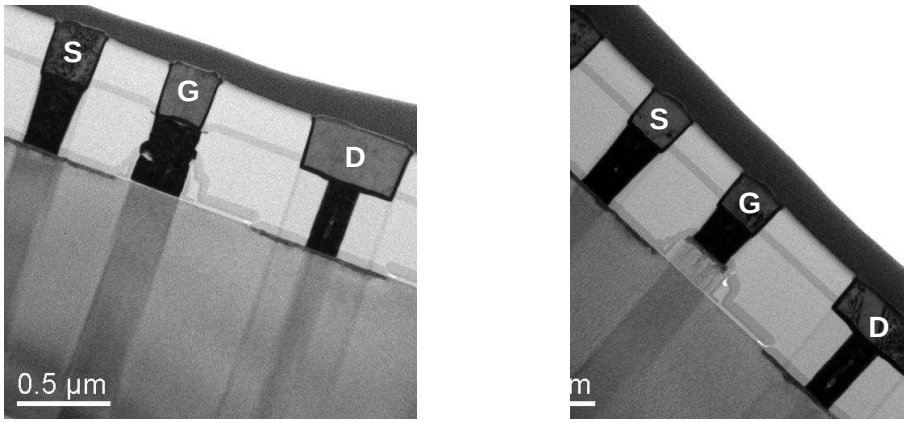


Figure n°IV.15. Demi-coupes TEM de transistors nLDEMOS réalisés avec la route double masque, composant MG à gauche et PG à droite (images issues de la même plaquette de silicium)

Les images TEM de la figure n°IV.15 nous prouvent parfaitement qu'une co-intégration de composants *MG* et *PG* est réalisable avec la route de fabrication double masque.

On peut également apercevoir un morceau de siliciure sur le composant *MG* (figure n°IV.15 à gauche) dû aux contraintes technologiques d'alignement.

Par ailleurs, comme attendu, il n'y a aucun signe d'oxyde natif sous les contacts source et drain comme on peut le constater sur les images de la figure n°IV.16. Par conséquent, les composants fabriqués devraient être fonctionnels électriquement parlant.

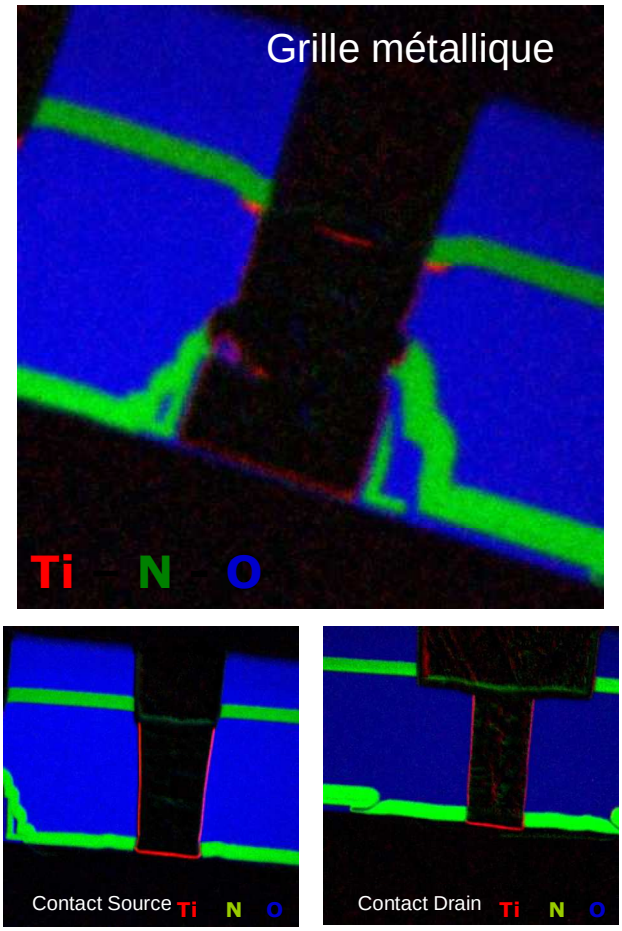


Figure n°IV.16. Coupes EFTEM des contacts de source, de drain et d'une grille métallique réalisés avec la route double masque

On peut également noter que l'oxyde est bien présent sous la grille métallique et que son intégrité est préservée.

V.3. Résultats

En utilisant la route double masque pour réaliser nos composants, nous avons montré que l'oxyde natif, qui était présent sous les contacts de source et de drain avec la route simple masque, n'apparaît plus et que les deux types de composant (*PG* et *MG*) semblent parfaitement formés. Nous avons effectivement constaté que les composants dédiés aux mesures statiques (W_g=2×5=10 µm) étaient fonctionnels. Les résultats que nous avons obtenus sont représentés dans le tableau suivant (tableau n°IV.1) et les graphiques de la figure

n°IV.18. Nous avons ajouté dans le tableau les résultats obtenus avec des composants *PG* réalisés avec une route standard et ayant d'une part une tension de seuil identique à celle du composant *MG* et d'autre part une tension de seuil à l'objectif.

Paramètres	Unité	Composant PG	Composant MG	Composant PG précédent	Composant PG dans les normes
V_t	V	0.5	0.72	0.72	0.62
BV_{ds}	V	14.2	13.8	15.2	16.2
gm	mS/mm	45.1	22.1	38.7	43.1
$S.R_{on}$	mΩ.mm²	4.8	6.5	6.2	6.9
I_{on} V_{ds}=5V; V_{gs}=2.5V	µA/µm	519	360	371	411
I_{lin} V_{ds}=0.1V; V_{gs}=2.5V	µA/µm	42.9	31.8	35.2	29.9
I_{off} V_{ds}=5V; V_{gs}=0V	pA/µm	77.3	0.7	0.83	1.1

Tableau n°IV.1. Résultats DC des composants PG et MG réalisés avec la route double ruban ; L_g=0.4 µm, L_{ext}=0.5 µm, W_g=2×5=10 µm, structure double ruban

D'après les résultats obtenus, les composants *PG* présentent des tensions de seuil V_t en-deçà de l'objectif, ce qui conduit d'ailleurs à une augmentation significative de I_{off}. Cela s'explique par le fait que nous avons ajusté par anticipation l'implantation *p-body* pour compenser la hausse de V_t due au remplacement du polysilicium de la grille par un empilement métallique TiN / W. En effet, si on reprend la formule de la tension de seuil V_t décrite dans le premier chapitre :

$$V_t = \Phi_{ms} - \frac{Q_{SS}}{C_{ox}} + 2\Phi_F + 2\sqrt{(qN_{a\max}\varepsilon_S\Phi_F)}/C_{ox}$$

où Φ_{ms} est le travail de sortie métal semi-conducteur, $\frac{Q_{SS}}{C_{ox}}$ la tension correspondant à l'effet des charges à l'interface, Φ_F le niveau de Fermi pour $N_{a\,max}$, q la charge élémentaire et ε_S la constante diélectrique du silicium. Or il est connu que le TiN est un métal dont le travail de sortie correspond à une tension de bande plate proche du milieu de bande (i. e. « Midgap »), c'est-à-dire que son travail de sortie Φ_{ms} est plus élevé que celui du polysilicium (dopé n). Ce comportement a été confirmé par les dépôts CVD du TiN utilisés pour notre étude par des caractérisations complémentaires réalisées au CEA-LETI et dont les résultats sont présentés sur la figure n°IV.17. La technique d'extraction de la tension de bande plate est détaillée dans [Leroux'07a] et [Leroux'07b]. Il était donc souhaitable d'ajuster la

tension de seuil par l'intermédiaire de l'implantation *p-body* qui est dédiée aux transistors *nLDEMOS* et qui n'a donc aucune influence sur les transistors CMOS.

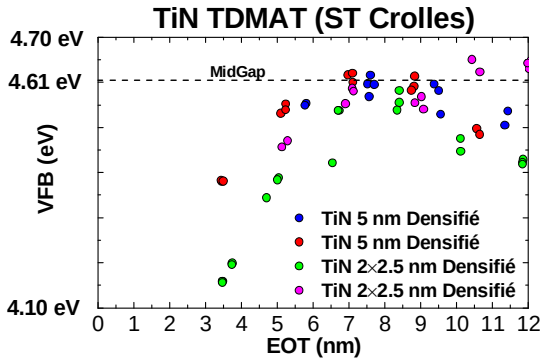


Figure n°IV.17. Tension de bande plate en fonction de l'épaisseur d'oxyde pour deux types de remplissages de grille

Afin de pouvoir comparer les résultats de nos composants *MG* aux résultats des composants *PG*, nous les comparons dans le tableau n°IV.1 à des composants *PG* d'une part avec une tension de seuil V_t équivalente et d'autre part à V_t sur l'objectif.

Nous pouvons en déduire que les transistors nLDEMOS à grilles métalliques présentent des performances statiques comparables à celles des nLDEMOS à grille polysilicium de V_t équivalent ce qui est un résultat très encourageant. La figure n°IV.18 montre également que les caractéristiques sont saines. Par contre, bien que l'augmentation du V_t soit limitée à ~0.2 V, ce qui tend d'ailleurs à montrer un comportement plutôt de type n que milieu de bande comme indiqué par la figure n°IV.17 pour les faibles épaisseurs d'oxyde de grille, celle-ci pénalise des paramètres aussi importants que I_{on} ou $S.R_{on}$.

Des mesures quatre pointes nous ont donné des valeurs de 8,7 Ω/□ pour le siliciure et 2.0 Ω/□ pour le dépôt TiN / W, ce qui nous donne une première indication quant à la réduction de R_g possible.

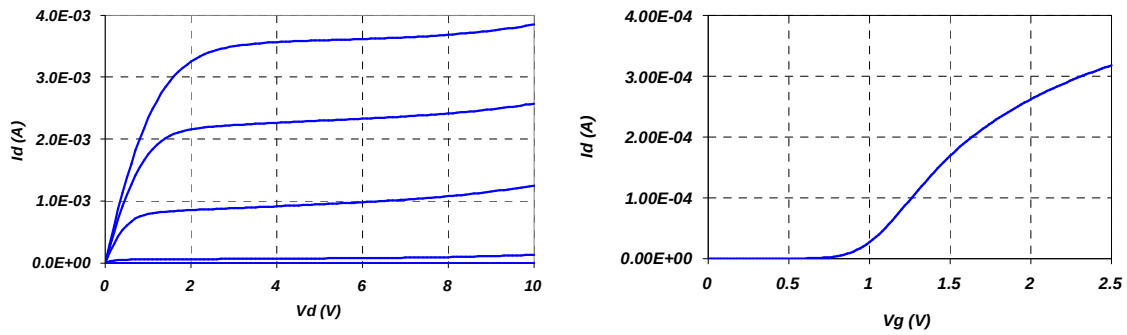


Figure n°IV.18. Caractéristiques $I_{ds}(V_{ds})$ à V_{gs} allant de 0.5 V à 2.5 V (à gauche) et $I_{ds}(V_{gs})$ à V_{ds}=0.1 V (à droite) pour un transistor nLDEMOS MG ; L_g=0.4 µm , L_{ext}=0.4 µm et W_g=2×5=10 µm

Pour ce qui est des mesures dynamiques, les composants *MG* n'ont pas fonctionné. Les mesures ont montré des comportements de type court-circuit aux niveaux drain/grille et source/grille. Ce problème n'est à ce jour pas encore résolu, mais nous supposons la présence de charges fixes dans l'oxyde de grilles introduites lors du dépôt de TiN. Cette hypothèse est supportée par les résultats de la figure n°IV.17 montrant une réduction de la tension de bande plate pour les faibles épaisseurs d'oxyde. Cette réduction pourrait être due à ces charges dont l'introduction serait spécifique à la méthode de dépôt. Les composants *PG*, quand à eux, ont présenté des performances RF relativement bonnes avec 25 GHz pour F_T et 52 GHz pour F_{max}. Cependant, aucune mesure load-pull n'a été faite sur ces composants puisque de plus performants avaient été réalisés.

VI. Conclusion et perspective

Nous avons présenté dans ce chapitre les développements réalisés pour fabriquer des composants nLDEMOS à grilles métalliques. Cette technologie utilise le procédé *PRETCH* que nous avons adapté à notre route de fabrication pour obtenir la route double masque, route qui consiste à réaliser dans un premier temps les grilles métalliques avec leur contact pour ensuite faire les contacts de source, de drain et ceux des grilles des composants CMOS. La route double masque nous a permis d'obtenir des composants *MG* et *PG* fonctionnels en statique, mais les composants *MG* ne fonctionnent pas en dynamique. L'étape de fabrication incriminée est celle du dépôt métallique. Plus que l'empilement métallique choisi (TiN / W), qui n'est pas favorable à une bonne tension de seuil, c'est la méthode de dépôt elle-même qui pose problème. L'intégration n'est cependant pas remise en cause et la route double masque doit nous permettre de co-intégrer des transistors nLDEMOS à grille métallique avec d'autres transistors CMOS à grille polysilicium. Par ailleurs, à condition que tous les nLDEMOS soient à grilles métalliques, l'implantation *p-body* permet d'ajuster la tension de seuil de ces transistors et donc de pallier, au moins partiellement, l'augmentation de Φ_{ms}. Cette étude est actuellement poursuivie avec l'aide du CEA-LETI qui travaille au développement d'une nouvelle méthode de dépôt plus « propre » dans le but de recouvrer la fonctionnalité en petit et grand signal. Le TiN est également remplacé par du TaN qui présente un comportement de type n et devrait donc permettre d'obtenir des V_t sur l'objectif et ainsi améliorer le courant de drain.

CONCLUSION GENERALE

Les travaux de thèse présentés dans ce manuscrit concernent l'extension du domaine fréquentiel d'applications des LDMOS pour l'amplification de puissance au delà de 2 GHz.

Dans la première partie de ce mémoire, nous avons tout d'abord décrit le fonctionnement des transistors MOS, leurs différentes caractéristiques et facteurs de mérite. Nous avons ensuite détaillé la technologie CMOS 0.13 µm sur SOI qui a été utilisée comme base de nos travaux sur les transistors nLDEMOS (*n-type Lateral Drain Extension MOS*). Les généralités sur les amplificateurs de puissance et les mesures de puissance ont été exposées. Nous avons enfin présenté l'état de l'art des transistors nLDMOS ainsi que nos objectifs d'amélioration pour ce composant.

La seconde partie, consacrée à l'étude de l'influence du type de substrat sur les performances de transistors nLDEMOS, nous a montré que les substrats de type SOI mince pénalisent les performances micro-ondes petit signal et grand signal de nos composants à cause notamment des effets de l'auto-échauffement qui est plus important que sur des substrats de type SOI épais ou silicium massif, substrats qui permettent d'atteindre de meilleures performances en puissance. Les performances en retrait du substrat SOI mince en ce qui concerne notamment le gain en puissance et le rendement de puissance ajoutée sont cependant contrebalancées par la possibilité d'intégrer des commutateurs d'antennes CMOS alors que l'intégration des commutateurs d'antennes (MEMS) sur substrat massif est plus complexe. Le choix du substrat doit donc prendre en compte non seulement les performances en puissance mais également l'intégration et le coût total de la solution retenue. L'utilisation de la technologie TSV (*Through Silicon Vias*) ainsi que celle de nouveaux substrats SOI offrant une meilleure conductance thermique sont des perspectives intéressantes pour réduire l'auto-échauffement et améliorer ainsi les performances des substrats SOI.

Nous avons vu dans la troisième partie qu'une modification simple de la structure d'un composant nLDEMOS permet d'améliorer de façon significative leur fréquence maximale d'oscillation F_{max} tout en limitant les pertes sur la fréquence de transition F_T. Cette modification, qui consiste à remplacer les contacts de grille et de source standards par des rubans permet d'augmenter F_{max} de plus de 120 % (F_{max} passe de 34 GHz à 76 GHz) pour une perte de moins de 5 % sur F_T (F_T diminue de 25 GHz à 24 GHz), ce qui est une performance remarquable. Cette forte augmentation de F_{max} s'explique par la réduction importante de la résistance de grille de plus de 80% (R_g diminue de 10.5 Ω à 2 Ω). Nous avons également fait varier de nombreux paramètres géométriques tel que L_g, L_{ext} ou encore la longueur et le

nombre de doigts de grille et étudié l'influence des ces variations sur les performances électriques, aussi bien en statique, en petit signal qu'en grand signal. Des valeurs de F_T et de F_{max} jusqu'à 30 GHz et 90 GHz respectivement ont été obtenues. Les mesures grand signal réalisées sur ces composants présentant des valeurs de F_{max} nettement supérieures à celle des composants initiaux n'ont pas montré une amélioration des performances en puissance aussi importante que nous l'espérions de part la difficulté d'atteindre l'impédance optimale de charge, ces composants présentant notamment des zones d'instabilités plus grandes. Des études complémentaires sont nécessaires afin de déterminer si ces composants sont plus adaptés à des classes d'amplification moins linéaires, voire à des classes commutées, les valeurs de $S.R_{on}$ obtenues étant faibles. La solution la plus simple que nous avons évaluée pour réduire ces zones d'instabilité consiste à travailler à une tension de drain V_{ds} plus élevée. L'augmentation de V_{ds} jusqu'à 10 V nous a d'ailleurs permis d'atteindre un niveau de puissance à la saturation record de 1 W/mm en classe $AB_{4\%}$, et à une fréquence de 4 GHz. Bien que des études complémentaires sur la fiabilité de ces composants sont indispensables pour valider leur utilisation à un V_{ds} aussi élevé, ce résultat montre que les nLDEMOS intégrés aux technologies CMOS peuvent probablement adresser des applications à plus forte puissance (et V_{ds}) que les applications portables visées aujourd'hui (V_{ds}=3.6V). Une autre perspective de ce travail qui nécessite également des études de fiabilité est de régler différemment le composant afin de réduire la tension de claquage BV_{ds} ce qui permettrait d'améliorer F_T et la puissance de sortie.

Enfin, nos recherches sur la réduction de la résistance de grille nous ont menés dans la quatrième partie de ces travaux de thèse à la fabrication de transistors LDEMOS à grille métalliques (*MG* pour *Metal-Gate*). La technologie développée utilise le procédé *PRETCH* que nous avons adapté pour obtenir une route de fabrication qui consiste à réaliser dans un premier temps les grilles métalliques avec leur contact pour ensuite faire les contacts de source et de drain de tous les composants ainsi que les contacts des grilles polysilicium.(*PG* pour *Poly-Gate*). L'objectif de ce travail était en effet de pouvoir co-intégrer des transistors *MG*-nLDEMOS avec des transistors *PG*-CMOS c'est-à-dire à grille polysilicium standard. Des transistors nLDEMOS *MG* et *PG* fonctionnels en statique ont été obtenus mais les composants *MG* ne fonctionnent pas en dynamique. L'hypothèse la plus probable est que les court-circuits observés entre grille – drain et grille – source serait dus à des charges fixes introduites dans l'oxyde de grille lors du dépôt TiN de la grille. C'est donc la méthode de dépôt CVD du TiN elle-même qui est incriminée, l'intégration n'étant à ce jour pas remise en

question. Des travaux se poursuivent actuellement avec une méthode de dépôt PVD de TaN qui devrait pallier ce problème ainsi que permettre d'atteindre des tensions de seuil plus faibles et donc des courants de drain plus élevés. La co-intégration de transistors nLDEMOS à grille métallique avec des transistors CMOS à grille polysilicium est donc un objectif qui semble réalisable à court terme.

En conclusion, ce travail de thèse a confirmé le potentiel des transistors nLDEMOS pour les amplificateurs de puissance des combinés de communications mobiles même si des améliorations sont encore nécessaires pour adresser des fréquences au-delà de 2 GHz. Notre travail a en effet clairement mis en évidence qu'une amélioration des performances petit signal n'était pas synonyme d'amélioration des performances grand signal, démontrant ainsi que les mesures *load-pull* sont indispensables à l'optimisation d'un composants dédié à l'amplification de puissance micro-ondes. Sur le plan technologique les meilleures perspectives concernent l'utilisation de la technologie TSV dont le bénéfice sur le gain en puissance, apporté par la réduction de l'inductance de source, a déjà été démontré. Cette technologie éventuellement couplé à un nouveau type de substrats SOI offre également des perspectives intéressantes pour la réduction de l'auto-échauffement et donc pour l'amélioration du rendement en puissance ajoutée, soulignant ainsi l'importance de l'environnement du composant. Cet environnement est par ailleurs déterminant pour l'intégration des commutateurs d'antenne avec l'amplificateur de puissance. Il devrait également pouvoir être démontré à court terme que l'utilisation de grilles métalliques permet d'améliorer significativement le rendement en puissance ajoutée. Enfin, nos résultats de puissance à fort V_{ds} montrent que nos composants peuvent probablement adresser d'autres applications que celles initialement visées, le niveau de puissance obtenu étant comparable à celui des composants LDMOS discrets utilisés dans les stations de base des communications mobiles.

REFERENCES

Barbalat'07
B. Barbalat, « Technologie et Physique de Transistors Bipolaires à Hétérojonction Si/SiGeC Auto-alignés très Hautes Fréquences », Thèse de L'école Doctorale « Sciences et Technologies de l'Information des Télécommunications et des Systèmes », décembre 2005.

Bensmida'05
S. Bensmida, « Conception d'un système de caractérisation fonctionnelle d'amplificateur de puissance en présence de signaux modulés à l'aide de réflectomètre six-portes », Thèse de doctorat de l'Ecole Nationale Supérieure des Télécommunications de Paris, Janvier 2005.

Bon'08
O. Bon, « Conception de transistors haute tension complémentaires en technologie 65 nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance », Thése de doctorat de l'Université de Toulouse, Mars 2008.

Bruel'95
M. Bruel et al, « Smart-Cut: a promising new SOI material technology », IEEE International SOI conference, 1995, pp. 178-179.

Costa'08
J. Costa et al, « Silicon RFCMOS SOI Technology with Above-IC MEMS Integration for Front End Wireless Applications », BCTM Proc., 2008, pp. 204-207.

Del Alamo'05
J. A. Del Alamo et al. « Si CMOS for RF Power Applications », Workshop on Advanced Technologies for Next Generation of RFIC, 2005

Ducatteau'10
D. Ducatteau et al. « Output Power Density Higher than 1 W/mm at 4 GHz thanks to an Original Silicon LDEMOS Transistor Layout »

Ehwald'01
K. Ehwald et al. **«** High Performance RF LDMOS Transistor with 5nm gate oxide in a 0.25µm SiGe:C BiCMOS Technology » International Electron Devices Meeting (IEDM), 2001, p. 40.4.1-10.4.4.

Fiorenza'03
J. G. Fiorenza et al. « A Metal/Polysilicon Damascene Gate Technology for RF Power DMOSFETs », IEEE Electron Device Letters, 2003, pp. 698-700

Fournier'09a
D. Fournier et al. « Impact of the Gate Layout on the Performance of RF Power LDMOSFETs integrated in a 0.13-µm CMOS Technology », PA Symposium, San Diego, 2009

Fournier'09b
D. Fournier et al. « Improvement of the RF Power Performance of nLDMOSFETs on Bulk and SOI Substrates with 'Ribbon' Gate and Source Contacts Layouts », International Symposium on Power Semiconductor Devices (ISPSD), 2009, pp 116-119

Gallon'07
C. Gallon, « Solutions alternatives avancées pour les prochaines générations de transistors CMOS SOI complètement déserté à simple grille », Thèse de doctorat de l'Institut National Polytechnique de Grenoble, 2007.

Giry'01
A. Giry, « Etude des potentialités des technologies CMOS avancées pour les radiofréquences : application aux amplificateurs de puissance », Thèse de doctorat de l'Institut National Polytechnique de Grenoble, Juillet 2001.

Harrison'04
S. Harrison et al. « Poly-gate REplacement Through Contact Hole (PRETCH): A new method for High WMetal gate and multi-oxide implementation on chip » International Electron Devices Meeting (IEDM), 2004, pp 291-294

Ko'05
J. Ko et al. « Properties of RF-LDMOS with low resistive substrate for handset power applications » Radio Frequency integrated circuits (RFIC) Symposium, Digest of Papers, 2005, pp 61-64.

Lee'04
T.H. Lee, « The Design of Radio-Frequency Integrated Circuits », Cambridge University Press, New York, 2nd édition, 2004.

Lerroux'07a
C. Lerroux et al. « Automatic statistical full quantum analysis of C-V and I-V characteristics for advanced MOS gate stacks », Microelectronic Engineering 84, 2007, pp. 2408–2411.

Lerroux'07b
C. Lerroux et al. « Accurate determination of flat band voltage in advanced MOS structure », Microelectronics Reliability 47, 2007, pp. 660–664.

Müller'06
D. Muller, « Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium », Thèse de doctorat de l'Université de Limoges, Octobre 2006.

Oshima'03
K. Oshima, « Replacing the box with buried alumina: Improved thermal dissipation in SOI MOSFETs », Silicon-on-insulator technology and devices, 2003, vol. 5, pp 45-50.

Raynaud'05
C. Raynaud et al, « Is SOI CMOS a promising technology for SOCs in high frequency range? », in 207th ECS Meeting Proc., 12th International Symposium on Silicon-on-Insulator Technology and Devices, 2005, pp 331-344.

Shimizu'04
T. Shimizu et al. « A small GSM power amplifier module using Si-LDMOS Driver MMIC » Solid State Circuits Conference, 2004, pp 196-522.

Shimizu'05
T. Shimizu et al. « A Single-chip Si-LDMOS Power Amplifier for GSM »
Solid State Circuits Conference, 2005, pp 310-600.

Sun'72
S. C. Sun et al. « Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces » IEEE Transactions On Electron Devices, 1972, Vol. 19, N°2, pp. 45-53.

Takayama'76
Y. Takayama et al. « A new Load-Pull characterization method for microwave power transistor » Microwave Symposium Digest, MTT-S International, Volume: 76, Issue: 1, pp. 218 - 220.

Yu'06
H. Y. Yu et al. « Advanced Ni-based FUlly SIlicidation (FUSI) technology for sub-45nm CMOS devices », Solid-State and Integrated Circuit Technology, 2006, pp. 404-407

PUBLICATIONS

Fournier'08
D. Fournier, D. Ducatteau, M. Buczko, D.Gloria, C.Gaquière, P. Chevalier « Amélioration de la fréquénce maximale d'oscillation de transistor nLDEMOS de puissance en nœud CMOS 0.13 µm », JNMO, 2008

Fournier'09a
D. Fournier, D. Ducatteau, E. Delos, M. Buczko, P. Scheer, D. Gloria, C. Gaquière, P. Chevalier
« Impact of the Gate Layout on the Performance of RF Power LDMOSFETs integrated in a 0.13-µm CMOS Technology », PA Symposium, 2009

Fournier'09b
D. Fournier, D. Ducatteau, J. Fontaine, O. Bon, B. Rauber, P. Scheer, D. Gloria, C. Gaquière, P. Chevalier « Improvement of the RF Power Performance of nLDMOSFETs on Bulk and SOI Substrates with 'Ribbon' Gate and Source Contacts Layouts », International Symposium on Power Semiconductor Devices (ISPSD), 2009, pp 116-119

Ducatteau'10
D. Ducatteau, D. Fournier, G. Bekangba, P. Chevalier, C. Gaquière.
« Output Power Density Higher than 1 W/mm at 4 GHz thanks to an Original Silicon LDEMOS Transistor Layout », EUMIC, 2010

Résumé :

Le marché des amplificateurs de puissance pour les combinés téléphoniques portables est actuellement dominé par les semi-conducteurs III-V, les transistors HBT et PHEMT GaAs étant utilisés dans les amplificateurs de puissances et les commutateurs d'antennes respectivement. Cette situation est cependant en train d'évoluer puisque des technologies silicium sur isolant (SOI, Silicon-On-Insulator) intégrant à la fois l'amplificateur de puissance (avec des transistors LDMOS) et les commutateurs d'antennes (avec des transistors CMOS ou des MEMS) sont en cours de qualification. Toutefois, les performances de ces transistors à grille polysilicium, intégrés aux technologies CMOS, limitent leur utilisation à des fréquences de travail inférieures à 2 GHz. L'objectif des travaux de thèse présentés dans ce manuscrit est d'étendre le domaine d'applications des transistors LDMOS aux réseaux de communication sans fil fonctionnant dans une gamme de fréquences de 3 à 5 GHz. Dans cette perspective, une première étude sur différents substrats SOI et massifs a permis de conclure que les substrats de type SOI mince pénalisent les performances des composants LDMOS, notamment à cause de l'effet d'auto-échauffement qui est plus important. Une seconde étude axée sur la structure même du composant indique qu'une modification du contact de grille permet d'augmenter de façon significative les performances en petit signal mais l'amélioration des performances grand signal est plus modérée. Enfin, une étude plus amont qui vise à remplacer le polysilicium des grilles par un métal a montré que la co-intégration de transistors CMOS classiques avec des transistors LDMOS à grille métallique est possible.

Mots clés : transistors LDMOS, SOI, amplificateur de puissance, grille métallique

Abstract:

The power amplifier market for mobile phone handsets is currently dominated by III-V semiconductors, the PHEMT and HBT GaAs transistors being used for the power amplifiers and the antenna switches respectively. However, this situation is evolving with the release of Silicon-On-Insulator (SOI) technologies which allow the integration of both the power amplifier (with LDMOS transistors) and the antennae switches (with CMOS transistors or MEMS). The performances of the polysilicon gate LDMOS transistors, integrated in CMOS technologies, limits however the operatinq frequency of the power amplifiers to below 2 GHz. The aim of the thesis work presented in this manuscript is to extend the applications of LDMOS transistors to the wireless communication networks operating in the 3 to 5 GHz frequency range. In this perspective, an initial study on different SOI and bulk substrates concluded that thin SOI substrates penalize the performances of RF LDMOS transistors mainly because of the increase of the self-heating effect. A second study focused on the transistor layout shows that a change in the gate contact scheme can significantly increase the small signal performances but the improvement of the large signal performances is more moderate. Finally, a more advanced study which aims to replace polysilicon gates by metal exhibited that the co-integration of conventional CMOS transistors with metal-gate LDMOS transistors is possible.

Key words: LDMOS transistor, SOI, power amplification, metal-gate