



N° d'ordre : 4186



UNIVERSITÉ DE
BORDEAUX

THÈSE EN COTUTELLE INTERNATIONALE

PRÉSENTÉE À

L'UNIVERSITÉ BORDEAUX 1

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

Par M. **Montassar NAJARI**

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE BORDEAUX 1

ET

DE L'UNIVERSITE DE SFAX

Spécialité: ÉLECTRONIQUE

**Modélisation compacte des transistors à nanotube de
carbone à contacts Schottky et application aux circuits
numériques**

Soutenue le : 10 décembre 2010

Après avis de :

Monsieur Kamel BESBES

Rapporteur

Madame Daniela MUNTEANU

Rapporteur

Madame Sylvie RETAILLEAU

Rapporteur

Devant la commission d'examen formée de :

Monsieur Lotfi KAMOUN

Président

Monsieur Mounir SAMET

Examineur

Monsieur Kamel BESBES

Rapporteur

Madame Daniela MUNTEANU

Rapporteur

Madame Sylvie RETAILLEAU

Rapporteur

Monsieur Thomas ZIMMER

Directeur de thèse (Université Bordeaux 1)

Madame Cristell MANEAUX

Co-directeur de thèse (Université Bordeaux 1)

Monsieur Nouri MASMOUDI

Directeur de thèse (Université de Sfax)

REMERCIEMENTS

Ce travail de thèse a été réalisé conjointement aux Laboratoire De l'Intégration du Matériau Au Système UMR CNRS 5218 de l'Université de Bordeaux 1 et le Laboratoire d'Electronique Et Des Technologies De L'information de l'Université de Sfax dans le cadre d'une thèse en cotutelle. Je remercie donc tout d'abord les directeurs des deux laboratoires, Lotfi Kamoun et Pascal Fouillat, de m'y avoir accueilli.

Je remercie spécialement M. Kamel Besbes, Mme Daniela Munteanu et Mme Sylvie Retailleau pour la lecture méticuleuse de mon manuscrit. Je remercie tout autant M. Mounir Samet d'avoir accepté d'être examinateur, ainsi que M. Lofti Kamoun d'avoir assumé le rôle de président de Jury. Je tiens en particulier à remercier tout les membres de jury pour la pertinence de leurs questions et l'intérêt qu'ils ont porté à mon manuscrit.

Je remercie sincèrement M. Nouri Masmoudi et M. Thomas Zimmer, mes directeurs de thèse, pour leur soutien permanent et leur expertise. Je salue ainsi leur grande complémentarité, tant du point de vue des connaissances que de la démarche scientifique.

Je remercie aussi, Mme Cristell Maneux, co-directeur de thèse, pour l'encadrement quotidien de cette thèse, pour son accompagnement de tous les instants dans l'analyse des résultats et pour ses encouragements qui n'ont pas faibli en trois ans.

Ce travail de recherche n'aurait été pas possible sans la précieuse aide de Sébastien Frégonèse, Ingénieur de recherche CNRS (France), et Hassène Mnif, Maître Assistant à l'Institut Supérieur d'Electronique et de Communication de Sfax (Tunisie), à qui je suis très reconnaissant.

Ma reconnaissance et mes remerciements vont spécialement aux différents membres l'équipe Model du Laboratoire IMS : François, Sébastien, Brice, Cyril, Johnny, Si-yu, Mahmoud, Jad, Arkaprava, Sudip, Hamit et Gilles pour l'excellente ambiance de travail qu'ils ont su faire régner pendant ces années de thèse. Je n'oublierai pas l'ambiance chaleureuse et dynamique de ce groupe.

Enfin, je remercie mes chers parents, ma sœur et ma chère et adorable femme, Wiem, qui ont su me soutenir dans les moments les plus difficiles et supporter mon stress pendant toutes ces années. Que dieux les gardes...

*Introduction générale***CHAPITRE 1 : LES NANOTUBES DE CARBONE**

1	<i>Brève histoire des nanotubes de carbone</i>	- 17 -
2	<i>Structures et propriétés électroniques des nanotubes de carbone</i>	- 17 -
2.1	Structures géométriques	- 17 -
2.2	Propriétés électroniques : structures de bande d'énergie électronique	- 19 -
3	<i>Transistors à nanotube de carbone</i>	- 20 -
3.1	Les transistors FET à base de nanotube de carbone : CNTFET	- 21 -
3.1.1	Procédes de fabrication des CNTFETs	- 21 -
3.1.1.1	Configuration en grille arrière	- 21 -
3.1.1.2	Autres types de configurations	- 23 -
3.1.2	Caractéristiques électriques des CNTFETs	- 23 -
3.2	Les différents types des transistors à nanotube de carbone	- 25 -
3.2.1	Le transistor à modulation de hauteur de barrière : C-CNTFET	- 25 -
3.2.2	Le transistor à double-grille : DG-CNTFET	- 26 -
4	<i>Performances et limitations des transistors à nanotube de carbone</i>	- 28 -
4.1	Performances des CNTFETs	- 28 -
4.1.1	Performances DC des CNTFETs	- 28 -
4.1.2	Performances HF des CNTFETs	- 29 -
4.2	Limitations	- 32 -
4.2.1	Limitations technologiques	- 32 -
4.2.1.1	Localisation et placement des nanotubes	- 32 -
4.2.1.2	Orientation des nanotubes	- 33 -
4.2.1.3	Présence des nanotubes métalliques	- 34 -
4.2.1.4	Diamètre des nanotubes	- 35 -
4.2.2	Limitations intrinsèques	- 36 -
4.2.2.1	L'effet tunnel intra-bande	- 36 -
4.2.2.2	L'effet tunnel inter-bande	- 37 -
5	<i>Conclusion</i>	- 38 -

CHAPITRE 2 : LA MODELISATION COMPACTE DES TRANSISTORS A NANOTUBE DE CARBONE

1	<i>Introduction</i>	- 41 -
2	<i>Description du fonctionnement du transistor à nanotube de carbone à contacts Schottky</i>	- 41 -
2.1	Mise en évidence des barrières Schottky	- 41 -
2.2	Transparence des barrières Schottky et fonction de transmission	- 44 -
2.3	Régimes de polarisation des SB-CNTFET et profils de bande d'énergie	- 46 -
3	<i>Réalité technologique de la formation des barrières Schottky</i>	- 48 -
3.1	Nature du métal	- 48 -
3.2	Epaisseur d'oxyde effective EOT et permittivité diélectrique	- 49 -
3.3	Longueur de la grille	- 49 -
3.4	Diamètre du nanotube de carbone	- 49 -
4	<i>Les modèles compacts des CNTFETs : état de l'art</i>	- 51 -
5	<i>Modélisation d'une diode à nanotube à contact Schottky</i>	- 54 -

5.1	La méthode Wentzel–Kramers–Brillouin "WKB" dans la modélisation compacte	- 54 -
5.1.1	L'approximation WKB	- 54 -
5.1.2	Forme de la barrière de potentiel	- 56 -
5.2	L'équation de Landauer	- 57 -
5.3	Formulation analytique du courant tunnel	- 58 -
5.3.1	Régime de faible polarisation (sous le seuil)	- 59 -
5.3.2	Régime de forte polarisation (au dessus du seuil)	- 60 -
5.3.2.1	Surface 1 : faibles énergies	- 61 -
5.3.2.2	Surface 2 : fortes énergies	- 62 -
5.3.3	Solution analytique complète	- 63 -
5.4	Comparaison avec les caractéristiques mesurées d'une diode à nanotube de carbone à barrière Schottky	- 65 -
6	Limitation de l'approche WKB pour la modélisation du transistor à contacts Schottky	- 66 -
7	Modélisation compacte du transistor à contacts Schottky	- 67 -
7.1	Approche de modélisation retenue : Notion de barrière Schottky effective	- 67 -
7.1.1	Equation de Poisson et méthode de potentiel de surface	- 67 -
7.1.2	Formulation de la barrière Schottky effective	- 69 -
7.2	Calcul de la densité de charge	- 70 -
7.2.1	Formulation analytique et solutions partielles	- 72 -
7.2.1.1	Gamme des faibles énergies (de V_{BL} à Δ)	- 72 -
7.2.1.2	Gamme de fortes énergies (de Δ à V_{BH})	- 73 -
7.2.2	Comparaison avec le calcul numérique	- 74 -
7.3	Calcul du courant	- 75 -
7.4	Circuit électrique équivalent	- 76 -
8	Validation du modèle compact	- 78 -
8.1	Validation avec les simulations Monte Carlo	- 78 -
8.2	Comparaison avec les mesures	- 82 -
9	Etude d'influence des paramètres du modèle (Φ_{SB}, C_{INS} et d_{CNT})	- 83 -
9.1	Les performances statiques	- 83 -
9.1.1	Influence de la barrière Schottky	- 83 -
9.1.2	Influence du diamètre du nanotube	- 84 -
9.1.3	Influence de la capacité de l'oxyde	- 85 -
9.2	Performances dynamiques	- 86 -
9.2.1	Influence de la barrière Schottky	- 87 -
9.2.2	Influence du diamètre du nanotube	- 88 -
9.2.3	Influence de la capacité de l'oxyde	- 89 -
10	Conclusion	- 91 -

CHAPITRE 3 : APPLICATION AUX CIRCUITS NUMERIQUES

1	Introduction	- 93 -
2	Inverseur logique	- 93 -
3	Oscillateur en anneau	- 96 -
4	La cellule mémoire statique	- 97 -
4.1	La cellule mémoire 6T-SRAM	- 98 -
4.1.1	Présentation de la cellule 6T-SRAM	- 98 -
4.1.2	Ecriture et lecture dans la 6T-SRAM	- 98 -
4.1.3	Etude statique de la 6T-SRAM	- 100 -

SOMMAIRE

4.2	La cellule mémoire 4T-SRAM	- 102 -
4.2.1	Présentation de la cellule 4T-SRAM	- 102 -
4.2.2	L'inverseur à charge résistive à SB-CNTFETs ambipolaires	- 103 -
4.2.3	Etude statique de la cellule 4T-SRAM	- 104 -
5	Conclusion	- 105 -
	Conclusion générale	- 107 -
	Bibliographie	

LISTE DES ILLUSTRATIONS

Figure 1.1 - Calendrier de recherche et de développement technologique de l'électronique moléculaire basée sur le carbone [6] _____ 14

Figure 1.2 -Structure du maillage hexagonale d'une feuille de graphène et enroulement du nanotube de carbone montrant la définition du vecteur de chiralité $\vec{C}_h$ et des vecteurs unitaires $\vec{a}_1$ et $\vec{a}_2$: cas d'un nanotube de chiralité (4, 2). En haut : image par microscopie électronique en transmission (TEM) d'un nanotube mono-paroi [11] _____ - 18 -

Figure 1.3 -Exemple de nanotube de différentes structures : (a) Nanotube chiral (10, 5), (b) nanotube armchair (5, 5) et (c) un nanotube zigzag (9, 0) (simulé avec [13]). _____ - 18 -

Figure 1.4 -Schéma de bandes d'énergie d'une feuille de graphène avec la première zone de Brillouin (dessous). La bande de conduction et la bande de valence peuvent se croiser en six points correspondants à l'énergie de Fermi dont deux ne sont pas équivalents (K et K') [12]. _____ - 19 -

Figure 1.5 -(a) Profile de bande d'énergie d'un nanotube de carbone semiconducteur de chiralité (19, 0) résultant du calcul par méthode de liaison forte. (b) présentation de la première sous-bande. _____ - 20 -

Figure 1.6 -Densité d'état d'un nanotube de carbone semiconducteur de chiralité (19, 0). Les pics correspondent aux singularités de Van Hove des différentes sous-bandes. _____ - 20 -

Figure 1.7 -Coupe transversale d'un transistor à nanotube de carbone en configuration de grille arrière. Le nanotube de carbone relie les deux électrodes en "Au" de la source et du drain [19]. _____ - 22 -

Figure 1.8 -Procédé de fabrication de CNTFET. (a) Marquage du substrat ; (b) Ouverture pour dépôt du catalyseur dans la photo-résine ;(c) Ajout du catalyseur et élimination de la photo-résine ;(d) Croissance des nanotubes par dépôt chimique en phase vapeur ; (e) Dépôt des électrodes. _____ - 22 -

Figure 1.9 -Microscopie à force atomique (Atomic force microscopy : AFM) d'un nanotube de carbone mono-paroi synthétisé sur un substrat tranché de platine (Pt). (b) Image de microscopie à effet tunnel (scanning tunneling microscopy : STM) de la partie suspendu du nanotube [25]. _____ - 23 -

Figure 1.10 -Deux configurations de transistors CNTFET ; (a) en grille avant et (b) en grille cylindrique dans le cas d'un canal formé par plusieurs nanotubes mis en parallèle [11]. _____ - 23 -

Figure 1.11 -Caractéristiques I_D vs. V_{DS} d'un CNTFET de type p en grille avant ($L=260nm$) pour différents V_{GS} allant de -0,1V jusqu'à -1,1V au dessus de la tension de seuil $V_t=-0,5V$ avec un pas de -0,2V. En insert, une caractéristique I_D vs. V_{GS} de ce transistor pour $V_{DS}=-0,6V$ [29] avec une pente sous de $\sim 130mV/déc$ _____ - 24 -

Figure 1.12 -Le transistor CNTFET à modulation de la hauteur de barrière ou C-CNTFET. (En haut) coupe transversale du transistor, (b) profile de la bande d'énergie de la bande conduction pour la 1^{ère} sous-bande.- 26 -

Figure 1.13 -Image SEM d'un CNTFET double grille formé par un nanotube de carbone de diamètre $\sim 1.4nm$. Dans cette configuration la grille avant en Aluminium (20nm d'épaisseur sur $\sim 200nm$ de largeur) est séparée par une longueur de 200nm par rapport aux contacts en Titane (Ti) de la source et du drain. La grille arrière est en silicium et elle est enterrée au-dessous d'une couche d'oxyde de 10nm d'épaisseur [36]. _____ - 27 -

Figure 1.14 -Evolution de la barrière Schottky ($\Phi_B=150meV$) avec la polarisation de la grille V_{gs} pour quatre configurations des paramètres m^* , t_{ox} et d_{cnt} : (i) $m^*=0,1m_0$, $t_{ox}=2nm$ et $d_{cnt}=1,4nm$;(ii) $m^*=1,0m_0$, $t_{ox}=2nm$ et $d_{cnt}=1,4nm$;(iii) $m^*=1,0m_0$, $t_{ox}=10nm$ et $d_{cnt}=1,4nm$;(iv) $m^*=1,0m_0$, $t_{ox}=10nm$ et $d_{cnt}=5nm$ [37]. _____ - 27 -

Figure 1.15 -Courbe de l'évolution de la mobilité électronique dans les nanotubes de carbone de 2001 à 2009 : les cercles verts et les carrés rouges montrent les mobilités des nanotubes déposés directement par solution et synthétisés par CVD respectivement. Le cercle rouge indique les nanotubes qui sont synthétisés par CVD sur un substrat monocristallin en quartz. Les mobilités d'autres matériaux comme le silicium non-dopé (Si), le silicium contraint (Strained Si), le nanotube de carbone mono-paroi (diamètre $\sim 2nm$) et le Gallium Arsenic (GaAs) sont aussi montrés ici [42]. _____ - 28 -

Figure 1.16 -Caractéristiques électriques mesurées d'un n-CNTFET ($L=120nm$ et $d_{CNT}=1,5nm$) [43] : (a) caractéristiques I_D vs. V_{GS} pour quatre V_{DS} (0,1V en bleu, 0,3V en vert, 0,5V en rouge et 1V en noir), (b) caractéristiques I_D vs. V_{DS} pour V_{GS} de 1V à -1V par pas de -0,2V, (c) évolution de la conductance G à $V_{DS}=100mV$ et de la transconductance g_m à $V_{DS}=1V$ en fonction de V_{GS} . _____ - 29 -

Figure 1.17 -Évolution de la fréquence maximale de coupure des transistors CNTFETs en échelle logarithmique de 2001 à 2009. Ces performances fréquentielles sont obtenues dans le laboratoire de l'université de Delft [35], l'université de Stanford [45], la multinationale IBM [46], RF Nano Corporation (RFNC) [51], la multinationale NEC [50], l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) [BET06, [49] et l'université d'Illinois à Urbana-Champaign (UIUC) [47]. _____ - 30 -

Figure 1.18 -Croissance et intégration des nanotubes de carbone dans les transistors, (a.1) structure du transistor à nanotube de carbone de l'université de Stanford en 2003 ($f_i=200\text{Hz}$) avec une grille arrière de longueur de $7\mu\text{m}$, (a.2) Vue optique des transistors, en insert ; zoom sur un transistor, (a.3) image en microscopie électronique à balayage (MEB ou SEM pour Scanning Electron Microscopy en anglais) du CNTFET montrant le nanotube de carbone de diamètre $\sim 3\text{nm}$ liant source et drain au-dessus d'une couche de SiO_2 d'épaisseur $\sim 20\text{nm}$ [45]. _____ - 31 -

Figure 1.19 -Gains en courant intrinsèque $H_{21\text{int}}$ (courbe noire), gain avant "de-embedding" $H_{21\text{ext}}$ (courbe bleue), gain de Mason U (courbe verte) et gain maximum stable MSG (courbe rouge) du CNTFET de l'IEMN [49]. _____ - 32 -

Figure 1.20 -Procédé de synthèse des nanoparticules de métal : (a) dopage de la résine par l'acétylacétionate de fer III, (b) formation des tâches de dimensions $\sim 20\text{nm}$, (c) résine amorphe avec particule de fer après recuit à $650\text{-}800^\circ\text{C}$ pendant 5-30mn et (d) nanoparticule de fer sur la surface du substrat résultante de traitement à l'oxygène du carbone amorphe et servant comme point de départ pour la croissance des nanotubes de carbone. (e) image AFM des nanoparticules de fer espacées d'un pas de 200nm [54]. _____ - 33 -

Figure 1.21 -Illustration de la croissance auto-alignée des nanotubes de carbone : (a) image MEB des nanotubes à l'interface de deux régions avec (en haut) et sans (en bas) catalyseur, (b) nanotube parfaitement auto-alignés par CVD à partir de bandes de catalyseur déposés perpendiculairement à la direction de croissance voulue, (c) image BEM et (d) AFM des nanotubes obtenus dans (b) [58]. _____ - 34 -

Figure 1.22 -Gains en courant $10 \times \log_{10}(|H_{21}|)$ calculé à partir des paramètres S de trois CNTFETs à échantillons de nanotube de carbone différents. Les traits discontinus correspondent à une pente idéale de -20dB/décade de $|H_{21}|$, les f_i sont 8GHz , 30GHz et 80GHz [49]. _____ - 34 -

Figure 1.23 -Influence des nanotubes de carbones métalliques sur les performances des circuits numériques : (a) Oscillogramme simulé d'un circuit d'oscillateur en anneau à 5 étages avec 0% (courbe en bleu) et 30% (courbe en rouge) de nanotubes de carbones métalliques parmi les 20 qui sont utilisés par 1 CNTFET, (b) courant consommé dans le circuit à $V_{DD}=0.8\text{V}$ [60]. _____ - 35 -

Figure 1.24 -l'effet tunnel intra-bande dans les CNTFETs : (a) caractéristiques expérimentales I_D-V_{GS} d'un CNTFET avec une longueur de canal 200nm (courbes claires) et 40nm (courbes foncées) pour deux $V_{DS}=0.7\text{V}$ et -0.1V [67]. (b) Simulation NEGF du schéma de la 1ère sous-bande de conduction et de valence d'un nanotube de carbone de chiralité $(19, 0)$ à $V_{GS}=0\text{V}$ et $V_{DS}=0.55\text{V}$. Le code couleur montre la distribution en trou par rapport à $G_p(x, E)$: énergie en fonction de la position du porteur [68]. _____ - 37 -

Figure 2.1 -Mise en évidence des barrières Schottky : (a) images de microscopie de photo-courant à balayage laser (puissance du laser $900\mu\text{W}$), (b) variation de la hauteur de la barrière Schottky suivant l'axe du nanotube de carbone pour différentes polarisations de la grille V_G allant de 1V jusqu'à 4V par pas de 0.2V , (c) agrandissement du graphe précédent dans la zone de contact, (d) profile de bande d'énergie de la 1ère sous-bande de conduction et de valence pour deux polarisations V_G , 1.6V et 3.4V . La bande interdite E_g a été fixée de telle manière que le niveau de Fermi métal s'aligne avec le haut de la 1ère sous-bande de valence pour $V_G=1.6\text{V}$ et le bas de la 1ère sous-bande de conduction pour $V_G=3.4\text{V}$. _____ - 42 -

Figure 2.2 -Profile de la bande de conduction pour un C-CNTFET (a) et d'un SB-CNTFET (b) montrant la variation du potentiel de surface en fonction du potentiel appliqué de la grille [86]. _____ - 44 -

Figure 2.3 -Approximation triangulaire des barrières Schottky. _____ - 45 -

Figure 2.4 - (a) Fonction de transmission globale $T_T(E)$, de source $T_S(E)$ et de drain $T_D(E)$ en fonction de l'énergie des porteurs franchissant par effet tunnel deux barrières Schottky d'hauteur 275meV pour 6 différentes valeurs de V_{CNT} (de -200mV jusqu'à 1V par un pas de 240mV) et à $V_{DS}=200\text{mV}$. (b) profile de la 1ère bande d'énergie du canal à faible (droite) et forte (gauche) polarisation V_{CNT} . _____ - 46 -

Figure 2.5 - Représentation schématique des bandes d'énergies entre source et drain d'un SB-CNTFET en configuration de grille arrière (en haut) pour différents régimes de polarisation : (Cas A : $V_{GS}=V_{DS}=0$, Cas B : $V_{GS}>0$ $V_{DS}=0$, Cas C : $V_{GS}>V_{DS}>0$ et Cas D : $V_{DS}>V_{GS}>0$) ; seule la 1ère sous bande est représentée. _____ - 47 -

Figure 2.6 - Représentation schématique du profile de bandes d'énergie d'un SB-CNTFET selon trois métaux pour les contacts source et drain : Palladium (Pd), Titane (Ti) et Aluminium (Al). _____ - 49 -

- Figure 2.7** - Courant I_{ON} et hauteur de la barrière Schottky en fonction du diamètre de nanotube pour 3 métaux : Palladium (Pd), Titane (Ti) et Aluminium (Al) [100]. _____ - 50 -
- Figure 2.8** - Représentation schématique de la variation du profile de bandes d'énergie dans le canal d'un SB-CNTFET selon la bande interdite du nanotube avec $E_{G_A} < E_{G_B} < E_{G_C}$. _____ - 50 -
- Figure 2.9** - Barrière Schottky et ondes incidente Ψ_1 , transmise Ψ_2 et réfléchie Ψ_3 . L'approximation triangulaire est schématisée en rouge. _____ - 56 -
- Figure 2.10** - Variation de la distribution de Fermi de la source $f_S(E)$ et de la fonction de transmission $T_S(E)$ en fonction de l'énergie E des porteurs pour différents potentiels de canal V_{CNT} . _____ - 59 -
- Figure 2.11** - Courant tunnel à travers une barrière Schottky ; comparaison entre résultat analytique (courbe bleue) et résultat numérique (courbe rouge) dans la gamme de faible polarisation en V_{CNT} . _____ - 60 -
- Figure 2.12** - Approximation pour forte polarisation en V_{CNT} du produit de la fonction de transmission. _____ - 61 -
- Figure 2.13** - Courant tunnel à travers une barrière Schottky ; comparaison (en échelle linéaire et logarithmique) de la somme ($I_{2a}+I_{2b}$: courbe noire) des deux composantes du courant tunnel à faible (I_{2a} : trait avec carrés violets) et à forte énergie (I_{2b} : traits avec losanges verts) avec le résultat numérique (cercles rouges) dans la gamme de forte polarisation en V_{CNT} . _____ - 63 -
- Figure 2.14** - Solution complète par fonction de lissage f_{SMO} . _____ - 64 -
- Figure 2.15** - Courant tunnel normalisé dans une barrière Schottky : comparaison entre le résultat de la solution analytique et celui de la simulation numérique pour $\Phi_{SB}=0.275\text{eV}$, $V_{fb}=0\text{V}$ et $k_B T=26\text{meV}$. _____ - 65 -
- Figure 2.16** - Image en coupe transversale de la diode à nanotube de carbone à barrière Schottky. En insert ; image MEB de la diode avec une longueur de canal $\sim 120\text{nm}$ [124]. _____ - 65 -
- Figure 2.17** - Courant tunnel Schottky dans une diode à nanotube de carbone : Comparaison entre résultat mesuré (en symboles) et résultat analytique (en traits) en échelle linéaire (a) et logarithmique (b) pour $\Phi_{SB}=1,01\text{eV}$. _____ - 66 -
- Figure 2.18** - Deux configurations du CNTFET : (a) coaxiale ou (Gate All around) et (b) plane avec grille arrière. _____ - 68 -
- Figure 2.19** - Principe de la hauteur de la barrière Schottky effective. (b) Comparaison des deux fonctions de transmissions issues de la méthode WKB et de la notion de barrière Schottky effective. _____ - 70 -
- Figure 2.20** - Variation de la distribution de Fermi-Dirac $f(E)$, localisation de la borne d'énergie supplémentaire Δ et de la hauteur de la barrière Schottky effective Φ_{SB}^{eff} pour 3 différentes polarisations et pour la 1^{ère} sous-bande. La figure à droite montre la densité d'état dans les deux premières sous-bandes. _____ - 72 -
- Figure 2.21** - Validation du modèle analytique de la densité de charge normalisée par un facteur $\sqrt{m^*}$ en fonction de l'énergie des porteurs pour 4 valeurs de la bonne basse d'intégration V_{BL} [0,2 ; 0,3 ; 0,4 et 0,5] ; (a) comparaison avec le résultat numérique et (b) dérivée première de la densité de charge. _____ - 75 -
- Figure 2.22** - Schéma équivalent grand signal du modèle du transistor à nanotube de carbone à modulation de hauteur de barrière. _____ - 76 -
- Figure 2.23** - Caractéristiques simulées I_D vs. V_{GS} du modèle compact pour 9 valeurs de $V_{DS}=[0,1 ; 0,9\text{V}]$ avec $\Phi_{SB}=E_G/2=0,275\text{eV}$, $\lambda_{Schottky}=5\text{nm}$, $d_{tunnel}=2\text{nm}$ et $V_{fb}=0\text{V}$. _____ - 77 -
- Figure 2.24** - Caractéristiques simulées I_D vs. V_{DS} du modèle compact pour 10 différentes valeurs de $V_{DS}=[0 ; 0,9\text{V}]$ avec $\Phi_{SB}=E_G/2=0,275\text{eV}$, $\lambda_{Schottky}=5\text{nm}$, $d_{tunnel}=2\text{nm}$ et $V_{fb}=0\text{V}$. _____ - 77 -
- Figure 2.25** - Comparaison entre les résultats du modèle compact et des simulations Monte-Carlo pour le courant de drain du SB-CNTFET ; (a) I_D vs. V_{GS} pour V_{DS} à 0,1 et 0,3V, (b) I_D vs. V_{DS} pour V_{GS} à 0,7 ; 0,8 ; 0,9 et 1V. _____ - 80 -
- Figure 2.26** - Comparaison entre les résultats du modèle compact et des simulations Monte-Carlo : courant de drain I_D et densité de charge Q_{CNT} du SB-CNTFET pour (a) $\Phi_{SB}=0.275\text{eV}$, (b) $\Phi_{SB}=0.1\text{eV}$ et (c) $\Phi_{SB}=0.001\text{eV}$ à $L_{gate}=100\text{nm}$ et (d) $\Phi_{SB}=0.275\text{eV}$ à $L_{gate}=25\text{nm}$ avec $V_{DS}=[0,1 ; 0,2 ; 0,3 ; 0,4 \text{ et } 0,5\text{V}]$. _____ - 81 -
- Figure 2.27** - Comparaison entre les résultats du modèle compact et les résultats des mesures expérimentales de [8] des caractéristiques I_D vs V_{GS} pour trois potentiels $V_{DS}:-0,1 ; -0,4 \text{ et } -0,7\text{V}$ avec $t_{ox}=10\text{nm}$ de SiO_2 et $\Phi_{SB}=110\text{meV}$ ($d_{Tunnel}=2.7\text{nm}$, $\lambda_{Schottky}=5.8\text{nm}$). _____ - 83 -

Figure 2.28 - Caractéristiques I_D vs. V_{GS} d'un SB-CNTFET formé par un nanotube zigzag (11, 0) et pour trois valeurs de la hauteur de la barrière Schottky ($\Phi_{SB}=0,3$; 0,5 et 0,6eV) en échelle logarithmique à $V_{DS}=0,1V$, $L=100nm$. _____ - 84 -

Figure 2.29 - Dépendance du courant I_{on} avec la hauteur de la barrière Schottky à $V_{DS}=400mV$. _____ - 84 -

Figure 2.30 - Influence du diamètre sur les caractéristiques I_D vs V_{GS} à $V_{DS}=0,1$; 0,4 et 0,6V et pour deux chiralités du nanotube de carbone (19, 0) en vert et (10, 0) en bleu. Les hauteurs de barrières sont choisies égales à la moitié de la bande interdite ; c'est-à-dire $\Phi_{SB}=0,275$ eV pour (19, 0) et $\Phi_{SB}=0,55$ eV pour (10, 0). ____ - 85 -

Figure 2.31 - Influence de la capacité d'oxyde C_{INS} sur la caractéristique I_D vs. V_{GS} à $V_{DS}=0,2V$ ($C_{INS}=1$ nFm⁻¹, 10 nFm⁻¹ et 50 nFm⁻¹). La hauteur de la barrière Schottky est prise égale à la moitié de la bande interdite $\Phi_{SB}=0,275$ eV et la longueur de la grille $L=100nm$. _____ - 86 -

Figure 2.32 - Variation du rapport I_{on}/I_{off} avec EOT pour $V_{DS}=V_{GS}=0,3V$, $\Phi_{SB}=0,275$ eV et $L=100nm$. ____ - 86 -

Figure 2.33 - Influence de la hauteur de la barrière Schottky sur la fréquence de transit f_T . $V_{DS}=0,2$; 0,3 ; 0,4 et 0,5V avec deux hauteurs de barrière Schottky 0,275eV (traits discontinus) et 0eV (traits continus). La chiralité du nanotube est (19, 0) et la capacité d'oxyde $C_{INS}=70$ nFm⁻¹. _____ - 87 -

Figure 2.34 - Variation de la fréquence maximale f_{Tmax} en fonction de V_{DS} et de Φ_{SB} . _____ - 88 -

Figure 2.35 - Influence de la chiralité sur la fréquence de transit f_T pour $V_{DS}=0,4V$. Quatre chiralités sont simulées : (10, 0), (13, 0), (16, 0) et (19, 0) avec une hauteur de barrière Schottky $\Phi_{SB}=0,275eV$ et $C_{INS}=70$ nFm⁻¹. _____ - 88 -

Figure 2.36 - Variation de la fréquence maximale f_{Tmax} en fonction de la chiralité de 4 nanotube zigzag : (10, 0), (13, 0), (16, 0) et (19, 0) pour $\Phi_{SB}=0,275eV$, $V_{DS}=0,4V$ et $C_{INS}=70nFm^{-1}$. _____ - 89 -

Figure 2.37 - Variation de la fréquence de transit f_T en fonction de V_{GS} et pour 3 valeurs de V_{DS} ; 0,1V, 0,3V et 0,5V. Trois EOT ont été simulées : (a) 1nm, (b) 10nm et (c) 100nm pour un nanotube (19, 0) et $\Phi_{SB}=0,275eV$. _ - 90 -

Figure 3.1 - Schéma électrique d'un inverseur à SB-CNTFET _____ - 93 -

Figure 3.2 - Impact de la hauteur de la barrière Schottky Φ_{SB} sur la caractéristique de transfert d'un inverseur. Quatre hauteurs ont été simulées ; 0eV (cas MOS-Like CNTFET), 200meV, 300eV et 400meV avec $V_{dd}=0,5V$. _ - 94 -

Figure 3.3 - Impact de la dissymétrie entre les barrières Schottky Φ_{SB} des transistors N et P de la porte inverseuse sur la caractéristique de transfert avec $V_{dd}=0,5V$. _____ - 95 -

Figure 3.4 - Schéma électrique équivalent d'un oscillateur en anneau à 5 stages basé sur des SB-CNTFET- 96 -

Figure 3.5 - Oscillogrammes de la tension de sortie d'un oscillateur en anneau à 5 étages pour différents hauteurs de barrière Schottky à $V_{dd}=0,5V$. _____ - 97 -

Figure 3.6 - Schéma électrique d'une cellule 6T-SRAM conçue avec des SB-CNTFET de type N et P. Les transistors des accès ont une hauteur de barrière nulle et $V_{fb}=V_{dd}/2$. _____ - 98 -

Figure 3.7 - Schéma électrique complet de la cellule mémoire 6T-SRAM avec le circuit de pré-charge et l'amplificateur de sortie. _____ - 100 -

Figure 3.8 - Chronogrammes de lecture et d'écriture de la 6T-SRAM à SB-CNTFET avec $\Phi_{SB}=0,2eV$. ____ - 101 -

Figure 3.9 - Impact de la barrière Schottky sur le SNM des cellules mémoires 6T-SRAM. $V_{dd}=0,5V$. ____ - 101 -

Figure 3.10 - Schéma électrique d'une cellule 4T-SRAM conçue avec des SB-CNTFET ambipolaires à $\Phi_{SB} = 200meV$. Les transistors des accès ont une hauteur de barrière nulle et $V_{fb}=V_{dd}/2$. _____ - 102 -

Figure 3.11 - Schéma électrique d'une cellule 4T-SRAM conçue avec des SB-CNTFET avec $\Phi_{SB}=200meV$ et à $V_{dd} = 0,9V$. _____ - 103 -

Figure 3.12 - Caractéristiques de transfert des deux inverseurs à charge passive de la cellule 4T-SRAM à trois états logiques stables conçue avec des SB-CNTFET à $\Phi_{SB}=200meV$ et polarisée avec $V_{dd}=0,9V$. _____ - 104 -

LISTE DES TABLEAUX

Tableau 1.1 -Caractéristiques des différents procédés de synthèse des nanotubes de carbone _____	- 21 -
Tableau 1.2 -Performances électriques d'un CNTFET [22] comparées avec ceux d'un 15nm Si p-MOSFET [23] et un 50nm SOI p-MOSFET [24]._____	- 25 -
Tableau 2.1 - Travaux de sorties et résistivités de quelques matériaux utilisés comme métal des accès pour les CNTFETs. _____	- 43 -
Tableau 2.2 -Quelques performances des CNTFETs dans la littérature _____	- 51 -
Tableau 2.3 -Etat de l'art des modèles compact des CNTFETs dans la littérature _____	- 53 -
Tableau 2.4 - Modèle numérique de calcul des facteurs de non parabolicité $\alpha[p]$, des masses effectives $m^*[p]$ pour les 3 premiers bas de sous-bandes correspondants $sbbd[p]$ en fonction de la chiralité pour des nanotubes zig-zag (n, 0) [124]. γ correspond à la l'énergie de liaison entre deux atomes de carbone (interaction du plus proche voisin) varie de 2,4 à 3,14eV selon les paramètre trouvés dans la littérature. _____	- 71 -
Tableau 2.5 - Liste des paramètres utilisés pour la comparaison entre les résultats de simulations du modèle compact et des simulations Monte-Carlo. _____	- 79 -
Tableau 2.6 - Valeurs des facteurs de non parabolicité $\alpha[p]$, des masses effectives $m^*[p]$ et des bas de sous-bandes $sbbd[p]$ correspondants aux trois premiers sous-bandes pour un nanotube (19, 0). Résultats calculés à partir du modèle numérique de [124]. _____	- 79 -
Tableau 2.7 - Liste des paramètres utilisés pour la comparaison entre les résultats de simulations du modèle compact et les résultats expérimentaux de [30] _____	- 82 -

INTRODUCTION GENERALE

Depuis la découverte du premier transistor en 1947 par les Américains John Bardeen, William Shockley et Walter Brattain dans les laboratoires de Bell Labs [1], les industriels de la microélectronique ont toujours eu en main la clé de la réussite ; faire miniaturiser les transistors tout en les produisant massivement et à moindre coût. Ceci constitue une véritable prouesse qui permet d'accroître la croissance technique et économique de l'industrie de la microélectronique.

De nos jours, à titre d'exemple, un microprocesseur de la famille Intel Core i7 renferme jusqu'à 1 170 000 000 de transistors en technologie 0,032 μ m contre seulement 2 300 transistors pour son prédécesseur ; le microprocesseur 4004 de 1971 [2].

Cependant, ces progrès technologiques réalisés au niveau de la miniaturisation des transistors risquent d'être moins réguliers à l'avenir et "la cadence d'intégration ne sera plus aussi rapide", déclare Gordon Moore, cofondateur du premier fabricant international de semi-conducteurs, Intel. Une double limite en est la cause.

La première limite est de nature physique. G. Moore a annoncé en 1965 une conjoncture dans laquelle il estime que les transistors attendront les 30 nanomètres dans 7 à 8 ans [3] [4].

Avec une telle dimension, les concepteurs rencontreront un écueil avec la manifestation des effets quantiques qui feront apparaître des courants de fuite dans le transistor dégradant ainsi considérablement sa fiabilité.

La deuxième limite est de nature économique et elle est plus contraignante puisqu'elle pourrait intervenir plus rapidement que la limite physique.

Le coût de développement d'une technologie augmente de 30 % par nœud technologique [5]. Actuellement, seuls Intel, l'alliance IBM et TSMC sont capables de financer la recherche et développement pour les générations logiques 32 et 22 nm. Qu'en sera t-il pour les générations futures ?

Ainsi pour contourner cette double limitation et rester sur la même tendance pour avoir la même conséquence sur des machines électroniques de moins en moins coûteuses et de plus en plus puissantes, des techniques alternatives doivent être utilisées par les fondeurs.

A cette fin, l'association du "*more Moore*" et du "*more than Moore*" offre à la microélectronique de nombreuses opportunités de croissance notamment avec l'exploration de pistes nouvelles et qui devraient s'avérer moins coûteuses et plus avantageuses grâce à l'introduction de nouveaux concepts.

La feuille de route de l'ITRS dans son édition 2009 [6], a consacré à ces techniques alternatives, ou à « l'après CMOS », tout un chapitre sous le nom d' "Emerging Research Devices (ERD) and Materials (ERM)" citant ainsi quatre champs de recherche : la spintronique, la photonique, l'électronique moléculaire et l'électronique quantique [6].

Comme toutes ces voies restent pour l'instant du domaine de la recherche fondamentale, des études prédictives exactes doivent être réalisées pour juger de la crédibilité de la solution en tant que solution alternative au silicium.

Pour mener à bien ces études prédictives, les chercheurs doivent disposer en priorité des solutions de modélisation incluant des règles de conception aux standards des circuits actuels.

Ainsi, la modélisation compacte de ces ERD et ERM fournit l'outil de communication entre les concepteurs du dispositif élémentaire et les concepteurs du circuit électronique.

Ces modèles compacts permettent non seulement de minimiser la "consommation" de silicium expérimental mais aussi d'explorer davantage les capacités de ces nouveaux dispositifs dans le développement d'architectures innovatrices basées sur leur comportement non-conventionnel, comme le cas des transistors à base de nanotube. La figure 1 présente le calendrier de recherche et développement réalisé par l'ITRS 2009 en ce qui concerne ces technologies basées sur les nanotubes de carbone.

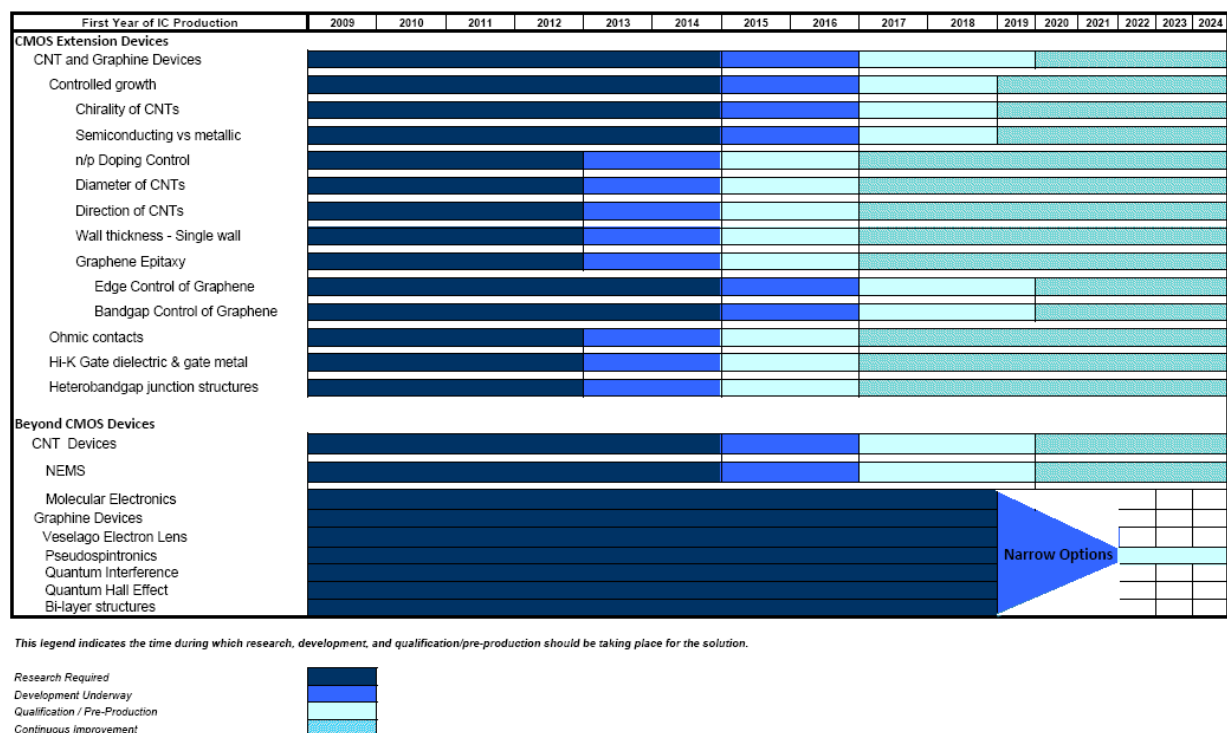


Figure 1.1 - Calendrier de recherche et de développement technologique de l'électronique moléculaire basée sur le carbone [6]

Cette figure définit la variabilité de la technologie « après CMOS » : à l'heure actuelle, les transistors à nanotube de carbone sont encore en phase de développement et ils sont sensibles aux variations du procédé de fabrication (chiralité, nature, diamètre, direction des nanotubes...etc.).

La modélisation compacte exige que toutes ces fluctuations des paramètres soient réunies dans la description des modèles afin de prévoir de manière exacte les vraies performances de ces transistors.

C'est dans ce contexte que ce travail de thèse s'inscrit.

Ces travaux de thèse représentent une continuation des travaux de recherche de l'équipe « Model » au sien du laboratoire IMS. Ils visent à démontrer l'impact des barrières Schottky sur les performances des transistors à nanotube de carbone par le développement d'un modèle compact et la simulation de quelques circuits numériques.

Ce manuscrit se présente sous la forme de trois chapitres.

Le premier chapitre rappelle d'abord la structure et les propriétés électroniques des nanotubes de carbone. Il décrit ensuite la mise en configuration transistor de ces nanotubes de carbone en expliquant sommairement les procédés de fabrication. Les deux types de transistors à nanotube de carbone (C-CNTFET et DG-CNTFET) sont présentés dans ce chapitre. Enfin les performances (DC et HF) et les limitations de ces transistors sont exposées.

Dans un deuxième chapitre, nous commencerons par détailler le fonctionnement du transistor à nanotube de carbone à barrières Schottky. Dans un second temps, nous présenterons quelques réalités technologiques de la formation des barrières Schottky. Ensuite, nous exposons l'approximation WKB en la mettant en œuvre avec la modélisation compacte de la barrière Schottky dans le cas d'une diode à nanotube de carbone. De même, le modèle compact pour le transistor SB-CNTFET est développé en utilisant une deuxième approche basée sur la notion de la barrière effective. Ce modèle compact sera validé par la suite par comparaison avec les simulations Monte-Carlo [7] et certains résultats expérimentaux issus de la bibliographie [8]. A la fin de ce chapitre, une étude d'influence des paramètres du modèle sur les performances statiques et dynamiques est présentée.

Enfin, le troisième chapitre, traite de la mise en application du modèle compact. Ainsi, l'influence de la barrière Schottky sur les figures de mérites de la porte inverseuse et de l'oscillateur en anneau à 5 étages est montrée. Nous nous focalisons ensuite sur l'étude et la simulation des cellules mémoires statiques à 6 et à 4 transistors.

Ce mémoire de thèse se termine par une conclusion générale mettant en évidence les avancées que ce travail peut apporter dans la modélisation compacte des nano-dispositifs et des perspectives quand à la conception des architectures innovantes pour l'électronique du futur.

Chapitre 1

LES NANOTUBES DE CARBONE

BREVE HISTOIRE DES NANOTUBES DE CARBONE

Tout le développement des nanotubes de carbone est partie en 1993, lorsqu'un groupe de chercheur japonais (Iijima et Bethune (NEC, Tsukuba, Japon) a découvert de formes cylindriques creuses de molécule de carbone appelés nanotube de carbone mono-parois (en anglais : Single Walled Carbon NanoTube, SWCNT). Ils les identifient par microscopie électronique dans un sous produit de synthèse des fullerènes [9],[10]. Ces nanotubes sont séparés de $\sim 0.34\text{nm}$ et ils ont un diamètre de l'ordre du nanomètre et une longueur de quelques micromètres. Depuis, différentes méthodes de synthèse spécifiques ont été mises au point et ont permis l'étude en laboratoire de ces structures et de leurs propriétés physico-chimiques, ce qui laisse entrevoir de nombreuses applications, notamment dans les domaines de la microélectronique. Comme on le verra dans ce qui suit, certains nanotubes de carbone peuvent être métalliques ou quasi-métalliques et d'autres peuvent être semi-conducteurs.

STRUCTURES ET PROPRIETES ELECTRONIQUES DES NANOTUBES DE CARBONE

1.1 Structures géométriques

Le nanotube de carbone mono-paroi peut être vu comme l'enroulement d'une forme stable de feuille de graphène sur elle-même produisant ainsi un cylindre. La structure de ce nanotube est déterminée par le couple de nombres entiers (n, m) définissant un vecteur caractéristique de l'enroulement appelé vecteur de chiralité :

$$\vec{C}_h = n\vec{a}_1 + m\vec{a}_2 \quad (1.1)$$

Les vecteurs $\vec{a}_1$ et $\vec{a}_2$ sont les vecteurs de base dits unitaires du maillage hexagonal. Sachant que la distance a_{C-C} entre 2 atomes de carbone voisin est $a_{C-C} \approx 0,142\text{ nm}$, on a $|\vec{a}_1| = |\vec{a}_2| \approx 0,246\text{ nm}$. Ainsi, le diamètre du nanotube, en nm, s'écrit :

$$d_{CNT} = 0,246 * \sqrt{n^2 + n.m + m^2} / \pi \quad (1.2)$$

Ainsi en connaissant l'amplitude de $\vec{a}_1$ et $\vec{a}_2$, on peut déduire la circonférence du tube puis son diamètre [11]. On peut aussi connaître l'angle d'hélicité θ caractérisant l'enroulement de la feuille de graphène. Cet angle est formé par le vecteur $\vec{C}_h$ et le vecteur de base $\vec{a}_1$ et il est exprimé par [12] :

$$\theta = \arctan \left\{ \frac{\sqrt{3}m}{(m+2n)} \right\} \quad (1.3)$$

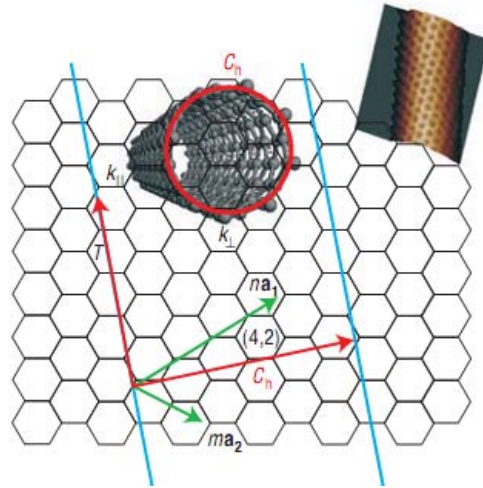


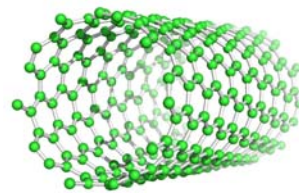
Figure 1.2 -Structure du maillage hexagonale d'une feuille de graphène et enroulement du nanotube de carbone montrant la définition du vecteur de chiralité $\vec{C}_h$ et des vecteurs unitaires $\vec{a}_1$ et $\vec{a}_2$: cas d'un nanotube de chiralité (4, 2). En haut : image par microscopie électronique en transmission (TEM) d'un nanotube mono-paroi [11]

C'est suivant la valeur de cet angle d'hélicité θ (compris entre 0 et 30°) qu'on peut déterminer le type des nanotubes de carbone mono-paroi. En réalité, la plupart des nanotubes sont statistiquement chiraux c'est-à-dire qu'ils sont superposables à leurs images par symétrie miroir. Toutefois, il existe d'autres nanotubes possédant des symétries distinctifs :

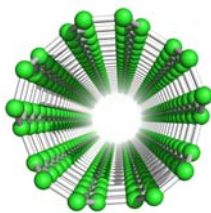
- On parle de tubes "armchair" lorsque l'angle θ est égal à 30° ce qui se traduit par des indices chiraux égaux (n, n).
- On parle de tubes "zigzag" lorsque l'angle θ est nul et l'un des indices chiral est nul (n, 0).



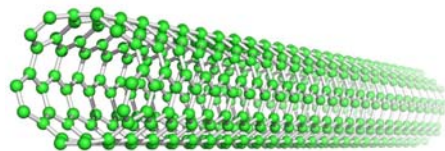
(a)



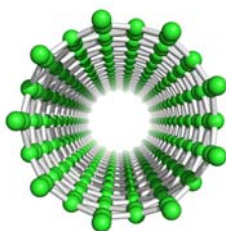
chiral (10 ,5)



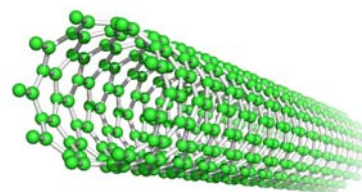
(b)



Armchair (5, 5)



(c)



Zigzag (9, 0)

Figure 1.3 -Exemple de nanotube de différentes structures : (a) Nanotube chiral (10, 5), (b) nanotube armchair (5, 5) et (c) un nanotube zigzag (9, 0) (simulé avec [13]).

1.2 Propriétés électroniques : structures de bande d'énergie électronique

Comme la feuille de graphène constitue un plan monoatomique de carbone à maillage hexagonale, son réseau réciproque et également la première zone de Brouillon se réduisent à un hexagone dont les sommets sont désignés par des points K.

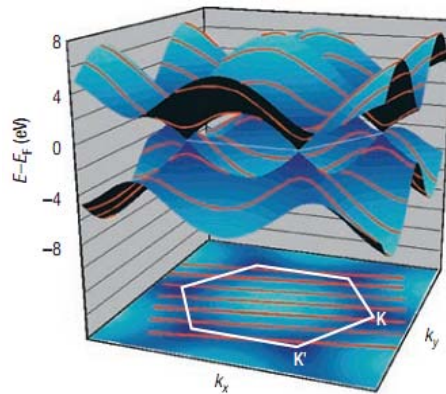


Figure 1.4 -Schéma de bandes d'énergie d'une feuille de graphène avec la première zone de Brillouin (dessous). La bande de conduction et la bande de valence peuvent se croiser en six points correspondant à l'énergie de Fermi dont deux ne sont pas équivalents (K et K') [12].

A partir de la structure de bande du graphène, le schéma de bande d'énergie du nanotube est montré sur la figure 1.3 [12]. On remarque que les bandes de conduction et de valence se rejoignent ou non en six points de la première zone de Brouillon. Deux de ces six points de Fermi ne sont pas équivalents ; le point K et K'. Si l'un des niveaux d'énergie qui correspondait à un état permis (lignes parallèles en rouges sur la figure 1.3) passe par un point K ou K', le nanotube a un comportement métallique, sinon, le nanotube est semiconducteur à bande interdite directe comme le cas de la figure 1.4.

Le modèle de liaisons fortes [14] permet de calculer les bandes d'énergie avec une bonne approximation et de prévoir ainsi la structure des bandes de conduction et de valence. La figure 1.4-a montre la disposition des différents sous-bandes pour la bande de conduction et de valence associées à un nanotube de chiralité (19, 0). Cette chiralité permet de donner un nanotube semiconducteur de bande interdite égale à $\sim 0,55\text{eV}$ comme le montre la figure 1.4-b pour les deux premières sous bandes de la bande de conduction et de valence qui résulte également du modèle de liaisons fortes.

La densité d'état du nanotube de carbone est obtenue directement de la relation de dispersion elle est présentée sur la figure 1.5 pour un nanotube de chiralité (19, 0). Sur cette figure, on observe que les bandes de valence et de conduction sont séparées par une bande interdite directe ($E_g \sim 0.55\text{eV}$). On remarque aussi les singularités de Van Hove à chaque sous-bande. Ces singularités confirment la nature quasi-unidimensionnelle du nanotube de carbone.

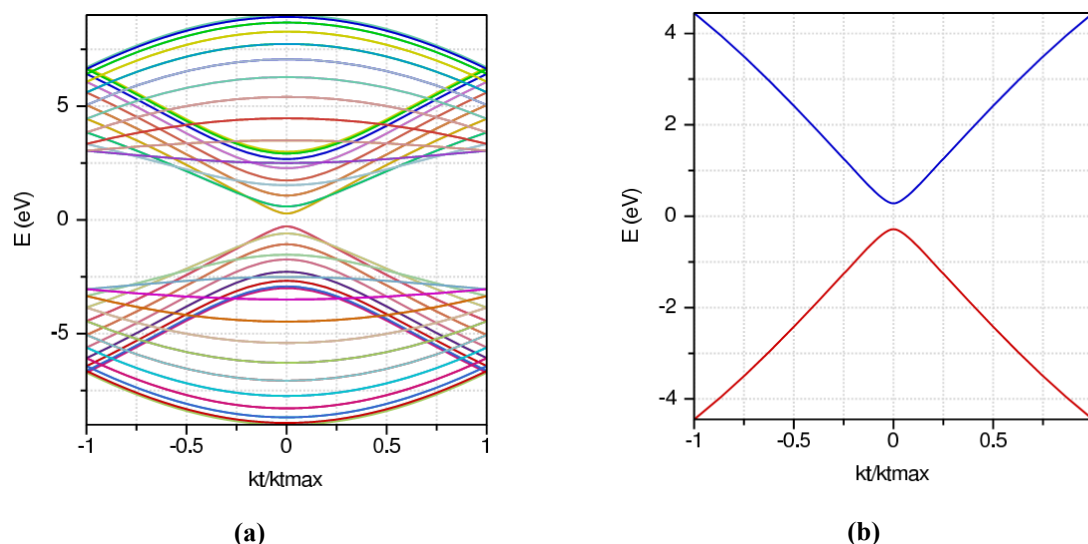


Figure 1.5 -(a) Profile de bande d'énergie d'un nanotube de carbone semiconducteur de chiralité (19, 0) résultant du calcul par méthode de liaison forte. (b) présentation de la première sous-bande.

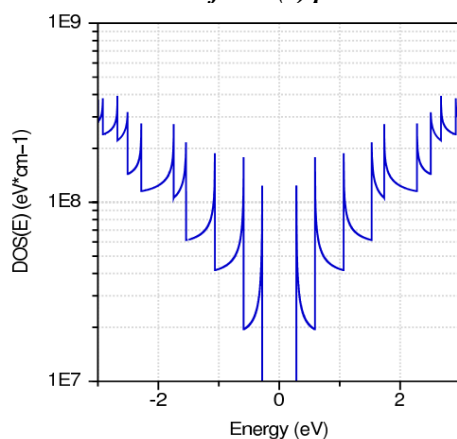


Figure 1.6 -Densité d'état d'un nanotube de carbone semiconducteur de chiralité (19, 0). Les pics correspondent aux singularités de Van Hove des différentes sous-bandes.

TRANSISTORS A NANOTUBE DE CARBONE

Les limites tant fondamentales qu'économiques de la technologie CMOS ont poussé la communauté scientifique à s'investir dans l'étude de technologies alternatives [6]. Ce besoin a été traduit par la naissance de l'électronique moléculaire comme le transistor à nanotube de carbone. Ce transistor à effet de champ est formé par un ou plusieurs nanotubes de carbone qui jouent le rôle du canal.

Pour des nanotubes de carbone dont la longueur est inférieure au libre parcours moyen, les électrons qui y circulent ne subissent que peu de collision et garde une haute mobilité ce qui se traduit par un transport quasi-balistique tout au-long du canal.

Toutefois, cette particularité des transistors à nanotube de carbone est fortement dépendante des paramètres technologiques et des procédés de fabrication et d'intégration des transistors à effet de champ.

1.3 Les transistors FET à base de nanotube de carbone : CNTFET

1.3.1 Procèdes de fabrication des CNTFETs

Les nanotubes de carbone peuvent être synthétisés par divers méthodes avant d'être intégrés dans des configurations de transistors MOS pour former les CNTFETs. Parmi les méthodes de synthèse de nanotube de carbone les plus utilisées, on peut citer : l'évaporation par arcs électriques (en anglais : arc-discharge) [15], l'ablation laser (en anglais : laser-ablation) [16] et le dépôt chimique en phase vapeur (en anglais : Chemical Vapor Deposition CVD) [17]. Le tableau 1.1 suivant donne quelques caractéristiques spécifiques à chacune de ces trois méthodes de synthèse.

Tableau 1.1 -Caractéristiques des différents procédés de synthèse des nanotubes de carbone

Technique de synthèse	Utilisation de catalyseur	Nature des nanotubes obtenus	Température de synthèse	Avantage / Inconvénient
Évaporation par arcs électriques	catalyseur (Fe, Ni, Co, Y, Gd)	Nanotubes mono-parois	3000°C à 6000°C.	Economique + Méthode relativement simple/Délicatesse pour l'obtention d'un type unique de nanotube
Ablation laser	catalyseurs métalliques	Nanotubes mono-parois	800° (laser pulsé) & 3000 K (laser continu)	Nombre restreint de paramètres de contrôle de la synthèse/Méthode plus coûteuse
Dépôt chimique en phase vapeur	Avec (PECVD) ou sans catalyseur	Nanotubes mono ou multi parois	450°C à 1100°C suivant le gaz utilisé	Méthode moins coûteuse + Production en grande quantité des CNTs/Présence de défauts dans les CNTs

Par la suite, on va présenter les différentes configurations de transistors à nanotube de carbone.

1.3.1.1 Configuration en grille arrière

Le transistor à nanotube de carbone (en anglais *Carbon NanoTube Field Effect Transistor : CNTFET*) a été cité pour la première fois en 1998 par deux groupes de chercheurs. Le premier est issu de l'université de Delft au Pays-Bas [18] et le deuxième appartient à la multinationale américaine IBM (*International Business Machine*) [19]. Les nanotubes qui sont utilisés dans le CNTFET de [19] sont synthétisés par ablation laser avec un dopage de Nickel (Ni) et Cobalt (Co) pour favoriser la croissance des nanotubes de types armchairs de diamètre d'environ 1,6nm [20],[21]. Pour dissocier les nanotubes et éliminer les impuretés (fagots et résidus de carbone) résultant du procédé de synthèse, un nettoyage de l'échantillon est assuré par traitement ultrasonique dans une solution de type $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$.

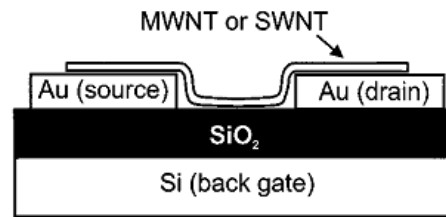


Figure 1.7 -Coupe transversale d'un transistor à nanotube de carbone en configuration de grille arrière. Le nanotube de carbone relie les deux électrodes en "Au" de la source et du drain [19].

Par la suite, ces nanotubes sont dispersés et positionnés par pointe au microscope à force atomique (ou en anglais : *AFM* pour *Atomic Force Microscope*) sur un substrat en silicium couvert lui-même par une couche d'oxyde SiO_2 d'épaisseur égale à 140nm avec des contacts pré-localisés en Au formant ainsi une configuration de transistor en grille arrière ou enterrée (en anglais : *Back-gate configuration*). Les contacts en Au des accès source et drain ont une épaisseur égale à 30nm et ils sont définis par lithographie à faisceau d'électrons.

Depuis ce premier transistor, les procédés de fabrication ont nettement été améliorés pour mieux aligner les nanotubes de carbone et bien contrôler leur contact avec le métal des accès. Ainsi, la méthode de synthèse de nanotube par dépôt chimique en phase vapeur (CVD) a été adoptée pour faire croître directement les nanotubes sur les électrodes source et drain du transistor [22], [23], [24]. Ce procédé de fabrication fait appel à trois étapes de lithographie par faisceau d'électrons focalisé (ou en anglais : *EBL* pour *Electron Beam Lithography*) et de photolithographie comme le schématise la figure 1.7.

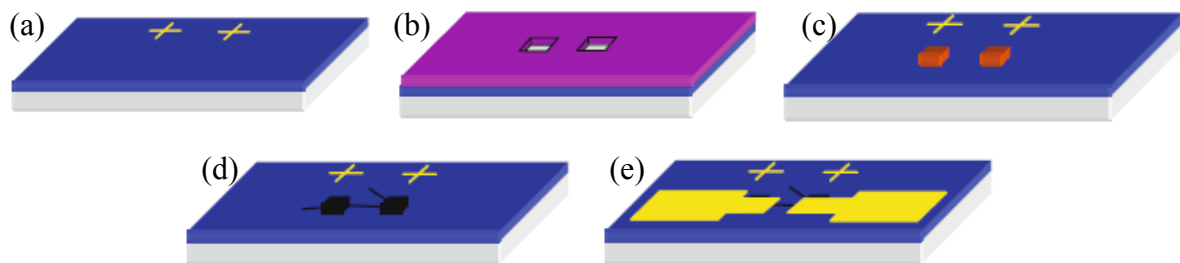


Figure 1.8 -Procédé de fabrication de CNTFET. (a) Marquage du substrat ; (b) Ouverture pour dépôt du catalyseur dans la photo-résine ;(c) Ajout du catalyseur et élimination de la photo-résine ;(d) Croissance des nanotubes par dépôt chimique en phase vapeur ; (e) Dépôt des électrodes.

Un troisième procédé de fabrication consiste à faire croître directement les nanotubes sur le métal des électrodes comme le montre la figure 1.8 [25]. Ainsi, les nanotubes sont suspendus sur des tranchés du substrat et leurs propriétés intrinsèques sont moins perturbées par les interactions avec ce substrat [26].

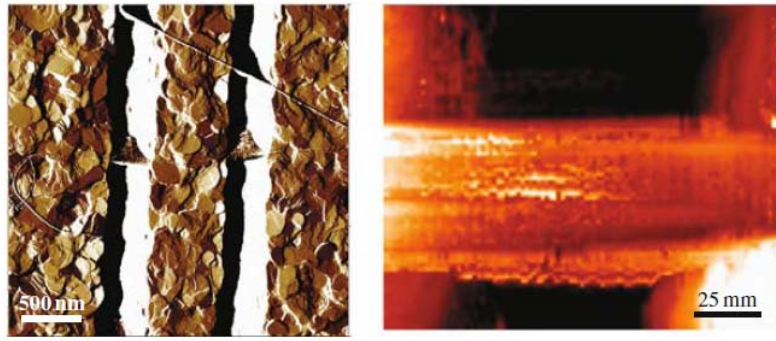


Figure 1.9 -Microscopie à force atomique (Atomic force microscopy : AFM) d'un nanotube de carbone mono-paroi synthétisé sur un substrat tranché de platine (Pt). (b) Image de microscopie à effet tunnel (scanning tunneling microscopy : STM) de la partie suspendu du nanotube [25].

Cette méthode s'avère plus difficile à mettre en œuvre que celle qui consiste à faire croître les nanotubes de carbone directement sur le substrat du fait que le métal des électrodes absorbe l'hydrocarbure pendant l'étape de dépôt chimique en phase vapeur et influence ainsi la formation des nanotubes de carbone. En plus, la haute température de synthèse dégrade la conductivité des accès et limite ainsi les performances du transistor.

1.3.1.2 Autres types de configurations

Afin d'améliorer le coulage électrostatique entre la grille et le nanotube de carbone, d'autres configurations de CNTFET ont été créées. La figure 1.9 montre deux différentes configurations : le CNTFET à grille avant (en anglais : *top-gate configuration*) ou le CNTFET à grille cylindrique (en anglais : *wrap-around gate*).

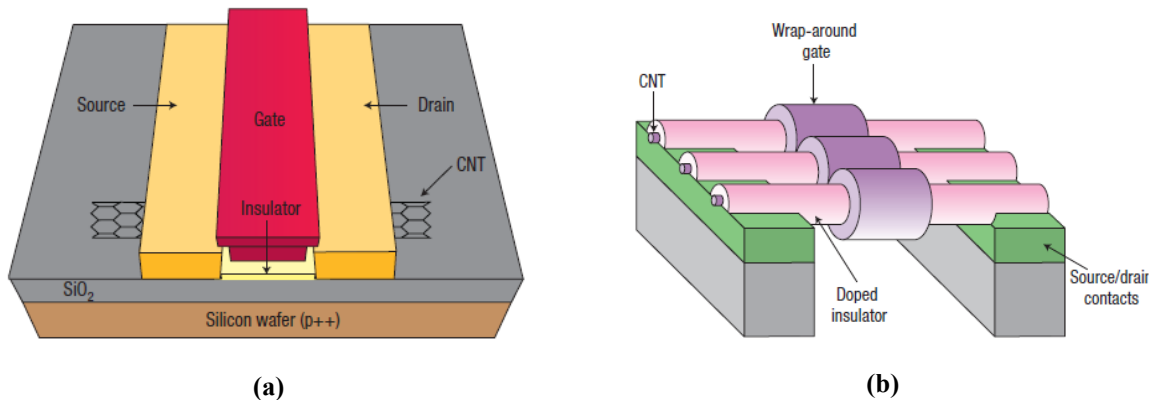


Figure 1.10 -Deux configurations de transistors CNTFET ; (a) en grille avant et (b) en grille cylindrique dans le cas d'un canal formé par plusieurs nanotubes mis en parallèle [11].

1.3.2 Caractéristiques électriques des CNTFETs

Naturellement, les CNTFETs ont un comportement de type "p" et il existe deux hypothèses expliquant cet effet. La première hypothèse met en évidence la nature intrinsèque du nanotube et prédit que lors de la formation ou bien de la purification, les atomes des nanotubes de carbone entrent en réaction avec d'autres atomes dopant ce qui leur donne cette propriété [27]. La seconde hypothèse, la plus communément admise, souligne plutôt le type de contact à l'interface métal/nanotube et prévoit l'existence d'une barrière tunnel appelée barrière Schottky créée par la différence des travaux de sortie entre le métal et le nanotube semiconducteur [28]. Cette barrière est bien plus importante pour les électrons que pour les trous ce qui résulte en un comportement unipolaire de trous.

J. S. Wind et al. de l'IBM T.J. Watson Research Center aux Etats Unis, ont rapporté dans la littérature [29] des caractéristiques électriques mesurées d'un CNTFET de type "p". Ce transistor est composé d'une couche d'oxyde SiO_2 d'épaisseur 120nm sur un substrat en silicium de résistivité 0,005–0,01 $\Omega \text{ cm}$. Le canal du transistor est formé par un film de nanotubes de carbone issus d'une solution de 1,2-dichloroethane de densité égale à un nanotube par une surface de $\sim 5 \times 5 \mu\text{m}^2$. Suivant la même référence, il a été noté que les nanotubes sont synthétisés par ablation laser et ils sont de types armchair avec $n=8$ à 11. Les accès source et drain sont formés par des contacts en titane (Ti) et espacés entre eux par une longueur de 200–300nm. Le contact de la grille, quant à lui, est formé par une couche de 50nm d'aluminium (Al). La figure 1.10 montre les caractéristiques I_D vs. V_{DS} révélant de ce CNTFET pour différentes polarisations en V_{GS} (de -0,1V jusqu'à -1,1V par pas de -0,2V) au dessus de la tension de seuil V_t . Sur cette figure, on remarque que le transistor atteint son régime de saturation pour des polarisations en $V_{GS}-V_t$ supérieure à 1V avec un maximum de courant $I_{on} = 3,5\mu\text{A}$ pour $V_{GS}-V_t = -1,1\text{V}$.

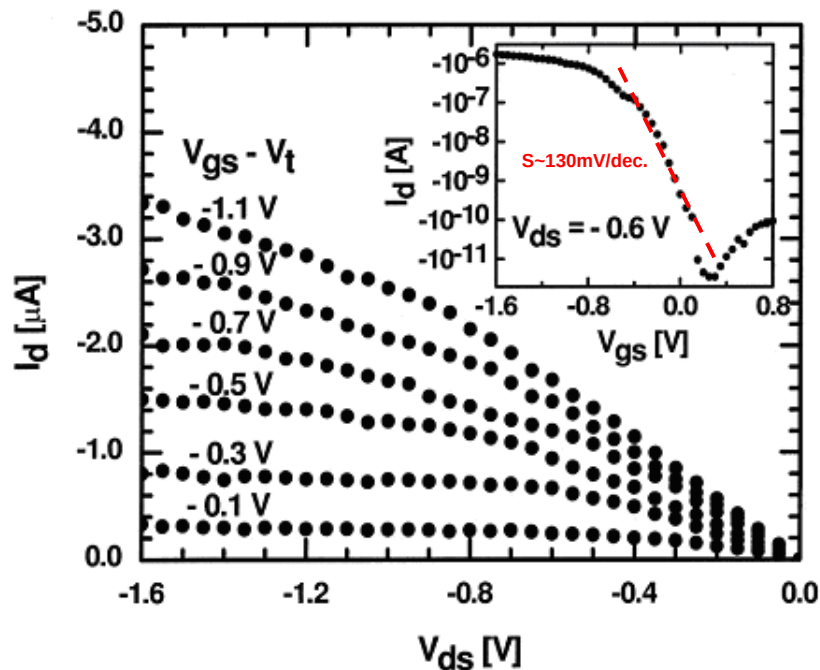


Figure 1.11 -Caractéristiques I_D vs. V_{DS} d'un CNTFET de type p en grille avant ($L=260\text{nm}$) pour différents V_{GS} allant de -0,1V jusqu'à -1,1V au dessus de la tension de seuil $V_t=-0,5\text{V}$ avec un pas de -0,2V. En insert, une caractéristique I_D vs. V_{GS} de ce transistor pour $V_{DS}=-0,6\text{V}$ [29] avec une pente sous le seuil de $\sim 130\text{mV/déc}$

D'autre part, l'insert de la figure 1.10 montre une caractéristiques I_D vs. V_{GS} pour $V_{DS}=-0,6\text{V}$. Ici, le rapport I_{on}/I_{off} est nettement supérieur à 10^4 avec une pente sous le seuil $\sim 130\text{mV/déc}$

Le tableau 1.2 suivant résume quelques performances électriques de ce transistor et les compare avec un 15nm Si p-MOSFET [30] et un 50nm SOI p-MOSFET [31].

Tableau 1.2 -Performances électriques d'un CNTFET [29] comparées avec ceux d'un 15nm Si p-MOSFET [30] et un 50nm SOI p-MOSFET [31].

Métriques	260nm p-CNTFET	15nm Si p-MOSFET	50nm SOI p-MOSFET
Epaisseur d'oxyde [nm]	15	1,4	1,5
Tension de seuil V_t [V]	-0,5	$\sim -0,1$	$\sim -0,2$
I_{on} [$\mu A/\mu m$]	2100	265	650
I_{off} [nA/ μm]	150	<500	9
Pente sous le seuil [mV/déc]	130	~ 100	70
Transconductance [$\mu S/\mu m$]	2321	975	650

Sur ce tableau, le CNTFET présente un rapport de courant I_{on}/I_{off} ($\sim 1,4 \times 10^4$) 23 fois plus grand que celui du 15nm Si p-MOSFET ($0,6 \times 10^3$). Ce rapport reste faible devant celui du 50nm SOI p-MOSFET ($\sim 7 \times 10^4$). Par contre, le CNTFET a une transconductance normalisée par unité de longueur ($2321 \mu S/\mu m$) nettement supérieure à ceux du 15nm Si p-MOSFET ($975 \mu S/\mu m$) et du 50nm SOI p-MOSFET ($650 \mu S/\mu m$).

Mais malgré ces bonnes performances pour le rapport de courant I_{on}/I_{off} et la transconductance, on remarque bien que ce CNTFET souffre d'une dégradation dans la pente sous le seuil qui est égale 130mV/décade contre 100mV/décade voir 70mV/décade pour les deux autres transistors MOSFET. Ces dégradations sont à l'origine de nombreuses limitations intrinsèques et technologiques. Ces limitations seront expliquées et mis en évidence dans les sections qui suivent.

1.4 Les différents types des transistors à nanotube de carbone

Du premier CNTFET paru en 1998 jusqu'à nos jours, différents types de transistors ont vu le jour. Les efforts ont porté sur l'amélioration du transport dans le canal formé par le nanotube dans le but d'atteindre des performances ultimes. Parmi ces types de transistors, on peut citer le CNTFET à modulation de hauteur de barrière et le CNTFET à double grille. En outre, on peut avoir des phototransistors avec les CNTFET ; c'est le cas du CNTFET à grille optique. La différence entre le principe d'opérations de ces différents CNTFETs réside dans la forme adoptée pour la grille et de la nature du courant (tunnel ou thermoïnique). Ce paragraphe présente ces différents types et explique leurs régimes de fonctionnement.

1.4.1 Le transistor à modulation de hauteur de barrière : C-CNTFET

Le transistor à nanotube de carbone à modulation d'hauteur de barrière ou aussi CNTFET conventionnel (C-CNTFET) est réalisé à partir d'un nanotube de carbone mono-paroi ayant un dopage de type n/i/n ou p/i/p [32], [33]. Ainsi, les porteurs doivent franchir une barrière de potentiel formée au niveau de l'interface nanotube n^+ /nanotube intrinsèque. La hauteur de cette barrière de potentiel est modulée par le potentiel de grille. Dès que l'énergie des porteurs devient supérieure à cette barrière, le transistor devient passant et le courant est de nature thermoïnique et unipolaire.

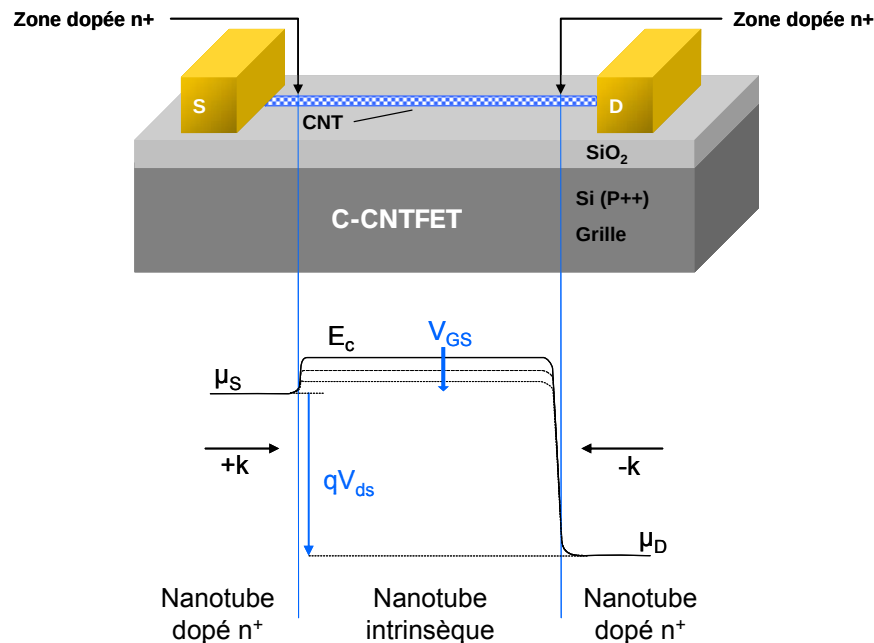


Figure 1.12 -Le transistor CNTFET à modulation de la hauteur de barrière ou C-CNTFET. (En haut) coupe transversale du transistor, (b) profile de la bande d'énergie de la bande conduction pour la 1^{ère} sous-bande.

Dans le cas idéal, les performances d'un tel transistor sont très prometteuses avec une pente sous le seuil qui ne dépasse pas les 60mV/décade. Mais, comme le dopage des zones d'accès n'est pas très bien maîtrisé, des barrières Schottky peuvent se former à l'interface entre le métal des accès source et drain et le nanotube de carbone. Ces barrières ont une influence directe sous les performances de commutation du transistor et peuvent accroître la pente sous le seuil vers des valeurs bien supérieures à 60mV/décade. De même, l'existence de ces barrières Schottky peut résulter en un type de transport ambipolaire, ce qui augmente considérablement le courant à l'état OFF (I_{OFF}) et par voie de conséquence diminue le rapport I_{ON}/I_{OFF} . D'après J. Appenzeller et al. [34], pour un même rapport de la constante diélectrique effective (ϵ_{eff}) par l'épaisseur d'oxyde (t_{ox}) $\epsilon_{eff}/t_{ox}=0,1\text{nm}^{-1}$ et pour une même longueur de grille égale à 80nm à $T=300\text{K}$, une barrière Schottky de 0.3eV fait croître la pente sous le seuil par un facteur de 6. (Environ 60mV/décade pour le CNTFET à contacts ohmiques contre 400mV/décade pour le CNTFET avec une barrière Schottky de 0.3eV).

Ces barrières Schottky feront l'objet de modélisation compacte dans le chapitre 2.

1.4.2 Le transistor à double-grille : DG-CNTFET

Contrairement au CNTFET à grille arrière, le CNTFET à double grille (en anglais : *Double gate CNTFET* comme *DG-CNTFET*) possède une grille avant supplémentaire placée entre les accès source et drain et en dessous du nanotube de carbone comme le montre la figure 1.14. Une fine couche d' Al_2O_3 d'environ 4nm existe entre cette grille avant en Aluminium (Al) et le nanotube [35]. En effet, le principe de fonctionnement de ce type de transistor repose sur l'idée de faire doper électro-statiquement les zones d'accès pour avoir une configuration n/i/n ou p/i/p comme dans le cas du CNTFET à modulation de la hauteur de barrière. Ce dopage électrostatique des zones d'accès du nanotube est assuré par le champ électrique créé par la polarisation de la grille arrière alors que sa partie interne est écrantée par la grille avant.

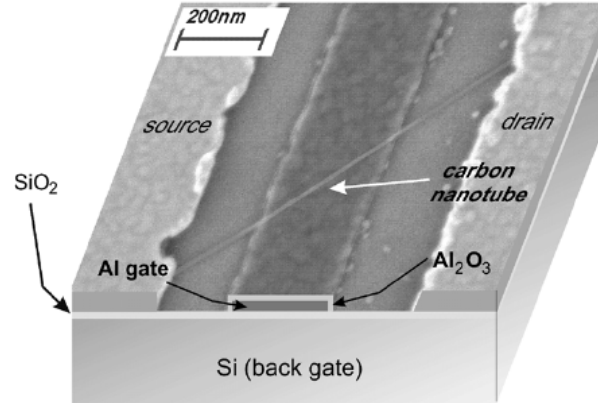


Figure 1.13 -Image SEM d'un CNTFET double grille formé par un nanotube de carbone de diamètre $\sim 1.4\text{nm}$. Dans cette configuration la grille avant en Aluminium (20nm d'épaisseur sur $\sim 200\text{nm}$ de largeur) est séparée par une longueur de 200nm par rapport aux contacts en Titane (Ti) de la source et du drain. La grille arrière est en silicium et elle est enterrée au-dessous d'une couche d'oxyde de 10nm d'épaisseur [36].

Cependant, pour pouvoir bien contrôler le dopage au niveau des zones d'accès, de très fines couches d'oxyde avec des hautes permittivités diélectriques doivent être utilisées dans ce type de composant. Dans le cas contraire, il en résulte la formation des barrières Schottky et la dégradation des performances tant statiques que dynamiques [8]. C'est dans ce contexte que J. Appenzeller et al. [37] ont étudié d'avantage l'influence des paramètres relatifs aux propriétés de l'oxyde de grille et aux dimensions du nanotube sur la formation des barrières Schottky. La figure 1.13 montre la variation de la hauteur de la barrière Schottky en fonction de la polarisation de la grille et ce pour quatre différentes configurations de diamètre de nanotube d_{cnt} , de la masse effective des électrons m^* et de l'épaisseur de l'oxyde t_{ox} pour une barrière initiale de 150meV. Dans cette figure, on remarque que la plus faible barrière Schottky correspond à la configuration (i) pour laquelle les plus faibles valeurs du diamètre de nanotube (1,4nm) et de l'épaisseur d'oxyde ($\sim 2\text{nm}$) ont été adoptés.

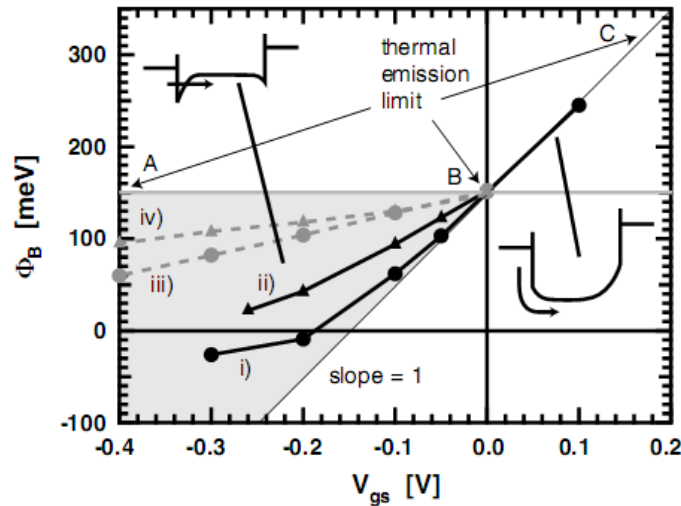


Figure 1.14-Evolution de la barrière Schottky ($\Phi_B=150\text{meV}$) avec la polarisation de la grille V_{gs} pour quatre configurations des paramètres m^* , t_{ox} et d_{cnt} : (i) $m^*=0,1m_0$, $t_{\text{ox}}=2\text{nm}$ et $d_{\text{cnt}}=1,4\text{nm}$;(ii) $m^*=1,0m_0$, $t_{\text{ox}}=2\text{nm}$ et $d_{\text{cnt}}=1,4\text{nm}$;(iii) $m^*=1,0m_0$, $t_{\text{ox}}=10\text{nm}$ et $d_{\text{cnt}}=1,4\text{nm}$;(iv) $m^*=1,0m_0$, $t_{\text{ox}}=10\text{nm}$ et $d_{\text{cnt}}=5\text{nm}$ [37].

PERFORMANCES ET LIMITATIONS DES TRANSISTORS A NANOTUBE DE CARBONE

Dans cette partie, on va étudier tout d'abord les performances DC et HF des CNTFETs. A l'issue de cette étude, on sera mené ensuite à identifier les différentes limitations technologiques et intrinsèques et leurs natures.

1.5 Performances des CNTFETs

1.5.1 Performances DC des CNTFETs

En plus de leurs dimensions exceptionnelles (des diamètres de seulement quelques nanomètres), les nanotubes de carbone synthétisés par CVD sur un substrat monocristallin en quartz (carrés rouges) [38], [39] sont caractérisés par une haute mobilité électronique en comparaison avec ceux qui sont déposés par solution [40], [41] comme le montre la figure 1.14 [42].

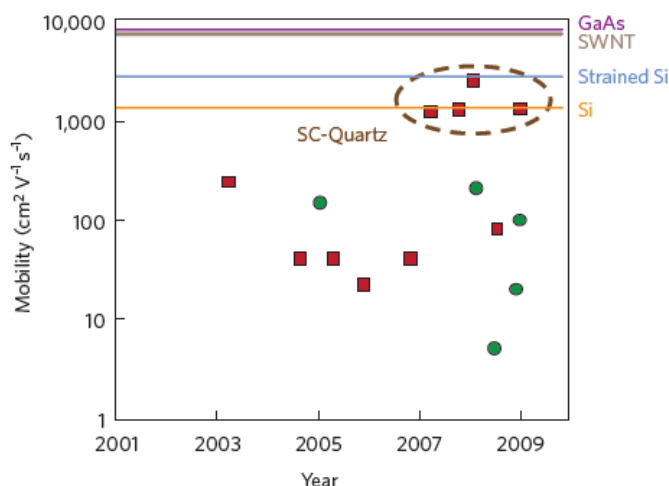


Figure 1.15 -*Courbe de l'évolution de la mobilité électronique dans les nanotubes de carbone de 2001 à 2009 : les cercles verts et les carrés rouges montrent les mobilités des nanotubes déposés directement par solution et synthétisés par CVD respectivement. Le cercle rouge indique les nanotubes qui sont synthétisés par CVD sur un substrat monocristallin en quartz. Les mobilités d'autres matériaux comme le silicium non-dopé (Si), le silicium contraint (Strained Si), le nanotube de carbone mono-paroi (diamètre ~2nm) et le Gallium Arsenic (GaAs) sont aussi montrés ici [42].*

Cette haute mobilité électronique se traduit par une bonne transconductance qui est une métrique très importante dans l'évaluation des performances DC des transistors MOS.

Dans ce contexte, les courbes de la figure 1.15 montrent des caractéristiques électriques d'un transistor CNTFET de type "n" de l'université de Pékin [43]. Ce transistor est formé par une grille avant de longueur 120nm et un nanotube de carbone de diamètre 1,5nm. L'oxyde de la grille est constitué par une couche de HfO₂ d'épaisseur 15nm et de permittivité diélectrique de $\epsilon_r=15$ (idéalement $\epsilon_r=25$ pour le HfO₂), ce qui résulte en une capacité d'oxyde $C_{ox}=1,43\text{pF/cm}$.

La figure 1.15-a. montre quatre caractéristiques I_D vs V_{DS} correspondant à quatre différentes polarisations en V_{DS} (0,1V en bleu, 0,3V en vert, 0,5V en rouge et 1V en noir). Sur ces caractéristiques, une pente sous le seuil de 100mV/décade est observée avec un rapport de courant I_{on}/I_{off} nettement supérieur à 10^4 pour $V_{DS}=0,3\text{V}$. Des caractéristiques I_D vs V_{DS} pour

différentes polarisations en V_{GS} (de 1 à -1V par un pas de -0,2V) sont présentées sur la figure 1.15-b. Un large courant de saturation I_{sat} d'environ 25 μ A est observé pour $V_{GS}=1V$.

D'autre part, la figure 1.15-c. montre la variation de la conductance G et de la transconductance g_m vis-à-vis de la polarisation sur la grille V_{GS} . Un pic de transconductance g_m approchant les 25 μ S est distingué pour $V_{GS}=-0,5V$ ce qui laisse prédire une tension de seuil $V_{th}\sim-0,67V$ [44]. Aussi, une conductance $G_{on}\sim 0,32 \times 4e^2/h$ est observée pour $V_{GS}>2V$.

Ces remarquables performances sont dues au parfait couplage du canal par la grille et s'avèrent bien convenables à des applications en hautes fréquences tant que transistor présente une constante de délai intrinsèque $\tau = C_{ox}V_{dd}/I_{on} \sim 0,86ps$ ce qui correspond une fréquence intrinsèque approchant 1THz.

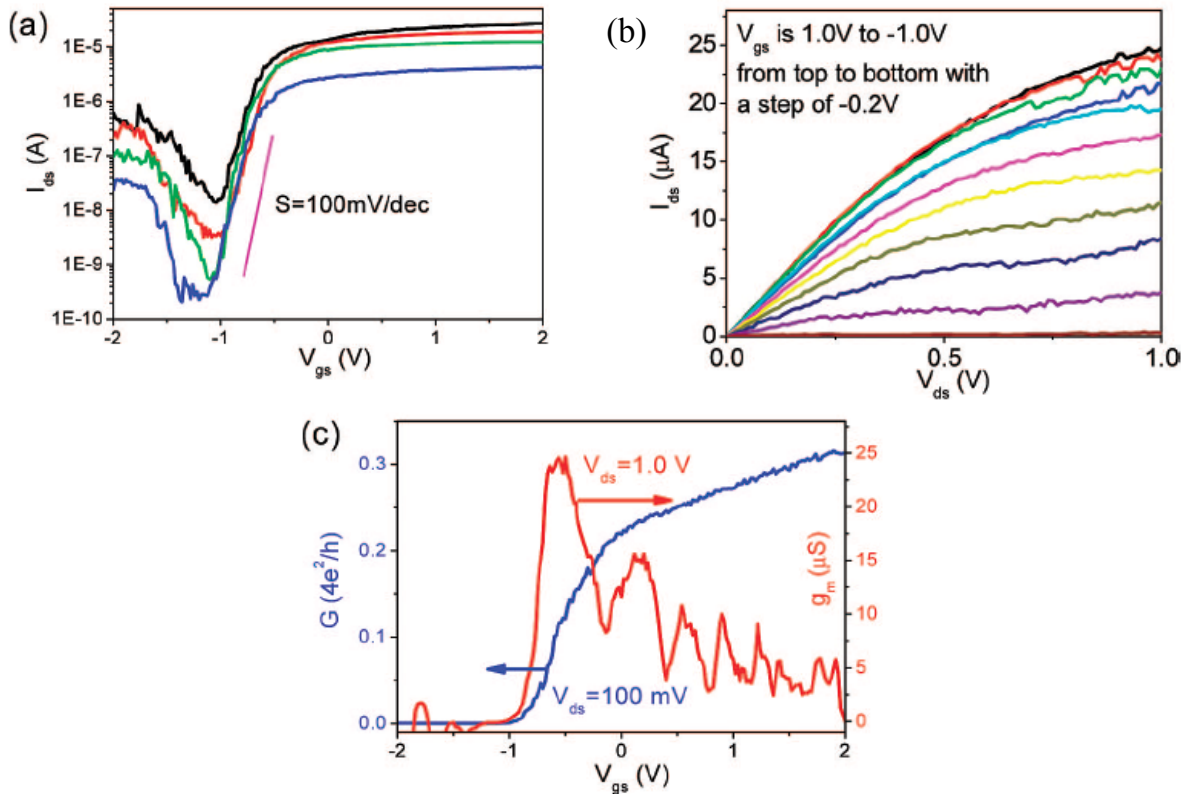


Figure 1.16 -Caractéristiques électriques mesurées d'un n-CNTFET ($L=120nm$ et $d_{CNT}=1,5nm$) [43] : (a) caractéristiques I_D vs. V_{GS} pour quatre V_{DS} (0,1V en bleu, 0,3V en vert, 0,5V en rouge et 1V en noir), (b) caractéristiques I_D vs. V_{DS} pour V_{GS} de 1V à -1V par pas de -0,2V, (c) évolution de la conductance G à $V_{DS}=100mV$ et de la transconductance g_m à $V_{DS}=1V$ en fonction de V_{GS} .

1.5.2 Performances HF des CNTFETs

Durant ces dernières années, les performances fréquentielles des transistors à nanotube de carbone n'ont pas cessé d'être améliorées. Une fréquence approchant les 52MHz a été mesurée pour un oscillateur en anneau comportant des CNTFETs à un seul nanotube [35], [45], [46] ainsi que des fréquences de coupures de l'ordre de 10GHz ont été démontrés par plusieurs laboratoires de recherche pour des CNTFETs à films de nanotube de carbones [47], [48], [49], [50]. La mise en parallèle de plusieurs nanotubes permet d'augmenter le niveau du courant de drain et ainsi charger plus rapidement la capacité par tube vue côté source et côté drain. De ce fait, la transconductance est améliorée de même que la fréquence de coupure du transistor.

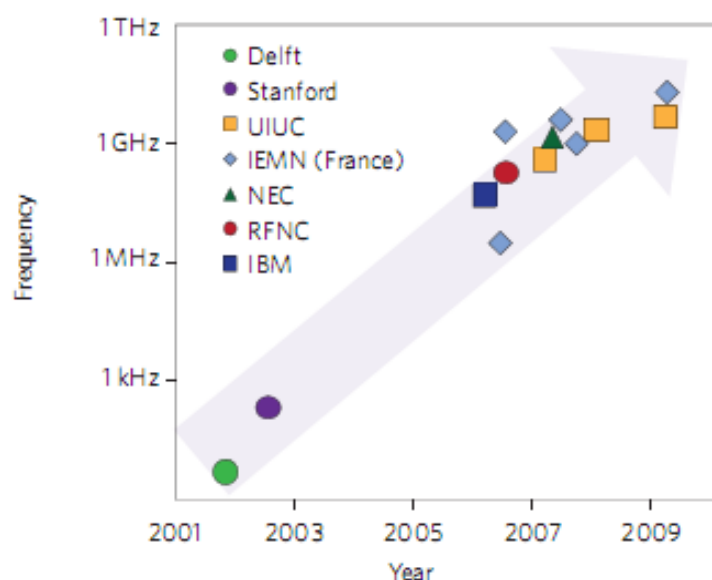


Figure 1.17 -Évolution de la fréquence maximale de coupure des transistors CNTFETs en échelle logarithmique de 2001 à 2009. Ces performances fréquentielles sont obtenues dans le laboratoire de l'université de Delft [35], l'université de Stanford [45], la multinationale IBM [46], RF Nano Corporation (RFNC) [51], la multinationale NEC [50], l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) [BET06, [49] et l'université d'Illinois à Urbana-Champaign (UIUC) [47].

La figure 1.16 montre l'évolution de la fréquence de coupure des transistors CNTFETs dans de différents laboratoires de recherche de 2001 à 2009. Dans les années 2001-2003, des transistors opérant à des fréquences de quelques centaines de Hertz ($\sim 220\text{Hz}$) ont été démontrées dans les universités de Delft [35] et de Stanford [45]. Ces premières mesures fréquentielles ont été prélevées sur une plaquette de 20 transistors formés avec des films synthétisés par CVD et contenant 33% de nanotubes de carbone semi-conducteurs, mono-paroi et dont 60-70% sont de type "p" [45]. Le diamètre des nanotubes présents dans l'échantillon varie entre 1–4 nm ce qui se traduit par des transconductances variables entre 100 et 300k Ω .

Huit ans après, L. Nougaret et al. de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) ont présenté un CNTFET opérant à une fréquence intrinsèque record de 80 GHz [49]. Pour ce faire, une solution très dense en nanotube de carbone semiconducteur mono-paroi ($\sim 99\%$) a été réalisée par centrifugation (ou *density gradient ultracentrifugation*) avant d'être dispersée sur un substrat de très haute résistivité pour former le canal du transistor. Ces résultats ouvrent de nouvelles perspectives pour les applications électroniques nécessitant des fréquences de fonctionnement élevées.

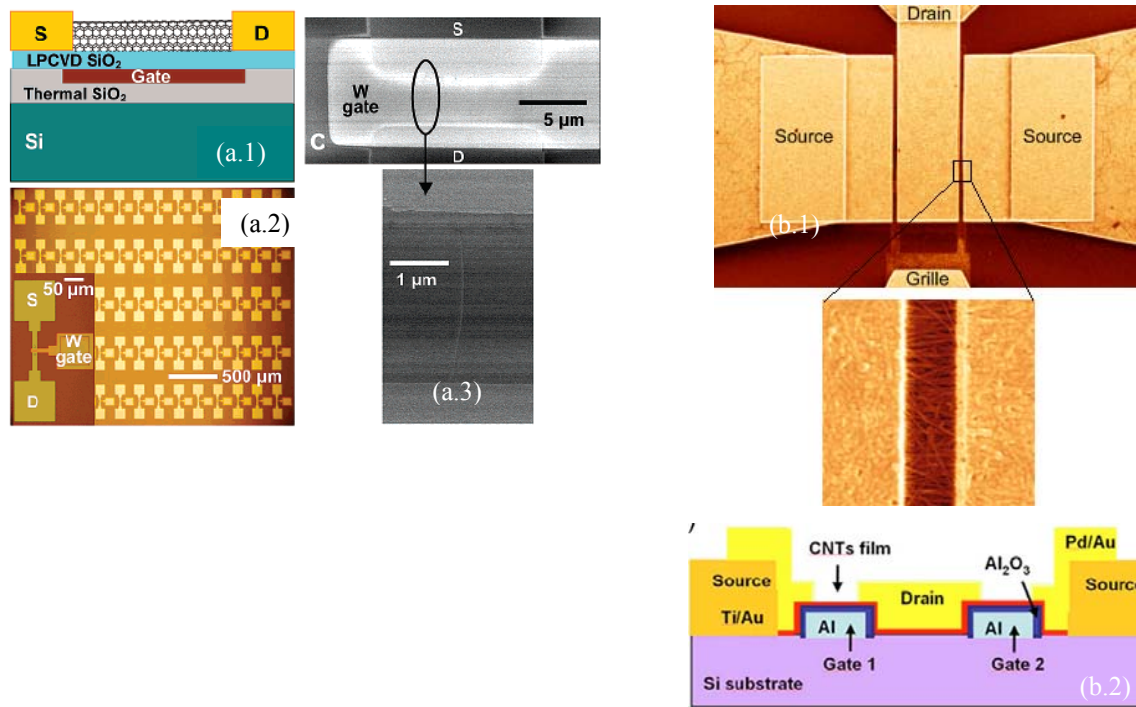


Figure 1.18 -Croissance et intégration des nanotubes de carbone dans les transistors, (a.1) structure du transistor à nanotube de carbone de l'université de Stanford en 2003 ($f_i=200\text{Hz}$) avec une grille arrière de longueur de $7\mu\text{m}$, (a.2) Vue optique des transistors, en insert ; zoom sur un transistor, (a.3) image en microscopie électronique à balayage (MEB ou SEM pour Scanning Electron Microscopy en anglais) du CNTFET montrant le nanotube de carbone de diamètre $\sim 3\text{nm}$ liant source et drain au-dessus d'une couche de SiO_2 d'épaisseur $\sim 20\text{nm}$ [45].

(b.1) Image MEB du transistor CNTFET de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) en 2009 ($f_i=80\text{GHz}$) avec un zoom sur la partie canal où les nanotubes de carbones sont déposés en parallèles entre drain et source, (b.2) Coupe transversale du transistor. [49].

La figure 1.18 montre des courbes de gains en courant intrinsèque $H_{21\text{int}}$, extrinsèque avant "de-embedding" $H_{21\text{ext}}$, unilatéralisé (ou gain de Mason) U et maximum stable MSG (en anglais : *Maximum Stable Gain*) du CNTFET de l'IEMN [49]. En augmentant la fréquence, les gains diminuent jusqu'à atteindre l'unité ce qui correspond à la fréquence de coupure du transistor. Ainsi, on peut déduire sur le même graphe qu'un facteur égale à 5 existe entre la fréquence de coupure de gain en courant intrinsèque $H_{21\text{int}}$ ($\sim 80\text{GHz}$) et celle de gain en courant extrinsèque ($\sim 15\text{GHz}$). Cette diminution de fréquence de coupure de gain en courant est due essentiellement aux capacités entre niveaux de métal (*Fringe Capacitance*) et aussi aux capacités d'Overlap de grille/source et grille/drain. La prise en compte des éléments parasites liés à la structure de test est possible grâce aux structures de calibration présentent sur la même plaquette et aux méthodes de "de-embedding" associées.

Pour pouvoir extraire de telles performances intrinsèques des transistors CNTFETs, des techniques de mesure en *de-embedding* sont employées ce qui permet d'éliminer l'influence des capacités parasites.

Dans la partie qui suit, nous examinons les limitations technologiques et intrinsèques qui constituent les sources essentielles de dégradation des performances des CNTFETs.

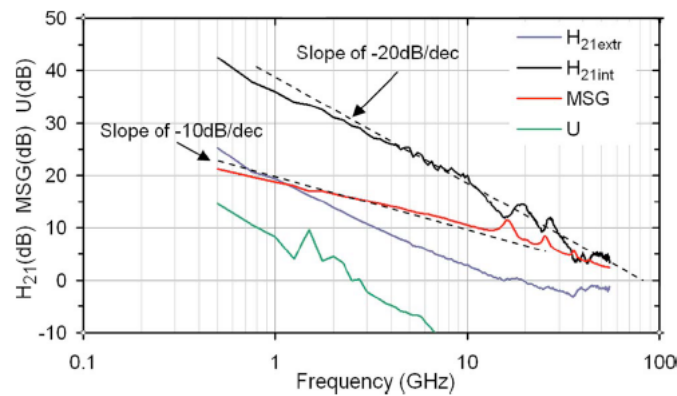


Figure 1.19 -Gains en courant intrinsèque H_{21int} (courbe noire), gain avant "de-embedding" H_{21ext} (courbe bleue), gain de Mason U (courbe verte) et gain maximum stable MSG (courbe rouge) du CNTFET de l'IEMN [49].

1.6 Limitations

En intégrant les nanotubes de carbone dans les transistors, un déficit technique est bien présent qui consiste à bien maîtriser l'emplacement et l'orientation de ces nanotubes ainsi que leur structure atomique comme le diamètre et les paramètres de chiralité au moment de la synthèse. Ces défis représentent actuellement des limitations technologiques. D'autre part, il existe aussi des limitations intrinsèques dues à la nature même du matériau ce qui se traduit par des effets quantiques divers comme la présence des courants de fuite tunnel de bande à bande (intra-bande) ou à travers des barrières Schottky dans l'interface métal/nanotube semiconducteur (inter-bande). Le paragraphe qui suit détaille ces deux types de limitations.

1.6.1 Limitations technologiques

1.6.1.1 Localisation et placement des nanotubes

Pour la méthode CVD, le problème de l'emplacement des sites de croissance des nanotubes de carbone sur le substrat est lié à la limite de la finesse de gravure actuelle (~10-20nm). Avec une telle technologie de lithographie, plusieurs nanoparticules de différentes dimensions (~1-2nm) peuvent se localiser dans le même site et faire croître ainsi plusieurs nanotubes de carbones de divers chiralités et emplacements. Pour surmonter cette limitation technologique, D. Mann et al. [52] ont utilisé une première méthode qui consiste à faire évaporer un mince film de métal (catalyseur : Co, Fe, Pt, etc. 2-20 Å) avec un angle de ~5-10° par rapport à la normal du surface de substrat sur un motif en PMMA (Poly-Méthyl-Méth-Acrylate). Ce motif en PMMA est préparé par lithographie par faisceau d'électrons focalisé à haute résolution (en anglais : *high-resolution EBL patterning*) pour donner des sites de ~20nm de dimension. Après révélation de la couche de PMMA par lift-off et recuit thermique (700-900°C), des clusters bien localisés sont formés sur le substrat en SiO₂. En effet, le nombre de particules par cluster dépend à la fois de la dimension du site formé dans la couche de PMMA et de l'angle défini pour l'évaporation du métal alors que le diamètre de ces particules dépend de l'épaisseur de ce métal. Une telle méthode permet d'avoir différentes dimensions de nanoparticules allant de 1nm jusqu'à quelques dizaines de nanomètre ce qui permet d'avoir aussi une distribution presque uniforme en diamètre des nanotubes.

Une deuxième méthode employée par [53] et al. consiste à synthétiser des nanoparticules de métal (1.7±0.6nm) à partir d'une résine photosensible négative. En effet, cette résine de

composition C, O, et H (appelée *p-methylmethoxy calix6-arene*, MC6) est dopée avec l'acétylacétonate de fer III pour y inclure les particules de fer. Après exposition, des tâches de dimensions de $\sim 20\text{nm}$ sont obtenues. Un recuit sous vide à une température de $650\text{-}800^\circ\text{C}$ pendant 5-30mn permet de transformer les tâches de la résine dopée Fe en un carbone amorphe avec une particule de fer à l'intérieur. Enfin, un traitement par oxygène élimine le carbone amorphe et ne laisse que la particule de fer sur la surface du substrat pour servir de point de départ pour la croissance de nanotubes de carbone comme le montre la figure 1.19.

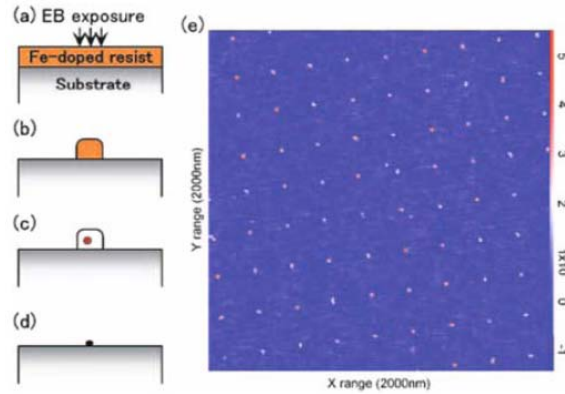


Figure 1.20 -Procédé de synthèse des nanoparticules de métal : (a) dopage de la résine par l'acétylacétonate de fer III, (b) formation des tâches de dimensions $\sim 20\text{nm}$, (c) résine amorphe avec particule de fer après recuit à $650\text{-}800^\circ\text{C}$ pendant 5-30mn et (d) nanoparticule de fer sur la surface du substrat résultante de traitement à l'oxygène du carbone amorphe et servant comme point de départ pour la croissance des nanotubes de carbone. (e) image AFM des nanoparticules de fer espacées d'un pas de 200nm [54].

1.6.1.2 Orientation des nanotubes

Bien contrôler l'orientation des nanotubes en les mettant en parallèle revient à améliorer la transconductance dans le canal des transistors CNTFET et permet le passage d'un courant plus important en comparaison avec le cas dont ou les nanotubes ont des directions aléatoires. Bien en parallèles, les nanotubes de carbone ne se recouvrent pas et ne perturbent donc pas la conduction du courant de leurs voisins.

Trois différentes approches ont été adoptées par les chercheurs pour aboutir à une méthode de croissance de nanotubes auto-alignés entre les contacts de la source et du drain. La première approche consiste à appliquer un champ électrique de l'ordre de $0.5\text{-}2\text{V}/\mu\text{m}$ pendant la procédure de synthèse des nanotubes par CVD [55]. Ce champ électrique a pour effet l'atténuation de l'agitation thermique des nanotubes provoquée par la haute température de synthèse. Ainsi les nanotubes sont alignés selon la direction de ce champ électrique. Le seul inconvénient de cette méthode est le besoin d'avoir des contacts source et drain assez larges et assez éloignés ($\sim 100\mu\text{m}$). La deuxième approche se résume, quant à elle, à aligner les nanotubes en contrôlant le flux de gaz pendant la synthèse [56], [57]. En effet, il a été constaté que, pendant leur synthèse, les nanotubes de carbone "survolent" la surface du substrat à cause du déplacement du flux de gaz (mécanisme de *Kite*). Avec cette approche, la densité des nanotubes de carbones obtenue est faible ($\sim 20\mu\text{m}$ entre deux nanotubes voisins) mais elle semble être la plus simple à mettre en œuvre et la plus adaptée aux différents types de substrat.

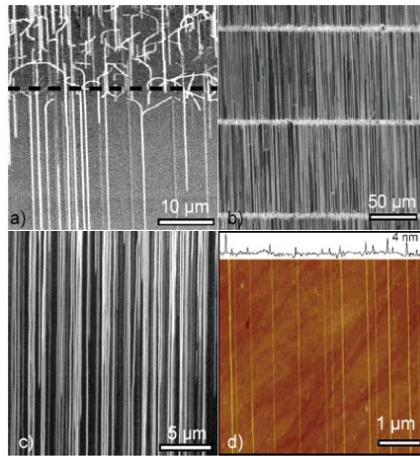


Figure 1.21 -Illustration de la croissance auto-alignée des nanotubes de carbone : (a) image MEB des nanotubes à l'interface de deux régions avec (en haut) et sans (en bas) catalyseur, (b) nanotube parfaitement auto-alignés par CVD à partir de bandes de catalyseur déposés perpendiculairement à la direction de croissance voulue, (c) image BEM et (d) AFM des nanotubes obtenus dans (b) [58].

Finalement, la troisième et la dernière approche tend plutôt à contrôler la disposition cristalline du substrat que la procédure de synthèse des nanotubes. Depuis peu, plusieurs groupes de chercheurs [54], [59], [58] ont pu aligner des nanotubes de carbone sur des substrats en quartz et en saphir ayant une orientation cristalline bien particulière. Cette méthode s'avère très intéressante de point de vue de la densité ainsi obtenue des nanotubes.

1.6.1.3 Présence des nanotubes métalliques

Lors de la synthèse, en moyenne deux tiers des nanotubes de carbone sont semi-conducteurs et le reste est formé par des nanotubes métalliques. La présence de ces nanotubes métallique influence les performances tant statiques que dynamiques des CNTFETs. La figure 1.21 de [49] montre les courbes de gain intrinsèque en courant correspondants à trois différents échantillons de film de nanotube de carbone. Sur cette même figure, on remarque que pour l'échantillon contenant le plus de nanotubes métalliques a la fréquence de coupure la plus faible (courbe en rouge : $f_t \sim 8\text{GHz}$) alors que l'échantillon qui contient presque que des nanotubes semi-conducteurs ($\sim 99\%$) à une fréquence de coupure 10 fois plus importante (courbe noir : $f_t \sim 80\text{GHz}$).

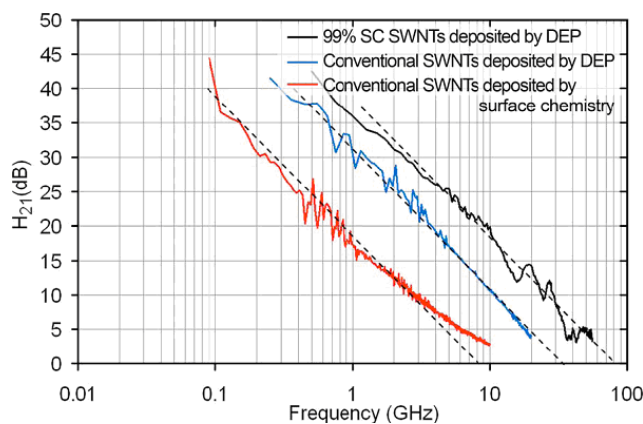


Figure 1.22 -Gains en courant $10 \times \log_{10}(|H_{21}|)$ calculé à partir des paramètres S de trois CNTFETs à échantillons de nanotube de carbone différents. Les traits discontinus correspondent à une pente idéale de -20dB/décade de $|H_{21}|$, les f_t sont 8GHz, 30GHz et 80GHz [49].

S. Frégonèse et al. [60] ont montré aussi l'impact de l'existence de ces nanotubes métalliques en une portion de 30% sur les performances transitoires de quelques circuits logiques comme le cas de l'oscillateur en anneau (figure 1.22).

A cette fin, Collins et al. proposent de casser ces nanotubes métalliques en appliquant un fort courant [61] tout en gardant dans un état intact les nanotubes semi-conducteurs. Mais, cette méthode, bien qu'efficace, n'est pas bien adaptée pour la fabrication des circuits intégrés à grande échelle qui intègrent jusqu'à un milliard de transistors.

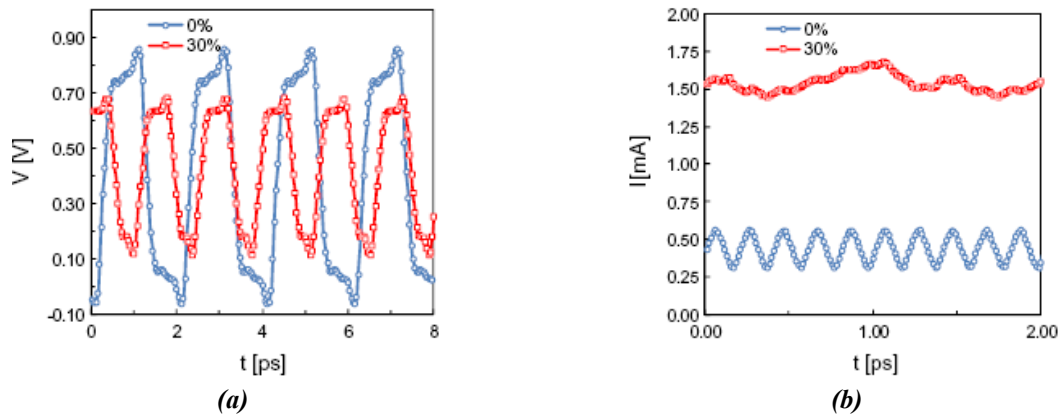


Figure 1.23 -Influence des nanotubes de carbones métalliques sur les performances des circuits numériques : (a) Oscillogramme simulé d'un circuit d'oscillateur en anneau à 5 étages avec 0% (courbe en bleu) et 30% (courbe en rouge) de nanotubes de carbones métalliques parmi les 20 qui sont utilisés par 1 CNTFET, (b) courant consommé dans le circuit à $V_{DD}=0.8V$ [60].

Une autre alternative, consiste à trier les nanotubes par di-électrophorèse [62], par fonctionnalisation en milieu acide [63], ou bien par interaction avec des brins d'ADN (en anglais : *DNA wrapping*) [64]. Par contre, ces trois méthodes sont applicables pour le tri des nanotubes qui sont synthétisés par évaporation par arcs électriques ou bien par ablation laser et mis ensuite en solution avant d'être déposés de manière désordonnée sur le substrat. Ce procédé de fabrication de transistor CNTFET ne se conforme absolument pas avec la contrainte économique puisqu'il est très coûteux tant qu'il ne permet pas l'optimisation efficace de la surface du silicium. Désormais, la meilleure solution, pour pouvoir trier les nanotubes demeure dans le bon contrôle de la chiralité des nanotubes en maîtrisant leur procédé de synthèse par CVD.

1.6.1.4 Diamètre des nanotubes

Comme les propriétés électriques du nanotube de carbone dépendent de leur chiralité, alors il est important de disposer de structures identiques pour parvenir à les intégrer à une très grande échelle. Toutefois, il est déjà établi que la dimension de la particule de métal qui sert comme point de départ pour la croissance par CVD est la même que celle des nanotubes [55], [53]. Récemment, une protéine connue sous le nom de "ferritine" a été utilisée pour avoir des molécules de fer (Fe) ou de cobalt (Co) de dimension comprise entre 1-2nm [55]. En revanche, en contrôlant les dimensions de particules en métal, on ne contrôle pas la chiralité des nanotubes.

Pour cette raison, contrôler les conditions de synthèse des nanotubes paraît être convenable pour avoir une distribution uniforme de chiralité et ainsi réduire la gamme de diamètre.

Par exemple, en abaissant la température de synthèse par CVD, Bo Wang et al. ont synthétisé des nanotubes de carbone semi-conducteurs avec des chiralités très proches [65].

Aussi, il était démontré qu'en utilisant le dépôt chimique en phase vapeur assisté par plasma (en anglais : *Plasma Enhanced CVD* comme *PECVD*) au lieu du dépôt chimique en phase vapeur classique, avec le même type de catalyseur métal, la densité des nanotubes semi-conducteurs passe de $\sim 62.5\%$ à $\sim 89.3\% \pm 2.3$ [55], [66].

1.6.2 Limitations intrinsèques

Tout comme les transistors MOS, les dimensions ultimes (i.e. isolant de la grille ultra mince, canal très court, diamètre plus petit de nanotube...etc.) des transistors à nanotube de carbone entraînent des phénomènes physiques et des effets quantiques qui sont d'autant plus critiques qu'ils dégradent les performances prometteuses de telles structures en terme de capacité et de courant de fuite.

Parmi ces phénomènes quantiques on trouve le courant tunnel d'inter-bande et d'intra-bande.

1.6.2.1 L'effet tunnel intra-bande

Dans un CNTFET dit conventionnel (ou à modulation de la hauteur de barrière), les deux extrémités du nanotube de carbone sont dopées soit en type "n" ou bien en type "p". Cependant, doper le nanotube chimiquement peut entraîner une modification de ses propriétés électriques voir dégrader la mobilité électronique.

C'est à cette fin que les transistors à double grille ont vus le jour dans le but de doper électro-statiquement les accès. Comme le montre la figure 1.13, Lin et al. proposent une structure qui permet le dopage des extensions du nanotube en polarisant convenablement les deux grilles avant et arrière [8]. Ainsi, pour des polarisations négatives de la grille arrière, le transistor se comporte comme un CNTFET conventionnel de type p (le nanotube dopé p-i-p). Lin et al. ont remarqué que lorsqu'ils réduisent la longueur du canal de 200nm à 40nm, ils arrivent à mesurer une pente sous le seuil supérieure à 65mV/décade ainsi qu'un courant I_{OFF} plus important (figure 1.23-a).

Ceci est expliqué par la présence d'un courant tunnel entre la bande de conduction et la bande de valence et non pas aux effets de canal courts (en anglais : *Short Channel Effect* comme *SCE*) comme il dans les transistors MOS. La figure 1.23-b montre cet effet quantique qui se manifeste sous fortes polarisations en V_{DS} et entraîne l'accumulation d'une charge supplémentaire dans le canal qui est la cause de la dégradation de la qualité de commutation à l'état off.

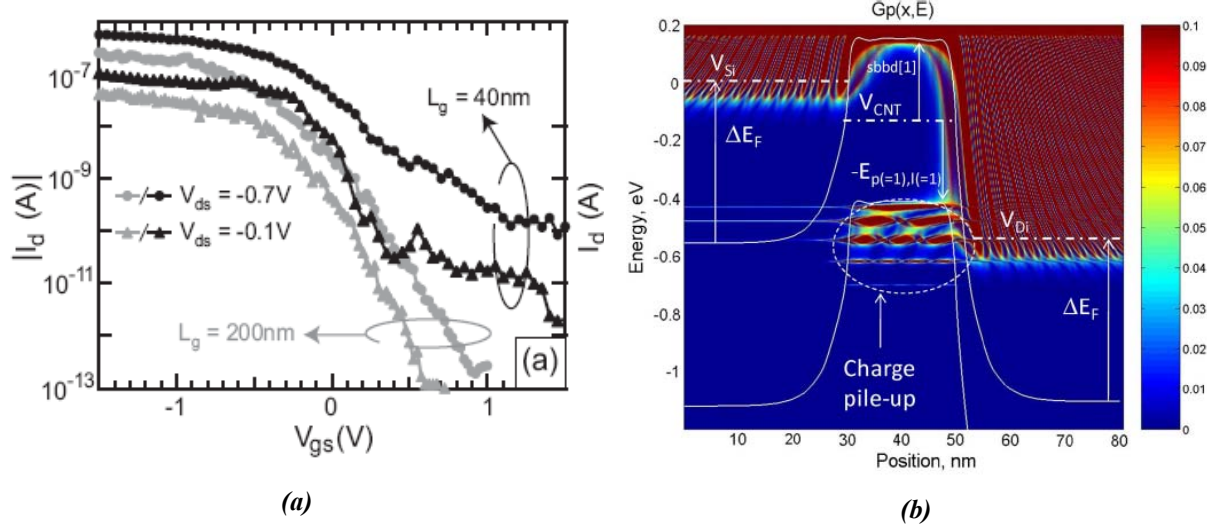


Figure 1.24 - l'effet tunnel intra-bande dans les CNTFETs : (a) caractéristiques expérimentales I_D - V_{GS} d'un CNTFET avec une longueur de canal 200nm (courbes claires) et 40nm (courbes foncées) pour deux $V_{DS} = 0.7\text{V}$ et -0.1V [67]. (b) Simulation NEGF du schéma de la 1ère sous-bande de conduction et de valence d'un nanotube de carbone de chiralité $(19, 0)$ à $V_{GS}=0\text{V}$ et $V_{DS}=0.55\text{V}$. Le code couleur montre la distribution en trou par rapport à $G_p(x, E)$: énergie en fonction de la position du porteur [68].

Ceci est expliqué par la présence d'un courant tunnel entre la bande de conduction et la bande de valence et non pas aux effets de canal court (en anglais : *Short Channel Effect* comme *SCE*) comme il dans les transistors MOS. La figure 1.23-b montre cet effet quantique qui se manifeste sous fortes polarisations en V_{DS} et entraîne l'accumulation d'une charge supplémentaire dans le canal qui est la cause de la dégradation de la qualité de commutation à l'état off.

En revanche, ce courant tunnel peut constituer une alternative intéressante pour dépasser la limite des 60mV/dec de la pente sous le seuil à température ambiante [69] puisqu'il modifie le mécanisme d'injection et ainsi le facteur limitant [70], [71].

Des CNTFETs contenant un nanotube de configuration p-i-n ont été mis en évidence par [72], [67] et ils sont connus sous le nom de CNTFET à effet tunnel (en anglais : *Tunneling CNTFET* comme *T-CNTFET*). Dans ce type de configuration et pour des fortes polarisations de la grille, les porteurs qui sont piégés dans le canal (en anglais : *charge pile-up*) peuvent le quitter pour transiter vers le drain par effet tunnel. Ceci entraîne une pente sous le seuil plus faible qui permet d'améliorer le compromis haute performance/basse consommation d'énergie puisqu'il serait alors possible d'augmenter I_{ON} sans augmenter I_{OFF} .

1.6.2.2 L'effet tunnel inter-bande

L'effet tunnel d'inter-bande ou l'émission par effet de champ se manifeste dans les CNTFETs suite à la présence des barrières Schottky au niveau des jonctions métal de la source/nanotube semiconducteur et métal du drain/nanotube semiconducteur et affecte la transconductance et ainsi les performances du transistor CNTFET.

Pour parvenir à surmonter cette limitation intrinsèque et limiter la présence de ces barrières parasites, le choix des paramètres technologiques notamment le choix du type du métal, les propriétés de l'oxyde de la grille (épaisseur, permittivité diélectrique) ou bien le dopage du nanotube a été largement discuté dans la communauté scientifique [73], [7], [74]. Mais malgré

les efforts considérables, la présence des barrières Schottky est toujours observée. L'étude de l'impact de ces barrières Schottky fait l'objet du 2^{ème} chapitre.

CONCLUSION

Dans ce premier chapitre les structures et les propriétés électroniques des nanotubes de carbone ont été décrites. Nous avons exposés, par la suite, les procédés de fabrications des transistors à base de nanotube de carbone. A partir de l'analyse des caractéristiques électriques d'un transistor CNTFET de type "p" [29], nous avons remarqué que ce transistor souffre d'une dégradation dans ses performances et notamment s'agissant de la pente sous le seuil. Ainsi, nous avons identifié des limitations de type technologiques et intrinsèques qui constituent les sources essentielles de dégradation des performances des transistors CNTFET. Parmi les limitations intrinsèques, la présence des barrières Schottky paraît avoir un impact de 1^{er} ordre [73] [74].

Ces barrières Schottky feront l'objet de la modélisation compacte du deuxième chapitre.

Chapitre 2

LA MODELISATION COMPACTE DES TRANSISTORS A NANOTUBE DE CARBONE

INTRODUCTION

Ce chapitre décrit la modélisation compacte physique et électrique du transistor à nanotube de carbone à barrières Schottky. L'objectif de ce travail de modélisation est de se disposer d'un modèle compact pour simuler des circuits utilisant de nombreux transistors (jusqu'à plusieurs centaines) en un temps de simulation "raisonnable" (10-20 minutes pour de gros circuits).

En terme de validation, les résultats électriques du modèle compact seront comparés à ceux de la simulation Monte-Carlo et à ceux de données expérimentales. Par la suite, un schéma électrique équivalent du modèle est donné.

Enfin, une étude d'influence des barrières Schottky sur les figures de mérite statiques et dynamiques du transistor est présentée.

DESCRIPTION DU FONCTIONNEMENT DU TRANSISTOR A NANOTUBE DE CARBONE A CONTACTS SCHOTTKY

Dans cette partie, le fonctionnement global du transistor SB-CNTFET est présenté en détail.

1.7 Mise en évidence des barrières Schottky

Un transistor à nanotube de carbone est formé de deux contacts de type métal/nanotube côté source et drain. La nature du métal peut être soit en aluminium (Al), titane (Ti), palladium (Pd) ou scandium (Sc). Le platine (Pt) est plus rarement utilisé puisqu'il présente une mauvaise mouillabilité avec les nanotubes de carbone [75] c'est-à-dire il présente une faible énergie d'adhésion.

Au niveau des interfaces formées par le contact métal et le nanotube semiconducteur, des barrières de potentiel Schottky sont formées et s'opposent à la transition des porteurs entre source et drain via le canal nanotube. Ainsi, ces barrières ont un rôle important dans la détermination du courant puisqu'elles déterminent le nombre des porteurs présents côté métal et transmis dans le canal [67].

Ainsi, pour mettre en évidence la présence de ces barrières Schottky dans les transistors à nanotube de carbone, Freitag et al. [76] ont observé ces barrières en employant deux différents procédés de microscopie : la microscopie à grille ajustable (ou en anglais : *Scanning Gate Microscopy* comme *SGM*) [77] et la microscopie de photo-courant à balayage laser (ou en anglais : *Scanning PhotoCurrent Microscopy* comme *SPCM*) [78]. Dans ces expériences de microscopie, les nanotubes de carbone utilisés ont un diamètre de 1–2nm et ils sont synthétisés par CVD du substrat en silicium avec une couche de sur 100–200nm d'oxyde. Selon Freitag et al. [76], pour assurer une bonne mouillabilité du métal de type Palladium (Pd) des accès source et drain aux nanotubes de carbone, une fine couche ($\sim 7\text{\AA}$) de Titane (Ti) a été ajoutée.

Sur la figure 2.1, à fur et à mesure que la polarisation sur la grille V_G augmente (de 1V jusqu'à 4V), les séquences d'images issues de la microscopie de photo-courant à balayage

laser montrent la formation d'une barrière Schottky au niveau de l'interface métal du contact/nanotube de carbone. Pour $V_G=1V$, une barrière de potentiel égale à l'énergie de la bande interdite s'oppose au passage des électrons dans le nanotube et on remarque également la formation d'une barrière de potentiel pour les trous (couleur bleue foncée) dont l'épaisseur est inférieure à la limite de la résolution optique de l'appareil ($\sim 400nm$).

En augmentant V_G jusqu'à 2,6V, les images montrent la formation d'une barrière Schottky vue pour les électrons (couleur jaunâtre) et s'étendant dans la zone du canal. Le transport de charge s'effectue donc majoritairement par des trous (transport de type P).

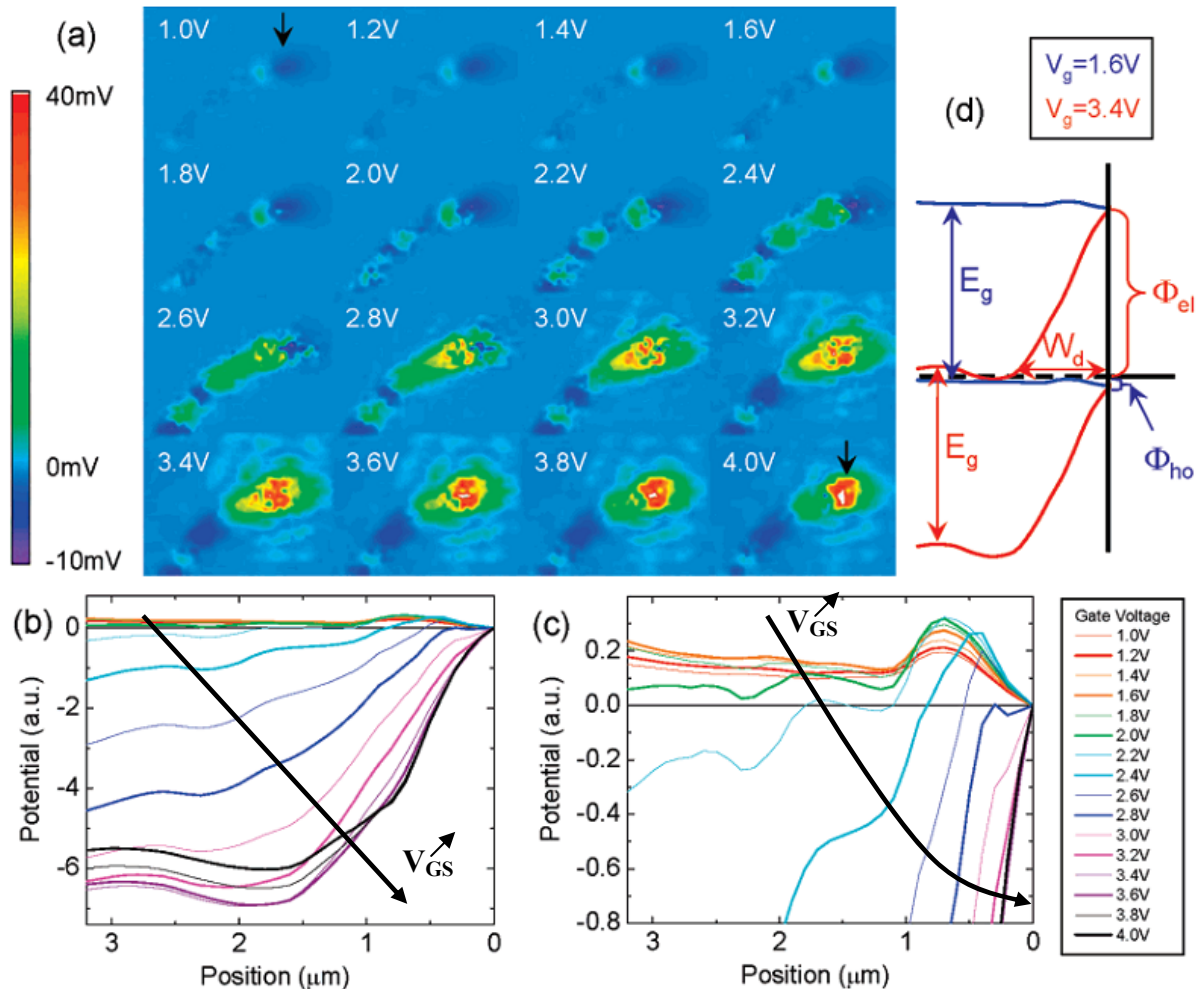


Figure 2.1 -Mise en évidence des barrières Schottky : (a) images de microscopie de photo-courant à balayage laser (puissance du laser $900\mu W$), (b) variation de la hauteur de la barrière Schottky suivant l'axe du nanotube de carbone pour différentes polarisations de la grille V_G allant de 1V jusqu'à 4V par pas de 0.2V, (c) agrandissement du graphe précédent dans la zone de contact, (d) profile de bande d'énergie de la 1^{ère} sous-bande de conduction et de valence pour deux polarisations V_G , 1.6V et 3.4V. La bande interdite E_g a été fixée de telle manière que le niveau de Fermi métal s'aligne avec le haut de la 1^{ère} sous-bande de valence pour $V_G=1.6V$ et le bas de la 1^{ère} sous-bande de conduction pour $V_G=3.4V$.

Pour des V_G supérieures à 3V et jusqu'à 3,2V, une tension de 40mV est mesurée (couleur rouge) et correspond à la hauteur maximale de la barrière Schottky qui s'affine et permet ainsi la transition des électrons dans le canal. Ce faisant, le canal nanotube conduit (bloque) de plus en plus d'électron (de trous) ce qui donne lieu à un transport de type N (P). Ce comportement est caractéristique des transistors à barrières Schottky et se manifeste lorsque le niveau de

Fermi atteint le haut (bas) de la bande de valence (conduction). Dans le cas présent, cela correspond aux tensions comprises entre $V_G=1,6V$ et $V_G=3,4V$.

La différence entre ces deux tensions de seuil est égale à 4 fois l'énergie de la bande interdite ce qui correspond à un facteur d'efficacité de la grille d'environ 0,25.

Sur la figure 2.1-b, Freitag et al. présentent l'évolution du potentiel au niveau de l'interface métal/nanotube semiconducteur par rapport au potentiel de la grille V_G . On remarque que la hauteur de la barrière Schottky augmente en valeur absolue avec le potentiel V_G . La figure 2.1-c est l'agrandissement de l'échelle du potentiel de la figure précédente 2.1-b. elle détaille les courbures de potentiel positif dans la zone comprise entre 300nm–1.1µm du nanotube pour des polarisations V_G allant de 1V jusqu'à 2,6V. Ce mécanisme résulte de l'existence des états localisés dans la bande interdite, à proximité de l'interface métal-semiconducteur (ou en anglais *Metal-Induced Gap States* comme *MIGS*) qui créent des dipôles à l'interface [79]. Récemment, des travaux focalisés sur les simulations en calcul AB-Initio des CNTFET à barrières Schottky [80] ont montré que ces MIGS n'influence pas énormément sur les hauteurs des barrières Schottky. A cet effet, C. Adessi et al. [80] montrent que pour un nanotube de chiralité (13, 0) mis en contact avec un métal en Pd ce qui résulte en une hauteur de barrière Schottky de 0,28eV pour les trous (transport de type P), les MIGS font diminuer cette barrière de seulement 0.06eV.

Dans le cas semi-conducteurs classiques, la hauteur de la barrière Schottky est quasi-indépendante du travail de sortie du métal et qui dépende plutôt du phénomène de la courbure du niveau de Fermi (ou en anglais : *Fermi-level pinning*). Ce phénomène résulte dans la présence des MIGS. Dans le cas des nanotubes de carbone, ces MIGS sont très faibles et la hauteur de barrière dépend du travail de sortie du métal [79].

De ce fait, il est nécessaire d'utiliser des métaux dont le travail de sortie est élevé (faible) pour diminuer la hauteur de la barrière Schottky vue par les trous (électrons) et obtenir des transistors unipolaire de type P (N) [81].

Tableau 2.1 - Travaux de sorties et résistivités de quelques matériaux utilisés comme métal des accès pour les CNTFETs.

Type de métal	Travail de sortie (eV)	Résistivité ($\mu\Omega.cm$) à 20°C
Palladium (Pd)	5,22-5,6	10,8
Rhodium (Rh)	4,98	4,51
Nickel (Ni)	5,04-5,35	6,84
Aluminium (Al)	4,06-4,26	2,7
Titane (Ti)	4,33	42
Gadolinium (Gd)	2,90	140,5
Platine (Pt)	5,7	9,4

Le tableau 2.1 résume les valeurs des travaux d'extraction de quelques métaux utilisés comme contact dans les transistors CNTFET.

Comme discuté précédemment, la hauteur de la barrière Schottky résulte de la différence entre le travail d'extraction métal et l'affinité électronique de nanotube qui est fonction de la

chiralité (ou diamètre). Pour avoir une relation directe entre la hauteur de la barrière Schottky et les travaux d'extractions métal et nanotube, on a intérêt à utiliser des hauteurs de barrières Schottky à mi-gap. Si notre hypothèse est vraie, alors pour un nanotube de chiralité (19,0) (énergie de gap égale à 0,55eV) mis en contact avec un métal de type Pd (travail d'extraction $\sim 4,65\text{eV}$), on devrait avoir une hauteur de barrière égale à mi-gap c'est-à-dire 0,275eV. La demi différence entre le travail d'extraction nanotube ($\sim 5,2\text{eV}$) et le travail d'extraction métal ($\sim 4,65\text{eV}$) est égale à 0,275eV donc notre hypothèse est vérifiée.

Rappelons ici que le travail d'extraction nanotube était estimé dans notre cas à 5,2eV selon [18], [82], [83], [84] qui rapportent des valeurs comprises entre 4,5eV et 4,8eV.

1.8 Transparence des barrières Schottky et fonction de transmission

Dans un CNTFET à modulation d'hauteur de la barrière, c'est le potentiel de canal de nanotube, notée ici Φ_f^0 , qui détermine le flux du courant dans le canal à l'interface métal/nanotube. Les électrons qui ont une énergie supérieure à Φ_f^0 contribuent au courant total. Une variation du potentiel de la grille modifie le potentiel de canal Φ_f^0 et module la quantité de porteurs contribuant au courant [85], [77].

Dans le cas des SB-CNTFET, la situation est différente : un changement dans le potentiel de la grille change le potentiel du canal Φ_f^0 mais modifie également la forme des barrières Schottky de source et drain qui déterminent l'injection des porteurs.

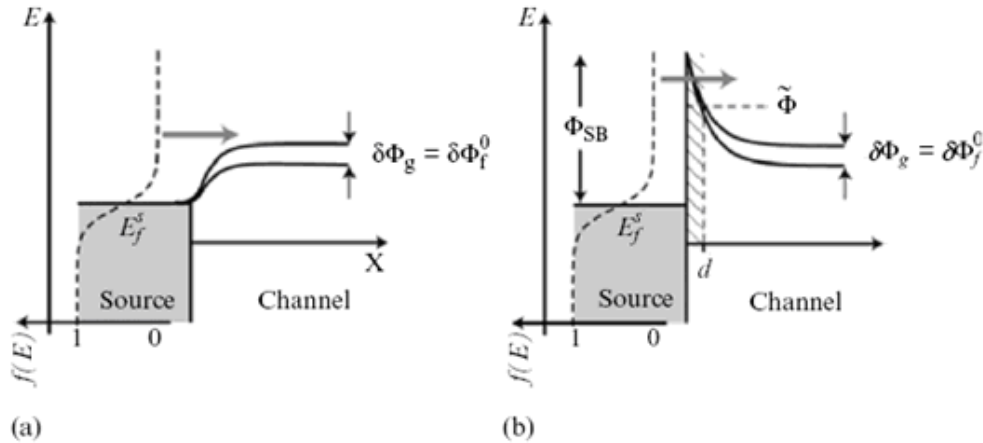


Figure 2.2 -Profile de la bande de conduction pour un C-CNTFET (a) et d'un SB-CNTFET (b) montrant la variation du potentiel de surface en fonction du potentiel appliqué de la grille [86].

Ces barrières sont caractérisées par leur transparence qui définit la fonction de transmission globale exprimée à partir des deux fonctions de transmission T_S et T_D respectivement de la source et du drain [87]. Comme dans le cas d'un interféromètre de Fabry-Pérot [88], la fonction de transmission globale T_T est exprimée par l'équation (2.1) :

$$T_T(E) = \frac{T_S(E) \cdot T_D(E)}{T_S(E) + T_D(E) - T_S(E) \cdot T_D(E)} \quad (2.1)$$

Les probabilités de transmission $T_S(E)$ et $T_D(E)$ sont calculées à partir de l'approximation de *Wentzel-Kramers-Brillouin* (WKB) [89] issues d'une hypothèse réductrice de la relation de dispersion $E(k)$ et de la masse effective [90].

La méthode et les équations associées seront détaillées dans la section 3-a. de ce chapitre 2.

Le calcul des ces fonctions de transmission nécessite la connaissance de la forme de la barrière Schottky. Pour connaître la forme exacte de la barrière de potentiel, L.C Castro et al. ont procédé par un couplage entre le calcul de la densité de charge (en tenant compte du flux de porteurs) et de l'équation de Poisson [91]. Une telle approche nécessite des ressources de calcul importantes qui se révèlent incompatible avec les exigences de la modélisation compacte.

Ainsi, l'approximation de la forme de la barrière Schottky par une forme simplifiée est indispensable si on veut la mettre en œuvre dans le cadre des bibliothèques des composants pour le besoin de conception de circuit.

A cette fin, [92], [93] ont procédé, par approximation des barrières Schottky par une forme triangulaire comme le montre la figure 2.3.

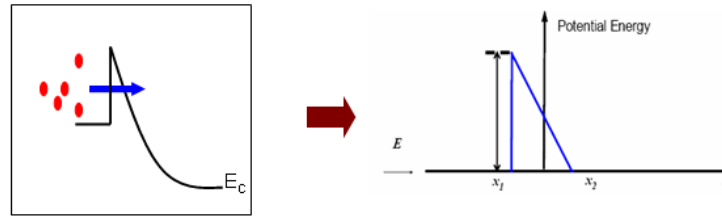


Figure 2.3 -Approximation triangulaire des barrières Schottky.

En utilisant ces deux approximations (WKB + forme triangulaire), on peut établir une expression "simple" pour les probabilités de transmission source et drain. Celles-ci seront données en détail dans la section 3-a de ce chapitre 2.

La figure 2.4-a montre les courbes associées à ces trois fonctions de transmission (T_S , T_D , et T_T) en fonction de l'énergie des porteurs présents à l'interface d'une barrière Schottky $\Phi_{SB}=275\text{meV}$ pour différents potentiel de canal V_{CNT} avec un potentiel de drain V_{DS} égale à 200mV .

On remarque que la fonction de transmission source $T_S(E)$ est égale à 0 (1) pour des énergies de porteurs inférieures (supérieures) au potentiel du canal (à la hauteur de la barrière Schottky Φ_{SB}). La fonction de transmission drain $T_D(E)$ suit la même variation que celle de $T_S(E)$ mais elle présente un décalage de 200meV par rapport à celle-ci ce qui est égale à énergie près à la polarisation V_{DS} de 200mV .

La figure 2.4-b explique cette variation de $T_S(E)$ vis-à-vis du profile de bande d'énergie du canal suivant la variation du potentiel du canal V_{CNT} . Ainsi, pour de faibles valeurs de V_{CNT} (surface I colorée en rouge), la barrière Schottky est absente du côté de la bande de conduction et c'est le niveau d'énergie fixé par la différence entre le bas de la 1^{ère} sous bande de conduction $sbbd_{[1]}$ et le potentiel V_{CNT} qui définit le niveau d'injection des électrons. Ceci fait basculer la fonction de transmission entre les deux valeurs limite 0 (pas de passage d'électrons) et 1 (passage de tous les électrons qui sont présents à la jonction Schottky).

Pour des polarisations plus importantes de V_{CNT} (surface II colorée en vert), la barrière Schottky se crée du côté de la bande de conduction et les électrons peuvent la franchir par effet tunnel. Ceci se traduit par une forme exponentielle de $T_S(E)$. Toute fois, les électrons qui ont une énergie inférieure au potentiel $sbbd_{[1]} - V_{CNT}$ (surface III colorée en bleu) ne franchissent pas la barrière et $T_S(E)$ est égale à 0.

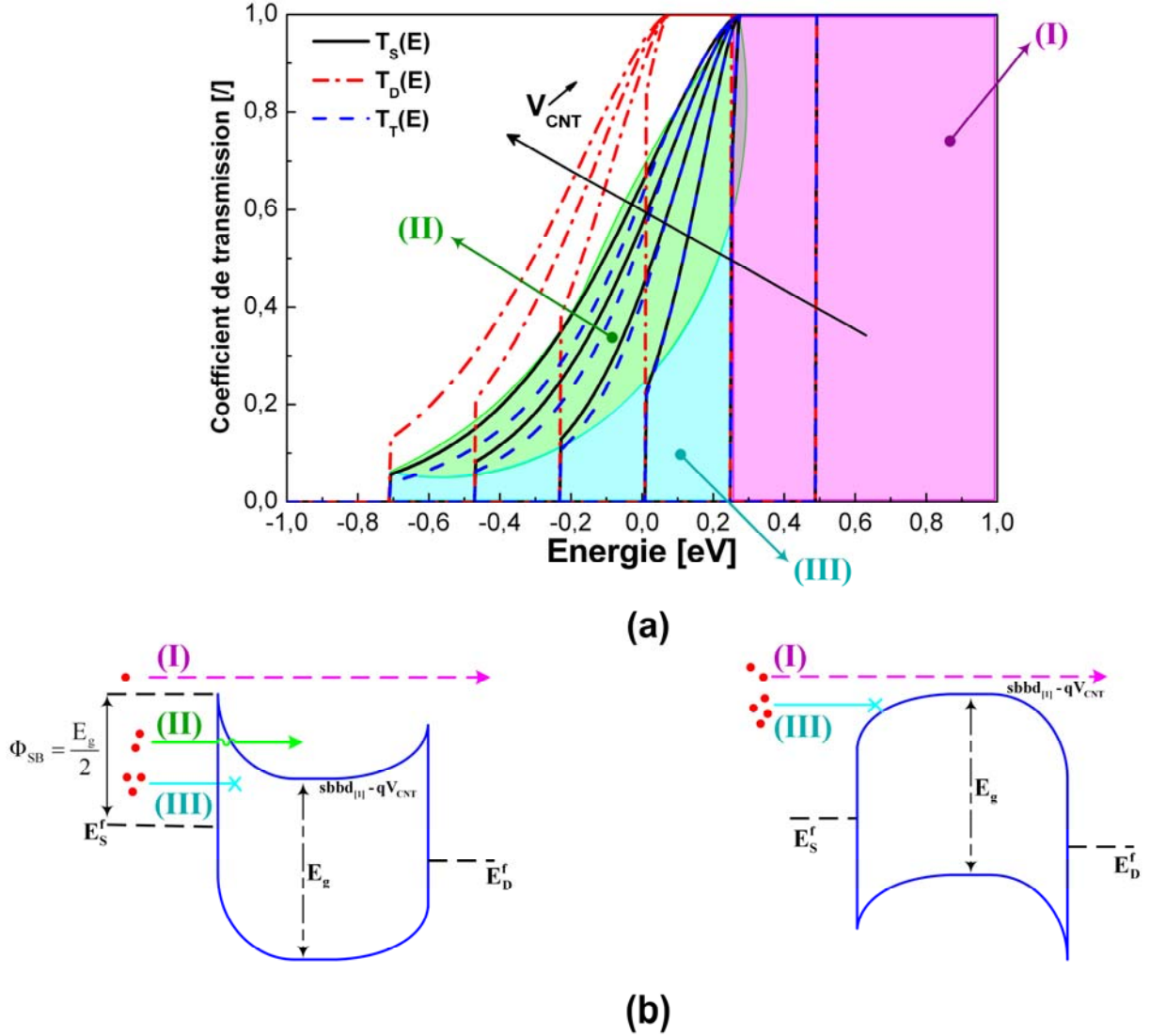


Figure 2.4 - (a) Fonction de transmission globale $T_T(E)$, de source $T_S(E)$ et de drain $T_D(E)$ en fonction de l'énergie des porteurs franchissant par effet tunnel deux barrières Schottky d'hauteur 275meV pour 6 différentes valeurs de V_{CNT} (de -200mV jusqu'à 1V par un pas de 240mV) et à $V_{DS}=200mV$. (b) profile de la 1^{ère} bande d'énergie du canal à faible (droite) et forte (gauche) polarisation V_{CNT} .

1.9 Régimes de polarisation des SB-CNTFET et profils de bande d'énergie

Un changement de la polarisation de la grille ou du drain change le potentiel de canal Φ_f^0 mais fait aussi varier les dimensions (hauteur et largeur) des deux barrières Schottky. D'une façon générale, le profile de bandes d'énergie proche du contact dépend fortement des polarisations V_{GS} et V_{DS} .

La figure 2.5 montre une structure SB-CNTFET en configuration "back-gate" pour différents régimes de polarisations V_{GS} et V_{DS} . Dans cet exemple, seule la première bande d'énergie est représentée.

Essayons d'examiner la variation du profile de bande d'énergie et la forme des barrières Schottky selon la gamme de polarisation V_{GS} et V_{DS} .

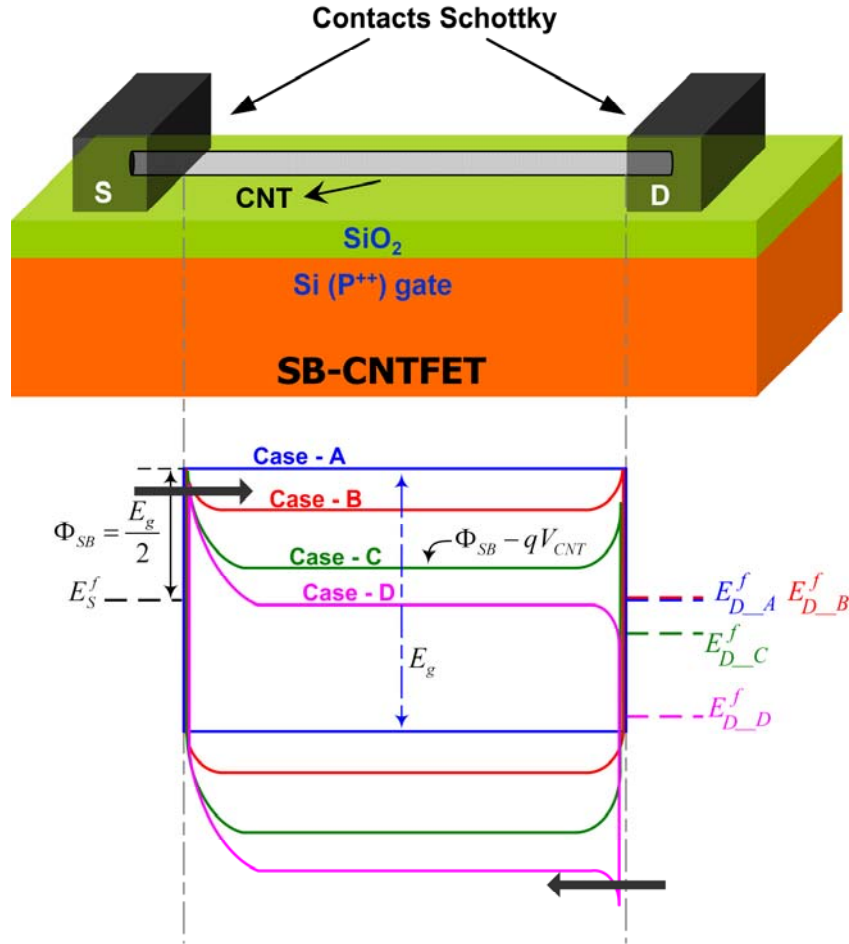


Figure 2.5 - Représentation schématique des bandes d'énergies entre source et drain d'un SB-CNTFET en configuration de grille arrière (en haut) pour différents régimes de polarisation : (Cas A : $V_{GS}=V_{DS}=0$, Cas B : $V_{GS}>0$ $V_{DS}=0$, Cas C : $V_{GS}>V_{DS}>0$ et Cas D : $V_{DS}>V_{GS}>0$) ; seule la 1^{ère} sous bande est représentée.

❖ Cas A : $V_{GS}=0$ et $V_{DS}=0$ (courbe bleue)

Pour ce cas, le composant est non polarisé et il n'y a ni formation de barrière Schottky ni injection de porteurs qui ont des énergies inférieures à la hauteur de la barrière dans le canal.

❖ Cas B : $V_{GS}>0$ et $V_{DS}=0$ (courbe rouge)

Dès l'application d'un potentiel de grille V_{GS} positif, on remarque que la formation des deux barrières Schottky au niveau des jonctions source/nanotube et nanotube/drain.

Idéalement, en l'absence des phénomènes d'interaction de type porteurs/réseau et porteurs/porteurs, le profile de bande d'énergie est symétrique et les fonctions de transmission source et drain sont équivalentes $T_S(E) = T_D(E)$.

On peut alors simplifier la fonction de transmission totale de l'équation 2.1 pour aboutir à l'équation 2.2 :

$$T_T(E) = \frac{T_S(E)}{2 - T_S(E)} \quad (2.2)$$

❖ Cas C : $V_{GS} > V_{DS} > 0$ (courbe verte)

En appliquant un potentiel de drain, on crée un déséquilibre dans le profil de bande d'énergie du transistor. Les porteurs transitant de la source vers le drain ou vis-versa rencontrent deux barrières qu'ils franchissent par effet tunnel. La barrière du côté drain sera décalée par une quantité égale à l'énergie équivalente au potentiel V_{DS} appliqué.

La fonction de transmission totale aura la forme la plus générale c.-à-d. en fonction des deux fonctions de transmission source $T_S(E)$ et drain $T_D(E)$ (équation 2.1).

❖ Cas D : $V_{GS} > 0$ et $V_{GS} < V_{DS}$ (courbe violette)

Pour ce régime de polarisation, on remarque l'effacement de la barrière associée à la bande de conduction côté drain et la formation d'une barrière associée à la bande de valence du côté de la bande de valence. Ainsi, les électrons transitant de la source vers le drain, ne rencontrent qu'une seule barrière qu'ils franchissent par effet tunnel. De façon corolaire, un courant de trou commence à apparaître.

REALITE TECHNOLOGIQUE DE LA FORMATION DES BARRIERES SCHOTTKY

1.10 Nature du métal

Comme il était déjà mentionné dans la section (1-a. i.) de ce deuxième chapitre, les hauteurs des barrières Schottky sont faiblement contrôlées par le phénomène de "pinning" du niveau de Fermi en surface du contact [79] et dépendent fortement de la différence de travail de sortie entre le nanotube de carbone semi-conducteur et le métal. Ainsi, des contacts réalisés avec des métaux dont le travail de sortie est élevé (par exemple le Pd avec un travail d'extraction 5,22eV–5,6eV) donnent lieu à un transport de type P, alors que des contacts avec des métaux de très faible travail de sortie (comme le Gd avec un travail d'extraction 2,9eV) conduisent à un transport de type n. Pour les métaux dont le travail de sortie est intermédiaire (comme le Al avec un travail d'extraction 4,06eV–4,26eV), on obtient un régime de transport ambipolaire incluant à la fois les deux types n et p. La figure 2.6 montre la forme schématique du profil de bande d'énergies dans le canal d'un SB-CNTFET pour trois différents types de métal ; Al, Ti et Pd.

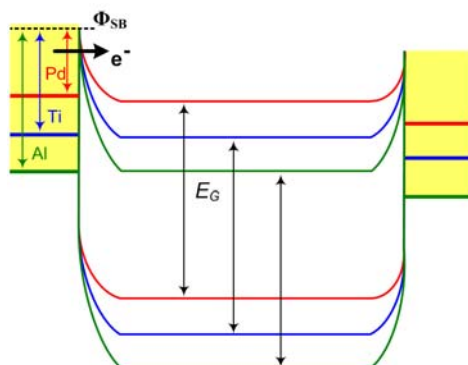


Figure 2.6 - Représentation schématique du profil de bandes d'énergie d'un SB-CNTFET selon trois métaux pour les contacts source et drain : Palladium (Pd), Titane (Ti) et Aluminium (Al).

1.11 Epaisseur d'oxyde effective EOT et permittivité diélectrique

Selon [92], [94],[95], la largeur maximale de la barrière Schottky aux contacts, ne dépend pas seulement de la permittivité de l'oxyde de la grille ϵ_{OX} mais dépend plutôt de l'épaisseur d'oxyde de grille EOT (comme *Equivalent Oxide Thickness*). Cette hypothèse est fautive puisque l'épaisseur de la barrière dépend à la fois de l'EOT et de ϵ_{OX} . D'ailleurs, ce sont ces deux paramètres technologiques qui déterminent le contrôle électrostatique du transistor et conditionnent ainsi la position des bandes d'énergies dans le canal, via l'efficacité de la commande électrostatique par la grille : la barrière Schottky est d'autant plus fine que la permittivité est forte ou que l'épaisseur de l'oxyde est fine [96] ($\epsilon_{SiTiO_3}=175$).

À cette fin, et en essayant toujours d'optimiser les performances des CNTFETs, de nombreux travaux ont fait appel à des oxydes de forte permittivité et de faible épaisseur tel le cas de [33] avec un diélectrique en ZrO_2 de permittivité égale à 25 ou bien [34] avec un diélectrique en HfO_2 de permittivité égale à 11.

En général, l'utilisation d'un isolant de forte permittivité vise à améliorer la transconductance des CNTFETs, d'une part par un contrôle électrostatique plus efficace du potentiel dans le canal et, d'autre part, à tension de grille constante, par diminution de l'épaisseur maximale de la barrière.

1.12 Longueur de la grille

Du fait de la nature fortement balistique du transport électronique dans le canal, une longueur de grille inférieure à 150nm – 200nm n'influence pas sur les performances électriques du SB-CNTFETs et ne modifie pas les dimensions des barrières Schottky. De ce fait, dans le cas où la longueur de la grille est inférieure à ~15nm, l'effet tunnel résonant entre les deux barrières Schottky favorise l'augmentation du courant [97].

1.13 Diamètre du nanotube de carbone

Il a été montré dans [75], [98], [99], [96] que la hauteur de la barrière Schottky dépend du diamètre du nanotube de carbone semi-conducteur. En effet, cette barrière est réduite dans le cas des grands diamètres de nanotube, c'est-à-dire à faible bande interdite.

La figure 2.7 issue de [100] représente la variation du courant I_{on} et de la hauteur de la barrière Schottky en fonction du diamètre du nanotube selon trois types de métaux pour les contacts source et drain. Les traits représentent des courbes de tendance pour les valeurs mesurées (en symboles).

Sur cette courbe on remarque qu'un contact formé entre un métal en Pd et un nanotube de carbone de diamètre supérieure à $\sim 1,2\text{nm}$ (cercle en noir) aboutisse à une très faible barrière Schottky et à un bon niveau du courant I_{ON} .

Ceci est expliqué d'avantage sur la figure 2.8 qui montre la variation du profil de bande d'énergie dans le canal d'un SB-CNTFET pour trois différents diamètres de nanotube.

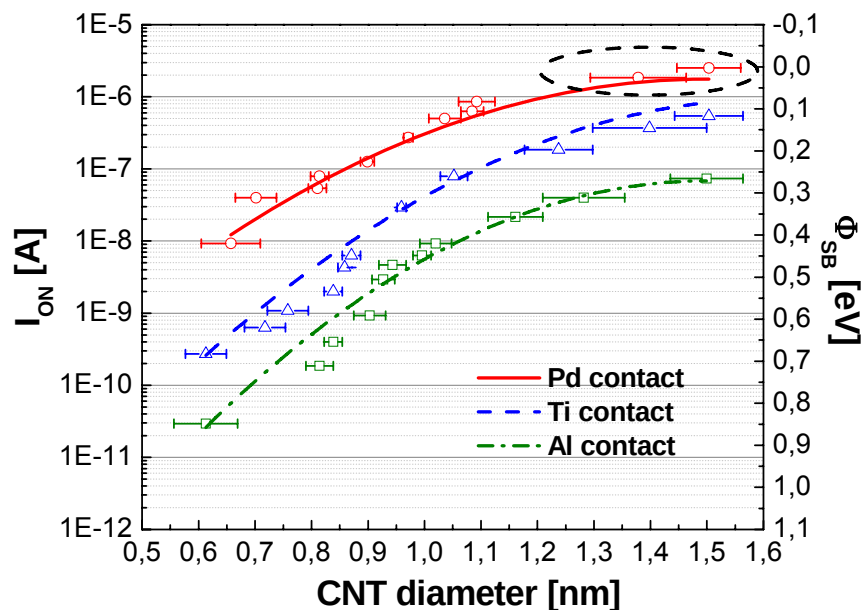


Figure 2.7 - Courant I_{ON} et hauteur de la barrière Schottky en fonction du diamètre de nanotube pour 3 métaux : Palladium (Pd), Titane (Ti) et Aluminium (Al) [100].

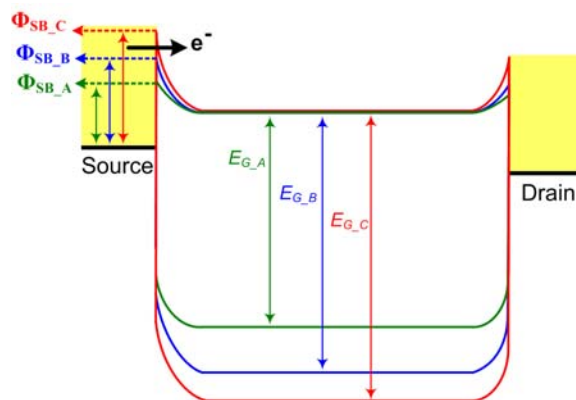


Figure 2.8 - Représentation schématique de la variation du profil de bandes d'énergie dans le canal d'un SB-CNTFET selon la bande interdite du nanotube avec $E_{G_A} < E_{G_B} < E_{G_C}$.

Autre que ces paramètres matériaux et géométriques, d'autres paramètres technologiques issus des procédés de fabrication peuvent influencer les dimensions des barrières Schottky comme par exemple la préparation de la surface du dépôt des nanotubes et les conditions de recuit [75], [101], [8], [102].

Le tableau 2.2 suivant illustre quelques travaux où différents diamètres de nanotube de carbone, différents longueurs de canal et différents type d'oxyde ont été utilisés afin de réduire les barrières Schottky et aboutir à des performances optimales des CNTFETs.

Dans [103], en utilisant le même diamètre du nanotube (1,5nm), la même longueur de la grille (5nm) et la même épaisseur de deux différents oxydes (SiO_2 et ZrO_2) pour deux CNTFETs, on remarque une nette amélioration dans la transconductance qui passe de $28\mu\text{S}$ à $32\mu\text{S}$ respectivement mais au détriment de la fréquence de coupure qui diminue d'un facteur 5.

Tableau 2.2 -*Quelques performances des CNTFETs dans la littérature*

Référence	Diamètre du nanotube (nm)	Longueur de la grille (nm)	Epaisseur de l'oxyde (nm)	Diélectrique et permittivité	Transconductance (μS)	Fréquence de coupure intrinsèque (THz)
[96]	1,0	1800	20	SrTiO_3 (>150)	9	
[104]	1,7	50	8	HfO_2 (18–25)	30	
[105]	0,7–1,1	18	12	SiO_2 (3,9)	3,5	
[106]	1,7	50	8	HfO_2 (18–25)	26	1.8
[107]	1,0	30	3	ZrO_2 (25–40)		2.5
[103]	1,5	5	2	ZrO_2 (25–40)	32	1.7
[103]	1,5	5	2	SiO_2 (3,9)	28	8.9

LES MODELES COMPACTS DES CNTFETs : ETAT DE L'ART

Pour évaluer les performances des CNTFETs et prévoir leur comportement dans des architectures de circuit complexes intégrant un nombre important de ces transistors (supérieure à 50 transistors), des modèles analytiques dits compacts représentent un outil standard pour les concepteurs de circuit. Ces modèles doivent prédire de manière fidèle les phénomènes physiques qui apparaissent dans ces composants en utilisant des équations analytiques qui garantissent un temps de simulation raisonnable pour des architectures à haute densité d'intégration.

Actuellement, la littérature présente quelques modèles compacts des transistors à nanotube de carbone qui semblent être réellement adaptés à des simulations de type circuit. Par ailleurs, les modèles de Natori et al. [108] et de Guo et al. [109] incluent un calcul d'intégrale difficile

à implémenter dans un simulateur circuit. C'est pour cette raison que dans le modèle historique de Raychowdhury et al. [110] des fonctions numériques d'ajustement polynomiales ont été utilisées afin de réduire le temps de simulation mais au détriment du sens physique du modèle.

Le modèle de Tom J. Kazmierski et al. [111], de l'université de Southampton est inspiré de cette idée. Il est basé sur une méthode d'interpolation en « splines » qui consiste en une fonction définie par morceaux par des polynômes au 3^{ème} ordre [112]. A travers de cette méthode d'interpolation, Tom J. Kazmierski et al. ont établi une expression numérique pour le potentiel de canal du transistor CNTFET. Ce modèle inclut le phénomène d'interaction des phonons acoustiques pour simuler un régime de transport non-balistique. Ceci nécessite le passage à un ordre supérieur dans les approximations (polynôme en 4^{ème} ordre), ce qui ralentisse le temps de simulation de 16%. Cependant, l'influence des barrières Schottky n'est pas modélisée dans ce travail.

D'autre part, le CNTFET modélisée par Dweyer et al. [113] présente des caractéristiques courant-tension qui ne montrent pas un transport balistique pour des longueurs de nanotube de carbone de 1 μ m à 3 μ m. Ceci est dû à la faible valeur calculée de la mobilité des porteurs en comparaison avec celle qui a été démontrée dans des configurations en "back-gate" [114].

Certains modèles [108], [109], [113] ne permettent pas non plus de simuler l'effet de couplage entre plusieurs nanotubes mis en parallèle pour former le canal.

Malgré leurs limitations, ces modèles historiques ont servi de point de départ pour l'élaboration d'autres modèles compacts plus complets. Le tableau 2.3 cite quelques exemples issus dans la littérature.

Tableau 2.3 -Etat de l'art des modèles compact des CNTFETs dans la littérature

Référence	Affiliation/année	Description
[115]	Université de Stanford/2007	- Simulation de plusieurs chiralités et de diamètres de nanotube de carbone (semiconducteurs/métalliques), - Effet de confinement quantique dans les deux directions, longitudinales et transversales, - Effet d'interaction des phonons optiques et acoustiques dans le canal, - Possibilité d'utilisation de plusieurs nanotubes en parallèle pour former le canal, - Effet de couplage entre les nanotubes voisins formant le canal, - Implémentation d'un réseau de transcapacité pour simuler le comportement dynamique servant à fournir une réponse en temps réel.
[116]	Université de Stanford/2007	Le modèle est une extension du premier modèle avec intégration des effets parasites tels que : - Interaction élastique des porteurs dans le canal, - Résistances d'accès source et drain, - Barrières Schottky, - Capacité de la grille.
[117]	Université d'Arizona/2009	Modèle compact qui se base sur des approximations analytiques pour le calcul de potentiel de surface sans couplage avec le calcul de la charge dans le canal. Le modèle inclus les paramètres extrinsèques comme les capacités parasites. Il intègre aussi l'influence des barrières Schottky (WKB+approximation triangulaire).
[118]	Université de Stanford/ Toshiba America Research Inc., San Jose, CA/2007	Le modèle intègre le calcul analytique de la charge dans le canal. Il inclut aussi l'influence de la capacité entre niveaux de métal (<i>Fringe capacitance</i>).
[119] [120] [68]	Université de Bordeaux – Laboratoire IMS.	Le modèle présente une méthodologie de calcul analytique de la charge au-dessous et au-dessus de seuil. Deux autres versions complémentaires ont été publiées et qui font intégrer deux phénomènes au modèle de base : l'effet d'interaction des phonons et l'effet tunnel.
[111]	Université de Southampton, UK - 2010	Le modèle est basé sur une méthode d'interpolation en utilisant des fonctions de « splines » au 3^{ème} ordre. Ce modèle inclut le phénomène d'interaction des phonons acoustiques pour simuler un régime de transport non-balistique en passant à un ordre supérieur dans les approximations utilisées (polynôme en 4^{ème} ordre). Le modèle ne prend pas en compte l'influence des barrières Schottky.

MODELISATION D'UNE DIODE A NANOTUBE A CONTACT SCHOTTKY

Dans cette partie, à des fins de modélisation compacte, nous introduisons les approximations utilisées pour modéliser une barrière Schottky formée entre un nanotube de carbone semiconducteur et un contact métallique. Pour cela, nous commençons par expliquer la méthode semi-classique WKB (issue des noms des physiciens Wentzel, Kramers et Brillouin) et évaluer son utilisation dans la modélisation compacte. Ensuite, la fonction de transmission ainsi calculée est utilisée avec l'équation de Landauer pour aboutir à une première expression analytique du courant tunnel dans une structure de diode à nanotube de carbone.

1.14 La méthode Wentzel–Kramers–Brillouin "WKB" dans la modélisation compacte

1.14.1 L'approximation WKB

En physique quantique, lorsqu'une particule traverse une barrière de potentiel, on peut parler alors d'une fonction de transmission non nulle. Ceci est à l'origine de la notion d'effet tunnel.

Pour calculer cette fonction de transmission tout en admettant une forme quelconque de la barrière de potentiel, "il suffit" de résoudre l'équation de Schrödinger. L'une des méthodes les plus utilisées dans la résolution de cette équation est l'approximation WKB. [121], [122], [123].

Considérant l'équation de Schrödinger indépendante du temps et unidimensionnelle :

$$\left(-\frac{\hbar^2}{2m^*} \frac{\partial^2}{\partial x^2} + W(x) - E \right) \Psi(x) = 0, \quad (2.3)$$

avec $W(x)$ est le profil de la barrière de potentiel, E et m^* sont l'énergie du porteur et sa masse effective respectivement.

En admettant que la fonction d'onde est de la forme :

$$\Psi(x) = R(x) \exp\left(\pm i \frac{S(x)}{\hbar}\right), \quad (2.4)$$

avec $S(x) = 2m^* \sqrt{E - W(x)}$.

On peut trouver les solutions de l'équation (2.3) pour la partie réelle :

$$\frac{\partial^2 R}{\partial x^2} - \frac{R}{\hbar^2} \left(\frac{\partial S}{\partial x} \right)^2 + \frac{2m^* (E - W(x))}{\hbar^2} R = 0, \quad (2.5)$$

et pour la partie imaginaire :

$$R \frac{\partial^2 S}{\partial x^2} + 2 \frac{\partial R}{\partial x} \frac{\partial S}{\partial x} = 0, \quad (2.6)$$

L'équation (2.6) peut être résolue avec :

$$\frac{\partial S}{\partial x} = \frac{C}{R^2}, \quad (2.7)$$

avec C est une constante

En remplaçant (2.7) dans (2.5), on obtient :

$$\frac{1}{R} \frac{\partial^2 R}{\partial x^2} - \frac{1}{\hbar^2} \left(\frac{\partial S}{\partial x} \right)^2 + \frac{2m^*(E - W(x))}{\hbar^2} = 0, \quad (2.8)$$

et avec l'approximation :

$$\frac{1}{R} \frac{\partial^2 R}{\partial x^2} - \frac{1}{\hbar^2} \left(\frac{\partial S}{\partial x} \right)^2 + \frac{2m^*(E - W(x))}{\hbar^2} = 0, \quad (2.9)$$

on peut écrire :

$$S(x) \approx \int \sqrt{2m^*(E - W(x))} dx, \quad (2.10)$$

Ainsi l'expression de la fonction d'onde (2.4) devient :

$$\Psi(x) = R(x) \exp\left(\pm \frac{i}{\hbar} \int \sqrt{2m^*(E - W(x))} dx\right), \quad (2.11)$$

Si on considère maintenant que la barrière de potentiel se situe entre deux points de retour classiques x_1 et x_2 ($x_2 > x_1$) avec Ψ_1 est l'onde incidente et Ψ_2 est l'onde transmise :

$$\Psi_1(x \leq x_1) \sim \exp\left(\frac{i}{\hbar} \int_{-\infty}^{x_1} \sqrt{2m^*(E - W(x'))} dx'\right), \quad (2.12)$$

$$\Psi_2(x \leq x_2) \sim \exp\left(\frac{i}{\hbar} \int_{-\infty}^{x_2} \sqrt{2m^*(E - W(x'))} dx'\right), \quad (2.13)$$

et comme la fonction de transmission $T(E)$ est proportionnelle au rapport des amplitudes de l'onde transmise par l'onde incidente $|\Psi_2(x_2)/\Psi_1(x_1)|^2$ alors on aura :

$$T(E) = \frac{\left| \exp\left(\frac{i}{\hbar} \int_{-\infty}^{x_2} \sqrt{2m^*(E - W(x'))} dx'\right) \right|^2}{\left| \exp\left(\frac{i}{\hbar} \int_{-\infty}^{x_1} \sqrt{2m^*(E - W(x'))} dx'\right) \right|^2} = \left| \exp\left(\frac{i}{\hbar} \int_{x_1}^{x_2} \sqrt{2m^*(E - W(x'))} dx'\right) \right|^2, \quad (2.14)$$

et enfin :

$$T(E) = \exp \left(-\frac{2}{\hbar} \int_{x_1}^{x_2} \sqrt{2m^* (W(x') - E)} dx' \right) \quad (2.15)$$

D'après [122], cette approximation est valable pour :

$$m^* \hbar \frac{dW(x)}{dx} \ll \sqrt{2m^* (W(x) - E)}^3 \quad (2.16)$$

Pour les besoins de modélisation compacte, il est nécessaire de trouver une forme analytique pour l'intégrale de l'équation (2.14). Pour cela, on procède par l'approximation du profil du potentiel par une forme simple et qui s'avère très simplificatrice du calcul [92], [93].

1.14.2 Forme de la barrière de potentiel

D'après [124] et comme il est illustré par la figure 2.9 suivante, la forme du potentiel de la barrière Schottky à l'interface nanotube/métal du contact peut être approximée par une forme exponentielle.

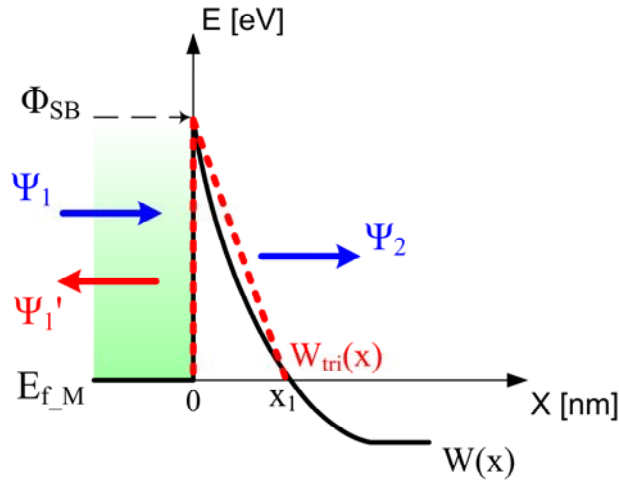


Figure 2.9 - Barrière Schottky et ondes incidente Ψ_1 , transmise Ψ_2 et réfléchie Ψ_3 . L'approximation triangulaire est schématisée en rouge.

Ainsi le profil de la barrière de potentiel aura pour expression :

$$W(x) = \Phi_{SB} - qV_{CNT} \left[1 - \exp \left(\frac{-2x}{L} \right) \right], \quad (2.17)$$

avec Φ_{SB} est la hauteur de la barrière Schottky repérée par rapport au niveau de Fermi source, V_{CNT} est le potentiel de canal du nanotube et L est la longueur du canal.

Cependant cette expression s'avère encore trop compliquée pour établir une expression analytique simple pour le courant tunnel.

Pour cette raison, [92], [93] ont rapproché le profil de la barrière de potentiel par une forme triangulaire (courbe rouge sur la figure 2.9)

Dans ce cas, comme la variation du profil du potentiel est linéaire, on parle alors du régime tunnel de FOWLER-NORDHEIM et ce dernier peut s'écrire sous la forme :

$$W_{\text{tri}}(x) = \Phi_{SB} - qE_{\text{elec}}x, \quad (2.18)$$

avec E_{elec} le champ électrique dans la jonction.*

La fonction de transmission (2.14) devient :

$$T(E) = \exp \left(-\frac{2}{\hbar} \int_0^{x_1} \sqrt{2m^* (\Phi_{SB} - qE_{\text{elec}}x - E)} dx \right) \quad (2.19)$$

Après intégration, on aura la forme analytique :

$$T(E) = \exp \left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{\text{elec}}} (\Phi_{SB} - E)^{3/2} \right), \quad (2.20)$$

1.15 L'équation de Landauer

La formule de Landauer [125] est utilisée pour calculer un courant dans les structures nanométriques telles que les transistors à nano-fils de silicium ou bien les transistors à nanotube de carbone comme pour notre cas. Cette formule s'applique lorsqu'on dispose de deux réservoirs métalliques reliés entre eux par un canal monodimensionnel caractérisé par un transport balistique [87] [69] :

$$I_{DS} = \frac{2e}{2\pi} M \left[\int_0^\infty v(k) f_S(k) T_S(E) dk - \int_{-\infty}^0 v(k) f_D(k) T_D(E) dk \right], \quad (2.21)$$

avec :

- $\frac{2}{2\pi}$ est la densité d'états en 1D dans l'espace réciproque (2 pour le spin et 2π pour le "volume" de la case quantique en 1D),
- M est le nombre de modes transverses occupés (générés par la présence d'un potentiel transverse au déplacement des électrons [87]),
- $v(k)$ est la vitesse des porteurs,
- f_S et f_D sont les fonctions de distribution de la source et du drain respectivement,
- $T_S(E)$ est la fonction de transmission d'un porteur de la source vers le nanotube,
- $T_D(E)$ la fonction de transmission d'un porteur du drain vers le nanotube.

Cette expression prend en compte le remplissage des états $+k$ (courant créé par les électrons provenant de la source) et des états $-k$ (courant créé par les électrons provenant du drain).

Avec la relation qui lie le vecteur d'onde k à l'énergie E , $v(k) = \frac{1}{\hbar} \frac{dE}{dk}$, les fonctions de distributions $f_S(k)$ et $f_D(k)$ deviennent les distributions de Fermi correspondantes et le courant de la formule de Landauer (2.21) s'écrit :

$$I_{DS} = \frac{2e}{h} M \left[\int_0^\infty f_S(E) T_S(E) dE - \int_0^\infty f_D(E) T_D(E) dE \right] \quad (2.22)$$

Comme les différentes sous-bandes contribuent éventuellement au courant du drain et comme le nombre de mode transverse M est égal à 2 dans le cas de nanotube de carbone (c'est-à-dire les sous-bandes doublement dégénérées [109]), l'équation de Landauer (2.22) devient :

$$I_{DS} = \frac{2e}{h} M \sum_{p=1}^{nb_sbbd} \left[\int_{sbbd[p]}^\infty f_S(E) T_S(E) dE - \int_{sbbd[p]}^\infty f_D(E) T_D(E) dE \right], \quad (2.23)$$

$$I_{DS} = \frac{4e}{h} \sum_{p=1}^{nb_sbbd} \left[\int_{sbbd[p]-V_{CNT\ S,D}}^\infty \frac{1}{1 + \exp\left(\frac{E - e(V_{CNT} - V_S)}{k_B T}\right)} \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB} - E - qV_S)^{3/2}\right) dE \right. \\ \left. - \int_{sbbd[p]-V_{CNT\ S,D}}^\infty \frac{1}{1 + \exp\left(\frac{E - e(V_{CNT} - V_D)}{k_B T}\right)} \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB} - E - qV_D)^{3/2}\right) dE \right] \quad (2.23bis)$$

Dans le cas d'une structure de diode à nanotube de carbone, le contact entre la source et le nanotube intrinsèque est de type Schottky alors que le contact entre le drain et le nanotube est de type ohmique. Le courant dans la jonction source/nanotube s'écrit alors :

$$I_S = \frac{4e}{h} \sum_{p=1}^{nb_sbbd} \left[\int_{sbbd[p]}^\infty \frac{1}{1 + \exp\left(\frac{E - e(V_{CNT} - V_S)}{k_B T}\right)} \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB} - E - qV_S)^{3/2}\right) dE \right] \quad (2.24)$$

L'expression (2.24) n'est pas intégrable directement. Pour cette raison, la méthode de calcul est basée sur des approximations et des développements limités aboutissant à une expression analytique convenant à la l'établissement d'un modèle compact pour le courant tunnel. Cette méthode est détaillée ci-dessous.

1.16 Formulation analytique du courant tunnel

Pour résoudre l'intégrale de l'équation (2.22), des solutions partielles doivent être considérées selon la distribution de Fermi source $f_S(E)$ et selon la variation de la fonction de transmission source $T_S(E)$ pour des énergies de porteurs données.

La figure 2.10 montre que la fonction de transmission $T_S(E)$ varie plus rapidement que le potentiel du nanotube V_{CNT} . Ceci justifie de dissocier deux régimes de polarisation ; régime de faible polarisation et régime de forte polarisation.

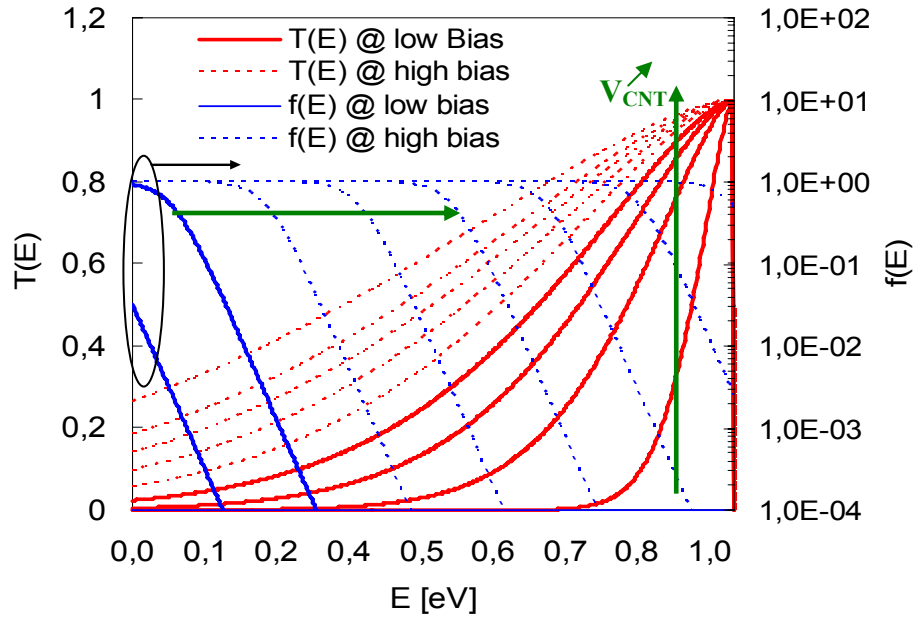


Figure 2.10 - Variation de la distribution de Fermi de la source $f_S(E)$ et de la fonction de transmission $T_S(E)$ en fonction de l'énergie E des porteurs pour différents potentiels de canal V_{CNT} .

1.16.1 Régime de faible polarisation (sous le seuil)

Comme il est montré sur la figure précédente 2.10 ci-dessus, la distribution de Fermi source $f_S(E)$ varie exponentiellement dans la gamme de faible polarisation (courbes bleues en traits continus) et a l'expression (2.25) suivante en prenant comme référence des énergies le niveau de Fermi source :

$$f_{S-1}(E) \approx \frac{1}{\exp\left(\frac{E - eV_{CNT}}{k_B T}\right)} \quad (2.25)$$

D'autre part, le facteur $(\Phi_{SB} - E)^{3/2}$ dans la fonction de transmission $T_S(E)$ de l'équation 2.20 est approximé par son développement en série de Taylor au 1^{er} ordre au voisinage de 0.

Ainsi l'équation (2.20) devient :

$$T_{S-1}(E) = \exp(a_0 + a_1 E), \quad (2.26)$$

avec a_0 et a_1 les coefficients issus de ce développement de Taylor :

$$a_0 = \frac{-4\sqrt{2m^*}}{3\hbar e E_{elec}} (\Phi_{SB})^{3/2}, \quad (2.27)$$

$$a_1 = \frac{-4\sqrt{2m^*}}{2\hbar e E_{elec}} \frac{(\Phi_{SB})^{3/2}}{\Phi_{SB}}, \quad (2.27bis)$$

En substituant ces deux approximations [(2.23) et (2.24)] dans l'intégrale (2.22), et en admettant la contribution d'une seule sous-bande, on obtient une forme directement intégrable comme suit :

$$I_1 = \frac{4e}{h} \left[\int_{sbbd[1]}^{\infty} f_{S-1}(E) \times T_{S-1}(E) dE \right], \quad (2.28)$$

$$I_1 = \frac{4e}{h} \left[\int_{sbbd[1]}^{\infty} \frac{1}{\exp\left(\frac{E - eV_{CNT}}{k_B T}\right)} \exp(a_0 + a_1 E) dE \right] \quad (2.28bis)$$

$$= \frac{k_B T \exp(a_0 - a_1 sbbd)}{(a_1 k_B T + 1) \exp\left(\frac{sbbd[1] - qV_{CNT}}{k_B T}\right)}$$

La figure 2.11 ci-dessous montre une comparaison des deux résultats numérique (2.24) et analytique (2.28bis) du courant tunnel normalisé par $\frac{4e}{h}$ dans la jonction Schottky. Un bon accord est observé entre les deux courbes analytiques et numériques sous le seuil ce qui permet de valider les méthodes d'approximation.

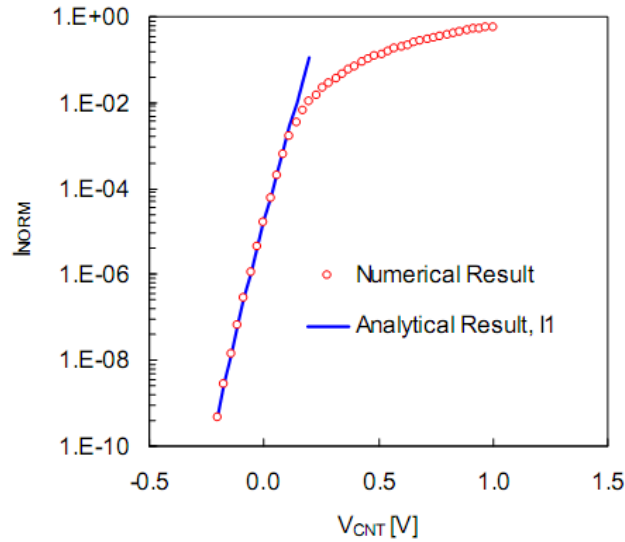


Figure 2.11 - Courant tunnel à travers une barrière Schottky ; comparaison entre résultat analytique (courbe bleue) et résultat numérique (courbe rouge) dans la gamme de faible polarisation en V_{CNT} .

1.16.2 Régime de forte polarisation (au dessus du seuil)

Pour des fortes polarisations de grille c'est-à-dire au-dessus du seuil, il y a besoin d'une bande d'énergie supplémentaire nommée Δ pour résoudre l'intégral de l'équation (2.24) de manière graphique comme il est montré sur la figure 2.12.

$$\Delta = -\frac{c_1 e V_{CNT} + c_0}{c_1}, \quad (2.29)$$

avec c_0 et c_1 les coefficients du développement de $f_S(E)$ en série de Taylor au 1^{er} ordre et au voisinage de V_{CNT} exprimés par :

$$c_0 = \frac{1}{2} \quad \text{et} \quad c_1 = \frac{1}{4} \frac{1}{k_B T} \quad (2.30)$$

Ainsi en admettant seulement la contribution de la première sous-bande, on peut écrire l'intégrale de l'équation (2.24) :

$$I_2 = \frac{4e}{h} \left[\int_{sbbd[1]}^{\Delta} f_{S_{2a}}(E) T_{S_{2a}}(E) dE + \int_{\Delta}^{\infty} f_{S_{2b}}(E) T_{S_{2b}}(E) dE \right] \\ = \frac{4e}{h} \left[\int_{sbbd[1]}^{\Delta} \frac{1}{1 + \exp\left(\frac{E - eV_{CNT}}{k_B T}\right)} \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB} - E)^{3/2}\right) dE \right. \\ \left. + \int_{\Delta}^{\infty} \frac{1}{1 + \exp\left(\frac{E - eV_{CNT}}{k_B T}\right)} \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB} - E)^{3/2}\right) dE \right] \quad (2.31)$$

$$I_2 = \frac{4e}{h} [I_{2a} + I_{2b}] \quad (2.32)$$

Sur la figure 2.12, la bande d'énergie supplémentaire Δ subdivise l'air de la surface limitée par la courbe noire du produit de la distribution de Fermi source $f_S(E)$ et de la fonction de transmission $T_S(E)$ en deux sous-surfaces qui correspondent à deux gammes de faibles et forte énergies. Ainsi, calculer ces deux surfaces revient à trouver la quantité d'intégrale de l'équation (2.24) analytiquement.

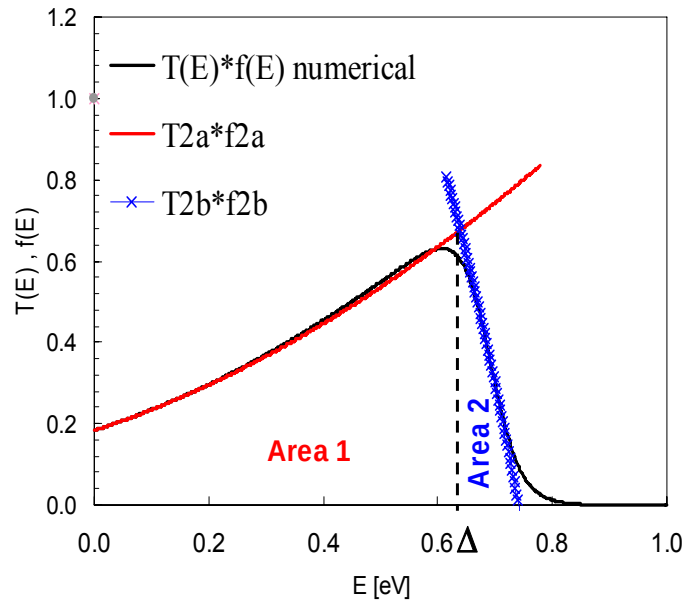


Figure 2.12 - Approximation pour forte polarisation en V_{CNT} du produit de la fonction de transmission avec la distribution de Fermi $f(E)$.

1.16.2.1 Surface 1 : faibles énergies

Dans cette gamme de faibles énergies, la distribution de Fermi $f_S(E)$ évolue de manière constante et elle est supposée égale à 1.

$$f_{S_{2a}}(E) = 1, \quad (2.33)$$

alors qu'on effectue un développement en série de Taylor de 2^{ème} ordre au voisinage de 0 pour la fonction de transmission $T_S(E)$ pour avoir :

$$T_{S_2a}(E) = b_0 + b_1 E + b_2 E^2 \quad (2.34)$$

avec b_0, b_1, b_2 sont les coefficients issus de ce développement de Taylor :

$$b_0 = \exp\left(C\Phi_{SB}^{3/2}\right) \quad , \quad b_1 = -\frac{3}{2} \frac{\exp\left(C\Phi_{SB}^{3/2}\right) C\Phi_{SB}^{3/2}}{\Phi_{SB}}$$

$$\text{et } b_2 = \frac{3C}{8} \frac{\exp\left(C\Phi_{SB}^{3/2}\right) \left(\Phi_{SB}^{3/2} + 3C\Phi_{SB}^3\right)}{\Phi_{SB}^2}$$

$$\text{avec } C = \frac{-4\sqrt{2m^*}}{3\hbar e E_{elec}}$$

Le produit de ces deux approximations [(2.33) et (2.34)] donne la partie de la courbe noire qui délimite l'air de la surface 1 sur la figure 2.12 ce qui nous permet de les remplacer dans la première intégrale de l'équation (2.31). Par conséquent et en admettant la contribution d'une seule sous-bande, on aura une forme directement intégrable de la première intégrale de l'équation (2.31) comme suit :

$$\begin{aligned} I_{2a} &= \frac{4e}{h} \left[\int_{sbbd[1]}^{\Delta} (b_0 + b_1 E + b_2 E^2) dE \right] \\ &= \frac{4e}{h} \left[\left(b_0 \Delta + \frac{1}{2} b_1 \Delta^2 + \frac{1}{3} b_2 \Delta^3 \right) - \left(b_0 sbbd[1] + \frac{1}{2} b_1 sbbd[1]^2 + \frac{1}{3} b_2 sbbd[1]^3 \right) \right] \end{aligned} \quad (2.35)$$

1.16.2.2 Surface 2 : fortes énergies

Pour la gamme de fortes énergies, on effectue le développement de $T_S(E)$ en série de Taylor au 1^{er} ordre au voisinage de V_{CNT} :

$$T_{S_2b}(E) = d_0 + d_1(E - qV_{CNT}) + d_2(E - eV_{CNT})^2, \quad (2.36)$$

avec d_0, d_1, d_2 sont les coefficients issus de ce développement de Taylor :

$$d_0 = \exp(\xi) \quad , \quad d_1 = \frac{3}{2} \frac{d_0 \xi}{eV_{CNT} - \Phi_{SB}}$$

$$\text{et } d_2 = \frac{3}{8} \frac{\exp\left(\xi + C\left(-\xi^{3/2} - 3C\Phi_{SB}^3 + 9CeV_{CNT}\left(\Phi_{SB}^2 - \Phi_{SB}eV_{CNT} + \frac{1}{3}e^2V_{CNT}^2\right)\right)\right)}{(eV_{CNT} - \Phi_{SB})^2}$$

$$\text{avec } \xi = C(\Phi_{SB} - eV_{CNT})^{3/2}$$

On effectue aussi le développement de $f_S(E)$ en série de Taylor au 1^{er} ordre au voisinage de V_{CNT} :

$$f_{S_{2b}}(E) = \frac{1}{2} - \frac{1}{4} \frac{1}{k_B T} (E - eV_{CNT}) \quad (2.37)$$

De même, le produit de ces deux approximations [(2.36) et (2.37)] donne la partie de la courbe noire qui délimite l'air de la surface 2 sur la figure 2.12 ce qui nous permet de les remplacer dans la deuxième intégrale de l'équation (2.31). Par conséquence et en admettant la contribution d'une seule sous-bande, on aura une forme directement intégrable de la deuxième intégrale de l'équation (2.31) comme suit :

$$\begin{aligned} I_{2b} &= \frac{4e}{h} \left[\int_{\Delta}^{\infty} \left(\frac{1}{2} - \frac{1}{4} \frac{1}{k_B T} (E - eV_{CNT}) \right) (b_0 + b_1 E + b_2 E^2) dE \right] \\ &= \frac{4e}{h} \left[\left(\frac{1}{2} + \frac{1}{4} \frac{eV_{CNT}}{k_B T} \right) (d_0 + d_1) \Delta + \frac{1}{2} \left(\left(\frac{1}{2} + \frac{1}{4} \frac{eV_G}{k_B T} \right) d_1 - \frac{1}{4} \frac{d_0 - d_1 eV_G}{k_B T} \right) \Delta^2 - \frac{1}{12} \frac{d_1 \Delta^3}{k_B T} \right] \end{aligned} \quad (2.38)$$

De cette façon on obtient une solution analytique pour toute la gamme des énergies à forte polarisation de grille en sommant les deux résultats analytiques des équations [(2.35) + (2.38)] comme il est montré sur la figure 2.13 ci-dessous. Un bon accord est observé entre le résultat numérique et le résultat analytique au dessus de seuil.

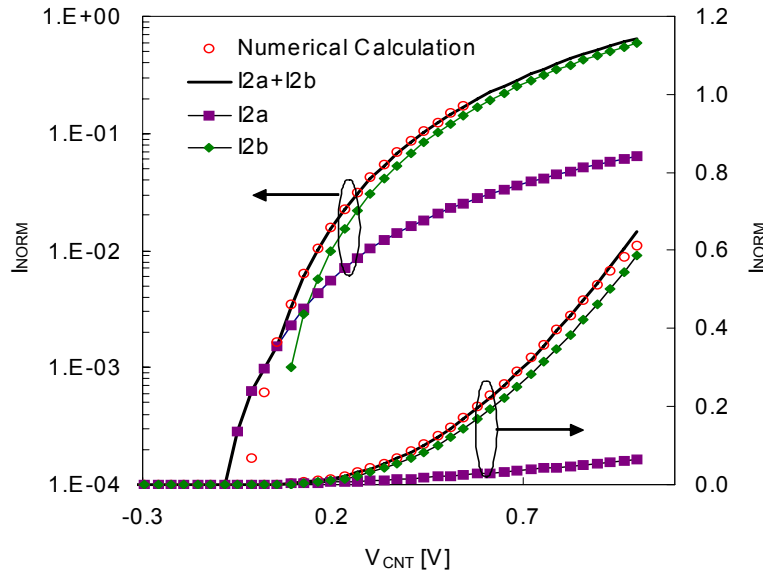


Figure 2.13 - Courant tunnel à travers une barrière Schottky ; comparaison (en échelle linéaire et logarithmique) de la somme ($I_{2a}+I_{2b}$: courbe noire) des deux composantes du courant tunnel à faible (I_{2a} : trait avec carrés violets) et à forte énergie (I_{2b} : traits avec losanges verts) avec le résultat numérique (cercles rouges) dans la gamme de forte polarisation en V_{CNT} .

1.16.3 Solution analytique complète

Pour avoir une solution analytique complète du courant tunnel Schottky, une fonction de lissage (ou *Smoothing function* en appellation anglo-saxonne) f_{SMO} est utilisée par la suite pour lier les deux solutions analytiques partielles (I_1 et $I_{2a}+I_{2b}$). C'est une technique usuelle en modélisation compacte et elle a essentiellement pour rôle d'assurer à la fois une bonne convergence et bonne précision du modèle numérique final.

Dans notre cas, comme le montre la figure 2.14, cette fonction de lissage est égale à 1 lorsque la solution analytique [I_1 ou $I_2=I_{2a} + I_{2b}$] correspond à l'intégration numérique de l'équation (2.24) et 0 ailleurs c.-à-d. à l'extérieur de la plage de validité de la solution.

Elle a une expression mathématique proche de celle de la distribution de Fermi :

$$f_{SMO} = \frac{1}{1 + \exp\left(\frac{eV_{CNT} - \Phi_{SB}}{0.47k_B T}\right)} \quad (2.39)$$

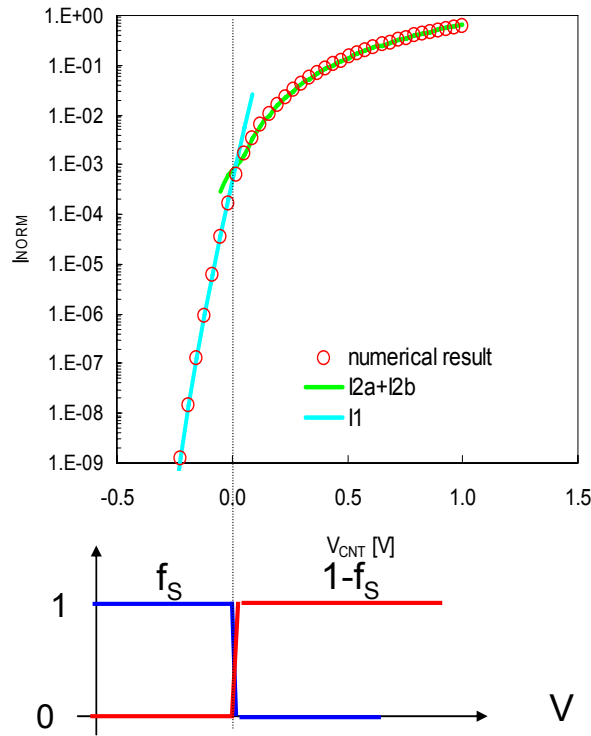


Figure 2.14 - Solution complète par fonction de lissage f_{SMO} .

Elle s'applique aux deux solutions analytiques partielles I_1 et I_2 pour aboutir la solution analytique complète rapprochée de l'équation 2.24 comme suit :

$$I_S = I_1 f_{SMO} + (I_{2a} + I_{2b})(1 - f_{SMO}) \quad (2.40)$$

La figure 2.15 suivante montre le très bon accord entre cette solution complète et le résultat de la simulation numérique de l'équation 2.24 et ce pour une large gamme de polarisation en V_{CNT} [-0.3V $\rightarrow$ 1V].

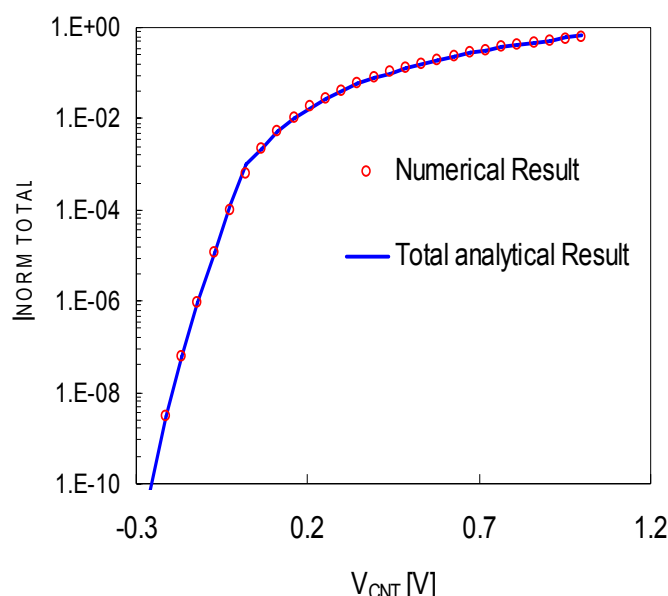


Figure 2.15 - Courant tunnel normalisé dans une barrière Schottky : comparaison entre le résultat de la solution analytique et celui de la simulation numérique pour $\Phi_{SB}=0.275\text{eV}$, $V_{fb}=0\text{V}$ et $k_B T=26\text{meV}$.

Les résultats de la figure sont fournis pour une hauteur de barrière $\Phi_{SB}=0.275\text{eV}$, un potentiel de bande plate $V_{fb}=0\text{V}$ et pour une température $T=300^\circ\text{K}$.

1.17 Comparaison avec les caractéristiques mesurées d'une diode à nanotube de carbone à barrière Schottky

Pour valider notre modèle analytique du courant tunnel dans une jonction Schottky, nous avons comparé nos résultats aux caractéristiques mesurées sur une structure de diode à nanotube de carbone à barrière Schottky.

Selon M. H. Yang et al. de l'université de Cambridge [126] et comme le montre la figure 2.16, la diode Schottky est constituée d'un nanotube de carbone mono-paroi synthétisé par CVD comme au [127] et déposé sur un substrat, fortement dopé "p" qui forme la grille arrière et qui est recouvert par $\sim 900\text{nm}$ d'oxyde SiO_2 . Les deux contacts de l'anode et de la cathode sont séparés de $\sim 1.2\mu\text{m}$ et ils sont respectivement un métal de type aluminium (Al) et palladium (Pd).

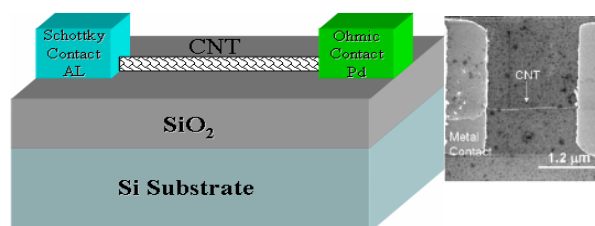


Figure 2.16 - Image en coupe transversale de la diode à nanotube de carbone à barrière Schottky. En insert ; image MEB de la diode avec une longueur de canal $\sim 120\text{nm}$ [126].

Comme il était établi auparavant, le métal Al est caractérisé par un faible travail de sortie $3.9\text{--}4.2\text{eV}$ au contraire du métal Pd qui est caractérisé par fort travail de sortie 5.12eV . De ce fait, une barrière Schottky est présente au passage des électrons du côté de l'anode alors qu'elle est quasi-absente du côté de la cathode.

Les figures 2.17-a. et 2-17-b. montrent le bon accord entre la caractéristique du courant I_{AK} mesurée et simulée. Pour avoir un bon compromis, une hauteur de barrière Φ_{SB} de 1.01eV a

été prise en compte dans nos simulations ce qui correspond parfaitement à la différence de travaux de sorties entre le nanotube et le métal de type Al de l'anode.

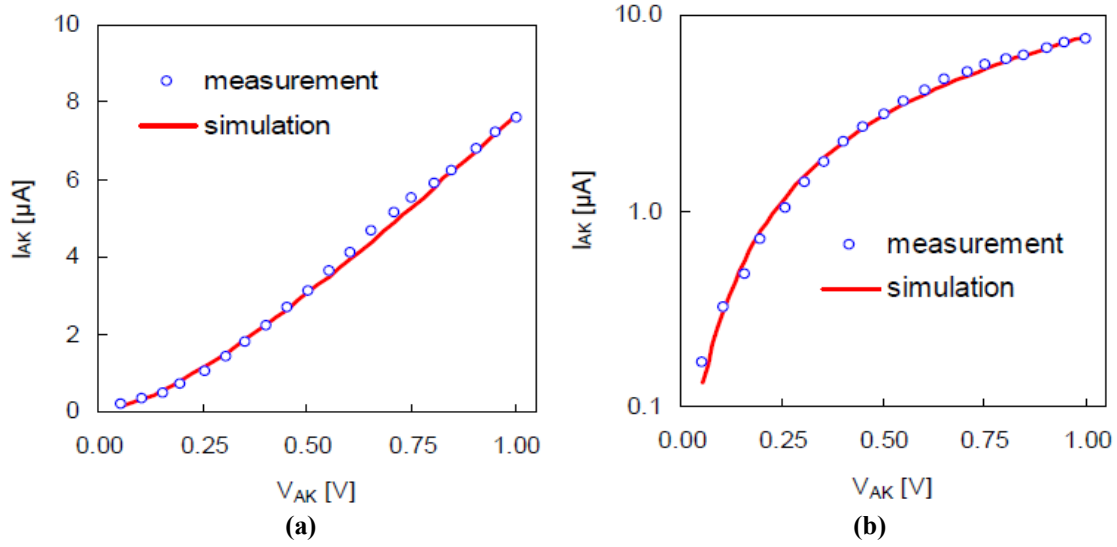


Figure 2.17 - Courant tunnel Schottky dans une diode à nanotube de carbone : Comparaison entre résultat mesuré (en symboles) et résultat analytique (en traits) en échelle linéaire (a) et logarithmique (b) pour $\Phi_{SB}=1,01eV$.

LIMITATION DE L'APPROCHE WKB POUR LA MODELISATION DU TRANSISTOR A CONTACTS SCHOTTKY

Bien que l'approximation WKB offre d'excellents résultats analytiques en terme de précision de calcul et de convergence pour le courant tunnel dans une diode Schottky, elle est beaucoup moins intéressante dans le cas d'une structure de transistor Schottky où, contrairement à la diode, il existe deux barrières Schottky aux interfaces des contacts source/nanotube et nanotube/drain. Comme il est démontré dans le paragraphe 1-a.ii., la fonction de transmission totale $T_T(E)$ dans une telle structure est exprimée en utilisant les fonctions de transmission de la source $T_S(E)$ et du drain $T_D(E)$ (équation 2.1).

Compte tenu de la méthode de la WKB, et conformément à l'équation (2.20) les fonctions de transmission source $T_S(E)$ et drain $T_D(E)$ sont exprimées :

$$T_S(E) = \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB_S} - E)^{3/2}\right) \quad (2.41)$$

$$T_D(E) = \exp\left(-4 \frac{\sqrt{2m^*}}{3\hbar q E_{elec}} (\Phi_{SB_D} - E - qV_{DS})^{3/2}\right) \quad (2.42)$$

Ceci induit une complexité de calcul supplémentaire rendant difficile l'emploi des approximations basées sur les solutions partielles (comme dans le cas de la diode) pour le calcul du courant tunnel défini par l'équation de Landauer et incluant la fonction de transmission totale :

$$I_{DS} = \frac{2e}{h} M \left[\int_0^\infty f_S(E) T_T(E) dE - \int_0^\infty f_D(E) T_T(E) dE \right] \quad (2.43)$$

D'autre part, pour aboutir à un modèle compact précis du transistor SB-CNTFET, il faut aussi calculer analytiquement la densité de charge dans le canal $Q_{S,D}$ qui est une composante essentielle dans la détermination du potentiel du nanotube V_{CNT} puisque :

$$V_{CNT} = V_{GS} - \frac{Q_{S,D}}{C_{OX}}, \quad (2.44)$$

où C_{OX} est la capacité d'oxyde.

Pour ce faire, il faut résoudre analytiquement l'intégrale suivante :

$$Q_{S,D} = \frac{2Mh}{q} \sum_p \int_{E_0}^{+\infty} D(E) T_T(E) f(E - qV_{S,D}) dE, \quad (2.45)$$

avec E_0 le milieu de la bande interdite dans la région centrale intrinsèque.

Ainsi, en utilisant la méthode WKB, le problème devient très complexe pour en aboutir à un modèle compact censé être rapide et précis et surtout bien adapté à la simulation des architectures intégrant un très grand nombre de transistors.

Pour ces raisons, nous avons choisi d'employer une autre méthode plus simple et plus économique en terme de ressource mémoire et de temps de calcul.

Cette méthode sera expliquée d'avantage dans le paragraphe suivant.

MODELISATION COMPACTE DU TRANSISTOR A CONTACTS SCHOTTKY

L'approche retenue pour la modélisation d'une barrière Schottky consiste à extraire une hauteur de barrière effective déterminant le niveau d'injection des porteurs dans le canal. Ensuite, nous montrons comment intégrer cette méthode dans le calcul de la densité de charge et du courant tunnel pour aboutir à un modèle compact complet pour le transistor SB-CNTFET.

1.18 Approche de modélisation retenue : Notion de barrière Schottky effective

1.18.1 Equation de Poisson et méthode de potentiel de surface

Il est possible de décrire plus simplement les propriétés électrostatiques d'un transistor CNTFET en utilisant la méthode de potentiel de surface (ou en appellation anglo-saxonne *Surface Potential Method*). Cette méthode est intéressante puisqu'elle prend en considération tous les aspects liés aux propriétés technologiques du composant tel que l'épaisseur de l'oxyde de la grille ou bien le diamètre du nanotube de carbone.

En effet, cette approche se base sur l'équation de Poisson unidimensionnel qui permet de donner une relation entre la distribution de charge et le potentiel $\Phi_f(x)$ à l'interface nanotube/diélectrique de la grille [128], [129] :

$$\frac{\partial \Phi_f(x)}{\partial x^2} - \frac{\Phi_f(x) - \Phi_g - \Phi_{bi}}{\lambda^2} = - \frac{e(\rho \pm N)}{\epsilon_0 \epsilon_{nt}}, \quad (2.46)$$

avec Φ_g et Φ_{bi} respectivement le potentiel de la grille et le potentiel de "buit-in".

ρ représente la densité de charge mobile et N est la densité de charge fixes dues au dopage du nanotube avec des porteurs de type accepteurs (signe -) ou donneurs (signe +). Pour une densité de charge ρ fixe, l'équation 2.46 a une solution de la forme [129]:

$$\Phi_f(x) \propto \exp\left(\frac{-x}{\lambda}\right), \quad (2.47)$$

ce qui montre la forte dépendance du potentiel du canal $\Phi_f(x)$ avec la longueur caractéristique λ . Cette longueur caractéristique λ est dépendante du diamètre du nanotube d_{nt} et de l'épaisseur d'oxyde d_{ox} et reflète bien les propriétés géométriques du transistor pris en considération. Ainsi, pour une configuration coaxiale où la grille et la couche de l'oxyde entoure le nanotube de carbone (ou *Gate All Around : GAA*) (figure 2.18-a.), la longueur caractéristique λ a pour expression [128] :

$$\lambda = \sqrt{\varepsilon_{nt} d_{nt}^2 \ln\left(1 + \left(2 d_{ox} / d_{nt}\right)\right) / (8 \varepsilon_{ox})} \quad (2.48)$$

avec ε_{nt} , ε_{ox} les permittivités diélectriques respectives du nanotube et de l'oxyde.

Dans le cas d'une configuration plane à grille arrière comme celle de la figure 2.18-b., cette longueur caractéristique est :

$$\lambda = \sqrt{(\varepsilon_{nt} / \varepsilon_{ox}) d_{nt} d_{ox}} \quad (2.49)$$

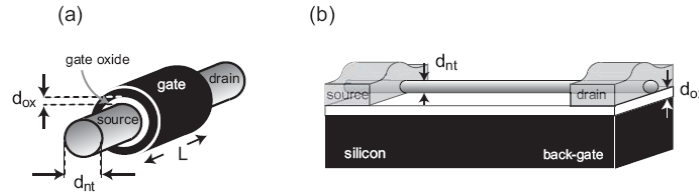


Figure 2.18 - Deux configurations du CNTFET : (a) coaxiale ou (Gate All around) et (b) plane avec grille arrière [130].

Dans l'objectif d'une comparaison avec les MOSFET ultimes, voici les développements relatifs aux MOSFET.

Pour un transistor MOSFET, le niveau d'injection des porteurs de la source (ou du drain) vers le canal est déterminé par le potentiel de celui ci, noté ici Φ_{f0} [131].

Ce potentiel Φ_{f0} peut être déduit en adaptant la solution de l'équation 2.47 dans l'état "Off" du transistor c.à.d. où il n'y pas de polarisation appliquée (densité de charge mobile $\rho \approx 0$). Ainsi pour des longueurs du canal $L \gg \lambda$, on aura [128] :

$$\Phi_f^0 \approx 2\sqrt{-(\Phi_{bi} + \Phi_g)(\Phi_d - (\Phi_{bi} + \Phi_g))} \exp\left(-L/2\lambda\right) + \Phi_g - \Phi_{bi} \quad (2.50)$$

$$\text{avec } \Phi_d = -eV_{DS}$$

Pour des MOSFETs Silicium idéales et pour $L \gg \lambda$, l'état "Off" ne doit pas dépendre de la polarisation du drain V_{DS} . Dans ce cas là, le premier terme de l'équation précédent 2.48 peut être supprimé pour obtenir :

$$\Phi_f^0 = \Phi_g - \Phi_{bi} \quad (2.51)$$

Donc, $\partial\Phi_f^0 = \partial\Phi_g$ et $\partial\Phi_f^0/\partial\Phi_g \approx 1$. Ceci est tout à fait cohérent avec l'hypothèse qui suppose que le maximum du potentiel du canal Φ_{f0} est modulé par le potentiel de la grille déterminant ainsi le seuil du transport électronique avec un inverse de la pente sous le seuil de courant :

$$S = \ln(10) \left((\partial I_d / \partial V_{GS}) (1/I_d) \right)^{-1} = k_B T / e \cdot \ln(10) \approx 60 \text{ mV/dec} \quad (2.52)$$

D'autre part, la méthode de potentiel de surface utilisée ici permet d'inclure les effets de second ordre tels que l'effet de l'abaissement de la barrière de potentiel induite par le drain (ou *DIBL* comme *Drain-Induced-Barrier-Lowering*) ou les effets de canal court (ou *SCE* comme *Short Channel Effects*). En effet, pour $L \gg \lambda$, on aura $\partial\Phi_f^0/\partial\Phi_d \approx 0$ ce qui supprime l'effet de DIBL et pour $L \approx \lambda$, on aura $\partial\Phi_f^0/\partial\Phi_g < 1$ et $\partial\Phi_f^0/\partial\Phi_d > 0$ ce qui dégrade la pente sous le seuil résultant à des valeurs supérieures à 60mV/décade et fait apparaître les effets de SCE.

1.18.2 Formulation de la barrière Schottky effective

Dans un SB-CNTFET, la hauteur de la barrière Schottky détermine son régime de fonctionnement. Cette hauteur de barrière peut être remplacée par une hauteur de barrière effective Φ_{SB}^{eff} qui découle de la résolution analytique de l'équation 2.46 de Poisson :

$$\Phi_{SB_S,D}^{\text{eff}} = \left(\Phi_{SB} - (sbbd_{[p]} - eV_{CNT} + V_{S,D}) \right) \exp \left(-\frac{d_{\text{tunnel}}}{\lambda_{\text{Schottky}}} \right) + (sbbd_{[p]} - eV_{CNT} + V_{S,D}) \quad (2.53)$$

avec $\lambda_{\text{Schottky}}$ qui modélise la distance d'influence du contact métal sur le profil de bande d'énergie et peut être exprimée en configuration coaxiale ou planaire comme respectivement dans les équations 2.48 et 2.49. d_{tunnel} représente la distance suivant l'axe du nanotube pour laquelle on fixe le niveau d'injection pour une polarisation V_{CNT} donnée (dans la suite de ce chapitre, il y aura une procédure de calibration pour d_{tunnel}).

Ainsi, selon l'énergie des porteurs présents à l'interface de la jonction Schottky et selon la hauteur de barrière Schottky effective Φ_{SB}^{eff} , ces porteurs peuvent traverser ou non vers le canal (figure 2.19-a.). La figure 2.19-b. montre que la fonction de transmission, contrairement à la méthode WKB, est égale à 1 pour des énergies de porteurs supérieures à Φ_{SB}^{eff} et elle est égale à 0 sinon.

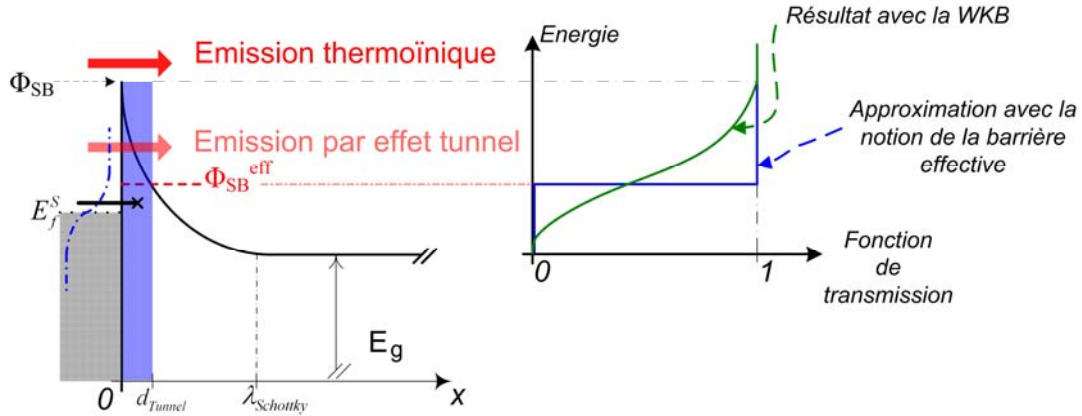


Figure 2.19 - Principe de la hauteur de la barrière Schottky effective (à gauche). (b) Comparaison des deux fonctions de transmissions issues de la méthode WKB et de la notion de barrière Schottky effective (à droite)

On remarque que l'équation 2.53 de Φ_{SB}^{eff} a la même forme que celle établie précédemment (équation 2.50) pour un transistor MOSFET souffrant des effets de second ordre tel que l'effet de canal court (SCE). Par la suite la pente sous le seuil du SB-CNTFET dans ce modèle est dégradée par rapport à la valeur idéale de 60mV/décade ce qui est bien cohérent avec les caractéristiques mesurées d'un tel composant.

Aussi, pour éviter tout problème de convergence lorsqu'on adapte cette approche dans un modèle compact, nous avons envisagé de créer une fonction supplémentaire qui calcule le maximum entre la hauteur de la barrière effective et le bas de la sous-bande correspondant pour le calcul de la densité de charge et du courant de drain.

1.19 Calcul de la densité de charge

Pour décrire la densité de charge dans le SB-CNTFET, la relation de dispersion $E(k)$ non parabolique (figure 1.15-a.) a été utilisée [132] :

$$(E - sbbd_{[p]})(1 + \alpha_{[p]}(E - sbbd_{[p]})) = \frac{\hbar^2 k^2}{2m_{[p]}^*} \quad (2.54)$$

Les facteurs de non parabolicité $\alpha_{[p]}$, les masses effectives $m_{[p]}^*$ ainsi que les bas de sous-bandes correspondants $sbbd_{[p]}$ sont calculés en utilisant la méthode de "zone folding" à partir du modèle numérique détaillé dans le tableau 2.4 suivant.

Tableau 2.4 - Modèle numérique de calcul des facteurs de non-parabolicité $\alpha_{[p]}$, des masses effectives $m_{[p]}^*$ pour les 3 premiers bas de sous-bandes correspondants $sbbd_{[p]}$ en fonction de la chiralité pour des nanotubes zig-zag $(n, 0)$ [132]. γ correspond à la l'énergie de liaison entre deux atomes de carbone (interaction du plus proche voisin) varie de 2,4 à 3,14eV selon les paramètre trouvés dans la littérature.

Sous-bande 1
$sbbd_{[1]}(n) = \frac{\pi\gamma}{\sqrt{3n}},$ $m_{[1]}^*(n) = \frac{3m_e}{n\gamma} \left(1 - 0,0044n + \frac{gcd(n+1;3) - gcd(n-1;3)}{n} \right),$ $\alpha_{[1]}(n) = \frac{3}{2\gamma} (0,3n - 1).$
Sous-bande 2
$sbbd_{[2]}(n) = 2sbbd_{[1]}(n) \left(1 + \frac{gcd(n+1;3) - gcd(n-1;3)}{3n} \right),$ $m_{[2]}^*(n) = m_{[1]}^*(n) \left(\frac{m_{[2]}^*(n)}{m_{[1]}^*(n)} + \frac{5}{n} \left[\frac{m_{[2]}^*(n)}{m_{[1]}^*(n)} [gcd(n-1;3) - 1] - [gcd(n+1;3) - 1] \right] \right),$ $\alpha_{[2]}(n) = \frac{3}{2\gamma} (0,3n - 1).$
Sous-bande 3
$sbbd_{[3]}(n) = 4sbbd_{[1]}(n) \left(1 + \frac{2gcd(n+1;3) - 3gcd(n-1;3)}{4n} \right),$ $m_{[3]}^*(n) = m_{[1]}^*(n) \left(\frac{m_{[3]}^*(n)}{m_{[1]}^*(n)} + \frac{5}{n} \left[\frac{m_{[3]}^*(n)}{m_{[1]}^*(n)} [gcd(n-1;3) - 1] - [gcd(n+1;3) - 1] \right] \right),$ $\alpha_{[3]}(n) = \frac{3n^2}{300\gamma}.$

A partir de la relation de dispersion de l'équation 2.54, la densité d'état peut être calculée pour chaque sous-bande comme suit :

$$D(E, [p]) = \frac{l}{\pi\hbar} \frac{\sqrt{m_{[p]}^*} (1 + 2\alpha_{[p]}(E - sbbd_{[p]}))}{\sqrt{2(E - sbbd_{[p]}) (1 + \alpha_{[p]}(E - sbbd_{[p]}))}} \quad (2.55)$$

D'autre part, on rappelle que la densité de charge dans le SB-CNTFET résulte du produit de la densité d'état $D(E, [p])$ avec la distribution de Fermi $f(E)$ et la fonction de transmission totale $T_T(E)$. En utilisant l'approche basée sur la notion de la hauteur de la barrière Schottky effective Φ_{SB}^{eff} , l'équation 2.43 de la densité de charge devient :

$$Q_{S,D}(V_{S,D}, sbbd_{[p]}, \phi_{SB-S,D}^{eff}) = \frac{2M\hbar}{q} \sum_p \int_{V_{BL}}^{V_{BH}} D(E) f(E - qV_{S,D}) dE \quad (2.56)$$

où V_{BL} et V_{BH} sont les bornes d'intégration basse et haute définies comme :

$$V_{BL} = \max(\phi_{SB_S,D}^{eff} - V_{S,D}, sbbd[p]) \text{ et } V_{BH} \rightarrow \infty \quad (2.57)$$

Cette intégrale ne peut pas être résolue analytiquement, d'où tout l'intérêt d'utiliser des solutions partielles comme dans le cas du courant tunnel de la diode Schottky précédemment détaillée.

1.19.1 Formulation analytique et solutions partielles

Pour simplifier le problème, nous supposons une borne d'énergie supplémentaire nommée Δ qui subdivise la gamme d'énergie en faible et forte gammes (figure 2.20). On appelle faible gamme, la gamme d'énergie où la distribution de Fermi $f(E)$ demeure constante alors que la gamme de forte énergie correspond à l'évolution exponentiellement de la distribution de Fermi $f(E)$. Cette bande d'énergie supplémentaire Δ est définie comme suit :

$$\Delta = qV_{BL} + k_B T \ln\left(1 + \exp\left((V_{BL} - qV_F)/k_B T\right)\right) \quad \text{avec} \quad \Delta \leq qV_{BH} \quad (2.58)$$

Par la suite, l'équation de la densité de charge 2.4 devient :

$$Q_{S,D} = \frac{2Mq}{h} \sum_p \left[\int_{V_{BL}}^{\Delta} f(E - qV_{S,D}) D(E) dE + \int_{\Delta}^{V_{BH}} f(E - qV_{S,D}) D(E) dE \right] \quad (2.59)$$

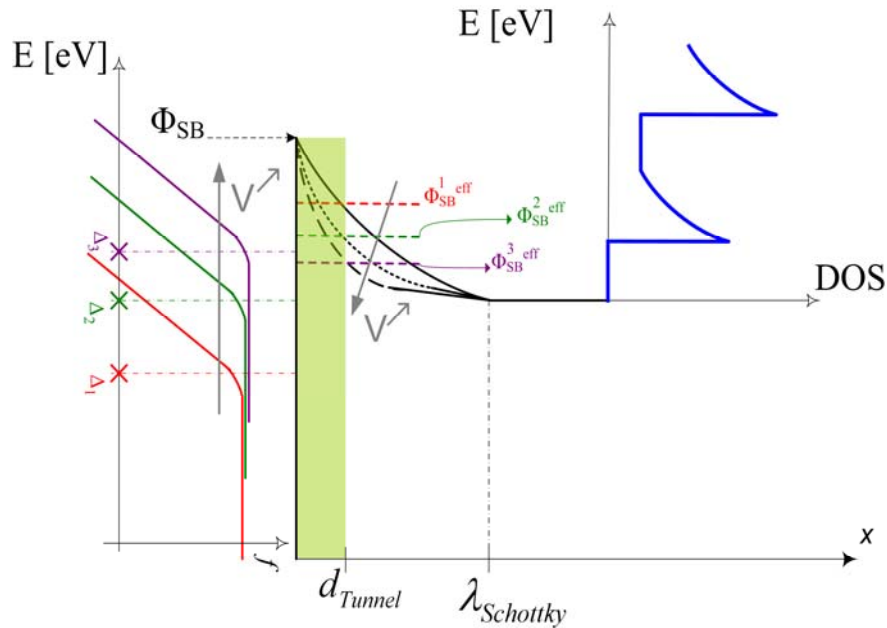


Figure 2.20 - Variation de la distribution de Fermi-Dirac $f(E)$, localisation de la borne d'énergie supplémentaire Δ et de la hauteur de la barrière Schottky effective Φ_{SB}^{eff} pour 3 différentes polarisations et pour la 1^{ère} sous-bande. La figure à droite montre la densité d'état dans les deux premières sous-bandes.

1.19.1.1 Gamme des faibles énergies (de V_{BL} à Δ)

Dans cette gamme d'énergie, la distribution de Fermi-Dirac varie faiblement par rapport à la densité d'état ce qui permet de l'approximer par son développement en série de Taylor au 1^{er} ordre et au voisinage de $E=V_{BL}$:

$$f(E) \approx b'_0 + b_1(E - V_{BL}), \quad (2.60)$$

$$\text{avec } b'_0 = \frac{1}{(1 + \exp(c))}, \quad b_1 = \frac{\exp(c)}{k_B T (1 + \exp(c))^2} \quad \text{et} \quad \exp(c) = \exp\left(\frac{e(V_{BL} - V_F)}{k_B T}\right)$$

En exprimant $f(E)$ au voisinage de $sbbd_{[p]}$:

$$f(E) \approx b_0 + b_1(E - V_{BL}) \quad \text{et} \quad b_0 = b'_0 + b_1(sbbd_{[p]} - V_{BL}) \quad (2.61)$$

Ainsi, la première intégrale de l'équation 2.59 de la densité de charge s'écrit :

$$Q_{low\ energy} = 2Mq \frac{l\sqrt{m_{[p]}^*}}{\sqrt{2\pi\hbar}} \int_{V_{BL}}^{\Delta} \left(b_0 + b_1(E - sbbd_{[p]}) \right) \frac{(1 + 2\alpha_{[p]}(E - sbbd_{[p]}))}{\sqrt{(E - sbbd_{[p]})(1 + \alpha_{[p]}(E - sbbd_{[p]}))}} dE \quad (2.62)$$

En faisant le changement de variable $x = E - sbbd_{[p]}$ et après intégration de l'équation 2.62, on obtient une forme analytique pour la densité de charge dans la gamme de faible énergie :

$$Q_{low\ energy} = 2Mq \frac{l\sqrt{m_{[p]}^*}}{\sqrt{2\pi\hbar}} \left[\xi(x) \left(b_1 \left(x - \frac{1}{2\alpha} \right) + 2b_0 \right) + \frac{b_1}{4\alpha^{3/2}} \ln \left(\frac{0.5 + \alpha x}{\sqrt{\alpha}} + \xi(x) \right) \right]_{V_{BL} - sbbd_{[p]}}^{\Delta - sbbd_{[p]}} \quad (2.63)$$

$$\text{avec } \xi(x) = \sqrt{\alpha x^2 + x}$$

1.19.1.2 Gamme de fortes énergies (de Δ à V_{BH})

Pour des énergies dans l'intervalle de Δ à V_{BH} , la distribution de Fermi-Dirac $f(E)$ varie exponentiellement :

$$f(E - qV_F) \approx \frac{1}{\exp\left(\frac{(E - V_F)}{k_B T}\right)} \quad (2.64)$$

Cependant, la densité d'état de l'expression 2.55 est écrite sous une forme plus "légère" en introduisant un facteur de non-parabolicité à la forme parabolique pour avoir :

$$D(E) \approx \frac{l}{\pi\hbar} \frac{\sqrt{m_{[p]}^*}}{\sqrt{2(E - sbbd_{[p]})}} (1 + \beta \alpha_{[p]}(E - sbbd_{[p]})), \quad (2.65)$$

où $\beta = 0.4$ est utilisée pour bien approximer la densité d'état de l'expression 2.55. Ainsi, en utilisant ces deux approximations pour $f(E)$ et $D(E)$, la deuxième intégrale de l'équation 2.59 de la densité de charge s'écrit :

$$Q_{high\ energy} \approx 2Mq \frac{l\sqrt{m_{[p]}^*}}{\sqrt{2\pi\hbar}} \int_{\Delta}^{V_{BH}} \frac{1}{\sqrt{(E - sbbd_{[p]})}} (1 + \beta \alpha_{[p]}(E - sbbd_{[p]})) \exp\left(-\frac{E - V_F}{k_B T}\right) dE \quad (2.66)$$

ce qui aboutit à une expression analytique dans la gamme de fortes énergies :

$$Q_{high\ energy} \approx 2Mq \frac{l\sqrt{m_{[p]}^*}}{\sqrt{2\pi\hbar}} \exp\left(-\frac{sbbd_{[p]} - V_F}{k_B T}\right) \left[\frac{\sqrt{\pi k_B T} \left(1 + \frac{\beta\alpha_{[p]} k_B T}{2}\right) \operatorname{erf}\left(\sqrt{\frac{x}{k_B T}}\right)}{-\beta\alpha_{[p]} k_B T \sqrt{x} \exp\left(-\frac{x}{k_B T}\right)} \right]_{\Delta - sbbd_{[p]}}^{V_{BH} - sbbd_{[p]}} \quad (2.67)$$

La fonction d'erreur " $\operatorname{erf}(y)$ " est une fonction qui converge au 5^{ème} ordre et elle a pour expression [133] :

$$\operatorname{erf}(y) = -(a_1 t + a_2 t^2 + a_3 t^3 + a_4 t^4 + a_5 t^5) e^{(-y^2)} \quad \text{et} \quad t = \frac{1}{1 + py} \quad (2.68)$$

où a_1, a_2, a_3, a_4 et a_5 et p sont des constantes avec $a_1=0,254829592$; $a_2=-0,284496736$; $a_3=1,421413741$; $a_4=-1,453152027$; $a_5=1,061405429$ et $p=0,3275911$.

Tout comme le courant tunnel dans la diode Schottky, la solution complète pour la densité de charge est obtenue en utilisant une fonction de lissage pour lier les deux solutions partielles issues des deux gammes d'énergies (équation 2.63 et 2.67). Cette fonction a pour expression :

$$f_{SMO} = \frac{1}{1 + \exp\left(-1,2 \frac{(V_{BL} - V_F + 0,04)}{k_B T}\right)}, \quad (2.69)$$

et elle est appliquée dans le modèle de la façon suivante :

$$Q_{S,D} = f_{SMO} Q_{low\ energy} + (1 - f_{SMO}) Q_{high\ energy} \quad (2.70)$$

1.19.2 Comparaison avec le calcul numérique

Pour valider le modèle analytique ainsi développé pour la densité de charge en terme d'approximations utilisées, une comparaison avec le résultat du calcul numérique est réalisée. La figure 2.21-a. montre cette comparaison pour la densité de charge normalisée par le facteur $\sqrt{m^*}$ pour différentes valeurs de la borne basse d'intégration V_{BL} [0,2 ; 0,3 ; 0,4 et 0,8eV] et ceci pour des énergies de porteurs qui varient de 0 à 1eV. Une très bonne concordance est observé entre les deux résultats.

D'autre part, pour s'assurer de la bonne convergence de ce modèle analytique, la dérivée première de la densité de charge normalisée par le facteur $\sqrt{m^*}$ a été aussi présentée sur la figure 2.21-b. pour différents valeurs de la borne basse d'intégration V_{BL} [0,2 ; 0,3 ; 0,4 et 0,8eV]. On remarque que les deux résultats sont en très bon accord et les discontinuités dans le modèle analytique sont limitées.

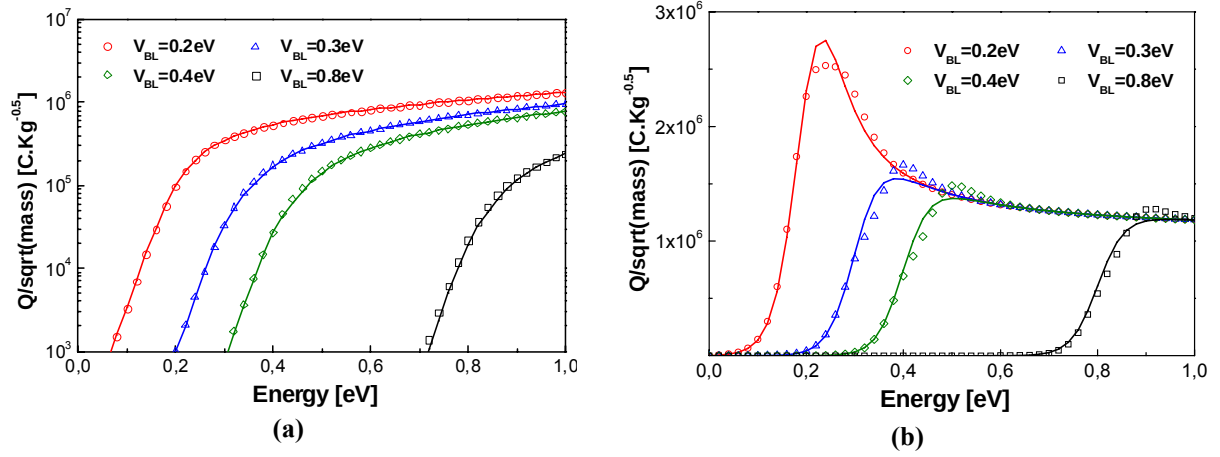


Figure 2.21 - Validation du modèle analytique de la densité de charge normalisée par un facteur $\sqrt{m^*}$ en fonction de l'énergie des porteurs pour 4 valeurs de la bonne basse d'intégration V_{BL} [0,2 ; 0,3 ; 0,4 et 0,5] ; (a) comparaison avec le résultat numérique et (b) dérivée première de la densité de charge.

1.20 Calcul du courant

Le courant de drain dans un SB-CNTFET est calculé en ayant recourt à l'équation de Landauer [125] (équation 2.21), en supposant un canal monodimensionnel en "1D" et qui est caractérisé par un transport balistique entre source et drain [87] [69].

Ainsi par analogie avec l'équation 2.24 et en utilisant la formulation de la barrière de Schottky effective, on écrit :

$$I_{DS} = \frac{2e}{h} M \sum_{p=1}^{nb \text{ bands}} \left[\int_{\Phi_{SB}^{eff}}^{\infty} f_S(E) dE - \int_{\Phi_{SB}^{eff}}^{\infty} f_D(E) dE \right]$$

$$I_{DS} = \frac{4e}{h} \sum_{p=1}^{nb \text{ sbbd}} \left[\int_{\Phi_{SB}^{eff}}^{\infty} \frac{1}{1 + \exp\left(\frac{E - e(V_{CNT} - V_S)}{k_B T}\right)} dE - \int_{\Phi_{SB}^{eff}}^{\infty} \frac{1}{1 + \exp\left(\frac{E - e(V_{CNT} - V_D)}{k_B T}\right)} dE \right] \quad (2.71)$$

Cette équation du courant est intégrable via la formule [133] :

$$\int \frac{dE}{1 + b \exp \frac{E}{k_B T}} = k_B T \left[\frac{E}{k_B T} - \ln \left(1 + b \exp \frac{E}{k_B T} \right) \right] = k_B T \left[-\ln \left(\exp \frac{-E}{k_B T} + b \right) \right] \quad (2.72)$$

Ce qui permet d'avoir, après simplifications, un résultat analytique pour le courant de drain dans le SB-CNTFET :

$$I = \frac{4ek_B T}{h} \sum_{p=1}^{nb \text{ sbbd}} \left[\ln \left(1 + \exp \frac{eV_S + \Phi_{SB_S}^{eff} - sbbd_{[p]}}{k_B T} \right) - \ln \left(1 + \exp \frac{eV_D + \Phi_{SB_D}^{eff} - sbbd_{[p]}}{k_B T} \right) \right] \quad (2.73)$$

avec $\Phi_{SB_S}^{eff}$ et $\Phi_{SB_D}^{eff}$ les hauteurs de barrières effectives de la source et du drain respectivement et définies dans l'équation 2.53.

1.21 Circuit électrique équivalent

Le circuit électrique équivalent pour le SB-CNTFET de la figure 2.22 ci-dessous découle des équations de la densité de charge source Q_{QS} et drain Q_{QD} (équation 2.70) et du courant de drain (équation 2.73).

- C_{INS} : capacité de l'oxyde de grille C_{INS} , dépendante de la géométrie et de la constante diélectrique de l'isolant
- V_{FB} : tension de bandes plates V_{FB} qui prend en compte la différence entre le travail d'extraction du métal et l'affinité électronique du nanotube,
- R_G : résistance d'accès de grille,
- R_S et R_D : résistance d'accès de source et drain,
- C_{SE} et C_{DE} : capacités électrostatiques qui représentent la variation de charge aux interfaces nanotubes dopé/nanotube intrinsèque,

Le régime AC est obtenu du circuit équivalent de [107] et l'influence de la barrière Schottky est introduite dans le calcul du courant I_{DS} et des densités de charge Q_{QS} et Q_{QD} .

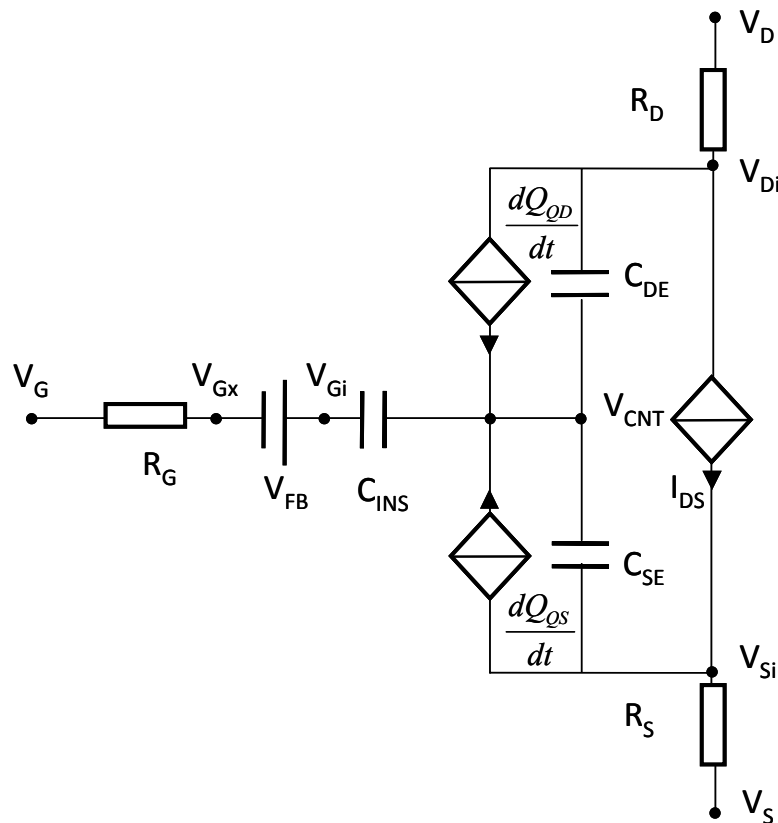


Figure 2.22 - Schéma équivalent grand signal du modèle du transistor à nanotube de carbone à modulation de hauteur de barrière.

Les figures 2.23 et 2.24 montrent le résultat final du courant analytique du modèle compact pour un SB-CNTFET avec un nanotube de carbone de chiralité (19, 0) (band gap $E_g=0,55\text{eV}$) et une hauteur de barrière Schottky Φ_{SB} égale à la moitié de la bande interdite ($\Phi_{SB}=0,275\text{eV}$) avec $V_{fb}=0\text{V}$. Les dimensions de la barrière Schottky ont été fixées comme suit : $\lambda_{Schottky}=5\text{nm}$ et $d_{tunnel}=2\text{nm}$.

Plus précisément, la figure 2.23 montre un réseau de caractéristiques I_D vs. V_{GS} en échelle linéaire (a) et en échelle logarithmique (b) pour V_{DS} de 0,1 à 0,9V par pas de 0,1V. On remarque que la caractéristique est ambipolaire (courant d'électrons et de trous) avec un minimum de courant à $V_{GS} = \frac{V_{DS}}{2}$.

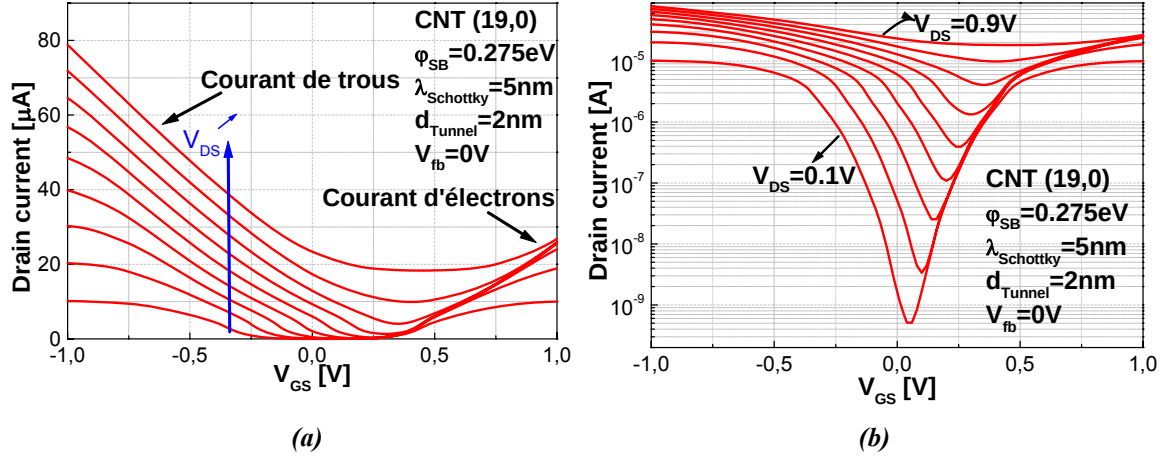


Figure 2.23 - Caractéristiques simulées I_D vs. V_{GS} du modèle compact pour 9 valeurs de $V_{DS}=[0,1 ; 0,9V]$ avec $\Phi_{SB}=E_G/2=0,275eV$, $\lambda_{Schottky}=5nm$, $d_{tunnel}=2nm$ et $V_{fb}=0V$.

Ceci est parfaitement cohérent avec le fait qu'à cette polarisation, le transistor a une structure de bande d'énergie symétrique entre bande de conduction et bande de valence ce qui implique des contributions à part égale des porteurs électrons et des porteurs trous dans le courant circulant entre drain et source.

La figure 2.24 présente un réseau de caractéristiques I_D vs. V_{DS} en fonction de V_{GS} (de 0 à 0,9V par pas de 0,1V). Sur cette figure, un courant de trous se manifeste après saturation du courant pour des polarisations en V_{DS} supérieures à V_{GS} . Dans ces conditions, une barrière Schottky se crée dans la bande de valence du côté du drain et un courant de trou commence à se rétablir empêchant ainsi la saturation du transistor.

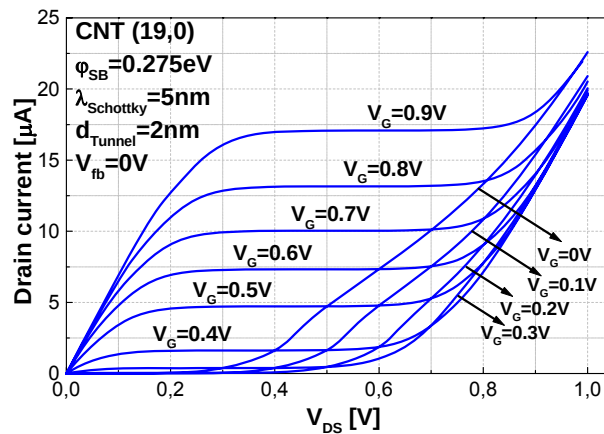


Figure 2.24 - Caractéristiques simulées I_D vs. V_{DS} du modèle compact pour 10 différentes valeurs de $V_{DS}=[0 ; 0,9V]$ avec $\Phi_{SB}=E_G/2=0,275eV$, $\lambda_{Schottky}=5nm$, $d_{tunnel}=2nm$ et $V_{fb}=0V$.

VALIDATION DU MODELE COMPACT

Dans cette partie, pour vérifier l'exactitude du modèle compact développé, nous comparons ces résultats de la densité de charge et du courant avec ceux des simulations Monte-Carlo [7] ainsi qu'à ceux issues de la mesure [8]

1.22 Validation avec les simulations Monte Carlo

Une manière pour pouvoir vérifier l'exactitude de notre modèle compact consiste à comparer les résultats à ceux des simulations Monte-Carlo. En effet, cette approche a été développée à l'Institut d'électronique fondamentale de Paris (IEF-Paris) [134] et elle est basée sur la méthode particulière de Monte Carlo pour résoudre les équations de transport classiques de Boltzmann couplée à une résolution de l'équation de Poisson 2D à symétrie cylindrique.

Ainsi, un modèle a été développé au sein du logiciel MONACO [134] pour simuler le transport dans le nanotube de carbone. Dans ce modèle, la relation de dispersion utilisée pour décrire les sous-bandes du nanotube est déduite de calculs numériques de type "liaison forte" (*TB : tight-binding model*). Les trois premières sous-bandes sont prises en compte dans une approximation analytique. Ce modèle considère aussi les phonons acoustiques et optiques [132] qui donnent lieu à des interactions inter-vallée et intra-vallée. Le modèle inclue également le mode de respiration radiale (ou *RBM* comme *Radial Breathing Mode*).

Pour la comparaison, on va simuler un transistor SB-CNTFET ayant un nanotube zigzag (19, 0) de bande interdite 0,55eV, avec comme masse effective correspondant aux trois premières sous-bandes respectivement égale à $0.0476m_0$, $0.129 m_0$, $0.133 m_0$ où m_0 est la masse de l'électron libre. L'oxyde de grille autour du nanotube est cylindrique, d'épaisseur 5.3nm et de permittivité diélectrique égale 3. L'équation 2.74, permet de calculer une valeur de $\sim 79\text{pF/m}$ pour la capacité d'oxyde qui sera utilisée comme paramètre d'entrée du modèle compact :

$$C_{INS} = \frac{2\pi\epsilon_{OX}}{\ln\left(\frac{d_{CNT} + t_{OX}}{d_{CNT}}\right)} \quad (2.74)$$

De plus, la longueur de grille est 100nm et la hauteur de la barrière Schottky Φ_{SB} est choisie égale à la moitié de la bande interdite, c.-à-d. 0,275eV, ce qui implique une symétrie pour l'injection des électrons et des trous. Le tableau 2.5 résume la liste des paramètres utilisés dans chacune des deux simulations.

Tableau 2.5 - Liste des paramètres utilisés pour la comparaison entre les résultats de simulations du modèle compact et des simulations Monte-Carlo.

Param.	Réf.	Modèle compact	Monte-Carlo [7]	Descriptions
Chiralité (n,m) & diamètre		(19, 0) 1.48 nm	(19, 0)	--
$\lambda_{\text{Schottky}}$		2 nm	--	Longueur de la barrière Schottky
d_{Tunnel}		4.125 nm	--	Distance tunnel
Φ_{SB}		275 meV	275 meV	Hauteur de la barrière Schottky
L_{gate}		100 nm	100 nm	Longueur de la grille
V_{fb}		398 mV	--	Potentiel de bande plate
C_{INS}		79 pF/m	79 pF/m	Capacité d'oxyde
$R_{\text{G}}/R_{\text{S}}/R_{\text{D}}$		0 Ω	0 Ω	Resistance d'accès
C_{DE}		0	0	Capacité électrostatique de drain
C_{SE}		0	0	Capacité électrostatique de la source

Pour le modèle compact, la tension de bande plate V_{fb} a été fixée à 398 mV. Le choix d'une telle valeur est argumenté par le fait que le bas de la première sous-bande de notre modèle compact présente un décalage de 398 mV au niveau de potentiel par rapport à celui qui est calculé avec les simulations Monte-Carlo.

Aussi, en utilisant le modèle numérique de [132] exposé précédemment dans le tableau 2.4, on peut déterminer les facteurs de non parabolicité $\alpha_{[p]}$, les masses effectives $m_{[p]}^*$ ainsi que les bas de sous-bandes $\text{sbbd}_{[p]}$ correspondants aux trois premiers sous-bandes (tableau 2.6).

Tableau 2.6 - Valeurs des facteurs de non parabolicité $\alpha_{[p]}$, des masses effectives $m_{[p]}^*$ et des bas de sous-bandes $\text{sbbd}_{[p]}$ correspondants aux trois premiers sous-bandes pour un nanotube (19, 0). Résultats calculés à partir du modèle numérique de [132].

Param.	Dimension [nm]	$\text{sbbd}_{[1]}$ [eV]	$\text{sbbd}_{[2]}$ [eV]	$\text{sbbd}_{[3]}$ [eV]	$m_{[1]}/9.1\text{e-31}$ [kg]	$m_{[2]}/9.1\text{e-31}$ [kg]	$m_{[3]}/9.1\text{e-31}$ [kg]	$\alpha_{[1]}$ [--]	$\alpha_{[2]}$ [--]	$\alpha_{[3]}$ [--]
Value	1,48	0,289	0,598	1,065	0,042	0,133	1,333	2,32	1,38	1,19

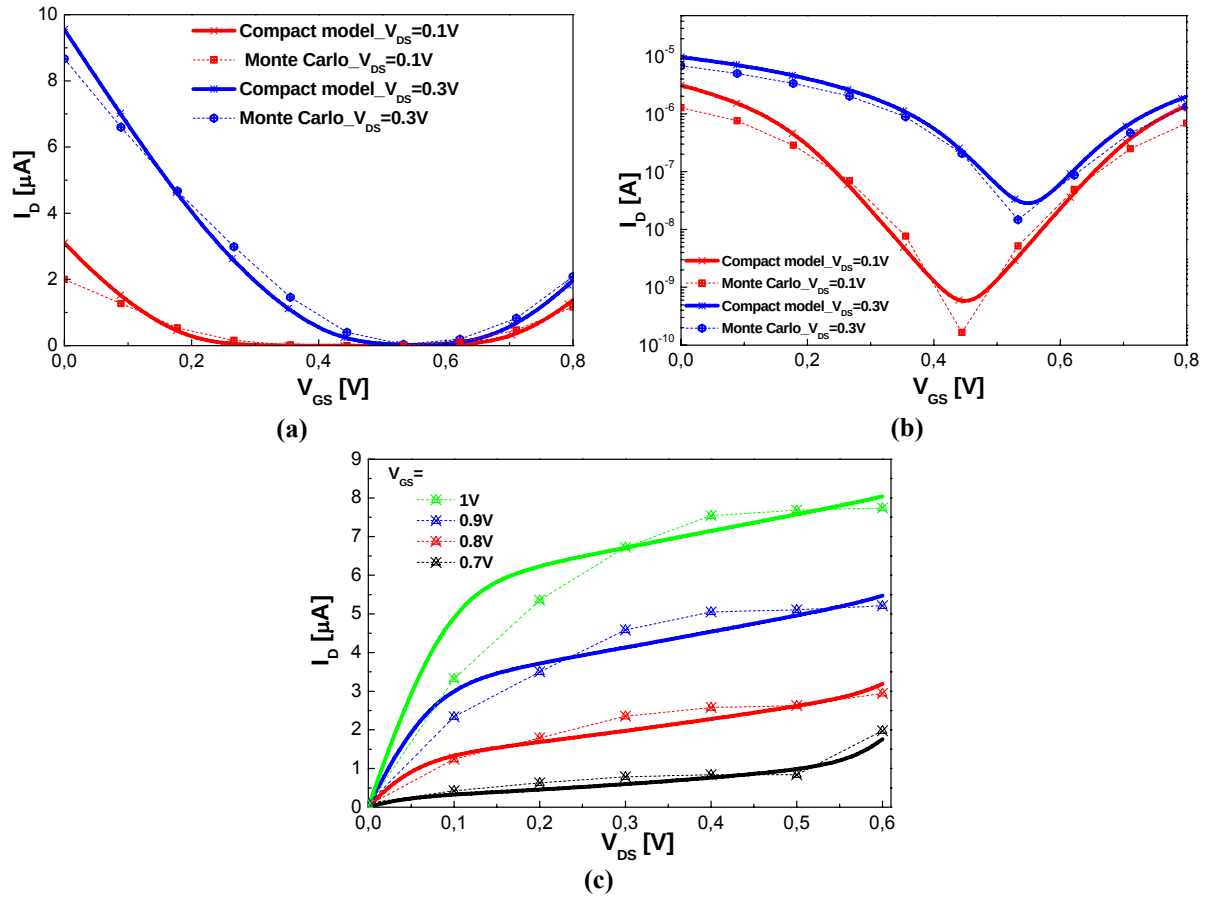


Figure 2.25 - Comparaison entre les résultats du modèle compact et des simulations Monte-Carlo pour le courant de drain du SB-CNTFET ; (a) I_D vs. V_{GS} pour V_{DS} à 0,1 et 0,3V, (b) I_D vs. V_{GS} pour V_{DS} à 0,7 ; 0,8 ; 0,9 et 1V.

Les figures 2.25-a. et 2.25-b. ci-dessus montrent le résultat des comparaisons entre les résultats des caractéristiques I_D vs. V_{GS} en échelle linéaire et logarithmique respectivement pour $V_{DS}=0,1V$ et $V_{DS}=0,3V$ du modèle compact et des simulations Monte-Carlo. La figure 2.25-c. montre la comparaison pour des caractéristiques I_D vs. V_{DS} (2.24-c.) pour $V_{GS}=0,7$; $0,8$; $0,9$ et $1V$.

Sur ces trois figures, un bon compromis est observé entre les résultats du modèle compact et les résultats des simulations Monte-Carlo.

D'autres comparaisons, toujours avec les simulations Monte-Carlo, pour différentes hauteurs de barrières Schottky ont été aussi faites pour la densité de charge et le courant de drain afin de vérifier l'exactitude du modèle pour une large gamme de variation de ce paramètre.

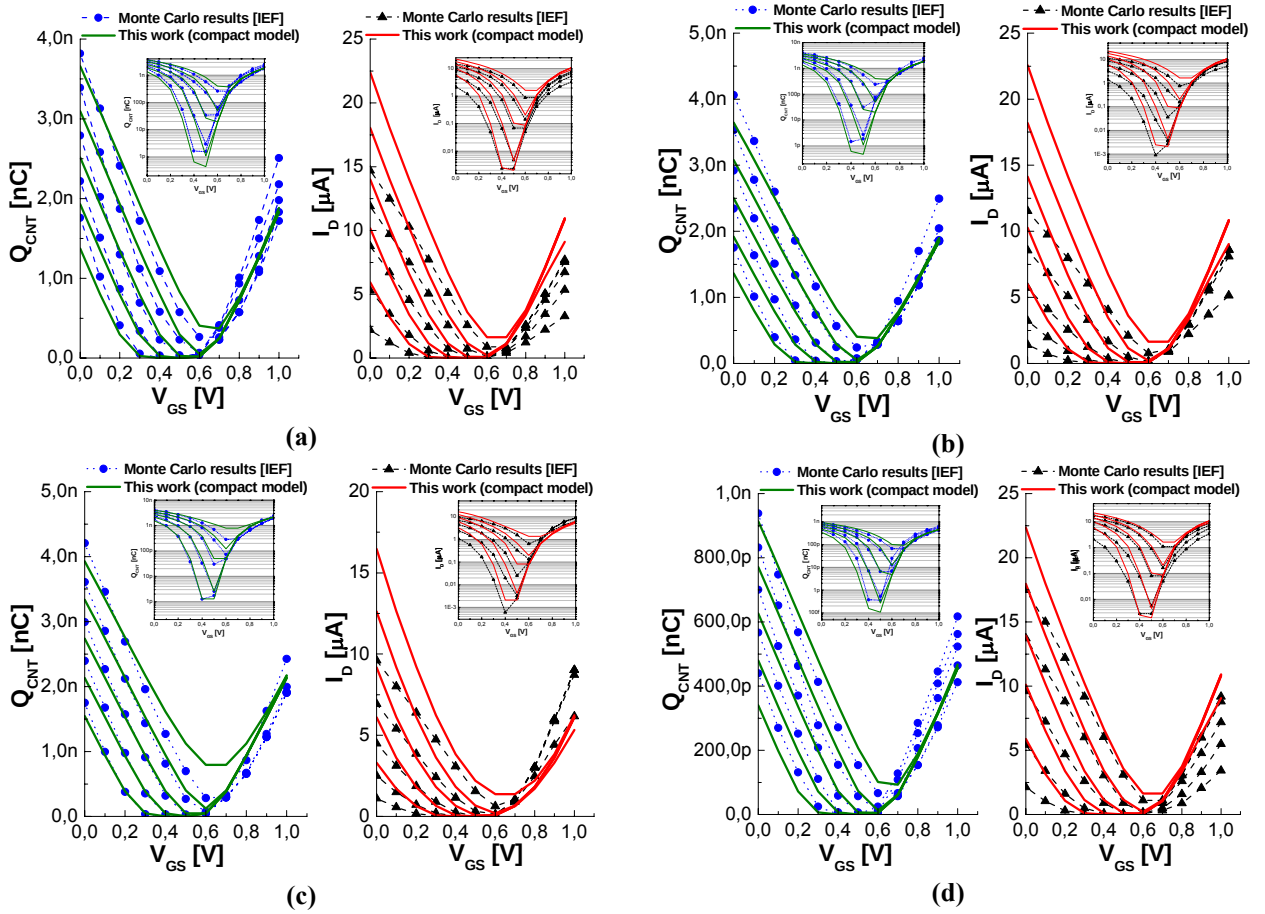


Figure 2.26 - Comparaison entre les résultats du modèle compact et des simulations Monte-Carlo : courant de drain I_D et densité de charge Q_{CNT} du SB-CNTFET pour (a) $\Phi_{SB}=0.275eV$, (b) $\Phi_{SB}=0.1eV$ et (c) $\Phi_{SB}=0.001eV$ à $L_{gate}=100nm$ et (d) $\Phi_{SB}=0.275eV$ à $L_{gate}=25nm$ avec $V_{DS}= [0,1 ; 0,2 ; 0,3 ; 0,4 \text{ et } 0,5V]$.

Les trois premiers courbes I_D vs. V_{GS} et Q_{CNT} vs. V_{GS} [(a), (b) et (c)] de la figure 2.26 montrent ces comparaisons pour 3 différentes hauteurs de barrière Φ_{SB} ($0,275$; $0,1$ et $0,001eV$) et pour différentes polarisations en V_{DS} (100 , 200 , 300 , 400 et $500mV$) et une longueur de grille $L_{gate}=100nm$.

Un bon compromis est observé entre les deux résultats pour la densité de charge pour les trois hauteurs de la barrière Schottky et pour les différents V_{DS} .

Par contre, le modèle compact présente un décalage dans les caractéristiques I_D vs. V_{GS} surtout pour les caractéristiques à plus fort V_{DS} . Ceci est dû aux effets des phonons

acoustiques et optiques, pris en compte dans les simulations Monte-Carlo et pas dans le modèle compact. Ces effets donnent lieu à des interactions inter-vallée et intra-vallée et aussi au mode de respiration radial (*RBM* comme *Radial Breathing Mode*).

La figure 2.26-d. montre les mêmes résultats de la densité de charge et du courant de drain mais pour une longueur de grille $L_{\text{gate}}=25\text{nm}$. Sur cette figure on remarque bien que l'écart entre les deux résultats est moins important ce qui s'explique par l'atténuation de l'effet des phonons acoustiques dans le cas des plus petites longueurs de grille.

1.23 Comparaison avec les mesures

Y.L. Lin et al. ont présenté dans [8] des résultats expérimentaux des caractéristiques électriques d'un SB-CNTFET avec un nanotube d'un diamètre de 1.1nm ce qui correspond à une chiralité de (14, 0). Une couche d'oxyde SiO_2 de 10nm déposée sous le contact de la grille correspondant à une capacité de 64,5pF/m. Les contacts des accès source et drain sont formés par un dépôt de titane (Ti) et forment ainsi des barrières Schottky à l'interface du nanotube d'une hauteur de $\sim 110\text{meV}$. Pour avoir un transport balistique, une longueur de canal de 300nm a été considérée.

Ces caractéristiques électriques expérimentales ont été comparées aux résultats du modèle compact. Le tableau 2.7 expose la liste des paramètres utilisés dans les simulations du modèle compact. Les valeurs de ces paramètres ont été évaluées à partir des données technologiques et optimisées par la suite pour bien s'approcher des résultats expérimentaux.

Ainsi, un bon accord est observé sur la figure 2.27 entre les caractéristiques I_D vs. V_{GS} pour trois différentes polarisations en V_{DS} -0,1 ; -0,4 et -0,7V et pour une large gamme de V_{GS} de -2V à 2V.

Tableau 2.7 - Liste des paramètres utilisés pour la comparaison entre les résultats de simulations du modèle compact et les résultats expérimentaux de [8].

Référence Paramètres	Compact model	Données expérimentales [8]	Descriptions
chiralité//diamètre	(14,0) // 1.09 nm	-- / 1.1 nm	---
Métal / Φ_{SB}	110 meV (Val. théorique) 114.3 meV (Val. utilisée)	Contact en Ti	---
t_{ox} and ϵ_r // C_{INS}	-- // 64.49 pF/m (Val. théorique) -- // 72.72 pF/m (Val. utilisée)	10 nm and 3.9// --	Epaisseur d'oxyde // constante diélectrique // capacité d'oxyde
L_{gate}	300 nm	300 nm	Longueur de la grille
d_{Tunnel}	2.7 nm	---	Distance tunnel
$\lambda_{Schottky}$	5.8 nm	---	Longueur caractéristique
V_{fb}	224 mV	---	Tension de bande plate
R_S	13.72 k Ω	---	Résistance d'accès source
R_D	73.61 k Ω	---	Résistance d'accès drain
C_{DE}	34.51 aF/m	---	Capacité électrostatique du drain
C_{SE}	33.73 aF/m	---	Capacité électrostatique de la source

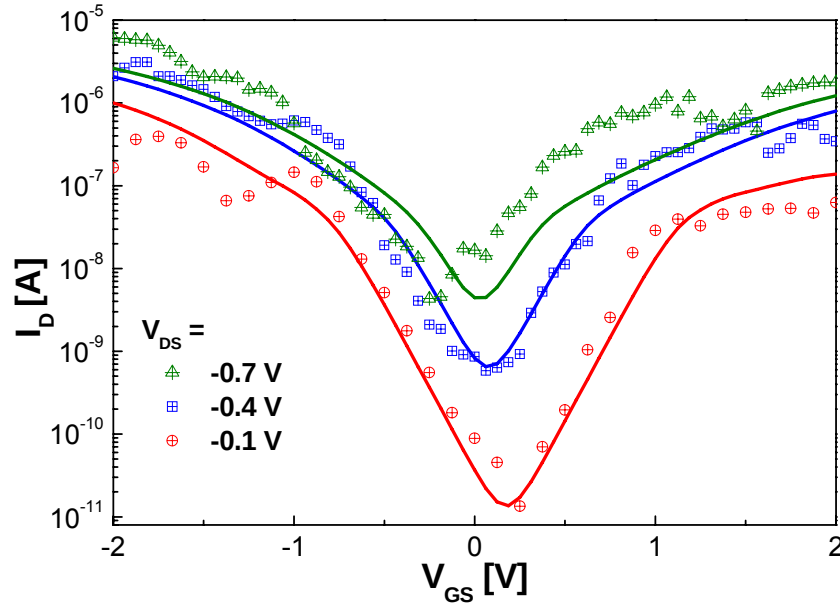


Figure 2.27 - Comparaison entre les résultats du modèle compact et les résultats des mesures expérimentales de [8] des caractéristiques I_D vs V_{GS} pour trois potentiels V_{DS} : -0,1 ; -0,4 et -0,7V avec $t_{ox}=10\text{nm}$ de SiO_2 et $\Phi_{SB}=110\text{meV}$ ($d_{Tunnel}=2.7\text{nm}$, $\lambda_{Schottky}=5.8\text{nm}$).

ETUDE D'INFLUENCE DES PARAMETRES DU MODELE (Φ_{SB} , C_{INS} ET D_{CNT})

Pour vérifier d'avantage la cohérence des résultats de notre modèle compact, nous avons étudié l'influence des paramètres matériaux (la hauteur de la barrière Schottky Φ_{SB}) et des paramètres géométriques (capacité l'oxyde de la grille C_{INS} et diamètre du nanotube d_{CNT}) sur les performances électriques statiques et dynamiques.

1.24 Les performances statiques

1.24.1 Influence de la barrière Schottky

La hauteur de la barrière Schottky dépend essentiellement de la différence de travail de sortie entre le métal et le nanotube de carbone puisque le phénomène de blocage de niveau de Fermi en surface a peu d'impact. De ce fait, des contacts formés par des métaux dont le travail de sortie est élevé (comme le Pd ou le Ti) donnent lieu à des barrières Schottky du côté de la bande de valence et donnant naissance à un transport de type p. A l'inverse, des contacts formés par des métaux dont le travail de sortie est faible donnent lieu à des barrières Schottky du côté de la bande de conduction et donne naissance en un transport de type n. Ainsi un contact est formé par un métal dont le travail de sortie conduit à un régime de transport ambipolaire.

La figure 2.28 montre l'influence de la hauteur de la barrière Schottky sur la caractéristique I_D vs V_{GS} pour trois valeurs de Φ_{SB} ; 300meV, 500meV et 600meV à $V_{DS}=0,1\text{V}$. En effet, en augmentant la hauteur de la barrière, la pente sous le seuil se dégrade et passe de 135mV/décade pour $\Phi_{SB}=300\text{meV}$ à 233mV/décade pour $\Phi_{SB}=600\text{meV}$.

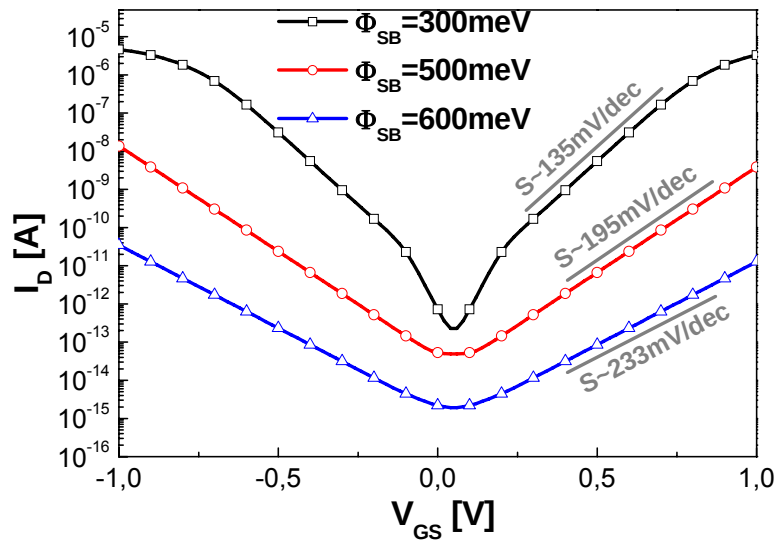


Figure 2.28 - Caractéristiques I_D vs. V_{GS} d'un SB-CNTFET formé par un nanotube zigzag (11, 0) et pour trois valeurs de la hauteur de la barrière Schottky ($\Phi_{SB}=0,3$; $0,5$ et $0,6$ eV) en échelle logarithmique à $V_{DS}=0,1$ V, $L=100$ nm.

D'autre part, le courant I_{on} se dégrade aussi de 6 décades en passant d'une hauteur de barrière nulle à une hauteur de barrière égale à $0,6$ eV comme le montre la figure 2.29.

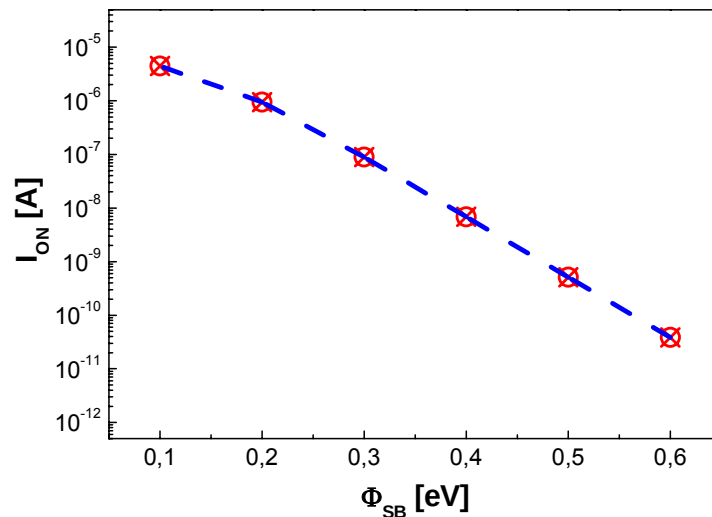


Figure 2.29 - Dépendance du courant I_{on} avec la hauteur de la barrière Schottky à $V_{DS}=400$ mV.

1.24.2 Influence du diamètre du nanotube

Comme il est déjà établi précédemment, des nanotubes de carbone de grands diamètres (faible bande interdite) donnent lieu à de faible hauteur de barrière Schottky et vis-versa.

Pour vérifier la cohérence de notre modèle avec cette hypothèse, on a simulé des caractéristiques électriques I_D vs. V_{GS} pour trois différentes polarisations en V_{DS} (100, 400 et 600 mV) et ce pour deux chiralité de nanotube (19, 0) et (10, 0). La figure 2.31 montre le résultat de ces simulations pour deux hauteurs de barrières Schottky mi-gap, c'est-à-dire $\Phi_{SB}=0,275$ eV pour (19, 0) et $\Phi_{SB}=0,55$ eV pour (10, 0).

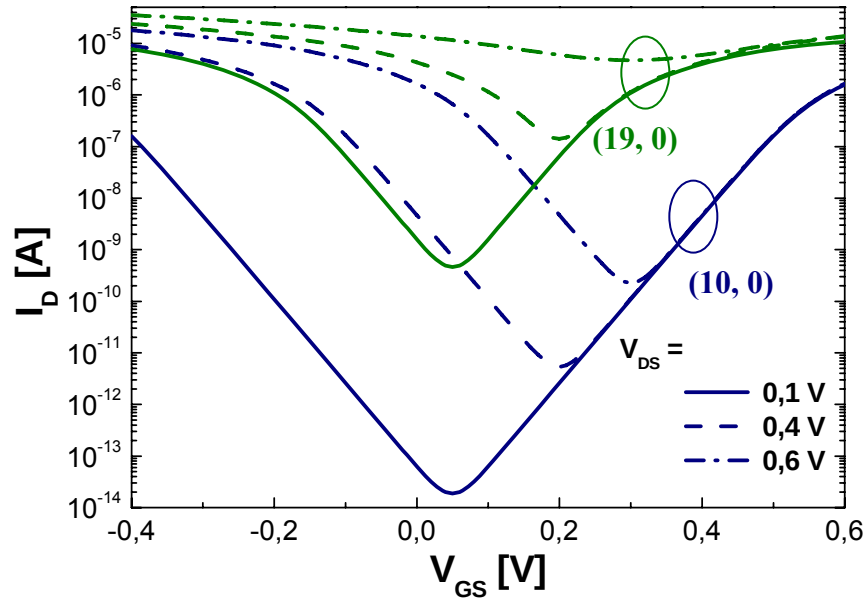


Figure 2.30 - Influence du diamètre sur les caractéristiques I_D vs V_{GS} à $V_{DS}=0,1$ 0,4 et 0,6V et pour deux chiralités du nanotube de carbone (19, 0) en vert et (10, 0) en bleu. Les hauteurs de barrières sont choisies égales à la moitié de la bande interdite ; c'est-à-dire $\Phi_{SB}=0,275$ eV pour (19, 0) et $\Phi_{SB}=0,55$ eV pour (10, 0).

On remarque sur cette figure 2.30 que le courant I_{off} qui correspond à la chiralité (19, 0) est plus fort que celui de la chiralité (10, 0). Ceci est bien cohérent et s'explique en analysant le profil de bande d'énergie correspondant :

La bande interdite est d'autant plus étroite que le diamètre du nanotube est grand ainsi la bande interdite du (19, 0) est plus haute pour celle du (10, 0). Ceci se traduit par une augmentation dans le courant des trous et augmente en conséquence le courant I_{off} .

De même, le rapport I_{on}/I_{off} est plus faible pour les plus grands diamètres des nanotubes ce qui est en accord avec les travaux du J. GUO et al. [97].

1.24.3 Influence de la capacité de l'oxyde

D'après plusieurs travaux [135], [85], [97], l'utilisation d'un oxyde de grille de faible épaisseur et de forte permittivité diélectrique comme le ZrO_2 ou le HfO_2 permet d'améliorer les performances des transistors CNTFETs. Dans [135], S.Heinze et al. ont présenté des caractéristiques électriques mesurées pour des transistors à nanotube avec différents épaisseurs d'oxyde SiO_2 et une longueur de grille de 300nm. Ils ont démontré par la suite que la pente sous le seuil augmente d'un facteur de 2,5 fois pour un oxyde 10 fois plus épais (de 2nm à 20nm). Ainsi, pour vérifier la cohérence du comportement de notre modèle vis-à-vis ces variations des propriétés de l'oxyde (EOT et permittivité diélectrique), nous avons réalisé des simulations des caractéristiques I_D vs. V_{GS} pour trois capacités d'oxyde $C_{INS}=594$ pFm⁻¹, 264 pFm⁻¹ et 158 pFm⁻¹ qui correspondent à des EOT de 1nm, 10nm et 100nm respectivement avec un diélectrique de haute permittivité $\epsilon_r=16$. On prend $V_{DS}=0,2$ V et $\Phi_{SB}=0,275$ eV.

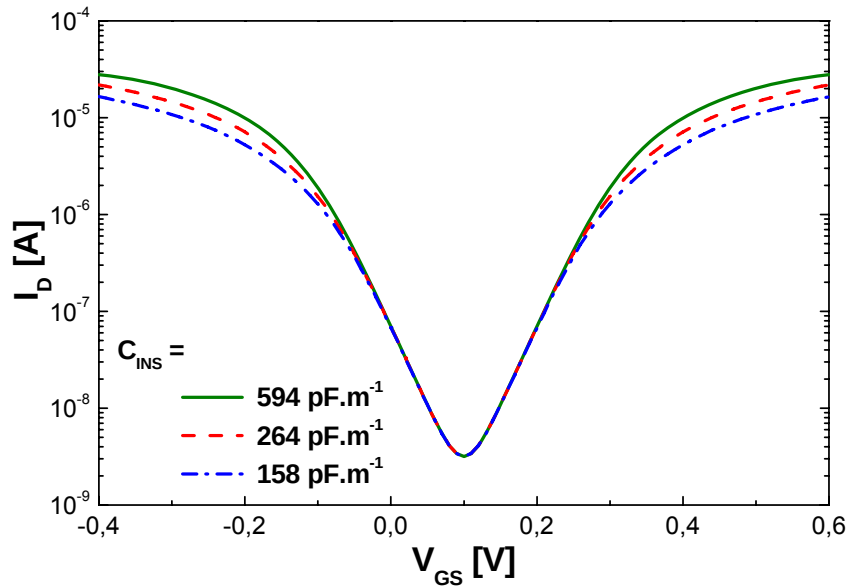


Figure 2.31 - Influence de la capacité d'oxyde C_{INS} sur la caractéristique I_D en fonction de V_{GS} à $V_{DS}=0,2V$ ($C_{INS}=1nFm^{-1}$, $10 nFm^{-1}$ et $50 nFm^{-1}$). La hauteur de la barrière Schottky est prise égale à la moitié de la bande interdite $\Phi_{SB}=0,275 eV$ et la longueur de la grille $L=100nm$.

Les résultats présentés sur la figure 2.31 montrent que lorsque C_{INS} passe de $158 pFm^{-1}$ à $594 pFm^{-1}$, le courant I_{on} et la pente sous le seuil sont nettement améliorés ce qui montre le meilleur contrôle électrostatique de la grille.

La figure 2.32 montre la variation du rapport I_{on}/I_{off} en fonction de EOT de 1nm à 100nm et pour $V_{DS}=V_{GS}=0,3V$, $\Phi_{SB}=0,275eV$. Une amélioration de la commande de la grille est observée sur cette figure pour les plus faibles EOT. Ces résultats sont en accord avec les conclusions des travaux de J. GUO et al. [97].

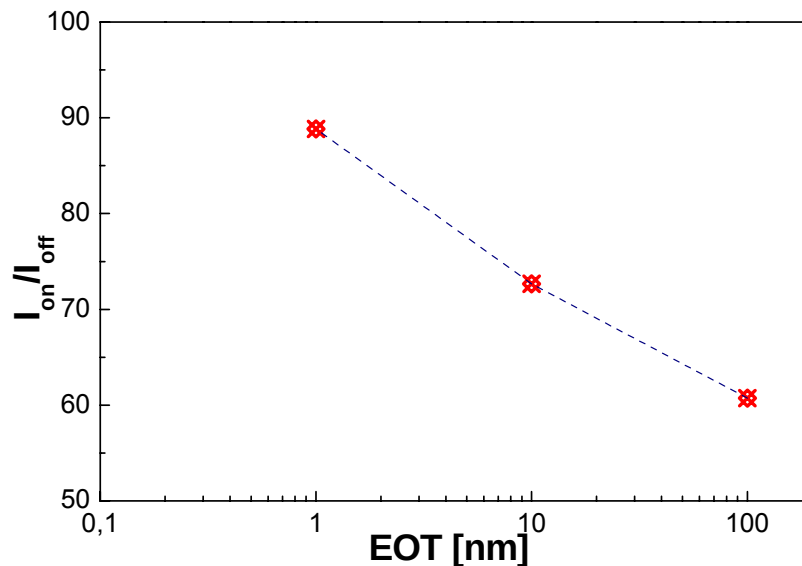


Figure 2.32 - Variation du rapport I_{on}/I_{off} avec EOT pour $V_{DS}=V_{GS}=0,3V$, $\Phi_{SB}=0,275 eV$ et $L=100nm$.

1.25 Performances dynamiques

Pour évaluer les performances fréquentielles des transistors SB-CNTFET, nous avons étudié la variation de la fréquence de transit f_T , selon la hauteur de la barrière Schottky, la capacité de l'oxyde et la chiralité du nanotube.

Dans le cas des transistors à effet de champ, la fréquence de transition f_T a pour expression :

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_g} \bigg|_{V_{DS}=V_{DD}}, \quad (2.75)$$

avec g_m la transconductance qui correspond à la variation du courant dans le canal en fonction du potentiel de grille V_{GS} :

$$g_m = \frac{\partial I_D}{\partial V_{GS}}, \quad (2.76)$$

et C_g la capacité intrinsèque de la grille.

1.25.1 Influence de la barrière Schottky

La figure 2.33 montre la variation de la fréquence de transit f_T pour des polarisations de V_{GS} de 0,3 à 0,7V et pour quatre potentiels V_{DS} 0,2V, 0,3V, 0,4V et 0,5 et ce pour deux hauteurs de barrières Schottky 0,275eV et 0eV. On observe sur cette figure que plus la barrière Schottky est haute plus la fréquence de transit f_T se dégrade. Ceci est lié à la qualité de la caractéristique I_D vs. V_{GS} c'est à dire à la transconductance qui est de plus en plus dégradée pour les plus fortes hauteurs de barrières Schottky.

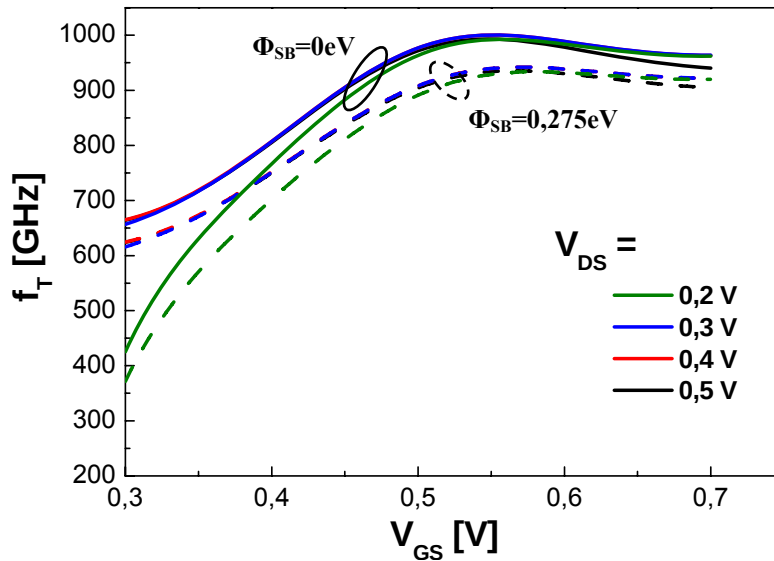


Figure 2.33 - Influence de la hauteur de la barrière Schottky sur la fréquence de transition f_T . $V_{DS}=0,2 ; 0,3 ; 0,4$ et $0,5V$ avec deux hauteurs de barrière Schottky $0,275eV$ (traits discontinus) et $0eV$ (traits continus). La chiralité du nanotube est $(19, 0)$ et la capacité d'oxyde $C_{INS}=70 \text{ nFm}^{-1}$.

La fréquence maximale f_{Tmax} est extraite à partir de ces simulations et elle est illustrée sur la figure 2.34 en 3D en fonction de la polarisation V_{DS} et de la hauteur de la barrière Schottky Φ_{SB} . On remarque que la fréquence maximale décroît avec l'augmentation de la hauteur de la barrière Schottky. Dans notre cas, des polarisations V_{DS} comprises entre 0,3V et 0,4V résultent en une meilleure fréquence de transition maximale.

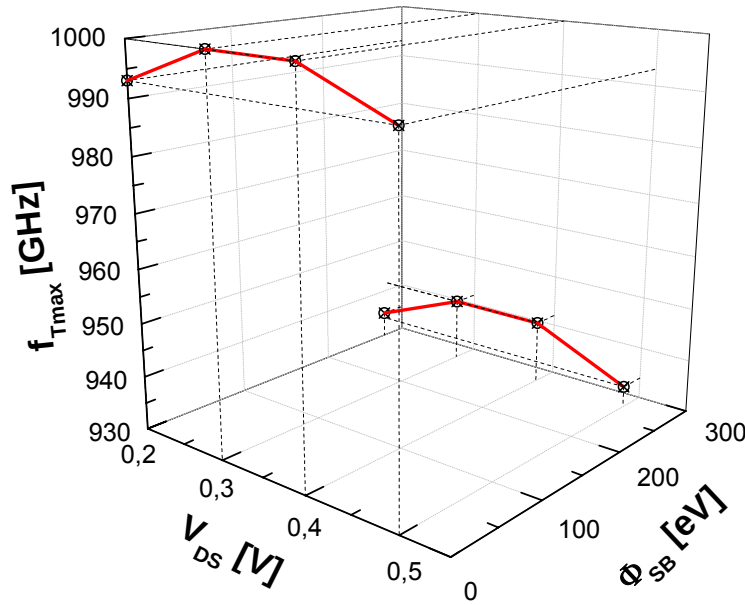


Figure 2.34 - Variation de la fréquence maximale f_{Tmax} en fonction de V_{DS} et de Φ_{SB} .

1.25.2 Influence du diamètre du nanotube

La figure 2.35 présente la variation de la fréquence de transition f_T en fonction de quatre chiralités de type zig-zig (10, 0), (13, 0), (16, 0) et (19, 0) à $V_{DS}=0,4V$.

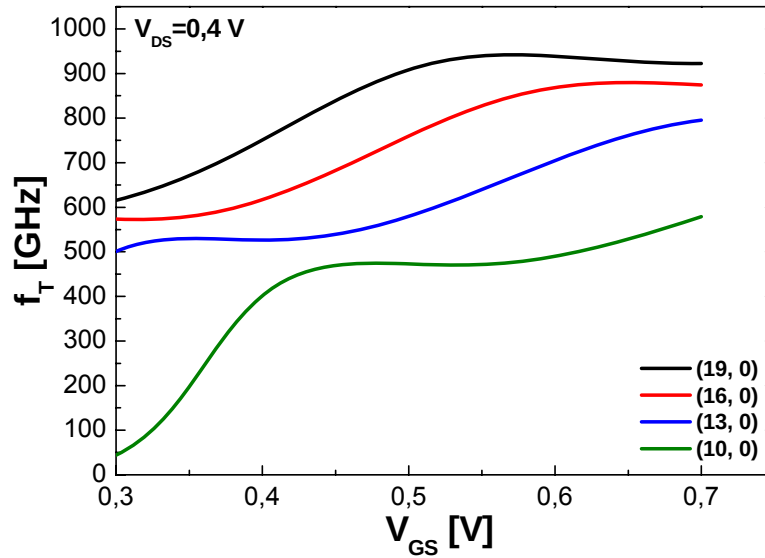


Figure 2.35 - Influence de la chiralité sur la fréquence de transition f_T pour $V_{DS}=0,4V$. Quatre chiralités sont simulées : (10, 0), (13, 0), (16, 0) et (19, 0) avec une hauteur de barrière Schottky $\Phi_{SB}=0,275eV$ et $C_{INS}=70 \text{ nFm}^{-1}$.

D'après la figure 2.35, il est clair que la fréquence de transition f_T est 2 fois plus élevée pour une chiralité de (19, 0) que pour une chiralité de (10, 0). Ainsi, les meilleures fréquences de transit sont établies pour les forts diamètres comme le montre la figure 2.36 qui illustre la variation de la fréquence de transit maximale vis-à-vis la chiralité du nanotube en configuration zigzag.

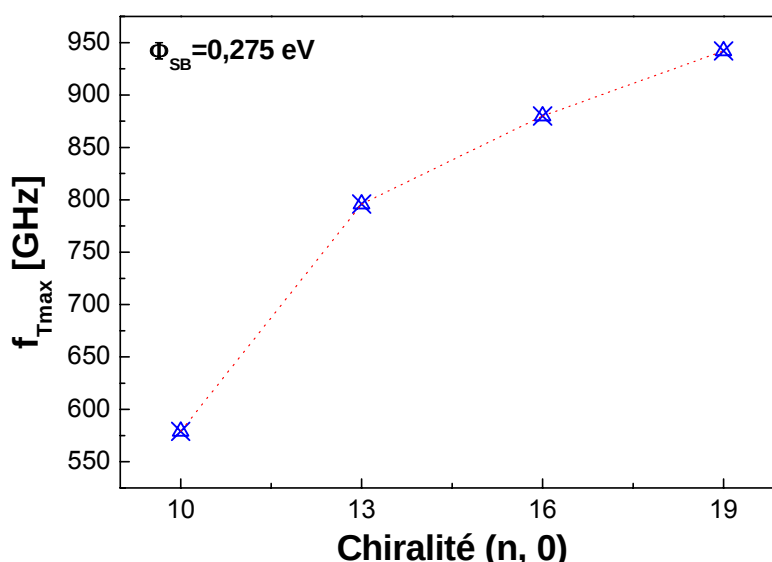


Figure 2.36 - Variation de la fréquence maximale f_{Tmax} en fonction de la chiralité de 4 nanotube zigzag : (10, 0), (13, 0), (16, 0) et (19, 0) pour $\Phi_{SB}=0,275\text{eV}$, $V_{DS}=0,4\text{V}$ et $C_{INS}=70\text{nFm}^{-1}$.

Cette variation des performances dynamiques avec le diamètre du nanotube se contredit avec ce que nous avons établi auparavant pour les performances statiques et le rapport I_{on}/I_{off} qui quant à eux se dégradent pour les plus grands diamètres du nanotube. Ceci montre qu'il faut établir un compromis pour le choix du diamètre du nanotube moyennant des performances statiques et dynamiques éminentes.

1.25.3 Influence de la capacité de l'oxyde

Nous avons étudié l'influence la variation de l'EOT sur la fréquence de transit du transistor. Pour cela, trois valeurs croissantes d'EOT (1nm, 10nm et 100nm) ont été considérées pour simuler f_T vs. V_{GS} à différents V_{DS} (0,1V, 0,3V et 0,5V). Ces résultats sont montrés sur la figure 2.37 où on remarque que pour la faible EOT (1nm), une amélioration dans la valeur maximale de la fréquence f_{Tmax} . Cette amélioration a tendance à saturée pour des EOT plus faibles.

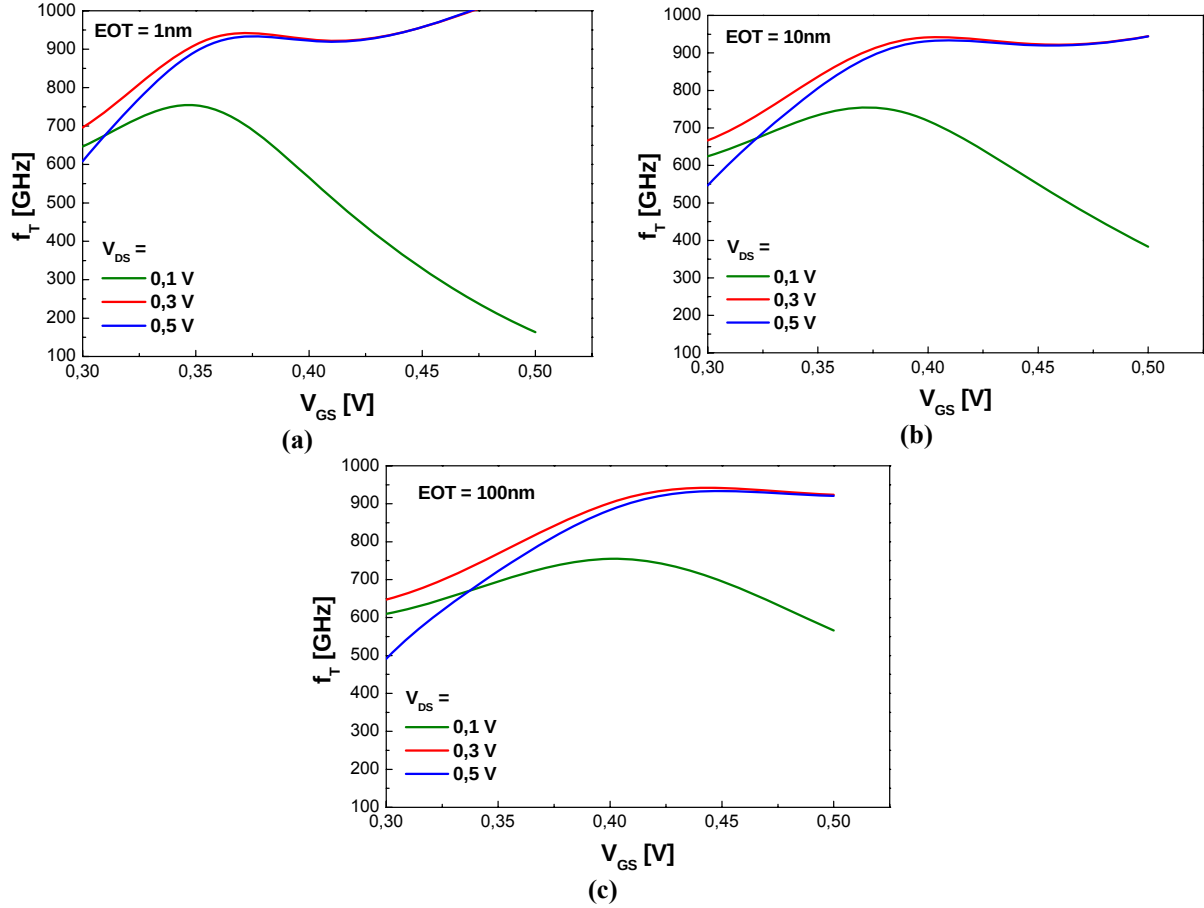


Figure 2.37 - Variation de la fréquence de transition f_T en fonction de V_{GS} et pour 3 valeurs de V_{DS} 0,1V, 0,3V et 0,5V. Trois EOT ont été simulées : (a) 1nm, (b) 10nm et (c) 100nm pour un nanotube (19, 0) et $\Phi_{SB}=0,275\text{eV}$.

En effet, cette saturation des performances dynamique est une conséquence du régime de la capacité quantique [95], [136]. Dans ce régime, la capacité équivalente de la grille C_{GS} tend plutôt vers la capacité quantique C_Q suivant la relation :

$$C_{GS}^{-1} = C_{INS}^{-1} + C_Q^{-1} \quad (2.77)$$

D'autre part, la capacité quantique est liée à la densité d'états dans le nanotube de carbone et elle est exprimée :

$$C_Q = \frac{8e^2}{h\nu_F} \quad (2.78)$$

avec ν_F la vitesse de Fermi.

Ainsi, d'après ces résultats, il s'avère inutile de trop réduire l'épaisseur de l'oxyde de la grille puisque les performances dynamiques atteignent leurs maximums à partir d'une certaine valeur optimale de cet EOT.

CONCLUSION

L'étude menée au début de ce deuxième chapitre concernant la mise évidence des barrières Schottky et leur principe de fonctionnement, nous a permis de développer un modèle compact pour le transistor SB-CNTFET en utilisant une approche qui est basée sur la notion de barrière Schottky effective. Cette approche a été adoptée d'un travail récent de J. Appenzeller et al. [130].

Nous avons validé par la suite ce modèle compact en terme d'approximations utilisées en comparant les caractéristiques courant tension I_D en fonction de V_{GS} et I_D en fonction de V_{DS} avec les résultats des simulations Monte-Carlo [7] et les résultats de mesures expérimentales [8]. Un bon accord est observé dans les deux cas de comparaison sauf pour les caractéristiques à plus fort V_{DS} . Ceci est dû aux effets des phonons acoustiques et optiques qui ne sont pas inclus dans notre modèle compact.

Une étude d'influence des paramètres du modèle (hauteur de la barrière Schottky, capacité de l'oxyde et diamètre du nanotube) a été réalisée afin de montrer leur impact sur les performances statiques et dynamiques du transistor SB-CNTFET.

Chapitre 3

APPLICATION AUX CIRCUITS NUMERIQUES

INTRODUCTION

Dans les deux chapitres précédents nous avons développé un modèle compact du transistor SB-CNTFET et montré, à partir des résultats de simulations, l'impact de la barrière Schottky sur ses performances tant statiques que dynamiques.

Dans ce chapitre, nous exploiterons ce modèle pour vérifier avant tout sa validité en terme de convergence. Pour cela nous avons envisagé de simuler une porte logique basique qui est la porte logique inverseuse.

On étudiera ensuite l'influence de la barrière Schottky sur les figures de mérite (fréquence d'oscillation, marge de bruit statique) de quelques circuits numériques comme l'oscillateur en anneau à 5 étages et la cellule mémoire statiques à 6 transistors 6T-SRAM.

Enfin, le comportement ambipolaire du transistor SB-CNTFET sera exploité pour simuler une cellule mémoire statique à 4 transistors 4T-SRAM avec 3 niveaux logiques.

Toutes ces simulations ont été élaborées en utilisant la description en langage Verilog-A du modèle compact.

Pour le choix du simulateur, nous avons opté pour ADS 2008 via le logiciel ICCAP 2008 afin de simuler les applications simples comme la porte inverseuse et l'oscillateur en anneau. Cependant pour simuler la cellule mémoire 4T, nous avons utilisé le simulateur Spectre de l'environnement Cadence 4.66 qui offre plus de flexibilité et permet d'éviter l'élaboration des fichiers de description des circuits "netlists".

INVERSEUR LOGIQUE

Une porte inverseuse est constituée par deux transistors N et P dont les deux grilles sont connectées ensemble pour former l'entrée de la porte et dont les deux drains sont connectés pour former la sortie unique. Cette porte est schématisée sur la figure 3.1.

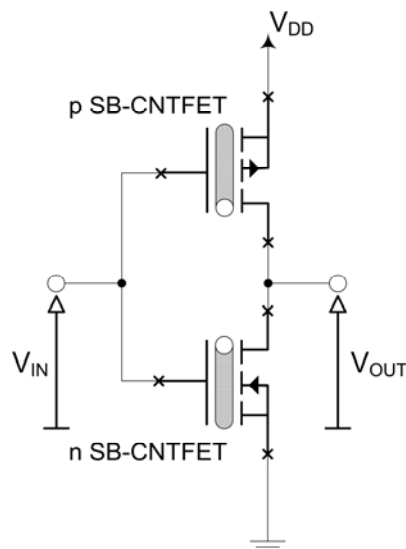


Figure 3.1 - Schéma électrique d'un inverseur à SB-CNTFET

Son principe de fonctionnement se résume dans l'obtention d'un signal de sortie V_{out} inversé par rapport au signal d'entrée V_{in} . Ainsi, faire varier V_{in} d'un état logique "0" (correspondant à une tension V_{in} nulle) à un état logique "1" (correspondant à une tension V_{in} égale à la tension d'alimentation V_{dd}) revient à faire basculer V_{out} d'un état logique "1" à un état logique "0".

En effet, lorsque V_{in} est proche de 0 ou de V_{dd} , un seul transistor conduit et l'autre est bloqué.

Dans notre cas, cette porte inverseuse a été simulée en utilisant le modèle compact du transistor SB-CNTFET et en calibrant correctement le paramètre correspondant à la tension de bande plate V_{fb} pour avoir un transistor de type N et l'autre de type P.

Les autres paramètres des transistors dans ces simulations sont :

- chiralité $(n, m) = (19, 0)$,
- longueur de canal de $L_{gate} = 100$ nm,
- une tension de bande plate $V_{fb} = +V_{dd}/2$ pour le transistor de type N et $V_{fb} = -V_{dd}/2$ pour le transistor de type P,
- capacité d'oxyde $C_{INS} = 69$ pF/m (10nm d'épaisseur d'oxyde avec $\epsilon_{SiO2} = 3,9$), avec des capacités électrostatiques de drain C_{DE} et de la source C_{SE} nulles,
- résistances d'accès série de drain R_D , de grille R_G et de la source R_S très faibles ($\sim 1\Omega$).

Les caractéristiques de transferts de l'inverseur (V_{out} en fonction de V_{in}) sont présentées sur la figure 3.2 pour une tension $V_{dd} = 0,5$ V et pour différentes hauteurs de barrières Schottky Φ_{SB} .

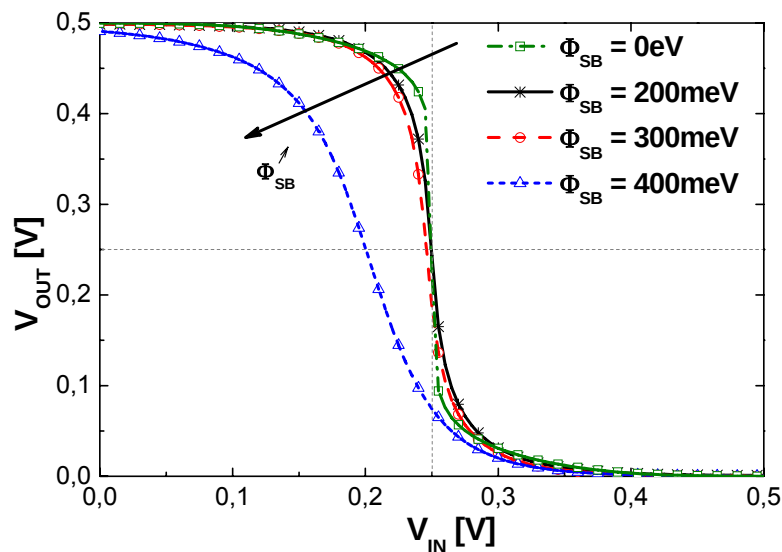


Figure 3.2 - Impact de la hauteur de la barrière Schottky Φ_{SB} sur la caractéristique de transfert d'un inverseur. Quatre hauteurs ont été simulées ; 0 eV (cas MOS-Like CNTFET), 200 meV, 300 eV et 400 meV avec $V_{dd} = 0,5$ V.

On observe aussi que plus la barrière Schottky augmente, c'est-à-dire entre 200meV et 300meV, plus la caractéristique de transfert et les marges de bruit haut et bas sont dégradées mais on garde toutefois une commutation centrée à $V_{dd}/2$.

La dégradation des performances statiques du transistor comme il était démontré au chapitre 2 pour les plus hautes barrières en est la cause.

Contrairement à ces caractéristiques centrées à $V_{dd}/2$, la caractéristique de transfert simulée pour $\Phi_{SB}=400\text{meV}$ présente un décalage de commutation de 50mV. Ce décalage est du au fait que les deux transistors N et P présentent une faible conduction à $V_{DD}/2$ et avec une telle hauteur de barrière Schottky.

Pour remédier à cet effet indésirable, il est possible d'augmenter la tension de polarisation du circuit ce qui améliore la conduction des deux transistors avec les plus grandes hauteurs de barrières et impose un point de commutation de la caractéristique de transfert centrée à $V_{DD}/2$.

D'autre part, il a été démontré dans plusieurs travaux récents [73], [7], [74], que le contrôle de la hauteur de la barrière Schottky est très difficile à maîtriser tant que cette barrière dépend de plusieurs paramètres technologiques comme le diamètre du nanotube, le travail de sortie du métal ainsi que des paramètres intrinsèques comme l'absorption de l'oxygène et la mouillabilité du métal.

L'ensemble aboutit à l'obtention des transistors Schottky avec des barrières Schottky différentes. C'est la raison pour laquelle nous avons étudié l'impact d'une telle dissymétrie sur la caractéristique de transfert de la porte inverseuse.

La figure 3.3 montre les résultats de simulation pour 4 barrières asymétriques entre les barrières Schottky des transistors N et P de la porte inverseuse et pour $V_{dd}=0,5\text{V}$. Ainsi, une telle dissymétrie se traduit par une nette dégradation des marges de bruit et du point de commutation.

C'est pour cette raison qu'il s'avère indispensable de bien maîtriser le contrôle de la formation de ses barrières parasites.

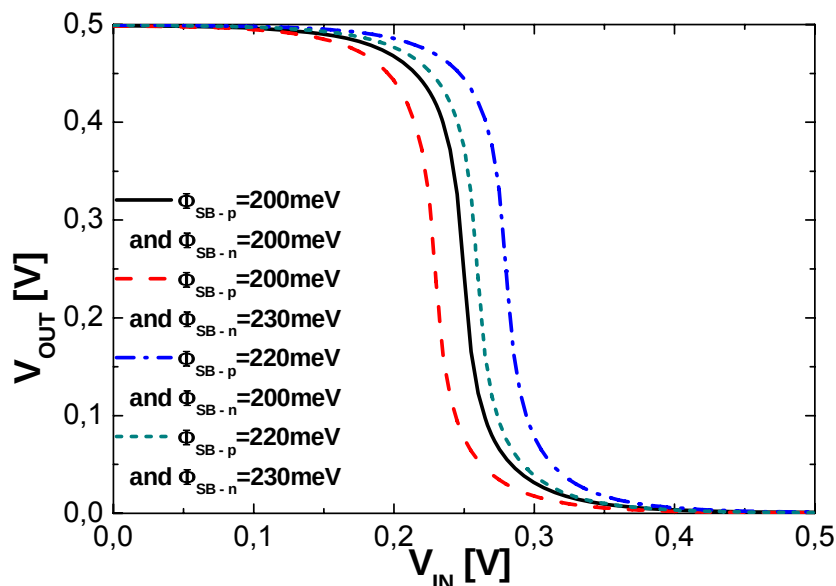


Figure 3.3 - Impact de la dissymétrie entre les barrières Schottky Φ_{SB} des transistors N et P de la porte inverseuse sur la caractéristique de transfert avec $V_{dd}=0,5\text{V}$.

OSCILLATEUR EN ANNEAU

Dans cette partie, on s'intéresse à la simulation d'un oscillateur en anneau. Rappelons qu'un oscillateur en anneau est composé d'une chaîne d'inverseurs identiques à ceux étudiés dans le paragraphe précédent en nombre n impair, bouclée sur elle même. Lorsqu'une excitation (ρ_{in}) est appliquée à l'entrée du premier inverseur (N_1), le système oscille à une fréquence déterminée f_{osc} . Dans le cadre d'une simulation de type circuit, les capacités C_L permettent de modéliser l'influence des interconnexions.

Dans notre cas, nous nous limitons à un oscillateur en anneau minimal constitué de 5 inverseurs ($n = 5$) comme le montre le schéma du montage de la figure 3.4.

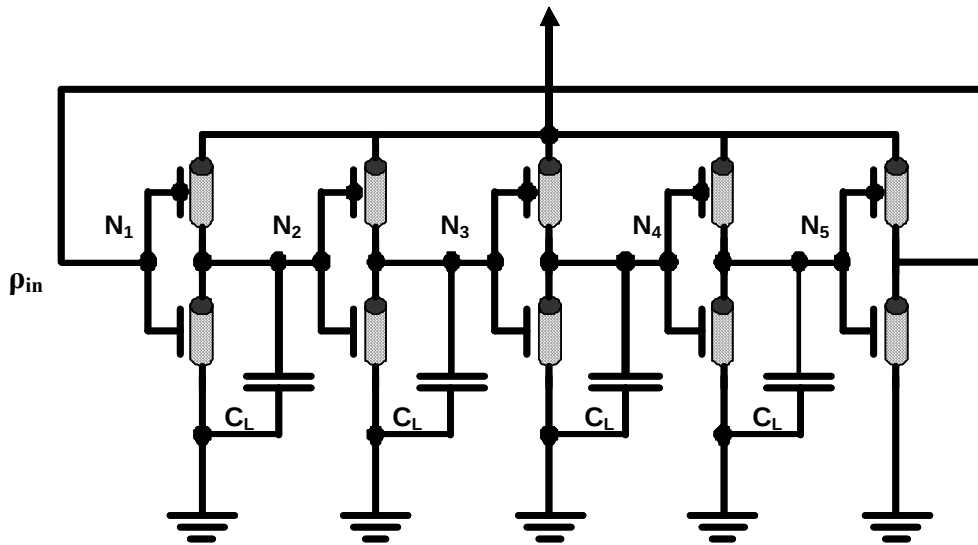


Figure 3.4 - Schéma électrique équivalent d'un oscillateur en anneau à 5 stages basé sur des SB-CNTFET

La même liste de paramètre établie précédemment pour l'inverseur a été utilisée pour la simulation de l'oscillateur tout en faisant varier la hauteur de la barrière Schottky pour étudier son influence sur la fréquence d'oscillation.

Pour cela, une barrière nulle et deux barrières de hauteurs 200meV et 250meV ont été considérées. La figure 3.5 montre les oscillogrammes correspondant à la tension de sortie avec une tension de polarisation $V_{dd}=0,5V$.

On remarque sur cette figure que plus la hauteur de barrière est grande plus la fréquence d'oscillation est faible. Ainsi, en utilisant la relation qui exprime la fréquence d'oscillation f_{osc} en fonction du temps de propagation d'une porte inverseuse τ :

$$f_{osc} = \frac{1}{2 n \tau} \quad (3.1)$$

On peut déduire les temps de propagation qui sont évalués à 0,5ps, 2,2ps et 5,1ps pour des hauteurs de barrières de 0eV, 0,2eV et 0,25eV respectivement.

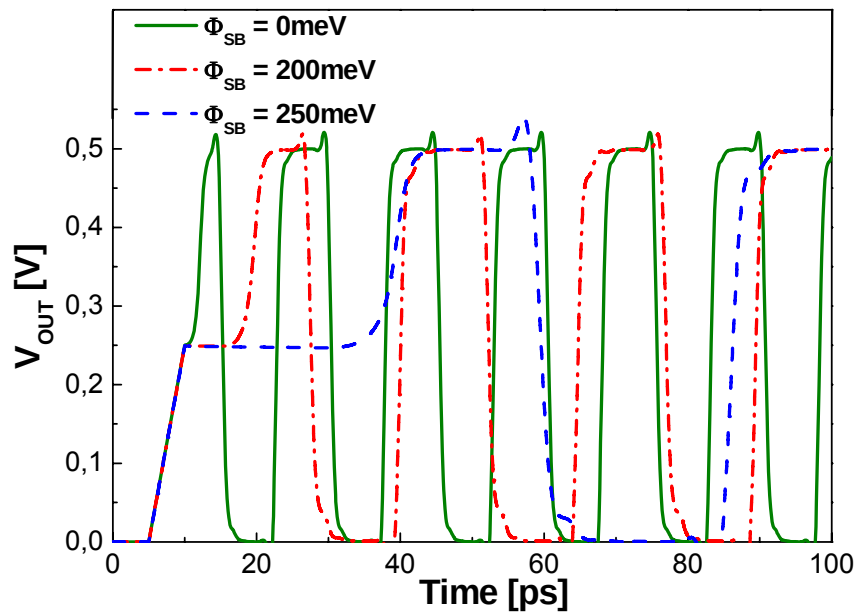


Figure 3.5 - Oscillogrammes de la tension de sortie d'un oscillateur en anneau à 5 étages pour différents hauteurs de barrière Schottky à $V_{dd}=0,5V$.

Ce circuit a permis aussi de vérifier la bonne convergence de notre modèle dans des simulations de type transitoires. Ce type de simulation est considéré comme le plus contraignant pour la convergence des calculs. C'est donc un résultat important qui démontre la robustesse du code du SB-CNTFET.

LA CELLULE MEMOIRE STATIQUE

Grâce à leurs meilleures performances électriques (rapidité d'accès, immunité aux bruits, faible consommation électrique) et à leur pouvoir d'intégration à très haute densité, les mémoires statiques à accès aléatoire (ou *SRAM* comme *Static Random Acces Memory*) sont très utilisées dans la conception des circuits intégrés pour l'électronique. Aujourd'hui, sur le marché, on peut trouver des microprocesseurs qui renferment des SRAM occupant jusqu'à 70% de leur surface totale.

Toutefois en respectant la loi de Moore pour réduire les coûts de conception, le besoin en terme d'intégration ne cesse d'évoluer poussant les concepteurs de cellule mémoire à utiliser des nœuds technologiques de plus en plus petits. Ainsi, de nouvelles limites physiques soulevées par la réduction des échelles qui n'étaient que peu influentes auparavant, deviennent prépondérantes et limitent le fonctionnement des SRAM.

Une des solutions pour repousser cette limitation consiste à intégrer les CNTFETs dans les SRAM avec les MOSFETs pour avoir des architectures hybrides [137] ou concevoir directement ces cellules avec ces CNTFETs [138] [139] tirant ainsi profit des performances électriques et dimensionnelles de ces transistors.

C'est dans ce contexte que nous avons étudié et simulé deux types de cellule mémoire SRAM : celle à six transistors appelée 6T-SRAM et celle à quatre transistors appelée 4T-SRAM. Cette étude est complétée par l'impact de la barrière Schottky sur l'une des figures de mérite de ces cellules qui est la marge statique du bruit appelée aussi SNM (comme *Static*

Noise Margin). Dans le cas de la 4T-SRAM, le comportement ambipolaire du transistor SB-CNTFET sera exploité pour démontrer un fonctionnement de la cellule à 3 niveaux logiques.

1.26 La cellule mémoire 6T-SRAM

1.26.1 Présentation de la cellule 6T-SRAM

La mémoire 6T-SRAM est constituée par 6 transistors. Son schéma électrique est donné par la figure 3.6. Elle comporte 2 inverseurs montés en tête-bêche et 2 transistors d'accès. Cette cellule permet de stocker une donnée (0 ou 1) codée sur un bit. Cette donnée peut transiter à l'intérieure (régime d'écriture) ou à l'extérieure (régime de lecture) de la cellule grâce à la paire de lignes nommées respectivement BL et $\overline{BL}$.

L'autorisation de la lecture ou de l'écriture se fait par la ligne WL qui est connecté aux grilles des deux transistors d'accès et commande ainsi leur état. L'activation de cette ligne de commande WL sature les transistors d'accès et connecte ainsi la cellule à la paire de lignes BL, $\overline{BL}$ et au reste du circuit. Par contre, sa désactivation bloque les transistors d'accès et sépare la cellule du reste du circuit extérieur ce qui permet de stocker la donnée dans les deux inverseurs tant que cette cellule est polarisée par une tension V_{dd} .

Dans notre cas, la cellule 6T-SRAM est conçue avec des transistors SB-CNTFET de type N et P. Les mêmes paramètres des transistors que précédemment sont utilisés.

Pour des raisons de fonctionnement, les transistors d'accès doivent être des transistors MOS-like CNTFET ; c'est-à-dire à barrière Schottky nulle, avec toutefois un courant OFF correspondant à une tension $V_{GS}=0$. Ceci est possible en choisissant une tension $V_{fb}=\pm V_{dd}/2$.

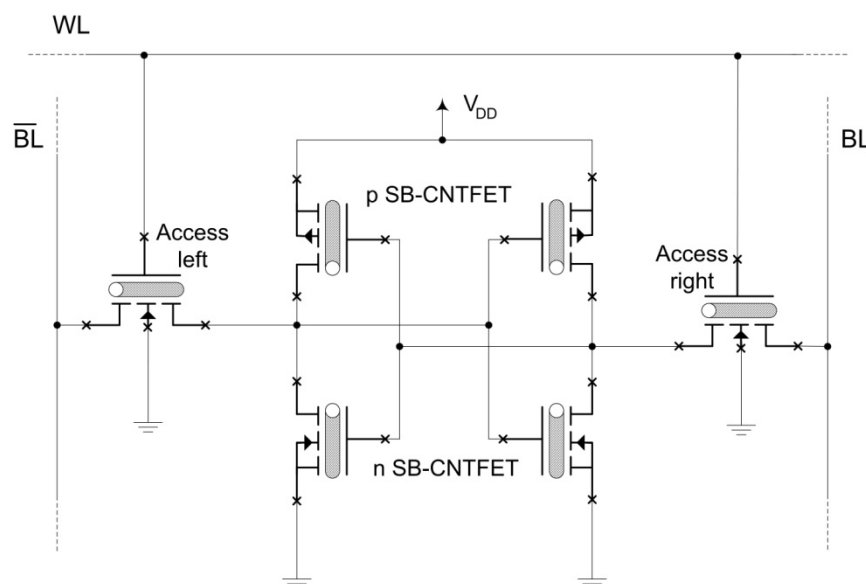


Figure 3.6 - Schéma électrique d'une cellule 6T-SRAM conçue avec des SB-CNTFET de type N et P. Les transistors des accès ont une hauteur de barrière nulle et $V_{fb}=\pm V_{dd}/2$.

1.26.2 Ecriture et lecture dans la 6T-SRAM

Pour écrire dans la cellule mémoire 6T-SRAM, on force la valeur dans la cellule sélectionnée : la ligne de commande WL est activée et la donnée est injectée à l'intérieur de la cellule à travers la paire de lignes BL et $\overline{BL}$.

Pour lire l'état de la cellule mémoire 6T-SRAM, la paire BL et $\overline{BL}$ est laissée flottante et l'activation de la ligne de commande WL fait connecter les entrées et les sorties communes des deux inverseurs à la paire de ligne BL et $\overline{BL}$. Chose faite, la valeur stockée dans ces deux inverseurs est transmise à l'extérieur de la cellule via la paire de ligne BL et $\overline{BL}$.

Cependant, pour pouvoir simuler simultanément ces deux régimes de fonctionnement, il faut rajouter à cette cellule d'autres circuits :

1- Un circuit de pré-charge de la donnée comprenant trois inverseurs dont deux sont commandés en tension avec le signal de la ligne "w_enable". Ce circuit permet de faire transiter ou non la donnée vers la cellule. Ceci à pour but de différencier un régime de lecture d'un régime d'écriture.

2- Un amplificateur en miroir de courant (SAE comme Sense-Amplifier) permettant d'amplifier les signaux de la paire de ligne BL et $\overline{BL}$ afin de retrouver la sortie voulue de la cellule "out". Cet amplificateur est commandé par le signal de la ligne "SAE_command".

Le schéma électrique complet de la cellule mémoire 6T-SRAM qui a été simulé dans ce travail réunissant ces trois sous-circuits (cellule 6T-SRAM, circuit de pré-charge et circuit de l'amplificateur de sortie) est donné par la figure 3.7.

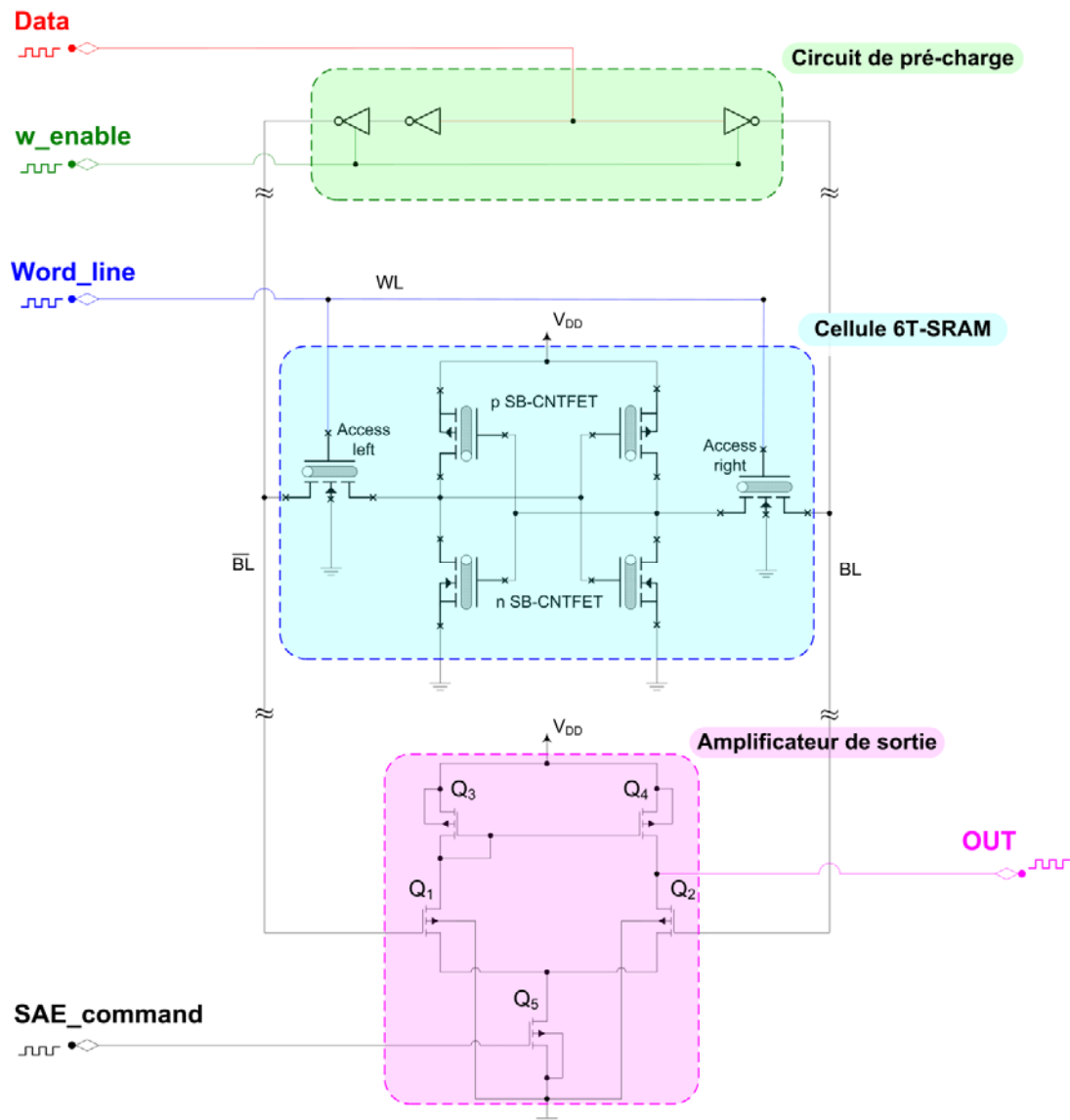


Figure 3.7 - Schéma électrique complet de la cellule mémoire 6T-SRAM avec le circuit de pré-charge et l'amplificateur de sortie.

1.26.3 Etude statique de la 6T-SRAM

Les chronogrammes de la figure 3.8 ci-dessous montrent les résultats de simulation de la cellule 6T-SRAM avec des transistors SB-CNTFET à une hauteur de barrière Schottky $\Phi_{SB}=0,2\text{eV}$ pour un temps de 100ps. On observe sur ces chronogrammes que la cellule permet de lire et écrire convenablement les deux niveaux logiques 0 et 1.

Après avoir vérifié le bon fonctionnement de la cellule en régime d'écriture et de lecture, il reste maintenant à vérifier sa stabilité et étudier l'influence de la barrière Schottky sur ces performances statiques.

Rappelons que la SNM constitue une des caractéristiques principales de la cellule qui permette de visualiser la stabilité d'un point mémoire, c'est-à-dire, sa capacité à conserver une information et à résister aux perturbations extérieures.

Dans la technologie CMOS, cette SNM est réduite par un facteur de 4 en passant d'un nœud technologique de 250nm à 50nm [140] ce qui justifie l'intérêt de porter notre étude sur cette métrique.

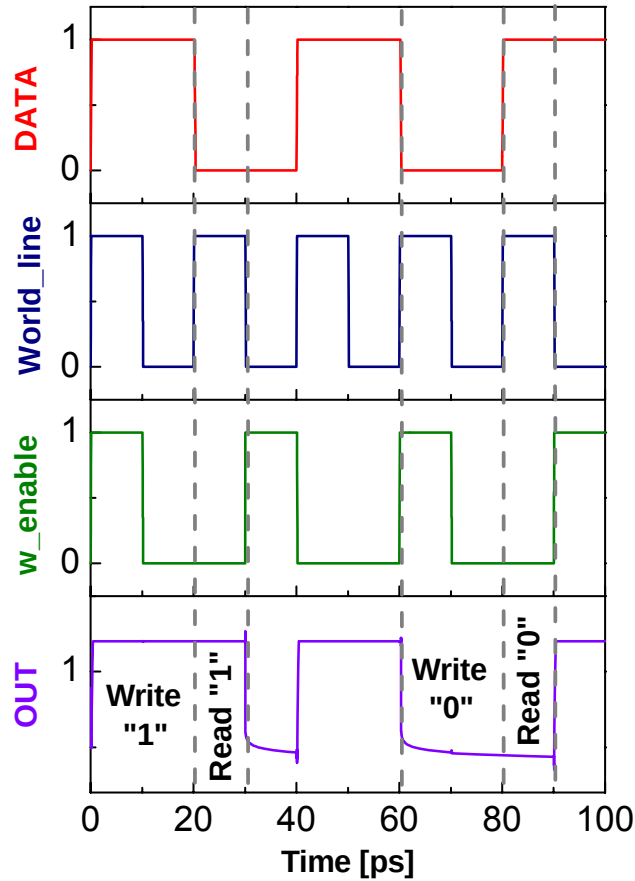


Figure 3.8 - Chronogrammes de lecture et d'écriture de la 6T-SRAM à SB-CNTFET avec $\Phi_{SB}=0,2eV$.

Sur la figure 3.9, les SNMs des cellules mémoires 6T-SRAM simulées avec des SB-CNTFET à trois différentes hauteurs de barrière (0eV, 200meV et 400meV) sont extraites. Les SNMs associées sont visualisées en traçant les caractéristiques de transfert V_{out} vs. V_{in} des deux inverseurs de la cellule. Graphiquement, la SNM est la diagonale du plus petit carré inscrit dans l'une des deux boucles de la courbe en papillon associée au point mémoire [141].

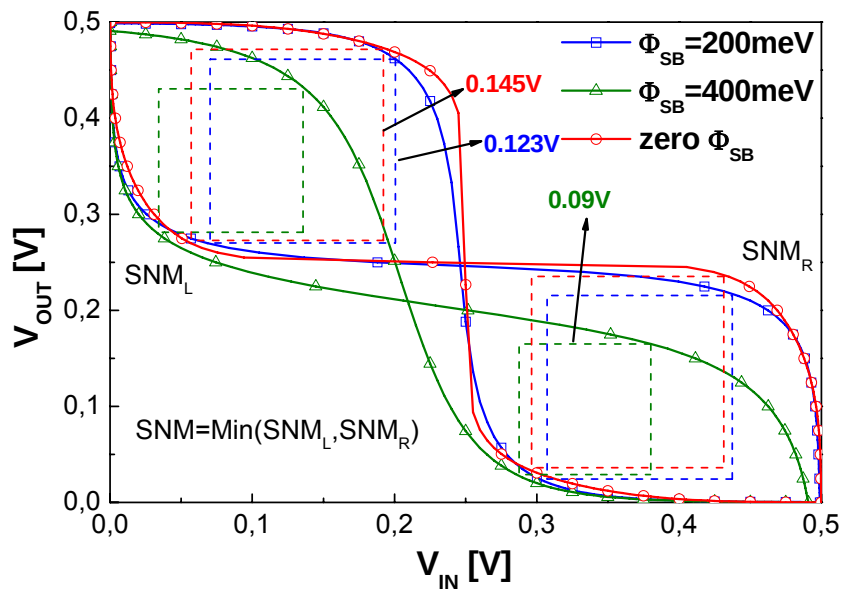


Figure 3.9 - Impact de la barrière Schottky sur le SNM des cellules mémoires 6T-SRAM. $V_{dd}=0,5V$.

Sur la figure 3.9, une SNM de 0,145V est observée cellule simulée avec des SB-CNTFET à barrière nulle et opérant comme un MOS-Like CNTFET. Cette valeur de la SNM se dégrade

pour les plus grandes barrières pour atteindre seulement 0,123V pour une cellule simulée avec des SB-CNTFET à $\Phi_{SB}=200\text{meV}$ et 0,09V pour une cellule simulée avec des SB-CNTFET à $\Phi_{SB}=400\text{meV}$.

Ces résultats montrent que le fonctionnement de la 6T-SRAM se dégrade lorsque des barrières Schottky deviennent importantes dans les CNTEFTs.

Dans le paragraphe qui suit, nous montrons que ses barrières Schottky, si elles sont contrôlées technologiquement, peuvent présenter un intérêt pour une cellule 4T-SRAM à trois niveaux logiques.

1.27 La cellule mémoire 4T-SRAM

1.27.1 Présentation de la cellule 4T-SRAM

La cellule 4T-SRAM, comme le montre le circuit de la figure 3.10, est composée, par seulement quatre transistors et deux résistances. Ainsi sa dimension est réduite de 30% par rapport à celle de la 6T-SRAM ce qui lui confère une meilleure intégrabilité.

Deux des quatre transistors constituent les transistors d'accès de la cellule. Les deux autres transistors de type N sont mis en série avec les deux résistances à l'intérieur de la cellule pour former des inverseurs à charge passive connectés tête-bêche.

Le fonctionnement de la 4T-SRAM est identique à celui de la 6T-SRAM.

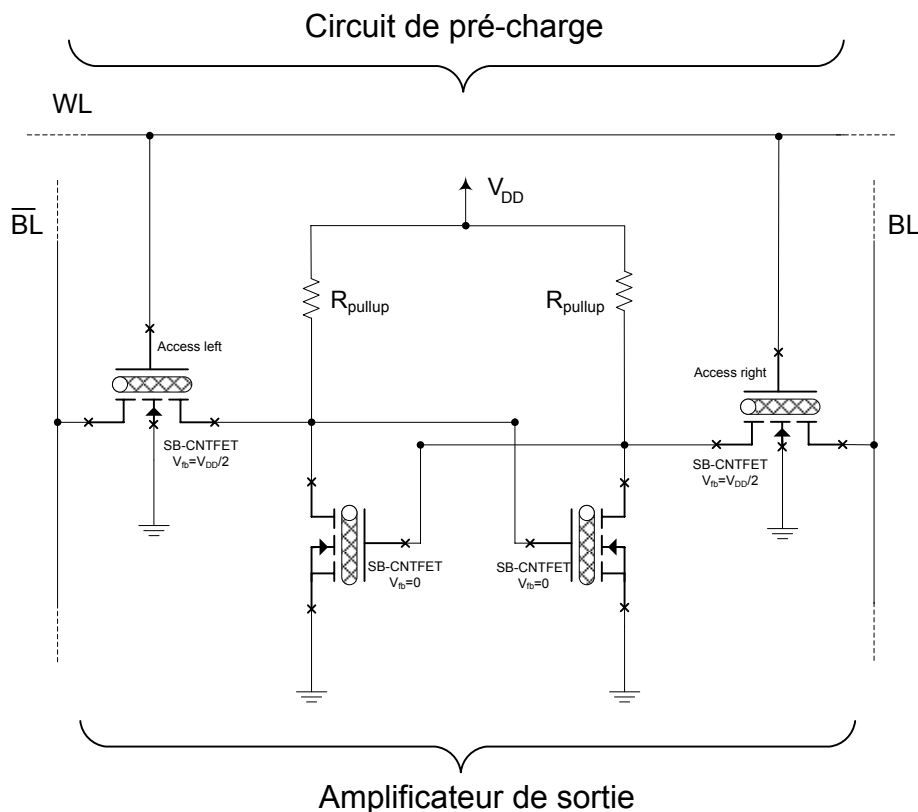


Figure 3.10 - Schéma électrique d'une cellule 4T-SRAM conçue avec des SB-CNTFET ambipolaires à $\Phi_{SB} = 200\text{meV}$. Les transistors des accès ont une hauteur de barrière nulle et $V_{fb}=V_{dd}/2$.

1.27.2 L'inverseur à charge résistive à SB-CNTFETs ambipolaires

La figure 3.11 montre la caractéristique de transfert de l'inverseur à charge passive (en insert de la figure). Cet inverseur est simulé avec un SB-CNTFET ambipolaire avec $\Phi_{SB} = 200\text{meV}$ et à $V_{dd} = 0,9\text{V}$.

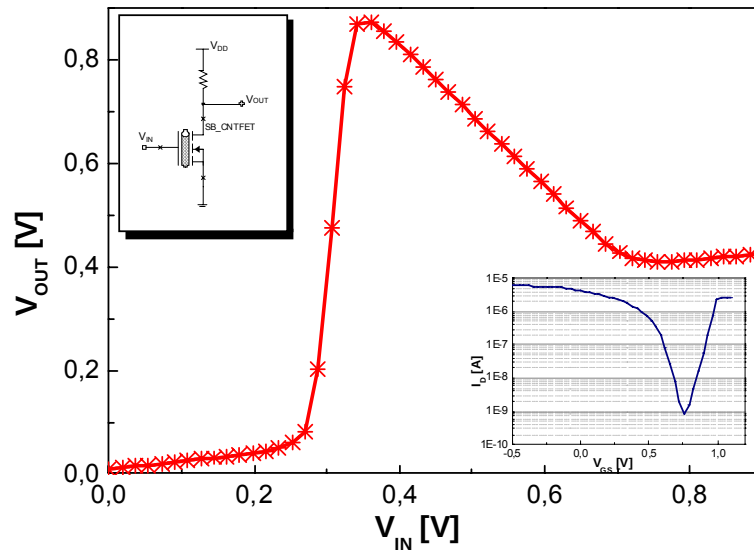


Figure 3.11 - Schéma électrique d'une cellule 4T-SRAM conçue avec des SB-CNTFET avec $\Phi_{SB}=200\text{meV}$ et à $V_{dd} = 0,9\text{V}$.

En effet, lorsque le potentiel d'entrée V_{in} qui est équivalent au potentiel V_{GS} commence à croître (entre 0 et 0,2V), un fort courant de trous circule dans le transistor SB-CNTFET. Ceci offre un chemin moins résistif vers la masse et met ainsi le potentiel de sortie V_{out} à un niveau bas correspondant à un premier état logique stable "0".

Maintenant, si le potentiel V_{in} croît encore (de 0,2V à 0,4V), le courant de trous dans le transistor commence à décroître suivant la tendance de la caractéristique ambipolaire I_D vs. V_{GS} (en insert dans figure 3.11) et le chemin vers la masse devient plus résistif. De ce fait le potentiel de la sortie V_{out} commute vers le potentiel V_{dd} à travers la résistance R_{pullup} . Ceci est traduit par un niveau haut correspondant à un deuxième état logique stable "1".

En augmentant toujours le potentiel pour des valeurs de plus de 0,4V, un courant d'électron commence à apparaître dans le transistor SB-CNTFET.

Dans le cas d'un SB-CNTFET à barrières Schottky de source et de drain symétriques, ce courant d'électron, une fois établie pour des forts V_{in} , fera commuter le potentiel V_{out} vers le potentiel nul de la masse.

Dans notre cas, en ajoutant une dissymétrie entre les deux barrières de la source et du drain, le courant d'électrons devient plus faible que celui des trous et crée un diviseur de potentiel. Ce diviseur de potentiel ainsi créé par la résistance R_{pullup} et le transistor SB-CNTFET permet de saturer le potentiel V_{out} à une valeur intermédiaire équivalente à $V_{dd}/2$. Ceci est traduit par un nouveau niveau intermédiaire correspondant à un troisième état logique stable "2".

Cet inverseur a servi pour concevoir la cellule 4T-SRAM.

1.27.3 Etude statique de la cellule 4T-SRAM

A. Raychowdhury et al. de l'université de Purdue [142], en coopération avec Jing Guo de l'université de Floride, ont simulé la cellule 4T-SRAM à trois niveaux logiques en utilisant un modèle de SB-CNTFET basé sur les fonctions de GREEN (*NEGF* comme *Non-Equilibrium Green's Function*). Les fonctions de GREEN consistent à résoudre d'une façon auto-cohérente l'équation de Schrödinger avec l'équation de Poisson ce qui demande un temps de calcul et des ressources logicielles importants pendant la simulation. Ceci devient très pénalisant dans le cas où une architecture à plusieurs transistors doit être simulée.

C'est dans ce contexte que nous avons simulé la cellule 4T-SRAM avec notre modèle compact de SB-CNTFET offrant ainsi un temps de simulation beaucoup plus rapide que les fonctions de GREEN (de 8 à 10 secondes avec une station Sun reliée à un serveur à quadri processeurs Ultrasparc IIIi V440 opérant à 1062MHz).

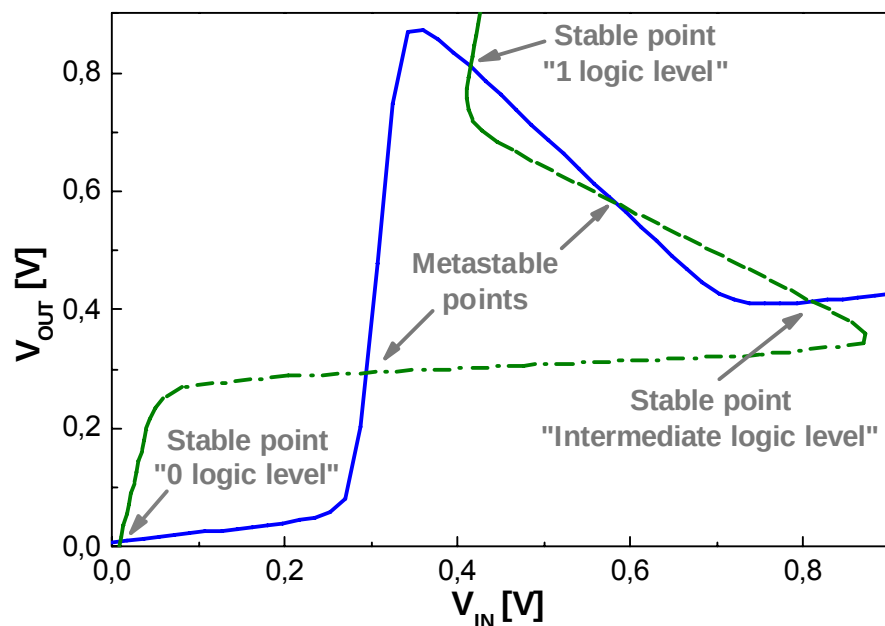


Figure 3.12 - Caractéristiques de transfert des deux inverseurs à charge passive de la cellule 4T-SRAM à trois états logiques stables conçue avec des SB-CNTFET à $\Phi_{SB}=200\text{meV}$ et polarisée avec $V_{dd}=0,9\text{V}$.

La figure 3.12 montre les deux caractéristiques de transfert des deux inverseurs de la cellule 4T-SRAM simulée avec des SB-CNTFETs ayant une hauteur de barrière Schottky $\Phi_{SB}=200\text{meV}$. La courbe verte résulte de la rotation de la courbe bleue par à un angle de 45° par rapport l'axe V_{IN} . Cette cellule est polarisée par une tension $V_{dd}=0,9\text{V}$.

On remarque que ces deux caractéristiques de transfert se croisent en 5 points. Deux de ces points sont considérés comme métastables alors que les trois autres points sont stables et offrent trois différents niveaux logiques. Ainsi, avec une telle logique ternaire, un mot codé sur N -bits sera plutôt codé sur $N \ln_3(2)$ ce qui permet de réduire la taille de $\sim 37\%$ des futurs processeurs qui intègrent jusqu'à 70% de ces cellules mémoires.

En plus, une telle application à logique ternaire peut être dédiée pour les applications électroniques qui utilisent des techniques de logiques partielles comme la logique floue ou la logique modale nécessitant différents niveaux logiques.

CONCLUSION

Ce chapitre a été consacré à la simulation de quelques démonstrateurs circuits comme la porte inverseuse et l'oscillateur en anneau à 5 étages pour démontrer l'influence de la barrière Schottky sur les performances électriques de ces circuits. De même, une cellule mémoire statique 6T-SRAM a été simulée avec le modèle compact du SB-CNTFET. D'après les figures de mérites de cette cellule, nous avons vérifié que la présence des barrières Schottky de 0,2eV et 0,4eV influence significativement la stabilité de la cellule en dégradant les marges de bruit haut et bas par 17% et 61% respectivement.

D'autre part, la cellule mémoire 4T-SRAM a été simulée avec le modèle compact de SB-CNTFET. Pour exploiter le caractère ambipolaire du transistor SB-CNTFET, nous avons démontré 3 états logiques pour cette cellule. Ce résultat semble très intéressant pour les applications électroniques qui utilisent des techniques de logiques partielles comme la logique floue.

CONCLUSION GENERALE

Ces travaux de cette thèse ont portés sur la modélisation compacte du transistor à nanotube de carbone à barrière Schottky. L'objectif majeur de ce travail était de réaliser un modèle analytique ayant des liens forts avec la physique du dispositif, dans le but de mener des études prédictives exactes sur le comportement de ce composant dans des circuits numériques.

Ce manuscrit fait état d'une étude approfondie de la modélisation compacte des barrières Schottky. Cette étude commence par une première mise en évidence de ces barrières Schottky à partir de l'analyse des caractéristiques électriques des transistors CNTFET présentées dans la littérature [29] [67] [43]. Pour modéliser la barrière Schottky, deux approches ont été détaillées par la suite. Une seule de ces deux approches, qui s'est avérée plus adaptée aux exigences de la modélisation compacte, a été retenue. Elle a été utilisée pour développer un modèle analytique pour le transistor SB-CNTFET qui a servi ensuite à la simulation de quelques circuits numériques et notamment des cellules mémoires statiques.

Dans le premier chapitre nous avons décrit, tout d'abord, les structures et les propriétés électroniques des nanotubes de carbone. Nous avons exposé, par la suite, les procédés de fabrications des transistors à base de nanotube de carbone et nous avons montrés quelques caractéristiques électriques d'un transistor CNTFET de type "p" développé dans le centre de recherche de l'IBM T.J. Watson Research Center aux Etats-Unis par J. S. Wind et al [29]. Ce transistor présente des bonnes performances en comparaison avec le 15nm Si p-MOSFET [30] et le 50nm SOI p-MOSFET [31] notamment en terme de rapport du courant I_{on}/I_{off} et de la transconductance. En effet, le CNTFET présente un rapport de courant I_{on}/I_{off} ($\sim 1,4 \times 10^4$) 23 fois plus grand que celui du 15nm Si p-MOSFET ($0,6 \times 10^3$) et une transconductance normalisée par unité de longueur ($2321 \mu S/\mu m$) nettement supérieure à ceux du 15nm Si p-MOSFET ($975 \mu S/\mu m$) et du 50nm SOI p-MOSFET ($650 \mu S/\mu m$).

Malgré ce bon niveau du courant I_{on}/I_{off} et de la transconductance, ce CNTFET souffre d'une dégradation de la pente sous le seuil qui est égale à 130mV/décade contre 100mV/décade voir 70mV/décade pour les deux autres technologies.

Pour connaître l'origine de cette limitation, après avoir décrit les performances DC et HF des CNTFETs, nous avons examiné les limitations technologiques et intrinsèques. Parmi les limitations intrinsèques, la présence des barrières Schottky paraît avoir un impact de 1^{er} ordre.

Dans le deuxième chapitre nous avons expliqué tout d'abord le fonctionnement du transistor SB-CNTFET avec la mise en évidence de l'influence des barrières Schottky et des fonctions de transmissions associées. L'importance de ces barrières à l'interface nanotube/métal est argumenté selon les réalités technologiques telles que la nature du métal, l'épaisseur d'oxyde effective EOT, la longueur de la grille et le diamètre du nanotube de carbone.

Après avoir quantifié l'importance des barrières Schottky selon les paramètres technologiques, nous avons proposé une première approche de leur modélisation. Pour cela, la méthode Wentzel–Kramers–Brillouin "WKB" a été mise en œuvre en approximant la forme de la barrière de potentiel par une forme triangulaire. Cette approche analytique a été mise en

œuvre dans la modélisation du courant tunnel dans une diode Schottky à nanotube de carbone. Le résultat de simulation du courant tunnel a été validé en le comparant aux mesures expérimentales de M. H. Yang et al. de l'université de Cambridge [126].

Bien que l'approximation WKB offre d'excellents résultats analytiques en terme de précision de calcul et de convergence pour le courant tunnel dans une diode Schottky, elle est beaucoup moins intéressante dans le cas d'un SB-CNTFET. Dans un SB-CNTFET, contrairement à la diode, deux barrières Schottky sont présentes aux interfaces des contacts source/nanotube et nanotube/drain. L'existence de ces deux barrières a entraîné une complexité supplémentaire dans le calcul ralentissant de façon considérable les temps de simulation du composant. Ceci se contredit avec les besoins de la modélisation compacte en terme de rapidité de calcul.

Pour cette raison, nous avons choisit d'employer une autre méthode plus simple à mettre en œuvre et plus économique en terme de ressource mémoire et de temps de calcul. Ceci fait l'objet de la deuxième approche qui est basée sur la notion de barrière Schottky effective. Cette approche a été adaptée d'un travail récent de J. Appenzeller et al. [130] dans lequel ils définissent d'une manière analytique un niveau d'injection minimum des porteurs à travers la jonction Schottky. Ce niveau d'injection minimum ou barrière Schottky effective se définit en fonction des paramètres dimensionnels de la barrière (longueur et largeur) et des conditions de polarisations du composant.

Dans un premier temps, cette deuxième approche nous a permis d'élaborer un modèle analytique pour la charge. Le calcul de la densité de charge est basé sur le modèle numérique de G. Pennington et al. [132] où la relation de dispersion est exprimée sous une forme non parabolique. Ce même modèle numérique définit aussi les facteurs de non parabolicité $\alpha_{[p]}$ et les masses effectives $m^*_{[p]}$ correspondant aux trois premiers bas de sous-bandes $sbbd_{[p]}$ en fonction de la chiralité des nanotubes zig-zag. Pour simplifier le problème, des solutions partielles de l'équation de la densité de charge ont été développées afin d'aboutir à un modèle complet valable pour toutes les gammes de polarisations et des énergies de porteurs.

Ensuite, le courant de drain est déterminé avec un calcul auto-cohérent du potentiel du canal. Comme, le régime balistique a été supposé, nous avons eu recours à l'équation de Landauer [125] pour calculer le courant de drain.

Le modèle compact a été validé en terme d'approximations utilisées en comparant les caractéristiques courant tension I_D en fonction de V_{GS} et I_D en fonction de V_{DS} avec les résultats des simulations Monte-Carlo [7] et les résultats de la mesure expérimentale [8]. Un bon compromis est observé dans les deux cas de comparaison sauf pour les caractéristiques à plus fort V_{DS} . Ceci est très probablement dû aux effets des phonons acoustiques et optiques qui ne sont pas pour l'instant inclus dans notre modèle compact.

A l'issue de deuxième chapitre, une étude d'influence des paramètres du modèle (hauteur de la barrière Schottky, capacité de l'oxyde et diamètre du nanotube) a été réalisée afin de montrer leurs impacts sur les performances statiques et dynamiques du transistor SB-CNTFET. Pour les performances statiques, le courant I_{on} , le rapport de courant I_{on}/I_{off} et la

pende sous le seuil ont été évalués selon la hauteur de barrière Schottky. Ainsi, nous avons tiré les conclusions suivantes :

✓ le courant I_{on} se dégrade significativement avec l'augmentation de la hauteur de la barrière Schottky : dans nos simulations et pour une hauteur de barrière qui passe de 0 à 0,6eV, le courant I_{on} se dégrade de 6 décades,

✓ le rapport I_{on}/I_{off} est plus faible pour les plus grands diamètres des nanotubes : comme la bande interdite du (19, 0) est plus haute pour celle du (10, 0), nous avons remarqué une augmentation dans le courant des trous et en conséquence une augmentation dans le courant I_{off} ,

✓ le courant I_{on} et la pente sous le seuil sont nettement améliorés en améliorant le contrôle électrostatique de la grille : le rapport I_{on}/I_{off} est améliorée de ~30% en diminuant le EOT de 1nm à 100nm pour $V_{DS}=V_{GS}=0,3V$ et $\Phi_{SB}=0,275eV$.

Pour les performances dynamiques, nous avons étudié la variation de la fréquence de transit f_T , selon la hauteur de la barrière Schottky, la capacité de l'oxyde et la chiralité du nanotube et nous avons conclu par :

✓ la fréquence maximale de transit f_{Tmax} décroît avec l'augmentation de la hauteur de la barrière Schottky,

✓ les meilleures fréquences de transit sont établies pour les forts diamètres des nanotubes : Ceci montre qu'il faut établir un compromis pour le choix du diamètre du nanotube pour obtenir des performances statiques et dynamiques optimales.

A partir d'une certaine valeur optimale de l'épaisseur de l'oxyde de la grille les performances dynamiques atteignent leurs maximums.

Le troisième chapitre est consacré, dans sa première partie, à l'étude et la simulation de quelques circuits numériques comme la porte inverseuse et l'oscillateur en anneau à 5 étages. La dégradation des performances électriques de ces circuits due à la présence de la barrière Schottky a été mise en évidence à travers l'analyse des figures de mérites notamment la caractéristique de transfert de la porte inverseuse et l'oscillogramme de la tension de sortie de l'oscillateur en anneau. Cette étude nous a permis, dans un premier temps, de vérifier la bonne convergence de notre modèle compact dans le cas des simulations circuit de type DC et transitoires.

De même, nous avons montré l'influence de la barrière Schottky sur le temps de propagation d'une porte inverseuse : dans nos simulations de l'oscillateur en anneau, ce temps de propagation est multiplié par un facteur de 10 pour une hauteur de barrière Schottky passant de 0 à 0,25eV.

De même, les cellules mémoires statiques SRAM à 6 et à 4 transistors ont fait l'objet d'étude de la deuxième partie de ce chapitre. La cellule mémoire 6T-SRAM à base de SB-CNTFET est présentée en détail et son schéma électrique complet incluant l'écriture et la lecture a été expliqué. Nous avons ensuite focalisé notre étude sur la stabilité de la cellule vis-à-vis la présence des barrières Schottky dans les SB-CNTFET. Ainsi, nous avons démontré

que les marges de bruit de la cellule 6T-SRAM sont dégradées par 17% et 61% pour des SB-CNTFET ayant des hauteurs de barrière de 0,2eV et 0,4eV respectivement.

Finalement, nous avons exploité la nature ambipolaire du transport dans les SB-CNTFET pour simuler la cellule 4T-SRAM. La même structure a été simulée par Z. Chen et al. [100] mais en utilisant un modèle du transistor SB-CNTFET basée sur le calcul des équations de Green. Ceci ne s'avère pas adaptée à des simulations de circuit comprenant des centaines de transistors. Dans notre cas, la simulation de la cellule 4T-SRAM a duré environ 10 secondes avec une station Sun reliée à un serveur à quadri processeurs Ultrasparc IIIi V440 opérant à 1062MHz.

L'effet ambipolaire de ce transistor a été exploité afin de démontrer trois états logiques stables pour la 4T-SRAM. Ainsi, concevoir ces cellules avec les CNTFETs permet d'améliorer leur marge de stabilité et de consommation électrique par rapport à ceux conçus avec la technologie Si-MOSFET [143].

Avec une telle logique ternaire, un mot codé sur N -bits sera plutôt codé sur $N \ln_3(2)$ ce qui permet de réduire la taille de ~37% des futurs processeurs qui intègrent jusqu'à 70% de ces cellules mémoires. Cette logique ternaire à base de CNTFET ouvre aussi des nouvelles perspectives vers la conception des applications électroniques utilisant des techniques de logiques partielles comme la logique floue et nécessitant des états logiques multiples.

Ce travail de modélisation des barrières Schottky a été exploité dans d'autres travaux de modélisation au sein de notre équipe « Model » du laboratoire IMS. Notre approche a été exploitée pour modéliser les barrières Schottky dans les CNTFET à double grilles, ou DG-CNTFET [144]. De même, ce travail a servi pour améliorer la modélisation des CNTFET à grille commandée optiquement, ou OG-CNTFET [145]. Le code Verilog-A du modèle compact associé au transistor SB-CNTFET est disponible sur le site du laboratoire IMS [146].

A l'air de l'électronique moléculaire, le transistor CNTFET a le mérite d'avoir de très bonnes potentielles en raison de ses propriétés électriques. Le transistor basé sur le graphène (ou GNR-FET) a montré aussi durant ces dernières années des performances tout aussi intéressantes. Récemment, IBM a annoncé avoir fabriqué le transistor en graphène le plus rapide au monde, pouvant atteindre les 100 GHz [147].

Zhenxing Wang et. al. de l'université de Pékin affirment que ce transistor peut atteindre le THz en utilisant leur multiplieur de fréquence conçu à partir d'un seul GNR-FET à grille sur le dessus [148]. Ce multiplieur de fréquence a démontré un gain 10 fois plus grand que celui qui a été conçu avec des GNR-FET à grille arrière [148].

Si toutes ces voies apparaissent prometteuses, elles restent pour l'instant du domaine de la recherche fondamentale. Les fondeurs industriels, cherchant toujours à améliorer leur rentabilité, investissent massivement en R&D, tel le cas de TSMC, UMC et Chartered Semiconductor. Ceci a fait exploser les coûts des R&D sur le marché mondial et les fonderies souffrent d'une baisse des prix constante évaluée à -26% pour l'année 2006 [149].

Pour surmonter cet obstacle économique et espérer qu'un de ces prototypes de l'électronique de futur mette un pied en dehors des laboratoires de recherche, des partenariats entre les centres de recherche spécialisés dans cette technologie commence à émerger.

C'est dans cette perspective que l'alliance CEA-LETI, IBM et STMICROELECTRONICS a été créée début 2009 [150]. Ainsi, les travaux de recherche sont menés à la fois sur la plateforme silicium 300mm du CEA/Léti de Grenoble, sur celle du *College of Nanoscale Science and Engineering* de l'Université d'Albany (New-York, Etats-Unis), le site de STMicroelectronics à Crolles et l'usine de production de tranches 300 mm d'IBM à Fishkill (New-York, Etats-Unis). Une équipe du CEA/Léti est basée sur le site Nanotech d'Albany pour travailler sur le programme. Les travaux communs ont porté principalement sur la nanoélectronique du futur et les outils et méthodes de caractérisation aux échelles nanométriques permettant de maîtriser le développement des technologies ainsi que le contrôle en fabrication.

Avec toutes les avancées déjà achevées dans le domaine de la nanoélectronique, un changement incrémentale entre la filière silicium et ces technologies de « beyond CMOS » est désormais envisageable.

BIBLIOGRAPHIE

- [1] “Bell System Memorial- Bell Labs History of The (the "crystal Triode"),” http://www.porticus.org/bell/belllabs_transistor.html.
- [2] G. McFarland, *Microprocessor Design: A Practical Guide from Design Planning to Manufacturing*, McGraw-Hill Professional, 2006.
- [3] P. Harsha, S. Mosier, D. Bruggeman, N. Yousefi, L. Woellert, E. Fisher, et J.K. Jesse, *Chasing Moore's Law: Information Technology Policy in the U.S.*, SciTech Publishing, 2004.
- [4] G. Moore, “Cramming More Components onto Integrated Circuits,” *Electronics*, vol. 38, Avr. 1965, p. 117, 114.
- [5] A. Schuhl, *Les ordinateurs de demain*, Editions le Pommier, 2004.
- [6] “2009 ITRS - 2009, 2010 International Technology Roadmap for Semiconductors,” <http://public.itrs.net/Links/2009ITRS/Home2009.htm>.
- [7] Huu Nha Nguyen, S. Retailleau, D. Querlioz, A. Bournel, et P. Dollfus, “Monte Carlo Study of Ambipolar Transport and Quantum Effects in Carbon Nanotube Transistors,” *Simulation of Semiconductor Processes and Devices, 2009. SISPAD '09. International Conference on*, 2009, p. 1-4.
- [8] Yu-Ming Lin, J. Appenzeller, J. Knoch, et P. Avouris, “High-performance carbon nanotube field-effect transistor with tunable polarities,” *Nanotechnology, IEEE Transactions on*, vol. 4, 2005, p. 481-489.
- [9] S. Iijima et T. Ichihashi, “Single-shell carbon nanotubes of 1-nm diameter,” *Nature*, vol. 363, Juin. 1993, p. 603-605.
- [10] D.S. Bethune, C.H. Klang, M.S. de Vries, G. Gorman, R. Savoy, J. Vazquez, et R. Beyers, “Cobalt-catalysed growth of carbon nanotubes with single-atomic-layer walls,” *Nature*, vol. 363, Juin. 1993, p. 605-607.
- [11] P. Avouris, Z. Chen, et V. Perebeinos, “Carbon-based electronics,” *Nat Nano*, vol. 2, Oct. 2007, p. 605-615.
- [12] R. Saito, *Physical Properties of Carbon Nanotubes*, World Scientific Publishing Company, 1998.
- [13] “nanoHUB.org - Simulation, Education, and Community for Nanotechnology.”
- [14] P.R. Wallace, “The Band Theory of Graphite,” *Physical Review*, vol. 71, Mai. 1947, p. 622.
- [15] C. Journet, W.K. Maser, P. Bernier, A. Loiseau, M.L. de la Chapelle, S. Lefrant, P. Deniard, R. Lee, et J.E. Fischer, “Large-scale production of single-walled carbon nanotubes by the electric-arc technique,” *Nature*, vol. 388, 1997, p. 756-758.
- [16] A. Thess, R. Lee, P. Nikolaev, H. Dai, P. Petit, J. Robert, C. Xu, Y.H. Lee,

S.G. Kim, A.G. Rinzler, D.T. Colbert, G.E. Scuseria, D. Tomanek, J.E. Fischer, et R.E. Smalley, "Crystalline Ropes of Metallic Carbon Nanotubes," *Science*, vol. 273, Juillet. 1996, p. 483-487.

[17] H. Dai, A.G. Rinzler, P. Nikolaev, A. Thess, D.T. Colbert, et R.E. Smalley, "Single-wall nanotubes produced by metal-catalyzed disproportionation of carbon monoxide," *Chemical Physics Letters*, vol. 260, Sep. 1996, p. 471-475.

[18] S.J. Tans, A.R.M. Verschueren, et C. Dekker, "Room-temperature transistor based on a single carbon nanotube," *Nature*, vol. 393, Mai. 1998, p. 49-52.

[19] R. Martel, T. Schmidt, H.R. Shea, T. Hertel, et P. Avouris, "Single- and multi-wall carbon nanotube field-effect transistors," *Applied Physics Letters*, vol. 73, 1998, p. 2447.

[20] S.J. Tans, M.H. Devoret, H. Dai, A. Thess, R.E. Smalley, L.J. Geerligs, et C. Dekker, "Individual single-wall carbon nanotubes as quantum wires," *Nature*, vol. 386, 1997, p. 474-477.

[21] T. Guo, P. Nikolaev, A. Thess, D. Colbert, et R. Smalley, "Catalytic growth of single-walled nanotubes by laser vaporization," *Chemical Physics Letters*, vol. 243, Sep. 1995, p. 49-54.

[22] J. Kong, H.T. Soh, A.M. Cassell, C.F. Quate, et H. Dai, "Synthesis of individual single-walled carbon nanotubes on patterned silicon wafers," *Nature*, vol. 395, Oct. 1998, p. 878-881.

[23] B. Zheng, Y. Li, et J. Liu, "CVD synthesis and purification of single-walled carbon nanotubes on aerogel-supported catalyst," *Applied Physics A: Materials Science & Processing*, vol. 74, 2002, p. 345-348.

[24] Y. Murakami, Y. Miyauchi, S. Chiashi, et S. Maruyama, "Characterization of single-walled carbon nanotubes catalytically synthesized from alcohol," *CHEM. PHYS. LETT*, vol. 374, 2003, p. 1-2.

[25] B.J. LeRoy, S.G. Lemay, J. Kong, et C. Dekker, "Electrical generation and absorption of phonons in carbon nanotubes," *Nature*, vol. 432, Nov. 2004, p. 371-374.

[26] N.R. Franklin, Q. Wang, T.W. Tomblor, A. Javey, M. Shim, et H. Dai, "Integration of suspended carbon nanotube arrays into electronic devices and electromechanical systems," *Applied Physics Letters*, vol. 81, 2002, p. 913.

[27] H. He, J. Klinowski, M. Forster, et A. Lerf, "A new structural model for graphite oxide," *Chemical Physics Letters*, vol. 287, Avr. 1998, p. 53-56.

[28] J.W.G. Wilder, L.C. Venema, A.G. Rinzler, R.E. Smalley, et C. Dekker, "Electronic structure of atomically resolved carbon nanotubes," *Nature*, vol. 391, Jan. 1998, p. 59-62.

[29] S.J. Wind, J. Appenzeller, R. Martel, V. Derycke, et P. Avouris, "Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes," *Applied Physics Letters*, vol. 80, 2002, p. 3817.

-
- [30] Bin Yu, Haihong Wang, A. Joshi, Qi Xiang, Effiong Ibok, et Ming-Ren Lin, "15 nm gate length planar CMOS transistor," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, p. 11.7.1-11.7.3.
- [31] R. Chau, J. Kavalieros, B. Doyle, A. Murthy, N. Paulsen, D. Lionberger, D. Barlage, R. Arghavani, B. Roberds, et M. Doczy, "A 50 nm depleted-substrate CMOS transistor (DST)," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, p. 29.1.1-29.1.4.
- [32] Jia Chen, C. Klinke, A. Afzali, K. Chan, et P. Avouris, "Self-aligned carbon nanotube transistors with novel chemical doping," *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.*, San Francisco, CA, USA: , p. 695-698.
- [33] A. Javey, H. Kim, M. Brink, Q. Wang, A. Ural, J. Guo, P. McIntyre, P. McEuen, M. Lundstrom, et H. Dai, "High-[kappa] dielectrics for advanced carbon-nanotube transistors and logic gates," *Nat Mater*, vol. 1, Déc. 2002, p. 241-246.
- [34] J. Appenzeller, J. Knoch, V. Derycke, R. Martel, S. Wind, et P. Avouris, "Field-Modulated Carrier Transport in Carbon Nanotube Transistors," *Physical Review Letters*, vol. 89, 2002, p. 126801.
- [35] A. Bachtold, P. Hadley, T. Nakanishi, et C. Dekker, "Logic Circuits with Carbon Nanotube Transistors," *Science*, vol. 294, Nov. 2001, p. 1317-1320.
- [36] Y. Lin, J. Appenzeller, et P. Avouris, "Novel structures enabling bulk switching in carbon nanotube FETs," *Device Research Conference, 2004. 62nd DRC. Conference Digest [Late News Papers volume included]*, 2004, p. 133-134 vol.1.
- [37] J. Appenzeller, M. Radosavljević, J. Knoch, et P. Avouris, "Tunneling Versus Thermionic Emission in One-Dimensional Semiconductors," *Physical Review Letters*, vol. 92, Jan. 2004, p. 048301.
- [38] C. Kocabas, H. Kim, T. Banks, J.A. Rogers, A.A. Pesetski, J.E. Baumgardner, S.V. Krishnaswamy, et H. Zhang, "Radio frequency analog electronics based on carbon nanotube transistors," *Proceedings of the National Academy of Sciences of the United States of America*, vol. 105, Fév. 2008, p. 1405-1409.
- [39] E.S. Snow, J.P. Novak, P.M. Campbell, et D. Park, "Random networks of carbon nanotubes as an electronic material," *Applied Physics Letters*, vol. 82, 2003, p. 2145.
- [40] E.S. Snow, P.M. Campbell, M.G. Ancona, et J.P. Novak, "High-mobility carbon-nanotube thin-film transistors on a polymeric substrate," *Applied Physics Letters*, vol. 86, 2005, p. 033105.
- [41] M. Engel, J.P. Small, M. Steiner, M. Freitag, A.A. Green, M.C. Hersam, et P. Avouris, "Thin Film Nanotube Transistors Based on Self-Assembled, Aligned, Semiconducting Carbon Nanotube Arrays," *ACS Nano*, vol. 2, Déc. 2008, p. 2445-2452.
- [42] C. Rutherglen, D. Jain, et P. Burke, "Nanotube electronics for radiofrequency applications," *Nat Nano*, vol. 4, Déc. 2009, p. 811-819.

- [43] Z. Zhang, S. Wang, L. Ding, X. Liang, T. Pei, J. Shen, H. Xu, Q. Chen, R. Cui, Y. Li, et L. Peng, "Self-Aligned Ballistic n-Type Single-Walled Carbon Nanotube Field-Effect Transistors with Adjustable Threshold Voltage," *Nano Letters*, vol. 8, Nov. 2008, p. 3696-3701.
- [44] R. Chau, S. Datta, M. Doczy, B. Doyle, B. Jin, J. Kavalieros, A. Majumdar, M. Metz, et M. Radosavljevic, "Benchmarking nanotechnology for high-performance and low-power logic transistor applications," *Nanotechnology, IEEE Transactions on*, vol. 4, 2005, p. 153-158.
- [45] A. Javey, Q. Wang, A. Ural, Y. Li, et H. Dai, "Carbon Nanotube Transistor Arrays for Multistage Complementary Logic and Ring Oscillators," *Nano Letters*, vol. 2, 2002, p. 929-932.
- [46] Z. Chen, J. Appenzeller, Y. Lin, J. Sippel-Oakley, A.G. Rinzler, J. Tang, S.J. Wind, P.M. Solomon, et P. Avouris, "An Integrated Logic Circuit Assembled on a Single Carbon Nanotube," *Science*, vol. 311, Mar. 2006, p. 1735.
- [47] S.J. Kang, C. Kocabas, T. Ozel, M. Shim, N. Pimparkar, M.A. Alam, S.V. Rotkin, et J.A. Rogers, "High-performance electronics using dense, perfectly aligned arrays of single-walled carbon nanotubes," *Nat Nano*, vol. 2, Avr. 2007, p. 230-236.
- [48] C. Kocabas, S. Dunham, Q. Cao, K. Cimino, X. Ho, H. Kim, D. Dawson, J. Payne, M. Stuenkel, H. Zhang, T. Banks, M. Feng, S.V. Rotkin, et J.A. Rogers, "High-Frequency Performance of Submicrometer Transistors That Use Aligned Arrays of Single-Walled Carbon Nanotubes," *Nano Letters*, vol. 9, Mai. 2009, p. 1937-1943.
- [49] L. Nougaret, H. Happy, G. Dambrine, V. Derycke, J.-. Bourgoïn, A.A. Green, et M.C. Hersam, "80 GHz field-effect transistors produced using high purity semiconducting single-walled carbon nanotubes," *Applied Physics Letters*, vol. 94, 2009, p. 243505.
- [50] K. Narita, H. Hongo, M. Ishida, et F. Nihey, "High-frequency performance of multiple-channel carbon nanotube transistors," *physica status solidi (a)*, vol. 204, 2007, p. 1808-1813.
- [51] D. Wang, Z. Yu, S. McKernan, et P. Burke, "Ultrahigh Frequency Carbon Nanotube Transistor Based on a Single Nanotube," *Nanotechnology, IEEE Transactions on*, vol. 6, 2007, p. 400-403.
- [52] D. Mann, A. Javey, J. Kong, Q. Wang, et H. Dai, "Ballistic Transport in Metallic Nanotubes with Reliable Pd Ohmic Contacts," *Nano Letters*, vol. 3, Nov. 2003, p. 1541-1544.
- [53] M. Ishida, H. Hongo, F. Nihey, et Y. Ochiai, "Diameter-Controlled Carbon Nanotubes Grown from Lithographically Defined Nanoparticles," *Japanese Journal of Applied Physics*, vol. 43, 2004, p. L1356-L1358.
- [54] A. Ismach, L. Segev, E. Wachtel, et E. Joselevich, "Atomic-Step-Templated Formation of Single Wall Carbon Nanotube Patterns13," *Angewandte Chemie International Edition*, vol. 43, 2004, p. 6140-6143.

-
- [55] Y. Li, W. Kim, Y. Zhang, M. Rolandi, D. Wang, et H. Dai, "Growth of Single-Walled Carbon Nanotubes from Discrete Catalytic Nanoparticles of Various Sizes," *The Journal of Physical Chemistry B*, vol. 105, Nov. 2001, p. 11424-11431.
- [56] S. Huang, M. Woodson, R. Smalley, et J. Liu, "Growth Mechanism of Oriented Long Single Walled Carbon Nanotubes Using "Fast-Heating" Chemical Vapor Deposition Process," *Nano Letters*, vol. 4, Juin. 2004, p. 1025-1028.
- [57] M. Hofmann, D. Nezich, A.R. , et J. Kong, "In-Situ Sample Rotation as a Tool to Understand Chemical Vapor Deposition Growth of Long Aligned Carbon Nanotubes," *Nano Letters*, vol. 8, Déc. 2008, p. 4122-4127.
- [58] C. Kocabas, M. Shim, et J.A. Rogers, "Spatially Selective Guided Growth of High-Coverage Arrays and Random Networks of Single-Walled Carbon Nanotubes and Their Integration into Electronic Devices," *Journal of the American Chemical Society*, vol. 128, Avr. 2006, p. 4540-4541.
- [59] S. Han, X. Liu, et C. Zhou, "Template-Free Directional Growth of Single-Walled Carbon Nanotubes on a- and r-Plane Sapphire," *Journal of the American Chemical Society*, vol. 127, Avr. 2005, p. 5294-5295.
- [60] S. Frégonèse, C. Maneux, et T. Zimmer, "Technological dispersion in CNTFET: Impact of the presence of metallic carbon nanotubes in logic circuits," *Solid-State Electronics*, vol. 53, Oct. 2009, p. 1103-1106.
- [61] P.G. Collins, M.S. Arnold, et P. Avouris, "Engineering Carbon Nanotubes and Nanotube Circuits Using Electrical Breakdown," *Science*, vol. 292, Avr. 2001, p. 706-709.
- [62] R. Krupke, F. Hennrich, H.V. Lohneysen, et M.M. Kappes, "Separation of Metallic from Semiconducting Single-Walled Carbon Nanotubes," *Science*, vol. 301, Juillet. 2003, p. 344-347.
- [63] M.S. Strano, C.A. Dyke, M.L. Usrey, P.W. Barone, M.J. Allen, H. Shan, C. Kittrell, R.H. Hauge, J.M. Tour, et R.E. Smalley, "Electronic Structure Control of Single-Walled Carbon Nanotube Functionalization," *Science*, vol. 301, Sep. 2003, p. 1519-1522.
- [64] M. Zheng, A. Jagota, M.S. Strano, A.P. Santos, P. Barone, S.G. Chou, B.A. Diner, M.S. Dresselhaus, R.S. Mclean, G.B. Onoa, G.G. Samsonidze, E.D. Semke, M. Usrey, et D.J. Walls, "Structure-Based Carbon Nanotube Sorting by Sequence-Dependent DNA Assembly," *Science*, vol. 302, Nov. 2003, p. 1545-1548.
- [65] S.M. Bachilo, L. Balzano, J.E. Herrera, F. Pompeo, D.E. Resasco, et R.B. Weisman, "Narrow (n,m)-Distribution of Single-Walled Carbon Nanotubes Grown Using a Solid Supported Catalyst," *Journal of the American Chemical Society*, vol. 125, 2003, p. 11186-11187.
- [66] W. Kim, H.C. Choi, M. Shim, Y. Li, D. Wang, et H. Dai, "Synthesis of Ultralong and High Percentage of Semiconducting Single-walled Carbon Nanotubes," *Nano Letters*, vol. 2, Juillet. 2002, p. 703-708.
- [67] J. Appenzeller, Yu-Ming Lin, J. Knoch, Zhihong Chen, et P. Avouris,

“Comparing carbon nanotube transistors - the ideal choice: a novel tunneling device design,” *Electron Devices, IEEE Transactions on*, vol. 52, 2005, p. 2568-2576.

[68] S. Fregonese, C. Maneux, et T. Zimmer, “Implementation of Tunneling Phenomena in a CNTFET Compact Model,” *Electron Devices, IEEE Transactions on*, vol. 56, 2009, p. 2224-2231.

[69] S. Sze, *Physics of Semiconductor Devices*, John Wiley and Sons (WIE), 1981.

[70] J. Appenzeller, Y. Lin, J. Knoch, et P. Avouris, “Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors,” *Physical Review Letters*, vol. 93, Nov. 2004, p. 196805.

[71] Guangyu Zhang, Xinran Wang, Xiaolin Li, Yuerui Lu, Ali Javey, et Hongjie Dai, “Carbon Nanotubes: From Growth, Placement and Assembly Control to 60mV/decade and Sub-60 mV/decade Tunnel Transistors,” *Electron Devices Meeting, 2006. IEDM '06. International*, 2006, p. 1-4.

[72] J. Knoch et J. Appenzeller, “A novel concept for field-effect transistors - the tunneling carbon nanotube FET,” *Device Research Conference Digest, 2005. DRC '05. 63rd*, 2005, p. 153-156.

[73] N. Peng, H. Li, et Q. Zhang, “Nanoscale Contacts between Carbon Nanotubes and Metallic Pads,” *ACS Nano*, vol. 3, Déc. 2009, p. 4117-4121.

[74] Z. Zhou, G. Eres, R. Jin, A. Subedi, D. Mandrus, et E.H. Kim, “The performance of in situ grown Schottky-barrier single wall carbon nanotube field-effect transistors,” *Nanotechnology*, vol. 20, 2009, p. 085709.

[75] A. Javey, J. Guo, Q. Wang, M. Lundstrom, et H. Dai, “Ballistic carbon nanotube field-effect transistors,” *Nature*, vol. 424, 2003, p. 654-657.

[76] M. Freitag, J.C. Tsang, A. Bol, D. Yuan, J. Liu, et P. Avouris, “Imaging of the Schottky Barriers and Charge Depletion in Carbon Nanotube Transistors,” *Nano Letters*, vol. 7, Juillet. 2007, p. 2037-2042.

[77] M. Freitag, Y. Martin, J.A. Misewich, R. Martel, et P. Avouris, “Photoconductivity of Single Carbon Nanotubes,” *Nano Letters*, vol. 3, 2003, p. 1067-1071.

[78] K. Balasubramanian, Y. Fan, M. Burghard, K. Kern, M. Friedrich, U. Wannek, et A. Mews, “Photoelectronic transport imaging of individual semiconducting carbon nanotubes,” *Applied Physics Letters*, vol. 84, 2004, p. 2400.

[79] F. Léonard et J. Tersoff, “Role of Fermi-Level Pinning in Nanotube Schottky Diodes,” *Physical Review Letters*, vol. 84, Mai. 2000, p. 4693.

[80] C. Adessi, R. Avriller, X. Blase, A. Bournel, H. Cazin d'Honinethun, P. Dollfus, S. Frégonèse, S. Galdin-Retailleau, A. López-Bezanilla, C. Maneux, H. Nha Nguyen, D. Querlioz, S. Roche, F. Triozon, et T. Zimmer, “Multiscale simulation of carbon nanotube devices,” *Comptes Rendus Physique*, vol. 10, Mai. 2009, p. 305-319.

-
- [81] Y. Tseng, P. Xuan, A. Javey, R. Malloy, Q. Wang, J. Bokor, et H. Dai, "Monolithic Integration of Carbon Nanotube Devices with Silicon MOS Technology," *Nano Letters*, vol. 4, Jan. 2004, p. 123-127.
- [82] M.P. Anantram et F. Léonard, "Physics of carbon nanotube electronic devices," *Reports on Progress in Physics*, vol. 69, 2006, p. 507-561.
- [83] H. Kim, E. Jeon, J. Kim, H. So, H. Chang, J. Lee, et N. Park, "Air-stable n-type operation of Gd-contacted carbon nanotube field effect transistors," *Applied Physics Letters*, vol. 93, 2008, p. 123106.
- [84] G. Robert, V. Derycke, M.F. Goffman, S. Lenfant, D. Vuillaume, et J. Bourgoin, "Self-assembled molecular monolayers as ultrathin gate dielectric in carbon nanotube transistors," *Applied Physics Letters*, vol. 93, 2008, p. 143117.
- [85] S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appenzeller, et P. Avouris, "Carbon Nanotubes as Schottky Barrier Transistors," *Physical Review Letters*, vol. 89, 2002, p. 106801.
- [86] J. Knoch et J. Appenzeller, "Carbon Nanotube Field-effect Transistors-The Importance of Being Small," *AmIware Hardware Technology Drivers of Ambient Intelligence*, 2006, p. 371-402.
- [87] S. Datta, *Electronic Transport in Mesoscopic Systems*, Cambridge University Press, 1997.
- [88] W. Liang, M. Bockrath, D. Bozovic, J.H. Hafner, M. Tinkham, et H. Park, "Fabry - Perot interference in a nanotube electron waveguide," *Nature*, vol. 411, Juin. 2001, p. 665-669.
- [89] A. Messiah, *Mécanique quantique, tome I*, Dunod, 2003.
- [90] J.W. Mintmire et C.T. White, "Universal Density of States for Carbon Nanotubes," *Physical Review Letters*, vol. 81, 1998, p. 2506.
- [91] L. Castro, D. John, et D. Pulfrey, "Towards a compact model for Schottky-barrier nanotube FETs," *Optoelectronic and Microelectronic Materials and Devices, 2002 Conference on*, 2002, p. 303-306.
- [92] A.A. Odintsov, "Schottky Barriers in Carbon Nanotube Heterojunctions," *Physical Review Letters*, vol. 85, Juillet. 2000, p. 150.
- [93] D. Jiménez, X. Cartoixa, E. Miranda, J. Suñé, F. Chaves, et S. Roche, "A drain current model for Schottky-barrier CNT-FETs," *Journal of Computational Electronics*, vol. 5, Déc. 2006, p. 361-364.
- [94] T. Nakanishi, A. Bachtold, et C. Dekker, "Transport through the interface between a semiconducting carbon nanotube and a metal electrode," *Physical Review B*, vol. 66, 2002, p. 073307.
- [95] Y. Chen et M.S. Fuhrer, "Tuning from Thermionic Emission to Ohmic Tunnel Contacts via Doping in Schottky-Barrier Nanotube Transistors," *Nano Letters*, vol. 6, 2006, p. 2158-2162.

- [96] B.M. Kim, T. Brintlinger, E. Cobas, M.S. Fuhrer, H. Zheng, Z. Yu, R. Droopad, J. Ramdani, et K. Eisenbeiser, "High-performance carbon nanotube transistors on SrTiO₃/Si substrates," *Applied Physics Letters*, vol. 84, 2004, p. 1946.
- [97] J. Guo, S. Datta, et M. Lundstrom, "A Numerical Study of Scaling Issues for Schottky-Barrier Carbon Nanotube Transistors," *IEEE Transactions on Electron Devices*, vol. 51, 2004, p. 172-177.
- [98] Y. Yaish, J. Park, S. Rosenblatt, V. Sazonova, M. Brink, et P. McEuen, "Electrical Nanoprobng of Semiconducting Carbon Nanotubes Using an Atomic Force Microscope," *Physical Review Letters*, vol. 92, 2004.
- [99] W. Kim, A. Javey, R. Tu, J. Cao, Q. Wang, et H. Dai, "Electrical contacts to carbon nanotubes down to 1 nm in diameter," *Applied Physics Letters*, vol. 87, 2005, p. 173101.
- [100] Z. Chen, J. Appenzeller, J. Knoch, Y. Lin, et P. Avouris, "The Role of Metal-Nanotube Contact in the Performance of Carbon Nanotube Field-Effect Transistors," *Nano Letters*, vol. 5, Juillet. 2005, p. 1497-1502.
- [101] A. Javey, R. Tu, D.B. Farmer, J. Guo, R.G. Gordon, et H. Dai, "High performance n-type carbon nanotube field-effect transistors with chemically doped contacts," *Nano Letters*, vol. 5, Fév. 2005, p. 345-348.
- [102] M. Radosavljević, J. Appenzeller, P. Avouris, et J. Knoch, "High performance of potassium n-doped carbon nanotube field-effect transistors," *Applied Physics Letters*, vol. 84, 2004, p. 3693.
- [103] K. Alam et R.K. Lake, "Dielectric scaling of a zero-Schottky-barrier, 5 nm gate, carbon nanotube transistor with source/drain underlaps," *Journal of Applied Physics*, vol. 100, 2006, p. 024317.
- [104] A. Javey, J. Guo, D.B. Farmer, Q. Wang, D. Wang, R.G. Gordon, M. Lundstrom, et H. Dai, "Carbon Nanotube Field-Effect Transistors with Integrated Ohmic Contacts and High- κ Gate Dielectrics," *Nano Letters*, vol. 4, Mar. 2004, p. 447-450.
- [105] R.V. Seidel, A.P. Graham, J. Kretz, B. Rajasekharan, G.S. Duesberg, M. Liebau, E. Unger, F. Kreupl, et W. Hoenlein, "Sub-20 nm Short Channel Carbon Nanotube Transistors," *Nano Letters*, vol. 5, Jan. 2005, p. 147-150.
- [106] Jing Guo, S. Hasan, A. Javey, G. Bosman, et M. Lundstrom, "Assessment of high-frequency performance potential of carbon nanotube transistors," *Nanotechnology, IEEE Transactions on*, vol. 4, 2005, p. 715-721.
- [107] S. Hasan, S. Salahuddin, M. Vaidyanathan, et M. Alam, "High-frequency performance projections for ballistic carbon-nanotube transistors," *Nanotechnology, IEEE Transactions on*, vol. 5, 2006, p. 14-22.
- [108] K. Natori, Y. Kimura, et T. Shimizu, "Characteristics of a carbon nanotube field-effect transistor analyzed as a ballistic nanowire field-effect transistor," *Journal of*

- [109] J. Guo, M. Lundstrom, et S. Datta, "Performance projections for ballistic carbon nanotube field-effect transistors," *Applied Physics Letters*, vol. 80, 2002, p. 3192.
- [110] A. Raychowdhury, S. Mukhopadhyay, et K. Roy, "A circuit-compatible model of ballistic carbon nanotube field-effect transistors," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 23, 2004, p. 1411-1420.
- [111] T. Kazmierski, Dafeng Zhou, B. Al-Hashimi, et P. Ashburn, "Numerically Efficient Modeling of CNT Transistors With Ballistic and Nonballistic Effects for Circuit Simulation," *Nanotechnology, IEEE Transactions on*, vol. 9, 2010, p. 99-107.
- [112] J.H. Mathews et K.K. Fink, *Numerical Methods Using Matlab*, Prentice Hall, 2004.
- [113] C. Dwyer, M. Cheung, et D. Sorin, "Semi-empirical SPICE models for carbon nanotube FET logic," *Nanotechnology, 2004. 4th IEEE Conference on*, 2004, p. 386-388.
- [114] T. Dürkop, S.A. Getty, E. Cobas, et M.S. Fuhrer, "Extraordinary Mobility in Semiconducting Carbon Nanotubes," *Nano Letters*, vol. 4, Jan. 2004, p. 35-39.
- [115] Jie Deng et H. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part I: Model of the Intrinsic Channel Region," *Electron Devices, IEEE Transactions on*, vol. 54, 2007, p. 3186-3194.
- [116] Jie Deng et H. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part II: Full Device Model and Circuit Performance Benchmarking," *Electron Devices, IEEE Transactions on*, vol. 54, 2007, p. 3195-3205.
- [117] S. Sinha, A. Balijepalli, et Yu Cao, "Compact Model of Carbon Nanotube Transistor and Interconnect," *Electron Devices, IEEE Transactions on*, vol. 56, 2009, p. 2232-2242.
- [118] B. Paul, S. Fujita, M. Okajima, et T. Lee, "Modeling and analysis of circuit performance of ballistic CNFET," *2006 43rd ACM/IEEE Design Automation Conference*, San Francisco, CA, USA: 2006, p. 717-722.
- [119] S. Fregonese, H. Cazin d'Honinethun, J. Goguet, C. Maneux, T. Zimmer, J. Bourgoin, P. Dollfus, et S. Galdin-Retailleau, "Computationally Efficient Physics-Based Compact CNTFET Model for Circuit Design," *Electron Devices, IEEE Transactions on*, vol. 55, 2008, p. 1317-1327.
- [120] S. Fregonese, J. Goguet, C. Maneux, et T. Zimmer, "Implementation of Electron-Phonon Scattering in a CNTFET Compact Model," *Electron Devices, IEEE Transactions on*, vol. 56, 2009, p. 1184-1190.
- [121] B. Majkusiak, "Gate tunnel current in an MOS transistors," *Electron Devices, IEEE Transactions on*, vol. 37, 1990, p. 1087-1092.

- [122] A. Messiah, *Quantenmechanik*, Walter de Gruyter, 1991.
- [123] S. Gasiorowicz, *Quantum Physics*, John Wiley & Sons, 1995.
- [124] D. Jiménez, X. Cartoixa, E. Miranda, J. Suñé, F.A. Chaves, et S. Roche, "A simple drain current model for Schottky-barrier carbon nanotube field effect transistors," *Nanotechnology*, vol. 18, 2007, p. 025201.
- [125] D.K. Ferry, S.M. Goodnick, et J. Bird, *Transport in Nanostructures*, Cambridge University Press, 2009.
- [126] M.H. Yang, K.B.K. Teo, W.I. Milne, et D.G. Hasko, "Carbon nanotube Schottky diode and directionally dependent field-effect transistor using asymmetrical contacts," *Applied Physics Letters*, vol. 87, 2005, p. 253116.
- [127] R.G. Lacerda, A.S. Teh, M.H. Yang, K.B.K. Teo, N.L. Rupesinghe, S.H. Dalal, K.K.K. Koziol, D. Roy, G.A.J. Amaratunga, W.I. Milne, M. Chhowalla, D.G. Hasko, F. Wyczisk, et P. Legagneux, "Growth of high-quality single-wall carbon nanotubes without amorphous carbon formation," *Applied Physics Letters*, vol. 84, 2004, p. 269.
- [128] C. Auth et J. Plummer, "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's," *Electron Device Letters, IEEE*, vol. 18, 1997, p. 74-76.
- [129] R. Yan, A. Ourmazd, et K. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," *Electron Devices, IEEE Transactions on*, vol. 39, 1992, p. 1704-1710.
- [130] J. Knoch et J. Appenzeller, "Tunneling phenomena in carbon nanotube field-effect transistors," *physica status solidi (a)*, vol. 205, 2008, p. 679-694.
- [131] M. Lundstrom, "Elementary scattering theory of the Si MOSFET," *Electron Device Letters, IEEE*, vol. 18, 1997, p. 361-363.
- [132] G. Pennington et N. Goldsman, "Semiclassical transport and phonon scattering of electrons in semiconducting carbon nanotubes," *Physical Review B*, vol. 68, Juillet. 2003, p. 045426.
- [133] I. Gradshteyn et I. Ryzhik, *Table of Integrals, Series and Products*, Academic Press Inc., U.S., 1966.
- [134] H.C. d'Honinethun, S. Galdin-Retailleau, J. Sée, et P. Dollfus, "Electron-phonon scattering and ballistic behavior in semiconducting carbon nanotubes," *Applied Physics Letters*, vol. 87, 2005, p. 172112.
- [135] S. Heinze, M. Radosavljević, J. Tersoff, et P. Avouris, "Unexpected scaling of the performance of carbon nanotube Schottky-barrier transistors," *Physical Review B*, vol. 68, Déc. 2003, p. 235418.
- [136] S. Luryi, "Quantum capacitance devices," *Applied Physics Letters*, vol. 52, 1988, p. 501.
- [137] "Hybrid carbon nanotube FET(CNFET)-FET static RAM (SRAM) and method of making same - Patent 7598544," .

-
- [138] R. Martel, H. Wong, K. Chan, et P. Avouris, "Carbon nanotube field effect transistors for logic applications," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, p. 7.5.1-7.5.4.
- [139] A. Kureshi et M. Hasan, "Performance comparison of CNFET- and CMOS-based 6T SRAM cell in deep submicron," *Microelectronics Journal*, vol. 40, Juin. 2009, p. 979-982.
- [140] A. Pavlov et M. Sachdev, *CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies: Process-Aware SRAM Design and Test*, Springer, 2008.
- [141] E. Seevinck, F. List, et J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *Solid-State Circuits, IEEE Journal of*, vol. 22, 1987, p. 748-754.
- [142] A. Raychowdhury, Jing Guo, K. Roy, et M. Lundstrom, "Design of a novel three-valued static memory using Schottky barrier carbon nanotube FETs," *Nanotechnology, 2005. 5th IEEE Conference on*, 2005, p. 507-510 vol. 2.
- [143] B. Giraud, A. Amara, et A. Vladimirescu, "A Comparative Study of 6T and 4T SRAM Cells in Double-Gate CMOS with Statistical Variation," *2007 IEEE International Symposium on Circuits and Systems*, New Orleans, LA, USA: 2007, p. 3022-3025.
- [144] S. Fregonese, C. Maneux, et T. Zimmer, "A versatile compact model for ballistic 1D transistor: Applications to GNR-FET and CNT-FET," *2009 International Semiconductor Device Research Symposium*, College Park, MD, USA: 2009, p. 1-2.
- [145] S. Liao, M. Najari, C. Maneux, S. Fregonese, T. Zimmer, H. Mnif, et N. Masmoudi, "Optically-Gated CNTFET compact model including source and drain Schottky barrier," Hammamet - Tunisia: IEEE, 2010.
- [146] "IMS Labs. CNRS UMR 5218; "SB-CNTFET - Model's Features"," <http://www.ims-bordeaux.fr/equipe.php?guidPage=NGFjMDYzNmUwMzEwOQ==>, 2010.
- [147] C. Sung, "Graphene nanoelectronics," *2009 International Semiconductor Device Research Symposium*, College Park, MD, USA: 2009, p. 1-2.
- [148] Z. Wang, Z. Zhang, H. Xu, L. Ding, S. Wang, et L. Peng, "A high-performance top-gate graphene field-effect transistor based frequency doubler," *Applied Physics Letters*, vol. 96, 2010, p. 173104.
- [149] C. SAUNIE, "L'industrie de la microélectronique : reprendre l'offensive - Rapport n° 417 (2007-2008) - fait au nom de l'Office parlementaire d'évaluation des choix scientifiques et technologiques," http://www.senat.fr/rap/r07-417/r07-417_mono.html, déposé le juin. 2008.
- [150] "Cea Leti - L'alliance IBM et St-microelectronics," <http://www-leti.cea.fr/fr/layout/set/print/Decouvrez-le-Leti/Nos-partenaires/L-alliance-IBM>, 2009.

LISTE DES PUBLICATIONS

REVUES SPECIALISEES AVEC COMITE DE LECTURE

M. Najari, S. Frégonèse, C. Maneux, H. Mnif, N. Masmoudi et T. Zimmer, "Schottky barrier carbon nanotube transistor: Compact modeling, scaling study and circuit design applications," *accepté et à paraître dans IEEE Transactions on Electron Devices*.

M. Najari, S. Frégonèse, C. Maneux, H. Mnif, N. Masmoudi et T. Zimmer, "Efficient physics based compact model for the Schottky barrier carbon nanotube FET," *accepté et à paraître dans Physica Status Solidi Journal, PSS (c)*.

M. Najari, S. Frégonèse, C. Maneux, H. Mnif, N. Masmoudi et T. Zimmer, "Analytical modelling of the tunneling current in Schottky barrier carbon nanotube field effect transistor," *soumis à International Journal of Transactions on Systems, Signals and Devices" (Issues on Sensors, Circuits & Instrumentation Systems)*.

COLLOQUES INTERNATIONAUX AVEC ACTES

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Towards compact modelling of Schottky barrier CNTFET," *2008 3rd International Conference on Design and Technology of Integrated Systems in Nanoscale Era, IEEE DTIS'08*, Tozeur, Tunisia: 2008, p. 1-6.

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Analytical modeling of the tunneling current in Schottky barrier carbon nanotube field effect transistor using the Verilog-A language," *2009 6th International Multi-Conference on Systems, Signals and Devices, IEEE SSD'09*, Djerba, Tunisia: 2009, p. 1-6.

S. Liao, M. Najari, C. Maneux, S. Fregonese, T. Zimmer, H. Mnif, et N. Masmoudi, "Optically-Gated CNTFET compact model including source and drain Schottky barrier," *2010 5th International Conference on Design and Technology of Integrated Systems in Nanoscale Era, IEEE DTIS'10*, Hammamet - Tunisia: IEEE, 2010.

COLLOQUES INTERNATIONAUX SANS ACTES OU AVEC ACTES A DIFFUSION RESTREINTE

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Efficient physics based compact Schottky barrier carbon nanotube FET," *Trends in NanoTechnology Conference, Barcelone, Espagne - Septembre 07-11, 2009*.

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Design of 6T SRAM memory cell using a SB-CNTFET compact model," *Trends in NanoTechnology Conference, Braga, Portugal - September 06-10, 2010*.

COLLOQUES NATIONAUX SANS ACTES OU AVEC ACTES A DIFFUSION RESTREINTE

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Compact modelling of the Schottky barrier junction in the carbon nanotube field effect transistor", *Journées Nationales sur les Technologies Emergentes en micro-nanofabrication (JNTE'09)*, Toulouse, 19-21 Novembre 2008.

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Modèle analytique pour le calcul de charge dans les transistors à nanotube de carbone à barrières Schottky", *Journée du GDR Nano*, Orsay, 7 mai 2009.

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Compact model for the Schottky barrier carbon nanotube field effect transistor", *Journée du GDR Soc-Sip*, Paris-Cergy (ENSEA), 09-11 Juin 2010.

M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, "Le transistor à nanotube de carbone à barrières Schottky : de la modélisation compacte à la conception circuit", *Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM)*, Montpellier, 07-09 Juin 2010.

RESUME

Afin de permettre le développement de modèles manipulables par les concepteurs, il est nécessaire de pouvoir comprendre le fonctionnement des nanotubes, en particulier le transport des électrons et leurs propriétés électroniques. C'est dans ce contexte général que cette thèse s'intègre. Le travail a été mené sur quatre plans :

- Développement de modèles permettant la description des phénomènes physiques importants au niveau des dispositifs,
- Expertise sur le fonctionnement des nano-composants permettant de dégager les ordres de grandeurs pertinents pour les dispositifs, les contraintes, la pertinence de quelques procédés de fabrication (reproductibilité, taux de défauts),
- Collection de caractéristiques mesurées et développement éventuel d'expériences spécifiques,
- Expertise et conception des circuits innovatifs pour l'électronique numérique avec ces nano-composants.

Mots clés – Modélisation compacte, transistor Schottky à nanotube de carbone, simulation circuit, cellule mémoire SRAM, effet tunnel, WKB.

ABSTRACT

This PhD work presents a computationally efficient physics-based compact model for the Schottky barrier (SB) carbon nanotube field-effect transistor (CNTFET). This compact model includes a new analytical formulation of the channel charge, taking into account the influence of the source and drain SBs. Compact model simulation results (I-V characteristic and channel density of charge) as well as Monte Carlo simulation results, which are provided by a recent work, will be given and compared to each other and also to experimental data to validate the used approximations. Good agreement is observed over a large range of gate and drain biases. Furthermore, a scaling study is presented to examine the impact of technological parameters on the device figure of merit. Then, for the assessment of the SB on circuit performances, traditional logical circuits are designed using the SB-CNTFET compact model, and results are compared with a conventional CNTFET with zero-SB height. Finally, exploiting the particular properties of SB-CNTFETs, a three-valued static memory that is suitable for high density integration is presented.

Keywords – Compact modelling, Schottky barrier carbon based transistor, Spice simulation, static memory cell, tunnelling, WKB.