THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Institut National Polytechnique de Toulouse*
Discipline ou spécialité : *Conception des Circuits Microélectroniques et Microsystèmes*

Présentée et soutenue par *Yuan GAO*
Le *13 février 2009*

Titre : *Stratégies de modélisation et protection vis à vis des décharges électrostatiques (ESD) adaptées aux exigences de la norme du composant chargé (CDM)*

JURY

Mme. Marise BAFLEUR, Directrice de recherche, LAAS-CNRS, Toulouse	*Directrice de thèse*
M. Jean-Philippe LAINE, Ingénieur, Freescale Semiconductor, Toulouse	*Co-Directeur de thèse*
M. Philippe LADOUX, Professeur, INPT, Toulouse	*Président - Rapporteur*
M. Dionyz POGANY, Professeur, Université de technologie de Vienne, Autriche	*Rapporteur*
M. Alain BRAVAIX, Professeur, Université de Toulon, Toulon	*Rapporteur*
M. Philippe GALY, HDR, STMicroelectronics, Crolles	*Examinateur*

Ecole doctorale : *GEET*
Unité de recherche : *LAAS-CNRS Toulouse*
Directeur(s) de Thèse : *Mme. Marise BAFLEUR, M. Jean-Philippe LAINE*
Rapporteurs : *M. Dionyz POGANY, M. Alain BRAVAIX, M. Philippe LADOUX*

N° d'ordre : **Année 2009**

Stratégies de modélisation et protection adaptées aux exigences de décharges électrostatiques (ESD) selon la norme du composant chargé (CDM)

THESE

Présentée et soutenue publiquement

le 13 février 2009

Pour l'obtention du

Doctorat de l'Université de Toulouse

- Institut National Polytechniques de Toulouse -

Spécialité : ***Conception des Circuits Microélectroniques et Microsystèmes***

Par **Yuan GAO**

Composition du jury :

Président	**Ph.**	**LADOUX**
Rapporteurs	**D.**	**POGANY**
	A.	**BRAVAIX**
Examinateurs	**Ph.**	**GALY**
	J-P.	**LAINE**
Directrice de thèse	**M.**	**BAFLEUR**
Invités	**M.**	**ZECRI**
	L.	**LESCOUZERES**
	P.	**BESSE**

Résumé :

Dans l'industrie semiconducteur, une décharge électrostatique peut se produire tout au long de la vie d'une puce électronique, et constitue un vrai problème pour la fiabilité du circuit intégré et une cause majeure de défaillance. Un nouveau modèle, modèle du composant chargé (CDM, Charged Device Model) a été récemment développé pour simuler un composant chargé qui se décharge au travers d'une de ses broches vers la masse. La forme d'onde d'une telle décharge se présente comme une impulsion de courant de grande amplitude (15A pour un CDM de 1KV sur une capacité de charge de 10pF) d'une durée de seulement quelques nanosecondes. En effet, il est de plus en plus courant de constater des signatures de défaillance ESD au cœur des circuits intégrés, généralement des claquages d'oxyde qui sont typiquement induites par les décharges CDM. Une protection ESD ayant une dynamique de déclenchement inappropriée ou la circulation d'un fort courant de décharge (dans le substrat ou sur les pistes métalliques) peut induire localement des variations de potentiel suffisantes pour endommager les oxydes (3-5nm d'épaisseur pour la technologie CMOS 45nm).

Face aux défis de la décharge CDM, dans cette thèse, nous nous sommes intéressée d'abord à la détection et la compréhension des défauts latents induits par les stress CDM dans les circuits intégrés, en utilisant une technique de haute sensibilité, « la mesure de bruit en basse fréquence ». Un convertisseur DC-DC a été stressé par le test CDM, après chaque étape de traitement (stockage, recuit, et vieillissement), et l'évolution des défauts latents générés a été étudiée. Ensuite, nous avons proposé une méthodologie de modélisation du circuit intégré complet afin de simuler la stratégie de protection vis-à-vis des stress CDM en limitant les problèmes de convergence de simulation. Son originalité réside dans la modélisation de la résistance du substrat en très forte injection adaptée à la décharge CDM à l'aide de la mesure VF-TLP (Very Fast Transmission Line Pulsing) et de la simulation physique 2D et 3D. La méthodologie a été validée sur une technologie CMOS avancée 45nm et une technologie BiCMOS 0,25mm). A la fin, la méthodologie de simulation CDM a été validée sur un produit commercial.

Abstract :

In the semiconductor industry, electrostatic discharge (ESD) can occur throughout over the whole life of a chip. This is a real problem for the reliability of the integrated circuit (IC) and a major failure cause. A new ESD model, Charged Device Model (CDM) was recently developed to simulate a charged device which discharges through one of its pin to ground. The waveform of such a discharge is a current pulse of high amplitude (15A for a 1KV CDM stress on a precharged capacitor of 10pF) over a few nanoseconds duration. Indeed, it is increasingly common to encounter ESD failure signatures into the IC core, usually gate oxide breakdowns that are typically induced by CDM stress. ESD protections with inappropriate triggering speed or strong discharge currents (into the substrate or the metal tracks) can locally lead to potential drop sufficient to damage the oxide (3-5nm thickness in 45nm CMOS technology).

Given the challenges of the CDM discharges, this thesis was firstly focused on the detection and understanding of latent defects caused by CDM stress in integrated circuits, using a high-sensitivity technique, namely low frequency noise measurement (LFN). A DC-DC converter has been stressed by the CDM test. After each step of processing (storage, burn-in, and aging), the evolution of latent defects generated was investigated. Secondly, a methodology for modeling the complete integrated circuit has been proposed to simulate the CDM protection strategy by limiting the simulation convergence problems. Its main originality consists in the modeling of the substrate resistance under very high injection adapted to the CDM discharge using both VF-TLP (Very Fast Transmission Line Pulsing) measurement and 2D/3D physical simulation. The model was successfully validated on 45nm CMOS and 0.25 µm BiCMOS technologies. Finally, the CDM simulation methodology was validated on a commercial product.

Remerciements

Le travail de thèse présenté dans ce mémoire a été réalisé dans le cadre d'une Convention Industrielle de Formation par la REcherche (CIFRE), au sein des sociétés ON semiconductor, Freescale semiconducteurs SAS successivement et du groupe « ***I**ntégration de **S**ystème de **G**estion de l'**E**nergie* » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS).

À l'issue de cette thèse, je souhaite tout d'abord remercier les directeurs successifs du LAAS, Messieurs Malik GHALLAB et Raja CHATILA, pour m'avoir accueilli au sein du Laboratoire. Je tiens aussi à remercier Monsieur Jean-Louis SANCHEZ et Madame Marise BAFLEUR, qui ont dirigé successivement le groupe ISGE, de permettre aux chercheurs et doctorants d'évoluer dans de bonnes conditions de travail.

Je tiens tout particulièrement à exprimer ma reconnaissance à Madame Marise BAFLEUR, cette fois-ci en tant que directrice de thèse, pour sa collaboration inestimable, son soutien et pour toutes les discussions instructives et fructueuses que nous avons eu durant toute la durée de mon travail de recherche. Je la remercie pour avoir su me guider, pendant ces années, avec beaucoup d'attention, de gentillesse, d'encouragements, et de confiance. Ses qualités scientifiques et humaines ont contribué à l'aboutissement de cette thèse. Je tiens également à lui exprimer ma profonde reconnaissance pour le temps et l'effort qu'elle a consacré pour finir ce travail dans de bonnes conditions. Je lui adresse, par ces quelques mots, ma plus profonde gratitude.

Je tiens également à remercier Messieurs Lionel LESCOUZERES (Ingénieur chez ON semiconductor), Michel ZECRI (ancien manager du groupe Design I/O chez Freescale Semiconductor à l'alliance de recherche Crolles2), Jean-Philippe LAINE et Scott RUTH (Experts ESD chez Freescale Semicondctor), d'avoir proposé et suivi cette étude passionnante. Sans leur contribution, mes travaux de thèse n'auraient pu aboutir.

Je souhaite également remercier Messieurs Doinyz POGANY (Professeur de l'Université de technologie de Vienne, Autriche), et Alain BRAVAIX (Professeur de l'Université de Toulon) qui ont accepté d'être rapporteurs de mes travaux de thèse. Je

remercie également le président et les membres du jury, Messieurs GALY, LADOUX, pour leurs commentaires constructifs et pour avoir apporté un regard neuf sur mes travaux.

J'en profite également pour témoigner ma reconnaissance à tous ceux qui ont été impliqués dans mes travaux :

- Nicolas NOLHIER, Nicolas MAURAN pour leurs conseils et aides techniques.
- L'ancienne équipe ESD et test de ON semiconductor pour leurs conseils et leur solide soutien technique.
- Laurent ESCOTTE, Laurent BARY pour le temps qu'ils ont bien voulu me consacrer lors de mesures et de discussions intéressantes.
- Fabien, Sébastien et Gaël pour les nombreuses analyses de défaillance qu'ils ont réalisé.
- Michel ZECRI, Alexandre DRAY (Expert ESD chez ST Microelectronics), Nicolas BLISSON et toute l'ancienne équipe I/O de Crolles, pour leur gentillesse, leur compétence scientifique, les conseils et discussions très constructives au sujet des ESD.
- Philippe LANCE, manager du groupe AMPD-Design, Jean-Louis CHAPTAL, chef du département R&D-TSO, Patrice BESSE et Jean-Philippe LAINE, experts ESD chez Freescale semiconductor Toulouse, qui m'ont accueilli chaleureusement à Toulouse pour finir ma thèse dans les meilleures conditions.
- Scott RUTH, James W. MILLER, et Mélanie ETHERTON, l'équipe ESD CMOS Freescale à Austin, pour leurs conseils scientifiques et techniques.
- Christophe PARAEILLEUX pour son soutien sous CADENCE et en programmation sous SKILL, et Jean-François MARTY pour son aide informatique efficace.

Et bien d'autres, pour m'avoir soutenu et fait part de leurs conseils avisés.

Mes remerciements vont aussi vers ceux qui m'ont soutenu pendant ces trois années, avec lesquels j'ai passé de bons moments, au LAAS-CNRS :

Nicolas Lacrampe (Arcachon, Lake Theo, Universal Studio), Nicolas Guitard (Arcachon, cage faraday..), Rodolphe (Roro et sa musique tonique), Wassim, Christophe, Fabrice, David, Jean-Baptiste, Richard, Amine, Darica, Yann, Eric, Magali, Frédéric, Julie, Stéphane, Florence, Loïc …

Je n'oublie pas de remercier toute la petite communauté chinoise du LAAS avec laquelle j'ai eu l'occasion de passer de bons moments pour déjeuner et discuter : Kaili ou nano-bombe father, Deng Nan, Shi Feng et sa petite famille, Bo et Jie (merci pour leurs nombreux plats chinois délicieux que je ne sais pas encore faire).

et à ON, Crolles2 et Freescale Toulouse : Stéphanie (Manga manga..), Patrick et René ; David (grenoblois et sa copine..), Nicolas (soirées de jeux de société, laser game…), Alexandre (cuisine chinoise n'est pas simple…) ; Patrice et JP (118, 218… ☺), Tarek (c'est Tarek…), Mohamed (Mr. Mansri, il a tout bu.. le jus d'orange), Lolo (Je vous invite à manger! fois gras ou truffe?…), Stéphane (il faut profiter ! grande pizza…), Jimena (Salsa…), YeanLing (parlons le chinois…), Tomy (comes from San Francisco), Thierry, Estelle (toujours souriante), Valérie (si gentille), Carmen et Philippe (l'île de la Réunion est magnifique), Jeff (trop fort)…et toute l'équipe de Design à Toulouse.

Je ne dois pas oublier tous mes amis et ma belle famille, qui m'ont accordé leur confiance, qui m'ont encouragé et soutenu jusqu'au bout de ces longues années d'études: Stéphane (cinoche), Didier et Caro (attendent leur futur bébé), Pierre et Marine, Damien et An-so, Qing et Olivier (Andorre, manger de la soupe de poulet)…

Enfin, c'est avec beaucoup d'émotion que je dédie ce mémoire à mes parents, mon chéri, et tous ceux qui m'ont aidé pendant ces années, qui m'ont soutenu sans relâche pendant ces quatre ans d'aventure.

Dans la vie, rien n'est à craindre, tout est à comprendre

Marie CURIE

A ma chère famille en Chine lointaine
A Maxime

Tableau des matières

TABLEAU DES MATIERES ..... - 1 -

LISTE DES FIGURES ..... - 4 -

LISTE DES TABLEAUX ..... - 8 -

INTRODUCTION GENERALE 1

CHAPITRE 1 : DECHARGES ELECTROSTATIQUES (ESD) DANS L'INDUSTRIE MICROELECTRONIQUE 5

1.1 PHENOMENE ESD 7

1.1.1 Génération de charges électrostatiques 7

1.1.2 Décharges électrostatiques dans les circuits intégrés 7

1.2 NATURE DES DEGRADATIONS ESD DANS LES CIRCUITS INTEGRES 9

1.2.1 Dégradation de jonction 9

1.2.2 Dégradation dans un métal 9

1.2.3 Dégradation d'oxyde 10

1.3 PROTECTION CONTRE LES ESD 19

1.3.1 Stratégies de protection ESD 19

1.3.2 Principaux éléments de protection ESD 21

1.4 TESTS ET MODELES DE DECHARGES ELECTROSTATIQUES 27

1.4.1 Modèle HBM 27

1.4.2 Modèle MM 29

1.4.3 Modèle CDM 30

1.4.4 Corrélation entre le retour client et les modèles ESD 33

1.5 CARACTERISTISATION POUR L'ETUDE D'ESD 34

1.5.1 Test TLP (Transmission Line Pulse) standard 34

1.5.2 Test Very-Fast TLP 35

1.5.3 Test TLP par couplage capacitif (Capacitively Coupled TLP) 37

1.5.4 Corrélation entre les tests de qualification et les mesures du type TLP 37

1.6 PROBLEMATIQUE DU STRESS CDM 40

1.6.1 Courant rapide et important 40

1.6.2 L'influence des boîtiers 41

1.6.3 Complexité des chemins de décharge 43

1.7 MODELISATION ET SIMULATION ESD/CDM 45

CHAPITRE 2 : L'EVOLUTION DES DEFAUTS LATENTS INDUITS PAR CDM DANS UN CONVERTISSEUR DC-DC 53

2.1 FIABILITE DES CIRCUITS INTEGRES VIS-A-VIS DU STRESS ESD/CDM 55

2.1.1 Introduction 55

2.1.2 Techniques de détection des défauts 56

2.2 DETECTION DE DEFAUTS LATENTS INDUITS PAR LE STRESS CDM SUR UN PRODUIT COMMERCIAL 63

2.2.1 Motivation et description du composant étudié 63

2.2.2 Méthodologie choisie pour la mise en évidence de défauts latents 67

2.2.3 Le plan de test CDM 68

2.2.4 Localisation des défauts par photo-émission 72

2.2.5 Recuit 74

2.2.6 Vieillissement 77

2.2.7 Bilan des expériences 79

2.2.8 Compréhension de l'efficacité de la protection ESD contre le stress CDM 80

2.2.9 Analyse du mécanisme de défaillance sous stress CDM par la simulation physique en mode mixte 85

2.3 CONCLUSION 89

CHAPITRE 3 : MODELISATION DE LA RESISTANCE DU SUBSTRAT EN FORTE INJECTION POUR LA SIMULATION CDM 93

3.1 MOTIVATION ET OBJECTIF 95

3.2 LE ROLE DU SUBSTRAT PENDANT LE STRESS CDM 99

3.2.1 Distribution du courant dans le substrat 99

3.2.2 Non linéarité du substrat en forte injection 101

3.3 MODELISATION DE LA RESISTANCE DU SUBSTRAT EN FORTE INJECTION POUR LA SIMULATION CDM 103

3.3.1 Choix du langage et description du véhicule de test 103

3.3.2 Physique basique de l'injection 105

3.3.3 Régime linéaire et saturation 108

3.3.4 L'effet dynamique et la surtension pendant un stress rapide 114

3.3.5 Régime d'avalanche et retournement 116

3.3.6 Régime de très forte injection 116

3.3.7 Bilan du modèle compact de la résistance du caisson 117

3.4 VALIDATION DU MODELE 119

3.4.1 Validation sur une technologie avancée CMOS_45nm 119

3.4.2 Validation sur la technologie BiCMOS_0,25µm 120

3.5 MISE EN PLACE D'UNE SIMULATION CDM 123

3.5.1 Génération automatique du réseau de résistances du substrat en 3D 123

3.5.2 Eléments nécessaires pour effectuer une simulation CDM prédictive 124

3.6 VALIDATION EN TECHNOLOGIE BICMOS 127

3.6.1 Description du composant sous test 127

3.6.2 Simulation CDM 128
3.7 CONCLUSION 137
CONCLUSION GENERALE 141
LISTE DES PUBLICATIONS 147

Liste des figures

Figure 1 : La microélectronique dans la vie de tous les jours. *1*
Figure 2 : Evolution de la technologie CMOS moderne [1]. *3*
Figure 1-1 : Défaillances induites par l'ESD dans les circuits intégrés : (a) fusion de jonction (b) ouverture de ligne de bus (c) claquage d'oxyde *8*
Figure 1-2 : Modes de conduction à travers le système Si/SiO_2 : (1) Conduction thermoïonique (effet Schottky); (2) Effet tunnel direct; (3) Effet tunnel Fowler-Nordheim ; (4) Conduction thermoïonique locale de piège à piège (effet Poole-Frenkel) ; (5) Conduction par saut « hopping conduction » ; (6) SILC « Stress Induced Leakage Current » (effet tunnel direct assisté par les pièges). *11*
Figure 1-3 : Courants de conduction par effet tunnel direct et Fowler-Nordheim. *12*
Figure 1-4 : Conduction par effet tunnel Poole-Frenkel. *12*
Figure 1-5 : Liaisons pendantes des atomes de silicium à l'interface Si/SiO_2 : structure d'un centre P_{b0} (•Si≡Si3) et d'un centre P_{b1} (Si2=Si•-Si≡Si2O). *13*
Figure 1-6 : Lacunes d'oxygène neutres associées à une liaison pendante présente (ou un électron non apparié) sur l'atome de silicium central à l'interface Si/SiO2 (trois liaisons au lieu de quatre).[12] *13*
Figure 1-7 : (a) Molécule d'oxyde SiO2 sans défaut ; (b) lacune d'oxygène formant une liaison Si-Si; et (c) la création d'un centre E'. *14*
Figure 1-8 : Principe de claquage de l'oxyde basé sur la théorie percolation de génération de pièges et la conduction assistée par les pièges. *16*
Figure 1-9 : Stratégie générale de protection contre les ESD pour les entrées/sorties. *19*
Figure 1-10 : Stratégies de protection ESD d'un circuit intégré : (a) Stratégie distribuée (Pad-based) ; (b) Stratégie centralisée (Rail-based). *20*
Figure 1-11 : Marges de conception d'une structure de protection contre les ESD. *22*
Figure 1-12 : Représentation schématique du transistor bipolaire NPN utilisé comme protection ESD dans les deux types de configuration : (a) autopolarisé ou (b) polarisé par une source de courant externe Iext. *23*
Figure 1-13 : Le transistor NMOS utilisé comme protection ESD : (a) représentation schématique du ggNMOS (VG=0 V) et (b) coupe technologique du ggNMOS ; (c) gcNMOS, Transistor NMOS avec couplage capacitif de la grille. *25*
Figure 1-14 : Le thyristor utilisé comme protection ESD. *26*

Figure 1-15 : (a) Modèle HBM (Humain Body Mode); (b) Schéma électrique équivalent du circuit de décharge HBM (C_{HBM}=100pF, R_{HBM} =1500 Ohms, L_p =10uH)..... 27
Figure 1-16: Courant de décharge du modèle HBM. 28
Figure 1-17 : (a) Modèle MM (Machine Model) ; (b) Schéma électronique équivalent du circuit de décharge MM. (CMM =200pF, RL=10 Ohms, Lp=0,75µH). 29
Figure 1-18 : Corrélation entre HBM et MM. Les carrés blues sont des données de [37] ; les points rouges sont des données de [38] ;..... 30
Figure 1-19: Origine du modèle CDM (Charged Device Model)..... 30
Figure 1-20 : (a) Schéma du circuit de décharge de type « Socket CDM » ; (b) Illustration d'une décharge de type « Field Induced CDM ». 31
Figure 1-21: Forme d'onde du courant de décharge CDM de 250V..... 32
Figure 1-22 : Corrélation entre les retours de client et le modèle HBM (a) et le modèle CDM (b) [37]..... 33
Figure 1-23 : (a) Principe du test TLP; (b) Allure de tension et courant de mesure TLP aux bornes d'un composant testé (Valim=50V); (c) Courbe finale du test TLP. 34
Figure 1-24 : Schéma électrique du montage vfTLP..... 36
Figure 1-25 : (a) Distribution de l'énergie dans le système de mesure TDR-O; (b) Testeur Celetron I de l'Oryx. 36
Figure 1-26 : Différences entre le test vf-TLP et cc-TLP..... 37
Figure 1-27 : Comparaison des formes d'onde des impulsions utilisées pour les caractérisations ESD, TLP et VF-TLP..... 38
Figure 1-28 : (a)Comparaison de formes d'onde entre le modèle HBM/MM et CDM ; (b) Tension et champ électrique de claquage de l'oxyde en fonction de l'épaisseur en régime ESD [58]. 40
Figure 1-29 : Eléments parasites du boîtier sous test FCDM..... 41
Figure 1-30 : Performance CDM en fonction des boîtiers. 42
Figure 1-31 : Performance CDM selon différents boîtiers (surface et nombre de broches). 42
Figure 1-32 : Saturation des courants maximaux en fonction de la surface du boîtier. 43
Figure 1-33 : Différents chemins de décharge possibles pendant le stress CDM..... 44
Figure 1-34 : Résumé du flot de conception de protection ESD. 45
Figure 2-1 : Courbe en baignoire. 55
Figure 2-2 : Différentes sources de bruit possibles en basse fréquence dans un composant. 58
Figure 2-3 : Principe du banc de mesure du bruit en basse fréquence basé sur le transimpédance[6]. 62
Figure 2-4 : Convertisseur DC-DC ; (a) Schéma fonctionnel et (b) un exemple d'application. 63
Figure 2-5 : Convertisseur DC-DC monté dans un boîtier céramique DIL24..... 65
Figure 2-6 : Stratégie de protection ESD pour le composant sous test. 66
Figure 2-7 : Tension de claquage d'oxyde pour technologie BiCMOS_0,8um. 66
Figure 2-8 : Méthodologie d'expérience de la détection des défauts latents induits par le stress CDM. 67
Figure 2-9 : Courant I_{ddq}@4V sur la broche VIN en mode stand-by juste après les stress CDM. 71
Figure 2-10 : Mesures de bruit basse fréquence juste après les stress CDM. 71
Figure 2-11 : L'analyse EMMI de P5 et P6 qui montrent une émission sur le transistor M1 du circuit d'entrée (voir Figure 2-12). 72
Figure 2-12 : Schéma électrique du circuit d'entrée connecté à la broche CTRL..... 73

Figure 2-13 : Les mesures de bruit BF après les stress CDM (CTRL=0V, I_{ddq}=270nA@4,2V avant stress et I_{ddq}=600nA@4,2V après le stress). Les lignes solides correspondent au modèle de FIT..... 73
Figure 2-14 : L'évolution bu bruit BF sur la pièce P1 après le stress CDM +500V et le recuit. (Les lignes solides superposées sur les bruits sont les courbes FIT selon le modèle) 76
Figure 2-15 : Le bruit BF avant et après le vieillissement de 2000h de P1..... 78
Figure 2-16 : Bruit BF mesuré 2 mois après le vieillissement de 2000h sur P1 et 'Référence'. 79
Figure 2-17 : Bilan des expériences de la détection des défauts latents induits par le stress CDM..... 80
Figure 2-18 : Les mesures TLP et vf-TLP sur le composant de protection 'ESD_1' seule ('stand-alone') dédié à la protection de la broche CTRL. La ligne rouge indique le courant et la tension maximum supportés avant le claquage d'oxyde sous le stress vf-TLP..... 81
Figure 2-19 : Configurations de protection ESD avec transistor MOS à protéger dans le véhicule de test : (a) un étage de protection ESD; (b) deux étages de protection ESD en Π. 82
Figure 2-20 : Mesures TLP et vf-TLP sur la protection ESD_2 (SCR bidirectionnel). 83
Figure 2-21 : Mesures TLP et vf-TLP sur la protection BIGMOS..... 83
Figure 2-22 : (1) Défaillance sur ESD_1 après le stress TLP en config.(a) et (b); (2) Transistor MOS à protéger et fusible cassés après le stress vf-TLP en config.(a) ; (3) Pas de défaillance détectée après le stress vf-TLP en config.(b). (La localisation de la défaillance est entourée.) 84
Figure 2-23 : Schéma électrique pour la simulation physique en mode mixte..... 86
Figure 2-24 : Les tensions maximums sur les grilles des MOS M0 et M1 pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte..... 86
Figure 2-25 : Les densités de courant aux moments où le courant de décharge maximal pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte..... 87
Figure 2-26 : Les champs électriques aux moments où le courant de décharge est maximal pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte..... 88
Figure 3-1 : Stratégie de modélisation ('divide and conquer') proposée par J.LEE [2]..... 96
Figure 3-2 : Modélisation du testeur CDM et la mesure de la capacité parasite du boîtier Csub. 96
Figure 3-3 : Stratégie de modélisation proposée par M.S.B. Sowariraj [7]..... 97
Figure 3-4 : Stratégie de modélisation proposée par M.Etherton [6]. 98
Figure 3-5 : Chemins de décharge CDM contribués au courant maximal pendant le stress CDM pour le composant chargé positivement (a)-(c) et négativement (d)-(f)..... 100
Figure 3-7 : Variation de la résistance du substrat en forte injection en fonction du dopage [10]..... 102
Figure 3-8 : (a) Structure de résistance diffusée (Pwell et Nwell) dans le véhicule de test pour les mesures TLP/vf-TLP sous pointes ; (b) technologie CMOS_45nm (STI=Shallow Trench Isolation)..... 103
Figure 3-9 : Pointes RF pour la mesure vf-TLP sur wafer du véhicule de test..... 104
Figure 3-10 : Courbe I (V) typique sur une résistance Nwell de 5µm (CMOS_45nm) de l'injection faible à l'injection ultra forte après la mesure vf-TLP 2,5ns..... 105
Figure 3-11 : Le courant et le champ électrique dans le cas 'SCN' (Space Charge Neutral) et 'SCL' (Space Charge Limited)..... 110
Figure 3-12 : Les résistances Pwell et Nwell mesurées en DC de 0 à 5V. Les lignes solides représentent les résultats de mesure; les lignes discontinues au-dessus représentent la résistance effective calculée,

les lignes discontinues au-dessous représentent la résistance calculée sans prendre en compte de la variation de la longueur effective du composant. 111
Figure 3-13 : Comparaison des mesure TLP (100ns) et vf-TLP (30ns et 2,5ns) sur une résistance diffusée de type-P 112
Figure 3-14 : Mesures TLP et vf-TLP de 2,5ns sur les résistances Pwell de différentes longueurs (technologie CMOS_45nm). 113
Figure 3-15 : Mesures de la résistance du Pwell (technologie CMOS45nm) en vf-TLP de 2,5ns et résultats simulés du modèle pour les régimes linéaire et en saturation. 114
Figure 3-16 : Exemple des points d'avalanche et retournement des résultats de mesures de la résistance du caisson et extraits par le modèle. Les lignes continues représentent les mesures ; les lignes discontinues représentent les modèles. 118
Figure 3-17 : Résultats des mesures et modèles des résistances de type P pour la technologie CMOS_45nm en vf-TLP de 2,5ns. 119
Figure 3-18 : Résultats des mesures et modèles des résistances de type N pour la technologie CMOS_45nm en vf-TLP de 2,5ns. 120
Figure 3-19 : Résultats des mesures et modèles des résistances de type P pour la technologie BiCMOS_0,25µm en vf-TLP de 5ns. 121
Figure 3-20 : Résultats des mesures et modèles des résistances de type N pour la technologie BiCMOS_0,25µm en vf-TLP de 5ns. 121
Figure 3-21 : Méthodologie d'une simulation de type FCDM. 123
Figure 3-22 : Modélisation du substrat par un réseau de résistance en 3D. 124
Figure 3-23 : Modélisation des diodes parasites. 125
Figure 3-24 : Schéma électrique complet du circuit d'entrée connecté à la broche CTRL. 127
Figure 3-25 : Courants de décharge traversant la broche 'pogo_pin', la structure de protection ESD locale et globale (Rsub ; V_{CDM} = +500V). 128
Figure 3-26 : Tensions aux bornes des MOS d'entrée (Rsub ; V_{CDM} = +500V). 129
Figure 3-27 : Courants de décharge CDM simulés sur la broche 'pogo_pin' du testeur CDM. 129
Figure 3-28 : Bilan des tensions maximales aux bornes de M0 et M1 pour +/-500V et +/-2000V (simulé avec le réseau de résistance 'Rsub' nonlinéaire). 130
Figure 3-29 : Courants de décharge traversant la broche 'pogo_pin', la structure de protection ESD locale et globale (Rcst ; V_{CDM} = +500V). 131
Figure 3-30 : Tensions des grilles de MOS simulées avec les résistances du substrat constant pour V_{CDM} de -2000V 132
Figure 3-31 : Cartographie de tensions dans le substrat simulée pour le stress CDM (V_{CDM}=+2kV). Temps=883ps où la différence de tension est maximale dans le substrat. 134
Figure 3-32 : Tensions aux bornes du PMOS simulées pour différents niveaux de stress CDM par un réseau de résistances non-linéaires, Rsub. 135
Figure 3-33 : Tensions aux bornes du PMOS simulées pour différents niveaux de stress CDM par un réseau de résistances constantes, Rcst. 135

Liste des tableaux

Tableau 1-1 : Différents mécanismes de création des pièges sous l'effet d'un champ électrique. 15
Tableau 2-1 : Les différentes configurations du banc de mesure de bruit basse fréquence. (○: interrupteur ouvert ; ● : interrupteur fermé)..... 62
Tableau 2-2 : Plan des broches du boîtier DIL24 pour le convertisseur DC-DC..... 65
Tableau 2-3 : Plan de test CDM pour les composants étudiés. 69
*Tableau 2-4 : Résultat du test fonctionnalité du DUT juste après les stress CDM. * F: Fail A: Alarm (Niveau A est plus dégradé que Niveau F) 70*
Tableau 2-5 : Les coefficients utilisés pour modéliser la densité spectrale du bruit BF..... 74
Tableau 2-6 : L'évolution du courant de fuite Iddq@4,2V sur VIN. 'Statut' est le résultat des tests de fonctionnalité; 'F' pour 'Failed', 'NA' pour 'Non Appliqué'. 75
Tableau 2-7 : Paramètres du modèle de spectre de bruit pour le P1 au cours de la période de stockage. 76
Tableau 2-8 : Les paramètres du bruit utilisés pour le modélisation du bruit BF de P1 après le recuit et le vieillissement et du bruit BF de P3 après le stress CDM. 78
Tableau 2-9 : Taille et les tensions critiques du transistor MOS à protéger. 81
Tableau 2-10 : Composants de protection ESD en config Π dédiés au convertisseur étudié après les stress TLP/vf-TLP. 84
Tableau 3-1 : Equation de Transport Ambipolaire (E.T.A.) et les paramètres importants pour la faible injection et la forte injection pour le semiconducteur dopé de type N..... 108
Tableau 3-2 : Extraction du modèle de la tension V_{t1} en cas de surtension..... 115
Tableau 3-3 : Bilan des équations et des paramètres à extraire pour le modèle de la résistance dopée..... 117
Tableau 3-4 : Les éléments parasites de différents boîtiers (DIL24 Plastique et Céramique) dans la condition de test FCDM. 125
Tableau 3-5 : Bilan des résultats de simulation CDM utilisant un réseau 3D de résistances du substrat non-linéaires Rsub et constantes Rcst (C_{SUB}=10pF)..... 133
Tableau 3-6 : Bilan des alarmes par simulation et défaillances observées après analyse de défaillance..... 136

Introduction générale

La microélectronique ne cesse d'améliorer le quotidien de l'homme, depuis les années 60. En effet, aujourd'hui elle est omniprésente dans les moyens de transport tels que l'aéronautique, l'automobile, dans les moyens de communication tels qu'Internet, la téléphonie mobile, et enfin dans le domaine médical. De plus, elle ouvre de nouveaux horizons notamment par l'intermédiaire des microtechnologies. Ainsi, l'industrie du silicium représente le moteur des micro et nanotechnologies qui, par ce biais diffusent dans tous les domaines technologiques (mécanique, optique, chimie, biologie, énergie,…). Le succès de la microélectronique est lié d'une part à la miniaturisation des composants et d'autre part au traitement collectif des puces. Cela entraîne une réduction des coûts unique dans l'histoire de l'industrie. Le produit phare de cette industrie et sur lequel tout repose, est le transistor à effet de champ appelé « transistor MOSFET » (**M**etal Oxide **S**emiconductor **F**ield **E**ffect **T**ransistor».



Figure 1 : La microélectronique dans la vie de tous les jours.

Le phénomène de Décharge Électrostatique (ESD pour *ElectroStatic Discharge* en anglais) a été probablement expérimenté par les humains depuis qu'ils existent sur la terre. 600 ans avant J.C, « le père de la science », Thalès de Milet, a observé que l'ambre attire les

objets légers lorsqu'il est frotté par une fourrure. C'est le premier enregistrement de la découverte de l'électricité statique dans l'histoire humaine.

Nous comprenons maintenant qu'un frottement de deux matériaux d'affinité ionique différente provoque un déplacement d'électrons libres à leur surface ; en outre, ces charges peuvent être créées par un champ électrique ou induites par des plasmas, particulièrement dans l'espace. La décharge électrostatique est alors provoquée par le rééquilibrage de charges entre deux objets chargés à des potentiels différents. Par exemple, l'éclair est sans doute la plus belle manifestation de la décharge électrostatique dans la nature ; une très forte énergie se décharge brutalement entre nuages ou entre les nuages et le sol.

Dans l'industrie du semi-conducteur, une décharge électrostatique peut se produire tout au long de la vie d'une puce électronique, des étapes de fabrication, aux tests, à l'assemblage, jusqu'à l'application finale. La durée d'une décharge électrostatique n'excède pas quelques centaines de nanosecondes mais la valeur de l'intensité peut atteindre plusieurs ampères. Depuis les années 60, les décharges électrostatiques constituent un vrai problème pour la fiabilité des circuits intégrés et sont identifiées comme la cause essentielle de défaillance des composants. Environ 17% des retours par les clients sont dus à l'ESD et avec un taux de 18%, l'ESD est la première cause de non-conformité d'un produit nécessitant des modifications de conception.

Plusieurs modèles ont été développés en vue d'étudier le phénomène ESD et de normaliser les tests de fiabilité du circuit intégré vis-à-vis de l'ESD. Un nouveau modèle qui est apparu plus récemment est celui du « Modèle du composant chargé », dit « CDM» (*Charged Device Model)* en anglais. Par rapport au modèle HBM (Human Body Model) bien établi, associé à la décharge d'une personne, le modèle CDM représente un composant chargé par triboélectricité ou par induction qui se décharge par une de ses broches lorsque celle-ci contacte un plan de masse. Il se produit alors une décharge extrêmement rapide en quelques nanosecondes et un courant pic très important, notamment d'une dizaine d'ampères. Ce type de décharge détruit typiquement l'oxyde de grille du MOS.

La robustesse des technologies CMOS avancées vis-à-vis des stress ESD constitue un vrai défi puisque les oxydes de grille deviennent extrêmement minces, quelques nanomètres d'épaisseur et sont très sensibles face à l'ESD. Ainsi, la conception de protections ESD efficaces vis-à-vis des stress ESD de type CDM est complexe car le bon fonctionnement des protections ESD vis-à-vis des stress HBM (Human Body Model) ne garantit pas forcément que les oxydes au cœur du circuit intégré soient protégés. Il est alors nécessaire de développer de nouvelles stratégies de protection, plus globales pour améliorer la robustesse ESD du produit. Pour réaliser ces objectifs de robustesse dans un contexte de forte compétition industrielle, des outils de simulation permettant une meilleure compréhension des mécanismes physiques, la prédiction et l'optimisation de la robustesse du produit contre l'ESD deviennent nécessaires.

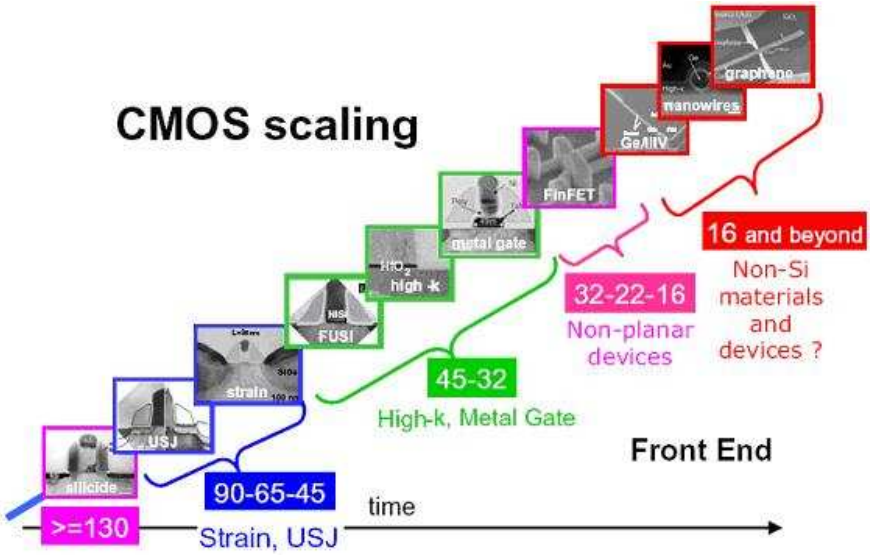


Figure 2 : Evolution de la technologie CMOS moderne [1].

Les travaux de recherche présentés dans ce mémoire se divisent en plusieurs parties :

Le premier chapitre présente une synthèse des phénomènes de décharges électrostatiques dans les circuits intégrés ainsi que les défis liés aux décharges de type CDM (modèle du composant chargé) dans les technologies d'aujourd'hui.

Le deuxième chapitre est consacré à l'étude de la robustesse aux décharges électrostatiques d'un produit commercial ainsi que l'évolution de défauts latents induits par stress CDM en utilisant une technique de mesure électrique de haute sensibilité qui est la « mesure de bruit aux basses fréquences ».

Le troisième chapitre présente la méthodologie adoptée pour modéliser une décharge CDM sur un circuit intégré en vue de la vérification de l'efficacité de la stratégie de protection. Ainsi, nous proposons une modélisation de la résistance du substrat prenant en compte les non-linéarités en très forte injection. Le modèle compact de la résistance du substrat non linéaire en forte injection est ensuite validé sur des véhicules de test pour différentes technologies. Enfin, une simulation au niveau d'un circuit intégré commercial permet de montrer qu'il est effectivement important de prendre en compte le modèle du substrat pour correctement évaluer les risques de surtensions au niveau des oxydes lors d'une décharge électrostatique de type CDM.

En conclusion, nous faisons une synthèse de l'approche de modélisation proposée et donnons quelques perspectives envisageables pour en améliorer la précision de prédiction.

[1] G. Groeseneken, S. Thijs, D. Linten, M. Scholz, J. Borremans, N. Collaert, M. Jurczak, "Challenges and solutions for ESD protection in advanced logic and RF CMOS technologies," *2nd International ESD Workshop (IEW)*, 2008.

Chapitre 1 :

Décharges Electrostatiques (ESD) dans l'industrie microélectronique

CHAPITRE 1 : DECHARGES ELECTROSTATIQUES (ESD) DANS L'INDUSTRIE MICROELECTRONIQUE 5

1.1 PHENOMENE ESD 7

1.1.1 Génération de charges électrostatiques 7

1.1.2 Décharges électrostatiques dans les circuits intégrés 7

1.2 NATURE DES DEGRADATIONS ESD DANS LES CIRCUITS INTEGRES 9

1.2.1 Dégradation de jonction 9

1.2.2 Dégradation dans un métal 9

1.2.3 Dégradation d'oxyde 10

1.3 PROTECTION CONTRE LES ESD 19

1.3.1 Stratégies de protection ESD 19

1.3.2 Principaux éléments de protection ESD 21

1.4 TESTS ET MODELES DE DECHARGES ELECTROSTATIQUES 27

1.4.1 Modèle HBM 27

1.4.2 Modèle MM 29

1.4.3 Modèle CDM 30

1.4.4 Corrélation entre le retour client et les modèles ESD 33

1.5 CARACTERISTISATION POUR L'ETUDE D'ESD 34

1.5.1 Test TLP (Transmission Line Pulse) standard 34

1.5.2 Test Very-Fast TLP 35

1.5.3 Test TLP par couplage capacitif (Capacitively Coupled TLP) 37

1.5.4 Corrélation entre les tests de qualification et les mesures du type TLP 37

1.6 PROBLEMATIQUE DU STRESS CDM 40

1.6.1 Courant rapide et important 40

1.6.2 L'influence des boîtiers *41*
1.6.3 Complexité des chemins de décharge *43*
1.7 MODELISATION ET SIMULATION ESD/CDM 45

1.1 Phénomène ESD

1.1.1 Génération de charges électrostatiques

Une décharge électrostatique est toujours le résultat d'un déséquilibre de charges entre deux objets. Ces charges peuvent être générées de différentes manières. Dans l'environnement de fabrication des circuits intégrés, les deux principaux processus de génération de charges sont la triboélectrification et l'induction. La triboélectrification a lieu lorsque deux matériaux de nature différente sont mis en contact puis séparés, comme lors d'un frottement. En effet, il se produit un transfert d'électrons libres pendant le contact. Lorsque les matériaux sont ensuite séparés, les électrons sont redistribués. Ils s'équilibrent si les deux matériaux sont conducteurs, mais si l'un d'eux est isolant, une charge résiduelle apparaît sur ce dernier. La génération de charges est favorisée par une grande surface de contact, une vitesse de séparation (frottement) élevée et un faible coefficient d'humidité de l'air. C'est par triboélectrification qu'un individu peut, en marchant, accumuler des charges électrostatiques par le simple frottement de ses chaussures sur le sol, ou qu'un composant électronique peut se charger en glissant dans une barrette en plastique utilisée pour son transport. [1, 2]

La génération de charges par induction a lieu lorsqu'un objet A conducteur est placé à proximité d'un objet B chargé. Le champ électrique émis par l'objet B sépare les charges dans l'objet A sans en perturber la neutralité. Si ce dernier est ensuite momentanément relié à la masse, il lui cède une partie de ses charges. Une fois déconnecté de la masse, il devient donc chargé et le reste même s'il est éloigné de l'objet B. C'est ainsi qu'un circuit intégré peut accumuler des charges électrostatiques en étant manipulé à proximité d'un moniteur chargé, puisque l'opérateur qui le manipule ainsi que la surface de travail sur laquelle il est déposé sont en général reliés à la masse. Cette situation est aujourd'hui très fréquente car les environnements de travail sont de plus en plus informatisés.

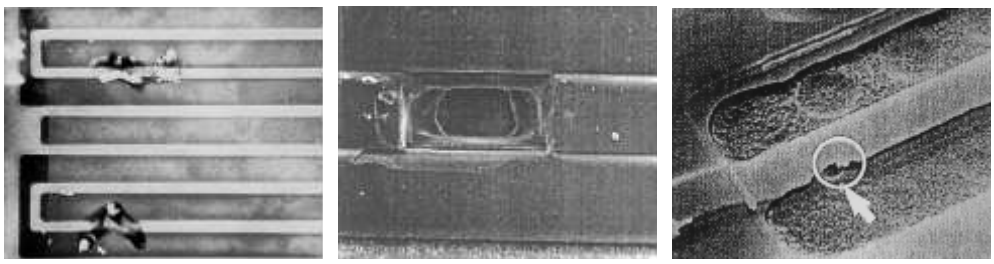
Une décharge électrostatique est ensuite le transfert des charges ainsi accumulées vers un objet conducteur jouant le rôle de masse "virtuelle". Un circuit intégré peut aussi bien être à l'origine de la décharge que la subir, selon qu'il est lui-même chargé ou non.

1.1.2 Décharges électrostatiques dans les circuits intégrés

La manipulation des composants électroniques dans des environnements mal contrôlés est à l'origine de nombreuses défaillances dues aux décharges électrostatiques. Outre la réduction des dimensions technologiques, l'utilisation de nouvelles techniques comme les drains faiblement dopés, les siliciures, ou les oxydes de grille ultra minces rendent les circuits

intégrés modernes toujours plus vulnérables aux décharges électrostatiques. Quelles que soient les conditions de décharge, le phénomène est de très courte durée, typiquement moins d'une microseconde, et les courants qui en résultent peuvent atteindre plusieurs ampères. Des surcharges électriques de plus longue durée; de l'ordre de la microseconde ou milliseconde; sont plutôt connues sous le nom d'EOS (Electrical OverStress) et ne seront pas abordées dans le cadre de cette étude.

Les défaillances liées aux ESD ont fait leur apparition en électronique au début des années 70. Il s'agit souvent d'une tension élevée (quelques kV) et d'un courant important (1-15A) sur un petit composant de quelques mm². A l'échelle du transistor, la brique élémentaire des circuits microélectroniques, une ESD peut avoir des conséquences équivalentes à celle de la foudre frappant un arbre. Figure 1-1 montre les défaillances ESD typiques dans un composant semiconducteur. L'énergie d'une décharge électrostatique peut se coupler avec un circuit électronique par conduction directe, couplage inductif, couplage capacitif, par rayonnement. Les effets peuvent aller de la création de défauts latents à la destruction du dispositif.



(a) (b) (c)

Figure 1-1 : Défaillances induites par l'ESD dans les circuits intégrés : (a) fusion de jonction (b) ouverture de ligne de bus (c) claquage d'oxyde

En effet, parmi les retours de client dans l'industrie microélectronique, environ 30% sont attribués aux ESD et EOS, et 10% concernant les défaillances ESD. On estime, que chaque année, 40 milliards de dollars sont perdus à cause de dommages provoqués par les décharges électrostatiques, dans la seule industrie électronique [3]. Par conséquent, les phénomènes ESD doivent être bien compris pour construire des circuits intégrés fiables et insensibles face aux ESD. Une trentaine d'années d'études approfondies ont permis de mieux appréhender les mécanismes physiques mis en jeu lors d'une ESD dans les circuits et des méthodes de conception ont été mises en place. La conception de protections contre les ESD n'est plus un « art empirique ».

1.2 Nature des dégradations ESD dans les circuits intégrés

1.2.1 Dégradation de jonction

La dissipation d'énergie dans une jonction provoque un échauffement localisé du silicium dans la zone de charge d'espace. Cet échauffement peut être renforcé par une focalisation des lignes de courant due à la géométrie de la structure ou à des inhomogénéités de dopage. Certains paramètres électriques du silicium comme le gain en courant d'un transistor bipolaire, augmentant avec la température, le courant a tendance à se concentrer dans la région qui dissipe l'énergie [4]. Il se forme ainsi un point chaud qui conduit à un emballement thermique, plus connu sous le nom de second claquage thermique. La fusion s'accompagne d'une redistribution des dopants. Après la décharge, il n'y a plus de puissance dissipée et le silicium se solidifie. La jonction présente alors un courant de fuite plus important, mais sa tension de claquage est maintenue ou très légèrement abaissée. Des niveaux d'énergie plus élevés peuvent étendre la zone chaude jusqu'aux contacts et provoquer un échange entre le métal et le silicium. Il se forme alors à 577°C un alliage Al-Si entre les deux matériaux qui pénètre la jonction peu profonde.

1.2.2 Dégradation dans un métal

Nous avons déjà cité un mécanisme conduisant à la pénétration du métal dans le silicium lorsqu'un contact est trop proche d'une source d'énergie. Il arrive également qu'une bande de métal dimensionnée de largeur trop faible fonde par effet Joule lorsque le courant dépasse environ $10^6 A/cm^2$ dans la piste métallique. Avant d'atteindre la fusion, la forte densité de courant induit un déplacement d'atomes qui peut conduire soit à un circuit ouvert soit à un court-circuit. Souvent, la dégradation observée sur le métal n'est que la conséquence d'une autre dégradation. Il est en effet possible que le perçage d'une jonction ou le claquage d'un oxyde provoque un court-circuit, ayant pour effet d'augmenter considérablement le courant qui traverse le métal et d'en provoquer la fusion. Lors d'une analyse de défaillance, il est important de prendre en compte l'éventualité d'un mécanisme en deux étapes afin de ne pas masquer la véritable origine de la dégradation.

1.2.3 Dégradation d'oxyde

Comparé aux dégradations d'une jonction et dans les métaux, le mécanisme de défaillance d'oxyde est beaucoup plus compliqué. Les défauts de l'oxyde influencent les performances électriques en créant respectivement un décalage des tensions de référence et/ou des courants de fuite. Il s'agit donc d'un problème critique pour la fiabilité de technologies MOS et CMOS avancées avec oxydes ultraminces. De ce fait, de nombreux travaux s'intéressent aux mécanismes de défaillance associés.

a- Conduction dans le système Si/SiO_2

En effet, le système diélectrique Si/SiO_2 bénéficie d'une bande interdite élevée de 9eV et un champ électrique de claquage supérieur à 15 MV/cm. Ceci permet une bonne isolation électrique entre la grille et le substrat, et de contrôler correctement le fonctionnement du composant MOS. Cependant, suivant la qualité de l'oxyde, son épaisseur ou le champ appliqué à ses bornes, il existe des courants de conduction dans le diélectrique, autrement dit, un courant de fuite de grille (gate leakage current). Plus généralement, on peut définir deux régimes de conduction dans un isolant :

- La conduction est limitée par l'injection des porteurs à partir de l'électrode (Effet Schottky, effet tunnel).
- La conduction est limitée par le volume de l'isolant (Effet Poole-Frenkel, conduction par saut *« hopping conduction »*)

La figure 1-2 montre les différents types de conduction dans un système Si/SiO_2 [5] :

Le mécanisme (1) concerne la conduction thermoïonique par les porteurs injectés dans la bande de conduction (effet Schottky), qui ont des énergies supérieures à la barrière de potentiel ϕ. Généralement, l'énergie nécessaire est fournie par l'énergie thermique (l'augmentation de température), l'excitation optique par un flux de photons, ou un champ électrique.

Les mécanismes (2) et (3) concernent la conduction par effet tunnel (Direct ou Fowler-Nordheim [6]). Ce type de conduction limité par les électrodes, dépend de la hauteur de barrière entre l'électrode injectant et le diélectrique. Dans le cas des oxydes de grille, la barrière peut être différente selon la polarisation V_{OX} de l'oxyde, son épaisseur T_{OX} et la position énergétique du porteur ϕ. Cependant, quel que soit le T_{OX}, l'épaisseur de la barrière (différence entre ϕ et qV_{OX}) ne dépend que du champ E_{OX} et de la hauteur de barrière ϕ. Lorsque l'énergie aux bornes de la couche d'oxyde qV_{OX} est inférieure à la barrière de

potentiel ϕ, l'effet tunnel direct apparait [7] (*Figure 1-3*). Dans les cas généraux où l'effet tunnel direct domine, l'épaisseur de la couche d'oxyde est normalement inférieure à 4nm [5].

Les mécanismes (4), (5) et (6) sont associés à une conduction assistée par les pièges. La présence des pièges dans le volume d'oxyde ou l'interface de Si/SiO_2 crée des puits de potentiel induisant une réduction de la barrière de potentiel et une augmentation du courant de fuite. Il est donc favorable pour la conduction Poole-Frenkel (4) si la hauteur de barrière ϕ_P < 1eV *(Figure 1-4)* [8]. La conduction par saut (5) peut être modélisée par l'effet tunnel de piège à piège [9]; ce courant est une fonction de la distance entre les pièges, la fréquence de saut moyenne, le nombre de sites des pièges et la différence de hauteur de barrière des pièges. Le mécanisme (6) consiste en une augmentation du courant basée sur l'effet tunnel direct assisté par les pièges. Ce courant augmente avec le nombre de pièges et la polarisation des charges créées dans l'oxyde ou l'interface Si/SiO_2. La mesure de ce courant permet d'accéder au nombre de pièges dans l'oxyde [10, 11]. Par contre, lorsque l'épaisseur de l'oxyde est inférieure à 3nm, ce mécanisme de conduction assistée par les pièges n'existe plus à cause du dé-piégeage des charges dans l'oxyde par effet tunnel direct.

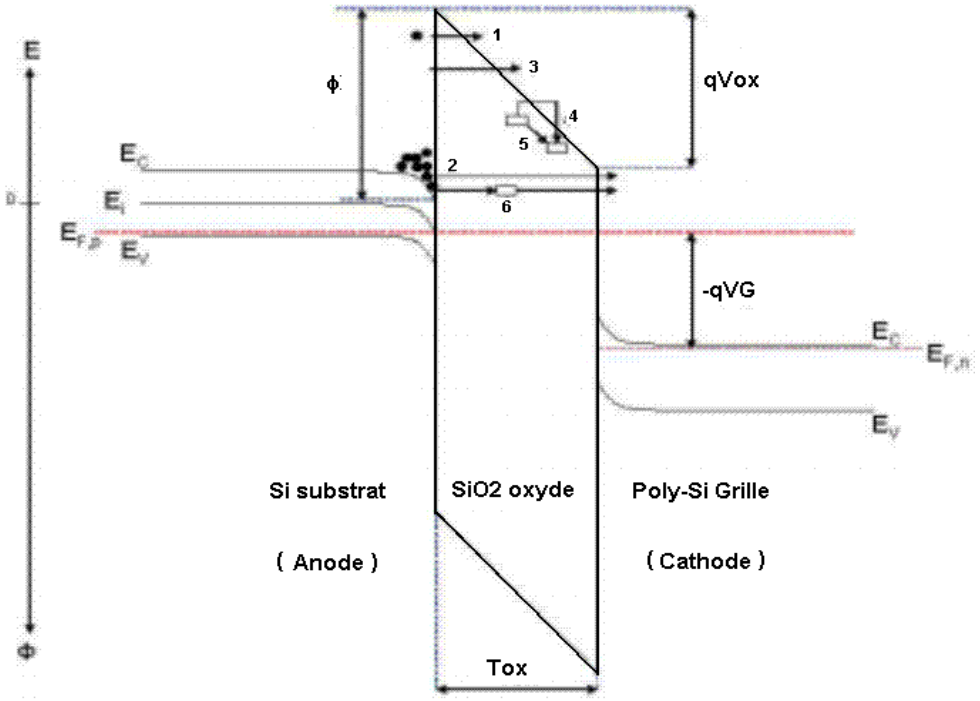


Figure 1-2 : Modes de conduction à travers le système Si/SiO_2 : (1) Conduction thermoïonique (effet Schottky); (2) Effet tunnel direct; (3) Effet tunnel Fowler-Nordheim ; (4) Conduction thermoïonique locale de piège à piège (effet Poole-Frenkel) ; (5) Conduction par saut « hopping conduction » ; (6) SILC « Stress Induced Leakage Current » (effet tunnel direct assisté par les pièges).

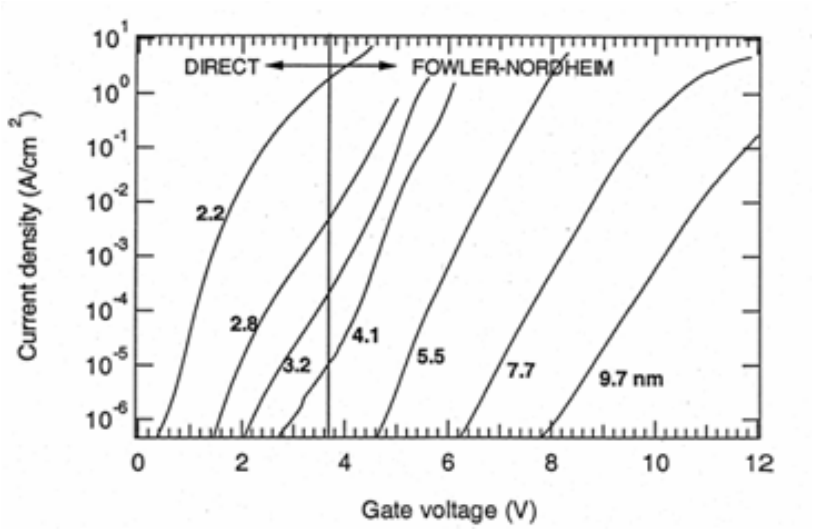


Figure 1-3 : Courants de conduction par effet tunnel direct et Fowler-Nordheim.

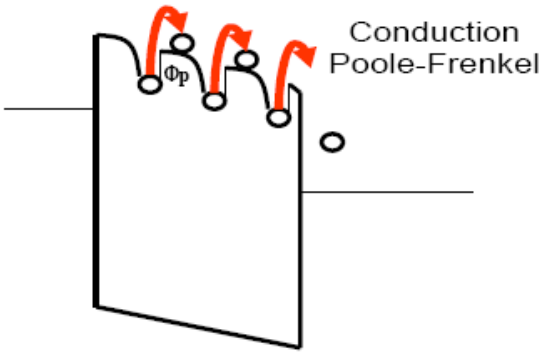


Figure 1-4 : Conduction par effet tunnel Poole-Frenkel.

b- Génération de pièges et piégeage de charges

(1) Pendant le procédé de l'oxydation, un traitement thermique de la surface du silicium, sous atmosphère oxydante, permet la diffusion d'atomes d'oxygène dans le substrat et donc la formation de l'oxyde de silicium suivant la réaction suivante :

$Si+2H_2O \rightarrow SiO_2 + 2\ H_2$.

En raison du désaccord de maille entre le substrat de silicium (cristallin) et l'oxyde SiO_2 (amorphe), il se crée des défauts à l'interface Si/SiO_2. Du côté substrat, il se forme des centres P_{b0} et P_{b1} qui sont positivement chargés *(Figure 1-5)*. Par une étape de recuit thermique utilisant une atmosphère riche en hydrogène, les liaisons pendantes (aussi appelées électron non apparié) (Si•) des atomes de silicium peuvent être remplacées par Si-H correspondant à des états électriquement inactifs. Dans le gradient d'oxygène de l'interface se trouvent des défauts que l'on appelle lacunes d'oxygène. Leur structure est du type $\bullet Si_nO_{3-n}$ (n=1,2,3) *(Figure 1-6)*. Pour les défauts dans le volume du SiO_2, la figure 1-4 compare une molécule d'oxyde de silicium normale et une lacune d'oxygène. Il s'agit d'un pont Si-Si. Ce

défaut est neutre et ne met pas en jeu d'électron non apparié. La rupture d'une liaison Si-Si nécessite 2,5 fois moins d'énergie que la rupture d'une liaison Si-O. Ainsi, la lacune d'oxygène est un point faible de la structure susceptible de donner un piège électriquement actif tel qu'un centre E' *(Figure 1-7(c))* qui est un type de défaut associé à la présence d'un électron non apparié sur un atome de silicium adjacent à une lacune d'oxygène ou à plusieurs atomes de silicium localisés dans une région contenant un excès de silicium.

En 1979 un comité présidé par Bruce Deal a effectué un classement des défauts de la silice :

a. ***les charges fixes de l'oxyde*** (les défauts structurels situés dans la première couche de l'oxyde à 2,5nm à partir de l'interface Si/SiO_2) ;

b. ***les charges mobiles*** (les impuretés ioniques, principalement des ions alcalins *(Na+, K+, Li+)* et probablement des protons *(H+)*) ;

c. ***les charges de l'oxyde ou d'interface*** (résultat du piégeage d'électrons ou de trous).

Les lacunes d'oxygène et les centres E' sont les centres les plus fréquemment rencontrés dans le SiO_2, ils sont à l'origine des charges fixes et des charges de l'oxyde. Les centres P_b sont essentiellement à l'origine des charges d'interface.

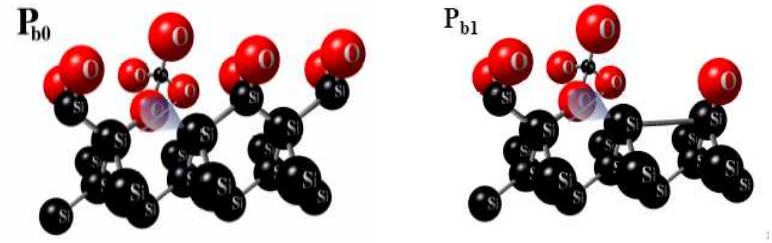


Figure 1-5 : Liaisons pendantes des atomes de silicium à l'interface Si/SiO_2 : structure d'un centre P_{b0} (•Si≡Si_3) et d'un centre P_{b1} (Si_2=Si•-Si≡Si_2O).

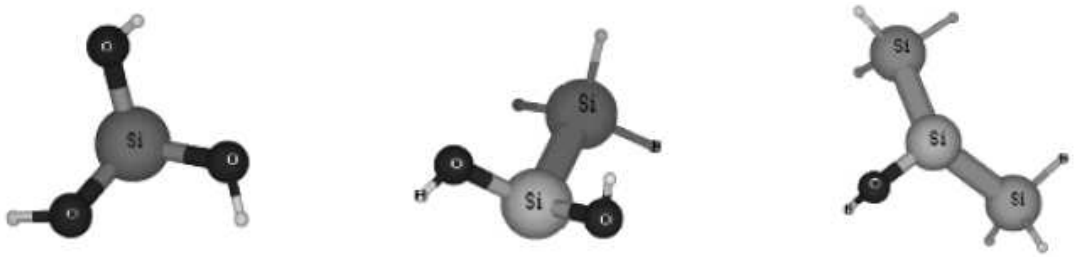


Figure 1-6 : Lacunes d'oxygène neutres associées à une liaison pendante présente (ou un électron non apparié) sur l'atome de silicium central à l'interface Si/SiO2 (trois liaisons au lieu de quatre).[12]

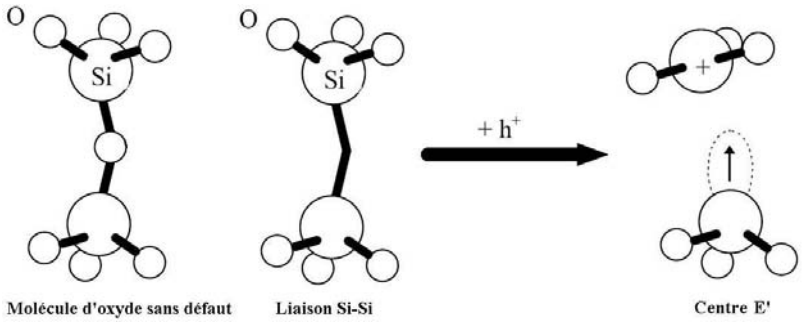


Figure 1-7 : (a) Molécule d'oxyde SiO2 sans défaut ; (b) lacune d'oxygène formant une liaison Si-Si; et (c) la création d'un centre E'.

(2) Pour les technologies actuelles et futures, la qualité du système Si/SiO_2 a été considérablement améliorée, les problèmes critiques concernent plutôt le piégeage de charges positives ou négatives dans l'oxyde lors d'un stress électrique [13, 14] (ESD, interaction rayonnement/matière, etc) dans les environnements d'utilisation hostile comme l'espace ou les zones à forte émission de rayonnement. Une fois l'apparition d'une tension/un champ électrique suffisamment élevé aux bornes de l'oxyde, l'oxyde se dégrade par l'endommagement de sa structure physique ou la rupture de liaisons atomiques. En effet, l'injection de porteurs chauds au travers d'un diélectrique provoque des défauts microscopiques, comme des pièges liés au fort champ électrique créés dans le volume de SiO_2 et l'interface Si/SiO_2, et des centres de génération-recombinaison. Du fait de la grande mobilité des électrons, il est généralement admis que ceux-ci sont très rapidement évacués. La charge piégée est donc de manière générale positive [15-17]. Les différents mécanismes de création des pièges [5, 18] sont résumés dans le tableau 1-1.

La relaxation des atomes d'hydrogène (rupture de la liaison d'hydrogène) est le premier mécanisme de création des pièges. Il peut être provoqué par l'injection thermique de porteurs par l'anode (interface oxyde /Si), l'excitation électrique, ou l'excitation vibrationnelle. Lorsque les atomes d'hydrogène sont libérés, les pièges positifs formés par ce phénomène réagissent chimiquement avec l'oxyde en se déplaçant vers la cathode et créent des pièges neutres à électrons.

L'injection des trous est le second mécanisme important de création des pièges. Les trous injectés dans l'oxyde peuvent être générés par ionisation par impact dans l'anode ou dans le volume de l'oxyde selon l'énergie de porteurs [5, 19]. Une fois créés, ces trous traversent l'oxyde, happés par le champ électrique. Ils réagissent avec les atomes de l'interface ou du volume de l'oxyde, notamment les liaisons Si-Si, et créent ensuite des centres E' (le piégeage de trou) *(Figure 1-7)*. Ce trou piégé peut être dépiégé également par l'introduction d'un électron sur le site. Leurs réactions chimiques sont illustrées par les équations suivantes :

Le piégeage : $Si\text{-}Si + h^{+} \Rightarrow Si^{+}\text{-}Si$ ***Eq. 1-1***

Le dépiégeage : $Si^{+}\text{-}Si + e^{-} \Rightarrow Si\text{-}Si$ ***Eq. 1-2***

Mécanismes de création des pièges		**Energie**
Relaxation des atomes d'hydrogène	Par l'injection de porteurs énergétiques par l'anode (coté Si-substrat)	E > 2 eV *(Vg > 5 V)*
	Par l'excitation électrique	2,5 eV > E > 3 eV
	Par l'excitation vibrationnelle	5 eV > E > 6 eV
Injection des trous	Par l'anode (porteurs chauds du substrat)	E > 6 eV
	Par ionisation par impact provoquée par les électrons d'énergie supérieure à la bande interdite de l'oxyde (9eV) ($T_{OX} > 5nm$)	E > 9 eV *(Vg > 12 V)*

Tableau 1-1 : Différents mécanismes de création des pièges sous l'effet d'un champ électrique.

c- Claquage de l'oxyde

Avec un grand nombre de charges piégées dans l'oxyde, certains paramètres électriques directement liés à l'oxyde de grille dans les transistors MOS varient :

- La modification de la capacité de l'oxyde ainsi que l'augmentation du courant au travers de ce dernier. Cela est dû aux charges stockées aux interfaces qui changent le champ électrique local et abaissent la barrière de potentiel que rencontrent les porteurs libres mais aussi aux charges stockées dans le cœur du diélectrique qui ont une participation importante dans le phénomène de conduction.
- La dégradation de la mobilité dans le canal, due à l'augmentation des recombinaisons au niveau de l'interface Si/SiO_2 [20].
- La réduction de l'immunité au bruit (inverseur CMOS).
- La réduction de la vitesse de commutation.
- Le blocage en position « on » (abaissement de la tension de seuil du MOS canal N).
- Le blocage en position « off » (augmentation de la tension de seuil du MOS canal P).
- L'augmentation du courant de drain pour une même polarisation de grille dans les MOS à canal N est la preuve d'une diminution de la tension de seuil [21].

Certains de ces paramètres sont très importants pour les mémoires modernes. Même si dans la plupart des cas, ces modifications de paramètres électriques ne remettent pas en cause la fonctionnalité des circuits, ces stigmates peuvent provoquer une défaillance précoce du circuit et donc être assimilés à des défauts latents [22].

Certains chercheurs ont proposé que le claquage aura lieu lorsque la densité de trous injectés dans l'oxyde atteint une valeur critique, en supposant que les trous sont à l'origine du claquage [23]. Au début des années 90, une théorie de percolation a été bien acceptée pour modéliser le claquage des oxydes. Elle suppose que le piégeage d'un électron dans l'oxyde est aléatoire vis-à-vis de sa position dans le volume du diélectrique [24]. Ces pièges sont définis par leur rayon de capture. Si deux pièges sont à une distance inférieure à 2 fois leur rayon de capture, la conduction est possible par définition. Lorsque la densité de pièges est suffisante, un chemin de conduction est créé entre les deux interfaces *(Figure 1-8)*. Une fois créé, ce chemin de conduction assisté par pièges conduit la quasi-totalité du courant traversant le diélectrique. La destruction sera provoquée par un échauffement local induit par une forte densité de courant dans le diélectrique. Cette dégradation est irréversible.

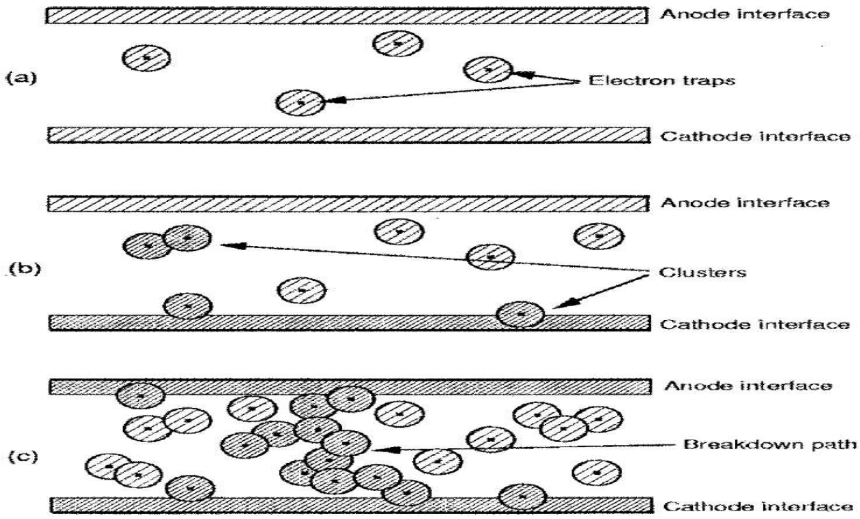


Figure 1-8 : Principe de claquage de l'oxyde basé sur la théorie percolation de génération de pièges et la conduction assistée par les pièges.

L'évolution du SILC (Stress Induced Leakage Current) en fonction des charges injectées dans l'oxyde suit une loi de puissance ('Power Law' en anglais) avec une pente d'environ 1/2 [25]. Certains modèles permettent de calculer la position et la densité des charges dans l'oxyde grâce à des mesures complémentaires [26]. La propriété du claquage du diélectrique est liée alors à deux autres paramètres importants: la charge de claquage, Q_{BD}, et le temps jusqu'au claquage, *TDDB* (*Time Dependent Dielectric Breakdown*).

$$Q_{BD} = \frac{1}{A}\int_0^{t_{BD}} J_g\, dt \qquad \textbf{Eq. 1-3}$$

où J_g est la densité de courant de la grille d'un MOS, et A est la surface du diélectrique.

Sous un stress électrique, le claquage du diélectrique est fortement dépendant du temps. Cette durée diminue avec l'augmentation de l'amplitude de la tension appliquée. TDDB est un résultat statistique basé sur une grande quantité d'échantillons. La distribution des valeurs des temps au claquage suit la loi de Weibull. TDDB est alors égal à 63% de cette fonction par définition.

Deux types de modèle prédictif pour la durée de vie du diélectrique (TDDB) sont présents : le modèle E et le modèle 1/E. De nombreuses études ont discuté ces modèles [27-29] et leur corrélation. C. Hu [30] a proposé de lier ces deux modèles en prenant pour hypothèse que le claquage de l'oxyde est causé par deux mécanismes compétitifs. Le modèle 1/E est dominant à fort champ électrique, et le modèle E *(Figure 1-9(b))* est plus important à champ électrique relativement faible. Par contre, il semble que cette dépendance avec le champ électrique soit trop simplificatrice, et Pompl *et al.* [31] ont ensuite présenté une modélisation de TDDB plus complexe qui valide la théorie de compétition en introduisant différents mécanismes de défaillance. En utilisant le mécanisme le plus dominant pour le claquage de diélectrique, le modèle E ou 1/E correspond parfaitement au résultat expérimental. Ils montrent aussi que le TDDB est influencé par l'étape de passivation.

Dans le cas de l'oxyde ultramince (<7nm), une indépendance de TDDB par rapport au champ électrique et l'épaisseur de l'oxyde a été observée [16]. Un modèle empirique dépendant de la tension appliquée sur l'oxyde ultramince a été aussi proposé par [32], appelé la loi de puissance ('power law') :

$$t_1 = t_0 \cdot \left(\frac{V_1}{V_0} \right)^{-n} \qquad \textbf{\textit{Eq. 1-4}}$$

A. Ille a ensuite validé cette loi jusqu'au régime ESD [5, 33]. Il a proposé une méthodologie de mesure CVS (Constant Voltage Stress) longue durée (jusqu'à l'ordre de ms) ou répétitive (jusqu'à 20ns) pour mesurer le temps de claquage d'oxyde (TDDB) en utilisant une tension constante au lieu d'une rampe de tension (RVS, Ramp Voltage Stress) qui est couramment utilisée pour le calcul de TDDB. Basé sur des mesures sur une grande gamme d'épaisseurs d'oxyde, cette méthodologie montre que le TDDB d'oxyde en régime ESD suit la loi statistique de Weibull et correspond bien à la théorie de percolation. Les sites de claquage d'oxyde sont aléatoires et peuvent être décrits par la loi statistique de Poisson. Il faut noter également que le TDDB dépend de plusieurs paramètres, notamment la surface d'oxyde, le type de dispositif (transistor P ou N), la polarité du stress, et la température. (Cependant, l'impact de la température sur le TDDB est négligeable pour les oxydes minces en régime ESD). Dans le régime ESD, la loi de puissance est tout à fait satisfaite pour définir le TDDB d'oxyde jusqu'à l'épaisseur de 1,1nm. Le pire cas du claquage en régime ESD se trouve dans la situation où le nFET est polarisé en inverse. Au niveau du composant, la dégradation du composant dépend fortement de l'épaisseur d'oxyde. Pour les composants ayant un oxyde

ultra mince (<3nm), le piégeage n'est pas possible du fait de la conduction tunnel direct. Pour les oxydes ayant une épaisseur grande ou moyenne, les piégeages de charges dans l'oxyde ou à l'interface Si/SiO_2 peuvent dégrader la performance du composant ou sa durée de vie.

1.3 Protection contre les ESD

Pour protéger les circuits intégrés contre les ESD, plusieurs mesures sont généralement prises pendant la manipulation des composants électroniques afin de réduire le nombre de décharges électrostatiques sur les circuits intégrés ; par exemple, le sac plastique anti-statique pour le transport des composants, les manipulateurs connectés à la masse par un bracelet antistatique pour éviter les décharges du type HBM, etc. A part ces contrôles d'environnement, des protections contre les ESD implémentées sur le silicium peuvent améliorer la robustesse des composants semiconducteurs et réduire considérablement les défaillances liées aux ESD.

1.3.1 Stratégies de protection ESD

La protection ESD concerne essentiellement les oxydes de grille et les jonctions drain/substrat des transistors MOS dans les étages d'entrée et de sortie; entre différents domaines de puissance, les bus d'alimentation sont liés par des diodes bidirectionnelles *(Figure 1-9)*.

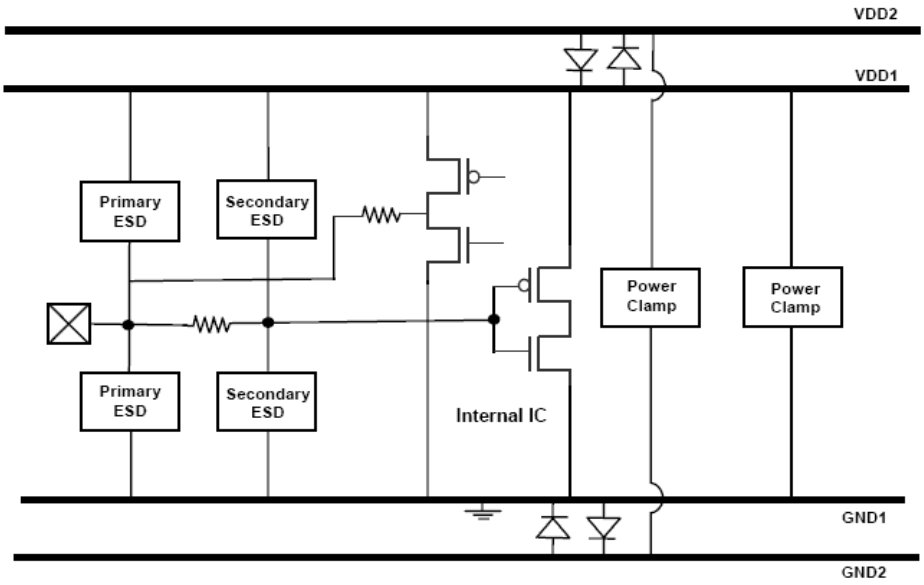


Figure 1-9 : Stratégie générale de protection contre les ESD pour les entrées/sorties.

On rencontre deux approches de protection : la stratégie de protection distribuée ('Pad-based') *(Figure 1-10(a))* et la stratégie de protection centralisée ('Rail-based') *(Figure 1-10(b))*.

La stratégie classique ou distribuée consiste à ajouter des dispositifs de protection contre les ESD sur chaque plot du circuit, par rapport à V_{SS} et par rapport à V_{DD}, ainsi qu'entre V_{DD} et V_{SS}. Les entrées peuvent être efficacement protégées par des circuits à deux étages en forme de Π. Les composants de protection sont souvent des dispositifs avec repliement ('Snapback'). Dans le cas de la stratégie centralisée, des diodes sont utilisées en direct pour conduire le courant de décharge vers un grand MOS de puissance, appelé BIGMOS. Un circuit de déclenchement ('RC triggering circuit') doit être soigneusement conçu pour activer correctement le BIGMOS pendant l'ESD.

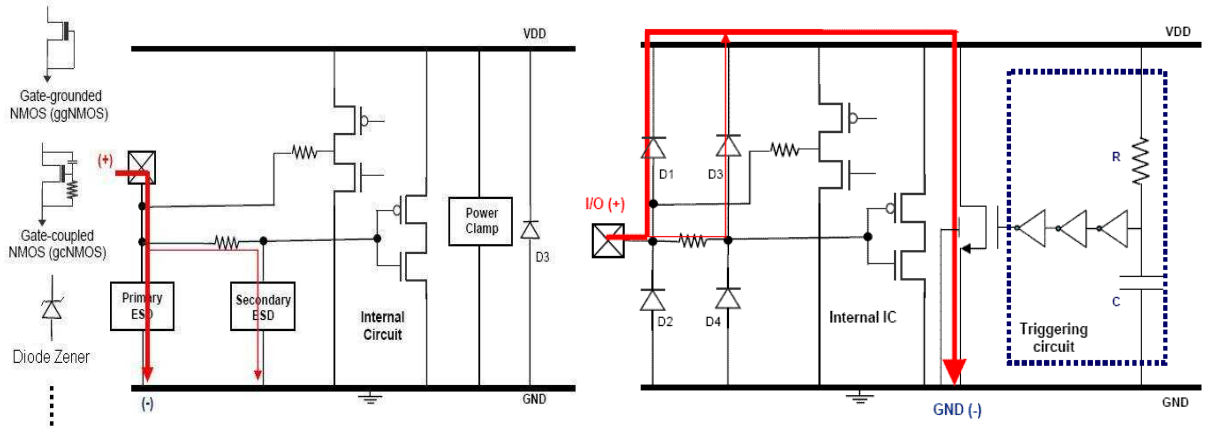


Figure 1-10 : Stratégies de protection ESD d'un circuit intégré : (a) Stratégie distribuée (Pad-based) ; (b) Stratégie centralisée (Rail-based).

La conception de protection basée sur la stratégie distribuée est généralement plus directe car il s'agit seulement des broches à protéger. Par contre, les protections sont sensibles à la variation technologique, et ne sont pas portables d'une technologie à l'autre. Les technologies avancées posent d'autres défis. Par exemple, les LDD, les diffusions siliciurées, le substrat épitaxié très mince et l'isolation par tranchée (STI) ont des influences majeures sur la capacité maximum d'un composant de protection ESD à dissiper l'énergie. Malgré certaines mesures mises en place pour améliorer le comportement des composants de protection ESD, la conception ESD reste encore une tâche lourde à cause des contraintes technologiques. Enfin, les modèles compacts de dispositifs avec repliement sont rarement fournis et compliqués à définir pour la simulation ESD dans la préphase de conception d'un circuit.

Pour la stratégie centralisée, si les diodes et les MOS clamps ont des résistivités faibles, la conception ESD bénéficie des avantages de la stabilité des composants ESD par rapport à la variation technologique et de la disponibilité des modèles des composants pour la simulation ESD. Par contre, avec l'augmentation du nombre de broches pour un produit, plusieurs MOS clamps doivent être ajoutés pour assurer le bon fonctionnement du système de protection ESD. Les problèmes de l'augmentation du courant de fuite et du déclenchement accidentel doivent être aussi soigneusement étudiés pour la conception ESD.

Enfin, le choix de la stratégie de protection ESD dépend souvent de plusieurs critères et résulte d'un compromis entre les caractéristiques de la technologie utilisée et la facilité de conception ESD.

1.3.2 Principaux éléments de protection ESD

Afin de protéger les circuits intégrés contre les décharges électrostatiques, la protection ESD doit tout d'abord être capable de fournir des chemins de décharge pendant l'ESD sans endommager les circuits internes. Une structure de protection ESD doit résister elle-même à la décharge contre laquelle elle est supposée protéger. Elle doit donc être capable de supporter des champs électriques intenses et dissiper de très fortes densités d'énergie. Pour cette raison, un composant vertical est en général plus robuste qu'un composant latéral car il offre un volume plus important à la dissipation d'énergie. La robustesse d'une structure est très dépendante de son dessin et de la technologie avec laquelle elle est réalisée. Dans les conditions normales de fonctionnement, la structure de protection peut être assimilée à un interrupteur ouvert. Son impédance doit donc être de très forte valeur pour ne pas perturber la fonctionnalité globale du circuit qu'elle protège. Pour cela, l'augmentation du courant de fuite, de la capacité parasite et parfois même la résistance série du plot sur lequel elle est rajoutée doit être aussi limitée que possible.

Par contre, lors d'une décharge électrostatique, elle doit se comporter comme un interrupteur fermé de très faible impédance et à vitesse de commutation très rapide pour dériver la majeure partie du courant de décharge. Pour être efficace, une structure de protection doit aussi limiter la tension appliquée aux bornes du circuit qu'elle protège, afin d'éviter notamment la destruction d'une jonction interne ou le claquage d'un oxyde de grille.

De façon plus générale, on définit une marge de conception pour chaque plot d'entrée ou de sortie à protéger. Cette marge définit une fenêtre pour la tension de déclenchement de la structure de protection. Elle est comprise entre le maximum de tension qui peut être appliqué sur le plot en fonctionnement normal et le seuil de destruction du circuit connecté au plot. Les marges de conception ont tendance à devenir plus étroites au fur et à mesure que les

technologies évoluent, ce qui contribue à rendre la conception des structures de protection toujours plus délicate.

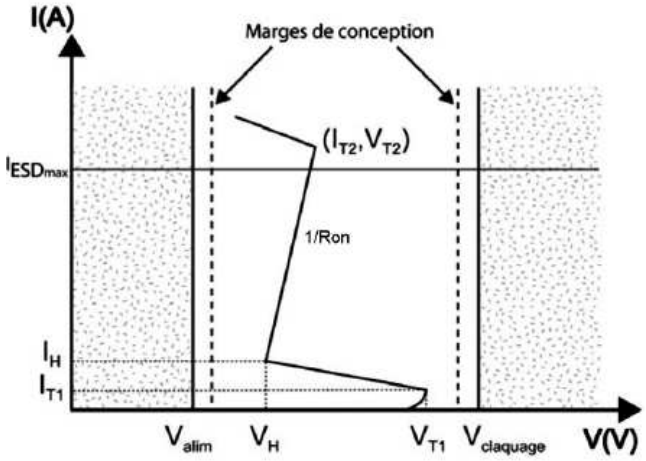


Figure 1-11 : Marges de conception d'une structure de protection contre les ESD

Par ailleurs, il est nécessaire qu'une structure de protection se déclenche très rapidement, typiquement en moins d'une nanoseconde pour le modèle HBM/MM et une centaine de picosecondes pour le modèle CDM. Si cette condition n'est pas satisfaite, le circuit risque d'être détruit avant même que la structure ne se déclenche.

Enfin, les structures de protection intégrées doivent occuper une surface de silicium la plus faible possible, afin de réduire le coût de fabrication. Leur robustesse ESD est d'ailleurs très souvent exprimée en V/µm et leur efficacité en V/µm^2 pour inclure l'impact sur la surface de silicium occupée. Leur taille devient un paramètre très important dans les circuits intégrés modernes dont le nombre de broches ne cesse d'augmenter. Certaines technologies permettent de placer les protections ESD sous les plots de connexion. Cette technique, lorsqu'elle est possible, permet un gain en surface considérable.

a- Diodes

Au début des années 80, la diode était la structure de protection la plus courante. Elle demeure encore utilisée notamment entre les entrées/sorties et l'alimentation. Polarisée en direct, elle offre une grande efficacité de protection car elle dissipe très peu d'énergie. En effet, elle se met à conduire pour un niveau de tension très faible (environ 0,5V) et sa résistance à l'état passant n'est que de quelques Ohms. Sa tension de déclenchement n'est pas ajustable,

mais il est possible de cascader plusieurs diodes pour augmenter la tension globale de déclenchement.

Par contre, sous une polarisation inverse, la diode se met en conduction par claquage selon un mécanisme d'avalanche ou un effet Zener. L'avalanche a lieu lorsque le champ électrique atteint localement une valeur critique au-delà de laquelle les porteurs ont suffisamment d'énergie pour se multiplier en ionisant par impact les atomes du réseau cristallin. La tension de claquage est fonction du dopage des régions n et p formant la jonction. La diode est fragile dans ce mode de conduction car sa résistance à l'état passant est en général assez élevée.

Des jonctions très fortement dopées n^+-p^+ claquent par effet Zener. Dans ce cas, l'étendue de la zone de charge d'espace est si faible que les porteurs passent directement de la bande de valence à la bande de conduction par effet tunnel. Les diodes Zener présentent alors une résistance plus faible que les diodes en mode d'avalanche. Leur tension de claquage est plus basse, typiquement moins de 10V, ce qui est très utile par exemple pour limiter la tension sur les grilles des transistors MOS. Par contre, leur courant de fuite en fonctionnement normal est souvent plus élevé.

b- Transistor bipolaire NPN

Lorsqu'il est utilisé comme structure de protection ESD, le transistor bipolaire NPN a sa base reliée à l'émetteur soit directement par un court-circuit soit par une résistance. Lorsqu'une décharge négative est appliquée sur le collecteur, l'émetteur étant pris comme électrode de référence, le transistor est comme une diode polarisée en direct. Il n'y a pas de courant qui passe par le transistor bipolaire NPN. Ce cas est alors très favorable à la dissipation du courant de décharge pourvu que la résistance série de cette diode ne soit pas trop élevée.



Figure 1-12 : Représentation schématique du transistor bipolaire NPN utilisé comme protection ESD dans les deux types de configuration : (a) autopolarisé ou (b) polarisé par une source de courant externe Iext.

Dans le cas d'une décharge positive sur le collecteur par rapport à l'émetteur, il existe alors deux méthodes pour déclencher le transistor bipolaire. La première consiste à utiliser le courant d'avalanche de la jonction collecteur/base *(voir Figure 1-13(b))* et la deuxième à ajouter une source de courant entre les électrodes de collecteur et base *(Figure 1-12(b))*. Dans le premier cas, on parle de transistor bipolaire NPN autopolarisé *(Figure 1-12(a))*. Dans le deuxième cas, la source de courant est fournie par un autre transistor, bipolaire, MOS ou une diode polarisée inverse, généralement une diode Zener, ce qui offre la possibilité d'ajuster la tension de déclenchement du transistor *(Figure 1-12(b))*.

Les électrons générés par ionisation par impact sont alors repoussés par le fort champ électrique vers le collecteur où ils contribuent à l'accroissement du courant I_C. Les trous résultant de ce même mécanisme traversent la résistance de base R_B entraînant la polarisation en direct de la jonction base/émetteur (V_{BE}=0,5V) et ainsi l'initialisation de l'effet bipolaire. Le courant de base I_B nécessaire pour polariser la jonction base/émetteur en direct peut donc être calculé grâce à la relation suivante :

$$I_B = \frac{V_{BE}}{R_B} \quad \text{où } V_{BE}=0,5V \qquad \textbf{Eq. 1-5}$$

Au cours de la décharge, le courant de base du transistor bipolaire est donc donné par la relation suivante :

$$I_{\max} = \frac{0,9V_{HBM}}{R_{HBM}} \qquad \textbf{Eq. 1-6}$$

$$I_B \approx (M-1)\cdot I_C \qquad \textbf{Eq. 1-7}$$

$$M = \frac{1}{1-\left(\frac{V_{CB}}{BV_{CB0}}\right)^n} \quad \text{où} \quad 2<n<6 \qquad \textbf{Eq. 1-8}$$

Le courant de la décharge pour lequel la relation *(Eq.1-6)* est vérifiée, I_{t1}, est le courant de déclenchement du transistor. Dès que l'émetteur injecte des électrons, ils contribuent au phénomène de multiplication de porteurs dans la zone de charge d'espace de la jonction collecteur/base. L'accroissement résultant de I_C entraîne alors la diminution du coefficient de multiplication par avalanche M. On voit ici que le courant circule dans la structure du collecteur à l'émetteur. Le courant du transistor bipolaire vertical vient alors se combiner au courant d'avalanche pour absorber le courant de la décharge. Ainsi, lorsque le transistor bipolaire est mis en fonctionnement, le coefficient de multiplication par avalanche requis pour garder le même niveau de courant d'avalanche et maintenir le transistor bipolaire en fonctionnement est plus faible. Et il en est de même pour la tension aux bornes de la structure. On observe ainsi un repliement (ou snapback) de la caractéristique I-V du transistor qui permet à la structure de dissiper l'énergie de la décharge tout en minimisant son échauffement.

Pour des courants supérieurs, la conductivité de la base est fortement modulée, ce qui entraîne un accroissement de I_B pour maintenir le transistor en fonctionnement. Lorsque le transistor est en régime de fort courant, toute augmentation de I_C s'accompagne d'une augmentation de V_{CE}. La résistance à l'état passant du transistor, notée R_{sp} est définie par les résistances de collecteur et d'émetteur ainsi que de contact.

c- Transistor NMOS

Les transistors NMOS couramment utilisés dans les circuits intégrés modernes ne sont pas conçus pour supporter des courants de plusieurs ampères. En outre, les technologies avancées actuelles, avec des oxydes de grille très minces (< 100Å), des drains faiblement dopés ou des siliciures, en font des éléments fragiles aux ESD. Lorsque le transistor NMOS est utilisé comme structure de protection contre les ESD, dans le cas d'un ggNMOS, sa grille, sa source et son substrat sont généralement court-circuités à la masse *(Figure 1-13(a))*.

Lors d'une décharge négative appliquée sur le drain par rapport à la source, la diode de substrat (formée par la jonction drain/substrat) est alors polarisée en direct. Elle est donc très bénéfique à la dissipation du courant de décharge. Dans le cas opposé où une décharge positive est appliquée sur le drain par rapport à la source, le transistor NMOS ne fonctionne alors pas en régime normal, mais utilise l'action du transistor NPN latéral parasite pour conduire le courant de la décharge.

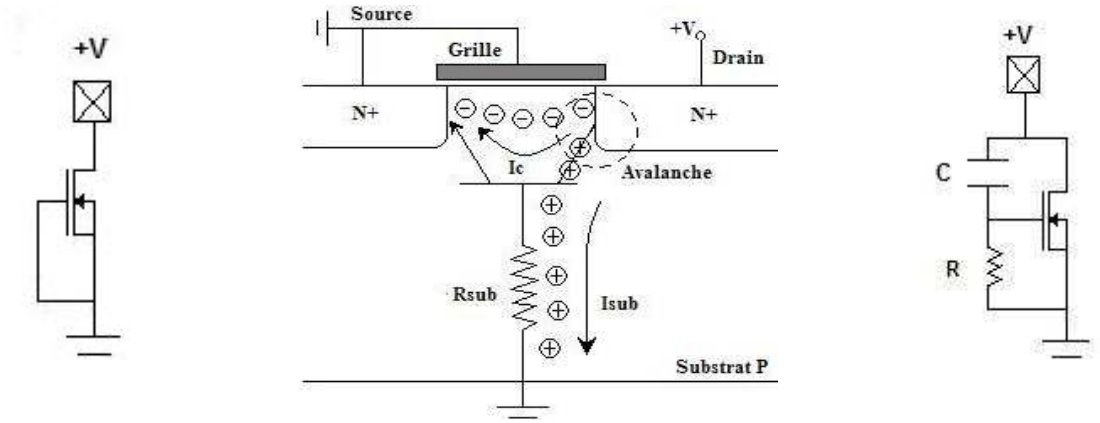


Figure 1-13 : Le transistor NMOS utilisé comme protection ESD : (a) représentation schématique du ggNMOS (VG=0 V) et (b) coupe technologique du ggNMOS ; (c) gcNMOS, Transistor NMOS avec couplage capacitif de la grille.

Le gcNMOS (Gate-coupled NMOS) *(Figure 1-13(c))* est activé par un mécanisme indépendant du claquage de jonction. La capacité entre la grille et le drain consiste soit en une simple capacité de couplage C_{miller} liée au recouvrement de la grille sur le drain, soit à une capacité de couplage (C_{gc}) supplémentaire. Dans tous les cas, lorsqu'un signal transitoire augmente rapidement sur le drain pendant un stress ESD, le potentiel de la grille augmente

aussi par l'effet de couplage, et par conséquence, le NMOS est activé pour décharger l'énergie ESD. Cette configuration diminue la tension d'activation du NMOS par rapport ggNMOS et est favorable pour assurer une activation uniforme au sein du NMOS ayant plusieurs doigts. Une résistance 'pull down' entre la grille et la source évite l'activation pendant le fonctionnement normal. La conception du circuit R et C est très importante pour la performance de la protection ESD. Il faut assurer que la protection ne se déclenche pas lors du fonctionnement normal, possède une vitesse de déclenchement assez rapide et une résistance la plus faible possible après déclenchement. Selon le potentiel entre la grille et la source V_{gs}, la tension de déclenchement du NMOS varie beaucoup. Plus le V_{gs} augmente, plus la tension de maintien est importante à cause d'un champ électrique diminué sur la région du drain.

d- Thyristor ou SCR (Silicon controlled rectifiers)

Le thyristor est généralement le composant de protection ESD le plus efficace par unité de surface grâce à sa faible tension de maintien et son courant de fuite très faible à l'état OFF. Il consiste en une configuration 4 couches p+n+p+n+ *(Figure 1-14)*. Lorsque l'anode est connectée à la masse et un stress ESD est appliqué sur la cathode, la jonction collecteur/base du transistor parasite npn se déclenche par avalanche. Le courant d'électrons généré dans le Nwell polarise la jonction émetteur/base du transistor parasite pnp en direct. Les deux transistors bipolaires pnp et npn sont alors activés et les collecteurs fournissent les courants de base pour l'un et l'autre. Dans ce cas, le courant d'avalanche n'est plus nécessaire pour soutenir l'action bipolaire. Par conséquent, la tension de maintien diminue fortement. Malgré certaines mesures qui peuvent aider à augmenter la tension de maintien du thyristor, il est généralement déconseillé pour l'application automobile afin d'éviter le risque de latch-up suite à un déclenchement accidentel pendant le fonctionnement normal. Une autre contrainte du SCR est son déclenchement lent. Ceci peut diminuer l'efficacité de la protection contre les décharges ESD rapides, notamment lors de décharges CDM.

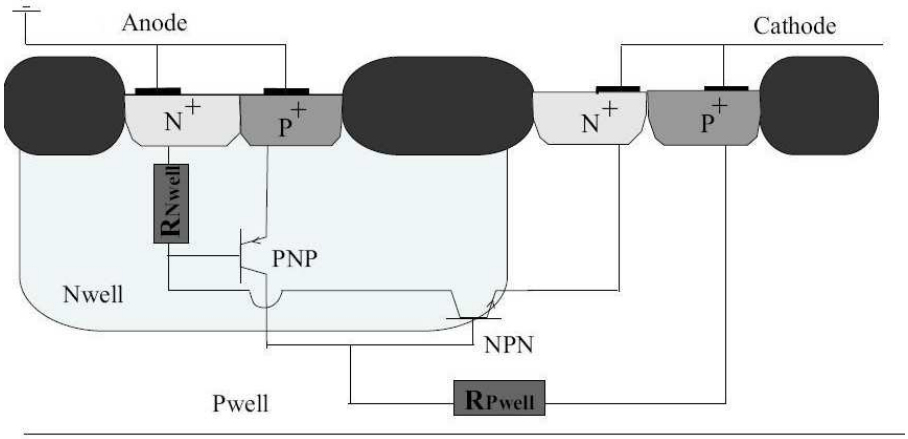


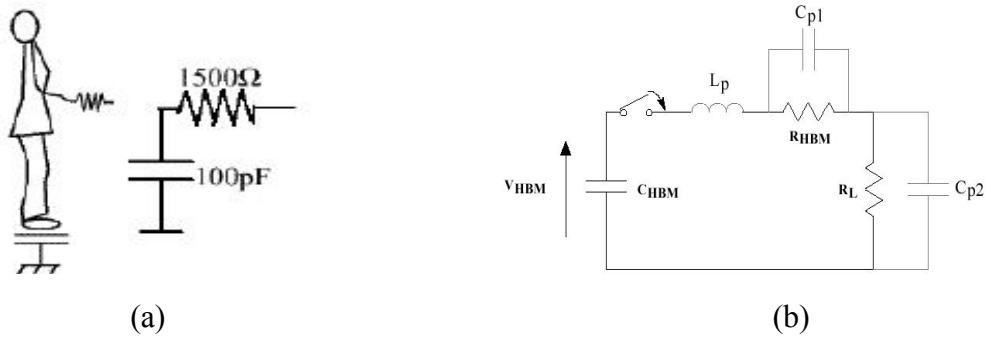
Figure 1-14 : Le thyristor utilisé comme protection ESD.

1.4 Tests et modèles de décharges électrostatiques

Selon qu'elles sont appliquées sur le composant électronique ou que c'est lui-même qui les génère, il est possible de séparer les décharges électrostatiques au niveau du composant en deux catégories et en plusieurs modèles, principalement, le modèle du corps humain (HBM), le modèle de la machine (MM) et le modèle du composant chargé (CDM). Chacun d'eux est supposé reproduire un événement réel de décharge électrostatique. Des équipements de tests permettent de reproduire les formes d'ondes liées à ces normes et de les appliquer aux circuits intégrés. Les caractérisations, généralement destructives, permettent d'évaluer la robustesse du composant pendant la période de fabrication, l'assemblage, le test final, le transport, jusqu'à la soudure sur carte. Pour chacun de ces modèles, la simulation d'une décharge est réalisée à l'aide d'un circuit de type RLC.

1.4.1 Modèle HBM

Le modèle HBM (*Human Body Model*) *(Figure 1-15 (a))* fut le premier à être développé [34, 35]. Il est encore aujourd'hui pris comme référence pour la plupart des tests industriels. Il permet de simuler la décharge d'un individu debout, dans un circuit intégré qu'il toucherait du doigt. Le circuit électronique permettant de simuler une décharge de type HBM comprend une capacité de 100pF et une résistance de 1500 Ohms supposés modéliser le corps humain.



(a) (b)

Figure 1-15 : (a) Modèle HBM (Humain Body Mode); (b) Schéma électrique équivalent du circuit de décharge HBM (C_{HBM}=100pF, R_{HBM} =1500 Ohms, L_p =10uH).

La forme d'onde du courant de décharge *(Figure 1-16)* est spécifiée par une norme militaire, MIL-STD-883C méthode 3015.7. C'est une double exponentielle calibrée pour une charge nulle (R_L=0). Le temps de montée mesuré entre 10 et 90% de l'amplitude maximale peut varier entre 2 et 10ns, tandis que la constante de temps de descente définie par le produit RC est de 150ns. La résistance de 1500 Ohms rend ce modèle très proche d'une source de courant.

Le schéma du circuit de décharge est représenté sur la Figure 1-15 (b). R_L désigne la résistance du composant testé, C_{p1}, C_{p2} et L_p les éléments parasites ramenés par le testeur ESD. La capacité C_{HBM} de 100pF est initialement chargée sous plusieurs milliers de volts, 2000V étant le minimum requis par les spécifications actuelles. Par l'intermédiaire d'un interrupteur, elle est ensuite déchargée dans le composant à travers la résistance R_{HBM} de 1500Ohms. La forme d'onde du courant de décharge est montrée à la figure suivante :

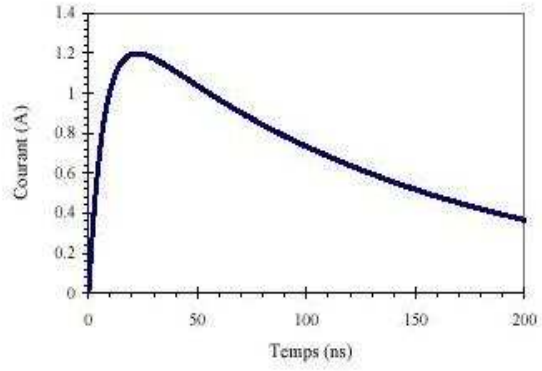


Figure 1-16: Courant de décharge du modèle HBM.

L'équation Eq. 1-9 donne une expression simplifiée du courant de décharge obtenue pour une charge nulle (R_L =0), en négligeant C_{p1} et C_{p2}:

$$I_{HBM} = \frac{V_{HBM}}{R_{HBM}}\left(1 - e^{-\frac{R_{HBM}\cdot t}{L_P}}\right)e^{-\frac{t}{R_{HBM}\cdot C_{HBM}}} \qquad \textbf{Eq. 1-9}$$

Cette équation conduit à une approximation du temps de montée, t_m, et du courant maximum, I_{max}:

$$t_m = \frac{2\,L_p}{R_{HBM}} \qquad \textbf{Eq. 1-10}$$

$$I_{max} = \frac{0{,}9\,V_{HBM}}{R_{HBM}} \qquad \textbf{Eq. 1-11}$$

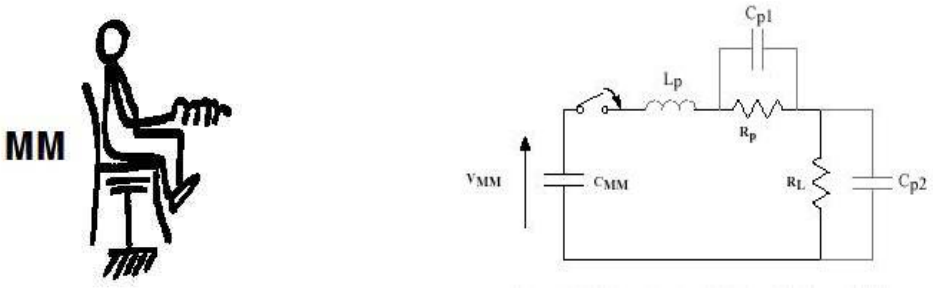
On en déduit par exemple qu'un temps de montée de 10ns correspond à une inductance parasite de 7,5µH, et qu'une tension de charge de 2kV correspond à un courant maximum de 1,2A. En toute rigueur, les capacités parasites C_{p1} et C_{p2} ont une influence non négligeable sur les valeurs du temps de montée et du courant maximum. C'est pourquoi les formes d'ondes et donc les seuils de défaillance peuvent différer d'un équipement à l'autre. Afin d'y remédier, il

est recommandé de calibrer les testeurs en utilisant une charge de 500 Ohms plutôt qu'un court-circuit. Des spécifications HBM plus récentes que la MIL Standard (ANSI-ESD S-5.1-1993 ou JEDEC-JESD22) normalisent d'ailleurs la forme d'onde à la fois pour une résistance de charge nulle et de valeur 500 Ohms.

1.4.2 Modèle MM

Le modèle de la machine, MM *(Machine Model)* fut introduit, au Japon, en tant que pire cas du modèle HBM [36]. Il est aujourd'hui utilisé pour simuler la décharge d'une machine dans un circuit intégré *(Figure 1-17)*. Il s'apparente au modèle HBM par son circuit de décharge *(Figure 1-17(b))*: une capacité de 200pF, C_{MM}, est chargée puis déchargée dans le composant à tester dont la résistance est notée R_L. Dans ce cas cependant, aucune résistance n'est rajoutée dans le chemin de décharge, si ce n'est une résistance parasite R_p de quelques Ohms seulement, ce qui fait du modèle MM une source de tension presque idéale. L'inductance parasite L_p de l'ordre du µH est ramenée par l'équipement de test.

Certaines spécifications du modèle MM ont été développées, dont une par Philips en 1990. Cependant, il n'existe pas, comme pour le modèle HBM, un standard bien établi, car le test est rendu très peu reproductible par l'absence de résistance série. L'impédance dynamique du circuit, les capacités et inductances parasites ramenées par l'équipement de test, ont une forte influence sur la forme d'onde du courant de décharge. L'inductance parasite L_p peut varier entre 0,5 et 2,5µH selon le testeur et le boîtier utilisés.



(a) (b)

Figure 1-17 : (a) Modèle MM (Machine Model) ; (b) Schéma électronique équivalent du circuit de décharge MM. (CMM =200pF, RL=10 Ohms, Lp=0,75µH).

Les spécifications actuelles exigent des circuits intégrés qu'ils supportent au minimum des décharges d'amplitude 200V selon le modèle MM et 2000V selon le modèle HBM. Cet écart se justifie essentiellement par la présence, dans le second cas, d'une résistance série qui limite le courant maximum délivré. Les deux modèles sont des formes différentes d'un même mécanisme dans lequel le circuit intégré reçoit la décharge d'un corps externe, qu'il s'agisse

d'un individu ou d'une machine. Les décharges HBM et MM ont une durée comparable. C'est pourquoi elles sont assez similaires par les modes de défaillances qu'elles engendrent, même si les dégradations peuvent être plus ou moins sévères d'un test à l'autre. Certains auteurs ont constaté que le rapport existant entre les seuils de défaillance HBM et MM ,ontre une bonne corrélation entre ces deux modèles *(Figure 1-18)* [37] et peut varier entre 3 et 25.

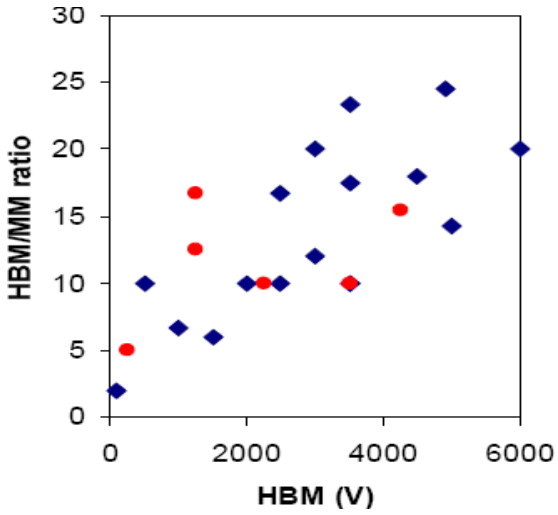


Figure 1-18 : Corrélation entre HBM et MM. Les carrés blues sont des données de [37] ; les points rouges sont des données de [38].

1.4.3 Modèle CDM

Le modèle du composant chargé, CDM (Charged Device Model) [39] est simple par son concept mais très difficile à mettre en pratique. Il devient cependant d'une grande utilité pour les environnements modernes de production où l'automatisation se généralise. Les composants, après assemblage, peuvent se charger de diverses façons comme, par exemple, en glissant le long d'un rail vers une machine de test, d'insertion automatique ou de marquage. S'ils entrent en contact avec une surface métallique à la masse, il se produit une décharge extrêmement rapide, notamment juste quelques nanosecondes, pendant lesquelles le niveau de courant peut atteindre plusieurs ampères. Le claquage du diélectrique est très souvent occasionné par des décharges du type CDM, et plus rarement par des décharges de type HBM ou MM.

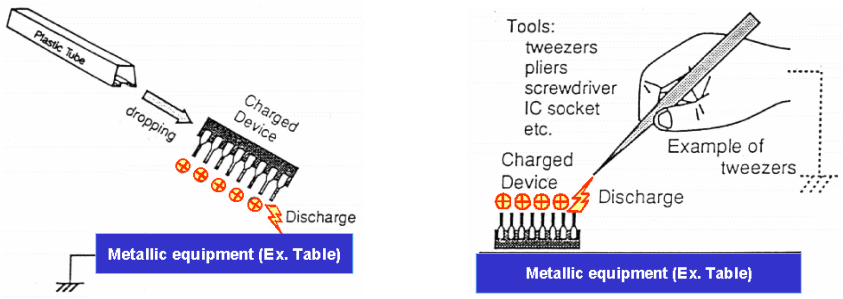


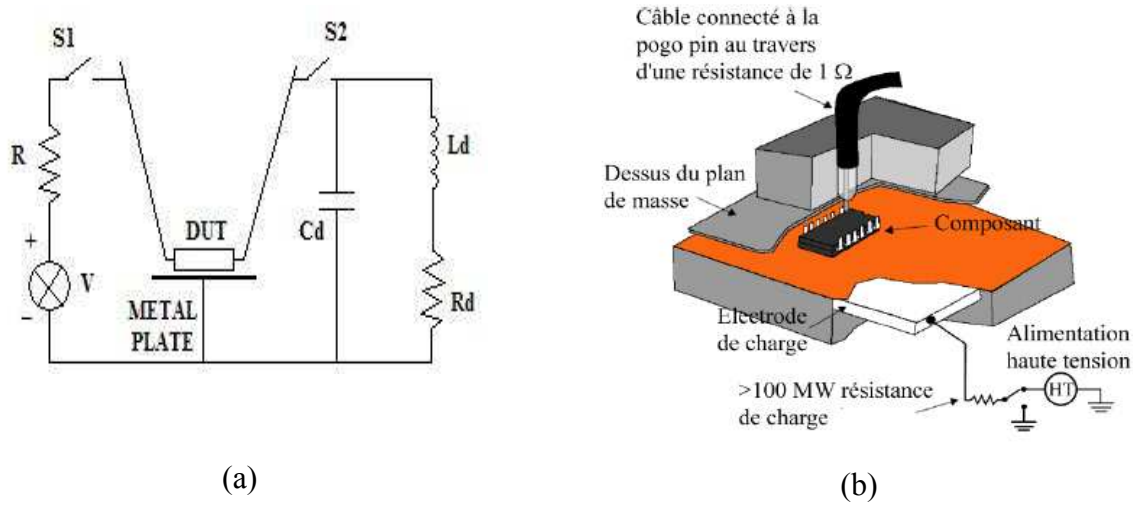
Figure 1-19: Origine du modèle CDM (Charged Device Model).

Testeur SCDM et FCDM

Le fait que la caractéristique de la décharge CDM dépend fortement du composant sous stress, du boîtier et de quelques conditions d'environnement [40, 41], constitue également un défi pour définir une norme pour les testeurs CDM. Le modèle CDM fut introduit en premier par Speakman en 1974 [42] et le premier testeur CDM a été réalisé en 1980 par Bossard et al. [43]. L'association ESD, JEDEC et AEC ont défini ensuite la norme pour le testeur CDM ; mais le débat sur la reproductibilité et l'applicabilité continue encore aujourd'hui.

Différentes méthodes ont été proposées pour reproduire ce phénomène. Leur principale différence est la façon de charger et décharger le composant sous test.

Le SCDM (Socket CDM) [44, 45] repose sur une charge directe du composant. Un boîtier est placé dans un support du composant, ou 'socket' en anglais, le composant sous test est chargé lentement via une broche, par exemple la masse du composant, puis déchargé par un relais via la broche étudiée. La décharge rapide est initialisée par le relais entre la broche de décharge et la masse globale. L'avantage majeur de cette approche est la reproductibilité et la vitesse du test. Mais les parasites du support induisent un filtrage important et peut augmenter le temps de montée d'une décharge CDM par rapport à la réalité. Des expériences montrent que le niveau de défaillance du SCDM est inférieur à une vraie décharge CDM même si le mode de défaillance correspond bien entre les deux [44, 46, 47] . Pour certains cas, SCDM n'est pas capable de reproduire les mêmes défauts que le FCDM [41].



(a) (b)

Figure 1-20 : (a) Schéma du circuit de décharge de type « Socket CDM » ; (b) Illustration d'une décharge de type « Field Induced CDM ».

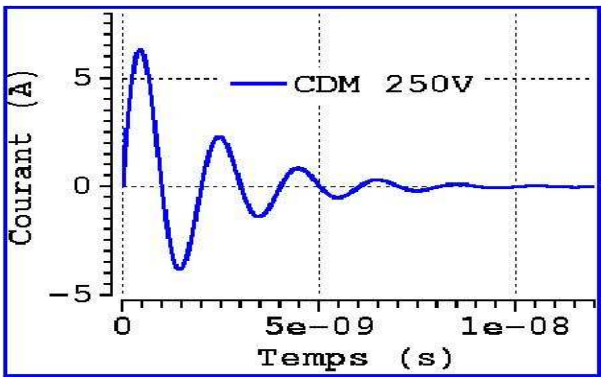


Figure 1-21: Forme d'onde du courant de décharge CDM de 250V.

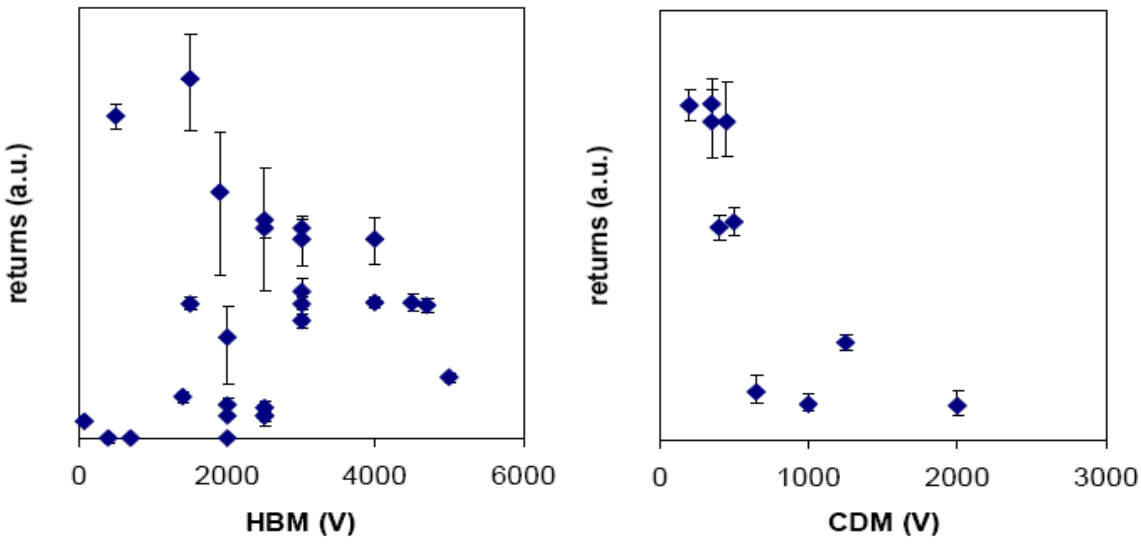
Le FCDM (Field-induced CDM) repose sur une charge induite par un champ électrique (Figure 1-20). La décharge se fait en posant directement une pointe sur une des broches du composant. Il a été introduit par Renninger [48], et est devenu la méthode de test la plus utilisée pour qualifier la fiabilité de produits face aux décharges CDM parce qu'il est considéré comme le test CDM le plus proche de la réalité [49].

Il consiste en un plateau de charge connecté à une source de tension élevée. Le plan de test est isolé par une couche isolante très fine. Le composant sous test est placé en position 'broche en l'air', appelé *'dead-bug'* en anglais, sur le plan de test et est chargé dans un fort champ électrique. Les charges sont stockées partout dans le composant. Généralement, ces charges stockées sont modélisées par les capacités parasites de chaque partie, notamment les capacités entre les métaux et la masse globale du système de test *(voir Figure 1-29).* Pendant la phase de décharge, la sonde de décharge *('pogo pin')* connectée à la masse descend rapidement et contacte une broche du boîtier afin que le composant soit déchargé à la masse, mais dans ce cas, la décharge a souvent lieu dans l'air avant qu'il y ait contact. Un ressort est placé dans la connexion de la sonde de décharge pour éviter la casse de la sonde pendant le test. Le courant de décharge peut être mesuré correctement grâce à un oscilloscope ayant une bande passante assez élevée, normalement supérieure à 5GHz pour une meilleure précision d'après [50].

L'inconvénient principal de cette méthode est sa mauvaise reproductibilité fortement influencée par l'arc de décharge quand la sonde de décharge s'approche du composant sous test. La vitesse d'approche, l'humidité de l'air, la matière et la forme de la sonde de décharge peuvent tous influencer le temps de montée et le courant maximum de la décharge [50]. En plus, la résistance de l'arc de décharge augmente avec la tension de charge. Le standard demande alors de calibrer le testeur FCDM avant les tests sur une capacité de 4pF ou 10pF en contrôlant l'humidité de l'air, la taille du plan de charge, etc, afin d'assurer les conditions de test connues et que les composants sous test soient chargés dans un champ linéaire.

1.4.4 Corrélation entre le retour client et les modèles ESD

T. Smedes et Y. Christoforou [37] ont étudié la performance ESD par rapport à la qualité du produit. Une trentaine d'échantillons étudiés sont basées sur une très large sélection de technologies (Bipolaire, NMOS micronique, CMOS submicronique, BiCMOS, SOI SmartPower et CMOS avancées) et différentes applications (Dispositifs discrets, CIs logiques, CIs mixte signal, processeur numérique, CIs de communication et automobile, etc.). Les résultats statistiques montrent que HBM et MM ont bien une forte corrélation *(Figure 1-18)*; Ces deux modèles n'ont pas de corrélation avec le modèle CDM. Les retours liés aux EOS/ESD n'ont pas de corrélation avec la robustesse HBM et/ou MM des produits. Par contre, la totalité des retours de clients liés aux EOS/ESD a une forte corrélation avec les performances CDM des produits *(Figure 1-22)*. C'est-à-dire que les composants ayant une faible robustesse CDM (<1000V) correspondent aux plus forts retours de clients et inversement.



(a) (b)

Figure 1-22 : Corrélation entre les retours de client et le modèle HBM (a) et le modèle CDM (b) [37].

La robustesse d'un système, qui est généralement soumis au stress ESD par pistolet (norme IEC) semble mieux garantie si les composants montés sur la carte ont une bonne robustesse au stress CDM.

1.5 Caractéristisation pour l'étude d'ESD

Le test ESD de type HBM, MM ou CDM permet seulement de caractériser la robustesse ESD d'un circuit ou d'une structure de protection, il s'agit de tests de qualification ESD. Pour optimiser une structure de protection ou la stratégie de protection d'un circuit, il est nécessaire de caractériser sa réponse I(V) à un stress ESD. Pour cela, la technique de mesure TLP (Transmission Line Pulse) et des bancs de test spécifiques ont été développés [51]. Ce test TLP standard permet de simuler des impulsions présentant une énergie totale et le comportement dynamique équivalent du modèle HBM ou CDM.

1.5.1 Test TLP (Transmission Line Pulse) standard

La méthode de caractérisation TLP (Transmission Line Pulse) fournit des informations sur le comportement dynamique des structures de protection, à travers des caractéristiques courant-tension à très fort niveau de courant.

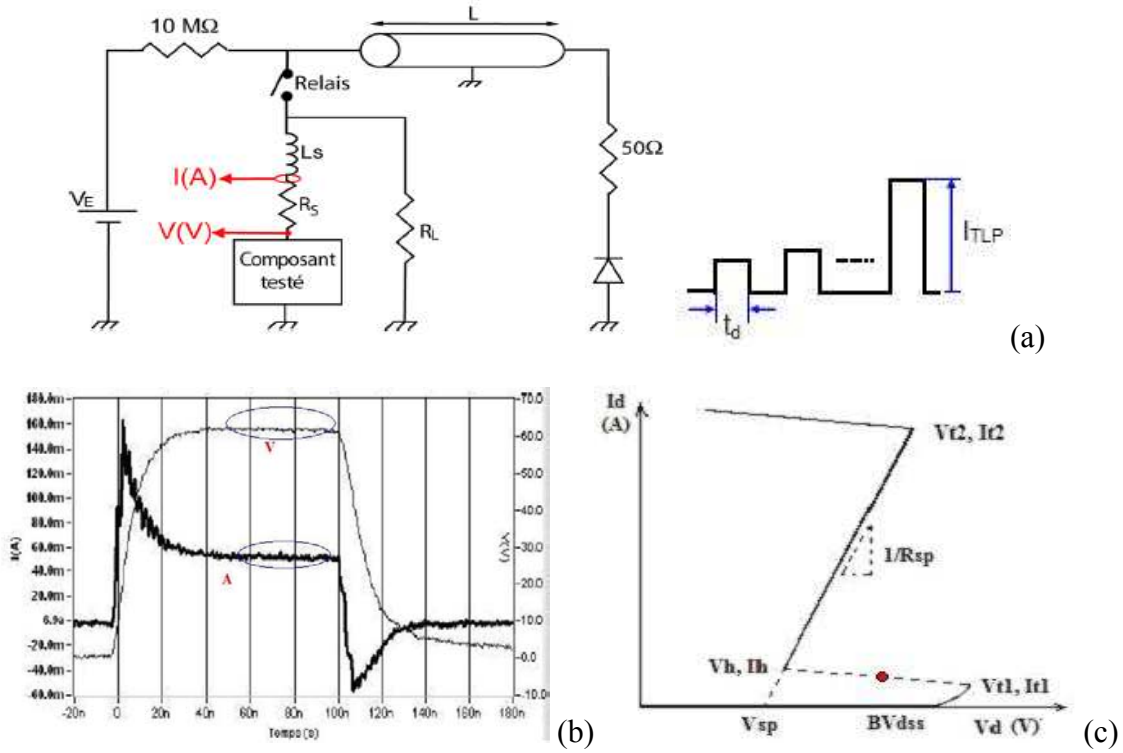


Figure 1-23 : (a) Principe du test TLP; (b) Allure de tension et courant de mesure TLP aux bornes d'un composant testé (Valim=50V); (c) Courbe finale du test TLP.

Elle utilise une ligne de transmission (un câble coaxial de 12m de long) afin de générer des impulsions de courant comparables à un courant de décharge électrostatique HBM en termes d'énergie, de temps de montée (quelques nanosecondes), de durée (120ns), d'amplitude (plusieurs ampères) [52].

La décharge s'effectue par un relais, à travers une résistance série de 50 Ohms ou 500 Ohms transformant la ligne en un générateur de courant lorsque le composant se met à conduire *(Figure 1-23(a))*. La forme d'onde de la tension aux bornes du composant et celle du courant qui la traverse sont relevés à l'oscilloscope. Le test TLP est une mesure quasi-statique parce que les valeurs de tension et de courant sont effectuées par une moyenne sur les 50 dernières nanosecondes de l'impulsion où le composant de protection est déjà stabilisé après l'excitation électrique *(Figure 1-23(b))*. Un stress fournit donc un point de la caractéristique courant-tension du composant. Cela signifie que la totalité de la caractéristique est obtenue point par point, en augmentant pas à pas l'amplitude de la tension d'alimentation *(Figure 1-23(a))*.

1.5.2 Test Very-Fast TLP

Pour étudier le comportement du composant lors d'un stress CDM, un banc de caractérisation en impulsion VF-TLP (Very Fast TLP) a été développé par H.Gieser [53] *(Figure 1-24)* fonctionnant en réflectométrie temporelle. Il permet de générer des impulsions carrées de temps de montée <500ps et de durée de 3,5ns comparables en énergie au CDM. Dans ce système, une impulsion de tension incidente d'une courte durée définie par la longueur de ligne TL1 se propage du générateur d'impulsions vers le DUT *('Device Under Test')*, via TL1 et S1, puis cette onde est réfléchie par le DUT. Les tensions incidente et réfléchie sont mesurées grâce à une sonde de tension placée entre S1 et TL2. En particulier, le test VF-TLP permet d'évaluer la rapidité de déclenchement de la structure de protection et également sa capacité à absorber l'énergie correspondante.

Nous avons pu évaluer un premier banc de test, Celestron 1 [54] *(Figure 1-25(b))*, proposé par Oryx qui peut faire ce type de mesures. Il peut générer des impulsions de durée 1,5ns, 2,5ns, 5ns en mode vf-TLP. Les temps de montée sont ajustables à 100ps, 175ps ou 300ps à l'aide des filtres. Le générateur peut atteindre une tension maximum de 1kV et un courant de 18-20A. Le banc de test consiste en un générateur d'impulsions, un appareil Keithley pour la mesure de courant de fuite, un PC interne, un contrôleur, un boîtier de mesure ou *Point Of Distribution (POD)* piloté par le PC pour les relais des différents phases de la mesure, deux cartes de test pour le *Device Under Test (DUT)* pour boîtier 48 broches et 100 broches, des pointes hautes fréquences pour mesures quatre points sur tranches de silicium.

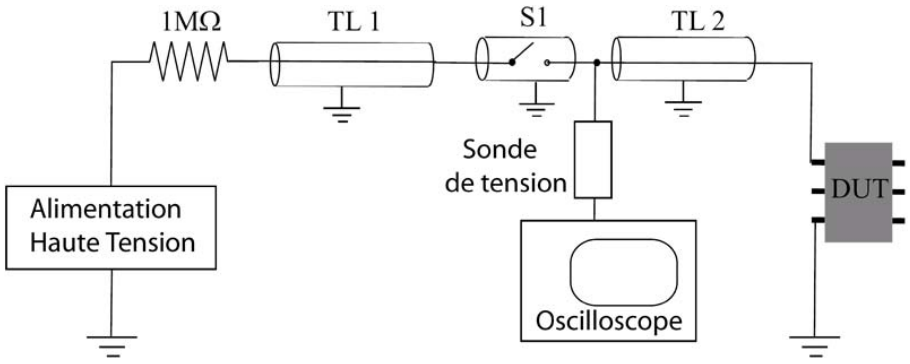
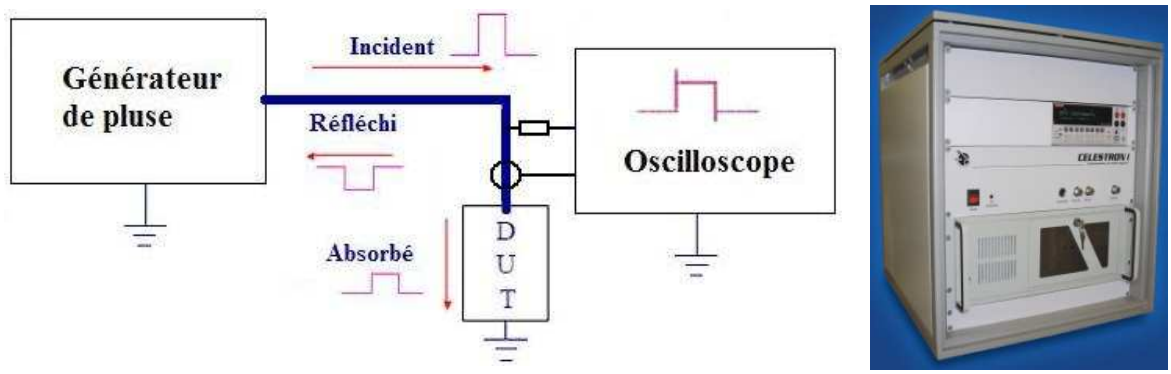


Figure 1-24 : Schéma électrique du montage vfTLP.

Dans le cas d'une mesure de type vf-TLP en configuration TDR-O *('Time Domain Reflection-Overlapping')* montré dans la figure 1-23, le système mesure les impulsions incidentes et réfléchies et fait l'addition de $V_{Incident}$ et $V_{Réflexion}$ pour calculer V_{DUT} :



(a) (b)

Figure 1-25 : (a) Distribution de l'énergie dans le système de mesure TDR-O; (b) Testeur Celetron I de l'Oryx.

$$V_{DUT} = V_{Incident} + V_{Reflection} \qquad \textbf{Eq. 1-12}$$

$$I_{DUT} = \frac{V_{Incident} - V_{Reflexion}}{Z_0} \qquad \textbf{Eq. 1-13}$$

$$Z_{DUT} = \frac{V_{DUT}}{I_{DUT}} \qquad \textbf{Eq. 1-14}$$

$$V_{Reflection} = V_{Incident} \cdot \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \qquad \textbf{Eq. 1-15}$$

où Z_0 est la résistance en série dans le système.

1.5.3 Test TLP par couplage capacitif (Capacitively Coupled TLP)

Pour exploiter les avantages du test vf-TLP pour évaluer la robustesse CDM, Wolf et al. [55] ont proposé une méthode appelée cc-TLP *('Capacitively-Coupled TLP')*.

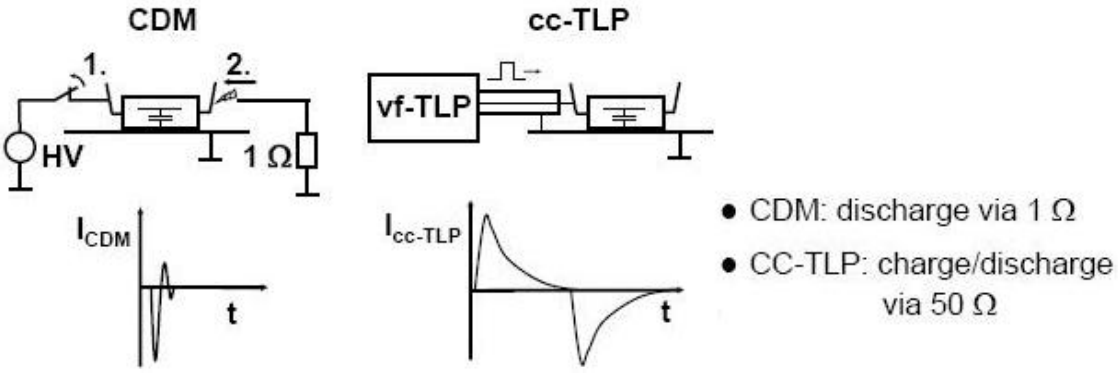


Figure 1-26 : Différences entre le test vf-TLP et cc-TLP.

Cette approche applique un signal d'entrée (positif et négatif) avec un temps de montée de quelques centaines de picosecondes sur une seule broche du composant sous test sur le silicium ou le boîtier. Le composant est placé sur un plan de test métallique qui est couplé à la masse globale par une capacité connectée entre le plan de test et la masse. Cette capacité de couplage représente la capacité parasite du boîtier du composant sous test CDM. Les signaux mesurés consistent en une impulsion incidente et une impulsion réfléchie. Le courant de charge et la tension sur le composant sous test (DUT) et la capacité de couplage peuvent être calculées également. Par rapport au test CDM, la méthode cc-TLP résulte en une meilleure reproductibilité et la possibilité de test sur le silicium. Le choix de la capacité de couplage varie selon le boîtier étudié.

1.5.4 Corrélation entre les tests de qualification et les mesures du type TLP

Les différentes méthodes de test dédiées à l'ESD que nous venons de présenter permettent la caractérisation lors d'une décharge électrostatique ou en régime de fort courant d'un circuit ou d'un élément de protection. Les caractérisations ESD selon les modèles HBM, MM ou CDM, ne fournissent qu'une tension de défaillance indiquant la sensibilité globale; et ils sont utilisés dans l'industrie pour évaluer la robustesse des circuits intégrés aux décharges électrostatiques. Par contre, la caractérisation TLP et VF-TLP permettent de mieux

comprendre le fonctionnement dynamique d'un composant de protection ESD en régime de fort courant.

Il est possible de configurer un équipement TLP pour que la densité d'énergie dissipée dans le composant à chaque impulsion soit comparable à la densité d'énergie d'une impulsion HBM ou CDM, en fixant la durée d'impulsion à environ 100ns ou 2-5ns respectivement *(Figure 1-27)*. Il faut noter que dans le cas du test TLP, le temps de montée de l'impulsion est d'environ 2ns et le pic de courant peut atteindre 5A ; dans le cas du test vf-TLP, le temps de montée de l'impulsion peut varier entre 150ps et 300ps et le pic de courant est très important, jusqu'à une dizaine d'Ampères.

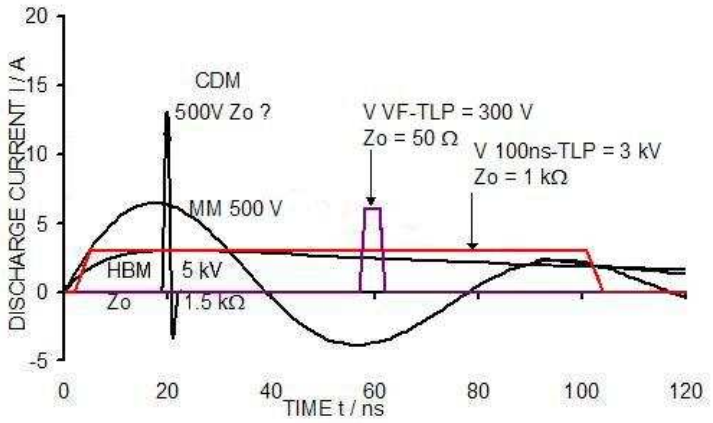


Figure 1-27 : Comparaison des formes d'onde des impulsions utilisées pour les caractérisations ESD, TLP et VF-TLP

Idéalement, on peut alors établir l'équation de corrélation suivante entre la tenue en HBM (V_{HBM}) d'une structure et le courant maximal qu'elle peut supporter en TLP (I_{TLP_max}) :

$$I_{TLP_max} = \frac{V_{HBM}}{R_S} \qquad \textbf{Eq. 1-16}$$

où R_S est la résistance de 1500 ohms dans le modèle HBM.

Généralement, I_{TLP_max} est défini comme le courant correspondant au second claquage du composant I_{t2}. Il est cependant fréquent que le critère de défaillance utilisé dans la procédure de test HBM soit atteint bien au-delà de la valeur de I_{t2}. La littérature rapporte, en effet, un coefficient de corrélation tension HBM maximale en kV sur courant TLP maximum en A compris entre 1,5 et 2.

Le test vf-TLP est un outil efficace pour étudier le comportement de déclenchement d'une structure de protection ESD spécialement dans le cas des stress rapides. L'énergie

dissipée dans le composant pendant un stress vf-TLP est aussi comparable à un stress CDM *(Figure 1-27)*. Cependant, le stress vf-TLP ne simule pas un stress CDM entier (positif et négatif pendant un stress). De plus, nous avons vu dans la partie précédente que le stress CDM est un événement de décharge ne concernant qu'une seule broche, et le test vf-TLP s'applique sur deux broches. Le phénomène physique et le comportement de décharge sont totalement différents. Lorsque le courant de décharge est très rapide, les capacités parasites varient beaucoup et dépendent du boîtier et des composants à tester, de l'environnement, ainsi que l'effet de peau. Par conséquent, il n'y pas de corrélation directe entre le test CDM et le test vf-TLP en terme de courants de seuil de défaillance. Il est utilisé actuellement pour étudier la réponse dynamique du composant de protection ESD vis-à-vis du stress extrêmement rapide et le phénomène de surtension dans le cas où le composant de protection se déclenche lentement. Il reste un outil très utile pour comprendre le phénomène CDM au niveau de la réponse dynamique et devient une méthode indispensable.

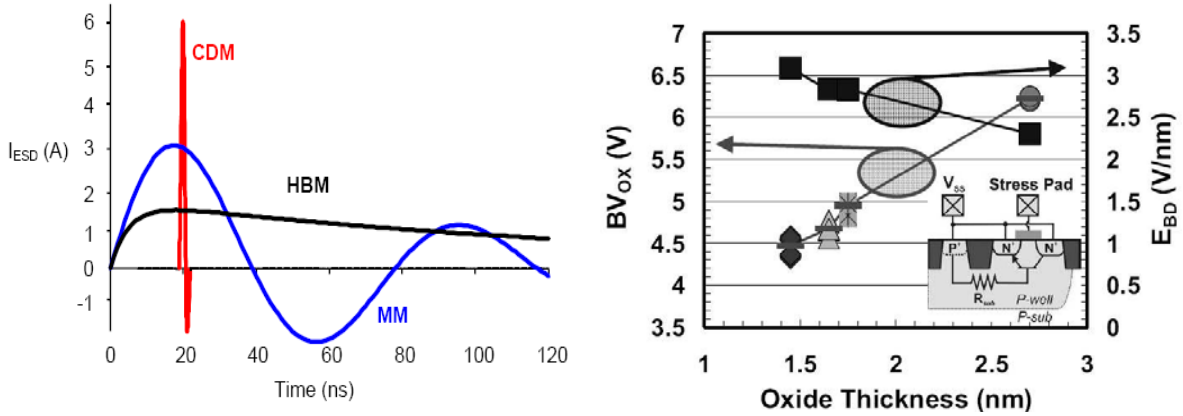
Le test cc-TLP est donc plus proche du stress CDM au niveau du phénomène physique. La décharge est effectuée sur une seule broche. En assurant les mêmes valeurs maximums des courants de décharge entre le test CDM et cc-TLP, les études de corrélation entre cc-TLP et le test CDM montrent que cette méthode est capable de reproduire des signatures de défaillance similaires selon [56, 57].

1.6 Problématique du stress CDM

Avec le progrès de la technologie moderne, on comprend que la décharge CDM devient la cause majeure des défaillances ESD pour les circuits intégrés et il constitue un défi pour le développement de protections ESD à cause du manque de compréhension de sa nature complexe.

1.6.1 Courant rapide et important

D'abord, l'amplitude des courants pics générés par le test CDM est souvent très importante comparée aux valeurs obtenues avec les modèles HBM et MM. Les protections ESD doivent être conçues pour se déclencher rapidement et supporter une densité de courant élevée bien que l'énergie dissipée est plus faible par rapport aux tests HBM/MM. Compte tenu de la rapidité du phénomène, lorsque le temps de transit de la structure de protection est supérieur au temps de montée du stress CDM, les structures de protection se déclenchent trop lentement et induisent par conséquent une surtension dans les circuits intégrés [50], spécifiquement dangereux pour l'oxyde de grille (grille connectée directement au plot d'entrée/sortie).



(a) (b)

Figure 1-28 : (a)Comparaison de formes d'onde entre le modèle HBM/MM et CDM ; (b) Tension et champ électrique de claquage de l'oxyde en fonction de l'épaisseur en régime ESD [58].

Avec le développement des technologies CMOS avancées, l'épaisseur d'oxyde de grille a diminué significativement à quelques nanomètres actuellement, notamment 3-5nm

pour la technologie CMOS45nm. Il consiste en juste quelques molécules et pose un vrai problème de fiabilité vis-à-vis du stress ESD/CDM. Les coins et les bords de grille (le 'bird beak' en anglais) sont les plus vulnérables car le champ électrique y est plus élevé et donc la tension de claquage plus faible.

La figure 1-28(b) montre l'évolution de la tension de claquage en fonction des épaisseurs d'oxyde de grille en régime CDM [58]. Il est indiqué que la tension de claquage d'oxyde BV_{ox} est seulement de 4,5V pour une épaisseur de 1,5nm. Les niveaux maximals des tests HBM et CDM et la fenêtre de conception sont donc significativement diminués.

1.6.2 L'influence des boîtiers

Contrairement aux modèles HBM et MM, pour tous les types de tests CDM, quelque soit le mode de charge, pendant le stress CDM, le composant est lui-même chargé puis déchargé à travers l'une de ses broches. Le boîtier joue un rôle significatif pour le courant de décharge car ses capacités parasites stockent la majorité de charges et deviennent la principale source pendant la décharge CDM [49, 50, 59]. Dans le cas du stress FCDM, lorsque le composant est placé avec les broches en l'air dans un champ électrique, les capacités parasites entre la masse globale et le plan métallique C_{SUB}, les broches C_{PIN}, et les lignes métalliques du circuit C_{METAL}, sont chargées à la tension V_{CDM}. Parmi toutes ces capacités parasites, celle du plan métallique sur lequel le silicium est collé dans le boîtier, appelé C_{SUB}, a la valeur la plus élevée [49, 59], ce qui signifie une source de charges plus importante et la création de chemins de décharges traversant le substrat.

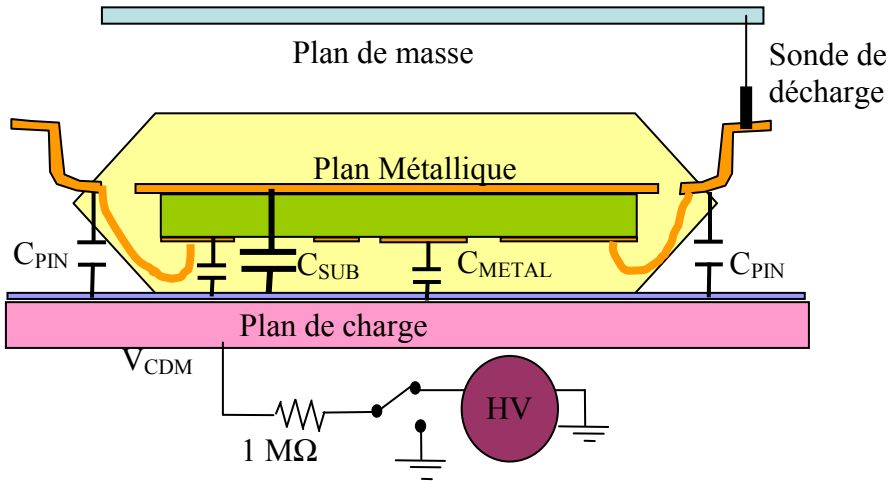


Figure 1-29 : Eléments parasites du boîtier sous test FCDM.

C_{SUB} varie typiquement de 1 à 100pF selon le type de boîtier utilisé. De même, on observe d'importantes variations sur les valeurs de la résistance R_{PIN} (0 à 25 Ohms), la capacité et l'inductance L_{PIN} (1 à 100nH) dues aux fils de connexion et les broches selon leur position [49, 50].

C. Duvvury a publié récemment des résultats montrant la dépendance vis-à-vis du boîtier et des fils de connexion pour la performance CDM [58]. Ainsi, les produits montés dans les boîtiers du type QFP, TQFP et BGA ont le plus grand risque face aux stress CDM *(Figure 1-30)*. La performance CDM du produit diminue lorsque le nombre de broches et la surface du boîtier utilisé augmentent *(Figure 1-30)*. Ceci peut être expliqué par une augmentation significative des charges stockées dans le boîtier lorsque la surface du boîtier utilisé augmente.

Par contre, un phénomène de saturation du courant de décharge CDM maximum est observé lorsque la surface du boîtier augmente pour le même niveau de tension de pré-charge *(Figure 1-32)*. Ces études permettent d'améliorer la performance CDM en choisissant certains boîtiers, mais la conception ESD/CDM reste toujours très contraignante. Plus de compréhension physique sur les mécanismes de défaillance associés au stress CDM est toujours nécessaire.

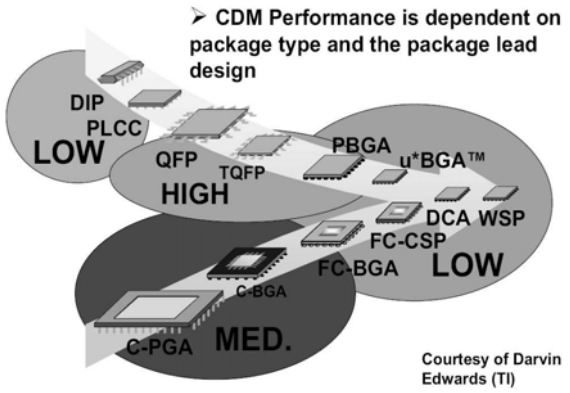


Figure 1-30 : Performance CDM en fonction des boîtiers.

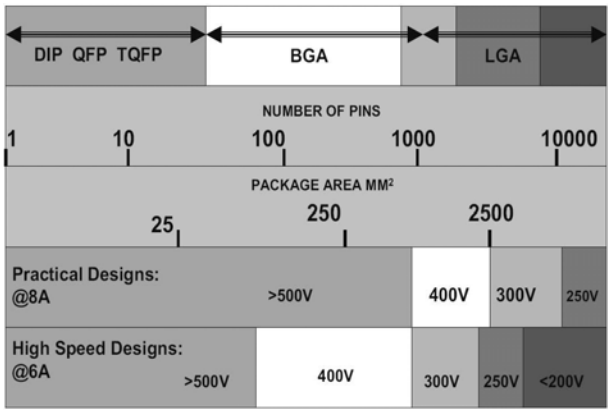


Figure 1-31 : Performance CDM selon différents boîtiers (surface et nombre de broches).

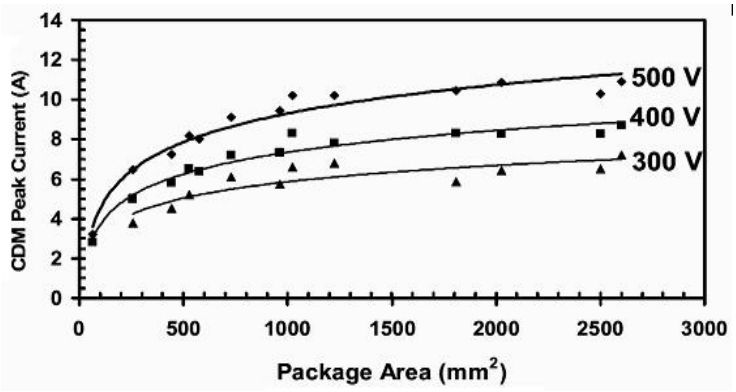


Figure 1-32 : Saturation des courants maximaux en fonction de la surface du boîtier.

1.6.3 Complexité des chemins de décharge

Lors de la décharge CDM, la distribution des courants/charges dans le composant est critique pour la protection et n'est pas simple à décrire. Nous définissons les sources de charges par les capacités parasites de chaque partie. Par conséquent, nous considérons d'abord la source de charges la plus importante (C_{SUB}). Les charges sur le plan métallique, traversent le substrat et passent par les chemins les moins résistifs jusqu'à la masse globale par la sonde de décharge « pogo pin ». Généralement, trois types de chemins de décharge sont possibles [49] *(Figure 1-33)*:

Chemin 1 : Les prises de contact du substrat sont court-circuités à la ligne de masse connectée au composant de protection ESD; c'est un chemin métallique peu résistif et désirable pour la conception de protection.

Chemin 2 : Les jonctions PN peuvent contribuer à la décharge aussi si elles sont connectées aux lignes de bus par les chemins peu résistifs, mais différentes polarisations des jonctions modifieront les chemins de décharges et les potentiels également.

Chemin 3 : Lorsqu'on considère le courant de décharge d'un signal transitoire, les capacités parasites d'oxyde peuvent stocker des charges et fournir un chemin de décharge par couplage pendant le stress CDM.

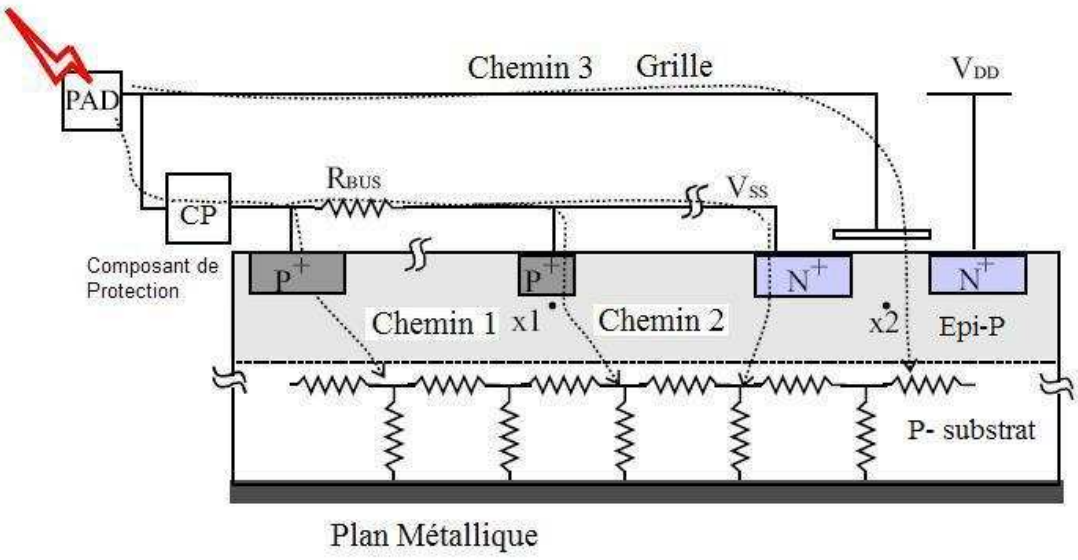


Figure 1-33 : Différents chemins de décharge possibles pendant le stress CDM.

Pour les chemins par l'oxyde, même si un courant très faible se présente dans la région d'oxyde, les combinaisons des différents chemins de décharge, notamment chemin 1 et chemin 3, peuvent provoquer une chute de tension importante aux bornes de l'oxyde de grille par la relation suivante si la résistance du substrat ou Epi-P est élevée et le chemin 2 est polarisé en inverse :

$$\Delta V_{oxyde} = V_{x1} + \mathrm{I}_{CDM} \cdot (R_{BUS} + R_{Epi_x1x2}) \qquad \textbf{Eq. 1-17}$$

Lorsque la tension aux bornes de l'oxyde de grille est supérieure à la valeur maximum qu'il peut supporter, il sera dégradé.

En conclusion, la stratégie de protection contre les décharges de type CDM est plus compliquée et doit être basée sur une vision globale prenant en compte l'effet du boîtier et des principaux éléments parasites. Elle consistera principalement en la construction d'un réseau des chemins de moindre résistance et à éviter la génération de surtensions sur l'oxyde de grille.

1.7 Modélisation et simulation ESD/CDM

Après une trentaine d'années d'étude, la conception de la protection ESD est aujourd'hui considérée comme un métier multidisciplinaire incluant de la mécanique, du thermique, et de la physique du dispositif. La figure 1-34 décrit une vision globale de la problématique de la protection ESD. Il s'agit de la compréhension de la physique fondamentale jusqu'aux dispositifs nano-structurels, ainsi que la maîtrise au niveau du circuit et du système. Face à la compétition industrielle, le temps de mise sur le marché ('time to market' en anglais) est de plus en plus court. Pour répondre à cette accélération du développement des technologies, il est nécessaire de développer des outils informatiques afin de prédire les défaillances possibles et d'améliorer la stratégie de protection ESD dès le début de la phase de conception. La modélisation des structures de protection ESD et la simulation ESD pour la conception du produit sont alors bien appréciées et nécessaires.

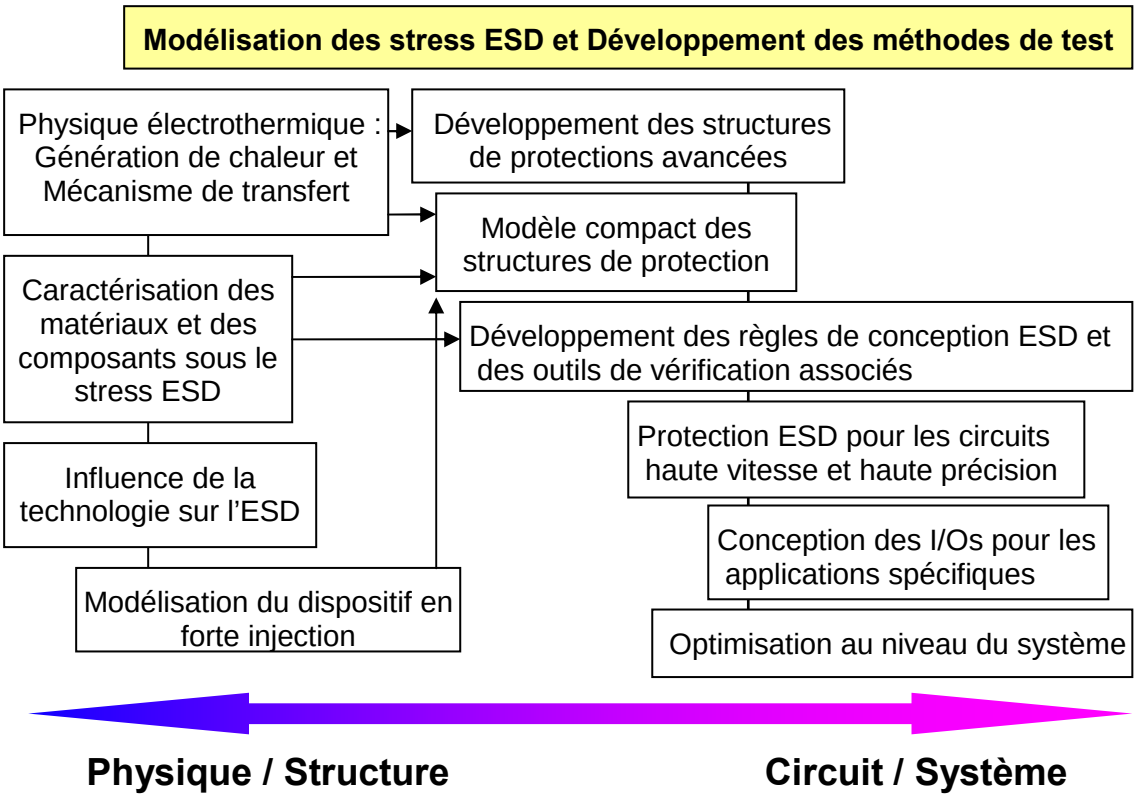


Figure 1-34 : Résumé du flot de conception de protection ESD.

De nombreuses études ont été menées pour déterminer le comportement du composant lors d'un stress ESD/CDM. La plupart ont mis l'accent sur la modélisation du composant de protection ESD [60-63], incluant le repliement ('snapback'). Certains autres s'intéressent à la simulation du comportement des entrées/sorties ('I/O') ou du circuit entier.

Dans le premier cas, les éléments utilisés comme dispositifs de protection contre les ESD sont des composants classiques (diode, résistance, transistor bipolaire, transistor MOS, etc) dont le dessin technologique est adapté aux régimes de fort courant dans lesquels ils opèrent lors d'une décharge. Mais, les modèles SPICE standard ne sont pas adaptés aux régimes extrêmes pour la décharge ESD, comme les très fortes densités de courant, le claquage par avalanche des jonctions, le repliement, la modulation de conductivité, etc…Pour cela, les modèles standards doivent être étendus. Deux approches sont envisageables : la première consiste à développer un modèle complet et spécifique [61, 64], basé sur les mécanismes physiques mis en jeu et les charges injectées. L'inconvénient majeur de cette approche est qu'elle nécessite une extraction complète des paramètres électriques du nouveau modèle. La seconde méthode plus couramment appliquée est d'utiliser et d'enrichir les modèles du type SPICE existants ('macro-modélisation'). De nombreux modèles ont été étudiés pour les structures de protection ESD seules ('stand-alone') et les dispositifs qui influencent la performance de la protection : Diode [65], ggNMOS [66-69], SCR [70, 71], la résistance [64, 72], ainsi que les interconnexions [73]. La simulation physique, par exemple 'TCAD Sentaurus' est largement utilisée pour la compréhension physique du composant en régime ESD. Les bipolaires parasites d'un MOS sont pris en compte. Le phénomène d'avalanche peut être modélisé correctement par une source de courant contrôlée par le courant du collecteur. De plus, l'effet thermique, le temps de transit dans la base ('base transit time'), et les capacités non-linéaires des jonctions collecteur/base et émetteur/base qui influencent le comportement dynamique doivent être modélisées avec un grand soin afin que la simulation soit prédictive.

Dans le cas concernant la simulation du circuit complet ('full-chip' simulation) pour optimiser la performance du circuit contre les décharges, la modélisation prend une dimension plus globale, en incluant le testeur CDM, le boîtier, les I/Os, les 'buffers', le circuit interne et le substrat, etc. Lee *et al.* ont proposé une stratégie de modélisation du circuit simplifiée, appelée *'divide-and-conquer'*. Il modélise chaque sous-circuit par des résistances de bus et des capacités équivalentes (macro-modélisation) par rapport aux bus V_{dd} et V_{ss} [74-76], extraits à partir du layout par un logiciel iLEX [77]. M. Etherton et S. Sowariraj conseillent une modélisation plus complète qui prend en compte le circuit interne, et le substrat car il a été montré que la capacité du substrat joue un rôle significatif pendant la décharge CDM [78]. Grâce à des logiciels commerciaux d'extraction des parasites du layout, une telle approche de simulation montre une bonne corrélation avec les mesures [49, 50]. Toutefois, une stratégie de modélisation plus complète nécessite des ressources informatiques importantes et peut poser des problèmes de convergence et des difficultés d'extraction.

Chacun de ces travaux complexes a permis d'avancer dans la compréhension du phénomène CDM. Cependant, beaucoup d'efforts s'orientent vers les outils EDA pour vérifier la robustesse du produit. Le défi de la modélisation et la simulation ESD/CDM réside principalement dans le compromis entre la précision et la faisabilité de la simulation.

Bibliographie

[1] C. Delage, "Etude et conception de structures de protection contre les décharges électrostatiques en technologie BiCMOS de puissance ": Thèse de doctorat de l'Institut National Polytechnique de Toulouse, 2001.

[2] G. Bertrand, "Conception et modélisation électrique de structures de protection contre les décharges électrostatiques en technologies BICMOS et CMOS analogique," in Thèse de doctorat de l'Institut National Polytechnique de Toulouse, 2001.

[3] R. Wagner, et al., "Extent and cost of EOS/ESD damage in an IC manufacturing process," *EOS/ESD Symposium*, pp. 49-55, 1993.

[4] P. Leturcq, "Comportement électrique et thermique des transistors bipolaires aux forts niveaux de tension et de courant : application aux phénomènes de second claquage," Thèse de doctorat, Faculté de Sciences de L'université de Toulouse, 10 octobre, 1969.

[5] A. ILLE, "Fiabilité des oxydes de grille ultra-minces sous décharges électrostatiques (ESD) dans les technologies CMOS fortement sub-microniques," Thèse de doctorat, ISEN, 2008.

[6] R.H. Fowler, et L. Nordheim, "Elestron in intense electric field," *Soc. London Ser. A*, vol. 119, pp. 173-181, 1928.

[7] K.F. Schuegraf, C.C. King, et C. Hu, "Ultra-thin silicon dioxide leakage current and scaling limit," *VLSI Technology Digest of Technical Papers*, pp. 18-19, 1992.

[8] J. Frenkel, "On Pre-breakdown phenomena in insulators and electronic semiconductors," *Physical Review*, vol. 54(8), pp. 647-648, 1938.

[9] P. Hesto, "Nature of electronics conduction," *Instabilities in Silicon Devices*, vol. 1, pp. 263, 1980.

[10] D.J. DiMaria, Buchanan, J.H. Sthatis, et R.E. Stahlbush, "Interface states induced by the presence of trapped holes near the silicon-silicon-dioxide interface," *Journal of Applied Physics*, vol. 77(5), pp. 2032-2040, 1995.

[11] D. J. DiMaria, et E. Cartier, "Mechanism for stress-induced leakage currents in ultrathin silicon dioxide films," *Appl. Phys. Lett.*, vol. 78, pp. 3883, 1995.

[12] S. P. Karna, H.A. Kurtz, A.C. Pineda, W.M. Shedd, R.D. Pugh, "Point defects in Si/SiO2 Systems: current understanding," in *Defects in SiO2 and Related Dielectrics: Science and Technology*: Kluwer Academic Publishers, 2000, pp. 599-615.

[13] P. Bellutti, et N. Zorzi, "High electric field induced poisitive charges in thin gate oxide," *Solid-State Electronics*, vol. 45, pp. 1333-1338, 2001.

[14] W.D. Zhang, M. Lalor, D. Burton, R. Degraeve et G. Groeseneken, "On the mechanism of electron trap generation in gate oxides," *Microelectronics Engineering*, vol. 59, pp. 89-94, 2001.

[15] W.D. Zhang, M.J. Uren, G. Groeseneken, R. Degraeve, M. Lalor et D. Burton, "Dependence of energy distributions of interface states on stress conditions," *Microelectronics Engineering*, vol. 59, pp. 95-99, 2001.

[16] P.E. Nicollian, W.R. Hunter et J.C. Hu, "Experimental evidence for voltage driven breakdown models in ultrathin gate oxides," *IEEE 38th Annual IRPS*, pp. 7-15, San Jose, 2000.

[17] R. Degraeve, "Issues in High-K Reliability," *Tutorial IRPS*, pp. 112, 2003.

[18] D. J. Dimaria, "Defect production, degradation, and breakdown of silicon dioxide films," *Solid-State Electronics*, vol. 41(7), pp. 957-965, 1997.

[19] R. Degraeve, B. Kaczer, et G. Groeseneken, "Degradation and breakdown in thin oxide laters : mechanisms, models and reliability prediction," *Microelectronics Reliability*, vol. 39, pp. 1445-1460, 1999.

[20] M.Houssa, N. Vandewalle, T. Nigam, M. Ausloos, P.W. Mertens et M.M. Heyns, "Analysis of the gate voltage fluctuations in ultra-thin gate oxides after soft breakdown," *IEDM*, pp. 909-912, 1998.

[21] Y. Fong, et C. Hu, "The effects of high electric field transients on thin gate oxide MOSFETs," *EOS/ESD Symposium*, pp. 252-257, 1987.

[22] J. Colvin, "The identification and analysis of latent ESD damage on CMOS input gates," *EOS/ESD Symposium*, pp. 109-116, 1993.

[23] K.F. Schuegraf, et C. Hu, "Metal-oxide-semiconductor field-effect-transistor substrate current during fowler-nordheim tunneling stress ans silicon dioxide reliability," *Journal of Applied Physics*, vol. 76(6), pp. 3695-3700, 1994.

[24] J. Suné, I. Placencia, N. Barniol, E. Farrés, F. Martin et X. Aymerich, "On the breakdown statistics of thin Si02 films," *Thin Solid Films*, vol. 185, pp. 347-362, 1990.

[25] T. Wang, N.K. Zous, L. Lai, et C. Huang "Hot hole Stress Induced Leakage Current (SILC) transient in tunnel oxide," *IEEE Electron Device Lettres*, vol. 19(11), pp. 411-413, 1998.

[26] S. Kamohara, D. Park, C. Hu, et K. Morrisseau, "Deep-trap SILC (Stress Induced Leakage Current) model for nominal and weak oxides," *International Reliability Physics Symposium (IRPS)*, pp. 57-61, 1998.

[27] M.A. Alam, J. Bude, et A. Ghetti, "Field acceleration for oxide breakdown - can an accurate anode hole injection model resolve the E vs. 1/E controversy?," *International Reliability Physics Symposium (IRPS)*, pp. 21-26, 2000.

[28] F. Chen, R.P. Vollertsen, B. Li, D. Harmon, et Z.L. Lai, "A new empirical extrapolation method for time-dependent dielectric breakdown reliability projections of thin Si/SiO2 and nitride-oxide dielectrics," *Microelectronics Reliability*, pp. 335-341, 2002.

[29] A. Teramoto, H. Umeda, K. Azamawari, K. Kobayashi, J. Komori, Y. Ohno, et H. Miyoshi, "Study of oxide breakdown under very low electric field," *International Reliability Physics Symposium (IRPS)*, pp. 66-71, 1999.

[30] C. Hu, et Q. Lu, "A unified gate oxide reliability model," *International Reliability Physics Symposium (IRPS)*, pp. 47-51, 1999.

[31] T. Pompl, K.H. Allers, R. Schwab, K. Hofmann, et M. Rohner, "Change of acceleration behavior of time-dependent-dielectric-breakdown by the BEOL process: Indications for hydrogen induced transition in dominant degradation mechanism," *International Reliability Physics Symposium (IRPS)*, pp. 388-397, 2005.

[32] E.Y. Wu, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. McKenna, D. Harmon, L.K.Han, C. Montrose, et R. Dufresne, "Voltage-Dependent Voltage-acceleration of oxide breakdown for ultra-thin oxides," *International Electron Device Meeting*, pp. 541, 2000.

[33] A. Ille, W. Stadler, A. Kerber, T. Pompl, T. Brodbeck, K. Esmark, et A. Bravaix, "Ultra-thin Gate Oxide Reliability in the ESD Time Domain," *EOS/ESD Symposium*, pp. 285-294, 2006.

[34] "Association Standard test Method for Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Component level," *ESD Association: ESD STM5.1-1998*, 1998.

[35] "Electrostatic Discharge (ESD), Sensitivity Testing Human Body Model (HBM)," *EIA/JEDEC Standard: EIA/JEDEC-A114A*, 1997.

[36] "Association Standard test Method for Electrostatic Discharge Sensitivity Testing - Machine Model (MM) Componenet level," *ESD Association: ESD STM5.2-1999*, 1999.

[37] T. Smedes, et Y. Christoforou, "On the Relevance of IC ESD Performance to Product Quality," *EOS/ESD Symposium*, 2008.

[38] M. Kelly, et al., "A Comparison of Electrostatic Discharge Models and Failure Signatures for CMOS Integrated Circuit Devices," *EOS/ESD Symposium*, pp. 175-185, 1995.

[39] "Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Componenet level," *ESD Association: ESD STM5.3-1999*, 1999.

[40] L. Henry, H. Hyatt, J. Barth, M. Stevens, et T. Diep, "Charged Device Model (CDM) Metrology: Limitations and Problems," *18th EOS/ESD Symposium*, pp. 167-79, Orlando (FL), USA, 1996.

[41] A. Amerasekera, C. Duvvury, *ESD in Silicon Integrated Circuits*, 2nd ed. Chichester, England: John Wiley & Sons, Ltd., 2002.

[42] T. S. Speakman, "A model for failure of bipolar silicon integrated circuits," *International Reliability Physics Symposium (IRPS)*, pp. 60-69, 1974.

[43] P.R. Bossard, R.G. Chemelli, et B.A. Uger, "ESD domage from Triboelectrically Charged IC Pins," *2nd EOS/ESD Symposium*, pp. 17-22, San Diego, 1980.

[44] M. D. Chaine, T. C. Liong, et H. F. San, "A correlation study between different types of CDM testers and real manufacturing In-Line leakage failures," *IEEE Trans. on Components, Packaging, and Manufacturing Technology - Part A*, vol. 18, pp. 295-3, 1995.

[45] M. Chaine, K. Verhaege, L. Avery, M. Kelly, H. Gieser, K. Bock, L. Henry, T. Meuse, T. Brodbeck, et J. Barth, "Investigation into socketed CDM (SCDM) tester parasitics," *Microelectronics Reliability*, vol. 39, pp. 1531-40, 1999.

[46] K. Verhaege, G. Groseneken, H. E. Maes, P. Egger, et H. Gieser, "Influence of Tester, Test Method and Device Type on CDM ESD Testing," *16th EOS/ESD Symposium*, pp. 49-62, Las Begas (NV), USA, 1994.

[47] H. Gieser, et P. Egger, "Influence of tester parasitics on 'Charged Device Model' failure thresholds," *16th EOS/ESD Symposium*, pp. 69-84, Las Vegas (NV), USA, 1994.

[48] R.G. Reninger, et al., "A field induced charged device model simulator," *EOS/ESD Symposium*, pp. 59-71, 1989.

[49] S. Sowariraj, "Full Chip Modelling of ICs under CDM Stress," Thèse de doctorat, University of Twente, 2005.

[50] M. Etherton, *Charged Device Model (CDM) ESD in ICs: Physics, Modeling, and Circuit Simulation*, 2005.

[51] T. Maloney, N. Khurana, "Transmission line pulsing techniques for circuits modelling of ESD phenomena," *7th EOS/ESD Symposium*, pp. 49–55, Minneapolis, MN, 1985.

[52] N. MAURAN, "Conception et réalisation d'un banc de caractérisation sous pointes pour mesures impulsionnelles hautes énergie," Mémoire de diplôme ingénieur C.N.A.M. 2 juillet 2003.

[53] H. Gieser, et M. Haunschid, "Very Fast Transmission Line Pulsing of Integrated Structures and the the Charged Device Model.," *IEEE Trans. on Components, Packaging, and Manufacturing Technology - Part C*, vol. 21, pp. 278-85, 1998.

[54] Oryx, "Manual of Celestron I vfTLP tester," 2005.

[55] H. Wolf, H. Gieser, W. Stadler, et W. Wilkening, "Capacitively Coupled Transmission Line Pulsing cc-TLP - A Tranceable and Reproducible Line Stress Method in the CDM-domain," *Microelectronics Reliability*, vol. 45, pp. 279-285, 2005.

[56] H. Wolf, H. Gieser, et D. Walter, "Investigating the CDM Susceptibility of IC's at Package and Wafer Level by Capacitive Coupled TLP," *EOS/ESD Symposium*, pp. 297-303, 2007.

[57] H. Wolf, H. Gieser, A. Jahanzeb, et C. Duvvury, "Investigations on the Correlation of Capacitive Coupled TLP at Package Level with the CDM," *International ESD Workshop* 2008.

[58] C. Duvvury, "Package Influence on ESD Robustness," *Seminar, 2nd International ESD Workshop*, 2008.

[59] C. Goeau, "Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS," Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2005.

[60] C. Duvvury, et C.H. Diaz, "Dynamic Gate Coupling of nMOS for Efficient Output ESD Protection," *International Reliability Physics Symposium (IRPS)*, pp. 141-150, 1992.

[61] K. Verhaege, C. Russ, J. Luchies, G. Groseneken, et F. Kuper, "Grounded-Gate nMOS Transistor Behavior Under CDM ESD Stress Conditions," *IEEE Trans. Electron Devices*, vol. 44(11), pp. 1972-1980, 1997.

[62] N. A. M. Etherton, J. Willemen, W. Wilkening, S. Mettler, M. Diddegna, R. Stella, L. Zullino, A. Andreini, H. Gieser, H. Wolf, et Z. Fichtner, "Study of CDM Specific Effects for a Smart Power Input Protection Structure," *26th EOS/ESD Symposium*, pp. 107-116, 2004.

[63] M. Mergens, W. Wilkening, G. Kiesewetter, S. Mettler, H. Wolf, J. Hieber, et W. Fichtner, "ESD-level Circuit Simulation - Impact of Gate RC-Delay on HBM and CDM Behavior," *22th EOS/ESD Symposium*, pp. 446-455, 2000.

[64] C. Russ, et al., "A compact model for the frounded-gate-nMOS behavior under CDM ESD stress," *18th EOS/ESD Symposium*, pp. 302-315, 1996.

[65] M. Stockinger, et J. W. Miller, "Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe," *EOS/ESD Symposium*, pp. 46-53, 2006.

[66] V. Vassilev, et al. , "Advanced modeling and parameter extraction of the MOSFET ESD breakdown triggering in the 90 nm CMOS node technology," *EOS/ESD Symposium*, 2004.

[67] P. Fonteneau, J-R. Manouvrier, C-A. Legrand, H. Beckrich, C. Richier, G. Troussier, F. Landré, C. Entringer, et N. Blisson, "Characterization and Modeling of SCR and NMOS Snapback from DC Down to CDM Time Domain," *2nd International ESD Workshop*, 2008.

[68] J-R.Manouvrier, et al., "Characterization of the transient behavior of gated/STI diodes and their associated bjt in the cdm time domain," *EOS/ESD symposium*, 2007.

[69] A.Amerasekera, et al., "Modeling NMOS snapback and parasitic bipolar action for circuit-level ESD and High Current simulation," *International Reliability Physics Symposium (IRPS)*, pp. 318, 1996.

[70] Y.Z.(Paul) Zhou, J-J. Hajjar, A. W. Righter, et K. P. Lisiak, "Modeling Snapback of LVTSCR Devices for ESD Circuit Simulation Using Advanced BJT and MOS Models," *EOS/ESD Symposium*, pp. 175-184, 2007.

[71] F. Jezequel, Ph. Galy, G. Troussier, N. Nolhier, et M. Bafleur, "A Full Study of a SCR High Voltage Protection for CMOS 65nm with TCAD Mixed Mode and Silicon Proof," *2nd International ESD Workshop*, 2008.

[72] J.R.M Luchies, K. Verhqege, F. Kuper, A. Mouthaan, et H. De Graaff, "Fast transient ESD simulation of the nMOS protection transistor," *25th ESSDERC*, pp. 307-310, 1995.

[73] JR Manouvrier, et al., "Compact Model of Interconnects Self Heating in CMOS Technology," *2nd International ESD Workshop*, 2008.

[74] J. Lee, K-W. Kim, Y. Huh, P.Bentix, et S-M. Kang, "Chip-Level Charged-Device Modeling and Simulation in CMOS Integrated Circuit," *IEEE Transaction On Computer-Aided Design of Integrated And Systems*, vol. 22(1), pp. 67-81, 2003.

[75] J. Lee, K-W. Kim, et S-M. Kang, "VeriCDF: A New Verification Methodology for Charged Device Failures," *DAC*, pp. 874-879, 2002.

[76] E. Franell, H. Gossner, et D. Schmitt-Landsiedel, "CDM Verification by Distributed Current Sources and DC Simulation," *International ESD Workshop*, 2008.

[77] T.Li, et S.M. Kang, "Layout Extraction and Verification Methodology for CMOS I/O Circuits," *DAC*, pp. 291-296, 1998.

[78] M.S.B. Sowariraj, P.C. de Jong, C. Salm, T. Smedes, A.J. Ton Mouthaan, et F.G. Kuper, "Significance of Including Substrate Capacitance in The Full Chip Circuit Model of ICs Under CDM Stress," *International Reliability Physics Symposium (IRPS)*, pp. 608-609, 2005.

Chapitre 2 :

L'évolution des défauts latents induits par CDM dans un convertisseur DC-DC

CHAPITRE 2 : L'EVOLUTION DES DEFAUTS LATENTS INDUITS PAR CDM DANS UN CONVERTISSEUR DC-DC 53

2.1 FIABILITE DES CIRCUITS INTEGRES VIS-A-VIS DU STRESS ESD/CDM 55

2.1.1 Introduction 55

2.1.2 Techniques de détection des défauts 56

2.2 DETECTION DE DEFAUTS LATENTS INDUITS PAR LE STRESS CDM SUR UN PRODUIT COMMERCIAL 63

2.2.1 Motivation et description du composant étudié 63

2.2.2 Méthodologie choisie pour la mise en évidence de défauts latents 67

2.2.3 Le plan de test CDM 68

2.2.4 Localisation des défauts par photo-émission 72

2.2.5 Recuit 74

2.2.6 Vieillissement 77

2.2.7 Bilan des expériences 79

2.2.8 Compréhension de l'efficacité de la protection ESD contre le stress CDM 80

2.2.9 Analyse du mécanisme de défaillance sous stress CDM par la simulation physique en mode mixte 85

2.3 CONCLUSION 89

2.1 Fiabilité des circuits intégrés vis-à-vis du stress ESD/CDM

2.1.1 Introduction

La fiabilité est l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une période de temps donnée. Elle se mesure par une probabilité de 0 à 1, ou de 0 à 100%. Une fois les circuits insérés dans un système, on constate leur temps moyen de fonctionnement correct avant la première panne, MTTF (Mean-Time To Failure). Leur taux de panne (autrement dit, taux de défaillance) en fonction du temps (nombre de pannes par unité de temps) est donc 1/MTTF. Celui-ci se note $\lambda_{(t)}$ qui exprime la fiabilité du système étudié.

Lorsque l'on dispose d'un nombre important de composants ou d'équipements identiques, on peut faire des relevés de la durée de vie moyenne de ces composants. Les résultats montrent que le taux de défaillance λ de composants électroniques et les systèmes suivent la courbe classique dite en «baignoire» (Figure 2-1):

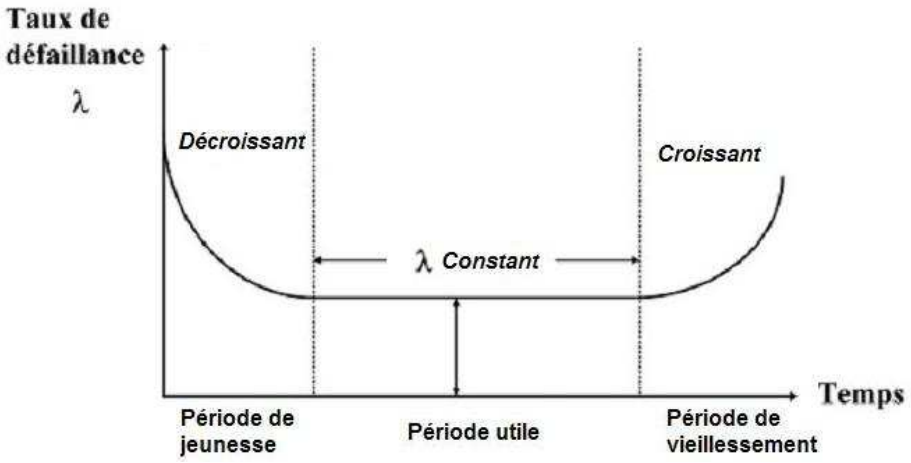


Figure 2-1 : Courbe en baignoire.

- Au début de la vie du composant, la «période de jeunesse», on constate une mortalité assez élevée, le taux de mortalité décroissant ensuite rapidement lorsque le composant a franchi avec succès les dangers de sa jeune vie. Cette période suit une loi de Weibull où λ diminue avec le temps : $\lambda = \lambda_0 \cdot t^n$, n étant négatif.
- Ensuite, le taux de défaillance se stabilise et reste constant pendant la «période utile».
- Une période dite de vieillissement où l'augmentation du taux de défaillance est

due à l'usure critique des pièces. Cette usure critique a pour conséquence qu'un stress peu important provoque une défaillance et donc le taux de défaillance de l'ensemble augmente. Les défaillances se produisent de plus en plus fréquemment avec le temps, λ est croissant au cours du temps et correspond à une loi de Gauss ou loi normale.

Depuis une dizaine d'années, la fiabilité des composants est un des facteurs majeurs conditionnant le développement de la microélectronique. Les niveaux de la fiabilité exigés maintenant dans la plupart des applications sont extrêmement élevés. Pour beaucoup d'applications, c'est pratiquement le «zéro défaut» qui est demandé sur une durée de vie déterminée. Le problème des décharges électrostatiques est devenu très critique dans le cadre des applications à haute fiabilité et en particulier pour le spatial et la sécurité dans l'automobile. Notamment le déclenchement intempestif d'«air bag» dans les premières générations de véhicules ainsi équipés a été attribué à un phénomène de décharge électrostatique [1].

Dans le cas des décharges CDM, les protections ESD utilisées dans les circuits risquent de ne pas être suffisantes pour protéger le coeur du circuit à cause d'un temps de montée très court (<0,5 ns) ainsi qu'un mécanisme de décharge très différent des autres modèles ESD, les protections actuellement employées pour offrir un chemin pour évacuer les décharges électrostatiques peuvent être inefficaces et induire l'apparition de dégradations au niveau du coeur du circuit, typiquement la dégradation d'oxyde. Ces dégradations, même minimes, peuvent poser des problèmes de fiabilité.

2.1.2 Techniques de détection des défauts

Différentes techniques, comme la mesure du courant de fuite ou de consommation, la mesure des paramètres S ou du bruit basse fréquence (BF) [2], sont souvent employées comme outils de mesure de la qualité des composants et pour détecter la présence de dégradations. Une majorité des techniques utilisées pour la détection des dégradations sont focalisées sur la caractérisation des oxydes, comme le SILC (Stress Induced Leakage Current), et la variation de capacité en fonction de la tension C(V). La mesure du courant de fuite et de consommation statique I_{ddq} ('quiescent power supply current') et dynamique I_{ddt} (' transient power supply current') est utilisée pour déceler la présence de défauts dans un circuit complet. L'utilisation des mesures de bruit basse fréquence et des paramètres S permet de caractériser les transistors voire les circuits et de détecter des dégradations difficilement détectables par les mesures classiques.

1) La mesure SILC est un bon indicateur pour la prédiction de la durée de vie de l'oxyde. En effet, elle est liée à la charge au claquage (en anglais 'charge to breakdown') Q_{BD}

et au 'temps jusqu'au claquage' t_{BD}. C'est l'approche la plus souvent utilisée pour qualifier l'oxyde (voir Chapitre 1).

2) L'évolution de la caractéristique C(V) d'un oxyde de grille dans le cas d'un MOS peut nous renseigner sur la dégradation induite par le stress électrique. Le piégeage de charges ou la création de pièges dans l'oxyde ou à l'interface modifient la capacité drain/grille ou substrat/grille dans les basse et haute fréquences ; ceci permet de calculer la capacité d'interface et de retrouver la densité de pièges à l'interface [2, 3]. Il est possible en utilisant la variation de la tension de bande plate d'extraire la quantité de pièges dans l'oxyde [4].

3) La mesure du courant de fuite *(I_{DDq})* du circuit est la méthode de détection la plus utilisée. Elle consiste à polariser le circuit dans le mode pour lequel il consomme le moins. D'autre part, I_{DDt} (régime transient) correspond au courant en fonctionnement normal. Les augmentations ou les différences dans le comportement temporel de ces courants permettent de détecter la présence de défauts et/ou leurs évolutions [5].

Cependant, avec l'augmentation du courant de fuite provoqué par les oxydes de plus en plus minces, les mesures de courant de fuite et de consommation sont évidemment de moins en moins sensibles. Par exemple, si le courant de fuite est de l'ordre du µA, une variation de l'ordre du nA sera très difficile à détecter. Or c'est l'ordre de grandeur associé à une dégradation suite à un stress par décharges électrostatiques. Ainsi, juste après le stress ESD, on ne pourra pas détecter de caractéristiques électriques en dehors des spécifications. Avec le temps, le circuit ayant subi le stress ESD est susceptible de se dégrader et de conduire au dysfonctionnement du composant. La source de ce phénomène qui évolue avec le temps et résultant d'une décharge électrostatique affectant un circuit microélectronique peut être qualifiée de ***défaut latent***. Un défaut latent non détecté peut induire une diminution de la durée de vie ou une augmentation du taux de défaillances.

4) Le bruit en basse fréquence *('**Low Frequency Noise**' ou **LFN**)* décrit l'ensemble de toutes les perturbations indésirables dans le système électrique, qui se superposent au signal utile et qui ont tendance à masquer son contenu. Grâce à la mesure fréquentielle de cette perturbation [6], tout bruit électrique se manifestant sous forme de fluctuations aléatoires et spontanées de la tension et/ou du courant provoquées par différents processus physiques apporte énormément d'informations dans le domaine de la basse fréquence (inférieur à 1 MHz). En identifiant les diverses sources de bruit, il est possible d'avoir des informations sur les défauts physiques des composants ou des matériaux. Ces informations peuvent être utilisées pour la détection des défauts avec une haute sensibilité et/ou optimiser la fabrication ou la technologie, notamment pour qualifier le diélectrique ou les produits RF. Différentes sources de bruit sont présentées dans la figure suivante. Elles consistent principalement en quatre types: le bruit de diffusion, le bruit de grenaille, le bruit 1/f, et le bruit G-R de Génération-Recombinaison.

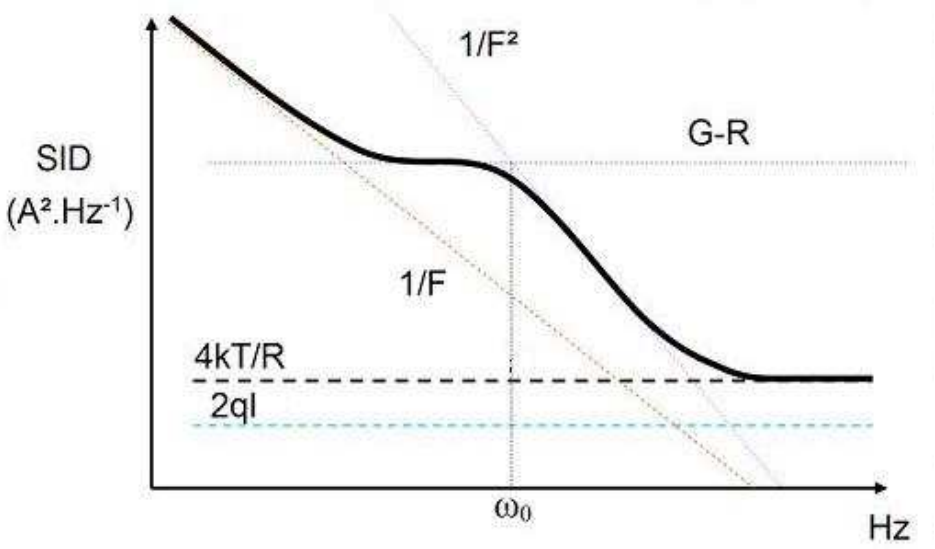


Figure 2-2 : Différentes sources de bruit possibles en basse fréquence dans un composant.

a- Bruit de diffusion

Dans tous les circuits et composants, il existe le 'bruit de diffusion' résultant des interactions des électrons libres avec les atomes du réseau cristallin qui provoquent des fluctuations aléatoires et spontanées de la vitesse des électrons. Ces fluctuations existent même en l'absence de champ électrique appliqué au semiconducteur. Ce bruit est donc le bruit minimum généré par un échantillon parfait, et représente normalement un processus physique large. Cependant, il reste équivalent au bruit thermique ('thermal noise' ou 'Johnson-Nyquist noise') en présence de champ électrique tant que la mobilité des porteurs suit la loi d'Ohm exprimée dans l'équation *Eq.2-1*. Dans ce cas, il est purement thermodynamique et sa densité spectrale (l'amplitude du bruit) S_i est proportionnelle à la température et inversement proportionnelle à la résistance électrique du dispositif *(Eq.2-2)*.

$$\mu = \frac{qD}{kT} \qquad \textbf{Eq. 2-1}$$

$$S_i = \frac{4kT}{R} \qquad \textbf{Eq. 2-2}$$

où μ est la mobilité des porteurs; q est la charge de l'électron *(q = 1,6e-19) ; k est la constante de Boltzmann (1,38e-23 J/K) ; D est le coefficient de diffusion : T est la température en Kelvin ; R* est la partie réelle de l'admittance du cristal.

b- Bruit de grenaille

Contrairement au bruit thermique qui ne fait pas intervenir la nature du transport électronique, le bruit de grenaille ('shot noise') n'existe que lorsque le courant électrique est collecté sous la forme d'une quantité aléatoire dans le temps. Ce bruit est proportionnel au courant électrique moyen et à la charge q des porteurs *(q = 1,6e-19)* : $S_i=2qI$. Il résulte du passage des porteurs à travers une barrière de potentiel, du type de celle induite par la présence d'une jonction.

c- Bruit de Génération-Recombinaison

Le bruit de génération-recombinaison G-R est associé au processus de génération et de recombinaison de porteurs, spécifiquement dans les composants semiconducteurs, et peut être utilisé pour caractériser la qualité cristallographique du matériau. Il est lié à la présence de défauts dans le semiconducteur qui se traduit par l'existence d'un niveau d'énergie dont les fluctuations de l'occupation au cours du temps entraînent celle du nombre de porteurs libres du réseau. Trois types de défauts possibles sont proposés comme étant à l'origine de ces fluctuations. D'abord, un défaut de type 'centre de recombinaison' provoque une capture successive d'électrons de la bande de conduction et de trous de la bande de valence. Le défaut de type 'centre de génération' provoque une émission successive d'électrons et de trous dans la bande de conduction et de valence. Le défaut de type 'piège à électrons ou à trous' provoque l'émission et la capture alternative d'un même type de porteurs. Ce phénomène est le plus souvent rencontré dans les dispositifs semiconducteurs.

La densité spectrale du bruit G-R s'exprime par loi suivante :

$$S_i(f) = \frac{4I^2}{(nV)^2}\overline{\Delta N^2}\frac{\tau}{1+\omega^2\tau^2} \qquad \textbf{Eq. 2-3}$$

$$\tau = \frac{1}{\sigma_n \overline{v_{th}} N_c}\exp\left(\frac{E_c - E_t}{kT}\right) \qquad \textbf{Eq. 2-4}$$

où V est le volume du semiconducteur, n la densité de porteurs de charges, I la valeur moyenne du courant qui le traverse, ΔN la fluctuation du nombre de porteurs, ω la pulsation, et τ la constante de temps associée au processus de génération recombinaison.

Dans l'équation *Eq.2-4*, le terme E_c-E_t représente l'énergie d'activation du piège considéré (l'écart entre son niveau d'énergie E_t par rapport à celui de la bande de conduction E_c), σ_n sa section efficace de capture, $\overline{v_{th}}$ et N_c respectivement la vitesse thermique des électrons et la densité d'états de la bande de conduction.

Dans cette expression de la densité spectrale du bruit en courant, nous pouvons noter des propriétés fondamentales du bruit (G-R) : Son amplitude, en courant, est inversement proportionnelle au volume du semiconducteur considéré V. Elle est maximale lorsque le

niveau de Fermi est proche du niveau du piège. Elle est proportionnelle au carré du courant traversant le dispositif. Ses évolutions fréquentielles sont celles d'un spectre lorentzien caractérisé par un plateau pour des fréquences telles que $\omega t << 1$ et par une décroissance en $1/f^2$ à partir de $f = 1/2\pi t$. Selon l'équation Eq.2-5, la constante de temps du piège est dépendante de la température par l'intermédiaire de $\overline{v_{th}}$ et N_c. Lorsque le piège se trouve dans la région active, et que la modification de l'état de charge du piège induit une fluctuation de courant observable, il génère un bruit important et permet une identification complète du processus de capture. Ainsi, lorsque que la fréquence de coupure ('cut frequency') du processus n'est pas trop inférieure à la fréquence minimale d'observation et que le plateau de bruit G-R a une amplitude suffisante, le bruit G-R sera observable par la mesure.

Il faut noter que, dans le cas particulier d'un seul centre recombinant, le bruit est appelé RTS ('Random Telegraph Signal') ou bruit du télégraphiste. Le courant fluctue entre deux valeurs comme un signal discret. Certains chercheurs ont montré que le bruit RTS est lié à l'ouverture et à la fermeture de chemin de conduction dans l'oxyde. Ainsi, il est possible d'étudier le bruit RTS associé au courant qui traverse un oxyde [7] ou provoqué par la capture et l'émission de porteurs par les pièges présents à l'interface Si/SiO_2 [8].

d- Bruit de scintillation ou en 1/f

Il se caractérise par le fait que la puissance du bruit dans la bande de fréquences d'observation est inversement proportionnelle à la fréquence d'analyse, d'où sa dénomination de bruit en *1/f*. Ce bruit est causé soit par les fluctuations du nombre de porteurs, dues à des processus de génération-recombinaison sur plusieurs pièges simultanément en surface ou à un interface; soit par les fluctuations de la mobilité des porteurs associées aux collisions électron-phonon en volume [9] et qui serait irréductible puisque lié à la nature même du transport des charges. Le 'bruit en *1/f* de surface' et le 'bruit en *1/f* de volume' peuvent souvent coexister [10]. La densité spectrale $S_i(f)$ peut s'écrire avec la formule générale suivante :

$$S_i(f) = \frac{k}{Nf^{\gamma}} I^{\beta} \qquad \textbf{Eq. 2-5}$$

où k est une constante, γ est compris entre 0,8 et 1,2, et β entre 1 et 2. Quelle que soit son origine, le bruit en *1/f* est directement dépendant du nombre de porteurs libres participant à la conduction dans le matériau semiconducteur.

Modèle

Un modèle simple de la densité spectrale de bruit permet de décrire le spectre mesuré [2]. Ce modèle est basé sur l'expression de toutes les densités spectrales des différentes sources de bruit.

$$S_i(f) = 2qI + \frac{4kT}{R} + \frac{kI^{\beta}}{N \cdot f^{\gamma}} + \frac{4I^2\overline{\Delta N^2}}{(nV)^2}\frac{1}{f_i + f^2/f_i} \qquad \textbf{Eq. 2-6}$$

$$S_i(f) = A + \frac{B}{f} + \sum_i \frac{C_i / f_{ci}}{1 + (f / f_{ci})^2} \qquad avec\ f_{ci} = 2\pi\omega_i \qquad \textbf{Eq. 2-7}$$

Dans l'équation *Eq. 2-7*, le premier terme *A* correspond au bruit blanc (*2qI+4kT/R*), le second terme *B* au bruit en *1/f* qui est attribué à la fluctuation du nombre de porteurs ou de leur mobilité, et le dernier représente la somme du bruit G-R qui correspond à la présence d'un ou plusieurs centres de génération/recombinaison ou à des pièges situés dans l'oxyde et/ou à l'interface Si/SiO_2. f_{ci} correspondent aux différentes fréquences de capture et d'émission des charges aux différents centres de génération/recombinaison.

Mesures de bruit basse fréquence

Les mesures de bruit basse fréquence, sont effectuées dans une cage de Faraday afin d'annuler l'influence électromagnétique de l'environnement. Le bruit du composant est généralement mesuré en régime établi en veillant à éliminer les signaux susceptibles de masquer le bruit. Une alimentation par batterie est nécessaire pour alimenter l'amplificateur transimpédance et le système de polarisation. Tous les éléments du banc ont pour impédance caractéristique 50Ω. Le banc de mesure basé sur le transimpédance [6] consiste à enregistrer le spectre en fréquence du courant qui traverse la structure ou le circuit pour une polarisation donnée. Son principe est décrit par le schéma *Figure 2-3*. Il se compose d'un système de polarisation résistif, la résistance de polarisation doit être la plus élevée possible (de 47kΩ à 10MΩ) afin d'avoir un bruit thermique lié à cette résistance suffisamment faible. L'amplificateur transimpédance *(TAi pour 'Transimpédance-input' et TAo pour 'Transimpédance-output')* amplifie les fluctuations de courant et les transforme en fluctuations de tension. Une capacité de découplage de 100µF a été introduite pour isoler les étages TAs et la source de polarisation du DUT en éliminant le signal continu. La mesure du bruit à basse fréquence (jusqu'à quelques centaines de Hz) peut être effectuée grâce à l'analyseur de spectre (HP89410A) avec deux canaux qui fait une transformée des signaux en tension aux sorties du TAi et du TAo, du domaine temporel au domaine fréquentiel.

Six interrupteurs S1-S6 permettent d'obtenir les différentes configurations du banc, afin de mesurer le bruit du banc, les gains du TAi ou/et TAo, ainsi que le bruit du DUT (Tableau 2-1).

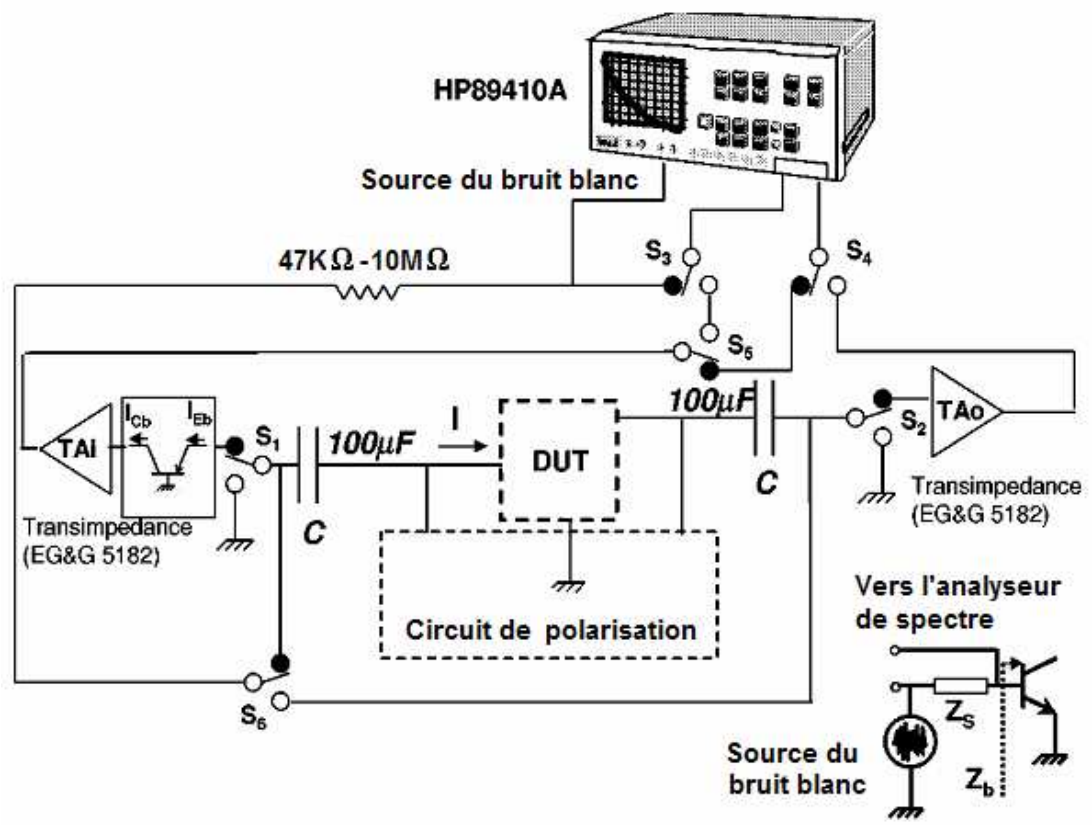


Figure 2-3 : Principe du banc de mesure du bruit en basse fréquence basé sur le transimpédance[6].

	S1	S2	S3	S4	S5	S6
Mesure du bruit du banc	○	○	○	○	○	Flottant
Mesure du gain (TAi)	●	○	●	●	●	●
Mesure du gain (TAo)	○	●	●	○	Flottant	○
Mesure du bruit du DUT	●	●	○	○	○	Flottant

Tableau 2-1 : Les différentes configurations du banc de mesure de bruit basse fréquence. (○: interrupteur ouvert ; ● : interrupteur fermé)

Avant d'effectuer une mesure de bruit, un étalonnage est nécessaire. Il consiste tout d'abord à caractériser le bruit du banc en mettant le DUT en circuit ouvert. Les gains en tension/courant des étages TAi et/ou TAo peuvent ensuite être mesurés grâce à la source de bruit blanc intégrée à l'analyseur de spectre HP89410A mesurant la fonction de transfert.

2.2 Détection de défauts latents induits par le stress CDM sur un produit commercial

2.2.1 Motivation et description du composant étudié

Nous avons compris que la qualification ESD de circuit assure que le circuit garde sa fonctionnalité et le courant de fuite reste sous un niveau toléré après les stress ESD. Une légère dégradation du courant de fuite ou de la fonctionnalité est considérée acceptable pour la spécification. Cependant, cette légère dégradation est également la preuve que le circuit a subi une dégradation qui peut être un défaut latent. Ce défaut latent peut influencer le fonctionnement du circuit intégré ou accélérer le vieillissement. Le stress CDM est susceptible d'induire des défauts dans l'oxyde, par exemple, des charges piégées dans l'oxyde de grille qui sont généralement difficiles à détecter par la mesure du courant de fuite *Iddq* (centaines de nano-ampères) dans un circuit complexe. Afin de mieux comprendre le phénomène et la criticité des défauts latents induits par le stress ESD/CDM et leur impact réel sur la fiabilité des circuits microélectroniques, la technique de la mesure du bruit basse fréquence (LFN) a été utilisée pour étudier les défauts latents dans un convertisseur DC-DC commercial après le stress CDM.

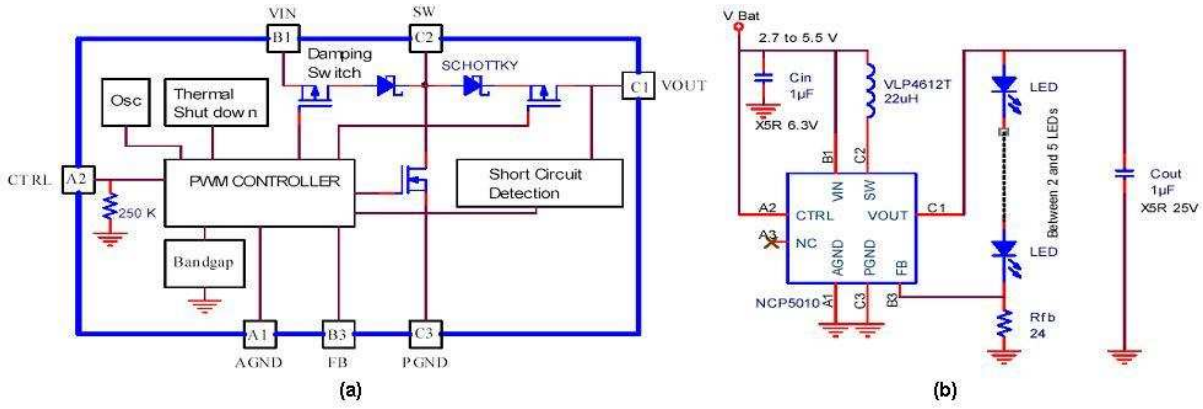


Figure 2-4 : Convertisseur DC-DC ; (a) Schéma fonctionnel et (b) un exemple d'application.

Le composant sous test (DUT ou 'Device Under Test') est un convertisseur DC-DC de type boost *(Figure 2-4)* avec le PWM ('Pulse Width Modulation') qui fonctionne à une fréquence fixée de 1MHz. La régulation est optimisée pour des applications à courants constants comme le driver des LEDs ('Light Emitting Diode') dans des applications portables, caméras numériques ou baladeurs MP3, etc. Il est capable de fournir une puissance maximum

de 500mW pour 2-5 LEDs connectées en série. Le convertisseur boost fonctionne en deux phases : tout d'abord, l'inductance est chargée par le courant de la batterie et l'énergie est stockée ; l'énergie est ensuite transmise aux LEDs par le redresseur interne. La capacité C_{out} est utilisée pour stocker l'énergie lors de la décharge de l'inductance, et fournir le courant aux LEDs lors de la charge de l'inductance. Les LEDs sont alors constamment alimentées.

La tension d'entrée peut varier de 2,7V à 5,5V en fonction du besoin de puissance afin de conduire les différentes configurations de LEDs. Une seule résistance R_{FB} est utilisée pour définir le niveau du courant traversant les LEDs ($R_{fb}=V_{FB}/I_{OUT}$) et sonder la tension de réaction *(V_{FB})* normalement régulée à 500mV pendant le fonctionnement normal. La broche CTRL peut être contrôlée par un signal PWM de basse fréquence (100Hz-1kHz) en modifiant son rapport cyclique pour changer le courant de sortie I_{OUT} et la luminosité des LEDs. Une résistance de 250KΩ est connectée entre la broche CTRL et la masse afin de polariser cette broche à 0V lorsqu'elle est flottante. Toutefois, le circuit est protégé contre le court-circuit, la surtension, les échauffements trop intenses, et les décharges électrostatiques (modèle HBM 2kV et MM 200V).

Les broches réservées pour l'application du produit final sont :

- **VIN** *(Input Voltage)* : l'alimentation du produit qui peut varier de 2,7V à 5,5V selon les utilisations. Une capacité céramique supérieure à 1µF/6.3V doit être connectée à cette broche, le plus près possible.
- **CTRL** *(Control)* : Un signal logique de niveau haut sur cette broche active le fonctionnement du composant. Elle est connectée directement aux transistors MOS d'entrée.
- **SW** *(Switch)* : Connexion du commutateur de puissance à l'inductance externe. Cette broche est l'entrée du signal d'oscillation externe et connecté au Drain d'un transistor LDMOS de puissance.
- **FB** *(Feedback)* : L'entrée du signal de tension de réaction V_{FB} sondé par la résistance connectée entre la branche principale des LEDs et la masse afin de former une boucle fermée.
- **VOUT** *(Output Voltage)* : la sortie du convertisseur DC-DC. Cette broche doit être directement connectée aux LEDs et la capacité C_{OUT} (faible ESR<30mΩ, 1µF minimum, tension maximum 25V).
- **AGND** *(Analog Ground)* : la masse pour les circuits analogiques de ce produit. Cette broche doit être connectée à PGND.
- **PGND** *(Power Ground)* : la masse de puissance générale.

Pour l'étude, les produits ont été montés dans un boîtier DIL céramique de 24 broches *(Tableau 2-1)*, certaines broches suplémentaires ont été ajoutées pour les tests de fonctionnalité. BIT<0:6> sont utilisées pour programmer les blocs digitaux. TRIM1 et TRIM2 sont réservées pour ajuster précisément les valeurs des fonctionnements du composant. TEST1 et TEST2 peuvent être employées pour activer/désactiver certains blocs afin d'effectuer le test de fonctionnalité.

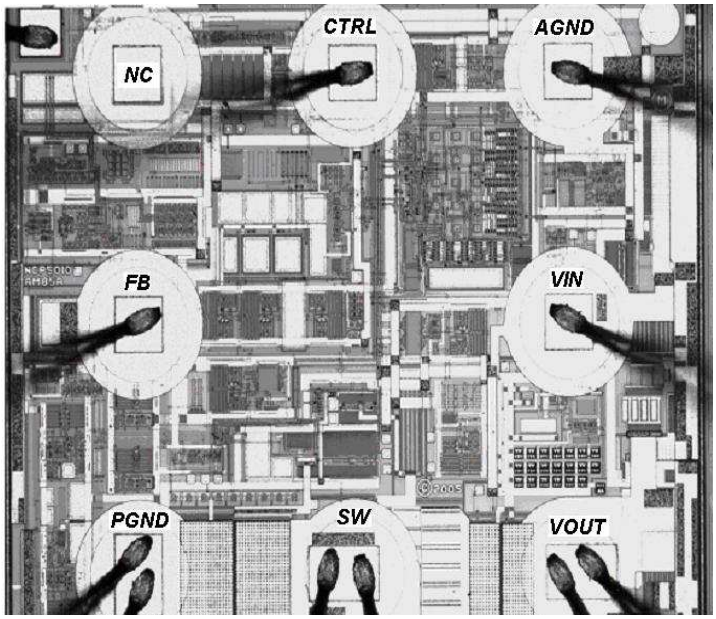


Figure 2-5 : Convertisseur DC-DC monté dans un boîtier céramique DIL24.

Pin	Nom	Pin	Nom
1	BIT6	13	SW
2	TRIM 1	14	VOUT
3	BIT3	15	VOUT
4	BIT4	16	VIN
5	NC	17	AGND
6	TEST1	18	NC
7	TEST2	19	NC
8	CTRL	20	BIT3
9	FB	21	BIT2
10	PGND	22	TRIM 2
11	PGND	23	BIT1
12	SW	24	BIT0

Tableau 2-2 : Plan des broches du boîtier DIL24 pour le convertisseur DC-DC.

Concernant la spécification ESD, ce convertisseur DC-DC a été optimisé pour une robustesse de 2kV de stress HBM et 200V de stress MM, mais aucun test, ni de conception n'a été effectué vis-à-vis du stress CDM. Nous nous intéressons à la robustesse de ce produit vis-à-vis de la décharge CDM dans la condition où la spécification ESD est tout à fait satisfaisante pour les normes HBM/MM. La stratégie de protection ESD pour ce composant est illustrée dans la figure 3-6. Un BIGMOS déclenché par un circuit de déclenchement RC est utilisé entre la broche VIN et AGND. Un bipolaire npn est ajouté entre la broche CTRL et AGND. Les broches FB et VOUT sont connectées à PGND par la structure de protection de type SCR bidirectionnel ('back-to-back'). Deux masses différentes AGND et PGND sont liées ensemble par deux diodes en parallèle. Un transistor LDMOS est directement connecté entre la broche SW et PGND comme l'étage de sortie de puissance du composant, cette broche est alors auto-protégée et aucune structure de protection n'est rajoutée.

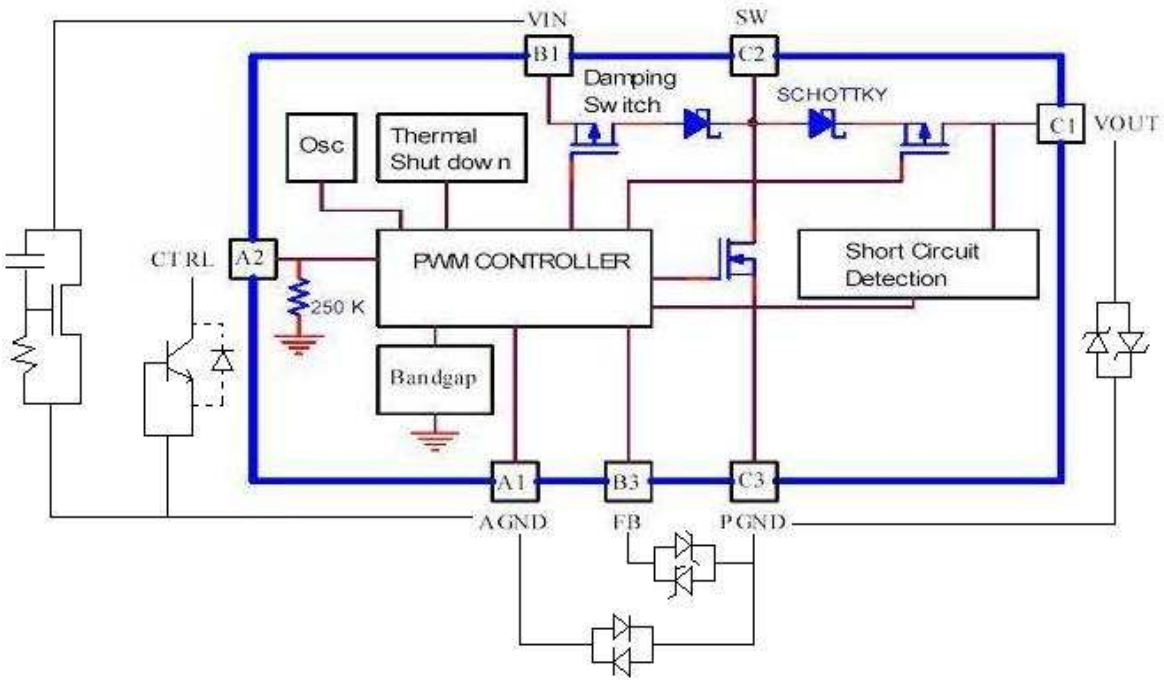


Figure 2-6 : Stratégie de protection ESD pour le composant sous test.

Technologie BiCMOS 0,8um et Tension de claquage d'oxyde en vf-TLP

La technologie employée pour la réalisation de ces circuits est une technologie BiCMOS 0,8 µm. Il s'agit d'une technologie sur substrat P faiblement dopé (1e15 cm-3) comportant une couche enterrée DeepNWell pour l'isolation.

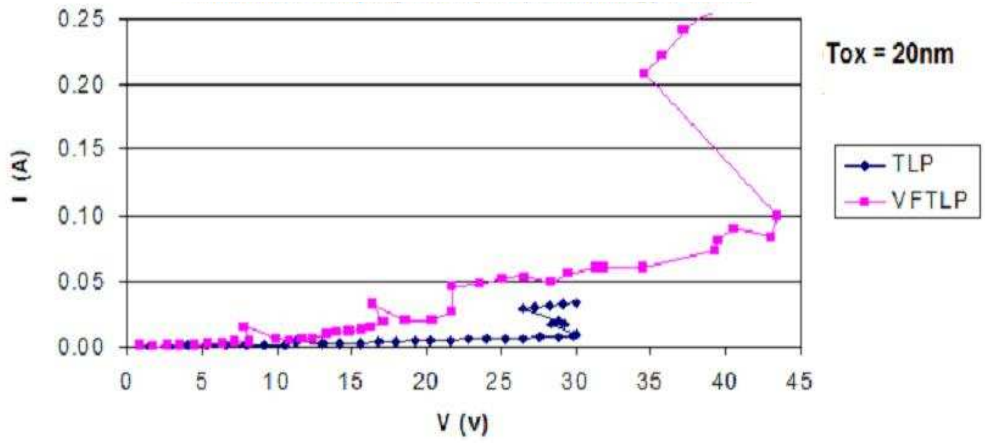


Figure 2-7 : Tension de claquage d'oxyde pour technologie BiCMOS_0,8um.

Elle dispose de trois niveaux de métal et d'un seul niveau de polysilicium. L'épaisseur typique de l'oxyde de grille est de 20nm ce qui correspond à une tension de claquage de 18V en régime statique; par contre les tensions de claquage de l'oxyde en mode pulsé augmente à

30V et 43V, respectivement, pour un stress TLP de 100ns avec un temps de montée de 2ns et pour un stress vf-TLP de 5ns avec un temps de montée de 300ps *(Figure 2-7)*. Puisque le test vf-TLP a une forme d'onde très proche de celle d'un stress CDM, il permet de définir la valeur de tension maximum supportée par l'oxyde de cette technologie, c'est-à-dire, la tension maximum de la fenêtre de conception ESD face aux stress CDM.

2.2.2 Méthodologie choisie pour la mise en évidence de défauts latents

Nous avons voulu faire une étude de la robustesse de ce produit face aux stress CDM et éventuellement mettre en évidence la présence de défauts latents. La méthodologie mise en oeuvre est décrite en détail dans la figure 2-8.

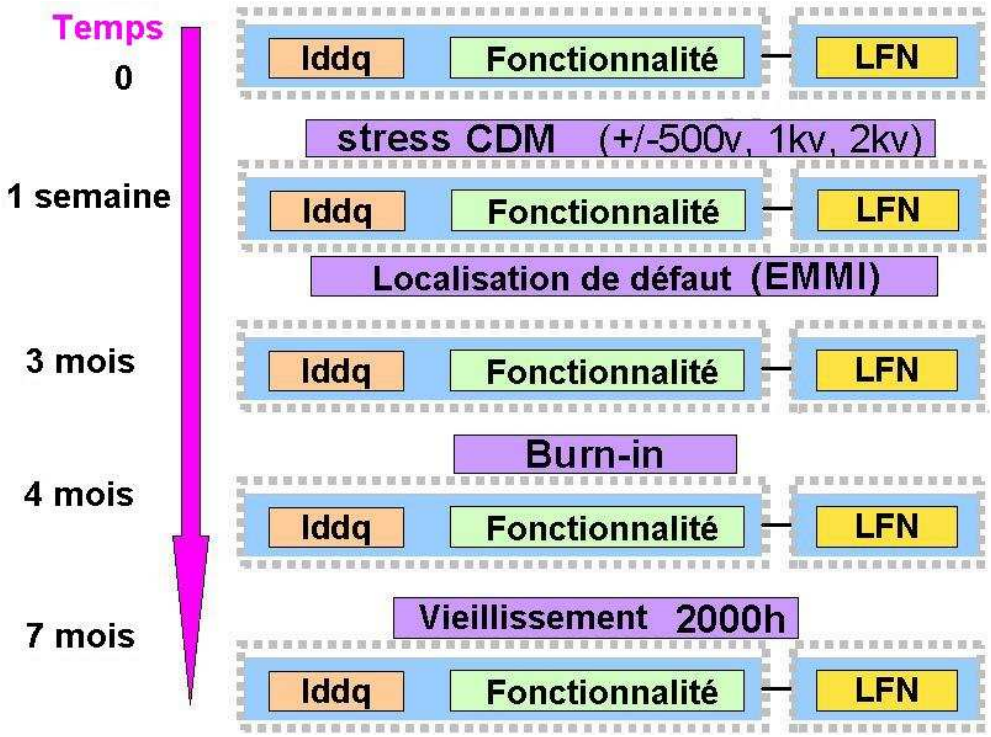


Figure 2-8 : Méthodologie d'expérience de la détection des défauts latents induits par le stress CDM.

La mesure du courant de fuite *Iddq* et le test de fonctionnalité sont des tests standards pour définir la qualité d'un produit. La caractéristique du bruit à basse fréquence en courant de l'alimentation VIN est également mesurée à chaque étape pour la détection des défauts latents. Après le stress CDM, les défauts éventuels sont localisés par photoémission ou EMMI (EMission MIcroscopy). Les composants sont ensuite stockés plusieurs mois et leurs

caractéristiques électriques sont à nouveau mesurées. Après le premier déstockage, un burn-in de 24h à 125°C est appliqué pour éliminer les pièges dans les oxydes et le composant est à nouveau mesuré. Pour les composants dont les caractéristiques ne sont pas revenues aux valeurs initiales, un vieillissement de 2000h est effectué pour détecter une évolution du défaut latent.

2.2.3 Le plan de test CDM

Vingt-quatre échantillons, de P1 à P24, ont été organisés en quatre groupes de test: six pièces dans chaque groupe pour les stress FICDM *(Field-Induced CDM)* de +/-500V à +/-2kV sur différentes broches sélectionnées comme des broches critiques (CTRL, SW, VIN, et AGND) *(Tableau 2-1)*. Afin de limiter le nombre de défauts générés et d'éviter tout effet cumulatif, chaque circuit n'est stressé que sur une seule broche et pour un seul niveau de stress CDM.

Deux pièces, P25 et P26, ont été consacrées de plus pour étudier l'effet cumulatif, ainsi que l'impact de la polarisation du stress grâce à l'application de stress positif et négatif séparément. Un stress de 5 zaps a été appliqué sur une seule broche de chaque composant *(Tableau 2-3)*. Enfin, la pièce P27 a été gardée comme référence et n'a subi aucun stress CDM.

Premier analyse des tests de fonctionnalités :

Avant les stress CDM, tous les composants ont été mesurés en bruit basse fréquence et indiquent un niveau de bruit BF proche du bruit minimum mesurable par le banc de mesure de 2,3e-24 A^2/Hz qui reste presque constant en fonction de la fréquence *('Référence' sur la figure 2-10)*. Le test de fonctionnalité a été passé également et indique un très faible courant de fuite Iddq de 0,23 µA lorsque VIN=4,2V en mode **'stand-by' (CTRL est connecté à la masse afin de désactiver toutes les fonctions du produit)**.

Juste après les stress CDM, les mêmes tests de fonctionnalité sont effectués, et quelque soit le niveau de stress ou sa polarité, tous les composants sont dégradés *(Tableau 2-4)*. Tous les circuits présentent une surconsommation plus ou mois importante allant de plusieurs centaines de *µA* pour les circuits les plus dégradés à quelques centaines de *nA* pour les moins affectés (proche du courant I_{ddq} avant stress) *(Figure 2-9)*. Nous nous intéressons

d'abord à la dégradation du courant de fuite Iddq sur VIN après les stress CDM. Nous avons observé que:

1) Les stress CDM négatifs sont généralement plus agressifs que les stress positifs. Confirmé par les stress de 1kV et 2kV en mode non cumulé;
2) Pour les stress de 500V en mode cumulé (5 zaps sur P25 et P26), le résultat confirme la tendance précédente;
3) Pour les stress de 500V en mode non cumulé, les résultats montrent le contraire de la tendance 1), mais restent du même ordre de grandeur avec peu de dégradations.

Broches stressés	**CDM500V (+)**	**CDM500V (-)**	**CDM1KV (+)**	**CDM1KV (-)**	**CDM2KV (+)**	**CDM2KV (-)**
CTRL	P1	P2	P3	P4	P5	P6
SW	P7	P8	P9	P10	P11	P12
VIN	P13	P14	P15	P16	P17	P18
AGND	P19	P20	P21	P22	P23	P24
VIN (5 zap)	*P25	*P26	Sans * : stress CDM monocoup 1zap/pièce Avec * : stress CDM cumulé de 5zap/pièce			
P27 : Référence (aucun stress CDM)						

Tableau 2-3 : Plan de test CDM pour les composants étudiés.

Tableau 2-4 : Résultat du test fonctionnalité du DUT juste après les stress CDM. **** F: Fail A: Alarm (Niveau A est plus dégradé que Niveau F)***

N°	Stress CDM (V)		Iddq(µA@4v)		FBV	Freq Bef Tri	Freq Aft Tri	OLVCO	Vout_SC1	Vout_SC2	IL_nmos	IL_pmos	Ron_N	Ipeak_max	vuvl_en	DSoff	R_ctrl
1	CTRL	+500	1,3	F													
2		-500	0,8				F										
3		+1k	5,1	F			F										
4		-1k	390,0	F			F				F	A					
5		+2k	5,3	F													F
6		-2k	430,0	F		F	F	F	F	F	F	A	F	F	F	F	A
7	SW	+500	5,1	F													
8		-500	1,5	F	A		F										
9		+1k	6,2	F													
10		-1k	22,0	F													
11		+2k	2,0	F													
12		-2k	24,0	F													
13	VIN	+500	10,0	F													
14		-500	2,1	F													
15		+1k	7,0	F													
16		-1k	48,0	F		F	F	F	F	F			F	F		F	
17		+2k	3,0	F													
18		-2k	65,0	F		F	F	F	F	F			F	F	F	F	
19	AGND	+500	6,6	F													
20		-500	1,1	F													
21		+1k	19,0	F			F						F	F	F	F	
22		-1k	6,7	F													
23		+2k	2,0	F													
24		-2k	68,0	F		F	F										
25	VIN (5 zap)	+500	5,0	F													
26		-500	56,0	F													
27	REF		0,23														

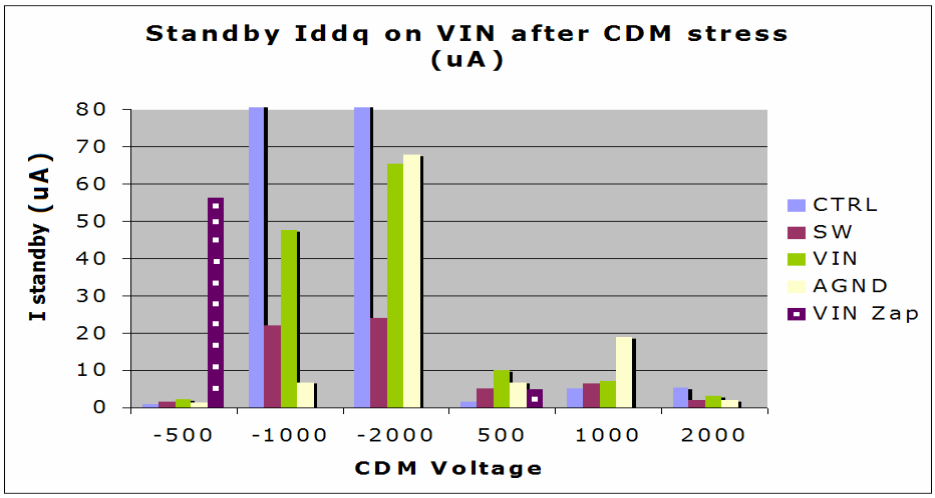


Figure 2-9 : Courant I_{ddq}@4V sur la broche VIN en mode stand-by juste après les stress CDM.

On comprend qu'un LDMOS de puissance soit auto-protégé contre les stress ESD grâce à sa capacité à supporter un courant très fort; les composants stressés sur la broche SW qui est connecté au drain du LDMOS ont été moins dégradés par rapport à ceux qui ont été stressés sur les autres broches *(Tableau 2-4)*. De plus, les broches CTRL et VIN sont plus sensibles face aux stress CDM *(Figure 2-9)*.

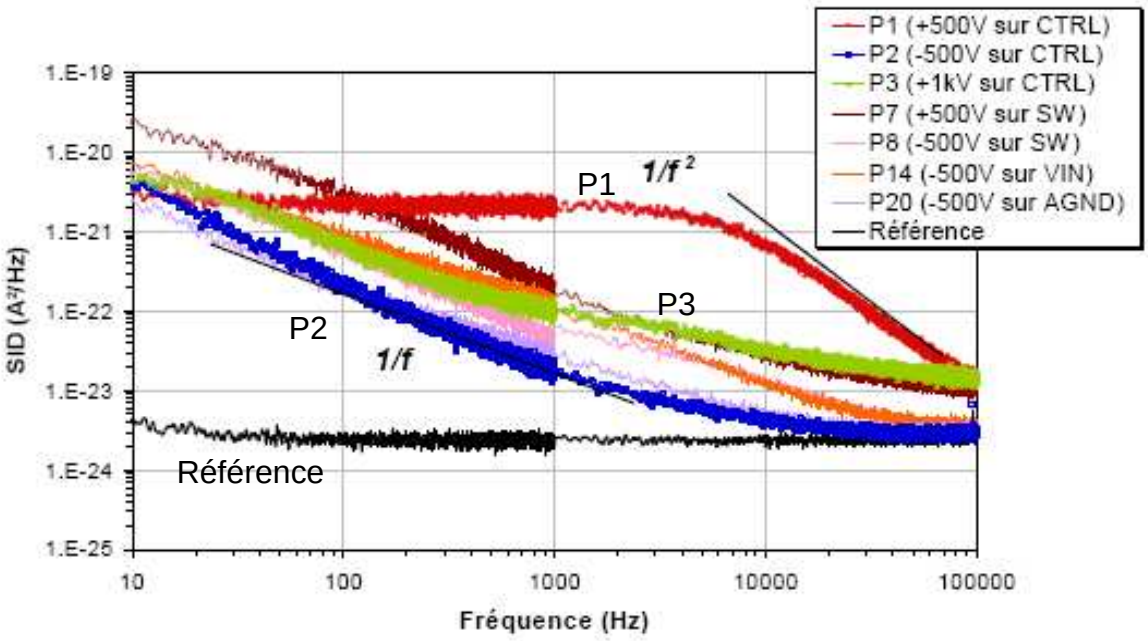


Figure 2-10 : Mesures de bruit basse fréquence juste après les stress CDM.

Les composants ayant le courtant de fuite le plus faible ont été sélectionnés pour la mesure du bruit basse fréquence *(Figure 2-10)*. Nous avons utilisé un support adapté 50Ω pour la polarisation des composants. Tous les échantillons sont polarisés en mode *'standby'*,

en mettant la broche CTRL à la masse, afin de désactiver le composant sous test, comme la configuration de test avant le stress CDM. Le bruit basse fréquence est mesuré à nouveau sur le courant de fuite Iddq sur VIN (VIN=4,2V). Le niveau du bruit de la pièce 'Référence' est très proche de celui du banc, mais il peut encore être différentié. Tous les circuits stressés montrent une augmentation importante du bruit de près de 4 décades à 10Hz. Le convertisseur P1 ayant subi un stress de +500V sur la broche CTRL, présente un spectre différent des autres circuits ayant un bruit en *1/f*. Il est typique d'une source de bruit de G-R et se compose d'un plateau de 10Hz à 5kHz puis d'une décroissance en $1/f^2$. On a observé que la mesure de bruit confirme les mesures de courant de fuite.

2.2.4 Localisation des défauts par photo-émission

Une analyse de défaillance à l'aide de la photo-émission *(EMMI)* a permis de localiser une émission sur les transistors M1 *(Figure 2-11 et 2-12)* des composants P5 et P6 en mettant la broche *CTRL=VIN=4,2V*. Ces deux pièces sont stressées sur la broche CTRL en +2kV et -2kV respectivement. Cependant, ce défaut n'a pas pu être détecté sur tous les autres échantillons dans la même configuration de test. En vérifiant le schéma électrique du circuit, la broche CTRL est connectée directement aux grilles des MOS d'entrée *('hot-gate') (Figure 2-12)*. Elles sont donc directement agressées lors de l'application du stress CDM, et soit très sensibles. En effet, le transistor M1 est cinq fois plus petit que le transistor M0, il est donc plus sensible pendant le stress CDM bien que ces deux transistors subissent le même champ électrique.

Nous avons ensuite focalisé notre étude sur les échantillons stressés sur la broche CTRL, en particulier P1, P2 et P3 qui ont des courants de fuite I_{ddq} les plus faibles pour l'étude des défauts latents.

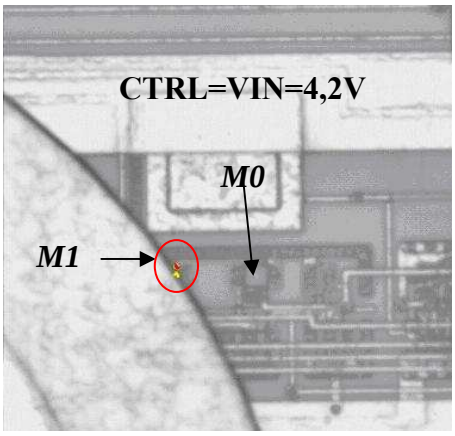


Figure 2-11 : L'analyse EMMI de P5 et P6 qui montrent une émission sur le transistor M1 du circuit d'entrée (voir Figure 2-12).

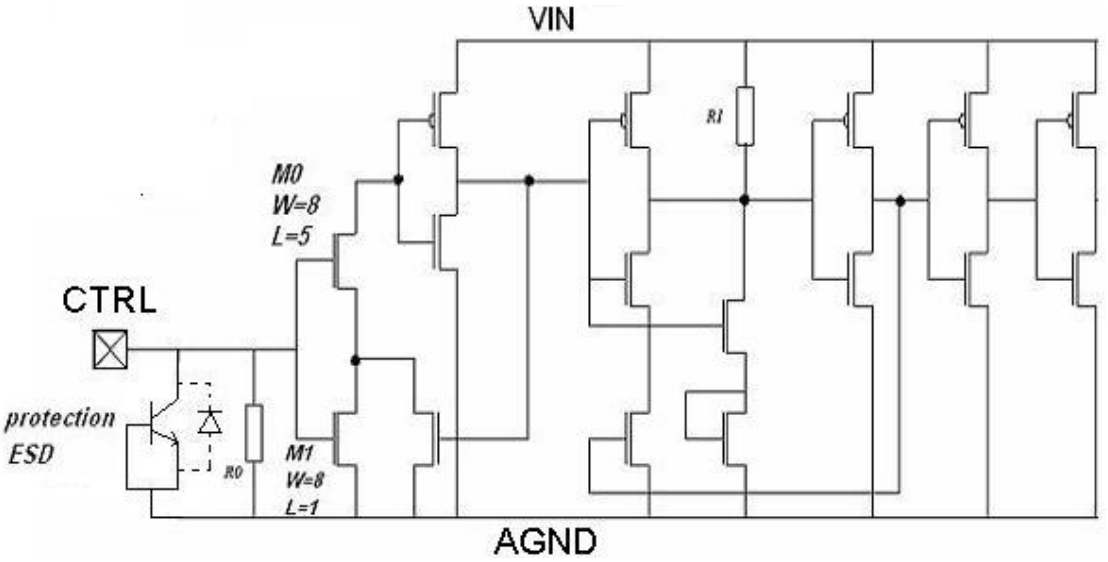


Figure 2-12 : Schéma électrique du circuit d'entrée connecté à la broche CTRL.

Le circuit connecté à la broche CTRL est montré dans la figure 2-12. Nous avons vu que la broche CTRL sert à l'activation du convertisseur DC-DC (Chapitre 2.2.1), elle est directement connectée au bloc 'Start-up' du circuit. Une résistance R_0 de 250kΩ est utilisée pour polariser les MOS M_0 et M_1 à la masse lorsque la broche CTRL est flottante. La protection locale entre CTRL et AGND est un transistor bipolaire npn avec base et émetteur connectés à la broche AGND *(Figure 2-6)*. Une diode parasite entre le substrat et le collecteur conduira le courant de la masse vers la broche CTRL dans le cas d'un stress négatif.

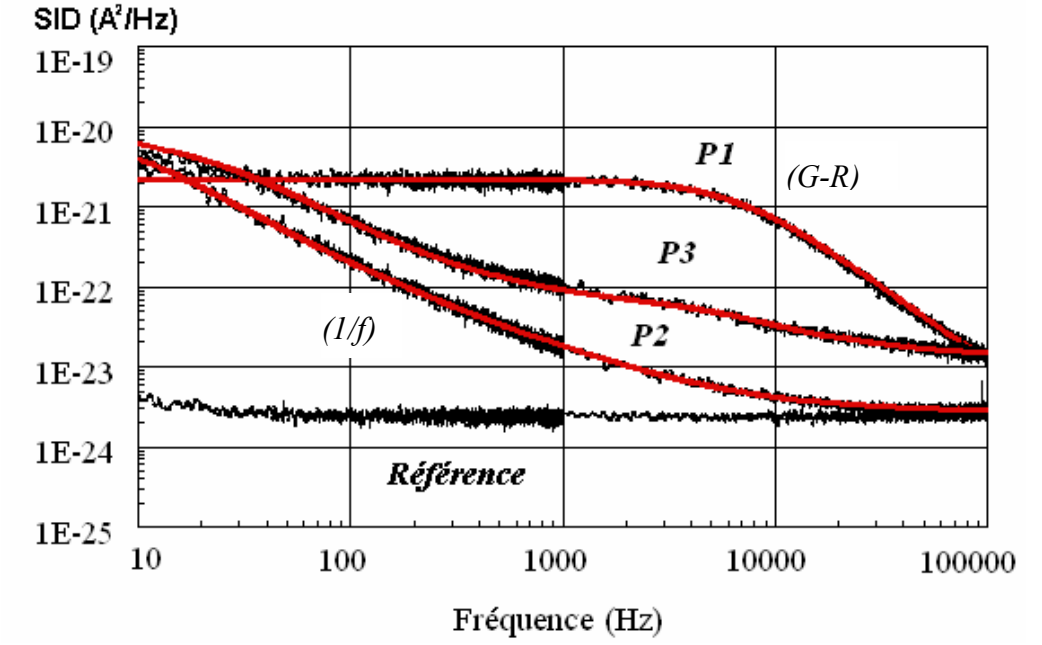


Figure 2-13 : Les mesures de bruit BF après les stress CDM (CTRL=0V, I_{ddq}=270nA@4,2V avant stress et I_{ddq}=600nA@4,2V après le stress). Les lignes solides correspondent au modèle de FIT.

Grâce au modèle FIT du bruit simplifié *(Eq. 2-7)*, nous avons pu modéliser les bruits pour P1, P2 et P3 qui sont extraits dans la figure 2-13. Les coefficients de bruit correspondants sont donnés dans le tableau 2-4. La densité spectrale de bruit du P1 est largement dominée par une source de bruit G-R ayant une fréquence de coupure de 7kHz. Pour le P2, une source de bruit G-R ayant une fréquence de coupure de 10kHz combinée avec une source de bruit en *1/f* fournit le meilleur accord modèle/mesure. Concernant la pièce P3, cet accord est obtenu pour une combinaison de différentes sources de bruit G-R, et de bruit en *1/f*.

Sources de bruit		P1	P2	P3
Bruit blanc	A	2×10^{-24}	$2{,}7\times10^{-24}$	$1{,}4\times10^{-23}$
1/f	B		$1{,}5\times10^{-20}$	$3{,}5\times10^{-20}$
G-R1	C_1	$1{,}6\times10^{-17}$	5×10^{-20}	9×10^{-20}
f du G-R1	f_{C1}	7 kHz	10 Hz	30 Hz
G-R2	C_2			$2{,}5\times10^{-19}$
f du G-R2	f_{C2}			7 kHz
G-R3	C_3			$1{,}5\times10^{-19}$
f du G-R3	f_{C3}			30 kHz
$S_i(f) = A + \frac{B}{f} + \sum_i \frac{C_i / f_{ci}}{1 + (f / f_{ci})^2}$				

Tableau 2-5 : Les coefficients utilisés pour modéliser la densité spectrale du bruit BF.

Pour l'échantillon P1, le stress appliqué est un stress positif avec une tension de charge CDM de +500V. On peut émettre comme hypothèse très probable que les oxydes ont été soumis à de forts champs électriques. Un défaut dans l'oxyde de grille d'un ou plusieurs des transistors MOS présents dans l'étage d'entrée est probablement créé. Ce défaut d'oxyde peut être de type charges piégées dans l'oxyde ou chemin de conduction au travers l'oxyde. Il pourrait être à l'origine de la faible augmentation du courant de fuite *Iddq* mesurée, ainsi que de la source de bruit de G-R supplémentaire observée. Ces charges (normalement positives) peuvent se dépiéger par excitation thermique et impliquer une diminution du courant de fuite.

2.2.5 Recuit

Afin de valider l'hypothèse du piègeage/dépiégeage de charges dans les oxydes, les composants ont été stockés dans des conditions normales, à température ambiante dans un sachet anti-statique, pendant une durée 3 mois. Après cette période de stockage, les

composants ont été caractérisés à nouveau. Comme indiqué dans le tableau 2-6, tous les circuits ont vu leur courant de fuite *Iddq* diminuer après ces 3 mois de stockage. Cette diminution peut très probablement être attribuée à un dépiégeage ou une neutralisation des charges dans les oxydes. Pour confirmer cette tendance, un recuit de 24h à 125°C a été effectué.

Les mesures sur les circuits après ce recuit montrent une nouvelle diminution du courant Iddq qui se retrouve au niveau de celui d'un composant sain pour les pièces P1 et P2 (200nA). Un test de fonctionnalité sur ces deux pièces permet de démontrer que la pièce P1 et la pièce P2 qui avaient un statut F sont à nouveau parfaitement fonctionnelles.

N° Pièce	P1	P2	P3	P4	P5	P6	REF
V_{CDM} sur la broche CTRL (V)	+500	-500	+1k	-1k	+2k	-2k	*NA*
I_{ddq}@4,2V après le stress CDM (µA)	1,3	0,75	5,1	390	5,3	430	***0,27***
Statut après le stress CDM	*F*	*F*	*F*	*F*	*F*	*F*	*OK*
I_{ddq}@4,2V après 3 mois (µA)	0,76	0,62	3,9	1,0	3,7	438	*0,27*
Statut après 3 mois	*OK*	*OK*	*F*	*F*	*F*	*F*	*OK*
I_{ddq}@4,2V après le recuit (µA)	0,2	0,2	0,56	57	1,2	91	*0,37*
Statut après le recuit	*OK*	*OK*	*NA*	*F*	*F*	*F*	*NA*
I_{ddq}@4,2V après le vieillissement (µA)	0,4	0,27	NA	NA	NA	NA	*0,25*
Statut après le vieillissement	*OK*	*OK*	*NA*	*NA*	*NA*	*NA*	*NA*

Tableau 2-6 : L'évolution du courant de fuite Iddq@4,2V sur VIN. 'Statut' est le résultat des tests de fonctionnalité; 'F' pour 'Failed', 'NA' pour 'Non Appliqué'.

Nous avons mesuré le bruit BF du composant P1 aux différentes étapes du plan d'expérience : avant et après stress, pendant le stockage et après le recuit. Les résultats de ces mesures sont présentés sur la figure 2-14. On observe une diminution du niveau de bruit BF avec le temps et en particulier du niveau du plateau de bruit de G-R, comme on peut le voir dans le tableau 2-7 par le biais du paramètre C_1.

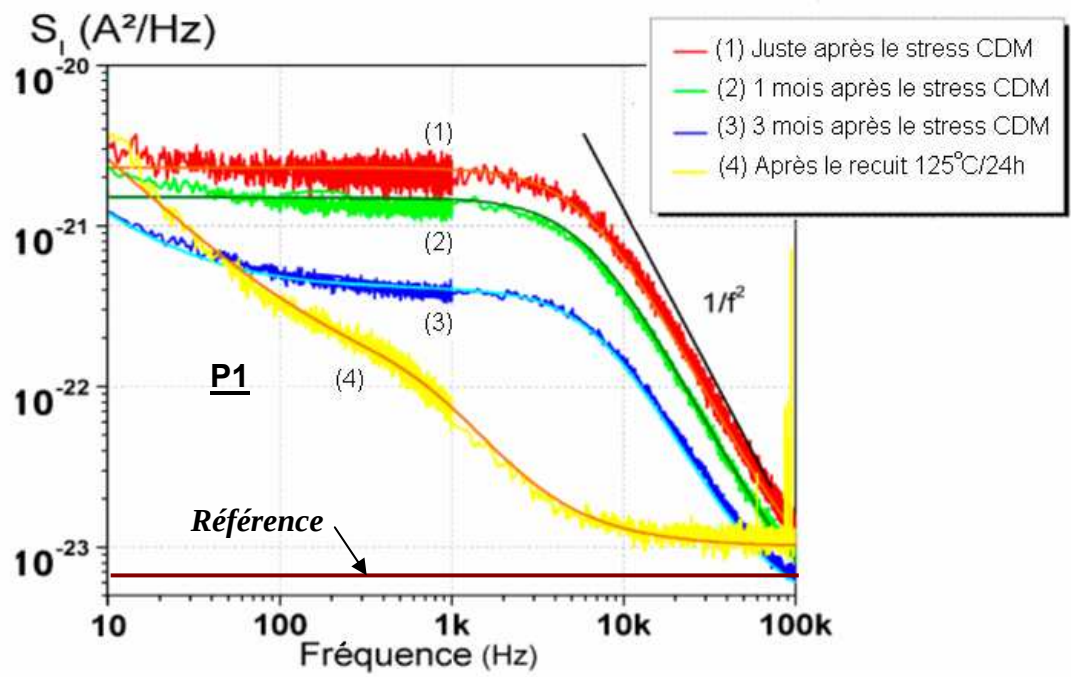


Figure 2-14 : L'évolution bu bruit BF sur la pièce P1 après le stress CDM +500V et le recuit. (Les lignes solides superposées sur les bruits sont les courbes FIT selon le modèle)

Sources de bruit		P1 après CDM *(Iddq=600nA)*	P1 après 1 mois *(Iddq=450nA)*	P1 après 3 mois *(Iddq=600nA)*	P1 après le recuit *(Iddq=200nA)*
Bruit blanc	A	2×10^{-24}	4×10^{-24}	4×10^{-24}	1.1×10^{-23}
1/f	B		1×10^{-22}	8×10^{-21}	1.8×10^{-20}
G-R$_1$	C_1	$1{,}6\times10^{-17}$	$1{,}5\times10^{-21}$	4×10^{-22}	7.0×10^{-20}
f du G-R$_1$	f_{C1}	7 kHz	6 kHz	7 kHz	780 Hz
Densité des pièges	$\frac{\overline{\Delta N^2}}{n^2V^2}$	$7{,}2\times10^{-5}$		$1{,}2\times10^{-5}$	

$$S_i(f) = 2qI + \frac{4kT}{R} + \frac{kI^{\beta}}{N\cdot f^{\gamma}} + \frac{4I^2\overline{\Delta N^2}}{(nV)^2}\frac{1}{f_i + f^2/f_i} = A + \frac{B}{f} + \sum_i \frac{C_i/f_{ci}}{1+(f/f_{ci})^2}$$

Tableau 2-7 : Paramètres du modèle de spectre de bruit pour le P1 au cours de la période de stockage.

Afin d'évaluer la densité des pièges et leur évolution, nous utilisons l'équation de la densité spectrale de bruit G-R qui est une fonction du courant et de la densité de pièges, Eq. 2-3. Selon ce modèle, pour le composant P1, le paramètre $\overline{\Delta N^2}/n^2V^2$ qui est associé à la densité de pièges diminue de $7{,}2\times10^{-5}$ (juste après le stress CDM) à $1{,}2\times10^{-5}$ (après 3 mois de stockage à température ambiante). Avant le stress CDM, le bruit basse fréquence se réduit au terme A (environ 2×10^{-24}) dans l'équation Eq.2-7. Après le recuit, le courant de fuite des 3 composants P1, P2 et P3 est revenu au niveau avant le stress CDM (Tableau 2-6). Le bruit de P1 a beaucoup évolué : d'abord, la source de bruit G-R ayant une fréquence f_{C1} de 7kHz a

disparu ; cela est probablement due au dépiègeage de charges piégées dans l'oxyde [11] ; ensuite, une nouvelle source G-R située vers 800Hz est apparu *(Tableau 2-7)*. De plus, une source de bruit en 1/f du composant P1 qui était masquée par un fort bruit G-R avant le recuit est maintenant visible sur le diagramme spectral pour les fréquences inférieures à 100kHz *(Figure 2-14)*. En comparant au composant de référence, les bruits de P1 et de P2 restent encore élevés d'au moins une décade et de 3 décades à 10kHz respectivement, ce qui indique une augmentation significative du bruit en *1/f*, malgré un retour dans les spécifications du test de fonctionnalité.

La diminution du courant de fuite de 270nA@4,2V avant le stress CDM à 200nA@4,2V après le recuit, est probablement due à l'injection d'électrons dans l'oxyde qui induit un champ électrique localement négatif et ensuite diminue le courant de fuite.

On aurait pu s'attendre à ce que le dépiégeage des charges dans les oxydes permette de rétablir complètement les caractéristiques initiales du composant avant stress. C'est ce que laissait penser le test de fonctionnalité. Or les mesures de bruit BF montrent que la caractéristique de bruit n'est pas retournée à son diagramme spectral initial. On peut considérer que le défaut associé est un défaut latent. Le comportement après recuit laisse supposer que ce défaut latent est plutôt associé à une jonction et/ou l'interface Si/SiO_2, probablement des micro-filaments la court-circuitant. Un tel défaut est susceptible d'évoluer en fonctionnement et de réduire la durée de vie du composant.

2.2.6 Vieillissement

Enfin, un vieillissement de 2000h a été effectué pour étudier l'influence de ces défauts latents sur la durée de vie du circuit stressé. La pièce P1 et la pièce Référence ont été polarisées sous une tension VIN=3,6V en mode de fonctionnement normal *(Figure 2-4 (b))* avec une charge R_{load} qui simule les LEDs dans le cas d'une utilisation réelle. Cette configuration fournit un courant de consommation de 500mA pour la résistance R_{load}. Les deux pièces sont mises en marche en même temps pendant 2000h à 85°C. Les courants de fuite Iddq sont mesurés à 3,6V quotidiennement.

Après 2000h, le courant de fuite de la pièce de référence garde son courant initial. Par contre, celui de P1 augmente légèrement à 400nA (Tableau 2-6). Le bruit BF a été mesuré une nouvelle fois et le résultat montre que le bruit augmente pour une fréquence supérieure à 1kHz *(Figure 2-15)*.

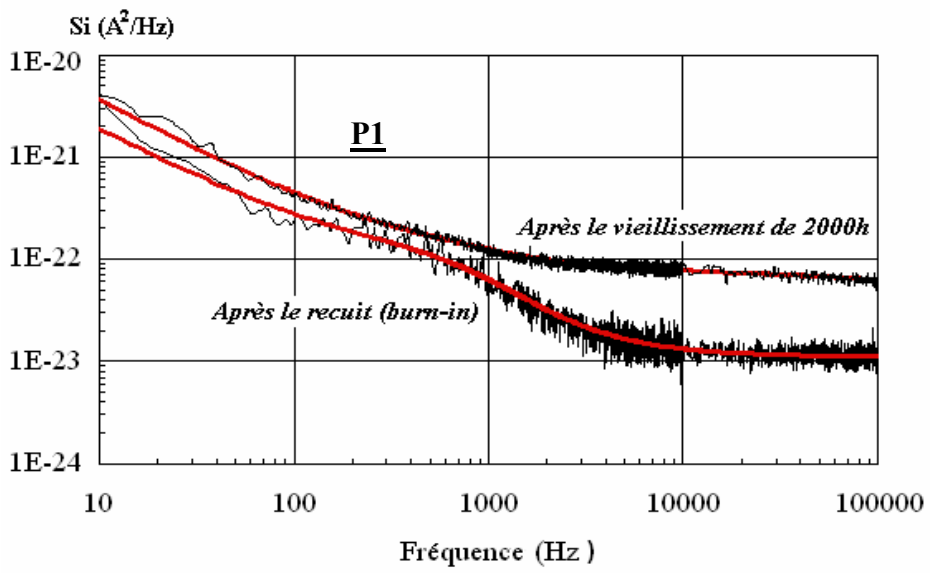


Figure 2-15 : Le bruit BF avant et après le vieillissement de 2000h de P1.

Sources de bruit		P1 après le recuit	P1 après le vieillissement	P3 après le stress CDM de +1kV
Bruit blanc	A	1.1×10^{-23}	2.0×10^{-23}	1.4×10^{-23}
1/f	B	1.8×10^{-20}	3.5×10^{-20}	3.5×10^{-20}
G-R$_1$	C_1	7.0×10^{-20}	3.0×10^{-20}	9.0×10^{-20}
f du G-R$_1$	f_{C1}	780 Hz	1 kHz	30 Hz
G-R$_2$	C_2		1.6×10^{-19}	2.5×10^{-19}
f du G-R$_2$	f_{C2}		20 kHz	7 kHz
G-R$_3$	C_3		5.0×10^{-18}	1.5×10^{-19}
f du G-R$_3$	f_{C3}		200 kHz	30 kHz

$$S_i(f) = A + \frac{B}{f} + \sum_i \frac{C_i / f_{ci}}{1 + (f / f_{ci})^2}$$

Tableau 2-8 : Les paramètres du bruit utilisés pour le modélisation du bruit BF de P1 après le recuit et le vieillissement et du bruit BF de P3 après le stress CDM.

Selon le modèle de bruit *(Tableau 2-8)*, le bruit en *1/f* (paramètre B) augmente légèrement et une source de bruit G-R (paramètre C) existe toujours. Cependant, de nouveaux centres de bruit G-R apparaissent (C_2, C_3) après le vieillissement. Il est également intéressant de noter que le bruit de P1 après le vieillissement est similaire à celui de P3 qui a subi un stress CDM de même polarisation mais plus sévère (+1kV). Bien que le courant Iddq soit toujours dans la spécification, ce résultat montre que les défauts induits par le stress CDM ont bien évolué pendant l'expérience de vieillissement.

Deux mois de stockage après le vieillissement de P1 et la référence, les mesures de bruit BF sont faites à nouveau. Elles montrent que le bruit BF de P1 et celle de la pièce de référence n'ont pas beaucoup évolué depuis la fin du traitement de vieillissement. L'évolution du courant de fuite et du bruit BF peut laisser supposer que les défauts latents associés sont bien localisés dans des jonctions et/ou à l'interface Si/SiO_2. Ils sont probablement des micro-filaments qui se sont étendus après vieillissement. Pour comparaison, la réponse spectrale de P3 qui a été soumis à un stress CDM positif de 1kV est également donnée *(Figure 2-16)*.

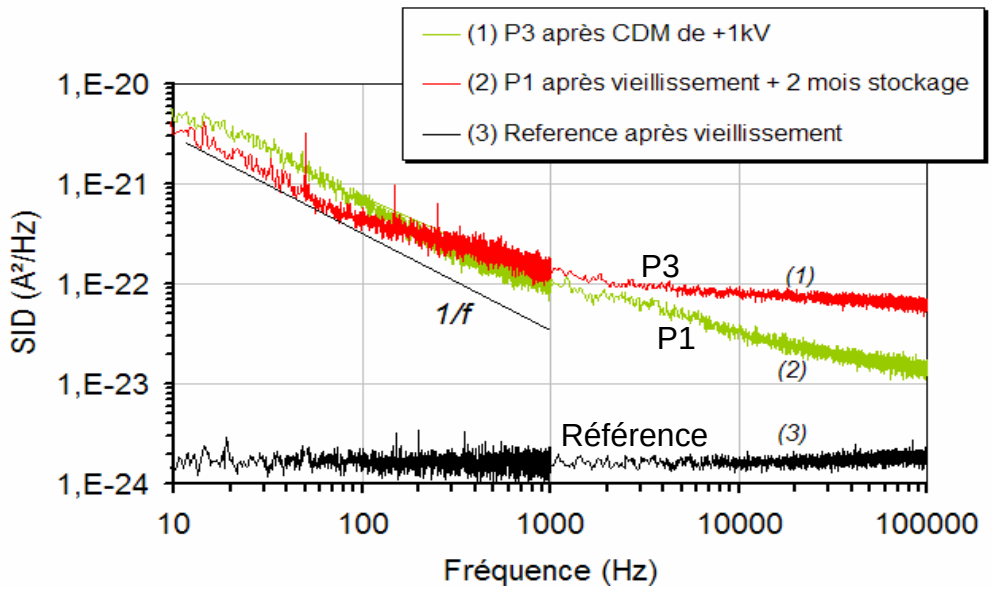


Figure 2-16 : Bruit BF mesuré 2 mois après le vieillissement de 2000h sur P1 et 'Référence'.

2.2.7 Bilan des expériences

Pour conclure, un bilan des expériences de la détection des défauts latents induits par le stress CDM nous aide à analyser les résultats avec une vision globale.

La figure 2-17 montre que: d'abord, le stress CDM peut induire des défauts latents. Ces défauts sont difficiles à détecter par la technique Iddq et les tests de fonctionnalité. Par contre, la technique de mesure du bruit BF ('LFN') est clairement plus sensible pour détecter ces défauts latents dans un circuit complexe. Il montre qu'une première source de bruit est associée au piégeage des charges dans l'oxyde qui correspond à une source de bruit de type 'Génération-Recombinaison'. Un simple stockage à température ambiante après le stress CDM et un recuit *('burn-in')* à 125°C pendant 24h permettent de diminuer le bruit G-R; cependant, la densité spectrale ne revient pas à son niveau initial. Les défauts induisent une augmentation du bruit BF après le vieillissement accéléré pendant 2000h à 85°C, bien que le courant Iddq et le test de fonctionnalité indiquent toujours un statut OK.

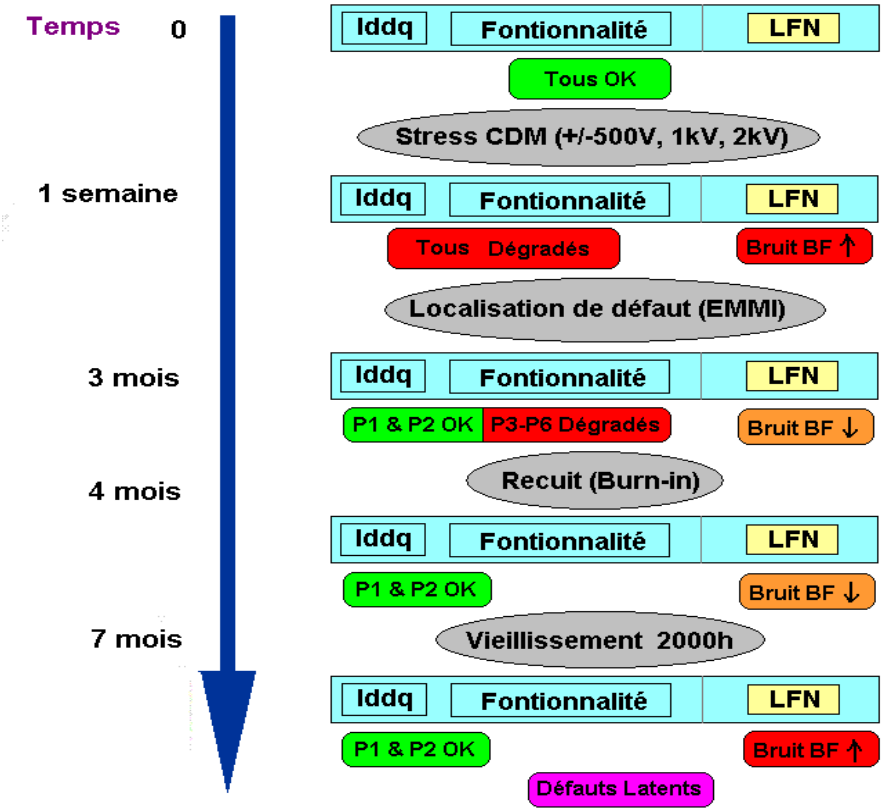


Figure 2-17 : Bilan des expériences de la détection des défauts latents induits par le stress CDM.

Un bruit en *1/f* généré par les fluctuations du nombre de porteurs ou leur mobilité qui reste après le recuit et le vieillissement peut être attribué à des défauts latents. Ces défauts se trouvent probablement dans les jonctions ou/et à l'interface Si/SiO2. En effet, ils peuvent augmenter localement l'avalanche et ensuite impacter la mobilité des porteurs.

Par ailleurs, une mesure temporelle a été effectuée après vieillissement afin de détecter la présence éventuelle de bruit RTS. Aucun signal de ce type n'a cependant été observé pour les composants P1, P2 et P3.

2.2.8 Compréhension de l'efficacité de la protection ESD contre le stress CDM

Pour comprendre l'efficacité de la protection ESD contre les stress CDM, nous avons effectué d'abord des tests TLP et vf-TLP sur la structure de protection ESD seule ('stand-alone'). Le résultat *(Figure 2-18)* montre que le courant de défaillance TLP $I_{t2\text{-}TLP}$ est supérieur à 3A, ce qui garantit facilement une robustesse HBM de 2kV. Le courant de défaillance vf-TLP $I_{t2\text{-}VFTLP}$ est supérieur à 15A et indique une robustesse élevée face au stress

rapide comme CDM. Cependant, il faut noter que la tension de claquage de l'oxyde de cette technologie ($V_{BDOX-VFTLP}$ = 43V, voir *Figure 2- 7*) est atteinte lors d'un courant vf-TLP de 8A. Un courant de cette amplitude peut être atteint pendant le stress CDM. Par conséquent, l'oxyde de grille risque de subir un champ électrique élevé pendant le stress CDM susceptible d'induire la conduction Fowler-Nordheim au travers de l'oxyde et ensuite un piègeage des charges pour cette épaisseur d'oxyde (environ 20nm).

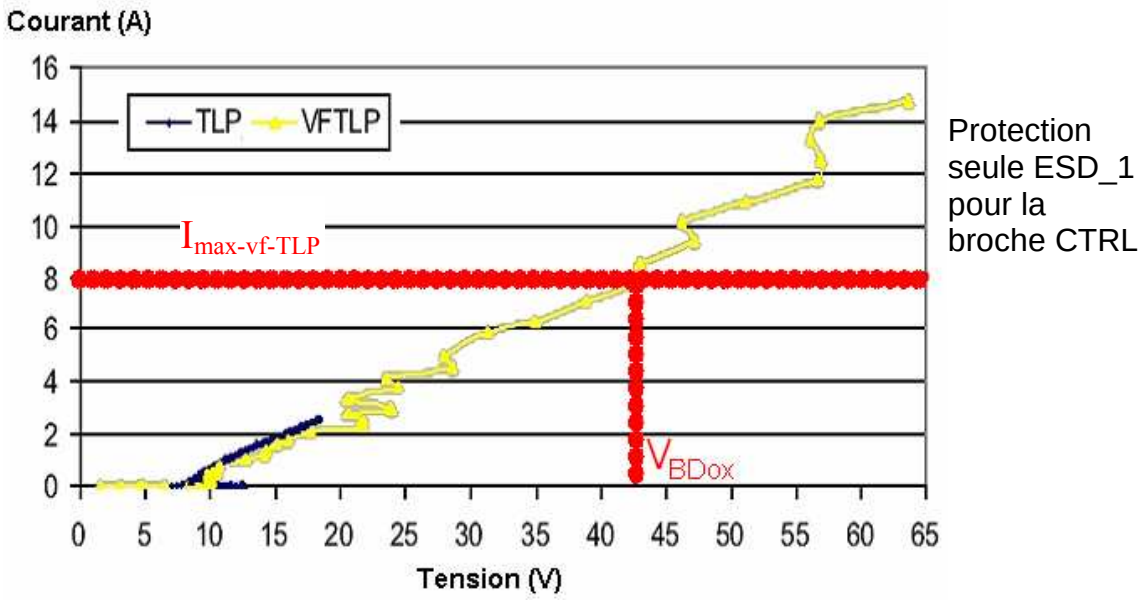


Figure 2-18 : Les mesures TLP et vf-TLP sur le composant de protection 'ESD_1' seule ('stand-alone') dédié à la protection de la broche CTRL. La ligne rouge indique le courant et la tension maximum supportés avant le claquage d'oxyde sous le stress vf-TLP.

Nous avons ensuite étudié l'efficacité des protections ESD dédiées au circuit grâce à un véhicule de test avec les structures de protections ESD connectées à une grille de MOS, appelées « Gate-monitor ». Pour cela, nous utilisons un transistor MOS de taille minimum *(W=0,8µm, L=1,6µm) (Tableau 2-9)* en connectant le substrat, le drain et la source du MOS à la masse Vss. La rapidité et l'efficacité de ces protections ESD peuvent être enfin étudiées en utilisant les tests TLP/vf-TLP.

MOS à protéger	Taille	V_{MAX-GS}	V_{BD-DC}	V_{BD-TLP}	$V_{BD-VFTLP}$
Low Voltage NMOS	8 x 4(µm²)	8 V	18 V	30 V	42 V

Tableau 2-9 : Taille et les tensions critiques du transistor MOS à protéger.

Deux configurations *(Figure 2-19)* ont été testées pour plusieurs structures ESD :

- La configuration (a) représente la plus classique avec un seul étage de protection,

- La configuration (b) représente une conception de type-Π à deux étages de protections en rajoutant R_{in}, une résistance de 2,5 kΩ pour limiter le courant de décharge vers la grille, ainsi qu'une diode qui limite la tension à 8V afin de protéger le transistor MOS à protéger. La majorité du courant de la décharge est absorbé par le premier étage P_{ESD} (Protection ESD) qui se déclenche lorsque le courant dans la diode atteint un niveau suffisant pour générer sur R_{in} une tension égale à celle de déclenchement, P_{ESD}.

Les fusibles servent à couper la ligne métal de connexion pour que l'on puisse mesurer le transistor MOS à protéger ou/et les protections ESD séparément après les stress.

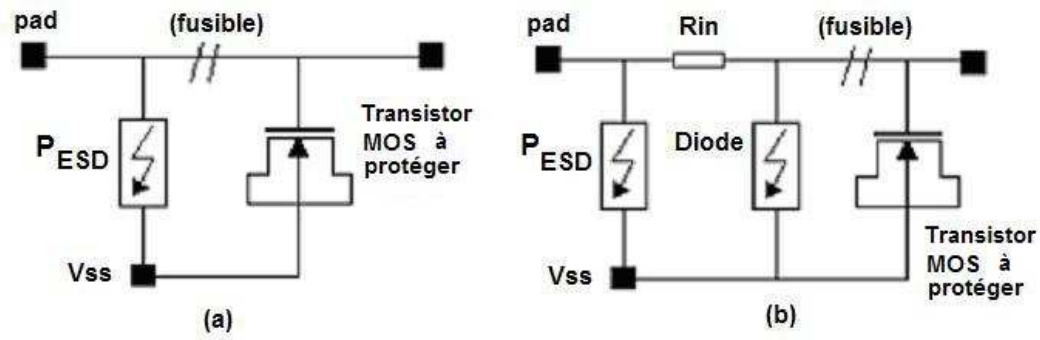


Figure 2-19 : Configurations de protection ESD avec transistor MOS à protéger dans le véhicule de test : (a) un étage de protection ESD; (b) deux étages de protection ESD en Π.

Les tests TLP (durée de 100ns, et temps de montée de 5ns) et vf-TLP (durée de 5ns, et temps de montée de 300ps) ont été appliqués sur les principales structures de protection ESD dédiées au convertisseur DC-DC étudié en deux configurations *(Tableau 2-10)*.

Les résultats des tests TLP et vf-TLP effectués sur les structures de protection ESD_1, ESD_2 et BIGMOS sont présentés dans la figure 2-18, la figure 2-20, et la figure 2-21, respectivement. Nous avons observé une augmentation de la tension de déclenchement V_{t1} et la tension de maintien V_h, dans le cas du test vf-TLP pour la structure ESD_2 (SCR bidirectionnel). Ceci montre que cette structure de protection se déclenche lentement dans le cas d'un stress extrêmement rapide de type vf-TLP/CDM. Dans le cas de la protection 'power clamp' BIGMOS, la structure de protection se déclenche normalement dans le cas du test TLP et celle du test vf-TLP grâce au circuit de déclenchement RC.

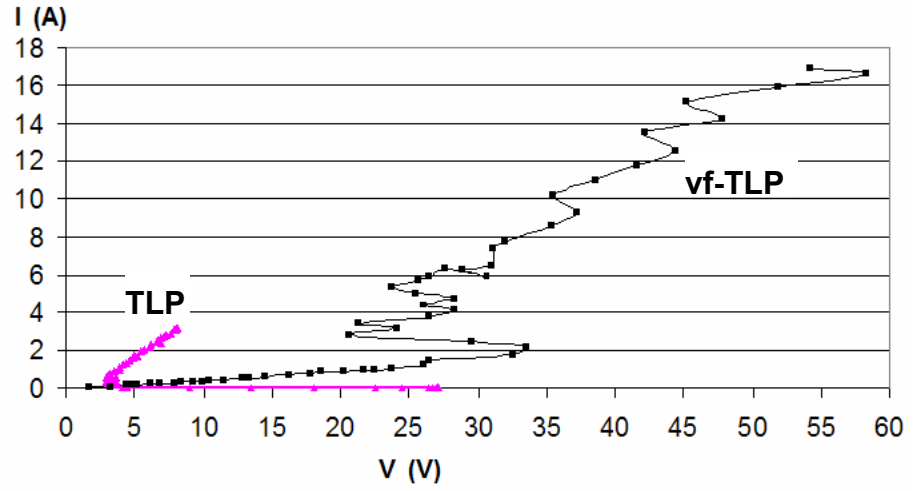


Figure 2-20 : Mesures TLP et vf-TLP sur la protection ESD_2 (SCR bidirectionnel).

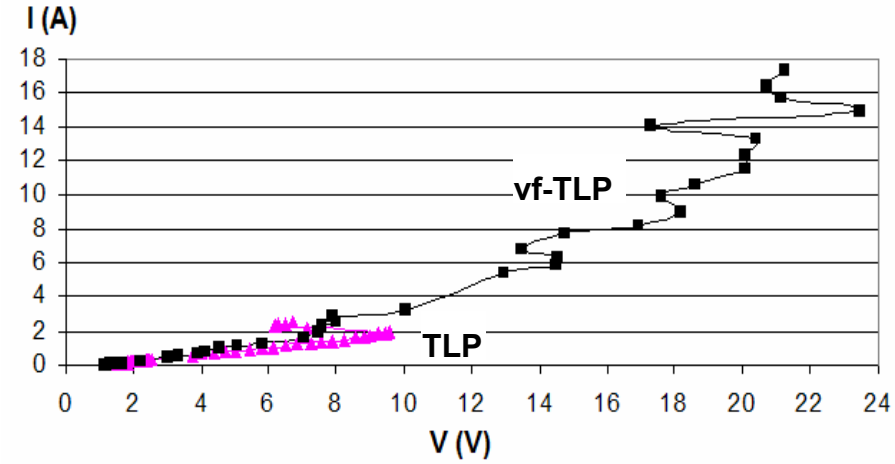


Figure 2-21 : Mesures TLP et vf-TLP sur la protection BIGMOS.

Un bilan des résultats après les tests TLP et vf-TLP est montré dans le tableau 2-10.

- Dans le cas du stress TLP : les structures de protection ESD protègent correctement la grille du MOS en direct et en inverse pour les deux configurations. Sur le circuit en configuration (a) (absence de la configuration (b) pour ce composant de protection en réalité) ayant le BIGMOS, aucune défaillance n'a été détectée ni par Iddq ni par EMMI après les stress TLP et vf-TLP.
- Dans le cas de stress extrêmement rapides comme vf-TLP : sur les structures de protection ESD_1 et ESD_2, les transistors MOS à protéger ont été dégradés avant les structures de protection ESD *(Tableau 2-10)*. Cela indique que les structures ESD_1 et ESD_2 ne sont pas optimisées pour protéger les grilles de MOS contre les stress rapides comme vf-TLP. Les tensions induites par les stress vf-TLP atteignent probablement la limite de claquage de l'oxyde de grille du MOS avant que les protections ESD ne soient déclenchées ou détruites.

Protections ESD sous test		Broches à protéger	Robustesse HBM	Type	Dégradation	
					après TLP	après vf-TLP
cfg. (a)	ESD_1	CTRL	4kV	Bipolaire	Défaillance sur la protection ESD	Défaillance sur le Transistor MOS à protéger
	ESD_2	FB,VOUT	4kV	SCR		
	BIGMOS	VIN	3kV	Power Clamp		*Non détecté*
cfg. (b) en Π	ESD_1	CTRL	4kV	Bipolaire		Dégradation sur le Transistor MOS à protéger *(augmentation du SILC)*
	ESD_2	FB, VOUT	4kV	SCR		

Tableau 2-10 : Composants de protection ESD en config Π dédiés au convertisseur étudié après les stress TLP/vf-TLP.

Pour la structure de protection ESD_1, qui est la protection principale de la broche CTRL *(Figure 2-6)*, le transistor MOS à protéger n'est pas dégradé, bien que la protection ESD_1 a été court-circuitée après les tests TLP *(Figure 2-22(1))*. Après le stress vf-TLP, le transistor MOS a été détruit en configuration (a) et dégradé (SILC augmenté) en configuration (b) en Π, bien que la protection ESD_1 est encore fonctionnelle. Les localisations de défaillances sont identifiées et montrées dans la figure 2-22 pour la structure ESD_1.

ESD_1 (protection de la broche CTRL)**:**

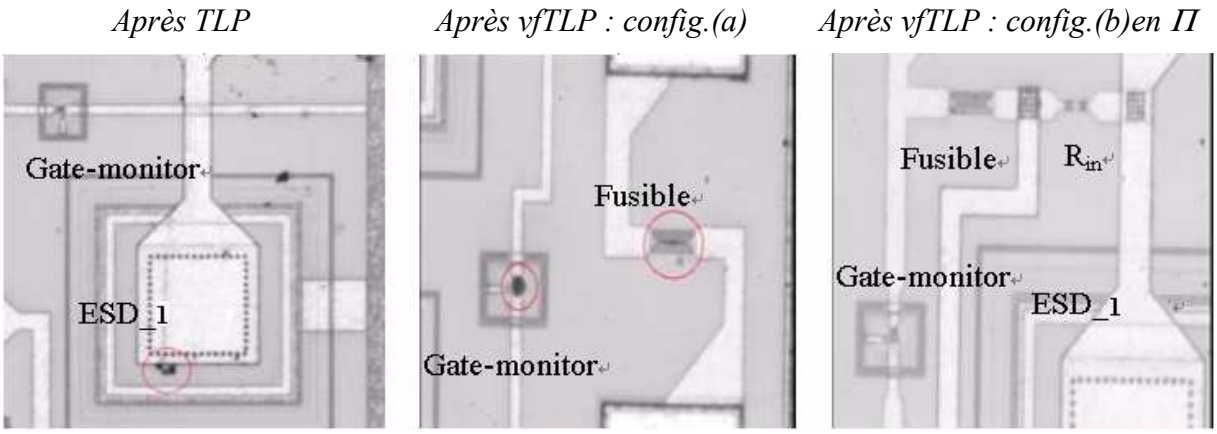


Figure 2-22 : (1) Défaillance sur ESD_1 après le stress TLP en config.(a) et (b); (2) Transistor MOS à protéger et fusible cassés après le stress vf-TLP en config.(a) ; (3) Pas de défaillance détectée après le stress vf-TLP en config.(b). (La localisation de la défaillance est entourée.)

Enfin, on comprend bien que ESD_1 sera donc inefficace pour protéger la broche CTRL lors d'un stress CDM, et conduit à une surtension sur la grille des MOS ('hot-gate') M0 et M1 *(Figure 2-11)*. Par conséquent, les charges peuvent être piégées dans l'oxyde ou à l'interface Si/SiO_2 et induire une augmentation du bruit BF et du courant SILC comme observé lors des expériences précédentes.

2.2.9 Analyse du mécanisme de défaillance sous stress CDM par la simulation physique en mode mixte

Un stress CDM positif de 500V a été appliqué sur la broche CTRL de la pièce P1 et un stress CDM négatif de 500V sur P2. Pour P2, il est clair que la protection ESD locale 'ESD_1' connectée à la broche CTRL est à l'origine de la défaillance. Pour P1, la diode parasite de la protection ESD 'ESD_1' fonctionne en direct lors d'un stress CDM positif. Elle est très peu résistive (environ 2,2Ω avec la résistance d'interconnexion) et donc protège efficacement le circuit d'entrée. Dans ce cas, la stratégie de protection globale n'est peut être pas définie correctement pour supporter une chute de tension importante et donc génère un champ électrique assez élevé pour générer des charges piégées dans l'oxyde.

Pour confirmer cette hypothèse, nous avons simulé les stress CDM positif et négatif sur la broche CTRL par simulation physique en mode mixte pour les tensions de précharge V_{CDM} de 500V et de 2000V. Dans cette simulation, il n'y avait que le dispositif de protection ESD ('ESD_1') décrit en mode 2D. Les résistances d'interconnexion extraites par les tests TLP sont ajoutées: 2,2Ω pour la polarisation en direct (stress CDM positif) et 5Ω pour la polarisation en inverse (stress CDM négatif). Le schéma électrique utilisé pour cette simulation est montré dans la figure 2-23. Les éléments parasites des broches et des MOS sont également ajoutés et chargés tous à la tension V_{CDM} comme condition initiale de la simulation.

Le résultat de la simulation 2D mixte est présenté en figure 2-24. La tension sur les grilles de M1 et M0 est particulièrement élevée pour les deux cas, positif et négatif. Les tests CDM positifs sont moins stressants puisque la diode parasite fonctionne en direct. Par contre, même pour les niveaux de stress faibles (+/- 500V), la tension maximum de l'oxyde reste supérieure à la tension de claquage de l'oxyde en régime vf-TLP pendant quelques centaines de picosecondes. Ces résultats qualitatifs confirment que le dispositif de protection ESD ne protège pas le circuit d'entrée pendant le stress CDM. Les oxydes de grille ont donc subi un champ électrique important susceptible de générer du piégeage de charges.

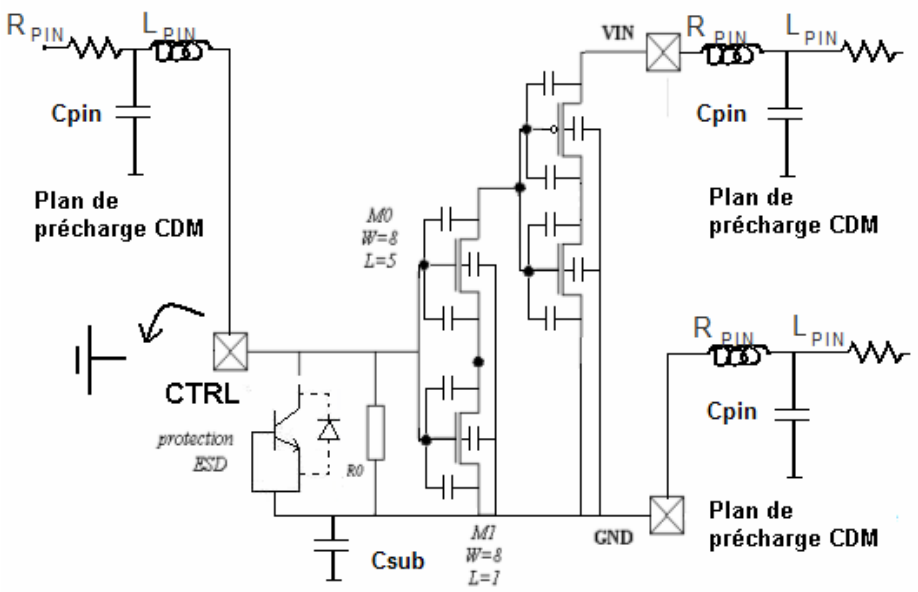


Figure 2-23 : Schéma électrique pour la simulation physique en mode mixte.

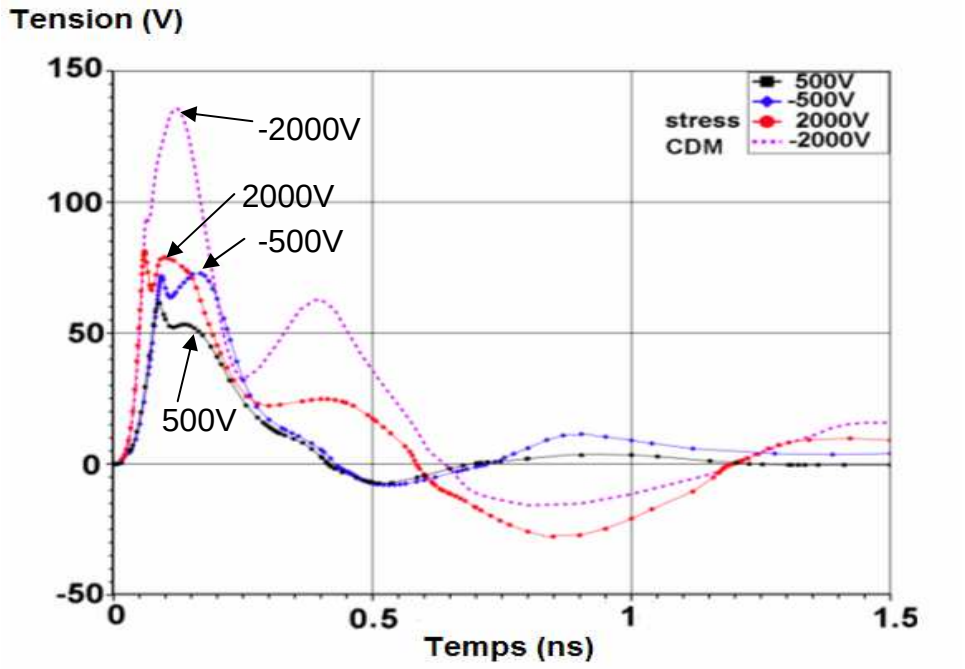


Figure 2-24 : Les tensions maximums sur les grilles des MOS M0 et M1 pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte.

La tendance observée corrèle bien avec les mesures de courant Iddq après stress: pour les stress CDM de +/-500V et de 2000V positifs, leur Iddq sont du même ordre de grandeur (1,3µA, 0,8µA et 5,3µA respectivement juste après le stress CDM dans le *Tableau 2-3*) ; par contre, dans le cas du stress 2000V négatif, il est beaucoup plus stressant que les autres cas simulés, la tension maximum atteinte pendant le stress a une valeur presque double, et son courant Iddq après stress CDM augmente excessivement à 430µA, c'est-à-dire deux décades

au dessus des autres cas de stress. Nous avons observé un temps de montée plus faible pour la tension maximale aux bornes des grilles de MOS M0 et M1 pour une tension de charge VCDM plus importante (+/-2000V) sur la figure 2-24. Celle-ci peut être expliquée par une relation $I = C \cdot \partial V / \partial t$: plus le courant de charge est important, plus la vitesse de charge/décharge, $\partial V / \partial t$, des capacités de MOS est rapide.

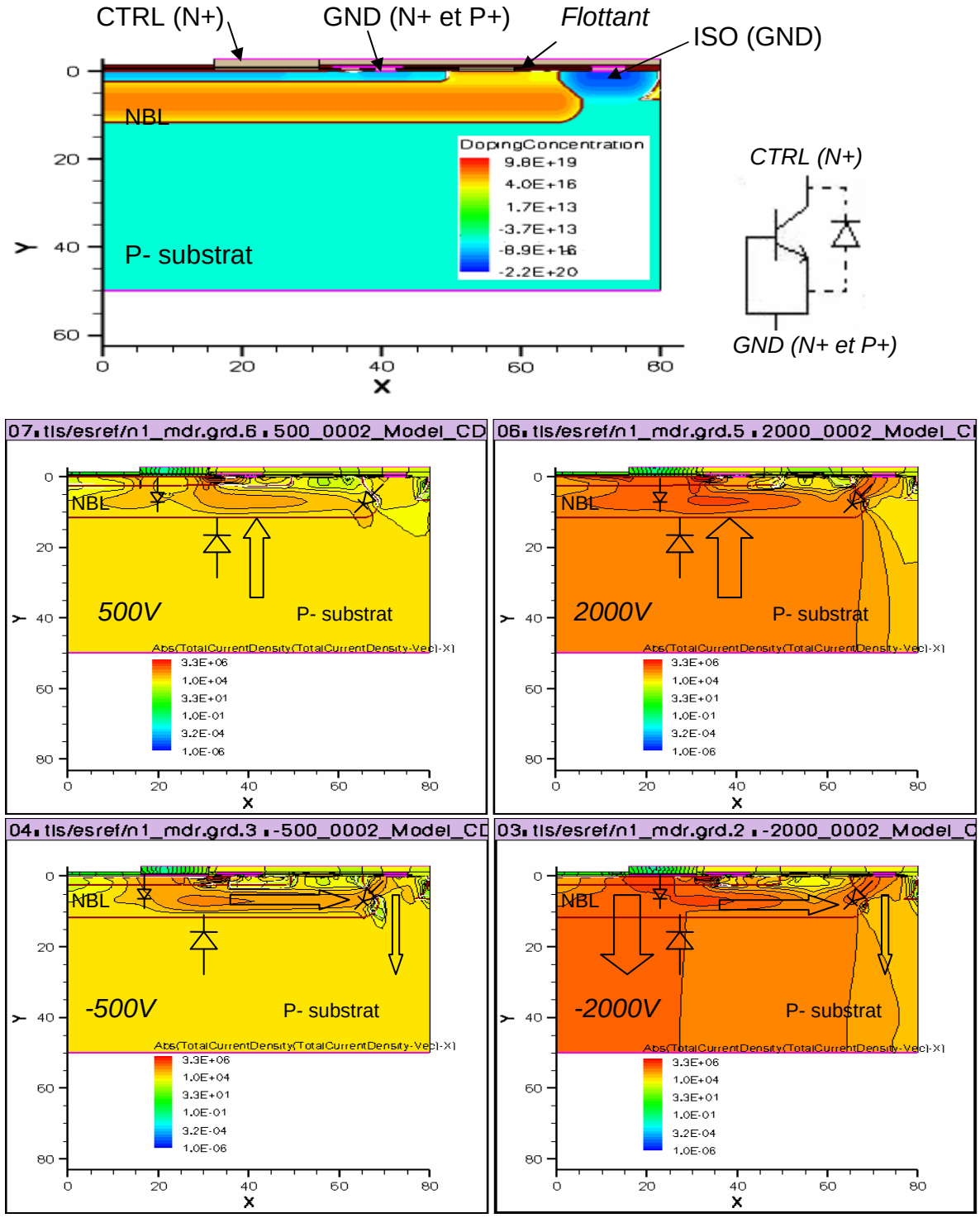


Figure 2-25 : Les densités de courant aux moments où le courant de décharge maximal pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte.

La structure de protection simulée en 2D, les champs électriques et les densités de courant pour différentes tensions V_{CDM} aux moments où les grilles des MOS M0 et M1 subissent une surtension sont montrés sur la figure 3-25 et 3-26. Dans le cas d'un stress CDM positif, la diode entre le P-substrat et NBL est mise en direct et conduit la majorité du courant de décharge. Dans le cas d'un stress CDM négatif, pour la tension V_{CDM}=-500V, la diode Psub/NBL est polarisée en inverse, la majorité du courant passe par la couche enterrée NBL. Par contre, pour une tension V_{CDM} plus élevée de -2000V, la tension entre la diode Psub/NBL est assez importante pour déclencher la diode en inverse ; ceci permet d'injecter les charges directement dans le substrat.

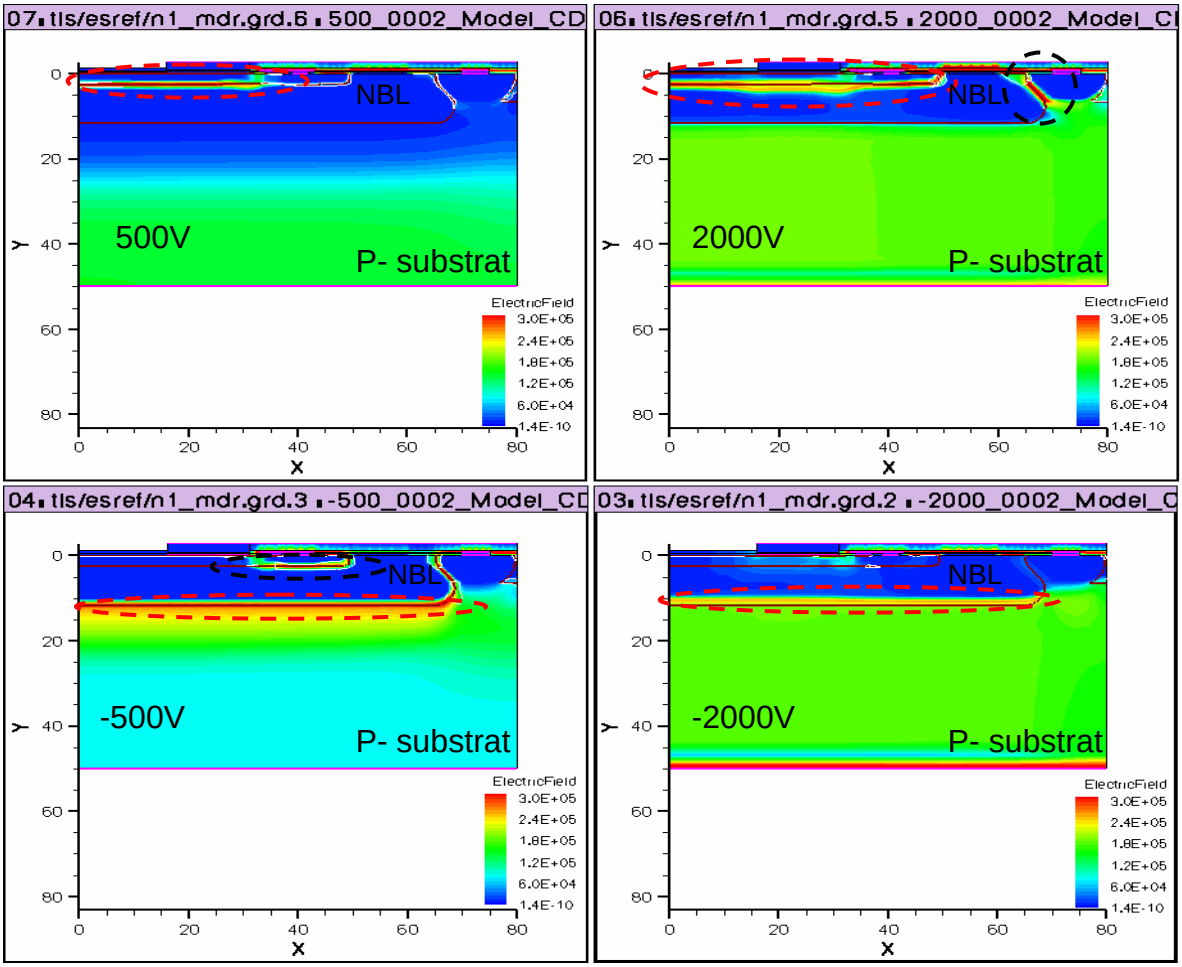


Figure 2-26 : Les champs électriques aux moments où le courant de décharge est maximal pour différents niveaux de tension de charge CDM simulées par TCAD-ISE en mode mixte.

2.3 Conclusion

Dans ce chapitre, nous avons d'abord montré que, le stress CDM peut induire des défauts latents dans un circuit complexe, notamment un convertisseur DC-DC de 1MHz fabriqué en technologie BiCMOS de 0,8 µm ayant une épaisseur d'oxyde d'environ 20nm.

Ce genre de défaut ne peut pas être détecté facilement par la technique de mesure de courant au repos, Iddq ou les tests de fonctionnalité. Par contre, ils ont été détectés avec succès par la technique de mesure de bruit en basse fréquence *(LFN pour 'Low Frequency Noise').* Un simple stockage ou un recuit à température élevée permet aux charges piégées dans l'oxyde de s'évacuer ou leur neutralisation. Ainsi, les caractéristiques du circuit sont retournées à leurs valeurs originales, à la fois au niveau fonctionnalité et mesure de courant Iddq. Par contre, le niveau du bruit BF en *1/f* a diminué mais n'est pas retourné à sa valeur initiale. De plus, sa valeur augmente après un vieillissement accéléré pour la pièce stressée; alors que la pièce référence ne subit aucun changement.

Enfin, ces défauts latents induits par les stress CDM qui restent dans le circuit amènent un niveau de bruit plus élevé et peuvent être à l'origine d'une réduction de la durée de vie du composant bien que le circuit passe tous les tests de qualification et de fonctionnalité [12, 13].

La simulation en mode mixte a confirmé la surtension sur les grilles des MOS d'entrée pendant les stress CDM. Les résultats de simulation physique corrèlent bien avec les résultats de mesure du courant de fuite Iddq après les stress CDM. Ainsi, la mesure vf-TLP sur la structure de protection 'ESD_1' dédiée à la protection de la broche CTRL a mis en évidence l'inefficacité de la protection ESD vis-à-vis du stress CDM. La résistance importante du composant de protection en état ON et la résistance de bus élevée sont aussi des causes de la faible robustesse face aux stress CDM pour le produit étudié. Bien que la protection ESD fonctionne parfaitement contre les stress HBM et TLP, une stratégie de protection ESD globale et plus rapide est nécessaire si ce produit doit être robuste vis-à-vis du stress CDM.

Bibliographies

[1] J. Rivenc, J. Vazquez-Garcia, P. Matossian, B. Banani, A. Agneray, (RENAULT SAS, France), "An overview of the technical policy developed by Renault to manage ESD risks in airbags," *Industry Applications Conference. 39th IAS Annual Meeting.* , vol. 2, pp. 1294-1301, 2004.

[2] N. GUITARD, "Caractérisation de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques ": Thèse de doctorat, Université Paul Sabatier TOULOUSE III, 2006.

[3] W.D. Greason, et K. Chum, "Characterisation of charge accumulation and detrapping processes related to latent failure in CMOS integrated circuits," *IEEE*, pp. 586-593, 1991.

[4] C. Leroux, G. Ghibaudo, G. Reimbold, R. Clerc et S. Mathieu, "Oxide thickness extraction methods in the nanometer range for statistical measurements," *Solid-State Electronics*, vol. 46(11), pp. 1849-1854, 2002.

[5] M. Margala, et I. Pecuh, "Testing of deep-submicron battery-operated circuits using new fastcurrent monitoring scheme," *IEEE International Proceedings Workshop on Defect Based Testing*, pp. 65-69, 2000.

[6] L. Bary, M. Borgarino, R. Plana, T. Parra, S. J. Kovacic, H. Lafontaine, et J. Graffeuil, "Transimpedance Amplifier-Based Full Low-Frequency Noise Characterization Setup for Si/SiGe HBTs," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 48, pp. 767-772, 2001.

[7] G. Ghibaudo, et T. Boutchacha, "Electrical noise and RTS fluctuations in advanced CMOS devices," *Microelectronics Reliability*, vol. 42, pp. 573-582, 2002.

[8] A. Cester, L. Bandiera, G.Ghidini, I. Bloom et A. Paccagnella, "Soft breakdown current noise in ultra-thin gate oxides," *Solid-State Electronics*, vol. 46, pp. 1019-1025, 2002.

[9] L.K.J. Vandamme, R. Feyaerts et G. Trefan, "1/f Noise in pentacence and polythienylene vinylene thin film transistors," *Journal Of Applied Physics*, vol. 91(2), pp. 719-723, 2002.

[10] K. H. Duh, et A. Van Der Ziel, "Hooge parameters for various FET structures," *IEEE Transactions on Electron Devices*, vol. 32(3), pp. 662-666, 1985.

[11] R.S. Muller, & T.L. Kamins, *Device electronics for integrated circuits*: John Wiley, 1986.

[12] Y. Gao, N. Guitard, M. Bafleur, L. Bary, L. Escotte, P. Gueulle, L. Lescouzeres, "Trapped charges detection after CDM stress using a sensitive failure analysis Low Frequency Noise measurement technique," *1st International ESD Workshop (IEW)*, 2007.

[13] Y. Gao, N. Guitard, C. Salamero, M. Bafleur, L. Bary, L. Escotte, "Identification of the physical signatures of CDM induced latent defects into a DC-DC converter using low frequency noise measurements," *Microelectronics Reliability,18th European Symposium Reliability on Electron Devices, Failure Physics and Analysis (ESREF)*, vol. 47, pp. 1456-1461, 2007.

Chapitre 3 :

Modélisation de la résistance du substrat en forte injection pour la simulation CDM

CHAPITRE 3 : MODELISATION DE LA RESISTANCE DU SUBSTRAT EN FORTE INJECTION POUR LA SIMULATION CDM 93

3.1 MOTIVATION ET OBJECTIF 95

3.2 LE ROLE DU SUBSTRAT PENDANT LE STRESS CDM 99

3.2.1 Distribution du courant dans le substrat 99

3.2.2 Non linéarité du substrat en forte injection 101

3.3 MODELISATION DE LA RESISTANCE DU SUBSTRAT EN FORTE INJECTION POUR LA SIMULATION CDM 103

3.3.1 Choix du langage et description du véhicule de test 103

3.3.2 Physique basique de l'injection 105

3.3.3 Régime linéaire et saturation 108

a- Physique 108

b- Modèle 110

3.3.4 L'effet dynamique et la surtension pendant un stress rapide 114

3.3.5 Régime d'avalanche et retournement 116

3.3.6 Régime de très forte injection 116

3.3.7 Bilan du modèle compact de la résistance du caisson 117

3.4 VALIDATION DU MODELE 119

3.4.1 Validation sur une technologie avancée CMOS_45nm 119

3.4.2 Validation sur la technologie BiCMOS_0,25µm 120

3.5 MISE EN PLACE D'UNE SIMULATION CDM 123

3.5.1 Génération automatique du réseau de résistances du substrat en 3D 123

3.5.2 Eléments nécessaires pour effectuer une simulation CDM prédictive 124

a- Testeur CDM 124
b- Parasites des boîtiers 124
c- Parasites des interconnexions et diodes parasites 125
3.6 VALIDATION EN TECHNOLOGIE BICMOS 127
3.6.1 Description du composant sous test 127
3.6.2 Simulation CDM 128
3.7 CONCLUSION 137

3.1 Motivation et objectif

Le développement des technologies au silicium suit toujours la loi de Moore avec des dimensions encore plus fines et des circuits intégrés de plus en plus complexes avec un oxyde de grille de plus en plus mince. En conséquence, la tension de claquage des oxydes de grille a considérablement diminué (chapitre 1). Dans le cas d'un stress CDM, les charges stockées dans les parties métalliques du boîtier ne pourront s'évacuer qu'au travers du substrat de silicium et tous les chemins les moins résistifs jusqu'à la masse. Il en résulte que les défaillances induites par les décharges CDM peuvent se produire en plein cœur d'un circuit intégré et être très difficiles à localiser (chapitre 2.). Dans les cas HBM et MM, l'aspect prédominant des ESD était le courant élevé. En CDM, le couplage électromagnétique entre le plateau de charge et le plateau du testeur est le coeur du mécanisme. Ne connaissant pas avec certitude les chemins de décharge CDM, il n'est pas garanti que les circuits de protection classiques HBM soient adaptés à la décharge CDM. Pour protéger un circuit contre le stress CDM, il est donc important de connaître les zones dangereuses où le risque de claquage d'oxyde est élevé. Il est tout d'abord nécessaire de connaître les chemins de décharge pendant le stress CDM pour estimer la possibilité de claquage d'oxyde.

A cette fin, un outil de prédiction des défaillances ESD/CDM sur un produit dès le début de la phase de conception serait très bienvenu. Jusqu'à présent, il y a eu plusieurs approches de simulation et de modélisation pour la simulation CDM au niveau du circuit. Beaucoup d'entre elles ont concerné la modélisation de structures de protection ESD, y compris le retournement du MOS [1]. D'autres auteurs ont proposé une approche de simulation CDM en divisant un circuit complexe en plusieurs sous-blocs en fonction de leur domaine d'alimentation afin de simplifier une simulation CDM lourde [2] *(Figure 3-1)*. Le testeur est simplement modélisé par un circuit RLC ; deux diodes en parallèle sont également ajoutées entre les masses des différents domaines d'alimentation *(Figure 3-1)*. La précision de ces approches est limitée par le manque d'extraction des éléments parasites. De plus, la tâche est totalement au cas par cas, et il est difficile d'avoir une bibliothèque générale pour la simulation CDM. En modélisant le boîtier et les capacités parasites des lignes de bus Vss et Vdd, *Lee et al.* [2, 3] a simulé la tension sur les grilles des MOS d'un circuit et a noté que la probabilité de rupture d'oxyde de grille est corrélée avec la capacité associée au boîtier. Cependant, une simulation complète du stress CDM est encore un grand défi à cause de sa complexité.

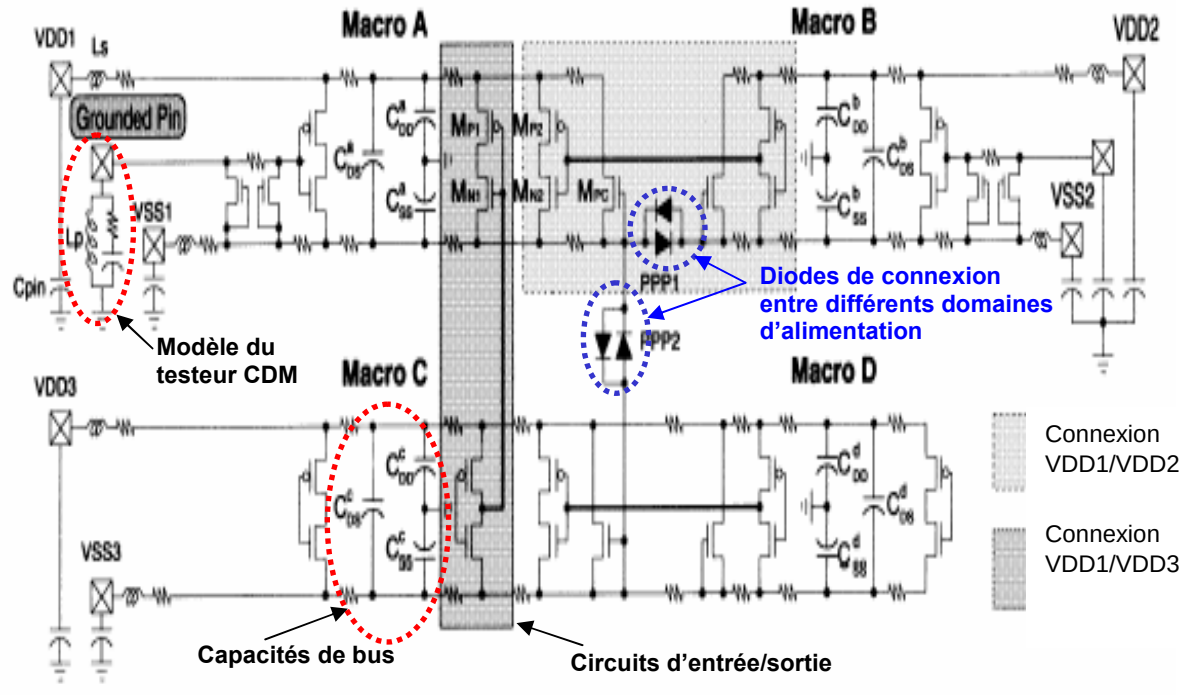
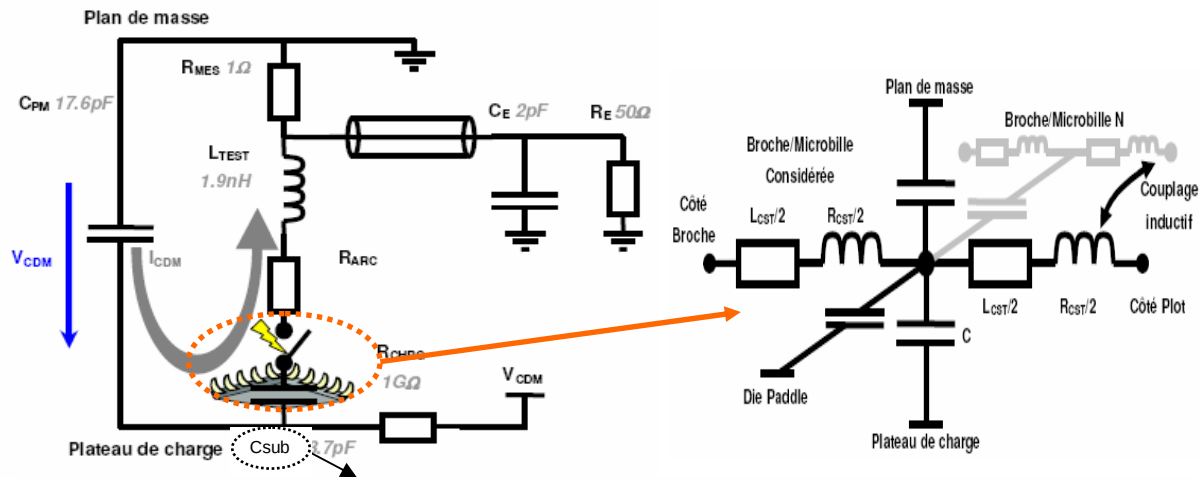


Figure 3-1 : Stratégie de modélisation ('divide and conquer') proposée par J.LEE [2].

Plusieurs thèses et études ont été récemment effectuées dans le sens de la modélisation globale en rajoutant plus d'éléments parasites afin de compléter une modélisation plus précise. C. Goeau [4] , S. Sowariraj [5] et M. Etherton [6] ont tous montré que la décharge CDM peut être modélisée de façon globale par un circuit RLC *(Figur 3-2)*. Goeau a modélisé différents types de boîtiers utilisés dans l'industrie du semiconducteur et l'environnement du test FCDM (le testeur FCDM, l'oscilloscope, etc). La puce reste une boîte noire et les chemins de courant à l'intérieur de celle-ci ne restent que des hypothèses.



4pF	30pF	TQFP 48	BGA 64	TQFP 64	BGA 256	BGA 304
3,4	25,3	3,0	2,6	4,1	18,3	140,0

Figure 3-2 : Modélisation du testeur CDM et la mesure de la capacité parasite du boîtier Csub.

Cette modélisation a l'avantage de s'appuyer sur la mesure du courant et sur la mesure de la capacité. Il permet de simuler le courant de décharge correctement. Sous l'hypothèse que la dégradation du circuit est liée à une surtension provoquée par ce courant à travers les protections et que l'on connaît le courant maximum que peut subir un circuit, cette modélisation est idéale pour prédire des résultats de test sans simuler le comportement du circuit. Par contre, il est difficile de généraliser l'influence de chaque élément au courant de décharge ; la modélisation au niveau circuit de la décharge est ainsi à effectuer au cas par cas ; le rôle du boîtier semble bien différent selon les types de boîtier de TQFP à BGA *(Figure 3-2)*. En effet, pour modéliser la décharge de façon globale, de connaître la distribution du couplage capacitif et ainsi les chemins de courant à l'intérieur du composant testé, le boîtier, le substrat, et le circuit de protection doivent donc être précisément modélisés.

De plus, en modélisant le composant par des diodes et le substrat par un réseau de résistances CONSTANTES en 3D *(Figure 3-3)*, M.S.B. Sowariraj [7] a montré que, pour certaines technologies, la résistance du substrat est aussi extrêmement importante pour calculer la chute de potentiel dans le substrat. L'effet thermique et le couplage capacitif, et la non-linéarité des composants (Diodes, MOS, etc) et la résistance en régime forte injection n'ont pas été pris en compte pour simplifier certains modèles à simuler. Les problèmes de convergence et le temps de calcul important (environ 15h pour un circuit complet sur une station UNIX, 2004) restent des inconvénients majeurs pour l'application de cette technique de simulation.

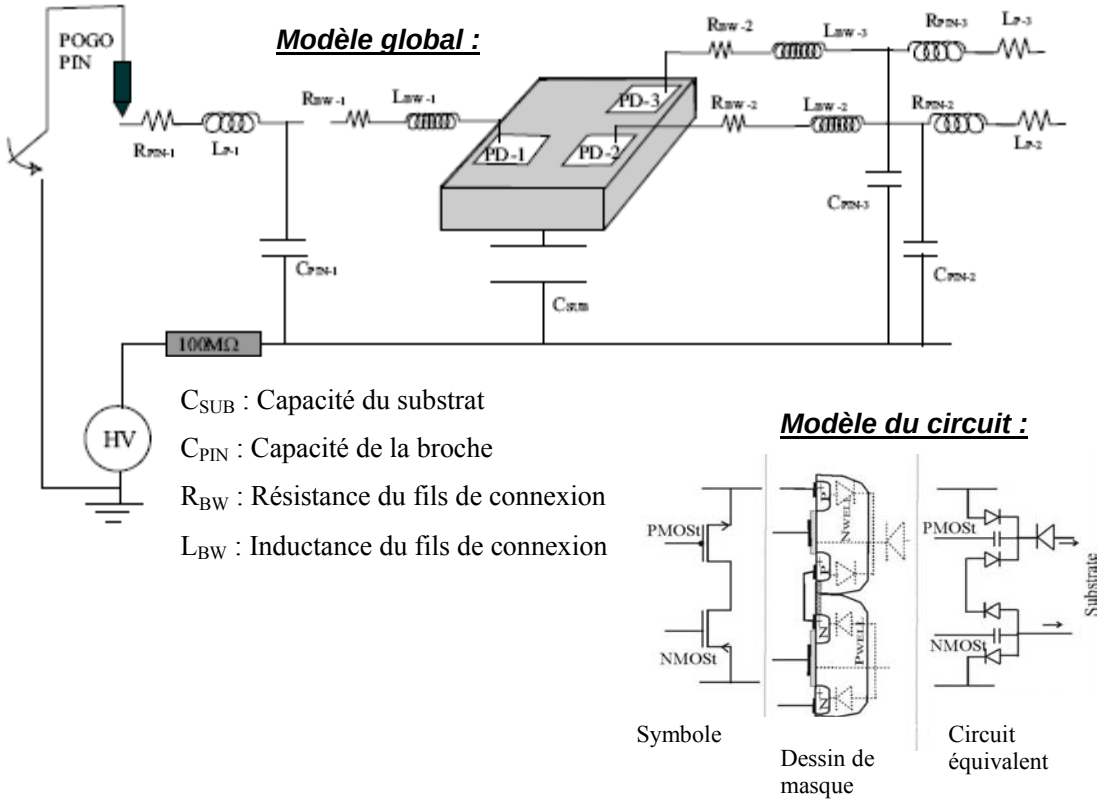


Figure 3-3 : Stratégie de modélisation proposée par M.S.B. Sowariraj [7].

M. Etherton [6] a aussi étudié les différents aspects nécessaires pour effectuer une simulation CDM plus précise, par exemple, le testeur CDM, l'oscilloscope, la résistance d'arc, le substrat, la capacité du plot pour le fil de connexion ('Bonding wire'), etc. Grâce aux véhicules de test avec le transistor MOS à protéger et un simple circuit d'entrée [8], elle a réussit à corréler le résultat de la mesure et la simulation prédictive. La simulation prend en compte la résistance du substrat par l'intermédiaire d'un réseau de résistances de valeur constante. Lors de ces travaux, il est apparu que la valeur de la résistance de substrat est le paramètre le plus important pour la précision du résultat.

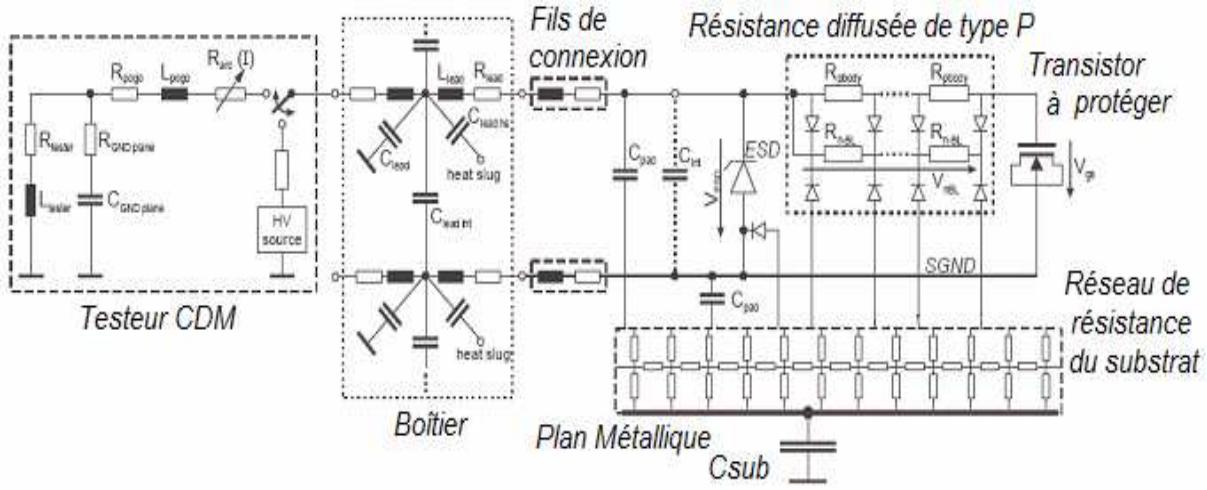


Figure 3-4 : Stratégie de modélisation proposée par M.Etherton [6].

Par contre, le comportement du substrat sous un stress CDM rapide en forte injection n'a jamais été étudié. Pour avancer sur cette voie et réaliser une simulation CDM plus précise, nous avons mené une étude approfondie et proposé une modélisation de la résistance du substrat en forte injection adaptée à une décharge CDM qui est présentée dans ce chapitre.

3.2 Le rôle du substrat pendant le stress CDM

3.2.1 Distribution du courant dans le substrat

Dans le chapitre 1, nous avons décrit les défis d'un stress CDM dans un circuit intégré. En particulier, la compréhension des mécanismes de distribution des charges pendant le stress est certainement le point le plus important à approfondir. Par ailleurs, la capacité parasite associée au plan métallique du boîtier est celle où sera stockée la majeure partie des charges selon [4-6]. Pendant la décharge CDM, les charges traversent tout le substrat par les chemins les moins résistifs jusqu'à la masse globale.

Au moment du courant de décharge maximal, la distribution de courant CDM n'est pas uniforme dans le substrat. Les endroits des prises de contact au substrat ou les composants de protection ESD sont les chemins principaux pour évacuer les charges stockées dans le plan métallique. Le chemin de décharge se concentre essentiellement verticalement sous les prises de contacts du substrat. Le caisson P conduit également une partie de courant grâce à sa faible résistivité. Dans le cas où les composants de protection ESD sont présents, nous pouvons imaginer que la majorité des charges qui viennent du substrat sont distribuées dans le chemin de décharge par les prises de contact au substrat ou le composant de protection ESD qui est déclenché par le stress. Le reste des charges est évacué soit vers le système de protection ESD globale, notamment le Power Clamp; soit, elles sont injectées dans les caissons directement *(Figure 3-5)*.

Dans le cas d'un composant chargé positivement (Figure 3-5 (a)-(b)), lorsque la broche de décharge mise à la masse est connectée à une zone N+, les charges qui se trouvent relativement loin de la structure de protection ESD vont prendre le chemin le moins résistif, passant par les prises de contact du substrat P+, la ligne de bus GND, puis soit le 'Power Clamp' pour la broche de décharge Vcc, soit la diode parasite de la structure de protection ESD (localement située entre la broche de décharge et la ligne de bus GND) pour les broches de décharge. Simultanément, les charges se trouvant relativement près de la structure de protection ESD vont directement passer par la diode parasite entre le substrat et la zone N+ fortement dopée qui est connectée à la broche de décharge (le collecteur d'un bipolaire ou le drain d'un ggNMOS dans (a) ; le contact du caisson N dans (b)).

Dans le cas d'un composant chargé négativement, si la broche de décharge est connectée à une zone N+ entourée par une zone P, la jonction N/P est polarisée en inverse (Figure 3-5 (d)-(e)). Le temps de déclenchement de la structure de protection de cette broche doit être très court pour éviter une surtension à la borne de la protection ESD lors de la décharge.

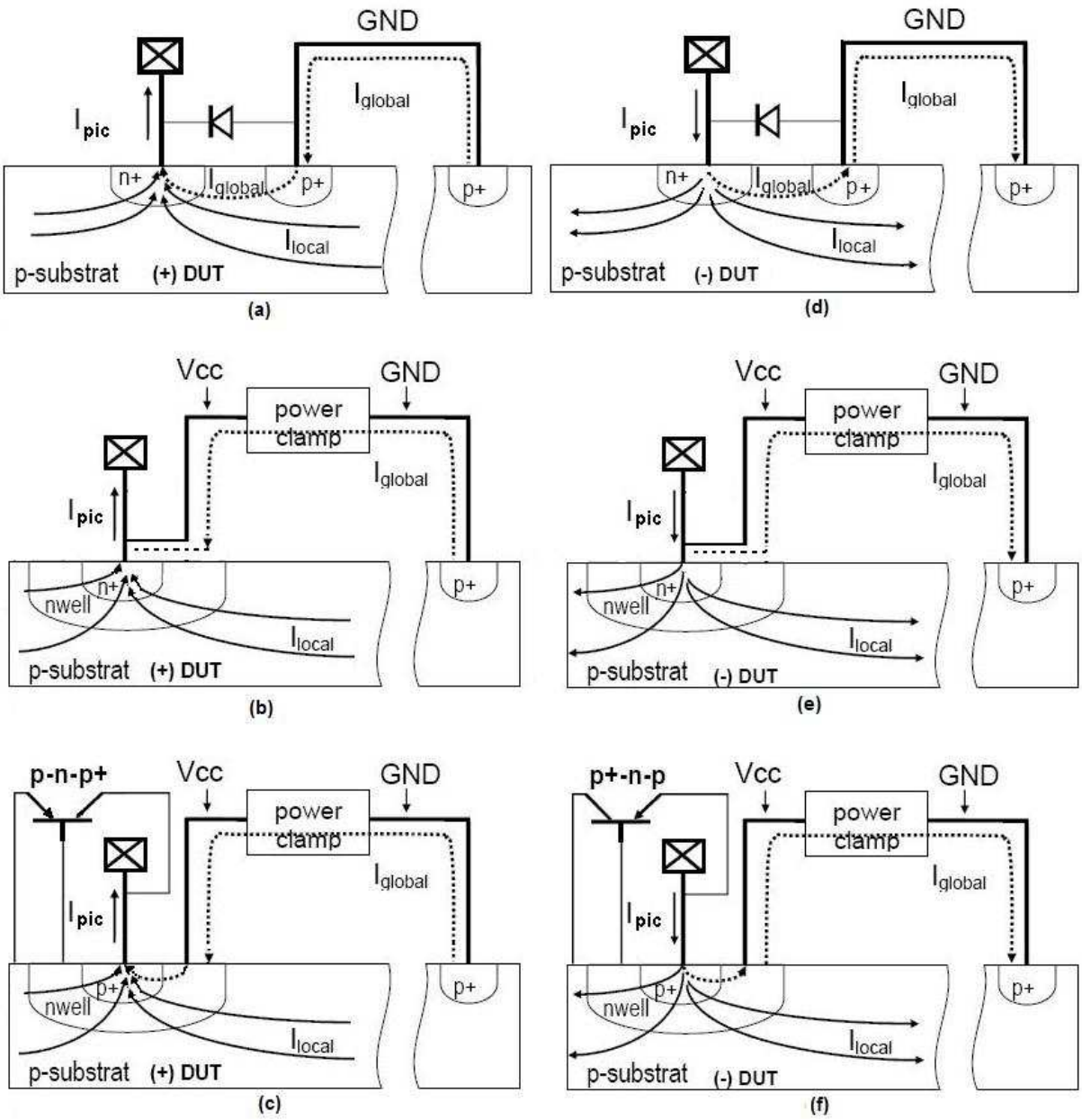


Figure 3-5 : Chemins de décharge CDM contribués au courant maximal pendant le stress CDM pour le composant chargé positivement (a)-(c) et négativement (d)-(f).

Par contre, si la broche de décharge est connectée à une zone P+ entourée par une zone N, comme sur la figure 3-5 (c) et (f), un bipolaire parasite p-n-p peut être déclenché pour conduire les charges vers la masse. Dans tous les cas, les charges localisées relativement loin de la broche de décharge passent par les prises de contact du substrat P+, et le réseau de protection ESD (‘Power Clamp’ ou la ligne de bus GND) vers la broche de décharge.

J. Karp et al. [9] ont également montré que le courant de décharge dans le substrat (I_{local} dans la Figure 3-5) est important pour estimer correctement le pic du courant d’une décharge CDM.

Le courant de décharge total pour un boîtier flip-chip suit la relation suivante :

$$I_{pic} = I_{global} + I_{local} \quad \sim C_{SUB} + \alpha C_{SUB} / A \qquad \textbf{Eq. 3-1}$$

où C_{SUB} est la capacité du boîtier, α est le paramètre du coefficient de corrélation, et A est la surface du silicium. I_{global} est proportionnel à C_{SUB} et I_{local} est proportionnel à $\alpha C_{SUB}/A$.

Dans ce cas, les résistances sur les chemins de décharges deviennent cruciales. Nous nous intéressons dans la suite à la résistivité du substrat en forte injection adaptée au régime CDM afin de faire des simulations CDM plus précises prenant en compte l'impact de la résistance du substrat pendant le stress CDM.

3.2.2 Non linéarité du substrat en forte injection

Nous avons mené une première étude à l'aide de la simulation TCAD-ISE afin de comprendre le comportement du substrat en très forte injection. L'objectif est de vérifier la limite du modèle linéaire pour une résistance dopée. Pour cela, un barreau de silicium ($1\mu m \times 1\mu m \times 1\mu m$) faiblement dopé ($1e15cm^{-3}$) de type P- est utilisé et simulé en appliquant une rampe de courant. Les deux contacts sont placés sur deux faces opposées de ce barreau de silicium *(Figure 3-6)*. Figure 3-6 : Variation de la résistance du substrat par la simulation TCAD-ISE en forte injection.

Le résultat montre que la résistance du substrat de volume $1\mu m^3$ varie énormément (environ 2 décades dans notre cas étudié) en fonction de la densité de courant injectée dans le volume du silicium. Ce phénomène peut être expliqué par la modulation de la résistivité du substrat lorsqu'une grande quantité de charges ou de porteurs est injectée. Dans le cas de la faible injection, la résistivité du substrat dépend de la concentration de dopants, donc le nombre de porteurs est limité par le dopage initial et montre une relation linéaire. Dès que la concentration des porteurs injectés excède la concentration de dopants initiale, le transport des porteurs ne dépend que de la densité de courant injectée dans un volume fini. Par conséquent, la résistivité du matériau diminue.

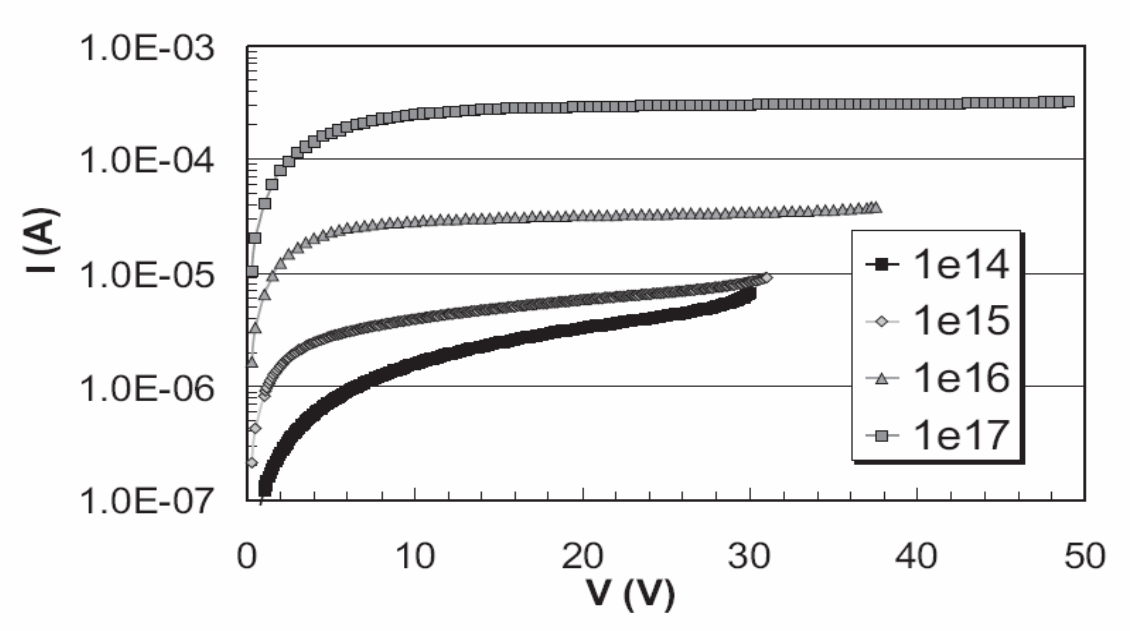


Figure 3-6 : Variation de la résistance du substrat en forte injection en fonction du dopage [10].

G. Boselli [10] a montré que la résistivité d'une résistance diffusée (de type N dans le cas montré dans la figure 3-7) augmente de manière non-linéaire lorsque le courant injecté dans la structure augmente. On constate que la non-linéarité de la résistance varie selon le dopage. Nous étudierons plus en détail ce phénomène dans le paragraphe 3.3.3.

Après avoir mis en évidence ce comportement non-linéaire de la résistance dopée, nous avons caractérisé plus en détails la résistance du substrat en utilisant les mesures TLP et vf-TLP. Ensuite, nous proposons une approche générale pour modéliser ce phénomène correctement pour effectuer des simulations CDM avec une meilleure précision.

3.3 Modélisation de la résistance du substrat en forte injection pour la simulation CDM

3.3.1 Choix du langage et description du véhicule de test

Généralement, la modélisation d'une structure de protection ESD est souvent basée sur les phénomènes physiques mis en jeu et utilise plusieurs dispositifs de type SPICE pour modéliser les comportements complexes (chapitre 1), notamment le retournement ('snapback') [1], l'échauffement thermique ou le comportement transitoire [11], etc. Cela permet de bien décrire le composant en régime ESD, et d'être compatible avec les simulations électriques (SPICE, Spectre, etc…). L'inconvénient majeur est la complexité des modèles et les difficultés de convergence lorsque de nombreux composants ESD réagissent avec le circuit entier [5, 6]. Dans le cas de la simulation CDM qui est généralement lourde et concerne le circuit complet, il est important que le modèle soit facile à implémenter et de limiter les problèmes de convergence autant que possible. Pour ces raisons, Verilog-A a été choisi pour son avantage de convergence et la facilité d'implémentation dans divers simulateurs. Ce langage, outre la possibilité d'une modélisation comportementale, a aussi l'avantage d'être interfaçable avec les simulateurs électriques de conception de circuits.

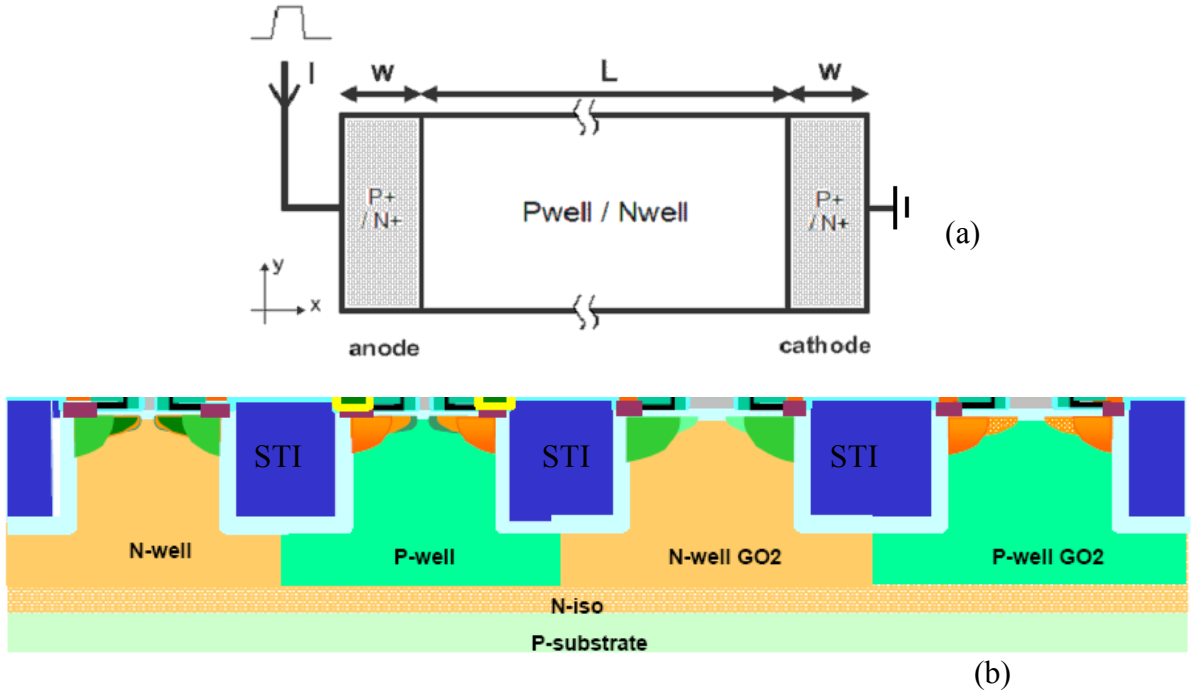


Figure 3-7 : (a) Structure de résistance diffusée (Pwell et Nwell) dans le véhicule de test pour les mesures TLP/vf-TLP sous pointes ; (b) technologie CMOS_45nm (STI=Shallow Trench Isolation).

Pour notre étude, un véhicule de test basé sur des résistances diffusées a été conçu en technologie *CMOS_45nm* pour les mesures TLP/vf-TLP en forte injection *(Figure 3-8)*. Bien que l'accès de la résistance du substrat soit difficile pour la mesure, sa résistivité qui dépend du dopage peut être calculée correctement, simulée par TCAD-ISE et ensuite corrélée par les mesures de la résistance diffusée dans le véhicule de test. Pour cela, deux types de résistance diffusée, Pwell et Nwell sont conçus en technologie *CMOS_45nm*. Le nombre de contacts et la surface de la zone des contacts fortement dopée (64µm×4µm ou 16µm ×16µm) sont calculés pour supporter un courant maximum de 20A. La distance de la structure *L* varie de 5 µm à 50 µm. Les mesures TLP de 100ns et vf-TLP de 2,5ns ou 5ns (temps de montée de 150ps) ont été effectuées sous pointes afin de comprendre et de modéliser les phénomènes physiques sur ces résistances. L'impédance caractéristique des pointes, égale à 50Ω, est adaptée au système de mesure vf-TLP.

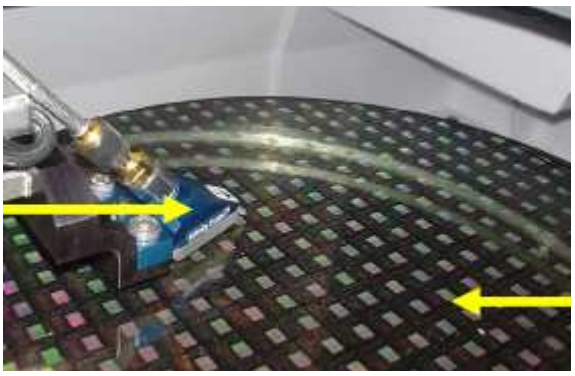


Figure 3-8 : Pointes RF pour la mesure vf-TLP sur wafer du véhicule de test.

Une mesure typique montre que la résistance du caisson est d'abord linéaire ce qui confirme le résultat de la simulation TCAD-ISE *(Figure 3-6)*. Selon le niveau d'injection de charges dans les dispositifs, nous avons classé quatre régions typiques *(Figure 3-10)* :

- Région 1 : Régime Linéaire
- Région 2 : Régime Saturation
- Région 3 : Régime Avalanche et Retournement
- Région 4 : Régime Ultra Forte Injection

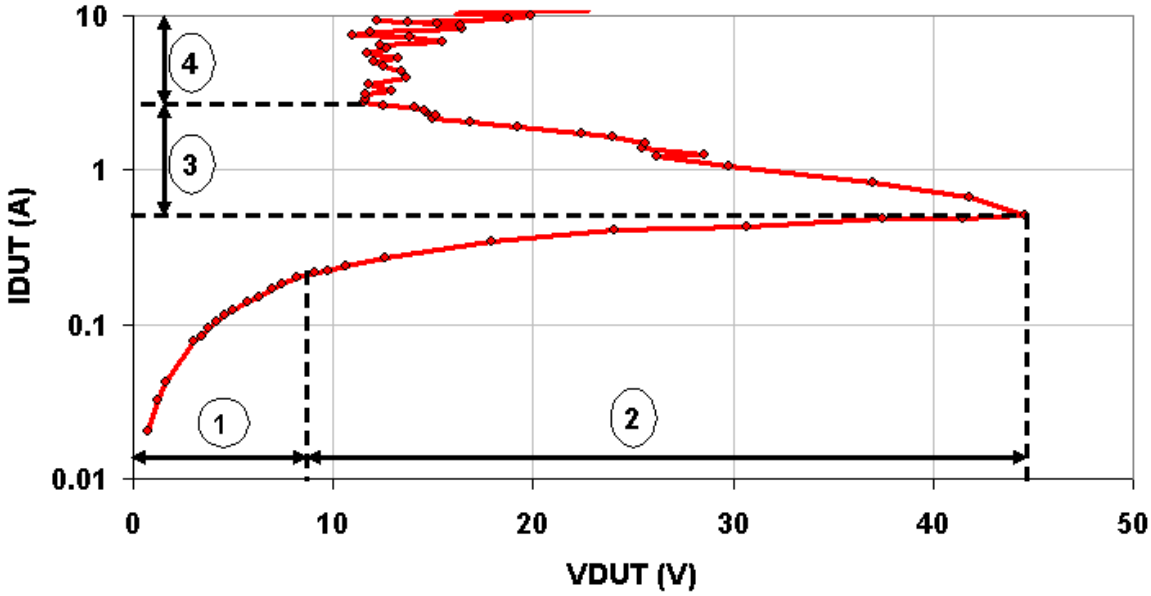


Figure 3-9 : Courbe I (V) typique sur une résistance Nwell de 5µm (CMOS_45nm) de l'injection faible à l'injection ultra forte après la mesure vf-TLP 2,5ns.

3.3.2 Physique basique de l'injection

Avant d'analyser les phénomènes physiques, il est nécessaire de rappeler certaines bases théoriques sur l'injection de charges dans un dispositif semiconducteur pour mieux comprendre les phénomènes physiques. Dans un premier temps, nous discuterons le cas du dopage N. Les dispositifs avec le dopage de type P suivent les mêmes lois.

La combinaison de l'équation de Poisson, de l'équation de continuité et des relations du courant permettent de résoudre analytiquement dans des cas simplifiés. Ces phénomènes sont souvent résolus numériquement, mais cette approche peut conduire à une simulation peu prédictive car certaines solutions peuvent n'avoir aucun sens physique. Il est donc favorable d'obtenir des solutions analytiques même si elles sont limitées par des hypothèses fortes; au moins, elles sont directement liées aux phénomènes étudiés.

Roosbroeck [12] a introduit la première fois une approche appelée 'Ambipolaire' dans la condition de quasi-neutralité, qui permet d'analyser les phénomènes complexes dans les dispositifs semiconducteurs en faible et forte injection. Cette approche exclut l'influence de la température qui complique énormément les calculs. Elle est tout à fait adaptée au cas du stress CDM où l'énergie dissipée sur des temps très courts dans le composant permet de négliger les variations de température. Nous pouvons écrire les équations de continuité pour les électrons et les trous en régime d'équilibre [13, 14]:

$$-U+\mu_n E\frac{\partial n}{\partial x}+\mu_n n\frac{\partial E}{\partial x}+D_n\frac{\partial^2 n}{\partial x^2}=0 \qquad \textbf{Eq. 3-2}$$

$$-U-\mu_p E\frac{\partial p}{\partial x}-\mu_p p\frac{\partial E}{\partial x}+D_p\frac{\partial^2 p}{\partial x^2}=0 \qquad \textbf{Eq. 3-3}$$

où $U=R-G$, qui est le taux net de recombinaison (R) et de génération (G) des porteurs. Multiplions *Eq. 3-2* par $\mu_p p$ et *Eq. 3-3* par $\mu_n n$, on obtient :

$$-U\mu_p p+\mu_p p\mu_n E\frac{\partial n}{\partial x}+\mu_p p\mu_n n\frac{\partial E}{\partial x}+\mu_p pD_n\frac{\partial^2 n}{\partial x^2}=0 \qquad \textbf{Eq. 3-4}$$

$$-U\mu_n n-\mu_n n\mu_p E\frac{\partial p}{\partial x}-\mu_n n\mu_p p\frac{\partial E}{\partial x}+\mu_n nD_p\frac{\partial^2 p}{\partial x^2}=0 \qquad \textbf{Eq. 3-5}$$

Comme la condition de quasi-neutralité doit être respectée, nous obtenons :

$$\begin{cases} n'=p'=n-n_0=p-p_0 \\ n'\equiv n-n_0 \\ p'\equiv p-p_0 \end{cases} \Rightarrow \quad \frac{\partial n'}{\partial x}=\frac{\partial p'}{\partial x}=\frac{\partial n}{\partial x}=\frac{\partial p}{\partial x} \qquad \textbf{Eq. 3-6}$$

où n' est la concentration d'électrons injectés en excès, p' est celle des trous injectés en excès, n_0 est la concentration d'électrons initiale et p_0 est celle des trous. Après le calcul (*Eq.3-4* + *Eq.3-5*)/($\mu_p p+\mu_n n$) et application de la condition de quasi-neutralité (*Eq. 3-6),* on a:

$$-U-\frac{\mu_p\mu_n(n-p)}{\mu_p p+\mu_n n}E\frac{\partial n}{\partial x}+\frac{\mu_p pD_n+\mu_n nD_p}{\mu_p p+\mu_n n}\frac{\partial^2 p}{\partial x^2}=0 \qquad \textbf{Eq. 3-7}$$

Dans la relation *Eq. 3-7*, on peut définir les paramètres importants :

- Coefficient de diffusion ambipolaire D_A:

$$D_A=\frac{\mu_p pD_n+\mu_n nD_p}{\mu_p p+\mu_n n}=\frac{(n+p)D_nD_p}{nD_n+pD_p} \qquad \textbf{Eq. 3-8 (a)}$$

$$\frac{1}{D_A}=\frac{1}{D_p}\frac{n}{(n+p)}+\frac{1}{D_n}\frac{p}{(n+p)} \qquad \textbf{Eq. 3-8 (b)}$$

- Mobilité ambipolaire μ_A:

$$\mu_A \equiv \frac{\mu_p \mu_n (n-p)}{\mu_p p + \mu_n n} \qquad \textbf{Eq. 3-9 (a)}$$

$$\frac{1}{\mu_A} = \frac{1}{\mu_p}\frac{n}{(n-p)} + \frac{1}{\mu_n}\frac{p}{(n-p)} \qquad \textbf{Eq. 3-9 (b)}$$

Si on introduit la concentration des porteurs en excès, les équations Eq.3-8 (a) et Eq.3-9 (a) devient :

$$D_A = \frac{[(n_0+n')+(p_0+p')]D_n D_p}{(n_0+n')D_n + (p_0+p')D_p} \qquad \textbf{Eq. 3-10}$$

$$\mu_A \equiv \frac{\mu_p \mu_n [(n_0+n')-(p_0+p')]}{\mu_p (p_0+p') + \mu_n (n_0+n')} \qquad \textbf{Eq. 3-11(a)}$$

$$\frac{1}{\mu_A} = \frac{1}{\mu_p}\frac{n}{(n_0-p_0)} + \frac{1}{\mu_n}\frac{p}{(n_0-p_0)} \qquad \textbf{Eq. 3-12(b)}$$

Elles signifient que le coefficient de diffusion moyenné dépend de la concentration relative n/p (où $n=n_0+n'$, $p=p_0+p'$) par rapport à la concentration totale, et la mobilité moyennée dépend des charges nettes.

Enfin, on obtient ainsi l'équation de transport ambipolaire:

$$D_A \frac{\partial^2 p}{\partial x^2} - \mu_A E \frac{\partial n}{\partial x} - U = 0 \qquad \textbf{Eq. 3-13}$$

Pour un semiconducteur avec bandgap indirect, U est défini par l'expression de recombinaison SRH *('Shockley–Read–Hall')* en supposant que l'injection n'est pas trop élevée et que la recombinaison Auger ne joue pas un rôle important. U est ensuite défini dans l'équation suivante [10, 13]:

$$U = \frac{np - n_i^{\,2}}{(n+n_1)\tau_{p0} + (p+p_1)\tau_{n0}} \approx \frac{n_0 p' + p'^2}{n_0 \tau_{p0} + p'\tau_\infty} \qquad \textbf{Eq. 3-14}$$

Où τ_{n0} et τ_{p0} sont les durées de vie des électrons et des trous minoritaires respectivement ; τ_∞ est la somme des durées de vie des électrons et des trous minoritaires ; $n_1=p_1=n_i$ correspondent à une localisation en milieu de bande interdite du piège [14].

Imaginons dans le cas de l'injection faible dans un dispositif dopé de type N, où la concentration des électrons ou/et des trous injectés est très faible par rapport à la concentration initiale, c'est-à-dire que $p'/n_0 \rightarrow 0$. Dans cette condition, le champ électrique

est faible, l'équation de transport ambipolaire montre une relation connue pour la diffusion de porteurs minoritaires *(Tableau 3-1)*. Dans le cas de la forte injection, $p'/n_0 \rightarrow \infty$; l'équation de transport ambipolaire peut donc résoudre le problème de forte injection en utilisant les termes de l'équation pour la faible injection *(Tableau 3-1)*.

Ensuite, nous allons étudier chaque régime en détail jusqu'à l'injection ultra forte.

	U	D_A	μ_A	*E.T.A.*
Faible injection $\frac{p'}{n_0} \rightarrow 0$	$U \rightarrow \frac{p'}{\tau_{p0}}$	D_p	μ_p	$D_p \frac{\partial^2 p}{\partial x^2} = \frac{p'}{\tau_{p0}}$
Forte injection $\frac{p'}{n_0} \rightarrow \infty$	$U \rightarrow \frac{p'}{\tau_\infty}$	$D_\infty = \frac{2D_n D_p}{D_n + D_p}$	*0*	$D_\infty \frac{\partial^2 p}{\partial x^2} = \frac{p'}{\tau_{n0} + \tau_{p0}}$

Tableau 3-1 : Equation de Transport Ambipolaire (E.T.A.) et les paramètres importants pour la faible injection et la forte injection pour le semiconducteur dopé de type N.

3.3.3 Régime linéaire et saturation

a- Physique

Dans la région linéaire, la concentration de porteurs due à l'injection est très faible par rapport à la concentration de porteurs due au dopage initial du matériau. Dans ce cas, le composant est neutre, en dehors des charges d'espace. Les équations décrivant les états physiques de la structure sont :

$$\begin{cases} n_{inj} << n_0 = N_D \quad \Rightarrow \quad \varepsilon \nabla E = 0 \\ J = q n_0 \mu_n E \end{cases} \qquad \textbf{Eq. 3-15}$$

Le champ électrique E est constant de l'anode à la cathode et le composant suit la loi ohmique. Donc, la résistance du composant est calculée par l'équation suivante (type-N):

$$R_{low} = \frac{\rho L}{A} = \frac{1}{q \mu_n N_D} \cdot \frac{L}{A} = R_{sq} \frac{L}{W} \qquad \textbf{Eq. 3-16}$$

où L est la longueur de la résistance, A la surface, ρ la résistivité, μ_n la mobilité des porteurs, et N_D la concentration de donneurs. Il faut noter que la mobilité des porteurs dépend du dopage réel dans le composant.

Avec l'augmentation d'injection des charges, le champ électrique augmente également. A partir d'un certain seuil, la mobilité n'est plus constante et dépend du champ électrique. Pour les électrons dans le silicium, le champ électrique correspondant est de 10^4 V/cm. Pour un champ ayant une valeur supérieure à 10^4 V/cm, la vitesse des porteurs arrive à une valeur maximum, appelée la vitesse de saturation, v_{sat} (environ 10^7 cm/sec). Physiquement, cela signifie que, les porteurs disponibles ne peuvent plus supporter le courant injecté pour un dopage du caisson connu ; autrement dit, la densité du courant est limitée par la vitesse des porteurs. Par conséquent, le régime de saturation est contrôlé par le courant (charges) ; sa relation est décrit par l'équation suivante :

$$J_{sat} = qn_0 v_{sat} = qN_D v_{sat} \qquad \textbf{Eq. 3-17}$$

où J_{sat} est la densité de courant dans le composant.

Pour une densité du courant supérieure à J_{sat}, des charges en excès existent dans le caisson. Deux types de comportement sont observés sur cette région. Si les charges en excès sont distribuées de façon neutre au sein du composant, le champ électrique sur le caisson est constant (V/L) *(Figure 3-10 (b))*, cette situation est nommée 'Charge d'Espace Neutre' *(Figure 3-10 (a)-(b))* ou 'SCN' (pour 'Space Charge Neutral'). Dans ce cas, le courant I_0 peut être calculé par $J_{sat} \cdot A$. Ce phénomène peut aussi être expliqué par la différence entre le temps de relaxation diélectrique t_D et le temps de transit t_{TRAN} dans un composant semiconducteur. Ces deux paramètres sont calculés selon les équations suivantes :

$$t_D = \frac{\varepsilon}{q\mu N_D} = \text{ temps de relaxation diélectrique} \qquad \textbf{Eq. 3-18}$$

$$t_{TRAN} = \frac{L^2}{4D} \qquad \text{où D coefficient de diffusion} \qquad \textbf{Eq. 3-19}$$

Si les charges sont 'relaxées' avant d'être transportées ($t_D << t_{TRAN}$), on a un composant globalement neutre, c'est le cas 'SCN'. Par contre, si les charges sont transportées avant d'être 'relaxées' ($t_D >> t_{TRAN}$), les charges sont alors stockées dans le composant, on se trouve dans le cas 'Charge d'Espace Limitée' *(Figure 3-10 (c)-(d))* ou 'SCL' (pour 'Space Charge Limited'). Le courant dépend alors du nombre de charges stockées dans le composant car la vitesse de transport est déjà saturée (v_{sat}).

Il faut noter que, dans le cas 'SCL', les charges stockées peuvent impliquer une surtension aux bornes du composant sous test lorsque t_{TRAN} est supérieur au temps de montée du signal de test. Il est donc aussi utile d'étudier ce phénomène de surtension qui sera expliqué plus en détail dans la partie suivante (Chapitre 3.3.4).

Charge d'Espace Neutre : **Charge d'Espace Limitée :**

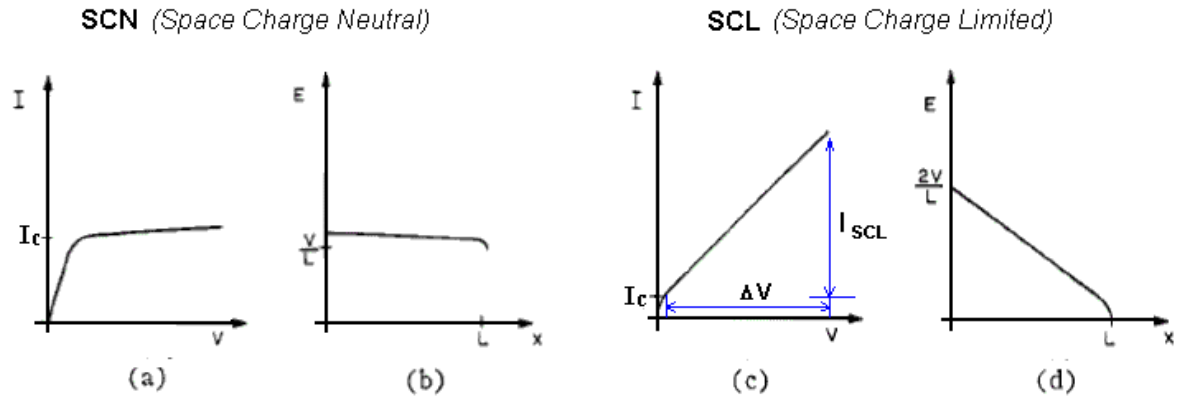


Figure 3-10 : Le courant et le champ électrique dans le cas 'SCN' (Space Charge Neutral) et 'SCL' (Space Charge Limited).

Les courants I_{SCN} et I_{SCL} peuvent être calculés en utilisant les équations suivantes [15, 16]:

$$I_{SCN} = J_{sat} \cdot A = q v_{sat} N_D \cdot A \qquad \textbf{Eq. 3-20}$$

$$I_{SCL} = (\varepsilon v_{sat} E_c / L) \cdot A = 2 A \varepsilon v_{sat} \Delta V / L^2 \qquad \textbf{Eq. 3-21}$$

où E_c est le champ critique aux bornes du composant lorsqu'il entre dans le régime d'avalanche. La valeur de E_c est de $1{,}2 \times 10^5$ à $1{,}5 \times 10^5$ V/cm selon *Hower* [16]. Généralement, on considère que E_c est constant pour le cas 'SCN' et 'SCL'. La limite de ces deux types de saturation peut être calculée par l'égalité $I_{SCN} = I_{SCL}$. Selon Eq.3-19 et 3-20, on obtient une valeur limite $N_D \cdot L = \varepsilon E_c / q$. Généralement, une résistance diffusée n'est pas purement SCN ni purement SCL. Plus $N_D \cdot L$ est petit, plus le composant s'approche de la saturation SCN. Par conséquent, avec l'augmentation de la longueur de la résistance L, le pourcentage de la saturation SCL augmente, on comprend qu'une légère augmentation du courant de saturation est due à l'effet de la saturation SCL *(Figure 3-12)*.

b- Modèle

Après la discussion sur la physique des régimes linéaire et en saturation, nous pouvons maintenant les modéliser sur la base de quelques hypothèses simplificatrices: l'effet de recombinaison et l'effet thermique sont négligés; la densité des porteurs générés thermiquement est négligeable comparé à N_D; les vitesses et les coefficients d'ionisation sont égaux pour les électrons et pour les trous. Dans le cas des régimes linéaire et saturé, nous

utilisons un modèle semi-empirique (Eq.3-22) en prenant en compte des paramètres physiques, notamment le dopage, la mobilité de porteurs, ainsi que les informations géométriques du composant.

$$\begin{cases} V = \dfrac{R_{low} \cdot I}{\sqrt{1 + (I / I_{sat})^2}} & \textbf{(a)} \\ R_{low} = \dfrac{\rho L_{eff}}{A} = \dfrac{1}{q\mu_n N_D} \cdot \dfrac{L_{eff}}{A} = R_{sq} \dfrac{L_{eff}}{W} & \textbf{(b)} \\ I_{sat} = a \cdot I_{SCN} = a \cdot J_{sat} \cdot A = a \cdot q v_{sat} N_D \cdot A & \textbf{(c)} \end{cases} \qquad \textbf{Eq. 3-22}$$

où *a* est un paramètre empirique en fonction de la longueur du composant, extrait par la mesure (ex. a≈1.03+0.02*L).

Pour le régime de faible injection, la mesure DC de 0 à 5V *(Figure 3-11)* montre que la longueur effective de la résistance L_{eff} doit être calculée par la somme de L et *w,* où *w* est la longueur de la zone des contacts de chaque coté du composant. Dans le cas des composants dopés de type P sans couche enterrée NBL, la diminution de la résistance du caisson P est due à la diffusion 3D. Cette divergence peut être corrigée par un maillage 3D dans la simulation grâce à la génération d'un réseau de résistances en 3D.

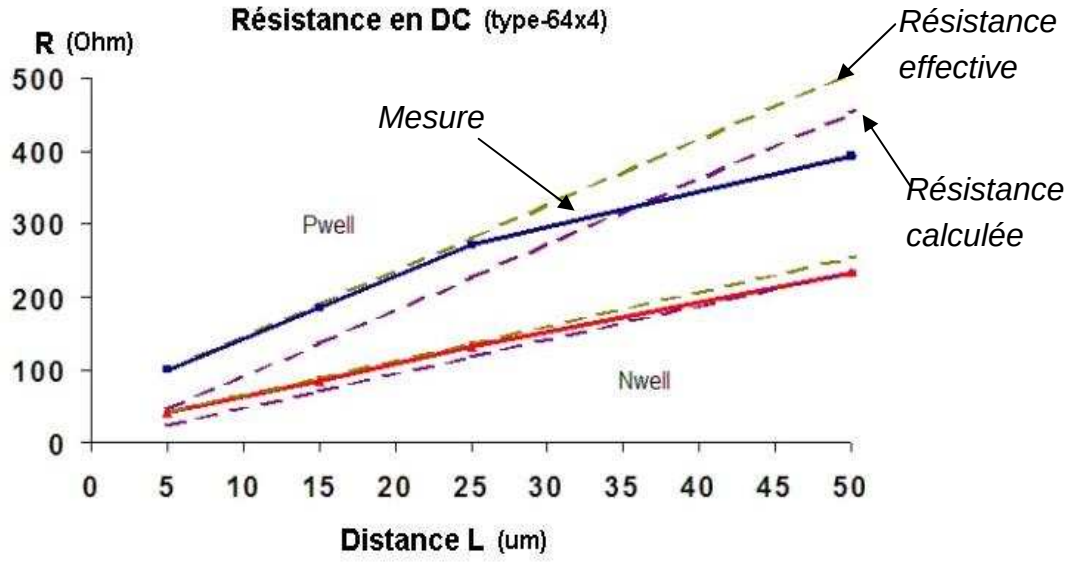


Figure 3-11 : Les résistances Pwell et Nwell mesurées en DC de 0 à 5V. Les lignes solides représentent les résultats de mesure; les lignes discontinues au-dessus représentent la résistance effective calculée, les lignes discontinues au-dessous représentent la résistance calculée sans prendre en compte de la variation de la longueur effective du composant.

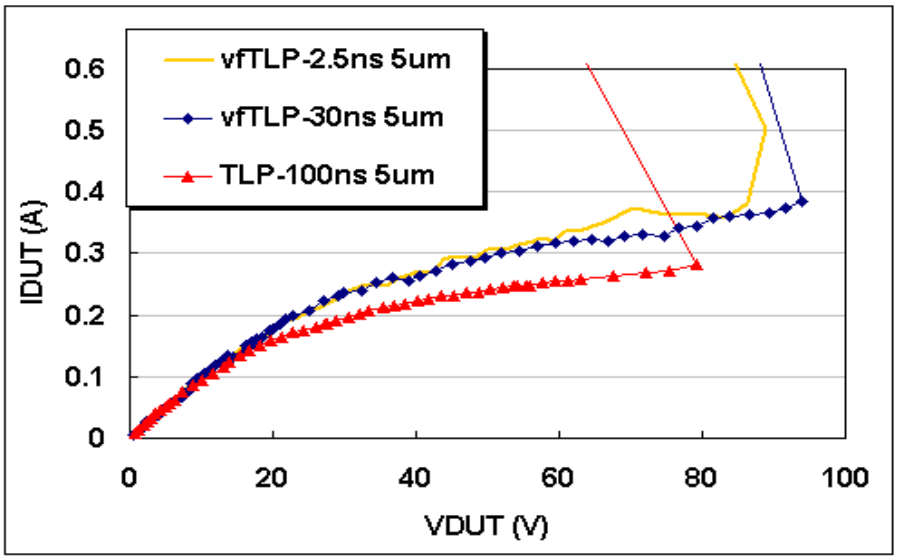


Figure 3-12 : Comparaison des mesure TLP (100ns) et vf-TLP (30ns et 2,5ns) sur une résistance diffusée de type-P.

Dans un premier temps, nous avons appliqué des impulsions TLP de 100ns avec un temps de montée de 2ns et vfTLP de 30ns et 2,5ns avec un temps de montée de 300ps sur la structure de type-P de 5 µm. En faible injection, que ce soit par la mesure TLP ou vf-TLP, on obtient la même valeur de résistance. Par contre, à plus forte injection, l'échauffement du composant sous les stress TLP est plus important et induit une augmentation de la résistivité du composant dans le régime de saturation par rapport au test vf-TLP 30ns et 2,5ns *(Fig. 3.12)*. Pour les composants testés en vf-TLP (30ns et 2,5ns), on obtient la même résistivité en régime de saturation. Les tensions de déclenchement V_{t1} restent quasiment les mêmes sous les deux types de test vf-TLP ayant un temps de montée de 300ps. L'augmentation de la tension V_{t1} sous le test vf-TLP est due à l'influence de la surtension pendant le stress extrêmement rapide [17, 18]. Le même phénomène a été observé pour toutes les longueurs de composant de 5µm à 50µm *(Figure 3-13)*.

Les résultats des tests TLP et vf-TLP des composants réalisés en technologie CMOS avancée de 45nm sont montrés sur la figure 3-13. Le courant de déclenchement reste comparable pour le cas du test TLP et celle du vf-TLP (environ 0,35A) pour toutes les longueurs des structures de test. Il est indépendant de type de dopage, et de la longueur du composant, comme observé également par G.Boselli [10]. Par contre, pour les composants plus longs, le courant de déclenchement continue à augmenter au-delà de cette valeur (environ 0,35A) à cause de la lenteur de déclenchement causée par un temps de transit plus long (le temps de transit suit la loi $T_{transit} \sim L^2$).

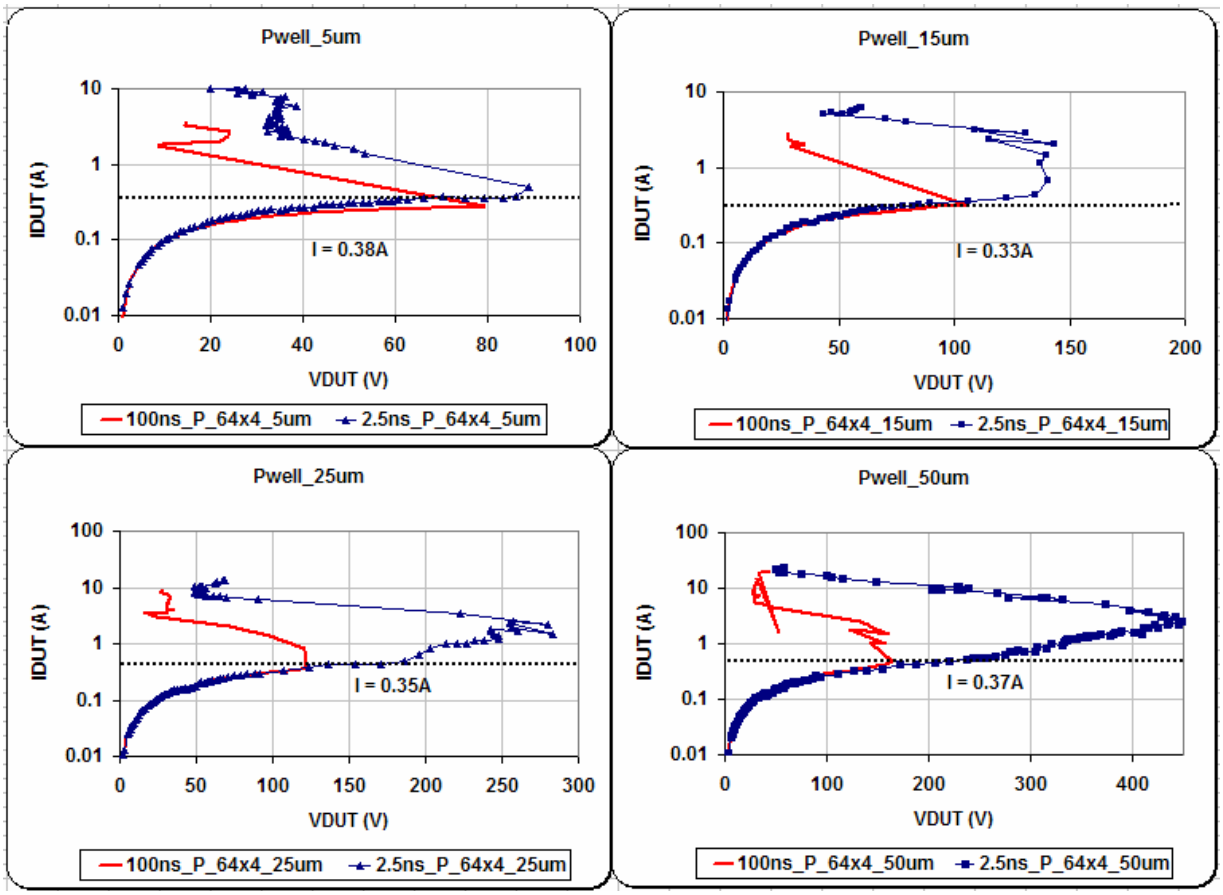


Figure 3-13 : Mesures TLP et vf-TLP de 2,5ns sur les résistances Pwell de différentes longueurs (technologie CMOS_45nm).

Notre étude s'est ensuite concentrée sur la modélisation de la résistance diffusée adaptée au test vf-TLP pour estimer la réponse du composant face à une décharge rapide, notamment le stress CDM.

D'abord, la résistance du caisson a été calculée par l'équation *Eq.3-22 (b)*, une valeur moyenne de N_D, extraite par R_{sq} *(Eq.3-22 (b))*, est utilisée pour calculer le courant de saturation I_{SCN} *(Eq.3-22 (c))* qui marque la fin du régime linéaire. Généralement, les charges en excès dans le régime de saturation impliquent un courant SCL, plus ou moins dépendant du niveau de dopage. Pour un composant fortement dopé avec une longueur L plus petite, il est plus proche de la saturation SCN, notamment la résistance Nwell de 5µm. Son courant est limité par la vitesse des porteurs v_{sat}. Le courant est donc limité à une valeur quasiment constante, I_{SCN}. Pour le dispositif faiblement dopé, le courant de saturation SCN I_{SCN} est très faible; en effet, le courant SCL est dominant. La pente maximale de la saturation SCL peut être calculée par l'équation *Eq.3-21*.

Un point critique de la courbe I(V) dans ce régime est le point *(V_0, I_0) (indiqué sur la figure 3-14)* qui signifie la fin du régime de saturation. L'effet du courant SCL qui augmente la valeur du courant de saturation I_{sat} a été modélisé par une relation empirique et linéaire en

fonction de L (pour un N_D fixe) par l'intermédiaire du paramètre a dans l'Eq.3.22(c). Une fois le courant I_0 (I_{SCN}) et I_{sat} définis, V_0 peut être facilement calculé par l'équation Eq.3-22(a).

La figure 3-16 montre les résultats de modélisation et les mesures vf-TLP de 2,5ns sur des composants de type-P pour différentes longueurs. Après l'extraction, le modèle corrèle bien avec les résultats de mesure pour les régimes linéaire et en saturation. Par contre, on a noté que la tension V_0 ne correspond pas toujours à la tension de déclenchement V_{t1}. Ce phénomène n'est pas observé dans le cas du test TLP. Il est donc dû à la surtension aux bornes du composant lors d'un stress extrêmement rapide.

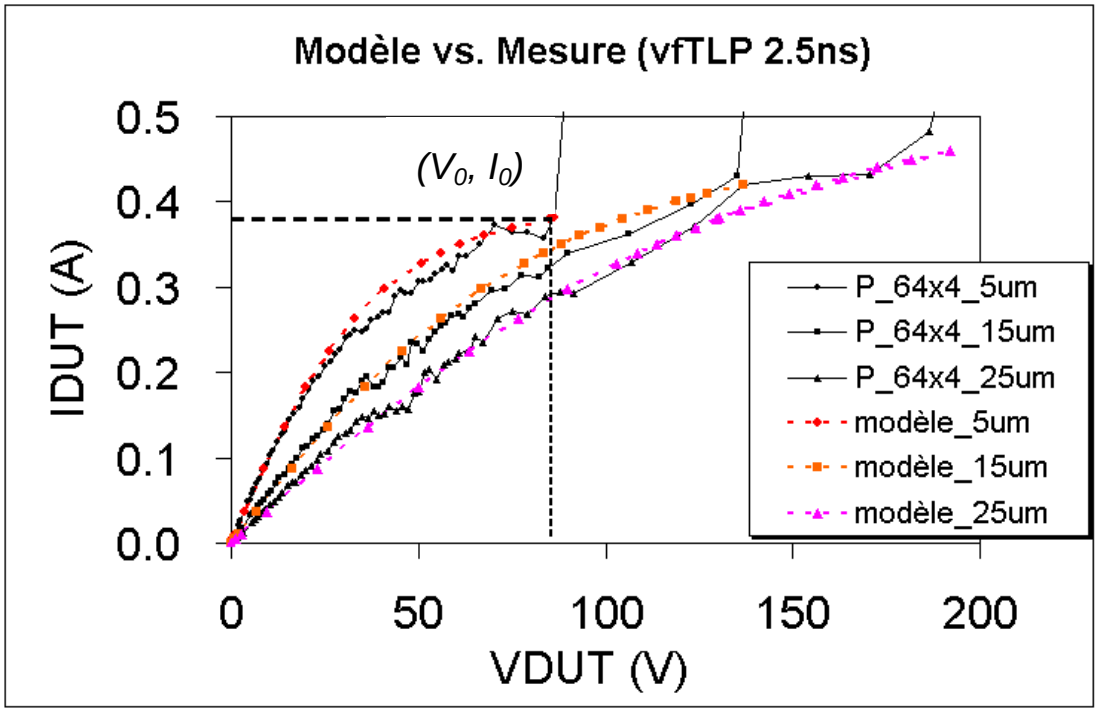


Figure 3-14 : Mesures de la résistance du Pwell (technologie CMOS45nm) en vf-TLP de 2,5ns et résultats simulés du modèle pour les régimes linéaire et en saturation.

3.3.4 L'effet dynamique et la surtension pendant un stress rapide

Plusieurs études ont été consacrées à l'étude du phénomène de surtension pendant le stress vf-TLP ou CDM et sa modélisation [11, 17, 19]. Ces auteurs ont montré que le temps de transit du composant est un paramètre important pour la surtension aux bornes du composant. Lorsque le temps de transit du composant est supérieur au temps de montée du stress, les charges injectées sont accumulées dans le DUT et la surtension apparait aux bornes du composant. On l'appelle souvent l'effet dynamique pendant un stress ESD. On a observé

qu'une relation approximative (*Eq. 3-23*) existait entre la tension V_{t1}, V_0 et la longueur L et t_{TRAN}.

G. Boselli [10] a montré que l'avalanche et le retournement de la résistance diffusée est un événement uniquement contrôlé par le courant, autrement dit, les charges. Selon les mesures, un courant d'avalanche stable est trouvé pour différents dispositifs de même dopage et diverses longueurs. Il s'agit d'une valeur fixe de 0,35A pour la résistance de Pwell (3,5e17cm^{-3}) et 0,6A pour la résistance de Nwell (5e17cm^{-3}). Cette valeur est ensuite utilisée pour modéliser I_{t1} pour le cas d'un courant de saturation SCN. Dans le cas du test TLP, le courant d'avalanche I_{t1} est très proche du courant de saturation I_{sat}.

Pour les tests vf-TLP de 2,5ns, la densité des charges injectées diminue énormément par rapport au test TLP. On sait que l'avalanche et le retournement commence lorsque la concentration de porteurs injectés est égale au dopage initial du caisson ($n_{inj}=n_0=N_D$) [10]. Par conséquent, le courant I_{t1} augmente afin de déclencher le composant pour entrer dans le régime d'avalanche et de retournement. Cette relation est montrée dans l'équation Eq.3-24.

$$V_{t1} = V_0 \cdot (1 + \frac{t_{TRAN}}{L}) \qquad \textbf{Eq. 3-23}$$

$$I_{t1} = I_0 \cdot (1 + \frac{t_{TRAN}}{t_{TLP}}) \qquad \textbf{Eq. 3-24}$$

L'extraction du modèle pour les points (V_0, I_0) et (V_{t1}, I_{t1}) sont montrés dans le tableau suivant. A cause d'une diffusion 3D dans le substrat sans isolation par la couche enterrée DNW pour les résistances de type P, les mesures sont valables jusqu'à 25µm.

L	t_{TRAN}	I_{t1} (A)			V_{t1} (V)		
(µm)	(ns)	Mesure	Modèle	Erreur %	Mesure	Modèle	Erreur %
5	0,52	0,50	0,48	3,4	89	90	-1,1
15	4,69	1,48	1,15	22,3	144	147	-2,1
25	13,02	2,40	2,48	-3,4	260	235	9,6

Tableau 3-2 : Extraction du modèle de la tension V_{t1} en cas de surtension.

3.3.5 Régime d'avalanche et retournement

Nous avons vu que l'injection des charges dans le régime de saturation implique un fort champ électrique. Une fois que ce champ atteint une valeur critique pour déclencher l'avalanche, des paires électrons-trous sont générées dans le composant. Ceci a tendance à réduire la charge d'espace totale dans le dispositif et donc la tension. Par conséquent, on observe une résistivité différentielle négative (NDR pour 'Negative Differential Resistivity'). Il faut noter que ce mécanisme est aussi contrôlé par le courant. On peut considérer que dans ce régime, l'on passe de l'injection d'un seul type de charges à l'injection de deux types de charges dans le composant.

L'équation classique pour la tension de maintien V_h (*Eq.3-25*) a été utilisée pour décrire la tension de retournement. Pour le cas du test vf-TLP, la tension de retournement est calculée à partir de la tension V_0 au lieu de V_{t1}, car V_{t1} représente la surtension pendant un stress rapide (*Eq.3-26)*. Le courant de retournement I_h a été calculé en supposant

$$V_h = V_0 \Big/ \sqrt{1 + \frac{1}{M-1}} \qquad \textbf{Eq. 3-25}$$

$$I_h = 2(2 \cdot I_{t1} - I_0) \qquad \textbf{Eq. 3-26}$$

3.3.6 Régime de très forte injection

A la fin du régime de retournement, la concentration des paires électrons-trous générées par l'avalanche dépasse largement celle des porteurs liés au dopage du caisson. Cela induit un champ électrique faible et constant dans le composant. La résistivité du caisson est diminuée par l'effet de la modulation de la résistivité du dispositif ce qui se traduit par une résistance très faible en régime de très forte injection. Il suit la loi d'Ohm comme le régime linéaire. La valeur de la résistance R_{high}, peut être facilement extraite par la mesure ou calculée par l'équation Eq.3-22(b) en fixant une valeur estimée de la concentration des porteurs en très forte injection. Le modèle s'écrit donc simplement:

$$V = V_h + R_{high} \cdot (I - I_h) \qquad \textbf{Eq. 3-27}$$

3.3.7 Bilan du modèle compact de la résistance du caisson

Grâce aux mesures TLP et vf-TLP, nous avons réussi à modéliser les comportements de la résistance en très forte injection par un modèle général. Ce modèle compact conçu en Verilog-A est très facile à être implémenter dans les simulateurs, notamment PSpice, Spectre, etc. Il fonctionne en courant et prend en compte les paramètres physiques importants (dopage, mobilité de porteurs, temps de transit du composant, etc) et la géométrie du dispositif (longueur, largeur, etc) afin de s'adapter aux exigences de la simulation CDM. En plus, ce modèle a été optimisé pour estimer le phénomène de la surtension induite par les stress extrêmement rapides.

L'avantage de ce modèle compact en Verilog-A est de pouvoir être utilisé pour différentes technologies par un simple calibrage du dopage et une extraction des paramètres. Les équations utilisées pour l'extraction des paramètres sont résumées dans le tableau suivant :

	Equations	**Paramètres à extraire**
Régime linéaire et en saturation	$R_{low} = \frac{\rho L_{eff}}{A} = \frac{1}{q\mu_n N_D} \cdot \frac{L_{eff}}{A} = R_{sq} \frac{L_{eff}}{W}$ $I_{sat} = a \cdot I_{SCN} = a \cdot J_{sat} \cdot A = a \cdot q v_{sat} N_D \cdot A$ $I_0 = I_{SCN}$ $V_0 = \frac{R_{low} \cdot I_0}{\sqrt{1 + (I_0 / I_{sat})^2}}$	L_{eff}, ρ a (ex : a≈1.03+0.02*L) I_{SCN}
Régime d'avalanche et retournement	$V_{t1} = V_0 \cdot (1 + \frac{t_{TRAN}}{L})$ $I_{t1} = I_0 \cdot (1 + \frac{t_{TRAN}}{t_{TLP}})$ $V_h = V_0 \Big/ \sqrt{1 + \frac{1}{M-1}}$ $I_h = b \cdot (2 \cdot I_{t1} - I_0)$	t_{TRAN} (D_A) M, b (ex.b≈2)
Régime de très forte injection	$V = V_h + R_{high} \cdot (I - I_h)$	R_{high} (μ_A)

Tableau 3-3 : Bilan des équations et des paramètres à extraire pour le modèle de la résistance dopée.

Nous pouvons ensuite extraire la résistance non-linéaire du substrat et l'implémenter dans la simulation CDM finale.

La figure suivante montre les points d'avalanche et de retournement selon les mesures et les modèles sur un véhicule de test de la technologie CMOS45nm. Les résultats de la modélisation corrèlent bien avec les mesures pour diverses longueurs du composant *L*.

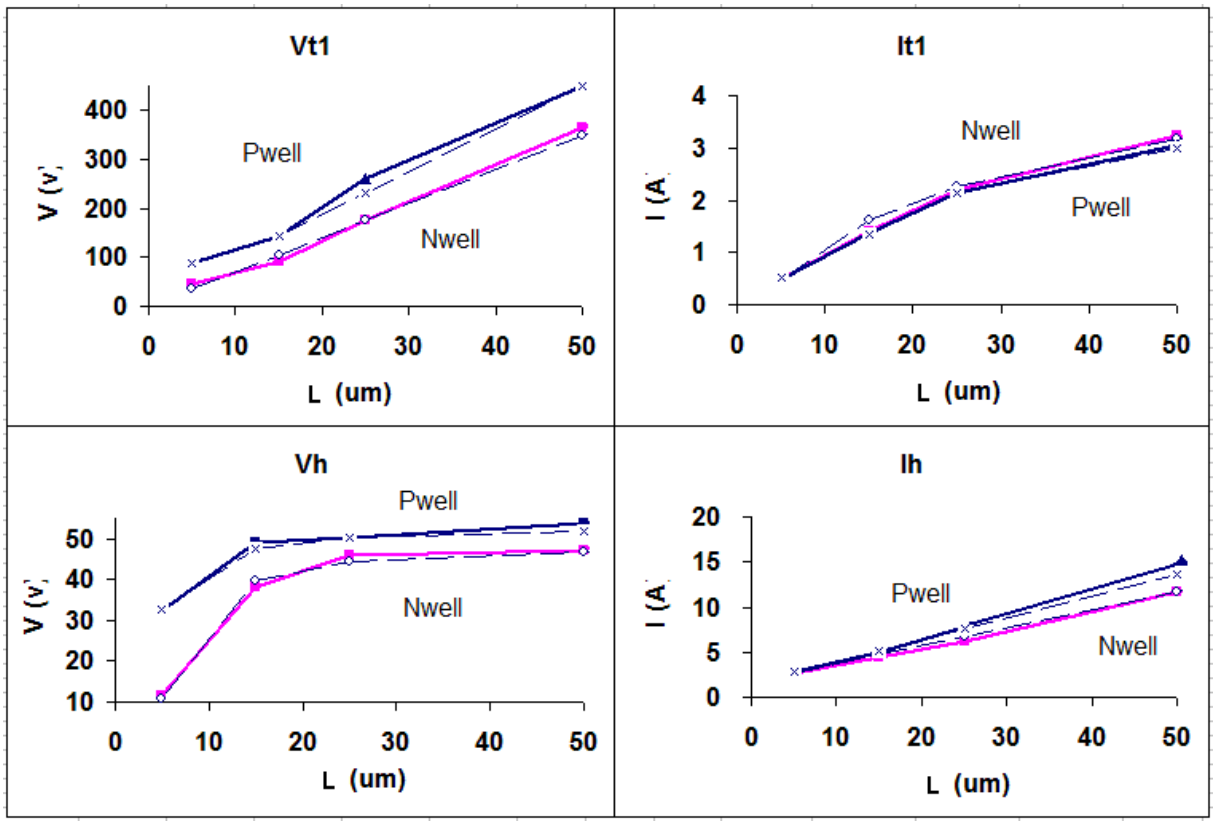


Figure 3-15 : Exemple des points d'avalanche et retournement des résultats de mesures de la résistance du caisson et extraits par le modèle. Les lignes continues représentent les mesures ; les lignes discontinues représentent les modèles.

3.4 Validation du modèle

Après l'optimisation du modèle, nous avons validé le modèle compact sur deux technologies différentes. Deux véhicules de test en technologie CMOS_45nm et BiCMOS_0,25µm ont été conçus dans cet objectif.

3.4.1 Validation sur une technologie avancée *CMOS_45nm*

D'abord, les résistances de caisson de type P ont été modélisées pour la technologie CMOS 45nm. Les résultats sont présentés dans la figure 3-16. Ils montrent une excellente corrélation entre les mesures et les modèles optimisés pour la tension d'avalanche V_{t1}.

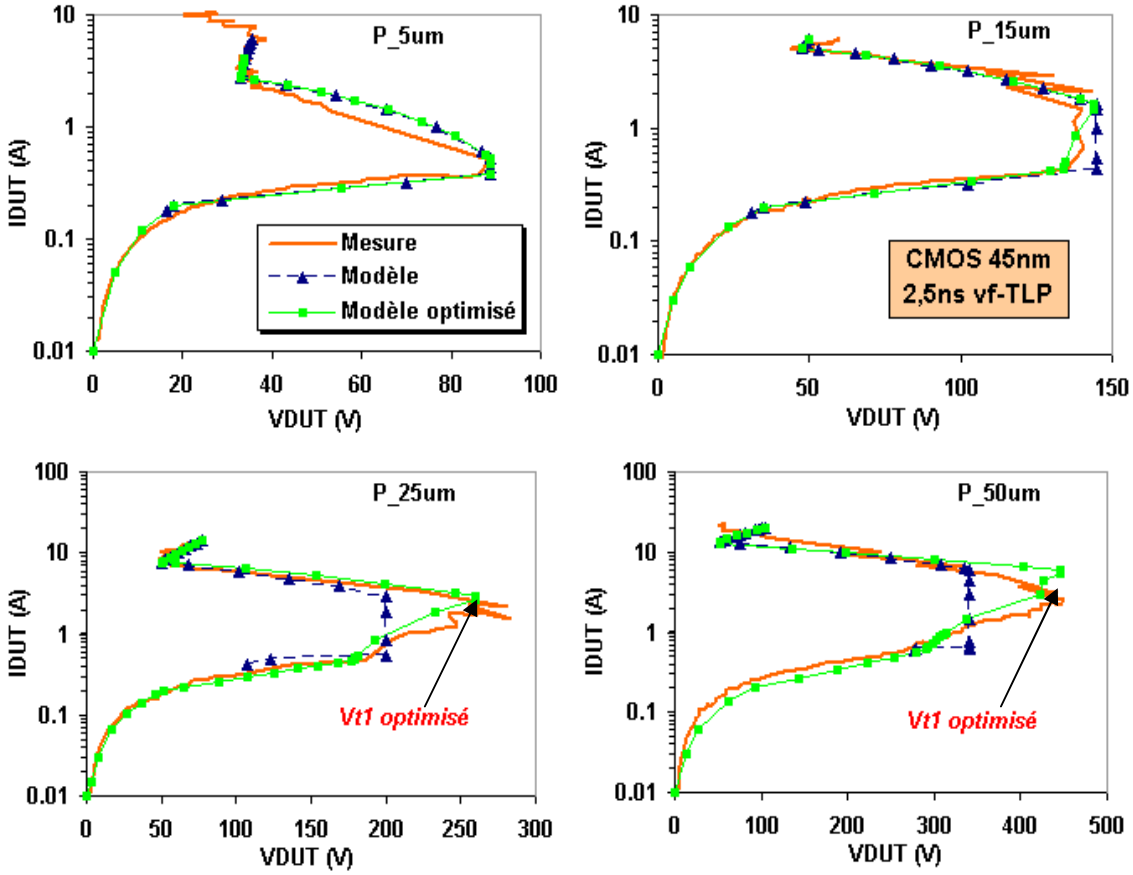


Figure 3-16 : Résultats des mesures et modèles des résistances de type P pour la technologie CMOS_45nm en vf-TLP de 2,5ns.

Ensuite, le modèle optimisé a directement été utilisé pour modéliser les résistances de type N. Dans la figure 3-17, nous avons également des résultats très satisfaisants.

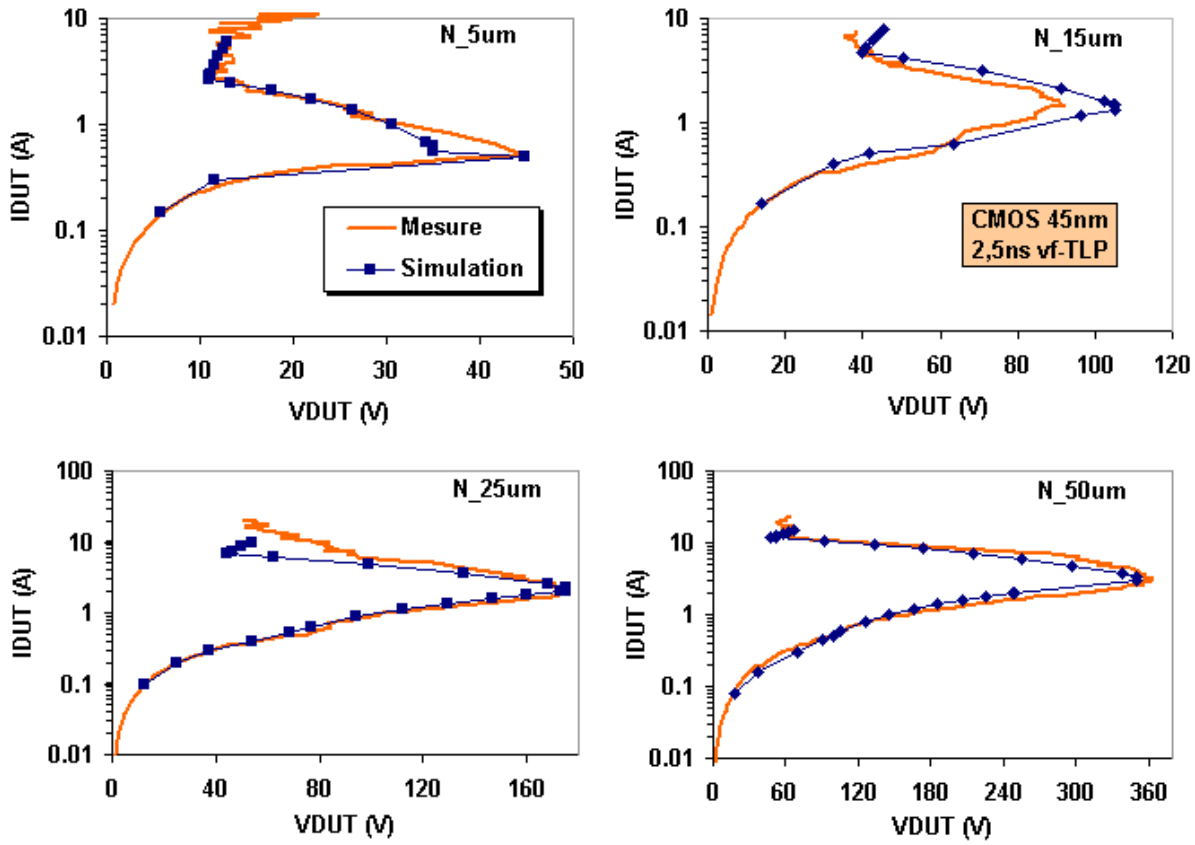


Figure 3-17 : Résultats des mesures et modèles des résistances de type N pour la technologie CMOS_45nm en vf-TLP de 2,5ns.

La difficulté d'accès à la résistance du substrat massif directement par la mesure ne permet pas de connaître son comportement en forte injection. Cependant, en modifiant le dopage du modèle, nous pouvons prédire la courbe I(V) en très forte injection pour la résistance du substrat P-, car le modèle est sensible au dopage, ainsi qu'au type de dopage. Il faut noter que, dans notre cas, l'influence de la géométrie pour le substrat est compensée par le réseau de résistances de substrat en 3D.

3.4.2 Validation sur la technologie *BiCMOS_0,25µm*

La technologie utilisée pour le deuxième véhicule de test est une technologie de type 'SmartPower' (BiCMOS 0,25µm). Cette technologie est dédiée à l'application des signaux mixtes analogiques et digitaux incluant des composants CMOS, Bipolaires et des transistors MOS de puissance sur la même puce. L'isolation par des tranchées profondes et une couche enterrée NBL sur un substrat P fortement dopé offre à cette technologie beaucoup de possibilités pour les applications complexes du domaine automobile et de puissance.

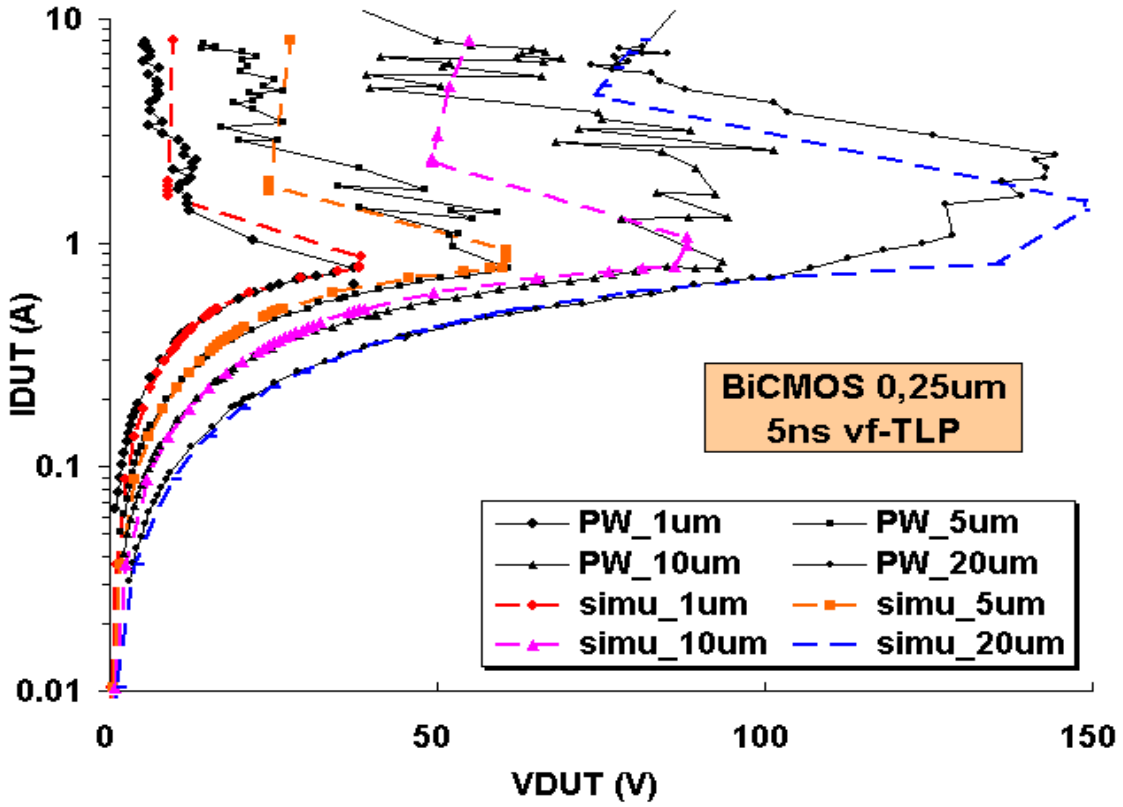


Figure 3-18 : Résultats des mesures et modèles des résistances de type P pour la technologie BiCMOS_0,25µm en vf-TLP de 5ns.

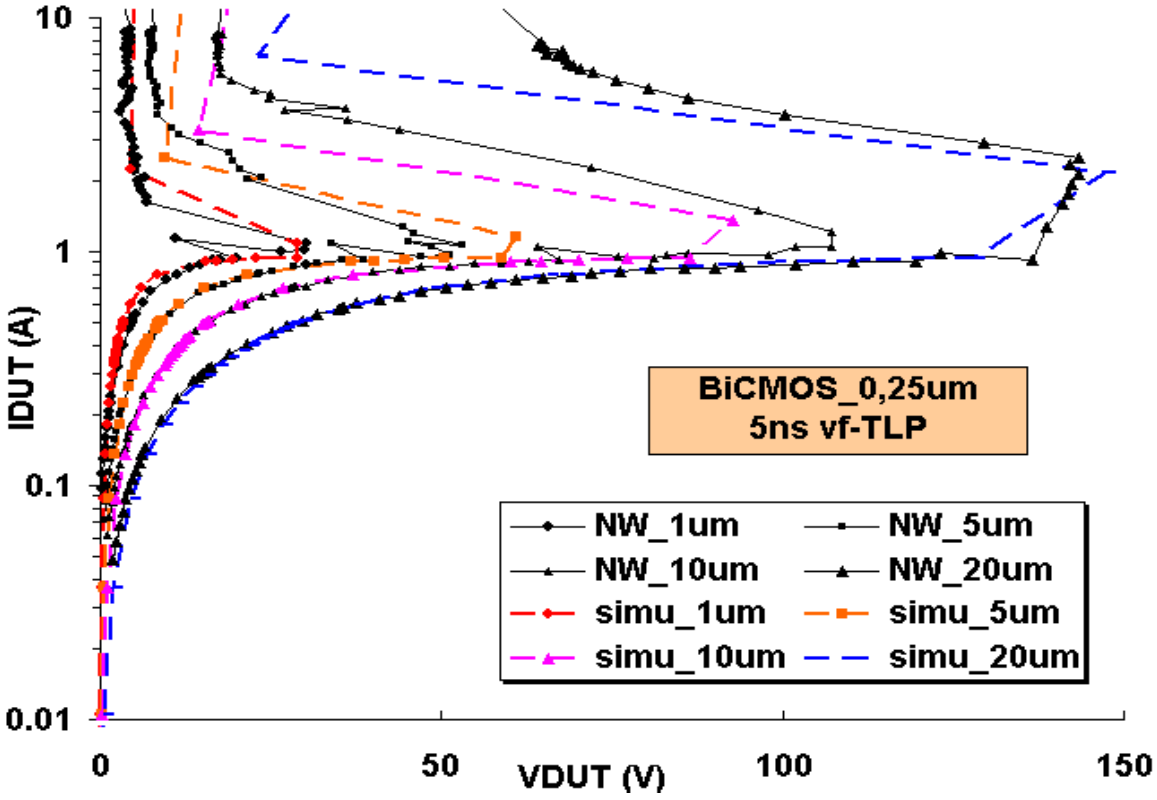


Figure 3-19 : Résultats des mesures et modèles des résistances de type N pour la technologie BiCMOS_0,25µm en vf-TLP de 5ns.

La même procédure que précédemment a été utilisée pour la technologie BiCMOS_0,25µm. Les tests vf-TLP de 5ns ont été appliqués sur les résistances du caisson de type P et N avec différentes longueurs de 1µm à 20µm. Les résultats sont présentés dans les figures 3-19 et 3-20. Comme pour la technologie CMOS_45nm, le modèle développé permet une bonne précision aussi bien pour la valeur de la résistance que pour la tension maximum avant retournement.

Nous avons donc finalisé la conception du modèle compact. Il est validé sur deux technologies différentes. Les résultats montrent une corrélation satisfaisante entre les mesures et la modélisation [20].

Les avantages de ce modèle compact et général pour la résistance de caisson ou de substrat sont importants vis-à-vis de la simulation CDM, car ce modèle est basé sur le courant, autrement dit, les charges injectées dans le substrat ou les caissons. Il est donc physiquement correct et prend en compte l'influence de la très forte injection. Puis, le comportement de la résistance varie en fonction de la géométrie du composant, ceci peut faciliter l'implémentation pour un réseau de résistances adapté à la simulation globale d'une puce. Un simple changement de dopage et un calibrage basé sur des mesures TLP/vf-TLP permet de définir les paramètres du modèle pour une technologie donnée. Il est donc aisé de le transférer sur une autre technologie. Par contre, le maillage a une influence importante pour la précision de la simulation. Nous allons expliquer cet effet dans la partie suivante.

3.5 Mise en place d'une simulation CDM

Une simulation CDM est une combinaison de tous les éléments parasites et du circuit électrique fonctionnel. Pendant un test CDM, les éléments parasites de tout le système doivent théoriquement être pris en compte pour définir le courant de décharge et le chemin de décharge. Cependant, ce cas idéal est difficile à atteindre; jusqu'à aujourd'hui, seulement les parties les plus pertinentes sont modélisées pour la prédiction de défaillance CDM. Afin de simplifier la simulation CDM, S. Sowarijaj [5] propose de modéliser le circuit par des diodes et les capacités parasites des jonctions. Cette méthode demande beaucoup de ressources pour le calcul et pose des problèmes de convergence. Certaines études montrent que le circuit électrique seul est suffisant pour une simulation CDM correcte [2, 3, 6, 8, 21-23]. Notre étude est donc focalisée sur les impacts de la résistance du substrat et les éléments parasites du système de test CDM.

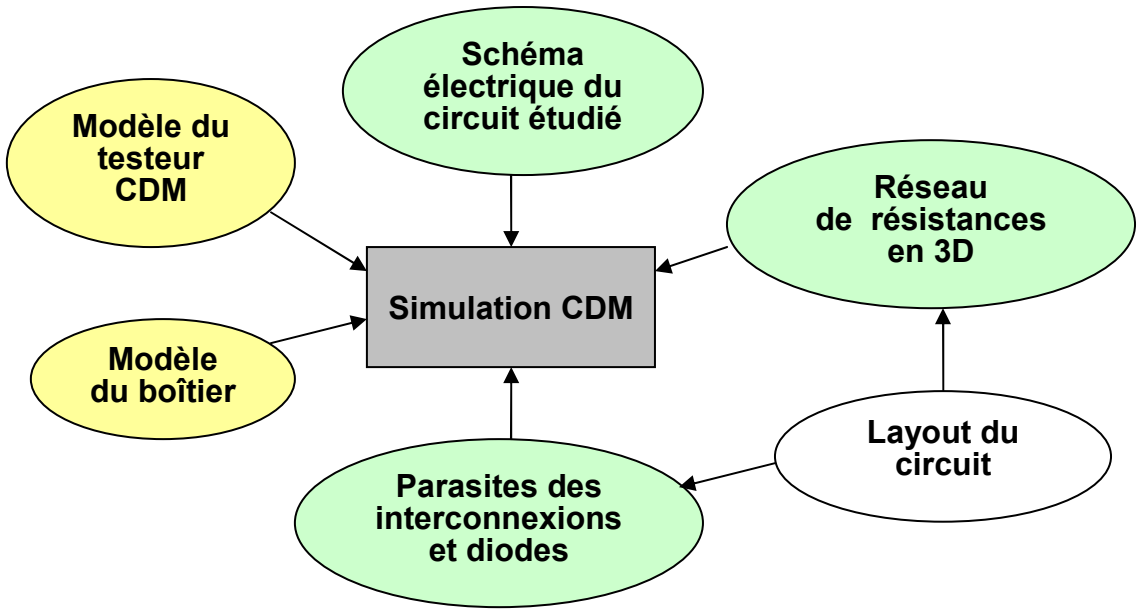


Figure 3-20 : Méthodologie d'une simulation de type FCDM.

3.5.1 Génération automatique du réseau de résistances du substrat en 3D

Pour étudier l'influence globale de la distribution du courant dans le substrat, un réseau de résistances en 3D est nécessaire. Dans cet objectif, nous avons créé un programme

pour générer automatiquement le réseau de résistances en 3D en langage C. Les positions des caissons importants et les prises de contact du substrat sont extraites à partir du dessin de masques du circuit par un script SKILL sous Cadence. Ces informations géométriques du circuit sont ensuite entrées dans le programme de génération du réseau de résistances du substrat pour créer un fichier adapté au simulateur choisi, notamment *Spectre*. Ce fichier inclut le maillage des résistances du substrat, ainsi que les diodes parasites entre deux couches dopées de type P et type N (Pwell/NBL et P_substrat/NBL). Certains caissons peuvent aussi être extraits selon le besoin en réseau de résistances afin d'analyser la distribution du courant localement.

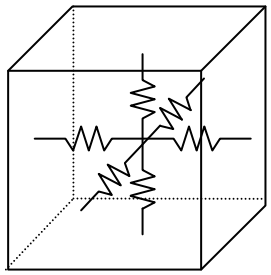


Figure 3-21 : Modélisation du substrat par un réseau de résistance en 3D.

3.5.2 Eléments nécessaires pour effectuer une simulation CDM prédictive

Une fois que le réseau de résistances a été généré (3D), ce dernier est connecté avec le circuit électrique (2D). Nous avons donc un circuit complet incluant le substrat pour une simulation CDM. La prochaine étape est d'ajouter les éléments parasites nécessaires à la simulation comme nous l'expliquons en détails dans la partie suivante.

a- Testeur CDM

Nous avons présenté une méthode de caractérisation et modélisation du testeur CDM. Le schéma équivalent est présenté dans la figure 3-4 proposée par M.Etherton [6].

b- Parasites des boîtiers

Les éléments parasites associés au boîtier sont des paramètres très importants pour la simulation CDM. Ils constituent la source principale de charges et font partie du chemin de décharge. Ils influencent significativement la forme d'onde de la décharge (Chapitre 1.). Plusieurs études ont été effectuées pour clarifier les éléments parasites des boîtiers [4, 5].

M. Etherton [6] [8] a proposé un circuit équivalent du boîtier composé des broches du boîtier, des fils de connexion (bonding wire), ainsi que des plots métalliques sur le circuit. Pour les boîtiers ayant des broches très proches, les éléments mutuels sont nécessaires pour la simulation, mais pour le boîtier de type DIL que l'on utilise pour l'étude, ces parasites ne sont pas inclus.

Les différents types de boîtiers les plus souvent utilisés avec leurs éléments parasites respectifs sont répertoriés dans le tableau suivant :

Eléments parasites	**PDIL24**	**CDIL24**
C_{SUB}	4 (pF)	14 (pF)
C_{BUS}	0,1 (pF)	0,1 (pF)
C_{PIN}	0,5-2 (pF)	1-3,5 (pF)
L_{PIN}	1-5 (nH)	6-10 (nH)
R_{PIN}	0,8-1,5 (Ω)	1-2 (Ω)

Tableau 3-4 : Les éléments parasites de différents boîtiers (DIL24 Plastique et Céramique) dans la condition de test FCDM.

c- Parasites des interconnexions et diodes parasites

Les interconnexions comme les bus métalliques et les lignes de polysilicium sont aussi des parasites sur les chemins de décharge. Leur résistance peut être élevée et causer une chute de potentiel significative ayant un fort impact sur le résultat de la simulation.

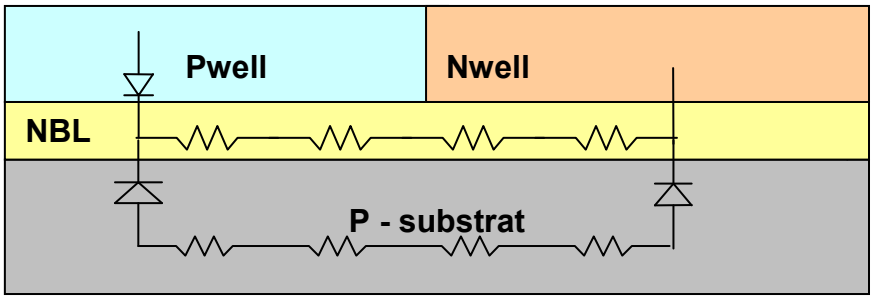


Figure 3-22 : Modélisation des diodes parasites.

Pour différentes technologies, les diodes parasites formées par des couches d'isolation, par exemple, la couche NBL entre les caissons et le substrat P, sont critiques pour définir les

chemins de décharge pendant le stress CDM. Les chemins de décharge sont différents selon la tension de charge, positive ou négative. Les capacités parasites des jonctions entre les couches de type P et de type N doivent être incluses dans le modèle de diodes parasites afin de simuler l'effet de couplage capacitif. Nous avons saisi cette partie dans la simulation par le réseau de résistance du substrat en 3D.

3.6 Validation en technologie BiCMOS

3.6.1 Description du composant sous test

Dans les parties précédentes, nous avons défini une méthode de génération du schéma complet équivalent pour une simulation CDM au niveau du circuit. Dans cette partie, nous allons valider cette méthodologie de simulation sur un produit conçu en technologie BiCMOS 0,8µm.

Ce composant est le convertisseur DC-DC qui est présenté en détails au chapitre 2. Il a été stressé en CDM pour la détection des défauts latents induits par le stress CDM. Un site de défaut sur la grille d'un des transistors MOS de l'étage d'entrée a été détecté par la technique de mesure de bruit basse fréquence LFN.

Afin de valider la méthodologie de simulation CDM sur ce composant, les résistances des caissons principaux (Pwell, Nwell et NBL) et du substrat P- de la technologie BiCMOS 0,8 µm ont d'abord été calibrées en utilisant le modèle compact de la résistance diffusée (Chapitre 3.3). Le schéma complet de la simulation CDM *(Figure 3-23)* est généré dans l'environnement Cadence en vue d'une simulation électrique Spectre.

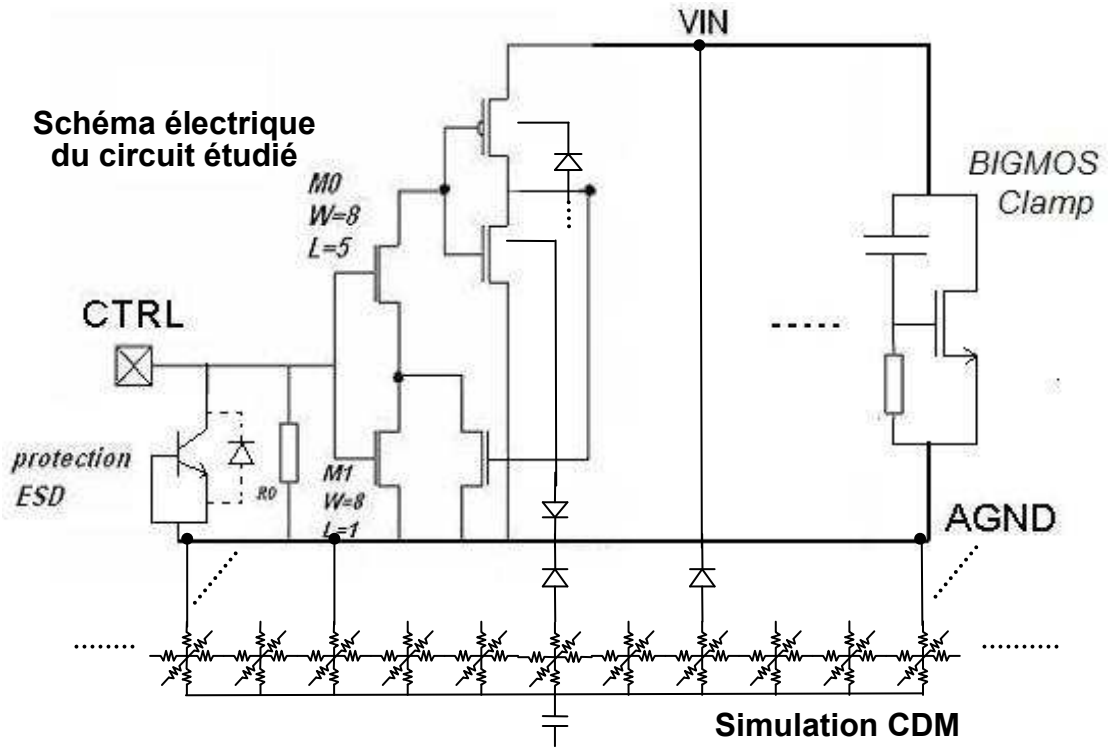


Figure 3-23 : Schéma électrique complet du circuit d'entrée connecté à la broche CTRL.

Un réseau 3D de la résistance du substrat a été généré pour un substrat ayant une taille réelle de 1000µm×1000µm (profondeur de 360µm). La simulation prend en compte les diodes parasites, incluant les capacités parasites entre la couche enterrée NBL et le caisson Pwell ou P-substrat. La protection ESD locale de la broche CTRL et le Power Clamp BIGMOS ont été modélisés d'après leurs caractéristiques TLP/vfTLP. La résistance du bus AGND de 1 Ω a été également ajoutée. Le circuit simulé est composé des 5 MOS en entrée du composant afin de focaliser l'étude sur les grilles stressées dans notre cas. Les capacités parasites des plots sont négligeables par rapport à la capacité du boîtier et les fils de connexion ('bonding wire'). Trois broches, CTRL, VIN et AGND ont été incluses dans cette simulation, car elles ont un impact direct sur la tension aux bornes des grilles de MOS lors du stress CDM appliqué sur la broche CTRL. Les valeurs des éléments parasites du boîtier sont résumées dans le tableau 3-4 précédent.

3.6.2 Simulation CDM

Simulation Spectre avec un réseau de résistances du substrat Rsub non-linéaires :

Les simulations CDM incluant le réseau de résistances du substrat ont été effectuées pour plusieurs niveaux de tension de précharge V_{CDM} (de + /-500V à +/-2000V). Les résultats de simulation CDM pour la tension V_{CDM} = +500V sont présentés dans les figures suivantes.

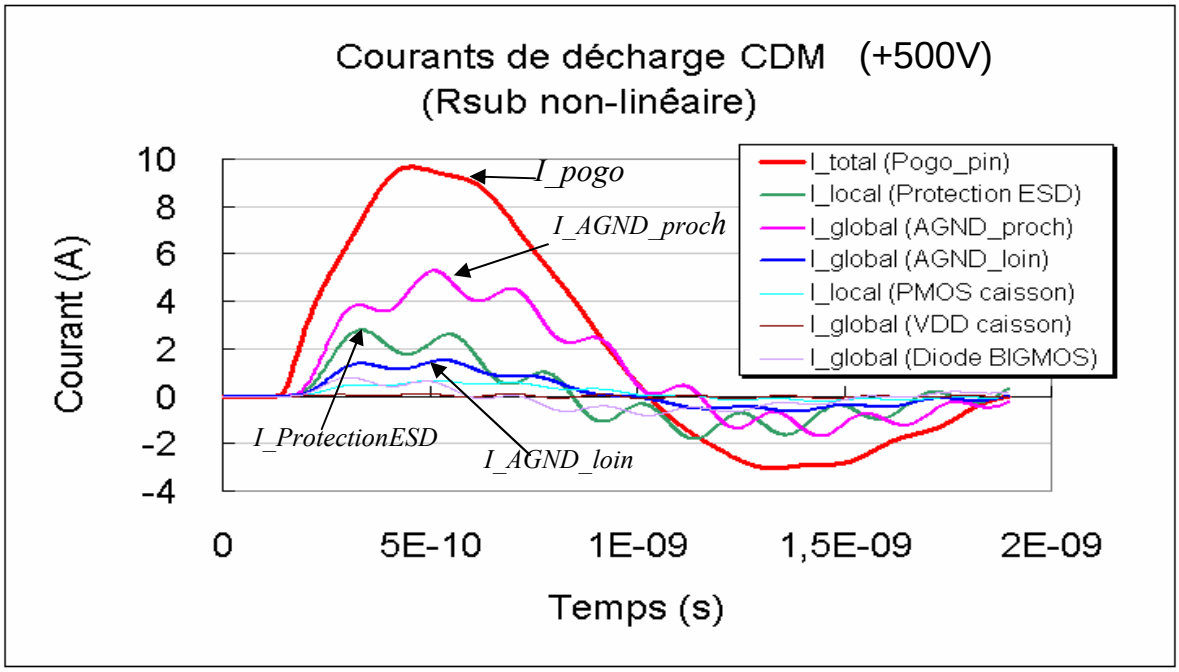


Figure 3-24 : Courants de décharge traversant la broche 'pogo_pin', la structure de protection ESD locale et globale (Rsub ; V_{CDM} = +500V).

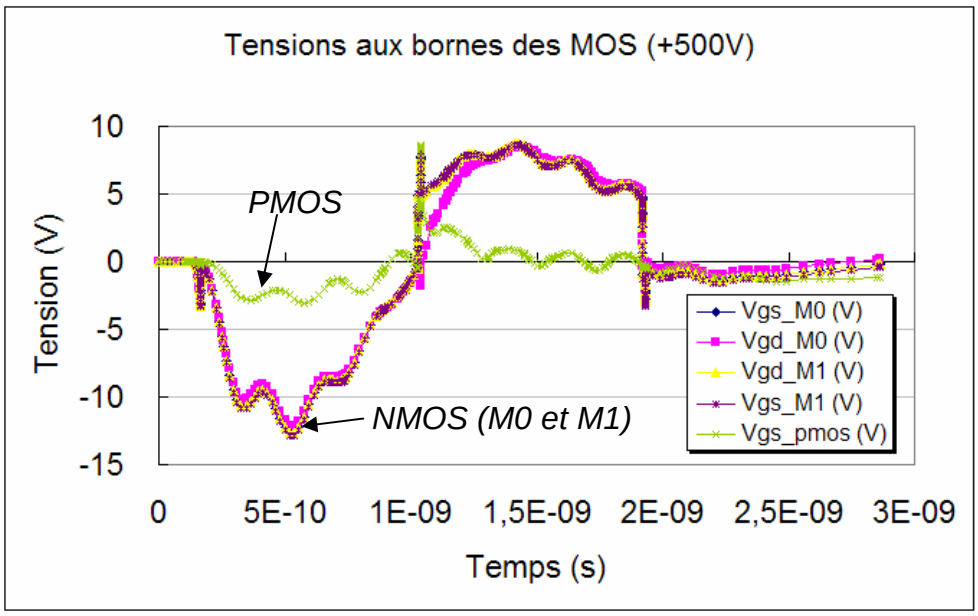


Figure 3-25 : Tensions aux bornes des MOS d'entrée (Rsub ; V_{CDM} = +500V).

Nous avons observé que la tension maximale est toujours appliquée sur les MOSFETs M0 et M1 *(Figure 3-25)*. Les structures de protection locale (bipolaire npn) et globale (prises contacts du substrat et BIGMOS Power Clamp) partagent le courant de décharge CDM *(Figure 3-25)*. Il faut noter qu'une petite partie du courant circule dans les caissons et passe par des diodes parasites, mais ces courants ne sont pas assez forts pour déclencher l'avalanche de la résistance du caisson.

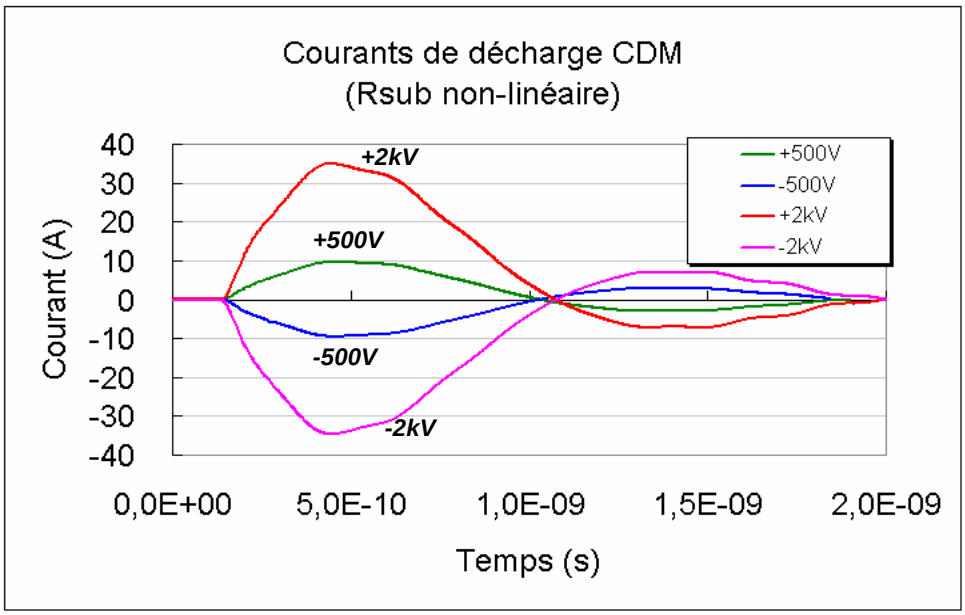


Figure 3-26 : Courants de décharge CDM simulés sur la broche 'pogo_pin' du testeur CDM.

Ainsi, quelle que soit la polarité de la précharge, positive ou négative, le niveau de courant de décharge est quasiment le même *(Figure 3-26)*; par contre, les surtensions maximales générées sur l'oxyde de grille présentent une différence de 10V, soit 68% de plus pour le cas négatif par rapport au stress positif *(Figure 3-27)*.

Ce résultat confirme ceux obtenus par simulation physique précédemment par TCAD-ISE en mode mixte dans la même configuration (Chapitre 2.2.9). La différence de tension maximale selon la simulation TCAD-ISE (supérieure à 50V pour +/-500V) comparée à la simulation complète par Spectre (14V-24V pour V_{CDM} = +/-500V *(Figure 3-27)*) est liée au fait que l'épaisseur totale du substrat n'est pas entièrement prise en compte pour la simulation TCAD-ISE.

Un bilan des tensions maximales aux bornes des MOS d'entrée M0 et M1 est présenté à la figure 3-27. Il montre que pour les cas des stress CDM négatifs, les tensions maximales sur les grilles de MOS sont plus importantes par rapport aux positifs dus aux différences de chemins de décharge et à la variation de résistance du substrat (observé par un message intégré dans le modèle compact de la résistance). Ces résultats corrèlent bien avec les mesures, la simulation TCAD-ISE et l'analyse de défaillance qui sont présentés au chapitre 2. En effet, par rapport à la tension de claquage vf-TLP mesurée pour cette technologie (Tox=20nm), les grilles de MOS M0 et M1 sont dans la zone sécurisée pour les stress CDM de ±500V (Vmax=25V<42V@vf-TLP). Par contre, dans le cas des stress plus élevés (V_{CDM}=±2000V), les grilles de MOS sont dégradées.

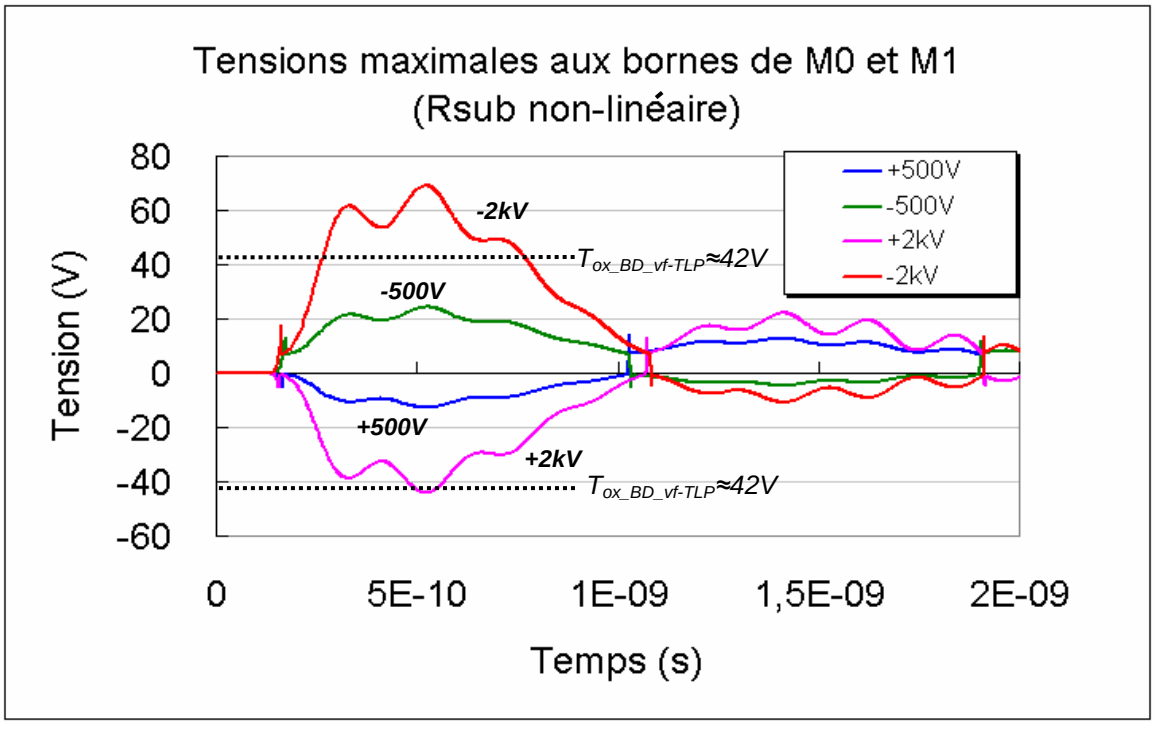


Figure 3-27 : Bilan des tensions maximales aux bornes de M0 et M1 pour +/-500V et +/-2000V (simulé avec le réseau de résistance 'Rsub' nonlinéaire).

Simulation Spectre avec un réseau de résistances du substrat Rcst constantes :

La figure 3-28 montre les résultats d'une simulation comparative avec des valeurs de résistances constantes. La valeur de la résistance constante du substrat a été calculée par l'équation *Eq. 3-16* ($R=L/q\mu NA$) qui correspond au régime linéaire du modèle de résistance de substrat non-linéaire. On voit que la distribution des courants de décharge CDM dans le substrat est très différente par rapport au cas simulé avec un réseau de résistances non-linéaires. Il prévoit trois chemins de décharges principaux et quasi-uniformes traversant la protection ESD (*I_ProtectionESD*), les prises de substrat connectées aux bus AGND proche (*I_AGND_proch*) et loin (*I_AGND_loin*).

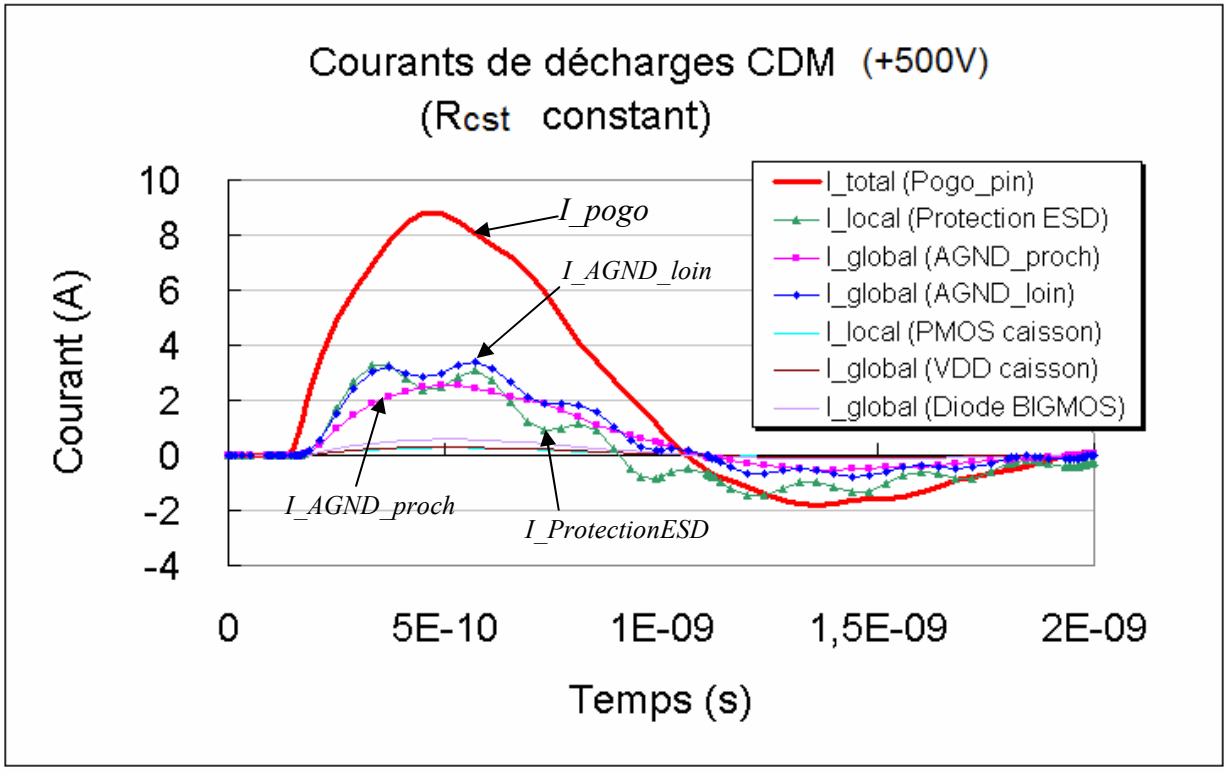


Figure 3-28 : Courants de décharge traversant la broche 'pogo_pin', la structure de protection ESD locale et globale (Rcst ; V_{CDM} = +500V).

Les tensions maximales de grille sont inférieures d'environ 14% par rapport aux résultats simulés avec un réseau de résistances non-linéaires *(Figure 3-29 et Tableau 3-5)*. Nous avons également noté que, dans ce cas, la tension maximale traversant les MOS M0 et M1 est de 37V au lieu de 43V pour le cas de simulation avec la résistance non-linéaire. Cela correspond à situer les MOS d'entrée M0 et M1, dans la zone sécurisée pour le cas du stress CDM de +2kV alors que la validation expérimentale a montré que tous les composants étaient dégradés à ce niveau de stress CDM.

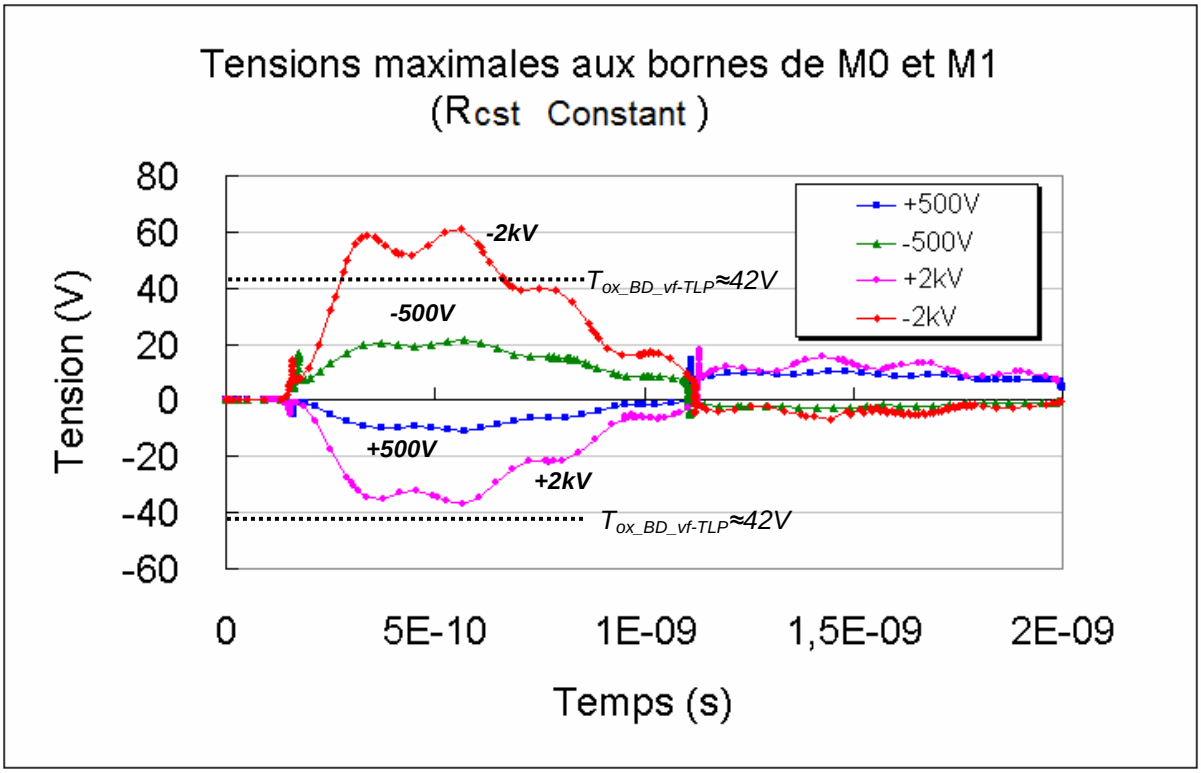


Figure 3-29 : Tensions des grilles de MOS simulées avec les résistances du substrat constant pour V_{CDM} de -2000V.

Ce résultat peut s'expliquer comme ceci : la valeur de la résistance du substrat non-linéaire dépend fortement de la longueur du chemin de décharge, lorsque la résistance d'un chemin entre dans le régime de saturation due à une forte injection (augmentation de la valeur de résistance du substrat), les charges seront redistribuées de façon non-uniforme en privilégiant les chemins les moins résistifs. Par conséquent, la distribution du courant dans le substrat est différente par rapport au cas d'un réseau de résistances constantes. Le régime transitoire sur le circuit (ou les grilles de MOS) sera également changé lorsque les courants circulant sur le circuit (ligne de bus, etc) sont modifiés [12].

Bilan :

Enfin, le tableau suivant résume les résultats de simulation avec un réseau de résistances du substrat non-linéaires, *Rsub* et constantes, *Rcst*. Nous avons noté que, pour le même type de boîtier, une capacité C_{SUB} de 10pF, et les mêmes niveaux de tension de précharge V_{CDM}, les valeurs des pics de courant CDM et les tensions maximales aux bornes des MOS d'entrée M0 et M1 sont différentes. Pour les cas simulés avec un réseau de résistances du substrat non-linéaires, les pics du courant de décharge CDM, I_{CDM_pic}, sont en moyenne de 11,1% plus élevés, et les tensions maximales aux bornes des MOS sont en moyenne augmentées de 19,5% par rapport au cas d'un réseau de résistances du substrat

constantes, *Rcst*. Le rapport V_{gs_max}/I_{pogo_pic} indique la relation entre la valeur maximale du courant de décharge, I_{pogo_pic}, et la tension maximale aux bornes des MOS d'entrée, V_{gs_max}. Il montre que ces deux valeurs n'ont pas de corrélation directe. Par contre, nous avons observé une augmentation du rapport V_{gs_max}/I_{pogo_pic} de 7,8% pour la simulation avec un réseau de résistances non-linéaires, *Rsub*.

		I_{pogo_pic} (A)	V_{gs_max} (V)	V_{gs_max} /I_{pogo_pic}	Temps de simulation T_{simu} (sec) pour T_{CDM} (ns)	T_{simu}/ T_{CDM} (ns)
Rsub non linéaire	+500V	9,67	-14,20	1,47	125 pour 1,9ns	66s
	-500V	-9,51	24,35	2,56	210 pour 3,26ns	64s
	+2kV	35,04	-44,15	1,26	352 pour 2,0ns	176s
	-2kV	-34,64	69,15	2,00	356 pour 3,3ns	108s
Rcst constante	+500V	8,79	-10,74	1,22	5 pour 2ns	2,5s
	-500V	-8,63	21,50	2,49	5 pour 2ns	2,5s
	+2kV	30,40	-37,15	1,22	7 pour 2ns	3,5s
	-2kV	-31,85	60,93	1,91	7 pour 2ns	3,5s
Delta Moyenne (Δ/Rcst)		11,1%	19,5%	7,8%	NA	31

Tableau 3-5 : Bilan des résultats de simulation CDM utilisant un réseau 3D de résistances du substrat non-linéaires Rsub et constantes Rcst (C_{SUB}=10pF).

Le temps de simulation dépend du nombre de transistors et de la résistance du substrat. Cette simulation ayant environ 600 résistances de substrat et 6 transistors, le temps de simulation est d'environ 2~6 minutes sans problèmes de convergence. La tension de précharge V_{CDM} influence également la performance de convergence. Plus la tension de charge est importante, plus le pas de calcul doit être petit pour une meilleure convergence. Une modification de la tolérance de calcul dans l'option du simulateur peut aider la convergence et aussi diminuer le temps de simulation. En moyenne, pour les simulations effectuées, le temps de calcul est de quelques secondes à une vingtaine de minutes selon la complexité de la simulation.

Il est important de noter que nous avons rencontré plus de problèmes de convergence dans le cas de simulation avec un réseau de résistance constantes, Rcst. A partir de 2ns environ, la simulation s'arrête à cause de la divergence. Par contre, la simulation avec un réseau de résistances non-linéaires, Rsub, peut être réalisée jusqu'à 3~5ns sans problèmes de convergence.

Une cartographie de tension sur le substrat (près de la zone active) pour V_{CDM}=+2kV est présentée dans la figure suivante. La différence de tension maximale dans le substrat est trouvée au moment Temps=883ps. Il montre que les potentiels du substrat ne sont pas uniformes pendant le stress CDM. La différence de potentiel globale peut attendre la centaine de volts.

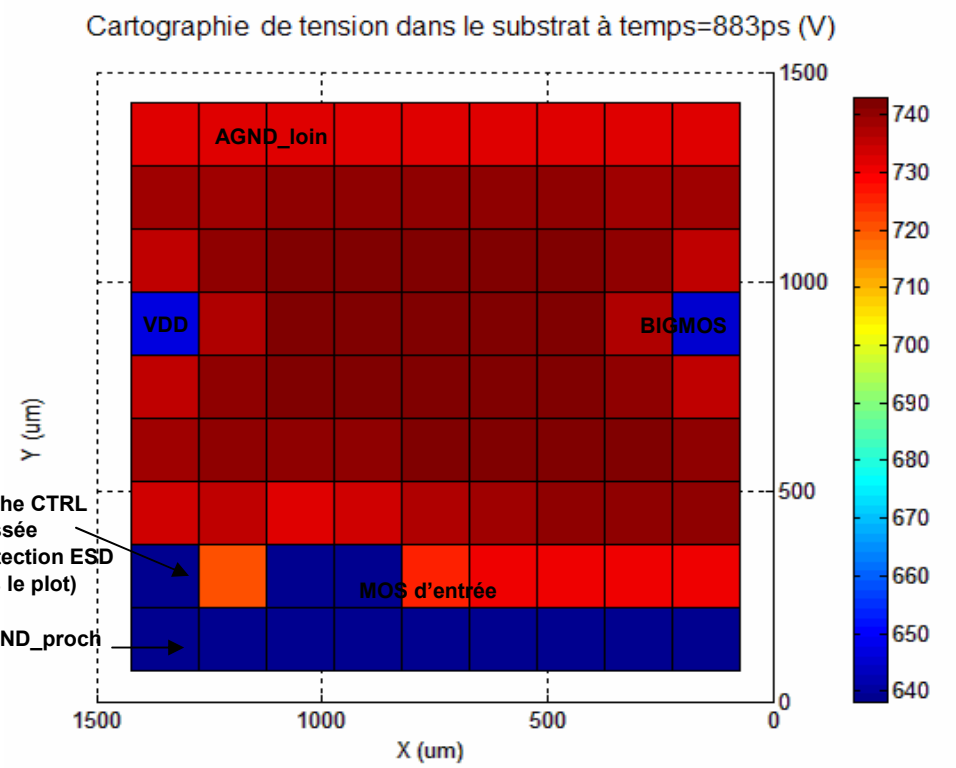


Figure 3-30 : Cartographie de tensions dans le substrat simulée pour le stress CDM (V_{CDM}=+2kV). Temps=883ps où la différence de tension est maximale dans le substrat.

Fausse alarme :

Pour ces deux types de réseau de résistances du substrat, constantes et non-linéaires, nous avons observé une différence importante sur les tensions maximales aux bornes du PMOS dans le circuit d'entrée. Dans le cas d'un réseau de résistances non-linéaires, Rsub, les tensions maximales aux bornes du PMOS sont dans la zone sécurisée pour tous les niveaux de tension de stress CDM.

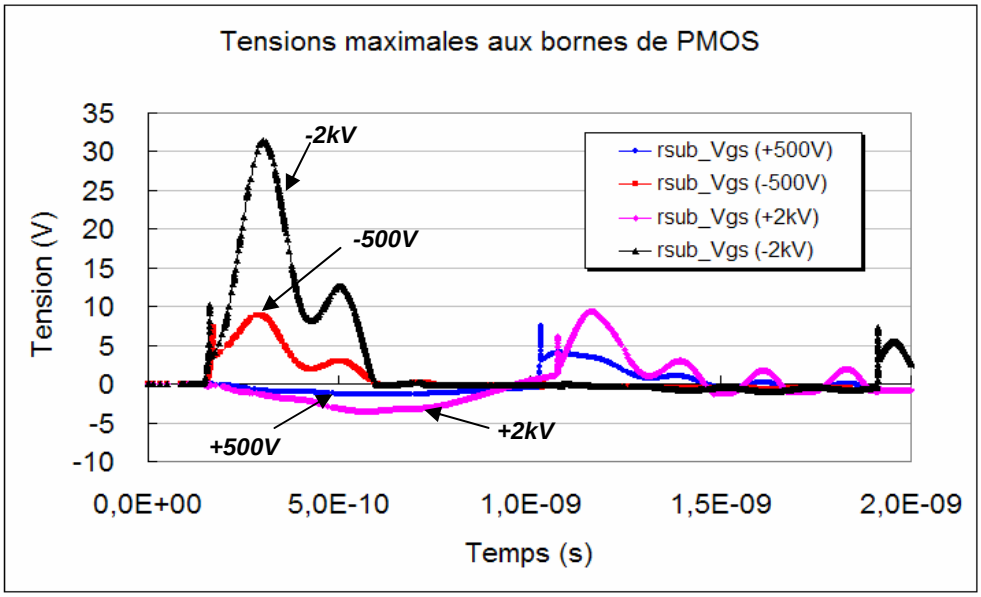


Figure 3-31 : Tensions aux bornes du PMOS simulées pour différents niveaux de stress CDM par un réseau de résistances non-linéaires, Rsub.

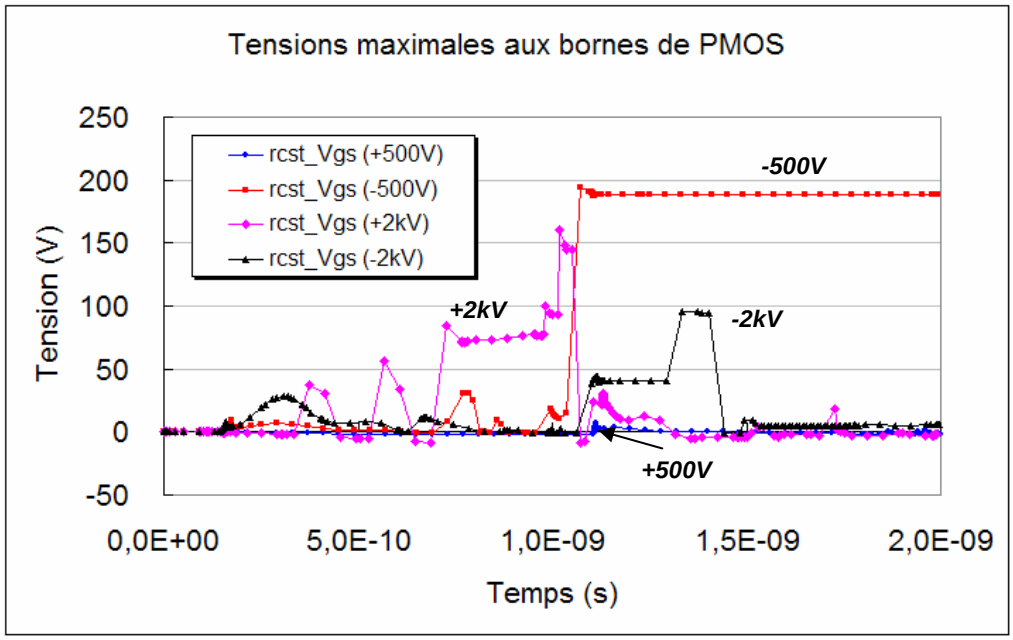


Figure 3-32 : Tensions aux bornes du PMOS simulées pour différents niveaux de stress CDM par un réseau de résistances constantes, Rcst.

Par contre, le réseau de résistances constantes, Rcst, prévoit une surtension maximale de 188V qui a largement dépassé la zone sécurisée de 42V, et est susceptible d'induire le claquage du PMOS pour un niveau de tension CDM V_{CDM}=-500V. Cependant, aucune défaillance brutale du PMOS n'a été détectée sur l'échantillon stressé à -500V (P2, Chapitre 2). Cette fausse alarme a été évitée par la simulation avec un réseau de résistances non-linéaires dans notre étude *(Tableau 3-6)*.

		$V_{gs_max_NMOS}$ (V)	$V_{gs_max_PMOS}$ (V)	Alarme par Simulation	Défaillances observées (‘Hard Failure’)
Rsub non linéaire	+500V	-14,20	1,3	OK	/
	-500V	24,35	8.9	OK	/
	+2kV	-44,15	3.5	NMOS	NMOS (M1)
	-2kV	69,15	31	NMOS	NMOS (M1)
Rcst Constant	+500V	-10,74	5	OK	/
	-500V	21,50	188	PMOS	/
	+2kV	-37,15	160	PMOS	NMOS (M1)
	-2kV	60,93	95	NMOS & PMOS	NMOS (M1)

Tableau 3-6 : Bilan des alarmes par simulation et défaillances observées après analyse de défaillance.

3.7 Conclusion

Dans ce chapitre, nous avons rappelé d'abord la physique de la non-linéarité de la résistance du silicium dopé. Deux véhicules de tests ont été réalisés en technologie CMOS avancée 45nm et en technologie BiCMOS 0,25µm afin d'étudier et de modéliser ce phénomène important pour le cas de très forte injection, notamment lors d'un stress CDM.

Un modèle compact et générique basé sur le langage Verilog-A a été ensuite développé prenant en compte le dopage, la géométrie du dispositif, et la surtension en fonction de la durée du stress (type TLP ou vf-TLP). Ce modèle a été calibré pour différentes technologies et ensuite utilisé pour la simulation CDM incluant l'effet du substrat et les éléments parasites du boîtier et du testeur CDM.

Une méthodologie a été également développée pour générer le réseau du substrat en 3D et l'implémenter dans la simulation CDM avec le schéma original du circuit. Les résultats des simulations CDM avec le réseau de résistances non-linéaires, Rsub, montrent une bonne corrélation entre la mesure, l'analyse de défaillance, ainsi que la simulation physique TCAD-ISE en mode mixte. Par contre, les résultats simulés par un réseau de résistances constantes, Rcst, ne correspond pas tout à fait l'analyse de défaillance après les stress CDM, et il pose des problèmes de convergence et génère des fausses alarmes.

Enfin, bien que la procédure de simulation reste partiellement manuelle et assez compliquée, une simulation CDM pour les circuits d'entrées/sortie d'un circuit complexe a été effectuée avec succès avec une corrélation quantitative et sans problèmes de convergence. Les chemins de décharge CDM dans le substrat ont été identifiés. Il montre un chemin de décharge privilègié proche du plot stressé par un réseau de résistances du substrat non-linéaires.

Bibliographie

[1] Y.Z. (Paul) Zhou, J-J. Hajjar, A. W. Righter, et K. P. Lisiak, "Modeling Snapback of LVTSCR Devices for ESD Circuit Simulation Using Advanced BJT and MOS Models," *EOS/ESD Symposium*, pp. 175-184, 2007.

[2] J. Lee, K-W. Kim, Y. Huh, P.Bentix, et S-M. Kang, "Chip-Level Charged-Device Modeling and Simulation in CMOS Integrated Circuit," *IEEE Transaction On Computer-Aided Design of Integrated And Systems*, vol. 22(1), pp. 67-81, 2003.

[3] J. Lee, K-W. Kim, et S-M. Kang, "VeriCDF: A New Verification Methodology for Charged Device Failures," *DAC*, pp. 874-879, 2002.

[4] C. Goeau, "Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS," Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2005.

[5] S. Sowariraj, "Full Chip Modelling of ICs under CDM Stress," Thèse de doctorat, University of Twente, 2005.

[6] M. Etherton, *Charged Device Model (CDM) ESD in ICs: Physics, Modeling, and Circuit Simulation*, 2005.

[7] M.S.B. Sowariraj, P.C. de Jong, C. Salm, T. Smedes, A.J. Ton Mouthaan, et F.G. Kuper, "Significance of Including Substrate Capacitance in The Full Chip Circuit Model of ICs Under CDM Stress," *International Reliability Physics Symposium (IRPS)*, pp. 608-609, 2005.

[8] N. A. M. Etherton, J. Willemen, W. Wilkening, S. Mettler, M. Diddegna, R. Stella, L. Zullino, A. Andreini, H. Gieser, H. Wolf, et Z. Fichtner, "Study of CDM Specific Effects for a Smart Power Input Protection Structure," *26th EOS/ESD Symposium*, pp. 107-116, 2004.

[9] James Karp, Vassili Kireev, Dean Tsaggaris, Mohammed Fakhruddin, "Effect of Flip-Chip Package Parameters on CDM Discharge," *EOS/ESD Symposium*, 2008.

[10] G. Boselli, "On high injection mechanisms in semiconductor devices under ESD conditions," 2005.

[11] M. Stockinger, et J. W. Miller, "Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe," *EOS/ESD Symposium*, pp. 46-53, 2006.

[12] W. V. Roosbroeck, "The Transport of Added Current Carriers in a Homogeneous Semiconductor," *Phys.Rev.*, vol. 91, pp. 282-289, 1953.

[13] W. Van Roosbroeck, et W. Shockley, "Photo-Radiative Recombination of Electrons and Holes in Germanium," *Physical Review*, vol. 94, pp. 1558-1560, 1954.

[14] M. S. Adler, "Accurate Calculations of the Forward Drop and Power Dissipation in Thyristors," *IEEE Trans. Electron Devices*, vol. 25, pp. 16-22, 1978.

[15] Antonio Caruso, Paolo Spirito, et Gianfranco Vitale, "Negitive Resistance Induced by Avalanche Injection in Bulk Semiconductors," *IEEE Trans. Electron Devices*, vol. 21, No.9, pp. 578-586, 1974.

[16] P. L. Hower, "Avalanche injection and Second breakdown in Transistors," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 17(4), pp. 320-335, 1970.

[17] Prasun Raha, James. W. Miller, et Elyse Rosenbaum, "Time-Dependent Snapback in Thin-Film SOI MOSFET's," *IEEE Electron Device Lettres*, vol. 18, No.11, 1997.

[18] R.S. Muller, & T.L. Kamins, *Device electronics for integrated circuits*: John Wiley, 1986.

[19] P. Fonteneau, J-R. Manouvrier, C-A. Legrand, H. Beckrich, C. Richier, G. Troussier, F. Landré, C. Entringer, et N. Blisson, "Characterization and Modeling of SCR and NMOS Snapback from DC Down to CDM Time Domain," *2nd International ESD Workshop*, 2008.

[20] Y. Gao, M. Bafleur, JP. Laine, P. Besse, S. Ruth, M. Zecri, "Modeling of the substrate resistance in high injection for CDM circuit-level simulation," *2nd International ESD Workshop (IEW)*, 2008.

[21] T.Li, et S.M. Kang, "Layout Extraction and Verification Methodology for CMOS I/O Circuits," *DAC*, pp. 291-296, 1998.

[22] S. Ramaswamy, E. Li, et E. Rosenbaum, "Circuit-level Simulation od CDM-ESD and EOS in Submicron MOS Devices," *18th EOS/ESD Symposium*, pp. 316-321, 1996.

[23] E. Franell, H. Gossner, et D. Schmitt-Landsiedel, "CDM Verification by Distributed Current Sources and DC Simulation," *International ESD Workshop*, 2008.

Conclusion générale

Les décharges électrostatiques constituent un grave problème de fiabilité des circuits intégrés et peuvent provoquer pour certains circuits la majeure partie des retours clients. La fiabilité de l'électronique embarquée est devenue un enjeu économique critique dans plusieurs domaines. Dans le contexte actuel d'utilisation des puces microélectroniques dans de nombreux domaines touchant directement à la sécurité, comme les applications de transport, automobiles, médicales, spatiales, de sécurité, etc, le niveau de fiabilité des composants utilisés est également devenu un défi majeur. Avec le développement des machines automatisées dans la procédure de fabrication des composants/systèmes électroniques et la nouvelle technologie CMOS avancée, les décharges électrostatiques selon la norme CDM (Charged Device Model) deviennent de plus en plus critiques pour la robustesse des composants microélectroniques.

Le travail présenté dans ce mémoire est une contribution à l'effort apporté dans le domaine de la microélectronique pour fiabiliser les produits contre les décharges CDM.

Après un rappel de l'état de l'art dans le domaine des décharges électrostatiques et plus particulièrement les défis liés aux stress de type CDM ou modèle du composant chargé, dans une première partie de cette thèse, nous avons d'abord étudié l'impact d'un stress CDM sur un circuit commercial. Pour la détection de défauts latents, nous avons montré qu'il était possible d'utiliser avec succès la technique mature de mesure du bruit basse fréquence sur un circuit complet alors que jusqu'à présent l'application de cette technique avait été limitée à un seul transistor.

Nous avons d'abord montré que, le stress CDM peut induire des défauts latents dans un circuit complexe, notamment un convertisseur DC-DC de 1MHz fabriqué en technologie BiCMOS de 0,8 µm ayant une épaisseur d'oxyde d'environ 20nm. Ce genre de défaut ne peut pas être détecté facilement par la technique de mesure de courant au repos, Iddq ou les tests de fonctionnalité. Par contre, ils ont été détectés avec succès par la technique de mesure de bruit en basse fréquence *(LFN pour 'Low Frequency Noise')*. La présence de défauts latents a été confirmée par les mesures de bruit alors que les caractéristiques du circuit, fonctionnelles et de consommation au repos, étaient retournées à leurs valeurs originales. Par ailleurs, après un vieillissement accéléré sur la pièce stressée, nous avons observé que le niveau de bruit augmente alors que la pièce référence subit peu de changement. Ce type de défaut latent est donc susceptible d'être à l'origine d'une réduction de la durée de vie du composant alors que le circuit passe tous les tests de qualification et de fonctionnalité.

En résumé, nous avons montré que la technique de mesure de bruit basse fréquence constitue une méthode efficace de détection de défauts latents induits par les décharges électrostatiques. Difficile à mettre en œuvre dans un environnement de production, elle pourrait cependant être utilisée pour effectuer du tri de composants critiques pour des applications à très haute fiabilité comme les applications spatiales ou aéronautiques.

Dans la deuxième partie de ce mémoire, nous avons focalisé notre étude sur une nouvelle approche de modélisation permettant d'améliorer la qualité de prédiction de simulations CDM. Nous avons d'abord rappelé la physique de la non-linéarité de la résistance du silicium dopé. Ensuite, un modèle compact et générique basé sur le langage Verilog-A prenant en compte le dopage, la géométrie du dispositif, et la surtension en fonction de la durée du stress (type TLP ou vf-TLP), a été développé. L'originalité du modèle par rapport aux approches déjà publiées dans la littérature concerne la prise en compte des non-linéarités de la résistance de substrat à forte injection. Deux véhicules de tests ont été réalisés en technologie CMOS avancée 45nm et en technologie BiCMOS 0,25µm afin de modéliser ce phénomène important pour le cas de la très forte injection, notamment lors d'un stress CDM. Le modèle a été calibré pour ces deux technologies et ensuite transféré facilement sur une autre technologie pour réaliser une simulation CDM incluant l'effet du substrat, les éléments parasites du boîtier et du testeur CDM.

Une méthodologie a été également développée pour générer le réseau du substrat en 3D et l'implémenter dans la simulation CDM avec le schéma original du circuit. En prenant en compte les éléments parasites du boîtier, et les diodes parasites entre les différentes couches dopées (P-substrat, NBL, Pwell et Nwell, etc), les résultats des simulations CDM avec le réseau de résistances non-linéaires en 3D, Rsub, montrent une bonne corrélation entre la mesure, l'analyse de défaillance, ainsi que la simulation physique TCAD-ISE en mode mixte. Par contre, les résultats simulés obtenus à l'aide d'un réseau de résistances constantes en 3D, Rcst, ne corrèlent pas bien avec l'analyse de défaillance effectuée après stress CDM. De plus, la simulation associée présente des problèmes de convergence et génère des fausses alarmes dans certains cas.

Bien que la procédure de simulation reste partiellement manuelle et assez compliquée, une simulation CDM pour les circuits d'entrées/sortie d'un circuit complexe a été effectuée avec succès, avec une bonne corrélation et une bonne convergence. Les chemins de décharge CDM dans le substrat ont été identifiés. Dans le cas de la simulation avec un réseau de résistances non-linéaires en 3D représentant le substrat, on peut constater que la distribution de la décharge est non uniforme, et qu'il existe un chemin de décharge privilégié proche défini par les prises de contact du substrat.

Pour le même type de boîtier et la capacité du substrat C_{SUB}, et les mêmes niveaux de tension de précharge V_{CDM} , on peut noter les points suivants lorsqu'on compare les deux types de simulation (résistances constantes et non-linéaires) :

- Les valeurs des pics de courant CDM et les tensions maximales aux bornes des MOS sont différentes.
- Pour les cas simulés avec un réseau de résistances du substrat non-linéaires, les tensions maximales aux bornes des MOS sont en moyennes augmentées de 19,5% par rapport au cas d'un réseau de résistances du substrat constantes, *Rcst*.

- Le ratio V_{gs_max}/I_{pogo_pic} indique la relation entre la valeur maximale du courant de décharge, I_{CDM}, et la tension maximale aux bornes des MOS d'entrée, V_{gs_max}. Il montre que ces deux valeurs n'ont pas de corrélation directe pour le cas du réseau de résistances constantes. Par contre, nous avons observé une augmentation du ratio V_{gs_max}/I_{pogo_pic} de 7,8% pour la simulation avec un réseau de résistances non-linéaires, *Rsub*.

Le temps de simulation, est en moyenne de quelques secondes à une vingtaine de minutes selon la complexité de la simulation. Il est important de noter que la simulation avec un réseau de résistances non-linéaires, Rsub, peut aider la convergence de calcul dans notre étude.

Enfin, nous avons observé que, les potentiels du substrat ne sont pas uniformes pendant le stress CDM dans le substrat (près de la zone active). La différence de potentiel globale peut atteindre une valeur élevée, notamment, une centaine de volts. La variation de la résistance du substrat non-linéaire pendant le stress CDM résulte en une re-distribution des chemins de décharge qui dans le cas du circuit étudié, induit une surtension aux bornes des MOS d'entrée d'environ 20% supérieure à celle calculée avec un réseau de résistances constantes.

En conclusion, nous avons montré qu'il est important de prendre en compte les chemins de décharge dans le substrat lors d'un stress CDM et que la précision de la simulation nécessite de prendre en compte les non-linéarités de cette résistance au détriment d'un temps de simulation plus long malgré une meilleure convergence.

En ce qui concerne les perspectives de ces travaux, l'automatisation de la procédure de simulation est absolument nécessaire pour permettre au concepteur de réaliser facilement ce type de simulation sur un circuit intégré complet. Cela inclut une meilleure précision sur l'extraction des éléments parasites, notamment les diodes, les capacités, et la génération automatique de la netlist de simulation. Afin de simplifier le réseau de résistances de substrat, le partitionnement choisi pourrait s'inspirer de méthodes déjà proposées dans la littérature comme celle de « Divide and conquer » proposée par Lee et al.

La technique de simulation développée peut également être utilisée pour définir avec précision des règles de dessin pour améliorer la stratégie de protection vis-à-vis des stress CDM d'une technologie (placement de prises de contact au substrat, distribution des protections ESD, résistance des bus d'alimentation,…).

Liste des publications:

Congrès internationaux :

[1] Y. Gao, N. Guitard, M. Bafleur, L. Bary, L. Escotte, P. Gueulle, L. Lescouzeres, “Trapped charges detection after CDM stress using a sensitive failure analysis Low Frequency Noise measurement technique”, *1st International ESD Workshop (IEW)*, Lake Tahoe (USA), May 14-17, 2007.

[2] Y. Gao, N. Guitard, C. Salamero, M. Bafleur, L. Bary, L. Escotte, “Identification of the physical signatures of CDM induced latent defects into a DC-DC converter using low frequency noise measurements”, *Microelectronics Reliability 47 (2007) 1456-1461. 18th European Symposium Reliability on Electron Devices, Failure Physics and Analysis (ESREF),* Arcachon (FRANCE), Octobre 8-12, 2007.

[3] Y. Gao, M. Bafleur, JP. Laine, P. Besse, S. Ruth, M. Zecri, “Modeling of the substrate resistance in high injection for CDM circuit-level simulation”, *2nd International ESD Workshop (IEW)*, Port D’Albret (FRANCE), May 12-15, 2008.

[4] D. Trémouilles, Y. Gao, M. Bafleur, "Pushing away the silicon limits of ESD protection structures: exploration of crystallographic orientation", *2008 IEEE Bipolar / BiCMOS Circuits and Technology Meeting (BCTM 2008)*, Monterey, CA (USA), October 13-16, 2008.

Congrès nationaux

[5] Y. Gao, "Étude de structures et stratégies de protection ESD adaptées aux exigences de la norme CDM (Charged Device Model)", *9èmes Journées du Réseau Doctoral en Microélectronique (JNRDM)*, Rennes (FRANCE), May 10-12, 2006.